



HAL
open science

Développement d'électronique froide à base de memristors pour la mise à l'échelle des calculateurs quantiques à base de boîtes quantiques

Pierre-Antoine Mouny

► **To cite this version:**

Pierre-Antoine Mouny. Développement d'électronique froide à base de memristors pour la mise à l'échelle des calculateurs quantiques à base de boîtes quantiques. Sciences de l'ingénieur [physics]. Université de Sherbrooke (Québec, Canada), 2024. Français. NNT: . tel-04676762

HAL Id: tel-04676762

<https://hal.science/tel-04676762v1>

Submitted on 23 Aug 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie électrique et de génie informatique

Développement d'électronique froide à base
de memristors pour la mise à l'échelle des
calculateurs quantiques à base de boîtes
quantiques

Thèse de doctorat
Spécialité : génie électrique

Pierre-Antoine MOUNY

Sherbrooke (Québec) Canada

Juin 2024

MEMBRES DU JURY

Dominique DROUIN

Directeur

Michel PIORO-LADRIÈRE

Codirecteur

Andreas RUEDIGER

Évaluateur

Éva DUPONT-FERRIER

Évaluatrice

Yann BEILLIARD

Rapporteur

RÉSUMÉ

L'informatique quantique promet un impact social important en accélérant les avancées dans des domaines tels que la recherche médicale, l'ingénierie des matériaux et la modélisation climatique. Un défi technologique important de mise à l'échelle des bits quantiques (qubits) doit cependant être surmonté pour accéder à ces applications. Une telle mise à l'échelle requiert de réduire le nombre d'entrées/sorties entre l'électronique classique de contrôle et les qubits présents dans le cryostat, notamment dans le cadre des qubits sur silicium manipulés par des grilles électrostatiques. Chaque grille doit être connectée à l'électronique de contrôle par un câble sortant du cryostat limitant la taille des systèmes.

Pour répondre aux exigences de cette mise à l'échelle, cette thèse de doctorat propose un concept d'électronique de contrôle froide basé des mémoires résistives (memristors) à base de TiO_x . Ces composants présentent les avantages d'être non-volatile et d'avoir une résistance modifiable de manière analogique. La compatibilité avec les températures cryogéniques de ces memristors est démontrée jusqu'à 1.2 K. Ils présentent une programmation entièrement analogique sur une plage de résistance de 10 k Ω à 100 k Ω notamment permis par la mise en évidence du procédé de reforming cryogénique.

Le concept de source de tension DC à base de memristors consiste à placer plusieurs memristors en parallèle dans la boucle de rétroaction d'un amplificateur transimpédance. Ainsi en changeant la résistance des memristors, le gain de l'amplificateur est changé et la tension de sortie est modifiée. La viabilité de ce concept est ensuite étudiée en réalisant des simulations basées sur des données expérimentales de caractérisations électriques de memristors TiO_x . Le concept de source de tension DC à base de memristors démontre une plage de tension supérieure à 1 V et une résolution en tension de 1 mV répondant ainsi aux critères de polarisation pour les boîtes quantiques. La simulation du contrôle d'une boîte quantique par une source de tension DC à base de memristors est aussi réalisée et démontre un diagramme de stabilité de charges peu bruité.

Finalement, un prototype est fabriqué avec un amplificateur commercial, des memristors TiO_x et des commutateurs analogiques. Tout d'abord, les caractéristiques électriques de l'amplificateur commercial sont étudiées de 1.2 K à 300 K validant ainsi sa compatibilité avec les températures cryogéniques. Le prototype est testé à 1.2 K et démontre des balayages en tension de 250 mV pour une résolution de 10 mV avec 2 memristors fonctionnels dans la boucle de rétroaction de l'amplificateur. Ces caractéristiques sont insuffisantes pour la polarisation de boîtes quantiques mais permettent de valider expérimentalement le concept de source de tension DC. Ce prototype peut être mis à l'échelle en co-intégrant sur silicium l'amplificateur et des mémoires émergentes alternatives comme les jonctions tunnel ferroélectriques (FTJ). La mise à l'échelle est réalisée par simulation de circuits et permet de prédire l'intégration d'environ 300000 sources de tension DC à base de FTJs pavant ainsi la voie vers l'informatique quantique sur silicium à grande échelle.

Mots-clés : Memristors, Électronique froide, Commutation résistive, Mise à l'échelle, Boîte quantique

ABSTRACT

Scaling-up quantum dot based quantum computers using memristors and cryogenic electronics

Quantum computing promises to have a major social impact, accelerating advances in fields such as medical research, materials engineering and climate modeling. However, the technological challenge of scaling up qubits must be overcome before these applications can be realized. Such scaling requires a reduction of the inputs/outputs between the classical control electronics and the qubits in the cryostat, particularly in the case of silicon qubits controlled by electrostatic gates. Each gate must be biased by control electronics placed outside of the cryostat, limiting the size of maximum the quantum systems.

To meet these scaling requirements, this PhD thesis proposes a concept for cryogenic control electronics based on TiO_x memristors. These components offer the advantages of being non-volatile and having a fully analog programmability. These devices have been demonstrated to be compatible with cryogenic temperatures down to 1.2 K during this thesis. They feature fully analog programming over a resistance range from 10 k Ω to 100 k Ω , which is enabled by the cryogenic reforming process.

The concept of a memristor-based DC source involves placing several memristors in parallel in the feedback loop of a transimpedance amplifier. Thus, by changing the resistance of the memristors, the gain of the amplifier is changed which yields to the tuning of the amplifier output voltage. The feasibility of this concept is then investigated by carrying out data-driven simulations based on data from cryogenic electrical characterizations of TiO_x memristors. The memristor-based DC source concept demonstrates a voltage range of 1 V and a voltage resolution of 1 mV, thus meeting the biasing criteria for quantum dots. Simulations of the biasing of a quantum dot by a memristors-based DC source has also been carried out, demonstrating a low-noise charge stability diagram, thus validating the proposed concept.

Finally, an experimental prototype was built using a commercial amplifier, TiO_x memristors and analog switches. Firstly, the electrical characteristics of the commercial amplifier were studied from 1.2 K to 300 K validating its compatibility with cryogenic temperatures. The prototype is then tested at 1.2 K and demonstrates 250 mV- voltage sweeps with a resolution of 10 mV using 2 functional memristors in the amplifier feedback loop. These characteristics are insufficient for quantum dot biasing, however it allows the experimental validation of the memristors-based DC source concept. This prototype can be scaled up by co-integrating the amplifier and alternative emerging memories such as ferroelectric tunnel junction (FTJ) on silicon. The scaling is simulated using circuit design CAD tools, and predicts the integration of around 300,000 FTJ-based DC voltage sources, paving the way for large-scale quantum computing on silicon.

Keywords: Memristors, Cryogenic electronics, Resistive switching, Scaling, Quantum dot

*À ma famille.
À mon grand-père.
À ma grand-mère.*

REMERCIEMENTS

Ce doctorat fut une aventure incroyable, certains diront peut être trop longue mais quand on aime on ne compte pas. J'ai pu découvrir une nouvelle façon de travailler, un nouveau pays, une nouvelle culture et une nouvelle façon de parler ma langue maternelle. Pour ce voyage inoubliable, je tiens à remercier mon directeur de doctorat Dominique Drouin et directeur du groupe INPAQT. Dominique m'a offert l'opportunité inestimable de venir étudier à Sherbrooke, une ville qui est devenue petit à petit un centre important pour le développement des technologies quantiques et un endroit que je peux appeler chez moi. Que dire de Dominique, il m'a supervisé avec bienveillance au cours de cette quatre années de recherche, me laissant mener mon projet de recherche comme bon semblait, un luxe qui semble bien trop rare dans le milieu académique mais qui est indispensable pour se développer en tant que chercheur. Je tiens aussi à remercier Dominique de m'avoir permis de démarrer ma carrière professionnelle et parfaire mon expertise pendant mon doctorat en travaillant au sein de la compagnie IQBit. Ensuite, je remercie mon co-directeur Michel Pioro-Ladrière. Michel possède un don pour mettre les gens à l'aise et vous motiver dans les passages difficiles de votre projet. Toujours avide de science et curieux de comprendre les petits détails (le diable est dans les détails après tout), Michel a toujours la question utile qu'elle fasse repenser l'ensemble projet ou qu'elle débloque une situation clé. Je tiens aussi à remercier Yann Beilliard qui a été mon encadrant "de l'ombre". Yann a toujours été disponible pour partager son expertise et m'a toujours soutenu et conseillé au cours de mon doctorat. Yann est aussi celui qui m'a permis d'avoir ma première expérience professionnelle en me proposant un stage à IQBit en août 2022 qui mènera plus tard à un emploi. Pour terminer le conseil des quatre, je remercie Éva Dupont-Ferrier d'avoir été présente tout au long de mon doctorat. J'ai apprécié les discussions (peut être trop rare) que l'on a pu avoir au gré de notre rencontre dans les couloirs de l'Institut Quantique. Finalement, j'ai l'honneur de compter Andreas Ruedieger dans mon jury de thèse. Merci Andreas d'avoir accepté de faire partie de cette aventure.

Que serait une thèse de doctorat sans un groupe de recherche, INPAQT (Integrated Nanoelectronics and Packaging for AI and Quantum Technologies) un nom bien compliqué pour un groupe de personnes dirigé par les quatre cavaliers de l'apocalypse : Dominique Drouin, Yann Beilliard, Serge Ecoffey et Fabien Alibart. Merci à vous quatre qui faites vivre le groupe de par votre encadrement et votre expertise. Merci aussi aux membres du groupe INPAQT d'abord collègues puis amis. Je me souviens des semaines voire mois que l'on a passé en laboratoire avec Phillippe et Matthieu pour caractériser des centaines et des centaines de composants. Je tenais aussi à remercier notre manitou de l'électronique Patrick sans qui la moitié des démonstrations réalisées dans le groupe ne serait possible. Ensuite, je remercie Raphaël, le maestro de la fabrication, sans qui l'autre moitié des travaux du groupe ne serait pas possible. Je tiens aussi à remercier Q536I (bizarre je suis d'accord), l'échantillon avec lequel j'ai la majorité de mes démonstrations au cours de mon doctorat. Je remercie aussi Jonathan Vermette, Denis Pelé et l'ensemble de l'équipe du

3IT pour leur soutien et leur disponibilité sans qui nos travaux ne seraient pas possible. Merci aussi à l'équipe de l'IQ et du Fablab Quantique (QFL) pour leur expertise et soutien lors des différentes campagnes de mesures cryogéniques que j'ai pu réalisé. En particulier, Christian Lupien, toujours souriant et disponible, a toujours une réponse ou une explication quand nos résultats ne sont pas ceux escomptés.

Finalement, un doctorat ce n'est pas que de la recherche et du travail c'est aussi des rencontres. Merci à mes amis (Bastien, Joao, Matthieu, Patrick, Philippe, Raph', Richard, Tad' , Thomas et Victor) pour votre soutien, vos encouragements et les bons moments qu'on a passés et ceux qu'on passera ensemble à l'avenir. Au terme de ce long parcours académique, je remercie celles et ceux qui me sont chers : ma famille. Certains ne seront pas présents pas pour me voir devenir docteur mais je sais qu'ils me regardent et me soutiennent d'où ils sont. J'aurais tellement aimé que vous soyez là. Merci à mes frères, je sais qu'on ne se le dit pas souvent mais je vous aime les gars, vous irez loin j'en suis sûr. Mes derniers remerciements vont à mes parents qui m'ont toujours supporté pendant ces longues années d'études. Mes études ont aussi été une épreuve pour vous, je n'ai pas été des plus faciles à certains moments mais vous avez toujours été là pour me soutenir, m'aider et me conforter. Je suis chanceux de vous avoir.

TABLE DES MATIÈRES

1	INTRODUCTION	1
1.1	Mise en contexte	1
1.2	Problématique	4
1.2.1	Mise à l'échelle des systèmes à base de boîtes quantiques sur silicium à l'aide de circuits de contrôle intégrés	4
1.2.2	Performances des circuits de memristors	6
1.2.3	Questions de recherche	7
1.3	Contexte du projet et hypothèses de recherche	8
1.3.1	Conception d'un circuit cryo-compatible	8
1.3.2	Polarisation des électrodes d'une boîte quantique	9
1.3.3	Co-intégration et mise à l'échelle	9
1.4	Plan du manuscrit	10
2	État de l'art	13
2.1	Les technologies quantiques	13
2.1.1	Ions piégés	13
2.1.2	Centres azote-lacune dans les diamants	14
2.1.3	Circuits supraconducteurs	15
2.1.4	Qubits semiconducteurs et boîtes quantiques	15
2.1.5	Comparaison des différentes technologies quantiques	16
2.2	Électronique de contrôle pour boîtes quantiques	18
2.2.1	Cahier des charges pour l'électronique de contrôle froide	21
2.2.2	Avancements de l'électronique de contrôle froide	22
2.2.3	Intégration d'électronique de contrôle <i>in-situ</i> pour la mise à l'échelle des systèmes quantiques.	29
2.2.4	Limitations des solutions à base de circuits à capacités commutées	33
2.3	Une mémoire émergente pour le contrôle quantique : le memristor	34
2.3.1	Mécanismes de commutation résistive	35
2.3.2	Memristors et températures cryogéniques	38
2.3.3	Bruits	39
2.3.4	Non-idéalités des memristors	45
2.4	Conclusion	48
3	Comportement cryogénique de memristors	51
3.1	Avant-propos de l'article	51
3.2	Analog programming of CMOS-compatible Al ₂ O ₃ /TiO _{2-x} memristor at 4.2K	54
3.2.1	Abstract	54
3.2.2	Main text	54
3.2.3	Author contributions	64
3.3	Discussion	66

4	Conceptualisation de la source de tension cryogénique	67
4.1	Avant-propos de l'article	67
4.2	Memristor-based cryogenic programmable DC sources for scalable in-situ quantum-dot control	70
4.2.1	Abstract	70
4.2.2	Introduction	70
4.2.3	Concept	73
4.2.4	Thermal budget and power dissipation	74
4.2.5	Experimental results	74
4.2.6	Simulations and discussions	78
4.2.7	Conclusion	81
4.2.8	Author contributions	82
4.3	Discussion	83
5	Prototypage et mise à l'échelle d'une source de tension cryogénique	85
5.1	Avant-propos de l'article	85
5.2	Towards scalable cryogenic quantum dot biasing using memristor-based DC sources	88
5.2.1	Abstract	88
5.2.2	Introduction	88
5.2.3	Memristor-based DC source prototype	89
5.2.4	Characterization of the cryogenic amplifier	91
5.2.5	Prototype experimental methods	93
5.2.6	Experimental demonstrations	95
5.2.7	Scaling discussions	98
5.2.8	Conclusion	101
5.2.9	Author contributions	101
5.3	Discussion	103
6	CONCLUSION	105
	LISTE DES RÉFÉRENCES	117

LISTE DES FIGURES

1.1	Représentation schématique de boîtes quantiques	4
2.1	Les différentes implémentations physiques de qubits	14
2.2	Les quatre types de qubits semiconducteurs.	16
2.3	Diagramme de stabilité et diamant de Coulomb d'une boîte quantique. . .	19
2.4	Schéma d'un montage à base de boîtes quantiques avant et après mise à l'échelle.	21
2.5	Co-intégration <i>on-chip</i> d'un circuit à capacités commutées et d'une boîte quantique sur silicium	25
2.6	Représentation schématique d'une architecture de contrôle distribuée. . . .	28
2.7	Vue intérieur d'un réfrigérateur à dilution XLD400 de Bluefors.	30
2.8	Écosystème des mémoires et Carré fondamental des dipôles élémentaires de l'électrocinétique	35
2.9	Mécanismes de commutation résistive	36
2.10	Commutation résistive de memristor TiO_x	37
2.11	Commutation résistive de memristor TiO_x et memristors HfO_x à température cryogénique	39
2.12	Représentation schématique d'une densité spectrale de bruit.	40
2.13	Exemples de spectre de bruit $1/f$ pour un memristor.	42
2.14	Bruit télégraphique pour un memristor à base de TaO_x	43
2.15	Mesure cryogénique de RTN et graphique d'Arrhenius des temps de transitions	44
2.16	Non-idéalités des caractéristiques électriques des memristors.	45
3.1	Image en coupe des dispositifs et caractéristiques électriques à 4.2 K et 300 K.	56
3.2	Etude des modes de conduction des memristors TiO_{2-x} entre 4.2 K et 200 K.	59
3.3	Caractérisation pulsée cryogénique de memristors TiO_{2-x} (LTP/LTD, mult-niveaux).	63
4.1	La source de tension programmable à base de memristors	72
4.2	Simulation de la puissance dissipée maximum de la source de tension. . . .	75
4.3	Caractérisation électrique de memristor TiO_2 memristor.	77
4.4	Simulation des performances de la source à tension programmable à base de memristors.	78
4.5	Impact de la variabilité de programmation des memristors sur la résolution de la source de tension DC.	79
4.6	Simulation de la co-intégration d'une double boîte quantique contrôlée par deux sources de tension DC basées sur des memristors.	81
5.1	Vue schématique du prototype de source de tension DC à base de memristors.	90
5.2	Caractérisation cryogénique de l'amplificateur opérationnel AD8605.	92
5.3	Montage expérimental pour la démonstration de la source de tension DC à base memristors.	94

5.4	Caractérisation de la source de tension DC à base de memristors à 1.2 K et 300 K.	96
5.5	Simulations de la mise à l'échelle de la source de tension DC à base de memristors.	99
A1	Charge thermique passive de différents câbles coaxiaux.	113
A2	Comportement DC de l'AD8605 entre 1.2 K et 300 K.	114
A3	Comportement DC du TLV271 entre 1.2 K et 300 K.	115
A4	Comportement DC du AD8601 entre 1.2 K et 300 K.	116

LISTE DES TABLEAUX

2.1	Comparaison de l'avancement des différentes technologies quantiques. . . .	17
2.2	Tableau récapitulatif de la mise à l'échelle des solutions de contrôle pour 100 boîtes quantiques.	32
2.3	Algorithmes de programmation multiniveaux implémentant une boucle de rétroaction.	37
2.4	Comparaison de plusieurs types de memristor caractérisés en milieu cryogénique	38
2.5	Bruit thermique à plusieurs paliers de températures pour différents memristors.	41
2.6	Extrapolation du modèle des temps de transition du bruit RTN à 100 K . .	44
3.1	Paramètres des modes de conduction pour les memristors TiO_{2-x}	61
5.1	Paramètres de conception de l'amplificateur opérationnel CMOS 65 nm. . .	100
5.2	Tableau complet de la mise à l'échelle des solutions de contrôle pour 100 boîtes quantiques.	104
6.1	Résumé des performances des solutions de polarisation pour boîtes quantiques.	106

LISTE DES ACRONYMES

- **1T1R** : 1 Transistor 1 memristor
- **3IT** : Institut interdisciplinaire d’innovation technologique
- **AF** : *Forming* à température ambiante
- **AFM** : Microscope à force atomique
- **APMU** : *Arbitraty Pulse Measurement Unit* - Unité de mesure d’impulsion arbitraire
- **ASIC** : *Application-specific integrated circuit*
- **BE** : *Bottom electrode*
- **BEOL** : *Back end of line* - Fin de ligne
- **CMOS** : *Complementary metal oxide semi-conductor*
- **CMP** : Polissage mécano-chimique
- **CMP** : Polissage mécano-chimique
- **CNA (DAC)** : Convertisseur numérique analogique
- **CR** : *Reforming* cryogénique
- **DC** : *Direct current*
- **DQD** : Double boîte quantique
- **DQD** : *Double quantum dot* - Double boîte quantique
- **DRAM** : *Dynamic random access memory*
- **E/S (I/O)** : Entrée/Sortie
- **ES-VRH** : *Efros-Shklovskii variable-range hopping*
- **ESR** : *Electron spin resonance* - Résonance paramagnétique électronique
- **FIB** : Sonde ionique focalisée
- **FPGA** : *Field-programmable gate array* - Réseau de portes programmables sur site
- **FTJ** : *Ferroelectric tunnel junction* - Jonction tunnel ferroélectrique
- **GPIO** : *General Purpose Input/Output* - Entrée-sortie à usage général
- **HRS** : *High resistance state*
- **I-V** : Courant-tension (caractéristiques I-V)
- **ICP** : Plasma à couplage inductif
- **IQ** : Institut quantique de l’Université de Sherbrooke
- **LRS** : *Low resistance state*
- **LTD** : *Long-term depression* - Dépression à long terme
- **LTP** : *Long-term potentiation* - Potentialisation à long terme
- **MEB** : Microscopie électronique à balayage
- **MIM** : Métal-isolant-métal
- **MIT** : *Metal-insulator transition* - Transition métal-isolant
- **Mott-VRH** : *Mott’s variable-range hopping*
- **NISQ** : *Noisy intermediate scale quantum*
- **NNH** : *Nearest neighbor hopping*
- **NV** : *Nitrogen-vacancy* - Azote-lacune
- **OpAmp** : *Operational Amplifier* - Amplificateur Opérationnel
- **PCB** : *Printed circuit board* - Circuit imprimé

- **PECVD** : Dépôt chimique en phase vapeur assisté par plasma
 - **PGA** : *Programmable gain amplifier* - Amplificateur à gain programmable
 - **QD** : *Quantum dot* - Boîte quantique
 - **QEC** : *Quantum error correction* - Correction d'erreurs quantiques
 - **QPU** : *Quantum processing unit* - Processeur quantique
 - **RF** : Radio-fréquence
 - **RMN** : Résonance magnétique nucléaire
 - **RTN** : *Random telegraphic noise* - Bruit télégraphique aléatoire
 - **SET** : *Single electron transistor* - Transistor à électron unique ou monoélectronique
 - **SRAM** : *Static random-access memory* - Mémoire vive statique
 - **TE** : *Top electrode*
 - **TIA** : *Transimpedance Amplifier* - Amplificateur Transimpédance
 - **UdeS** : Université de Sherbrooke
 - **VLSI** : *Very large scale integration* - Intégration à très grande échelle
 - **VMM** : *Vector matrix multiplication* - Produit vecteur-matrice
 - **WGFMU** : *Waveform Generator/Fast Measurement Unit*
 - **XPS** : Spectrométrie photoélectronique X
 - **eNVM** : *emerging Non volatile Memory* - Mémoire émergente non-volatile
-

CHAPITRE 1

INTRODUCTION

Ce chapitre introduit le cadre général de la thèse en spécifiant l’alignement des technologies des mémoires émergentes avec la mise à l’échelle des systèmes quantiques. Par la suite, la problématique et la question de recherche seront établies, ainsi que les hypothèses qui en découlent avec une discussion des approches proposées. Finalement, l’organisation du manuscrit sera détaillée à la fin de ce chapitre.

1.1 Mise en contexte

Au début des années 1980, Richard Feynman s’est demandé ‘Quel type d’ordinateur allons-nous utiliser pour simuler les phénomènes physiques?’ [1]. La simulation de systèmes quantiques présente une complexité algorithmique exponentielle limitant drastiquement la taille maximale des problèmes résolubles. Dans cette optique, le concept d’un ordinateur régi par la mécanique quantique est né, promettant ainsi une accélération exponentielle par rapport à un ordinateur conventionnel [1, 2, 3] pour certains types de problèmes tels que la factorisation en nombres premiers [4]. Cette accélération est notamment permise par des phénomènes quantiques tels que la superposition et l’intrication. Un bit quantique (qubit) peut être en superposition, c’est-à-dire simultanément dans l’état 0 et l’état 1, ainsi n qubits permettent d’encoder 2^n bits classiques. Plusieurs plateformes se révèlent intéressantes pour implémenter des qubits : par exemple le spin d’un électron dans le silicium [5, 6, 7], des circuits supraconducteurs [8, 9], les ions piégés [10, 11], les photons polarisés [12], les atomes ultra-froids [13, 14] ou encore les centres azote-lacune dans les diamants [15, 16].

Plusieurs étapes importantes ont été franchies ces vingt dernières années en calcul quantique utilisant des systèmes quantiques imparfaits et bruités (NISQ). Google a démontré la première accélération de calcul permise par un processeur quantique (QPU) à 51 qubits supraconducteurs [17], cependant cette accélération est réalisée sur un problème algorithmique anecdotique. IBM a déployé plus d’une vingtaine d’ordinateurs quantiques accessibles en ligne dont un système à 127 qubits installé à Bromont (QC). Cependant pour permettre les applications promises telles que la factorisation en nombres premiers [4], il est nécessaire de corriger les différentes erreurs introduites lors des opérations logiques. Cette opération peut être réalisé avec des codes de correction d’erreurs quantiques (QEC).

Deux méthodes se démarquent : l'utilisation de redondance en encodant un qubit logique dans l'état d'une matrice de qubits physiques (code surface) [18] ou l'utilisation de code bosonique [19] en encodant un qubit logique dans les états d'un ou plusieurs oscillateurs. La première méthode a été démontrée expérimentalement sur des qubits supraconducteurs [20, 21] et permet d'entrevoir des ordinateurs quantiques tolérant à l'erreur [22] mais requière environ 1000 qubits physiques pour encoder un unique qubit logique.

Les qubits supraconducteurs disposent d'une avance importante dans leur développement notamment poussé par Google et IBM, cependant les boîtes quantiques sur silicium se placent comme une alternative prometteuse pour la mise à l'échelle. Les boîtes quantiques tirent parti d'une comptabilité CMOS native. Ainsi leur fabrication peut être mise à l'échelle en utilisant des procédés de fabrication développés pour l'industrie micro-électronique, des premières démonstrations sur tranche 300 mm ont été réalisées par l'IMEC [23] et Intel [24]. Par ailleurs la taille nanométrique des boîtes quantiques (10^{-8} - 10^{-7} m) permettra d'intégrer 1000 à 10000 fois plus de qubits sur une même surface que les qubits supraconducteurs (10^{-5} m). Les boîtes quantiques sur silicium démontrent un temps de cohérence de l'ordre de la dizaine de millisecondes [25] soit environ un ordre de grandeur plus grand que les qubits supraconducteurs. Finalement, la compatibilité CMOS des boîtes quantiques permet aussi d'entrevoir une co-intégration simplifiée avec de l'électronique classique froide pour permettre une mise à l'échelle.

Bien que ces étapes démontrent une réelle progression du domaine, il sera nécessaire de contrôler des millions de qubits physiques pour espérer des applications dans des domaines tels que la chimie, la médecine ou la finance. L'approche actuelle place l'électronique de contrôle en dehors du cryostat ce qui limite considérablement le nombre maximal d'interconnexions avec le QPU. Trois approches distinctes permettent de minimiser les contraintes de mise à l'échelle des systèmes quantiques. Premièrement, augmenter la température à laquelle sont placés les qubits permet de relaxer les prérequis sur la dissipation thermique des interconnexions entre l'électronique à température ambiante et la puce quantique [26, 27, 28]. Deuxièmement, utiliser une architecture ne requérant pas de correction d'erreur, comme les codes bosoniques [19], permet de diminuer fortement le nombre de qubits requis pour atteindre des applications industrielles en limitant le défi de mise à l'échelle de l'électronique de contrôle. Et troisièmement, le développement d'électronique de contrôle miniaturisée et cryo-compatible permettrait de limiter le nombre d'interconnexions requises vers l'extérieur du cryostat [29, 30]. La solution optimale serait

de combiner ces deux approches en co-intégrant l'électronique de contrôle froide et les qubits à un même palier de température, au minimum 4.2 K. La mise à l'échelle semble donc un défi majeur d'ingénierie incontournable pour les systèmes quantiques requérant l'implémentation de codes correcteurs d'erreurs, demandant ainsi de développer de nouveaux systèmes de contrôle basse consommation directement intégrés dans les cryostats pour éviter un goulot d'étranglement [31, 32, 33].

Le développement d'électroniques froides dédiées au contrôle de qubits s'est accéléré ces cinq dernières années. Le consensus est de répartir l'électronique de contrôle sur les différents plateaux des réfrigérateurs à dilution afin de distribuer la charge thermique et minimiser le nombre de câbles entrant et sortant du cryostat [30, 34]. Dans cette optique, il est possible de diviser les différentes tâches de contrôle en blocs circuit distincts. Pour les boîtes quantiques sur silicium, la première étape est la polarisation des électrodes pour permettre le confinement spatial d'électrons (Fig. 1.1) [35]. La solution la plus simple s'appuie sur des convertisseurs numérique/analogique (DAC) cryogéniques suivis de circuits de multiplexage permettant de polariser un grand nombre de boîtes quantiques en utilisant un nombre réduit de signaux en entrée [33, 36, 37]. Cette approche suppose cependant une certaine uniformité des propriétés des boîtes quantiques qui n'est pas encore atteinte. Pour permettre d'adresser les électrodes de boîtes quantiques individuellement, un concept de matrice de mémoire vive dynamique (DRAM) a été développé [38, 39, 40]. La tension appliquée à une électrode est stockée dans le condensateur d'une DRAM et bloqué grâce à un transistor. Il est cependant nécessaire de rafraîchir périodiquement la charge du condensateur pour conserver la tension voulue.

Pour compenser le caractère volatile des DRAMs pour la polarisation des boîtes quantiques, on peut entrevoir l'utilisation de mémoires émergentes non-volatiles. Parmi les mémoires émergentes, les memristors ont été expérimentalement démontrés en 2008 par HP Lab [41]. Ces composants démontrent une résistance électrique variable. Cet état de résistance non-volatile peut être ajusté par une commutation de résistance induite par une tension DC ou un train d'impulsions électriques [42]. Une implémentation classique de ces mémoires consiste en un empilement métal/isolant/métal (MIM) de dimension nanométrique [43] avec des procédés de fabrication et matériaux compatibles CMOS [44]. Ces composants offrent de nouvelles perspectives en conception de circuit électrique. Leur compatibilité avec les températures cryogéniques démontrée jusqu'à 1.5 K [45, 46, 47] et leurs résistances électriques élevées en font d'excellents candidats pour la conception d'élec-

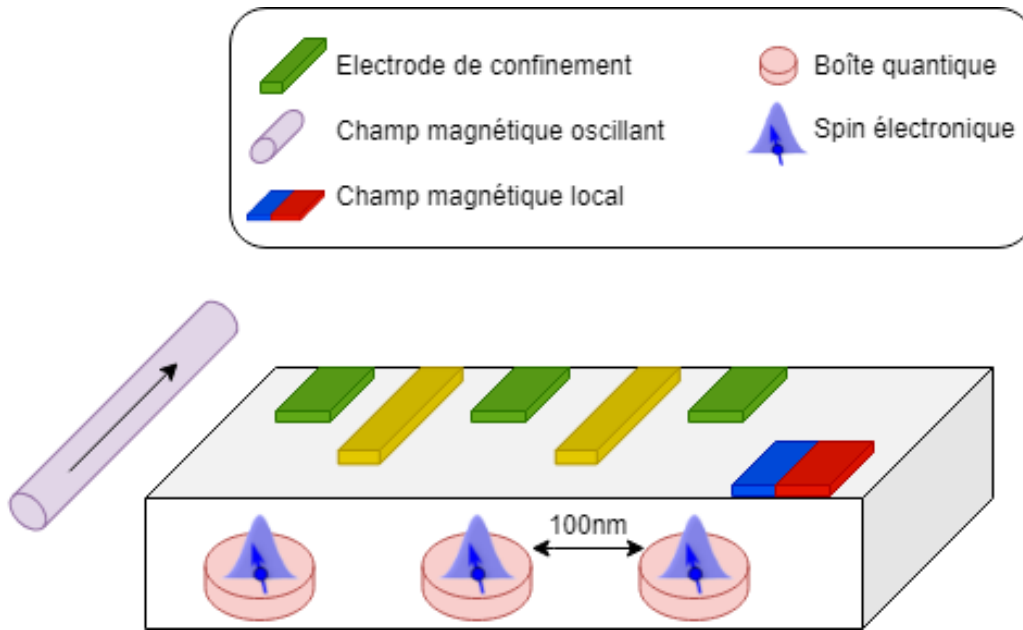


FIGURE 1.1 Représentation schématique de boîtes quantiques. Une tension DC est appliquée aux électrodes de confinements pour piéger un (ou des) électron(s) dans une boîte quantique. Reproduite avec l'autorisation de Dany Lachance-Quirion.

tronique froide co-intégré dans le cryostat.

1.2 Problématique

Les memristors représentent une alternative intéressante aux DRAMs pour la polarisation de boîtes quantiques. Cette étape de contrôle bénéficierait du caractère non-volatile des memristors ce qui permettrait de faciliter la mise à l'échelle des systèmes quantiques à base de qubits de spin. De plus, la compatibilité CMOS des memristors et des boîtes quantiques sur silicium pourrait permettre une co-intégration *on-chip* en fabriquant les memristors en fin de ligne (BEOL). L'implémentation d'une telle solution de contrôle soulève cependant des problématiques importantes comme la mise à l'échelle de ces systèmes de contrôles intégrés et la viabilité des memristors à réaliser cette tâche.

1.2.1 Mise à l'échelle des systèmes à base de boîtes quantiques sur silicium à l'aide de circuits de contrôle intégrés

Les différentes applications promises par les ordinateurs quantiques requièrent plusieurs dizaines de milliers de qubits physiques. Pour permettre l'opération d'un tel nombre de boîtes quantiques, il est inévitable d'intégrer l'électronique de contrôle directement dans le cryostat pour éviter des goulots d'étranglement imposés par les câbles rentrant et sor-

tant du réfrigérateur à dilution. Les efforts de développement de telles solutions intégrées se sont accélérés ces cinq dernières années permettant la définition de critères de performances comme l’empreinte du circuit, le nombre d’E/S (entrées/sorties) ou encore la consommation d’énergie. Cependant, il reste à définir une architecture de contrôle intégrée remplissant ces critères pour chacune des fonctions de contrôle nécessaires pour l’opération d’un qubit. Cette architecture doit être facilement reproductible et capable de démontrer une capacité à contrôler des centaines de milliers de qubits physiques avec une grande fidélité.

1.2.1.1 Conception d’une solution

Premièrement, il est nécessaire de s’interroger sur la manière dont on peut concevoir une solution de contrôle évolutive pour des boîtes quantiques sur silicium. Quelle est la température d’intégration idéale ? Faut-il co-intégrer et quels sont les défis liés à une co-intégration ? Une approche basée uniquement sur l’électronique classique froide est-elle la bonne solution à long terme ? Plusieurs approches seront présentées à la section 2.2, ses solutions sont orientées vers la réalisation de fonctionnalités précises (polarisation, lecture ou encore manipulation du spin) et ne prennent pas en compte une co-intégration avec d’autres solutions de contrôle intégrées. Une harmonisation des procédés de conception serait nécessaire pour permettre de tendre vers une solution de contrôle distribuée, comme présentée par D.J. Reilly [34], permettant un contrôle global.

1.2.1.2 Performances des solutions intégrées

Les performances présentées par les solutions d’électroniques froides de contrôle intégrées sont inférieures à celles des instruments de contrôle à température ambiante actuellement utilisés, limitant ainsi la fidélité de certaines opérations de contrôle. De plus, un axe de recherche important pour les boîtes quantiques est l’augmentation de leur température d’opération [26, 27, 28] ce qui les rend plus sensibles au bruit, notamment celui introduit par l’électronique de contrôle. L’électronique intégrée pour le contrôle *in-situ* présente actuellement des niveaux de bruits plus élevés ce qui pourrait ainsi limiter la température maximale d’opération des boîtes quantiques. On peut finalement se questionner sur l’impact de la température sur les performances de l’électronique bien que les températures cryogéniques permettent de s’affranchir d’une majeure partie du bruit thermique les performances de certains composants peuvent être fortement affectées comme la tension de seuil pour les transistors [48], la résistance ou la capacité pour les condensateurs [49]. Il pourrait être intéressant et nécessaire de considérer des composants émergents tels que les mémoires résistives lorsque les comportements électriques de composants classiques ne

sont pas transposables à température cryogénique.

1.2.1.3 Co-intégration

La co-intégration de la solution de contrôle avec les boîtes quantiques est l'étape finale. Cette co-intégration peut être réalisée *off-chip* dans un premier temps ce qui nécessite de placer la solution de contrôle intégrée à très basse température. Une telle co-intégration introduit des contraintes strictes vis-à-vis de la charge thermique et la compatibilité cryogénique de la solution de contrôle. L'étape finale viserait une co-intégration *on-chip* qui imposent des défis de fabrication à la fois pour les boîtes quantiques et la solution de contrôle. Il serait nécessaire de fabriquer des boîtes quantiques sur silicium compatibles avec des procédés de fabrication industriels et intégrer la solution de contrôle en fin de ligne de fabrication avec des techniques compatibles. Il est ainsi important de se demander quels sont les enjeux en termes de fabrication et conception pour permettre une co-intégration pour plusieurs centaines de qubits physiques dans un premier temps.

1.2.2 Performances des circuits de memristors

Dans l'optique d'une co-intégration à température cryogénique, l'utilisation de circuits de memristors semble une solution viable pour permettre le contrôle de boîtes quantiques. Ces composants offrent une compatibilité avec certains procédés de fabrication industriels, une densité d'intégration élevée et une non-volatilité des conditions de formation des boîtes quantiques. Cependant, les memristors démontrent des non-idéalités comme la variabilité de programmation ou un bruit de lecture important pouvant limiter leur utilisation dans des circuits électroniques de contrôle. L'optimisation des processus de fabrication et l'utilisation de fonderies de grade industriel devraient permettre d'améliorer les performances des memristors, uniformiser leurs propriétés et augmenter le rendement de fabrication. Cependant, la consommation d'énergie d'une solution à base de memristors sera toujours supérieure à un concept basé sur des condensateurs [39] dû au caractère résistif des memristors introduisant une charge thermique indésirable par effet Joule. Il est donc nécessaire d'optimiser au maximum la puissance consommée par le circuit à base de memristors.

Pour les memristors, les applications sont pour le moment limitées à des résolutions de problèmes de classifications simples [50] et au développement de réseaux de neurones matériels [51, 52]. Des utilisations concrètes de memristors comme composant électrique simple pour la réalisation de certaines fonctions électroniques sont peu communes mais incluent un filtre à réponse impulsionnelle finie (FIR) reconfigurable [53] et un convertisseur numérique/analogique (CNA ou DAC) programmable [54].

L'utilisation de memristors pour le contrôle de boîtes quantiques *in-situ* est actuellement limitée par le comportement cryogénique des memristors encore relativement peu étudié, la variabilité de programmation et le bruit introduit par ces composants.

1.2.2.1 Compatibilité cryogénique

L'étude du comportement cryogénique des mémoires résistives est limitée à l'analyse des caractéristiques I-V en courant continu. Cependant pour démontrer la viabilité des memristors pour la conception de circuit de contrôle cryo-compatible, il est indispensable de vérifier le comportement pulsé des memristors et notamment leur capacité à être programmés à des états de résistances arbitraires. De plus, les memristors à base de TiO_{2-x} développés dans le groupe du Professeur Drouin présentent une transition métal-isolant (MIT) à des températures inférieures à 125 K [45, 46]. Cette MIT introduit une forte augmentation de la résistance des memristors à base de TiO_{2-x} rendant plus complexe leur utilisation à basse température ce qui pourrait dégrader leur comportement cryogénique et compromettre la précision de la programmation multiniveau à basse température.

1.2.2.2 Non-idéalités et bruits

Le processus de commutation résistif est un procédé stochastique ce qui introduit une imprécision des opérations d'écriture et de lecture de la résistance des memristors. Ces variabilités impactent directement les performances des circuits à base de memristors pouvant rendre impossible leur fonctionnement. De plus le nombre limité d'états de résistance distincts programmable sur un même memristor restreint leur versatilité. Plusieurs approches peuvent être utilisées pour mitiger ces contributions négatives. La qualité de la programmation peut être augmenté par programmation pulsée à faible tolérance d'erreur en utilisant un plus grand nombre de séquences lecture-écriture au coût d'une vitesse de programmation plus lente. Augmenter le nombre de memristors dans un circuit pour répondre aux mêmes exigences permet aussi d'atténuer l'impact des non-idéalités et du bruit sur les performances mais aux dépens de la taille du circuit, du budget énergétique et de l'augmentation croissante des résistances d'accès.

1.2.3 Questions de recherche

Ces différentes problématiques mènent à se poser les questions suivantes : Dans quelles mesures les memristors à base de TiO_{2-x} sont-ils compatibles avec des températures cryogéniques ? Est-il possible de polariser les électrodes d'une boîte quantique avec un circuit basé sur des mémoires résistives à température cryogénique ? Comment les mémoires résis-

tives peuvent être utilisées pour débloquer le verrou technologique actuel limitant la mise à l'échelle des systèmes quantiques ?

1.3 Contexte du projet et hypothèses de recherche

Cette thèse de doctorat s'inscrit dans le cadre d'une collaboration entre l'Institut interdisciplinaire d'innovation technologique (3IT) et l'Institut quantique (IQ) de l'Université de Sherbrooke. Cette collaboration vise à mettre en commun les ressources matérielles, le savoir-faire et les connaissances des deux instituts pour développer des approches innovantes de contrôle quantique permettant de faciliter la mise à l'échelle des systèmes à base de boîtes quantiques. Le groupe du Professeur Dominique Drouin au 3IT a développé des procédés de fabrication de memristors à base de TiO_{2-x} compatible CMOS [44] et possède une expertise en caractérisation cryogénique de mémoires résistives [47, 46]. Tandis que l'Institut Quantique (IQ) dispose d'installations cryogéniques uniques au Canada et possède un savoir-faire en conception et manipulation de qubits de spins au travers des groupes des Professeur Michel Pioro-Ladrière et Professeure Éva Dupont-Ferrier. Cet écosystème est sans égal en Amérique du Nord et représente l'environnement idéal pour développer des solutions émergentes de contrôle pour qubits de spins à base de memristors permettant ainsi d'adresser les questions de recherches énoncées à la section 1.2.3.

1.3.1 Conception d'un circuit cryo-compatible

Le circuit de contrôle à base de memristors développé pour la polarisation *in-situ* de boîtes quantiques doit être compatible avec les températures cryogéniques. Cette compatibilité cryogénique introduit plusieurs objectifs clés :

- (i) La validation de la compatibilité cryogénique des memristors à base de TiO_{2-x} : Le comportement en courant continu des memristors TiO_{2-x} a été largement étudié à température cryogénique [45, 46, 47], ces memristors démontrent une transition métal-isolant (MIT) en dessous de 125 K qui diminuent leurs performances à basse température. Il sera important de quantifier l'impact de cette MIT sur leur comportement analogique pulsé à température cryogénique. Cette validation passera notamment par la programmation multiniveau d'états de résistances, des mesures de dépression/potentialisation à long terme (LTP/LTD) et l'étude de la rétention des états résistifs.
 - (ii) Le test de composants électroniques discrets à température cryogénique : Un circuit électronique pour la polarisation de boîtes quantiques devrait aussi utiliser des composants électroniques communs comme des résistances, des condensateurs ou des amplificateurs opérationnels. Ces composants discrets devront être testés à tem-
-

pérature cryogénique pour s’assurer que leur comportement ne dérive pas de celui observé à température ambiante.

- (iii) Le développement d’une plateforme permettant la co-intégration des memristors et des composants électroniques discrets : Il est nécessaire de développer une plateforme PCB pour permettre de distribuer les signaux entre les composants électroniques et les memristors requis pour la polarisation de boîtes quantiques.
- (iv) La validation expérimentale du concept de source de tension DC à base de memristors : Cette étape finale permettra de vérifier les performances de la source de tension DC notamment la résolution, la plage de tension, le niveau de bruit et la stabilité de la tension de sortie.

1.3.2 Polarisation des électrodes d’une boîte quantique

La polarisation des électrodes d’une boîte quantique est une étape nécessaire pour permettre le confinement d’un nombre donné d’électrons dans cette boîte quantique. Pour réaliser cette tâche, il est indispensable de pouvoir mesurer des diagrammes de stabilité de charges lisibles pour identifier la zone à électron unique. Cette contrainte impose plusieurs critères de performance pour la source de tension DC à base de memristors [30, 33] :

- (i) Une tension en courant continu réglable et indépendante pour chaque boîte quantique.
- (ii) Une plage de tension d’environ 1 V.
- (iii) Une tension centrale réglable V_c entre 500 mV et 3 V pour permettre la polarisation de plusieurs types de boîtes quantiques, c’est-à-dire une plage de tension : $[V_c - 0.5; V_c + 0.5]$ avec $V_c \in [0.5; 3]V$.
- (iv) Une résolution en tension de l’ordre de 1 mV ou moins pour permettre l’identification des lignes de transitions dans le diagramme de stabilité de charges.
- (v) Un faible niveau bruit pour limiter l’impact de la source de tension DC sur le temps de cohérence du qubit de spin [55, 56].
- (vi) Une tension de sortie stable ne présentant pas de dérives dans le temps.

1.3.3 Co-intégration et mise à l’échelle

La co-intégration d’une source de tension à base de memristors et de boîtes quantiques peut se faire de plusieurs manières successivement plus complexes : hétérogène (*off-chip*), *flip-chip* ou *on-chip*. L’objectif principal de cette thèse de doctorat est de conceptualiser une source de tension DC et de réaliser une co-intégration *off-chip* permettant de limiter les défis de fabrication et d’encapsulation introduits par des co-intégrations *flip-chip* ou *on-chip*. Une co-intégration hétérogène reste un défi important et définit plusieurs objectifs à atteindre pour permettre une polarisation *in-situ* de boîtes quantiques :

- (i) Le concept simple à base de memristors doit respecter les prérequis de performances pour la polarisation énoncés à la sous-section 1.3.2.
- (ii) La plateforme PCB nécessaire pour la co-intégration des memristors et de composants électroniques discrets (voir sous-section 1.3.1) doit être compatible avec les températures cryogéniques et la disposition du cryostat.
- (iii) La source de tension DC à base de memristors doit présenter une consommation en énergie basse compatible avec la puissance de refroidissement d'un réfrigérateur à dilution.

D'autre part, la mise à l'échelle d'une telle solution requerrait une co-intégration *on-chip* ou *flip-chip* pour maximiser le nombre de sources de tension intégrables et minimiser le nombre d'interconnexions requises entre la puce quantique et l'électronique de polarisation. Une co-intégration *on-chip* impose le remplacement des composants électroniques discrets par des circuits intégrés propres à cette application (ASIC). Dans le cadre de cette thèse de doctorat, on se limitera à la conception des composants et l'étude de la mise à l'échelle par outil de simulation de circuits analogiques afin de déterminer le nombre maximum de sources de tension DC à base de memristors intégrables dans un cryostat.

1.4 Plan du manuscrit

Cette thèse de doctorat est construite selon le plan subséquent. Le chapitre 1 introduit les enjeux relatif à cette thèse et met en contexte les travaux de recherche menés dans l'écosystème de l'Université de Sherbrooke, de l'Institut interdisciplinaire d'innovation technologique (3IT) et le groupe de recherche du Professeur Dominique Drouin.

Une revue de l'état de l'art de l'électronique froide pour le contrôle quantique et de la technologie memristor est présentée au chapitre 2 pour soutenir les enjeux identifiés dans le chapitre 1. Dans cette optique, on présente tout d'abord à la section 2.1 les avancées actuelles des technologies quantiques. Une attention particulière est apportée à la description des étapes d'initialisation et de contrôle nécessaires pour permettre le calcul quantique avec des boîtes quantiques sur silicium. La mise à l'échelle des systèmes à base de boîtes quantiques requiert de repenser les solutions d'électroniques de contrôle et d'intégrer progressivement de l'électronique froide dédiée dans le cryostat limitant ainsi les E/S requises pour le contrôle des qubits de spin. Les exigences contraignant la conception d'électronique de contrôle froide ainsi que différentes approches pour permettre la mise à l'échelle des systèmes à base de boîtes quantiques sont présentées à la section 2.2. A la section 2.3, on présente dans un premier temps l'écosystème des mémoires émergentes avant d'aborder les mémoires résistives et leur comportement en milieu cryogénique dans l'optique de les utiliser dans une solution de contrôle intégrée pour boîtes quantiques.

Cette présentation de l'état de l'art permet de définir la problématique à laquelle ce projet de recherche répond. Les ordinateurs quantiques arrivent à un tournant critique de leur développement : leur mise à l'échelle. Parmi les verrous technologiques empêchant cette mise à l'échelle, on retrouve les limitations imposées par l'approche utilisée pour opérer les systèmes quantiques. La petite taille, la compatibilité avec les puissances de refroidissement de cryostats commerciaux et la non-volatilité démontrées par les memristors en font un bon candidat pour débloquent ce verrou technologique. Pour répondre à cette problématique, une étude du comportement cryogénique des memristors à base de TiO_{2-x} est réalisée au chapitre 3. Ce chapitre se présente sous le format d'un article publié dans le journal *Applied Physics Letters* intitulé "*Analog programming of CMOS-compatible $\text{Al}_2\text{O}_3/\text{TiO}_{2-x}$ memristor at 4.2 K after metal-insulator transition suppression by cryogenic reforming*". Cette étude permet de valider la viabilité des memristors TiO_{2-x} pour l'électronique froide de contrôle.

On présente ensuite un concept de source de tension DC à base de memristors au chapitre 4. Les performances de la source de tension DC sont simulées en s'appuyant sur des mesures cryogéniques de memristors. Ce chapitre consiste en un article nommé "*Memristor-based cryogenic programmable DC sources for scalable in-situ quantum-dot control*" publié dans la revue *IEEE Transactions on Electron Devices*.

Un prototype expérimental de cette source de tension est présenté au chapitre 5. Ce chapitre est composé d'un article nommé "*Towards scalable cryogenic quantum dot biasing using memristor-based DC sources*" soumis dans le journal Elsevier *Cryogenics*. La conception du prototype de source de tension à base de memristors ainsi que le montage expérimental y est présenté. Une étude du comportement en courant continu du prototype de source de tension DC est réalisée permettant de valider le concept. Des simulations de mise à l'échelle du concept sont aussi effectuées démontrant le potentiel des sources de tension DC à base de memristors intégrés monolithiquement.

Finalement, une conclusion sur les travaux de recherches présentés au cours de cette thèse de doctorat est réalisée au chapitre 6. Des pistes d'amélioration et des perspectives sont abordées pour conclure le manuscrit.

CHAPITRE 2

État de l'art

L'informatique quantique est un domaine promettant de transformer le monde moderne en révolutionnant la médecine, la finance, la chimie ou encore le domaine de l'énergie. Cependant, on verra que pour remplir ces promesses plusieurs questions doivent être encore adressées. Aucun consensus n'a encore été trouvé pour l'implémentation physique de qubit, plusieurs technologies étant encore en compétition comme on le présentera à la Section 2.1. Dans la suite du manuscrit, on se concentrera sur les qubits semiconducteurs se présentant comme d'excellents candidats à la mise à l'échelle due à leur compatibilité CMOS [24]. D'une part, dans ce contexte de mise à l'échelle on présentera ensuite à la Section 2.2 les avancées en matière d'électronique de contrôle froide intégrée pour le contrôle dit évolutif permettant la manipulation de plusieurs milliers de qubits semiconducteurs. D'autre part, les mémoires non-volatiles pourraient être d'excellents candidats pour permettre la mise à échelle des systèmes quantiques, en particulier on discutera à la Section 2.3 du potentiel des mémoires résistives à base d'oxyde et de leur compatibilité avec les milieux cryogéniques mais aussi de certaines limitations imposées par ces dispositifs.

2.1 Les technologies quantiques

2.1.1 Ions piégés

Des ions (ou des particules atomiques chargées) peuvent être confinés et piégés en utilisant des champs électromagnétiques appliqués par des électrodes de confinement [11, 10] (Voir Fig. 2.1(a)). L'information quantique est encodée dans les états électroniques stables de chaque ion piégé. Finalement, le contrôle quantique de ces états s'effectue par des lasers de contrôle qui vont induire des couplages entre les états quantiques [57, 58].

Les ions piégés tirent parti d'un grand temps de cohérence de l'état quantique ($T_2 \geq 600s$ [59]) et d'excellentes fidélités ($\mathcal{F} \geq 99.9\%$ [60, 61]). Les systèmes à ions piégés pourraient être limités par les temps de portes logiques élevés (entre 1 à 100 μs [57]) notamment pour des calculs quantiques complexes [62]. Ces systèmes utilisent un grand nombre de lasers pour piéger les ions rendant la mise à l'échelle plus complexe limitée par la co-intégration opto-électronique requise. Les applications actuelles des systèmes à ions piégés

sont majoritairement orientées vers la simulation quantique [63, 64] comme la simulation pour la chimie quantique [65] ou encore la simulation d'aimant quantique [66].

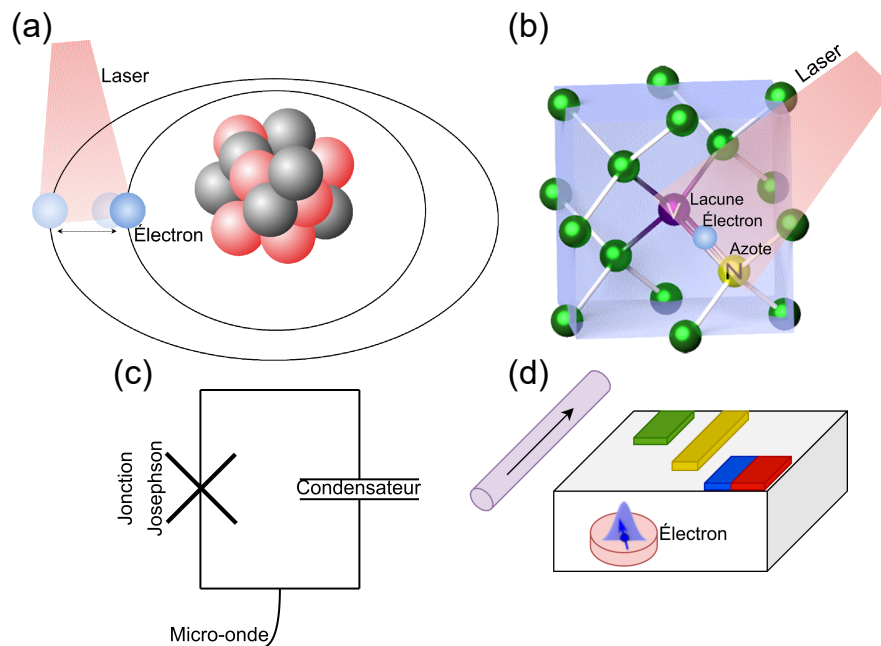


FIGURE 2.1 Représentation schématique de différentes technologies quantiques. (a) Ions piégés. (b) Centre azote-lacune dans les diamants (c) Circuits supraconducteurs (d) Boîtes quantiques.

2.1.2 Centres azote-lacune dans les diamants

Les centres azote-lacune dans les diamants sont formés en retirant un atome de carbone du réseau cristallin du diamant et le remplaçant par un atome d'azote tout en laissant un noeud voisin du réseau vide (Voir Fig. 2.1(b)) [16, 15]. Un centre azote-lacune est habituellement nommé centre NV pour *Nitrogen-Vacancy center*. Les électrons depuis la couche de valence de l'atome d'azote viennent occuper les orbitales atomiques dans le centre NV ainsi les spins électroniques présents dans le centre NV interagissent avec les spins nucléaires des atomes de carbones adjacents au centre NV dans le réseau cristallin [67, 15]. Ainsi le spin total du centre NV peut encoder un bit quantique (qubit) [67, 68].

Les systèmes quantiques basés sur les centres azote-lacune dans les diamants peuvent être opérés à température ambiante et démontrent des applications intéressantes en métrologie quantique [69] notamment pour la mesure de champs magnétiques (magnétomètre) [70, 71, 72]. Cependant, leur utilisation pour le calcul quantique est actuellement limitée par la difficulté à intriquer plusieurs qubits.

2.1.3 Circuits supraconducteurs

Les premières implémentations de qubits supraconducteurs remontent à la fin des années 1990 par le développement de la boîte de paire de Cooper [8, 73] consistant en une simple jonction Josephson et un condensateur implémentant un oscillateur quantique anharmonique (Voir Fig. 2.1 (c)). Les états d'un qubit sont ainsi encodés par les états d'énergies non-équidistant de cet oscillateur [74, 75]. Cette architecture a ensuite été complexifiée pour introduire de nouveaux degrés de liberté dans le système permettant notamment le contrôle des fréquences de transition des états quantiques du qubit supraconducteur [9], ces qubits sont appelés des qubits Transmons réglables en fréquence (ou réglables en flux). Cette implémentation permet notamment d'effectuer des opérations logiques à deux qubits en implémentant des portes quantiques CZ [76, 75].

Ces dix dernières années des avancées importantes en calcul quantique en utilisant des systèmes à qubits supraconducteurs ont été réalisées comme l'avantage quantique de Google [17], la démonstration expérimentale du *Surface code* [77, 78] ou encore des prémices de simulation quantique [79]. Finalement pour permettre la mise à l'échelle des systèmes quantiques basés sur les circuits supraconducteurs, un travail important d'intégration de l'électronique de contrôle [80] et une maîtrise des procédés de fabrication pour atteindre des temps de cohérence de l'ordre de la centaine de microsecondes seront nécessaires [81]. Par ailleurs la taille micrométrique des qubits supraconducteurs pourrait représenter un problème pour l'intégration de millions de qubits supraconducteurs sur une même puce [82].

2.1.4 Qubits semiconducteurs et boîtes quantiques

A l'instar des qubits supraconducteurs, les deux premières architectures de qubits semiconducteurs ont été proposées à la fin des années 1990. La première architecture (Loss-DiVincenzo) vise à utiliser le degré de liberté du spin- $\frac{1}{2}$ d'électrons uniques confinés dans des puits de potentiels nommés boîtes quantiques [5], l'autre architecture (Kane) utilise le spin nucléaire d'atomes donneurs de phosphore placés dans un réseau de silicium pur [83]. L'architecture de Loss-DiVincenzo propose l'utilisation de grilles électrostatiques à la surface d'un semi-conducteur pour réaliser le confinement d'électrons uniques [5] dans des puits de potentiel nommés boîtes quantiques (Voir Fig. 2.2(a)). Tandis que l'architecture de Kane basée sur les donneurs utilise la force d'attraction fournie par les impuretés dans le silicium introduites par les donneurs (dopants) pour confiner un spin nucléaire unique (voir Fig. 2.2(b)). Le confinement fourni par les atomes dopants est plus reproductible et important (en amplitude) que celui introduit par les boîtes quantiques. L'état du spin nucléaire

est contrôlé par des techniques analogues à la résonance magnétique nucléaire (RMN). Les approches proposées par Loss-DiVincenzo (spin électronique) [5] et Kane (donneur) [83] pour le calcul quantique reposent sur la manipulation de qubits de spin unique avec des champs électromagnétiques statiques et oscillants. La principale source de déphasage pour les qubits à spin unique est le bruit magnétique associé à l'environnement des semi-conducteurs. Pour éviter ces limitations, les qubits de spin peuvent être réalisés à partir de différents ensembles d'états multi-spins associés à des groupes d'électrons. L'extension naturelle du système à spin unique est l'utilisation d'un système à deux électrons dans une double boîte quantique (DQD). L'interaction d'échange permet de définir une séparation contrôlée des états singulet et triplet permettant de définir un qubit singulet-triplet à partir de deux électrons [84, 6] (Voir Fig. 2.2(c)). Le contrôle de qubit singulet-triplet requiert l'utilisation de champs magnétiques statiques inhomogènes [85] ce qui peut rendre le contrôle relativement difficile. En utilisant un système à trois électrons dans des boîtes quantiques adjacentes pour encoder un qubit, il est possible de réaliser des opérations à un qubit et deux qubits uniquement avec l'interaction d'échange simplifiant ainsi le contrôle (Voir Fig. 2.2(d)) [86].

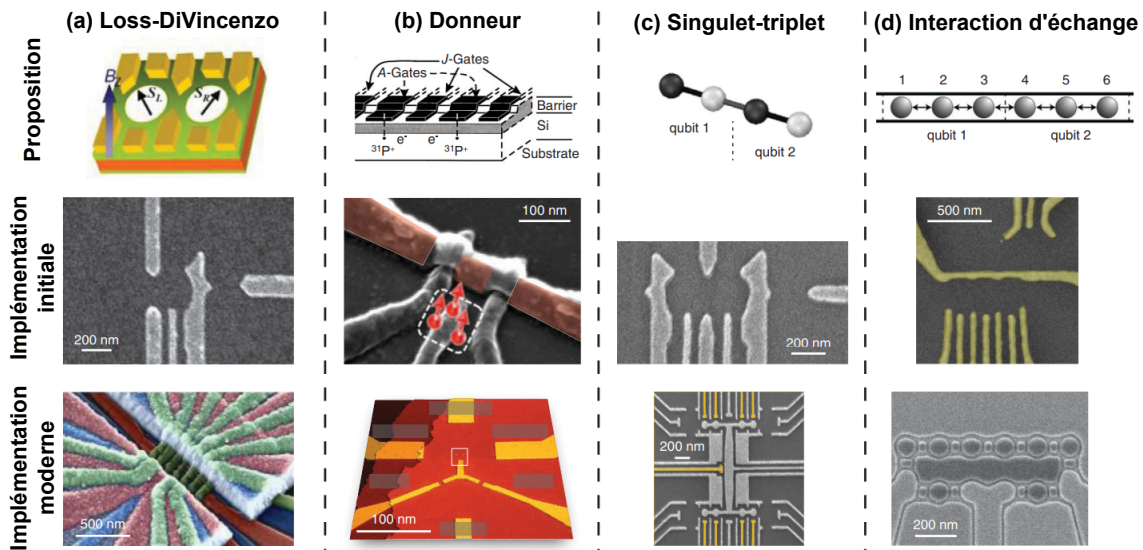


FIGURE 2.2 Les quatre types de qubits semiconducteurs sont présentés avec leur proposition original, leur première implémentation et leur implémentation moderne. Cette figure est adaptée de la Ref. [87].

2.1.5 Comparaison des différentes technologies quantiques

Les différentes technologies présentées au cours de cette section disposent chacune de leurs avantages et inconvénients (Voir Tableau. 2.1). Notamment, les technologies basées sur un contrôle optique comme les ions piégés peuvent être opérées à température am-

biente (≈ 300 K) tandis que les qubits de l'état solide, circuits supraconducteurs et boîtes quantiques, doivent être refroidis à des températures de l'ordre de la dizaine de milli-Kelvins pour les qubits supraconducteurs à quelques Kelvins pour les boîtes quantiques. Cette température d'opération permet de diminuer le bruit thermique à l'origine de la décohérence des qubits de l'état solide. Malgré cet inconvénient les qubits de l'état solide sont prédisposés à la mise à l'échelle à plusieurs centaines de milliers de qubits notamment permis par un contrôle uniquement électronique. Les qubits supraconducteurs sont actuellement en avance sur le reste des autres technologies quantiques en termes d'applications notamment permis par la construction de systèmes de 100 qubits et plus. Pour continuer la mise à l'échelle de ces systèmes à base de qubits de l'état solide, le principal défi semble être le développement d'électronique de contrôle froide à l'échelle. Les boîtes quantiques semblent un meilleur candidat, à long terme, d'exploiter la mise à l'échelle de l'électronique contrôlée en s'appuyant sur leur taille nanométrique. Dans cette optique on se concentrera sur le contrôle des propositions à base de boîtes quantiques dans la suite de ce document. Ces systèmes profitent de similarités avec les transistors modernes et d'une compatibilité CMOS pouvant offrir une mise à l'échelle aisée de la technologie [24].

Technologie quantique	Ions piégés	Supraconducteur	Boîte quantique
Encodage	État électronique d'atomes ionisés	Système à deux niveaux d'un circuit supraconducteur	Spin unique (ou multiple) d'un (plusieurs) électron(s) confiné(s)
T_c	>1 h [88]	1 ms [89]	>10 ms [38]
\mathcal{F}	99.9% [90]	99.5% [91]	99.5% [92]
Qubits intriqués	20 [93]	65 [94]	3 [95]
T_{\max}	300 K [96]	<100 mK [97]	4.2 K [28]
Défi de mise à l'échelle	Mise à l'échelle des pièges	Macroscopique, fabrication industrielle et électronique de contrôle	Électronique de contrôle et fabrication à grande échelle

TABLEAU 2.1 Comparaison de l'avancement des différentes technologies quantiques utilisées pour le calcul quantique. T_c représente le temps de cohérence maximum atteint avec la technologie quantique correspondante. \mathcal{F} désigne la fidélité des portes logiques quantiques et T_{\max} est la température maximum à laquelle le système quantique peut être opéré.

2.2 Électronique de contrôle pour boîtes quantiques

Plusieurs étapes de contrôles sont nécessaires pour réaliser un calcul avec un système à base de boîtes quantiques. Bien que cette thèse de doctorat vise à adresser la mise à échelle de l'étape de confinement des électrons, on présente de manière sommaire les différentes étapes de contrôle à effectuer pour les qubits à électron unique (Loss-DiVincenzo) :

- **Le confinement des électrons** dans une ou plusieurs boîtes quantiques : Les boîtes quantiques contiennent un nombre discret et variable d'électrons confinés par l'intermédiaire de grilles métalliques (Voir Fig. 1.1 et Fig. 2.3 (a)). Appliquer une tension à une grille modifie le potentiel électrochimique de la boîte quantique [35]. Le transport d'électron vers la boîte quantique se fait par effet tunnel et est régi par le blocage de Coulomb [98]. La mesure de la conductance de la boîte quantique en fonction de la tension de grille V_g et de la tension source-drain V_{sd} permet de déterminer l'environnement électronique de la boîte quantique (voir Figure 2.3(b)), cette mesure est nommée diamants de Coulomb. De manière analogue dans un système à deux boîtes quantiques, un diagramme de stabilité de charges peut être mesuré en faisant varier les deux tensions de grille V_{g1} et V_{g2} . Ces mesures permettent de déterminer le régime à un électron, une étape nécessaire pour réaliser un qubit mais chronophage.
- **L'initialisation de l'état quantique** du qubit de spin est une étape importante qui doit être réalisée déterministiquement pour s'assurer que le qubit est toujours initialisé au même état quantique, habituellement l'état $|\downarrow\rangle$. Cette étape peut être réalisée par relaxation énergétique [5], c'est-à-dire thermaliser la boîte quantique avec son environnement pour permettre d'atteindre l'état fondamental. Bien que cette méthode soit reproductible avec une grande fidélité, elle est relativement lente et augmente en conséquence la durée des calculs quantiques. Pour éviter cet inconvénient, il est possible d'initialiser l'état quantique d'un qubit de spin en exploitant le blocage de spin de Pauli [100]. Une différence d'énergie entre les états du spin de l'électron est introduite en appliquant un champ local électromagnétique à la boîte quantique, ce phénomène est nommé effet Zeeman [101] et est essentiel pour permettre de distinguer les deux états quantiques du qubits. Pour réaliser l'initialisation, il suffit ensuite d'ajuster la tension de la grille d'accumulation pour placer l'énergie de Fermi du réservoir entre le potentiel électrochimique du spin $|\downarrow\rangle$ et $|\uparrow\rangle$ [5]. Ainsi l'électron transporté par effet tunnel dans la boîte quantique est déterministiquement initialisé à l'état $|\downarrow\rangle$.

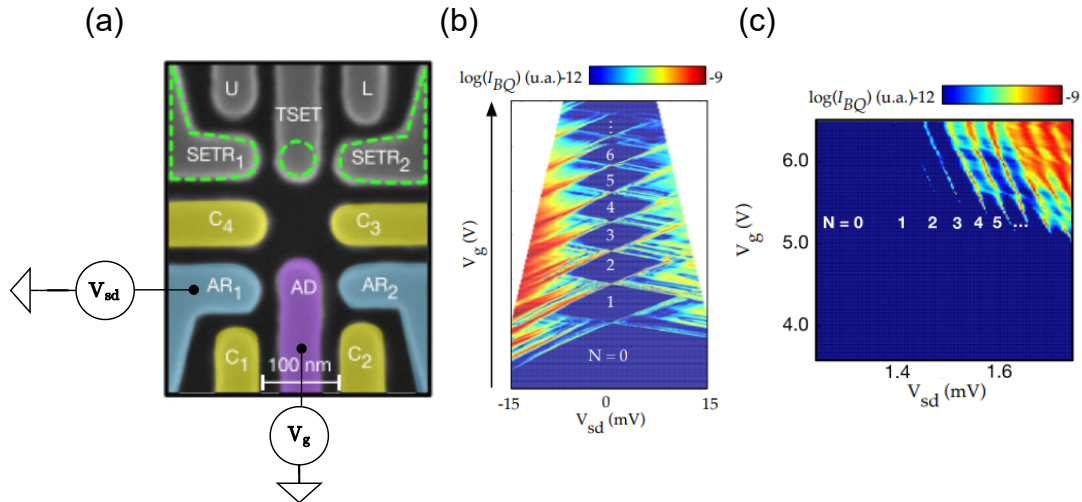


FIGURE 2.3 Figure adaptée de [99]. (a) Image MEB d'une simple boîte quantique colorée artificiellement. C_1 et C_2 sont des grilles latérales de déplétion, C_3 et C_4 des grilles de séparation. AD est la grille d'accumulation de la boîte quantique tandis que AR_1 et AR_2 sont les grilles d'accumulation du réservoir. Une copie de la boîte quantique est placée au dessus pour réaliser un transistor à électron unique (SET) permettant la détection de charge et ainsi connaître l'occupation de la boîte quantique formée sous l'électrode d'accumulation AD. (b) Mesure des diamants de Coulomb en transport. Une tension est appliquée à la grille AR_1 et le courant à travers la boîte quantique I_{BQ} est mesuré à la grille AR_2 . (c) Diagramme de stabilité de charge mesuré en détection de charge. Le courant à travers le SET est mesuré permettant de déterminer par mesure indirect l'occupation de la boîte quantique formée sous la grille AD.

- **La manipulation de l'état quantique** d'un qubit est communément réalisée par résonance paramagnétique électronique (ESR) [5] pour les qubits de spin de Loss-DiVincenzo. Une impulsion électromagnétique d'amplitude perpendiculaire à la direction du champ magnétique externe induit une rotation du spin si la fréquence de l'impulsion est égale à la séparation de Zeeman, c'est-à-dire la séparation d'énergie entre les états $|\downarrow\rangle$ et $|\uparrow\rangle$. La durée de l'impulsion permet de contrôler le degré de rotation de l'état quantique [102]. Pour réaliser des opérations à deux qubits, il est nécessaire de contrôler le couplage inter-boîte notamment en s'appuyant sur l'interaction d'échange [5, 6]. Plusieurs opérations classiques peuvent être réalisées comme la porte logique CNOT qui correspond à la rotation d'un spin conditionnellement à l'état du spin d'une boîte quantique adjacente [103].
- **La lecture de l'état quantique** revient à mesurer le spin de l'électron présent dans la boîte quantique. Cette étape s'appuie sur la conversion spin-charge [104, 105] et

peut être réalisée de différentes manières. La méthode la plus commune utilise un concept similaire à l'initialisation en ajustant l'énergie de Fermi du réservoir entre les états $|\downarrow\rangle$ et $|\uparrow\rangle$, dans ce cas la mesure d'une charge correspond au transport d'un spin dans l'état $|\uparrow\rangle$ vers le réservoir, si aucune charge n'est mesurée le spin est dans l'état $|\downarrow\rangle$. Il est aussi possible d'utiliser une seconde boîte quantique configurée en transistor monoélectronique (SET) pour réaliser une mesure basée sur le blocage de spin de Pauli [106] comme pour le dispositif de la Figure. 2.3 (a).

Les deux méthodes de mesures précédentes sont dites destructives ce qui ne permet pas la réalisation de calculs quantiques, pour ce faire il est nécessaire de développer des méthodes de mesure non-destructive. Ces méthodes incluent l'utilisation d'une boîte quantique auxiliaire dont l'état de charge dépend de l'état du spin de la première boîte quantique [107] ou encore un couplage entre la boîte quantique et un résonateur où l'état du spin influe sur la fréquence de résonance du résonateur (effet Stark) [108].

Réaliser ces différentes opérations de contrôle pour des systèmes mis à l'échelle représente un défi d'ingénierie électronique important [3]. L'approche de contrôle linéaire actuellement utilisée n'est pas compatible pour l'intégration de plusieurs centaines de qubits du à l'encombrement spatial introduit par les E/S requises pour le contrôle [32, 109] (voir Fig. 2.4(a)). Pour permettre de contrôler un grand nombre de qubits, plusieurs millions pour pouvoir casser un code RSA à 2048 bits [110], il est nécessaire d'implémenter des méthodes de contrôle intégrées basse puissance et idéalement partagées entre les différents qubits physiques. Une telle mise à échelle a déjà été réalisée pour les ordinateurs traditionnels avec la découverte des transistors. L'un des premiers ordinateurs, l'ENIAC pesait 30 tonnes et requérait un hangar de 200 m². Les différentes opérations de calculs étaient réalisées en connectant et déconnectant manuellement des câbles. Les processeurs modernes intègrent plusieurs milliards de transistors pour seulement quelques centaines d'entrées/sorties et une taille d'environ 10 cm².

De plus placer l'électronique de contrôle à température ambiante introduit une distance non négligeable avec la puce quantique (QPU) (environ 1.5 m de câble). En plus du goulot d'étranglement évident en termes d'E/S dans le cryostat, cette distance introduit une latence de plusieurs dizaines de nanosecondes, un temps comparable à la durée d'une opération à deux qubits [111], ce qui pourrait provoquer des problèmes de synchronisation et ralentir la vitesse d'exécution des boucles des algorithmes de corrections d'erreurs [30]. Intégrer l'électronique de contrôle dans le cryostat permettrait de réduire drastiquement

la latence et son impact sur les performances du système quantique. En outre, cette intégration faciliterait la mise en place de protocoles de corrections d'erreurs quantiques comme le Surface code par exemple [112] fortement limitée par la latence introduite par la longueur des câbles transportant les impulsions de contrôle [113].

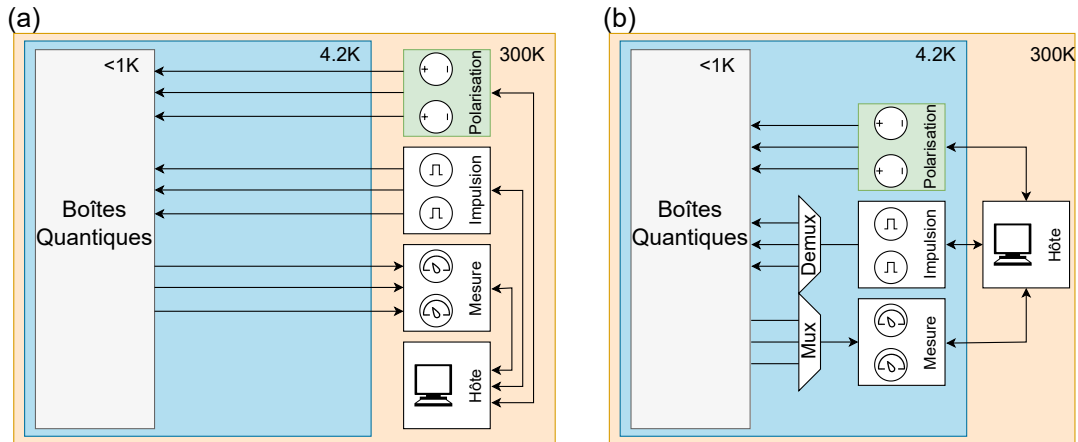


FIGURE 2.4 (a) Représentation schématique d'un système à base de boîtes quantiques. L'électronique de contrôle est placée à l'extérieur du cryostat introduisant un goulot d'étranglement si le nombre de boîtes quantiques est trop élevé. La boîte verte représente les circuits électroniques utilisés pour la polarisation des boîtes quantiques qui font l'objet de cette thèse de doctorat. (b) Proposition de mise à l'échelle en plaçant l'électronique de contrôle dans le cryostat et en utilisant des multiplexeurs et démultiplexeurs pour limiter le nombre d'interconnexions requises dans le cryostat.

2.2.1 Cahier des charges pour l'électronique de contrôle froide

Pour manipuler et réaliser des opérations avec des qubits de spin, il est nécessaire que l'électronique de contrôle utilisée réponde à certaines exigences vis-à-vis des signaux générés [30] :

1. Une tension DC réglable, indépendante et avec une résolution fine c'est-à-dire une tension DC avec une résolution d'environ 1 mV , une plage de tension de 1 V pour chaque boîte quantique [30, 33]. Cette tension de sortie doit présenter un niveau de bruit inférieur à sa résolution et une rétention très grande devant le temps de cohérence du qubit [30].
2. Les impulsions de tension appliquées aux grilles doivent être réglables et indépendantes pour chaque boîte quantique. Ces impulsions ont généralement une amplitude allant jusqu'à des dizaines de mV et des temps de montée sous la nanoseconde, pour permettre une manipulation précise de l'état quantique.

3. Des champs électromagnétiques réglables et indépendants pour chaque boîte quantique (généralement entre -40 et -20 dBm, 1-50 GHz)
4. L'initialisation, les différentes opérations et ainsi que la mesure de l'état quantique doivent être rapide par rapport au temps de cohérence du qubit.

Il est donc possible d'utiliser les exigences énoncées comme des critères de performances pour permettre la comparaison des différentes solutions de contrôle développées pour les boîtes quantiques. Certaines de ces exigences peuvent être assouplies en supposant que les propriétés des boîtes quantiques du système quantique sont uniformes. Cependant pour l'étape de confinement des électrons, les tensions de grille requises pour atteindre le régime à électron unique sont différentes pour chaque QD en raison des non-uniformités dans le substrat et les variations rencontrées lors du processus de fabrication. Ainsi il est nécessaire de disposer de signaux indépendants et réglables pour chacune des QDs.

En plus de ces critères valables à la fois pour l'électronique de contrôle froide et 'chaude' (à température ambiante), des contraintes s'ajoutent à température cryogénique :

1. La puissance dissipée pour un canal de contrôle doit être de l'ordre du milliwatt pour permettre une intégration à l'étage 4.2 K.
2. Le rapport entre le nombre de qubits de spin contrôlés et le nombre d'entrées requises pour asservir l'électronique de contrôle doit être supérieur à 1 pour éviter un goulot d'étranglement.
3. L'empreinte du bloc de contrôle doit être inférieure à 10 cm^2 car l'espace dans un cryostat est restreint.
4. Le design du bloc de contrôle doit être facilement mis à l'échelle pour permettre le contrôle de plusieurs milliers de qubits de spin.

2.2.2 Avancements de l'électronique de contrôle froide

Plusieurs solutions d'électronique de contrôle froide pour les boîtes quantiques ont déjà été proposées, elles implémentent des méthodes de contrôle partagées pour adresser plusieurs boîtes quantiques simultanément. Ces différentes propositions visent une intégration au plus près de la couche quantique, c'est-à-dire le palier de température 4.2 K ou plus bas.

La majorité des solutions proposées reprennent des concepts connus de l'électronique à température ambiante et tentent une intégration à très basse température. Les premières tentatives d'électroniques froides dédiées au contrôle quantique ont été basées sur des tests

de FPGAs commerciaux démontrant une comptabilité à des températures cryogéniques de 10 K pour certaines références de FPGAs [114, 115]. La fréquence de fonctionnement de ces FPGAs est augmentée à température cryogénique au coût d'une consommation d'énergie plus importante à basse température.

Des travaux sont menés en parallèle pour développer des composants électroniques pour les environnements cryogéniques comme des convertisseurs analogique-numérique (CAN ou ADC) [116, 117, 33], des références de tension [118, 119] ou des régulateurs de tension [120]. Des bibliothèques de modèles de composants appelées *Process Design Kit* sont développées spécifiquement pour les températures cryogéniques [121, 34] pour permettre la simulation de systèmes plus complexes à basse température et accélérer le développement de circuits CMOS cryogéniques. Ces bibliothèques sont basées sur des modèles cryogéniques de transistors [122, 123]. Ces différents axes de développement sont essentiels pour atteindre un processus de conception d'électronique froide fiable et rapide à l'instar de l'électronique traditionnelle.

On distingue deux approches pour adresser le défi de mise à l'échelle de l'électronique de contrôle pour les systèmes à base de boîtes quantiques, d'une part des solutions d'électroniques froides réalisant une seule des tâches de contrôle présentées en introduction de la Section 2.2, d'autre part des plateformes de contrôle permettant de réaliser l'ensemble des opérations élémentaires nécessaires pour le contrôle des qubits de spin. Dans cet optique, on présente d'abord les avancements de l'électronique pour ces deux approches. On se concentre ensuite sur les solutions permettant la polarisation *in-situ* des boîtes quantiques, on discute notamment de leur compatibilité avec les températures cryogéniques et de leurs performances à la Section 2.2.2, de leur potentielle co-intégration avec une puce quantique (QPU) à la Section 2.2.3, on étudie ensuite l'évolutivité de ces solutions pour la mise à échelle des systèmes quantiques au Tableau 2.2 et finalement on présente les limitations de ces propositions de polarisation *in-situ* à la Section 2.2.4.

- **Électronique froide pour la polarisation des boîtes quantiques** : Réaliser le confinement d'électrons dans une boîte quantique est une tâche simple du point de vue des exigences électriques : une simple tension DC avec une plage de tension d'environ 1 V et une résolution 1 mV est suffisante [30] (Voir Section 2.2.1). Cependant pour une mise à l'échelle chaque boîte quantique requiert une tension indépendamment modifiable rendant le multiplexage du contrôle une tâche complexe. Il semble donc nécessaire d'utiliser une source de tension individuelle pour chaque électrode à polariser, c'est-à-dire entre 3 et 6 sources de tension DC indépendantes
-

par boîtes quantiques [33]. Dans cette optique, certains concepts proposent de directement co-intégrer les circuits de polarisation sur la même puce que les qubits avec des intégrations 2D en fabriquant des matrices de boîtes quantiques [40, 33] ou en intégrant l'électronique dans l'espace inter-qubit d'une matrice de boîtes quantiques [124, 125, 126] demandant une grande maîtrise des procédés de fabrication des boîtes quantiques et de l'électronique de contrôle co-intégrée. De plus, l'utilisation d'une matrice de QDs suppose une uniformité des conditions de polarisation des boîtes quantiques où une seule tension est utilisée pour qu'une ligne de boîtes quantiques atteigne chacune le régime à électron unique. La majeure partie des solutions énumérées ci-dessus proposent l'utilisation de circuit à capacités commutées où la tension de polarisation d'une électrode est stockée sous forme de charges dans un condensateur [126, 38] (Voir Fig. 2.5). Ce type de circuit est communément utilisé pour réaliser des mémoires dynamiques à accès aléatoire (DRAM) dans le domaine numérique mais requiert un rafraîchissement périodique (toute les 64 ms à température ambiante) de la charge du condensateur pour conserver l'intégrité de l'information.

Trois approches différentes proposent l'utilisation de circuits à capacités commutées pour réaliser la polarisation des boîtes quantiques. Leur implémentation diffère au niveau de la complexité de la co-intégration avec des boîtes quantiques. La toute première proposition par le groupe de recherche du Pr. L.M.K Vandersypen vise une co-intégration *on-chip* du condensateur-commuté monolithique avec la boîte quantique [30]. Cette approche a été démontrée expérimentalement en réalisant la polarisation d'une électrode d'une unique boîte quantique sur silicium [39] (voir Fig. 2.5(b)) puis avec une matrice de 9 boîtes quantiques démontrant le contrôle d'une grille pour chaque boîte quantique [40] (voir Fig. 2.5(c)). La solution de matrice utilise 6 DACs pour contrôler la tension de 9 électrodes de confinement permettant de diminuer le nombre de connexions requises entre le QPU et l'électronique contrôle. Dans la suite du document, on nommera cette solution de contrôle condensateur-commuté *on-chip*.

Une approche *split-chip* a été proposée par le groupe du Pr. D.J. Reilly [37] et intègre l'ensemble des condensateurs-commutés sur une puce CMOS placée au palier 100 mK du réfrigérateur à dilution. Cette puce requiert un unique DAC pour programmer 32 tensions DC en s'appuyant sur le concept d'échantillonnage et blocage d'une tension avec un condensateur. Finalement l'approche du centre de recherche de Jülich est similaire et utilise des circuits échantillonneur-bloqueur polariser par un DAC pour contrôler plusieurs électrodes de manière multiplexée [33].

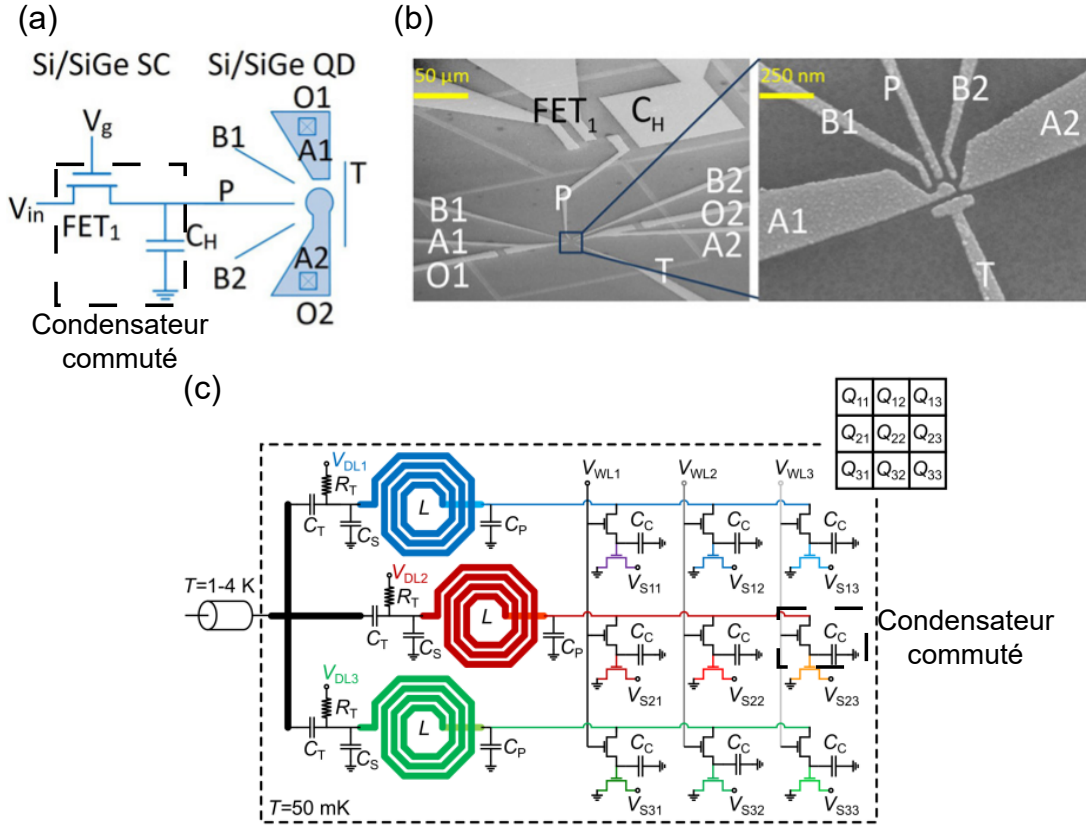


FIGURE 2.5 Figure (a) et (b) adaptées de [126] et (c) de [40]. (a) Représentation schématique de la co-intégration d'un circuit à capacité commutée et d'une boîte quantique sur silicium. (b) Image MEB de la co-intégration. (c) Matrice de boîtes quantiques co-intégrées avec des circuits à capacités commutées.

L'utilisation de ces circuits pour stocker de l'information analogique est fortement limitée par la décharge progressive du condensateur à température ambiante. À température cryogénique, la cinétique de la décharge du condensateur est moins importante permettant de stocker analogiquement des tensions. Cependant, ces circuits sont quand même sujets à des courants de fuite et il est nécessaire de rafraîchir périodiquement la charge des différents condensateurs pour assurer l'intégrité du confinement électronique et éviter une dérive de la tension de grille. La fréquence de rafraîchissement est donnée par [33] :

$$f_{\text{refresh}} = \frac{\Delta V}{R_{\text{off}} \cdot C \cdot \delta V} \quad (2.1)$$

où ΔV est la plage de tension de la source de tension programmable à base de condensateur-commuté, R_{off} est la résistance du transistor en mode ouvert ($R_{\text{off}} = 1 T\Omega$ pour [33]), δV est la résolution en tension et C la capacité du condensateur sto-

ckant la charge. Pour la référence [33], on obtient une fréquence de rafraîchissement $f_{\text{refresh}} = 1.1 \text{ MHz}$ c'est-à-dire un rafraîchissement de la charge toutes les $1 \mu\text{s}$ ce qui pourrait rendre complexe l'utilisation d'une telle solution pour plusieurs milliers de sources de tension bien que des progrès récents démontrent une rétention de la tension de grille d'environ 10 ms [40]. Cet aspect volatile représente le désavantage principal des solutions basées sur les condensateurs-commutés.

Finalement, des concepts basés sur une intégration 3D de l'électronique de contrôle ont été proposés [127, 82], cependant des avancées technologiques conséquentes en intégration CMOS seraient nécessaires. Par exemple la proposition du groupe du Dr. M. Vinet [127] basée sur des transistors d'adressage suppose l'intégration de 6 transistors au-dessus d'une matrice de qubits de *pitch* 100 nm ce qui représente un défi technologique important. Ces propositions, plus complexes, atteindront une maturité technologique plus tardive mais fourniront des fonctionnalités plus avancées et une faible empreinte [113].

- Manipulation de l'état quantique par impulsions micro-ondes :** Les différentes propositions pour la manipulation de l'état quantique intègrent un bloc numérique associé à une mémoire pour générer les impulsions micro-onde et un bloc analogique pour la conversion de ces signaux numériques en impulsion [33, 128]. L'intégration du bloc numérique pour la génération des signaux de contrôle permet de limiter le nombre de câbles sortant du cryostat, un seul câble acheminant des commandes est nécessaire. Le signal (ou la séquence de signaux) correspondant à cette commande est ensuite récupéré depuis la mémoire du bloc numérique. Le bloc analogique est constitué de plusieurs convertisseurs numérique/analogique (DAC) pour convertir le signal numérique en impulsion. Chaque électrode (grille pour le confinement ou barrière) est associée à un DAC dédié [109]. Les différences principales entre les solutions contrôles résident dans la réalisation du DAC cryogénique et du générateur de signaux numériques cryogénique. Pour le bloc mémoire, les différentes propositions utilisent des bascules (flip-flop) pour leur compatibilité avec les basses températures [129], ces mémoires présentent une empreinte importante et pourraient être remplacées par de la mémoire vive statique (SRAM) plus compacte mais dont le comportement cryogénique n'est pas encore bien caractérisé [33].
- Mesure de l'état quantique :** Les différentes propositions utilisent deux types de mesure de l'état quantique : la mesure de l'état quantique en courant continu basé sur la conversion spin-charge [130, 109] et la réflectométrie [40, 131, 132, 133]. On

remarquera par ailleurs qu'aucune solution de mesure intégrée basée sur le blocage de spin de Pauli [105] n'a été développée.

D'une part, la mesure de l'état quantique en courant continu requiert la mesure de courant très faible (de l'ordre de 1 nA [134]). Ce courant est mesuré à travers une deuxième boîte quantique appelée boîte quantique de détection qui est utilisée pour détecter la conversion spin-charge conditionnelle. Le courant mesuré est amplifié par un amplificateur faible bruit (LNA) ou un amplificateur trans-impédance (TIA) [134]. Ce courant amplifié et converti en tension doit être traité et analysé. Pour optimiser le transport de ce courant à l'extérieur du cryostat, des multiplexeurs analogiques peuvent être utilisés pour réaliser cette tâche limitant ainsi le nombre de câbles sortant du cryostat [130]. Le traitement des données de mesure est ensuite réalisé à température ambiante. Il est possible de réaliser une partie de l'analyse directement dans le cryostat comme la détection de l'état quantique par *binning* et seuillage du plan IQ [109] permise par la réalisation de conversion analogique/numérique et l'implémentation de porte logique à 4.2 K.

D'autre part, la méthode basée sur la réflectométrie est une mesure quantique non destructive, on mesure indirectement l'état quantique du qubit en utilisant un circuit auxiliaire (couplage à un résonateur, à une autre boîte quantique et un résonateur ou encore à un circuit supraconducteur) [135]. Cette propriété non-destructive est indispensable pour l'implémentation de codes correcteurs d'erreurs quantiques. La grille de la boîte quantique est couplée à un résonateur, en le sondant avec une impulsion micro-onde (5 à 10 GHz)[132], on peut mesurer le déphasage dispersif de l'état quantique (déphasage conditionnel à l'état) [131]. Une démodulation IQ est ensuite réalisée pour extraire ce déphasage. Les différentes solutions [40, 132] implémentent ce circuit (résonateur, circulateur puis récepteur IQ) et utilisent des méthodes de multiplexage en fréquence (FDMA) [133] pour paralléliser les mesures et ainsi faciliter la mise à l'échelle. Les différences entre ces prototypes résident dans la réalisation des différents blocs et notamment la partie génération d'impulsions micro-ondes.

- **Solution de contrôle complète** : Ces plateformes de contrôle intégrées permettent de limiter l'empreinte de l'ensemble du système de contrôle (*footprint*), un nombre réduit d'interconnexions entre la puce quantique et le système de contrôle traduisant un développement similaire à l'électronique traditionnelle [136] et une gestion des différents signaux facilitée (Confinement, manipulation de l'état quantique et mesure de l'état quantique) limitant les problèmes de latence et de synchronisation
-

ce qui est indispensable pour l'implémentation des codes correcteurs d'erreurs quantiques [32]. Ces plateformes de contrôle sont conçues avec une approche de design mixte analogique/numérique, des blocs d'électroniques numériques (mémoires numériques, portes logiques, etc.) permettent de traduire les commandes provenant de l'ordinateur hôte et de traiter les données provenant du QPU et d'asservir les blocs d'électroniques analogiques utilisés pour réaliser les différentes tâches de contrôle (Voir Fig. 2.6) [137, 128, 33]. Entre les blocs analogiques et numériques, des blocs mixtes de conversion (DACs et ADCs) sont requis pour convertir les signaux du domaine numérique au domaine analogique et inversement [36, 109].

Cependant, l'intégration de ces concepts dans un cryostat représente un défi supplé-

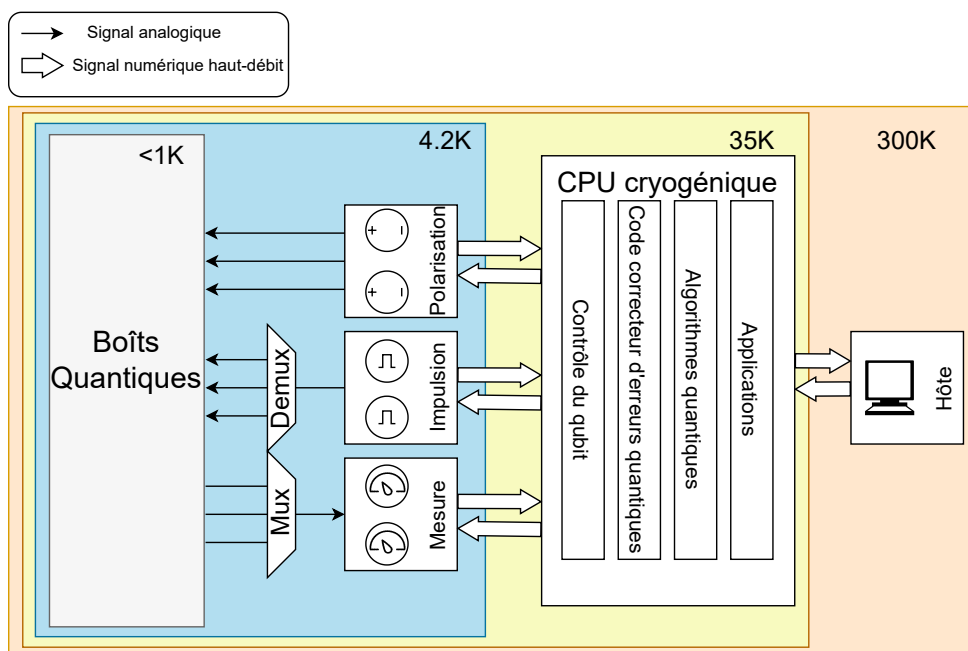


FIGURE 2.6 Représentation schématique d'une architecture de contrôle distribuée. En comparaison avec la Figure 2.4(b), une couche applicative au palier de température 35 K est rajoutée pour permettre l'exécution d'algorithmes, de codes correcteurs d'erreurs quantiques et l'asservissement de l'électronique analogique directement dans le cryostat.

mentaire en terme de gestion thermique et thermalisation du circuit intégré. Des films en indium et des portes échantillons en cuivre sont notamment utilisés pour maximiser la thermalisation de l'échantillon [109]. Ces différentes solutions de contrôle ont été désignées [33] ou testées et caractérisées à 4.2 K [109, 133, 37, 128] permettant ainsi de les placer à plusieurs étages au dessus du QPU habituellement à 100 mK ou moins. Finalement, on peut aussi entrevoir une co-intégration des plateformes de

contrôle avec un QPU au même palier de température au vu des récentes démonstrations de qubits de spin à 1.5 K [27, 26] et 4.2 K [28].

Pour contrôler plusieurs millions de qubits, d'autres blocs d'électroniques devront être implémentés pour traiter les quantités importantes de données générées par l'implémentation des codes correcteurs d'erreurs et d'algorithmes quantiques. Des débits de transmission de données de l'ordre du Tb/s seraient requis pour acheminer les données relatives aux mesures de contrôle de parité pour des QPUs de cette dimension [34]. Atteindre un tel débit avec des câbles coaxiaux est impossible et l'utilisation d'un sérialiseur/désérialiseur (SerDes) dans le régime des Tb/s introduirait une charge thermique trop élevée pour le cryostat. Une architecture de contrôle distribuée dans le cryostat est nécessaire pour mettre à l'échelle les systèmes quantiques [31, 34, 36, 133]. Des blocs analogiques réalisant les fonctions primaires comme la polarisation des boîtes quantiques ou la génération de micro-ondes pour la manipulation de l'état quantique sont placées au plus près du QPU. Distribuer sur plusieurs paliers de température supérieurs du cryostat, des blocs de conversion numérique/analogique et l'électronique numérique permettant de traiter les données de mesures, asservir les blocs analogiques. Finalement, l'ensemble de ce système est asservi par une unité de traitement de l'information quantique similaire à un processeur, elle est placée au même palier que l'électronique numérique et permet le traitement des données numériques et l'exécution de protocoles de contrôle quantique (Fig. 2.6) [31, 34]. Cette approche permet d'utiliser au maximum les différents paliers de température du cryostat et limiter les câbles et les interconnexions entre ces paliers en utilisant des multiplexeurs et démultiplexeurs [34]. Cette proposition augmente cependant grandement la complexité du système quantique à réaliser mais permettrait d'utiliser l'ensemble des ressources disponibles dans le cryostat.

2.2.3 Intégration d'électronique de contrôle *in-situ* pour la mise à l'échelle des systèmes quantiques.

L'intégration d'électronique de contrôle froide aux différents paliers d'un réfrigérateur à dilution, présenté à la Fig. 2.7, est conditionnée par la puissance dissipée et l'empreinte des blocs de contrôle. Les cryostats disposent d'un volume et d'une puissance de refroidissement donnés pour chacun de ses étages [97]. La charge thermique introduite par les différents composants à chaque étage du cryostat (électronique de contrôle froide, filtres, atténuateurs, câbles, puce quantique) doit être compensée par la puissance de refroidissement du réfrigérateur à dilution pouvant ainsi limiter les températures d'intégrations de certaines solutions d'électroniques dissipant trop d'énergie. La température d'intégra-

tion peut aussi s'avérer trop basse pour intégrer certains composants, on peut notamment observer une dégradation de certaines caractéristiques des transistors à effet de champ à grille isolée (MOSFETs) lors d'une intégration à des températures inférieures à 4.2 K [122].

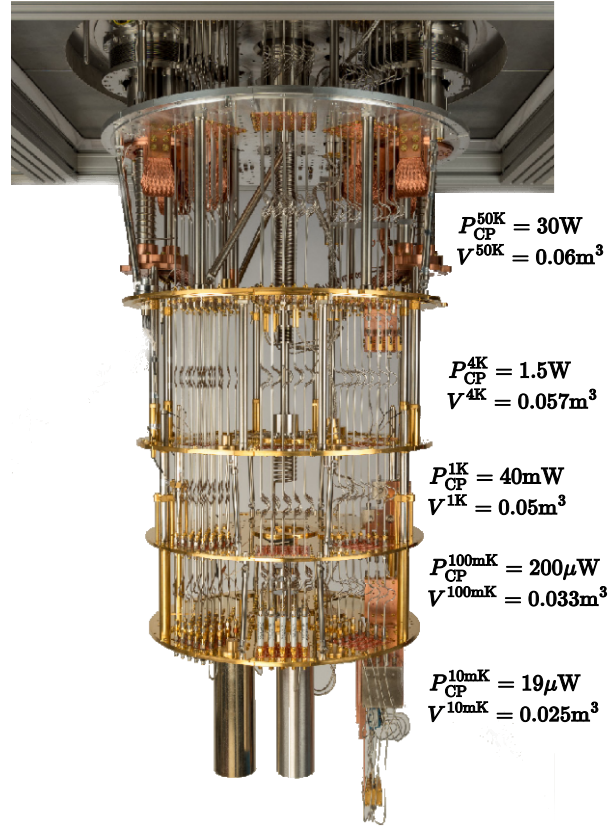


FIGURE 2.7 Image adaptée de [97]. Vue intérieure d'un réfrigérateur à dilution XLD400 de Bluefors [138]. P_{CP}^T dénote la puissance de refroidissement au palier de température T. V_T représente le volume du cylindre relatif au palier de température T.

La mise à l'échelle des systèmes quantiques requiert un nombre croissant de lignes hyperfréquences et câbles coaxiaux qui connectent l'électronique de contrôle au processeur quantique introduisant une charge thermique importante dans le réfrigérateur à dilution en raison de la conduction thermique du câblage. Cette charge thermique est accentuée par la dissipation introduite par les atténuateurs et les filtres présents sur les différentes lignes menant à la puce qui sont requis pour maintenir l'intégralité du signal [97]. Pour cette raison, l'étude de l'impact thermique d'une solution de contrôle est incluse dans les différentes propositions de plateformes de contrôle intégrées. On utilisera les puissances de refroidissement du réfrigérateur Bluefors XLD400 comme référence pour les études thermiques (voir Fig. 2.7). L'apport de chaleur des différentes solutions proposées incluant une

étude de la puissance dissipée est résumé dans le Tableau 2.2 pour une mise à l'échelle de la polarisation des électrodes d'un système à 100 qubits placés au palier de température 10 mK ou 100 mK en fonction des concepts proposés. La charge thermique à chaque palier de température est estimée en prenant en compte le nombre d'interconnexions réalisées à ce palier, c'est-à-dire le nombre de câbles traversant le palier et introduisant une charge thermique par conduction thermique pour le câblage et effet Joule pour les filtres et atténuateurs se trouvant sur la ligne. On suppose la polarisation des boîtes quantiques présentées à la Figure 2.3 issues de la Réf. [99] requérant la polarisation de trois électrodes pour réaliser le confinement d'un électron dans la boîte quantique.

L'approche actuelle décrite à la Figure 2.4(a) requiert l'utilisation d'un câble coaxial pour chaque signal à acheminer jusqu'aux boîtes quantiques dans le cryostat ainsi qu'une source de tension placée à température ambiante. On utilise cette architecture comme point de comparaison. On choisit un système à 24 canaux : le QDAC-II comme source de tension et des câbles coaxiaux PhBr-NbTi dont la charge thermique est résumée à la Figure A1. On estime aussi le diamètre d'interconnexions nécessaires pour réaliser la polarisation. On peut remarquer que le diamètre des interconnexions requises dépasse 10 cm justifiant ainsi le développement d'électronique froide *in-situ* pour éviter un goulot d'étranglement provoqué par les câbles entrant et sortant du cryostat.

L'ensemble des solutions de polarisation de boîtes quantiques utilisent des circuits à capacités commutées, ces circuits démontrent une très faible dissipation thermique permettant d'envisager une intégration au plus proche des qubits notamment grâce à la faible dissipation introduite par les condensateurs, la quasi-inexistence de résistances sujettes à la dissipation par effet Joule et des circuits de contrôle numérique basse-puissance optimisés pour cette application précise [37].

Pour le circuit à capacités commutées *on-chip*, on considère une implémentation en matrice comme à la Figure 2.5(c) [39, 40]. Pour 100 boîtes quantiques, cette disposition impose d'avoir 40 DACs à température ambiante pour contrôler une matrice de dimension $20 \times 20 = 400$ électrodes pour 100 boîtes quantiques. La dissipation thermique pour un seul circuit est d'environ 500 fW [39]. Cette dissipation dépend de la capacité du condensateur permettant de bloquer la charge et la fréquence de commutation du transistor en mode interrupteur. Une telle architecture permettrait ainsi de contrôler $\frac{14 \times 10^{-6}}{500 \times 10^{-15}} = 2.8 \times 10^8$ électrodes au palier de température 10 mK. Cependant pour atteindre ce niveau de mise à l'échelle, il est nécessaire de pouvoir fabriquer de grandes matrices de boîtes quantiques co-intégrées avec des circuits à capacités commutées. De plus, l'approche en matrice proposée

Métrieque	300 K	35 K	4.2 K	1 K	100 mK	10 mK
QDAC par QDevil [139]						
Budget thermique	N.D.	300 mW	4 mW	4.5 μ W	0.35 μ W	3 nW
Encombrement spatial	13 QDAC	0	0	0	0	0
Interconnexions	300	300	300	300	300	300
Diamètre interco.	11.4 cm	11.4 cm	11.4 cm	11.4 cm	11.4 cm	11.4 cm
Condensateur-commuté <i>on-chip</i> [30, 39, 40]						
Budget thermique	N.D.	35 mW	350 μ W	350 nW	35 nW	0.5 nW
Encombrement spatial	2 QDAC	0	0	0	0	3.3×3.3 mm
Interconnexions	35	35	35	35	35	35
Diamètre interco.	1.05 cm	1.05 cm	1.05 cm	1.05 cm	1.05 cm	1.05 cm
Condensateur-commuté <i>split-chip</i> [37]						
Budget thermique	N.D.	3 mW	30 μ W	30 nW	5.7 μ W	0
Encombrement spatial	1 QDAC	0	0	0	3×3 mm	0
Interconnexions	3+	3+	3+	3+	300	0
Diamètre interco.	0.9 mm	0.9 mm	0.9 mm	0.9 mm	≈ 5 mm	0
DAC et échantillonneur-bloqueur [33]						
Budget thermique	N.D.	2 mW	20 μ W	20 nW	235.3 μ W	0
Encombrement spatial	1 QDAC	0	0	0	0.3×0.3 cm	0
Interconnexions	2	2	2	2	300	0
Diamètre interco.	0.6 mm	0.6 mm	0.6 mm	0.6 mm	11.4 cm	0

TABLEAU 2.2 Tableau récapitulatif de la mise à l'échelle des solutions de contrôle pour un système à 100 boîtes quantiques similaire à celle présentée à la Figure 2.3. Le QDAC de QDevil est pris comme référence de l'approche actuelle de la polarisation des boîtes quantiques. Les calculs sont réalisés pour un système basé sur un cryostat Bluefors XLD400 [138] (voir la figure 2.7) et des câbles à paires torsadées PhBr-NbTi.

par la référence [40] requière $\sqrt{2.8 \times 10^8} \approx 16734$ DACs placés à température ambiante et un diamètre d'interconnexions de 8.4 m (largeur d'un court de tennis) pour adresser ces 2.8×10^8 QDs.

Pour prédire l'encombrement spatial sur la puce lors de la co-intégration avec 100 boîtes quantiques, on utilise la dimension du condensateur et du transistor utilisés lors de la démonstration du contrôle d'une unique grille de confinement [39] : $100 \times 100 \mu\text{m}$ pour le condensateur et $10 \times 1 \mu\text{m}$ pour le transistor. On suppose ainsi une superficie de $111 \times 111 \mu\text{m}$ par condensateur-commuté.

Pour l'approche avec les condensateurs-commutés *split-chip*, les cellules à base de condensateur-commuté sont dénommées CLFG pour *Charge-lock fast-gate* car elles permettent aussi l'application d'impulsions et donc la manipulation de l'état quantique. Chacune de ces cellules a une dimension de $0.1 \times 0.1 \text{mm}$ [37] ainsi qu'un bloc numérique de 6mm^2 dédié à l'asservissement de ces cellules CLFG. La dissipation thermique est de l'ordre de 18 nW

par cellule CLFG [37] soit une dissipation totale de $300 \times 0.018 = 5.4 \mu\text{W}$ pour 100 boîtes quantiques.

Finalement, la proposition intégrant des blocs mémoires ainsi que l'électronique de contrôle numérique [33] rapporte une consommation totale de $200 \mu\text{W}$ dont $198 \mu\text{W}$ dédiée à la gestion des blocs mémoires, la communication avec l'ordinateur à température ambiante et l'asservissement des autres composants ; $1 \mu\text{W}$ pour la génération d'impulsion pour la manipulation du qubit et $1 \mu\text{W}$ pour la génération de 8 tensions DC utilisées pour la polarisation de boîtes quantiques. Ainsi si l'on suppose une mise à l'échelle uniquement de la génération des tensions DC, la dissipation thermique s'élève à $198 + \frac{300}{8} \times 1 = 235.5 \mu\text{W}$. La micropuce conçue en technologie CMOS 65 nm est de dimension $100 \times 100 \mu\text{m}$ auquel on rajoute une superficie de $\frac{300}{8} \times 2000 = 7.5 \times 10^4 \mu\text{m}^2$ permettant de prendre en compte la mise à l'échelle des cellules de DACs utilisées pour la polarisation.

Pour l'ensemble des propositions d'électronique froide à base de capacités commutées, une mise à l'échelle pour une centaine de boîtes quantiques est réalisable. Le principal frein à la mise à l'échelle vers plusieurs centaines de milliers de qubits semble être la taille des interconnexions requises pour la polarisation. Cependant, une co-intégration *on-chip* de circuits à capacités commutées et de QDs combiné avec des DACs cryogéniques, tous deux déjà démontrés expérimentalement, permettront de réduire les câbles entrant et sortant de chaque palier de température du cryostat.

2.2.4 Limitations des solutions à base de circuits à capacités commutées

L'utilisation de condensateur est une limitation pour toute technologie dont on vise la mise à l'échelle. Le condensateur est un composant encombrant (de l'ordre de la dizaine de micromètres) et requière un rafraîchissement en tension périodique (64ms pour la DRAM en tant que mémoire numérique). Le temps de rétention de la tension est de l'ordre de la milliseconde pour les condensateurs commutés utilisés dans les solutions de polarisation *in-situ* [40] dues à leur utilisation en mode analogique. Cette amélioration est permise par la température d'intégration (100 mK) limitant les courants de fuite. Cependant, une intégration avec des qubits de spin 'chauds' pourrait limiter cette technologie en diminuant le temps de rétention du condensateur, il serait ainsi nécessaire de d'augmenter la capacité du condensateur pour compenser le bruit thermique ($\Delta V^{\text{thRMS}} = \sqrt{k_B T / C}$) et donc d'augmenter les dimensions du condensateur.

La démonstration d'une intégration monolithique d'une solution de contrôle permettant le confinement d'électrons pour une simple boîte quantique est une avancée conséquente, on peut cependant s'interroger sur la facilité d'une intégration pour une boîte quantique

notamment au niveau de l'encombrement spatial.

2.3 Une mémoire émergente pour le contrôle quantique : le memristor

L'essor des technologies embarquées et de l'internet des objets (IoT) requiert une miniaturisation extrême de l'électronique et une basse consommation en énergie. L'un des défis principaux consiste à développer des mémoires non-volatiles, basse consommation et de taille manométrique. Les mémoires émergentes (voir Fig. 2.8(a)) visent à répondre à ces contraintes en exploitant différents phénomènes physiques comme la commutation résistive [140] pour les memristors (ReRAM), le changement de phase de certains matériaux [141] pour les PCRAMs ou encore l'orientation du spin d'un électron [142] pour les MRAMs.

Parmi ces différentes mémoires, le memristor est un excellent candidat à la mise à l'échelle démontrant des temps de commutation de l'ordre de la centaine de picosecondes [143], une consommation énergétique faible (10 fJ/commutation) [144] et une compatibilité avec les technologies CMOS actuelles [44]. En 1971, le memristor a été décrit comme le quatrième composant passif élémentaire par le Professeur Leon Chua [145], permettant ainsi de relier les quatre grandeurs fondamentales de l'électrocinétique : la charge q , le courant i , la tension u et le flux propre magnétique ϕ . Avec la création théorique du memristor, ces quatre grandeurs fondamentales peuvent être reliées avec les relations fonctionnelles des dipôles élémentaires de l'électronique : la résistance, le condensateur, l'inductance (ou bobine) et le memristor (Voir Fig. 2.8(b)).

Ce concept fondamental de memristor est laissé à l'abandon jusqu'en 2003 où une équipe d'HP Quantum démontre expérimentalement une mémoire résistive [147] capable de commuter d'un état de basse résistance à un état de haute résistance. Ce composant présente les caractéristiques I-V énoncées par L. Chua mais ne permet finalement pas de relier le flux propre magnétique et la charge. Ces études seront ensuite continuer par HP Labs en 2008 en utilisant un empilement métal-isolant-métal (MIM) Pt-TiO₂-Pt [140]. La couche semi-conductrice de TiO₂ d'épaisseur E est séparée en deux zones de concentration en oxygène différentes. La région sous-stoechiométrique d'épaisseur w (forte concentration en lacunes d'oxygènes) démontre une faible résistance R_d tandis que la région stoechiométrique d'épaisseur $E - w$ (plus forte concentration en atomes d'oxygène) présente une résistance élevée. En appliquant une différence de potentiel V entre les deux électrodes de platine du memristor, des lacunes d'oxygènes se diffusent vers l'anode faisant varier

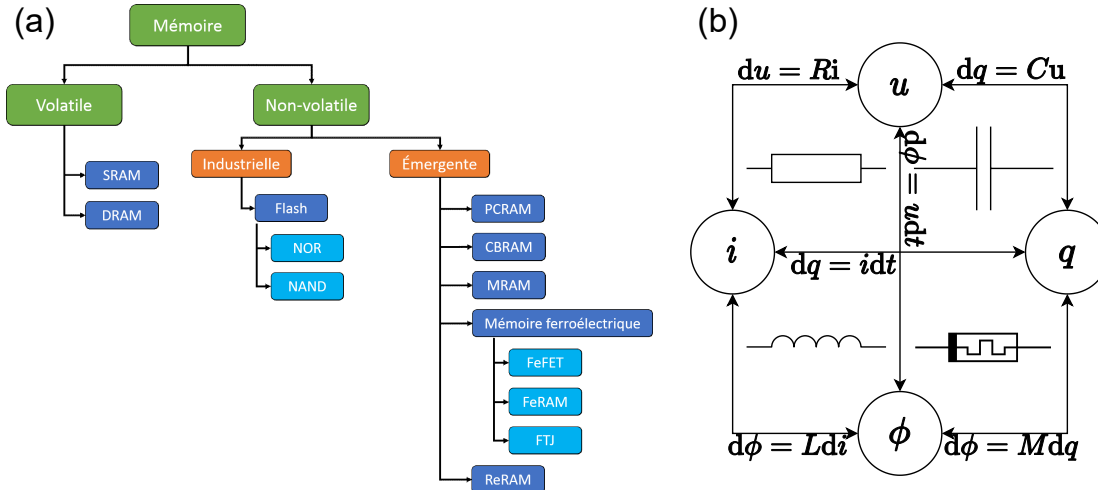


FIGURE 2.8 (a) Adaptée de [146]. Écosystème des mémoires. (b) Carré fondamental des dipôles élémentaires de l'électrocinétique. Le memristor énoncé par L. Chua permet théoriquement de relier la charge q et le flux propre magnétique ϕ .

l'épaisseur w et ainsi modifier la résistance du memristor [140]. Cette opération est appelée une commutation résistive. Depuis cette démonstration, différentes structures MIM ont démontré des propriétés memristives, la couche d'oxyde et son épaisseur déterminant habituellement la fenêtre mémoire du memristor. Les oxydes typiquement utilisés sont l'oxyde d'hafnium (HfO_x) [148, 149, 150, 151], l'oxyde de titane (TiO_x) [46, 152], l'oxyde d'aluminium (AlO_x) [153], l'oxyde de tantale (TaO_x) [154, 155, 156] ou encore l'oxyde de tungstène (WO_x) [157].

2.3.1 Mécanismes de commutation résistive

La commutation résistive permet de modifier la résistance d'un memristor et de définir plusieurs états de résistances stables reproductibles. La commutation résistive des memristors est dite filamentaire, le changement de résistance est permis par la formation et la dissolution partielle d'un filament conducteur dans la couche d'oxyde de la structure MIM. Ce filament conducteur doit être formé au préalable en appliquant une différence de potentiel V_{form} entre les électrodes de métal permettant de réaliser un claquage contrôlé en courant dans la couche d'oxyde. Cette opération est nommée *electroforming* et est performée une seule fois après la fabrication du memristor (Voir Fig. 2.9). Un filament conducteur de lacune d'oxygène est formé et les ions d'oxygènes diffusent vers la *top* électrode.

Après l'*electroforming*, le memristor se trouve dans l'état LRS. En appliquant une tension négative à la *top* électrode, des ions d'oxygène remplissent partiellement le filament conducteur réalisant une commutation résistive vers l'état de résistance HRS. Cette opé-

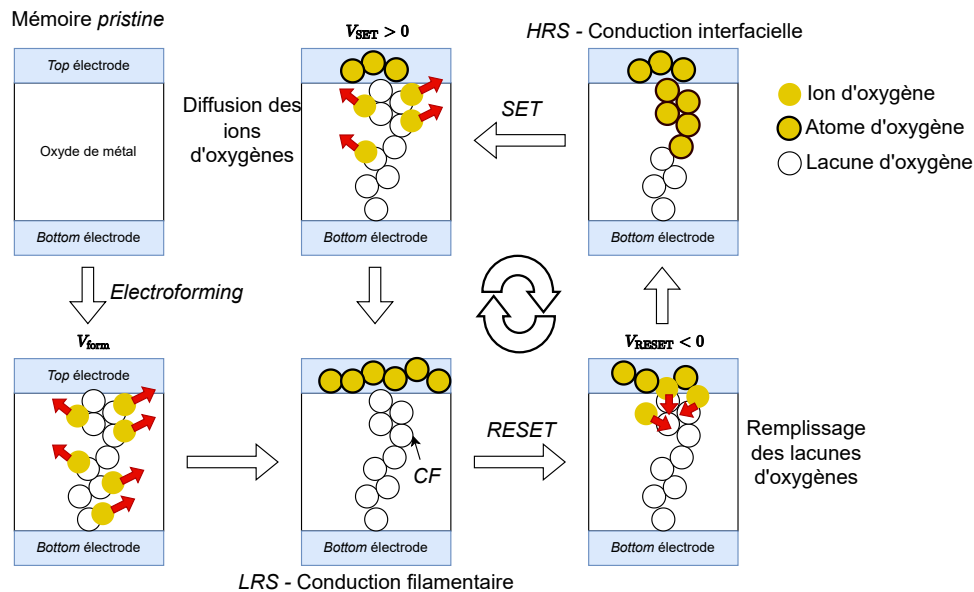


FIGURE 2.9 Mécanismes de commutation résistive pour les memristors à base d'oxyde de métal.

ration est appelée *RESET*. Pour revenir à l'état de résistance LRS, il suffit d'appliquer une tension positive qui rediffuse les ions d'oxygène vers la *top* électrode reformant un filament conducteur à base de lacunes d'oxygène. On nomme cette opération *SET*. Les opérations de *SET* et *RESET* peuvent être réalisées successivement de manière cyclique (Voir Fig. 2.10(a)).

Il est possible de réaliser des commutations résistives partielles pour atteindre des états de résistance intermédiaires compris entre l'état LRS et l'état HRS. Cette opération est habituellement réalisée en appliquant des impulsions en tension plutôt que des stimuli DC permettant un comportement entièrement analogique et une granularité importante des états de résistance atteignables (Voir Fig. 2.10(b)). Le comportement pulsé des memristors permet ainsi la programmation d'états de résistance arbitraires ce qui est une caractéristique indispensable pour les applications mémoires et neuromorphiques [26]. Des algorithmes d'asservissement lecture-écriture-vérification sont notamment utilisés pour programmer plusieurs niveaux de résistance distincts sur un même memristor permettant d'écrire des états de résistance avec une plus grande précision [42].

À la table 2.3, on recense différents algorithmes de programmation proposés permettant une programmation relativement précise d'un niveau stable de résistance. La boucle de rétroaction permet de s'assurer que l'on a bien atteint l'état de résistance voulu, si l'on dépasse cet état de résistance l'algorithme appliquera des trains d'impulsions de polarité

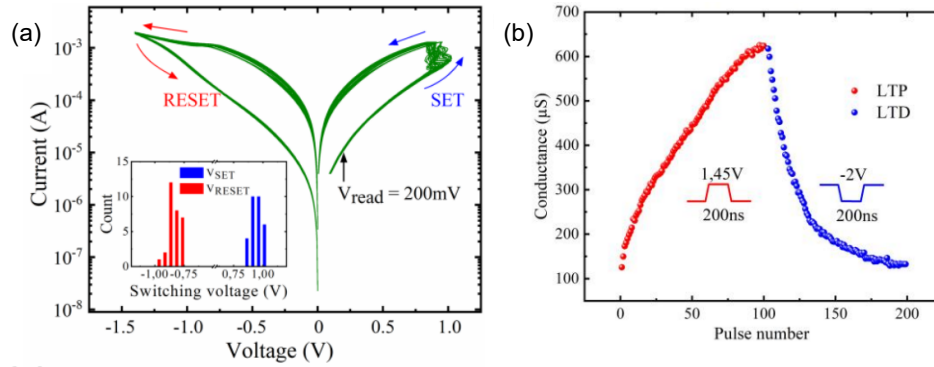


FIGURE 2.10 Commutation résistive de memristor TiO_x (a) DC et (b) pulsée. Adaptée de [44].

opposée pour converger dans le sens inverse, c'est-à-dire vers l'état de résistance souhaité. En plus de la précision de programmation, il est nécessaire de considérer le nombre d'états de résistance distincts et stables atteignables. Une programmation pulsée multiniveaux jusqu'à 16 états distincts et stables a été démontrée [158] sur des mémoires PCM et 8 états sur des memristors TiO_x [159] en utilisant l'algorithme d'incrémentatation constante de l'amplitude d'impulsion d'écriture de la Ref.[42].

Auteur/Réf.	Méthode de convergence	Précision	Nombres d'impulsions
F.Alibart [42]	Incrémentatation constante de l'amplitude d'impulsion d'écriture	1%	≈ 250
L.Gao [160]	Incrémentatation constante de l'amplitude et de la durée d'impulsion d'écriture	5%	< 50
N. Vasileiadis [161]	Incrémentatation de l'amplitude d'impulsion adaptative	$< 10\%$	$100 < n < 500$
E.J.Merced-Grafals [162]	Incrémentatation constante de la tension grille dans une architecture 1T1R	$< 5\%$	≈ 10
N. Papandreou [158]	Incrémentatation constante de la tension grille dans une architecture 1T1PCM	$< 5\%$	≈ 10

TABLEAU 2.3 Algorithmes de programmation multiniveaux implémentant une boucle de rétroaction.

Le memristor se place donc comme l'un des favoris parmi les mémoires émergentes pour les applications cryogéniques ceci est permis par une programmation analogique des états de résistance et une mise à l'échelle simplifiée par sa compatibilité CMOS. On présente à la section suivante des études comportementales de memristors en milieu cryogénique démontrant une compatibilité cryogénique préliminaire des memristors.

2.3.2 Memristors et températures cryogéniques

Dans la perspective d'une utilisation de memristors dans des circuits de contrôle froids, les propriétés cryogéniques des memristors doivent être considérées. Des démonstrations de commutation résistive DC à température cryogénique ont été réalisées pour plusieurs types d'empilement MIM (Voir Tableau 2.4). Les caractéristiques de commutation résistive sont globalement inchangées avec la diminution de température pour l'ensemble des mémoires résistives de la table 2.4 à l'exception des mémoires basées sur l'oxyde de titane. Ces memristors présentent une résistance différentielle négative (NDR) pour des températures inférieures à 125 K [47, 46, 163, 45] (Voir Fig. 2.11(a)). Ce phénomène est introduit par une transition métal-isolant induite par le changement abrupt de conduction du Ti_4O_7 présent dans le filament conducteur des memristors à base de TiO_{2-x} .

Top élec-trode	Oxyde	Bottom élec-trode	HRS/LRS	Puissance dissipée	Année	Température	Ref.
Pt/Ti	TiO_{2-x}/Al_2O_3	TiN	≈ 7.5	$< 50 \mu W$	2019	1.5 K-300 K	[46]
NS	TiO_{2-x}	NS	NS	$< 10 \mu W$	2011	4.2 K-300 K	[45]
TiN/Ti	HfO_x	TiN	≈ 7	$< 10 \mu W$	2013	4 K	[164]
Pt	Ta_2O_{5-x}/TaO_y	Pt	≈ 50	$< 1 mW$	2014	5 K-200 K	[154]
Pt	HfO_x	TiN	≈ 15	$< 100 \mu W$	2015	4.2 K-300 K	[165]
TiN/Ti	HfO_2	TiN	$\approx 10^4$	$< 200 \mu W$	2015	4.2 K-300 K	[148]
Ni	HfO_2	Si	$\approx 10^2$	$< 10 \mu W$	2016	77 K-473 K	[166]
Pt	TiO_2/Al_2O_3	Pt	$\approx 10^3$	$< 10 \mu W$	2018	50 K-295 K	[167]
Pt	TiO_x	Pt	≈ 5	$< 500 \mu W$	2019	25 K-150 K	[163]
Ni	HfO_x	TaN	$\approx 10^4$	$< 1 mW$	2019	4.2 K-400 K	[168]
W	AlO_x/Al_2O_3	Pt/Ti	$\approx 10^3$	$< 100 \mu W$	2020	77 K-400 K	[169]
TiN	HfO_x/TaO_y	TiN	$\approx 10^3$	$< 50 \mu W$	2021	8 K-300 K	[170]

TABLEAU 2.4 Comparaison de plusieurs types de memristor caractérisés en milieu cryogénique avec une considération pour l'énergie dissipée par la mémoire. La puissance dissipée maximum est calculée pour l'état de résistance LRS et une tension de lecture $V_{read} = 0.2 V$, c'est-à-dire $P_{dis} = R_{LRS}/V_{read}$. La première mémoire résistive du Tableau est fabriquée au 3IT par le groupe du Professeur Drouin. (NS : non spécifié)

La puissance dissipée par les différents memristors caractérisés est aussi à considérer dans le cadre d'une application cryogénique. L'ensemble des mémoires résistives du Tableau 2.4 présente une puissance dissipée inférieure à 1 mW ce qui permet d'intégrer en théorie plusieurs de milliers de memristors dans un cryostat à 4.2 K. Cependant pour l'ensemble des memristors, des tensions plus élevées sont requises pour permettre le *RESET* de la résistance pour compenser les températures cryogéniques car le *RESET* est une commutation résistive thermiquement activée [46] (Voir Fig. 2.11). La tension requise pour un *SET*

est inchangée pour les memristors à base de TiO_x [46, 47] et est légèrement supérieure pour les memristors HfO_x [170]. Ainsi, l'énergie requise pour programmer un memristor semble plus importante à température cryogénique ce qui pourrait entraîner une charge thermique additionnelle à dissiper par le cryostat.

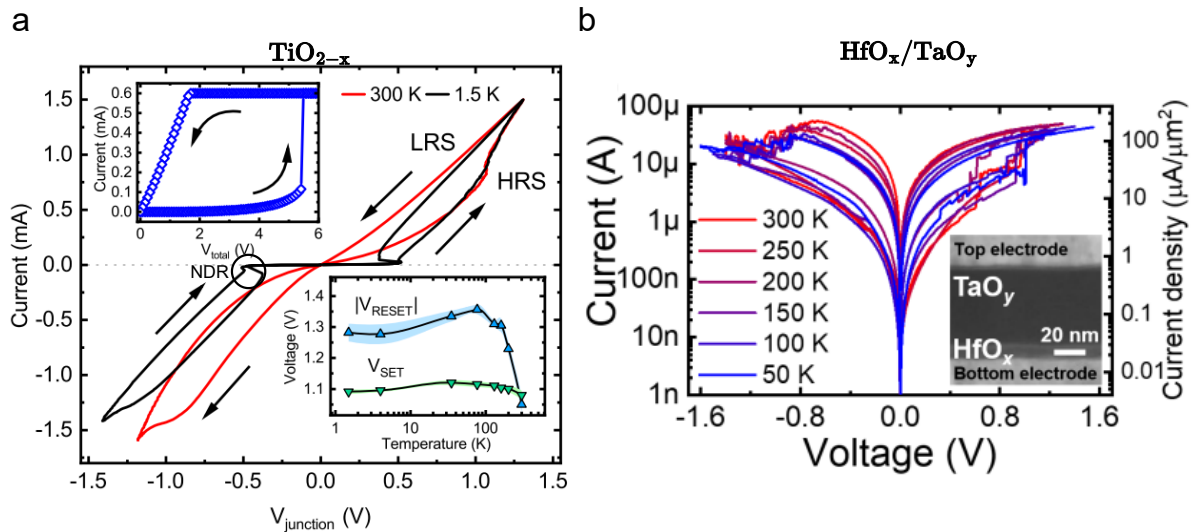


FIGURE 2.11 (a) Commutation résistive de memristor TiO_x à 1.5 K et 300 K [47]. La courbe noire présente une NDR à environ -0.5 V (b) Commutation résistive de memristor $\text{HfO}_x/\text{TaO}_y$ entre 50 K et 300 K [170].

La démonstration de la commutation résistive DC est une étape importante pour des applications en milieu cryogénique, elle permet de valider en partie la cryo-compatibilité des memristors et de prédire leurs caractéristiques et propriétés à température cryogénique. Cette démonstration n'est cependant pas suffisante, une étude du comportement analogique pulsé des memristors à basse température est nécessaire. Aucune étude de ce type n'a été encore réalisée pour les memristors. De plus, les études du bruit à températures cryogéniques pour les memristors sont quasi inexistantes et se limitent à des températures supérieures à 200 K [171] (Voir Section 2.3.3).

2.3.3 Bruits

Comme l'ensemble des composants actifs et passifs en électronique, le memristor génère du bruit ce qui pourrait rendre impossible leur co-intégration avec des boîtes quantiques qui sont sensibles au bruit. Le bruit électronique peut être divisé en quatre catégories : le bruit télégraphique aléatoire (RTN ou bruit en créneaux), le bruit de scintillation (aussi appelé bruit $1/f$), le bruit de grenaille (ou bruit de Schottky) et le bruit thermique (ou bruit de Johnson-Nyquist). Ces quatre types de bruit électronique existent dans les memristors [161, 172, 173]. Comme le montre la Figure. 2.12, le bruit électronique peut être étudié en fonction de la fréquence. On distingue d'une part les bruits basse-fréquence démontrant

un spectre de bruit proportionnel à $1/f^\beta$ (avec $0.5 \leq \beta \leq 2$) incluant le bruit RTN et le bruit de scintillation ; et d'autre part les bruits haute-fréquence aussi appelés bruit blanc démontrant un spectre de bruit indépendant de la fréquence comme le bruit de grenaille et le bruit thermique.

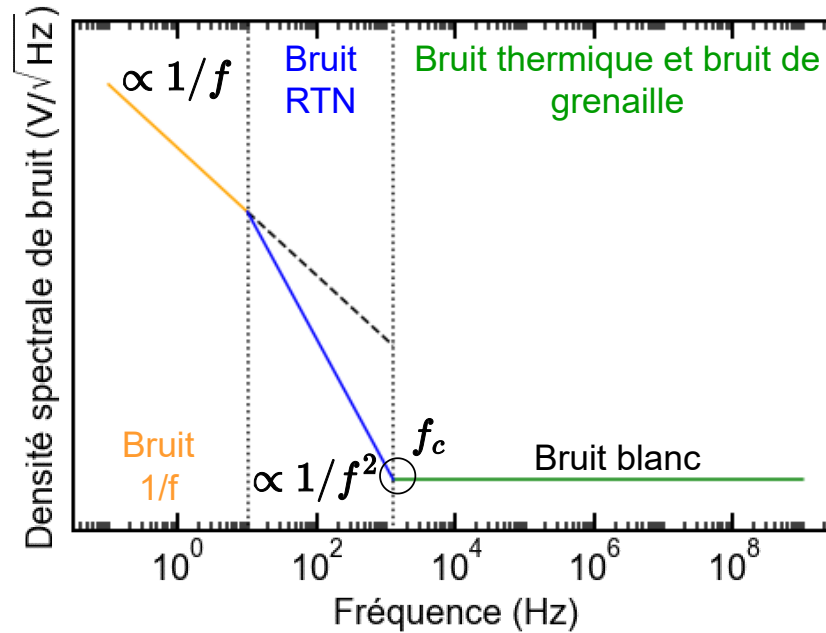


FIGURE 2.12 Représentation schématique d'une densité spectrale de bruit. La fréquence de coupure f_c représente la fréquence de transition entre le bruit basse-fréquence en $1/f^\beta$ et le bruit haute-fréquence.

2.3.3.1 Le bruit thermique

Le bruit thermique (ou bruit de Johnson–Nyquist) est un type de bruit électronique introduit dans un conducteur électrique par l'agitation thermique des porteurs de charges (par exemple les électrons), il est indépendant de la tension appliquée à ce conducteur. Le bruit thermique aux bornes d'un memristor est analogue au bruit thermique aux bornes d'une résistance. Ce bruit est donnée par la variance de la tension aux bornes de la résistance par $\sqrt{\text{Hz}}$ de bande passante [174, 175] :

$$V_{\text{RMS}} = \sqrt{4k_B T R} \quad (2.2)$$

où k_B est la constante de Boltzmann (J.K^{-1}), T la température absolue (K) et R la résistance du memristor (Ω). Le calcul du bruit thermique pour différents memristors à base de TiO_{2-x} et HfO_x supposés idéals est donné au Tableau 2.5. On note un bruit maximum d'environ 40 nV à température ambiante pour les memristors à base de TiO_{2-x}

qui démontrent actuellement une résistance maximale de l'ordre de la centaine de kilohms [51]. Les memristors à base de HfO_x démontrent des résistances plus élevées et ainsi un bruit atteignant les microvolts à 300 K. En considérant les exigences énoncées pour le confinement d'électrons à la Section 2.2.1, le bruit thermique généré par les memristors est négligeable face aux résolutions en tension visées : 10^5 fois plus petit pour une résolution de $100\mu\text{V}$ à 4.2 K et 10^6 fois plus petit pour une résolution de 1 mV à 4.2 K pour les memristors à base de TiO_{2-x} .

T (K)	TiO_{2-x} : Beilliard <i>et al.</i>		HfO_x : Kim <i>et al.</i>		TiO_{2-x} : Zhang <i>et al.</i>	
	$V_{\text{RMS}}^{\text{LRS}}$ (nV)	$V_{\text{RMS}}^{\text{HRS}}$ (nV)	$V_{\text{RMS}}^{\text{LRS}}$ (nV)	$V_{\text{RMS}}^{\text{HRS}}$ (nV)	$V_{\text{RMS}}^{\text{LRS}}$ (nV)	$V_{\text{RMS}}^{\text{HRS}}$ (nV)
300	5.76	15.76	12.87	40.70	4.07	4070
100	3.32	9.00	7.43	23.50	2.35	2350
35	1.97	5.38	4.39	13.90	1.39	1309
4.2	0.68	1.86	1.52	4.81	0.48	482
1.5	0.41	1.11	0.91	2.87	0.29	287
0.1	0.11	0.29	0.23	0.74	0.07	74.3

TABLEAU 2.5 Calcul du bruit thermique à plusieurs températures pour deux memristors à base de TiO_{2-x} : $R_{\text{LRS}} = 2\text{ k}\Omega$ et $R_{\text{HRS}} = 15\text{ k}\Omega$ pour Beilliard *et al.* [46] et $R_{\text{LRS}} = 10\text{ k}\Omega$ et $R_{\text{HRS}} = 100\text{ k}\Omega$ pour Kim *et al.* [51] et un memristor à base de HfO_x : $R_{\text{LRS}} = 1\text{ k}\Omega$ et $R_{\text{HRS}} = 1\text{ G}\Omega$ pour Zhang *et al.* [176].

2.3.3.2 Le bruit de scintillation

Le bruit de scintillation, aussi appelé bruit $1/f$ ou bruit rose, est caractérisé par une distribution gaussienne réversible dans le temps et est souvent dominé par le bruit blanc à haute fréquence. On le caractérise par une fréquence de transition f_c qui définit la frontière entre le domaine du bruit de scintillation basse fréquence et la région de bruit constant à haute fréquence (voir Fig. 2.12). Pour les memristors, l'amplitude du bruit $1/f$ dépend à la fois de la différence de potentiel appliquée entre la *bottom* électrode et la *top* électrode du dispositif et de son état de résistance. Comme on peut le remarquer à la Figure. 2.13, plus la tension absolue appliquée au memristor et son état de résistance sont grand plus l'amplitude de la densité spectrale du bruit $1/f$ est élevée.

Dans le cadre d'une tâche de contrôle quantique, une amplitude de bruit $1/f$ importante aura un impact conséquent sur le temps de cohérence d'un qubit semiconducteur : par exemple pour un qubit de spin de Loss-DiVincenzo, le bruit $1/f$ peut entraîner une expulsion de l'électron de la boîte quantique [178, 179] et donc une démolition de l'état quantique.

2.3.3.3 Le bruit télégraphique aléatoire (RTN)

Initialement découvert en 1965 sur des transistors plans sur silicium [180], ce bruit est caractérisé par une variation en créneaux du courant traversant un dispositif au cours du

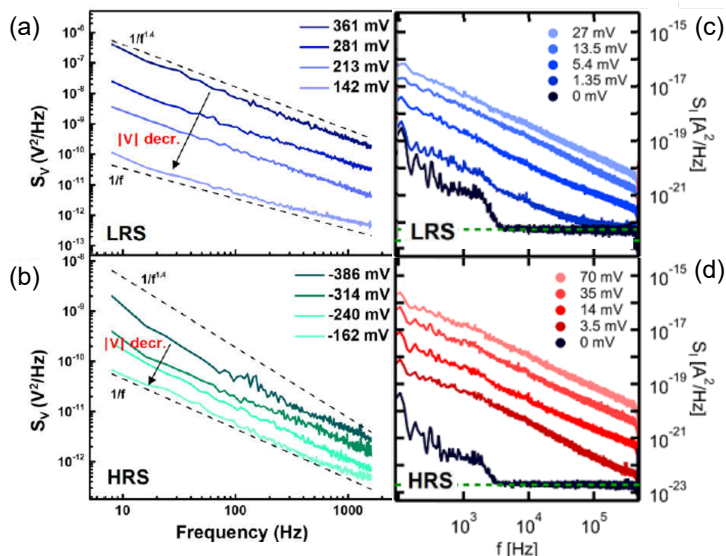


FIGURE 2.13 Exemples de spectre de bruit $1/f$ pour (a), (b) un memristor à base d' AlO_x [177] et (c), (d) un memristor à base d' Ag_2S [172].

temps (Voir Fig. 2.14). Pour les memristors, cette variation de courant peut être interprétée comme un changement temporel de son état de résistance. Cette variation de résistance est de l'ordre de 1% au LRS à 5% au HRS [181] (voir Figure. 2.14).

Les variations de résistance induites par le RTN sont liées à l'émission et absorption d'électrons par des pièges au voisinage du filament conducteur (CF) induisant des commutations résistives partielles. Les propriétés du RTN dépendent du nombre de pièges actifs, des interactions entre ces pièges ou encore de la probabilité d'émission et de capture d'électrons [183]. Certains travaux ont été menés pour modéliser mathématiquement le bruit RTN. Il est modélisé par un processus stochastique Markovien continu dans le temps qui oscille continuellement entre deux (ou plus) valeurs distinctes [184, 185]. La transition entre ces deux valeurs est décrite par deux lois de Poisson et donc deux temps caractéristiques : un temps de montée τ_{up} (passage de l'état bas du bruit à l'état haut) et un temps de descente τ_{down} (passage de l'état haut du bruit à l'état bas) comme le démontre les Figures 2.14 c) et d). Ces modèles mathématiques permettent ainsi d'extraire les caractéristiques probabilistes du RTN à partir de mesures expérimentales.

2.3.3.3.1 Le bruit télégraphique à basse température

Dans le cadre d'une utilisation cryogénique des memristors, il est important de considérer la dépendance en température du bruit télégraphique. Le piégeage et l'émission d'élec-

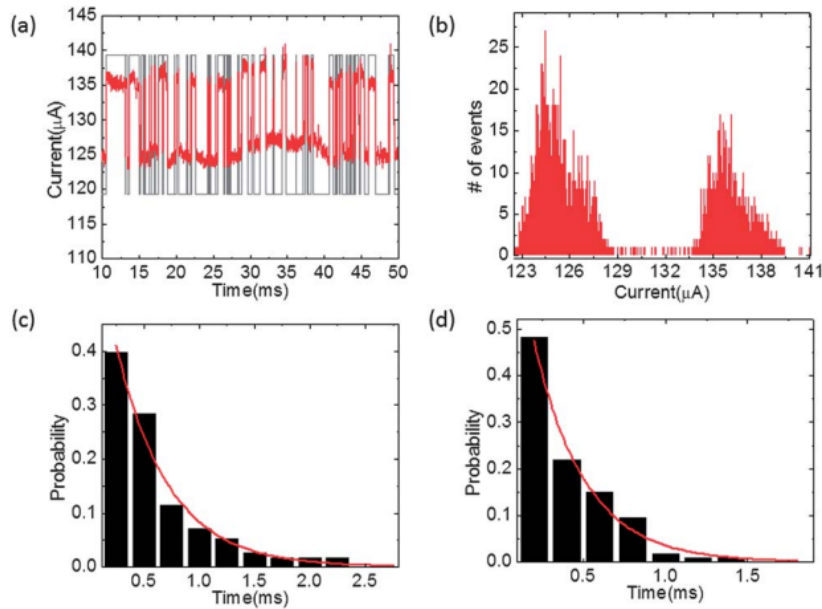


FIGURE 2.14 Figure reproduite de [182]. (a) Mesure de bruit RTN dans le domaine temporel en rouge et données reproduites en gris. (b) Histogramme du courant mesuré démontrant une distribution bimodale caractéristique du RTN. Histogrammes des temps de transition de l'état haut (c) et de l'état bas (d) du RTN. Les courbes rouges représentent un *fit* poissonnien.

trons sont des phénomènes thermiquement activés, cependant la température influence uniquement la fréquence de ces piègeages (respectivement capture) mais n'impacte pas l'amplitude des variations de résistances des memristors [185, 181].

Bien que la dépendance entre bruit télégraphique et température soit mise en évidence dans certains modèles [181], les études expérimentales du RTN à basse température sont limitées à un seul type de memristor Cu/Ge_{0.3}/Se_{0.7}/Pt de 150 K à 300 K [171]. Ces mesures ont mis en évidence une dépendance entre la fréquence des transitions du RTN et la température. La fréquence diminue exponentiellement avec la température (Voir Figures 2.15 (b) et (d)). Cette étude démontre aussi une dépendance entre les fréquences de transition et l'état du memristor (LRS et HRS).

En extrapolant le modèle d'Arrhenius issu des mesures de bruits RTN à basse température [171], on peut estimer les temps de transitions de ce memristor à base de Cu/Ge_{0.3}/Se_{0.7}/Pt à 100 K (Voir Tableau 2.6). On peut comparer ces temps de transitions du bruit RTN à 100 K au temps de cohérence d'un qubit de spin sur silicium [25]. Les temps de transition

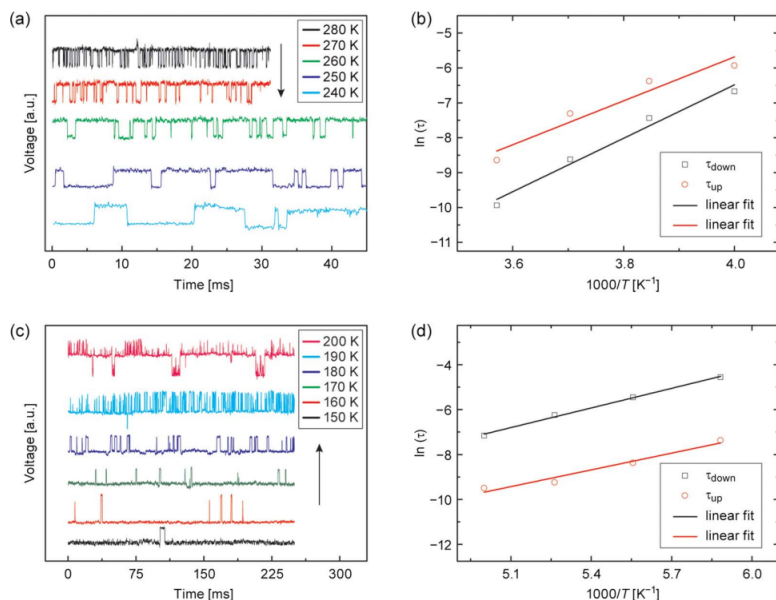


FIGURE 2.15 Reproduction de [171]. Variation temporelle de la tension aux bornes d'un memristor Cu/Ge_{0.3}/Se_{0.7}/Pt dans a) l'état LRS = 1kΩ entre 240 K et 280 K et c) l'état HRS = 80kΩ entre 150 K et 200 K. La mesure est effectuée à courant continu $I_{mes} = 60\mu A$. b) et d) Graphique d'Arrhenius des durées de vie moyenne des états haut et bas du bruit télégraphique pour un memristor Cu/Ge_{0.3}/Se_{0.7}/Pt dans l'état LRS et HRS.

du bruit RTN sont très grand devant les temps de cohérence d'un qubit semiconducteur sur silicium (T_1 de l'ordre de la milliseconde et $T_2 \approx 120\mu s$ [25]). Les variations de la résistance d'un memristor due au bruit RTN devraient donc être inexistantes à l'échelle du temps de cohérence du qubit et n'entraînera pas de changement de régime de la boîte quantique. Cependant cette extrapolation peut être jugée naïve, il est probable que l'on observe une cassure dans les courbes de la figure 2.15 (b) si l'on diminue la température. Des études à plus basse température permettraient de valider ce modèle extrapolé.

État	τ_{down} (s)	τ_{up} (s)
LRS	6.8×10^{14}	3.2×10^{18}
HRS	1299	14

TABLEAU 2.6 Extrapolation du modèle des temps de transition du bruit RTN [171] à 100 K.

Bien que désavantageux pour une co-intégration avec des boîtes quantiques, les propriétés aléatoires du RTN peuvent être exploitées dans le domaine des 'véritables' générateurs de nombres aléatoires en utilisant le caractère aléatoire des transitions de ce bruit en créneaux [186, 187, 188].

Finalement, les différents types de bruit présentés ne sont pas les seuls facteurs pouvant limiter les performances des memristors. Le caractère stochastique de la commutation résistive et des imperfections introduites lors de la fabrication empêche [189].

2.3.4 Non-idéalités des memristors

La taille nanométrique des memristors est idéale pour les circuits VLSI cependant à cette échelle les imperfections des matériaux, les variations dans les procédés introduites par les équipements de fabrication ainsi que le caractère aléatoire de la commutation résistive rendent impossible la production de memristors disposant de caractéristiques électriques uniformes et identiques. Ainsi les memristors sont soumis à de nombreuses non-idéalités entraînant des différences de caractéristiques électriques d'un dispositif à un autre [44, 190], d'une mesure à une autre [189, 191] ou encore des changements de comportement au cours du temps [192].

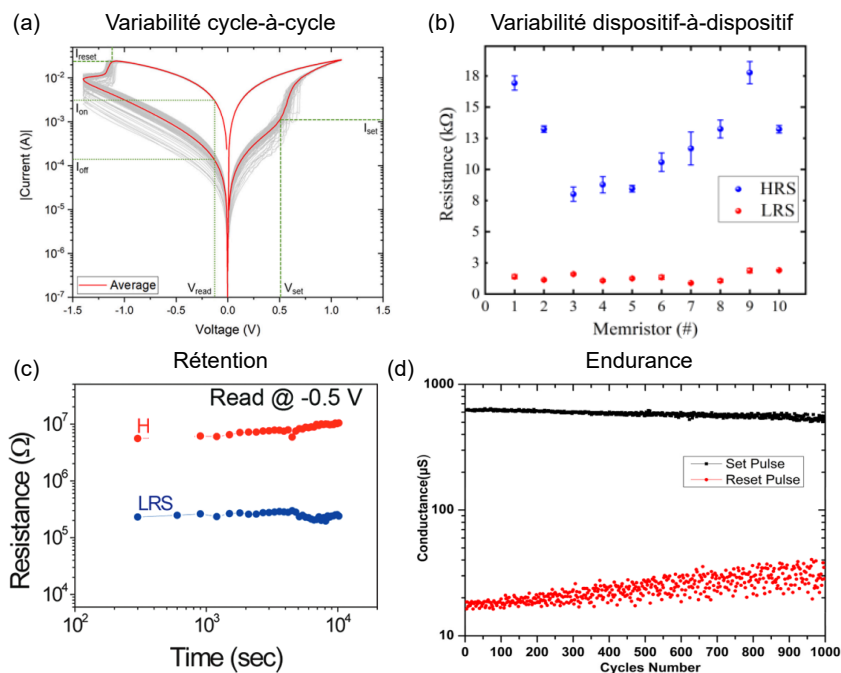


FIGURE 2.16 Non-idéalités des caractéristiques électriques des memristors. (a) Commutation résistive en courant continu d'un memristor $\text{Ti}/\text{Al}_2\text{O}_3$. La variabilité cycle-à-cycle est montrée par les 120 cycles DC en gris. Le cycle DC moyen est représenté en rouge. Reproduit de [193]. (b) Variabilité dispositif-à-dispositif de la résistance des états LRS et HRS pour des memristors TiO_x . Reproduit de [44]. (c) Mesure de temps de rétention à -0.5 V pour un memristor TiO_x . Reproduit de [194]. (d) Mesure de l'endurance d'écriture pour un memristor HfO_x . Reproduit de [195].

2.3.4.1 Variabilité de programmation et variabilité cycle-à-cycle

La commutation résistive des memristors est un phénomène stochastique [196] entraînant ainsi des différences entre deux cycles de commutation successifs (Voir Fig. 2.16 (a)) [192]. Ces variations peuvent résulter de divers facteurs, tels que des imperfections structurelles au niveau nanométrique des dispositifs, des phénomènes thermiques résultant de l'auto-échauffement du filament conducteur ou les conditions environnementales (température et humidité) [197, 43]. Ces variations cycle-à-cycle sont d'autant plus marquées lorsque le nombre de cycles de programmation préalablement effectué est grand.

Cette variabilité cycle-à-cycle entraîne ainsi des changements de résistance non déterministe lors de commutations résistives pulsées résultant en une variabilité de programmation des états de résistance d'un memristor. Cette variabilité limite la précision avec laquelle un état de résistance peut être programmé [52] et ainsi diminuer la précision des calculs en mémoire [198, 199] ou les performances de circuit de contrôle à base de memristors. Toutefois, le caractère stochastique de la commutation résistive des memristors peut être exploité pour réaliser des générateurs de nombres aléatoires [200, 201] ou des réseaux bayésiens [202].

2.3.4.2 Variabilité dispositif-à-dispositif

Au sein d'un même échantillon, chaque memristor est unique et exhibe des propriétés électriques différentes. Ces différences sont principalement le résultat d'imperfections dans le substrat et de légères variations des procédés de fabrication à l'échelle des dispositifs. La variabilité dispositif-à-dispositif entraîne principalement une variation des états LRS et HRS d'un memristor à un autre [44] comme on peut le constater à la Figure. 2.16 (b). Une variation des tensions de commutation *SET* et *RESET* d'un dispositif à un autre sont aussi souvent observées [44, 191, 203]. Cette variabilité peut s'avérer problématique pour le contrôle automatique d'un circuit de memristors notamment pour les applications neuromorphiques. Il est nécessaire de considérer chaque memristor du circuit comme un dispositif unique. L'impact de la variabilité dispositif-à-dispositif peut être atténué en cartographiant les propriétés électriques de chaque dispositif dans un circuit donné [203], cette procédure est utilisée principalement pour l'entraînement de réseaux de neurones matériels [52].

2.3.4.3 Rétention des états de résistance

A titre de mémoire non-volatile, l'état de résistance d'un memristor ne doit pas varier au cours du temps. Cependant, la période dite de rétention d'un état de résistance est variable pour les memristors et est fortement corrélée aux matériaux utilisés pour réaliser

l'empilement métal-isolant-métal (MIM) [204] et à la température de fonctionnement du dispositif [205]. Comme le montre la Figure. 2.16 (c), la résistance d'un memristor a tendance à dériver dans le temps. Cette dérive est habituellement observée pour des échelles de temps supérieur à une heure ce qui pourrait être problématique pour l'utilisation de memristors dans des circuits de contrôle cryogénique.

2.3.4.4 Endurance d'écriture des états de résistance

L'endurance d'écriture définit le nombre de cycles de commutation que le memristor peut effectuer avant que les états LRS et HRS ne soient plus distinguables ou une défaillance. Les propriétés électriques du memristor se détériorent avec le nombre de cycles de commutation comme on peut l'observer à la Figure 2.16 (d). Le ratio de résistance $R_{\text{HRS}}/R_{\text{LRS}}$ diminue progressivement avec le nombre de cycles. Les memristors démontrent en moyenne des durées de 10^6 cycles [204] et certains dispositifs peuvent atteindre des durées supérieures à 10^{10} cycles [206]. Cependant, 10^6 cycles de commutation peuvent s'avérer insuffisants pour des applications qui requièrent de reprogrammer les états de résistance du memristor fréquemment comme les mémoires adressables par contenu [207].

2.3.4.5 Nombre d'états de résistance programmables fini

Les memristors démontrent un comportement complètement analogique, ainsi ils peuvent, en théorie, atteindre un nombre continu et infini d'états de résistance compris entre leur résistance minimale R_{LRS} et leur résistance maximale R_{HRS} . Cependant, l'état du filament conducteur d'un memristor évolue discrètement avec la diffusion de lacunes d'oxygènes (Voir Fig. 2.9) entraînant ainsi un nombre d'états de résistance programmable fini [208]. On peut définir le nombre maximal d'états distincts que peut atteindre un memristor par $N = \frac{R_{\text{HRS}} - R_{\text{LRS}}}{\delta R_{\text{min}}}$ où δR_{min} représente la plus petite variation de résistance reproductible.

Il est rarement possible d'atteindre ces N états de résistance distincts, la variabilité de programmation et le bruit de lecture peuvent entraîner un chevauchement entre deux états de résistances ce qui ne permet pas de distinguer chaque état de résistance de manière déterministe. Cette problématique est cependant limitée aux applications mémoires des memristors et plusieurs techniques peuvent être utilisées pour la contourner. Plusieurs memristors peuvent être placés dans une matrice $m \times m$ afin d'encoder n bits d'information diminuant ainsi les contraintes à n^{m-2} bits par memristors, par exemple il suffit d'encoder 2 bits sur chaque memristor d'une matrice 2×2 pour encoder 16 bits d'information.

2.4 Conclusion

Plusieurs technologies quantiques permettant de réaliser du calcul quantique ont été présentées. Notamment, les qubits semiconducteurs et les boîtes quantiques démontrent des temps de cohérences élevés, une température d'opération de l'ordre du Kelvin permettant de réduire les contraintes de refroidissement, un espace inter-qubit nanométrique et une compatibilité CMOS. Ces avantages placent les boîtes quantiques comme un excellent candidat pour une mise à l'échelle.

Cependant pour débloquer des applications à forts potentiels avec des systèmes à base de boîtes quantiques, il est nécessaire de réaliser une mise à l'échelle de leurs étapes de contrôle. L'approche de contrôle actuelle est linéaire et impose une contrainte importante sur l'augmentation du nombre d'entrées/sorties rendant l'approche incompatible avec une mise à l'échelle. En particulier pour l'étape de confinement des électrons, chaque grille d'une boîte quantique doit être connectée à l'électronique de contrôle par un câble sortant du cryostat, limitant ainsi une mise à l'échelle. Des solutions de contrôle intégrées cryogéniques ont été proposées permettant de placer l'électronique de confinement au plus proche des qubits supprimant un nombre important d'entrées/sorties. Ces solutions de confinement d'électrons sont basées sur des circuits à capacités commutées. Ces circuits démontrent des propriétés électriques compatibles avec la polarisation de boîtes quantiques et notamment une puissance consommée inférieure à un nanowatt ce qui permettrait d'intégrer plusieurs millions de ces circuits à 4.2 K. Cependant, ces circuits à capacités commutées requièrent un rafraîchissement périodique de la charge condensateur pour conserver une tension de sortie stable.

Dans le même temps, les memristors présentent les avantages d'être non-volatiles et d'avoir une résistance modifiable de manière analogique ce qui permettrait d'adresser les limitations des solutions à base de capacités commutées, notamment la dérive temporelle de leur tension de sortie. La programmation analogique de memristor par asservissement a été démontrée avec une précision de l'ordre de 1%. De plus, les memristors présentent une compatibilité cryogénique préliminaire en courant continu qui doit être étendue au comportement analogique pour permettre des applications avancées à basse température.

En se basant sur cet état de l'art, on propose dans les chapitres suivants l'étude du comportement et la validation de la programmation analogique à température cryogénique de memristors à base de TiO_{2-x} pour permettre l'utilisation de memristors dans des solutions

de contrôle intégrées pour la polarisation des boîtes quantiques. Ensuite, on conceptualise un circuit électronique basé sur des memristors et un amplificateur opérationnel pour réaliser une source de tension DC avec de tension sortie stable dans le temps. Finalement, on réalise un prototype de ce concept pour valider sa compatibilité avec les températures cryogéniques et les critères de polarisation de boîtes quantiques. On étudie aussi la mise à l'échelle d'un tel système pour vérifier que cette approche permet le contrôle de plusieurs centaines de milliers de boîtes quantiques.

CHAPITRE 3

Comportement et programmation analogique cryogénique de memristors à base de TiO_{2-x}

3.1 Avant-propos de l'article

Auteurs et affiliations : Pierre-Antoine Mouny^{1,2,3}, Raphaël Dawant^{1,2}, Bastien Galaup^{1,2}, Serge Ecoffey^{1,2}, Michel Pioro-Ladrière^{2,3}, Yann Beilliard^{1,2,3} et Dominique Drouin^{1,2,3}

¹Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, Sherbrooke, Québec J1K 0A5, Canada

²Laboratoire Nanotechnologies Nanosystèmes (LN2) – CNRS UMI-3463 – 3IT, Sherbrooke, Québec J1K 0A5, Canada

³Institut quantique (IQ), Université de Sherbrooke, Sherbrooke, Québec J1K 2R1, Canada

Date de publication : Octobre 2023

Journal : Applied Physics Letters

Référence : 10.1063/5.0170058 [209]

Contribution du document : Pour permettre l'utilisation de memristors pour la mise à l'échelle des systèmes quantiques, il est nécessaire de s'assurer de leur compatibilité avec les températures cryogéniques. Plusieurs études ont précédemment démontré la comptabilité cryogénique de plusieurs types de mémoires résistives comme les memristors à base de HfO_2 [168, 165], AlO_x [210], TaO_x [211] ou encore TiO_{2-x} [46, 45]. Cependant, ces études se limitent au comportement I-V en courant continu laissant de côté le comportement analogique pulsé. Cette fonctionnalité représente un des avantages stratégiques des mémoires résistives et nécessite une étude approfondie pour permettre des applications. De plus, certaines de ces mémoires résistives présentent un changement de comportement conséquent à température cryogénique. Notamment, les memristors à base de TiO_{2-x} démontrent une forte augmentation de leur résistance et une réduction de leur fenêtre de commutation

résistive pour des températures inférieures à 125 K [45, 46] comme discuté à la section 2.3.2.

Dans cette optique, une étude du comportement cryogénique des memristors à base de TiO_{2-x} est réalisée. On démontre une technique de caractérisation électrique permettant d'éliminer la transition métal-isolant (MIT) présentée par les memristors à base de TiO_{2-x} pour des températures inférieures à 125 K. De plus, une étude des modes de conduction des memristors à base de TiO_{2-x} avant et après la suppression de la MIT valide un changement matériel au niveau du filament de conduction. En supprimant cette MIT, les propriétés analogiques cryogéniques des memristors sont améliorées en démontrant une fenêtre mémoire plus large (150%) pour des tensions plus faibles. Cette étude a permis de valider la viabilité de nos mémoires résistives pour des applications cryogéniques.

Résumé en français :

L'étude du comportement cryogénique des memristors est devenue cruciale en raison de l'intérêt croissant pour l'informatique quantique et l'électronique cryogénique. Dans ce contexte, notre étude se concentre sur la caractérisation à températures cryogéniques (4.2 K) de memristors à base de TiO_{2-x} fabriqués en utilisant un processus de gravure compatible avec les procédés CMOS. Nous démontrons une technique de *reforming* cryogénique (CR) réalisée à 4.2 K permettant la suppression de la transition métal-isolant (MIT) présenté par le TiO_{2-x} , limitant le comportement analogique des memristors à températures cryogéniques. Ce processus de *reforming* cryogénique est reproductible et conduit à une suppression durable de la transition métal-isolant. Cette procédure de caractérisation permet de réduire d'environ 20% les tensions nécessaires pour réaliser une commutation résistive en courant continu à 4.2 K. De plus, des études sur les mécanismes de conduction des memristors avant et après *reforming* cryogénique de 4.2 K à 300 K ont révélé des comportements différents pour des températures supérieures à 100 K, indiquant un changement potentiel dans la stœchiométrie du filament conducteur. Les memristors reformés présentent un niveau de conductance 50 fois plus élevé que les memristor formés à température ambiante, de plus la chute de conduction entre 300 K et 4.2 K est 100 fois plus faible, ce qui indique l'efficacité du processus de *reforming*. Plus important encore, le *reforming* cryogénique permet une programmation analogique à 4.2 K avec des tensions de lecture réduites permettant de stocker jusqu'à 4 bits d'information sur un seul memristor reformé. La suppression du MIT a amélioré la dynamique de commutation analogique du memristor CR. La suppression de la MIT a amélioré la dynamique de commutation analo-

gique des memristor permettant d'augmenter d'environ 250 % les rapports *on/off* observés pendant les dépressions à long terme (LTD)/potentialisations à long terme (LTP). Cette technique de *reforming* permet d'entrevoir d'utilisation des memristors à base de TiO_{2-x} comme synapses pour le calcul neuromorphique à températures cryogéniques.

3.2 Analog programming of CMOS-compatible $\text{Al}_2\text{O}_3/\text{TiO}_{2-x}$ memristor at 4.2 K after metal-insulator transition suppression by cryogenic reforming

3.2.1 Abstract

The exploration of memristors' behavior at cryogenic temperatures has become crucial due to the growing interest in quantum computing and cryogenic electronics. In this context, our study focuses on the characterization at cryogenic temperatures (4.2 K) of TiO_{2-x} -based memristors fabricated with a CMOS-compatible etch-back process. We demonstrate a so-called cryogenic reforming (CR) technique performed at 4.2 K to overcome the well-known metal-insulator transition (MIT) which limits the analog behavior of memristors at low temperatures. This cryogenic reforming process was found to be reproducible and led to a durable suppression of the MIT. This process allowed to reduce by approximately 20% the voltages required to perform DC resistive switching at 4.2 K. Additionally, conduction mechanism studies of memristors before and after cryogenic reforming from 4.2 K to 300 K revealed different behaviors above 100 K, indicating a potential change in the conductive filament stoichiometry. The reformed devices exhibit a conductance level that is 50 times higher than ambient-formed memristor, and the conduction drop between 300 K and 4.2 K is 100 times smaller, indicating the effectiveness of the reforming process. More importantly, CR enables analog programming at 4.2 K with typical read voltages allowing to store up to 4 bits of information on a single CR memristor. Suppressing the MIT improved the analog switching dynamics of the memristor leading to approximately 250% larger on/off ratios during long-term depression (LTD)/long-term potentiation (LTP) resistance tuning. This enhancement opens up the possibility of using TiO_{2-x} -based memristors to be used as synapses in neuromorphic computing at cryogenic temperatures.

Keywords : Memristor, Resistive switching, Metal-insulator transition, Cryogenics

3.2.2 Main text

Memristors are among the leading candidates for the large-scale integration of non-volatile memory and artificial synapses in neuromorphic architectures [212]. While their characteristics have been widely investigated at 300 K, the growing interest in quantum computing and cryogenic electronics has led to new concepts based on memristors to overcome some

of the engineering challenges encountered in scaling-up quantum computers [30]. Recent works propose developing cryogenic-compatible CMOS-memristor hybrid circuits for applications such as tunable cryogenic DC sources [213], the charge state autotuning of quantum dots [214] or quantum error correction [52]. In this context, cryogenic studies have been conducted on various types of emerging memory based on HfO_2 [168, 165, 148], AlO_x [210], HZO [215] NiO_x [216], TaO_x [211], TiO_{2-x} [45, 46] and ferroelectric HZO [217, 218]. Additionally, cryo-dedicated memristors have been recently fabricated and demonstrated using a thermal enhancement capping layer [170] to improve the switching stability at 4.2 K or based on organic substrates [219]. New concepts such as magnetic topological insulator based memristors [220, 221] and superconducting memristors based on conductance-asymmetric superconducting quantum interference device [222] have already demonstrated premises of neuromorphic computing namely automated quantum state preparation [220]. Among these candidates, TiO_{2-x} based memristors present the most promising characteristics at room temperature including fully analog behavior, low switching voltages and CMOS-compatibility [51]. However, the cryogenic DC characterizations of memristors based on TiO_{2-x} exhibit a metal-insulator transition (MIT) at low voltages below 125 K [46, 45, 163]. This MIT is attributed to the Ti_4O_7 Magnéli phase and hinders its usage at cryogenic temperatures by limiting its ohmic region.

In this work, we report a specific reforming methodology at cryogenic temperatures aiming to suppress the MIT of $\text{Al}_2\text{O}_3/\text{TiO}_{2-x}$ memristors. We investigate the impact of both ambient temperature forming (AF) and cryogenic reforming (CR) on the conduction mechanisms of our devices from 4.2 K to 300 K. Finally, we demonstrate that the suppression of the MIT allows the quasi-linear analog tuning of the memristor resistance at 4.2 K using voltage pulses in a long-term depression (LTD)/long-term potentiation (LTP) tuning scheme.

The devices investigated consist of Ti/Al/TiN - $\text{Al}_2\text{O}_3/\text{TiO}_{2-x}/\text{Ti}$ - TiN/Ti/Al, which represent the bottom electrode (BE), active stack and top electrode (TE), respectively. The process flow is illustrated in Fig. 3.1(b). The first step of fabrication involves the sputtering deposition of a Ti (10 nm)/Al (150 nm)/TiN (70 nm) stack for the BE. This is followed by the deposition of the active switching stack of Al_2O_3 (1.4 nm) through atomic layer deposition, and TiO_{2-x} (30 nm) by reactive sputtering, along with Ti (10 nm)/TiN (70 nm). The vacuum was not broken between the depositions of the TiO_{2-x} , Ti, and TiN layers. The stoichiometries of TiO_{2-x} were tuned by controlling the reactive sputte-

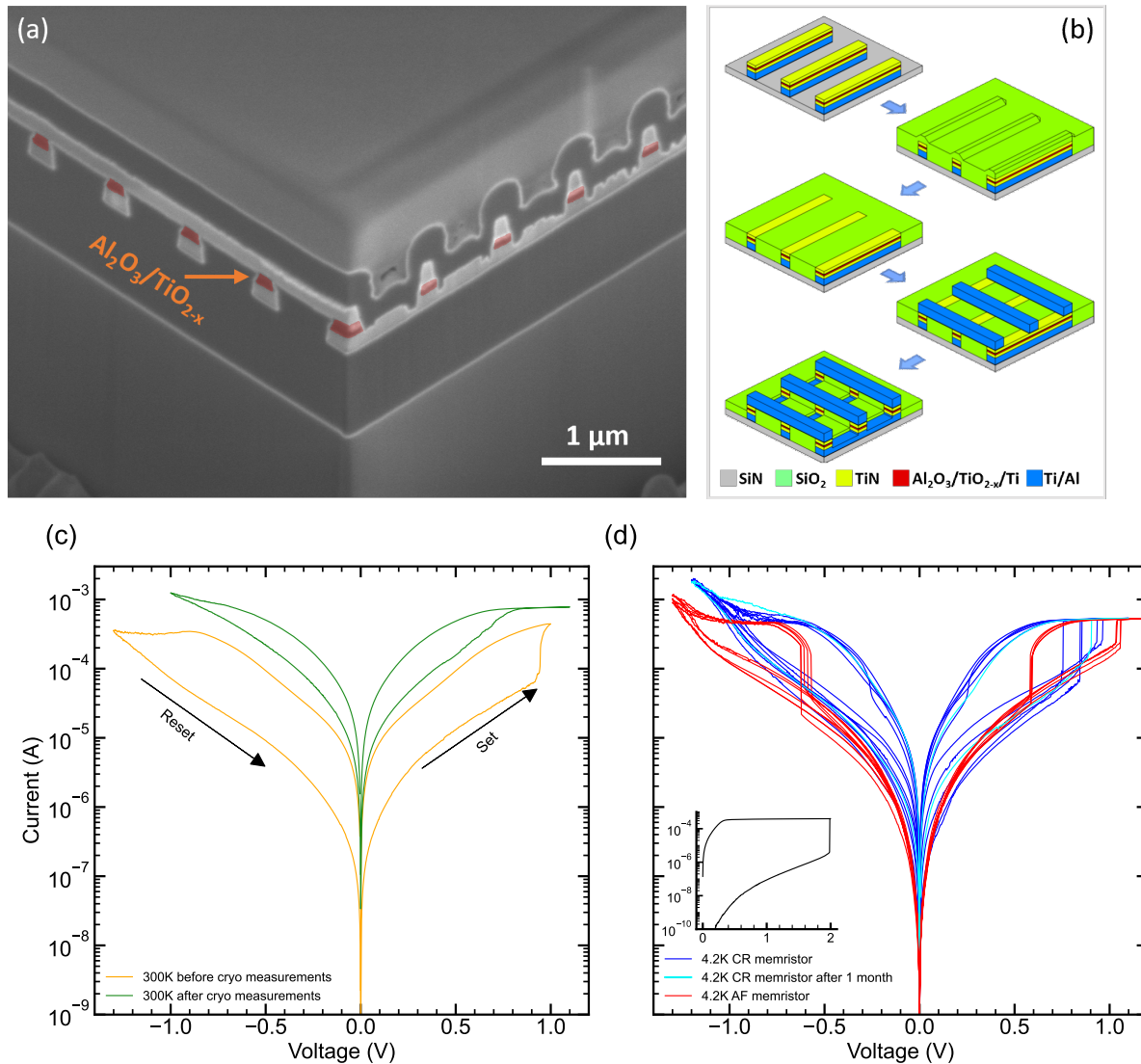


FIGURE 3.1 (a) Focused ion beam (FIB) isometric cross-section of the devices. The $\text{Al}_2\text{O}_3/\text{TiO}_{2-x}$ crosspoints patterned at the intersection of the bottom electrodes (BEs) and top electrodes (TEs) are highlighted in red. The stoichiometry of TiO_{2-x} is tuned during reactive sputtering deposition by controlling oxygen flux, as demonstrated in a previous study [223]. (b) Schematic representation of the fabrication process flow : The BE and the active stack are patterned and etched together, followed by the deposition of an SiO_2 layer. The structures are revealed by chemical-mechanical polishing (CMP) and the TEs are patterned similarly to the BEs. During this step, the remaining active stack between the TEs is etched with the TEs. (c) I-V characteristics of the $\text{Al}_2\text{O}_3/\text{TiO}_{2-x}$ crosspoints at 300 K before and after cryo-reforming. (d) I-V characteristics of ambient-formed (AF) and cryo-reformed (CR) memristors at 4.2 K. The reforming process is shown in the inset. Each shadowed blue curve represents a different CR memristor, highlighting the device-to-device variability. The shadowed red curves depict the cycle-to-cycle variability for an AF memristor. A CR memristor was measured at 4.2 K one month after cryo-reforming to show the retention of the MIT suppression on the cyan curve.

ring regime and the oxidation state of the target. XPS and spectroscopic ellipsometry analyses revealed an increase in the oxygen vacancy defect concentration, as shown in a previous study [223]. A 200 nm-wide BE is patterned using electron beam lithography (EBPG5200), a negative resist (MaN2405) and an inductively coupled plasma (ICP) etching process with $\text{BCl}_3/\text{Cl}_2/\text{Ar}$ chemistry. The BEs and the switching stack are both encapsulated through the deposition of 500 nm of SiO_2 using plasma-enhanced chemical vapor deposition (PECVD). Subsequently, a chemical-mechanical polishing (CMP) process is applied to planarize the SiO_2 surface and reveal the top surface of the BE. The TiN layer serves as a polishing stop layer for the CMP process. The SiO_2 dishing between the BE, measured by atomic force microscopy (AFM), is less than 5 nm. A 200 nm-wide TE made of Ti (10 nm)/Al (400 nm) is deposited and patterned similarly to the BE. The active stack between the TE lines is removed during the etching step of the TE. The devices are then encapsulated with a 600 nm layer of SiO_2 deposited by PECVD. Vias to contact the electrodes are patterned using electron beam lithography and ICP etching with SF_6 chemistry. Finally, Al (400 nm) connection lines are patterned to address the memristors. After this, a 1-minute rapid thermal annealing step at 350 °C under an N_2 atmosphere is performed. As shown in the focused ion beam (FIB) isometric cross-section in Fig. 3.1(a), the memory stack lies only at the intersection of the BEs and TEs, like a similar approach presented in the literature [224].

The memristor crosspoints are characterized from 4.2 K to 300 K with a Keysight B1500A semiconductor device parameter analyzer with a 200 Msamples/s waveform generator module (WGFMU) on a Lakeshore CPX-VF cryogenic probe station. Both the sample and the magnet stage are heated when the device is warmed up to ensure temperature stability. For all measurements, the BEs are grounded and the signals are applied to the TEs. The memristor resistances are measured at low bias (0.02 V) with a DC sweep for the conduction mechanism studies, and they are measured with a 0.2 V/10 μs read pulse during pulsed characterizations. For all DC measurements, we limited the maximum current through the memristor to 500 μA using a custom current compliance board placed at 300 K to avoid overshoot during forming and DC sweeps. Prior to the cooldown, 10 memristors are ambient-formed (AF) at 300 K. We perform I-V measurements to benchmark the non-volatile switching of our devices at room temperature (see Fig. 3.1(c)). The sample is then cooled down to 4.2 K.

The first I-V measurements at 4.2 K on an AF memristor exhibit the MIT introduced by the Ti_4O_7 Magnéli phase over 5 DC cycles, as depicted by the red curve in Fig. 3.1(d) [45, 46]. By applying an approximately two-times-larger positive DC sweep $V_{\text{SET}} = 2\text{V}$ with a $500\ \mu\text{A}$ compliance current to an AF memristor, one can observe an abrupt increase of the measured current up to the compliance current at $\approx 2\text{V}$, as shown in the inset of Fig. 3.1(d). This phenomenon is similar to electroforming and suggests that the conductive filament of the memristor is reformed. After this CR, we observe that consecutive DC switchings do not exhibit the characteristic MIT anymore as shown by the blue curve in Fig. 3.1(d). The CR process is reproducible as we create five reformed devices with similar DC behavior. Moreover, the DC cycle at 300 K after the cooldown exhibits a lower low resistance state (LRS) and high resistance state (HRS) compared to before CR was performed, suggesting that the diameter of the conductive filament is larger due to CR as observed in Fig. 3.1(c). These CR memristor DC cycles show butterfly-shaped switchings as the room-temperature I-V curves measured prior to the cooldown. However, one can note that lower V_{SET} and V_{RESET} were needed to switch the memristor at 4.2 K which is an interesting feature for low-power applications. We also investigate the retention of the MIT suppression by cooling down and measuring the same CR device one month later. The I-V characteristics of the CR memristor remained without MIT at 4.2 K (see the cyan curve in Fig. 3.1(d)). It suggests that a permanent change to the conductive filament was made through CR yielding to different conduction mechanisms at cryogenic temperatures.

To investigate the change in the conduction mechanisms involved in the MIT suppression, we perform additional DC cycle measurements for both AF and CR devices from 10 K to 200 K and extract the conductances at each temperature for the LRS by reading the current at 20 mV. As shown in Fig. 3.2(c), the conductance decreases with temperature for the two types of devices. For the TiO_{2-x} memristors exhibiting the MIT (AF memristors), the temperature-dependant conductance $G(T)$ can be described by an Arrhenius equation :

$$G^{\text{MIT}}(T) = G_0 \exp\left(-\frac{E_a}{k_B T}\right)^\alpha \quad (3.1)$$

where α depends on the transport mechanism (e.g., $\alpha = 1$ for nearest neighbor hopping (NNH) conduction [225]), G_0 is a pre-exponential factor and E_a is the thermal activation energy [225, 46]. The LRS conductance of the AF memristor fits linearly with eq. 3.1 for $\alpha = 1$ between 300 K and 77 K and $\alpha = 0.5$ between 77 K and 4.2 K which corresponds to Efros–Shklovskii variable-range hopping (ES-VRH) as reported in Ref.[46].

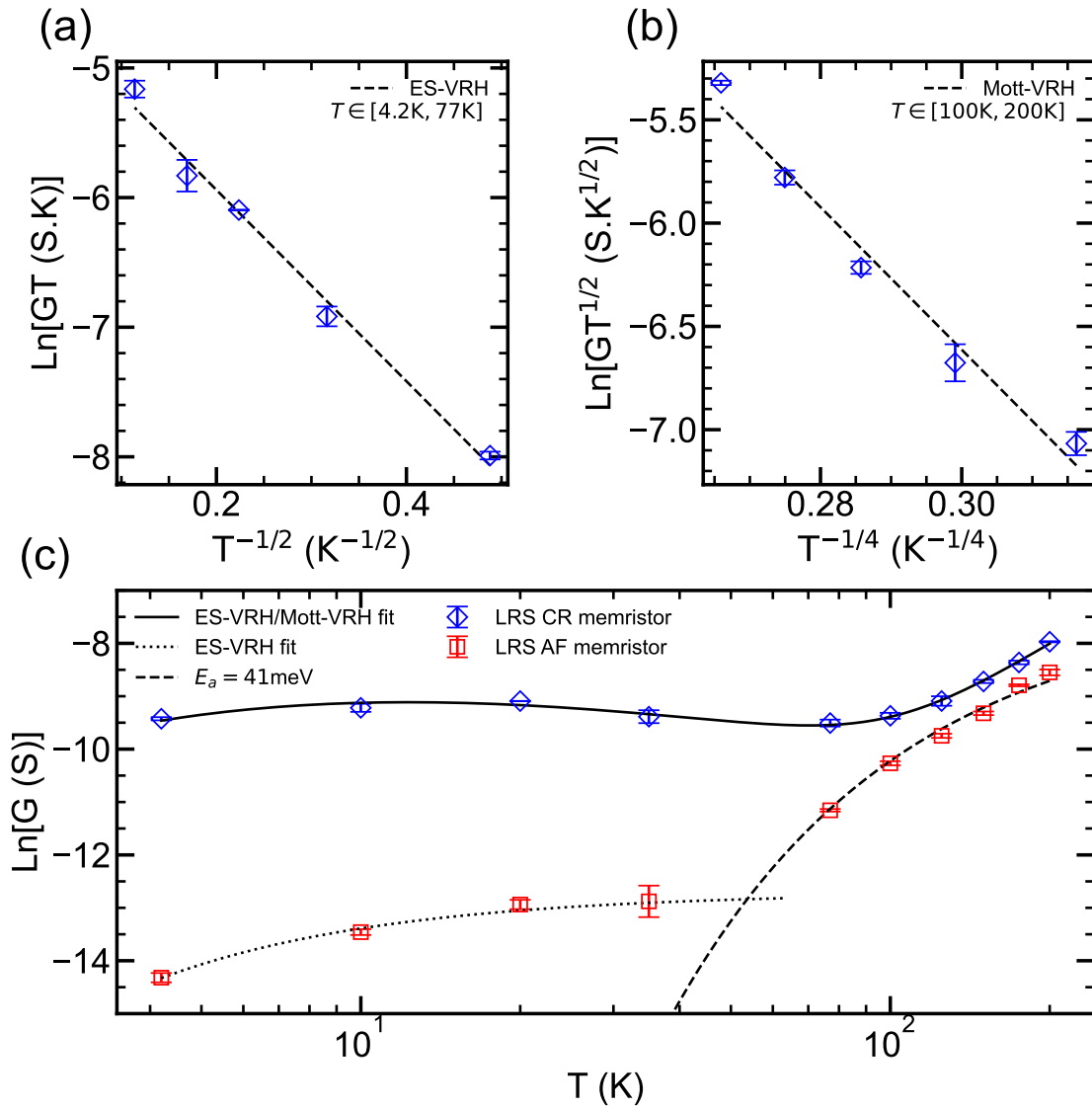


FIGURE 3.2 (a) Efros–Shklovskii VRH conductance fit (eq. 3.3) for a CR memristor at LRS between 4.2 K and 77 K. (b) Mott VRH conductance fit (eq. 3.2) for a CR memristor at the LRS between 100 K and 200 K. (c) Temperature dependence of the memristor conductance. The CR memristor LRS conductance is fitted by eq. 3.4 using the parameters from Fig. 3.1 while the AF memristor LRS conductance is fitted with an Arrhenius law (eq. 3.1 $\alpha = 1$) for $T > 35$ K and an ES-VRH law for $T \leq 35$ K. The conductances are measured at 20 mV. The AF memristor and CR memristor conductances are measured five times after a RESET/SET operation at each temperature to assess the cycle-to-cycle variability shown in the error bars.

Regarding the CR devices, Fig. 3.2(b) shows a linear relationship between $\ln(GT^{1/2})$ and $T^{-1/4}$ from 100 K to 200 K. This indicates that the conduction in the oxide layer is governed by Mott's variable-range-hopping (Mott-VRH) mechanism instead of the simple thermally activated hopping exhibited by the AF memristors. The conductance governed by the Mott-VRH law is given by :

$$G_{\text{Mott}}(T) = G_{0,\text{Mott}} T^{-1/2} \exp \left[- \left(\frac{T_{0,\text{Mott}}}{T} \right)^{1/4} \right] \quad (3.2)$$

where $T_{0,\text{Mott}}$ is a characteristic temperature coefficient and $G_{0,\text{Mott}}$ is the conductance at T_0 [225, 226]. Meanwhile at lower temperatures, $\ln(GT)$ fits linearly with $T^{-1/2}$ which suggests that the conduction mechanism is described by the ES-VRH law below 77 K (see Fig. 3.2(a)). The ES-VRH governed conductance is given by :

$$G_{\text{ES}}(T) = G_{0,\text{ES}} T^{-1} \exp \left[- \left(\frac{T_{0,\text{ES}}}{T} \right)^{1/2} \right] \quad (3.3)$$

Thus, the total conductance of the CR memristor can be defined using the sum of the contributions from the Mott-VRH conduction mechanism and the ES-VRH conduction mechanism [226] :

$$G(T) = G_{\text{Mott}}(T) + G_{\text{ES}}(T) \quad (3.4)$$

The total conductance predicted by eq. 3.4 is in good agreement with our experimental data using the fitted parameters for the ES-VRH and Mott-VRH conduction mechanisms (see Fig. 3.2(c) for the fit and Fig. 3.1 for the fitted parameters).

The conduction mechanisms for $T > 77$ K differ for the CR (Mott-VRH) and AF (NNH) memristors which could explain the MIT suppression. The CR memristor exhibits conductances that are two orders of magnitude larger for temperature below the MIT temperature (≈ 100 -125 K) [45]. The conductance of the AF memristor decreases by over two orders of magnitude from 300 K to 4.2 K while it decreases by only a factor of 5 for the CR memristor over the same temperature range. This validates the suppression of the MIT regime for the CR devices, as it does not exhibit an important conductance drop with decreasing temperature. The CR device shows a crossover from $T^{-1/4}$ to $T^{-1/2}$ dependence within the temperature range from 80 K to 100 K as demonstrated in Ref.[226] for TiO_2 thin films. This transition is sometimes attributed to small-polaron hopping in binary oxides such as HfO_{2-x} [227], ZrO_2 [228] or TiO_{2-x} [229] when the slope transition is observed at a tempe-

rature above their Debye temperature. However, the crossing measured in our devices is attributed to a change in the type of hopping as exhibited by transition metal oxides for temperatures significantly below their Debye temperature [46, 226, 165]. This significant change in the conduction mechanisms governing the memristor conductance with respect to the temperature suggests that Ti_4O_7 has been suppressed. One possible explanation is that the previously crystalline conductive filament became amorphous due to a quenching effect during the reforming procedure at cryogenic temperatures, similarly to the switching mechanism of phase-change memory [230], leading to the creation of an amorphous phase inside the conductive filament. This phase change of the oxide layer is validated by the retention of the reformed state demonstrated in Fig. 3.1(d), which suggests a durable suppression of Ti_4O_7 in the vicinity of the conductive filament.

Finally, we investigate the impact of the MIT suppression induced by cryogenic reforming on the analog switching dynamics of our $\text{Al}_2\text{O}_3/\text{TiO}_{2-x}$ memristors using pulse programming. To do this, we measure the same device before and after reforming. Resistance tuning is assessed on this memristor by measuring long-term resistance potentiation (LTP) and depression (LTD) at 4.2 K. A write/verify pulse train comprised of one 200 ns/ ± 0.9 V write pulse and one 10 $\mu\text{s}/0.2$ V (or 0.6 V) read pulse is applied 100 times with a constant positive amplitude for the write pulse (LTP) and 100 times with a constant negative amplitude (LTD). This pattern is repeated seven times to verify the stability of the LTD/LTP tuning. This whole protocol is performed 10 times in order to evaluate the cycle-to-cycle variability (background shadow in Fig. 3.3(a)).

For the typical read voltage (0.2 V), the resistance of the AF memristor remains unchanged, as the reading is performed in the insulator region of the memristor as depicted in Fig. 3.1(d). By increasing the reading voltage to 0.6 V to operate above the insulator re-

Fit	G_0 (S)	T_0 (K)	E_a (meV)
ES-VRH (no MIT)	1.15×10^{-2}	54.49	N.A.
Mott-VRH (no MIT)	42.15	1.42×10^6	N.A.
NNH Arrhenius (MIT)	7.5×10^{-4}	N.A.	41.8
ES-VRH (MIT)	3.02×10^{-6}	46.1	N.A.

TABLEAU 3.1 Fitting parameters for the CR memristor conductance at the LRS (see the blue diamonds in Fig. 3.2(c)) and for the AF memristor conductance at the LRS (see the red squares in Fig. 3.2(c)). N.A. indicates that the fitting parameter is not applicable.

gime, one can observe typical LTD/LTP resistance tuning for the AF memristor which exhibits an on/off ratio of ≈ 2 for a write amplitude of ± 0.9 V. After reforming we repeat the measurement with the same write amplitude but lowered the read voltage to 0.2 V. In this case, the CR memristor demonstrates a larger on/off ratio of ≈ 5 in a larger absolute memory window.

The LTP and LTD characteristics are quasi-linear and stable for both the AF memristor read at 0.6 V and CR memristor read at 0.2 V, which ensures fully analog tunability of the memristor resistance over the respective 7 k Ω to 14 k Ω and 20 k Ω to 100 k Ω ranges before and after the reforming. Thus, reforming the memristors increases the resistance on/off ratio, which allows a larger resistance tunability in cryogenic neuromorphic circuit and an increased resolution for synaptic weight encoding. Additionally, one can observe that the reading region for CR memristors at 4.2 K (0-0.6 V) is similar to the one exhibited at room temperature (see Fig. 3.1(c)). Having a large read region is an important feature for vector matrix multiplication (VMM) [231], as it improves the achievable resolution for the input vector and thus provides a more accurate VMM result overall [50].

On the other hand, it was observed that AF memristors offered a smaller read region, ranging from 0.6 V to 0.8 V, along with smaller resistance values when the AF memristor is read in this region. Both the smaller resistance and the higher read voltage range introduce additional power consumption during inference which is detrimental in the context of cryogenic environments. However in the insulator region, the conductance of the AF memristor is not changed i.e., for amplitudes lower than 0.6 V. This property can be leveraged and used as a selector [46]. It would allow one to accurately program each device in a crossbar without influencing the resistance of the surrounding memristors [232]. This presents an interesting trade-off between the programming accuracy of the weights, the power consumption and the on/off resistance ratios. For applications that do not require to reprogram the crossbar several times, such as neural network inference accelerators [214], the CR approach should be preferred by taking advantage of the larger on/off ratios. For programming-intensive applications, the AF approach should be considered as the MIT induced selector could allow to program accurately large crossbars.

Additionally, the analog behavior of memristors can be exploited to precisely tune several resistance states [42, 213]. We report 16 equally spaced resistance states (≈ 4 k Ω step) at 4.2 K (See Fig. 3.3(b)), programmed with approximately 50 write pulses for each state

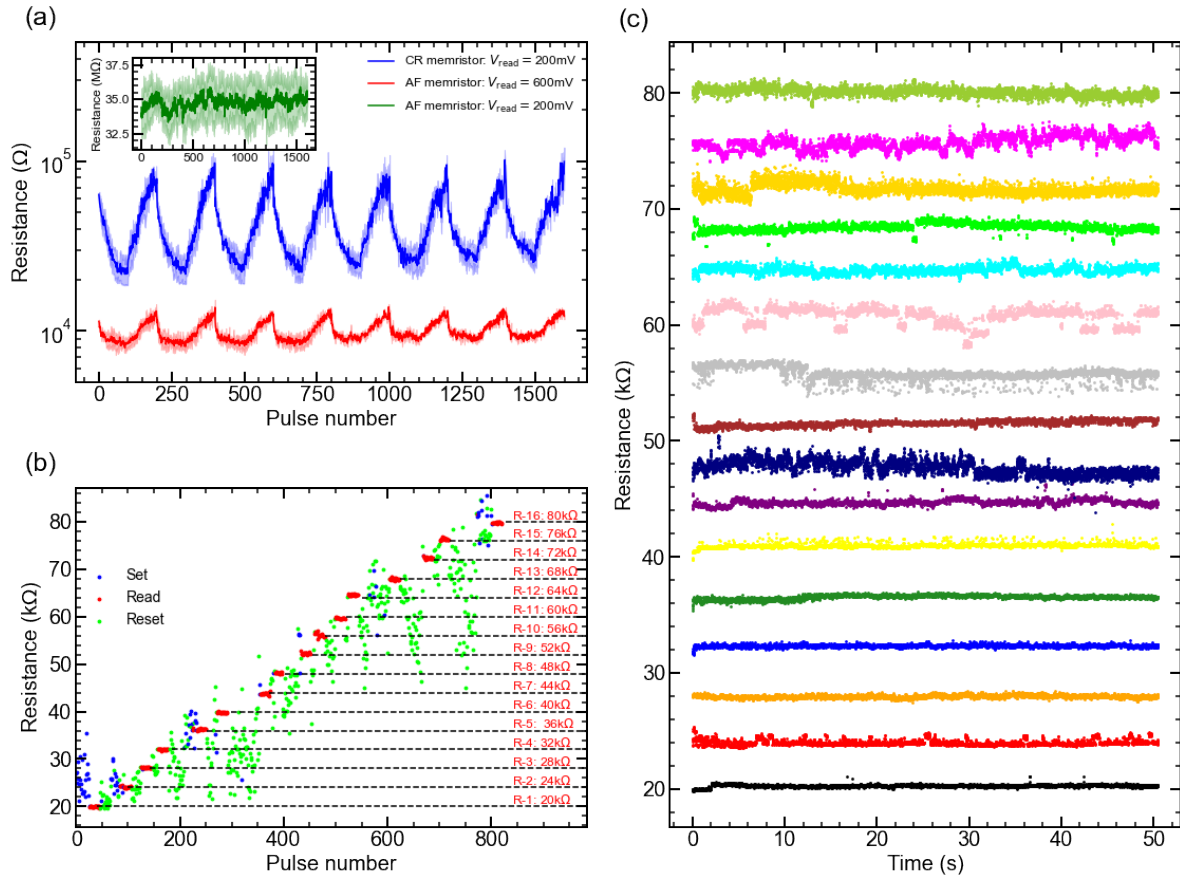


FIGURE 3.3 (a) Long-term potentiation (LTP) and depression (LTD) curves for a CR memristor (blue) and an AF memristor (red and green) at 4.2 K. The write pulse parameters are $t_{\text{write}} = 200\text{ ns}$ and $V_{\text{write}} = \pm 0.9\text{ V}$. The read pulse parameters are $t_{\text{read}} = 10\text{ }\mu\text{s}$ and $V_{\text{read}} = 0.2\text{ V}$ or 0.6 V . Each curve is an average over 10 measurements, and the standard deviation is shown in the background shadow. (b) Multilevel programming of 16 equally spaced resistance states at 4.2 K. The resistance is programming using a read-write-verify feedback algorithm [42]. $V_p^{\text{min}} = 0.5\text{ V}$ and $V_n^{\text{min}} = -0.5\text{ V}$ were chosen as initial pulse amplitudes with an amplitude step of 0.01 V . (c) Retention of the 16 states programmed at 4.2 K. Each state is measured for 50s every 10ms while being biased at 0.2 V . The programmed states are non-volatile for the entirety of the measurement.

within a 1.5% allowed programming error. The CR memristor is tuned using a read-write-verify feedback algorithm from Ref. [42]. At each step, a 200 ns write pulse is applied of either negative amplitude to increase the resistance or positive amplitude to decrease the resistance. A 1 μ s/200 mV read pulse is then applied to measure the CR memristor resistance. The next write pulse amplitude is increased linearly by 10 mV-step if the target resistance is not met. Once the target resistance is reached, the memristor is read 20 times to ensure stability and then the associated retention measured starts. The retention of each programmed state is verified over a 50 second reading measurement (See Fig. 3.3(c)).

In conclusion, we conducted electrical characterizations of $\text{Al}_2\text{O}_3/\text{TiO}_{2-x}$ memristors at cryogenic temperatures and proposed a method called cryogenic reforming to suppress the metal-insulator transition introduced by Ti_4O_7 below 125 K. Using the cryogenic reforming methodology, we demonstrated resistive switching at 4.2 K without insulator regime and a retention of the MIT suppression for over a month hinting at a permanent change of the conductive filament. Moreover, the study of temperature dependence of the conductance suggests different conduction mechanisms for the AF and CR memristors from 77 K to 200 K. This validates the idea that the conductive filament has undergone intrinsic changes through the reforming process. The CR memristor exhibits a conduction drop at 4.2 K that is 100 times smaller than that of the AF memristor due to the MIT suppression. Finally, we demonstrated that CR memristors have a fully analog behavior at 4.2 K which would enable the development of memristor-based cryogenic electronics applied to quantum technologies. Additionally, the CR memristor could be a good candidate for reliable multi-bit cryogenic memory. AF devices exhibit a smaller memory window but have a built-in selector below 100 K thanks to the MIT that could be utilized for large crossbar applications. Our work is a stepping stone towards memristor-based cryogenic applications in quantum technologies showing the viability of the TiO_{2-x} -based memristor at deep cryogenic temperatures.

3.2.3 Author contributions

Pierre-Antoine Mouny : Conceptualization (equal); Data curation (equal); Formal analysis (lead); Investigation (lead); Methodology (lead); Validation (equal); Visualization (lead); Writing – original draft (lead); Writing – review & editing (equal). **Raphaël Dawant** : Conceptualization (equal); Data curation (supporting); Investigation (supporting); Resources (lead); Validation (equal); Visualization (supporting); Writing – original draft (supporting); Writing – review & editing (equal). **Bastien Galaup** : Data curation

(equal); Formal analysis (supporting); Investigation (supporting); Methodology (supporting); Validation (equal); Writing – review & editing (equal). **Serge Ecoffey** : Project administration (supporting); Resources (supporting); Supervision (supporting); Validation (equal); Writing – review & editing (equal) **Michel Pioro-Ladrière** : Project administration (supporting); Funding Acquisition (supporting); Supervision (supporting); Writing – review & editing (equal). **Yann Beilliard** : Conceptualization (equal); Project administration (lead); Investigation (supporting); Supervision (supporting); Validation (equal); Writing – original draft (supporting); Writing – review & editing (equal) and **Dominique Drouin** : Conceptualization (equal); Funding acquisition (lead); Project administration (supporting); Supervision (lead); Validation (equal); Writing – original draft (supporting); Writing – review & editing (equal)

3.3 Discussion

Le *reforming* cryogénique permet d'améliorer considérablement le comportement cryogénique des memristors à base de TiO_{2-x} par rapport aux dispositifs non-reformés. Cette technique permet de réduire les tensions requises pour effectuer des commutations résistives pulsées, en particulier la tension de lecture, mais aussi d'augmenter significativement la plage de résistance programmable. Ces travaux confirment ainsi la viabilité des memristors TiO_{2-x} pour des applications cryogéniques à la fois pour des tâches orientées apprentissage machine telles que les décodeurs d'erreurs quantiques [52] ou l'auto-calibration de boîtes quantiques [214] mais aussi pour des tâches d'électroniques froides. Dans cette optique, le prochain chapitre étudie la viabilité d'une source de tension DC cryogénique à base de ces mémoires résistives TiO_{2-x} . Une telle source de tension permettrait de réaliser la polarisation *in-situ* de boîtes quantiques nécessaire pour atteindre le régime à électron unique. En comparaison avec les solutions basées sur les circuits à capacités commutées (voir Section 2.2), une solution à base de memristors permettrait d'éviter le rafraîchissement périodique de la tension de polarisation.

CHAPITRE 4

Conceptualisation d'une source de tension programmable cryogénique à base de memristors pour la polarisation de boîtes quantiques

4.1 Avant-propos de l'article

Auteurs et affiliations : Pierre-Antoine Mouny^{1,2,3}, Yann Beilliard^{1,2,3}, Sébastien Graveline^{1,2}, Marc-Antoine Roux³, Abdelouadoud El Mesoudy^{1,2}, Raphaël Dawant^{1,2}, Pierre Gliech^{1,2}, Serge Ecoffey^{1,2}, Fabien Alibart^{1,2,4}, Michel Pioro-Ladrière^{2,3} et Dominique Drouin^{1,2,3}

¹Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, Sherbrooke, Québec J1K 0A5, Canada

²Laboratoire Nanotechnologies Nanosystèmes (LN2) – CNRS UMI-3463 – 3IT, Sherbrooke, Québec J1K 0A5, Canada

³Institut quantique (IQ), Université de Sherbrooke, Sherbrooke, Québec J1K 2R1, Canada

⁴Institute of Electronics, Microelectronics and Nanotechnology (IEMN), Université de Lille, 59650 Villeneuve d'Ascq, France

Date de publication : Février 2023

Journal : IEEE Transactions on Electron Devices

Référence : 10.1109/TED.2023.3244133 [213]

Contribution du document : Après avoir démontré la compatibilité cryogénique des memristors à base de TiO_{2-x} , on étudie la viabilité de ces mémoires résistives pour réaliser la polarisation locale de boîtes quantiques. Une première architecture basée sur un amplificateur opérationnel est proposée. Dans cette simple architecture, la résistance placée dans la boucle de rétroaction détermine le gain fixe d'amplification. Cette résistance de rétroaction peut être remplacée par un circuit de memristor permettant ainsi un ajustement dynamique du gain de l'amplificateur et donc une programmabilité de la tension de

sortie en fonction de la résistance du circuit de memristor.

Plusieurs incertitudes doivent être adressées pour valider cette architecture. Parmi les prérequis, cette source de tension à base de memristors doit démontrer une plage de tension de sortie d'au moins 1 V, une résolution inférieure à 1 mV, une puissance dissipée inférieure à 1 mW et la capacité à opérer à températures cryogéniques. En s'appuyant sur des mesures expérimentales à 4.2 K, un modèle mathématique du comportement cryogénique des memristors est extrait pour réaliser des simulations de la source de tension programmable à base de memristors. Ces simulations valident la viabilité et faisabilité d'une telle source de tension.

Résumé en français :

Les systèmes quantiques actuels basés sur les qubits de spin sont contrôlés par des équipements électroniques traditionnels situés à l'extérieur du cryostat. Cette approche crée un important goulot d'étranglement en termes de câblage, ce qui constitue l'un des principaux obstacles à la réalisation d'ordinateurs quantiques à grande échelle. Ainsi, cette étude propose une source de tension DC programmable à base de memristors qui permet la polarisation de boîtes quantiques à l'intérieur d'un cryostat. Cette nouvelle approche cryogénique permettrait de contrôler la tension appliquée sur les électrodes de ces boîtes quantiques en programmant la résistance des memristors, stockant ainsi dans ces derniers les conditions appropriées pour former les boîtes quantiques.

Dans cette étude, nous démontrons d'abord la possibilité de programmer à des états de résistances intermédiaires des memristors TiO_2 à 4.2 K. Cette propriété est essentielle pour permettre la programmation de tension de la source DC à base de memristors. Des simulations de la programmation de la source de tension sont réalisées en se basant sur un modèle cryogénique de memristors TiO_2 ajusté sur des données expérimentales mesurées à 4.2 K. Ces simulations confirment la viabilité du concept en démontrant une plage de tension de 1 V et une résolution de 100 μV , des propriétés nécessaires pour réaliser une polarisation précise de boîtes quantiques.

Finalement, la polarisation de doubles boîtes quantiques par deux sources de tensions DC à base de memristors a été simulée permettant d'obtenir des diagrammes de stabilité de charges. Cette démonstration constitue une première étape vers des applications

cryogéniques avancées pour les mémoires résistives, telles que l'électronique de contrôle cryogénique pour les ordinateurs quantiques.

4.2 Memristor-based cryogenic programmable DC sources for scalable in-situ quantum-dot control

4.2.1 Abstract

Current quantum systems based on spin qubits are controlled by classical electronics located outside the cryostat. This approach creates a major wiring bottleneck, which is one of the main roadblocks toward scalable quantum computers. Thus, we propose a scalable memristor-based programmable DC source that can perform biasing of quantum dots inside the cryostat. This novel cryogenic approach would enable to control the applied voltage on the electrostatic gates by programming the resistance of the memristors, thus storing in the latter the appropriate conditions to form the quantum dots. In this study, we first demonstrate multilevel resistance programming of TiO_2 memristors at 4.2K, an essential feature to achieve voltage tunability of the memristor-based DC source. We then report hardware-based simulations of the electrical performance of the proposed DC source. A cryogenic TiO_2 memristor model fitted on our experimental data at 4.2K was used to show a 1 V voltage range and 100 μV resolution in-situ memristor-based DC source. Finally, we simulate the biasing of double quantum dots, enabling 120s stability diagrams. This demonstration is a first step towards advanced cryogenic applications for resistive memories, such as cryogenic control electronics for quantum computers.

Keywords : Memristors, Cryogenic electronics, Quantum dots (QDs)

4.2.2 Introduction

Silicon quantum dots (QDs) are among the leading candidates for large scale integration of qubits given their compatibility with industrial semiconductor fabrication processes [24], which may enable mass production and easier co-integration with control electronics. Moreover, semiconductor qubits benefit from a small qubit pitch, a long coherence time, and high gate fidelity [25, 233]. However, quantum error correction and millions of physical qubits will be required to enable industrial applications, such as quantum machine learning, or drug synthesis. The current approach to realize a quantum dot-based computer requires the qubit chip to be operated at 1 K or below [26], while its control electronics are placed outside of the dilution refrigerator (see Fig. 4.1a). In particular, the number of quantum-dot gates that are required to properly confine the charge carriers can range from one to up to six for specific quantum dot designs [33], and as many dedicated DC sources and cables per qubit. Although the control approach that is depicted in Fig. 4.1a has enabled important demonstrations over the past years, it will become

cumbersome for few hundred qubits and unachievable for the million of physical qubits required for fault tolerant quantum computing. To avoid this wiring bottleneck, integrated cryogenic control platforms are being developed to control a larger number of spin qubits [37, 33], while limiting the control electronics required at room temperature (See Fig. 4.1b).

To identify and reach the correct electronic regime, it is necessary to individually tune all of the quantum-dot gate biases using DC signals, typically in the ± 1 V range with at least a $100 \mu\text{V}$ resolution, while maintaining a thermal budget in the order of a milliwatt or below per DC source [30, 33]. A first integrated solution based on switched-capacitors and charge-locking, conceptually close to dynamic random access memories (DRAMs), has been proposed to perform charge carrier confinement for several quantum dots [126]. This approach necessitates to integrate several transistors on top of a qubit array of 100nm pitch [82], thus requiring qubits that have similar electrical behaviour to avoid this technological limitation. To maintain the desired bias voltage applied to the quantum-dot gate, the switched-capacitor charge needs to be refreshed periodically which introduces an additional power consumption in the few tens of nanowatts and might require additional DACs. Meanwhile, TiO_2 -based memristors [140] exhibit non-volatility, multilevel resistance state programming [42] and CMOS-compatible fabrication processes [44]. Its resistance value depends on its internal state. This resistance state is tuned by external stimuli, such as DC sweeping or voltage pulses, which enables the voltage programmability of the DC source. Moreover, the conduction mechanisms and temperature dependent DC behavior of memristors based on transition metal oxides have been studied at cryogenic temperatures down to 1.5K [47, 163], hinting at hybrid CMOS-memristor control circuits for quantum systems. The co-integration of a memristor-based biasing circuit and QDs will benefit from the recently demonstrated operation of spin qubits at 1K [26] relaxing the power dissipation restrictions. This approach would make it possible to control the applied voltage on the gates by changing the resistance of the memristors in a non-volatile manner. This on-chip co-integration would require a single I/O to bias several quantum dots, thus paving the way for scalable quantum computers on silicon.

In this paper, we propose a memristor-based DC source set to operate at 4K to bias the gates of a silicon quantum dot cooled to $\sim 10\text{mK}$. However, the perspective of spin qubits at 4.2K in the near future would allow a co-integration enabling scalability as both technologies are CMOS-compatible [44, 24]. Using a feedback resistance tuning algorithm, we experimentally demonstrate the multilevel resistance programmability of $\text{Al}_2\text{O}_3/\text{TiO}_{2-x}$ memristor crosspoints [44] at 4.2K . In addition, we conduct extensive hardware-based

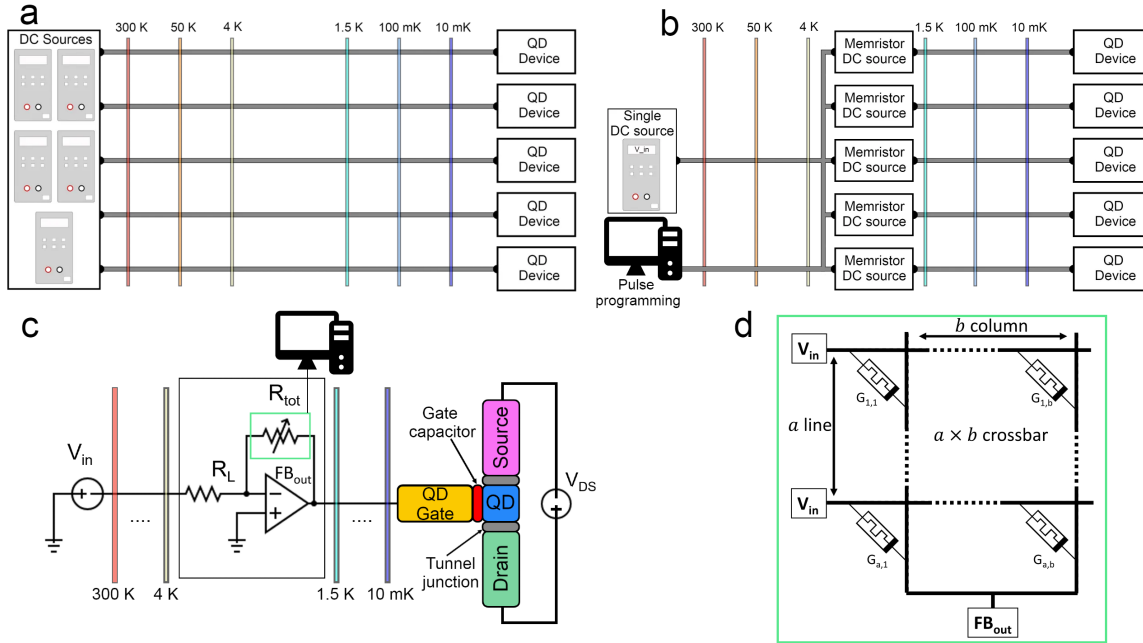


FIGURE 4.1 The memristor-based programmable DC source **a.** Schematic view of a quantum dot based quantum computer that is limited to the QD biasing. The qubit chip is placed at the lower stage of a dilution refrigerator at 10 mK. The DC signals required to bias the qubits are generated by DC sources at room temperature and routed by coaxial cables leading to a wiring bottleneck. **b.** Schematic view of a quantum dot based quantum computer using the proposed memristor-based DC source at 4 K and supplied by a single DC source delivering a fixed voltage V_{in} . An additional RF line is required to tune the memristors. **c.** Zoom-in on a DC line supplying the voltage bias to a single QD gate. The green-framed variable resistor is the memristor circuit that is used as a tunable feedback resistor in a programmable gain amplifier circuit (framed in grey). **d.** Circuit diagram of a memristor-based variable resistor. Memristors are fabricated in an arbitrary sized $a \times b$ crossbar array i.e., a can be different from b yielding to non-square crossbars. By individually tuning the resistance of each memristor using dedicated logic electronics, we can vary the total resistance R_{tot} of the crossbar and thus the output voltage of the DC source. 'FB out' is connected to the output of the feedback loop.

simulations of a memristor-based programmable gain amplifier (PGA) to optimize the design of the memristor feedback resistor, and show that this approach meets the voltage range and resolution criteria for biasing of quantum dots.

4.2.3 Concept

Fig. 4.1a shows a typical experimental setup for spin qubits that operate at 1 K or below with optimal operation at 10 mK. DC biases are generated by rack-sized electronics at room temperature and routed by DC lines to the qubits in the dilution refrigerator. This approach imposes a limit on the number of biasing lines that can be integrated. We propose a PGA as a biasing solution where the variable feedback resistor is based on a memristor circuit (See Fig. 4.1c, d). To simplify the design and limit the wiring bottleneck, we propose to use a passive memristor crossbar instead of a 1T1R architecture used to reduce sneak path current and increase the programming accuracy. The resistance of each memristor can be tuned individually due to the analog behaviour of memristors using write pulses. In the context of the PGA, these pulses can be applied using a low-dissipation cryogenic FPGA [234]. A single DC source that provides a fixed voltage at room temperature is required to supply multiple PGA circuits placed at the 4 K-stage (See Fig. 4.1b, c) limiting the control electronic at room temperature and thus limiting the number of cables going in the cryostat.

Based on the circuit parameters in Fig. 4.1c, we can determine the theoretical electrical characteristics of the memristor-based DC source. The output voltage is determined by the amplification factor $A_R = R_{\text{tot}}/R_L$, where the load resistor R_L is constant. With a common supply voltage V_{in} supplied to all of the horizontal lines of the memristor crossbar array, the total resistance of the crossbar is given by $R_{\text{tot}} = (\sum_{i,j} G_{ij})^{-1}$, where (i, j) represent the position of a memristor in the crossbar and G_{ij} its conductance. By programming N_s distinct resistance states for each memristor, the feedback resistor R_{tot} can take a maximum of $N_s^{N_m}$ distinct resistance values, where $N_m = a \times b$ is the number of memristor in a $a \times b$ crossbar array. This crossbar can be a square array, a non-square array when $a \neq b$ or a line array ($a \times 1$) when N_m is a prime number. Finally, we can define the theoretical voltage range ΔV and the optimal voltage resolution δV_{opt} of the memristor-based DC source derived from a DAC maximum voltage resolution for a given number of states :

$$\Delta V = V_{\text{max}} - V_{\text{min}} = V_{\text{in}} \frac{R_{\text{HRS}} - R_{\text{LRS}}}{R_L N_m} \quad (4.1)$$

$$\delta V_{\text{opt}} = \Delta V / N_s^{N_m} \quad (4.2)$$

where $R_{\text{LRS}} = 1.8 \text{ k}\Omega$ and $R_{\text{HRS}} = 16 \text{ k}\Omega$ are the resistance of the memristor in the lowest resistance state and the highest resistance state, respectively. These values are tied to our memristor technology. We use $R_L = 300 \Omega$ and $V_{\text{in}} = 0.3 \text{ V}$ (See Fig. 4.2). While we aim for a constant resistance step, the effective voltage resolution δV_{eff} will be an average resolution with a variable voltage step converging towards δV_{opt} due to the non-linearity introduced by the memristors placed in parallel.

4.2.4 Thermal budget and power dissipation

The power dissipated by the circuit in the dilution fridge is an important consideration when designing cryogenic control electronics for quantum systems. For the memristor-based DC source, the two sources of dissipation are the operational amplifier and the memristors in the feedback loop placed at 4.2 K. The most recent custom cryogenic operational amplifier from Ref. [134] dissipates $1 \mu\text{W}$ but is currently unsuitable with the large output current of our circuit. While the TLC271 amplifier characterized at 4.2 K is expected to dissipate $\approx 500 \mu\text{W}$ in the medium-bias mode [235].

The power dissipated by the memristors is introduced by the Joule heating proportional to the current flowing V_{in}/R_L in the feedback loop and is maximum at the maximum output voltage $P_{\text{mem}}^{\text{max}} = \left(\frac{V_{\text{in}}}{R_L}\right)^2 R_{\text{tot}}^{\text{max}}$ where $R_{\text{tot}}^{\text{max}} = R_{\text{HRS}}/N_m$. Our memristors feature a $16 \text{ k}\Omega$ -HRS, leading to a power dissipation of 1.77 mW for a feedback current $I_{\text{fb}} = 1 \text{ mA}$ and a feedback resistor of 9 memristors required to achieve a 1.5 V supply range and a lower dissipation for smaller ranges (See Fig. 4.2). Hence, the total power dissipation of a single memristor-based DC source is in the order of a milliwatt. If we assume that this power is entirely dissipated on-chip, then ≈ 800 memristor-based DC source could be placed at the 4.2 K stage assuming 1.5 W cooling power. This number is bottlenecked by the low HRS of our devices. Increasing these resistances would allow to increase the PGA voltage gain A_R while decreasing the current flowing in this loop ($I_{\text{fb}} = V_{\text{in}}/R_L$) to maintain the same voltage output specifications ($V_{\text{out}} = A_V \times V_{\text{in}}$). Thus it will enable lower power dissipation. For example, $R_{\text{LRS}} = 10 \text{ k}\Omega$ and $R_{\text{HRS}} = 100 \text{ k}\Omega$ resistances have been demonstrated for the same TiO_2 memristor technology in [51], it would allow to reduce the maximum power dissipation down to $\approx 110 \mu\text{W}$. The maximum power dissipation is decreased approximately tenfold when the HRS resistance is increased tenfold.

4.2.5 Experimental results

Demonstrating reversible, non-volatile, and linear resistance programming of resistive memory devices at cryogenic temperatures would offer opportunities for hybrid memris-

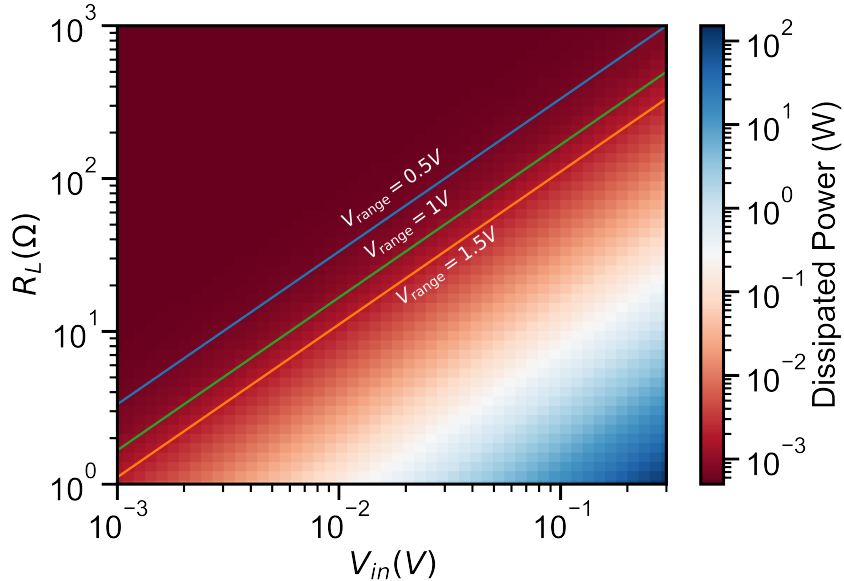


FIGURE 4.2 **Simulation of the maximum static power dissipation of a DC source with respect to the input voltage and the load resistor.** The colored lines indicate the suitable configuration to reach a given output voltage range.

tor-CMOS cryogenic electronics. To accurately tune resistance states, we use a feedback algorithm from Ref. [42]. At each step, we apply a 200 ns write pulse of negative amplitude to increase the resistance of the device or a positive amplitude to decrease its resistance, followed by a $1 \mu\text{s}/200 \text{ mV}$ read pulse to measure the memristor resistance. The write pulse amplitude is increased linearly by 20 mV-step, starting from an initial positive amplitude V_p^{\min} or negative amplitude V_n^{\min} depending on the initial resistance of the memristor (See inset of Fig. 4.3b). Once the desired resistance is reached within the relative allowed error set to 1%, the resistance is read 20 times to ensure state stability (see inset of Fig. 4.3a). A relative allowed error yields to faster programming of the resistance states by easing the tuning conditions of higher resistance states at the cost of programming accuracy which will be compensated using a servo algorithm in the DC source context.

Measurements were conducted at 4.2 K using a Keysight B1500A semiconductor analyzer with a 200 Msamples/s waveform generator module (WGFMU) on a Lakeshore CRX-VF cryogenic probe station. The TiO_2 memristors were formed beforehand at 300 K. We demonstrate 8 equally spaced resistance states ($\approx 1.7k\Omega$ step) at 4.2 K, programmed with approximately 50 write pulses for each state within a 1% allowed programming error. We observe that the resistance can decrease instead of increasing when applying negative write pulses which could be imputed to the larger temperature gradient in the vicinity of the

conductive filament [236]. Moreover, at cryogenic temperatures, the competition between thermal- and field-activated effects is increased and could lead to additional variability during the thermally-activated RESET operation [47]. This phenomenon is more important at larger resistance values and can be defined as programming noise. One can also note reading variability from the inset of Fig. 4.3a, which can be associated to mainly 1/f noise rising from trapping and detrapping of electrons in the vicinity of the filament and thermal noise induced by the memristor conduction modes. We evaluate a sub-1% read variability on our devices with a minimum of 0.13% at LRS and 0.4% at HRS at 4.2 K, which allows for precise and stable resistance states. By measuring the power spectral density of the memristor using a SR780 network analyzer, we calculated that the 1/f noise accounts for roughly 45% of the total read variability at 4.2 K. Another source of noise for memristors is random telegraph noise which our devices do not exhibit in histogram measurements. Additionally, we fitted a programming noise model at 4.2 K, that accounts for cycle-to-cycle variability and device-to-device variability, by repeating multilevel programming 10 times for 5 devices. The median value of the programming variability reported in Fig. 4.3c is 0.79% for our TiO₂ memristors in the [2.85, 15.0] kΩ-range. It indicates that the higher RESET variability at higher resistance for the first few pulses is mitigated with the simple multilevel programming algorithm. A better programming accuracy can be reached using a smaller voltage step for pulse amplitude and a smaller allowed error at the cost of programming time (i.e., more write pulses). Finally, we simulated the multilevel programming of our TiO₂ memristors (See Fig. 4.3b) by fitting a Data-Driven model [237] at 4.2 K replicating the pulsed response transient of a memristor which enables the design of cryogenic memristor circuits. This model closely replicates the programming of the resistance states, which allows hardware-based simulations of the DC source in the following section while the experimentally-fitted read variability is slightly underestimated in Fig. 4.3b compared to the experimental measurements Fig. 4.3a due to different B1500 configurations used for read variability measurements and multilevel programming.

We investigated the long-term stability of the TiO₂ memristors to guarantee the voltage output stability of the DC source over time. We reported a multilevel state retention over 8 hours at 300 K previously in [44]. We characterized this aspect at 4.2 K to verify the non-volatility of memristors at cryogenic temperature. We report a 3-bit retention over 800 s (See Fig. 4.3d) which is $\approx 10^5$ times longer than the coherence time of current spin qubits which is in line with our previous longer term retention measurements at room temperature.

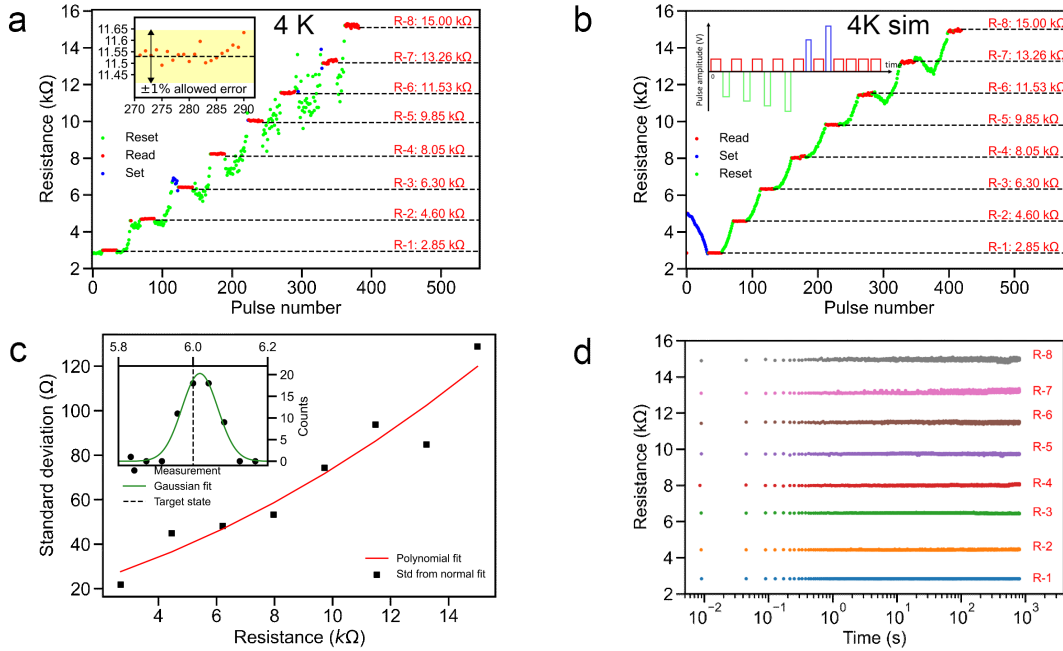


FIGURE 4.3 **Electrical characterization of a TiO_2 memristor.** **a.** Experimental and **b.** simulated programming of 8 equally spaced resistance states within a 1% allowed error at 4.2 K. Negative pulses are applied to the memristor to increase its resistance, while positive pulses decrease its resistance. These operations are, respectively, named RESET and SET. $V_p^{\min} = 1.0$ V and $V_n^{\min} = -1.0$ V were chosen as initial pulse amplitudes with an amplitude step of 0.02 V. The inset is a zoom-in on the 11.53 k Ω state readout within the 1% allowed error. The simulation uses our Data-Driven model [237]. The inset shows the typical pulse scheme used for the multilevel programming. The pulse width is fixed to 200 ns for write pulse (green or blue pulses) and to 1 μ s for read pulse (red pulses). **c.** State programming noise at 4.2 K based on the programming standard deviations of the 8 resistance states. The multilevel programming cycle is repeated 10 times in a double sweep for 5 different memristors. The programming standard deviation is gaussian-fitted for each programming round **d.** Long-term stability of the 8 states programmed at 4.2 K. Each state is measured for 800 s every 35 ms while being biased at 0.2 V. The programmed states are non-volatile for the entirety of the measurement.

4.2.6 Simulations and discussions

Using the Data-Driven memristor model [237] parameters fitted on our experimental data at 4.2 K, the simulated memristors are programmed with simulated read/write pulses similar to experimental pulses using the same voltage-based algorithm. By varying the number of memristors in the circuit and the number of distinct resistance states, we can test several configurations and benchmark the performance of the memristor-based DC source such as the voltage resolution and the voltage range. We initially consider the circuit with no read or write variability to assess the optimal voltage resolution and range achievable in the Fig. 4.4a and b, then we added an experimentally-fitted read variability and programming noise (See Fig. 4.3c).

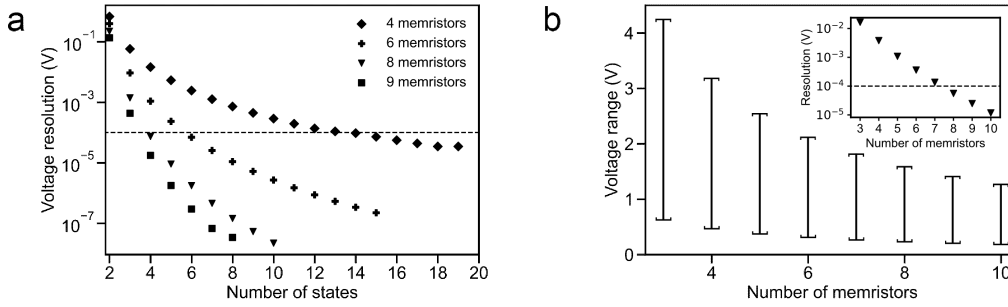


FIGURE 4.4 **Simulated performances of the memristor-based programmable DC source.** **a.** Evolution of the voltage resolution of the memristor-based DC source with respect to the number of states and the number of memristors in the circuit. Each memristor has its own resistance state distribution to avoid doubling resistance configurations : the i^{th} resistance state of the j^{th} memristor is given by $R_{\text{LRS}} + (i - 1) \times \frac{R_{\text{HRS}} - R_{\text{LRS}}}{N_s} + (-1)^j \times \lfloor j/2 \rfloor \times \frac{R_{\text{HRS}} - R_{\text{LRS}}}{8N_s}$ with $i \in \llbracket 1, N_s \rrbracket$ and $j \in \llbracket 1, N_m \rrbracket$ where N_s is the number of resistance states and $N_m = a \times b$ the number of memristors in a $a \times b$ crossbar array. A supply voltage $V_{\text{in}} = 300 \text{ mV}$, a resistance load $R_L = 300 \Omega$, a minimum resistance $R_{\text{LRS}} = 1.8 \text{ k}\Omega$ and a maximum resistance $R_{\text{HRS}} = 16 \text{ k}\Omega$ were used. **b.** Maximum voltage range and optimal resolution for a given number of memristors for five states.

Fig. 4.4a shows the evolution of the voltage resolution of the memristor-based DC source with respect to the number of states and the number of memristors. A higher number of resistance states leads to a better voltage resolution, experimentally limited by the device. By programming five states on nine memristors, we ideally reach a voltage resolution of $\approx 1 \mu\text{V}$, which is well below the $100 \mu\text{V}$ target resolution required for QDs biasing. This five-states distribution is used for the following simulations. Fig. 4.4b specifies the basic electrical characteristics of the DC-source with respect to the number of memristors used. This figure shows the trade-off between the voltage resolution and the

range as the number of memristors increases, this trend is explained by equations eq. 4.1 and eq. 4.2. For an increasing number of memristors, the voltage range decreases while the resolution increases exponentially. To comply with the $100\ \mu\text{V}$ voltage resolution and 1 V-range requirements for quantum dot biasing, a circuit of at least eight memristors is needed for 5 resistance states. In the remainder of this paper, we consider a nine-memristor circuit to utilize the denser and more common 3×3 memristor-crossbar footprint.

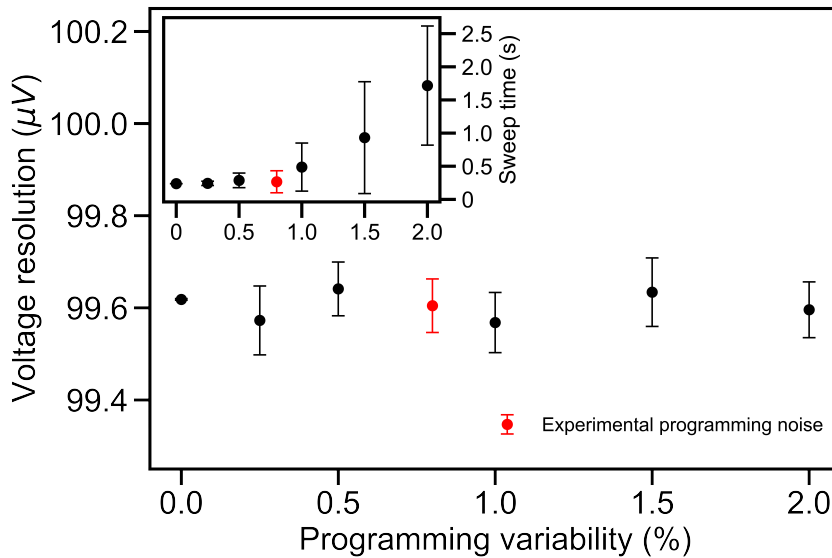


FIGURE 4.5 **Impact of the memristor variability on the DC source voltage resolution.** A circuit of nine memristors operated by the servo algorithms is simulated. The simulations were repeated 100 times for each programming variability value to allow for statistical analysis. The voltage resolution stays constant, but the time required to program the 25 mV-sweep increases.

In the preceding simulations, we chose to consider the memristors as discrete multi-state resistors. This allows for efficient programming because a simple feedback resistance algorithm can be used to tune the crossbar array. Using this discrete programming approach, the output voltages depend on the resistance targets that we initially set, limiting our control on the output voltage. Instead, the DC source can be controlled to reach an arbitrary voltage to enable a precise control of the PGA output voltage by exploiting the fully analog behaviour of the memristors. We propose a servo algorithm, which programs the memristor crossbar to reach the target voltage accordingly. The crossbar resistance configuration is chosen in a pre-computed dataset, where the keys are the target output voltages. We converge towards this optimal resistance configuration by performing a first coarse round of programming for each memristor to roughly reach the configuration using

the feedback algorithm for multilevel programming (see Fig. 4.3a and b). During a second round of programming, the resistance of the last memristor of the crossbar is finely tuned with a smaller voltage step and programming tolerance to a new target resistance that is computed to balance the programming inaccuracy of the initial fast programming. We investigate the robustness of this algorithm by introducing variability during the programming phase of the DC source. Fig. 4.5 shows the voltage resolution of a nine-memristor DC source with respect to the programming variability. As the simulated programming noise increases, the voltage resolution of the DC source remains almost constant. This suggests that the memristor variability has a negligible impact on the voltage resolution of the memristor-based DC source. However, the sweep time (for a 25 mV-sweep) is increased as it takes more time to finely tune the memristor resistances. This servo algorithm allows for memristor variability robustness and a constant 100 μ V step size within a 0.2% voltage resolution error using a nine-memristor circuit at 0.8% programming noise. Controlling the memristor-based DC source to reach an arbitrary voltage offers a smaller voltage resolution when compared to the resistance-driven operation mode. However, the proposed memristor-based programmable DC source still satisfies the 100 μ V for the same circuit parameters and is more suitable for *in-situ* use of the DC source.

Finally, the output voltage noise of the DC source is introduced by the memristor read variability and is given by : $\frac{V_{\text{mem}}(R)}{\sqrt{N_m}}$ where $V_{\text{mem}}(R)$ is the read variability as a function of the memristor resistance. At 0.6 V i.e. the sweep voltage used for the simulated stability diagrams, the output voltage noise is $\frac{0.21}{\sqrt{9}} \times 0.6 \approx 420 \mu\text{V}$ which is comparable with the voltage noise of DC sources used in quantum dot setups, typically in the order of 1%.

Now that we have explained the working principle of our memristor-based DC source and demonstrated how it can be operated to reach a voltage, next we simulate its co-integration with a double quantum dot to validate its compatibility with quantum systems. Stability diagrams are used as a standard benchmark measurement to verify the performance of a quantum dot system. We simulated the electron transport through a double quantum dot (DQD) with respect to the voltages applied to its gates while biased by two memristor-based cryogenic DC source using equations from [238]. Two important metrics to consider for a QD biasing solution are the voltage resolution and the stability diagram acquisition time, which is estimated by counting the number of write and read pulses needed to program the memristor circuit during the simulation of the charge stability diagram. This acquisition time increases with better voltage resolution, leading to a trade-off bet-

ween speed and accuracy (see Fig. 4.6). The insets of Fig. 4.6 show the derivative of a charge stability diagram to highlight the transition between the electronic regimes of the simulated DQD. We can identify the transition and occupations of the DQD for the three voltage resolutions—that is, 1 mV, 100 μ V and 10 μ V—, thus demonstrating the control of a simulated DQD by the proposed memristor-based DC source. Although the DC source can conveniently deliver voltage resolution from 10 mV to below 1 μ V, a 100 μ V resolution is sufficient to clearly observe the honeycomb pattern and its triple-point. It also allows for a fast 70 s-scanning of the stability diagram. Moreover, when scaling up the DC-sources for a large number of DQDs, the stability diagram measurement can be performed in parallel. This allows to scan all DQDs within 70 seconds using a 100 μ V resolution.

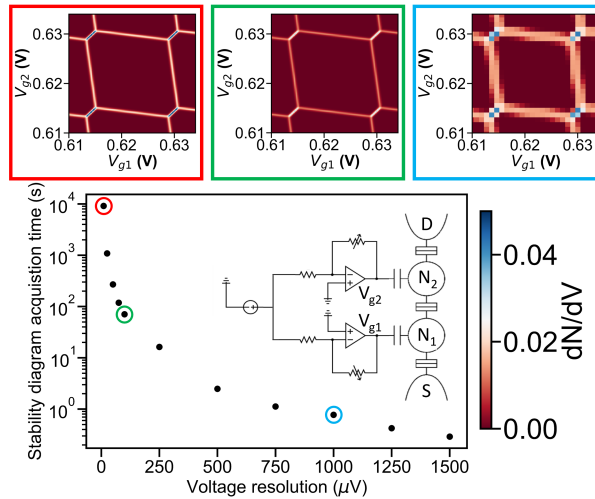


FIGURE 4.6 Simulation of the co-integration of a double quantum dot and the memristor-based DC source. Stability diagram acquisition time required with respect to the voltage resolution using two memristor-based cryogenic DC sources with a programming noise of 0.8%. The three color-framed insets show, respectively, the stability diagram obtained for a 10 μ V, 100 μ V and 1 mV voltage resolution. The co-integration simulations were conducted with a DQD placed at 10 mK and the DC source at 4 K using the electrical circuit depicted in the inset. The quantum dot parameters for these simulations are $C_{g1} = C_{g2} = 1.03$ aF, $C_m = 0.4$ aF from [239].

4.2.7 Conclusion

In conclusion, we propose a memristor-based cryogenic programmable DC source for scalable in-situ quantum-dot control. We demonstrate that this control approach fulfills the baseline requirements for quantum dot biasing (i.e., a 100 μ V-resolution over a 1 V-range) while keeping a limited number of memristors, allowing for a scalable biasing solution. We demonstrated the effective biasing of a simulated double quantum dot using a non-ideal

TiO₂/Al₂O₃ memristor model, pointing out that memristor variability will not cause electronic regime changes that would be detrimental to quantum computation. We reported successful multilevel pulsed programming of TiO₂-based memristor at 4.2 K. Moreover, the scalability is limited by the total power dissipation of the DC source but still hints at a feasible integration of a few hundred of DC sources at 4.2 K. More resistive memristors would allow to decrease the power dissipation by limiting the current flowing in the feedback loop in order to close the gap with the switched-capacitor demonstrating sub-nanowatt dissipation [126].

4.2.8 Author contributions

P.A.M. and S.G. performed the experiment. A.E.M., R.D., P.G. and S.E. fabricated the memristor devices. P.A.M. analysed and post-processed the measurement and simulation data. P.A.M., S.G. and M.A.R. developed the simulation framework Y.B., D.D. and M.P.L. conceived and supervised the project. P.A.M. wrote the manuscript with input from all of the authors.

4.3 Discussion

Le concept de source de tension DC à base de memristors est une alternative viable aux circuits à capacités commutées (*switched capacitor*). En utilisant une matrice 3×3 de memristors, la source DC peut atteindre une résolution de $100 \mu\text{V}$ et une plage de tension de 1 V ce qui remplit les prérequis pour la polarisation de boîtes quantiques [30].

Cette solution possède plusieurs avantages tels que la non-volatilité de la tension appliquée aux électrodes de boîtes quantiques et une quantité réduite d'E/S requises. Cependant, plusieurs défis doivent être relevés pour permettre de valider l'utilité de ce concept pour la mise à l'échelle des systèmes quantiques.

Notamment, la démonstration expérimentale du fonctionnement de la source de tension à température ambiante et cryogénique. Cette étape est cruciale pour vérifier la meilleure résolution en tension atteignable et le niveau de bruit de la tension de sortie, un bruit trop important pourrait entraîner la décohérence des qubits de spins [55]. Finalement, le principal désavantage de la source DC à base de memristors par rapport aux circuits à capacités commutées est une consommation d'énergie plus élevée (environ 4 à 5 ordre de grandeur). Cette différence pourrait être comblée par la conception d'amplificateurs intégrés basse puissance et l'utilisation de technologies mémoires présentant des résistances plus élevées telles que les mémoires ferroélectriques [217, 218].

CHAPITRE 5

Prototypage et mise à l'échelle d'une source de tension DC cryogénique à base de memristors

5.1 Avant-propos de l'article

Auteurs et affiliations : Pierre-Antoine Mouny^{1,2,3}, Raphaël Dawant^{1,2,3}, Patrick Dufour^{1,2}, Matthieu Valdenaire^{1,2,3}, Serge Ecoffey^{1,2}, Michel Pioro-Ladrière^{2,3}, Yann Beilliard^{1,2,3} et Dominique Drouin^{1,2,3}

¹Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, Sherbrooke, Québec J1K 0A5, Canada

²Laboratoire Nanotechnologies Nanosystèmes (LN2) – CNRS UMI-3463 – 3IT, Sherbrooke, Québec J1K 0A5, Canada

³Institut quantique (IQ), Université de Sherbrooke, Sherbrooke, Québec J1K 2R1, Canada

Date de soumission : Avril 2024

Journal : Elsevier Cryogenics

Référence : Déposé sur ArXiv [240]

Contribution du document : En se basant sur le concept de source de tension DC à base de memristors proposé au Chapitre 4, un prototype pour une démonstration expérimental est proposé dans l'étude qui suit. Ce prototype inclut un amplificateur opérationnel (OpAmp), des memristors à base de TiO_x ainsi que des commutateurs analogiques. Plusieurs OpAmps sont testés incluant le TLV271 de Texas Instruments et les AD8601 et AD8605 d'Analog Devices. Parmi ces trois amplificateurs seulement l'AD8605 est fonctionnelle à 1.2K et 4.2K. Pour cette raison, l'étude qui suit ne présente que la caractérisation électrique cryogénique de l'AD8605. Un résumé des performances des autres amplificateurs est disponible en Annexes (Fig. A3 pour le TLV271, Fig. A4 pour le AD8601). Le

démonstrateur expérimental conçu pour cette étude est basé sur un circuit d'amplificateur transimpédance avec l'OpAmp AD8605.

Cette étude permet de valider expérimentalement la viabilité du prototype de source de tension DC à base de memristors. Les memristors utilisés pour le prototype sont issus du même échantillon que les memristors démontrés compatibles avec les températures cryogéniques au Chapitre 3. Le prototype expérimental démontre une programmabilité sur une plage de tension de 250 mV avec une résolution de 10 mV 1.2 K avec seulement 2 memristors TiO_x . De plus, le prototype démontre une faible dérive de sa tension de sortie (environ $1 \mu\text{V s}^{-1}$) le rendant compatible avec la polarisation de boîtes quantiques et assurant son avantage non-volatile sur les solutions de polarisation capacitives. La résolution en tension atteinte avec 2 memristors est meilleure que la résolution prédite au Chapitre 4 où une résolution de 10 mV est atteinte pour 3 memristors programmés sur 8 états stables. Cette amélioration est permise par la programmation analogique des memristors. La résolution en tension du prototype pourrait être améliorée en augmentant le nombre de memristors placé dans la boucle de rétroaction de l'amplificateur opérationnel comme le suggère la Fig. 4.4 ce qui rendrait ainsi le prototype compatible avec les prérequis pour la polarisation de boîtes quantiques. Cette étude permet de montrer les limitations et les défis techniques relatives à ce concept de source de tension DC à base de memristors. Bien que ce prototype expérimental ne démontre pas les caractéristiques électriques suffisantes pour une mise à l'échelle, en s'appuyant sur les procédés de mise à l'échelle de l'industrie microélectronique, il peut être mis à l'échelle en co-intégrant sur silicium un amplificateur opérationnel sur mesure avec des mémoires émergentes alternatives présentant des résistances plus élevées. Les simulations circuits de cette co-intégration révèlent la possibilité d'intégrer 15000 sources de tension DC à base de memristors TiO_x à 4.2 K cela étant permis par la consommation réduite de l'amplificateur CMOS ($98 \mu\text{W}$ contre 8 mW). En utilisant des mémoires émergentes alternatives comme les jonctions tunnel ferroélectriques (FTJ) présentant une résistance supérieure à $1 \text{ M}\Omega$ [241], il est possible d'intégrer jusqu'à 300 000 sources de tension à 4.2 K. Ces travaux de mise à l'échelle permettent de valider la viabilité du concept de source de tension à base de mémoires émergentes, le principal obstacle à cette mise à l'échelle étant une co-intégration monolithique des circuits CMOS et des mémoires émergentes.

Résumé en français :

Le concept de sources de tension DC cryogéniques basées sur les memristors présenté au Chapitre 4 offre une voie prometteuse pour la polarisation *in-situ* de matrices de boîtes quantiques. Dans cette étude, le prototype de source de tension DC à base de memristors ainsi que le montage expérimental utilisé pour la démonstration sont présentés. Les démonstrations expérimentales et les discussions sur la mise à l'échelle du prototype de source de tension DC sont ensuite rapportées.

Nous démontrons d'abord le fonctionnement d'un amplificateur opérationnel commercial jusqu'à 1.2 K. Cet amplificateur est ensuite utilisé dans le circuit du prototype de source de tension DC à base de memristors. La programmabilité du prototype est ensuite validée en réalisant plusieurs balayages DC de 250 mV avec une résolution en tension de 10 mV à température ambiante et à 1.2 K. Le prototype de source de tension DC présente une faible dérive de sa tension de sortie de l'ordre de $1 \mu\text{V s}^{-1}$ à 1.2 K. Cela démontre le potentiel des sources de tension DC à base de memristors pour la polarisation des boîtes quantiques. Cependant, ce prototype expérimental consomme plusieurs milliwatts et présente une résolution en tension trop faible pour une polarisation précise des boîtes quantiques. Cela rend le prototype expérimental incompatible avec une mise à l'échelle.

Pour y remédier, nous proposons de co-intégrer monolithiquement des mémoires non volatiles émergentes (eNVM) et des circuits CMOS basées sur la technologie TSMC 65 nm. Les simulations de mise à l'échelle réalisées sur la suite Cadence révèlent des réductions de la consommation d'énergie, avec une consommation minimum de $\approx 10 \mu\text{W}$ par source de tension DC, mais aussi une réduction de l'empreinte du circuit. Nous démontrons qu'il est possible d'intégrer jusqu'à plusieurs centaines de milliers de sources de tension DC basées sur les memristors à l'étage 4.2 K d'un réfrigérateur à dilution. De plus, en utilisant des mémoires émergentes alternatives démontrant des plages de résistances plus élevées telles que les jonctions tunnel ferroélectriques, il est possible d'intégrer jusqu'à 300000 de sources de tension DC à l'étage 4.2 K d'un cryostat, ouvrant ainsi la voie à des applications de calcul quantique à grande échelle.

5.2 Towards scalable cryogenic quantum dot biasing using memristor-based DC sources

5.2.1 Abstract

Cryogenic memristor-based DC sources offer a promising avenue for in situ biasing of quantum dot arrays. In this study, we present experimental results and discuss the scaling potential for such DC sources. We first demonstrate the operation of a commercial discrete operational amplifier down to 1.2 K which is used on the DC source prototype. Then, the tunability of the memristor-based DC source is validated by performing several 250 mV-DC sweeps with a resolution of 10 mV at room temperature and at 1.2 K. Additionally, the DC source prototype exhibits a limited output drift of $\approx 1 \mu\text{V s}^{-1}$ at 1.2 K. This showcases the potential of memristor-based DC sources for quantum dot biasing. Limitations in power consumption and voltage resolution using discrete components highlight the need for a fully integrated and scalable complementary metal-oxide-semiconductor-based (CMOS-based) approach. To address this, we propose to monolithically co-integrate emerging non-volatile memories (eNVMs) and 65 nm CMOS circuitry. Simulations reveal a reduction in power consumption, down to 10 μW per DC source and in footprint. This allows for the integration of up to one million eNVM-based DC sources at the 4.2 K stage of a dilution fridge, paving the way for near term large-scale quantum computing applications.

5.2.2 Introduction

Quantum computing promises breakthrough applications in a variety of fields, including chemistry [242], finance [243] and climate [244]. Several physical platforms have been proposed to realize quantum computers, ranging from superconducting circuits [8, 17] to trapped ions [10, 11]. Among these candidates, silicon quantum dots (QDs) benefit from a nanometric qubit pitch [245], a long coherence time [25] compared to traditional superconducting qubits, and a temperature of operation up to 4.2 K [27, 26, 28]. Additionally, QDs appear to be a highly scalable technology thanks to their compatibility with industrial semiconductor fabrication processes [23, 24], demonstrating their potential for industrial-scale production and monolithic co-integration with control electronics [126]. Yet, millions of physical qubits compatible with quantum error correction protocols will be required to unlock these promised applications [112]. Recently, notable advancements have been made, such as enhancements in gate fidelity [92], early scalable QDs matrices [246, 247], and large-scale fabrication of qubits [248, 249]. While these developments contribute to scaling to millions of physical qubits, the linear approach used to control these QDs emerges as a bottleneck, impeding the seamless integration of an increasing number of qubits. To address this challenge, concurrent scaling of control electronics becomes imperative to en-

sure the scalability of the QD control method. Early scaling propositions have explored the avenue of cryo-complementary metal–oxide–semiconductor (cryo-CMOS) technology [250, 36]. In particular, mixed-signal solutions have emerged as a principal focus to perform state manipulation and readouts with cryogenic digital-to-analog converters (DACs) to generate pulses [251, 37], cryogenic flip-flop memory to store measurement protocols [33], and amplifier/mixer circuits [132]. Cryogenic DACs with monolithically integrated switched-capacitors have also been proposed to perform in situ biasing of QD gates [126, 40]. The required biasing voltages of the QDs are stored in the charge of the capacitors conceptually close to dynamic random access memories (DRAMs) [33]. This approach benefits from ultra-low power dissipation in the few tens of picowatts but requires periodical refreshment of the capacitor charge due to leakage current, approximately every $10\ \mu\text{s}$ – $1\ \text{ms}$ [33, 40], to maintain the integrity of the biasing voltage. To avoid this volatility, which will be problematic when scaling up QD-based systems, a memristor-based biasing circuit has been proposed. This circuit exploits the non-volatility of TiO_x memristors at the cost of power dissipation on the order of a few milliwatts [213], which could be reduced to tens of microwatts by using integrated circuits. The behavior of TiO_x -based memristors has been widely studied at cryogenic temperatures, demonstrating DC resistive switchings [45, 46] and analog programming with up to 4-bit memristors [213, 209]. However, the concept of memristor-based DC sources is yet to be experimentally demonstrated at cryogenic temperatures.

In this paper, we investigate the cryogenic DC behavior of a transimpedance amplifier (TIA) based on a commercial operational amplifier (OpAmp) AD8605 between 1.2 K and 300 K. We then propose a prototype of a memristor-based DC source using the cryo-compatible AD8605 OpAmp. This circuit is characterized at 1.2 K and at room temperature which serves as a performance benchmark. We perform DC sweeps with a voltage range of 250 mV and a 10 mV resolution. Additionally, we study the stability of the output voltage ensuring that it does not change over time due to memristor resistance drift. Finally, we discuss the scalability of this prototype and propose an alternative design to reduce the overall power consumption and footprint. This architecture supposes near-perfect memristors co-integrated with 65 nm CMOS technology to bias the gates of a silicon quantum dot cooled to 4.2 K.

5.2.3 Memristor-based DC source prototype

cryogenic temperatures [213]. This concept uses a single OpAmp placed in a TIA circuit configuration. The resistive feedback of the TIA is achieved using either a single memristor

or multiple memristors in parallel placed in the feedback loop of the OpAmp (see Fig. 5.1). The output voltage of the memristor-based DC source can be tuned by changing the feedback resistance. This is achieved by individually programming each memristor placed in the feedback loop of the OpAmp, effectively building a programmable gain amplifier (PGA) whose output voltage, V_{out} , depends on the variable gain G_v :

$$|V_{out}| = \frac{R_{mem}}{R_{in}} \times V_{in} \quad (5.1)$$

where R_{mem} is the total feedback resistance introduced by the memristors and is given by :

$$R_{mem} = \left(\sum_i^N G_i \right)^{-1} \quad (5.2)$$

where i represents the index of the i -th memristor, G_i is the conductance of the i -th memristor in the feedback loop, and N the number of memristors in the feedback loop e.g., $N = 4$ in Fig. 5.1.

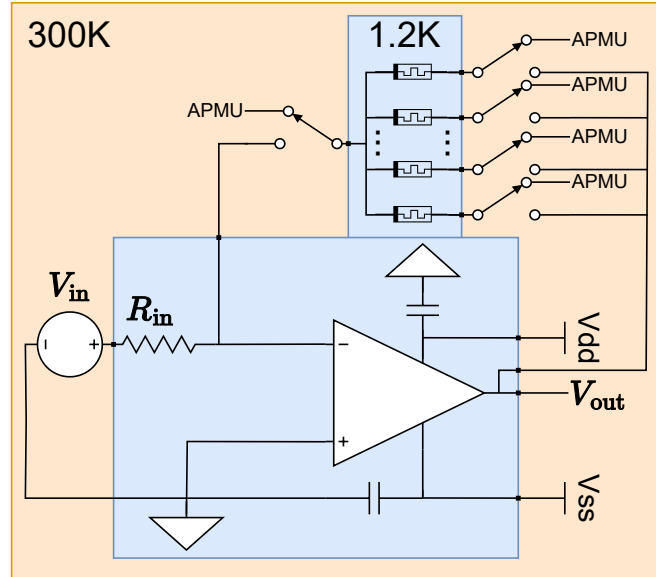


FIGURE 5.1 **Schematic view of the memristor-based DC source prototype.** The required interconnects between cryogenic temperatures and room temperature electronics are shown as small black squares. Analog switches are used to connect the memristors to APMUs or to short them to provide resistive feedback to the OpAmp.

The memristors in the feedback loop can be individually programmed by using analog switches placed at room temperature; $N + 1$ switches are needed as a common top elec-

trode is used for all memristors. The analog switch at the common top electrode allows it to connect to an arbitrary pulse measurement unit (APMU) which can send pulses to program the memristors or connect to the feedback loop of the OpAmp. Meanwhile, each memristor's bottom electrode is connected to an analog switch, enabling the grounding of the bottom electrode with an APMU for memristor programming, or shorting all bottom electrodes to create a feedback resistance with the memristors in parallel (see Fig. 5.1).

The cryogenic compatibility of this prototype presents two primary challenges. Firstly, finding a commercial operational amplifier capable of functioning at deep cryogenic temperatures down to 1.2 K. Secondly, validating the cryogenic compatibility of the memristors. Cryo-compatible memristors have already been demonstrated with different oxides such as HfO_x [168, 165], HfZnO [215], TaO_x [211] and TiO_x [45, 46, 209]. In the meantime, a few commercial amplifiers have been characterized at cryogenic temperatures down to 4.2 K demonstrating cryo-compatibility. These OpAmps include the TLC271 from Texas Instruments [235], the TLV271 from onsemi, the AD8601 and AD8605 from Analog Devices [252]. Due to its low power consumption, it was decided to investigate the cryo-compatibility of AD8605 in the next section .

5.2.4 Characterization of the cryogenic amplifier

The AD8605 OpAmp is tested in a typical TIA configuration, as depicted in Fig. 5.2a, to match the prototype presented in Fig. 5.1. This circuit is implemented on a 2-layer 46×39 mm FR-4 PCB (see Fig. 5.2b). The PCB is assembled with two resistors : $R_{\text{in}} = 1 \text{ k}\Omega$ and $R_{\text{fb}} = 2 \text{ k}\Omega$; along with two $1 \mu\text{F}$ decoupling capacitors to limit power supply noise. This PCB is placed in the 1 K-pot of an ICE Oxford DRY ICE cryostat allowing to cool down the TIA PCB to 1.2 K. Local heating can be applied to the 1 K-pot of the cryostat to increase the temperature of the PCB from 1.2 K to 300 K. A dual voltage supply of $\pm 2.7 \text{ V}$ is applied to the AD8605 OpAmp using two Stanford Research Systems DC205 high-precision DC sources. The supply voltages are maintained during the cooldown of the PCB. The supply current drawn by the AD8605 OpAmp is measured by placing a Keysight 34461A digital multimeter in series with the supply DC sources. This allows for the measurement of the power consumption of the cryogenic amplifier and the estimate of its power dissipation. The output voltage of the cryogenic amplifier is measured with a Keysight DSOX3014T oscilloscope. Four high-frequency coaxial copper lines are used to route the different signals in and out of the cryostat.

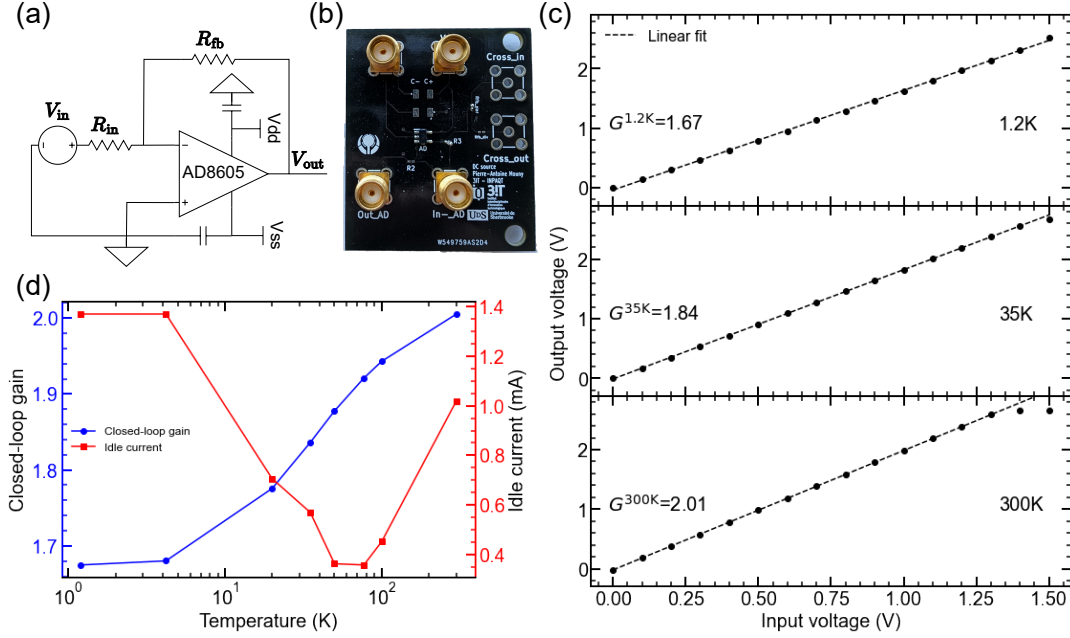


FIGURE 5.2 **Cryogenic characterization of the AD8605 OpAmp** **a.** Schematic of the cryogenic TIA circuit based on the AD8605 OpAmp. R_{fb}/R_{in} define the gain of the TIA with $R_{fb} = 2\text{ k}\Omega$ and $R_{in} = 1\text{ k}\Omega$. **b.** FR-4 PCB implementation of the AD8605 TI circuits. **c.** DC characterization of the TIA behavior at 1.2K, 35 K and 300 K. **d.** Fitted closed-loop gain (blue) and idle current (red) of the AD8605 OpAmp from 1.2 K to 300 K. The idle current is defined as the current consumption for $V_{in} = 0\text{ V}$

The DC behavior of the AD8605 TIA circuit is measured by sweeping the input voltage, V_{in} , from 0 V to 1.5 V. Fig. 5.2c shows the results at 1.2 K, 35 K and room temperature, which serves as a benchmark DC behavior. The AD8605 shows a linear TIA-like behavior at both 1.2K and 35 K, validating the cryo-compatibility of the AD8605 OpAmp. However, the gain of the AD8605 OpAmp is observed to decrease at lower temperatures. This trend is validated by fitting the gain of the TIA circuit at multiple cryogenic temperatures (see Fig. 5.2c). The gain of the OpAmp exhibit a logarithmic increase with temperatures between 4.2 K and 300 K. Below 4.2 K, the gain of the OpAmp plateaus roughly at 1.68. This gain decrease could partly be explained by R_{in} being a thick film resistor whose resistance increases at lower temperatures [253].

Additionally, the current consumption of the AD8605 OpAmp is measured at $V_{in} = 0\text{ V}$ with a $50\ \Omega$ load. This current is usually named idle current. As Fig. 5.2c depicts, the idle current of the AD8605 OpAmp is larger below 4.2 K and plateaus at 1.4 mA. Then, the idle current decreases with increasing temperature up to 77 K where it reaches a lower bound

of 350 μA . Finally, it increases with temperature reaching 1 mA at room temperature. The AD8605 OpAmp consumes 40% more current at 1.2 K than at room temperature for the same dual supply voltage of $\pm 2.7\text{V}$, leading to a power consumption of roughly 4 mW. While this power consumption is too large for scaling up the memristor-based DC source concept proposed by Mouny et al. [213], its cryo-compatibility makes it the perfect candidate for prototyping the memristor-based DC source.

5.2.5 Prototype experimental methods

Having established the operation of the AD8605 OpAmp at cryogenic temperatures in the preceding section, we detail the setup used to experimentally demonstrate the memristor-based DC source prototype. Fig. 5.3a shows a block schematic of the experimental setup which consists of three main blocks : a control platform, the analog switches, and the DC source prototype. The control platform is a LOTUS board from Advanced MicroTesting [254] that provides 32 asynchronous APMUs and 32 General Purpose Inputs/Outputs (GPIOs). A mezzanine board with Vishay Siliconix DG4053 analog switches is fabricated to either program the memristors or connect them to the feedback loop of the TIA circuit. Finally, a 4-layer FR-4 PCB is fabricated to co-integrate the memristor chip and the TIA circuit tested previously in Section 5.2.4 (see Fig. 5.3b). The R_{in} resistor is replaced with a 3 k Ω -metallic film resistor to ensure compatibility with the memristor resistances, while R_{fb} is replaced by a memristor feedback resistance as depicted by Fig. 5.1.

The memristor chip is glued to a custom chip carrier. A line of two memristors sharing a common top electrode is wedge-bonded with aluminum wires to the chip carrier using a TPT HB10 semi automatic wire bonder. This number of memristor yields to the smallest form factor memristor-based DC source required for the demonstration. The memristor chip is fabricated with an etch-back process described in Ref.[255]. Similar devices have been tested at cryogenic temperatures down to 4.2 K and have demonstrated analog programmability enabled by cryogenic reforming [209]. This chip carrier is connected to the cryogenic DC source PCB using mezzanine connectors.

The output voltage of the memristor-based DC source can be tuned by following the programming flowchart depicted in Fig. 5.3c. Initially, a target output voltage, $V_{\text{out}}^{\text{trg}}$, is chosen which introduces a common target resistance R_{trg} for the feedback memristors to

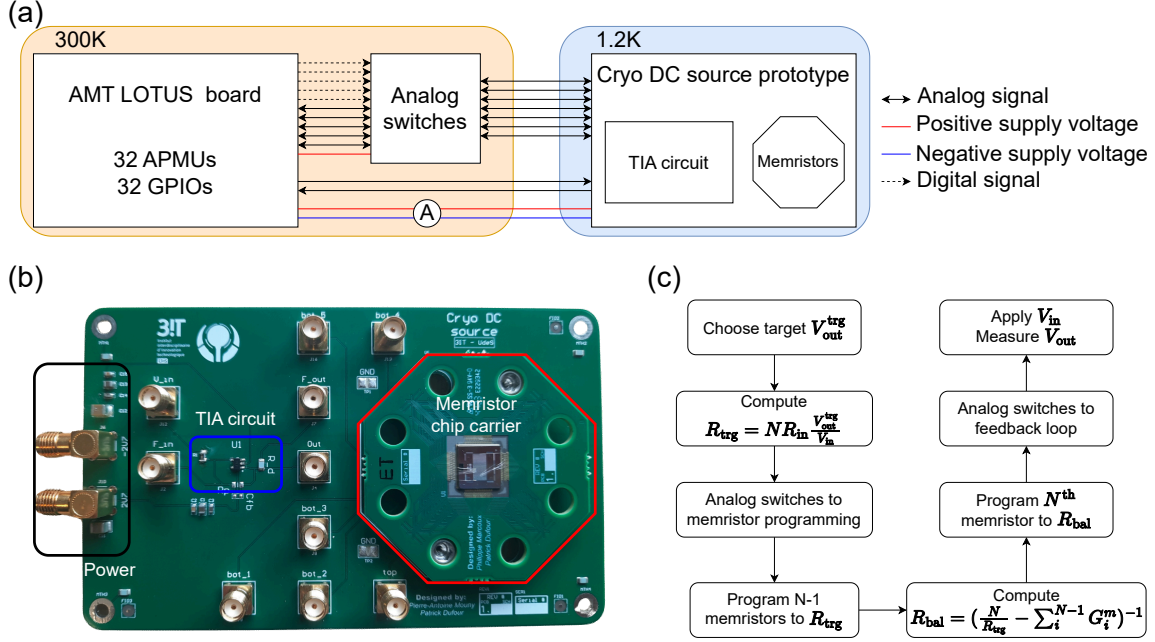


FIGURE 5.3 **Experimental setup for the cryogenic memristor-based DC source.** **a.** Block schematic of the experimental setup used to validate the cryogenic memristor-based DC source. **b.** 4-layer FR-4 PCB implementation of the memristor-based DC source prototype. A custom chip carrier with a wire-bonded memristor chip is connected to the prototype PCB. **c.** Flowchart of the DC source prototype programming.

be programmed. This resistance state is given by :

$$R_{\text{trg}} = N R_{\text{in}} \frac{V_{\text{out}}^{\text{trg}}}{V_{\text{in}}} \quad (5.3)$$

where N is the number of memristors in the feedback loop ($N = 2$ in this case), R_{in} is the resistance placed at the input of the inverting pin of the OpAmp (see Fig. 5.1), and V_{in} is the input voltage of the prototype. The analog switches are set by the GPIOs of the LOTUS board to establish connections between the memristors and the APMUs allowing their programming. All memristors except one (i.e., $N - 1$ memristors) are programmed to R_{trg} using a resistance tuning read-write-verify algorithm from Alibart et al. [42]. At each step of the algorithm, a 200 ns write pulse is applied, with its polarity either increasing the resistance (negative amplitude) or decreasing the resistance (positive amplitude). A $10 \mu\text{s}/V_{\text{r}}$ read pulse is then applied to measure the new memristor resistance. If R_{trg} is not reached, the next write pulse amplitude is linearly increased by $s_V = 10 \text{ mV}$. Once the target resistance is reached within a tolerance of 1%, 10 read pulses are applied to the

memristor to ensure the stability of the programmed state. The read pulse amplitude, V_r , is chosen to be the difference $V_{\text{out}}^{\text{trg}} - V_{\text{in}}$, as this is the voltage that will be applied to the memristors in the feedback loop of the TIA. If a typical V_r value of 0.2 V is used, it will be impossible to accurately tune the memristor resistances to achieve a given $V_{\text{out}}^{\text{trg}}$ value due to the I-V nonlinearities of memristors [88]. The final memristor is programmed to balance the error accumulated during the programming of the other $(N - 1)$ memristors. This balancing resistance state is given by :

$$R_{\text{bal}} = \left(\frac{N}{R_{\text{trg}}} - \sum_i^{N-1} G_i^{\text{m}} \right)^{-1} \quad (5.4)$$

where $\frac{N}{R_{\text{trg}}}$ is the target feedback conductance and $\sum_i^{N-1} G_i^{\text{m}}$ is the sum of the conductance programmed on the $N - 1$ memristors. The same resistance tuning algorithm is used with a smaller tolerance (0.5%) to improve the final accuracy of the programmable DC source. Finally, the analog switches are set by the GPIOs to connect the memristors to the feedback loop of the TIA. To evaluate the performance of the circuit, a constant V_{in} is applied and V_{out} is measured. The V_{in} is fixed for all programmed output voltages.

For the cryogenic measurements, the cryogenic DC source PCB (see Fig. 5.3b) is placed in the 1 K-pot of an ICE Oxford DRY ICE cryostat. The LOTUS board and the analog switches are placed outside the cryostat in an electronic rack. The memristors and feedback loop lines are connected to 5 BeCu RF lines while the supply voltages, V_{in} and V_{out} , are connected to 4 superconducting DC lines with a cut-off frequency around 10 MHz.

5.2.6 Experimental demonstrations

In order to validate the concept of the cryogenic memristor-based DC source, the prototype has to demonstrate output voltage tunability with limited error (10% of the voltage resolution) in accordance with QD biasing requirements i.e., a 0.25–1 V output range. Hence, we performed DC sweep measurements at 300 K as a performance benchmark. The output voltage is swept between 0.4 V and 0.65 V with a resolution of 10 mV. This is achieved by running the algorithm described in Fig. 5.3c with $V_{\text{in}} = 0.25$ V and $N = 2$. This voltage sweep corresponds to tuning each memristor resistance between 9.6 k Ω and 15.6 k Ω . We perform 10 DC sweep measurements to assess the programming variability of the memristor-based DC source. The mean programmed voltages are reported in Fig. 5.4a, demonstrating the tunability of the DC source over the 0.4–0.65 V range. The DC offset (≈ 8 mV) introduced by the AD8605 operational amplifier is subtracted from the pro-

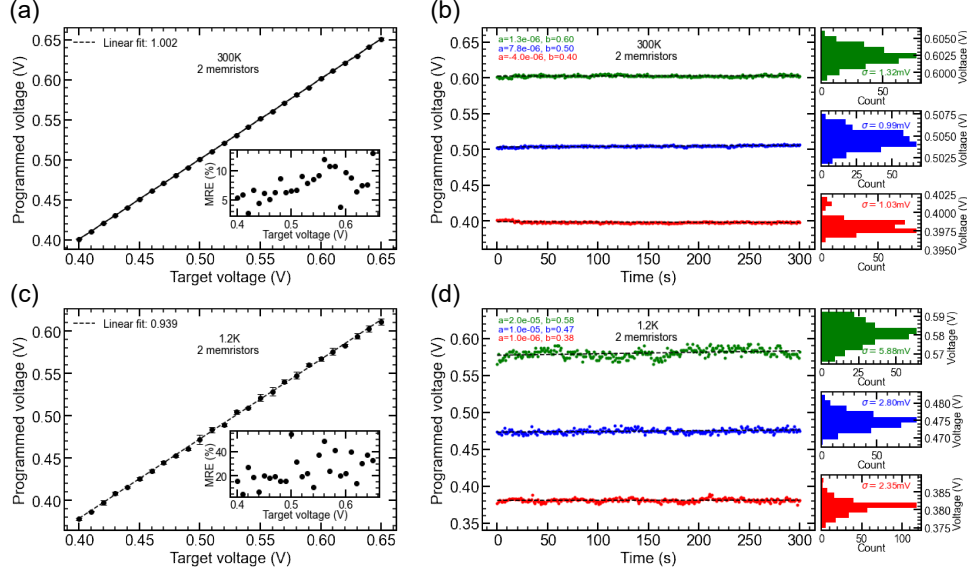


FIGURE 5.4 Electrical characteristics of the memristor-based DC source prototype. **a.** A 250 mV voltage sweep between 0.4 V and 0.65 V with a resolution of 10 mV at 300 K. The experiment was performed with 2 memristors connected in parallel in the feedback loop of the TIA circuit, with $V_{in} = 0.25$ V and $V_{dd} = -V_{ss} = 2.7$ V. The voltage sweep is performed 10 times, with each point representing the mean voltage programmed while the error bars show the programming error. The mean resolution error (MRE) is shown in the inset. **b.** Stability of three intermediary programmed voltages at 300 K. Each programmed voltage is fitted by linear regression ($aV + b$) to verify the drift of the programmed voltage. The three insets depict the variability of each stable programmed voltage. **c.** Ten 250 mV voltage sweeps between 0.4 V and 0.65 V with a resolution of 10 mV at 1.2 K. The experiment was performed with 2 memristors connected in parallel in the feedback loop of the TIA circuit, with $V_{in} = 75$ mV and $V_{dd} = -V_{ss} = 3.0$ V. The inset shows the MRE for this measurement. **d.** Stability of three programmed voltages at 1.2 K. The three insets depict the variability of each stable programmed voltage.

programmed voltages to mitigate systematic error. The mean programmed voltages are fitted by a linear function to verify the linearity of the output voltage. Additionally, the fitted slope ($a_f = 1.002$) allows for the quantification of the memristor feedback resistance programming accuracy. As the fitted slope is close to one, the gain of the TIA is programmed accurately. Moreover, the mean resolution error (MRE) is computed for each programmed output voltage. It is given by :

$$\text{MRE}(V_{\text{out}}) = 100 \times \frac{\text{std}(V_{\text{out}})}{a_f \delta V} \quad (5.5)$$

where $\text{std}(V_{\text{out}})$ is the standard deviation of a given output voltage V_{out} over 10 sweep measurements, a_f is the fitted slope and δV is the intended voltage resolution for the sweep. The MRE for the 300 K DC sweeps is shown in the inset of Fig. 5.4a with an average MRE below 10% i.e., the programmed output voltage is tuned with less than a 1 mV error.

While the DC sweep measurements validate the tunability of the memristor-based DC source prototype, it is necessary to verify the stability of the programmed voltages. This can be done by measuring an arbitrary programmed output voltage over several seconds e.g., 300 s for the stability measurement reported in Fig. 5.4b. The time traces of the programmed voltages are fitted by a linear function ($V(t) = at + b$) to assess the stability of the output. The fitted slope factor is on the order of $5 \times 10^{-5} \text{V s}^{-1}$ which indicates a 5 μV drift every second. This drift is compatible with QD biasing as the drift timescale is very large with respect to spin qubits coherence time [25]. These stability measurements also allows for the evaluation of the voltage noise amplitude exhibited by the memristor-based DC source prototype. The three insets of Fig. 5.4b show a histogram of each programmed output voltage, indicating that the voltage noise amplitude follows a Gaussian distribution with a standard deviation around 1 mV for the three tested output voltages.

The same set of measurements are performed at 1.2 K to verify the cryogenic compatibility of the memristor-based DC source prototype. Under these conditions, the TiO_x memristors used in the feedback loop need to be reformed at cryogenic temperatures to remove the metal-insulator transition hindering their analog programmability as suggested by Ref.[209]. The 10 DC sweeps measured at 1.2 K are performed with a different input voltage ($V_{\text{in}} = 75 \text{ mV}$) due to the increased resistance of the cryo-reformed TiO_x memristors at cryogenic temperatures [209]. The same DC sweep is attempted at 1.2 K i.e., a 0.4 V-0.65 V output range with a 10 mV resolution. Performing this DC sweep requires to program the two memristors between 32 k Ω and 52 k Ω . The voltage supply of the AD8605 OpAmp is increased to $\pm 3.0 \text{ V}$ to compensate for its gain loss at cryogenic temperatures (See Fig. 5.2c). This is not sufficient to achieve the targeted gain at each step of the sweep as the fitted slope ($a_f = 0.939$) suggests. Moreover, the inset of Fig. 5.4c suggests that the higher resistances of the memristors at cryogenic temperatures limits the performance of the memristor-based DC source prototype as the average MRE is approximately 2.5 times larger than the MRE at 300 K. Additionally, the current consumption of the AD8605 OpAmp was measured during the DC voltage sweeps and ranges from 1.43 mA to 1.84 mA. This yields to a power consumption of around 10 mW for the OpAmp, while the

memristor resistive feedback dissipates between $6\ \mu\text{W}$ and $12\ \mu\text{W}$. Assuming that most of the power consumed by the OpAmp is dissipated, the AD8605 introduces a bottleneck in power dissipation if the prototype was to be scaled up. Nonetheless, the Fig. 5.4c demonstrates the viability of the memristor-based DC source concept.

The stability of the programmed DC voltage was also investigated at 1.2 K (see Fig. 5.4d). The memristor-based DC source shows a lower voltage drift at cryogenic temperature as the slope factor a is up to an order of magnitude smaller than the one fitted at 300 K. This increases the retention of the DC source prototype to a 1 mV drift every 1000s, which is a very large retention time when compared to the coherence time of spin qubits ($\approx 10\ \text{ms}$ [25]). This validates the edge of the memristor-based DC source concept over switched-capacitors circuits which need to be refreshed every tens of microseconds [33]. However, the programmed output voltages exhibit a larger voltage noise amplitude. This is mainly due to the larger resistance of the TiO_x memristors at 1.2 K as suggested previously [209]. The read variability introduced by memristors increases linearly with their resistance [52]. This is validated by the 300 K measurements which exhibit a voltage noise up to five times smaller with smaller memristor resistances. Electronic noise is the main concern when interfacing with quantum dots as an output voltage noise too important could lead to decoherence of the qubit [256, 55]. This output voltage noise could be mitigated by using a low-pass filter which would not prevent the operation of the DC source as its role is to apply a DC bias to quantum dots. However, it is to be noted that such filtering would add an additional thermal load.

While the memristor-based DC source prototype shows an insufficient voltage resolution to achieve quantum dot biasing, our previous study suggests that increasing linearly the number of memristors placed in feedback loop allows to reduce the voltage resolution exponentially [213]. Namely using 8 memristors would allow to reach a voltage resolution of $\approx 100\ \mu\text{V}$. This could be achieved by monolithically integrating the memristors in the feedback loop of an integrated CMOS OpAmp [44].

5.2.7 Scaling discussions

The previous study performed with discrete components and a limited number of memristors serves as a proof of concept for this novel cryogenic DC source. Making this solution scalable now requires the design of a fully integrated CMOS-memristor circuit. Moving from discrete electronic components to integrated electronics will drastically reduce both the power consumption and footprint of the operational amplifier used in the

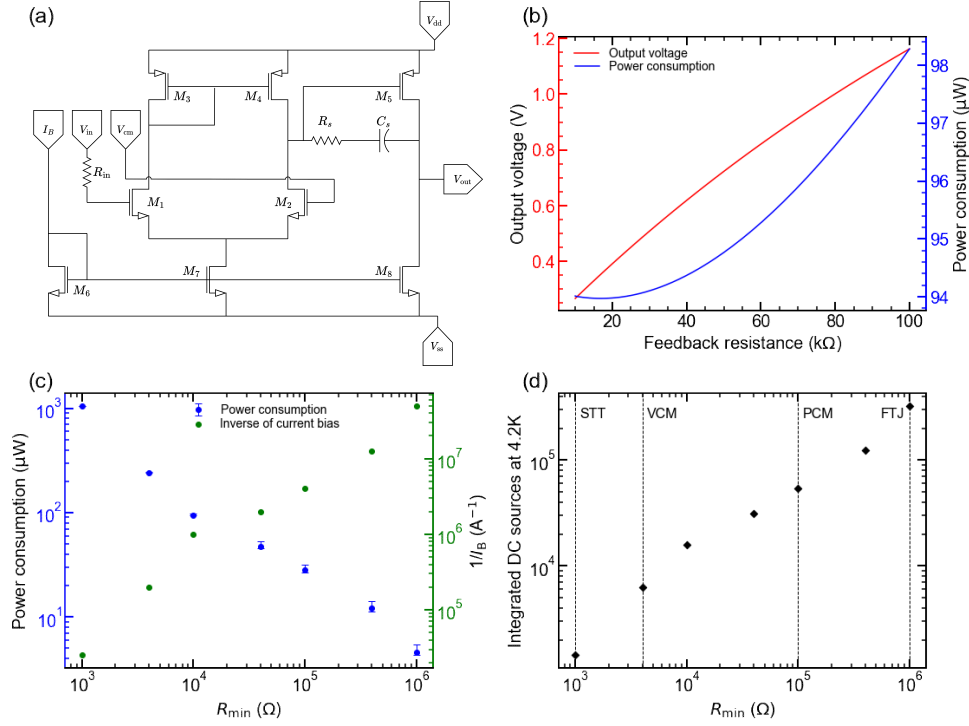


FIGURE 5.5 **eNVM-based DC source scaling simulations.** **a.** The operational amplifier schematic based on a two-stage Miller topology. One or multiple eNVM can be placed between the V_{in} and V_{out} nodes to enable the tunability of the DC source. A single fixed resistor R_{in} is placed after the V_{in} node to allow transimpedance amplification. **b.** DC characteristics of the operational amplifier for a feedback resistance ranging from 10 k Ω to 100 k Ω . The circuit parameters used for this simulation are reported in Fig. 5.1. **c** Feedback resistance scaling simulation. Larger resistances results in a decrease of the bias current I_B , leading to a power consumption decrease. **d** Maximum number of eNVM-based DC sources integrable at the 4.2K stage of a Bluefors XLD dilution fridge i.e., a 1.5 W cooling power. The dashed black lines show the minimum resistance of different eNVM technologies.

memristor-based DC source. The scaling of this DC source is investigated using electronic computer-aided design and circuit simulations to estimate the DC source footprint, power consumption, and electrical characteristics. Firstly, an integrated TIA in 65 nm TSMC CMOS technology is designed (see Fig. 5.5a). This TIA is based on a two-stage Miller operational amplifier [257] with a memristor resistive feedback, a concept that can be extended to all emerging non-volatile memories (eNVM). For scaling purposes, the memristors should be fabricated in the back end of line of the TIA CMOS chip using CMOS-compatible fabrication processes. The initial TIA is designed to be used with a single CMOS-compatible TiO_x memristor from Ref. [209], more precisely called valence change material memory (VCM), as the resistive feedback. These VCMs demonstrate ana-

log programmability down to 4.2 K between 10 k Ω to 100 k Ω [209]. The design parameters are reported in Fig. 5.1.

TABLEAU 5.1 Parameters for the OpAmp design used in Fig. 5.5(b). All transistor length are set to 65 nm. For all simulations in Fig. 5.5(c) and (d), R_{in} is equal to $R_{min}/4$.

Parameter	Value	Unit
I_B	1	μA
V_{in}, V_{cm}	100	mV
V_{dd}, V_{ss}	± 3	V
M_1, M_2	1.5	μm
M_3, M_4	1	μm
M_5	10	μm
M_6	380	nm
M_7	760	nm
M_8	120	nm
R_s	10	k Ω
C_s	3.5	pF
R_{in}	2.5	k Ω

The first stage of the TIA is composed of a stabilized differential pair biased with $2I_B$ by the $M_6 - M_7$ current mirror. The second stage is a simple source follower biased by $\frac{1}{3}I_B$. From the room temperature DC simulations, a biasing current I_B of 1 μA is needed to achieve a 1 V output range which is required for quantum dot auto-tuning. This setup yields to a sub-100 μW power consumption for a single eNVM-based DC source (See Fig. 5.5(b)) i.e., a 80 times smaller power consumption than the discrete prototype experimentally tested. Using the same design, the power consumption can be reduced by increasing the feedback resistance while decreasing the bias current I_B . As depicted in Fig. 5.5(c), this approach allows to reduce the power consumption by an additional factor of 20 by lowering I_B to 20 nA. However for $R_{min} \geq 50 k\Omega$, the width of M_5 is increased to 40 μm to maintain the 0.2 – 1.2 V output range. This increases the footprint of the TIA by a factor of approximately 4 which could limit the integration density. This level of power consumption enables a significant scaling up of the number of eNVM-DC sources integrated at the 4.2 K stage of a dilution fridge close to 'hot' spin qubits [28]. Utilizing the same TiO_x VCM memory [209] would facilitate the integration of up to 16,000 VCM-based DC sources (see Fig. 5.5(d)), based on a 1.5 W cooling power and considering that all consumed power needs to be dissipated. However, using alternate eNVMs, such as ferroelectric tunnel junctions (FTJ) which exhibit resistances above 1 M Ω [241] and working at cryogenic temperatures [258], will allow to integrate up to 300,000 DC sources at 4.2 K. This is mainly due to the larger

resistance of FTJs enabling to lower the current bias of the amplifier and thus its power consumption. Additionally, this TIA topology has been demonstrated down to 4.2 K in a smaller 28 nm fully depleted silicon on insulator (FDSOI) technological node [134]. This TIA exhibited a power consumption of 1 μ W for a feedback resistance in the same order of FTJ resistances. Therefore designing a custom TIA in 28 nm FDSOI node with higher eNVM resistances would allow to reduce the power consumption down to \approx 1 μ W per DC source i.e., by almost 4 order of magnitude compared to the experimental prototype presented. This would enable the control of nearly to one million quantum dots, assuming two gates require biasing by quantum dots [33].

5.2.8 Conclusion

In conclusion, we validate the viability of a memristor-based cryogenic programmable DC source for scalable *in-situ* quantum-dot control. The cryogenic compatibility of the commercial operational amplifier AD8605 is tested down to 1.2 K. At cryogenic temperatures the AD8605 exhibit a decrease in voltage gain and an increase in current consumption. Additionally, we demonstrate that this simple control approach which includes an OpAmp and memristor devices allows to perform 0.25 V-DC sweeps with a 10 mV voltage resolution with only 2 memristors at 1.2 K. The memristor-based DC source prototype shows an output voltage retention time well above the coherence time of spin qubits which is the main advantage of this concept over switched-capacitor circuits. To fulfill the baseline requirements for quantum dot biasing (i.e., a 1 mV-resolution over a 1 V-range), monolithically co-integrate memristors with advanced CMOS circuitry (OpAmp and analog switches) can be utilized to enable low power dissipation down to a few microwatts per DC source within a small footprint, closing the power consumption gap with switched-capacitors biasing circuit . By using alternate emerging non-volatile memory technologies like FTJs, scaling up this concept encompass a few hundred of thousands of eNVM-based DC source for in situ quantum dot biasing paving the way for large-scale quantum computing applications.

5.2.9 Author contributions

Pierre-Antoine Mouny : Data curation ; Investigation ; Methodology ; Resources ; Software ; Visualization ; Writing – original draft ; Writing – review & editing. **Raphaël Dawa**nt : Resources ; Writing – review & editing. **Patrick Dufour** : Resources ; Software ; Writing – review & editing. **Matthieu Valdenaire** : Software ; Writing – review & editing. **Serge Ecoffey** : Project administration ; Supervision ; Writing – review & editing. **Michel Pioro-Ladrière** : Funding acquisition ; Project administration ; Writing – review

& editing. **Yann Beilliard** : Conceptualization ; Project administration ; Supervision ; Writing – review & editing. **Dominique Drouin** : Conceptualization ; Funding acquisition ; Project administration ; Supervision ; Writing – review & editing.

5.3 Discussion

Le prototype de source de tension DC à base de memristors permet de valider expérimentalement le concept présenté au Chapitre 4. Bien que le prototype ne réponde pas entièrement aux exigences énoncées à la Section 2.2.1 du Chapitre 2 notamment au niveau de la résolution en tension (10 mV démontrée contre 1 mV requis), augmenter le nombre de memristors dans la boucle de rétroaction de l'amplificateur opérationnel permet d'améliorer logarithmiquement la résolution de tension atteignable. Il suffirait d'utiliser 6 memristors (au lieu de 2 memristors à 1.2K) pour atteindre une résolution de 1 mV comme le rapporte la Fig. 4.4b. Atteindre ce nombre de memristors à température cryogénique pour le prototype est actuellement limité par le nombre de connexions disponibles dans le cryostat ICE Oxford DRY ICE.

Ensuite, le prototype expérimental présenté dans ce Chapitre n'est pas compatible avec une mise à l'échelle selon les critères énoncés à la Section 2.2.1 du Chapitre 2. La puissance dissipée du prototype est estimée à environ 8 mW pour une empreinte effective d'une dizaine de centimètres carrés cela est dû à l'intégration hétérogène et à l'utilisation de composant discret. Cette approche permettrait d'intégrer au mieux 190 prototypes de source de tension DC à base de memristors à l'étage 4.2K d'un cryostat. En utilisant un amplificateur opérationnel fabriqué avec un noeud technologique CMOS TSMC 65 nm et en fabriquant les mêmes memristors TiO_x en fin de ligne (BEOL), la puissance dissipée des sources de tension à base de memristors est réduite à un maximum de 98 μW permettant l'intégration d'environ 15000 sources de tension DC à base de memristors. Finalement en utilisant des mémoires à base de jonctions tunnels ferroélectriques (FTJ) démontrant des résistances supérieures à 1 M Ω [241] et un noeud technologique CMOS plus petit comme le 28 nm FDSOI, on peut atteindre des puissances dissipées de l'ordre de 1 μW et ainsi intégrer plus d'un million de sources de tension DC à l'étage 4.2K d'un réfrigérateur à dilution. Ainsi en considérant une intégration monolithique, le concept de source de tension à base de mémoires émergentes permet une mise à l'échelle importante comparable aux circuits à condensateurs commutés (Voir Tableau 5.2) avec cependant l'avantage de ne pas avoir besoin de rafraîchir périodiquement la tension appliquée aux électrodes des boîtes quantiques.

Métrique	300 K	35 K	4.2 K	1 K	100 mK	10 mK
QDAC par QDevil [139]						
Budget thermique	N.D.	300 mW	4 mW	4.5 μ W	0.35 μ W	3 nW
Encombrement spatial	13 QDAC	0	0	0	0	0
Interconnexions	300	300	300	300	300	300
Diamètre interco.	11.4 cm	11.4 cm	11.4 cm	11.4 cm	11.4 cm	11.4 cm
Condensateur-commuté <i>on-chip</i> [30, 39, 40]						
Budget thermique	N.D.	35 mW	350 μ W	350 nW	35 nW	0.5 nW
Encombrement spatial	2 QDAC	0	0	0	0	3.3 \times 3.3mm
Interconnexions	35	35	35	35	35	35
Diamètre interco.	1.05 cm	1.05 cm	1.05 cm	1.05 cm	1.05 cm	1.05 cm
Condensateur-commuté <i>split-chip</i> [37]						
Budget thermique	N.D.	3 mW	30 μ W	30 nW	5.7 μ W	0
Encombrement spatial	1 QDAC	0	0	0	3 \times 3mm	0
Interconnexions	3+	3+	3+	3+	300	0
Diamètre interco.	0.9 mm	0.9 mm	0.9 mm	0.9 mm	\approx 5 mm	0
DAC et échantillonneur-bloqueur [33]						
Budget thermique	N.D.	2 mW	20 μ W	20 nW	235.3 μ W	0
Encombrement spatial	1 QDAC	0	0	0	0.3 \times 0.3cm	0
Interconnexions	2	2	2	2	300	0
Diamètre interco.	0.6 mm	0.6 mm	0.6 mm	0.6 mm	11.4 cm	0
Prototype de source de tension DC à base de memristors [213]						
Budget thermique	N.D.	2.4 W	24 mW	2.5 W	0.35 μ W	0
Encombrement spatial	1 LOTUS	0	0	300 \times 13 \times 8cm	0	0
Interconnexions	2403	2403	2403	2403	300	0
Diamètre interco.	72 cm	72 cm	72 cm	72 cm	11.4 cm	0
Source de tension DC CMOS 65 nm à base de memristors [213]						
Budget thermique	N.D.	6 mW	60 μ W	2.94 mW	0.35 μ W	0
Encombrement spatial	1 LOTUS	0	0	0.17 mm ²	0	0
Interconnexions	6	6	6	6	300	0
Diamètre interco.	1.8 mm	1.8 mm	1.8 mm	1.8 mm	11.4 cm	0
Source de tension DC 28 nm FDSOI à base de FTJ [213]						
Budget thermique	N.D.	6 mW	60 μ W	300.6 μ W	0.35 μ W	0
Encombrement spatial	1 LOTUS	0	0	0.27 mm ²	0	0
Interconnexions	6	6	6	6	300	0
Diamètre interco.	1.8 mm	1.8 mm	1.8 mm	1.8 mm	11.4 cm	0

TABLEAU 5.2 Tableau récapitulatif de la mise à l'échelle des solutions de contrôle pour un système à 100 boîtes quantiques similaire à celle présentée à la Figure 2.3. Le QDAC de QDevil est pris comme référence de l'approche actuelle de la polarisation des boîtes quantiques. Les calculs sont réalisés pour un système basé sur un cryostat Bluefors XLD400 [138] (voir la figure 2.7) et des câbles à paires torsadées PhBr-NbTi. Pour les solutions de source de tension DC à base mémoires émergentes, une plateforme de contrôle LOTUS de AMT est utilisée à la place d'un QDAC. Les dimensions sont similaires mais LOTUS dispose de fonctionnalités nécessaires pour les solutions à base de mémoires émergentes. De plus l'électronique intégrée pour la programmation des mémoires émergentes n'est pas considérée dans les calculs de mise à l'échelle.

CHAPITRE 6

CONCLUSION

Cette thèse de doctorat a permis de mettre en évidence le potentiel des memristors pour la mise à l'échelle des systèmes à base de boîtes quantiques.

Tout d'abord, les travaux de recherches menées ont démontré le fonctionnement des memristors TiO_x , fabriqués dans le groupe du Professeur Dominique Drouin, à température cryogénique. Ces dispositifs démontrent une programmation totalement analogique entre $10\text{ k}\Omega$ et $100\text{ k}\Omega$ et une rétention de leur résistance supérieure à 15 minutes pour une variation inférieure à 1% permises par le procédé de reforming cryogénique. Cette démonstration a permis de valider les critères de compatibilité cryogénique énoncés à la section 1.3.1 requis pour la conception d'une solution de contrôle basée sur les memristors. De plus, la démonstration de programmation multiniveau à 16 états résistifs équidistants entre $20\text{ k}\Omega$ et $80\text{ k}\Omega$ (Voir 3.3b) positionne les memristors TiO_x comme un excellent candidat pour les applications mémoires cryogéniques et les applications neuromorphiques dédiées à l'informatique quantique comme le décodeur d'erreur quantique CMOS développé par 1QBit ou le réseau d'auto-calibration de boîtes quantiques développé par Victor Yon et Bastien Galaup dans le cadre du projet Alliance Quantique.

Le concept de source de tension DC à base de memristors présenté au Chapitre 4 est un simple circuit d'amplification transimpédance constitué d'un amplificateur opérationnel, de plusieurs memristors placés dans la boucle de rétroaction de l'amplificateur définissant ainsi son gain et de commutateurs analogiques. Ce design simple est tout d'abord validé par le biais de simulations système où il démontre les caractéristiques électriques requises pour la polarisation d'électrodes de boîtes quantiques énoncées aux Sections 1.3.2 et 2.2.1. La co-intégration de boîtes quantiques et de sources de tension DC à base memristors a été validée en simulant la mesure de diagrammes de stabilité de charges. La source de tension DC à base de memristors permet notamment de mesurer ces diagrammes en une minute pour une résolution de $100\text{ }\mu\text{V}$.

Cette thèse a aussi permis de valider expérimentalement le concept de source de tension DC à base de memristors. Pour ce faire, une plateforme PCB a été conçue et fabriquée permettant la co-intégration des memristors et des composants discrets comme le propose l'objectif (iii) de la Section 1.3.1. Le prototype démontre des balayages en tension de 250 mV pour une résolution de 10 mV. La plage de tension est suffisante pour la polarisation de boîtes quantiques comme le montre le tableau 6.1 mais pas la résolution comme le suggèrent les critères énoncés à la Section 1.3.2. En l'état, le prototype expérimental n'est pas compatible avec une mise à l'échelle car il présente un nombre d'entrées/sorties trop élevé (5 par source de tension), une puissance consommée de 8 mW et une empreinte de plusieurs dizaines de centimètres carrés (Voir tableau 6.1).

	Capacitif			Résistif		
				Memristors TiO _{2-x}	FTJ	
Technologie	DAC S&H[33]	<i>split-chip</i> [37]	<i>on-chip</i> [30, 39, 40]	AD8605	CMOS 65 nm	FDSOI 28 nm
V_{range} (V)	1 V	100 mV	500 mV	250 mV	1.0 V*	1.0 V*
δV	3 μV^*	<100 μV	1 μV	10 mV	<1 mV*	<1 mV*
P_{DD}	125 nW	18 nW	0.5 pW	8 mW	98 μW^*	1 μW^*
Rétention	$\approx 1 \mu\text{s}^*$	1 s	<1 ms	>100 s	>100 s	N.D.
V^{RMS}	3 μV^*	N.D.	1 μV	2 mV	50 μV^*	N.D.
\mathcal{A}	2200 μm^2	0.01 mm ²	0.01 mm ²	104 cm ²	566 μm^2	900 μm^2
E/S	2	3	$\sqrt{N^{\text{max}}}$	5+5/DC	6	6
$N^{\text{max}_{4K}}$	1.2×10^7	8.3×10^7	3×10^{12}	190	15.3×10^3	1.5×10^6

TABLEAU 6.1 Résumé des performances des solutions de polarisation pour boîtes quantiques. N.D. indique des données non disponibles et * indique que les données sont issues de simulations circuits.

Pour permettre une mise à l'échelle, un amplificateur opérationnel est conçu sur un noeud technologique TSMC 65 nm pour remplacer l'amplificateur commercial discret. Des simulations circuits démontrent une puissance consommée de 98 μW pour une superficie de 566 μm^2 par source de tension DC. En augmentant la résistance dans la boucle de rétroaction, la puissance consommée est réduite à 1 μW pour une superficie augmentée de 80% du à l'augmentation de la largeur de grille du transistor M_5 réalisant un amplificateur drain commun. Le concept de source de tension DC à base de memristors présente des plages de tensions équivalentes aux solutions capacitatives mais des résolutions légèrement moins précises qui permettent tout de même de réaliser l'étape de confinement d'électrons pour les boîtes quantiques. Les solutions capacitatives démontrent des puissances dissipées 10 à 1000 fois inférieures aux solutions memristives, cependant l'utilisation d'un condensateur entraîne une empreinte circuit plus importante (4 à 100 fois plus élevées) et une réten-

tion de la tension qui requière un rafraîchissement périodique toute les $1\ \mu\text{s}$ - $1\ \text{ms}$ (Voir Tableau 6.1). Le concept de source de tension à base de memristors est donc viable et permettrait de polariser plus d'un million d'électrodes de boîtes quantiques à $4.2\ \text{K}$.

Perspectives

À la suite des travaux de recherche menés au cours de cette thèse de doctorat, on peut envisager plusieurs perspectives de continuation réalisables à court terme, moyen terme et long terme :

- Le phénomène de reforming cryogénique pourrait être amélioré notamment son rendement. Les principales limitations du rendement du reforming cryogénique sont les *overshoots* en courant subis par le memristor lors du reforming et le stress important imposé à la jonction du au balayage en courant continu. Une première piste d'amélioration serait d'effectuer un reforming cryogénique pulsée, à l'instar d'une programmation analogique, permettant ainsi de contrôler plus précisément le phénomène de reforming cryogénique. Une seconde piste d'amélioration viserait à former directement les memristors à température cryogénique effectuant ainsi un forming cryogénique. Une dernière méthode de reforming cryogénique viserait à effectuer un reforming en courant avec un transistor (au lieu de le faire en tension) permettant ainsi de limiter les *overshoots* en courant. Une étude comparant ces quatre méthodes de suppression de la transition métal-isolant (reforming cryogénique DC, pulsée contrôlé en courant et forming cryogénique) permettrait de quantifier le rendement des différentes méthodes.
 - Les memristors TiO_x présentent une transition métal-isolant limitant leur comportement analogique aux températures cryogéniques. Cette transition peut être supprimée en effectuant un reforming cryogénique. Cependant, cette opération ne présente pas un rendement de 100%. On pourrait envisager la création d'un memristor/mémoire émergente spécifiquement conçu pour les applications cryogéniques. Par exemple, des électrodes supraconductrices pourraient être utilisées pour réduire les résistances d'accès. Ces travaux de recherches devraient être menés dans le cadre du projet Alliance Quantique du groupe INPAQT du Professeur Dominique Drouin.
 - L'amplificateur opérationnel CMOS 65 nm conçu au Chapitre 5 pourrait être fabriqué et testé à température cryogénique. Dans un premier temps, la caractérisation de l'OpAmp serait effectuée sans memristor en microsoudant l'amplificateur à un porte-échantillon DIP soudé sur un PCB similaire à celui fabriqué à la Figure 5.3. Cette première étape de caractérisation est indispensable pour vérifier la compatibilité de l'amplificateur avec les températures cryogéniques. Ensuite, des memristors pourraient être co-intégrés de manière hétérogène comme au Chapitre 5 pour éviter les difficultés imposées par une fabrication BEOL. On pourrait aussi envisager d'utiliser
-

un plus grand nombre de memristors dans la boucle de rétroaction pour améliorer la résolution en tension de la source de tension DC et atteindre les prérequis pour la polarisation de QDs. Il serait cependant nécessaire de concevoir et fabriquer une plateforme permettant d'augmenter le nombre d'entrées/sorties disponibles sur le cryostat ICE Oxford DRY ICE.

- L'étape précédente réalisée, on pourrait finalement tester la polarisation *in-situ* d'une boîte quantique avec une source de tension DC à base de memristors. Dans un premier temps, on placerait la source de tension DC à température ambiante pour s'assurer de sa capacité de réaliser un diagramme de stabilité de charge. Puis, on réaliserait la même mesure en plaçant la source de tension dans le cryostat à 1.2 K ou 4.2 K.
 - Si les différentes perspectives énoncées précédemment sont réalisées, il serait intéressant de tenter de mettre à l'échelle la source de tension DC à base de memristors. Cette perspective requiert le développement, la conception, la fabrication et le test de blocs électroniques d'asservissement des memristors compatibles avec les températures cryogéniques. Ces blocs permettraient de programmer les memristors *in-situ* et ainsi de limiter le nombre d'entrées/sorties requises à 5-10 (fixe) pour un grand nombre de sources de tension DC.
 - La source de tension DC à base de memristors intégrée pourrait être utilisée pour le contrôle d'autres types de qubits. Les qubits Transmons requièrent l'application d'une tension DC pour régler précisément la fréquence de transition entre l'état stable et le premier état excité. Certains critères sont plus restrictifs, une résolution de l'ordre du microvolt est requise. Cependant la plage de tension nécessaire est bien inférieure (de l'ordre de quelques millivolts).
 - Finalement, on pourrait envisager la co-intégration de la source de tension à base de memristors avec un processeur neuromorphique à base de memristors utilisé pour la détection de lignes dans un diagramme de stabilité de charges de QD. Un tel processeur neuromorphique est actuellement au coeur du projet Alliance Quantique du groupe du Professeur Dominique Drouin.
-

Contributions scientifiques

Articles

[J1] **P.-A. Mouny**, Y. Beilliard, S. Graveline, M.-A. Roux, A. El Mesoudy, R. Dawant, P. Gliech, S. Ecoffey, F. Alibart, M. Pioro-Ladrière et D. Drouin, *Memristor-based cryogenic programmable DC sources for scalable in-situ quantum-dot control*
IEEE Transactions on Electron Devices, vol. 70, no. 4, pp. 1989-1995 (2023)

[J2] P. Drolet, R. Dawant, V. Yon, **P.-A. Mouny**, M. Valdenaire, J. Arias Zapata, P. Gliech, S. Wood, S. Ecoffey, F. Alibart, Y. Beilliard et D. Drouin, *Hardware-aware Training Techniques for Improving Robustness of Ex-Situ Neural Network Transfer onto Passive TiO₂ ReRAM Crossbars*
arXiv :2305.18495 (2023)

[J3] F. Marcotte, **P.-A. Mouny**, V. Yon, G. A. Dagneu, B. Kulchytskyy, S. Rochette, Y. Beilliard, D. Drouin et P. Ronagh, *A Cryogenic Memristive Neural Decoder for Fault-tolerant Quantum Error Correction*
arXiv :2307.09463 (2023)

[J4] **P.-A. Mouny**, R. Dawant, B. Galaup, S. Ecoffey, M. Pioro-Ladrière, Y. Beilliard et D. Drouin, *Analog programming of CMOS-compatible AlO₂/TiO_{2-x} memristor at 4.2 K after metal-insulator transition suppression by cryogenic reforming*
Applied Physics Letters 123, 163505 (2023)

[J5] R. Dawant, M. Gaudreau, M.-A. Roy, **P.-A. Mouny**, M. Valdenaire, P. Gliech, J. Arias Zapata, F. Alibart, D. Drouin et S. Ecoffey, *Damascene Versus Subtractive Line CMP Process for Resistive Memory Crossbars BEOL Integration*
Micro and Nano Engineering (2024)

[J6] P. Dufour, J. Lemay, N. Garg, P. Drolet, **P.-A. Mouny**, S. Pandey, A. Mélot, M. Zain, I. Balafrej, S. Ecoffey, R. Fontaine, F. Alibart, Y. Beilliard et D. Drouin, *A Fully Parallel, Bidirectional, and High-Speed FPGA-controlled System for In-Memory Computing Architectures and Neuromorphic Circuits*
(En préparation)

[J7] J. Henrique Quintino Palhares, N. Garg, **P.-A. Mouny**, Y. Beilliard, L. Anghel, F. Alibart, D. Drouin et P. Galy, *28 nm FD-SOI embedded phase change memory performance enhancement with near zero-drift conditions down to 12 K for SNN applications* npj Unconventional Computing (Soumis Avril 2024)

[J8] **P.-A. Mouny**, R. Dawant, P. Dufour, M. Valdenaire, S. Ecoffey, M. Pioro-Ladrière, Y. Beilliard et D. Drouin, *Towards scalable cryogenic quantum dot biasing using memristor-based DC sources* Elsevier Cryogenics (Soumis Avril 2024)

Conférences

[C1] **P.-A. Mouny**, Y. Beilliard, S. Graveline, M.-A. Roux, A. El Mesoudy, R. Dawant, P. Gliech, S. Ecoffey, F. Alibart, M. Pioro-Ladrière et D. Drouin, *A memristor-based cryogenic programmable DC source for scalable in-situ quantum-dot control* (Oral), Silicon Quantum Electronic Workshop (2021)

[C2] **P.-A. Mouny**, Y. Beilliard, R. Dawant, S. Ecoffey, M. Pioro-Ladrière et D. Drouin, *Investigation of analog characteristics of Al_2O_3/TiO_x memristors at 4.2K for quantum technology applications* (Poster), Silicon Quantum Electronic Workshop (2022)

ANNEXES

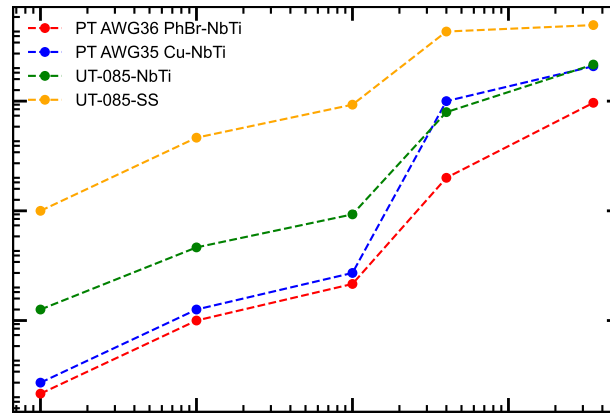


FIGURE A1 Charge thermique passive de différents câbles coaxiaux en fonction de la température. Les paires torsadées (PT) sont constituées soit de Cu ou PhBr pour les paliers de températures supérieurs à 4 K et de NbTi pour les paliers de températures inférieurs. Les données sont tirées de la référence [97].

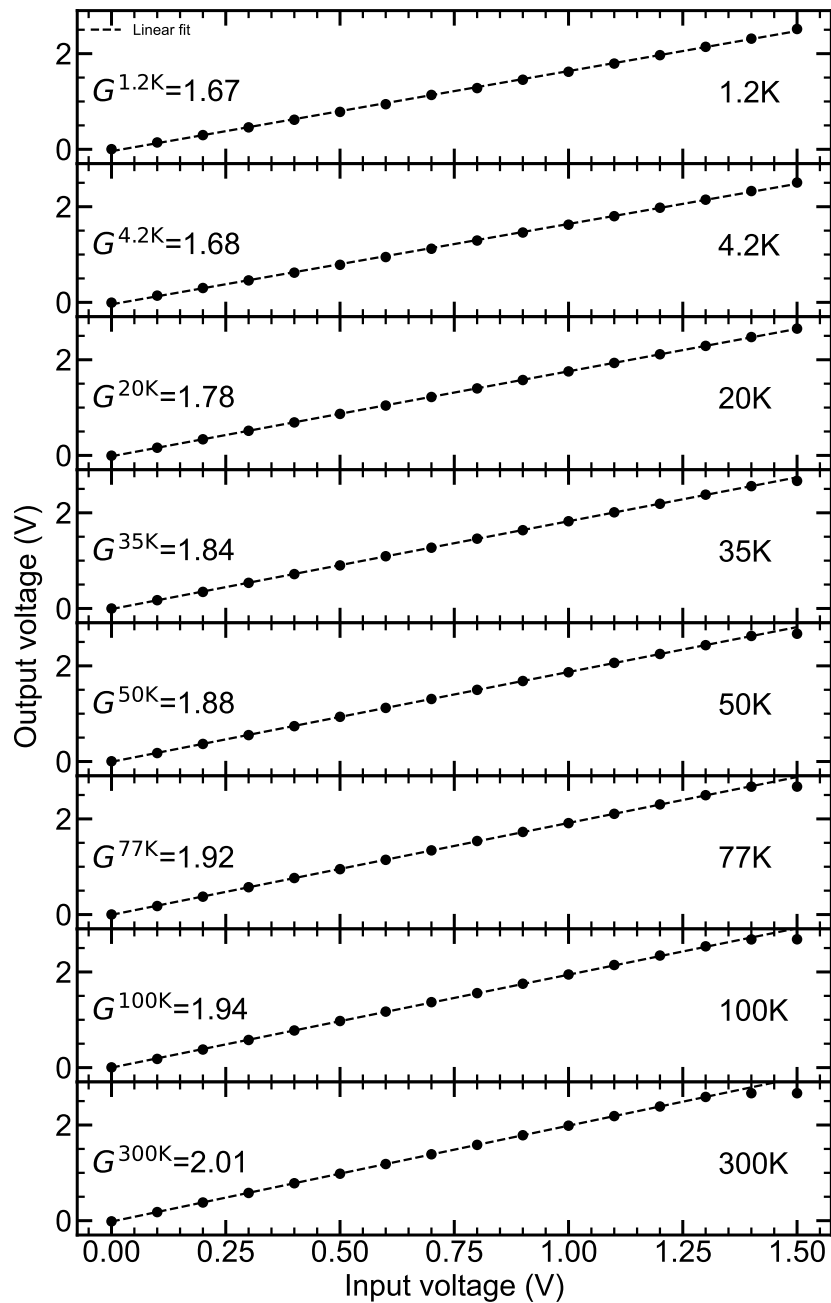


FIGURE A2 Comportement DC de l'AD8605 entre 1.2 K et 300 K.

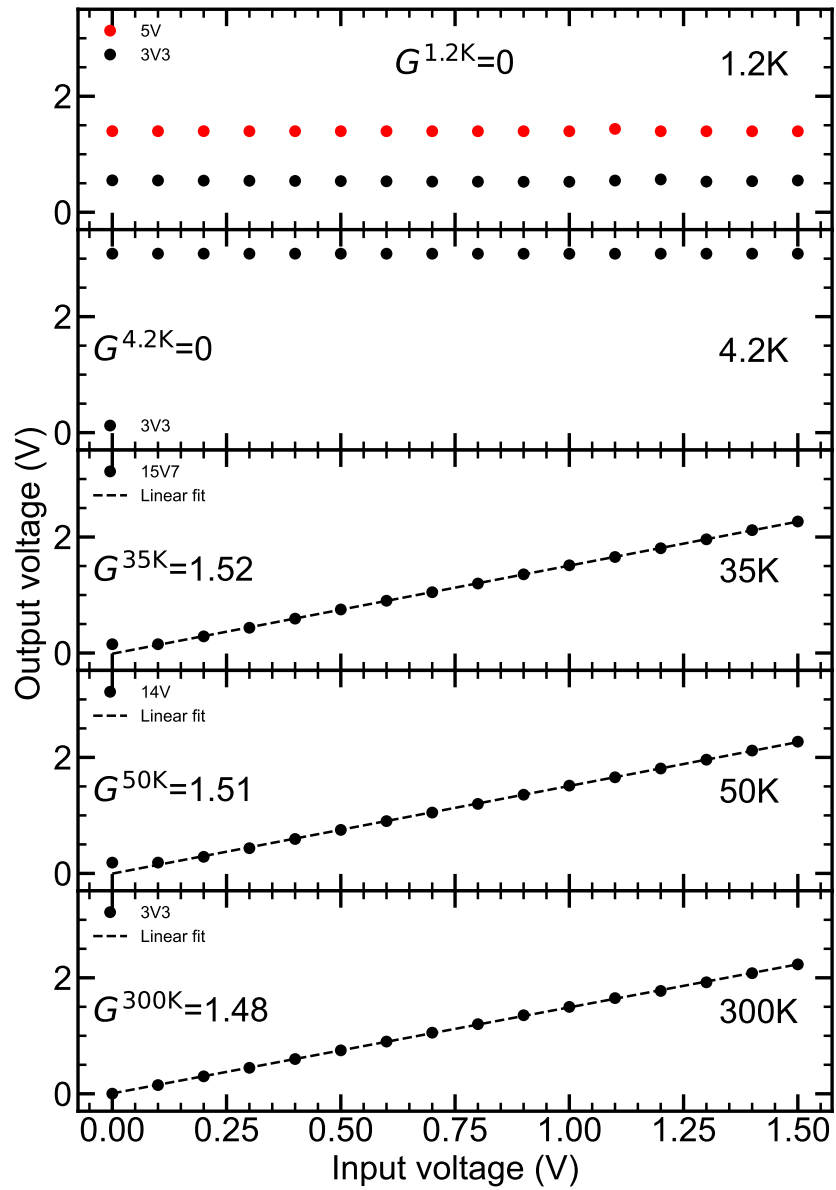


FIGURE A3 Comportement DC du TLV271 entre 1.2 K et 300 K.

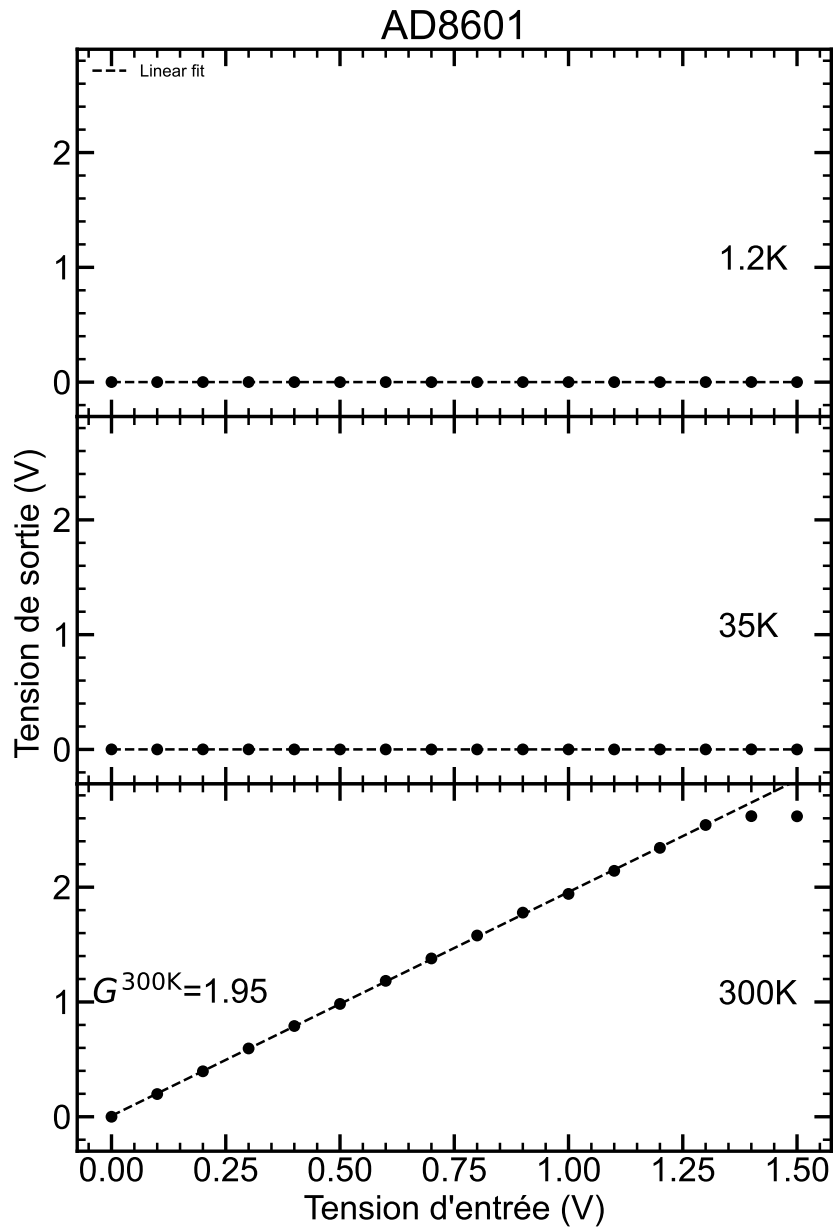


FIGURE A4 Comportement DC du AD8601 entre 1.2K et 300 K.

LISTE DES RÉFÉRENCES

- [1] R.P. Feynman. Simulating physics with computers. *Int J Theor Phys*, 21 :467–488, 1982.
- [2] S. Lloyd. Universal quantum simulators. *Science*, 273(5278) :pp. 1073–1078, 1996.
- [3] David P. DiVincenzo. The physical implementation of quantum computation. *Fortschritte der Physik*, 48(9-11) :771–783, Sep 2000.
- [4] Peter W. Shor. Polynomial-time algorithms for prime factorization and discrete logarithms on a quantum computer. *SIAM Journal on Computing*, 26(5) :1484–1509, Oct 1997.
- [5] Daniel Loss and David P. DiVincenzo. Quantum computation with quantum dots. *Phys. Rev. A*, 57 :120–126, Jan 1998.
- [6] J. R. Petta, A. C. Johnson, J. M. Taylor, E. A. Laird, A. Yacoby, M. D. Lukin, C. M. Marcus, M. P. Hanson, and A. C. Gossard. Coherent manipulation of coupled electron spins in semiconductor quantum dots. *Science*, 309(5744) :2180–2184, September 2005.
- [7] A. Imamoglu, D. D. Awschalom, G. Burkard, D. P. DiVincenzo, D. Loss, M. Sherwin, and A. Small. Quantum information processing using quantum dot spins and cavity QED. *Phys. Rev. Lett.*, 83 :4204–4207, Nov 1999.
- [8] Y. Nakamura, Y. Pashkin, and J. Tsai. Coherent control of macroscopic quantum states in a single-cooper-pair box. *Nature*, 398 :786–788, 1999.
- [9] Jens Koch, Terri M. Yu, Jay Gambetta, A. A. Houck, D. I. Schuster, J. Majer, Alexandre Blais, M. H. Devoret, S. M. Girvin, and R. J. Schoelkopf. Charge-insensitive qubit design derived from the Cooper pair box. *Physical Review A*, 76(4), Oct 2007.
- [10] J. I. Cirac and P. Zoller. Quantum computations with cold trapped ions. *Phys. Rev. Lett.*, 74 :4091–4094, May 1995.
- [11] D. Leibfried, R. Blatt, C. Monroe, and D. Wineland. Quantum dynamics of single trapped ions. *Rev. Mod. Phys.*, 75 :281–324, Mar 2003.
- [12] T. B. Pittman, B. C. Jacobs, and J. D. Franson. Probabilistic quantum logic operations using polarizing beam splitters. *Phys. Rev. A*, 64 :062311, Nov 2001.
- [13] I. Bloch. Quantum coherence and entanglement with ultracold atoms in optical lattices. *Nature*, 453 :1016–1022, 2008.
- [14] L.-M. Duan, E. Demler, and M. D. Lukin. Controlling spin exchange interactions of ultracold atoms in optical lattices. *Phys. Rev. Lett.*, 91 :090402, Aug 2003.
- [15] T. Gaebel, M. Domhan, and I. Popa. Room-temperature coherent coupling of single spins in diamond. *Nature Phys*, 2 :408–413, 2006.
- [16] S. Praver and A. D. Greentree. Diamond for quantum computing. *Science*, 320 :1601–1602, 2008.

-
- [17] Frank Arute et al. Quantum supremacy using a programmable superconducting processor. *Nature*, 574(7779) :505–510, October 2019.
- [18] A.Yu. Kitaev. Fault-tolerant quantum computation by anyons. *Annals of Physics*, 303(1) :2–30, jan 2003.
- [19] Dany Lachance-Quirion, Jean Olivier Simoneau, Pascal Lemieux, Maxime Tremblay, Sara Turcotte, Marc-Antoine Lemonde, Wyatt Wright, Sara Hosseini, Florian Hopfmüller, Valentin Kasper, Salil Bedkahl, Julien Camirand Lemyre, and Philippe St-Jean. Autonomous quantum error correction of Gottesman-Kitaev-Preskill states, part 1 : Experiments. APS March Meeting, 2023.
- [20] Sebastian Krinner, Nathan Lacroix, Ants Remm, Agustin Di Paolo, Elie Genois, Catherine Leroux, Christoph Hellings, Stefania Lazar, Francois Swiadek, Johannes Herrmann, Graham J. Norris, Christian Kraglund Andersen, Markus Müller, Alexandre Blais, Christopher Eichler, and Andreas Wallraff. Realizing repeated quantum error correction in a distance-three surface code. *Nature*, 605(7911) :669–674, May 2022.
- [21] Google Quantum AI. Suppressing quantum errors by scaling a surface code logical qubit. *Nature*, 614(7949) :676–681, February 2023.
- [22] John Preskill. Quantum computing : pro and con. *Proceedings of the Royal Society of London. Series A : Mathematical, Physical and Engineering Sciences*, 454(1969) :469–486, Jan 1998.
- [23] N. I. Dumoulin Stuyck, R. Li, C. Godfrin, A. Elsayed, S. Kubicek, J. Jussot, B. T. Chan, F. A. Mohiyaddin, M. Shehata, G. Simion, Y. Canvel, L. Goux, M. Heyns, B. Govoreanu, and I. P. Radu. Uniform spin qubit devices with tunable coupling in an all-silicon 300 mm integrated process. In *2021 Symposium on VLSI Circuits*. IEEE, jun 2021.
- [24] A. M. J. Zwerver, T. Krähenmann, T. F. Watson, L. Lampert, H. C. George, R. Pillarisetty, S. A. Bojarski, P. Amin, S. V. Amitonov, J. M. Boter, R. Caudillo, D. Correias-Serrano, J. P. Dehollain, G. Droulers, E. M. Henry, R. Kotlyar, M. Lodari, F. Lüthi, D. J. Michalak, B. K. Mueller, S. Neyens, J. Roberts, N. Samkharadze, G. Zheng, O. K. Zietz, G. Scappucci, M. Veldhorst, L. M. K. Vandersypen, and J. S. Clarke. Qubits made by advanced semiconductor manufacturing. *Nature Electronics*, 5(3) :184–190, mar 2022.
- [25] M. Veldhorst, J. C. C. Hwang, C. H. Yang, A. W. Leenstra, B. de Ronde, J. P. Dehollain, J. T. Muhonen, F. E. Hudson, K. M. Itoh, A. Morello, and A. S. Dzurak. An addressable quantum dot qubit with fault-tolerant control-fidelity. *Nature Nanotechnology*, 9(12) :981–985, October 2014.
- [26] C. H. Yang, R. C. C. Leon, J. C. C. Hwang, A. Saraiva, T. Tanttu, W. Huang, J. Camirand Lemyre, K. W. Chan, K. Y. Tan, F. E. Hudson, K. M. Itoh, A. Morello, M. Pioro-Ladrière, A. Laucht, and A. S. Dzurak. Operation of a silicon quantum processor unit cell above one kelvin. *Nature*, 580(7803) :350–354, April 2020.
- [27] L. Petit, H. G. J. Eenink, M. Russ, W. I. L. Lawrie, N. W. Hendrickx, S. G. J. Philips, J. S. Clarke, L. M. K. Vandersypen, and M. Veldhorst. Universal quantum logic in hot silicon qubits. *Nature*, 580(7803) :355–359, April 2020.
-

-
- [28] Leon C. Camenzind, Simon Geyer, Andreas Fuhrer, Richard J. Warburton, Dominik M. Zumbühl, and Andreas V. Kuhlmann. A hole spin qubit in a fin field-effect transistor above 4 Kelvin. *Nature Electronics*, 5(3) :178–183, March 2022.
- [29] J. M. Hornibrook, J. I. Colless, I. D. Conway Lamb, S. J. Pauka, H. Lu, A. C. Gossard, J. D. Watson, G. C. Gardner, S. Fallahi, M. J. Manfra, and D. J. Reilly. Cryogenic control architecture for large-scale quantum computing. *Phys. Rev. Appl.*, 3 :024010, Feb 2015.
- [30] L. M. K. Vandersypen, H. Bluhm, J. S. Clarke, A. S. Dzurak, R. Ishihara, A. Morello, D. J. Reilly, L. R. Schreiber, and M. Veldhorst. Interfacing spin qubits in quantum dots and donors—Hot, dense, and coherent. *Quantum Information*, 3(1), September 2017.
- [31] D. J. Reilly. Challenges in scaling-up the control interface of a quantum computer. In *2019 IEEE International Electron Devices Meeting (IEDM)*, pages 31.7.1–31.7.6, 2019.
- [32] Joseph C. Bardin, Evan Jeffrey, Erik Lucero, Trent Huang, Sayan Das, Daniel Thomas Sank, Ofer Naaman, Anthony Edward Megrant, Rami Barends, Ted White, Marissa Giustina, Kevin J. Satzinger, Kunal Arya, Pedram Roushan, Benjamin Chiaro, Julian Kelly, Zijun Chen, Brian Burkett, Yu Chen, Andrew Dunsworth, Austin Fowler, Brooks Foxen, Craig Gidney, Rob Graff, Paul Klimov, Josh Mutus, Matthew J. McEwen, Matthew Neeley, Charles J. Neill, Chris Quintana, Amit Vainsencher, Hartmut Neven, and John Martinis. Design and characterization of a 28-nm bulk-CMOS cryogenic quantum controller dissipating less than 2 mW at 3 K. *IEEE Journal of Solid-State Circuits*, 54(11) :3043–3060, 2019.
- [33] L. Geck, A. Kruth, H. Bluhm, S. van Waasen, and S. Heinen. Control electronics for semiconductor spin qubits. *Quantum Science and Technology*, 5(1), 2019.
- [34] M. Vinet, G. Billiot, J.B. David, and et al. Distributed cryogenic CMOS platform for autonomous quantum control. 2021 International Solid-State Circuits Conference, 2021.
- [35] M. Pioro-Ladrière. *Études par spectroscopie de Coulomb de points quantiques latéraux individuels et couplés*. PhD thesis, Université de Sherbrooke, 2005.
- [36] B. Patra, R. M. Incandela, J. P. G. van Dijk, H. A. R. Homulle, L. Song, M. Shahmohammadi, R. B. Staszewski, A. Vladimirescu, M. Babaie, F. Sebastiano, and E. Charbon. Cryo-CMOS circuits and systems for quantum computing applications. *IEEE Journal of Solid-State Circuits*, 53(1) :309–321, 2018.
- [37] S. J. Pauka, K. Das, R. Kalra, A. Moini, Y. Yang, M. Trainer, A. Bousquet, C. Cantaloube, N. Dick, G. C. Gardner, M. J. Manfra, and D. J. Reilly. A cryogenic CMOS chip for generating control signals for multiple qubits. *Nature Electronics*, 4(1) :64–70, January 2021.
- [38] M. Veldhorst, H. G. J. Eenink, C. H. Yang, and A. S. Dzurak. Silicon CMOS architecture for a spin-based quantum computer. *Nature Communications*, 8(1), Dec 2017.
- [39] Y. Xu, F. K. Unsel, A. Corna, A. M. J. Zwerver, A. Sammak, D. Brousse, N. Samkharadze, S. V. Amitonov, M. Veldhorst, G. Scappucci, R. Ishihara, and L. M. K.
-

- Vandersypen. On-chip integration of Si/SiGe-based quantum dots and switched-capacitor circuits. *Applied Physics Letters*, 117(14) :144002, 2020.
- [40] Andrea Ruffino, Tsung-Yeh Yang, John Michniewicz, Yatao Peng, Edoardo Charbon, and Miguel Fernando Gonzalez-Zalba. A cryo-CMOS chip that integrates silicon quantum dots and multiplexed dispersive readout electronics. *Nature Electronics*, 5(1) :53–59, December 2021.
- [41] D. Strukov, G. Snider, D. Stewart, and et al. The missing memristor found. *Nature*, 453 :80–83, 2008.
- [42] Fabien Alibart, Ligang Gao, Brian D Hoskins, and Dmitri B Strukov. High precision tuning of state for memristive devices by adaptable variation-tolerant algorithm. *Nanotechnology*, 23(7) :075201, January 2012.
- [43] Daniele Ielmini. Resistive switching memories based on metal oxides : mechanisms, reliability and scaling. *Semicond. Sci. Technol.*, 31, 2016.
- [44] Abdelouadoud El Mesoudy, Gwénaëlle Lamri, Raphaël Dawant, Javier Arias-Zapata, Pierre Gliech, Yann Beilliard, Serge Ecoffey, Andreas Ruediger, Fabien Alibart, and Dominique Drouin. Fully CMOS-compatible passive TiO₂-based memristor crossbars for in-memory computing. *Microelectronic Engineering*, 255 :111706, February 2022.
- [45] Matthew D. Pickett, Julien Borghetti, J. Joshua Yang, Gilberto Medeiros-Ribeiro, and R. Stanley Williams. Coexistence of memristance and negative differential resistance in a nanoscale metal-oxide-metal system. *Advanced Materials*, 23(15) :1730–1733, 2011.
- [46] Yann Beilliard, François Paquette, Frédéric Brousseau, Serge Ecoffey, Fabien Alibart, and Dominique Drouin. Investigation of resistive switching and transport mechanisms of Al₂O₃/TiO_{2-x} memristors under cryogenic conditions (1.5 K). *AIP Advances*, 10(2) :025305, 2020.
- [47] Yann Beilliard, François Paquette, Frédéric Brousseau, Serge Ecoffey, Fabien Alibart, and Dominique Drouin. Conductive filament evolution dynamics revealed by cryogenic (1.5 K) multilevel switching of CMOS-compatible Al₂O₃/TiO₂ resistive memories. *Nanotechnology*, 31(44) :445205, August 2020.
- [48] Arnout Beckers, Farzan Jazaeri, and Christian Enz. Cryogenic MOSFET threshold voltage model. In *ESSDERC 2019 - 49th European Solid-State Device Research Conference (ESSDERC)*, pages 94–97, 2019.
- [49] Sophie Rochette. *Accélérer la mise à l'échelle des processeurs quantiques avec les boîtes quantiques à grilles d'accumulation séparées*. PhD thesis, Université de Sherbrooke, 2020.
- [50] Peng Yao, Huaqiang Wu, Bin Gao, Jianshi Tang, Qingtian Zhang, Wenqiang Zhang, J. Joshua Yang, and He Qian. Fully hardware-implemented memristor convolutional neural network. *Nature*, 577(7792) :641–646, January 2020.
- [51] H. Kim, M. R. Mahmoodi, H. Nili, and D. B. Strukov. 4K-memristor analog-grade passive crossbar circuit. *Nature Communications*, 12(1), August 2021.
- [52] Frédéric Marcotte, Pierre-Antoine Mouny, Victor Yon, Gebremedhin A. Dagnew, Bohdan Kulchyskyi, Sophie Rochette, Yann Beilliard, Dominique Drouin, and
-

- Pooya Ronagh. A cryogenic memristive neural decoder for fault-tolerant quantum error correction, 2023.
- [53] F. Merrikh Bayat, F. Alibart, L. Gao, and D. B. Strukov. A reconfigurable FIR filter with memristor-based weights, 2016.
- [54] Ghazal A. Fahmy and Mohamed Zorkany. Design of a memristor-based digital to analog converter (DAC). *Electronics*, 10(5) :622, March 2021.
- [55] Elliot J. Connors, JJ Nelson, Haifeng Qiao, Lisa F. Edge, and John M. Nichol. Low-frequency charge noise in Si/SiGe quantum dots. *Phys. Rev. B*, 100 :165305, Oct 2019.
- [56] Emmanuel Chanrion, David J. Niegemann, Benoit Bertrand, Cameron Spence, Baptiste Jadot, Jing Li, Pierre-André Mortemousque, Louis Hutin, Romain Maurand, Xavier Jehl, Marc Sanquer, Silvano De Franceschi, Christopher Bäuerle, Franck Balestro, Yann-Michel Niquet, Maud Vinet, Tristan Meunier, and Matias Urdampilleta. Charge detection in an array of CMOS quantum dots. *Phys. Rev. Appl.*, 14 :024066, Aug 2020.
- [57] Colin D. Bruzewicz, John Chiaverini, Robert McConnell, and Jeremy M. Sage. Trapped-ion quantum computing : Progress and challenges. *Applied Physics Reviews*, 6(2) :021314, 2019.
- [58] J. Eisert, M. Friesdorf, and C. Gogolin. Quantum many-body systems out of equilibrium. *Nature Physics*, 11(2) :124–130, February 2015.
- [59] Ye Wang, Mark Um, Junhua Zhang, Shuoming An, Ming Lyu, Jing-Ning Zhang, L.-M. Duan, Dahyun Yum, and Kihwan Kim. Single-qubit quantum memory exceeding ten-minute coherence time. *Nature Photonics*, 11(10) :646–650, September 2017.
- [60] T. P. Harty, D. T. C. Allcock, C. J. Ballance, L. Guidoni, H. A. Janacek, N. M. Linke, D. N. Stacey, and D. M. Lucas. High-fidelity preparation, gates, memory, and readout of a trapped-ion quantum bit. *Phys. Rev. Lett.*, 113 :220501, Nov 2014.
- [61] C. J. Ballance, T. P. Harty, N. M. Linke, M. A. Sepiol, and D. M. Lucas. High-fidelity quantum logic gates using trapped-ion hyperfine qubits. *Phys. Rev. Lett.*, 117 :060504, Aug 2016.
- [62] Bjoern Lekitsch, Sebastian Weidt, Austin G. Fowler, Klaus Mølmer, Simon J. Devitt, Christof Wunderlich, and Winfried K. Hensinger. Blueprint for a microwave trapped ion quantum computer. *Science Advances*, 3(2) :e1601540, February 2017.
- [63] Julio T. Barreiro, Markus Müller, Philipp Schindler, Daniel Nigg, Thomas Monz, Michael Chwalla, Markus Hennrich, Christian F. Roos, Peter Zoller, and Rainer Blatt. An open-system quantum simulator with trapped ions. *Nature*, 470(7335) :486–491, February 2011.
- [64] R. Blatt and C. F. Roos. Quantum simulations with trapped ions. *Nature Physics*, 8(4) :277–284, April 2012.
- [65] Cornelius Hempel, Christine Maier, Jonathan Romero, Jarrod McClean, Thomas Monz, Heng Shen, Petar Jurcevic, Ben P. Lanyon, Peter Love, Ryan Babbush, Alán Aspuru-Guzik, Rainer Blatt, and Christian F. Roos. Quantum chemistry calculations on a trapped-ion quantum simulator. *Phys. Rev. X*, 8 :031022, Jul 2018.
-

-
- [66] A. Friedenauer, H. Schmitz, J. T. Glueckert, D. Porras, and T. Schaetz. Simulating a quantum magnet with trapped ions. *Nature Physics*, 4(10) :757–761, July 2008.
- [67] Lilian Childress and Ronald Hanson. Diamond NV centers for quantum computing and quantum networks. *MRS Bulletin*, 38(2) :134–138, February 2013.
- [68] A. Sipahigil, M. L. Goldman, E. Togan, Y. Chu, M. Markham, D. J. Twitchen, A. S. Zibrov, A. Kubanek, and M. D. Lukin. Quantum interference of single photons from remote nitrogen-vacancy centers in diamond. *Phys. Rev. Lett.*, 108 :143601, Apr 2012.
- [69] Marcus W. Doherty, Viktor V. Struzhkin, David A. Simpson, Liam P. McGuinness, Yufei Meng, Alastair Stacey, Timothy J. Karle, Russell J. Hemley, Neil B. Manson, Lloyd C.L. Hollenberg, and et al. Electronic properties and metrology applications of the diamond NV-center under pressure. *Physical Review Letters*, 112(4), Jan 2014.
- [70] John F. Barry, Matthew J. Turner, Jennifer M. Schloss, David R. Glenn, Yuyu Song, Mikhail D. Lukin, Hongkun Park, and Ronald L. Walsworth. Optical magnetic detection of single-neuron action potentials using quantum defects in diamond. *Proceedings of the National Academy of Sciences*, 113(49) :14133–14138, November 2016.
- [71] Akihiro Kuwahata, Takahiro Kitaizumi, Kota Saichi, Takumi Sato, Ryuji Igarashi, Takeshi Ohshima, Yuta Masuyama, Takayuki Iwasaki, Mutsuko Hatano, Fedor Jelezko, Moriaki Kusakabe, Takashi Yatsui, and Masaki Sekino. Magnetometer with nitrogen-vacancy center in a bulk diamond for detecting magnetic nanoparticles in biomedical applications. *Scientific Reports*, 10(1), February 2020.
- [72] John F. Barry, Jennifer M. Schloss, Erik Bauch, Matthew J. Turner, Connor A. Hart, Linh M. Pham, and Ronald L. Walsworth. Sensitivity optimization for NV-diamond magnetometry. *Rev. Mod. Phys.*, 92 :015004, Mar 2020.
- [73] V. Bouchiat, D. Vion, P. Joyez, D. Esteve, and M. H. Devoret. Quantum coherence with a single Cooper pair. *Physica Scripta*, T76(1) :165, 1998.
- [74] A. Wallraff, D. I. Schuster, A. Blais, L. Frunzio, R.-S. Huang, J. Majer, S. Kumar, S. M. Girvin, and R. J. Schoelkopf. Strong coupling of a single photon to a superconducting qubit using circuit quantum electrodynamics. *Nature*, 431(7005) :162–167, September 2004.
- [75] P. Krantz, M. Kjaergaard, F. Yan, T. P. Orlando, S. Gustavsson, and W. D. Oliver. A quantum engineer’s guide to superconducting qubits. *Applied Physics Reviews*, 6(2) :021318, 2019.
- [76] John M. Martinis and Michael R. Geller. Fast adiabatic qubit gates using only σ_z control. *Phys. Rev. A*, 90 :022307, Aug 2014.
- [77] Christian Kraglund Andersen, Ants Remm, Stefania Lazar, Sebastian Krinner, Nathan Lacroix, Graham J. Norris, Mihai Gabureac, Christopher Eichler, and Andreas Wallraff. Repeated quantum error detection in a surface code. *Nature Physics*, 16(8) :875–880, June 2020.
- [78] R. Barends, J. Kelly, A. Megrant, A. Veitia, D. Sank, E. Jeffrey, T. C. White, J. Mutus, A. G. Fowler, B. Campbell, Y. Chen, Z. Chen, B. Chiaro, A. Dunsworth,
-

- C. Neill, P. O'Malley, P. Roushan, A. Vainsencher, J. Wenner, A. N. Korotkov, A. N. Cleland, and John M. Martinis. Superconducting quantum circuits at the surface code threshold for fault tolerance. *Nature*, 508(7497) :500–503, April 2014.
- [79] Andrew A. Houck, Hakan E. Türeci, and Jens Koch. On-chip quantum simulation with superconducting circuits. *Nature Physics*, 8(4) :292–299, April 2012.
- [80] M. Steffen. Quantum gates and circuits on a quantum computer. 2021 International Solid-State Circuits Conference, 2021.
- [81] Morten Kjaergaard, Mollie E. Schwartz, Jochen Braumüller, Philip Krantz, Joel I.-J. Wang, Simon Gustavsson, and William D. Oliver. Superconducting qubits : Current state of play. *Annual Review of Condensed Matter Physics*, 11(1) :369–395, 2020.
- [82] M. Vinet. Silicon spin qubits matrix architectures, consequences on cryocontrol. 2021 International Solid-State Circuits Conference, 2021.
- [83] B. E. Kane. A silicon-based nuclear spin quantum computer. *Nature*, 393(6681) :133–137, May 1998.
- [84] Jeremy Levy. Universal quantum computation with spin-1/2 pairs and heisenberg exchange. *Phys. Rev. Lett.*, 89 :147902, Sep 2002.
- [85] Sandra Foletti, Hendrik Bluhm, Diana Mahalu, Vladimir Umansky, and Amir Yacoby. Universal quantum control of two-electron spin quantum bits using dynamic nuclear polarization. *Nature Physics*, 5(12) :903–908, October 2009.
- [86] E. A. Laird, J. M. Taylor, D. P. DiVincenzo, C. M. Marcus, M. P. Hanson, and A. C. Gossard. Coherent spin manipulation in an exchange-only qubit. *Phys. Rev. B*, 82 :075403, Aug 2010.
- [87] Guido Burkard, Thaddeus D. Ladd, Andrew Pan, John M. Nichol, and Jason R. Petta. Semiconductor spin qubits. *Rev. Mod. Phys.*, 95 :025003, Jun 2023.
- [88] Pengfei Wang, Chun-Yang Luan, Mu Qiao, Mark Um, Junhua Zhang, Ye Wang, Xiao Yuan, Mile Gu, Jingning Zhang, and Kihwan Kim. Single ion qubit with estimated coherence time exceeding one hour. *Nature Communications*, 12(1), January 2021.
- [89] Aaron Somoroff, Quentin Ficheux, Raymond A. Mencia, Haonan Xiong, Roman Kuzmin, and Vladimir E. Manucharyan. Millisecond coherence in a superconducting qubit. *Phys. Rev. Lett.*, 130 :267001, Jun 2023.
- [90] T. P. Harty, D. T. C. Allcock, C. J. Ballance, L. Guidoni, H. A. Janacek, N. M. Linke, D. N. Stacey, and D. M. Lucas. High-fidelity preparation, gates, memory, and readout of a trapped-ion quantum bit. *Phys. Rev. Lett.*, 113 :220501, Nov 2014.
- [91] Yuan Xu, Ji Chu, Jiahao Yuan, Jiawei Qiu, Yuxuan Zhou, Libo Zhang, Xincheng Tan, Yang Yu, Song Liu, Jian Li, Fei Yan, and Dapeng Yu. High-fidelity, high-scalability two-qubit gate scheme for superconducting qubits. *Phys. Rev. Lett.*, 125 :240503, Dec 2020.
- [92] Xiao Xue, Maximilian Russ, Nodar Samkharadze, Brennan Undseth, Amir Sammak, Giordano Scappucci, and Lieven M. K. Vandersypen. Quantum logic with spin qubits crossing the surface code threshold. *Nature*, 601(7893) :343–347, January 2022.
-

- [93] Nicolai Friis, Oliver Marty, Christine Maier, Cornelius Hempel, Milan Holzäpfel, Petar Jurcevic, Martin B. Plenio, Marcus Huber, Christian Roos, Rainer Blatt, and Ben Lanyon. Observation of entangled states of a fully controlled 20-qubit system. *Phys. Rev. X*, 8 :021012, Apr 2018.
- [94] Gary J. Mooney, Gregory A. L. White, Charles D. Hill, and Lloyd C. L. Hollenberg. Whole-device entanglement in a 65-qubit superconducting quantum computer. *Advanced Quantum Technologies*, 4(10), September 2021.
- [95] Kenta Takeda, Akito Noiri, Takashi Nakajima, Jun Yoneda, Takashi Kobayashi, and Seigo Tarucha. Quantum tomography of an entangled three-qubit state in silicon. *Nature Nanotechnology*, 16(9) :965–969, June 2021.
- [96] Yuhi Aikyo, Geert Vrijsen, Thomas W. Noel, Alexander Kato, Megan K. Ivory, and Jungsang Kim. Vacuum characterization of a compact room-temperature trapped ion system. *Applied Physics Letters*, 117(23), December 2020.
- [97] S. Krinner, S. Storz, P. Kurpiers, P. Magnard, J. Heinsoo, R. Keller, J. Lütolf, C. Eichler, and A. Wallraff. Engineering cryogenic setups for 100-qubit scale superconducting circuit systems. *EPJ Quantum Technology*, 6(1), May 2019.
- [98] T. A. Fulton and G. J. Dolan. Observation of single-electron charging effects in small tunnel junctions. *Phys. Rev. Lett.*, 59 :109–112, Jul 1987.
- [99] S. Rochette, M. Rudolph, A.-M. Roy, M. J. Curry, G. A. Ten Eyck, R. P. Manginell, J. R. Wendt, T. Pluym, S. M. Carr, D. R. Ward, M. P. Lilly, M. S. Carroll, and M. Pioro-Ladrière. Quantum dots with split enhancement gate tunnel barrier control. *Applied Physics Letters*, 114(8), February 2019.
- [100] Dietmar Weinmann, Wolfgang Häusler, and Bernhard Kramer. Spin blockades in linear and nonlinear transport through quantum dots. *Phys. Rev. Lett.*, 74 :984–987, Feb 1995.
- [101] R. Rinaldi, P. V. Giugno, R. Cingolani, H. Lipsanen, M. Sopanen, J. Tulkki, and J. Ahopelto. Zeeman effect in parabolic quantum dots. *Phys. Rev. Lett.*, 77 :342–345, Jul 1996.
- [102] F. H. L. Koppens, C. Buizert, K. J. Tielrooij, I. T. Vink, K. C. Nowack, T. Meunier, L. P. Kouwenhoven, and L. M. K. Vandersypen. Driven coherent oscillations of a single electron spin in a quantum dot. *Nature*, 442(7104) :766–771, August 2006.
- [103] M. Veldhorst, C. H. Yang, J. C. C. Hwang, W. Huang, J. P. Dehollain, J. T. Muhonen, S. Simmons, A. Laucht, F. E. Hudson, K. M. Itoh, A. Morello, and A. S. Dzurak. A two-qubit logic gate in silicon. *Nature*, 526(7573) :410–414, October 2015.
- [104] J. Elzerman, R. Hanson, L. Willems van Beveren, and al. Single-shot read-out of an individual electron spin in a quantum dot. *Nature*, 530 :431–435, 2004.
- [105] H. W. Liu, T. Fujisawa, Y. Ono, H. Inokawa, A. Fujiwara, K. Takashina, and Y. Hirayama. Pauli-spin-blockade transport through a silicon double quantum dot. *Phys. Rev. B*, 77 :073310, Feb 2008.
- [106] Anderson West, Bas Hensen, Alexis Jouan, Tuomo Tantt, Chih-Hwan Yang, Alessandro Rossi, M. Fernando Gonzalez-Zalba, Fay Hudson, Andrea Morello, David J.
-

- Reilly, and Andrew S. Dzurak. Gate-based single-shot readout of spins in silicon. *Nature Nanotechnology*, 14(5) :437–441, March 2019.
- [107] Takashi Nakajima, Akito Noiri, Jun Yoneda, Matthieu R. Delbecq, Peter Stano, Tomohiro Otsuka, Kenta Takeda, Shinichi Amaha, Giles Allison, Kento Kawasaki, Arne Ludwig, Andreas D. Wieck, Daniel Loss, and Seigo Tarucha. Quantum non-demolition measurement of an electron spin qubit. *Nature Nanotechnology*, 14(6) :555–560, April 2019.
- [108] N. Samkharadze, G. Zheng, N. Kalhor, D. Brousse, A. Sammak, U. C. Mendes, A. Blais, G. Scappucci, and L. M. K. Vandersypen. Strong spin-photon coupling in silicon. *Science*, 359(6380) :1123–1127, March 2018.
- [109] J. Vinet, S. Subramanian, L. Lampert, and et al. A fully integrated cryo-CMOS SoC for qubit control in quantum computers capable of state manipulation, readout and high-speed gate pulsing of spin qubits in Intel 22nm FFL FinFET technology. 2021 International Solid-State Circuits Conference, 2021.
- [110] Craig Gidney and Martin Ekerå. How to factor 2048 bit RSA integers in 8 hours using 20 million noisy qubits, 2019.
- [111] Y. He, S.K. Gorman, D. Keith, and et al. A two-qubit gate between phosphorus donor electrons in silicon. *Nature*, 571 :371–375, 2019.
- [112] Austin G. Fowler, Matteo Mariantoni, John M. Martinis, and Andrew N. Cleland. Surface codes : Towards practical large-scale quantum computation. *Physical Review A*, 86(3), 2012.
- [113] M. F. Gonzalez-Zalba, S. de Franceschi, E. Charbon, T. Meunier, M. Vinet, and A. S. Dzurak. Scaling silicon-based quantum computing using CMOS technology : State-of-the-art, challenges and perspectives, 2020.
- [114] I. D. Conway Lamb, J. I. Colless, J. M. Hornibrook, S. J. Pauka, S. J. Waddy, M. K. Frechtling, and D. J. Reilly. An FPGA-based instrumentation platform for use at deep cryogenic temperatures. *Review of Scientific Instruments*, 87(1), January 2016.
- [115] Harald Homulle, Stefan Visser, Bishnu Patra, Giorgio Ferrari, Enrico Prati, Fabio Sebastiano, and Edoardo Charbon. A reconfigurable cryogenic platform for the classical control of quantum processors. *Review of Scientific Instruments*, 88(4), April 2017.
- [116] Y. Creten, P. Merken, W. Sansen, R. Mertens, and C. van Hoof. A cryogenic ADC operating down to 4.2K. In *2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, pages 468–616, 2007.
- [117] G. Kiene, A. Catania, R. Overwater, and et al. A 1GS/s 6-to-8b 0.5mW/qubit cryoCMOS SAR ADC for quantum computing in 40nm CMOS. 2021 International Solid-State Circuits Conference, 2021.
- [118] J. van Staveren, C. García Almudever, G. Scappucci, M. Veldhorst, M. Babaie, E. Charbon, and F. Sebastiano. Voltage references for the ultra-wide temperature range from 4.2K to 300K in 40-nm CMOS. In *ESSCIRC 2019 - IEEE 45th European Solid State Circuits Conference (ESSCIRC)*, pages 37–40, 2019.
-

-
- [119] Y. Yang, K. Das, A. Moini, and D. J. Reilly. A cryo-CMOS voltage reference in 28-nm FDSOI. *IEEE Solid-State Circuits Letters*, 3 :186–189, 2020.
- [120] Harald Homulle and Edoardo Charbon. Cryogenic low-dropout voltage regulators for stable low-temperature electronics. *Cryogenics*, 95 :11–17, October 2018.
- [121] E. Schriek, F. Sebastiano, and E. Charbon. A cryo-CMOS digital cell library for quantum computing applications. *IEEE Solid-State Circuits Letters*, 3 :310–313, 2020.
- [122] A. Beckers, F. Jazaeri, and C. Enz. Characterization and modeling of 28-nm bulk CMOS technology down to 4.2 K. *IEEE Journal of the Electron Devices Society*, 6 :1007–1018, 2018.
- [123] Chao Luo, Zhen Li, Teng-Teng Lu, Jun Xu, and Guo-Ping Guo. MOSFET characterization and modeling at cryogenic temperatures. *Cryogenics*, 98 :12–17, March 2019.
- [124] M. Veldhorst, H. G. J. Eenink, C. H. Yang, and A. S. Dzurak. Silicon CMOS architecture for a spin-based quantum computer. *Nature Communications*, 8(1), dec 2017.
- [125] Ruoyu Li, Luca Petit, David P. Franke, Juan Pablo Dehollain, Jonas Helsen, Mark Steudtner, Nicole K. Thomas, Zachary R. Yoscovits, Kanwal J. Singh, Stephanie Wehner, and et al. A crossbar network for silicon quantum dot qubits. *Science Advances*, 4(7) :ear3960, Jul 2018.
- [126] Y. Xu, F. K. Unselde, A. Corna, A. M. J. Zwerver, A. Sammak, D. Brousse, N. Samkharadze, S. V. Amitonov, M. Veldhorst, G. Scappucci, R. Ishihara, and L. M. K. Vandersypen. On-chip integration of Si/SiGe-based quantum dots and switched-capacitor circuits. *Applied Physics Letters*, 117(14) :144002, 2020.
- [127] M. Vinet, L. Hutin, B. Bertrand, S. Barraud, J. . Hartmann, Y. . Kim, V. Mazocchi, A. Amisse, H. Bohuslavskyi, L. Bourdet, A. Crippa, X. Jehl, R. Maurand, Y. . Niquet, M. Sanquer, B. Venitucci, B. Jadot, E. Chanrion, P. . Mortemousque, C. Spence, M. Urdampilleta, S. De Franceschi, and T. Meunier. Towards scalable silicon quantum computing. In *2018 IEEE International Electron Devices Meeting (IEDM)*, pages 6.5.1–6.5.4, 2018.
- [128] Xiao Xue, Bishnu Patra, Jeroen P. G. van Dijk, Nodar Samkharadze, Sushil Subramanian, Andrea Corna, Charles Jeon, Farhana Sheikh, Esdras Juarez-Hernandez, Brando Perez Esparza, Huzaifa Rampurawala, Brent Carlton, Surej Ravikumar, Carlos Nieva, Sungwon Kim, Hyung-Jin Lee, Amir Sammak, Giordano Scappucci, Menno Veldhorst, Fabio Sebastiano, Masoud Babaie, Stefano Pellerano, Edoardo Charbon, and Lieven M. K. Vandersypen. CMOS-based cryogenic control of silicon quantum circuits, 2020.
- [129] L. Artola, G. Hubert, O. Gilard, S. Ducret, F. Perrier, M. Boutillier, P. Garcia, G. Vignon, B. Baradat, and Nicolas Ricard. Single event upset sensitivity of D-flip flop of infrared image sensors for low temperature applications down to 77 K. *IEEE Transactions on Nuclear Science*, 62(6) :2979–2987, 2015.
- [130] L. L. Guevel, G. Billiot, X. Jehl, S. De Franceschi, M. Zurita, Y. Thonnart, M. Vinet, M. Sanquer, R. Maurand, A. G. M. Jansen, and G. Pillonnet. 19.2 a 110mK 295
-

- μ W 28nm FDSOI CMOS quantum integrated circuit with a 2.8GHz excitation and nA current sensing of an on-chip double quantum dot. In *2020 IEEE International Solid-State Circuits Conference - (ISSCC)*, pages 306–308, 2020.
- [131] A. Ruffino, Y. Peng, T.Y. Yeng, and et al. A fully-integrated 40-nm 5-6.5 GHz cryo-CMOS system-on-chip with I/Q receiver and frequency synthesizer for scalable multiplexed readout of quantum dots. 2021 International Solid-State Circuits Conference, 2021.
- [132] B. Prabowo, G. Zheng, M. Mehrpoo, and et al. A 6-to-8GHz 0.17mW/qubit cryo-CMOS receiver for multiple spin qubit readout in 40nm CMOS technology. 2021 International Solid-State Circuits Conference, 2021.
- [133] S. J. Pauka, K. Das, R. Kalra, A. Moini, Y. Yang, M. Trainer, A. Bousquet, C. Cantaloube, N. Dick, G. C. Gardner, M. J. Manfra, and D. J. Reilly. A cryogenic interface for controlling many qubits, 2019.
- [134] L. Le Guevel, G. Billiot, B. Cardoso Paz, M. L. V. Tagliaferri, S. De Franceschi, R. Maurand, M. Cassé, M. Zurita, M. Sanquer, M. Vinet, X. Jehl, A. G. M. Jansen, and G. Pillonnet. Low-power transimpedance amplifier for cryogenic integration with quantum devices. *Applied Physics Reviews*, 7(4) :041407, December 2020.
- [135] K. D. Petersson, L. W. McFaul, M. D. Schroer, M. Jung, J. M. Taylor, A. A. Houck, and J. R. Petta. Circuit quantum electrodynamics with a spin qubit. *Nature*, 490(7420) :380–383, October 2012.
- [136] P. Christie and D. Stroobandt. The interpretation and application of Rent’s rule. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 8(6) :639–648, 2000.
- [137] S.J. Pauka, K. Das, J.M. Hornibrook, G.C. Gardner, M.J. Manfra, M.C. Cassidy, and D.J. Reilly. Characterizing quantum devices at scale with custom cryo-CMOS. *Phys. Rev. Applied*, 13 :054072, May 2020.
- [138] Bluefors. Bluefors LD dilution refrigerator system.
- [139] QDevil. The qdac-II.
- [140] D. Strukov, G. Snider, D. Stewart, and et al. The missing memristor found. *Nature*, 453 :80–83, 2008.
- [141] B. T. Kolomiets. Vitreous semiconductors (II). *physica status solidi (b)*, 7(3) :713–731, January 1964.
- [142] B.N. Engel, J. Akerman, B. Butcher, R.W. Dave, M. DeHerrera, M. Durlam, G. Grynkewich, J. Janesky, S.V. Pietambaram, N.D. Rizzo, J.M. Slaughter, K. Smith, J.J. Sun, and S. Tehrani. A 4-Mb toggle MRAM based on a novel bit and switching method. *IEEE Transactions on Magnetism*, 41(1) :132–136, 2005.
- [143] Byung Joon Choi, Antonio C. Torrezan, John Paul Strachan, P. G. Kotula, A. J. Lohn, Matthew J. Marinella, Zhiyong Li, R. Stanley Williams, and J. Joshua Yang. High-speed and low-energy nitride memristors. *Advanced Functional Materials*, 26(29) :5290–5296, May 2016.
-

- [144] L. Goux, A. Fantini, G. Kar, Y. . Chen, N. Jossart, R. Degraeve, S. Clima, B. Govoreanu, G. Lorenzo, G. Pourtois, D. J. Wouters, J. A. Kittl, L. Altimime, and M. Jurczak. Ultralow sub-500nA operating current high-performance TiN/Al₂O₃/HfO₂/Hf/TiN bipolar RRAM achieved through understanding-based stack-engineering. In *2012 Symposium on VLSI Technology (VLSIT)*, pages 159–160, 2012.
- [145] L. Chua. Memristor : The missing circuit element. *IEEE Transactions on Circuit Theory*, 18(5) :507–519, 1971.
- [146] E. Chen, D. Apalkov, Z. Diao, A. Driskill-Smith, D. Druist, D. Lottis, V. Nikitin, X. Tang, S. Watts, S. Wang, S. A. Wolf, A. W. Ghosh, J. W. Lu, S. J. Poon, M. Stan, W. H. Butler, S. Gupta, C. K. A. Mewes, T. Mewes, and P. B. Visscher. Advances and future prospects of spin-transfer torque random access memory. *IEEE Transactions on Magnetism*, 46(6) :1873–1878, 2010.
- [147] Yong Chen, Gun-Young Jung, Douglas A A Ohlberg, Xuema Li, Duncan R Stewart, Jan O Jeppesen, Kent A Nielsen, J Fraser Stoddart, and R Stanley Williams. Nanoscale molecular-switch crossbar circuits. *Nanotechnology*, 14(4) :462–468, March 2003.
- [148] S Blonkowski and T Cabout. Bipolar resistive switching from liquid helium to room temperature. *Journal of Physics D : Applied Physics*, 48(34) :345101, July 2015.
- [149] S. Amer, S. Sayyaparaju, G. S. Rose, K. Beckmann, and N. C. Cady. A practical hafnium-oxide memristor model suitable for circuit design and simulation. In *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 1–4, 2017.
- [150] Yu. Matveyev, K. Egorov, A. Markeev, and A. Zenkevich. Resistive switching and synaptic properties of fully atomic layer deposition grown TiN/HfO₂/TiN devices. *Journal of Applied Physics*, 117(4) :044901, 2015.
- [151] Y.C. Chen, Y.F. Chang, X. Wu, F. Zhou, M. Guo, and C.Y. Lin. Dynamic conductance characteristics in HfO₂ based resistive random access memory. *RSC Adv*, 7 :12984–12989, 2017.
- [152] Menelaos Tsigkourakos, Panagiotis Bousoulas, Vaggelis Aslanidis, Evangelos Skotadis, and Dimitris Tsoukalas. Ultra-low power multilevel switching with enhanced uniformity in forming free TiO_{2-x}-based RRAM with embedded Pt nanocrystals. *physica status solidi (a)*, 214(12) :1700570, 2017.
- [153] Sungjun Kim, Jia Chen, Ying-Chen Chen, Min-Hwi Kim, Hyungjin Kim, Min-Woo Kwon, Sungmin Hwang, Muhammad Ismail, Yi Li, Xiang-Shui Miao, Yao-Feng Chang, and Byung-Gook Park. Neuronal dynamics in HfO_x/AlO_y-based homeothermic synaptic memristors with low-power and homogeneous resistive switching. *Nanoscale*, 11(1) :237–245, 2019.
- [154] Ye Zhang, Ning Deng, Huaqiang Wu, Zhiping Yu, Jinyu Zhang, and He Qian. Metallic to hopping conduction transition in Ta₂O_{5-x}/TaO_y resistive switching device. *Applied Physics Letters*, 105(6) :063508, 2014.
- [155] A.C. Torrezan, J.P. Strachan, G. Medeiros-Ribeiro, and R.S. Williams. Subnanosecond switching of a tantalum oxide memristor. *Nanotechnology*, 22(48) :485203, 2011.
-

- [156] J. P. Strachan, A. C. Torrezan, F. Miao, M. D. Pickett, J. J. Yang, W. Yi, G. Medeiros-Ribeiro, and R. S. Williams. State dynamics and modeling of tantalum oxide memristors. *IEEE Transactions on Electron Devices*, 60(7) :2194–2202, 2013.
- [157] Ling Chen, Chuandong Li, Tingwen Huang, Yiran Chen, Shiping Wen, and Jiangtao Qi. A synapse memristor model with forgetting effect. *Physics Letters A*, 377(45–48) :3260–3265, December 2013.
- [158] N. Papandreou, H. Pozidis, A. Pantazi, A. Sebastian, M. Breitwisch, C. Lam, and E. Eleftheriou. Programming algorithms for multilevel phase-change memory. In *2011 IEEE International Symposium of Circuits and Systems (ISCAS)*, pages 329–332, 2011.
- [159] Tae-Hyeon Kim, Jaewoong Lee, Sungjoon Kim, Jinwoo Park, Byung-Gook Park, and Hyungjin Kim. 3-bit multilevel operation with accurate programming scheme in $\text{TiO}_x/\text{Al}_2\text{O}_3$ memristor crossbar array for quantized neuromorphic system. *Nanotechnology*, 32(29) :295201, April 2021.
- [160] Ligang Gao, Pai-Yu Chen, and Shimeng Yu. Programming protocol optimization for analog weight tuning in resistive memories. *IEEE Electron Device Letters*, 36(11) :1157–1159, 2015.
- [161] Nikolaos Vasileiadis, Panagiotis Loukas, Panagiotis Karakolis, Vassilios Ioannou-Sougliridis, Pascal Normand, Vasileios Ntinias, Iosif-Angelos Fyrigos, Ioannis Karafyllidis, Georgios Ch. Sirakoulis, and Panagiotis Dimitrakis. Multi-level resistance switching and random telegraph noise analysis of nitride based memristors, 2021.
- [162] Emmanuelle J Merced-Grafals, Noraica Dávila, Ning Ge, R Stanley Williams, and John Paul Strachan. Repeatable, accurate, and high speed multi-level programming of memristor 1T1R arrays for power efficient analog computing applications. *Nanotechnology*, 27(36) :365202, August 2016.
- [163] H. S. Alagoz, K. H. Chow, and J. Jung. Low-temperature coexistence of memory and threshold switchings in Pt/TiO_x/Pt crossbar arrays. *Applied Physics Letters*, 114(16) :163502, 2019.
- [164] Yong-En Syu, Ting-Chang Chang, Jyun-Hao Lou, Tsung-Ming Tsai, Kuan-Chang Chang, Ming-Jinn Tsai, Ying-Lang Wang, Ming Liu, and Simon M. Sze. Atomic-level quantized reaction of HfO_x memristor. *Applied Physics Letters*, 102(17) :172903, 2013.
- [165] Runchen Fang, Wenhao Chen, Ligang Gao, Weijie Yu, and Shimeng Yu. Low-temperature characteristics of HfO_x-based resistive random access memory. *IEEE Electron Device Letters*, 36(6) :567–569, 2015.
- [166] C. Vaca, M. B. González, H. Castán, H. García, S. Dueñas, F. Campabadal, E. Miranda, and L. A. Bailón. Study from cryogenic to high temperatures of the high- and low-resistance-state currents of ReRAM Ni–HfO₂–Si capacitors. *IEEE Transactions on Electron Devices*, 63(5) :1877–1883, 2016.
- [167] N. Andreeva, A. Ivanov, and A. Petrov. Multilevel resistive switching in TiO₂/Al₂O₃ bilayers at low temperature. *AIP Advances*, 8(2) :025208, 2018.
-

- [168] V A Voronkovskii, V S Aliev, A K Gerasimova, and D R Islamov. Conduction mechanisms of TaN/HfO_x/Ni memristors. *Materials Research Express*, 6(7) :076411, April 2019.
- [169] X. Huang, Y. Li, H. Li, K. Xue, X. Wang, and X. Miao. Forming-free, fast, uniform, and high endurance resistive switching from cryogenic to high temperatures in W/AlO_x/Al₂O₃/Pt bilayer memristor. *IEEE Electron Device Letters*, 41(4) :549–552, 2020.
- [170] Zhenqi Hao, Bin Gao, Minghong Xu, Qi Hu, Wenbin Zhang, Xinyi Li, Fangyuan Sun, Jianshi Tang, He Qian, and Huaqiang Wu. Cryogenic HfO_x-based resistive memory with a thermal enhancement capping layer. *IEEE Electron Device Letters*, 42(9) :1276–1279, 2021.
- [171] R. Soni, P. Meuffels, A. Petraru, M. Weides, C. Kügeler, R. Waser, and H. Kohlstedt. Probing Cu doped Ge_{0.3}Se_{0.7} based resistance switching memory devices with random telegraph noise. *Journal of Applied Physics*, 107(2) :024517, 2010.
- [172] Zoltán Balogh, Gréta Mezei, László Pósa, Botond Sánta, András Magyarkuti, and András Halbritter. $1/f$ noise spectroscopy and noise tailoring of nanoelectronic devices. *Nano Futures*, 5(4) :042002, October 2021.
- [173] Woorham Bae and Kyung Jean Yoon. Comprehensive read margin and BER analysis of one selector-one memristor crossbar array considering thermal noise of memristor with noise-aware device model. *IEEE Transactions on Nanotechnology*, 19 :553–564, 2020.
- [174] J. B. Johnson. Thermal agitation of electricity in conductors. *Phys. Rev.*, 32 :97–109, Jul 1928.
- [175] H. Nyquist. Thermal agitation of electric charge in conductors. *Phys. Rev.*, 32 :110–113, Jul 1928.
- [176] Ying Zhang, Ge-Qi Mao, Xiaolong Zhao, Yu Li, Meiyun Zhang, Zuheng Wu, Wei Wu, Huajun Sun, Yizhong Guo, Lihua Wang, Xumeng Zhang, Qi Liu, Hangbing Lv, Kan-Hao Xue, Guangwei Xu, Xiangshui Miao, Shibing Long, and Ming Liu. Evolution of the conductive filament system in HfO₂-based memristors observed by direct atomic-scale imaging. *Nature Communications*, 12(1), December 2021.
- [177] Jhen-Yong Hong, Chun-Yen Chen, Dah-Chin Ling, Isidoro Martínez, César González-Ruano, and Farkhad G. Aliev. Low-frequency $1/f$ noise characteristics of ultra-thin AlO_x-based resistive switching memory devices with magneto-resistive responses. *Electronics*, 10(20) :2525, October 2021.
- [178] Y. Nagamune, H. Sakaki, L. P. Kouwenhoven, L. C. Mur, C. J. P. M. Harmans, J. Motohisa, and H. Noge. Single electron transport and current quantization in a novel quantum dot structure. 64(18) :2379–2381, May 1994.
- [179] Edwin Barnes, J. P. Kestner, N. T. T. Nguyen, and S. Das Sarma. Screening of charged impurities with multielectron singlet-triplet spin qubits in quantum dots. *Phys. Rev. B*, 84 :235309, Dec 2011.
- [180] G. Giralt, J.C Martin, and F.X Mateu-Pérez. Sur un phénomène de bruit dans les transistors caractérisé par des créneaux de courant d’amplitude constante. *Compte Rendu de l’Académie des Sciences*, 263 :5353, 1965.
-

- [181] Daniele Ielmini, Federico Nardi, and Carlo Cagli. Resistance-dependent amplitude of random telegraph-signal noise in resistive switching memories. *Applied Physics Letters*, 96(5) :053503, 2010.
- [182] Shinhyun Choi, Yuchao Yang, and Wei Lu. Random telegraph noise and resistance switching analysis of oxide based resistive memory. *Nanoscale*, 6(1) :400–404, 2014.
- [183] G. González-Cordero, M.B. González, A. Morell, F. Jiménez-Molino, F. Campabadal, and J.B. Roldán. Neural network based analysis of random telegraph noise in resistive random access memories. *Semiconductor Science and Technology*, 35(2) :5353, 2020.
- [184] F. M. Puglisi, L. Larcher, A. Padovani, and P. Pavan. A complete statistical investigation of rtn in HfO₂-based RRAM in high resistive state. *IEEE Transactions on Electron Devices*, 62(8) :2606–2613, 2015.
- [185] S. Singh, E. T. Mannila, D. S. Golubev, J. T. Peltonen, and J. P. Pekola. Determining the parameters of a random telegraph signal by digital low pass filtering. *Applied Physics Letters*, 112(24) :243101, 2018.
- [186] C. Huang, W. C. Shen, Y. Tseng, Y. King, and C. Lin. A contact-resistive random-access-memory-based true random number generator. *IEEE Electron Device Letters*, 33(8) :1108–1110, 2012.
- [187] T. Figliolia, P. Julian, G. Tognetti, and A. G. Andreou. A true random number generator using RTN noise and a sigma delta converter. In *2016 IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 17–20, 2016.
- [188] J. Brown, R. Gao, Z. Ji, J. Chen, J. Wu, J. Zhang, B. Zhou, Q. Shi, J. Crawford, and W. Zhang. A low-power and high-speed true random number generator using generated RTN. In *2018 IEEE Symposium on VLSI Technology*, pages 95–96, 2018.
- [189] Victor Yon, Amirali Amirsoleimani, Fabien Alibart, Roger G. Melko, Dominique Drouin, and Yann Beilliard. Exploiting non-idealities of resistive switching memories for efficient machine learning. *Frontiers in Electronics*, 3, March 2022.
- [190] Amirali Amirsoleimani, Fabien Alibart, Victor Yon, Jianxiong Xu, M. Reza Pazhouhandeh, Serge Ecoffey, Yann Beilliard, Roman Genov, and Dominique Drouin. In-memory vector matrix multiplication in monolithic complementary metal–oxide–semiconductor–memristor integrated circuits : Design choices, challenges, and perspectives. *Advanced Intelligent Systems*, 2(11) :2000115, August 2020.
- [191] Maxence Ernoult, Julie Grollier, and Damien Querlioz. Using memristors for robust local learning of hardware restricted Boltzmann machines. *Scientific Reports*, 9(1), February 2019.
- [192] J. Joshua Yang, M.-X. Zhang, John Paul Strachan, Feng Miao, Matthew D. Pickett, Ronald D. Kelley, G. Medeiros-Ribeiro, and R. Stanley Williams. High switching endurance in TaO_x memristive devices. *Applied Physics Letters*, 97(23) :232102, 2010.
- [193] Julius Rasbach, Mercedes Saludes-Tapia, Mireia Bargalló González, and Francesca Campabadal. Cycle-to-cycle variability analysis of Ti/Al₂O₃-based memristors. *Solid-State Electronics*, 210 :108791, December 2023.
-

- [194] Seungjun Kim, Hu Young Jeong, Sung Kyu Kim, Sung-Yool Choi, and Keon Jae Lee. Flexible memristive memory array on plastic substrates. *Nano Letters*, 11(12) :5438–5442, October 2011.
- [195] Lei Wu, Hongxia Liu, Jiabin Li, Shulong Wang, and Xing Wang. A multi-level memristor based on Al-doped HfO₂ thin film. *Nanoscale Research Letters*, 14(1), May 2019.
- [196] Shimeng Yu, Ximeng Guan, and H.-S. Philip Wong. On the stochastic nature of resistive switching in metal oxide rram : Physical modeling, Monte Carlo simulation, and experimental characterization. In *2011 International Electron Devices Meeting*, pages 17.3.1–17.3.4, 2011.
- [197] Juan B. Roldán, Enrique Miranda, David Maldonado, Alexey N. Mikhaylov, Nikolay V. Agudov, Alexander A. Dubkov, Maria N. Koryazhkina, Mireia B. González, Marco A. Villena, Samuel Poblador, Mercedes Saludes-Tapia, Rodrigo Picos, Francisco Jiménez-Molinos, Stavros G. Stavrinos, Emili Salvador, Francisco J. Alonso, Francesca Campabadal, Bernardo Spagnolo, Mario Lanza, and Leon O. Chua. Variability in resistive memories. *Advanced Intelligent Systems*, 5(6), March 2023.
- [198] Ying Zhu, Grace Li Zhang, Tianchen Wang, Bing Li, Yiyu Shi, Tsung-Yi Ho, and Ulf Schlichtmann. Statistical training for neuromorphic computing using memristor-based crossbars considering process variations and noise. In *2020 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, pages 1590–1593, 2020.
- [199] Di Gaol, Grace Li Zhang, Xunzhao Yin, Bing Li, Ulf Schlichtmann, and Cheng Zhuo. Reliable memristor-based neuromorphic design using variation- and defect-aware training. In *2021 IEEE/ACM International Conference On Computer Aided Design (ICCAD)*, pages 1–9, 2021.
- [200] Siddharth Gaba, Patrick Sheridan, Jiantao Zhou, Shinhyun Choi, and Wei Lu. Stochastic memristive devices for computing and neuromorphic applications. *Nanoscale*, 5(13) :5872, 2013.
- [201] Wensheng Shen, Peng Huang, Mengqi Fan, Yudi Zhao, Yulin Feng, Lifeng Liu, Xiaoyan Liu, Xing Zhang, and Jinfeng Kang. A seamless, reconfigurable, and highly parallel in-memory stochastic computing approach with resistive random access memory array. *IEEE Transactions on Electron Devices*, 68(1) :103–108, 2021.
- [202] Thomas Dalgaty, Elisa Vianello, and Damien Querlioz. Harnessing intrinsic memristor randomness with bayesian neural networks. In *2021 International Conference on IC Design and Technology (ICICDT)*, pages 1–4, 2021.
- [203] Carl Bischoff, Jakob Leise, Emilio Perez-Bosch Quesada, Eduardo Perez, Christian Wenger, and Alexander Kloes. Implementation of device-to-device and cycle-to-cycle variability of memristive devices in circuit simulations. *Solid-State Electronics*, 194 :108321, August 2022.
- [204] Baker Mohammad, Maguy Abi Jaoude, Vikas Kumar, Dirar Mohammad Al Homouz, Heba Abu Nahla, Mahmoud Al-Qutayri, and Nicolas Christoforou. State of the art of metal oxide memristor devices. *Nanotechnology Reviews*, 5(3), January 2016.
- [205] Z. Wei, Y. Kanzawa, K. Arita, Y. Katoh, K. Kawai, S. Muraoka, S. Mitani, S. Fujii, K. Katayama, M. Iijima, T. Mikawa, T. Ninomiya, R. Miyanaga, Y. Kawashima,
-

- K. Tsuji, A. Himeno, T. Okada, R. Azuma, K. Shimakawa, H. Sugaya, T. Takagi, R. Yasuhara, K. Horiba, H. Kumigashira, and M. Oshima. Highly reliable TaO_x reram and direct evidence of redox reaction mechanism. In *2008 IEEE International Electron Devices Meeting*, pages 1–4, 2008.
- [206] Hao Jiang, Lili Han, Peng Lin, Zhongrui Wang, Moon Hyung Jang, Qing Wu, Mark Barnell, J. Joshua Yang, Huolin L. Xin, and Qiangfei Xia. Sub-10 nm Ta channel responsible for superior performance of a HfO₂ memristor. *Scientific Reports*, 6(1), June 2016.
- [207] Catherine E. Graves, Can Li, Xia Sheng, Darrin Miller, Jim Ignowski, Lennie Kiyama, and John Paul Strachan. In-memory computing with memristor content addressable memories for pattern matching. *Advanced Materials*, 32(37), August 2020.
- [208] Fabien Alibart, Elham Zamanidoost, and Dmitri B. Strukov. Pattern classification by memristive crossbar circuits using ex situ and in situ training. *Nature Communications*, 4(1), June 2013.
- [209] Pierre-Antoine Mouny, Raphaël Dawant, Bastien Galaup, Serge Ecoffey, Michel Pioro-Ladrière, Yann Beilliard, and Dominique Drouin. Analog programming of CMOS-compatible Al₂O₃/TiO_{2-x} memristor at 4.2 k after metal-insulator transition suppression by cryogenic reforming. *Applied Physics Letters*, 123(16), October 2023.
- [210] Xiao-Di Huang, Yi Li, Hao-Yang Li, Kan-Hao Xue, Xingsheng Wang, and Xiang-Shui Miao. Forming-free, fast, uniform, and high endurance resistive switching from cryogenic to high temperatures in W/AlO_x/Al₂O₃/Pt bilayer memristor. *IEEE Electron Device Letters*, 41(4) :549–552, 2020.
- [211] Ye Zhang, Ning Deng, Huaqiang Wu, Zhiping Yu, Jinyu Zhang, and He Qian. Metallic to hopping conduction transition in Ta₂O_{5-x}/TaO_y resistive switching device. *Applied Physics Letters*, 105(6) :063508, 2014.
- [212] Yibo Li, Zhongrui Wang, Rivu Midya, Qiangfei Xia, and J Joshua Yang. Review of memristor devices in neuromorphic computing : Materials sciences and device challenges. *Journal of Physics D : Applied Physics*, 51(50) :503002, September 2018.
- [213] Pierre-Antoine Mouny, Yann Beilliard, Sébastien Graveline, Marc-Antoine Roux, Abdelouadoud El Mesoudy, Raphaël Dawant, Pierre Gliech, Serge Ecoffey, Fabien Alibart, Michel Pioro-Ladrière, and Dominique Drouin. Memristor-based cryogenic programmable DC sources for scalable in situ quantum-dot control. *IEEE Transactions on Electron Devices*, 70(4) :1989–1995, 2023.
- [214] Stefanie Czischek, Victor Yon, Marc-Antoine Genest, Marc-Antoine Roux, Sophie Rochette, Julien Camirand Lemyre, Mathieu Moras, Michel Pioro-Ladrière, Dominique Drouin, Yann Beilliard, and Roger G Melko. Miniaturizing neural networks for charge state autotuning in quantum dots. *Machine Learning : Science and Technology*, 3(1) :015001, November 2021.
- [215] Jun Lan, Zhixiong Li, Zhenjie Chen, Quanzhou Zhu, Wenhui Wang, Muhammad Zaheer, Jiqing Lu, Jinxuan Liang, Mei Shen, Peng Chen, Kai Chen, Guobiao Zhang, Zhongrui Wang, Feichi Zhou, Longyang Lin, and Yida Li. Improved performance of
-

- Hf_xZn_yO-based RRAM and its switching characteristics down to 4 K temperature. *Advanced Electronic Materials*, 9(3), January 2023.
- [216] H. S. Alagoz, M. Egilmez, J. Jung, and K. H. Chow. The influence of thermal cycling on the activation energy of conduction electrons and filament temperature in Pt/NiO_x/Pt ReRAMs. *Applied Physics Letters*, 122(25), June 2023.
- [217] Benoit Manchon, Dorian Coffineau, Greta Segantini, Nicolas Baboux, Pedro Rojo Romeo, Rabei Barhoumi, Ingrid Cañero Infante, Fabien Alibart, Bertrand Vilquin, Dominique Drouin, et al. Study of polarisation and conduction mechanisms in ferroelectric Hf_{0.5}Zr_{0.5}O₂ down to deep cryogenic temperature 4.2 K. 2022.
- [218] Yi-Chuan Chen, Yu-Chen Chen, Kuo-Yu Hsiang, Min-Hung Lee, and Pin Su. Performance evaluation of a FeRAM under low temperature operation. In *2023 7th IEEE Electron Devices Technology & Manufacturing Conference (EDTM)*, pages 1–3, 2023.
- [219] Jiayu Li, Yangzhou Qian, Wen Li, Songcheng Yu, Yunxin Ke, Haowen Qian, Yen-Hung Lin, Cheng-Hung Hou, Jing-Jong Shyue, Jia Zhou, Ye Chen, Jiangping Xu, Jintao Zhu, Mingdong Yi, and Wei Huang. Polymeric memristor based artificial synapses with ultra-wide operating temperature. *Advanced Materials*, 35(23), April 2023.
- [220] Yuting Liu, Albert Lee, Kun Qian, Peng Zhang, Haoran He, Zheyu Ren, Shun Kong Cheung, Yaoyin Li, Xu Zhang, Zichao Ma, Zhihua Xiao, Guoqiang Yu, Xin Wang, Junwei Liu, Zhongrui Wang, Kang L. Wang, and Qiming Shao. Cryogenic in-memory computing using tunable chiral edge states, 2022.
- [221] Arun Govindankutty, Shamiul Alam, Sanjay Das, Ahmedullah Aziz, and Sumitha George. Cryogenic in-memory binary multiplier using quantum anomalous Hall effect memories. In *2023 24th International Symposium on Quality Electronic Design (ISQED)*, pages 1–7, 2023.
- [222] Shamiul Alam, Md Shafayat Hossain, and Ahmedullah Aziz. A cryogenic memory array based on superconducting memristors. *Applied Physics Letters*, 119(8), August 2021.
- [223] Abdelouadoud El Mesoudy, Denis Machon, Andreas Ruediger, Abdelatif Jaouad, Fabien Alibart, Serge Ecoffey, and Dominique Drouin. Band gap narrowing induced by oxygen vacancies in reactively sputtered TiO₂ thin films. *Thin Solid Films*, 769 :139737, 2023.
- [224] R. Dawant, S. Ecoffey, and D. Drouin. Multiple material stack grayscale patterning using electron-beam lithography and a single plasma etching step. *Journal of Vacuum Science & Technology B*, 40(6) :062603, 11 2022.
- [225] Nevill Francis Mott and Edward A Davis. *Electronic processes in non-crystalline materials*. Oxford University Press, 2012.
- [226] A. Yildiz, S.B. Lisesivdin, M. Kasap, and D. Mardare. Electrical properties of TiO₂ thin films. *Journal of Non-Crystalline Solids*, 354(45-46) :4944–4947, November 2008.
-

- [227] Zhongrui Wang, HongYu Yu, Xuan Anh Tran, Zheng Fang, Jinghao Wang, and Hai-bin Su. Transport properties of HfO_{2-x} based resistive-switching memories. *Physical Review B*, 85(19), May 2012.
- [228] Keith P. McKenna, Matthew J. Wolf, Alexander L. Shluger, Stephan Lany, and Alex Zunger. Two-dimensional polaronic behavior in the binary oxides $m\text{-hfo}_2$ and $m\text{-zro}_2$. *Phys. Rev. Lett.*, 108 :116403, Mar 2012.
- [229] Abdullah Yildiz, Felicia Iacomi, and Diana Mardare. Polaron transport in TiO_2 thin films. *Journal of Applied Physics*, 108(8), October 2010.
- [230] Manuel Le Gallo and Abu Sebastian. An overview of phase-change memory device physics. *Journal of Physics D : Applied Physics*, 53(21) :213002, March 2020.
- [231] Can Li, Miao Hu, Yunning Li, Hao Jiang, Ning Ge, Eric Montgomery, Jiaming Zhang, Wenhao Song, Noraica Dávila, Catherine E. Graves, Zhiyong Li, John Paul Strachan, Peng Lin, Zhongrui Wang, Mark Barnell, Qing Wu, R. Stanley Williams, J. Joshua Yang, and Qiangfei Xia. Analogue signal and image processing with large memristor crossbars. *Nature Electronics*, 1(1) :52–59, December 2017.
- [232] Bonan Yan, Amr Mahmoud Mahmoud, Jianhua Joshua Yang, Qing Wu, Yiran Chen, and Hai Helen Li. A neuromorphic ASIC design using one-selector-one-memristor crossbar. In *2016 IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 1390–1393, 2016.
- [233] Jun Yoneda, Kenta Takeda, Tomohiro Otsuka, Takashi Nakajima, Matthieu R. Delbecq, Giles Allison, Takumu Honda, Tetsuo Kodera, Shunri Oda, Yusuke Hoshi, Noritaka Usami, Kohei M. Itoh, and Seigo Tarucha. A quantum-dot spin qubit with coherence limited by charge noise and fidelity higher than 99.9%. *Nature Nanotechnology*, 13(2) :102–106, dec 2017.
- [234] Harald Homulle and Edoardo Charbon. Performance characterization of Altera and Xilinx 28 nm FPGAs at cryogenic temperatures. In *2017 International Conference on Field Programmable Technology (ICFPT)*, pages 25–31, 2017.
- [235] J. E. Proctor, A. W. Smith, T. M. Jung, and S. I. Woods. High-gain cryogenic amplifier assembly employing a commercial CMOS operational amplifier. *Review of Scientific Instruments*, 86(7) :073102, July 2015.
- [236] Dmitri B. Strukov, Fabien Alibart, and R. Stanley Williams. Thermophoresis/diffusion as a plausible mechanism for unipolar resistive switching in metal–oxide–metal memristors. *Applied Physics A*, 107(3) :509–518, March 2012.
- [237] Ioannis Messaris, Alexander Serb, Spyros Stathopoulos, Ali Khiat, Spyridon Nikolaidis, and Themistoklis Prodromakis. A data-driven Verilog-A ReRAM model. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 37(12) :3151–3162, 2018.
- [238] W. G. van der Wiel, S. De Franceschi, J. M. Elzerman, T. Fujisawa, S. Tarucha, and L. P. Kouwenhoven. Electron transport through double quantum dots. *Reviews of Modern Physics*, 75 :1–22, Dec 2002.
- [239] Jason Chun Chieh Hwang. *Silicon MOS Quantum Dot Qubits for Spin-Based Quantum Computing*. PhD thesis, University of New South Wales, 2018.
-

- [240] Pierre-Antoine Mouny, Raphaël Dawant, Patrick Dufour, Matthieu Valdenaire, Serge Ecoffey, Michel Pioro-Ladrière, Yann Beillard, and Dominique Drouin. Towards scalable cryogenic quantum dot biasing using memristor-based dc sources, 2024.
- [241] S. Boyn, S. Girod, V. Garcia, S. Fusil, S. Xavier, C. Deranlot, H. Yamada, C. Car-rétéro, E. Jacquet, M. Bibes, A. Barthélémy, and J. Grollier. High-performance ferroelectric memory based on fully patterned tunnel junctions. *Applied Physics Letters*, 104(5), February 2014.
- [242] Alan Aspuru-Guzik, Anthony D. Dutoi, Peter J. Love, and Martin Head-Gordon. Simulated quantum computation of molecular energies. *Science*, 309(5741) :1704–1707, September 2005.
- [243] Román Orús, Samuel Mugel, and Enrique Lizaso. Quantum computing for finance : Overview and prospects. *Reviews in Physics*, 4 :100028, November 2019.
- [244] Casey Berger, Agustin Di Paolo, Tracey Forrest, Stuart Hadfield, Nicolas Sawaya, Michal Stechly, and Karl Thibault. Quantum technologies for climate change : Preliminary assessment, 2021.
- [245] T. Bédécarrats, B. Cardoso Paz, B. Martinez Diaz, H. Niebojewski, B. Bertrand, N. Rambal, C. Comboroure, A. Sarrazin, F. Boulard, E. Guyez, J.-M. Hartmann, Y. Morand, A. Magalhaes-Lucas, E. Nowak, E. Catapano, M. Cassé, M. Urdampilleta, Y.-M. Niquet, F. Gaillard, S. De Franceschi, T. Meunier, and M. Vinet. A new FDSOI spin qubit platform with 40nm effective control pitch. In *2021 IEEE International Electron Devices Meeting (IEDM)*, pages 1–4, 2021.
- [246] W. I. L. Lawrie, H. G. J. Eenink, N. W. Hendrickx, J. M. Boter, L. Petit, S. V. Amitonov, M. Lodari, B. Paquelet Wuetz, C. Volk, S. G. J. Philips, G. Droulers, N. Kalhor, F. van Riggelen, D. Brousse, A. Sammak, L. M. K. Vandersypen, G. Scappucci, and M. Veldhorst. Quantum dot arrays in silicon and germanium. *Applied Physics Letters*, 116(8), February 2020.
- [247] Francesco Borsoi, Nico W. Hendrickx, Valentin John, Marcel Meyer, Sayr Motz, Floor van Riggelen, Amir Sammak, Sander L. de Snoo, Giordano Scappucci, and Menno Veldhorst. Shared control of a 16 semiconductor quantum dot crossbar array. *Nature Nanotechnology*, 19(1) :21–27, August 2023.
- [248] Fabio Ansaloni, Anasua Chatterjee, Heorhii Bohuslavskiy, Benoit Bertrand, Louis Hutin, Maud Vinet, and Ferdinand Kuemmeth. Single-electron operations in a foundry-fabricated array of quantum dots. *Nature Communications*, 11(1), December 2020.
- [249] Simon Geyer, Leon C. Camenzind, Lukas Czornomaz, Veeresh Deshpande, Andreas Fuhrer, Richard J. Warburton, Dominik M. Zumbühl, and Andreas V. Kuhlmann. Self-aligned gates for scalable silicon quantum computing. *Applied Physics Letters*, 118(10), March 2021.
- [250] E. Charbon, F. Sebastiano, A. Vladimirescu, H. Homulle, S. Visser, L. Song, and R. M. Incandela. Cryo-CMOS for quantum computing. In *2016 IEEE International Electron Devices Meeting (IEDM)*, pages 13.5.1–13.5.4, 2016.
-

- [251] Xiao Xue, Bishnu Patra, Jeroen P. G. van Dijk, Nodar Samkharadze, Sushil Subramanian, Andrea Corna, Brian Paquelet Wuetz, Charles Jeon, Farhana Sheikh, Esdras Juarez-Hernandez, Brando Perez Esparza, Huzaifa Rampurawala, Brent Carlton, Surej Ravikumar, Carlos Nieva, Sungwon Kim, Hyung-Jin Lee, Amir Sammak, Giordano Scappucci, Menno Veldhorst, Fabio Sebastiano, Masoud Babaie, Stefano Pellerano, Edoardo Charbon, and Lieven M. K. Vandersypen. CMOS-based cryogenic control of silicon quantum circuits. *Nature*, 593(7858) :205–210, May 2021.
- [252] H. Homulle. *Cryogenic electronics for the read-out of quantum processors*. PhD thesis, 2019.
- [253] R. Patterson, A. Hammoud, and S. Gerber. Performance of various types of resistors at low temperatures. *NASA Glenn Res. Center, Cleveland, OH, USA*, GESS Rep. NAS3-00142.
- [254] Advanced Micro Testing. AMT LOTUS control platform.
- [255] R. Dawant, Matthieu Gaudreau, Marc-Antoine Roy, Pierre-Antoine Mouny, Matthieu Valdenaire, Pierre Gliech, Javier Arias Zapata, Fabien Alibert, Dominique Drouin, and Serge Ecoffey. Damascene versus subtractive line cmp process for resistive memory crossbars beol integration. *Micro and Nano Engineering*, page 100251, 2024.
- [256] Andreas V. Kuhlmann, Julien Houel, Arne Ludwig, Lukas Greuter, Dirk Reuter, Andreas D. Wieck, Martino Poggio, and Richard J. Warburton. Charge noise and spin noise in a semiconductor quantum device. 9(9) :570–575, July 2013.
- [257] G. Palmisano, G. Palumbo, and S. Pennisi. Design procedure for two-stage cmos transconductance operational amplifiers : A tutorial. *Analog Integrated Circuits and Signal Processing*, 27(3) :177–187, 2001.
- [258] Jae Hur, Chinsung Park, Gihun Choe, Prasanna Venkatesan Ravindran, Asif Islam Khan, and Shimeng Yu. Characterizing hfo₂-based ferroelectric tunnel junction in cryogenic temperature. *IEEE Transactions on Electron Devices*, 69(10) :5948–5951, October 2022.
-

