



**HAL**  
open science

# Caractérisation et Simulation des Transistors MOS sous Stress Electrique et Thermique

B. Beydoun

► **To cite this version:**

B. Beydoun. Caractérisation et Simulation des Transistors MOS sous Stress Electrique et Thermique. Sciences de l'ingénieur [physics]. Université Paul Sabatier (Toulouse 3), 2007. tel-04620434

**HAL Id: tel-04620434**

**<https://hal.science/tel-04620434>**

Submitted on 21 Jun 2024

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Public Domain

# **HABILITATION À DIRIGER DES RECHERCHES**

*de l'Université Paul Sabatier de Toulouse*

---

Par :

**Bilal BEYDOUN**

Docteur en électronique de l'Université Paul Sabatier

Professeur à l'Université Libanaise

---

## **Caractérisation et Simulation des Transistors MOS sous Stress Electrique et Thermique**

---

Soutenue au LAAS-CNRS, le 10 juillet 2007

Président et rapporteur

O. Bonnaud      Professeur à l'université de Rennes I

Rapporteurs

E. Woïrgard      Professeur à l'université de Bordeaux I

Z. Khatir      Chargé de recherche – HDR à l'INRETS (Paris)

Examineurs

K. Ketata      Professeur à l'université de Rouen

J-P. Charles      Professeur à l'université de Metz

P. Dupuy      Ingénieur Freescale (Toulouse)

Directeurs

A. Cazarré      Professeur à l'université de Toulouse III

F. Morancho      Maître de conférences - HDR à l'université de Toulouse III



## ***Remerciements***

Treize ans après mon diplôme doctoral, je retourne au LAAS pour présenter cette Habilitation à Diriger des Recherches (HDR). Beaucoup de souvenirs me restent de cette période de séjour au LAAS, confirmant ainsi la fameuse phrase de l'ex-directeur du LAAS, Professeur Alain COSTES : « On ne quitte jamais le LAAS », et d'y ajouter une autre formule : « Le LAAS nous a jamais quitté ».

Trouver une formule de remerciement pour les personnes qui ont contribué à la réalisation de cette HDR amène toujours à une gymnastique grammaticale parfois peu réussie. Je remercie d'abord les membres de mon jury :

- Monsieur Olivier Bonnaud, Professeur à l'Université de Rennes I, Monsieur Eric Woïrgard, Professeur à l'université de Bordeaux I, et Monsieur Zoubir Khatir, Chargé de recherches (HDR) à l'INRETS – Paris, pour l'honneur qu'ils m'ont fait en acceptant de participer à ce jury en tant que rapporteurs.
- Monsieur Alain Cazarré, Professeur à l'Université Paul Sabatier, dont l'appui, la rigueur, ainsi que l'énergie qu'il a déployé, ont permis la concrétisation de cette HDR. Je tiens à lui exprimer ma gratitude.
- Monsieur Frédéric Morancho, Maître de conférences (HDR) à l'Université Paul Sabatier, pour sa contribution et son aide précieuse. Sa connaissance du domaine des composants de puissance, sa disponibilité et son efficacité ont été des moteurs indispensables pour effectuer cette HDR. Je tiens à lui exprimer mon amitié, et lui dire combien j'ai apprécié sa présence et ses conseils.
- Madame Kaouther Ketata, Professeur à l'Université de Rouen, pour sa sérénité et son amitié qui ont largement contribué à l'aboutissement de mes travaux. Merci Kaouther.
- Monsieur J-P Charles, Professeur à l'Université de Metz, pour ses conseil et ses ultimes visites au Liban qui ont été bénéfiques pour démarrer mes activités de recherche à l'université Libanaise.
- Monsieur Philippe Dupuy, Ingénieur à Freescale - Toulouse, pour sa participation dans ce jury en tant qu'examineur.
- Un grand merci à ma femme Genane et à mes deux filles Joëlle et Laetitia pour leur soutien et leur support.



## *Avant propos*



Pendant la guerre au Liban, le site de la faculté des sciences à Hadath (nord de Beyrouth) a été partiellement démoli. Les laboratoires de recherche n'existaient plus et la faculté a déménagé dans des locaux au sein de Beyrouth pour poursuivre les enseignements universitaires. En 1995, la reconstruction du site de Hadath de la faculté fut achevée.

Suite à ma nomination en qualité de professeur associé en 1996 à la faculté des sciences, j'ai travaillé pour introduire au laboratoire de physique des matériaux (LPM), une activité de recherche en microélectronique basée sur la simulation et la caractérisation des composants électroniques.

Ce manuscrit présente une synthèse de mes travaux de recherche, d'investigation, d'animation et de valorisation, réalisés de 1996 à 2007, suite à ma thèse de doctorat en 1994 à Toulouse (Université Paul Sabatier -Toulouse III). Dans le cadre de collaborations scientifiques, les travaux ont été menés conjointement avec les laboratoires CLOES-MOPS (université de Metz) et LEMI (université de Rouen).

Ce mémoire comprend quatre parties :

**Partie I (La thèse) :** La première partie de ce manuscrit présente mes activités de recherche effectuées dans l'équipe "Physique des composants et nouvelles structures" du groupe CIP, dirigé à l'époque par Pierre ROSSEL, et qui ont débuté en 1991 au LAAS/CNRS dans le cadre de la préparation d'une thèse dirigée par P. ROSSEL, Directeur de Recherches au CNRS. Le sujet était de proposer un outil de conception de modèles, basé sur l'analyse des mécanismes, la géométrie et la technologie de la structure du transistor VDMOS de puissance. L'objectif était de pouvoir simuler, modéliser et prédire les limites de performances d'un nouveau composant de puissance discret, tel que le transistor MOS de puissance à double niveau d'oxyde de grille intercellulaire, ou le transistor VDMOS à base de carbure de Silicium (SiC). Ces travaux trouvent leur continuité dans l'équipe de recherche que j'ai créée par la suite au LPM.

**Partie II (Le stress électrique dans les transistors MOS) :** Dans la deuxième partie, nous présentons les premières activités de recherche en microélectronique, entamées en 1997 au laboratoire de physique des matériaux (LPM) et basées sur la simulation et la caractérisation des composants électroniques. Ce sujet a été initié dans le cadre d'une thèse en co-direction avec le professeur J-P Charles de l'université de Metz (Laboratoire LOES-MOPS). L'activité traitait l'utilisation des transistors MOS sous certaines conditions de stress électrique, conduisant à la modification de ses propriétés physiques et électriques. Ce stress résulte de l'application d'une tension élevée sur la grille du composant. C'est le cas lors de l'utilisation du transistor dans un montage assurant une fonction déterminée (onduleur, hacheur, etc.). La procédure consiste à étudier les modifications causées par cette utilisation industrielle. La démarche proposée passe par l'analyse et la simulation circuit et bidimensionnelle de l'effet de dégradation lié à la structure micronique du composant et par la mise en évidence des paramètres dégradés. Cette démarche fut employée pour étudier le stress électrique dans les deux types de composants : le MOS vertical (VDMOS) et le MOS à tranchées.

**Partie III (Le stress thermique dans le transistor VDMOS) :** Cette partie présente une synthèse des travaux initiés dans le cadre d'une thèse en co-direction avec la



professeur K. Ketata de l'université de Rouen (Laboratoire LEMI). L'objectif était de proposer une méthodologie d'analyse et de modélisation de la fiabilité thermique des composants de puissance (VDMOS) par l'élaboration d'un ensemble d'essais de contraintes représentatifs de l'état de fonctionnement de ces dispositifs dans un environnement donné. Plusieurs types de contraintes ont été étudiés (choc thermique, cyclage thermique, etc.). Un travail considérable fut déployé pour simuler bidimensionnellement la structure sous contraintes, aidant ainsi à formuler des explications physiques des phénomènes observés.

**Partie IV** : Perspectives, présente les perspectives des lignes de recherche de l'équipe et les coopérations, incluant des lignes nouvelles qui vont démarrer.

## **Table des Matières**



# Table des matières

Avant propos .....	1
Table des Matières .....	5
<b>Partie I : La thèse .....</b>	<b>10</b>
I.1 Introduction .....	12
I.2 Le VDMOS de puissance .....	12
I.3 Fonctionnement du VDMOS de puissance .....	14
I.4 Simulations du VDMOS .....	15
I.4.1 Topologie des modèles "SPICE" du transistor VDMOS en commutation.....	16
I.5 Méthodologie de conception des modèles VDMOS de puissance .....	18
I.5.1 Méthodologie d'approche, le logiciel PMD (Power MOSFETDesigner) .....	19
I.5.2 Validation du logiciel PMD .....	21
I.6 Etudes spéculatives : Applications du logiciel PMD .....	22
I.6.1 Le VDMOS à double niveau d'oxyde de grille intercellulaire.....	22
I.6.2 Le VDMOS sur SiC .....	23
I.7 Conclusion .....	26
<b>Partie II : Le stress électrique dans les transistors MOS .....</b>	<b>28</b>
II.1 Introduction .....	30
II.2 Montage simulant le stress électrique dans les transistors MOS: VDMOS et structure à tranchées .....	31
II.3 Caractérisations expérimentales de l'effet de stress dans les composants MOS .....	32
II.4 Simulation SPICE de l'effet de stress dans les composants MOS .....	34
II.5 Simulation bidimensionnelle de l'effet de stress dans le VDMOS et le MOS à tranchées .....	35
II.5.1 Définition des composants dans ATLAS .....	36
II.5.2 Mobilités dans Atlas .....	38
II.5.3 Analyse bidimensionnelle de l'effet du stress électrique dans les composants MOS	40
II.6 Conclusion .....	46
<b>Partie III : Le stress thermique dans le transistor VDMOS .....</b>	<b>47</b>
III.1 Introduction .....	49
III.2 Le stress thermique .....	49
III.3 Analyse bidimensionnelle de l'effet thermique dans les transistors : utilisation du module thermique GIGA .....	53
III.3.1. Méthodologie de résolution dans Atlas et GiGA .....	54
III.3.2 Tension de claquage .....	55
III.3.3 Second claquage du transistor VDMOS .....	62
III.3.4 Tension de seuil .....	65

III.3.5 Caractéristiques de sortie .....	67
III.3.6 Jonction PN (Dbody) du VDMOS .....	70
III.3.7 Capacités du VDMOS .....	76
III.3.7.1 Capacité grille - source .....	77
III.3.7.2 Capacité grille - drain .....	78
III.3.7.3 Capacité drain - source .....	79
III.4 Le transistor VDMOS sous contraintes thermiques.....	80
III.4.1 Eléments de tests des contraintes thermiques .....	81
III.4.2 Analyses des contraintes thermiques dans le VDMOS .....	83
III.4.2.1 Contrainte à champ électrique élevé « high electric field stress (HEFS)» .....	83
III.4.2.2 Contrainte à la température en fonctionnement opérationnel .....	87
III.4.2.3 Instabilité Thermique de la polarisation (PBTI)/(NBTI) du VDMOS .....	90
III.4.2.3.1 PBTI .....	91
III.4.2.3.2 NBTI .....	93
III.5 conclusion .....	95
<b>Partie IV : Conclusion générale et éléments de prospectives .....</b>	<b>97</b>
IV.1 Bilan des travaux effectués .....	99
IV.2 Perspectives de recherche .....	99
IV.2.1 Axe 1 : Stress électrique et stress thermique dans les composants .....	100
IV.2.1.1 Composants sous stress électrique et thermique .....	100
IV.2.1.1.1 LDMOS .....	100
IV.2.1.1.2 MOS à superjonctions .....	101
IV.2.1.1.3 IGBT (Insulated Gate Bipolar transistor).....	103
IV.2.1.2 Les stress électrique et thermique .....	103
IV.2.2 Axe 2 : modélisation numérique des composants micro et nanoélectroniques .....	105
IV.2.2.1 Structures de base et phénomènes associés : .....	106
IV.2.2.1.1 Transport latéral : modèles de mobilité dans les canaux courts .....	106
<b>Bibliographie .....</b>	<b>109</b>

***Partie I : La thèse***

***Doctorat de l'Université Paul Sabatier (Toulouse III)  
(1991-1994)***



## ***I.1 Introduction***

Mes activités de recherche ont débuté en 1991 au LAAS/CNRS dans le cadre de la préparation d'une thèse dirigée par P. ROSSEL, Directeur de Recherches au CNRS, et en collaboration avec la société Motorola Semiconducteurs à Toulouse. Le sujet était de proposer un outil de conception de modèles, basé sur l'analyse des mécanismes, la géométrie, et la technologie de la structure du transistor VDMOS de puissance. L'intérêt de cet outil était de pouvoir simuler, modéliser, et prédire les limites de performances d'un nouveau composant de puissance discret, tel que le transistor MOS de puissance à double niveau d'oxyde de grille intercellulaire, ou le transistor VDMOS à base de carbure de Silicium (SiC). Ces travaux ont été effectués dans l'équipe "Physique des composants et nouvelles structures" du groupe "Composants et Intégration de Puissance" (CIP), dirigé à l'époque par P. ROSSEL.

Le sujet de thèse traite le transistor MOS de puissance qui est apparu sur le marché des composants discrets en 1976. Depuis, son utilisation dans le domaine de l'électronique de puissance a fortement progressé. Ce dispositif présente des qualités, face à son concurrent bipolaire, qui sont principalement : une impédance d'entrée élevée et une facilité de commande par la grille isolée, une grande vitesse de commutation liée à l'absence de stockage des porteurs minoritaires, un coefficient de température négatif du courant de drain qui empêche l'emballement thermique. De plus, ce composant nécessite en continu une très faible puissance pour rester dans l'état de conduction. Il peut être également commandé directement par la tension de sortie logique de circuits CMOS ou TTL. Son inconvénient majeur réside dans la chute de potentiel relativement élevée à ses bornes lorsqu'il est en régime de conduction. Cet inconvénient est d'autant plus marqué que le dispositif est prévu pour soutenir une tension élevée, dans l'état bloqué.

## ***I.2 Le VDMOS de puissance***

Technologiquement, il est clair que le transistor MOS classique ne peut satisfaire aux exigences de tenue en tension et de courant élevés. Une structure verticale est plus adéquate. Pour réaliser cette dernière, le progrès essentiel a été fait grâce à l'utilisation du matériau volumique épitaxié pour former l'électrode de drain ; en conséquence le courant circule verticalement dans ces dispositifs. Par ailleurs, l'exigence d'un calibre en courant élevé a conduit d'une part à obtenir un canal de conduction le plus court possible. Les premiers composants répondant à ces exigences ont été des structures verticales où la longueur était contrôlée par double diffusion. La zone de grille était définie par une gravure chimique du silicium, attaque isotrope dans le cas des composants ISOFET, ou anisotrope pour les structures à sillons gravés UMOS ou VMOS. Néanmoins, la difficulté du contrôle de ce processus d'attaque chimique a plus ou moins conduit à l'abandon de ces filières pour la production industrielle. D'autre part, l'utilisation du concept de structure multicellulaire planar a permis d'augmenter très notablement le calibre en courant. La filière la plus répandue actuellement et qui est l'objet de nos travaux, est celle des transistors VDMOS multicellulaires obtenus par le procédé de double-diffusion (figure I.1).

Plus précisément, le transistor VDMOS de puissance présenté sur la figure (I.1) a une structure verticale ; le drain est localisé sur la face arrière de la plaquette, la grille et la source sont sur la face supérieure. Le courant  $y$  circule verticalement. Le principe de réalisation de ce transistor est basé sur l'utilisation du processus de double diffusion de type  $P^-$  et  $N^+$  pour réaliser les zones de canal et de source, en vue de l'obtention de longueur de canal faible : sur une plaquette de silicium épitaxiée  $N^-$  sur un substrat  $N^+$ , le processus technologique débute



par la réalisation d'un oxyde mince, suivi d'un dépôt d'une couche de polysilicium qui constitue la grille. Après gravure de cette grille, une zone P de canal autoalignée est définie par implantation ionique. Après une étape de masquage, les zones N<sup>+</sup> de source sont diffusées en utilisant aussi la grille comme bord de masquage. Une zone P<sup>+</sup>, dite "body", est aussi réalisée - avant ou post double diffusion du canal-. Pour terminer, la structure est métallisée, les zones de contact sont gravées, et l'ensemble est passivé.

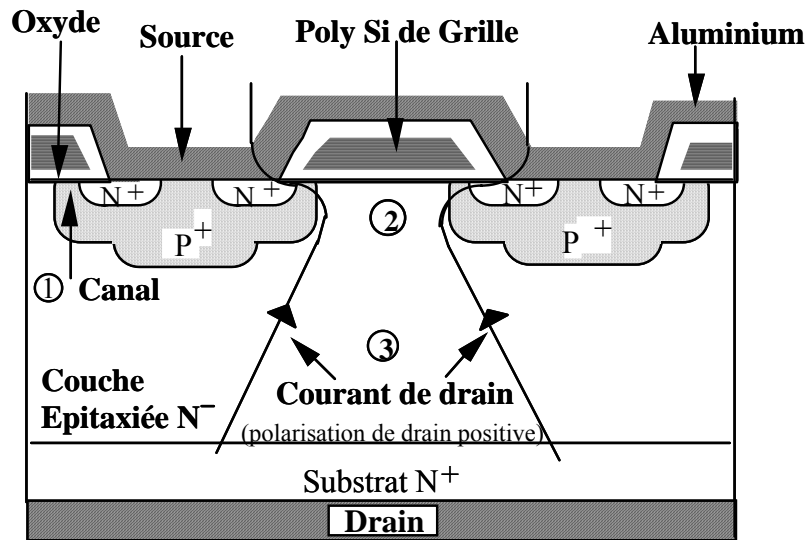


Figure (I.1) : Le transistor VDMOS de puissance

Au niveau de la forme, les structures des transistors VDMOS diffèrent principalement d'une famille à l'autre, par la configuration géométrique de la diffusion de la zone P. La forme des petites cellules élémentaires qui, une fois associées, constituent le transistor de puissance, varie suivant la technologie mise en oeuvre. Elle peut être hexagonale (HEXFET), à carrés alignés ou non alignés (TMOS, SIPMOS), triangulaire (TRIMOS), ou à bandes parallèles (rectangles). La figure (I.2) illustre des exemples de formes envisageables de la géométrie de source.

L'évolution de la géométrie de ces structures est basée sur le concept d'obtention de la plus forte "densité d'intégration" de la zone P de source. Cette densité d'intégration doit se traduire par l'obtention d'un plus grand périmètre de canal et par suite d'une valeur du courant passant, par unité de surface de silicium, la plus élevée possible.

Dans le cadre de ces travaux, nous nous sommes intéressés aux cas des cellules en formes de carrés alignés et de bandes parallèles (rectangles).

En régime de commutation, les performances du transistor VDMOS sont globalement liées à divers facteurs. Parmi ceux-ci citons : la valeur de sa résistance à l'état passant, la tenue en tension, le temps de commutation, qui dépend des capacités d'entrée et de sortie, et les configurations des circuits d'attaque sur la grille et de charge sur le drain. Dans l'état actuel de la technologie, les améliorations de ces performances peuvent venir : i) du changement du rapport périmètre sur surface Z/S, qui est essentiellement fonction de la densité d'intégration atteinte par le processus technologique utilisé, de la forme géométrique des cellules élémentaires que sont les diffusions P et de la distance entre ces cellules, ii) de l'optimisation de la distance minimale à respecter entre les cellules, et iii) du maintien de la longueur du canal L aussi constante que possible dans chaque cellule. L'amélioration du temps de commutation provient principalement de la réduction de la capacité d'entrée du transistor. Pour cela, une solution qui a été envisagée dans notre étude, consiste à réaliser une structure VDMOS avec un niveau d'oxyde mince sur la région du canal de conduction et un

oxyde plus épais sur la région d'accès (figure (I.3)), ce qui conduit à minimiser la capacité de réaction grille-drain.

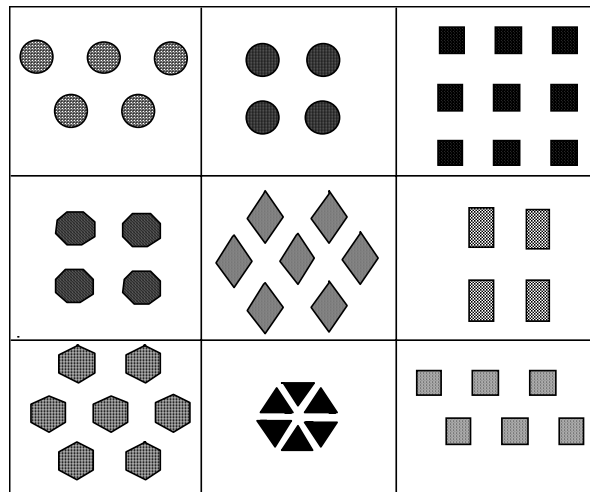


Figure (I.2) : Diverses configurations envisageables de la diffusion P de la zone de source

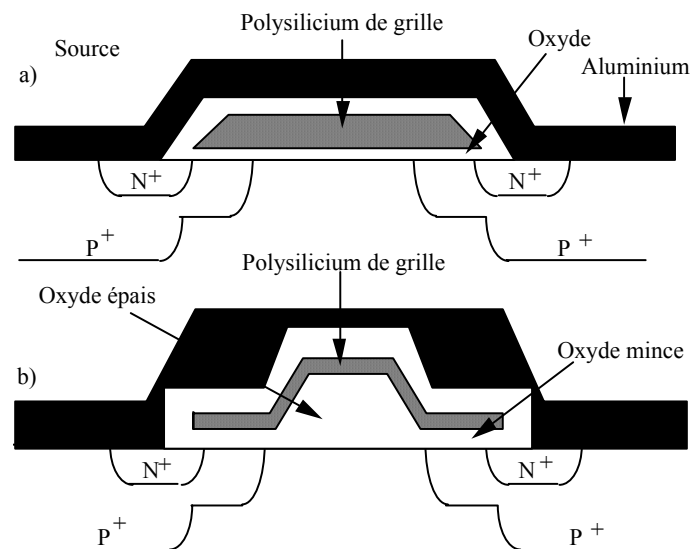


Figure (I.3) : Structure VDMOS a) "classique" b) avec deux niveaux d'oxyde de grille

### I.3 Fonctionnement du VDMOS de puissance

Le transistor VDMOS de puissance présente deux états de fonctionnement : le premier dit "passant" ou "de conduction" qui se caractérise par la formation d'un canal d'inversion sous l'effet de la tension positive grille - source et par conséquent par la circulation d'un courant de drain dont la valeur est fonction des éléments physiques et technologiques de la structure, et des tensions appliquées, le deuxième dit "bloqué" à tension grille - source inférieure à une valeur dite de seuil et pour lequel le courant ne circule pas ; la quasi totalité de la tension grille-drain appliquée est alors supportée par la zone de drift (déplétée) du transistor.

En régime de conduction, le fonctionnement du dispositif est basé sur la contribution des trois zones (figure (I.1)) :

i) la zone active **1** où se forme un canal d'inversion qui assure la conduction d'un courant électrique de drain par les porteurs minoritaires (électrons) dans la zone P, sous l'effet des tensions grille-drain appliquées. Les caractéristiques physiques et technologiques de cette

zone telles que la longueur du canal, la mobilité, et le dopage de diffusion P, gèrent le niveau du courant de drain.

ii) la zone d'accès **2** correspond à la région du semiconducteur de type N<sup>-</sup> faiblement dopée fonctionnant en régime accumulé sous l'électrode de grille. Sa présence est induite par la polarisation de la grille. Cette zone a un effet résistif qui agit sur les formes des caractéristiques statiques de sortie du transistor.

iii) la zone de drift **3** correspond à la zone volumique de semiconducteur N<sup>-</sup> faiblement dopée qui forme une partie du drain. Sa configuration est destinée principalement à gérer la tenue en tension du transistor. La valeur de sa résistance croît avec la tenue en tension, ce qui provoque une limitation du niveau de courant. Pour remédier tant que faire se peut à cette limitation, il est indispensable de trouver un compromis en optimisant les caractéristiques en dopage et épaisseur de cette zone.

En régime bloqué et pour qu'un transistor MOS puisse fonctionner sans dégradation, il est indispensable de définir quelles sont les tensions maximales que l'on peut appliquer entre grille et source, et drain et source. Le cas le plus contraignant est celui du régime bloqué pour lequel la tension est maximale. La tenue en tension ou la tension de claquage  $V_{BR}$  d'un transistor VDMOS est, par définition, la tension maximale appliquée entre drain et source à l'état bloqué (c'est-à-dire lorsque le courant de canal est pratiquement nul). Pour ce régime de fonctionnement, l'application d'une tension drain - source entraîne l'apparition d'une zone de charge d'espace dépeuplée dans la région de drift N<sup>-</sup>, aux bornes de laquelle est soutenue pratiquement toute la tension appliquée entre drain et source.

## ***I.4 Simulations du VDMOS***

Depuis quelques années, les systèmes électroniques deviennent de plus en plus complexes en vue de l'obtention de performances électriques optimales dans de nombreux domaines d'applications. Le coût élevé, nécessaire à la réalisation de ces systèmes, a amené les concepteurs de circuit à utiliser des moyens de prédictions basés sur le traitement numérique des équations électriques mises en jeu. Ces moyens sont appelés "les simulateurs électriques" (SPICE, ELDO, ESACAP,...). Ils existent sous la forme d'un "exécutable" informatique composé essentiellement de deux parties : une partie unité centrale de traitement numérique, et une partie bibliothèque décrivant les modèles électriques des composants utilisés dans les circuits. Ces bibliothèques n'ont cependant pas toujours les modèles nécessaires pour tous les composants existants, ce qui est le cas pour le transistor VDMOS de puissance.

Le simulateur électrique que nous utilisons pour notre étude est SPICE. Il a été initialement développé au Département de Génie Electrique de l'Université de Berkeley (SPICE.II-G6) [1-2]. Ce logiciel est prévu dans une large mesure pour l'analyse et la conception des circuits intégrés. Il est reconnu, d'une part par ses limites inhérentes et sa disponibilité universelle, et d'autre part pour sa possibilité de conversion (compatibilité) vers d'autres programmes de simulation tels que ELDO. SPICE-II est composé de deux parties, i) une partie traitement numérique (méthodes d'intégration ...etc) et ii) une partie formée des modèles de composants électroniques existant par défaut (éléments passifs, transistors : bipolaire, MOS, JFET...). Ces derniers ont été principalement mis au point pour les composants existant dans les circuits intégrés, et ne simulent pas les modes de fonctionnement des composants de puissance. A titre d'exemple, la structure verticale du transistor MOS présente un comportement que les modèles SPICE ne sont pas capables de rendre compte, en particulier i) le couplage drain-grille se fait par une capacité fortement non linéaire qui peut

varier lors du passage de l'état bloqué à l'état passant, et ii) la résistance drain-source du transistor est également non linéaire à cause de la conduction dans la zone d'accès suivie de la défocalisation des lignes de courant dans la couche épitaxiée N<sup>-</sup>.

D'autre part, les travaux de modélisation du transistor VDMOS [3-16] qui ont été menés à l'époque, ont clairement établi la (les) forme (s) du schéma équivalent, ainsi que les procédures d'extraction des paramètres. Cependant, ces derniers sont souvent des paramètres globaux et "de fit" sans signification physique claire. De plus, à partir de banques de données fournies par la mesure des paramètres relevés sur des produits appartenant à une famille technologique précise et ayant une forme - géométrie et règles de dessin - figée, ces paramètres peuvent être normalisés à l'aire unitaire de silicium et l'extrapolation à la conception de produits "dédiés" est envisageable [16].

De manière plus générale, il n'existait pas d'outil de conception "*full custom*", c'est-à-dire un outil qui permet - à partir des données physiques, technologiques, du dessin (*layout*), d'un calibre en tension et d'une température de cristal fixés - de connaître a priori les performances électriques des produits dans un environnement "circuit" spécifié. Ceci est d'autant plus vrai que tous les outils à l'époque, basés sur l'intégration des équations des semiconducteurs (simulateurs *device*) sont à 2 dimensions - alors que les MOS de puissance sont essentiellement des structures tridimensionnelles : ils ne sont donc pas bien adaptés à l'interfaçage avec un environnement "circuit". Quelques tentatives d'évaluation de certains paramètres dynamiques, à partir de considérations liées au dessin (*layout*) ont été en cours de proposition [17].

#### ***1.4.1 Topologie des modèles "SPICE" du transistor VDMOS en commutation***

Plusieurs propositions de modèles pour le transistor VDMOS de puissance compatibles avec le logiciel SPICE ont été faites au cours des dernières années [3-16]. L'approche choisie, presque dans tous les cas, consiste à modéliser le comportement d'un VDMOS, tout particulièrement pour le régime de commutation, en ajoutant des éléments externes au modèle MOS existant par défaut. Le grand avantage de cette approche est qu'elle ne requiert aucune modification du modèle interne du logiciel.

D'autre part, deux méthodes ont été choisies pour représenter la non - linéarité de la capacité grille - drain  $C_{gd}$  : i) la première utilise l'approche polynomiale [5-6] qui exclut en outre la possibilité de traiter le cas des structures haute - tension et l'étude des régimes transitoires sur charge inductive, ii) la deuxième est plus élaborée et adaptée aux VDMOS haute - tension, elle décrit la capacité grille - drain par deux capacités qui commutent (analogiquement) lors du passage à zéro de la tension grille - drain sur un cycle de commutation [7 -16]. Au LAAS, c'est cette dernière qui a été utilisée.

La méthode de modélisation du transistor VDMOS que nous utilisons, a été développée au sein du LAAS [16]. Elle consiste à décrire la partie active du transistor MOS de puissance (le canal) par le modèle SPICE du transistor MOS et à procéder à un rajout d'autres éléments de ce logiciel afin d'obtenir un macromodèle capable de traduire le comportement électrique de ce dispositif. Sur une coupe schématique de deux demi - cellules VDMOS (figure (I.4)), nous localisons les principaux éléments qui régissent le fonctionnement de la structure.

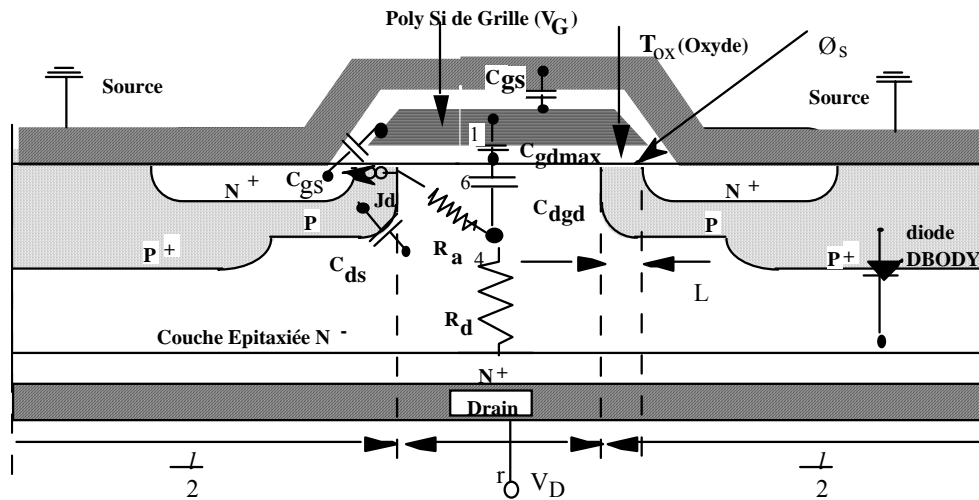


Figure (I.4) : Localisation de quelques éléments dans une coupe de deux demi-cellules de VDMOS

Sur la base de l'analyse physique et électrique de la structure VDMOS, deux modèles compacts ont été établis [16] pour traiter des régimes de commutation ; ils sont compatibles avec le simulateur des circuits de l'électronique "SPICE", et sont différenciés par la représentation de la capacité  $C_{gd}$ . Les deux formes du modèle sont représentées sur la figure (I.5). Elles correspondent respectivement au modèle "à interrupteurs" et au modèle "à initialisation". Rappelons tout d'abord que le régime de fonctionnement statique est obtenu en représentant le canal de conduction par un transistor MOS (M1) - qui intervient uniquement par son générateur de courant  $J_d$  auquel se rajoutent de façon externe en série avec l'électrode de drain les résistances d'accès ( $R_a$ ) et de la zone de drift ( $R_d$ ).

En régime dynamique, les capacités interélectrodes  $C_{gs}$ ,  $C_{gd}$ , et  $C_{ds}$  sont prises en compte. La capacité grille-source  $C_{gs}$  est considérée, en première approximation, comme indépendante des tensions de polarisation. La capacité drain-source  $C_{ds}$  est une vraie capacité de transition de diode et est modélisée par une diode SPICE  $DD_S$  ; la capacité grille-drain  $C_{gd}$  est modélisée par une configuration série ou parallèle d'une capacité d'oxyde  $C_{gdmax}$  et d'une diode  $D_{GD}$ . Une diode  $D_{body}$  est rajoutée pour tenir compte de la conduction du VDMOS en inverse, et au premier ordre des effets de stockage de charge lors de sa mise en recouvrement. Le schéma est complété par les éléments parasites (la résistance de la grille en polysilicium  $R_g$ , la résistance  $R_s$  et l'inductance  $L_s$  de source).

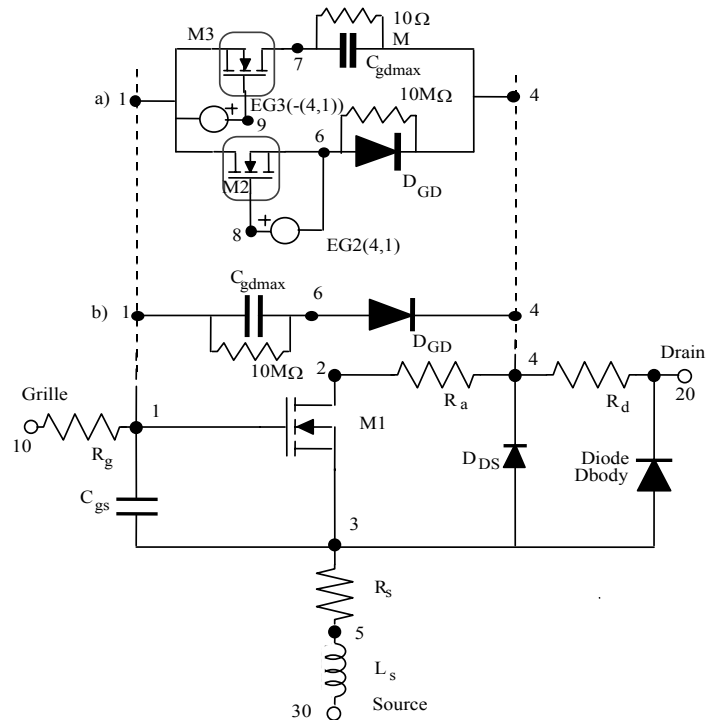


Figure (I.5) : Modèles “SPICE” du transistor VDMOS de puissance pour la commutation. a) modèle à interrupteurs, b) modèle à initialisation.

## I.5 Méthodologie de conception des modèles VDMOS de puissance

La méthodologie élaborée durant cette thèse se situe dans l’objectif de proposer de nouveaux outils pour la conception de composants MOS de puissance. On propose ainsi un constructeur de modèle électrique d’interrupteur MOS de puissance qui est basé : i) sur les données de géométrie de structure, ii) sur les paramètres physiques (constantes diélectriques, mobilités, vitesse limite...) des matériaux, iii) sur la technologie (épaisseurs des couches, profondeurs des jonctions...), qui utilise la topologie des schémas équivalents SPICE déjà élaborés dans le passé [16] et qui fournit quasi automatiquement - par une approche analytique implémentée sous forme graphique interactive dans le logiciel *HyperCard* - la valeur des paramètres utilisés par les relations de ces modèles. Les résultats fournis par cet outil de conception de modèles VDMOS permettent ainsi à partir des données physique, géométrique et technologique de la structure de connaître a priori quelles seront les performances électrique d’un “nouveau” produit ainsi conçu en vue d’une application spécifiée au préalable.

La méthodologie utilisée consiste à effectuer tout d’abord une analyse physique rigoureuse, dans toutes les zones de la structure VDMOS, des mécanismes mis en jeu lors des fonctionnements en régime statique et dynamique. Puis, en se basant sur les aspects de modélisation du transistor développés antérieurement, nous proposons une approche de conception des modèles VDMOS fondée sur les lois de dépendance entre les paramètres des modèles et les données physiques et technologiques de la structure. Nous avons développé pour ce faire un logiciel nommé “Power MOSFET’s Designer”. Une validation de ce logiciel, ainsi qu’une application à l’étude de nouvelles générations de structures VDMOS ont été réalisées.

### I.5.1 Méthodologie d'approche, le logiciel PMD (Power MOSFET Designer)

L'approche utilisée est descendante. Elle part de la physique et aboutit à la "conception". En effet, une étude paramétrique du dispositif a été effectuée. Elle a permis d'exprimer en fonction des paramètres physiques (mobilité, vitesse limite, réduction de mobilité transverse, dopage, charges d'oxyde...), géométriques (dessin des cellules, dimensions des zones inter-cellules...), et technologiques (épaisseur des oxydes, épaisseur et dopage des couches semi-conductrices fonction de la tenue en tension, profondeur et dopage des diffusions...), tous les éléments constitutifs des deux schémas équivalents proposés pour le VDMOS de puissance. En conséquence, la génération de tous les éléments des modèles peut être effectuée à partir de ces données.

Nous avons donc développé un logiciel nommé PMD (*Power MOSFET's Designer*) qui est un outil d'aide à la conception en programmation orientée "objet". Il permet sur la base d'un "layout" entièrement paramétrable -pouvant traiter des formes de cellules carrées ou rectangulaires et pouvant analyser les modifications de forme de la zone intercellulaire à oxyde uniforme ou en terrasse-, d'une tenue en tension spécifiée, d'une surface totale de puce de silicium donnée, de fournir les résultats souhaités.

Ce logiciel a été développé en deux versions qui diffèrent par la configuration géométrique analysée : la première version est destinée aux structures à configuration cellulaire "carrés alignés", et la deuxième aux structures à configuration "bandes parallèles" ou "doigts inter - digités".

L'organigramme de PMD est représenté sur la figure (I.6), il permet d'obtenir a priori les caractéristiques électriques statiques et dynamiques à partir d'un "layout" de la structure. Il établit les modèles "SPICE" (modèles à interrupteurs ou à initialisation) des transistors M.O.S de puissance par la définition des trois "éléments" suivants : i) tenue en tension, ii) surface du silicium, et iii) géométrie cellulaire (épaisseur d'oxyde, distance intercellulaire, ...).

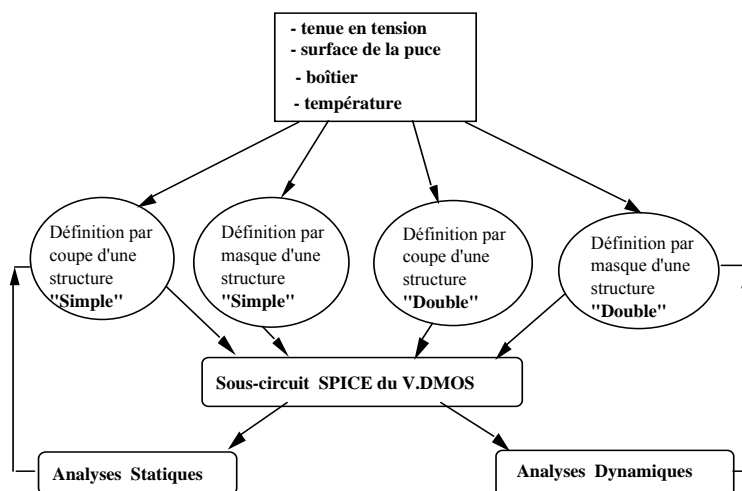


Figure (I.6) : Organigramme du logiciel Power MOSFET's Designer

Deux familles de structures sont incorporées : i) structure à un seul niveau de grille intercellulaire appelée "Simple", et ii) structure à double niveau d'oxyde de grille intercellulaire appelée "Double". La différence entre ces deux dernières réside dans l'accroissement de l'épaisseur de l'oxyde intercellulaire qui a pour effet de réduire le temps de commutation.

La dépendance en température des paramètres majeurs -mobilité, tension de seuil- est aussi prise en compte. L'effet des facteurs géométriques (périmètres ou surfaces ou épaisseur d'épitaxie ou profondeur de diffusions) sont considérés. La géométrie est à définir pour une cellule en coupe et en "vue de dessus".

La génération des paramètres des modèles "SPICE" du transistor M.O.S de puissance tient compte des aspects physiques, géométriques et technologiques des structures M.O.S.

Certains degrés de liberté sont accordés à l'utilisateur dans le choix des caractéristiques dopage - épaisseur de la couche épitaxiée :

- Punch through : le champ électrique est trapézoïdal (charge d'espace en perçage) et les coefficients d'ionisation sont identiques ( $\alpha_n = \alpha_p$ ) ou différents ( $\alpha_n \neq \alpha_p$ ).

- Reach through : le champ électrique est triangulaire (charge d'espace en non perçage) et les coefficients d'ionisation sont identiques ( $\alpha_n = \alpha_p$ ) ou différents ( $\alpha_n \neq \alpha_p$ ).

L'utilisation du logiciel PMD (figure (I.7)), nécessite l'introduction de plusieurs paramètres qui sont indispensables pour générer le modèle SPICE du transistor VDMOS :

1°) la surface de la puce

2°) la tenue en tension qui donne l'épaisseur et le dopage de la couche épitaxiée

3°) la température

4°) le type de boîtier qui fixe les valeurs des éléments parasites ( $L_S$  et  $R_S$ ). Ces valeurs sont fournies par le fondeur. Dans le cas d'une technologie connue, on peut calculer les deux paramètres  $L_S$  et  $R_S$  en introduisant les valeurs de longueur et de section du fil de connexion.

5°) la technologie ("Simple" ou "double"), et le choix de la définition (par masque ou par coupe de structure) des paramètres géométriques.

**INPUT CARD**

Device name: MTDXXN40S

Chip Area proposed  
 mil  
 cm S = 0.422 cm<sup>2</sup>

Epilayer Model  
 Phan Pham  
 Ghandhi  
 Gharbi

Temperature  
 T = 25 °C

Breakdown Voltage  
 VBR = 400 Volts

VDMOS Technology  
 Single level  
 Two levels of oxide

Package  
 DPAK  
 TO220  
 TO218  
 TO3  
 Other..

ELECTRICAL & PHYSICAL VALUES

Figure (I.7. a) : Première carte de définition du logiciel PMD



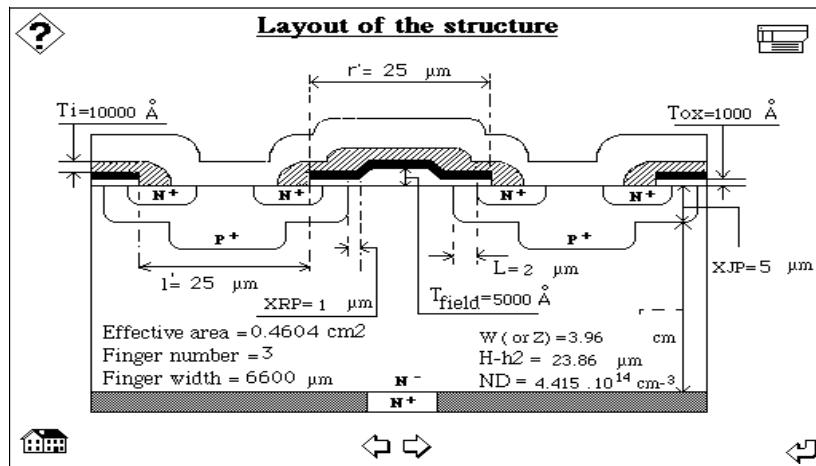


Figure (I.7.b) : Carte de définition d'une structure VDMOS de puissance à "bandes parallèles".

Après avoir validé les cartes de structures, PMD génère les paramètres du sous-circuit "SPICE" de la structure MOS qui vient d'être définie. Deux cartes d'analyses statiques et dynamiques sont proposées (figure (I.8)). Parmi Les simulations proposées, on trouve les caractéristiques courant-tension en direct et en inverse  $I_D=f(V_{DS})$ , les caractéristiques de commutation sur une charge résistive ou inductive, les caractéristiques de l'attaque en courant du transistor ("Gate Charge") et les caractéristiques "bras de pont". Après avoir choisi l'analyse souhaitée, la simulation s'effectue en "invoquant" le simulateur SPICE.

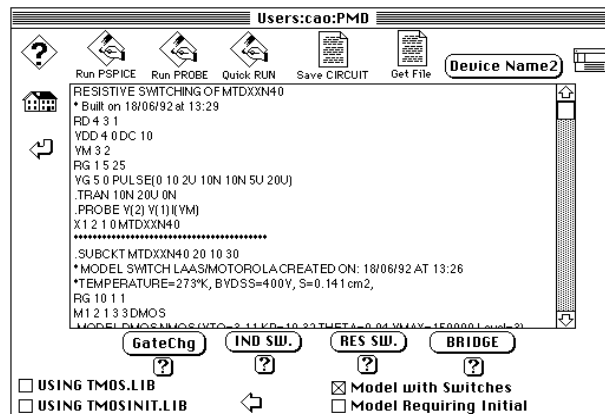


Figure (I.8) : Carte d'analyse dynamique du logiciel PMD

### I.5.2 Validation du logiciel PMD

Afin de juger du degré de pertinence de l'approche utilisée, nous avons effectué une validation du logiciel PMD. La méthodologie de validation du logiciel PMD peut se concevoir de deux manières : i) extraction sur composant de test des paramètres accessibles du modèle et comparaison avec les équations analytiques proposées, et ii) test du composant "in situ" pour une application donnée et comparaison des principales caractéristiques électriques simulations / expériences. C'est cette deuxième approche que nous avons choisie car elle correspond au souci de prédiction dans l'idée duquel nous avons bâti notre logiciel. La question essentielle posée est : qu'est-il possible d'attendre, électriquement parlant, d'un composant déterminé (ou à déterminer), dans le cadre d'une application donnée ? La réponse à cette interrogation peut aboutir à une modification des caractéristiques géométriques et/ou technologiques du composant dans l'optique d'une amélioration de ses performances électriques.

Notre validation s'effectue donc sur des composants dont les spécificités (géométries...) sont connues. La procédure retenue pour cette validation s'articule d'une part sur la caractérisation des transistors et l'extraction des paramètres de modèles MOS de puissance (modèles "caractérisés"), et d'autre part sur la génération des modèles PMD en se basant sur la connaissance des données géométriques et technologiques utilisées pour la réalisation de ces composants. La validation a été faite par une comparaison entre les mesures expérimentales et les simulations électriques des deux modèles : modèles "caractérisés" et modèles générés par "PMD". Cette validation a été effectuée sur une gamme de produits Motorola (250V-800V). Les résultats nous ont permis d'estimer à 20% l'erreur maximale entre les résultats de caractérisation et ceux obtenus par la simulation du modèle générés par PMD.

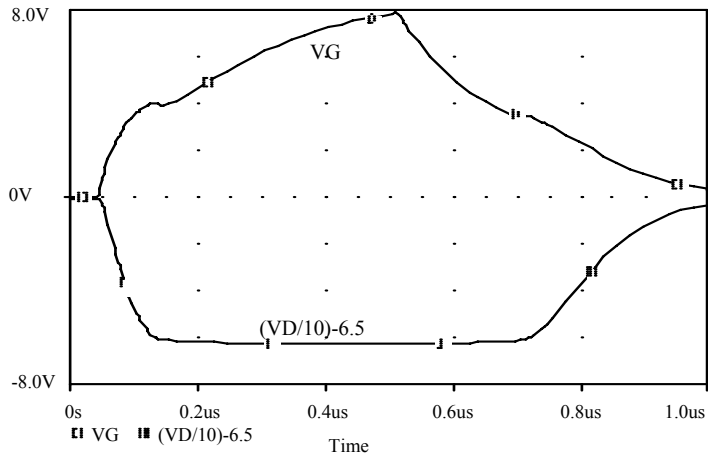
## ***I.6 Etudes spéculatives : Applications du logiciel PMD***

### ***I.6.1 Le VDMOS à double niveau d'oxyde de grille intercellulaire***

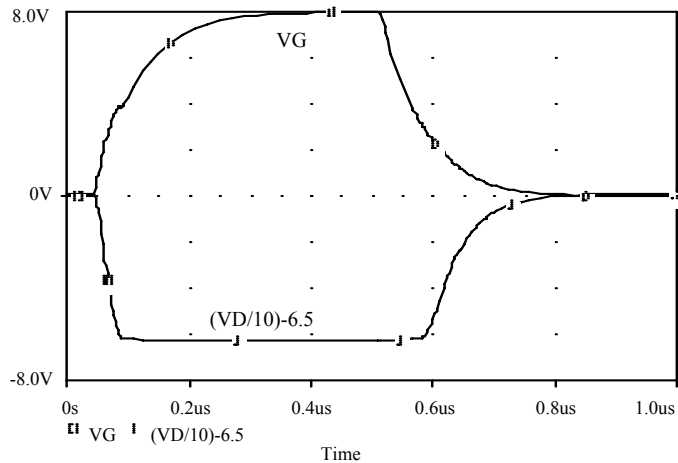
Nous avons appliqué le logiciel PMD à l'étude du transistor VDMOS à double niveau d'oxyde de grille intercellulaire. L'influence de l'épaisseur de l'oxyde intercellulaire sur la réduction du temps de commutation a été démontrée. Il a été noté une augmentation de la rapidité de commutation avec l'épaisseur d'oxyde (due à la diminution de la capacité d'entrée par l'intermédiaire de  $C_{gd}$ ), et une diminution notable, voire la disparition, de l'effet Miller (figure (I.9)). L'explication de cette diminution résidait dans la réduction des valeurs de la capacité d'oxyde de grille intercellulaire et de la résistance d'accès  $R_a$ . A titre illustratif, nous reportons les valeurs de ces deux paramètres obtenues par PMD pour les deux structures :

Paramètres	Structure à simple niveau d'oxyde de grille intercellulaire	Structure à double niveau d'oxyde de grille intercellulaire
$C_{gdmax}$ (pF)	225	35
$R_a$ ( $\Omega$ )	17,525	13,634

Des composants nouveaux pourront donc être conçus grâce à notre outil : on pouvait prévoir un facteur d'ordre de 2 sur l'accroissement de vitesse de commutation sur ces composants MOS de nouvelle génération. Ce résultat ouvre la voie à la conception future de dispositifs industriels optimisés en vitesse.



a) oxyde de 1000 Angströms



b) oxyde de 1000 + 8000 Angströms

Figure (I.9) : Simulations de l'influence de l'épaisseur d'oxyde intercellulaire. Tracé de VGS et VDS en commutation résistive. Tenue en tension = 400V, alimentation = 65 Volts, Rgénérateur = 50 Ω, charge = 500 Ω

### I.6.2 Le VDMOS sur SiC

Pour terminer et en tant qu'exemple "d'applicabilité" ou d'extension du logiciel PMD à un autre matériau semiconducteur, nous avons effectué une étude spéculative du transistor VDMOS sur carbure de silicium (SiC).

Pour le régime statique, nous avons déterminé sur ces dispositifs unipolaires le compromis chute de tension à l'état passant fonction de la tenue en tension; ce résultat a été obtenu par une formulation analytique de la tenue en tension en fonction du dopage et de l'épaisseur de couche semiconductrice (figure (I.10)). Ensuite, cette limite a été affinée pour les transistors MOS de puissance grâce à l'application, au cas du matériau SiC, d'une procédure de conception élaborée antérieurement pour les dispositifs silicium. L'influence de la taille cellulaire a été précisée (Figure (I.11)). On peut entrevoir, en passant du Si au SiC, une diminution en résistance passante - et donc des pertes en conduction - voisine de deux décades pour une surface égale et une tenue en tension supérieure à 800 Volts.

En régime dynamique, nous avons montré, sur la base de simulation en commutation de ces composants MOS que :

- à tenue en tension, surface, courant commuté et puissance contrôlée identiques, le temps de commutation se dégrade, c'est-à-dire qu'il croît, lorsqu'on passe du silicium au carbure de

silicium (figure (I.12)). L'accroissement de la capacité Miller corrélative à celle du dopage de couche en est la raison (figure (I.13)). L'augmentation des pertes en commutation, est sur les exemples traités, supérieur à 4, pour des composants 1000V.

- toutefois toujours à surface, courant commuté et puissance contrôlée identiques, si l'on accepte de "déclasser" le produit, c'est à dire d'utiliser des dispositifs ayant des tenues en tension trente fois supérieures, dans le cas du SiC que dans le cas du Si, alors ces premiers dispositifs auront des pertes de commutation meilleures; les pertes de conduction deviennent comparables voire plus mauvaises.

- enfin, pour obtenir des pertes de conduction égales, à courant commuté, puissance contrôlée et tenue en tension identiques, on doit diminuer d'un facteur 100 l'aire du composant SiC vis à vis de son homologue Si. Les pertes de commutation sont alors plus réduites.

En conclusion, nous avons confirmé grâce à PMD l'intérêt potentiel apporté par le matériau SiC vis-à-vis du Si sur les pertes statiques des composants unipolaires haute tension. Nous nous attiré toutefois, et pour la première fois, l'attention sur le fait que ce matériau peut être soit plus favorable soit plus défavorable en régime dynamique. Tout dépend des cas d'analyse considérés.

Bien entendu, toutes ces considérations quantitatives restaient d'ordre spéculatif, et que le vrai problème de fond était celui de la réalisation technologique de ces dispositifs de puissance.

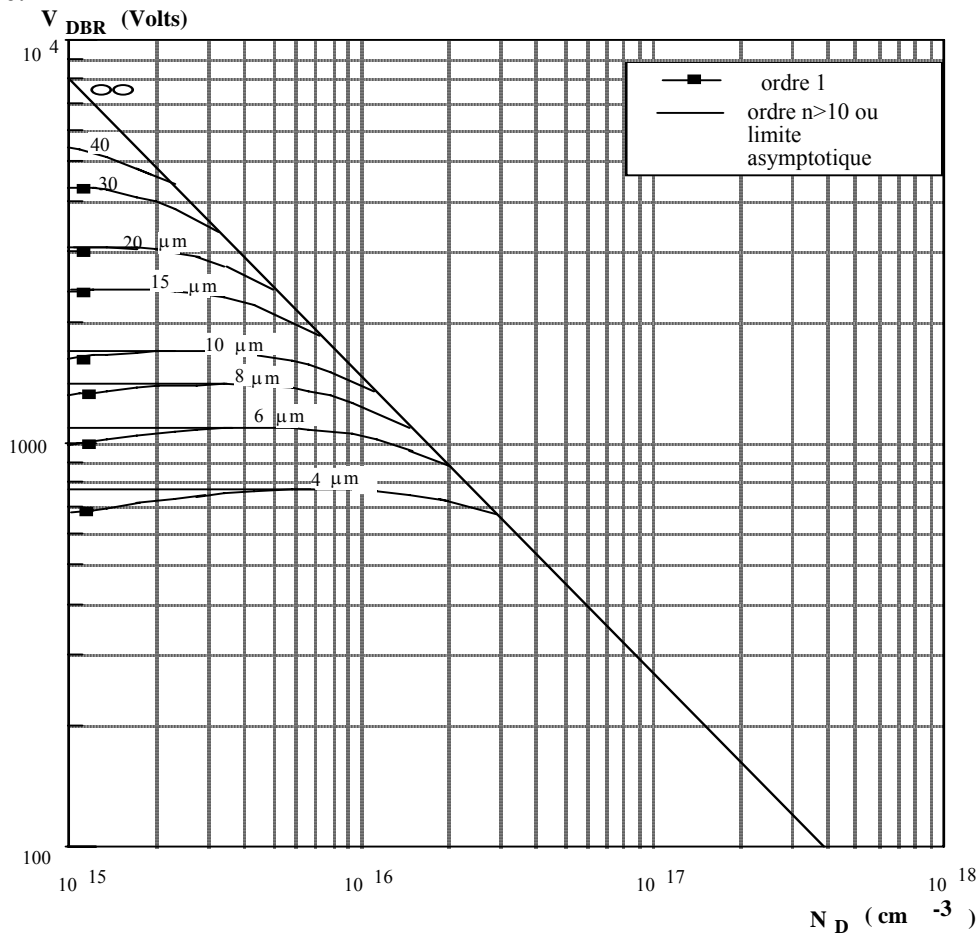


Figure (I.10) : Caractéristique de la tension de claquage en fonction du dopage et de l'épaisseur d'épitaxie

(SiC)

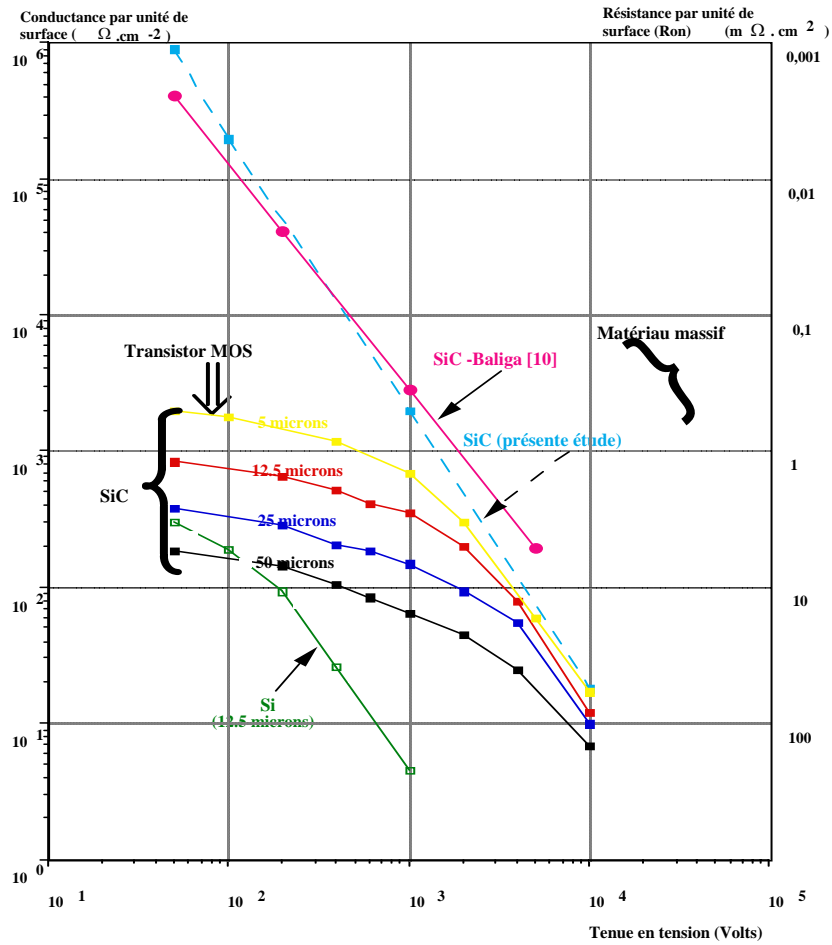


Figure (I.11) : Comparaison de la conductance à l'état passant obtenue pour le VDMOS-SiC et le VDMOS-Si

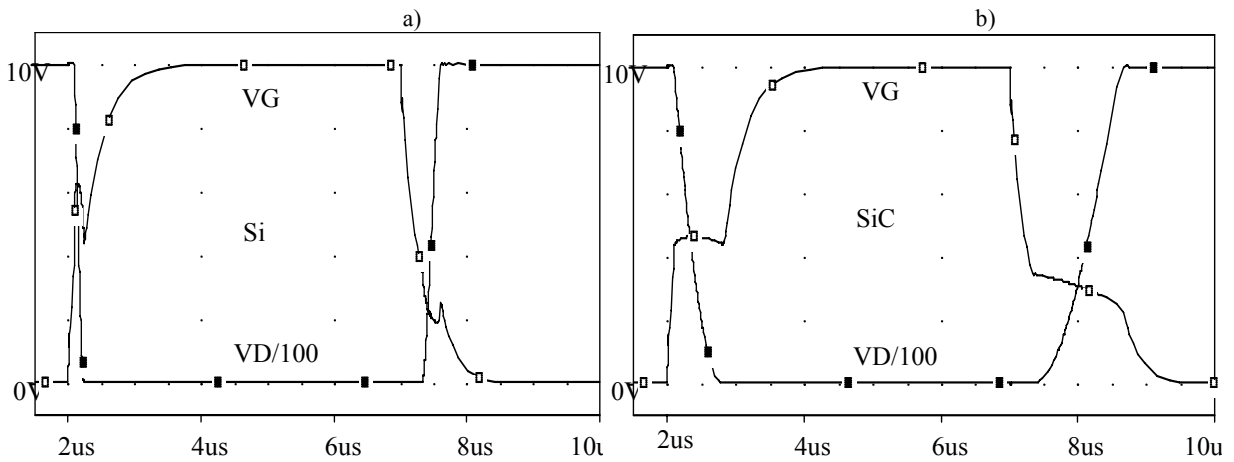


Figure (I.12) : Comportement électrique des structures VDMOS-SiC et Si dans un circuit de commutation résistive : représentation des tensions de drain et de grille : a) composant = 100V, charge = 0,5Ω b) composant = 1000V, charge = 20Ω, surface = 1cm<sup>2</sup>.

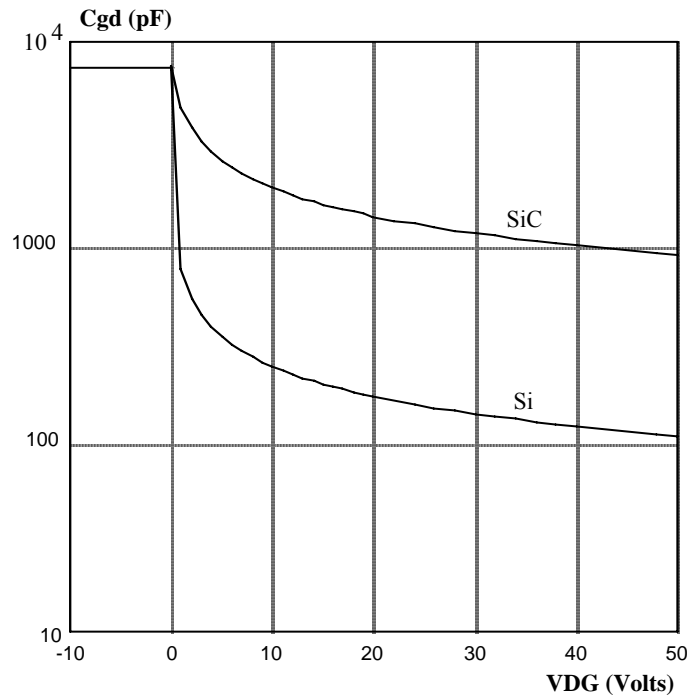


Figure (I.13) : Comparaison des évolutions des capacités grille-drain des transistors MOS de puissance sur silicium et carbure de silicium en fonction de la tension drain grille ( $1\text{cm}^2$  - tenue en tension 100 Volts - cellules de 25 microns - oxyde de 1000 Angströms)

## I.7 Conclusion

Pour récapituler, nous avons abordé ces activités de recherches par une étude des mécanismes (analyse statique à l'état passant et à l'état bloqué, analyse dynamique) intervenant dans les diverses zones du composant. En se basant sur les aspects de modélisation antérieurement développés au LAAS, nous avons proposé une nouvelle méthodologie de conception des modèles VDMOS. Celle-ci prend en compte les équations de fonctionnement, le dessin des masques, la technologie, et les lois de dépendance entre les paramètres. Pour ce faire, nous avons développé un logiciel nommé « Power Mosfet's Designer » qui permet à partir des données de la physique, de la géométrie, et de la technologie de la structure, de générer le modèle VDMOS et de connaître les performances électriques du dispositif dans une application de circuit spécifié *a priori*. Une validation de ce logiciel sur des composants industriels a été effectuée pour évaluer les performances de la méthodologie proposée. Enfin, ce logiciel a été utilisé pour évaluer les performances de nouvelles générations de structure VDMOS. Il a été montré que le temps de commutation était réduit par utilisation d'un double niveau d'oxyde de grille intercellulaire. Un exemple d'analyse spéculative du transistor VDMOS élaboré sur un substrat en Carbure de Silicium (SiC) a été effectué. Il a été principalement montré que le transistor MOS sur SiC affichait des performances supérieures au transistor VDMOS sur Silicium en termes de résistance passante spécifique. Pour le régime dynamique, des conclusions sur l'utilisation du VDMOS sur SiC ont été tirées.

Les résultats obtenus ont fait l'objet de diverses publications : **2 revues internationales** [R8] [R9], **6 conférences internationales** [C4], [C5], [C6], [C7], [C8], [C9], et **2 conférences nationales** [C1], [C2].



***Partie II : Le stress électrique dans les  
transistors MOS***

***(1996-2004)***





## **II.1 Introduction**

La complexité croissante des systèmes microélectroniques, appliqués notamment aux technologies de l'information, de l'automobile, ou encore à l'environnement spatial, rend les utilisateurs très exigeants vis-à-vis de la fiabilité et des techniques d'évaluations correspondantes. L'étude et la prédiction de leurs différents modes de défaillances deviennent alors d'autant plus indispensables que les densités d'intégration augmentent, les rendant ainsi plus sensibles à des paramètres tels que la température ou les radiations.

L'industrie des semi-conducteurs manifeste un intérêt croissant pour les phénomènes de dégradation affectant les performances électriques des dispositifs microélectroniques. Ces composants font l'objet d'analyses de plus en plus approfondies de leur comportement face aux divers tests de vieillissement. La simulation de leur fiabilité en fonction de différentes sources d'agressions (électrique, thermique, ...) conduit ainsi à l'élaboration de modèles de prédiction reliant phénomènes de dégradation physique et paramètres électriques des composants.

Les travaux de recherches entamés s'inscrivent dans ce contexte. Ils sont menés principalement sur les transistors VDMOS et MOS à tranchées, et ont pour objectif la prise en compte des mécanismes de dégradation des transistors. Dans un champ étendu de conditions expérimentales, on se propose par des analyses physiques approfondies et des simulations de mettre en évidence ces phénomènes de dégradation pouvant causer des défaillances de dispositifs et de systèmes microélectroniques à base de ces composants.

Suite à ma nomination à la faculté des sciences de l'université Libanaise en 1996, j'ai entamé mes activités de recherche dans le laboratoire de physique des matériaux (LPM), par l'acquisition et la mise en place de plusieurs bancs de caractérisation de composants : (I(V), Attaque en courant, commutation résistive, C(V)...).

En 1998, l'axe du stress électrique dans les VDMOS de puissance a été initié en collaboration avec le Professeur J-P Charles de l'université de Metz. Une thèse en co-direction (thèse non soutenue de Mr. Mazen Sleiman) fut à l'origine de cet axe. Sous ma responsabilité, deux projets de recherches ont soutenu cette activité : un avec le CNRS (Conseil National de Recherches Scientifiques) Libanais, et un autre avec le programme CEDRE de collaboration franco-libanaise.

Plus précisément, l'utilisation du composant VDMOS sous certaines conditions de stress peut conduire à une modification de ses propriétés physiques et électriques. Plusieurs types de stress ont été notés de nos jours : le stress par irradiation pour lequel le fonctionnement du composant est altéré à la suite de l'action du rayonnement avec la matière, le stress thermique où l'influence de l'effet de la température est un élément dominant dans le fonctionnement, le stress électrique qui résulte de l'application d'une tension élevée sur la grille du composant. Le stress électrique revient à l'implantation du composant dans un montage assurant une fonction déterminée (onduleur, hacheur, etc.) et étudier ensuite les modifications causées par cette utilisation industrielle. Ce dernier type de stress a fait l'objet de cette thèse.

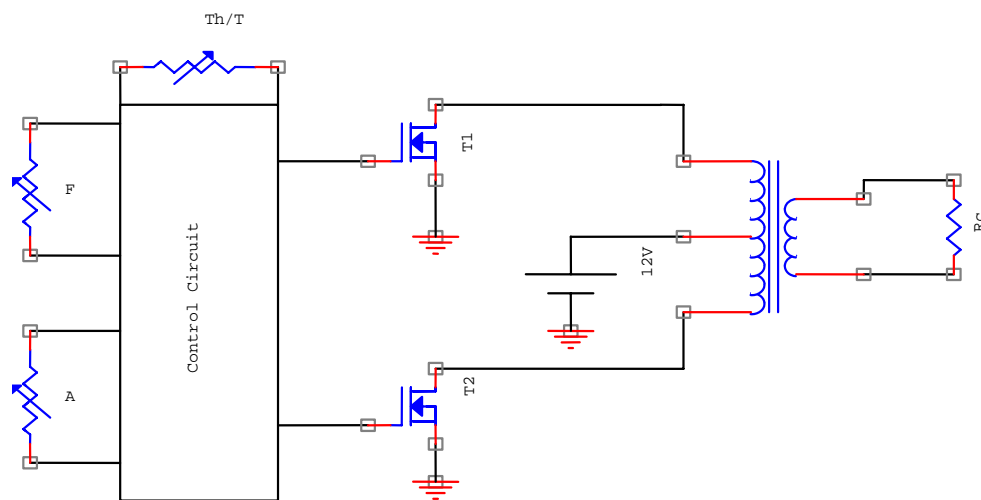
L'objectif était donc d'apporter une contribution à la compréhension du phénomène de stress dans les structures VDMOS en régimes statique et dynamique à travers l'analyse physique, la caractérisation électrique, la simulation circuit (SPICE), et les simulations bidimensionnelles générées à partir des paramètres structurels obtenus par la microsection du composant.

En 2002, la même démarche a été poursuivie pour étudier le stress électrique dans les structures MOS à tranchées. Dans le domaine des basses tensions, ses structures affichaient des performances supérieures au transistor VDMOS en termes de résistance passante spécifique et de densité d'intégration.

Par la suite, on résume quelques éléments de l'étude effectuée avec ces transistors.

## ***II.2 Montage simulant le stress électrique dans les transistors MOS: VDMOS et structure à tranchées***

Pour la mise en place des conditions du stress électrique, nous avons conçu un dispositif expérimental pour la simulation des conditions « normales » d'utilisation contraignante du composant MOS dans un circuit onduleur (figure (II.1)). Un circuit de commande faisant varier la fréquence, le rapport cyclique, et l'amplitude de la tension d'attaque sur la grille, fut intégré.



*Figure (II.1) : dispositif expérimental pour l'étude du stress.*

Pour cette étude de stress, nous avons utilisé un lot de composants VDMOS et MOS à tranchées. Notre procédure consistait à faire fonctionner le composant dans l'onduleur tout en gardant la température du composant stabilisée au voisinage de la température ambiante. Sur chaque composant du lot étudié, une procédure de caractérisation électrique est effectuée avant et après le stress. L'analyse complète du phénomène du stress observé est effectuée par comparaison des caractéristiques électriques et par confrontation avec la simulation basée sur les logiciels SPICE et ATLAS.

Les composants que nous avons choisis pour étudier le stress électrique sont donc respectivement le transistor VDMOS de puissance qui a fait l'objet de mes activités de recherche au LAAS, et le transistor MOS à tranchées :

- Le VDMOS est un composant à structure verticale : le drain est localisé sur la face arrière de la plaquette, la grille et la source sont sur la face supérieure (figure (I.1)). Le courant y circule verticalement. Le VDMOS présente deux états de fonctionnement : l'état de conduction caractérisé par la formation d'un canal d'inversion sous l'effet de la tension positive grille - source et par conséquent, par la circulation d'un courant de drain dont la valeur dépend des paramètres physiques et technologiques de la structure, et des tensions appliquées, et l'état bloqué obtenu pour une tension grille - source inférieure à une valeur de seuil et pour lequel le courant ne circule pas.

- Le MOS à tranchées a, comme le VDMOS, une configuration verticale (figure (II.2)): le drain est localisé sur la face arrière de la plaquette, la grille et la source étant sur la face supérieure. Le courant circule donc verticalement. La grille de ce composant est en polysilicium en forme de « tranchée » enterrée sous la métallisation de source. La réalisation technologique de cette grille fait appel au procédé R.I.E. (Reactive Ion-Etching), qui permet de réaliser des gravures dans le silicium.

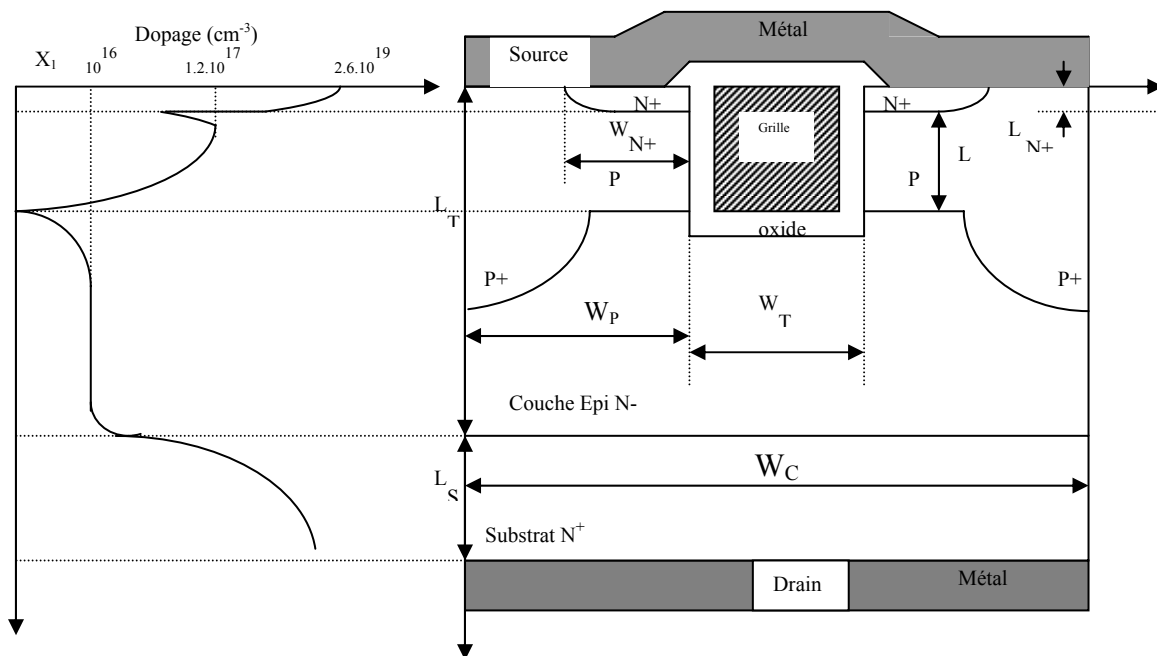


Figure (II.2) : coupe et profil de dopage du MOS à tranchées

On distingue trois zones : une zone active du canal d'inversion, une zone d'accès au drain par la zone accumulée le long de la grille suivie d'une zone peu dopée appelée zone de drift ou de dérive. Cette dernière supporte la quasi-totalité du potentiel appliqué entre source et drain à l'état bloqué. Comme le VDMOS, ce composant est constitué par la mise en parallèle d'une multitude de transistors MOS de faible calibre en courant appelés « cellules », et le courant total est égal à la somme des courants des transistors élémentaires. Notons ici que le MOS à tranchées présente, par rapport au transistor VDMOS, deux avantages :

- La résistance à l'état passant  $R_{on}$  est réduite (inférieure à  $1m\Omega.cm^2$ ), grâce à l'élimination de la zone de JFET.
- La densité d'intégration est augmentée de façon sensible car la grille « enterrée » occupe moins de place (10 millions de cellules par pouce carré).

Les travaux sur le stress électrique dans les composants MOS se sont déroulés en trois phases :

### **II.3 Caractérisations expérimentales de l'effet de stress dans les composants MOS**

La première étape pour aborder le phénomène de stress passait par la caractérisation électrique du composant, avant et après la mise sous stress. Cette procédure nous a montré que :

I- Sur les caractéristiques de transfert  $I_D = f(V_{GS})$  (figure (II.3)), on observe un décalage de la tension de seuil  $V_T$  du transistor dû aux états d'interface qui créent des niveaux accepteurs,

situés dans le premier tiers du gap à partir de la bande de valence. Il en résulte que les charges localisées sur ses états sont des charges négatives. En conséquence et d'après l'expression théorique de  $V_T$ , la tension de seuil se voit croître.

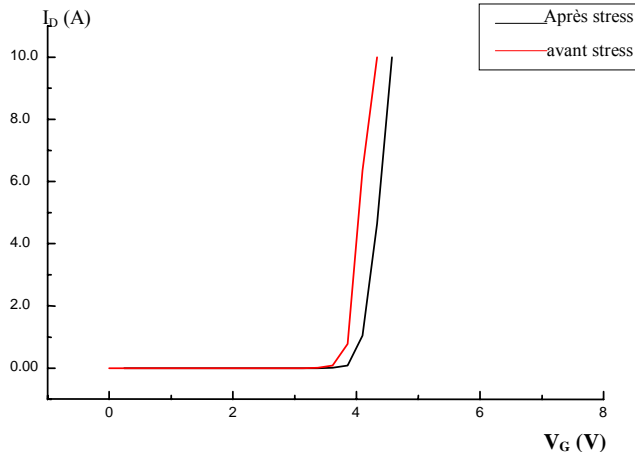


Figure (II.3) : Caractéristiques de transfert  $I_D = f(V_{GS})$  mesurées du transistor VDMOS avant et après le stress en fonction de la tension de grille.

II- Sur les caractéristiques de  $I_D = f(V_{DS})$  (figure (II.4)), nous avons remarqué que le courant de saturation pour une tension donnée de grille, subit une chute considérable après stress. L'explication de cette chute réside dans le phénomène de modulation de la mobilité des porteurs dans la couche d'inversion. En effet, la mobilité dans le canal est fonction [17] du dopage du substrat, du champ électrique, de l'orientation cristalline du silicium, du potentiel du substrat, de la température et de la charge fixe dans l'oxyde. Plusieurs études ont été proposées pour rendre compte des variations locales des électrons dans la couche inversée [18-19]. Une expression simplifiée de la mobilité des porteurs dans le canal a été établie [20] :

$$\mu_{eff} = \frac{\mu_0}{\left[1 + \frac{|E_x|}{|E_c|}\right] \left[1 + \frac{|E_y|}{|E_0|}\right]} = \frac{\mu_0}{\left[1 + \frac{(V'_{GS} - \phi_s)}{T_{ox} \cdot E_c}\right] \left[1 + \frac{d\phi_s}{dy \cdot E_0}\right]} \quad (II.1)$$

$$\text{avec} \quad V'_{GS} = V_{GS} + V_{FB} \quad \text{où} \quad V_{FB} = \frac{Q_{ss}}{C_{ox}} - \phi_{ms} \quad (II.2)$$

$\mu_0$  est la mobilité à faible champ,  $E_x$  et  $E_y$  représentent respectivement les composantes transversale et longitudinale du champ électrique.  $E_0$  est la valeur du champ critique longitudinal, valeur au-delà de laquelle la vitesse des électrons sature et  $E_c$  est le champ électrique transversal.  $V'_{GS}$  est la tension effective appliquée sur la grille.  $V_{FB}$  la tension de bande plate,  $\Phi_s$  le potentiel électrostatique à la surface du semi-conducteur,  $y$  la coordonnée dans la direction longitudinale source - drain,  $Q_{ss}$  les charges totales d'oxyde mince de grille et d'interface ramenées à l'interface Si-SiO<sub>2</sub>,  $T_{ox}$  est l'épaisseur d'oxyde de grille,  $C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{T_{ox}}$  la

capacité d'oxyde mince par unité de surface et  $\Phi_{ms}$  est la différence des travaux de sortie entre le métal de l'électrode de grille et le semi-conducteur. La saturation de la vitesse des porteurs dans le canal est intrinsèquement prise en compte dans cette relation lorsque le champ  $\frac{d\phi_s}{dy}$  devient très supérieur au champ critique  $E_0$ .

La valeur de vitesse de saturation impose de fait, pour une tension de grille donnée, le niveau du courant de saturation. Le stress électrique introduit des charges à l'interface Si-SiO<sub>2</sub> dont l'effet est d'augmenter la probabilité de collisions entre les porteurs de la couche inversée et les charges fixes. La vitesse des porteurs diminue, faisant ainsi réduire la valeur de la mobilité des porteurs. Par conséquent, une chute du courant de saturation est observée.

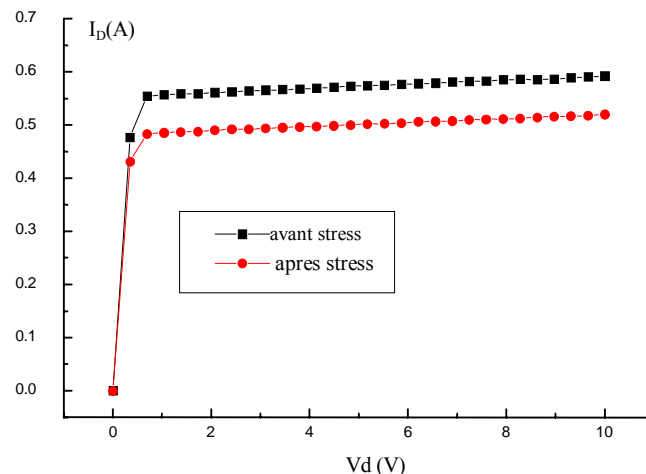


Figure (II.4) : Caractéristiques de sortie  $ID = f(V_{DS})$  mesurées du transistor VDMOS avant et après stress pour  $V_G = 3,8V$ .

## II.4 Simulation SPICE de l'effet de stress dans les composants MOS

Afin de confirmer notre analyse du phénomène de stress, nous avons procédé à la simulation SPICE des caractéristiques électriques des composants avant et après stress. Pour les deux composants, nous avons opté pour le modèle SPICE développé au LAAS [16], qui consiste à décrire la partie active du transistor MOS de puissance (le canal) par le modèle SPICE du transistor MOS et à procéder à un rajout d'autres éléments de ce logiciel afin d'obtenir un macromodèle capable de traduire le comportement électrique de ce dispositif (figure (I.5)).

Pour cette procédure de simulation, les mêmes conditions expérimentales ont été reproduites. Les techniques de caractérisation électrique conçues au LAAS pour extraire les paramètres SPICE du composant ont été utilisées avant et après stress. Les résultats de simulations pour le VDMOS ont montré que :

I-  $I_D (V_{DS})$  (figure (II.5)): Nous avons vu précédemment que la vitesse des porteurs fixait le niveau du courant de saturation. Dans SPICE, c'est la vitesse limite des porteurs qui tient compte de cet effet. Sa valeur est évaluée au cas par cas selon le dispositif, par comparaison entre les résultats obtenus en simulation avec ceux de l'expérimentation (pour les caractéristiques statiques saturées). Pour notre cas, il apparaît qu'une valeur de  $V_{max}$  égale à  $4,95 \cdot 10^5 \text{ cm}^2/\text{V.s}$  avant le stress se voit réduite après le stress à une valeur de  $4,1 \cdot 10^5 \text{ cm}^2/\text{V.s}$ . Ceci confirme bien l'analyse déjà faite qui lie la dégradation de la caractéristique au problème de modulation de la mobilité dans le canal.

II-  $I_D(V_{GS})$  (figure (II.6)) : La prise en compte de la charge fixe à l'interface dans le modèle SPICE du VDMOS confirme l'analyse déjà faite sur le déplacement de la tension de seuil. on a pu remarquer le même déplacement de la valeur de la tension de seuil avant et après stress.

Pour compléter cette étude, il a fallu analyser les caractéristiques dynamiques des composants (C(V), attaque en courant, commutation résistive...). Ceci a été fait lors de l'analyse bidimensionnelle que nous présentons dans la suite de ce mémoire.

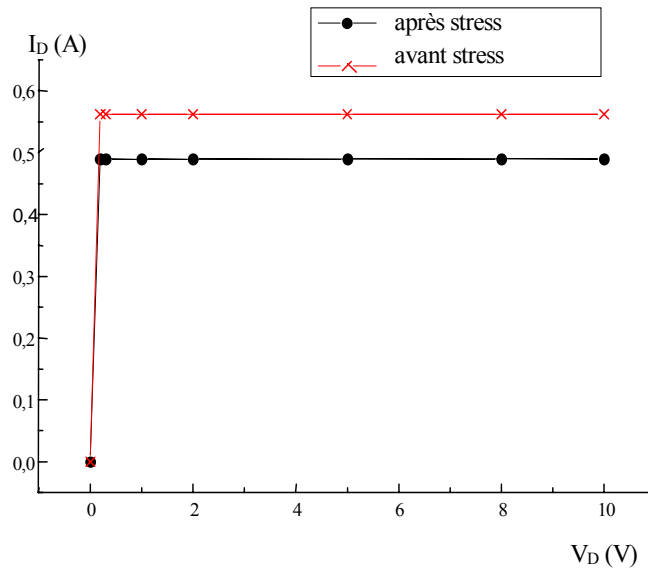


Figure (II.5) : Caractéristiques de sortie  $I_D = f(V_{DS})$  simulées (simulation SPICE) du transistor VDMOS avant et après stress pour  $V_G = 3,8V$

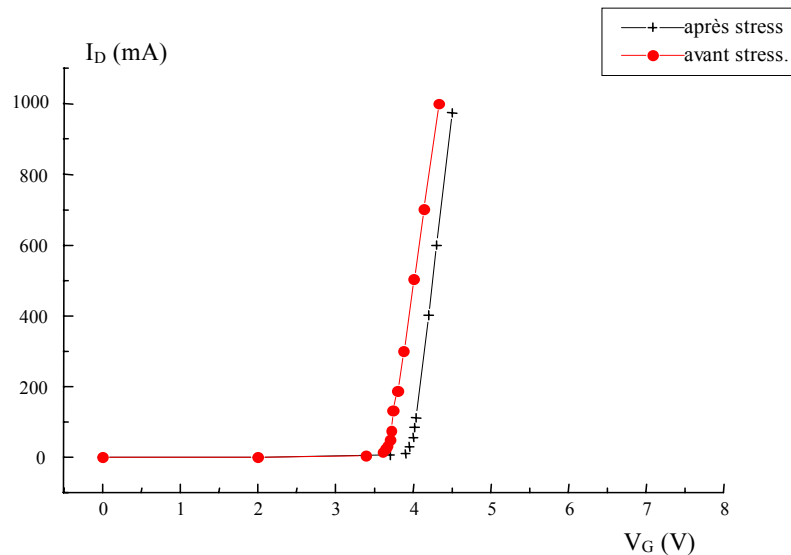


Figure (II.6) : Caractéristiques de transfert  $I_D = f(V_{GS})$  simulées (simulation SPICE) du transistor VDMOS avant et après stress

## II.5 Simulation bidimensionnelle de l'effet de stress dans le VDMOS et le MOS à tranchées

Afin d'affiner notre étude sur le stress dans les composants MOS, nous avons pu acquérir une licence du simulateur bidimensionnelle Atlas de la société Silvaco, et plus

spécifiquement son module 2D pour les composants silicium, PISCES. Ce logiciel permet le calcul des caractéristiques électriques tout en procédant à la résolution des équations fondamentales des semi-conducteurs par la méthode d'éléments finis : équation de Poisson et équation de continuité des électrons et des trous en deux dimensions. Ces simulations bidimensionnelles sont donc d'aide capitale pour la compréhension du phénomène de stress dans le VDMOS. A titre d'exemple, nous avons vu que l'influence des mobilités est primordiale sur les résultats de simulation, surtout en régime statique. L'utilisation d'Atlas nous permet d'effectuer une évaluation approfondie de la problématique des mobilités des électrons dans la couche inversée du transistor, à condition que les modèles et paramètres choisis pour décrire les mécanismes le soient correctement.

Pour pouvoir confronter les résultats de la caractérisation électrique et ceux de la simulation bidimensionnelle du transistor VDMOS, une microsection a été effectuée sur les transistors des lots étudiés (figure (II.7)). Ceci nous a permis d'obtenir les valeurs des différents paramètres technologiques (profondeurs des jonctions, longueur d'une cellule), indispensables pour la définition d'une cellule de la structure dans Atlas (Tableau (II.1)). D'autres valeurs ont été déduites des données du constructeur et de la bibliographie.

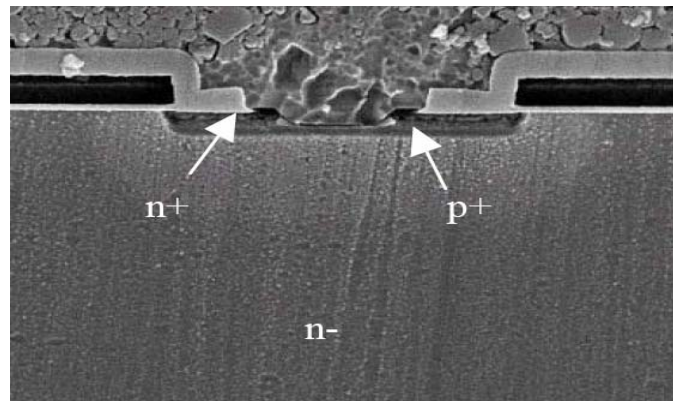


Figure (II.7) : Microsection du transistor VDMOS de puissance.

$L_{N^+}$	0,5 $\mu\text{m}$
L	1 $\mu\text{m}$
$L_T$	4,5 $\mu\text{m}$
$L_S$	400 $\mu\text{m}$
$W_{N^+}$	2,5 $\mu\text{m}$
$W_P$	4 $\mu\text{m}$
$W_T$	1,5 $\mu\text{m}$
$W_C$	9,5 $\mu\text{m}$

Tableau (II.1) : Paramètres du MOS à tranchées

### II.5.1 Définition des composants dans ATLAS

La définition de la structure du composant dans Atlas est une étape primordiale pour la simulation bidimensionnelle. L'implantation consiste à introduire les paramètres de la structure en respectant les étapes de fabrication du composant. Etant donné la symétrie de la cellule des composants, nous définissons une demi-cellule du composant qui sera l'élément d'entrée pour la simulation. Les résultats de simulation sont généralisés en tenant compte des données obtenues par la microsection (aire totale du composant, etc.).



Sur la figure (II.8), nous présentons la coupe bidimensionnelle de la demi cellule de VDMOS obtenue à partir d'Atlas. C'est une structure classique du VDMOS à canal N, ayant une épitaxie faiblement dopée. On peut localiser la zone du canal, ainsi que les trois électrodes de la source, de la grille, et du drain.

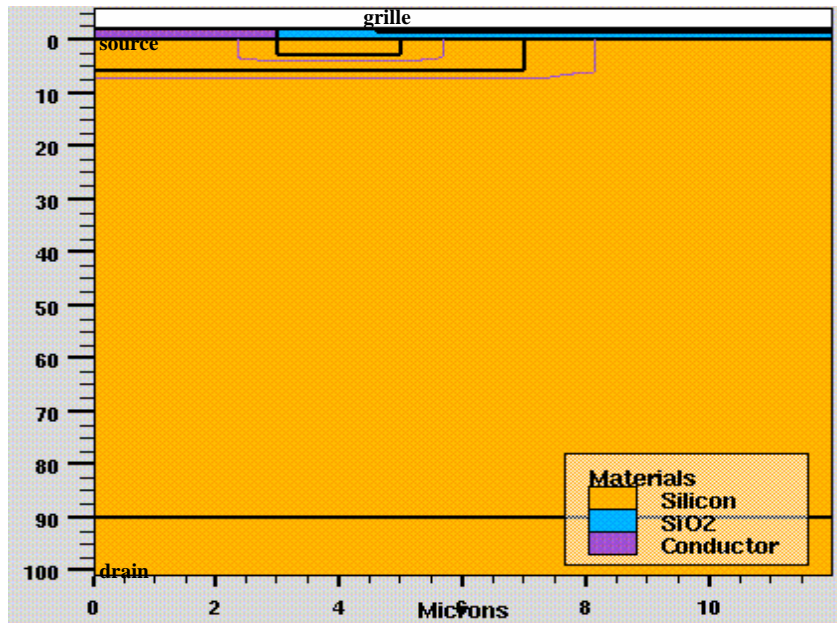


Figure (II.8) : Coupe bidimensionnelle d'une demi cellule VDMOS.

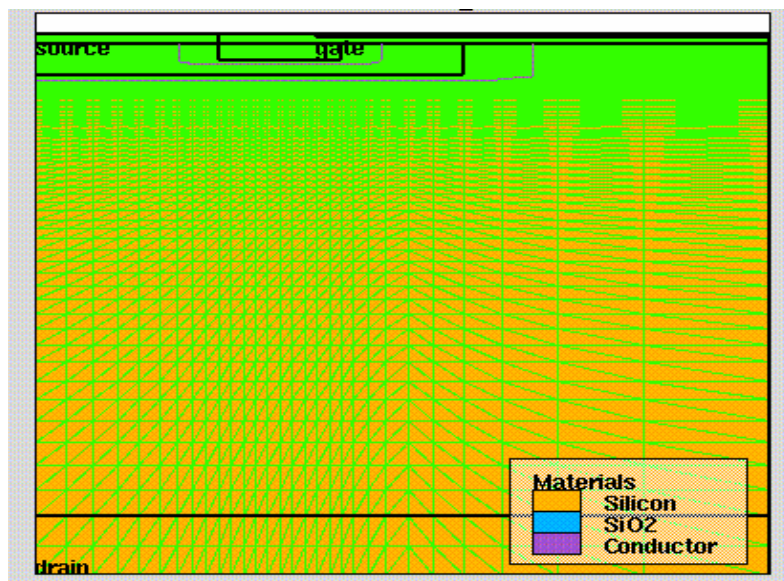


Figure (II.9) : Maillage du transistor VDMOS.

Lors de l'assemblage des différentes briques qui composent notre structure, le maillage est d'utilité majeure pour la simulation. En effet, le choix du maillage est un point critique pour une simulation numérique. Il est le compromis entre la précision et l'efficacité numérique. La précision s'améliore avec l'augmentation de la finesse du maillage. Par contre, l'efficacité numérique diminue par l'augmentation du nombre de calculs approchés. En plus, il y a des zones critiques comme la zone du canal dans la structure où la précision est nécessaire et donc où il faut un maillage plus fin. Ces zones sont en général des zones à fort champ électrique. La figure (II.9) montre le maillage utilisé dans la simulation du VDMOS. On observe que les zones critiques se trouvent sous la grille (canal et région d'accès) et dans la diode Dbody.

Les profils de dopage implantés dans les composants sont de type Gaussien, à l'exception de la couche d'épitaxie qui est uniforme (figure (II.10)), et qui est liée à la tenue en tension du composant (environ  $10^{14} \text{ cm}^{-3}$  pour le VDMOS étudié). Pour le VDMOS, la valeur maximale du dopage du substrat est de  $10^{17} \text{ cm}^{-3}$ .

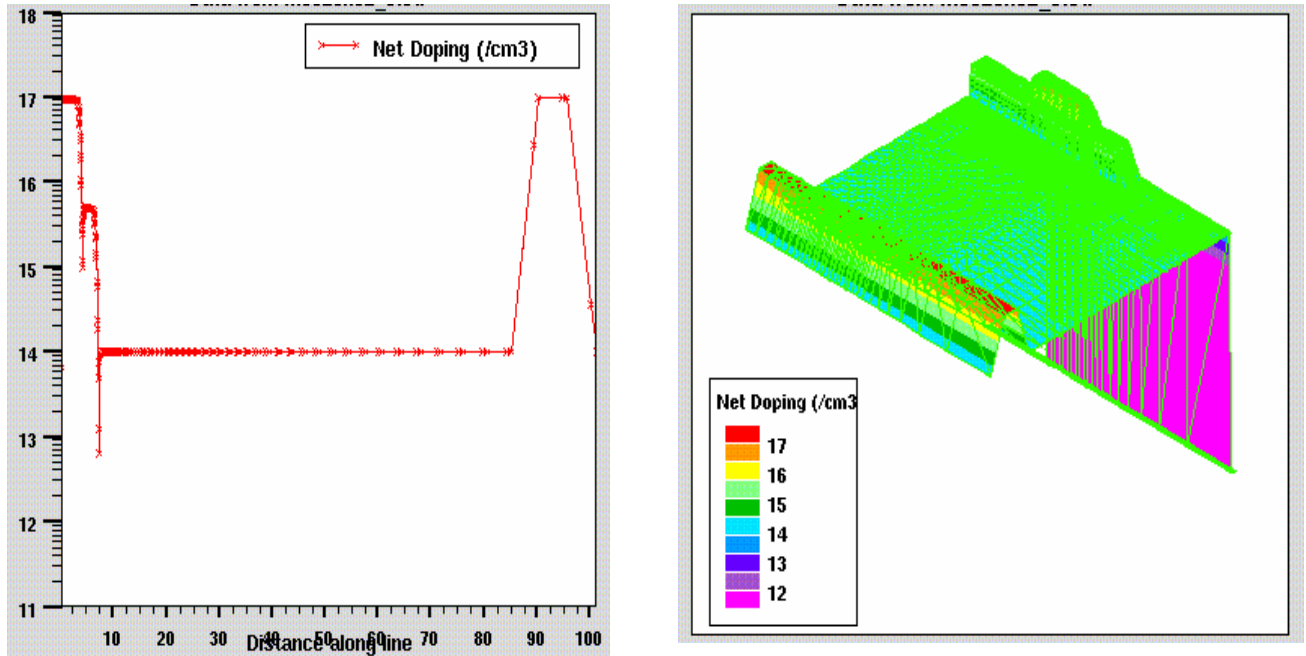


Figure (II.10) : Représentation du profil de dopage du transistor VDMOS implanté dans Atlas

### II.5.2 Mobilités dans Atlas

Notons ici que lors de la définition du composant MOS, il faudrait donner une attention particulière à la problématique de la mobilité dans la structure qui représente la mesure de la vitesse des porteurs libres sous champ électrique, et fournit l'aptitude des porteurs à se déplacer dans le réseau cristallin. Nous avons pu approfondir avec Atlas cette problématique, qui dispose de nombreux modèles de mobilité ayant de nombreux paramètres internes pour le silicium monocristallin.

Plus précisément, la mobilité (relative aux électrons  $\mu_n$  et relative aux trous  $\mu_p$ ) représente l'ensemble des mécanismes de transport faisant intervenir des phénomènes complexes telle que les collisions ou les interactions entre porteurs, atomes neutres, ions, phonons acoustiques ou optiques. De nombreux travaux ont été menés dans le but de fournir des expressions mathématiques des mobilités en fonction du champ électrique (transversal et longitudinal), du dopage et de la température du cristal [22-40]. Chaque expression de mobilité présente ses avantages et ses inconvénients et le choix du modèle adapté au composant et à la technologie reste délicat. En tenant compte de la structure du composant et des régimes de fonctionnement du composant, nous avons utilisé certains modèles de mobilité en fonction des régimes de fonctionnement (linéaire ou bloqué).

Notons par exemple que, pour une modélisation précise de la zone du canal, une connaissance parfaite des mécanismes physiques mis en jeu est nécessaire. Ces mécanismes, qui influent sur la valeur de la mobilité, qui sont connus sous le nom de diffusion de porteurs en surface. La dépendance de la mobilité par rapport au champ électrique transverse étant importante, c'est le modèle de Lombardi [30] (Lombardi CVT pour Atlas) qui prend en compte cet effet dans Atlas, et qui est décomposée en trois parties selon la règle de

Matthiessen :

$$\frac{1}{\mu_T} = \frac{1}{\mu_{Ph}} + \frac{1}{\mu_b} + \frac{1}{\mu_{SR}} \quad (\text{II.3})$$

La mobilité totale  $\mu_T$  est une mobilité des électrons dans une couche inversée de chacun des mécanismes de « surface Scattering », ou diffusion de porteurs en surface.  $\mu_{Ph}$  est le composant limité par l'effet de la dispersion à la surface, c'est la mobilité due au mécanisme de « Phonon Scattering ». Ce mécanisme dû aux différents modes de vibration du cristal. Il est important à température ambiante et peut être ignoré à basse température. Notons que ce type de "Scattering" est différent de celui qu'on trouve dans le volume du silicium.  $\mu_b$  représente la mobilité liée au mécanisme "Coulomb Scattering", dû aux charges d'interface, aux charges dans l'oxyde et aux impuretés ionisées. L'effet de ce type de "Scattering" est important en régime de faible inversion. L'augmentation de la densité des charges surfaciques ou du dopage du substrat se traduit par un phénomène de diffusion plus marqué. En revanche, il devient moins important en régime de faible inversion à cause du phénomène de "Carrier Screening". Les électrons, du fait de leur grande densité, annulent ou neutralisent la charge des impuretés ionisées :

$$\mu_b = \mu_0 \exp\left(\frac{-P_c}{N}\right) + \frac{\left[\mu_{\max} \left(\frac{T}{300}\right)^{-\gamma} - \mu_0\right]}{1 + \left(\frac{N}{C_r}\right)^\alpha} - \frac{\mu_1}{1 + \left(\frac{C_s}{N}\right)^\beta} \quad (\text{II.4})$$

N est la densité totale d'impuretés.

Pour les électrons :  $\mu_0 = 1330 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ,  $P_c = 10^{16} \text{ cm}^{-3}$ ,  $\mu_{\max} = 65$ ,  $C_r = 9,68 \cdot 10^{16} \text{ cm}^{-3}$ ,  $C_s = 3,43 \cdot 10^{20} \text{ cm}^{-3}$ ,  $\gamma = 2,5$ ,  $\alpha = 0,68$ ,  $\mu_1 = 43,4 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ,  $\beta = 2$ .

Pour les trous :  $\mu_0 = 495 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ,  $P_c = 0,23 \cdot 10^{16} \text{ cm}^{-3}$ ,  $\mu_{\max} = 47,7$ ,  $C_r = 2,23 \cdot 10^{17} \text{ cm}^{-3}$ ,  $C_s = 3,10 \cdot 10^{20} \text{ cm}^{-3}$ ,  $\gamma = 2,2$ ,  $\alpha = 0,71$ ,  $\mu_1 = 29 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ,  $\beta = 2$ .

La troisième mobilité  $\mu_{SR}$  est la composante limitée par la rugosité de la surface (Roughness Scattering) ; elle fait, quant à elle, apparaître les défauts géométriques de l'interface oxyde -semiconducteur. Ce type de diffusion apparaît en régime de forte inversion. Il est d'autant plus important que les porteurs sont proches de la surface, ce qui est le cas puisque le champ électrique transverse augmente.

$$\mu_{SR} = \frac{\delta}{E_\perp^2} \quad (\text{II.5})$$

Pour les électrons,  $\delta = 5,82 \cdot 10^{14} \text{ V}^2 / \text{cm}^2$ .

L'importance relative de ces différents mécanismes dépend de la température et de la valeur du champ électrique transverse en surface. A basse température, la mobilité est gouvernée par la combinaison des effets de "Coulomb Scattering", qui domine dans les régions à champ faible, et des effets de "Roughness Scattering", qui dominent dans les régions à champ fort. A température ambiante, la mobilité est dominée par les effets de "Coulomb Scattering" et de "Phonon Scattering" en régime de faible inversion. Dans les régions à champ fort, ce sont les effets de "Phonon Scattering" et de "Surface Roughness" qui prévalent.

Pour la prise en compte du champ électrique longitudinal, la mobilité des porteurs décroît selon une loi inversement proportionnelle au champ électrique, la vitesse des porteurs

demeure alors constante. On parle de la vitesse limite ou de saturation. A température ambiante, celle-ci est de l'ordre de  $10^7$  cm/s pour les électrons et de  $10^8$  cm/s pour les trous. On peut exprimer la mobilité sous la forme suivante :

$$\mu = \frac{\mu_T}{\left[ 1 + \left( \frac{\mu_T \cdot E_{//}}{V_{sat} \cdot \left( \frac{T}{300} \right)^\lambda} \right)^\beta \right]^{\frac{1}{\beta}}} \quad (\text{II.6})$$

avec  $E_{//}$  représente le champ électrique longitudinal.

Pour les électrons,  $V_{sat} = 10,7 \cdot 10^6$  cm/s,  $\lambda = -0,87$ ,  $\beta = 2$ . Pour les trous,  $V_{sat} = 8,34 \cdot 10^6$  cm/s,  $\lambda = -0,52$ ,  $\beta = 1$ .

Cette expression empirique est utilisée dans les modèles FLDMOB et CVT présents dans ATLAS qui prend également en considération l'effet de la température sur la vitesse de saturation.

La mobilité des porteurs majoritaires dans le volume du silicium est principalement dépendante de deux types de collisions: des collisions avec des atomes d'impuretés ionisés et des collisions dues aux différents modes vibratoires du réseau cristallin à une température donnée. Dans la littérature anglo-saxonne, ces mécanismes sont dénommés: "Coulomb ou Impurity Scattering" et "Lattice ou phonon Scattering". A 300 K, l'expression de Caughey-Thomas permet de bien prendre en compte le premier type de collision avec les atomes d'impuretés ionisés [39] :

$$\mu_T = \mu_{min} + \frac{\mu_o \left( \frac{T}{300} \right)^{-\alpha_1} - \mu_{min}}{1 + \left( \frac{N}{N_{ref}} \right)^{\alpha_2}} \quad (\text{II.7})$$

Où  $N$  est la concentration de dopage en impuretés,  $\mu_o$  est la mobilité à faible champ électrique,  $T$  est la température,  $\mu_{min}$ ,  $N_{ref}$ ,  $\alpha_1$ ,  $\alpha_2$  sont des constants dépendent de type de porteurs. Dans notre simulation 2-D,  $\alpha_1=2,42$ ,  $\alpha_2=0,91$ , and  $\beta = 2$  sont choisis pour les électrons.

Lorsque le dopage est faible, la mobilité des porteurs ne dépend plus uniquement que du mécanisme "Lattice Scattering". Donc, cette expression atteint alors une valeurs limite  $\mu_{Lattice} = \mu_{max}$ . Une augmentation de la concentration en impuretés entraîne une diminution de la mobilité. Au delà de  $N_{ref}$ , le mécanisme de collisions dû aux impuretés ionisées devient prépondérant devant le mécanisme de collisions qui est lié aux vibrations du réseau cristallin.

### ***II.5.3 Analyse bidimensionnelle de l'effet du stress électrique dans les composants MOS***

L'analyse bidimensionnelle de l'effet de stress électrique dans les composants MOS suit des étapes similaires à celles utilisées lors de l'étude avec le simulateur de circuit SPICE. On utilise le même circuit décrit précédemment pour simuler l'effet de stress dans le composant. La caractérisation électrique est effectuée sur le composant avant et après stress. La microsection des composants nous a fourni les paramètres nécessaires pour définir la demi-cellule de la simulation bidimensionnelle. L'analyse est effectuée par comparaison des résultats expérimentaux (I(V), attaque en courant, commutation sur charge résistive, etc.) avec ceux obtenus par simulation ATLAS.

En reproduisant les mêmes conditions expérimentales, les caractéristiques électriques obtenues avant et après stress et comparées avec celles de la simulation bidimensionnelle, nous ont montré que :

I- Les caractéristiques de  $I_D = f(V_{GS})$  (figures (II.11)) confirment le déplacement de la tension de seuil, observé lors de l'étude précédente. Le décalage de cette tension de seuil est dû aux états d'interface qui créent des niveaux accepteurs, situés dans le premier tiers du gap à partir de la bande de valence. Il en résulte la présence des charges négatives localisées sur ses états. En conséquence, la tension de seuil se voit croître.

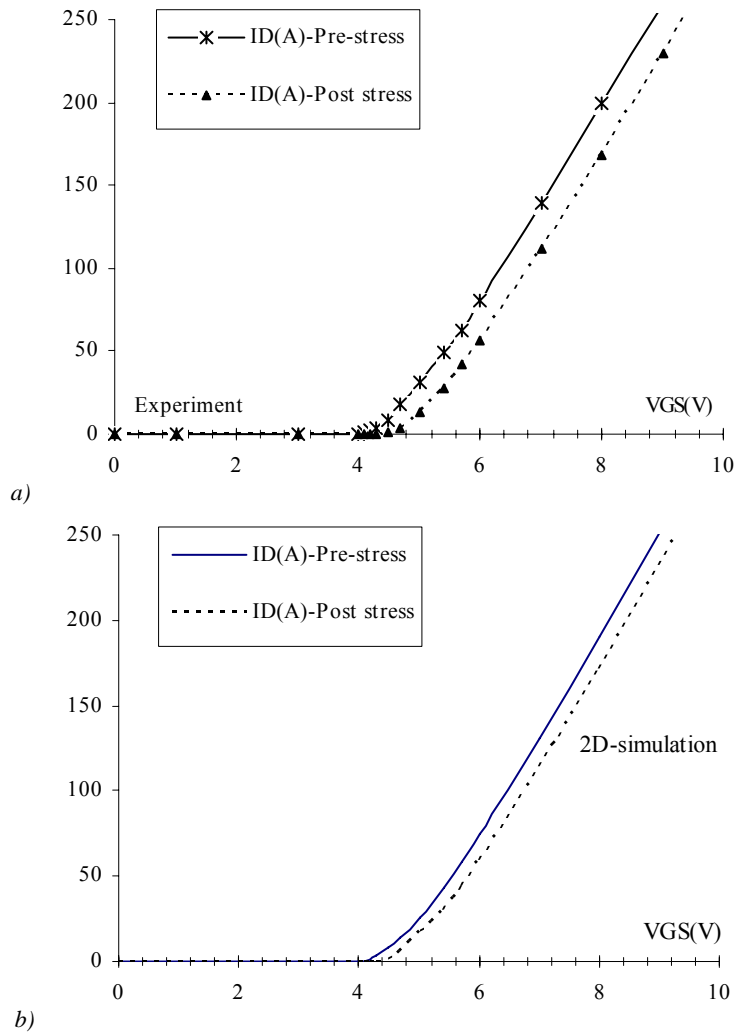


Figure (II.11) : Caractéristiques de transfert  $I_D = f(V_{GS})$  avant et après stress du transistor MOS à tranchées : a) mesures, b) simulations 2D (Atlas)

II- Les caractéristiques de  $I_D = f(V_{DS})$  montrent après stress, une dégradation du courant de saturation pour une tension donnée de grille. On confirme l'explication donnée lors de l'étude précédente qui associe cette chute au phénomène de modulation de la mobilité des porteurs dans la couche d'inversion. La valeur de ce courant de saturation est liée à la valeur de la vitesse de saturation des porteurs. Le stress électrique introduit des charges à l'interface Si-SiO<sub>2</sub> dont l'effet est d'augmenter la probabilité de collisions entre les porteurs de la couche inversée et les charges fixes. La vitesse des porteurs diminue faisant ainsi réduire la valeur de la mobilité des porteurs. Par conséquent, une chute du courant de saturation est observée.

Pour le simulateur 2-D, le phénomène de modulation est pris en compte dans les modèles de mobilités [25, 30] qui dépendent des composantes transversale et longitudinale du champ

électrique. La vitesse des porteurs dans ces modèles détermine le niveau du courant de saturation. Sa valeur est évaluée en comparant les caractéristiques mesurées avec celles de la simulation. Il apparaît que, suite à un stress électrique, sa valeur se voit réduite de l'ordre de 30% à 40% (figure (II.12)), ce qui explique la chute du courant de saturation.

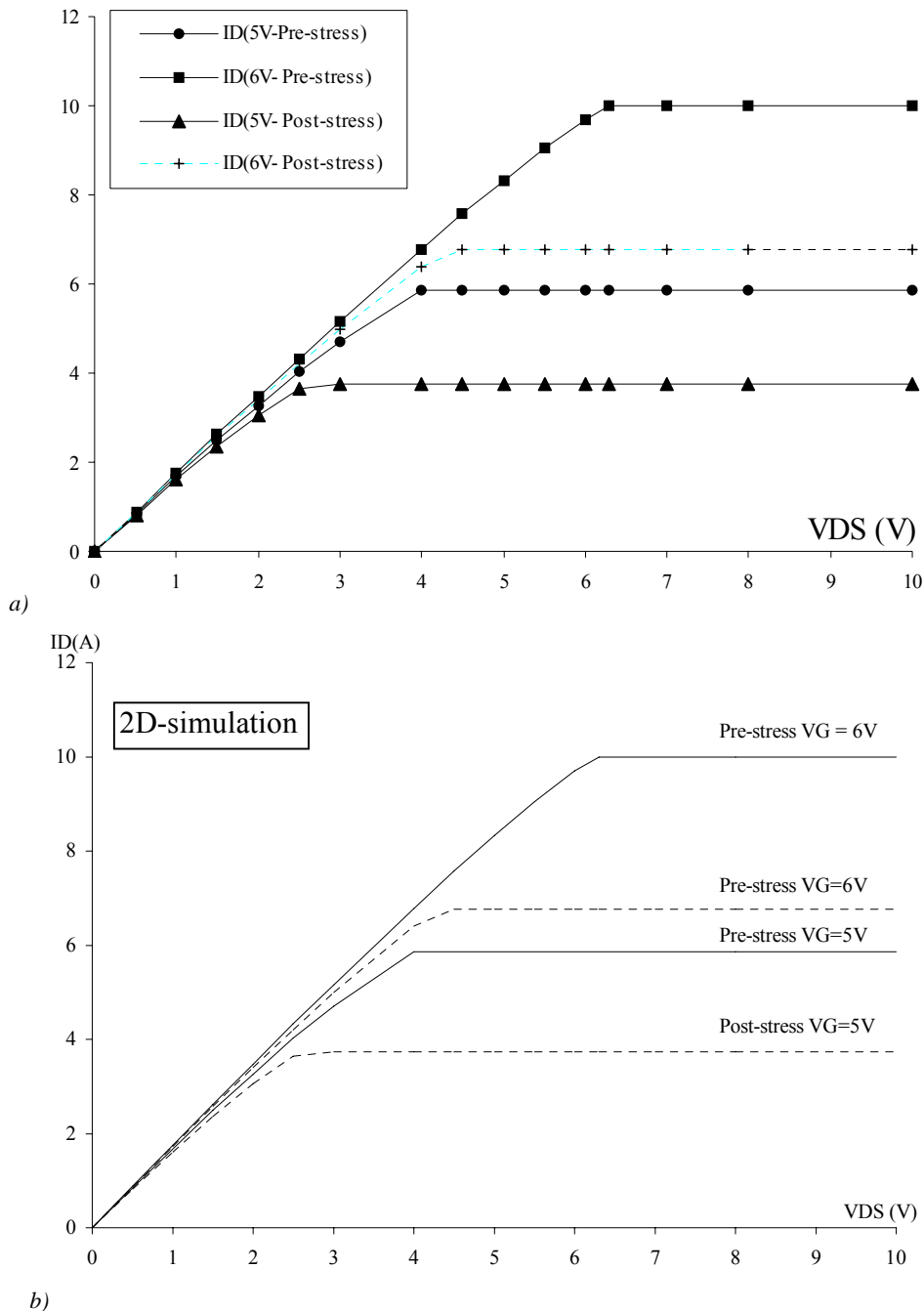


Figure (II.12) : Caractéristiques de sortie  $I_D = f(V_{DS})$  avant et après stress électrique du transistor VDMOS : a) mesures b) simulations 2D (Atlas).

III- Attaque de la grille à courant constant (*Gate charge*) : L'attaque en courant permet au concepteur de déterminer le niveau de courant nécessaire pour la charge et la décharge de la grille. Ce test consiste à injecter sur la grille du composant un courant constant. Il permet d'évaluer les différentes capacités du transistor. La figure (II.13) présente les caractéristiques de l'attaque en courant obtenues avant et après stress du MOS à tranchées. La forme de la

tension  $V_{GS}$  change dans la deuxième phase durant laquelle le VDMOS devient passant ( $V_{GS} > V_T$ ) et la tension de drain diminue.

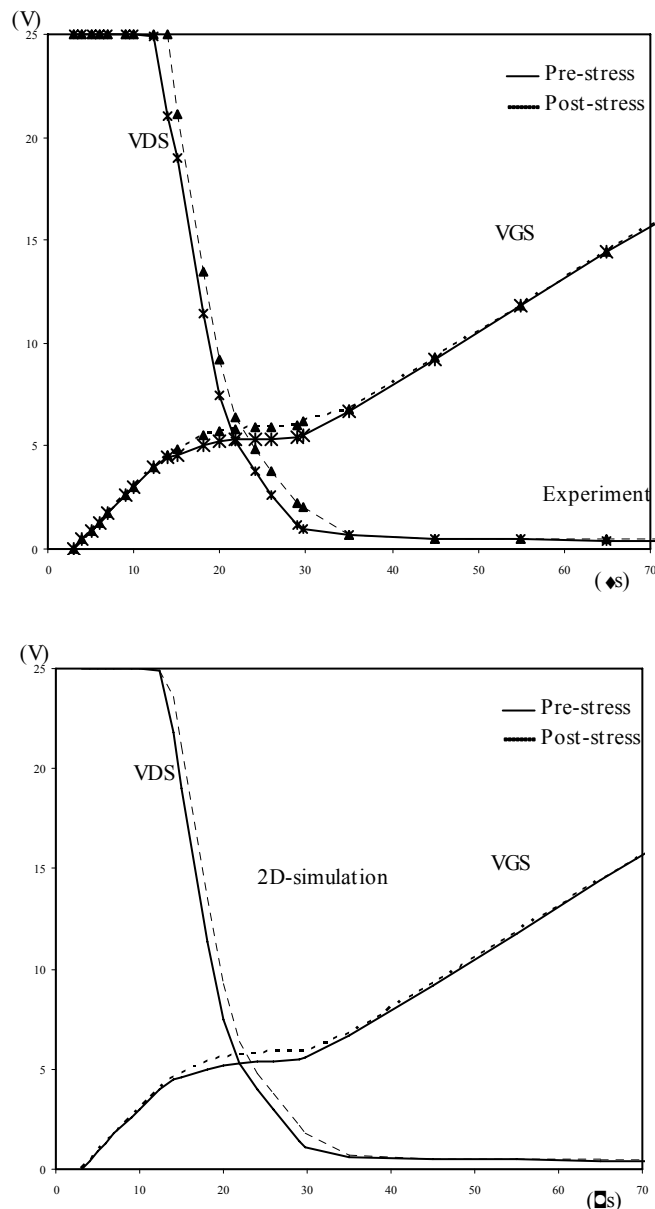


Figure (II.13) : Simulation bidimensionnelle et mesure de l'attaque à courant constant de la grille du MOS à tranchées avant et après stress électrique

Pour analyser cette deuxième phase, plusieurs paramètres du transistor (figure (II.14)) doivent être considérés:

1. La résistance à l'état passant  $R_{on}$  du composant est la mise en série de la résistance du canal  $R_{ch}$ , la résistance de la zone d'accès  $R_a$  et la résistance  $R_d$  de la couche épitaxiée faiblement dopées. Ces résistances sont fonction de la physique, et des paramètres géométrique et technologique. Pour notre cas, c'est seulement la résistance du canal qui est affectée par les charges introduites à l'interface Si-SiO<sub>2</sub>, et qui affectent la valeur de la mobilité des porteurs. Par conséquent, le temps de charge de la capacité d'entrée  $C_{in} = C_{gs} + C_{gd}$  devient plus important.

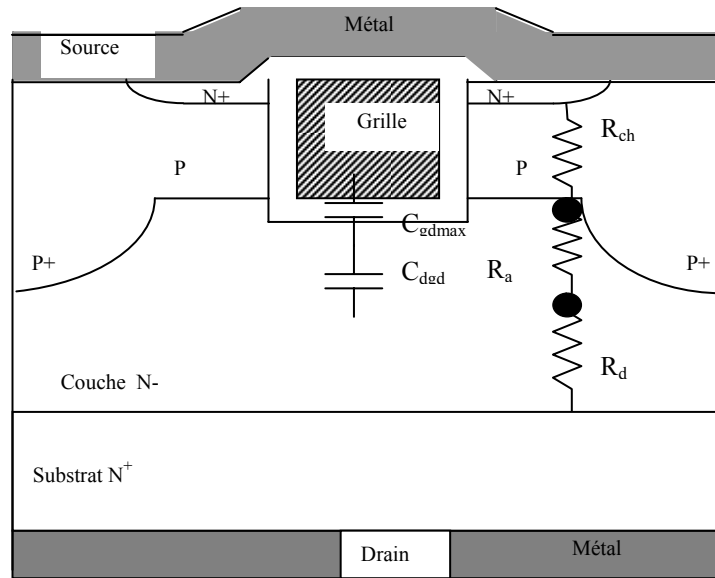


Figure (II.14) : Localisation des paramètres du transistor MOS à tranchées

2. La caractéristique durant cette phase est affectée par une augmentation de la tension de seuil  $V_T$ . Nous venons d'expliquer plus haut la raison du déplacement de cette tension. Par conséquent, son effet se traduit par un déplacement vertical de la caractéristique.
3. Entre le drain et la source, nous avons une capacité MOS. Elle est formée d'une capacité d'oxyde  $C_{gdmax}$  et d'une capacité de déplétion  $C_s$  dans la couche épitaxiée (figure (II.15)). La capacité d'oxyde est définie par ses paramètres géométriques de la structure :

$$C_{gdmax} = \epsilon_0 \epsilon_{OX} \frac{S}{T_{OX}} \quad (II.8)$$

$S$  et  $T_{OX}$  sont respectivement la surface et l'épaisseur de l'oxyde intercellulaire. La capacité de déplétion est définie par l'expression de la capacité de la charge d'espace par unité de surface:

$$C_s = \sqrt{\frac{qND\epsilon_0\epsilon_{si}}{2\Phi_s}} \quad (II.9)$$

$\Phi_s$  est le potentiel électrique à la surface du semiconducteur,  $N_D$  est le dopage de la région  $N^-$ . Durant cette phase ( $V_{GS} > V_T$ ), la tension drain - grille  $V_{DG}$  est négative, le VDMOS fonctionne dans la région de l'effet Miller, et la capacité MOS augmente pour atteindre sa valeur maximale  $C_{gdmax}$ . La capacité d'entrée  $C_{in}$  est définie par:

$$C_{in} = C_{gs} + C_{gdmax} \left[ 1 - \frac{\partial V_{DS}}{\partial V_{GS}} \right] \quad (II.10)$$

$C_{gs}$  est la capacité totale d'oxyde grille - source,  $C_{gdmax}$  est la capacité d'oxyde intercellulaire. Pour notre cas, cette capacité est constante et son effet peut être négligé devant les effets des paramètres  $V_T$  et  $V_{max}$ .



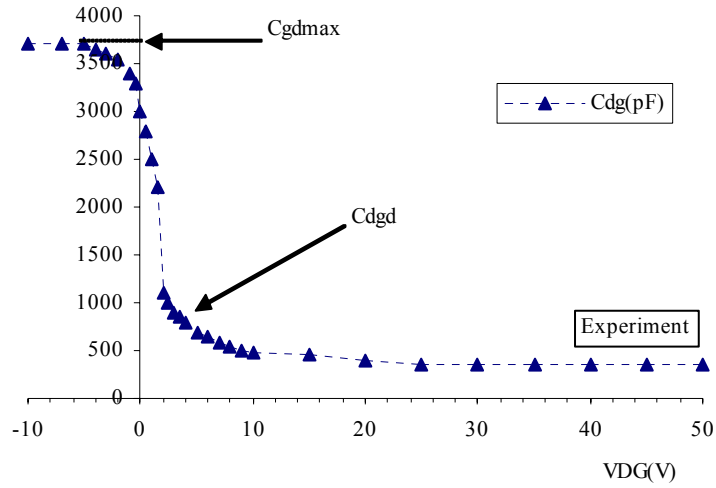


Figure (II.15) : Caractéristique de la capacité grille - drain du transistor MOS à tranchées

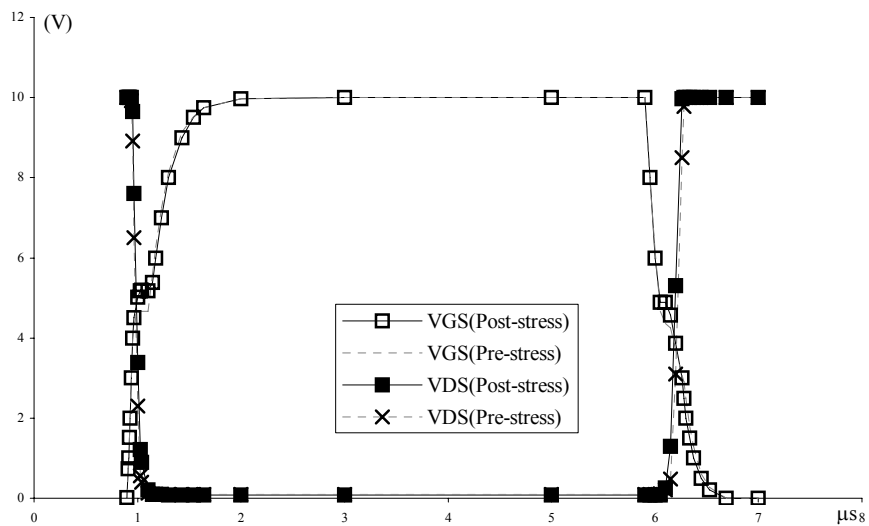
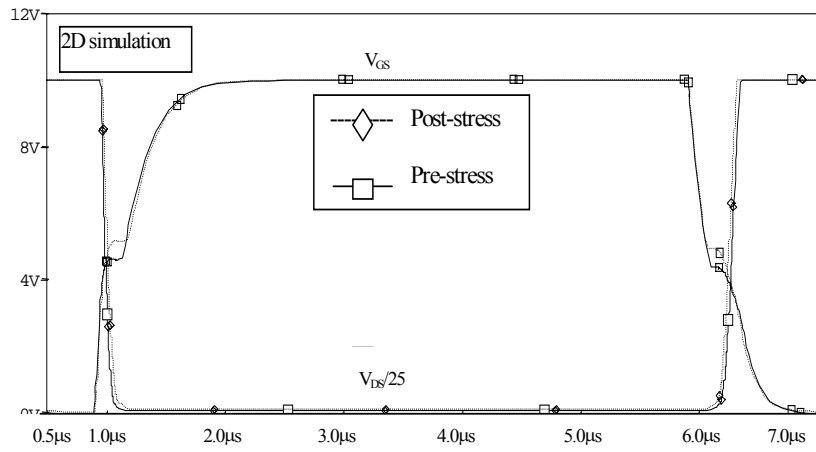


Figure (II.16) : Simulation 2-D et mesures de la commutation du VDMOS à tranchées sur une charge résistive ( $V_{DD}=250V$ ,  $V_{GS}=10V$ ,  $R_{générateur}=50\Omega$ ,  $R_{charge}=64\Omega$ )

IV- Commutation sur charge résistive : Le test en régime de commutation sur une charge résistive est mieux représentatif d'une utilisation "normale" du composant. La figure (II.16) présente les formes des tensions mesurées et celles obtenues par simulation 2-D. La mesure des temps de commutation avant et après stress montre une augmentation de l'ordre de 15%. Cette augmentation peut être expliquée par l'augmentation de la région de l'effet Miller du composant.

## ***II.6 Conclusion***

Les travaux de recherches que nous venons de présenter sont menés principalement sur les transistors VDMOS et MOS à tranchées, et ont pour objectif l'étude du stress électrique qui résulte de l'application d'une tension élevée sur la grille du composant.

Nous venons d'apporter une contribution à la compréhension du phénomène de stress dans les structures VDMOS en régimes statique et dynamique à travers l'analyse physique, la caractérisation électrique, la simulation circuit (SPICE), et les simulations bidimensionnelles générées à partir des paramètres structurels obtenus par la microsection du composant.

Les résultats obtenus ont fait l'objet de diverses publications : **3 revues internationales** [R4], [R5], [R6], **1 conférence internationale** [C3].



***Partie III : Le stress thermique dans le transistor  
VDMOS***

***(2003-présent)***



### ***III.1 Introduction***

Ce projet de recherche a été initié dans le cadre d'une thèse co-dirigée entre le LPM et le laboratoire LEMI de l'université de Rouen (Prof. K. Ketata). L'objectif est de proposer une méthodologie d'analyse et de modélisation de la fiabilité thermique des composants de puissance (VDMOS) par l'élaboration d'un ensemble d'essais de contraintes représentatifs de l'état de fonctionnement de ces dispositifs dans un environnement donné. Un banc de fiabilité a été monté dans ce cadre et permet de tester les composants selon différentes conditions de stress thermique.

Plus précisément, il s'agit tout d'abord d'évaluer l'influence de contraintes d'origines diverses sur les composants ; ensuite, il faut procéder à la caractérisation électrique en régimes statique et dynamique, et à l'extraction des paramètres du dispositif dans son environnement. Ce travail débouche sur une analyse comparative entre mesures et simulations.

Les travaux sont basés sur des essais de fiabilité intrinsèque du transistor, qui permettent de connaître la maturité d'une technologie ou d'éliminer les défauts de jeunesse, sous des séquences de stress établies dans les standards de type MIL-STD-883D. Ces tests sont connus sous le nom de "burn-in" puisqu'ils ont un dénominateur commun, à savoir une condition de température élevée (facteur accélérant les défaillances) appliquée sur le composant.

Les phénomènes de dégradations sont reliés aux mécanismes d'injection de porteurs chauds dans les transistors. En mettant en évidence les paramètres dégradés de la structure et en apportant une explication physique du phénomène, ceci peut être utile d'une part à la prise en compte du phénomène dans les modèles de composants (SPICE) destinés aux utilisateurs industriels, et d'autre part à l'amélioration des conditions de fabrication technologique du composant pour prévenir ces types de défaillance.

Rappelons en outre que la quasi-totalité de ces recherches fait l'objet d'une thèse qui sera soutenue en Juin 2007 par Monsieur Mohamad Alwan, dont j'assume la co-direction avec les professeurs Mohamad Zoaeter (université Libanaise) et Kaouther Ketata (Université de Rouen). L'ensemble des résultats obtenus a fait l'objet de diverses publications : 2 revues internationales [R1], [R9] et 2 conférences internationales [C1], [C2].

### ***III.2 Le stress thermique***

Au niveau des composants de puissance, on distingue les contraintes (ou stress) fonctionnelles qui sont liées aux conditions de fonctionnement (stress électrique, par exemple), les contraintes environnementales qui sont liées à l'environnement du composant (surtension apparaissant sur l'alimentation d'un composant, taux d'humidité au voisinage du composant, température ambiante...), et les contraintes qui peuvent être induites durant les différents procédés de fabrication (malformation de l'oxyde de grille, défauts de pureté du cristal de silicium, défaut de réalisation du packaging...). Ces contraintes peuvent causer des mécanismes de dégradation ou de vieillissement amenant parfois le composant à fonctionner hors de son aire de sécurité.

Pour notre cas, nous nous intéressons aux contraintes thermiques appliquées au composant durant ses différents régimes de fonctionnement. L'étude, que nous envisageons, passe nécessairement par la réalisation d'essais en nombre et en durée, sous contraintes fixes. Ces essais sous contraintes sont conçus, soit pour accélérer des mesures de vieillissement, soit pour éliminer les défauts de jeunesse et trier ainsi des composants à plus grande fiabilité. Les contraintes que nous appliquons sont fortes (haute température, forte densité de courant,

tension élevée) de manière à accélérer les processus provoquant la dégradation et/ou le vieillissement de ces composants, entraînant à terme leur défaillance. Par une approche complète de cette problématique (suivi des contraintes, surveillance des composants et caractérisation régulières), il nous sera possible d'obtenir des données quantitatives sur le taux de vieillissement ou le taux de dérive des paramètres de ces composants, et des données qualitatives sur le mode de défaillance et le mode de dérive ainsi observé.

Les contraintes (ou stress) diffèrent par les résultats attendus de son application au composant. On distingue :

- *Essais de blocage à haute température «High Temperature Reverse Bias (HTRB)»* : L'essai en HTRB accélère le processus de dégradation de la tension de blocage. On applique au composant, sous une température de jonction maximale (150°C) et pendant une longue durée (1000 heures), une tension continue (80% à 100% de la tension nominale) en mode bloqué ( $V_{GS}=0$ ). L'effet est observé en relevant périodiquement les caractéristiques du composant au cours de différentes durées de contraintes.

- *Essais HTRB accélérés* : Les ordres de grandeurs des taux de défaillance des composants électroniques sont si petits qu'il faut attendre très longtemps sur des grands lots avant d'observer des défaillances, ce qui est très coûteux. Les essais accélérés consistent à faire fonctionner un échantillon de dispositifs dans des conditions propres, en faisant apparaître plus rapidement les défaillances, en général avec des contraintes fortes. Il est essentiel que le mécanisme de dégradation soit prédominant et le reste sous contraintes fortes. Il faut donc connaître les points sensibles du vieillissement, les processus de dégradation responsables (usure, corrosion ...), les lois de dégradation et d'accélération (électromigration, etc.). Il ne faut surtout pas faire apparaître de nouveaux mécanismes de dégradation sous contrainte forte. Le but est donc d'échanger le rôle du temps et d'une contrainte pour un même état interne du composant : 'temps long - contrainte faible' équivalent à un 'temps court - contrainte forte'. Il faut ensuite extrapoler les résultats ainsi obtenus aux conditions normales de fonctionnement.

- *Essais à température élevée avec polarisation de la grille (HTGB : High Temperature Gate Bias) ou (HTGS : High Temperature Gate stress)* : L'essai HTGB accélère le processus de dégradation du claquage de l'oxyde de grille. On applique au composant, sous une température de jonction maximale (150°C) et pendant une longue durée (1000 heures), une tension élevée (20V) sur la grille. L'effet est observé en relevant périodiquement les caractéristiques du composant au cours de différentes durées de contraintes.

- *NBTI (Negative Bias Temperature Instability)/ PBTI (Positive Bias Temperature Instability)* : La qualité microélectronique (« pureté ») est très difficile à obtenir et la diffusion d'ions à travers le diélectrique de grille fait dériver les paramètres électriques du transistor. Les ions mobiles répondent très bien en température et à un champ électrique, en diffusant à travers la structure. Une des façons de révéler une contamination ionique est d'appliquer une contrainte NBT. La contrainte NBTI ou NBTS qui vient de l'anglais « Negative Bias Temperature Stress », se traduit par un potentiel électrique négatif appliqué sur la grille du transistor dans un milieu à haute température. Cette configuration électrique peut être utilisée aussi bien pour l'expertise du NMOSFET que pour celui du PMOSFET. La plage de température varie de 25 à 200°C, et le potentiel de grille de  $V_{DD}$  à 2-3 fois  $V_{DD}$  ( $V_{DD}$  étant la tension typique d'utilisation du dispositif). La température doit rester un paramètre accélérant le mécanisme de dégradation et ne doit pas dénaturer la chimie et/ou la structure du dispositif. Une température supérieure 250-300°C provoquerait des

modifications qui n'entreraient plus dans le cadre de notre étude. Une contrainte PBTI ou PBTS (Positive Bias Temperature Stress) est, par analogie, une contrainte avec un potentiel positif sur la grille et à haute température.

L'effet de ces contraintes est basé sur la génération d'états d'interface, la génération de charges fixes et de piégeage de trous dans l'oxyde. La dégradation concerne principalement les liaisons entre atomes d'hydrogène et de silicium à l'interface entre le silicium et le dioxyde de silicium, et ne se développe pas de la même manière dans les deux types de transistors (NMOS et PMOS). L'exposition à des plasmas d'hydrogène permet de réduire les effets de surface à l'interface entre le Si et le SiO<sub>2</sub>, mais dégrade les propriétés de l'oxyde pour isoler le canal et la grille.

- *Contrainte à température élevée en fonctionnement opérationnel « High Temperature Operating Life » (HTOL) :* Le test HTOL est un test de base et l'un des types de vieillissement accéléré en composants de puissance. Il traduit la contrainte en température avec l'application de tension électrique. Ces essais en fiabilité opérationnelle s'effectuent logiquement dans les conditions réelles de fonctionnement avec une forte polarisation, à température de jonction élevée (facteur d'accélération) pendant une période de temps de 1000 heures. Cela a tendance à dégrader plus rapidement le composant dans le but d'activer tous les mécanismes susceptibles de se produire au cours de son utilisation (les mécanismes de défaillance liées à la température, comme l'électromigration, et aux fortes densités de courant ou de champs électriques).

- *Cyclages thermiques passifs (TEMPERATURE CYCLING (T/C) Unbiased) :* Pour ce qui est du cyclage passif, on soumet le composant à des variations de température d'une amplitude prédéfinie répétées à la fréquence maximale permettant d'obtenir la thermalisation de ce composant aux paliers de température qui lui sont imposés. De cette manière, il est possible d'obtenir en quelques jours un vieillissement qui correspond à plusieurs années de fonctionnement en mode normal. Il faut cependant rester prudent lors de l'interprétation des résultats de test accélérés car certains mécanismes, tels que le fluage des brasures, n'ont pas le temps de se mettre en place lorsque la durée des paliers de température est trop courte. Toutefois, ce mécanisme intervient effectivement dans les conditions de fonctionnement normale où la durée de paliers de température est plus longue. Ces essais consistent à faire varier la température des échantillons progressivement d'une température basse à une température haute au moyen d'un système de chauffage externe (four ou plaque chauffante).

Les cyclages passifs permettent d'obtenir des résultats rapides avec des méthodes assez simples. L'exploitation de ces tests reste néanmoins limitée aux effets locaux de variation de température, en ignorant les effets induits par la puissance électrique.

*a) Essai de Cyclage thermique (TC) et choc thermique (TST) :* Dans ces types de tests, les composants subissent les effets de la température avec ou sans polarisation. Un cycle consiste à faire varier la température ambiante ( $T_{amb}$ ) au froid ( $T_{min}$ ), puis au chaud ( $T_{max}$ ), ou inversement, sans interruption (figure (III.1) et (III.2)). Pour cet essai, on opère à des températures allant de -65°C à 100°C. Pour les tests de cyclage thermique : le temps de transfert de chaud au froid (temps de chute, "Fall time" : Ft) ou de froid au chaud (temps de montée, "Rise time" : Rt) ne doit pas être moins de 5 minutes. En revanche, pour les tests de choc thermique le temps de transfert ne doit pas excéder des dizaines de secondes.



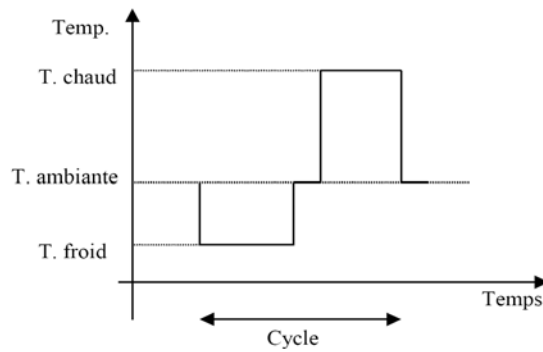


Figure (III.1) : Variations de température rapides (méthode des deux chambres ou des deux bains)

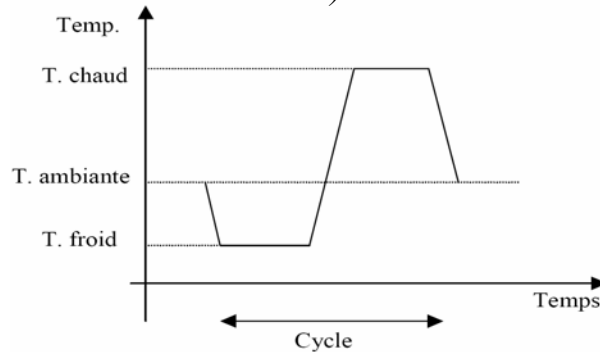


Figure (III.2): Variations de température lentes (méthode à une chambre)

**b) Cyclages thermiques de puissance (min) « Power cycling tests PC(min) » :**

Ces cyclages permettent d'étudier les effets couplés de variations de température et de densité de puissance électrique. Les tests consistent à faire passer du courant dans les composants pendant une phase d'échauffements puis de supprimer le courant pendant une phase de refroidissement. Plusieurs choix peuvent être effectués quant aux périodes de ces tests selon les effets qu'on désire observer sur les composants.

**c) Cyclages thermiques de puissance (sec) « Power cycling tests PC(sec) » :**

PC (sec) est un essai semblable au PC(min), mais il est réalisé avec des cycles chargés pendant un certain temps de quelques secondes seulement. Le but de cet essai est de soumettre les soudures et les liaisons de connexion dans le composant à une contrainte.

Les équipements que nous utilisons pour analyser ces types de contraintes sont (figure (III.3)) :

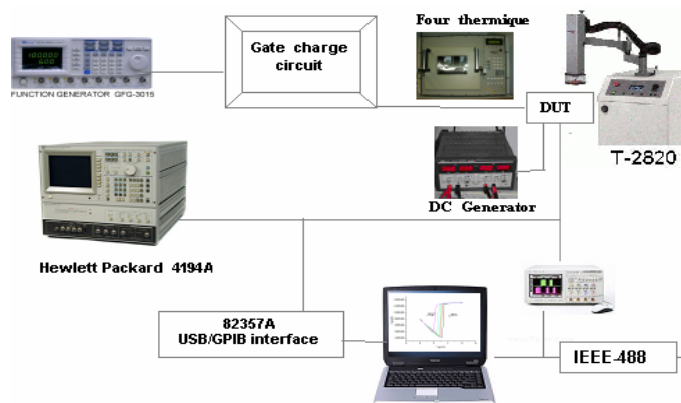


Figure (III.3) : Equipement de mise sous stress thermique des composants de puissance

- Four thermique pour le stockage thermique (25°C à 300°C)

- un système de bras articulés capable d'appliquer un large éventail de conditions thermiques (choc thermique, cyclage thermique, etc.) allant de -65°C à 200°C
- le banc de caractérisations statique et dynamique des composants, ainsi que l'extracteur de paramètres associé Ic-Cap
- Le simulateur Atlas avec son module de modélisation électrothermique GIGA

La démarche consiste à appliquer des contraintes aux transistors ; leurs effets sont alors analysés particulièrement sur les caractéristiques  $I_D(V_{GS})$ ,  $I_D(V_{DS})$ ,  $C(V)$ , commutation résistive et attaque en courant. On cherche à relier des paramètres mesurables tels que tension de seuil ou courant de saturation aux paramètres internes au dispositif tels que variations des mobilités et des états d'interfaces (dues aux charges piégées à l'interface Si/SiO<sub>2</sub> et dans l'oxyde), et capacité MOS intercellulaire.

### ***III.3 Analyse bidimensionnelle de l'effet thermique dans les transistors : utilisation du module thermique GIGA***

Une première étape de notre étude est d'évaluer l'effet thermique dans le composant. Pour cela, nous avons procédé à l'étude physique et à la simulation bidimensionnelle des paramètres du composant. Pour simuler l'effet thermique dans les composants MOS, nous utilisons le simulateur bidimensionnel Atlas de la société Silvaco avec le module thermique GIGA. Ce module permet d'effectuer des simulations non - isothermes, où l'interaction entre la température et les caractéristiques électriques est prise en compte, et ceci grâce à l'intégration de l'équation de la diffusion de la chaleur :

$$C \frac{\partial T_L}{\partial t} = \nabla(\kappa \nabla T_L) + H \quad (\text{III.1})$$

Où  $T_L$  est la température dans le composant,  $\kappa$  est la conductivité thermique, et  $H$  est la quantité de chaleur générée dans le composant.

De plus, GIGA tient compte des flux de chaleur et de température de l'environnement. Il utilise un modèle thermodynamique intégrant l'effet Joule, l'auto échauffement dans le semiconducteur dû à la génération et à la recombinaison des porteurs, et l'effet de Peltier et Thomson. Il intègre aussi la dépendance des matériaux et des paramètres de transport par rapport à la température, la spécification des supports environnementaux thermiques généraux utilisés ainsi qu'une combinaison des radiateurs sur les bords de la structure, les impédances thermiques et les températures ambiantes spécifiques.

Pour effectuer la simulation thermique bidimensionnelle du composant, on suit la même démarche utilisée précédemment, qui commence par définir la demi cellule de la structure avec les données technologiques obtenues à partir de la microsection du transistor (profondeurs des jonctions, longueur d'une cellule), et les autres valeurs déduites des données du constructeur et de la bibliographie. Un processus de maillage est appliqué pour obtenir les bonnes caractéristiques électriques. Une attention particulière est donnée à la problématique de la mobilité. Pour tenir compte de l'effet thermique, il faut ajouter à la procédure de simulation précédente, les conditions thermiques aux bords du composant pour caractériser l'effet dans le composant. Notons qu'il faut au moins un contact thermique pour lancer une simulation non - isotherme.

Pour les simulations, on a affaire à deux conditions thermiques. Une première fixe la température globale sur toutes les parois du composant. Pour cela, on précise dans Giga la température des thermo - contacts sur le contour de la structure (figure (III.4)). Cette procédure rend possible la prise en compte des contraintes thermiques dans le transistor. Une

seconde condition émule l'effet Peltier, en fixant la température en bas du composant, et toutes les autres bornes seront isolées thermiquement, ce qui permet l'étude de l'effet d'auto échauffement.

Dans GIGA, les densités du courant d'électron et du trou sont modifiées en tenant compte de la variation spécifique de la température. Les densités du courant sont données par:

$$\vec{J}_n = -q\mu_n n (\nabla \phi_n + P_n \nabla T_L) \quad (III.2)$$

$$\vec{J}_p = -q\mu_p p (\nabla \phi_p + P_p \nabla T_L) \quad (III.3)$$

Où  $P_n$  et  $P_p$  sont les puissances électrothermiques absolues pour les électrons et trous et sont modélisées par les expressions suivantes :

$$P_n = \frac{K}{q} \left( \ln \frac{n}{N_v} - \left( \frac{5}{2} + \xi_n \right) \right) \quad (III.4)$$

$$P_p = -\frac{K}{q} \left( \ln \frac{p}{N_v} - \left( \frac{5}{2} + \xi_p \right) \right) \quad (III.5)$$

$K$  est la constante de Boltzmann,  $\xi_n$  et  $\xi_p$  sont des paramètres spécifiques les valeurs par défaut égale à -1.

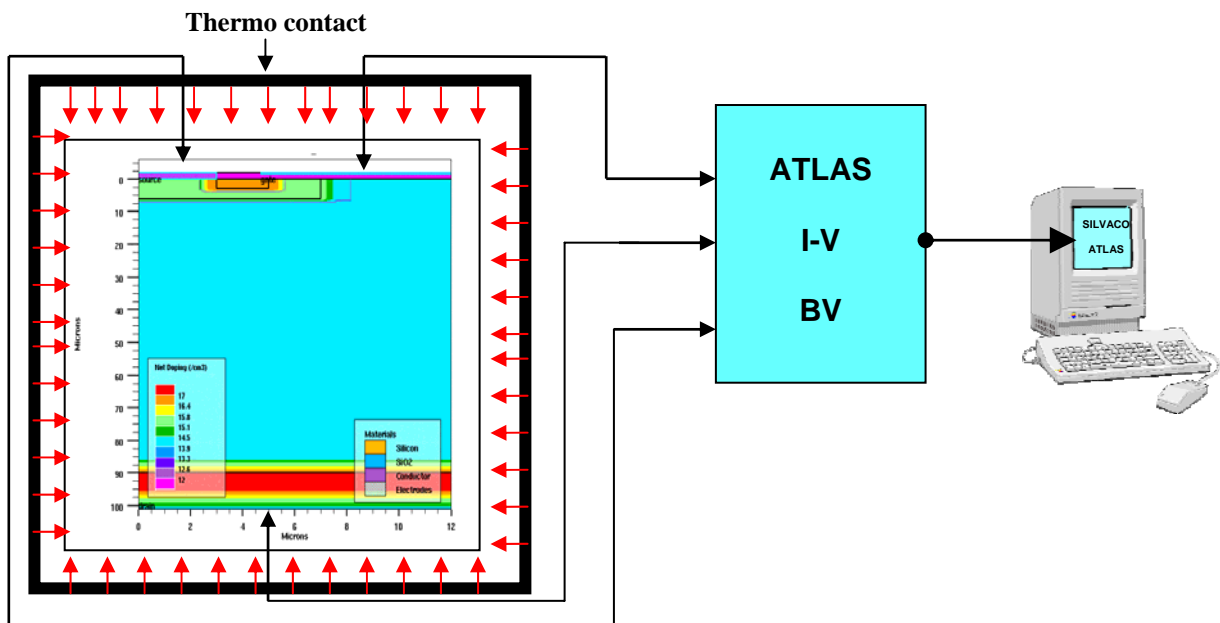


Figure (III.4) : La simulation du transistor VDMOS sous des contraintes thermiques avec la procédure de caractérisation

### III.3.1. Méthodologie de résolution dans Atlas et GiGA

La fonction essentielle d'ATLAS est la détermination du potentiel électrostatique et de la concentration des porteurs à chaque point du semi-conducteur. Il discrétise pour cela les équations sur un ensemble de nœuds formant le maillage de la structure, afin d'obtenir un système d'équations algébriques couplées non linéaires. Au lieu de résoudre ainsi un système différentiel à trois inconnus, ATLAS résout un système algébrique de  $3N$  équations à  $3N$  valeurs inconnues, en utilisant la méthode d'éléments finis (où  $N$  est le nombre de points dans la maille). Il y a trois méthodes de résolution possibles :

- **Newton** : méthode de calcul utilisée pour des systèmes d'équations fortement couplées où

toutes les équations sont résolues en même temps, et elle a une convergence quadratique.

- **Gummel** : méthode de calcul utilisée pour des systèmes d'équations faiblement couplées où on obtient la solution de chaque variable à part, mais elle a uniquement la convergence linéaire.

- **Block** : méthode qui peut fournir un gain de temps de simulation dans les calculs utilisés pour des systèmes d'équations faiblement couplées par la méthode de Newton (la méthode Block qui est un mélange des deux).

La méthode Newton est la plus puissante, mais elle est également longue. Elle nécessite une meilleure préparation de la simulation, notamment au niveau du maillage, pour qu'elle converge. De plus, pour les systèmes d'équations faiblement couplées, elle est moins rapide que la méthode de Block. La méthode la plus employée lors des simulations a été la méthode Gummel-Newton, le simulateur commence à itérer suivant la méthode Gummel et finit par Newton si la convergence n'est pas atteinte. Du choix de la méthode de calcul dépendra la convergence ou non de la solution, mais aussi le temps de calcul nécessaire au processeur. Quand les modèles thermiques sont ajoutés aux modèles électriques, nous avons une augmentation du nombre des équations. L'algorithme Block intervient pour résoudre les trois équations de diffusion (pour le potentiel, concentration des électrons et la concentration des trous) par la méthode de Newton. On peut spécifier la méthode appropriée à notre simulation par la commande « *METHOD* » : (*method gummel newton*).

Quand les équations de température des porteurs sont résolues pour une température constante, l'algorithme de l'itération BLOCK utilise la méthode de Newton pour mettre à jour le potentiel et les concentrations. Les équations des porteurs sont résolues simultanément avec l'équation de la continuité appropriée pour mettre à jour la température du porteur ainsi que la concentration. Quand l'équation de la diffusion de chaleur et les équations de la température du porteur sont incluses, le BLOCK suit la procédure comme précédemment décrite, et également une exécution d'une solution du découplage pour la température comme un troisième pas de chaque itération. La méthode de Newton est préférée, une fois la température élevée. Cependant, la méthode Block est plus rapide pour les températures graduellement basses.

Pour inspecter les phénomènes physiques et structurels provenant de l'effet thermique dans le transistor VDMOS, nous avons effectué une étude des paramètres du transistor. Nous présentons dans la suite, quelques résultats de cette étude.

### III.3.2 Tension de claquage

Le composant que nous utilisons est donc un VDMOS. Nous avons vu que ce transistor possède deux états de fonctionnement : l'état "passant" ou "de conduction" qui se caractérise par la formation d'un canal d'inversion sous l'effet de la tension positive grille - source et par conséquent par la circulation d'un courant de drain dont la valeur est fonction des éléments physiques et technologiques de la structure, et des tensions appliquées, et l'état "bloqué" à tension grille - source inférieure à la tension de seuil, pour lequel le courant ne circule pas ; la quasi totalité de la tension grille - drain appliquée est alors supportée par la zone de drift (déplétée) du transistor.

Afin d'analyser la tenue en tension du transistor, on va tout d'abord préciser les zones de claquage dans sa structure (figure (III.5)). Il s'agit des zones latérales des dispositifs (1) où les effets de courbure de jonction sont prépondérants, des zones frontales (2) où l'extension de la charge d'espace peut être ou ne pas être limitée, des zones de surface (3) de la région peu dopée recouverte d'oxyde de grille (4).

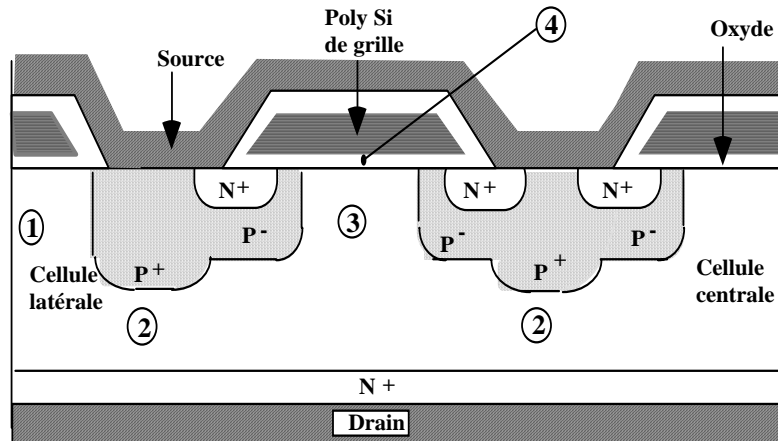


Figure (III.5) : Localisation des zones de claquage

En régime bloqué, le transistor peut soutenir une tension maximale, appelée tension de premier claquage [41]. Cette tension est appliquée, en inverse, à la diode planar constituée d'une part par les diffusions P des "caissons de canal" et d'autre part par la couche épitaxiée faiblement dopée N<sup>-</sup>. Compte tenu de la configuration multicellulaire de la structure, c'est sur les bords, là où la courbure de jonction est maximale que pourrait s'effectuer la limitation en tension, par le phénomène de claquage en avalanche [42]. Plusieurs méthodes de garde latérale ont été proposées pour éviter cet effet en tendant à minimiser "les effets de surface" et à "accroître le rayon de courbure" de la jonction pour essayer d'atteindre la tension de claquage théorique d'une jonction plane  $V_{bp}$  [42, 43, 44]. En pratique, la mise en oeuvre des terminaisons adéquates (gardes par anneaux flottants, anneaux polarisés, jonctions implantées appelées aussi « terminaisons par jonction », le sipos et les plaques de polysilicium résistives), le calibre en tension d'un composant VDMOS, représenté par la tension BV, est imposé par la tenue en tension de la périphérie (environ 80 à 90 % de la tension de claquage d'une jonction plane  $V_{bp}$  [42]).

En régime bloqué, l'application d'une tension drain - source entraîne l'apparition d'une zone de charge d'espace dépeuplée dans la région de drift N<sup>-</sup>, aux bornes de laquelle se développe la tension appliquée entre drain et source. Le transistor VDMOS est alors assimilé à une diode de type PN<sup>-</sup>N<sup>+</sup>. De ce fait, le traitement de la tension de claquage est effectué en fonction des propriétés physiques de la couche épitaxiée N<sup>-</sup> de la jonction PN<sup>-</sup>. Cette dernière est considérée théoriquement comme étant une jonction plane, ce qui limite le traitement à la seule tenue en tension en zone frontale de cette jonction.

Les conditions de claquage d'une jonction PN sont régies par le mécanisme de multiplication par avalanche. On considère que ces conditions sont satisfaites lorsque l'intégrale d'ionisation est égale à l'unité [45,46] :

$$I_n = \int_0^W \alpha_n \cdot \exp \left( \int_0^x (\alpha_n - \alpha_p) dx' \right) dx \quad (III.6)$$

$$I_p = \int_0^W \alpha_p \cdot \exp \left( \int_0^x (\alpha_n - \alpha_p) dx' \right) dx \quad (III.7)$$

Ces deux équations sont strictement équivalentes quant à la détermination des tensions de claquage; on peut utiliser l'une ou l'autre d'entre elles: elles atteignent l'unité pour la même tension. Les coefficients d'ionisation  $\alpha_n$  et  $\alpha_p$  représentent le nombre probable de collisions

ionisantes que subit un porteur incident, trou ou électron, par unité de longueur de parcours. Ces coefficients sont différents pour les électrons et les trous du fait de la différence des masses effectives. Ils relient les densités de courant d'électrons  $J_n$ , de trous  $J_p$ , au taux de génération par avalanche  $G$  [47] par l'équation :

$$G = \alpha_n J_n + \alpha_p J_p \quad (\text{III.8})$$

Celle-ci est introduite dans les équations de continuité des porteurs dans les semiconducteurs. En général, les coefficients d'ionisation sont présentés en fonction d'un seul paramètre, le champ électrique local. Cette approximation, que l'on peut qualifier de macroscopique, est justifiée si le champ électrique est une fonction « lentement » variable de la position et du temps. Pour notre étude, l'approche macroscopique est adaptée. Le modèle local de génération par avalanche le plus utilisé est celui de Chynoweth [49], qui est basé sur l'expression empirique suivante :

$$\alpha_{n,p} = \alpha_{n,p}^{\infty} \exp \left[ - \left( \frac{E_{n,p}^{crit}}{E} \right)^{\beta} \right] \quad (\text{III.9})$$

où  $E$  est le champ électrique,  $\beta$  est un coefficient égal à 1,  $\alpha_{n,p}^{\infty}$ ,  $E_{n,p}^{crit}$  sont des paramètres thermo - sensibles qui dépendent de la température [49-51]:

$$\alpha_n^{\infty} = \alpha_{n,0}^{\infty} \left( 1 + A_{n,t} \left[ \left( \frac{T}{300} \right)^M - 1 \right] \right) \quad (\text{III.10})$$

$$\alpha_p^{\infty} = \alpha_{p,0}^{\infty} \left( 1 + A_{p,t} \left[ \left( \frac{T}{300} \right)^M - 1 \right] \right) \quad (\text{III.11})$$

$$E_n^{crit} = E_{n,0}^{crit} \left( 1 + B_{n,t} \left[ \left( \frac{T}{300} \right)^M - 1 \right] \right) \quad (\text{III.12})$$

$$E_p^{crit} = E_{p,0}^{crit} \left( 1 + B_{p,t} \left[ \left( \frac{T}{300} \right)^M - 1 \right] \right) \quad (\text{III.13})$$

où

$$\alpha_{n,0}^{\infty} = 7,03.10^5 \text{cm}^{-1},$$

$$\alpha_{p,0}^{\infty} = 6,71.10^5 \text{cm}^{-1} \text{ si } E > 4.10^5 \text{V/cm}, \quad \alpha_{p,0}^{\infty} = 1.5822.10^6 \text{cm}^{-1} \text{ si } E < 4.10^5 \text{V/cm}$$

$$E_{n,0}^{crit} = 1,131.10^6 \text{V/cm si } E > 4.10^5 \text{V/cm}, \quad E_{n,0}^{crit} = 1,231.10^6 \text{V/cm si } E < 4.10^5 \text{V/cm}$$

$$E_{p,0}^{crit} = 1,693.10^6 \text{V/cm si } E > 4.10^5 \text{V/cm}, \quad E_{p,0}^{crit} = 2,036.10^6 \text{V/cm si } E < 4.10^5 \text{V/cm}$$

$A_{n,t}$  et  $A_{p,t}$  coefficient de 0.588,  $B_{n,t}$  et  $B_{p,t}$  coefficient de 0.248,  $T$  est la température,  $M$  est un coefficient.

Les coefficients d'ionisation des électrons et des trous  $\alpha_{n,p}$  peuvent s'écrire, en fonction de la température, sous la forme suivante :

$$\alpha_{n,p} = \alpha_{n,p,0}^{\infty} \left( 1 + A_{n,p,t} \left[ \left( \frac{T}{300} \right)^M - 1 \right] \right) \cdot \exp \left[ - \left( \frac{E_{n,p,0}^{crit}}{E} \left( 1 + B_{n,p,t} \left[ \left( \frac{T}{300} \right)^M - 1 \right] \right) \right) \right] \quad (\text{III.14})$$

De par sa formulation, cette expression présente un inconvénient majeur, qui est dû aux difficultés de calcul de l'intégrale d'ionisation. Pour faciliter la tâche, Mac Kay [52] a montré que les coefficients d'ionisation pouvaient être approchés par des expressions polynomiales de degrés sept:

$$\alpha_n = A' E^7 ; \alpha_p = A'' E^7 \quad (III.15)$$

$A'$  et  $A''$  sont des constantes dont les valeurs ont été proposées à la température ambiante.

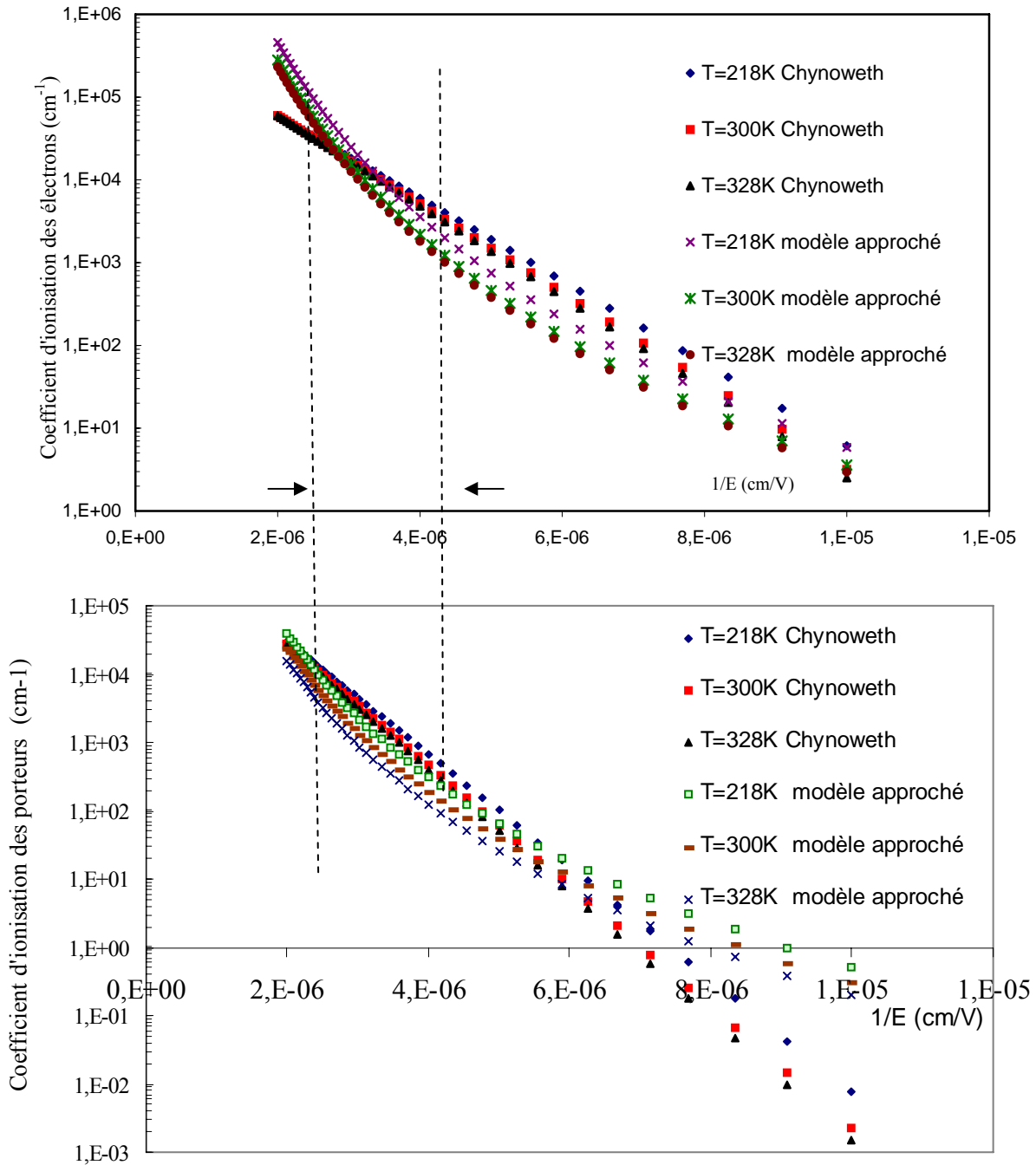


Figure (III.6) : Approximation du coefficient d'ionisation des électrons par les paramètres  $A'_{n,p} (*)$  par rapport A.G.Chynoweth en fonction de la température.

En utilisant l'approche de Mac Kay (figure (III.6)), on démontre que les coefficients d'ionisation peuvent être approchés par des expressions polynomiales de degré sept avec les coefficients  $A'_{n,p}$  dépendant de la température:

$$A'_n = 43,569.10^{-35} [1-0,16.Ln(T)] \quad (III.16)$$

$$A'_p = 3.7788.10^{-35} [1-0,16.Ln(T)] \quad (III.17)$$

Ces valeurs sont valables pour une gamme de champ électrique entre  $2 \cdot 10^5$  à  $5 \cdot 10^5$  (V/cm) qui correspond aux valeurs de champ électrique régnant dans une jonction plane fonctionnant jusqu'au claquage.

Au claquage, la condition de claquage est satisfaite, c'est-à-dire que les expressions de l'intégrale deviennent égales à l'unité, on établit des relations liant l'extension de la charge d'espace, le dopage  $N_D$  de la couche  $N^-$  et la température à la tension de claquage  $BV$ . Pour cela, on utilise l'expression du champ électrique, dans l'hypothèse d'une jonction plane abrupte P<sup>+</sup>N dissymétrique [53] :

$$E(x) = \frac{qND}{\epsilon_0 \epsilon_{si}} (x-H) \quad (III.18)$$

où  $H$  est l'extension maximale de la charge d'espace d'une jonction plane infinie.

En se basant sur cette expression, le calcul de l'intégrale de l'ionisation permet d'établir l'expression de l'extension maximale  $H$  de la charge d'espace de la jonction PN au moment de claquage [54] :

$$H = \left( \frac{2\epsilon_0 \epsilon_{si} BV}{qND} \right)^{1/2} \quad (III.19)$$

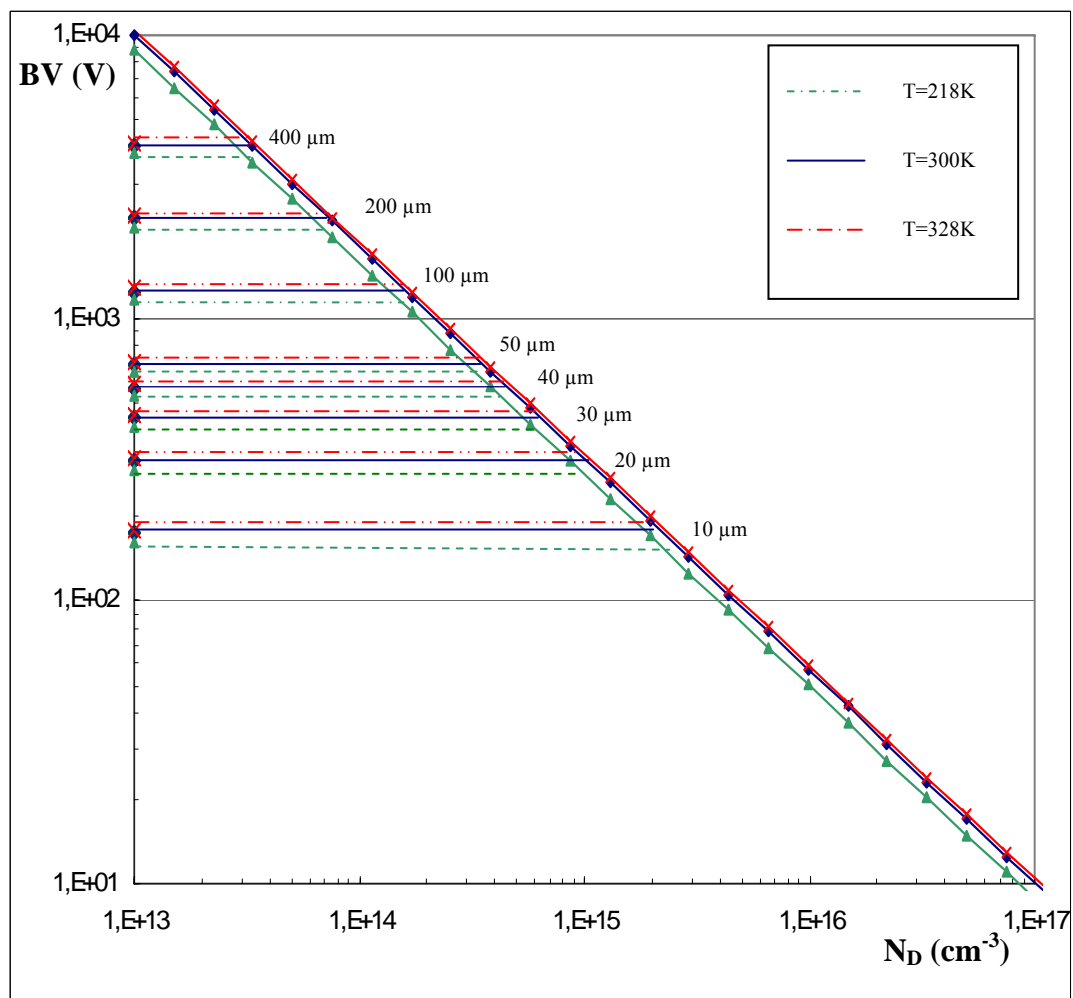


Figure (III.7) : (a) Tension de claquage en fonction de la température, et du dopage et de l'épaisseur de la couche épitaxiée

Des expressions peuvent être établies liant la tension de claquage  $BV$ , l'extension maximale ( $H$ ) de la charge d'espace, le dopage, et la température (Figure (III.7)) [55] :



$$H = 3,7091.10^{-6} [1 - 0.16Ln(T)]^{1/6} .BV^{7/6} \quad (III.20)$$

$$BV = 3,018.10^{13} [1 - 0.16Ln(T)]^{-1/4} .ND^{-3/4} \quad (III.21)$$

Afin de mieux appréhender ce mécanisme de claquage en fonction de la température, nous avons simulé la structure VDMOS avec le logiciel Atlas et le module Giga. Les résultats de la simulation bidimensionnelle en fonction de la température (Figure (III.8)), confirment la validité de notre approche de simulation en ce qui concerne le choix du modèle Selberherr, puisque les tensions de claquage simulées, qui correspondent à la tension de claquage de la jonction PN, sont pratiquement égales aux tensions mesurées sur le composant. On observe une augmentation de la tension de claquage (576, 578, 579V respectivement à 218K, 300K, 328K) avec l'élévation de la température. Cette augmentation est surtout due aux passages des porteurs chauds à travers la couche de déplétion sous un champ élevé. Rappelons que ce passage des porteurs sous une grande différence de potentiel (ou une tension plus élevée) permet d'acquérir l'énergie suffisante pour produire une paire électron trou.

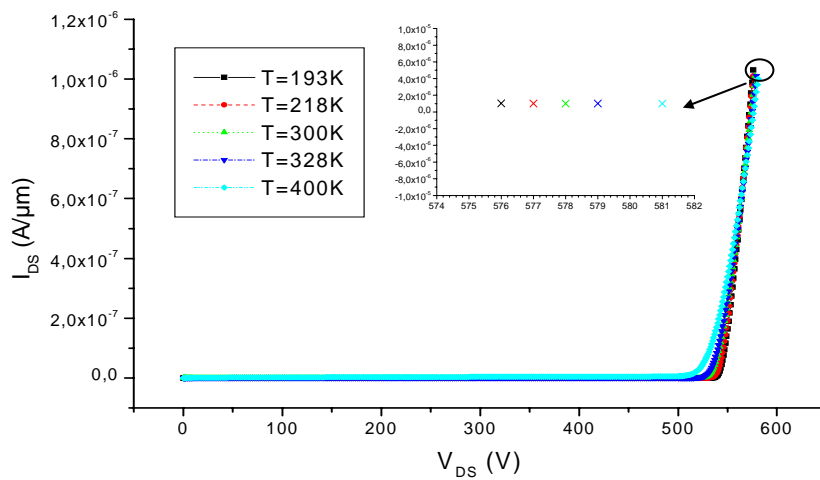


Figure (III.8) : Simulation 2D de la tension de claquage en fonction de la température

La figure (III.9) représente, pour les trois températures 218K, 300K, et 328K, la distribution de la température au claquage du transistor VDMOS. On observe les points chauds qui sont localisés à la jonction cylindrique et qui s'étalent dans la région de drift.

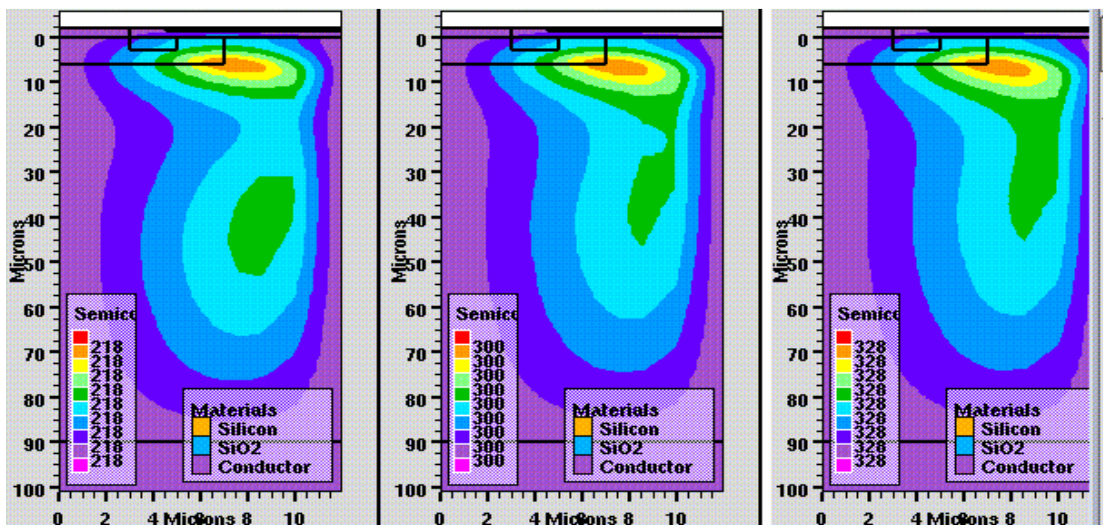


Figure (III.9) : Distribution de la température au claquage

L'étude de la répartition du champ électrique permet de mettre en évidence l'existence du phénomène d'avalanche (figure (III.10)). On localise un champ électrique maximum sur la jonction  $P_{\text{canal}}/N^-$ . Ceci est conforme avec ce qu'on vient de dire à propos des zones de claquage dans le VDMOS. Le taux de génération des paires électron - trou étant lié au champ électrique par l'intermédiaire des coefficients d'ionisation. La figure (III.11) montre la zone de fortes multiplications de porteurs responsable du claquage, située à la jonction  $P/N^-$ . La valeur du taux est maximale dans la zone de drift où le champ électrique est très fort. En augmentant la température, le taux de génération de porteurs dans la structure diminue et s'étale dans la zone de drift en dessous de la couche  $P^-$ .

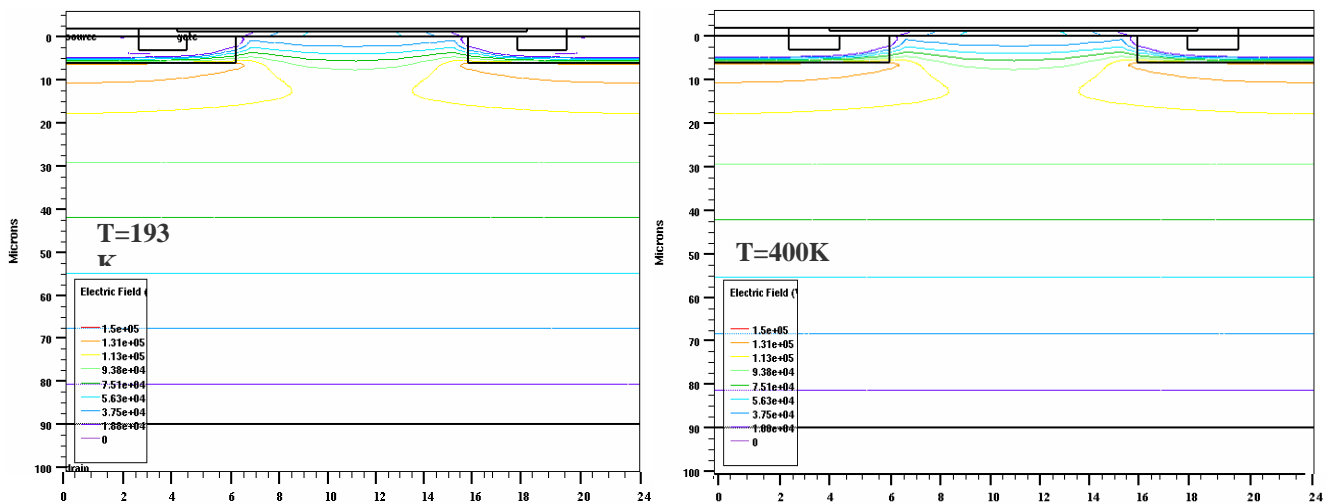


Figure (III.10) : Distribution du champ électrique au claquage pour les températures 193K et 400K

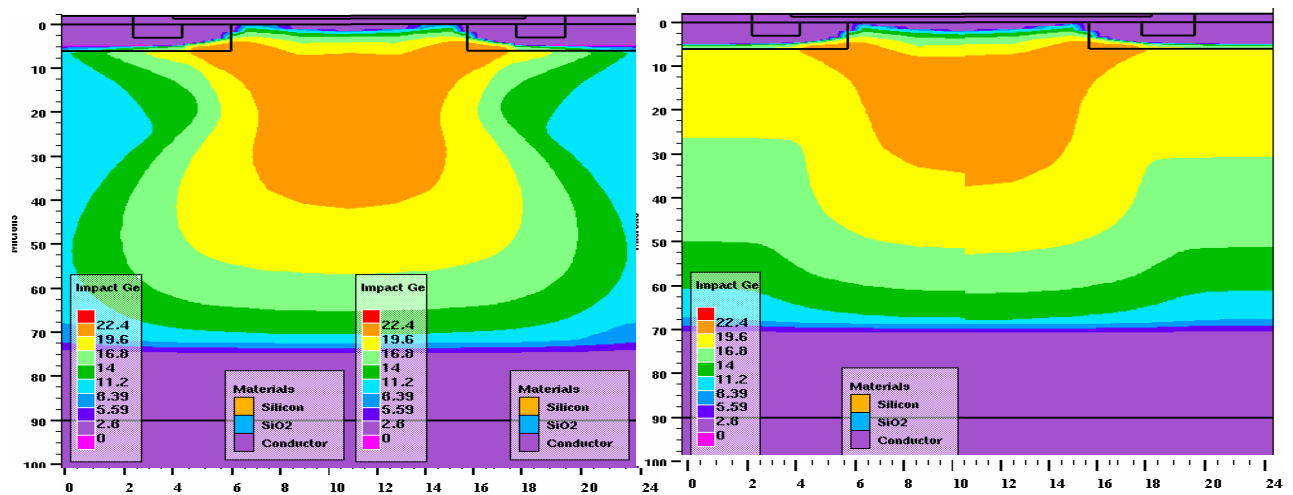


Figure (III.11) : Taux d'ionisation par impact au claquage pour la température 193K et 400K (tension de claquage=576V)

Au claquage, les lignes de courant passent à travers la jonction cylindrique du transistor où les lieux de claquage sont situés (figure (III.12)). Une augmentation de la température (193K à 400K), entraîne l'augmentation du phénomène de la défocalisation de ces lignes.

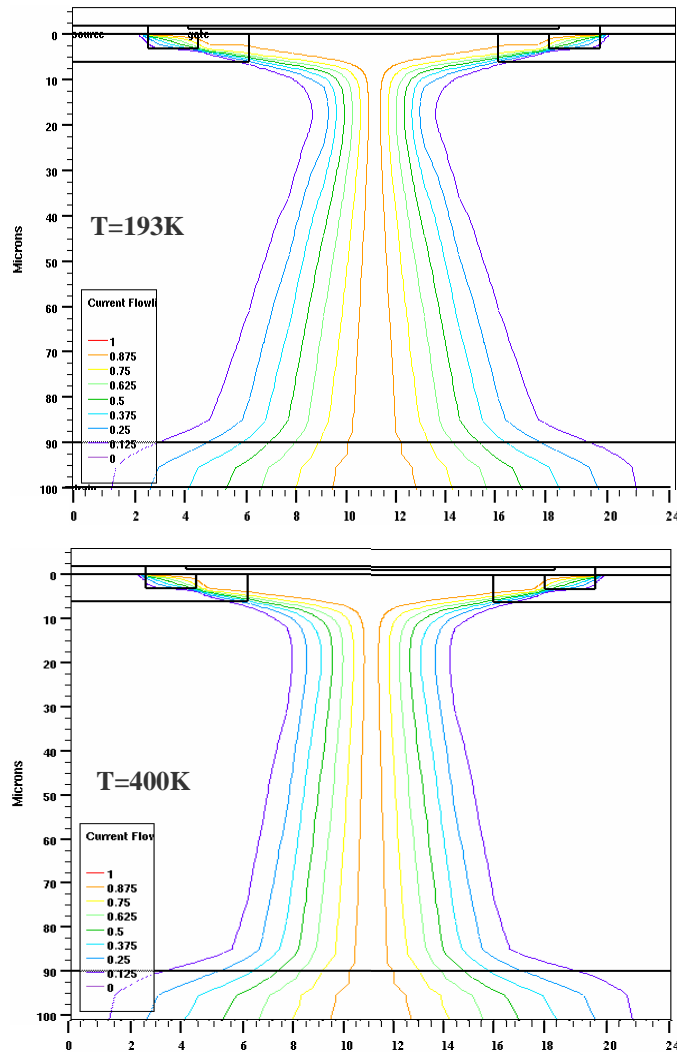


Figure (III.12) : Lignes de courant du transistor VDMOS au claquage, pour les températures 197K et 400K

### III.3.3 Second claquage du transistor VDMOS

A l'état bloqué du VDMOS, c'est-à-dire pour une tension grille - source inférieure à la tension de seuil, la caractéristique courant-tension présente au-delà d'une tension de claquage  $BV$ , une allure verticale appelée « premier claquage », analogue à celle que présente une jonction P/N mise en avalanche ; cette tension de claquage dépend peu de la tension grille - source. L'allure des caractéristiques d'avalanche ressemble à celle de la figure (III.13) : une résistance négative peut alors apparaître au-delà d'un certain niveau de courant ; c'est le régime dit de « second claquage » : la caractéristique bascule vers un mode de fonctionnement à faible tension et à croissance verticale du courant. C'est le lieu du second claquage.

L'explication communément admise pour décrire l'apparition de la résistance négative est celle de la mise en conduction du transistor bipolaire parasite qui existe intrinsèquement dans la structure. La majorité des auteurs [56, 57, 58] ont considéré que la transition se produit au moment où la tension interne substrat-source atteint 0,65V environ, entraînant le déblocage du bipolaire et simultanément le basculement de la tension supportée par le dispositif vers la valeur  $V_{CEO}$  du bipolaire. Cette polarisation substrat-source est générée par le courant dû aux porteurs majoritaires du substrat, créés par ionisation par choc dans la zone pincée du

transistor MOS. Ce courant s'écoule par l'électrode de substrat à travers sa propre résistance volumique.

Pour une tension de drain proche de la tension de claquage, et compte tenu de la valeur élevée du champ électrique dans la zone à fort champ électrique –pincée- du canal, il s'y produit une multiplication des porteurs du courant drain, par ionisation par choc. Les paires « électron -trou » ainsi créées sont collectées par le canal de conduction d'une part et par le substrat d'autre part.

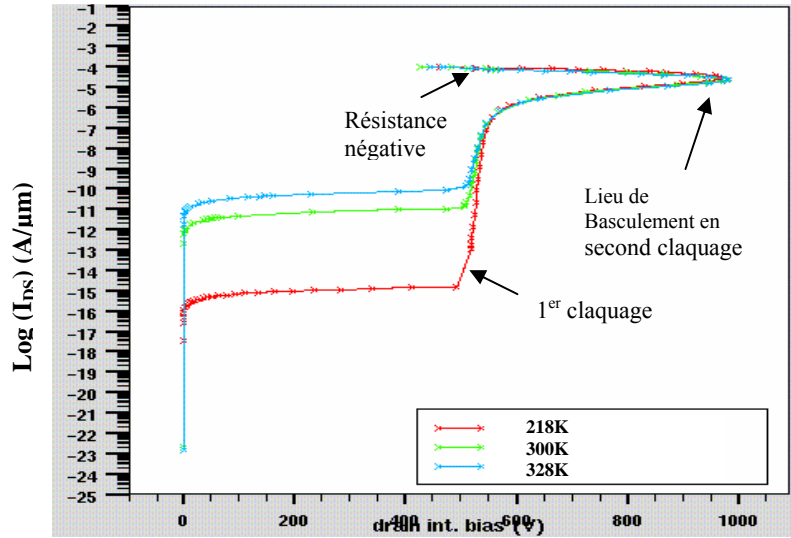


Figure (III.13) : Simulation 2D du Second Claquage du transistor VDMOS à plusieurs températures

Pour expliquer ce phénomène du second claquage, on considère le circuit équivalent de la structure associée au transistor bipolaire parasite. La résistance base - émetteur  $R_B$  correspond à la résistance latérale de la jonction Pbody (région base). Le courant dans le composant (figure (III.14)) est formé d'un courant de canal et d'un autre issu du transistor bipolaire parasite. D'après la figure (III.14), on peut écrire :

$$I_D = I_C + I_M \quad (III.22)$$

$$I_S = I_E + I_M \quad (III.23)$$

et  $I_B = I_C - I_E \quad (III.24)$

Les courants d'émetteur et de collecteur sont reliés par la relation suivante [72] :

$$I_C = \gamma_E \cdot \alpha_T M I_E \quad (III.25)$$

où  $\gamma_E$  est l'efficacité d'injection,  $\alpha_T$  est le facteur de transport de la base et  $M$  est le facteur multiplication d'avalanche. On peut supposer que les deux premiers paramètres sont égaux à l'unité pour un transistor VDMOS de puissance typique. Durant le seconde claquage, le courant d'émetteur apparaît à cause de la polarisation en direct au point A [59] :

$$I_E = I_0 e^{(qV_B/KT)} \quad (III.26)$$

Où  $V_B = R_B I_B \quad (III.27)$

En associant ces équations, on obtient :

$$I_E = I_0 \exp \left[ \frac{qR_B}{KT} (M - 1) I_E \right] \quad (III.28)$$

En utilisant le développement limité du premier ordre de l'exponentielle pour évaluer l'effet du second claquage, on peut écrire :

$$I_E = \frac{I_0}{\left[1 - \frac{qR_B}{KT}(M-1)I_0\right]} \quad (\text{III.29})$$

Le facteur de multiplication M est liée à la tension du drain par:

$$M = \frac{1}{\left[1 - (V_D / BV)^n\right]} \quad (\text{III.30})$$

avec  $n \approx 4$  pour les électrons.

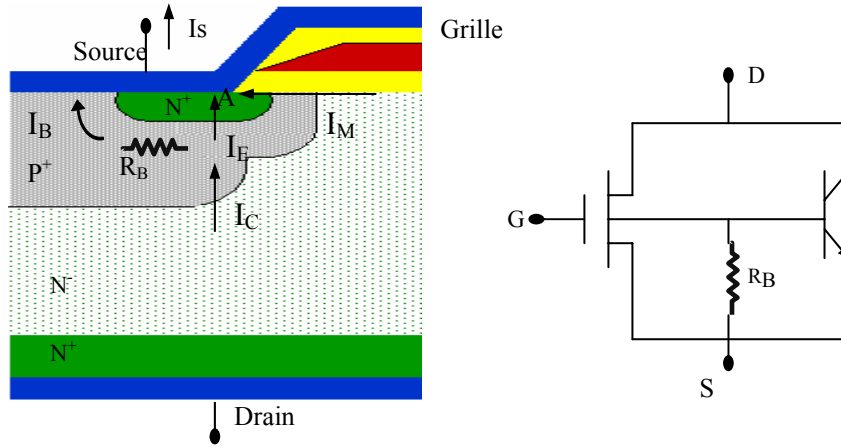


Figure (III.14) : Coupe et circuit équivalent du transistor VDMOS

Un autre phénomène intervenant dans le second claquage est celui de l'effet de la chute de tension de P body (*MOSFET body bias effect*). Dans ce cas, on définit le coefficient  $\gamma$  [59] :

$$\gamma = \frac{\Delta I_D}{\Delta V_B} \quad (\text{III.31})$$

Le courant de la source sera donné par :

$$I_s = I_M + \gamma.V_B = I_M + \gamma.R_B I_B \quad (\text{III.32})$$

Sachant que le courant de la base est donnée par :

$$I_B = I_D - I_S = (M-1)I_S \quad (\text{III.33})$$

On remplace  $I_S$  par son expression, on obtient :

$$I_B = (M-1)(I_M + \gamma.R_B I_B) \quad (\text{III.34})$$

Cette équation permet d'écrire :

$$I_B = \frac{(M-1)I_M}{1 - \gamma.R_B(M-1)} \quad (\text{III.35})$$

et

$$I_s = \frac{I_M}{1 - \gamma.R_B(M-1)} \quad (\text{III.36})$$

L'augmentation de la tension du drain entraîne une augmentation du facteur de multiplication et l'augmentation catastrophique du courant de la source. On peut trouver la tension qui est due à ce problème donnée par l'équation suivante :

$$V_{D,SC} = \frac{BV}{\left[1 + \gamma.R_B\right]^{1/n}} \quad (\text{III.37})$$

La réduction de la tension du second claquage est liée à l'augmentation de la résistance  $R_B$ .

Si la température augmente, la tension du premier claquage  $BV$  et le coefficient  $n$  vont augmenter. La réduction de la mobilité avec la température fait augmenter la résistance  $R_B$ . On a donc un effet de compensation, ce qui explique que la tension du second claquage et le courant présentent de faibles variations en fonction de la température.

### III.3.4 Tension de seuil

La tension de seuil  $V_T$  correspond à une valeur particulière de la tension de grille à partir de laquelle le canal d'inversion du transistor est formé. Cette valeur dépend du dopage de la zone P, de l'épaisseur d'oxyde de grille, et de la présence des charges à l'interface Si - SiO<sub>2</sub>. Des études théoriques concernant l'influence du profil du dopage dans la zone du canal sur la tension de seuil  $V_T$  [60] ont montré que l'hypothèse d'un dopage uniforme constituait une bonne approximation du cas réel où celui-ci est de type gaussien.

En prenant le substrat comme référence des potentiels, la tension de seuil  $V_T$  s'écrit sous la forme [61] :

$$V_T = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + 2\phi_F + \gamma\sqrt{2\phi_F} \quad (III.38)$$

$$\gamma = \frac{\sqrt{2qN_{a(max)}\epsilon_0\epsilon_{si}}}{C_{ox}} \quad (III.39)$$

$\Phi_F$  est le potentiel de Fermi donné par :

$$\phi_F = U_T \ln\left(\frac{N_{Amax}}{n_i}\right) \quad (III.40)$$

$\phi_{ms}$  est le potentiel métal - semiconducteur exprimé par [14] :

$$\phi_{ms} = \frac{KT}{q} \ln \frac{N_{Dpoly}N_{Amax}}{n_i^2} - E_g \quad (III.41)$$

Où  $Q_{ss}$  est la densité de charges fixes à l'interface Si/SiO<sub>2</sub>,  $C_{ox}$  la capacité de l'oxyde de grille,  $N_{Dpoly}$  le dopage de polysilicium,  $K$  la constante de Boltzmann,  $E_g$  la hauteur de la bande interdite.  $N_{Amax}$  est la valeur maximale du dopage du substrat (zone P).

Dans les équations précédentes, la concentration intrinsèque du silicium  $n_i$  est un paramètre important pour la prise en compte de l'effet température du courant. Il s'exprime par [61]:

$$n_i^2 = AT^3 \exp\left(-\frac{E_g}{KT}\right) \quad (III.42)$$

En introduisant les expressions des paramètres, on peut exprimer la dépendance de la tension de seuil en fonction de la température par [61, 62] :

$$V_T = \frac{KT}{q} \ln \frac{N_{Dpoly}N_{a(max)}}{AT^3 \exp(-E_g/KT)} - E_g - \frac{Q_{ss}}{C_{ox}} + 2\frac{KT}{q} \ln \frac{N_{a(max)}}{(AT^3 \exp(-E_g/KT))^{1/2}} + \gamma \sqrt{2\frac{KT}{q} \ln \frac{N_{a(max)}}{(AT^3 \exp(-E_g/KT))^{1/2}}} \quad (III.43)$$

D'après cette équation, on remarque la forte dépendance de cette tension de seuil et des paramètres : épaisseur de l'oxyde, dopage et température (figure (III.15)).

La simulation bidimensionnelle en fonction de la température (218K, 300K et 328K), fournit les coupes de structure de la figure (III.16) et les caractéristiques de transfert de la figure (III.17).

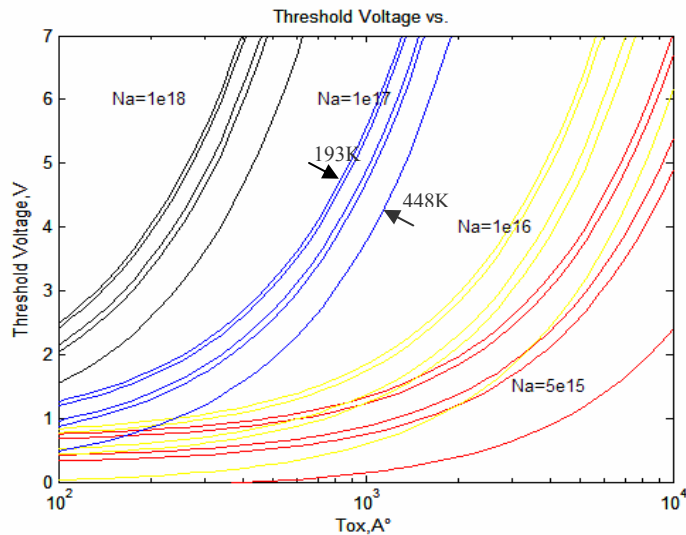


Figure (III.15) : Tension de seuil en fonction de l'épaisseur de l'oxyde de grille à plusieurs températures et dopages de substrat

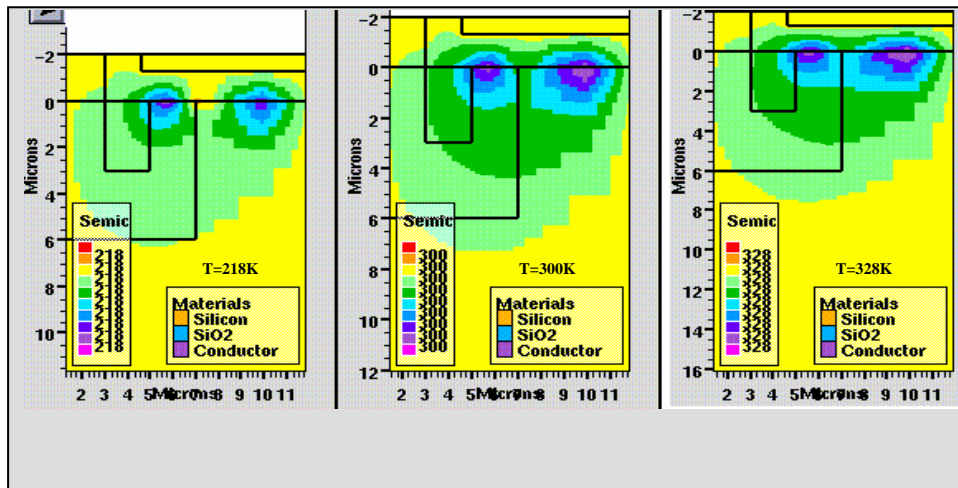


Figure (III.16) : Distribution de la température ( $V_{DS}=0.1V$  et  $V_{GS} = 10 V$ ) et des points chauds à l'interface Si/SiO<sub>2</sub> du transistor VDMOS

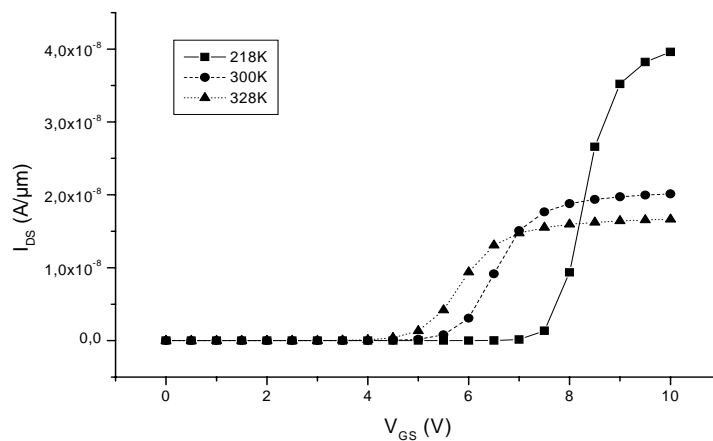


Figure (III.17) : Caractéristiques  $I_D(V_{GS})$  à plusieurs températures

Plusieurs commentaires peuvent être faits:

1- Le profil de température de la figure (III.16) montre que les points chauds se localisent à l'interface oxyde – semiconducteur et s'étalent plus avec l'augmentation de la température.



Ces points chauds dépendent aussi de la tension drain - source. L'augmentation de cette tension entraîne une élévation de la valeur maximale de ces points. On peut noter que l'action de la température devient légèrement faible pour des valeurs de la tension drain élevée ; ceci résulte de la saturation du courant dans le transistor VDMOS.

2- La diminution de la tension de seuil peut être expliquée par l'augmentation des porteurs par excitation thermique, ce qui facilite le passage du courant et exige moins de tension pour débloquer le transistor.

3- En pratique, la diminution de la tension de seuil peut être due à la présence des charges dans l'oxyde [63], qui peuvent provenir des charges libres dans le canal. En effet, les électrons dans le canal acquièrent une énergie suffisante sous l'action de la température, pour détruire la liaison covalente Si-H et créer des charges à l'interface Si-SiO<sub>2</sub>. Les électrons ont une mobilité très grande et ne restent pas "attrapés" dans l'oxyde. Seules les charges positives seront attrapées dans l'oxyde. Dans les conditions de la simulation, les charges attrapées peuvent être considérées comme des charges d'interface. La diminution de la tension de seuil permet de dire que ces charges attrapées sont positives.

4- La diminution de la tension de seuil est accompagnée d'une diminution de la transconductance dans la zone linéaire. Cette transconductance  $g_m$  s'exprime par [59] :

$$g_m = \frac{dI_D}{dV_G} = \mu_0 C_{ox} \frac{Z}{L} VD \quad (\text{III.44})$$

où  $\mu_0$  est la mobilité dans le canal à faible champ électrique, L et Z sont respectivement la longueur et la largeur du canal,  $C_{ox}$  est la capacité de l'oxyde par unité de surface déterminée en fonction l'épaisseur de l'oxyde de grille  $T_{ox}$  :

$$C_{ox} = \frac{\epsilon_o \epsilon_{ox}}{T_{ox}} \quad (\text{III.45})$$

On remarque que la diminution de la transconductance se produit seulement suite à une diminution de  $\mu_0$ . Ceci s'explique par le fait que ce paramètre est affecté par la diffusion des phonons acoustiques qui augmente avec la température. Plus précisément, la diffusion des phonons et des charges fixes à l'interface augmente la probabilité de collision entre les porteurs et les charges fixes. La vitesse des porteurs se voit réduite. Par conséquent, la valeur de la mobilité dans le canal sera plus faible.

### III.3.5 Caractéristiques de sortie

La simulation de la caractéristique de sortie du transistor VDMOS (figure (III.18)) montre que le courant de drain est affecté par l'élévation de la température. Pour des valeurs de tension élevées (régime de saturation), c'est l'effet de modulation de la mobilité dans le canal qui peut intervenir faisant atteindre la saturation du courant dans le VDMOS. Sous l'effet du champ électrique qui est parallèle au vecteur densité du courant, la distribution de la température dans la structure VDMOS (Figure (III.19)), localise les points chauds à l'interface Si-SiO<sub>2</sub> et à la sortie du canal.

L'interprétation des résultats obtenus peut être faite en considérant la résistance à l'état passant  $R_{on}$  du transistor. Cette résistance est la mise en série de la résistance du canal  $R_{ch}$ , de la résistance de la zone d'accès  $R_a$ , et de la résistance de la zone de drift faiblement dopée  $R_d$  :

$$R_{on} = R_{ch} + R_a + R_d \quad (\text{III.46})$$

A faible régime d'inversion (champ électrique faible), c'est le phénomène de « Coulomb scattering », ou « Impurity scattering » - diffusion des porteurs avec les impuretés ionisées – qui domine. Ce phénomène résulte des interactions entre les porteurs de la couche inversée et les charges localisées dans l'oxyde, les charges d'interfaces et les impuretés ionisées dans le



volume. Pendant ce régime, la mobilité est caractérisée par la mobilité à champ faible  $\mu_0$ , et la résistance à l'état passant  $R_{on}$  est dominée par la résistance de canal ( $R_{on} \approx R_{ch}$ ) [64]. En se basant sur l'expression du courant dans le transistor VDMOS [64] :

$$I_D = \frac{\mu \frac{Z}{L} C_{ox} \Psi}{1 + \frac{V_{DS}}{LE_0}} \left\{ \left[ V_{DS} + \Psi \ln \left( \frac{\Psi + V'_{GS} - 2\Phi_F - V_{DS}}{\Psi + V'_{GS} - 2\Phi_F} \right) + \right. \right. \quad (III.47)$$

$$\left. \left. 2\sqrt{\Phi_B} \left[ \sqrt{V_{DS} + 2\Phi_F} - \sqrt{2\Phi_F} - \sqrt{V'_{GS} + \Psi} \right] \left( \begin{array}{l} \text{Arg tanh} \left( \frac{\sqrt{V_{DS} + 2\Phi_F}}{V'_{GS} + \Psi} \right) \\ - \text{Arg tanh} \left( \frac{\sqrt{2\Phi_F}}{V'_{GS} + \Psi} \right) \end{array} \right) \right] \right\}$$

$V_{DS}$  est la tension drain substrat,  $V'_{GS} = V_{GS} + V_{FB}$  la tension effective de grille,  $V_{FB}$  le potentiel de la bande plate,  $L$  la longueur du canal,  $C_{ox}$  la capacité par unité de surface de l'oxyde de grille,  $E_0$  le champ électrique longitudinal critique,  $\psi$  le potentiel qui tient compte de l'effet du champ électrique transverse.

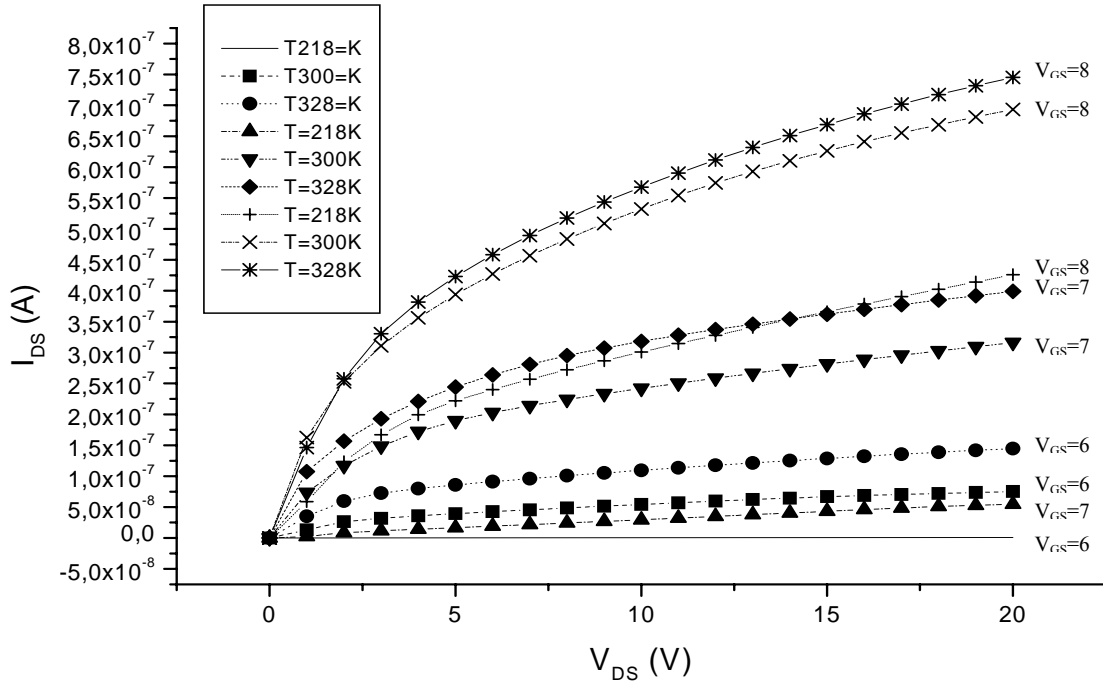


Figure (III.18) : Simulation 2D des caractéristiques de sortie en fonction de la température

La résistance  $R_{ch}$  peut s'exprimer par [65] :

$$R_{ch} = \left( \mu_0 C_{ox} \frac{Z}{L} \right) \left( 1 + \frac{V'_{GS} - 2\Phi_F}{\Psi} \right) \frac{\ln \left[ 1 + \frac{(V'_{GS} - 2\Phi_F) \sqrt{\frac{N_D}{N_{Amax}} - 1}}{(V_{GS} - V_T) \sqrt{\frac{N_D}{N_{Amax}}}} \right]}{\ln \sqrt{\frac{N_D}{N_{Amax}}} \cdot (V'_{GS} - 2\Phi_F)} \quad (III.48)$$

Cette résistance dépend de la température à travers la mobilité dans le canal  $\mu_0$ , le potentiel de Fermi  $\phi_F$  et la tension de seuil  $V_T$ .

A faible champ, la tension de seuil diminue mais la mobilité augmente avec l'élévation de la température. L'équation (III.48) montre que l'effet de la mobilité est plus important que celui de la tension de seuil. Une augmentation de la température et du champ électrique implique une forte augmentation de la valeur de la mobilité ( $\mu_0(-55^\circ C) = 400 \text{ cm}^2/V_s$  à  $\mu_0$

(150°C)=1834 cm<sup>2</sup>/Vs). Par conséquent, cette résistance de canal  $R_{ch}$  augmente avec l'augmentation de la température et du champ électrique (figure (III.20)).

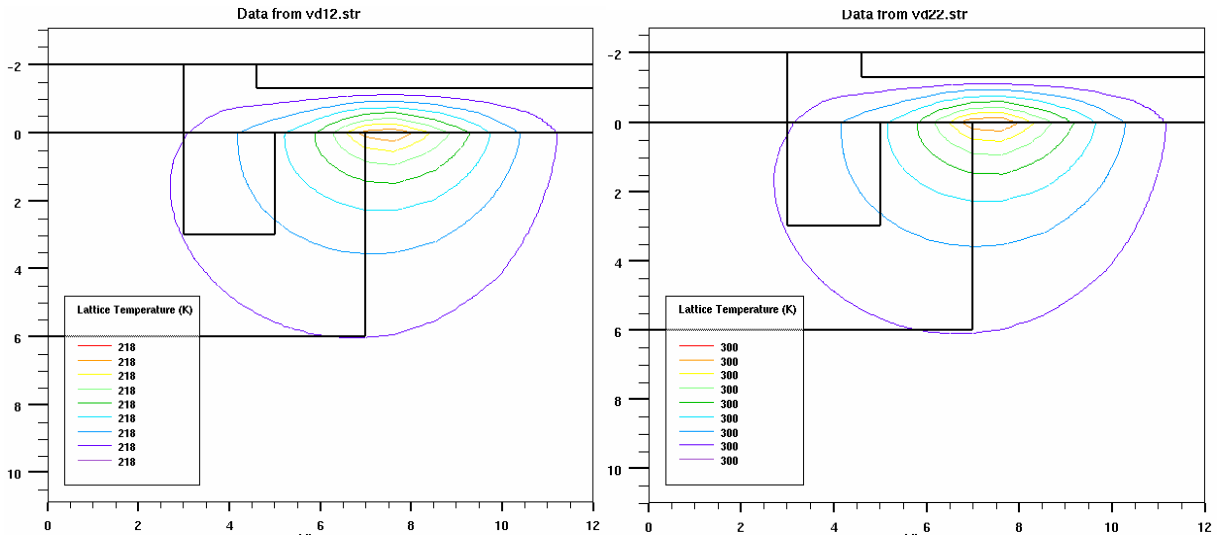


Figure (III.19) : Distribution de la température et des points chauds dans le transistor VDMOS pour les températures 218K et 300K ( $V_{GS}=7V$  et  $V_{DS} = 20V$ )

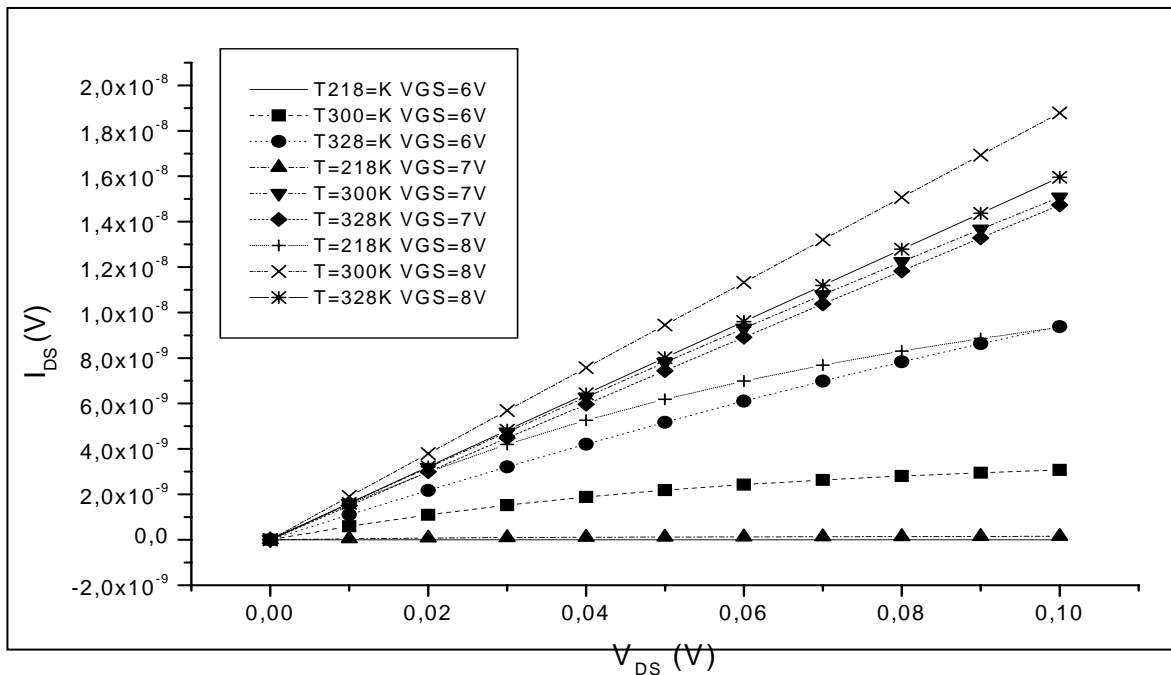


Figure (III.20): Courbes simulées de  $I_{DS} = f(V_{DS})$  évaluant la résistance à l'état passant en régime linéaire pour différentes températures.

À tension drain - source élevée, la résistance à l'état passant est dominée par la résistance de la zone de drift  $R_d$ . Le calcul de cette résistance tient compte de la défocalisation des lignes de courant sous la zone diffusée P, sous un angle de 45° [65] :

Pour des couches d'épitaxie épaisses,  $H - h > \frac{l}{2}$

$$R_d = \left[ \frac{1}{q \cdot \mu_n \cdot N_D (r+l)^2} \right] \left[ (H-h) - \frac{l}{2} + \left( \frac{l+r}{4} \right) \text{Log} \left( 1 + \frac{2l}{r} \right) \right] \quad (\text{III.49})$$

Pour des couches d'épithaxie fines,  $H - h < \frac{l}{2}$

$$R_d = \left[ \frac{1}{4q\mu_n N_D (r+l)} \right] \left[ \text{Log} \frac{2(H-h+l)(2l+r)}{2l+r-2(H-h)} \right] \quad (\text{III.50})$$

$H$  et  $\mu_n$  sont l'épaisseur et la mobilité de la couche volumique  $N^-$ ,  $N_D$  son dopage,  $l$  la largeur de la diffusion  $P^-$ ,  $h$  la profondeur de la diffusion  $P$ , et  $r$  la distance inter - cellulaire.

Ces expressions montrent la dépendance de la température, à travers les paramètres de la structure et la mobilité dans la zone de drift  $\mu_n$ . Avec l'augmentation du champ électrique et de la température, on observe une augmentation de la mobilité  $\mu_n$  qui sera limitée par la vitesse de saturation des porteurs. En effet, comme le champ électrique augmente, la charge d'inversion augmente, impliquant l'augmentation de la mobilité. Cette augmentation continue jusqu'à ce que la diffusion de phonons devienne dominante, et qu'ensuite la mobilité commence à diminuer avec l'augmentation effective du champ à la vitesse de saturation.

### III.3.6 Jonction PN (Dbody) du VDMOS

La diode Dbody localisée entre le drain et la source, via la diffusion  $P^+$ , tient compte de la possibilité éventuelle de conduction du transistor VDMOS en inverse, et des effets de stockage de charge lors de sa mise en recouvrement. À l'état bloqué, cette jonction se trouve polarisée dans le sens direct et devient conductrice (figure (III.21)).

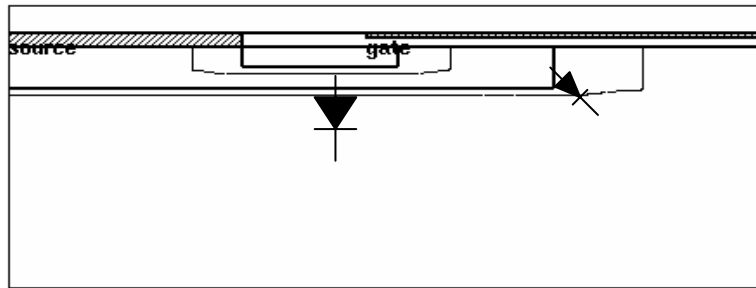


Figure (III.21) : Coupe verticale d'une cellule d'un transistor VDMOS de Puissance. La figure montre la localisation de la jonction Dbody entre le drain et la source

La figure (III.22) présente la simulation des caractéristiques de cette jonction Dbody obtenues pour trois températures différentes :

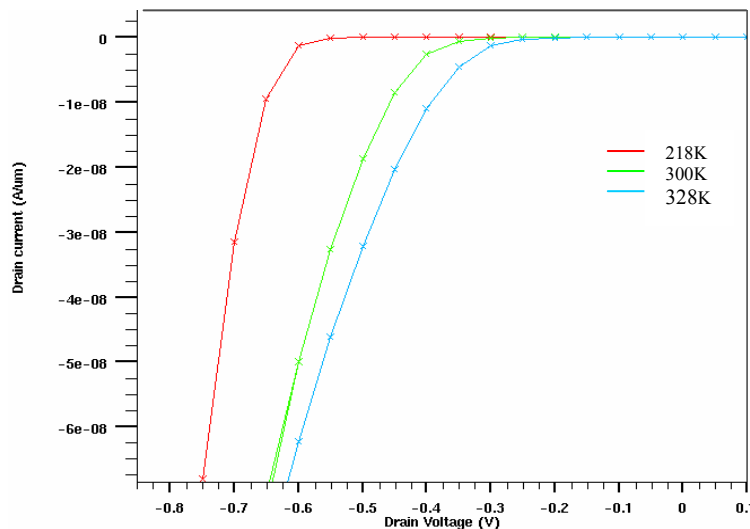


Figure (III.22) : Caractéristiques  $I_{DS}-V_{DS}$  de la jonction à tension de grille nulle

Pour différencier les différents phénomènes qui règnent dans cette jonction, on représente en échelle logarithmique les caractéristiques courant – tension (figure (III.23)). Quatre régions se distinguent : (a) région du courant dû à la recombinaison dans la zone de charge d'espace, (b) région de courant de diffusion, (c) région de forte injection, (d) région due à l'effet de la résistance série.

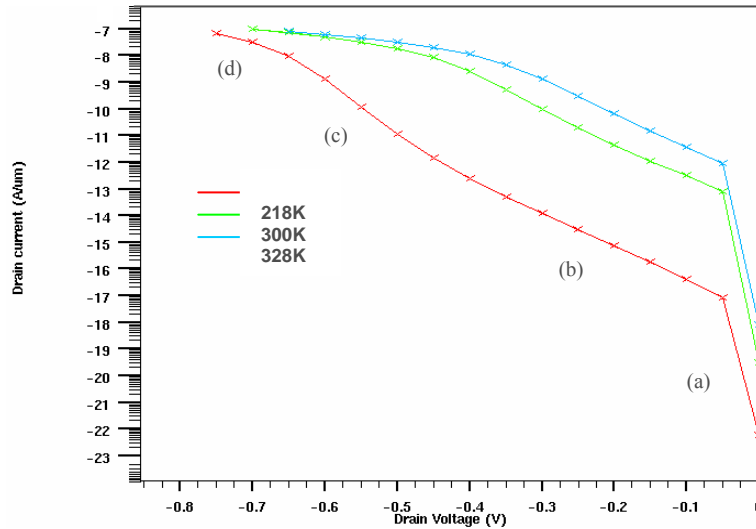


Figure (III.23) : Caractéristiques  $I_{DS}-V_{DS}$  (en échelle logarithmique) de la jonction avec tension de grille nulle

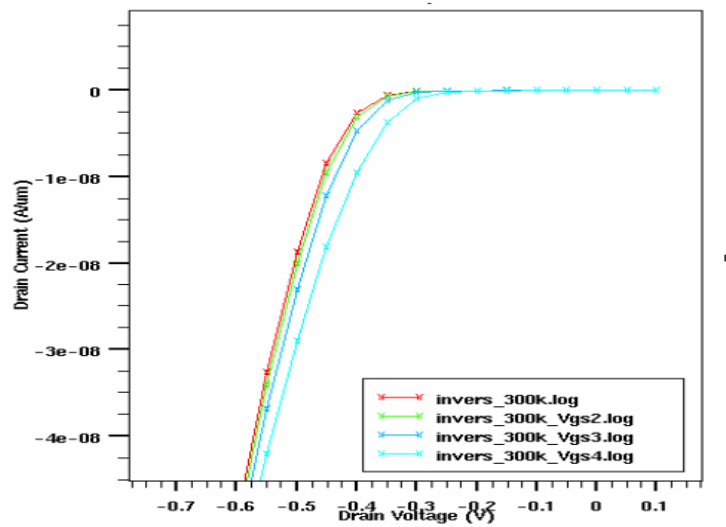


Figure (III.24) : Caractéristiques  $I_D = f(V_{DS})$  de la jonction avec différentes valeurs de tension de grille (0,2,3 et 4V) à  $T=300K$

La simulation bidimensionnelle de la jonction body - drain permet l'inspection de l'influence de la tension de grille et de la température sur le courant de fuite dans le canal. La figure (III.24) illustre les caractéristiques  $I_{DS}=f(V_{DS})$  du VDMOS simulés pour plusieurs tensions de grille. Ces caractéristiques sont largement dépendantes de la couche d'oxyde située sous la grille dont les propriétés électriques évoluent pour former un canal conducteur. La valeur de la résistance du canal drain - source qui caractérise le composant, est fortement dépendante des propriétés de l'interface Si-SiO<sub>2</sub>. Sa mesure est assez importante puisqu'elle permet un suivi des dégradations qui peuvent apparaître lors d'un fonctionnement sous contraintes thermiques. Notre étude de l'influence de la tension de grille sur la jonction (body

- drain) est limitée à des tensions de grille inférieures à la tension de seuil ( $V_{GS} < V_{th} = 5V$ ). Pour des tensions plus importantes que cette tension de seuil (de formation du canal), la couche d'inversion se forme et le courant mesuré dans ce cas est le courant passant par le canal du transistor, le courant de fuite s'identifie au courant de conduction inverse du transistor ( $V_{DS} < 0$ ).

Pour ce régime de fonctionnement, la modélisation par la diode n'est plus valable. Le circuit équivalent doit tenir compte des modélisations suivantes (figure (III.25)): une diode ( $D_1$ ) pour le mécanisme de diffusion, une diode ( $D_2$ ) pour le mécanisme de recombinaison, une diode ( $D_3$ ) pour la jonction cylindrique, une résistance  $R_1$  pour les pertes résistives dans la zone d'accès, une résistance  $R_{b2}$  à jonction body P qui doit être réduite au minimum par la conception en faisant varier le dopage et la géométrie, une résistance  $R_{b1}$  de la zone en dessous de la source, une résistance de fuite  $R_{sh}$ .

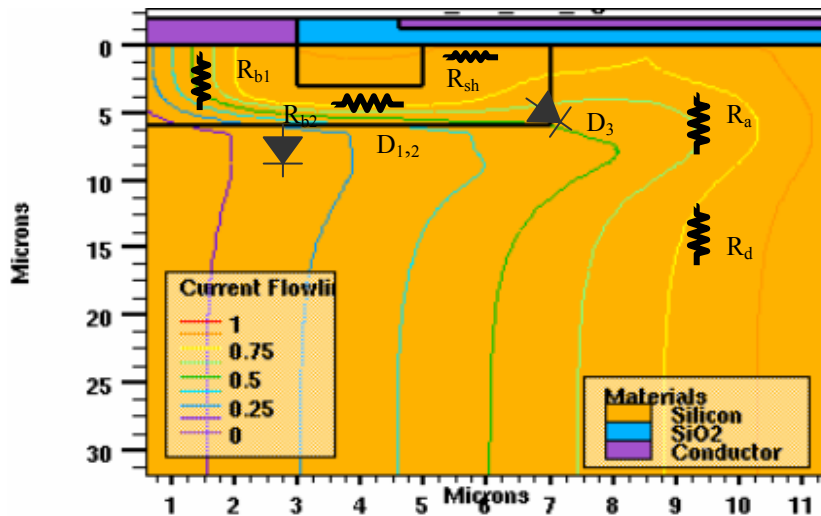


Figure (III.25) : Localisation des éléments modélisant la jonction Body-Drain

- **Influence de la température à tension de grille constante** : Pour une tension de grille - source constante, la simulation de la structure VDMOS met en évidence l'effet de la température sur le courant inverse (figure (III.26)). La répartition des lignes de courant (figure (III.27)), montre que l'augmentation de la température entraîne une diminution de la déformation des lignes de courant au niveau de la jonction.

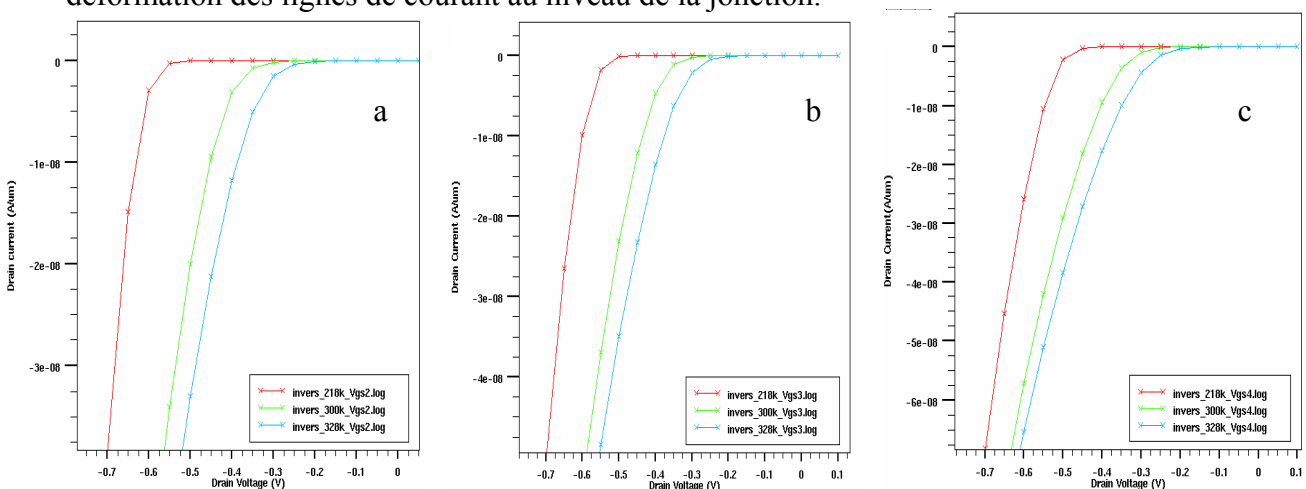


Figure (III.26) : Evolution des caractéristiques du courant - tension de la jonction pour différentes températures 218, 300, 328K avec les valeurs  $V_{GS}$  : (a) 2V ; (b) 3V ; (c) 4V

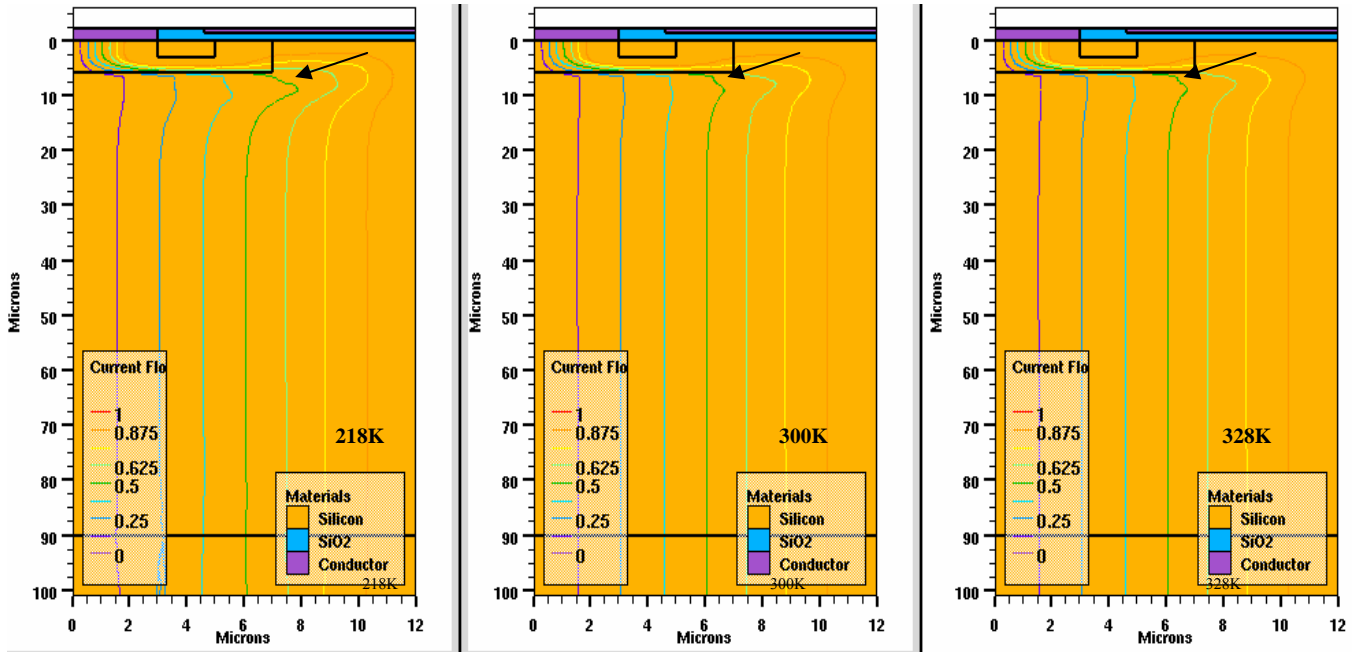


Figure (III.27) : Lignes de courant dans le transistor VDMOS pour  $V_{GS}=0$  et pour les températures : 218K, 300K et 328K

Pour une tension de grille - source proche de la tension de seuil (4 Volts), la simulation des lignes de courant dans la structure à plusieurs températures (figure (III.28)), montre que l'augmentation de la température entraîne une déformation des lignes de courant, créant ainsi un courant qui s'étale dans la zone d'accès et un autre de fuite à l'interface Si - SiO<sub>2</sub> dans la région inter - cellulaire. Ceci s'explique par le fait que la tension de grille est proche de la tension de seuil (formation du canal d'inversion) qui attire les porteurs à l'interface de cette région.

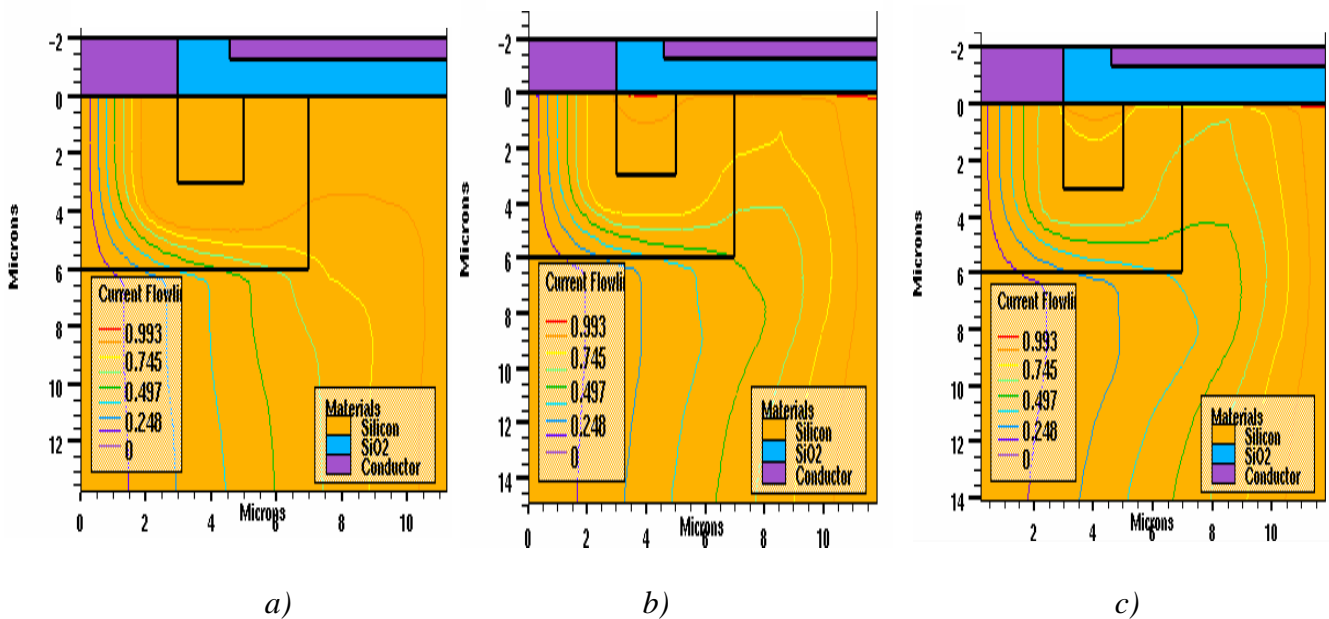


Figure (III.28) : Lignes de courant dans le VDMOS pour les températures : (a)  $T=218K$ , (b)  $T=300K$  et (c)  $T=328K$  ( $V_{DS}<0$  et  $V_{GS}=4<V_T$ )

**Influence de la tension de grille à température constante :** La simulation des caractéristiques en inverse (figure (III.29)) à température constante et pour plusieurs valeurs de la tension de grille (inférieures à la tension de seuil), montre que la variation de la tension de grille induit un courant de fuite qui vient s'ajouter au courant initial (pour  $V_{GS}=0$ ).

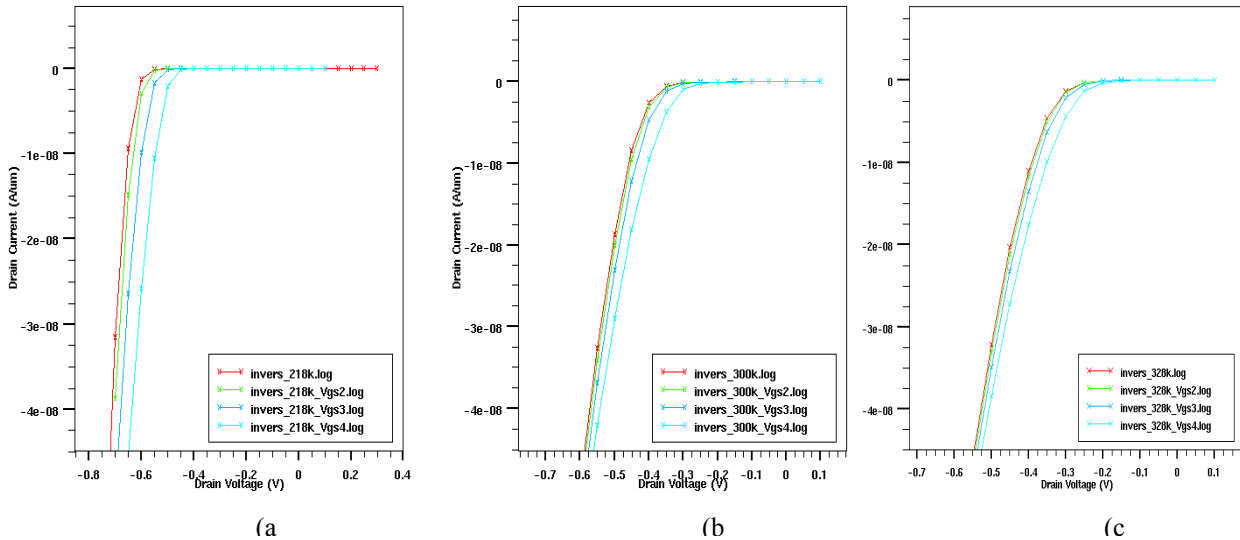


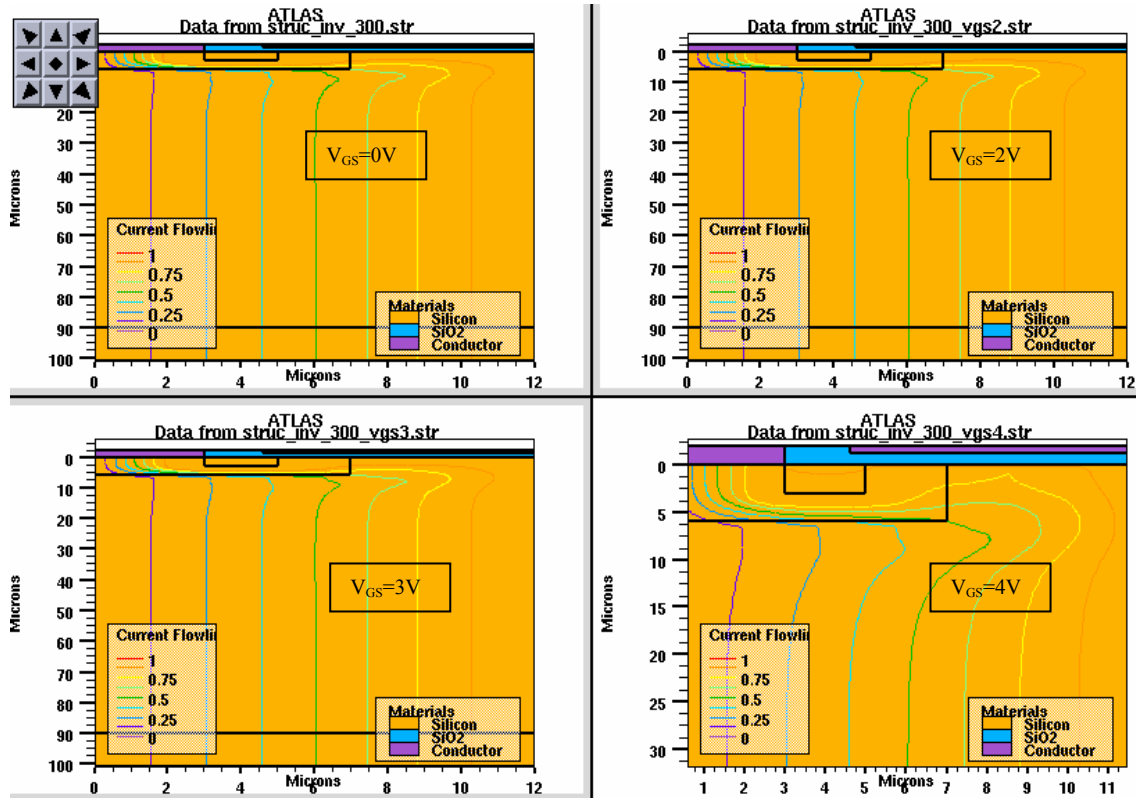
Figure (III.29) : Evolution des caractéristiques courant - tension en inverse pour différentes valeurs de la tension grille -source : 0, 2, 3, 4 V (a)  $T=218K$  (b)  $T=300K$  (c)  $T=328K$

Sur les figures (III.30), nous avons voulu comparer les lignes de courant dans le VDMOS, pour différentes valeurs de la tension de grille et pour deux valeurs de température : 300K et 328K.

Nous constatons que l'augmentation de la tension de grille à température constante entraîne une déformation des lignes de courant au niveau de la jonction cylindrique ( $V_{GS}=3V$  et  $V_{GS}=4V$ ) et augmente le passage du courant dans la zone d'accès et le courant de fuite à l'interface. Nous observons aussi que l'augmentation de la température à 328K attire vers l'interface les lignes de courant dans la zone d'accès. Rappelons que cette zone d'accès est contrôlée par la présence de la couche accumulée à la surface de la zone  $N^-$  faiblement dopée induite par la polarisation positive de la grille. Les caractéristiques courant - tension obtenues lors de cette procédure sont présentées dans la figure (III.31). A l'échelle logarithmique, on obtient aussi les courbes de la figure (III.32), qui permettent de mettre en évidence les différentes régions décrites précédemment.

Notons ici que les défauts introduits lors de la fabrication du composant (cas des MOSFETs de très petites surfaces), jouent un rôle important dans l'étude du courant de la diode. Leurs effets sont responsables de l'augmentation du courant de recombinaison et du facteur de qualité [66].

Pour conclure, nous pouvons dire que la simple modification de la résistance du canal par action électrostatique ( $V_{GS}$ ) entraîne un rééquilibrage des paramètres de la jonction correspondant donc à une modification de ses processus de conduction, bien qu'aucune action physique ne soit exercée au niveau de la zone de charge d'espace. Ces résultats confirment l'étude de la dépendance des paramètres avec la polarisation [67, 68]. Cette méthode permet aussi de caractériser les dégradations dans le canal suite à des dégradations d'origines industrielles (porteurs chauds) [69] ou radiatives (charges piégées dans l'oxyde et à l'interface Si-SiO<sub>2</sub>) [70].



a)  $T=300K$

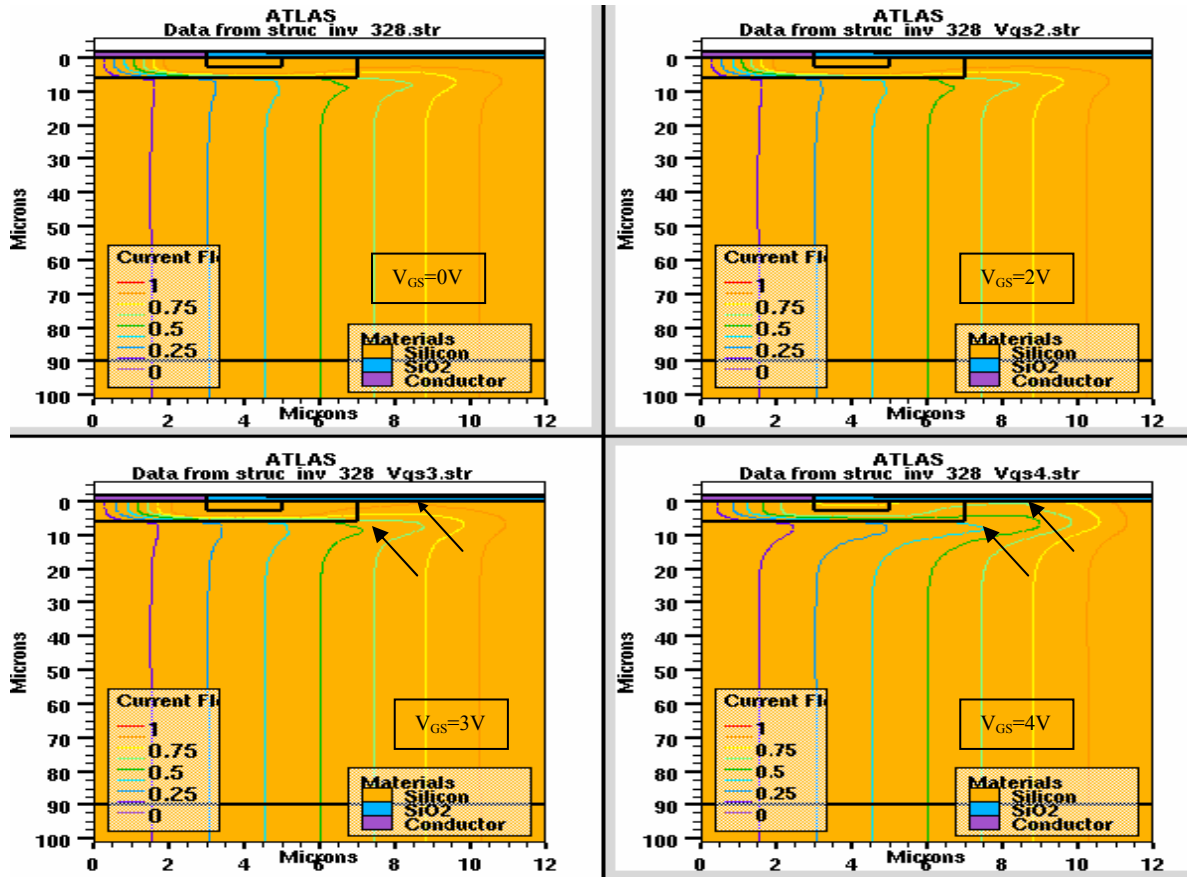


Figure (III.30) : Lignes de courant dans le VDMOS pour différentes valeurs de  $V_{GS}$  (0, 2, 3, 4V) et à la même température : a)  $T=300K$  et b)  $T=328K$



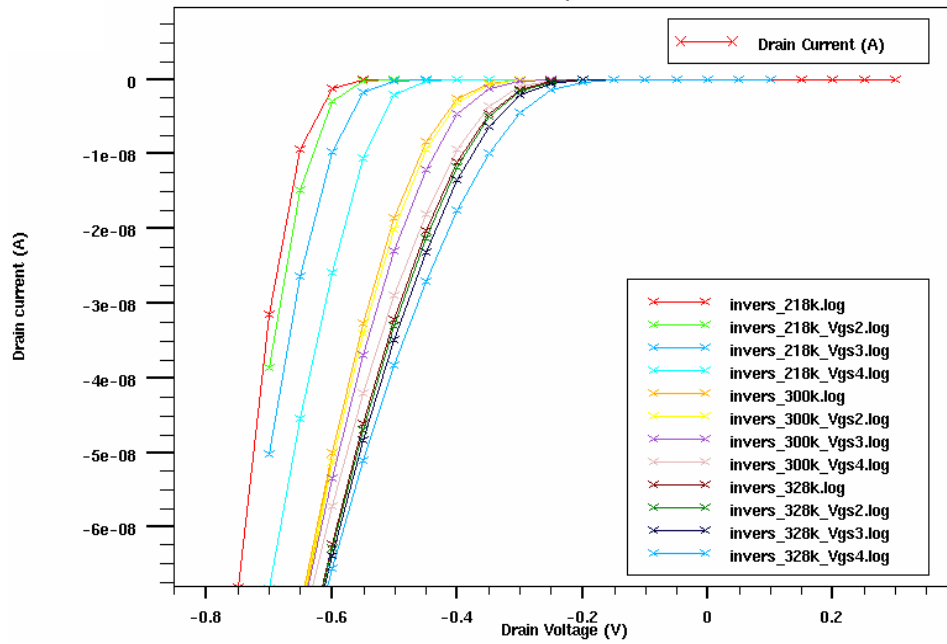


Figure (III.31) : Caractéristiques  $I_{DS}-V_{DS}$  de la jonction avec les tensions de grille : 0 , 2 et 3V, et pour les températures : 218K, 300K et 328K

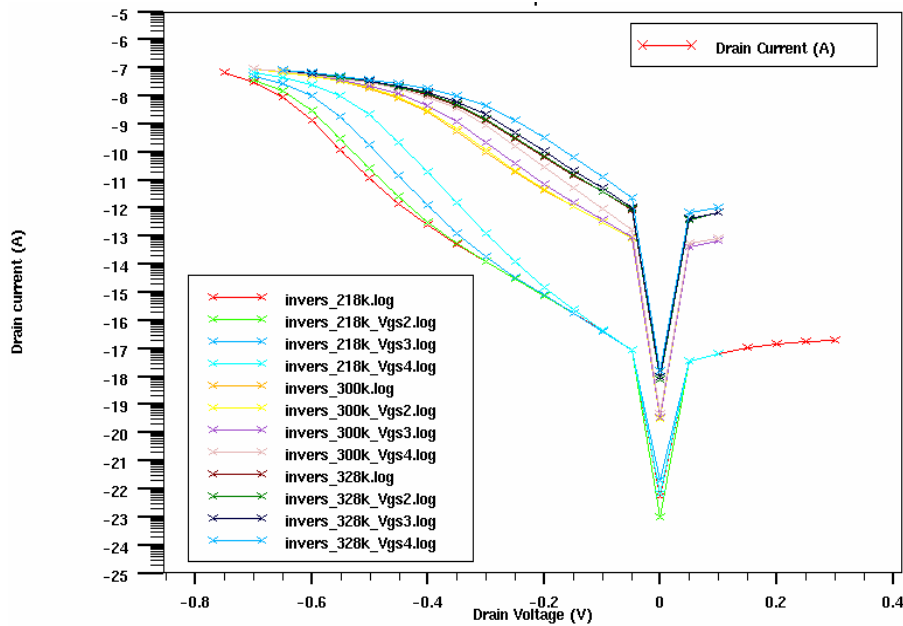


Figure (III.32) : Evolution à l'échelle logarithmique des caractéristiques I-V de la jonction pour plusieurs tensions de grille et plusieurs températures

### III.3.7 Capacités du VDMOS

Plusieurs capacités interviennent dans le comportement dynamique du transistor VDMOS : la capacité grille - source  $C_{gs}$  , la capacité grille - drain  $C_{gd}$  et la capacité drain - source  $C_{ds}$  (figure (I.4)).

### III.3.7.1 Capacité grille - source

La première capacité est la capacité  $C_{gs}$  qui est localisée entre la grille et la source. Elle est la mise en parallèle de trois capacités : la capacité d'oxyde mince  $C_{gsb}$  localisée entre la zone P du canal et la grille, la capacité d'oxyde épais  $C_{gs2}$  entre la métallisation de la source et le polysilicium de grille, et la capacité  $C_{gs1}$  due au débordement de l'oxyde mince de grille sur la diffusion  $N^+$  de la source (figure (III.33)).

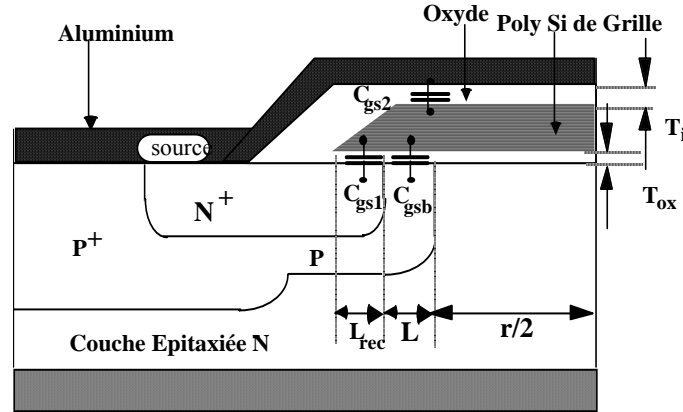


Figure (III.33) : Localisation des composantes de la capacité Grille - Source

Pour la simulation bidimensionnelle de cette capacité, une rampe de tension est appliquée sur l'électrode de grille ainsi qu'un signal sinusoïdal sur l'électrode de source d'amplitude 15mV et de fréquence 1Mhz. La même procédure de simulation pour la prise en compte de l'effet de la température est utilisée.

Les courbes simulées de cette capacité  $C_{gs}$ , en fonction de la tension grille - source  $V_{GS}$  et de la température, sont présentées sur la figure (III.34). La simulation de cette capacité peut fournir des informations importantes sur la fiabilité de la région de canal. D'après ces courbes, l'effet de la température provoque un décalage  $\Delta V$  de la tension. Dans la région de la tension  $V_{GS}$  négative (jusqu'à  $V_{GS}=0V$ ), nous sommes en régime de déplétion (région 1). En augmentant positivement la tension de grille, la couche de déplétion se voit réduite et le composant entre en régime de faible inversion (région 2). L'augmentation de la tension de grille positive fait atteindre le composant un régime de forte inversion (région 3). Nous constatons que le potentiel de la bande plate et la tension de seuil dérivent négativement avec l'augmentation de la température. Notons ici que la réduction de la température supprime les mécanismes thermiques et l'ionisation par effet de champ. Ces phénomènes sont rarement observés à basse température.

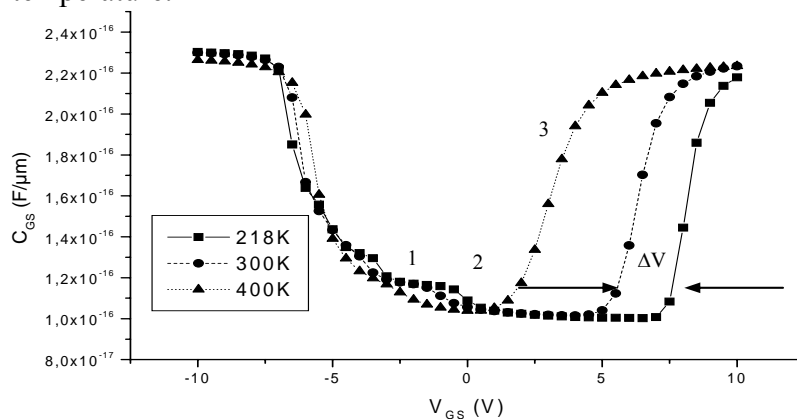


Figure (III.34) : Simulation 2D de la capacité  $C_{gs}$  en fonction de  $V_{GS}$  pour différentes températures

### III.3.7.2 Capacité grille - drain

Dans le cas d'un régime variable (ou dynamique), il a été démontré [71] que la zone intercellulaire, qui peut être accumulée ou dépeuplée, peut être représentée topologiquement par une ligne de transmission que l'on peut approximer (au 2<sup>e</sup> ordre en fréquence) par une capacité grille - drain  $C_{gd}$  et une résistance [71]. Cette dernière, qui n'est autre que la résistance de la zone d'accès  $R_a$ , n'influe de fait sur le comportement électrique du transistor qu'en régime "linéaire" ; ceci dû au fait qu'en régime saturé le comportement électrique du transistor est essentiellement dominé par le gain du canal d'inversion et par les capacités associées.

La capacité grille - drain  $C_{gd}$ , fréquemment appelée « capacité Miller », est physiquement une capacité MOS qui présente deux composantes en série (figure (III.35)) : l'une d'oxyde de valeur constante  $C_{gdmax}$  est prépondérante lorsque le potentiel du drain  $V_D$  est inférieur à celui de grille  $V_G$ . La deuxième est constituée par la même capacité d'oxyde  $C_{gdmax}$  en série avec la capacité de déplétion  $C_{dgd}$  de la zone désertée sous la grille du semiconducteur lorsque  $V_D$  est inférieur au potentiel de grille  $V_G$ . La capacité  $C_{gdmax}$  se calcule en appliquant la formule générale classique "du condensateur", et en tenant compte des formes de structures cellulaires et des effets latéraux liés au processus technologique de fabrication. Quant à la capacité de déplétion  $C_{dgd}$ , on peut l'exprimer, pour une surface unitaire, par:

$$C_{dgd} = \left[ \frac{q N_D \epsilon_0 \epsilon_i}{2 \frac{KT}{q} \cdot \ln N_D \cdot \left( \frac{\exp(E_g / KT)}{AT^3} \right)^{1/2}} \right]^{1/2} \quad (III.51)$$

$N_D$  est le dopage de l'épitaxie  $N^-$ , et  $\epsilon_0 \cdot \epsilon_{Si}$  la permittivité du silicium.

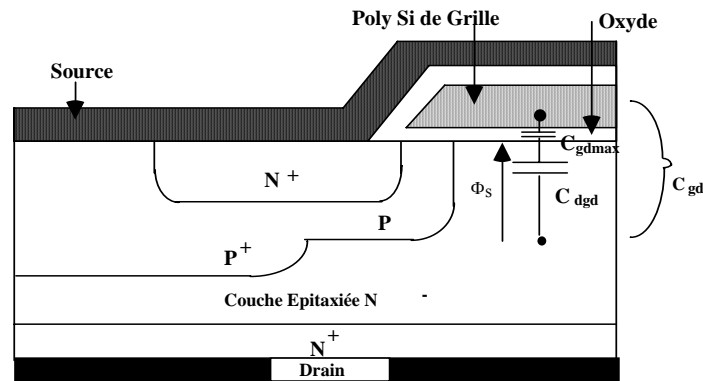


Figure (III.35): Localisation de la capacité grille - drain  $C_{gd}$

À l'aide du simulateur bidimensionnel, nous avons obtenu le comportement de cette capacité  $C_{gd}$  en fonction de la polarisation de drain et pour plusieurs températures (Figure (III.36)). Pour cela, une tension est appliquée sur l'électrode de drain ainsi qu'un signal sinusoïdal sur l'électrode de grille d'amplitude 15mV et de fréquence 1Mhz. Le composant est mis sous contraintes thermiques.

On peut observer d'après cette courbe simulée, qu'il y a une chute de la capacité  $C_{gd}$  au delà de la tension de seuil, lorsqu'on applique la tension sur la grille. Cette diminution correspond à la formation du canal d'inversion : la capacité  $C_{gd}$  ne peut alors atteindre la capacité  $C_{gdmax}$ .

D'autre part, l'équation (III.51) traduit la décroissance observée sur les caractéristiques suite à l'augmentation de la température. La capacité  $C_{gd}$  augmente avec la température à cause de la forte inversion due à des températures élevées dans la région  $N^-$ . En augmentant la tension  $V_{GD}$ , le canal d'inversion peut atteindre le régime de déplétion où l'épaisseur de la couche décroît avec l'augmentation de la température. Par la suite, la région  $N^-$  entre en régime d'accumulation où la densité des porteurs à la surface dépend exponentiellement du potentiel de surface. Cette densité des porteurs à la surface croît avec l'augmentation de la température.

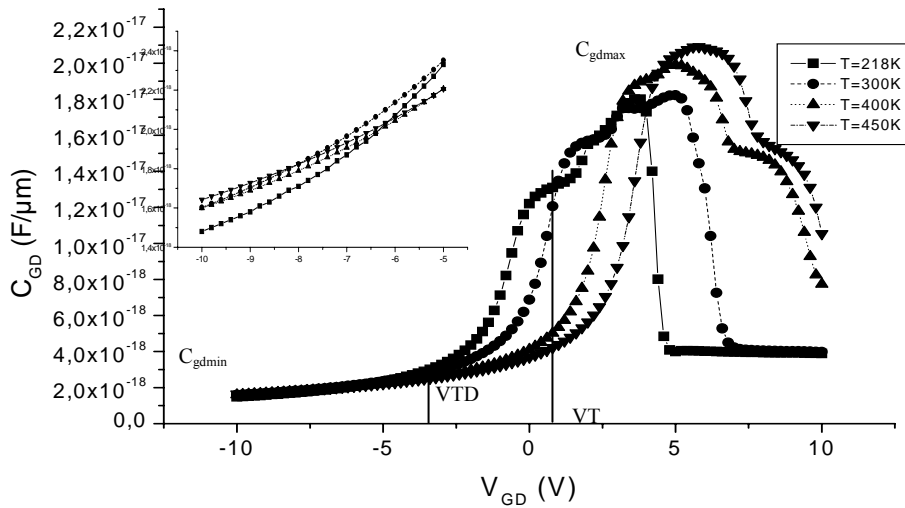


Figure (III.36) : Simulation 2D de la capacité  $C_{gd}$  en fonction de  $V_{GD}$  pour différentes températures

### III.3.7.3 Capacité drain - source

La jonction  $PN^-$  est formée par la zone diffusée P et l'épithaxie  $N^-$ , et elle peut être considérée comme étant constituée d'une jonction plane et d'une jonction cylindrique. Une analyse basée sur un schéma réparti résistance - capacité permet de modéliser ces jonctions selon le circuit de la figure (II.64) où  $R_{b1}$  et  $R_{b2}$  sont les résistances transverses de la diffusion P, qui peuvent se calculer comme étant des résistances de couche diffusée P,  $C_{ds2}$  est la capacité de jonction cylindrique et  $C_{ds1}$  celle d'une jonction plane abrupte [71].

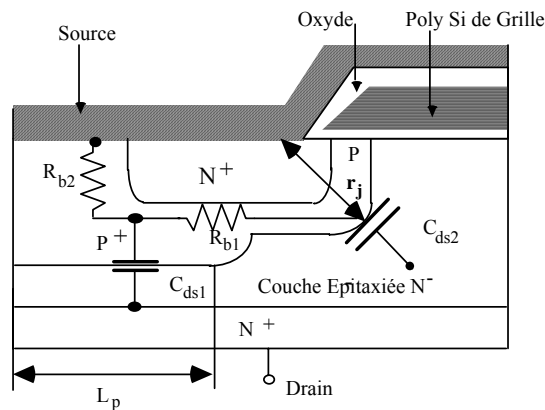


Figure (III.37): Modèle réparti pour la modélisation de la jonction  $PN^-$

A l'aide des simulations bidimensionnelles, nous avons présenté sur la figure (III.38) le comportement de cette capacité  $C_{ds}$  en fonction de la polarisation et pour des différentes

températures. Une rampe de tension est appliquée sur l'électrode de drain ainsi qu'un signal sinusoïdal sur l'électrode de source d'amplitude 15mV et de fréquence 1Mhz et le composant est sous des contraintes thermiques.

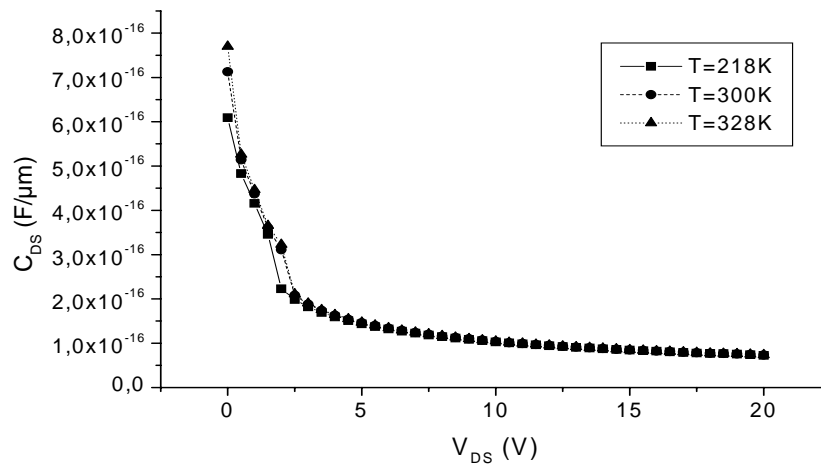


Figure (III.38) : La simulation 2D de la capacité  $C_{DS}$  en fonction de  $V_{DS}$  pour différentes températures.

Les caractéristiques montrent une augmentation de cette capacité pour les faibles tensions de drain. Cette capacité dépend de la barrière de potentiel qui est fonction de la densité des porteurs intrinsèques. La cause de cette augmentation est due à la diminution de l'épaisseur de la zone désertée sous l'effet de la haute température.

### III.4 Le transistor VDMOS sous contraintes thermiques

Le rôle des défauts ponctuels (i.e. de la taille de quelques distances inter atomiques) dans les dispositifs métal - oxyde- semiconducteur (MOS) devient de plus en plus important au fur et à mesure de la réduction des dimensions des composants. La réalisation de ces dispositifs demande une complexité et un nombre d'étapes élémentaires de fabrication important. Le contrôle de l'introduction de défauts cristallographiques et d'impuretés (en particulier métalliques) est un problème crucial. Les caractéristiques électriques finales de ces composants sont de plus en plus sensibles aux imperfections et défauts des matériaux [72-74].

Les transistors VDMOS sont utilisés dans diverses applications (électronique automobile, aéronautique, ampli audio et moteur de commande...), pour lesquelles une tension et un courant élevés sont requis. Ils sont soumis, au cours de leur utilisation, à des hautes tensions et à des températures élevées issues de la dissipation dans le dispositif ou des environnements dans lesquels évolue le transistor (cas des applications automobiles). Ces transistors subissent, en général, des tests de fiabilité pour étudier la stabilité de leurs paramètres électriques, et ceci en jouant sur les facteurs qui accélèrent les divers mécanismes de dégradation dans le dispositif, comme le phénomène de piégeages de charges liés à la migration des ions mobiles. Afin de compléter les travaux de simulation entamés précédemment, nous avons effectué une série de tests expérimentaux pour étudier les instabilités des paramètres (tension de seuil, fonction de transfert de charge, capacité grille - source, capacité grille - drain, etc.), induites par les polarisations de grille (positives ou négatives) et la contrainte de la température.

### III.4.1 Eléments de tests des contraintes thermiques

L'évolution des principaux paramètres du dispositif peut faire émerger une tendance de l'évolution future de la durée de vie du composant. Notre méthodologie consiste à caractériser les composants avant et après le stress, permettant ainsi de quantifier les dérives d'un certain nombre de grandeurs électriques (tension de seuil, charge de grille, capacités inter-électrodes, etc). À partir de la dérive de ces grandeurs électriques et de leurs évolutions en fonction du stress appliqué, qui sont extraites à partir des différentes caractérisations, la discrimination du ou des mécanismes de défaillance, apparus après les contraintes, sera plus aisée. Nous expliquerons alors de quelle manière les contraintes appliquées sur le transistor, en essais accélérés, activent les mécanismes de dégradation.

Nous avons présenté précédemment les équipements que nous utilisons pour analyser les effets de contraintes thermiques dans le composant (figure (III.3)). La démarche consiste à appliquer des contraintes aux transistors ; leurs effets sont alors analysés à travers les caractéristiques électriques et les paramètres de la structure.

A ce stade, il est important de préciser les tests utilisés pendant cette étude. Un premier test, combinant les capacités inter-électrodes et les paramètres statiques (tension de seuil, résistance à l'état passant, etc), est le test d'attaque en courant (« Gate Charge ») ; un deuxième est le C(V) pour observer les phénomènes dans les capacités inter-électrodes de la structure ( $C_{GS}$ ,  $C_{GD}$ , et  $C_{DS}$ ), qui permet d'évaluer les effets dus aux contraintes thermiques dans les zones d'interfaces et les zones de charge d'espace. Pour ce deuxième test, c'est un impédance - mètre HP 4194, piloté par le logiciel IC-CAP, qui permet de mesurer les différentes capacités inter-électrodes.

Quant au circuit d'attaque en courant, il consiste à injecter à l'entrée du transistor, sur la grille, un courant constant  $I_G$ . Le drain est chargé par une résistance. Sur un cycle de commutation, la capacité d'entrée se charge et sa tension aux bornes ( $V_{GS}$ ) croît linéairement jusqu'à atteindre la tension de seuil  $V_T$ . Ensuite, le transistor se met à conduire dans le régime de pincement. Généralement, sur des composants de commutation de puissance -à capacité  $C_{gd}$  élevée- tant que le composant reste dans ce régime, la tension de grille est caractérisée par un plateau de valeur pratiquement constante. Ce mécanisme est dû à l'effet "Miller". Lorsque le transistor atteint, en fin de phase de commutation, le régime de fonctionnement ohmique, on observe à nouveau une croissance linéaire de la tension de grille (figure (III.39)). Les pentes de la caractéristique de tension de grille en fonction du temps sont le reflet direct des valeurs des capacités inter-électrodes et de leur évolution en fonction de la tension. La figure (III.39) montre un exemple de l'allure de courbes qu'on obtient avec ce test. Quatre zones se distinguent :

- Pour  $0 < V_{GS} < V_T$  : le courant appliqué sur la grille charge la capacité  $C_{gs}$  en l'absence du canal d'inversion. Cette capacité  $C_{gs}$  est indépendante de la tension drain - source, ce qui n'est pas le cas de la capacité  $C_{gd}$ . Par conséquent,  $C_{gs}$  reste constante pendant cette période, alors que  $C_{gd}$  augmente légèrement suite à une légère diminution de la différence de potentiel à ses bornes.

- Pour  $V_T < V_{GS} < V_{PL}$  : Le canal est formé et le courant de drain y circule. Pendant cette phase, la circulation du courant de drain fait diminuer la tension  $V_{DS}$  à un certain taux. À  $t = t_2$ , une première inclinaison apparaît. Cet aspect d'inclinaison dépend du taux de changement de la tension grille-drain. L'expression générale du courant circulant dans un condensateur s'applique ici :

$$I = \frac{dq}{dt} = C_{gs} \frac{dV_{GS}}{dt} - C_{gd} \frac{dV_{DG}}{dt} \quad (III.52)$$

La charge de  $C_{gs}$  est momentanément interrompue :  $V_{GS}$  reste constante tandis que  $Q_{GD}$  continue à augmenter par effet Miller. La longueur de cette zone, correspond à la quantité de charges à extraire de  $C_{gd}$  pour faire passer  $V_{DG}$  d'une tension voisine de  $V_{DD}$  à une autre proche de zéro. La durée de cette phase s'écrit alors :

$$t_3 - t_2 = \frac{Q_{G3} - Q_{G2}}{I_G} \quad (III.53)$$

$I_G$  est le courant appliqué à la grille,  $Q_{G3}$  et  $Q_{G2}$  sont respectivement les quantités de charges pour  $t=t_3$  et  $t=t_2$ .

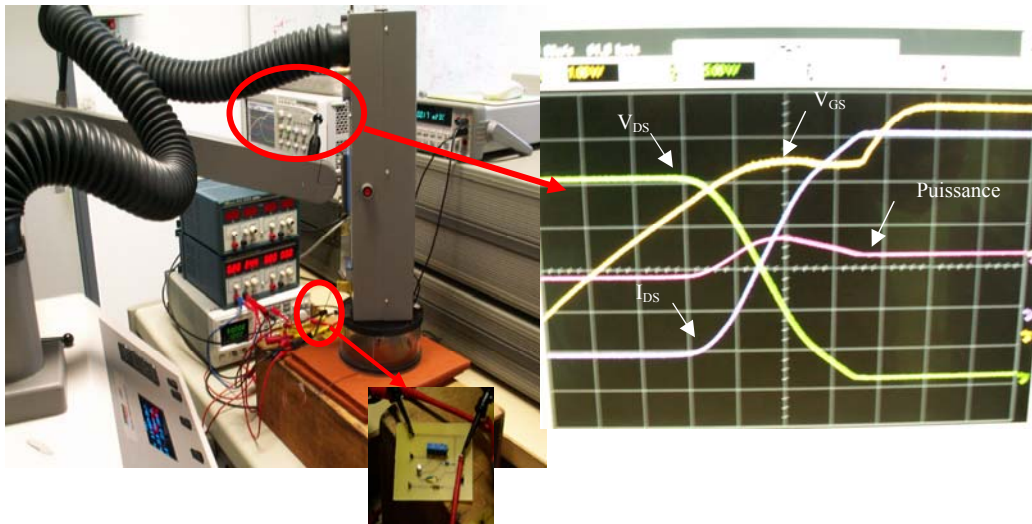


Figure (III.39) Banc de mesures et courbes du circuit de transfert de charge

- Pour  $V_{PL} < V_{GS} < V_{PR}$  : Le courant atteint son maximum ; la tension  $V_{DS}$  atteint son minimum à  $t=t_3$  ; la quantité  $Q_{GD}$  est la charge injectée sur la grille entre les instants  $t_2$  et  $t_3$ . Notons ici que la pente de  $V_{GS}$  diminue légèrement car elle dépend de la répartition du courant entre  $C_{gd}$  et  $C_{gs}$ .

- Pour  $V_{PR} < V_{GS} < V_{GSmax}$  : Le courant de drain reste à son maximum,  $V_{DS}$  à son minimum ; puisque  $V_{DS}$  reste inchangé, une bonne partie du courant circule de nouveau dans la capacité  $C_{gs}$ .

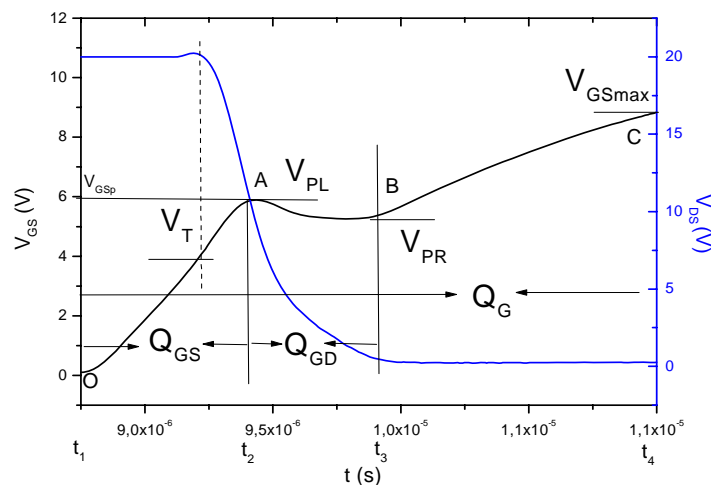


Figure (III.40) Représentation des différentes zones de la fonction de transfert de charge

### III.4.2 Analyses des contraintes thermiques dans le VDMOS

Quatre types de contrainte ont été étudiés : contrainte à la température ambiante et à champs élevés « High electrical field stress (HEFS) », contrainte à la température en fonctionnement opérationnel, contrainte à haute température sous polarisation négative « Negative Bias temperature instabilities (NBTI) » et contrainte à haute température sous polarisation positive « Positive Bias temperature instabilities (PBTI) ». Ces contraintes sont effectuées à l'aide du système THERMONICS T-2820 et de l'enceinte thermique « SUN SYSTEM EC11 ».

Les températures utilisées sont les suivantes : -55, -10, 27, +55 et +150°C. Le choix de certaines contraintes de température repose sur une réalité industrielle et d'autres proviennent de l'expérience acquise au fil des essais pratiqués. Il faut citer qu'à l'heure actuelle, la température moyenne d'un module embarqué se situe dans une gamme comprise entre -15°C et +50°C (température de fonctionnement).

La tendance future est que le composant de puissance en commutation fonctionnera sous des températures de plus en plus élevées avec un système de refroidissement réduit. Par conséquent, si les performances du transistor ne sont pas compromises à long terme sous une température opérationnelle supérieure à la température ambiante, alors le système de refroidissement pourra être redimensionné à la baisse. En d'autres termes, le coût du dispositif s'en trouvera amoindri. Il est clair que ces deux raisons justifient le choix de contraintes de températures supérieures à 50°C. Inversement, à basse température, la dégradation dans le temps peut être plus importante. C'est suivant cette réflexion que nous avons décidé de descendre à la température basse (-55°C) avec le système THERMONICS T-2820. Nous ne pouvons pas descendre en dessous de cette valeur pour la simple raison que de l'humidité se forme alors sur le composant.

#### III.4.2.1 Contrainte à champ électrique élevé « high electric field stress (HEFS) »

Dans un premier temps, nous avons voulu étudier le stress électrique sans introduire les phénomènes dus aux contraintes thermiques. Ce type de stress permet d'étudier les performances du transistor lorsqu'il est soumis à des longues durées de fort champ électrique. Pour la mise sous condition de cet essai, une tension de +40V est appliquée sur la grille, tout en mettant le drain et la source à la masse, et ceci en stabilisant le composant à la température ambiante et pour des durées allant jusqu'à 500 heures (figure (III.41)).

Les caractéristiques de la charge de grille, illustrées dans la figure (III.41), montrent une augmentation de la tension de seuil et des quantités de charges  $Q_{GS}$  et  $Q_{GD}$  en fonction du temps de stress. Le tableau (III.1) illustre en pourcentage, l'évolution de ces trois quantités en fonction des temps de stress.



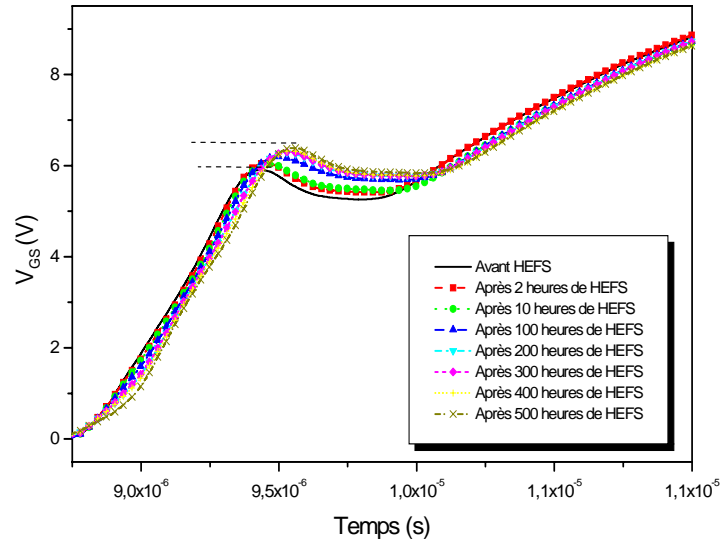


Figure (III.41) : Effet du stress HEFS sur la fonction de transfert de charge

Temps de stress (Heures)	$\Delta Q_{GS}$ (en %)	$\Delta V_T$ (en %)	$\Delta Q_{GD}$ (en %)
2	3,1	2,21	1,96
10	4,13	5,18	6,92
100	10,32	18,82	9,90
200	14,45	21,97	9,93
300	15,49	22,68	9,88
400	17,55	23,99	11,86
500	19,61	25,58	12,86

Tableau (III.1): Variations des paramètres du VDMOS soumis au stress HEFS

Ce tableau confirme la tendance pour les paramètres de transfert de charge, activé pendant le HEFS. Nous remarquons que les dégradations des paramètres deviennent significatives à partir de 100 heures de stress. L'augmentation de la quantité de charge est évidemment accompagnée de celle des capacités  $C_{gs}$  et  $C_{gd}$  (figure (III.42)).

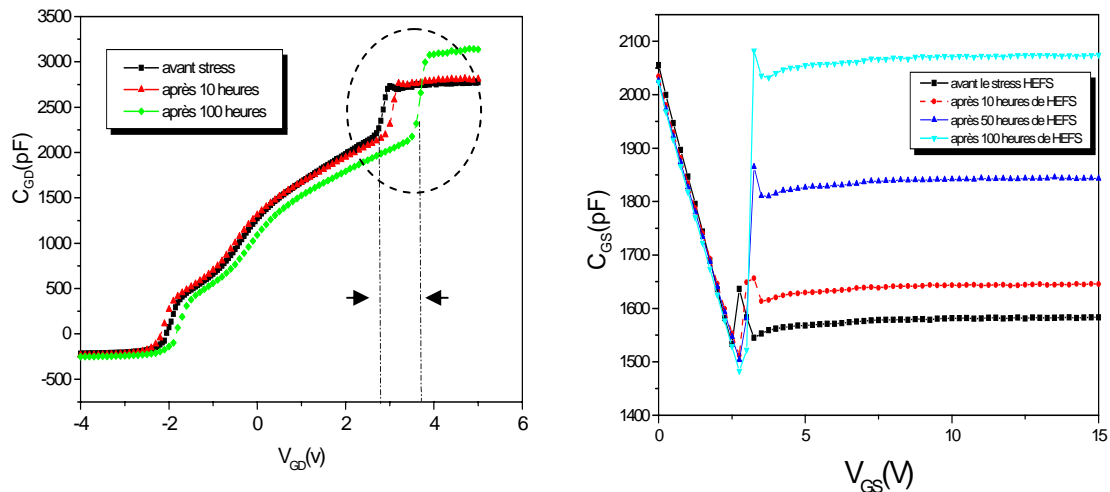


Figure (III.42) : Capacités  $C_{gs}$  et  $C_{gd}$  en fonction du temps de stress HEFS

L'augmentation de la tension de seuil de l'ordre de 25 % et de la charge de grille - source de l'ordre de 20 % après 500 heures de stress HEFS peut être attribuée à l'augmentation des pièges d'interface accepteurs, générant des charges d'interface négatives par l'injection de porteurs [75]. De plus, la polarisation positive de la grille peut produire des injections de porteurs dans le volume de l'oxyde.

La simulation bidimensionnelle du champ électrique dans la structure (figure (III.43)), effectuée avec les mêmes conditions de stress HEFS (à savoir  $V_{GS} = +40$  V et  $V_{DS} = 0$  V), montre que le champ électrique atteint des valeurs dépassant les valeurs critiques ( $10^5$  V/cm) dans la zone de l'oxyde, alors qu'il est de l'ordre de ( $10^4$  V/cm) dans la zone d'interface. Pour expliquer cet effet de champs intenses, plusieurs mécanismes sont susceptibles de se produire au cours du stress [76]. En effet, le stress appliqué sur la grille induit un fort champ électrique à travers l'oxyde amenant une courbure des bandes d'énergies au niveau de l'oxyde et du niveau d'énergie relatif aux pièges de l'oxyde (à 0,7eV en dessous de la bande de conduction de l'oxyde), et entraînant la formation d'une barrière de potentiel triangulaire (figure (III.44)). Plusieurs mécanismes peuvent être impliqués, traduisant l'évolution des densités de charges piégées dans l'oxyde et à l'interface SiO<sub>2</sub>-Si:

- Mécanisme 1 : Des électrons peuvent, par effet tunnel, passer dans la bande de conduction de l'oxyde.
- Mécanisme 2 : Au niveau de l'oxyde, des charges présentes sont liées aux complexes  $\equiv \text{Si}_o^*$  et  $\equiv \text{Si}_o^{**} \text{Si}_o \equiv$ . L'électron de chaque complexe peut, lui aussi par effet tunnel, aller dans la bande de conduction de l'oxyde et générer la formation de pièges en volume chargés positivement de type  $\equiv \text{Si}_o^+$  et  $\equiv \text{Si}_o^{+*} \text{Si}_o \equiv$
- Mécanisme 3 : Les trous au niveau des complexes  $\equiv \text{Si}_o^+$  et  $\equiv \text{Si}_o^{+*} \text{Si}_o \equiv$  peuvent, par effet tunnel, neutraliser des charges d'interface chargées négativement associées au complexe  $\equiv \text{Si}_o^*$  (ce mécanisme induit une diminution des charges positives formées en volume dans l'oxyde et neutralise des charges d'interfaces conduisant à une légère augmentation de la tension de seuil).
- Mécanisme 4 : Les trous au niveau de complexe  $\equiv \text{Si}_o^+$  et  $\equiv \text{Si}_o^{+*} \text{Si}_o \equiv$  peuvent par effet tunnel, contribuer à la libération de l'hydrogène du complexe  $\equiv \text{Si}_s\text{-H}$  et  $\equiv \text{Si}_s\text{-OH}$  (situé à 0,5 eV en dessous de la bande de valence du silicium et à 4,9 eV en dessous de la bande de conduction de l'oxyde), induisant la formation de charges d'interface négatives via

$\equiv \text{Si}_o^*$  (ces charges d'interface négatives sont responsables de l'augmentation de la tension de seuil à partir 100 heures de stress).

En ce qui nous concerne, étant données les faibles variations du courant de fuite de grille après stress, l'effet tunnel des électrons est exclu et les variations de la tension de seuil sont associées principalement aux phénomènes d'injection de charges et de piégeages de charges à l'interface oxyde/silicium et/ou dans l'oxyde. Les défauts au niveau de l'interface augmentent la probabilité de collisions entre les porteurs dans le canal et les charges fixes.

Pour la charge créée dans le volume de l'oxyde, elle est négative et va donc attirer une charge image positive dans la zone de diffusion P<sup>-</sup>, conduisant à une augmentation de la charge de grille  $Q_{GS}$  pendant le stress. Cette charge gêne la formation du canal d'inversion et contribue à l'augmentation de la tension du seuil. C'est au moyen de la quantité de charge  $Q_{GS}$  et de la tension de seuil que nous pourrions donc caractériser l'amplitude de la dégradation engendrée par le stress HEFS.

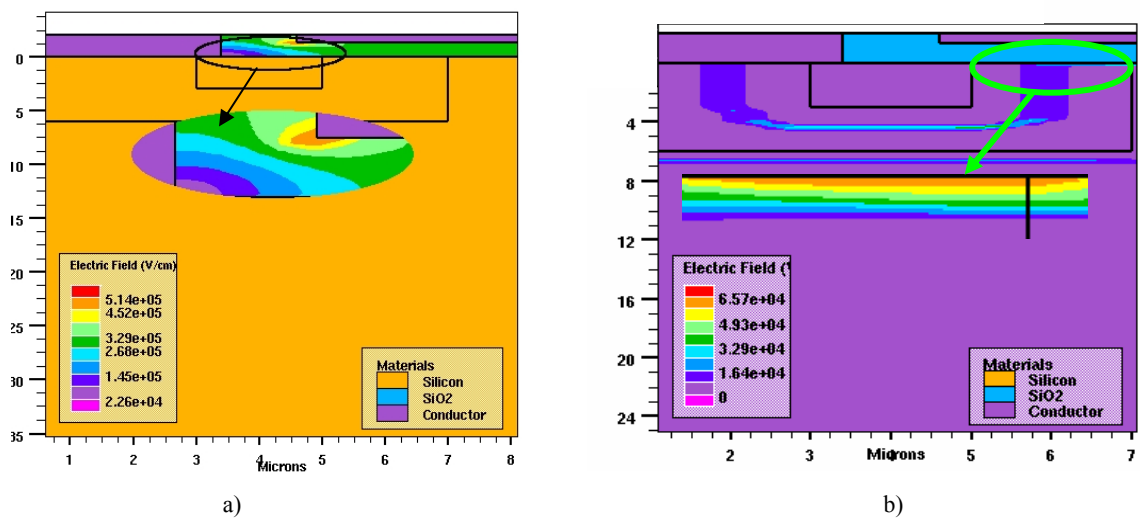


Figure (III.43) : Effet de stress sur le champ électrique dans la structure VDMOS (a) dans l'oxyde et (b) à l'interface  $\text{SiO}_2 - \text{Si}$

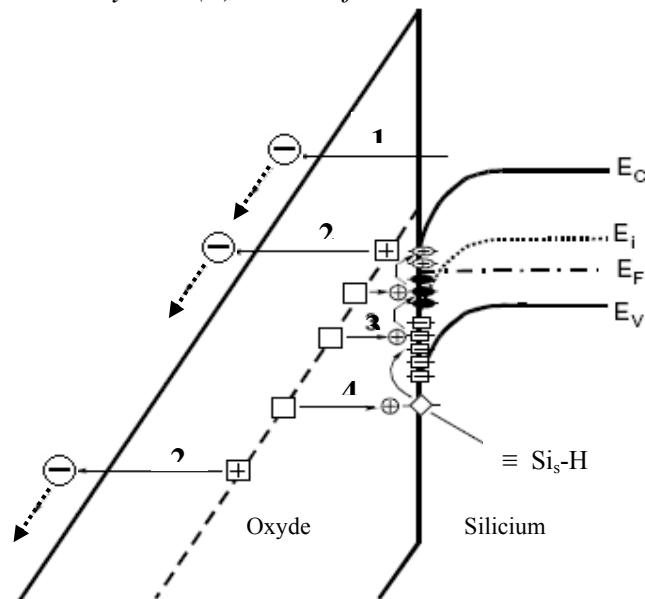


Figure (III.44) : Quatre mécanismes présents lors d'un champ électrique intense

### III.4.2.2 Contrainte à la température en fonctionnement opérationnel

La mise sous contrainte thermique du VDMOS en fonctionnement opérationnel est un test de vieillissement accéléré. Ce test de fiabilité opérationnelle s'effectue logiquement dans les conditions réelles de fonctionnement pendant une période de temps, avec une polarisation et à température de jonction élevée (facteur d'accélération). Cela a tendance à dégrader plus rapidement le composant dans le but d'activer tous les mécanismes susceptibles de se produire au cours de son utilisation (les mécanismes de défaillance liées à la température, comme l'électromigration, et aux fortes densités de courant ou de champs électriques). Pour réaliser ce test, nous utilisons l'enceinte thermique « THERMONICS T-2820 », ce qui nous permet de tester à la fois plusieurs composants sous tensions de polarisations et de couvrir des gammes de températures allant de  $-55^{\circ}\text{C}$  à  $150^{\circ}\text{C}$ . En analysant les courbes des différentes capacités de la structure et de l'attaque en courant, on peut noter :

- **Capacité grille-source** : La mesure de la capacité  $C_{GS}$  à 1 MHz, sous contraintes thermiques, avec un drain relié à la masse, est présentée sur la figure (III.45). Notons que les charges, qui apparaissent par application d'une tension sur la grille, sont dépendantes de la surface de grille, du dopage du canal de conduction et des recouvrements métalliques grille-source. Dans la région (1),  $V_{GS}$  est négative, le canal est dans un régime d'accumulation où la bande de valence se rapproche du niveau de Fermi, provoquant ainsi une augmentation locale de la concentration de trous. Dans la région (2), le drain entre en déplétion; la source est en accumulation et le canal est en régime de bande plate. Comme la tension de grille continue à croître, la couche déplétée réduit la capacité  $C_{GS}$  jusqu'aux alentours de  $V_{GS}=0$  V (région (3)). Le drain entre en régime de faible inversion (région (4)). Une capacité en dérivation due à la couche inversée vient s'ajouter sur les caractéristiques, qui continuent à diminuer. Finalement, on atteint le régime de forte inversion dans la région (5).

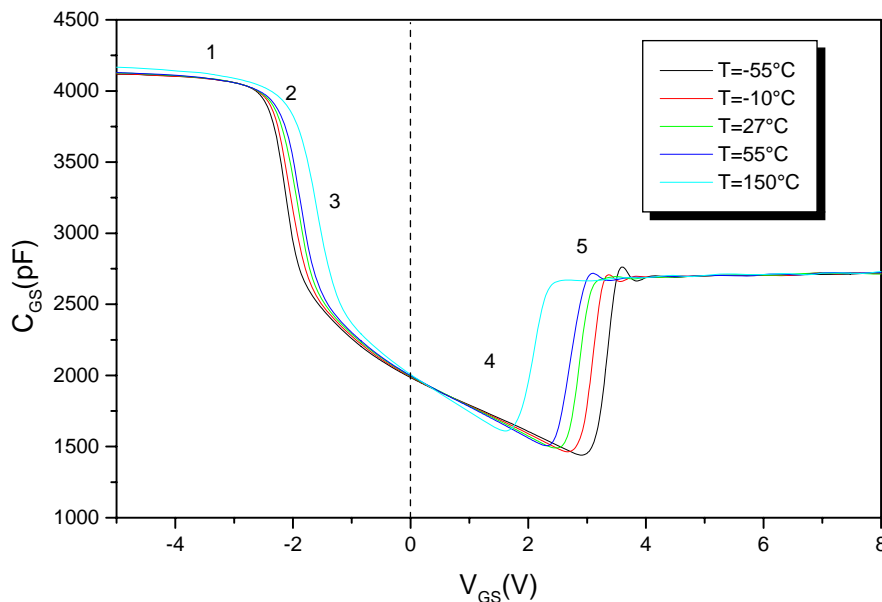


Figure (III.45): Capacité grille - source du transistor VDMOS à plusieurs températures, en fonction de la tension grille source

Deux éléments notables peuvent être rapportés de ces courbes : la capacité  $C_{gs}$  n'a pas trop varié dans les régimes d'accumulation et de forte inversion et les courbes sont pratiquement superposées. Par contre, en régime de déplétion, la capacité  $C_{gs}$  est fortement décalée suite à l'augmentation de la température. Cette variation est essentiellement due à la charge d'espace

dépendante de la température. L'élévation de la température fait augmenter la densité des électrons en surface, et diminuer la tension de seuil, affectant ainsi les conditions de formation du canal d'inversion.

- **Capacité grille - drain** : Nous avons vu que cette capacité est la mise en série de deux capacités d'oxyde et de charge d'espace inter - cellulaire. En appliquant les contraintes thermiques sur le composant, nous obtenons à une fréquence de 1 MHz avec une source reliée à la masse, les courbes présentées sur la figure (III.46). Ces courbes mettent en évidence la forte dépendance des deux régimes d'accumulation ( $V_{DG}>0$ ) et de déplétion ( $V_{DG}<0$ ) à la contrainte thermique. Un décalage notable des courbes suite à la contrainte thermique est observé avant d'atteindre la valeur maximale de la capacité de l'oxyde intercellulaire. Une diminution de la tension de seuil est observée qui doit affecter les caractéristiques d'attaque en courant ainsi que celles de la commutation du composant.

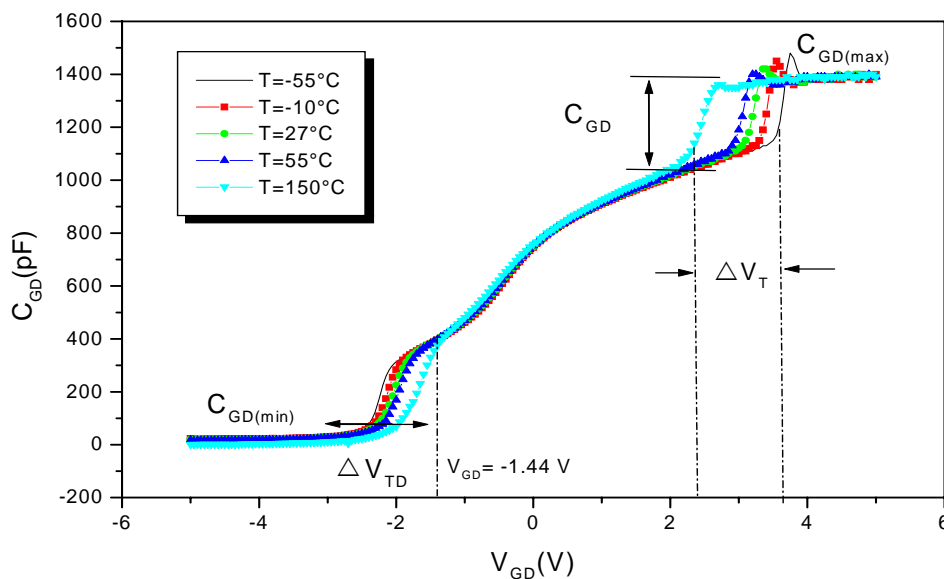


Figure (III.46): Capacité Grille - Drain du transistor VDMOS sous contraintes thermiques

- **Capacité Drain-Source** : La mesure de la capacité drain source inspecte la région de la jonction PN. La figure (III.47) montre l'évolution de cette capacité en fonction de la tension drain - source pour plusieurs contraintes en températures. En passant de la contrainte  $-55^{\circ}\text{C}$  à celle de  $150^{\circ}\text{C}$ , on observe une variation de l'ordre de 60%. Cette dérive est expliquée par le fait que cette capacité n'est autre que la capacité de transition de la jonction plane abrupte PN, dominée par le potentiel de diffusion.

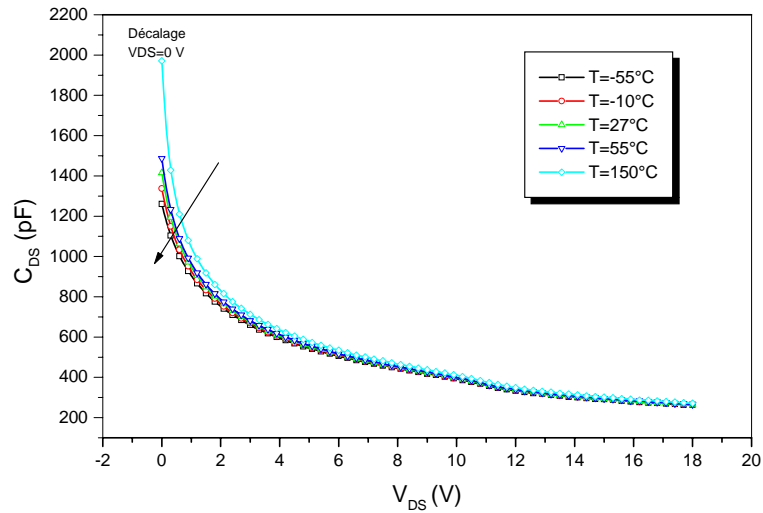


Figure (III.47) : Capacité Drain-Source sous contraintes thermiques

**-Transfert de charge (Gate Charge) :** L'attaque en courant détermine le niveau de courant nécessaire pour la charge et la décharge de la grille. Les figures (III.48) présentent les caractéristiques de l'attaque en courant du VDMOS obtenues sous contraintes thermiques. On observe la diminution de la tension de seuil  $V_T$  et de la charge totale  $Q_{GS}$  avec l'élévation de la contrainte thermique. Ceci se traduit par un abaissement de  $\Delta V_{GSP}$  du niveau de tension de la région de Miller. Ce décalage, observé aussi sur les courbes de la capacité grille-drain, peut être dû à la présence de charges dans l'oxyde [63], qui peuvent provenir des charges libres dans le canal. En effet, les électrons dans le canal acquièrent une énergie suffisante sous l'action de la température, pour détruire la liaison covalente Si-H et créer des charges à l'interface Si-SiO<sub>2</sub>. Les électrons ont une mobilité très grande et ne restent pas attrapés dans l'oxyde. Seules les charges positives seront attrapées dans l'oxyde. Dans les conditions actuelles, les charges attrapées peuvent être considérées comme des charges d'interface. La diminution de la tension de seuil permet de dire que ces charges attrapées sont positives.

Dans la région (2) ( $V_{GS} > V_T$ ), la tension drain-grille  $V_{GD}$  est positive, le VDMOS fonctionne dans la région de l'effet Miller, et la capacité MOS augmente pour atteindre sa valeur maximale  $C_{gdmax}$ . Avec l'augmentation de la contrainte thermique, on observe une augmentation de la mobilité  $\mu_n$  qui sera limitée par la vitesse de saturation des porteurs et dont l'effet est de réduire cette zone Miller (figure (III.47)). Notons que cette réduction de la zone Miller affecte surtout la puissance dissipée pendant la commutation du VDMOS.

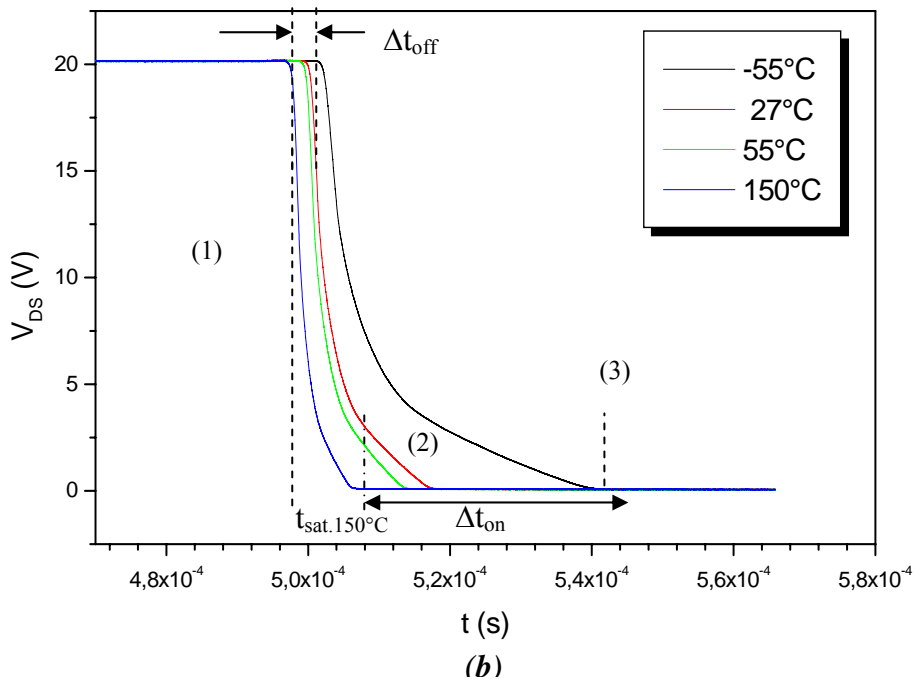
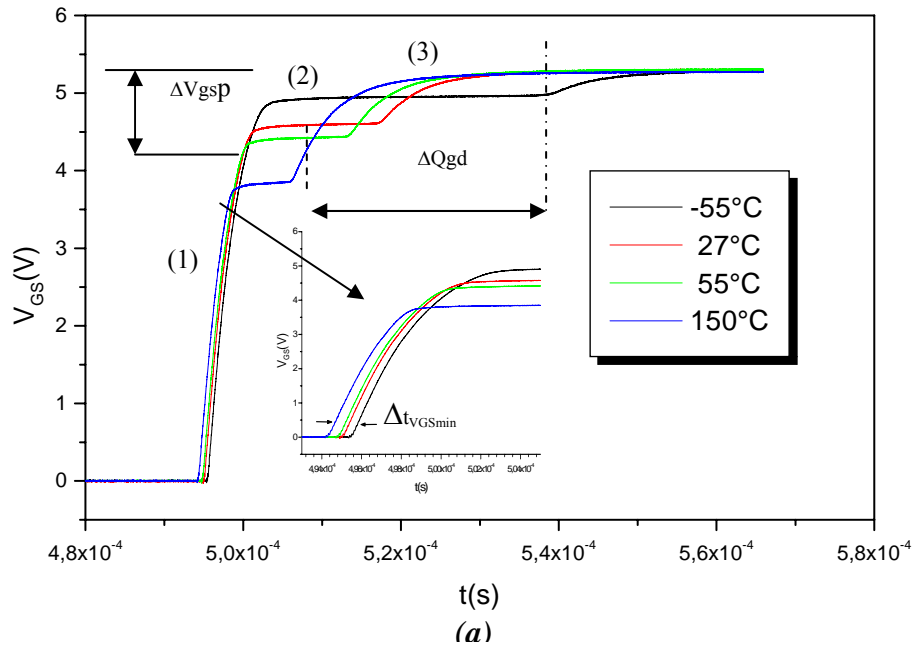


Figure (III.48) Mesures de transfert de charge sous des contraintes thermiques; (a) tension grille-source (b) tension drain-source en fonction du temps

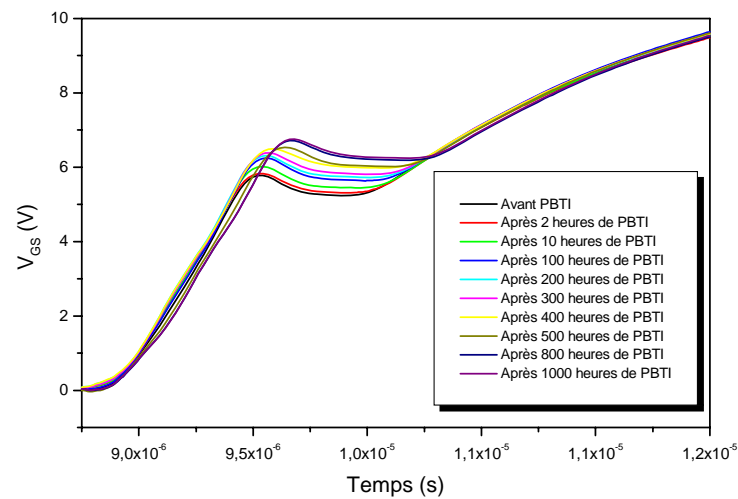
### III.4.2.3 Instabilité Thermique de la polarisation (PBTI)/(NBTI) du VDMOS

Les ions mobiles répondent très bien en température et à un champ électrique, en diffusant à travers la structure. Une des façons de révéler une contamination ionique est d'appliquer une contrainte NBTI qui se traduit par un potentiel électrique négatif appliqué sur la grille du transistor dans un milieu à haute température. La plage de température varie de 25 à 200°C, et

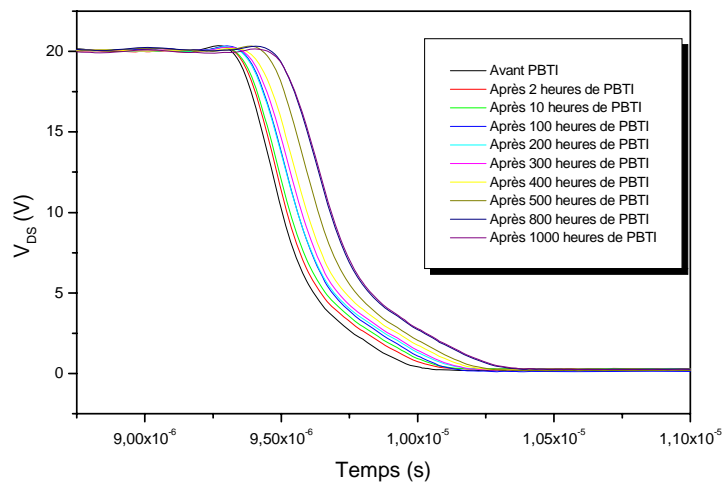
doit rester un paramètre accélérant le mécanisme de dégradation et ne doit pas dénaturer la chimie et/ou la structure du dispositif. Une contrainte PBTI est par analogie une contrainte avec un potentiel positif sur la grille et à haute température.

### III.4.2.3.1 PBTI

Pour ce test, nous avons appliqué au composant une polarisation de + 40V sur la grille, sachant que le drain et la source sont à la masse, tout en introduisant l'ensemble dans le four à une température de 150°C. Sous ces conditions, l'étude de l'effet du PBTI est effectuée en fonction du temps de stress. Les effets observés suite à ce test sont plus intenses que ceux obtenus pour le stress électrique. L'effet de piégeage est plus marquant. La variation des caractéristiques de transfert des charges mesurée suite à une contrainte PBTI de 1000 heures montre que la tension de seuil et la charge totale grille-source ont augmenté de 30% à 40% environ. Cette augmentation de tension de seuil se stabilise après 600 heures de contrainte. Une augmentation de 25% de la charge grille-drain après 1000 heures est observée.



a)

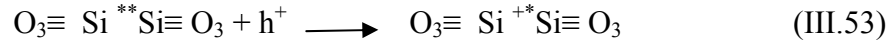


b)

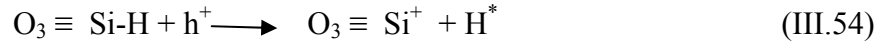
Figure (III.49) : Effet du PBTI ( $V_{GS}=40V$ ,  $V_{DS}=0$ ) à température 150°C sur la fonction de transfert de charge pendant 1000 heures



Les mécanismes responsables de cette dérive sont l'évolution des piègeages de charges dans l'oxyde et à l'interface SiO<sub>2</sub>-Si [76] ; cette explication est connue pour se produire en raison de diverses réactions électrochimiques impliquant les défauts d'oxyde et d'interface et les diverses entités chimiques reliées à l'hydrogène (H, H<sup>+</sup>, H<sub>2</sub>, H<sub>2</sub>O). L'augmentation initiale remarquable de la densité de charge d'oxyde peut être expliquée à travers le piègeage d'un électron par les défauts (lacunes) dans l'oxyde [77] :



ou par la dissociation des faibles liaisons de SiH près de l'interface par le champ électrique élevé [77] :



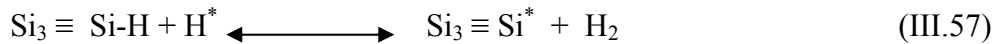
L'augmentation de la tension de seuil et de la charge totale grille-source permet de dire que les charges piégées sont positives. Ces charges diminuent graduellement le champ électrique local à proximité de l'interface de SiO<sub>2</sub>-Si, menant à une accumulation plus lente au fur et à mesure que le temps de stress augmente. En outre, la charge d'oxyde peut être transformée en pièges d'interface [76] :



Une accumulation additionnelle des pièges d'interface est susceptible de se produire à cause de la dissociation des faibles énergies des liaisons de SiH par le champ électrique élevé [78 - 79] :



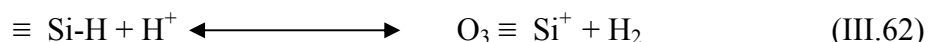
Les atomes libérés d'hydrogène sont fortement réactifs et ils peuvent également dissocier les bandes de SiH à l'interface ou dans l'oxyde près de l'interface [78] :



Ces réactions mènent à la création des pièges additionnels d'interface ou des défauts d'oxyde chargés positifs. Quelques études récentes indiquent que les instabilités d'atomes d'hydrogène libérés sont plus probables de se transformer en molécules ou de réagir avec les trous pour former des ions [80]:

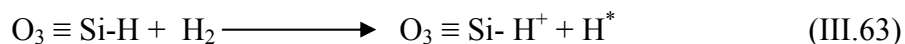


Mais les ions d'hydrogène dissocient également les bandes de SiH à l'interface ou dans l'oxyde près de l'interface [80] :

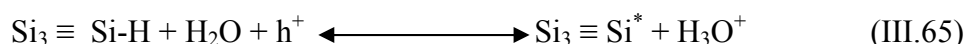
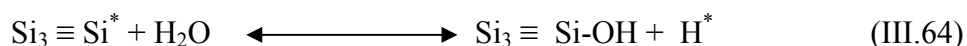


Celles-ci mènent à la création des pièges d'interface ou des défauts dans l'oxyde chargés positifs. L'accumulation des pièges de l'oxyde et d'interface par les réactions ci-dessus est augmentée en particulier au début de la phase, où il reste une concentration élevée des précurseurs (trap precursors) de piège de SiH. Cependant, le nombre de pièges d'interface et les défauts d'oxyde chargés positifs augmente graduellement au cours du temps de stress. Par

conséquent, la probabilité pour que les réactions soient renversées (III.54), (III.56)- (III.61), (III.52), et (III.62) (des processus de passivation) se produisent s'avère être plus importante pendant que les composants soumis à une contrainte continue. Les molécules H<sub>2</sub> libérées dans les réactions (III.57)- (III.62), (III.61), et (III.62) diffusé dans l'oxyde peuvent rompre une charge piégée dans l'oxyde [81]:



Notons que les molécules de H<sub>2</sub> et de H<sub>2</sub>O, existant dans la couche d'oxyde adjacente ou même à l'intérieur du boîtier, peuvent diffuser à une température élevée vers l'interface de SiO<sub>2</sub>-Si [76]. Ces molécules H<sub>2</sub> représentent une source additionnelle de type de réaction pour la passivation (réactions renversées (III.57), (III.58), (III.61), et (III.62)), alors que les molécules de H<sub>2</sub>O peuvent causer la passivation de pièges d'interfaces ou la dissociation des bandes de SiH [77] ensuite, le nombre de pièges d'interface et d'oxyde augmente graduellement au cours du temps du stress ; par conséquent, la probabilité pour que les réactions renversées (III.57), (III.56)- (III.58), (III.61), et (III.62) (des processus de passivation) s'avèrent être plus importants pendant que les composants sont soumis à une contrainte continue [81].



La réaction (III.64) semble être responsable d'une saturation des pièges provoquant ainsi dans notre cas une stabilisation de la tension de seuil après 600 heures de contrainte. Il est à noter que cette réaction qui implique le H<sub>2</sub>O mène à la passivation des pièges d'interface seulement, alors que les autres réactions de passivation qui impliquent les molécules H<sub>2</sub> peuvent passiver les pièges d'interface et les défauts de charges d'oxyde.

### **III.4.2.3.2 NBTI**

Pour le NBTI, on applique une polarisation de grille de -40V (correspondant à 5 MV/cm du champ effectif) à une température de 150°C, avec un drain et une source à la masse. Ce test a été effectué pendant 200 heures et pour plusieurs températures (-55°C et 27°C). Les caractéristiques de transfert des charges, obtenues après les 200 heures de contrainte (figure (III.50)), montrent une diminution de la tension de seuil ( $\Delta V_T = -2V$  à 150°C) et de la quantité de charge de grille ( $\Delta Q_{GS} = -25\%$  à 150°C).

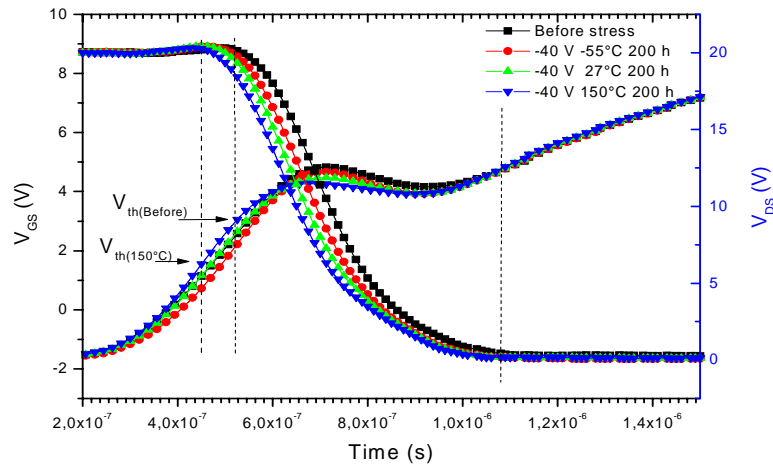


Figure (III.50): Caractéristiques de transfert des charges après 200 heures de NBTI sur le VDMOS ( $V_{GS}=-40V$  pour  $T= -55, 27$  et  $150^{\circ}C$ ).

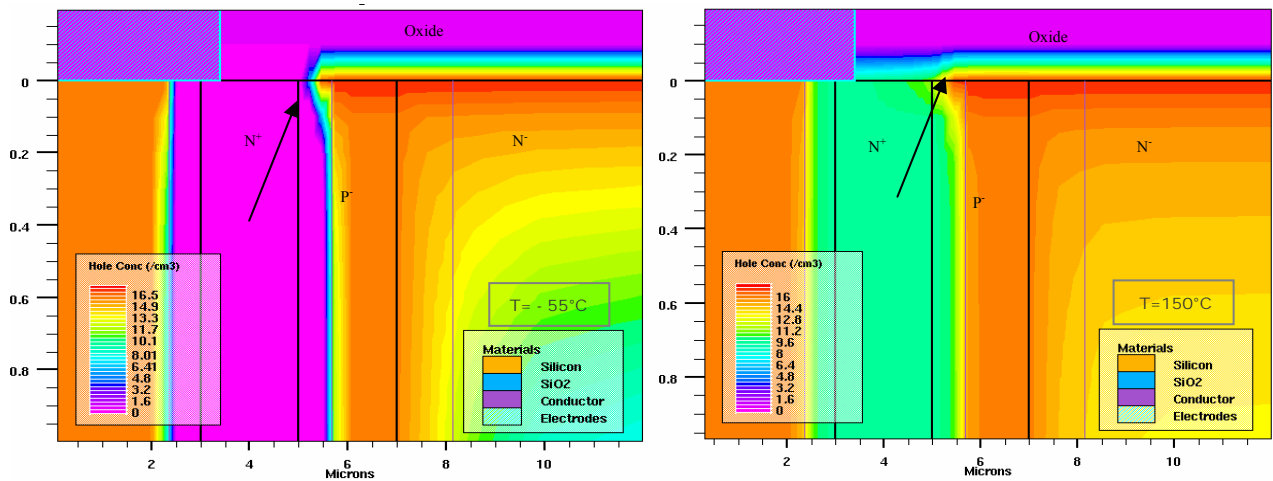


Figure (III.51): Contours de la concentration des trous le long de la structure (avec  $V_{DS} = 0V$  et  $V_{GS} = -40V$  à  $-55^{\circ}C$  et  $150^{\circ}C$ )

Cette dérive de la tension de seuil correspond à un décalage vers le bas du plateau de Miller. La diminution de ces paramètres sous NBTI peut être expliquée par le piégeage lent des trous dans l'oxyde près de l'interface de silicium d'oxyde. Quand une tension négative élevée de  $-40V$  ou un champ de  $5MV/cm$  est appliqué sur la grille du transistor VDMOS, le potentiel à la surface du silicium permet d'exciter les trous pour les piéger à l'interface  $SiO_2 - Si$ . Ce piégeage de charges positives implique une diminution de la tension de seuil. En effet, la simulation bidimensionnelle, avec les mêmes conditions de contrainte, de la structure VDMOS montre que la concentration des trous à la surface devient importante dans le canal et à l'interface de la région de drift du transistor. Le fait que le piégeage des trous soit un mécanisme indépendant de la température, cela renforce l'explication que ce mécanisme se produit par excitation thermique (à  $T=150^{\circ}C$ ). Ce piégeage de trous s'effectue à l'interface  $SiO_2 - Si$  du côté de drain.

### ***III.5 conclusion***

Nous venons de proposer une méthodologie d'analyse et de modélisation de la fiabilité thermique du VDMOS de puissance, par l'élaboration d'un ensemble d'essais de contraintes représentatifs de l'état de fonctionnement de ces dispositifs dans un environnement donné. Pour commencer, l'effet de la température sur les paramètres statique et dynamique de la structure a été étudié à travers la simulation bidimensionnelle, aidant ainsi à formuler des explications physiques des phénomènes observés.

Pour évaluer l'influence de contraintes sur le VDMOS, quatre types de contraintes, qui se différencient par la température et les tensions appliquées, ont été présentés. Une analyse des résultats de simulations et des mesures a permis de mettre en évidence les paramètres dégradés et d'expliquer les mécanismes mis en jeu.

Notons ici que nous poursuivons ces travaux dans les jours avenir, afin d'affiner les études présentées et de traiter d'autres types de contraintes, appliqués au VDMOS et à d'autres types de composant de puissance.



***Partie IV : Conclusion générale et éléments de  
prospectives***



## ***IV.1 Bilan des travaux effectués***

Nous venons de présenter mes activités de recherche qui ont débuté en 1991 au LAAS/CNRS dans le cadre de la préparation d'une thèse, et qui se sont poursuivies au LPM de l'université Libanaise.

Dans la première partie de ce manuscrit, nous avons traité le sujet de la thèse, basé sur un outil de conception de modèles pour le transistor VDMOS de puissance. L'intérêt était de pouvoir simuler, modéliser, et prédire les limites de performances d'un nouveau composant de puissance discret, tel que le transistor MOS de puissance à double niveau d'oxyde de grille intercellulaire, ou le transistor VDMOS à base de carbure de Silicium (SiC).

Dans la deuxième partie, nous avons évoqué les travaux menés sur le stress électrique dans les transistors MOS (VDMOS et MOS à tranchées). La démarche présentée passe par l'analyse et les simulations circuit (SPICE) et bidimensionnelle (Atlas) de l'effet de stress, et par la mise en évidence des paramètres dégradés. Pour la mise en place des conditions de stress, notre procédure consistait à faire fonctionner le composant dans l'onduleur tout en gardant la température du composant stabilisée au voisinage de la température ambiante. Sur chaque composant du lot étudié, une procédure de caractérisation électrique est effectuée avant et après le stress. L'analyse complète du phénomène du stress observé est effectuée par comparaison des caractéristiques électriques et par confrontation avec les simulations. Notons que ce sujet a fait l'objet d'une thèse (Mazen Sleiman), en co-direction avec le professeur J-P Charles de l'université de Metz (Laboratoire CLOES-MOPS). En troisième année de thèse, Monsieur Sleiman a démissionné pour cause d'un emploi de temps trop chargé suite à sa nomination en tant que directeur technique de l'hôpital CMC (Clemenceau Medical Center) à Beyrouth. Suite à la démission de Mr. Sleiman, nous avons continué les études envisagées. L'ensemble des résultats obtenus a fait l'objet de diverses publications : 3 revues internationales [R5], [R6], [R7], 1 conférence internationale [C3].

Dans la troisième partie, nous avons étudié la fiabilité thermique du composant VDMOS. La démarche propose d'évaluer l'influence de contraintes en utilisant la caractérisation et la simulation du composant en régimes statique et dynamique. Dans une première phase, l'effet de la température sur les paramètres de la structure a été étudié à travers la simulation bidimensionnelle, aidant ainsi à formuler des explications physiques des phénomènes observés. En deuxième période, des contraintes thermiques sont appliquées aux transistors ; leurs effets sont alors analysés. Les phénomènes de dégradations induits sont également mis en évidence. Les études menées ont donné lieu à plusieurs publications [R1, R4, C1, C2], permettant ainsi de valider d'une part la mise en place des équipements installés pour effectuer le stress thermique et d'autre part l'approche de simulation bidimensionnelle des composants sous stress en proposant une interprétation des phénomènes observés. Rappelons en outre que la quasi-totalité de ces recherches fait l'objet d'une thèse qui sera soutenue en Juin 2007 par Monsieur Mohamad Alwan, dont j'assume la co-direction de thèse avec les professeurs Mohamad Zoaeter (Université Libanaise) et Kaouther Ketata (Université de Rouen).

## ***IV.2 Perspectives de recherche***

Les travaux sur le stress électrique et le stress thermique dans les composants de puissance, continueront à être l'axe principal de nos recherches. Cet axe sur les stress traitera des composants de types LDMOS, MOS à Superjonctions, et IGBT. Une activité



supplémentaire va aussi voir le jour au sein de l'équipe, dont j'aurai la responsabilité de la mettre en place et de la diriger : il s'agit de la modélisation numérique des composants micro et nanoélectroniques.

## IV.2.1 Axe 1 : Stress électrique et stress thermique dans les composants

Nous avons longuement évoqué les deux types de stress : électrique et thermique. Pour cet axe, nous appliquons la même démarche suivie jusqu'à présent, qui consiste à caractériser l'effet de stress dans le composant, à analyser et simuler bi et tri - dimensionnellement les phénomènes rencontrés pour extraire les paramètres dégradés du composant. Cette démarche sera employée pour étudier les deux types de stress dans des structures comme le LDMOS, les MOS à superjonctions, et l'IGBT. Nous prévoyons que ces analyses doivent aboutir à la proposition de modèles pour le simulateur de circuit SPICE. Ces modèles tiendront compte du type de stress et des conditions de fonctionnement. Nous projetons de mettre en place des modèles dont la procédure d'extraction des paramètres sera bien déterminée.

### IV.2.1.1 Composants sous stress électrique et thermique

Avant d'étudier les effets des stress électrique et thermique, il est important de connaître la structure du composant et ses conditions d'utilisation. Ceci est impératif pour bien concevoir les conditions de stress. Dans ce paragraphe, nous présentons quelques éléments des composants choisis pour être traités dans un futur proche.

#### IV.2.1.1.1 LDMOS

L'originalité du transistor LDMOS [82] par rapport aux structures verticales, provient du chemin qu'emprunte son courant. En effet, comme son nom l'indique, ce chemin est latéral. La géométrie (ou "layout") du transistor LDMOS se présente le plus souvent sous forme de bandes parallèles source - drain interdigitées. Sa résistance passante spécifique est alors inversement proportionnelle au nombre de bandes élémentaires.

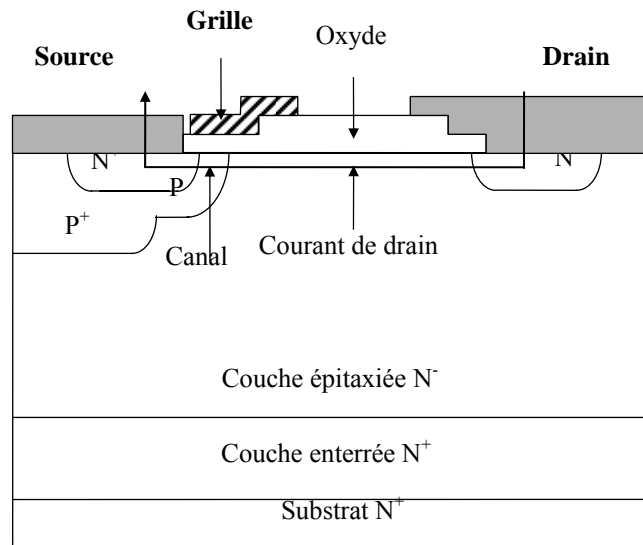


Figure (IV.1) : Coupe d'une demi - cellule du transistor LDMOS

La structure d'un LDMOS à enrichissement, à canal N (figure (IV.1)), se caractérise d'abord par un substrat P<sup>+</sup>, puis une couche enterrée N<sup>+</sup>, enfin par une région de drift

faiblement dopée  $N^-$  située entre la fin du canal et le drain  $N^+$ . Le contact de drain se situe sur la face supérieure de la puce. Sa résistance à l'état passant est plus grande que dans les structures verticales et, de plus, la présence de trois électrodes sur la face supérieure limite la densité d'intégration. La tenue en tension d'un tel dispositif est limitée par le claquage par avalanche qui se produit à la jonction cylindrique  $PN^-$  ou en surface de silicium à la fin de l'électrode de grille [83].

#### IV.2.1.1.2 MOS à superjonctions

L'application du principe de la Superjonction aux composants MOS de puissance consiste simplement à remplacer la région  $N^-$  de drift des composants MOS conventionnels par une alternance de régions N et P. Fujihira [84] a proposé de nouvelles structures MOS verticales et latérales utilisant ce concept (Figure (IV.2)). Ce sont des transistors qui, de plus, ont des grilles enterrées (MOS à tranchées). D'autres MOS utilisant le même concept ont également été proposés (Figure (IV.2c)) : citons par exemple le COOLMOS<sup>TM</sup> d'Infineon [85] - premier composant MOS à Superjonction à avoir été commercialisé.

À l'état bloqué, tous ces composants MOS se comportent comme des Superjonctions polarisées en inverse. Concernant les MOS verticaux, on peut remarquer que les bandes N et P ne sont pas toujours agencées de la même manière : elles peuvent par exemple soit être perpendiculaires aux doigts de drain et de source, soit parallèles à ces doigts mais, physiquement, cela ne modifie en rien le fonctionnement de la Superjonction.

À l'état passant, le courant circule entre drain et source en passant par les bandes N (ce sont ici des MOS canal N) : la section de conduction est donc réduite par rapport aux transistors MOS conventionnels qui utilisent toute la surface active pour la conduction. Les densités de courant du COOLMOS<sup>TM</sup> sont donc extrêmement élevées par rapport à un VDMOS équivalent. Cependant, cet inconvénient est plus que compensé par le fort niveau de dopage de ces bandes N, de telle sorte que la résistance passante spécifique de ces nouveaux composants est très inférieure à celle des composants conventionnels équivalents : à titre d'exemple, pour une tenue en tension de 600 Volts, un transistor COOLMOS<sup>TM</sup> présente une résistance passante spécifique 5 fois plus faible que celle d'un transistor VDMOS conventionnel à zone de drift uniforme [85] : cette valeur est même inférieure à la limite du silicium des composants VDMOS.

Puisque le courant circule principalement dans les bandes N du COOLMOS<sup>TM</sup>, c.à.d à la moitié du volume du composant (contre tout le volume pour le VDMOS conventionnel). Il y a donc des risques élevés d'échauffement et de piégeage de charges dans l'oxyde. Ce composant présente donc un intérêt particulier pour nos futurs travaux sur les stress électrique et thermique.

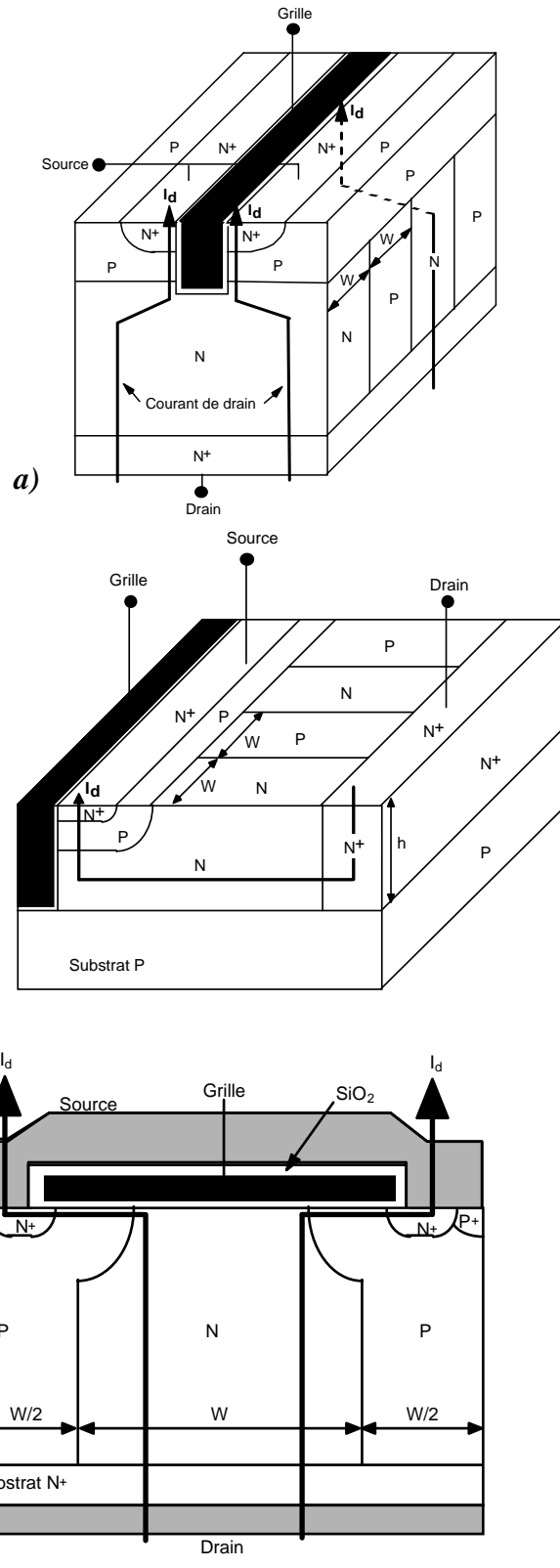


Figure (IV.2) : Coupes schématiques : a) d'un transistor Vertical MOS à Superjonction, b) d'un transistor latéral MOS à Superjonction, c) du COOLMOS™

### IV.2.1.1.3 IGBT (Insulated Gate Bipolar transistor)

L'IGBT est l'un des composants en électronique de puissance le plus utilisé actuellement. Il est présent dans les domaines de la moyenne et forte puissance. Il offre de bons compromis car il possède la rapidité d'un transistor MOSFET et il offre un niveau de courant élevé grâce à l'injection de porteurs minoritaires. Des recherches avec du silicium sont développées sur la montée en tension. Il existe deux types de structures différentes. Une première structure existe, elle est nommée PT (punch through). Le composant est élaboré à partir d'un substrat de type P sur lequel deux couches sont épitaxiées, une de type N<sup>+</sup> servant de couche tampon et l'autre très épaisse, de type N, utilisée pour la tenue en tension (figure (IV.3)). Un second principe est développé autour d'une plaquette de type N, l'émetteur en face arrière est obtenu en implantant des ions Al<sup>+</sup> ou B<sup>+</sup>, le porte canal et le collecteur sont obtenus de même par implantation et diffusion (figure (IV.3)). Pour les deux cas représentés ci-dessous, les couches de type N<sup>-</sup> n'ont pas la même épaisseur (3 fois plus faible pour l'IGBT PT) pour une tension de blocage donnée.

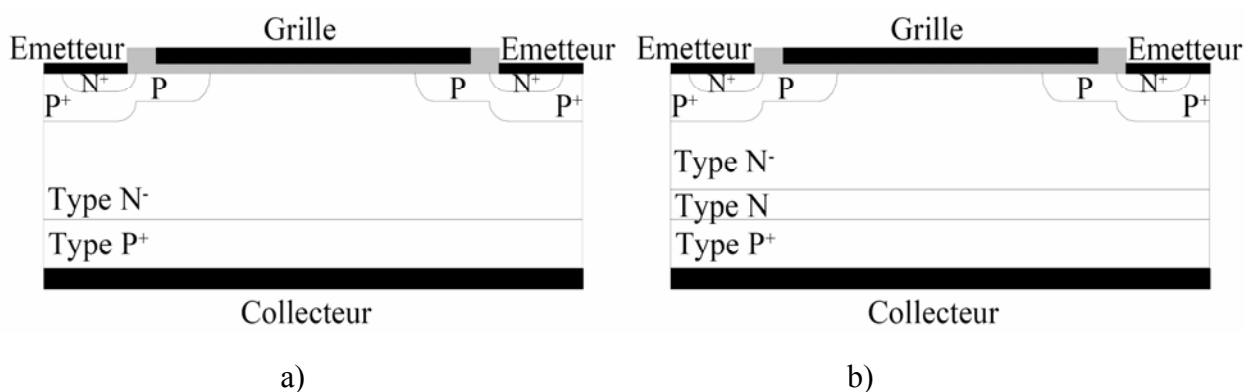


Figure (IV.2): a) IGBT NPT b) IGBT PT

En statique, l'IGBT peut être identifié à un MOSFET mis en série avec une diode. En direct, la diode injecte des porteurs dans le MOSFET, d'où une diminution de la résistance série. En revanche, à l'ouverture, la présence de la diode implique une évacuation des charges stockées. Ceci implique la nécessité de déterminer des compromis entre temps de commutation plus élevés que le MOS mais une densité de courant à l'état passant plus importante que le MOS.

D'un point de vue tenue en tension, la plage est très grande car elle va de 600 à 6500V. Il existe un empiétement de l'IGBT sur le MOS dans le domaine 600–1000V mais l'IGBT permet un calibre en courant plus élevé. L'IGBT conserve la simplicité de commande en tension du MOSFET. Son régime transitoire est proche de celui du MOSFET, augmenté d'effets d'accumulation de charge (traînée de courant) due à la composante de courant des porteurs minoritaires.

### IV.2.1.2 Les stress électrique et thermique

Rappelons d'abord que pour le stress électrique, la procédure consistait à faire fonctionner le composant dans un circuit (onduleur) tout en gardant sa température stabilisée au voisinage de la température ambiante. Sur chaque composant du lot étudié, une procédure de caractérisation électrique est effectuée avant et après le stress. L'analyse complète du phénomène du stress observé est effectuée par comparaison des caractéristiques électriques et par confrontation avec la simulation basée sur des outils comme Atlas. Ce dernier permet de calculer les caractéristiques électriques tout en procédant à la résolution des équations

fondamentales des semi-conducteurs par la méthode d'éléments finis : équation de Poisson et équation de continuité des électrons et des trous en deux dimensions.

En se basant sur cette démarche, une amélioration du circuit serait indispensable si on souhaite appliquer le stress sur les composants sélectionnés, voire même le changement du circuit simulant le stress afin de nous mettre dans les conditions optimales d'utilisation de ces composants.

Pour le stress thermique, une méthodologie d'analyse et de modélisation de la fiabilité thermique des composants de puissance est déjà mise en place. Elle est basée sur l'élaboration d'un ensemble d'essais de contraintes représentatifs de l'état de fonctionnement des dispositifs dans un environnement donné. Un banc de fiabilité est monté, permettant le test des composants selon différentes conditions de stress thermique. Les travaux se dérouleront selon plusieurs actions : il s'agit d'abord d'évaluer l'influence de contraintes d'origines diverses sur les composants ; ensuite, il faut procéder à la caractérisation électrique en régimes statique et dynamique, et à l'extraction des paramètres du dispositif dans son environnement. Ce travail débouche sur une analyse comparative entre mesures et simulations. Pour cela, les équipements permettant de pratiquer ce genre de tests sont déjà mis en place :

- four thermique pour le stockage thermique (25°C à 300°C),
- un système de bras articulé capable d'appliquer un large éventail de conditions thermiques (choc thermique, cyclage thermique, etc.) allant de -65°C à 200°C.

et d'autre part, les simulateurs comme Atlas et Saber pour la modélisation électrothermique, le banc de caractérisations statique et dynamique des composants, ainsi que l'extracteur de paramètres associé Ic-Cap.

Des contraintes électriques sont appliquées aux transistors ; leurs effets sont alors analysés particulièrement sur les caractéristiques  $I_D(V_{GS})$ ,  $I_D(V_{DS})$ , commutation résistive et attaque en courant. On cherche à relier des paramètres mesurables tels que tension de seuil ou courant de saturation aux paramètres internes au dispositif tels que variations des mobilités et des états d'interfaces (dus aux charges piégées à l'interface Si/SiO<sub>2</sub> et dans l'oxyde), et capacité MOS intercellulaire. Les phénomènes de dégradations induits par l'application de forts champs électriques sont également mis en évidence à travers des analyses microscopiques fines, étudiant l'accroissement des phénomènes d'accumulation de charges dans SiO<sub>2</sub> dû au vieillissement et ceci par onde thermique. Ces phénomènes sont par ailleurs reliés aux mécanismes d'injection de porteurs chauds dans les transistors. Cette procédure de caractérisation permet de mettre en évidence les paramètres dégradés de la structure et d'apporter une explication physique du phénomène pouvant être utile d'une part à la prise en compte du phénomène dans les modèles de composants (SPICE) destinés aux utilisateurs industriels, et d'autre part à l'amélioration des conditions de fabrication technologique du composant pour prévenir ces types de défaillance.

Ces recherches couvriront la même activité pratiquée jusqu'à présent ; l'amélioration des conditions de test et de simulation seront les points sur lesquels nous devons nous concentrer. Nous comptons pour cela acquérir un simulateur de type tri-dimensionnel. Ceci doit nous renseigner plus sur l'évolution du champ électrique dans les différentes régions de la structure et sur les charges d'interfaces dans le composant. Par ailleurs, nous envisageons d'étudier les aspects liés à la physique des dégradations à travers des analyses microscopiques.

Pour récapituler, les travaux prévus pour les deux types de stress comprendront plusieurs actions : il s'agit d'abord d'évaluer l'influence de contraintes d'origines diverses sur les composants ; ensuite, il faut procéder à la caractérisation électrique en régimes statique et

dynamique, et à l'extraction des paramètres du dispositif dans son environnement. Ce travail devra déboucher sur une analyse comparative entre mesures et simulations.

La compréhension et l'évaluation de ces différents aspects devraient aboutir à leur prise en compte dans les modèles disponibles sous SPICE.

Des études complémentaires sur les contraintes d'origine thermique seront également menées. Les influences comparées des dégradations électrique et thermique seraient intéressantes à caractériser avant d'aborder leur couplage et leurs effets simultanés. Un travail de simulation tenant compte des dommages générés complètera l'approche expérimentale.

Pour résumer, nos recherches sur les stress couvriront les domaines du test, de l'analyse et du contrôle, et enfin la modélisation des mécanismes de défaillances. On aura à analyser :

- La qualité et la fiabilité des couches d'oxyde  $\text{SiO}_2$ , avec un intérêt particulier pour les phénomènes de claquage suite au stress, la prédiction de la fiabilité qui en résulte au niveau des circuits ; des prévisions jusque là pessimistes font actuellement l'objet d'études plus fines [86], et seront certainement à améliorer.

- L'influence des porteurs chauds sur la vitesse de dégradation des dispositifs. Tensions de seuil et transconductance sont les paramètres qui en rendent le plus souvent compte. Par ailleurs, la diminution des épaisseurs d'oxyde contribue à accentuer ce problème. Plusieurs techniques d'analyse ont également permis de mettre en évidence les phénomènes de piégeage de charges aux interfaces, à l'origine de ces dégradations.

- Les défaillances : une partie des techniques étudiant les défaillances est basée sur l'utilisation des faisceaux optiques et électroniques. L'une des nouveautés qui fait l'objet d'améliorations prometteuses, est la C-AFM (Conductive Atomic Force Microscopy). Celle-ci a été mise au point pour observer le claquage progressif de  $\text{SiO}_2$  et ceci grâce à une pointe placée directement sur l'oxyde, jouant ainsi localement le rôle de métal de grille. Notons que ce type d'équipement est en cours d'acquisition dans notre laboratoire.

- Le lien entre fiabilité et le phénomène de claquage progressif de l'oxyde de grille. On pourra ainsi montrer si un circuit peut encore fonctionner après les claquages successifs SBD et HBD (Soft et Hard BreakDown respectivement), et aussi pour combien de temps. L'évolution des courants de grille durant la HBD doit être bien estimée pour une bonne projection de la fiabilité, mais le facteur qui contrôle cette évolution reste encore inconnu. Ceci constituera une des orientations de nos futures recherches.

#### **IV.2.2 Axe 2 : modélisation numérique des composants micro et nanoélectroniques**

Dans un objectif d'aide à la compréhension des mécanismes physiques mis en jeu en micro et nanoélectronique, la simulation numérique est devenue une activité incontournable rendant plus accessible l'étude de nouveaux matériaux et de nouvelles technologies. Il est d'abord important de souligner la pluridisciplinarité d'une telle activité, qui suppose une maîtrise à la fois des connaissances physiques, mathématiques et informatiques nécessaires à la formulation et au traitement des modèles.

Les simulateurs existants et développés par des sociétés commerciales, sont certes des outils performants ayant fait leur preuve en terme de robustesse et de convivialité ; mais ces outils s'avèrent aujourd'hui assez limités ou incomplets lorsqu'on veut pousser la modélisation aux nano - structures ou aux architectures complexes.

Cet axe se veut donc avant tout comme une contribution à l'amélioration des modèles existants pour anticiper et mieux répondre aux demandes futures des industriels.

#### **IV.2.2.1 Structures de base et phénomènes associés :**

Le projet présenté ici se concentrera en priorité sur les dispositifs de types MOS ; en effet, bien qu'un certain nombre d'équipes soient déjà penchés sur le sujet depuis quelques années, il reste encore beaucoup d'améliorations à apporter pour combler les insuffisances des simulateurs disponibles dans le commerce.

Initialement, le contenu du projet proposé sera orienté vers la modélisation des structures MOS à base de Silicium. Il pourra bien entendu être élargi ultérieurement à d'autres matériaux ou aux procédés technologiques (gravure, implantation, ...).

##### **IV.2.2.1.1 Transport latéral : modèles de mobilité dans les canaux courts**

Les mécanismes de transport dans les canaux des transistors ont fait l'objet de nombreuses recherches ; malgré cela les modèles de mobilité utilisés dans les simulateurs de type dérive-diffusion restent assez empiriques. Ils sont remis en cause pour chaque structure particulière : films minces, nouveaux diélectriques, ... Plus précisément, les simulateurs tels que le simulateur bidimensionnel 'Atlas' de 'Silvaco' sont pour la plupart fondés sur l'étude statistique de la répartition des porteurs dans la structure. Les interactions des porteurs avec le cristal sont caractérisées par des paramètres comme : libre parcours moyen, temps de relaxation, mobilités, coefficients de diffusion. Le modèle de traitement souvent utilisé est le modèle de dérive de diffusion. Il est basé sur la statistique de Fermi-Dirac et sur la résolution de l'équation de Poisson. Il considère que les porteurs sont à tout instant en équilibre thermodynamique avec le cristal. Cette hypothèse est valide tant que les porteurs se relaxent sur une distance microscopique à l'échelle du composant. Elle néglige donc les effets locaux de porteurs chauds présents dans les dispositifs à forte injection ou de très faibles dimensions.

L'utilisation d'un modèle à conservation d'énergie peut prendre en compte ces effets tout en conservant le caractère quasi-statique des simulations.

Proposer un modèle physique passe par l'élaboration des équations décrivant l'état du matériau ou de l'assemblage de matériau en supposant quelques hypothèses simplificatrices. Dans le cas des semi-conducteurs, l'état de la structure sera caractérisé par la concentration des porteurs et de leur énergies en tout point du volume et aussi par leur évolution temporelle au travers du flux.

Des modèles de mobilité ont été développés utilisant la simulation du transport par la méthode Monte Carlo. Cependant, pour tenir compte des phénomènes de transport hors équilibre, il faut pouvoir dissocier vitesse et énergie des porteurs, d'où la nécessité d'introduire la conservation de l'énergie dans ces modèles.

Pour les nouvelles architectures MOS, il s'agit en premier lieu d'établir des lois de mobilité mieux adaptées aux canaux ultra-courts, ce qui passe par une analyse fine du transport des porteurs dans ces canaux. Les effets de confinement quantiques seront considérés et serviront pour exprimer les mobilités de surface en fonction des barrières diélectriques. Pour effectuer une modélisation précise des mobilités, une connaissance parfaite des mécanismes physiques mis en jeu dans la couche inversée est nécessaire. Ces mécanismes physiques, qui influent sur la valeur de la mobilité, sont connus sous le nom de 'Surface Scattering', ou diffusion de porteurs en surface. En général, trois types sont les

plus répandus : « phonons Scattering », dû aux différents modes de vibration du cristal, Coulomb Scattering », dû aux charges d'interfaces, aux charges dans l'oxyde et aux impuretés ionisés, « Surface Roughness Scattering », dû aux défauts géométriques de l'interface oxyde-semiconducteur. L'importance relative de ces différents mécanismes dépend de la température et de la valeur du champ électrique transverse en surface.

Par ailleurs, il est aussi indispensable de tenir compte également des effets quantiques. Partant d'une remise en cause des modèles de transport existants, un travail conséquent devrait être fourni pour intégrer ces effets dans les structures MOS les plus avancées. Les modèles simplifiés existants du courant tunnel (Fowler-Nordheim et tunnel direct) pourraient toujours servir de base de comparaison. Plus précisément, si c'est le concept de niveau de Fermi qui est remis en cause dans les nanostructures, il faudra modéliser avec le plus de précision les cinétiques de peuplement dit « à l'unité » des niveaux de confinement dans ces nanostructures. Il faudra établir des expressions 2D voire 3D du courant de charge et de décharge des îlots quantiques à partir des fonctions d'ondes et des niveaux de confinement quantique. Des outils de simulations existent déjà pour certaines structures combinant la résolution des équations Poisson-Schrödinger (1D, 2D et 3D axi-symétrique).





## *Bibliographie*



- [1] P. Antognetti, G. Massobrio, "Semiconductor device modeling with SPICE", Edition Mc Graw-Hill Book Compagny 1988.
- [2] G.M. Dolny, H.R. Ronan, C.F. Wheatley, "A SPICE II subcircuit representation for power MOSFET's using empirical method", the power electronics design conference proceedings, pp. 147 – 153, Octobre 1985.
- [3] G.M. Dolny, H.R. Ronan, C.F. Wheatley, "Méthode de modélisation pour MOS de puissance", Revue Electronique de Puissance, N° 23, pp. 32-37, Octobre 1987.
- [4] H.P. Yee, P.O. Lauritzen "SPICE models for power MOSFET's: An update" IEEE Applied Power Electronic Conference, New Orleans 1988 .
- [5] R.A. Minasian, "Power MOSFET dynamic large-signal model" IEE Proc., vol. 130, N° 2, pp 73-79. April 1983.
- [6] J. M. Hanckok, "Enhanced techniques for SPICE Modeling of power MOSFETs", PCI Proceedings, June 1988.
- [7] G. Fay, J. Sutor "A power FET SPICE model from data sheet specs", Powertechnics, , pp 25-31, August 1986.
- [8] H.J. Park, P.K. Ko, C. Hu "A Non-quasi-static MOSFET model for SPICE-transient analysis", IEEE Transaction on Electron Devices, ED-36 N°3, March 1989.
- [9] M.I. Castro Simas, M.S. Piedade, J.Costa Freire "Experimental characterization of power VDMOS Transistors in commutation and a derived model for computer-aided design" IEEE Transaction on Power Electronics, vol.4, N°3, July 1989.
- [10] P.F Finman, "SPICE simulates silicon MOSFETs for high power", Microwaves & RF, November 1989.
- [11] C.H. Xu, D. Schroder, "Modelling and simulation of power MOSFETs and power diodes, IEEE PESC'88 RECORD, Kyoto, pp.76-83, April 1988.
- [12] C.H. Xu, D. Schroder, "A unified model for the power MOSFET including the inverse diode and the parasitic bipolar transistor", EPE Aachen, October 1989.
- [13] E. Tatak, J. Sanchez-Molero, "Modelling power MOSFET DC-DC converters using SPICE2 program", EPE Aachen, October 1989.
- [14] Y.S. Kim, J.G. Fossum, "Physical DMOST modeling for high-voltage IC CAD", IEEE Transaction on Electron Devices, ED-37, N°3, March 1990.
- [15] D.F. Haslam, M.E. Clark, L. Burley, "Parameter extraction issues relating to power MOSFET SPICE models", Congres PCIM, Proceedings Addendum1, June 1990
- [16] C.E. Cordonnier, R. Maimouni, H. Tranduc, P. Rossel, D. Allain, M. Napieralska, "SPICE models for TMOS power MOSFETs" application", note Motorola Semiconductor-AN1043 1989.
- [17] N. Thapar, B.J. Baliga, "A comparison of high frequency cell designs for high voltage DMOSFETs" To be presented at The 6th International Symposium on Power Semiconductor DEvices & ICs ISPSD 1994, Davos, 1994.
- [18] L. Rish, « Electron mobility in short- channel MOSFET's », IEEE Transaction on Electron Dvices, ED – 30, No 8, pp. 1168- 1171, 1983.
- [19] S. C. Sun, J. D. Plummer, « Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces », IEEE Transaction on Electron Dvices, ED – 27, pp. 671- 683, 1980.
- [20] F.F Fung, A.B. Fowler, « Hot Electron Effect and Saturation velocities in Silicon inversion layers », J.A.P, Vol. 14, pp. 1825- 1831, 1970.

- [21] G. Vassilief, « Modèle du transistor MOS. Influence de variation de la mobilité des porteurs », Thèse de 3<sup>ème</sup> cycle, Université Paul Sabatier, Toulouse, 1971.
- [22] Arora, N.D., Hauser, J.R., Roulston, D.J. "Electron and Hole Mobilities in Silicon as a function of Concentration and Temperature", IEEE Trans Electron Devices, ED-29, pp. 292-295, 1982.
- [23] Klaassen, D.B.M., "A Unified Mobility Model for Device Simulation - II. Temperature Dependence of Carrier Mobility and Lifetime", Sol. St.Elec., V. 35, No. 7, pp. 961-967, 1992.
- [24] G.A.M. Hurkx, D.B.M. Klaasen, M.P.G. Knuvers, and F.G. O'Hara, "A New Recombination Model Describing Heavy-Doping Effects and Low Temperature Behaviour", IEDM Technical Digest, pp. 307-310, 1989.
- [25] J. Dorkel and Ph. Leturcq, "Carrier Mobilities in Silicon Semi-Empirically Related to Temperature Doping and Injection Level", Solid-State Electronics, 24, pp. 821-825, 1981.
- [26] A. Nakagawa and H. Ohashi, "A Study on GTO Turn-off Failure Mechanism — A Time- and Temperature-Dependent 1-D Model Analysis", IEEE Trans., ED, Vol. ED-31, No. 3, pp. 273- 279, 1984.
- [27] Lades M. and Wchutka G., "Extended Anisotropic Mobility Model Applied to 4H/6H-SiC Devices", Proc. IEEE SISPAD, pp.169-171, 1997.
- [28] Klaassen, D.B.M., "A Unified Mobility Model for Device Simulation - I. Model Equations and Concentration Dependence", Sol. St. Elec., V. 35, No. 7, pp. 953-959, 1992.
- [29] Shirahata M., Kusano H., Kotani N., Kusanoki S. and Akasaka Y., "A Mobility Model Including the Screening Effect in MOS Inversion Layer", IEEE Trans. Computer-Aided Design, V. 11, No. 9, pp. 1114-1119, September 1992.
- [30] Lombardi et al, "A Physically Based Mobility Model for Numerical Simulation of Non-Planar Devices", IEEE Trans. on CAD, , p. 1164, November 1988.
- [31] K. Yamaguchi, "A Mobility Model for Carriers in the MOS Inversion Layer", IEEE Trans. Elect. Devices, Vol. ED-30, pp. 658-663, 1983.
- [32] K.K. Thornber, "Relation of Drift Velocity to Low Field Mobility and High Field Saturation Velocity", J. Appl. Phys., Vol. 51, pp. 2127- 2136, 1980.
- [33] Law, M.E., et. al., Self-Consistent Model of Minority-Carrier Lifetime, Diffusion Length, and Mobility, IEEE Electron Device Letters, Vol. 12, Nol 8, 1991.
- [34] H. Shin, G.M. Yeric, A.F. Tasch, and C.M. Maziar. "Physically-based Models for Effective Mobility and Local-field Mobility of Electrons in MOS Inversion Layers", SOL. ST. Electron, 1991.
- [35] J.T. Watt, and J.D. Plummer, "Universal Mobility-Field Curves for Electrons and Holes in MOS Inversion Layers", Symposium on VLSI Technology, Karuizawa, Japan, 1987.
- [36] H. Shin, A.F. Tasch, C.M. Maziar, and S.K. Banerjee. "A New Approach to Verify and Derive a Transverse-field-dependent Mobility Model for Electrons in MOS Inversion Layers", IEEE Trans. Electron Devices, ED-36 No. 6, pp. 1117-1123, 1989
- [37]C. Jacobini, C. Canali, G. Ottaviani, A. Alberigi Quaranta, " A review of some charge transport properties of silicon", Solid-State Electronics, Vol. 20, pp. 77-89,1977.
- [38] H. Soon, A.F. Tash, C. Maziar, S.K. Banerjee, " A new approach to verify and derive a transverse-field dependant mobility model for electrons in MOS inversion layers", IEEE Transactions On Electon Devices, Vol. 36, n° 6, pp. 1117-1123, 1989.
- [39] Caughey D.M, Thomas R.E. "Carrier Mobilities in silicon empirically related to doping and field. IEEE Proceeding", pp. 2192, 1967.

- [40] O. Leistiko, A. S. Grove, C. T. Sah, " Electron and hole mobilities in inversion layers on thermally oxidized silicon surfaces", IEEE Transaction on Electron Devices, ED-12, p. 248,1965.
- [41] H. Tranduc, P. Rossel, J.L. Sanchez,"Premier et second claquage dans les transistors MOS", Revue Phys. Appl. 19, p. 859-878, Octobre 1984.
- [42] M. Gharbi, "La tenue en tension et le calibre en courant du transistor MOS vertical dans la gamme des moyennes tensions (300 V à 1000 V)", Thèse de 3<sup>ème</sup> Cycle, Université Paul Sabatier, Toulouse, 1985.
- [43] V. Boisson, "Etude de la géométrie optimale des périphéries des jonctions planar". Thèse N° ECL 85-05, Ecole centrale de Lyon, 1985.
- [44] S.C. Sun, "Physics and technology of Power MOSFET's", Thesis Ph. D, Stanford University, 1982.
- [45] S. M. Sze, and G. Gibbons," Effect of junction curvature on breakdown voltage in semiconductors" , solid-state Electronics, Vol. 9, pp. 831-845, 1966.
- [46] R. Van Overstraeten and H. Deman, "Measurement of the Ionization Rates in Diffused Silicon p-n Junctions", Solid-State Electronics, 13, pp. 583-608. 1970.
- [47] S. Selberherr, "Analysis and Simulation of Semiconductor Devices", Springer-Verlag, Wien-NewYork. 1984.
- [48] W.N. Grant, "Electron and Hole Ionization Rates in Epitaxial Silicon at High Electric Fields", Solid-State Electronics, 16, pp. 189-1203, 1973.
- [49] A.G.Chynoweth, "Ionisation rates for electrons and holes in silicon", Physical review, Vol. 109, pp. 1537-1540, 1958.
- [50] P. Mars, "Temperature Dependence of Avalanche Breakdown Voltage in p-n Junctions", International Journal of Electronics, Vol. 32, No. 1, pp. 23-27.
- [51] R. Crowell, S.M. Sze, "Temperature Dependence of Avalanche Multiplication in Semiconductors", Applied Physics Letters 9, pp. 242-244, 1966.
- [52] K.G. Mac Kay, "Avalanche breakdown in silicon", Physical review, volume 94, n°4, p.877, 1954.
- [53] N. Gharbi, "La tenue en tension et le calibre en courant du transistor MOS vertical dans la gamme des moyennes tensions (300V à 1000V)", Thèse de 3<sup>ème</sup> Cycle, Université Paul Sabatier, Toulouse, 1985.
- [54] B. Beydoun, "Simulation et conception des transistors MOS de Puissance", Thèse n°94355, Université Paul-Sabatier de Toulouse, 1994.
- [55] M. Alwan , B. Beydoun, K. Ketata, M. Zoeter "Two-dimensional simulation of the thermal stress effect on static and dynamic VDMOS characteristics" Journal of Materials Science and Engineering B (Elsevier publishing), , Volume 124–125, pp 335–340, December 2005
- [56] P. Rossel, H. Martinot, G. Vassilieff, « An Accurate Two Sections modle for MOS transistors in saturation », Solid state Electron, N° 19, pp. 51-56, 1976.
- [57] M. Pinto-Guedes, P.C. Chan, « A circuit Simulation Model Bpolar – Induced Breakdown in MOSFET, IEEE trans. On computer-Aided Design, vol. 7, N°2, pp. 289-294, 1988.
- [58] A. Scultz, S. Selberherr, H. W. Ptzl, « A two dimensional model of the avalanche effect in MOS transistors», Solid State Electron, vol. 25, n°3, pp. 177-183, 1982.
- [59] B.J. Baliga, "Power Semiconductor Devices", PWS Publishing Company, 1995.

- [60] J.G. MENA, "High frequency performance of VDMOS power transistors", M.A. Sc. Thesis, University of Toronto, Canada, 1981.
- [61] S.M. SZE, Physics of semi-conductor devices, Edition Willey & Sons, p. 29, 1981.
- [62] B. Beydoun, M. Alwan, K. Ketata, M. Zoeter « Bi-dimensional investigation on VDMOS parameters under Thermal Stress Effect » Journal of Active and Passive Electronic Devices (Old City Publishing -USA), acceptée le 25 septembre 2006, à apparaître en 2007.
- [63] B. Beydoun, M. Zoeter, F. Morancho, JP Charles "Functional Stress Degradations on Trench MOS Transistors: Two-dimensional Simulations & Analysis", Journal of Active and Passive Electronic Devices, 2005
- [64] P. Rossel, H. Martinot, M. Zamorano, "Propriétés statiques des transistors MOS de puissance à canal vertical. Cas du régime de pincement", Revue physique appliquée, Vol. 13, pp 23-28, 1978.
- [65] C. HU, « Optimum design of Power MOSFET's, IEEE Transaction on Electron Devices. vol. 31, No 12, pp. 1693-17, 1984.
- [66] M. de la Bardonnie, P. Mialhe, E. Bendada, E. Blampain, A. Hoffmann, and J.-P. Charles «Diode Parameter Determination Applied to LDD MOSFETs for Device Characterization », Active and Passive Elect. Component, vol 20, pp157-163, 1998.
- [67] J.-P. Charles, I. Mekkaoui-Alaoui, and G. Bordure, «A Critical Study of the Effectiveness of the Single and Double Exponential Models for I-V Characterization of Solar Cells, . Solid-State Electronics, vol. 28, pp807-820, 1985.
- [68] A. Maouad, «Caractérisation des dégradations des IGBTs en milieu industriel ». Thèse de l'Université de Metz, Novembre 1999.
- [69] A. Haddi, «Analyse des défauts induits par irradiations ionisantes et à effets de déplacement dans des structures MCT (MOS Controlles Thyristor) à partir de mesures et par simulation », Thèse de l'Université de Metz, Novembre 1999.
- [70] Jean-Pierre Charles et al. « La Jonction, du Solaire à la Microélectronique » Rev. Energie Renouvelable. Vol.3, pp 1-16, 2000.
- [71] G. Tardivo, "Le transistor D.MOS vertical en amplification haute fréquence de puissance", Thèse de 3<sup>ème</sup> Cycle, Université Paul Sabatier, Toulouse, janvier 1987.
- [72] A. Acovic, G. La Rosa, Y. C. Sun "A review of Hot-Carrier degradation mechanisms in MOSFETs", Microelectronics Reliability, vol. 36, pp. 845-869, 1996.
- [73] E. Amerasekera, F.N Najm "Failure mechanisms in semiconductor devices-Second Edition", Edition John Wiley&sons, 1997.
- [74] APD Semiconductor : Defining Maximum Operating Junction Temperature Application Note AN-1011 Novembre 2005.
- [75] N. Shiono and C. Hashimoto, "Threshold-voltage instability of n-channel MOSFETs under bias-temperature aging," *IEEE Trans. Electron Devices*, vol. 29, no. 3, p. 361, Mar. 1982.
- [76] N. Stojadinovi, D. Dankovi, S. Djori -Veljkovi, V. Davidovi , I. Mani , S. Golubov, " Negative bias temperature instability mechanisms in p-channel power VDMOSFETs ", Microelectronics Reliability, n° 45 pp1343–1348, 2005.
- [77] Dimitrijevic S, Golubovic S, Zupac D, Pejovic M, Stojadinovic N."Analysis of gamma-radiation induced instability mechanisms in CMOS transistors". Solid-State Electron; N° 32, pp.349-353, 1989.

- [78] Schroder DK, Babcock JA “Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing”. Journal of Applied Physics, N°94, pp1-18, 2003
- [79] Ogawa S, Shimaya M, Shiono N. Interface-trap generation at ultrathin SiO<sub>2</sub> (4-6 nm)-Si interfaces during negative-bias temperature aging” Journal of Applied Physics, N°77, pp1137-1148, 1995.
- [80] Fleetwood DM. “Effects of hydrogen transport and reactions on microelectronics radiation response and reliability” Microelectronic Reliability. N°42, pp.523-541, 2005.
- [81] Ristic G, Pejovic M, Jaksic A.”Analysis of postirradiation annealing of n-channel power vertical double-diffused metal-oxide-semiconductor transistors”, Journal of Applied Physics, N°87, pp3468-3477, 2000.
- [82] M.A. Bouanane, Conception et optimisation des composants DMOS latéraux haute tension en technologie RESURF, Thèse de Doctorat d’Université Paul Sabatier de Toulouse, 1992.
- [83 ] D. Moncoqut, Propriétés physiques et modélisation du transistor de puissance LDMOS, Thèse de Doctorat d’Université Paul Sabatier de Toulouse, N°2755, 6 Octobre 1997.
- [84] T. Fujihira, “Theory of semiconductor superjunctions devices”, Japanese Journal of Applied Physics, Vol. 36, pp.6254-6262, 1997.
- [85] L. Lorenz, G. Deboy, A. Knapp, M. März, “COOLMOS™ – a new milestone in high voltage power MOSFET”, Proceedings ISPSD’99, pp. 3-10, 1999.
- [86] R. Rodriguez, J.H. Sthatis, B.P. Linder, R.V. Joshi, C.T. Chuang “ Influence and model of gate oxide breakdown on CMOS inverters”, Microelectronics Reliability 43, pp. 1439-1444, 2003.

### *LISTE DES TRAVAUX ET PUBLICATIONS*

#### Reuves scientifiques internationales avec comité de lecture

- [R1] **B. Beydoun**, M. Alwan, K. Ketata, M. Zoeter « Bi-dimensional investigation on VDMOS parameters under Thermal Stress Effect » Journal of Active and Passive Electronic Devices (Old City Publishing -USA), acceptée le 25 septembre 2006, à apparaître en 2007.
- [R2] F. El Hage Hassan, A. Bleybel, A. Hijazi, A. Alaeddine, **B. Beydoun**, M. Zoeter « Structural and Electronic properties of Zn<sub>1-x</sub>Mg<sub>x</sub>S<sub>y</sub>Se<sub>1-y</sub> alloys » Materials letters journal (Elsevier publishing), N°61, pp 1178-1182, February 2007.
- [R3] S. Alves, F. Morancho, J.-M. Reyn'es, J. Margheritta, I. Deram, K. Isoird and **B. Beydoun** “Experimental validation of the ‘Floating Islands’ concept: 95V breakdown voltage vertical FLIDiode” Journal of Circuits, Devices, and Systems (IEE publishing), Volume 153, No 1, pp 53-60, February 2006.
- [R4] M. Alwan , **B. Beydoun**, K. Ketata, M. Zoeter “Two-dimensional simulation of the thermal stress effect on static and dynamic VDMOS characteristics” Journal of Materials Science and Engineering B (Elsevier publishing), Volume 124–125, pp 335–340, December 2005.
- [R5] **B. Beydoun**, M. Zoeter, F. Morancho, and J-P Charles “Functional Stress Degradations on Trench MOS Transistors: Two-dimensional Simulations & Analysis” Journal of Active and Passive Electronic Devices (Old City Publishing -USA): Volume 1, pp. 13-28, July 2005.
- [R6] **B. Beydoun**, M. Zoeter, A. Alaeddine, I. Rachidi, F. Bahsoun, J-J. Charlot, and J-P Charles “2-D Analysis of Functional Stress Degradations on Power VDMOS Transistor” Microelectronics International Journal (Emerald group publishing), Volume 2, No 2, pp 16-22, July 2004.



[R7] M. Zoeter, **B. Beydoun**, M. Hajjar, M. Debs, J-P Charles, « Analysis and simulation of functional stress degradation on VDMOS Power Transistors », Active and Passive Electronic component, vol. 25, pp. 215-223, September 2002.

[R8] **B. Beydoun**, H. Tranduc, F. Oms, A. Peyre Lavigne, P. Lance, P. Rossel, « Méthodologie d'approche pour la conception des transistors VDMOS de puissance », Journal de physique III (France), October 1994.

[R9] **B. Beydoun**, P. Rossel, H. Tranduc, G. Charitat, « Evaluation des performances du transistor MOS de puissance sur Carbure de Silicium. Compromis résistance passante – tenue en tension et vitesse de commutation », Journal de physique III (France), August 1994.

### Conférences internationales à comité de sélection et actes

[C1] M. Alwan, **B. Beydoun**, K. Ketata, M. Zoeter "Gate Charge characteristics investigation of Bias Temperature Instabilities in Power MOSFET Reliability", European Material Research society conference EMRS06, Nice Mai 2006.

[C2] M. Alwan, K. Ketata, **B. Beydoun**, M. Zoeter "2D Analysis of a power VDMOS transistor- CV characteristics temperature effects", European Material Research society conference EMRS05, Strasbourg, Avril 2005.

[C3] **B. Beydoun**, M. Zoeter, M. Hajjar, A. Alaeddine, M. Debs, « Etudes des dégradations d'un VDMOS de puissance utilisé dans un environnement industriel », pp 233-238, Proceeding of International Conference on Basic Technologies for E-Business'2002. 15-18 septembre 2002 (Albena Bulgarie)

[C4] **B. Beydoun**, H. Tranduc, P. Rossel, « Conception générique des transistors MOS de puissance », 13th sciences Meeting, Beyrouth (Liban), Novembre 1999.

[C5] **B. Beydoun**, H. Tranduc, P. Rossel, G. Charitat, F. Moroncho, « Determination of static and dynamic performance of silicon Carbide Power MOSFET transistors », 6th European conference on Power electronics (EPE'95), sevilla (spain), Vol. 1. pp. 201-206, september 1995.

[C6] **B. Beydoun**, H. Tranduc, F. Oms, G. Charitat, P. Rossel, A. Peyre Lavigne, « Power MOSFET Design and Modelling Tool for Power Electronics », 5th European conference on Power electronics (EPE'93), Brighton (United Kingdom), Vol. 2, pp. 390-395, september 1993.

[C7] G. Charitat, F. Oms, **B. Beydoun**, N. Nolhier, P. Rossel, A. Peyre Lavigne, « Optimization of high Voltage (1200V) MOS transistor: Voltage Handling capabilities and switching behaviour », ESSDERC'93, Grenoble (France), , pp 887-890, septembre 1993.

[C8] G. Charitat, **B. Beydoun**, N. Nolhier, P. Rossel, A. Peyre Lavigne, « Voltage Handling Capability of SIPOS High Voltage VDMOS Transistors » 16th annual semiconductor conference (CAS'93), Bucarest IEEE- ROMANIA Section, Octobre 1993.

[C9] K. Kassmi, F. Oms, **B. Beydoun**, P. Rossel, H. Tranduc, G. Charitat, « From Power to GSM Radiotelephony » 16th annual semiconductor conference (CAS'93), Bucarest IEEE-Romania Section, Octobre 1993.

### Conférences nationales avec comité de lecture

[C1] **B. Beydoun**, H. Tranduc, P. Rossel, « Une application directe de l'outil de conception « Power MOSFET's Designer »: Evaluation des performances du transistor MOS de puissance sur Carbure de Silicium », Electronique de Puissance du Futur (EPF'94), Cachan (France), septembre 1994.

[C2] **B. Beydoun**, P. Rossel, F. Oms, H. Tranduc, A. Peyre Lavigne « PMD – Power MOSFET Designer. Un outil de conception générique de composants MOS de puissance de nouvelle génération ». Electronique de Puissance du Futur (EPF'92), Marseille (France), septembre 1992.

### Proceeding et Livres

[P1] Proceeding of international Conference on Basic Technologies for E-Business'2002 (TTFNE'2002, BTEBIZ'2002), publié par la faculté de télécommunications de l'université technique de Sofia.

[P2] Livre de physique pour le programme officiel du Baccalauréat Libanais, édité par le Centre d'Education pour la recherche et le développement au Liban- série scientifique (juillet 2000).

[P3] Physics book for the third secondary year (edited by the Lebanese Educational Center for research and development) – scientific series (juillet 2000).

### Rapports de contrat

[Cont1] **B. Beydoun**, G.Charitat, F.Oms, H.Tranduc, P.Rossel “High voltage MOS transistor optimization: voltage handling capability, switching speed Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n° 93501

[Cont2] **B. Beydoun**, P.Rossel, H.Tranduc, F.Oms, G.Charitat Conception des transistors MOS de puissance par le logiciel "power MOSFET's designer-interdigitated structure" Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n° 93408

[Cont3] G.Charitat, **B. Beydoun**, N.Nolhier, P.Rossel, A.Peyre Lavigne « Voltage handling capability of SIPOS high voltage VDMOS transistors Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n°93405

[Cont4] P.Rossel, G.Charitat, **B. Beydoun**, H.Tranduc, F.Oms « Transistors MOS de puissance de 2ème génération. Accroissement de la tenue en tension et de la vitesse Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n°93374

[Cont5] **B. Beydoun**, G.Charitat, H.Tranduc, F.Oms, P.Rossel « TMOS de puissance. Procédure de validation du logiciel "Power MOSFET's designer" Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n°93373

[Cont6] K.Kassmi, F.Oms, **B. Beydoun**, P.Rossel, H.Tranduc, G.Charitat « MOSFET's: from power to GSM radiotelephony Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n°93212

[Cont7] G.Charitat, F.Oms, **B. Beydoun**, N.Nolhier, P.Rossel, A.Peyre Lavigne “Optimisation of high voltage (1200V) MOS transistor: voltage handling capabilities and switching behaviour Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n° 93210

[Cont8] **B. Beydoun**, H.Tranduc, F.Oms, G.Charitat, P.Rossel, A.PEYRE LAVIGNE « Power MOSFET design and modelling tool for power electronics » Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n°93134

[Cont9] **B. Beydoun**, G.Charitat, F.Oms, H.Tranduc, P.Rossel « Transistors MOS de puissance de 2ème génération Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n°93096

[Cont10] **B. Beydoun**, G.Charitat, F.Oms, H.Tranduc, P.Rossel «High voltage MOS transistor optimisation: voltage handling capabilities and switching speed Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n°93090

[Cont12] **B. Beydoun**, H.Tranduc, F.Oms, A.Peyre Lavigne, P.Lance, P.Rossel « Méthodologie d'approche pour la conception des transistors VDMOS de puissance Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n°93087)

- [Cont13] P.Rossel, K.Kassmi, H.Tranduc, **B. Beydoun** « Transistors MOS de puissance pour émetteurs de radiotéléphonie en bande UHF, Rapport LAAS n°92470
- [Cont14] **B. Beydoun**, P.Rossel, H.Tranduc, F.Oms, G.Charitat « PMD Outil de conception des modèles M.O.S. de puissance dans le couplage des logiciels "SPICE" et "HYPERCARD" Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n°92321
- [Cont15] P.Rossel, H.Tranduc, **B. Beydoun**, F.Oms, G.Charitat « Bibliothèques d'interrupteur M.O.S. de puissance pour les circuits intégrés "Smart-Power" (Puissance intelligente) » Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n°92236
- [Cont16] **B. Beydoun**, F.Oms, P.Rossel, H.Tranduc, G.Charitat « TMOS de puissance. Modélisation unifiée au niveau "de la cellule" Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n°92092
- [Cont17] P.Rossel, K.Kassmi, H.Tranduc, **B. Beydoun** « Transistors MOS de puissance pour émetteurs de radio téléphonie en bande UHF », Rapport LAAS n°92044
- [Cont18] P.Rossel, M.Napieralska, H.Tranduc, K.Kassmi, K.Djellabi, J.P.Berry, **B. Beydoun** « Transistor MOS de puissance en régimes dynamiques : commutation et amplification VHF » Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n°91379
- [Cont19] C.E.Cordonnier, M.Napieralska, H.Tranduc, **B. Beydoun**, P.Rossel « Bibliothèque unifiée pour le transistor MOS de puissance dans le couplage des logiciels "SPICE" et "HYPERCARD" (Version 3) » Contrat Motorola-ADERMIP-LAAS, Rapport LAAS n°91208

### Thèse

[T1] **B. BEYDOUN**, “*Simulation et conception des transistors M.O.S. de puissance*”, Thèse de Doctorat de l’Université Paul Sabatier soutenue le 6 Juillet 1994 devant le jury composé de Messieurs : J. JALADE, Professeur à l’Université Paul Sabatier, P. ROSSEL, Directeur de Recherches au CNRS, P. MERLE, Professeur à L’université des Sciences et Techniques du Languedoc, R. P. PERRET, Professeur à l’ENSIE de Grenoble, A. PEYRE LAVIGNE, Ingénieur à Motorola Semiconducteurs Toulouse, H. TRANDUC, Chargé de Recherches au CNRS.