



HAL
open science

Vers les architectures et systèmes de calcul guidés par l'énergie

Slavisa Jovanovic

► **To cite this version:**

Slavisa Jovanovic. Vers les architectures et systèmes de calcul guidés par l'énergie. Electronique. Université de Lorraine, 2022. tel-03650219

HAL Id: tel-03650219

<https://hal.science/tel-03650219>

Submitted on 24 Apr 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Vers les architectures et systèmes de calcul guidés par l'énergie

Habilitation à diriger des recherches (HDR)

présentée et soutenue publiquement le 24 mars 2022

pour l'obtention d'une

Habilitation de l'Université de Lorraine

(mention Systèmes Électroniques)

par

Slaviša JOVANOVIĆ

Composition du jury

Président : M. Ian O'CONNOR, Professeur, INL, École Centrale de Lyon

Rapporteurs : Mme. Corinne ALONSO, Professeure, LAAS, Université Paul Sabatier, Toulouse
Mme. Fan YANG, Professeure, ImVia, Université de Bourgogne
M. Elie LEFEUVRE, Professeur, C2N, Université Paris-Saclay

Examineurs : M. Abbas AMIRA, Professeur, Université de Sharjah, Sharjah, Emirats Arabes Unis
M. Ian O'CONNOR, Professeur, INL, École Centrale de Lyon
M. Philippe POURE, Professeur, IJL, Université de Lorraine
M. Hassan RABAH, Professeur, IJL, Université de Lorraine
M. Serge WEBER, Professeur, IJL, Université de Lorraine



Table des matières

Introduction	1
I Activités de recherche	3
Récupération d'énergie	
1.1 Introduction	5
1.2 Modélisation électrique de sources thermoélectriques	6
1.3 Circuiterie associée	14
Architectures neuromorphiques de calcul	
2.1 Introduction	23
2.2 Cartes auto-organisatrices (SOM)	24
2.3 Architectures matérielles des cartes SOM extensibles et adaptatives	29
2.4 Architectures SOM matérielles dynamiques	42
Architectures émergentes pour le calcul	
3.1 Introduction	49
3.2 Modélisation de NCVO	50
3.3 Détection de chaos	58
3.4 Génération de nombre aléatoires à l'aide de NCVO	64
Projet de recherche	
3.1 Projet scientifique HDR	69
3.1.1 Récupération d'énergie	69
3.1.2 Architecture de calcul	70
3.1.3 Circuits et systèmes pour le calcul intermittent	72
II Activités d'encadrement, de la recherche et publications	75
Encadrement doctoral et scientifique	
1.A Encadrement de thèses	77
1.A.1 Thèses soutenues : 2	77
1.A.2 Thèses en cours : 2	77
1.B Encadrement de stages de Master	79
1.C Participation à des jurys de thèse	81
1.C.1 Thèse de doctorat	81

1.C.2 Thèse d'ingénieur/master	81
--	----

Rayonnement et vulgarisation

2.A Relecture d'articles scientifiques	83
2.B Journée de recherche et de valorisation	84
2.C Participation à la vie de la communauté scientifique	84
2.D Distinction & concours	84
2.E Expertise de projets	84
2.F Conférences invitées	84
2.G Chairman des sessions	85
2.H Organisation de congrès/sessions spéciales	85
2.I Editorial board des journaux	86
2.J Vulgarisation scientifique	86
2.K Relations internationales	86
2.L Contrats	87
2.M Autres activités et responsabilités (pédagogiques et administratives)	88

Publications et production scientifique
--

3.A Bilan des publications	89
3.B Chapitres de livre	89
3.C Articles de revues internationales avec comité de lecture	89
3.D Revues nationales	90
3.E Conférences internationales avec comité de lecture	91
3.F Conférences nationales avec comité de lecture	94
3.G Conférences pédagogiques nationales	95
3.H Communications de veille scientifique	96
3.I Brevets	96

Annexe A

Méthode de conceptors

Bibliographie

Introduction

Nous vivons actuellement dans la période considérée comme la quatrième révolution industrielle. Cette nouvelle révolution industrielle, souvent appelée la révolution de l'intelligence (*intelligence revolution*), est marquée par le développement et l'omniprésence des technologies telles que l'intelligence artificielle (IA), les Big Data (BD) et l'Internet des Objets (IoT), les technologies qui sont sur le point de transformer notre quotidien de manière plus importante que les trois révolutions précédentes.¹⁻⁴ Ces technologies sont non seulement à l'origine d'une quantité énorme de données de toute sorte générées en continu (IoT et BD), mais également demandeuses de ces données (AI et BD) pour pouvoir extraire des informations utiles à la prise de décision intelligente et automatique (*actionnable insights*) dans un grand nombre de domaines applicatifs.³ Les données en question peuvent être générées et traitées à différents niveaux : au niveau source dans les capteurs et systèmes d'acquisition⁵ ; dans les couches de transport intermédiaires souvent appelées *edge* ou *fog*⁶⁻⁹ ; ou dans les couches finales permettant leur stockage et traitement principal appelées *cloud*.¹⁰ Quel que soit le niveau observé dans cette infrastructure complexe, tous les éléments constitutifs se trouvant à un niveau donné sont caractérisés par une capacité de calcul, stockage, durée de vie, autonomie énergétique, disponibilité et réactivité (latence et bande passante).³ Ce paradigme de traitement centralisé où toutes les données générées, quelle que soit leur origine, sont acheminées vers les centres de calcul de type *cloud* et majoritairement utilisé de nos jours, commence à montrer ses limites dans les applications exigeant une prise de décision rapide et un temps de réaction très court telles que le véhicule autonome, réseaux électriques intelligents (*smart grids*), gestion de trafic routier en temps réel, télémétrie et surveillance, vision industrielle etc.^{4,11-13} Sans oublier la consommation énergétique de tels systèmes se montrant inefficace et non-durable.¹⁰ Par conséquent, nous observons actuellement une décentralisation progressive de ce paradigme de calcul centralisé où les traitements à effectuer sur les données collectées se déplacent de plus en plus vers les extrémités de cette infrastructure complexe, c'est à dire dans les couches *fog*, *edge* et au plus proche des capteurs et systèmes d'acquisition.^{4,7,13}

De surcroît, ce changement de paradigme a également pour conséquence de faire évoluer les approches de conception de tels systèmes, initialement dimensionnés et adaptés pour un stockage et traitement de données centralisé. Dans les couches inférieures (*fog*, *edge* et proche des capteurs), nous constatons non seulement une augmentation des ressources disponibles (puissance de calcul, stockage) de tels systèmes, mais également un changement au niveau de la manière de traiter les

-
- (1). Luigi ATZORI et al. *Comput. Netw.*, **54** : 2787-2805, 2010.
 - (2). Klaus LYKO et al. *in New Hor. Data-Driven Eco.*, 2016.
 - (3). Muhammad Habib UR REHMAN et al. *Future Gen. Comp. Syst.*, **99** : 247-259, 2019.
 - (4). Michele DE DONNO et al. *IEEE Access*, **7** : 150936-150948, 2019.
 - (5). Francesco CONTI et al. *IEEE Trans. Circuits Syst. I*, **64** : 2481-2494, 2017.
 - (6). Weisong SHI et al. *IEEE Internet Things J.*, **3** : 637-646, 2016.
 - (7). Pedro GARCIA LOPEZ et al. *Edge-centric computing : Vision and challenges 2015*
 - (8). Shaoshan LIU et al. *Proc. IEEE*, **107** : 1697-1716, 2019.
 - (9). Flavio BONOMI et al. *In Worksh. Mob. Cloud Comput.*, 13-16, 2012.
 - (10). Toni MASTELIC et al. *ACM Comput. surveys*, **47** : 1-36, 2014.
 - (11). Weisong SHI et Schahram DUSTDAR. *Computer*, **49** : 78-81, 2016.
 - (12). Songlin CHEN et al. *IEEE Access*, **7** : 74089-74102, 2019.
 - (13). Gopika PREMSANKAR et al. *IEEE Internet Things J.*, **5** : 1275-1284, 2018.

données collectées en s'appuyant de plus en plus sur les approches centrées sur les données (*data centric approaches*) et utilisant majoritairement les méthodes et techniques de *machine learning* et d'intelligence artificielle.¹⁴⁻¹⁶ Dans la conception de tels systèmes, et dans une optique de les rendre viables et durables, en minimisant leur coût de fabrication, de maintenance et leur impact environnemental d'une part et en maximisant leur autonomie énergétique et durée de vie d'autre part, l'approvisionnement en énergie propre et durable ainsi que sa gestion sont également devenus un facteur majeur dans la conception de tels systèmes et un des piliers de ce changement de paradigme.¹⁷ Les mécanismes liés à la récupération de l'énergie ambiante ou *energy harvesting*, où les sources potentielles de l'énergie ambiante telles que l'énergie solaire, thermique, mécanique (vibratoire), électromagnétique ou autre sont employées soit comme des solutions principales ou de secours d'approvisionnement en énergie, est un exemple de solution s'étant développé ces dernières années pour accroître l'autonomie énergétique de tels systèmes.¹⁸⁻²¹

Les deux mots clé **Calcul** et **Récupération d'énergie** qui ressortent au sens large des termes de l'analyse précédente sont également les deux principales orientations qui ont guidé toutes les activités de recherche que j'ai menées pendant ma carrière d'enseignant-chercheur depuis ma nomination. Ainsi, le premier volet de mes activités de recherche porte sur la récupération d'énergie, en particulier sur les sources d'énergie thermique et la circuiterie de conversion associée, avec un accent particulier sur la tolérance aux pannes et la fiabilité des circuits proposés de manière générale. Ensuite, le deuxième volet de mes activités de recherche porte sur les architectures neuromorphiques de calcul où en particulier les architectures matérielles de calcul pour l'implantation des réseaux de neurones compétitifs de type cartes auto-organisatrices, statiques et dynamiques, sont abordées. Enfin, le dernier volet de mes activités de recherche porte sur les dispositifs émergents pour le calcul, en se focalisant en particulier sur un dispositif spintronique nommé NCVO (un nano oscillateur à vortex magnétique), un dispositif émergent dont les propriétés fortement non linéaires et différents régimes de fonctionnement le mettent en avant comme un des candidats potentiels pour les architectures de calcul du futur.

Ce manuscrit est organisé en deux parties : la première partie nommée *Activités de recherche* décrit tous les volets de recherche mentionnés précédemment en présentant à la fin le projet scientifique que je souhaite mener à l'avenir ; la seconde partie nommée *Activités d'encadrement, de la recherche et publications* décrit toutes les activités d'encadrement doctoral et scientifique, de rayonnement, de vulgarisation que j'ai menées jusqu'à présent ainsi que mes publications et la production scientifique globale.

(14). In LEE et Kyoochun LEE. *Bus. Horiz.*, **58** : 431-440, 2015.

(15). Charith PERERA et al. *IEEE Access*, **2** : 1660-1679, 2014.

(16). Steve K. ESSER et al. In *Int. Joint Conf. Neural Netw. (IJCNN)*, 1-10, 2013.

(17). Sivert T. SLIPER et al. *Philos. Trans. Royal Soc. A*, **378** : 20190158, 2020.

(18). Himanshu SHARMA et al. *J. Renew. Sustain. Energy*, **10** : 023704, 2018.

(19). Tolga SOYATA et al. *IEEE Circuits Syst. Mag.*, **16** : 22-57, 2016.

(20). Alex S WEDDELL et al. in *Des., Aut. Test Eur. Conf. Exhib. (DATE)*, 905-908, 2013.

(21). Shashank PRIYA et al. *Energy Harvest. Syst.*, **4** : 3-39, 2019.

Première partie

Activités de recherche

Récupération d'énergie

1.1 Introduction

Avec la prolifération des capteurs intelligents et systèmes de mesure, d'acquisition et de traitement communément connus sous le nom des objets IoT (en anglais *Internet Of Things* (IoT) ou Internet des Objets), étant majoritairement des systèmes nomades dotés d'une puissance de calcul limitée et fournissant un certain nombre de services dans un environnement contraint, l'autonomie énergétique de tels systèmes est devenue un enjeu primordial. En effet, de nombreux travaux de recherche ces dernières années visent tous les aspects de développement de tels systèmes IoT, en partant des architectures et paradigmes de calcul à utiliser, les protocoles de communication à employer pour l'envoi de données, les mécanismes d'approvisionnement en énergie à employer dans les environnements les entourant, etc. Sur le volet d'approvisionnement en énergie, une technique avec un grand potentiel s'étant imposée cette dernière décennie est la récupération d'énergie. Il s'agit d'une alternative aux modes de production d'énergie standard qui permet de récupérer l'énergie disponible dans l'environnement de fonctionnement d'un système et par conséquent augmenter son autonomie énergétique. De surcroît, il s'agit également d'une technique s'insérant parfaitement dans les préoccupations environnementales actuelles où l'objectif final serait d'avoir une neutralité énergétique et un impact environnemental faible de tels systèmes.

Dans la littérature, nous trouvons une multitude de types de systèmes de récupération d'énergie ambiante et sa transformation en électricité nécessaire pour l'alimentation de systèmes embarqués de type IoT.²² Des exemples les plus courants de la récupération d'énergie sont les systèmes de récupération de l'énergie solaire au moyen de cellules photovoltaïques²³; l'énergie mécanique ou vibratoire avec des transducteurs piézoélectriques ou électrostatiques²⁴; l'énergie électromagnétique par des résonateurs radio-fréquence²⁵; l'énergie thermique en utilisant des générateurs thermoélectriques (en anglais *Thermoelectric Generator* (TEG)).²⁶ Du point de vue électrique, ces types de sources peuvent également être réparties en sources continues (DC) et alternatives (AC). Parmi les sources d'énergie ambiante continues, les plus représentatives sont les sources d'énergie solaire ou les cellules photovoltaïques (*Panneau Photovoltaïque* (PV)) et les sources de chaleur thermiques TEG. Pour ces deux types de sources d'énergie ambiante, les circuits de gestion d'énergie étant similaires, la principale différence se trouve dans les algorithmes d'extraction de puissance maximale (en anglais *Maximum Power Point Tracking* (MPPT)).

Le volet sur la récupération de l'énergie ambiante est une activité de recherche que j'ai commencée en 2014 avec le Pr. Philippe Poure dans le cadre de la thèse de Saima Siouane, soutenue en novembre 2017. Il s'agit d'une activité de recherche initiée suite à l'intégration de l'équipe 406 (anciennement le laboratoire LIEN) à l'institut Jean Lamour, s'insérant dans la thématique sur les interfaces électroniques pour les sources DC renouvelables, en particulier sur

(22). Jérémie BOUCHAUD et Richard DIXON. *MST NEWS*, **1** : 18, 2008.

(23). Denis DONDI et al. *IEEE Trans. Ind. Electron.*, **55** : 2759-2766, 2008.

(24). Loreto MATEU et Francesc MOLL. *Sensors and Actuators A : Physical*, **132** : 302-310, 2006.

(25). JiCheng LIU et JianHong YAO. *IEEE Trans. Ind. Electron.*, **55** : 958-961, 2008.

(26). Cronin B VINING. *Nature*, **413** : 577-578, 2001.

la récupération de l'énergie fatale ambiante. Cette activité de recherche est d'un intérêt particulier pour l'institut Jean Lamour car elle permet de contribuer au passage des matériaux et dispositifs pour l'énergie à la concrétisation d'un dispositif ou système. Dans le cadre de ces travaux de recherche, un accent particulier a été mis sur les sources d'énergie continues de type thermique pour plusieurs raisons : d'une part leur disponibilité et gratuité les rendant comme une source d'énergie renouvelable la plus viable^{27,28} ; et d'autre part la possibilité de fabrication de modules TEG sur mesure par nos collègues au sein de l'institut Jean Lamour (plus précisément au sein de l'équipe 204 de l'IJL). Les premiers travaux sur ce volet de recherche étaient en lien avec les activités de l'équipe 204 de Pr Bertrand Lenoir sur la thermoélectricité, une équipe reconnue internationalement au niveau des matériaux pour la conception et fabrication de générateurs thermoélectriques, et ont permis à la fois de valoriser les compétences présentes au sein de l'équipe 406 (dont je fais partie) sur les circuits de gestion et de conversion d'énergie et les compétences sur la conception et fabrication de générateurs thermoélectriques (l'équipe 204).

Les travaux sur la récupération d'énergie avaient plusieurs objectifs : créer des rapprochements entre disciplines (matériaux thermoélectriques et circuits et systèmes électroniques) au sein de l'institut Jean Lamour d'une part, et contribuer aux travaux sur les systèmes autonomes et fiables alimentés par les sources ambiantes par le biais de mécanismes de récupération d'énergie d'autre part.

Dans ce chapitre, je décris en détails les démarches entreprises dans ce volet de recherche : en premier lieu, la compréhension des phénomènes physiques ayant lieu au sein des générateurs thermoélectriques afin de faciliter leur modélisation électrique nécessaire pour obtenir des modèles électriques fiables et fidèles à la réalité ; en second lieu, la conception de circuits de conversion d'énergie à la fois adaptés aux générateurs thermoélectriques (et pouvant être appliqués à d'autres sources continues comme les panneaux photovoltaïques) et fiables et tolérants aux pannes. En effet, la fiabilité et tolérance aux pannes des circuits proposés est d'une importance primordiale étant donné la robustesse et la fiabilité reconnues des générateurs thermoélectriques d'une part, et le côté applicatif de ces derniers ciblant majoritairement une infrastructure de type IoT où les coûts de maintenance doivent être réduits au maximum d'autre part. Sans mentionner les applications critiques où tout défaut survenant au niveau des circuits électroniques conduit à l'arrêt brutal de l'alimentation de la charge (capteur, par exemple) et peut avoir de graves conséquences.

1.2 Modélisation électrique de sources thermoélectriques

Les TEG convertissent directement la chaleur en énergie électrique en utilisant l'effet Seebeck.²⁹⁻³¹ Il s'agit de sources d'énergie électrique sans pièces mobiles, très fiables et robustes.³² Un module TEG est fabriqué à partir d'éléments semiconducteurs de type p et n électriquement connectés en série pour produire une tension de sortie la plus élevée et thermiquement en parallèle pour garder le même gradient de température sur les deux éléments semiconducteurs. La configuration typique utilisée est planaire où les éléments semiconducteurs p et n sont placés

(27). MC BARMA et al. *Energy Convers. Manag.*, **98** : 303-313, 2015.

(28). Yongming SHI et al. *Energy Convers. Manag.*, **80** : 110-116, 2014.

(29). Hongfei WU et al. *J. Electron. Mater.*, **43** : 1567, 2014.

(30). Hongfei WU et al. *J. Electron. Mater.*, **42** : 1737, 2013.

(31). L MIAO et al. *J. Electron. Mater.*, **41** : 1759-1765, 2012.

(32). Bunthern KIM et al. *in IEEE Int. Conf. on Green Energy*, 220-226, 2014.

en sandwich entre deux plaques thermiques,³³ comme illustré à la figure 1 sur l'exemple de 3 paires pn connectées à une charge résistive. Lorsque la température du côté chaud T'_H est plus élevée que celle du côté froid T'_C , le flux de chaleur parcourt le TEG en provoquant des déplacements de porteurs de charges (électrons et trous) dans les directions opposées et ainsi la création d'un courant électrique I se fermant sur la charge connectée (ici résistive R_L).³⁴ Cette structure solide d'un module TEG présentée à la figure 1 en fait un récupérateur d'énergie stable, peu susceptible au bruit et très fiable.^{35,36}

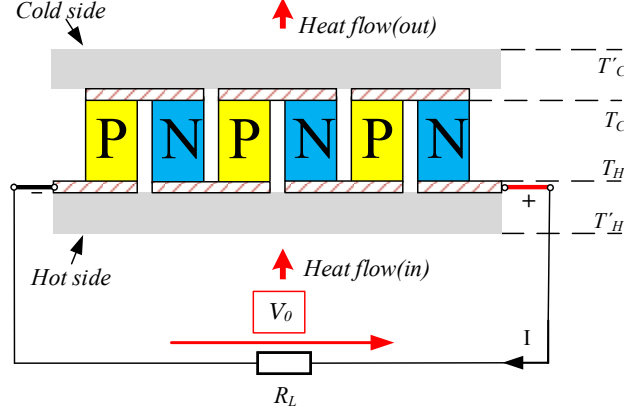


FIGURE 1 – La structure générale d'un module TEG.

Les TEG sont basés sur une théorie physique bien établie.³⁷ En effet, les effets physiques se produisant essentiellement au sein d'un TEG sont la conduction thermique et les effets de Seebeck, Peltier, Joule et Thomson,³³ où ce dernier est souvent négligé sous l'hypothèse d'une invariance thermique indépendante des propriétés physiques évoquées.^{38,39} Les flux de chaleur parcourant un TEG, du côté chaud Q_H et du côté froid Q_C , peuvent être exprimés par les relations 1 et 2 :

$$Q_H = \frac{T_H - T_C}{\theta_m} + \alpha T_H I - \frac{1}{2} R_E I^2. \quad (1)$$

$$Q_C = \frac{T_H - T_C}{\theta_m} + \alpha T_C I + \frac{1}{2} R_E I^2. \quad (2)$$

Les paramètres utilisés dans les relations 1 et 2 sont détaillés dans le tableau 1.

L'efficacité de conversion thermoélectrique d'un TEG est définie comme étant le rapport entre la puissance électrique P fournie à la charge et le flux de chaleur Q_H absorbé par son côté chaud⁴⁰ :

$$\eta = \frac{P}{Q_H} \quad (3)$$

Cette efficacité de conversion thermoélectrique d'un TEG est faible et typiquement autour de 5%.⁴¹ La contribution principale à l'efficacité de conversion d'un TEG est attribuée aux propriétés des

(33). Nabil KARAMI et Nazih MOUBAYED. *in IEEE Inter. Symp. on Ind. Electron. (ISIE)*, 586-591, 2014.

(34). Alim DEWAN et al. *Journal of Power Sources*, **245** : 129-143, 2014.

(35). Mohammad Javad DOUSTI et al. *in Proc. of DATE Eur. Conf. & Exhib.*, 1603-1606, 2015.

(36). Hayati MAMUR et Rasit AHISKA. *Int. J. Renew. Energ. Res.*, **4** : 128-136, 2014.

(37). João Paulo CARMO et al. *IEEE Trans. Ind. Electron.*, **57** : 861-867, 2009.

(38). G FRAISSE et al. *Energy Conversion and Management*, **65** : 351-356, 2013.

(39). Emil SANDOZ-ROSADO et al. *Int. J. Therm. Sci.*, **66** : 1-7, 2013.

(40). Emil SANDOZ-ROSADO et Robert J STEVENS. *J. Electron. Mater.*, **38** : 1239-1244, 2009.

(41). Shanhe SU et Jincan CHEN. *IEEE Trans. Ind. Electron.*, **62** : 3569-3575, 2015.

TABLEAU 1 – Paramètres d'un module TEG

Parameter	Description
R_E	Résistance électrique
θ_m	Résistance thermique interne
R_L	Résistance de charge
θ_c	Résistance thermique de contact
α	Coefficient de Seebeck
T'_H	Température externe appliquée sur le côté chaud
T'_C	Température externe appliquée sur le côté froid
T_H	Température interne du côté chaud aux bornes des éléments pn
T_C	Température interne du côté froid aux bornes des éléments pn
Q_H	Flux de chaleur d'entrée
Q_C	Flux de chaleur de sortie

matériaux utilisés pour sa fabrication,⁴² dont les performances sont mesurées par un critère nommé le facteur de mérite $Z\bar{T}$ et défini comme suit⁴²⁻⁴⁴ :

$$Z\bar{T} = \frac{\alpha^2 \cdot \theta_m}{R_E} \cdot \bar{T} \quad (4)$$

où \bar{T} est la moyenne des températures des côtés chaud et froid donnée par : $\bar{T} = \frac{T_H + T_C}{2}$.

Une meilleure efficacité des générateurs TEG est obtenue avec un facteur de mérite élevé,^{45,46} qui quant à lui est obtenu avec des matériaux étant à la fois de bons conducteurs électriques (une faible résistance électrique) et de mauvais conducteurs thermiques (une résistance thermique élevée).

Un générateur TEG peut être utilisé dans deux modes de fonctionnement différents : sous un gradient de température constant ($\Delta T' = T'_H - T'_C = \text{const}$), ou sous un flux de chaleur constant ($Q_H = \text{const}$). En fonction du mode de fonctionnement choisi (souvent dépendant de l'application), la puissance électrique produite par un TEG ne sera pas la même. Dans la littérature, le modèle électrique couramment utilisé pour représenter un TEG est le modèle de Thévenin illustré à la figure 2,^{33,47-54} où la source de tension constante $V_{eq} = \alpha \cdot \Delta T$ ($\Delta T = T_H - T_C$) est mise en série avec une résistance $R_{eq} = R_E$. Ce modèle électrique est utilisé quelles que soient les conditions de fonctionnement (gradient de température ou flux de chaleur constant) et ne prend pas en compte les résistances thermiques de contact, dont l'influence sur la puissance électrique générée par un

(42). Mohamed Hamid ELSHEIKH et al. *Renew. Sust. Energ. Rev.*, **30** : 337-355, 2014.

(43). Éric V SEMPELS et al. *IEEE Trans. Compon. Packag. Manuf. Technol.*, **6** : 50-57, 2016.

(44). Xiao-Dong WANG et al. *Energy*, **47** : 488-497, 2012.

(45). Siyi ZHOU et al. *IEEE Intersoc. Conf. Therm. Thermomech. Phen. in Electron. Syst.*, 985-992, 2012.

(46). D KRAEMER et al. *Energ. & Environ. Sci.*, **8** : 1299-1308, 2015.

(47). Andrea MONTECUCCO et al. *IEEE Energ. Conv. Congr. Expo. (ECCE)*, 2777-2783, 2012.

(48). Matthew BOND et Jae-Do PARK. *IEEE Trans. Ind. Electron.*, **62** : 5539-5548, 2015.

(49). Reiner DECHER. *Oxford University Press on Demand*, 1997.

(50). Rasit AHISKA et Hayati MAMUR. *IET Renew. Pow. Gen.*, **7** : 700-706, 2013.

(51). Jan Hendrik CARSTENS et Clemens GUHMANN. *Eur. Contr. Conf. (ECC)*, 2121-2126, 2014.

(52). Wensi WANG et al. *Inter. J. Distr. Sens. Net.*, **9** : 232438, 2013.

(53). Kai SUN et al. *J. Electron. Mater.*, **43** : 2287-2292, 2014.

(54). Lihua CHEN et al. *IEEE Pow. Electron. Spec. Conf. (PESC)*, 1098-1103, 2008.

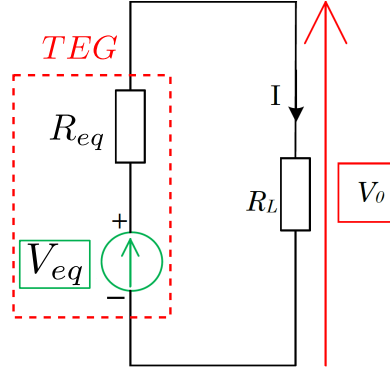


FIGURE 2 – Circuit équivalent générique de Thévenin pour un TEG sous un gradient de température constant.

TEG a déjà été observée dans la littérature.⁵⁵⁻⁵⁹

Dans les travaux que nous avons menés, nous nous sommes intéressés à l'influence des résistances thermiques de contact sur la modélisation électrique d'un TEG. Les résultats de cette modélisation sont résumés dans les tableaux 2 et 3. Il est à noter que le modèle électrique d'un TEG utilisé dans la littérature n'est qu'un cas spécial de la modélisation que nous avons effectuée (en orange dans le tableau 2) correspondant à $\theta_c = 0$ et le mode de fonctionnement $\Delta T' = \text{const}$. En effet, pour ce cas spécial il est considéré que les températures appliquées aux bornes externes d'un module TEG du côté chaud et froid, T'_H et T'_C respectivement, sont identiques à celles réellement perçues par les paires d'éléments semiconducteurs constituant le module TEG ($T_H < T'_H$ et $T'_C < T_C$, ou $\Delta T < \Delta T'$). Par conséquent, ce modèle pourrait être très loin de la réalité physique si lors de la conception d'un module TEG le choix des matériaux à utiliser pour réaliser les plaques céramiques n'est pas fait avec un plus grand soin pour limiter ces résistances thermiques de contact.

Dans les modèles électriques élargis que nous avons proposés, pour le mode de fonctionnement sous un gradient de température constant, l'influence des résistances thermiques de contact se

- (55). Y APERTET et al. *Phys. Rev. E*, **85** : 041144, 2012.
 (56). Y APERTET et al. *J. Appl. Phys.*, **116** : 144901, 2014.
 (57). Michael FREUNEK et al. *J. Electron. Mater.*, **38** : 1214-1220, 2009.
 (58). Andrea MONTECUCCO et al. *Appl. Energy*, **149** : 248-258, 2015.
 (59). Saima SIOUANE et al. *in IEEE Int. Energ. Conf. (ENERGYCON)*, 1-6, 2016.

TABLEAU 2 – Résumé de la modélisation électrique du TEG sous des conditions de gradient de température constant et flux de chaleur constant. Voir le tableau 3 pour la signification des termes α' , $R_{\Delta T^+}$, $R_{Q_H^0}$, R_{Q_H} , $M_{Q_H^0}$, M_{Q_H} et $N_{Q_H^0}$, N_{Q_H} .

	$\Delta T'$ constant		Q_H constant	
θ_c	V_{eq}	R_{eq}	V_{eq}	R_{eq}
0	$\alpha \Delta T'$	R_E	$\alpha \theta_m Q_H$	$R_E + R_{Q_H^0} + M_{Q_H^0} I + N_{Q_H^0} I^2$
$\neq 0$	$\alpha' \Delta T'$	$R_E + R_{\Delta T^+}$	$\alpha \theta_m Q_H$	$R_E + R_{Q_H} + M_{Q_H} I + N_{Q_H} I^2$

TABLEAU 3 – Termes utilisés dans les modèles électriques élargis d'un TEG présentés dans le tableau 2

Terme	Valeur	Unité
α'	$\frac{\theta_m}{\theta_m + 2\theta_c} \alpha \Delta T'$	V/K
$R_{\Delta T^+}$	$\frac{\alpha^2 \theta_c \theta_m (T'_H + T'_C)}{\theta_m + 2\theta_c}$	Ω
R_{Q_H}	$R_{Q_H^0} + R_{Q_H^*}$	Ω
$R_{Q_H^0}$	$\alpha^2 \theta_m (Q_H \theta_m + T'_C)$	Ω
$R_{Q_H^*}$	$\alpha^2 \theta_c \theta_m Q_H$	Ω
M_{Q_H}	$M_{Q_H^0} + M_{Q_H^*}$	Ω/A
$M_{Q_H^0}$	$-\alpha \theta_m (\frac{R_E}{2} + \alpha^2 \theta_m T'_C + \alpha^2 \theta_m^2 Q_H)$	Ω/A
$M_{Q_H^*}$	$-2\alpha^3 \theta_m^2 \theta_c Q_H$	Ω/A
N_{Q_H}	$N_{Q_H^0} + N_{Q_H^*}$	Ω/A^2
$N_{Q_H^0}$	$\alpha^2 \theta_m^2 (\alpha^2 \theta_m T'_C + \alpha^2 Q_H \theta_m^2 + \frac{R_E}{2})$	Ω/A^2
$N_{Q_H^*}$	$\alpha^2 \theta_m \theta_c (R_E + \alpha^2 \theta_m Q_H (\theta_c + 3\theta_m) + \alpha^2 \theta_m^2 \theta_c T'_C)$	Ω/A^2

résume par une augmentation de la résistance électrique effective représentée par le terme $R_{\Delta T^+}$ et par une baisse du coefficient de Seebeck effectif perçu de l'extérieur (α devient α'). En effet, la valeur effective de la source de tension continue V_{eq} est diminuée par cette baisse du coefficient de Seebeck effectif puisqu'elle est directement proportionnelle au coefficient α' , qui quant à lui ne dépend que des résistances thermiques θ_m et de contact θ_c du module TEG (voir le tableau 3). D'un autre côté, la résistance supplémentaire $R_{\Delta T^+}$ rajoutée à la résistance électrique R_E dépend non seulement de la résistance thermique de contact, mais également des conditions de fonctionnement. Plus le gradient de température est élevé, plus cette résistance supplémentaire est grande.

Pour le mode de fonctionnement sous un flux de chaleur constant, avant nos travaux sur ces modèles électriques élargis d'un TEG, à notre connaissance il n'y avait pas de modèles électriques proposés dans la littérature. Les seuls travaux ayant démontré expérimentalement une relation entre la tension aux bornes de la charge V_O (voir la figure 2) et le gradient de température $\Delta T'$ dans les conditions de flux de chaleur constant, sans relier cette relation aux paramètres du TEG, sont les travaux de Montecucco et *al.* dans la publication.⁵⁸ Le modèle d'un TEG fonctionnant sous un flux de chaleur constant est plus complexe que celui dans les conditions de gradient de températures constant. En effet, la source de tension continue V_{eq} du circuit équivalent de Thévenin pour ce cas est constante quelle que soit la valeur des résistances thermiques de contact et égale à $\alpha \theta_m Q_H$ comme illustré dans le tableau 2. D'un autre côté, la résistance équivalente R_{eq} d'un TEG dans les conditions de flux de chaleur constant n'est pas constante et est dépendante du courant I traversant la charge comme illustré dans le tableau 2. Cette résistance R_{eq} même dans le cas d'un circuit ouvert (la charge R_L déconnectée, $I = 0$) et sans prendre en compte les résistances thermiques de contact ($\theta_c = 0$) est supérieure à la résistance électrique R_E du TEG. La résistance supplémentaire nommée R_{Q_H} est dépendante non seulement des paramètres d'un TEG mais est également proportionnelle au flux de chaleur appliqué la rendant ainsi variable au cours du fonctionnement d'un TEG. De plus, avec une charge connectée ($I \neq 0$), la résistance R_{eq} diminue avec une relation non linéaire par rapport au courant et rend ainsi le suivi du point de puissance maximale d'un tel TEG plus complexe que habituellement où la méthode de circuit

ouvert (*OCV - Open Circuit Voltage*) est utilisée.

Nous avons démontré que cette résistance R_{eq} dans les conditions de flux de chaleur constant varie entre la valeur maximale de $R_{eq_{max}} = R_{Q_H}$ correspondant à un courant de charge nul et la valeur minimale $R_{eq_{min}} = R_{eq_{max}} + M_{Q_H} I_{SC} + N_{Q_H} I_{SC}^2$ correspondant au courant I_{SC} , étant le courant de court-circuit (la résistance de charge $R_L = 0$, voir la figure 2) et égal à $\frac{V_{eq}}{R_{eq_{min}}}$. De plus, nous avons également démontré que ce comportement d'un TEG fonctionnant sous un flux de chaleur constant peut être émulé par un circuit purement électrique comme illustré à la figure 3. Ainsi, ce circuit équivalent proposé permet une meilleure compréhension du comportement d'un TEG dans les conditions de flux de chaleur constant sans se plonger dans les détails analytiques présentés dans le tableau 3. En effet, en observant le circuit présenté à la figure 3, on peut conclure que pour un courant de charge I d'une faible intensité, la diode D n'est pas passante ou à la limite de sa conduction, et qu'une grande majorité de ce courant passe par les résistances R_1 et R_2 en série. Par contre, dans le cas où le courant de charge I est plus élevé et permet de rendre la diode D passante, une partie du courant I passe par la résistance R_S et la diode D , diminuant ainsi la résistance totale R_{eq} (le bloc en pointillé bleu). La détermination des paramètres de ce circuit électrique équivalent R_1 , R_2 , R_S et ceux de la diode ainsi que la quantification des erreurs de modélisation pour ce circuit sont détaillées dans les publications^{60,61}.

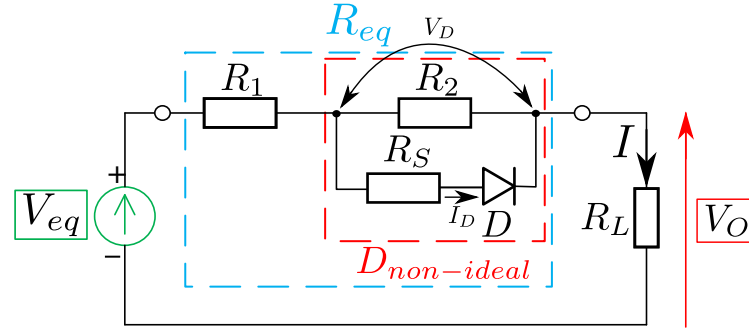


FIGURE 3 – Circuit électrique équivalent pour R_{eq} sous des conditions de flux de chaleur constant^{60,61}.

Afin de quantifier l'erreur de modélisation et de montrer l'importance de la prise en compte des résistances thermiques de contact, nous avons comparé les modèles électriques proposés du TEG avec le modèle classique couramment utilisé dans la littérature. Cette comparaison au niveau de la puissance pouvant être extraite d'un TEG dans les modes de fonctionnement sous un gradient de température constant et sous un flux de chaleur constant est présentée de manière respective en figures 4 et 5, pour le cas $\theta_c = 0$ (les (a) et (c) des deux figures) et pour le cas de $\theta_c = 0.45$ K/W (les (b) et (d) des deux figures). Les valeurs choisies pour tous les paramètres du TEG sont issues de la littérature.³⁵ En observant la figure 4, il est clair que la puissance électrique P générée par un TEG en fonction du courant de charge I pour différentes valeurs de gradient de température en négligeant la valeur de résistance thermique de contact ($\theta_c=0$) est identique à celle générée par le modèle classique d'un TEG (voir la figure 4(a) et (c)). Ceci est également visible dans le tableau 2. D'un autre côté, pour une valeur de θ_c non nulle (ici $\theta_c = 0.45$ K/W), les différences entre les puissances extraites par les deux modèles (proposé et classique) sont notables allant jusqu'à un rapport de

(60). Saima SIOUANE et al. "Equivalent electrical circuit of thermoelectric generators under constant heat flow" in : *IEEE 16th International Conference on Environment and Electrical Engineering (EEEIC)*. 2016. 1-6

(61). Saima SIOUANE et al. Equivalent Electrical Circuits of Thermoelectric Generators under Different Operating Conditions. *Energies*, **10** : 386, 2017.

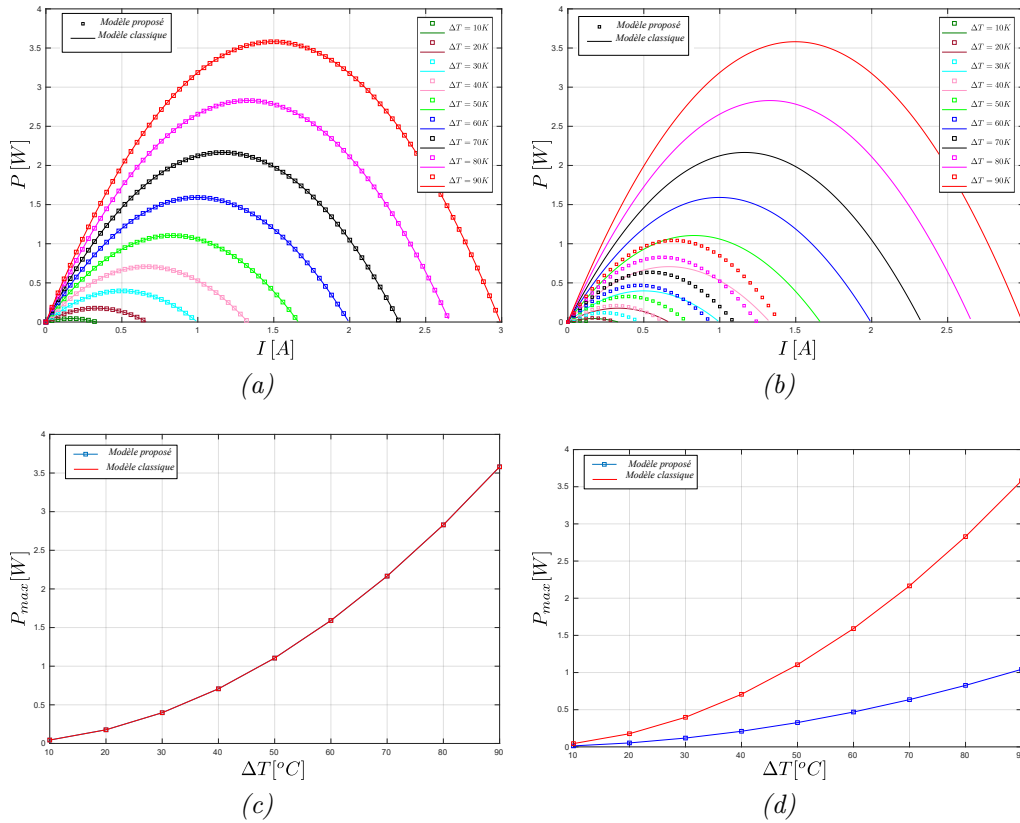


FIGURE 4 – Comparaison entre les modèles classique et proposé pour un TEG sous des conditions de gradient de température constant : (a) $P = f(I, \Delta T')$ avec $\theta_c = 0$ et (b) avec $\theta_c = 0.45\text{K/W}$, (c) $P_{max} = f(\Delta T')$ avec $\theta_c = 0$ et (d) avec $\theta_c = 0.45\text{K/W}$.^{59,62}

presque 4 pour les valeurs choisies.³⁵ Cette baisse est principalement due à l'augmentation de la résistance équivalente R_{eq} pour un θ_c non nul et un gradient de température évolutif. L'erreur relative au niveau des puissances générées par les deux modèles pour les valeurs de paramètres choisis est de l'ordre de 70%. Bien évidemment, les écarts entre les puissances délivrées par les deux modèles peuvent être réduits en diminuant la valeur de θ_c , qui dans cet exemple choisi est de l'ordre d'un tiers de la résistance thermique interne, étant un choix tout à fait proche de la réalité.

D'un autre coté, ces différences en termes de puissances générées par les deux modèles dans le mode de fonctionnement d'un TEG sous un flux de chaleur constant sont encore plus notables, comme illustré par la figure 5. De plus, même en négligeant la résistance thermique de contact avec $\theta_c = 0$, le modèle électrique proposé sous un flux de chaleur constant ne se rapproche pas du modèle classique d'un TEG comme s'était le cas dans le mode de fonctionnement sous un gradient de température constant. Il en résulte ainsi une différence notable en termes des puissances générées par les deux modèles électriques. Cette différence est de l'ordre de 50% pour les valeurs numériques choisies pour la simulation. On remarque également qu'en terme de puissance générée entre les cas $\theta_c = 0$ et $\theta_c \neq 0$, pour le modèle électrique proposé la différence n'est pas notable. En effet, on peut constater que les termes supplémentaires $R_{Q_H^*}$, $M_{Q_H^*}$ et $N_{Q_H^*}$ présents pour le cas $\theta_c \neq 0$ dans la résistance équivalente R_{eq} d'un TEG fonctionnant sous un flux de chaleur constant (voir le tableau 2) influencent peu la valeur totale de la résistance R_{eq} quel que soit le courant de charge I . Pour donner un ordre d'idée de cette différence, pour les valeurs numériques des paramètres utilisées dans ces simulations, la différence en terme de puissance générée est au maximum de

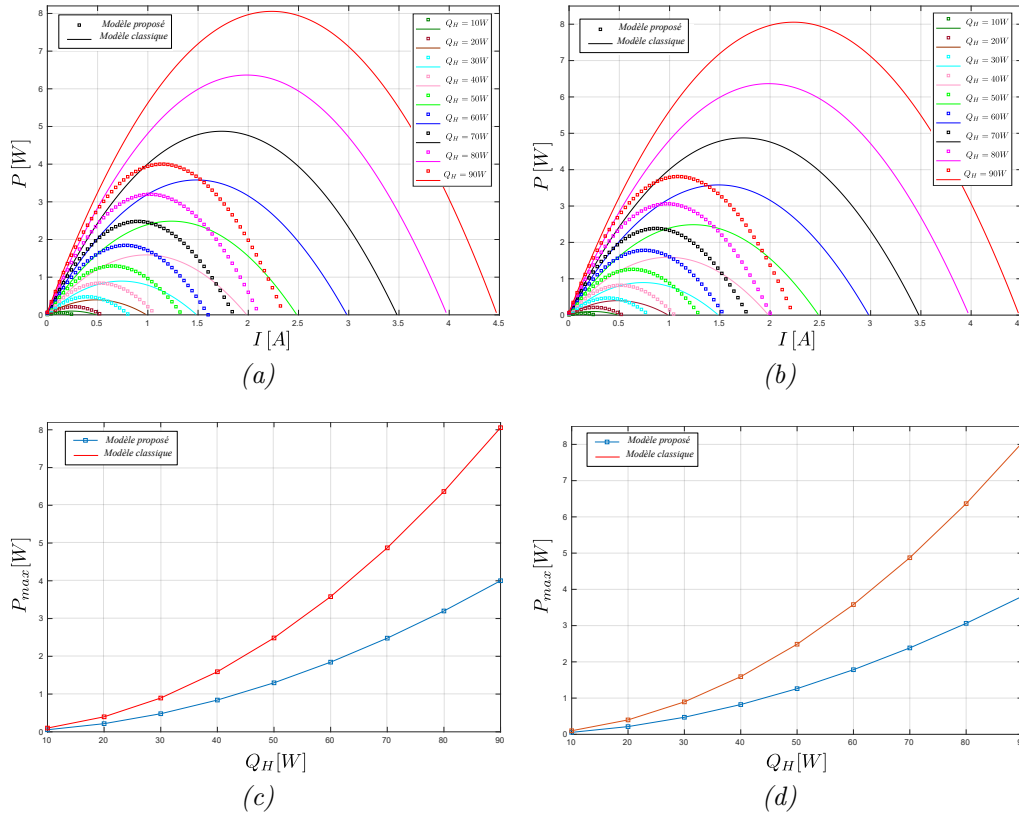


FIGURE 5 – Comparaison entre les modèles classique et proposé pour un TEG sous des conditions de flux de chaleur constant : (a) $P = f(I, Q_H)$ avec $\theta_c = 0$ et (b) avec $\theta_c = 0.45 \text{ K/W}$, (c) $P_{max} = f(Q_H)$ avec $\theta_c = 0$ et (d) avec $\theta_c = 0.45 \text{ K/W}$.^{59,62}

5%. Par conséquent, on peut constater que le modèle classique d'un TEG n'est pas adapté à un fonctionnement sous un flux de chaleur constant, quelle que soit la valeur de la résistance thermique θ_c .

Dans ces travaux de recherche portant sur la modélisation électrique d'un TEG, nous avons également proposé une méthode d'identification des résistances thermiques d'un TEG par caractérisation électrique. Nous avons vu précédemment que les modèles électriques élargis d'un TEG que nous avons proposés quelles que soient les conditions de fonctionnement, nécessitent la connaissance non seulement des paramètres relatifs aux éléments semi-conducteurs utilisés pour la réalisation d'un TEG et généralement fournis par le fabricant, mais également la connaissance des résistances thermiques θ_m et θ_c dont l'influence sur le comportement d'un TEG a été discutée précédemment. Pour évaluer l'efficacité d'un générateur TEG, la connaissance de ces résistances thermiques est indispensable. Pour la résistance thermique θ_m , il existe des approches permettant de la calculer en se basant sur la résistivité thermique des éléments semi-conducteurs utilisés, le nombre de paires pn utilisées, leurs propriétés géométriques, etc.³³ Ces éléments sont rarement fournis dans la documentation technique d'un TEG fabriqué. De plus, la résistance thermique de contact dont la valeur peut être de l'ordre de grandeur de la résistance thermique interne θ_m lors de mauvaises conceptions d'un TEG est quant à elle jamais détaillée dans la documentation technique.

Pour pouvoir utiliser les modèles électriques élargis que nous avons proposés et par la suite évaluer l'efficacité d'un générateur thermoélectrique, il est indispensable d'avoir la connaissance

de ces résistances thermiques interne et de contact. L'approche d'identification de résistances thermiques d'un TEG que nous avons proposée est basée sur la modélisation électrique détaillée précédemment dans les deux modes de fonctionnement : sous un gradient de température constant et sous un flux de chaleur constant⁶³. Cette méthode est illustrée graphiquement à la figure 6. La méthode proposée est simple à mettre en oeuvre car elle nécessite uniquement deux mesures expérimentales en circuit-ouvert : une pour le fonctionnement sous un gradient de température constant permettant d'obtenir la tension de circuit ouvert $V_{OC,\Delta T'} = V_{eq}|_{\Delta T'=\text{const}}$, et une autre pour le fonctionnement sous un flux de chaleur constant donnant la valeur de $V_{OC,Q_H} = V_{eq}|_{Q_H=\text{const}}$. Les valeurs de la tension V_{OC,Q_H} mesurée, du coefficient de Seebeck généralement fourni par le fabricant et du flux de chaleur appliqué permettent de déterminer la résistance thermique interne θ_m . Avec la valeur de θ_m déterminée et la mesure de $V_{OC,\Delta T}$ sous un gradient de température ΔT supposé connu, la résistance thermique de contact θ_c peut être déterminée (voir le tableau 2).

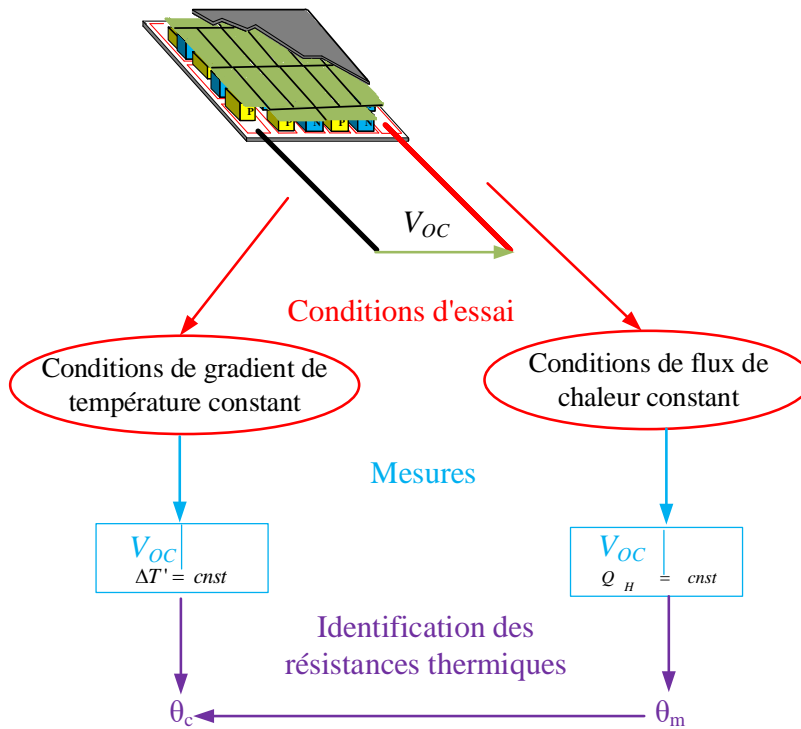
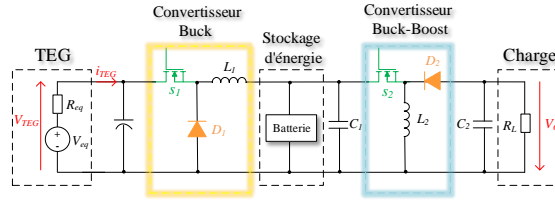
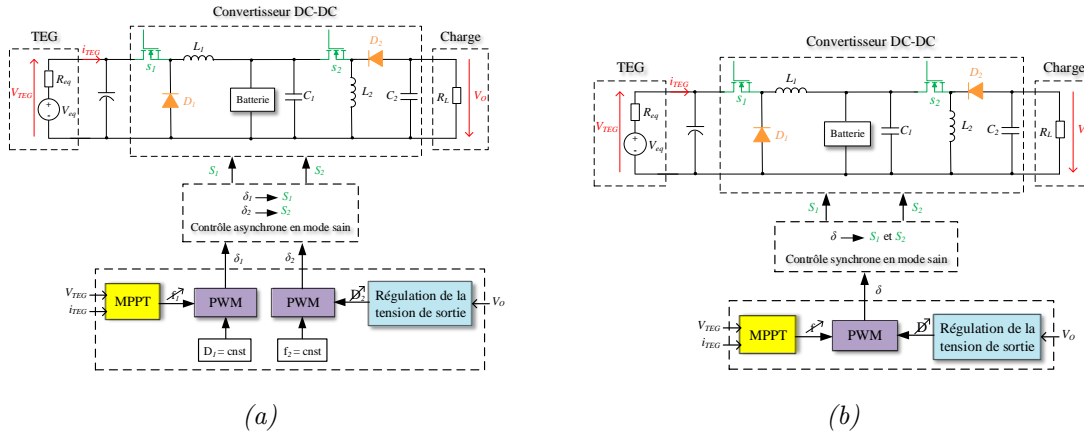


FIGURE 6 – Identification des résistances thermiques interne et de contact du TEG.⁶³

1.3 Circuiterie associée

Dans ce volet sur la récupération d'énergie, nous nous sommes également intéressés aux circuits de conversion adaptés à associer à une source de récupération d'énergie continue de type générateur TEG d'une part et fiables et tolérants aux pannes d'autre part. D'un point de vue global, un système comportant une source de récupération d'énergie thermique tel un TEG étant reconnu comme très fiable et robuste principalement à cause de l'absence de pièces mécaniques, doit également

(63). Saima SIOUANE et al. "Identification of thermal resistances of thermoelectric modules by electrical characterization" in : *2016 IEEE 16th International Conference on Environment and Electrical Engineering (EEEIC)*. 2016. 1-5 DOI : [10.1109/EEEIC.2016.7555761](https://doi.org/10.1109/EEEIC.2016.7555761)

FIGURE 7 – Circuiterie électronique choisie pour les générateurs thermoélectriques.⁶⁴FIGURE 8 – Contrôle asynchrone et synchrone de la circuiterie électronique en mode sain.⁶⁵

être associé à une circuiterie de conversion adaptée fiable et robuste. Ceci est d'autant plus vrai dans une infrastructure IoT où les nœuds/objets fournissant des informations d'intérêt pour une application donnée doivent avoir une autonomie la plus longue possible et un coût de maintenance très faible voire inexistant. C'est pour cela que la robustesse et la fiabilité des circuits de conversion utilisés sont primordiales et ont guidé tous les choix que nous avons entrepris dans cette partie.

Le point de départ de nos travaux sur les circuits de conversion adaptés et tolérants aux pannes est le circuit classique à double étage DC/DC et comportant une batterie pour le stockage d'énergie présenté figure 7. Le rôle du premier étage dans ce circuit est d'assurer le suivi du point de puissance maximale (*MPPT - Maximum Power Point Tracking*), dépendant essentiellement des conditions de fonctionnement du générateur TEG ainsi que de la charge équivalente en sa sortie (avant la batterie), tandis que le second étage DC/DC a pour rôle de délivrer une tension régulée en sortie et fournie à la charge R_L . En effet, le second étage est indispensable pour avoir une tension régulée en sortie puisque la tension délivrée par le premier étage est dépendante des conditions de fonctionnement du TEG et n'est donc pas régulée. De plus, la tension régulée est souvent une condition requise pour assurer le fonctionnement normal d'un objet IoT dont l'architecture comporte de manière générale des composants tels que microcontrôleurs sensibles à de grandes variations de tensions d'alimentation.

Dans le circuit présenté figure 7, le premier étage est un convertisseur DC-DC de type *Buck* ou abaisseur de tension tandis que le second étage est un convertisseur DC/DC de type *Buck-Boost* ou abaisseur-élevateur permettant de fournir en sortie une tension régulée dans une plage plus grande. Le circuit présenté figure 7 comporte deux interrupteurs commandables (transistors) S_1 et S_2 pouvant être pilotés de deux façons différentes : en mode asynchrone où les commandes envoyées

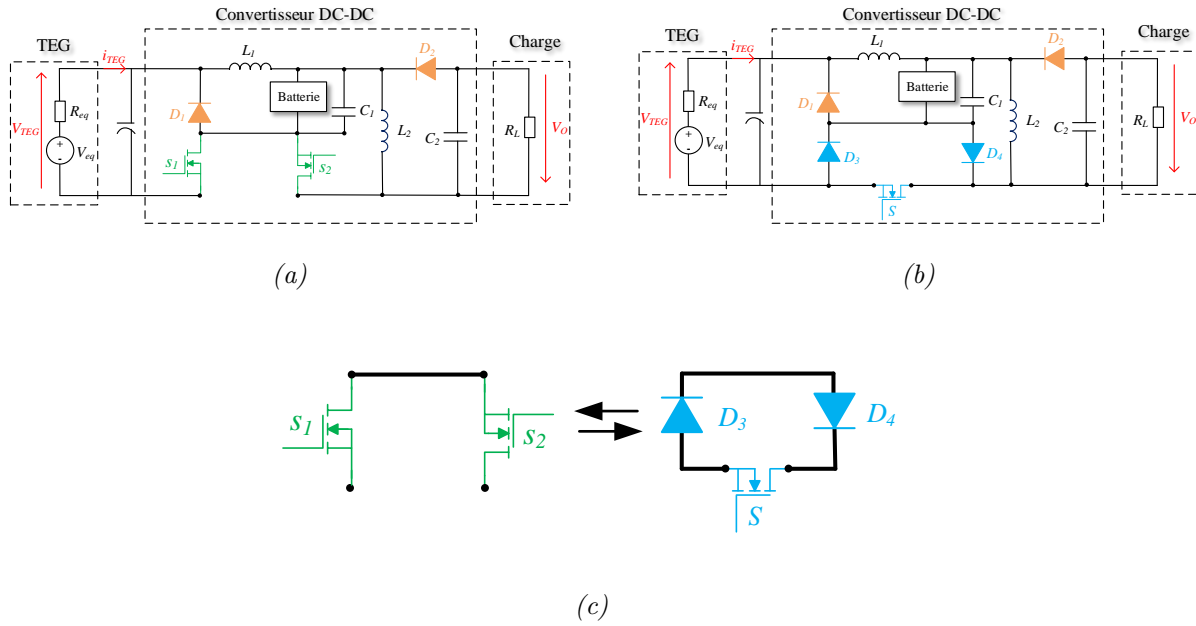


FIGURE 9 – (a) Topologie de conversion DC-DC à 2 transistors équivalente électriquement à (b) la topologie à un seul transistor (SSC) (c) interrupteurs synchrones équivalents.⁶⁵

aux deux transistors sont indépendantes en fréquence et en rapport cyclique; ou de manière synchrone où les deux transistors sont pilotés par un seul signal de commande dont la fréquence sert pour piloter un étage et le rapport cyclique pour l'autre. Pour le mode de fonctionnement synchrone, il faut qu'un des deux étages fonctionne en mode de conduction discontinue ou *DCM* - *Discontinuous Conduction Mode*. Dans notre approche, nous avons choisi le fonctionnement en conduction discontinue pour l'étage Buck et le fonctionnement en condition continue (CCM) pour l'étage Buck-Boost. Le mode CCM du second étage assure l'approvisionnement en continu de la charge, tandis que le mode DCM du premier étage permettra entre autre d'introduire des composants redondants nécessaires pour la tolérance aux pannes. La figure 8 résume les deux modes de fonctionnement pouvant être appliqués à la topologie à deux étages cascades présentée.

Le circuit présenté figure 7 et fonctionnant en mode synchrone est équivalent au circuit présenté figure 9(b)⁶⁴⁻⁶⁷. En effet, en déplaçant uniquement les transistors pilotés par les signaux S_1 et S_2 l'un vers l'autre sans modifier la topologie du circuit comme illustré à la figure 9(a), un nœud commun entre les deux transistors peut être trouvé (le drain du transistor S_1 et la source du transistor S_2). De plus, si cette structure à deux transistors avec le nœud D-S en commun est pilotée par une commande synchrone, elle peut être remplacée par une structure à un seul transistor S commandable et deux diodes D_3 et D_4 associées, comme illustré à la figure 9(c).⁶⁸ Ainsi, le même

(64). Saima SIOUANE et al. "A thermoelectric energy harvester with a single switch unified control for autonomous applications" in : *2016 IEEE 16th International Conference on Environment and Electrical Engineering (EEEIC)*. IEEE 2016. 1-6

(65). Ehsan JAMSHIDPOUR et al. Equivalent Two Switches and Single Switch Buck/Buck-Boost Circuits for Solar Energy Harvesting Systems. *Energies*, **13** : 583, 2020.

(66). Sokni-Sita ALLI et al. "MPPT and output voltage control of Photovoltaic systems using a Single-Switch DC-DC converter" in : *2016 IEEE International Energy Conference (ENERGYCON)*. IEEE 2016. 1-6

(67). Saima SIOUANE et al. Reliability enhancement of thermoelectric power conversion and management using geothermal energy for stand-alone applications. 2016.

(68). Tsai-Fu WU et Te-Hung YU. *IEEE Trans. Aerosp. Electron. Syst.*, **34** : 211-223, 1998.

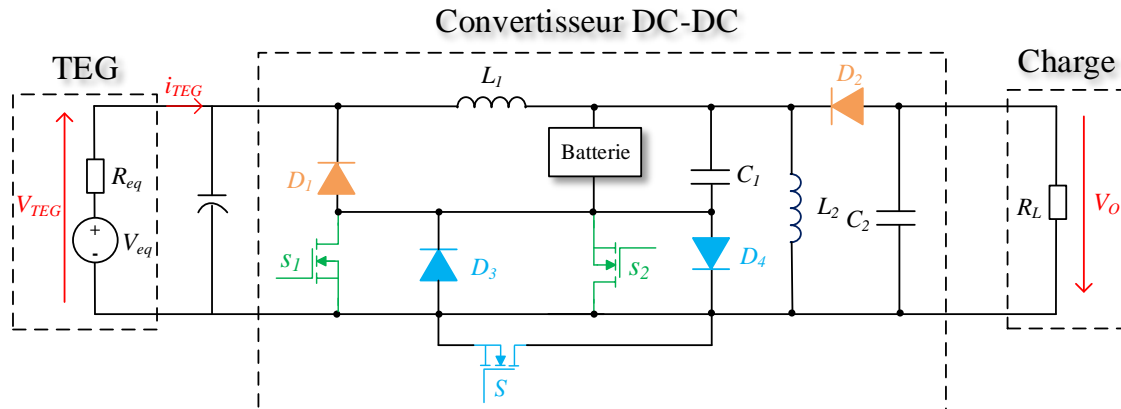


FIGURE 10 – TEG associé à la topologie de conversion DC-DC à tolérance de pannes, résultant de la fusion des topologies présentées en figures 9(a) et (b)⁶⁷

signal de commande appliqué sur les transistors S_1 et S_2 serait utilisé pour la structure à un seul transistor commandable.

L'équivalence topologique entre les circuits présentés en figures 9(a) et (b) nous a permis de proposer la topologie à tolérance de pannes illustrée à la figure 10^{69,70}. Il s'agit d'une topologie originale résultant d'une combinaison des topologies à deux et à un seul transistor fonctionnant en mode synchrone et détaillées précédemment. La topologie proposée n'est pas basée sur l'approche de redondance classique où chaque composant pilotable possède sa propre redondance qui sera activée et utilisée en cas de panne, mais emploie une approche de partage d'éléments redondants permettant ainsi de réduire le nombre de composants pilotables. L'accent particulier est uniquement mis sur la redondance des transistors puisque il a été démontré dans la littérature que plus d'un tiers des pannes dans les convertisseurs DC/DC sont liées aux défaillances des transistors.⁷¹ La topologie proposée permet également de garantir et d'assurer la continuité de service du système en conditions de fonctionnement nominales en cas d'un défaut survenant au niveau du transistor S_1 du premier étage ou au niveau du transistor S_2 du second étage. Les défauts pouvant être traités par la topologie proposée sont de type circuit-ouvert (*OCF - Open Circuit Fault*), étant de manière générale les défauts les plus difficiles à détecter dans les circuits de conversion.

Le fonctionnement de la topologie à tolérance de panne proposée est similaire aux fonctionnements des deux topologies à deux et à un seul transistor observées de manière séparée. Dans les conditions nominales de fonctionnement, le transistor redondant S est inactif laissant la topologie à tolérance de panne se comporter comme la topologie classique de la figure 7. Ainsi, les deux modes de pilotage (asynchrone ou synchrone) peuvent être utilisés. En cas de défaut de type OCF détecté sur un des deux transistors S_1 et/ou S_2 , la topologie à tolérance de panne de la figure 10 passe en mode reconfiguré correspondant à la topologie à un seul transistor de la

(69). Saima SIOUANE et al. "Service continuity of PV synchronous Buck/Buck-Boost converter with energy storage" in : *2017 IEEE International Conference on Environment and Electrical Engineering and 2017 IEEE Industrial and Commercial Power Systems Europe (EEEIC / I CPS Europe)*. 2017. 1-6 DOI : [10.1109/EEEIC.2017.7977831](https://doi.org/10.1109/EEEIC.2017.7977831)

(70). Saima SIOUANE et al. Service continuity of PV synchronous Buck/Buck-Boost converter with energy storage. *Energies*, **11** : 1369, 2018.

(71). Rui WU et al. in *IEEE Indus. Electron. Soc. (IECON)*, 507-513, 2013.

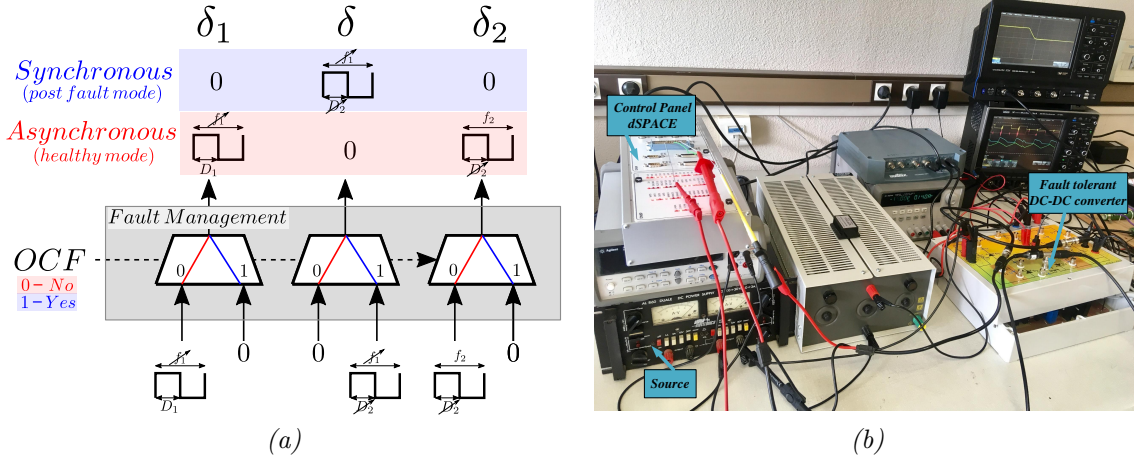


FIGURE 11 – (a) Le contrôle asynchrone et synchrone de la topologie à tolérance de panne de la figure 10 : en mode sain (OCF = 0, en rouge), les signaux asynchrones δ_1 and δ_2 pilotent les transistors S_1 et S_2 ; dans le cas d'un défaut (OCF = 1, en blue) uniquement le signal synchrone δ est généré et pilote le transistor S . (b) L'image de la plateforme expérimentale permettant de valider la topologie de tolérance de panne proposée.⁷²

figure 9(b) où uniquement le transistor S est piloté en mode synchrone. Par conséquent, quel que soit le transistor défaillant, la continuité de service du système est garantie sans aucune dégradation du fonctionnement.

En cas de détection d'une panne de type OCF, le passage d'un mode de contrôle à un autre est illustré à la figure 11 avec la génération des signaux de contrôle correspondants à chaque mode de fonctionnement. La topologie à tolérance de panne proposée a également été validée de manière expérimentale sur le banc de test illustré à la figure 11(b). La figure 12 montre un extrait des résultats de cette validation expérimentale. Le passage du mode de fonctionnement sain en conditions nominales avec un contrôle asynchrone appliqué sur les transistors S_1 et S_2 via les signaux de contrôle δ_1 et δ_2 vers le mode de fonctionnement tolérant aux pannes avec un contrôle synchrone appliqué uniquement sur le transistor S via le signal δ dans le cas d'un

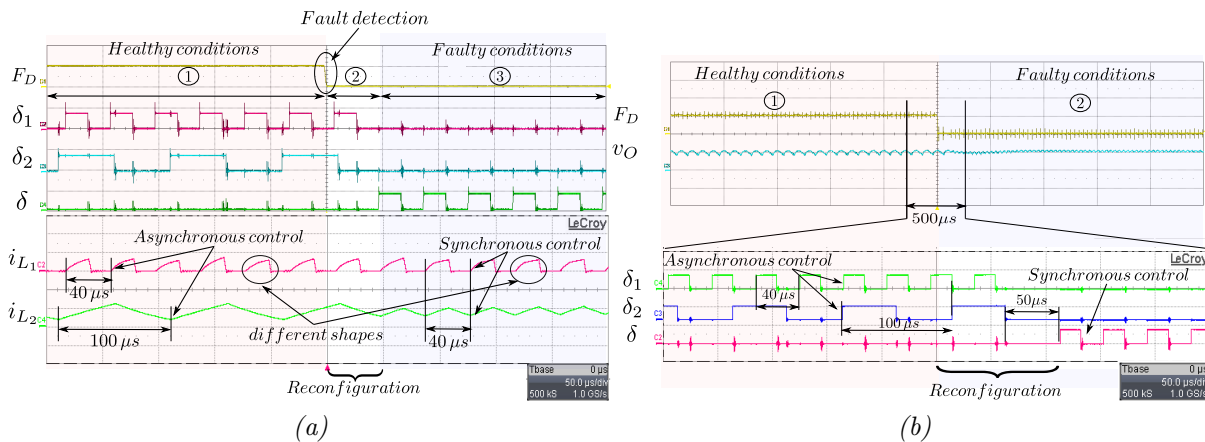


FIGURE 12 – (a) La validation expérimentale de la topologie à tolérance de panne proposée sur l'exemple d'un défaut de type OCF simulé sur le transistor S_1 : le passage du mode de fonctionnement sain avec un contrôle asynchrone vers le mode de fonctionnement tolérant aux pannes avec le contrôle synchrone. (b) La tension de sortie de la topologie à tolérance de panne lors du passage du mode de fonctionnement sain vers le mode tolérant aux pannes (un défaut de type OCF simulé sur le transistor S_1).

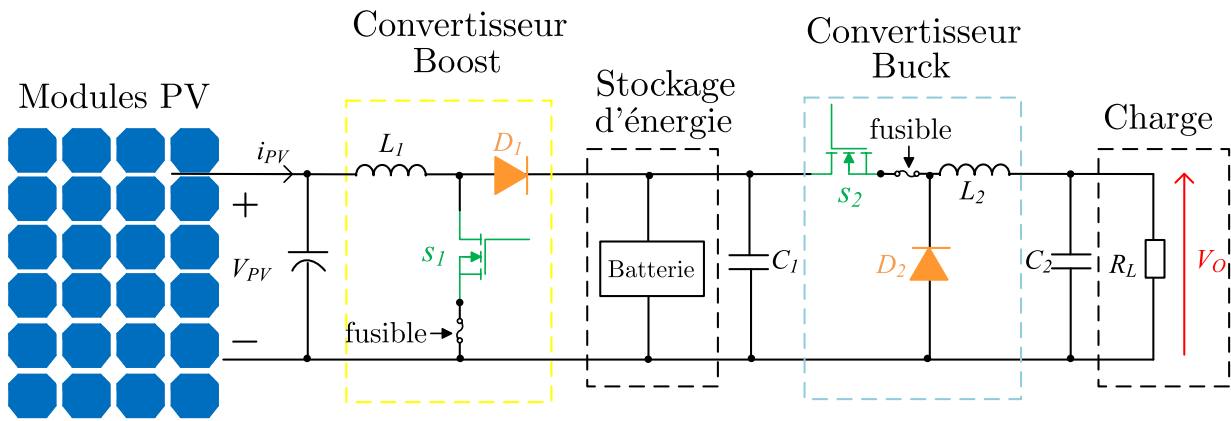


FIGURE 13 – Topologie de conversion DC/DC à double étage (Boost/Buck) utilisée pour démontrer l'approche de redondance partagée à contrôle synchrone.^{73,74}

défaut de type OCF simulé sur le transistor S_1 est présenté en figure 12(a). On peut remarquer le temps de reconfiguration nécessaire pour effectuer la transition d'un mode de fonctionnement vers l'autre étant de l'ordre de quelques dizaines de μs . Les raisons principales de cette durée de transition qui dans certaines applications pourrait s'avérer lente est le système de pilotage de la plateforme expérimentale utilisée dans cette validation expérimentale ayant une période minimale de mise à jour des signaux à générer de $50\mu\text{s}$ (la plateforme dSPACE 1104). La figure 12(b) montre également que cette reconfiguration de la topologie à tolérance de panne n'a aucune incidence sur le niveau de la tension de sortie générée, confirmant ainsi que le mode de tolérance de panne assure pleinement la continuité de service sans aucune dégradation au niveau du service fourni (ici la tension de sortie). Ces résultats ainsi que plus de détails sur cette validation expérimentale peuvent être trouvés dans notre papier⁷², publié dans le journal *IEEE Transactions on Industrial Electronics*.

Dans le but de généraliser l'approche de redondance partagée avec un contrôle synchrone appliqué au circuit de conversion à deux étages DC-DC de la figure 7 (Buck/Buck-Boost) et détaillée précédemment, nous l'avons également appliquée sur le circuit de la figure 13 comportant un convertisseur Boost en premier et un convertisseur Buck en second étage^{73,74}. Le circuit de la figure 13 fonctionnant en mode synchrone est équivalent au circuit de la figure 14(b) à un seul transistor. Cette équivalence est obtenue en utilisant la même approche que précédemment : en déplaçant les transistors S_1 et S_2 de la topologie présentée figure 13 l'un vers l'autre pour pouvoir trouver un nœud commun entre les deux transistors (ici Source-Source ou S-S) comme illustré à la figure 14; et en appliquant la transformation de deux transistors à un nœud commun travaillant en mode synchrone comme présenté en figure 14(c).

Les topologies Boost/Buck à deux et à un seul transistor nous ont permis de proposer une topologie originale à tolérance de panne comme illustré à la figure 15. Comme dans le circuit de

(72). Saima SIOUANE et al. Open-switch fault-tolerant operation of a two-stage buck/buck-boost converter with redundant synchronous switch for PV systems. *IEEE Transactions on Industrial Electronics*, **66** : 3938-3947, 2019.

(73). Saima SIOUANE et al. "An efficient fault tolerant cascaded step-up step-down converter for solar pv modules" in : *2018 IEEE International Conference on Environment and Electrical Engineering and 2018 IEEE Industrial and Commercial Power Systems Europe (EEEIC/I&CPS Europe)*. IEEE 2018. 1-5

(74). Saima SIOUANE et al. "Towards fault tolerant two-stage DC-DC converters under open-circuit switch fault : an original circuit design approach" in : *Les Journées Nationales sur la Récupération et le Stockage d'Énergie (JNRSE), Besançon, France*. 2018.

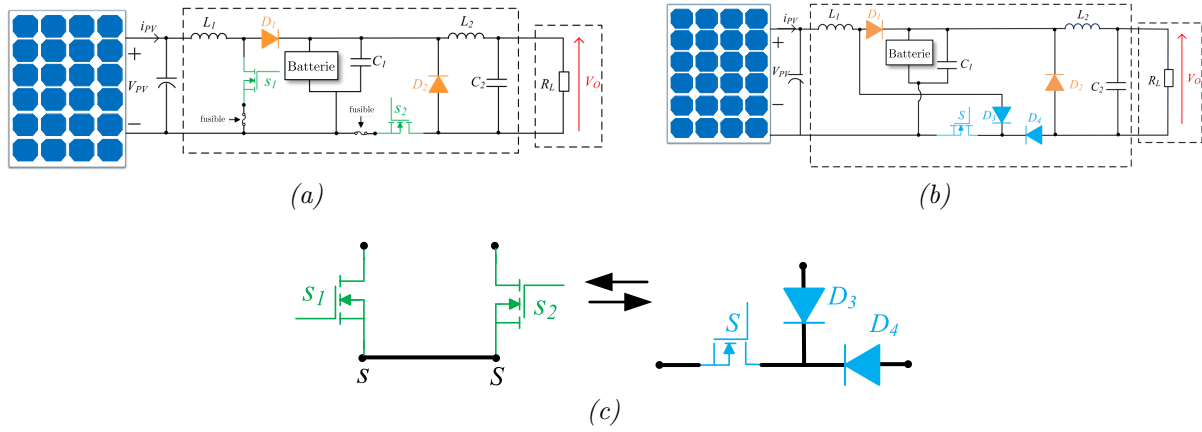


FIGURE 14 – (a) Topologie de conversion DC-DC (Boost+Buck) à 2 transistors S_1 et S_2 rapprochés pour avoir un noeud en commun (ici source-source ou S-S), (b) la topologie à un seul transistor S (SSC) équivalente électriquement à la topologie présentée 14(a) et (c) interrupteurs synchrones équivalents pour deux transistors ayant les sources en commun (S-S).^{73,74}

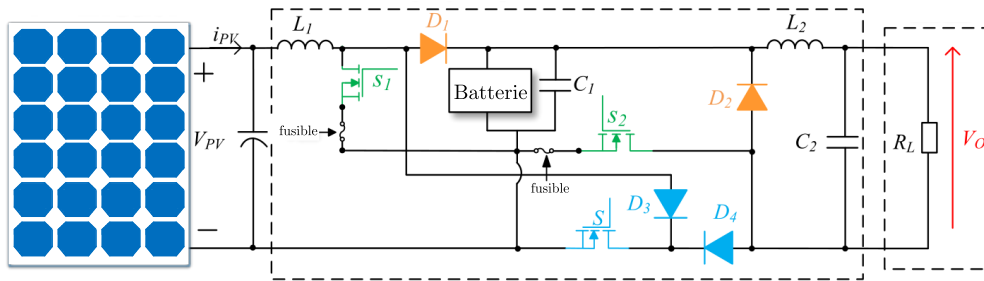


FIGURE 15 – La topologie à tolérance de panne à un seul transistor proposée pour le circuit de conversion à double étage Boost/Buck de la figure 13.^{73,74}

conversion précédent combinant un convertisseur Buck à un Buck-Boost, il s'agit ici d'une fusion des topologies à 2 transistors ayant un noeud en commun (S-S) et présentée figure 14(a) et de la topologie à un seul transistor électriquement équivalente en mode synchrone, illustrée à la figure 14(b). Les résultats de validation de cette topologie par simulation sont présentés en figure 16, dans le cas des défauts de type OCF et SCF au niveau des transistors S_1 et S_2 respectivement. Dans les deux cas, avant la simulation d'un défaut on observe les signaux de commande générés pour les transistors S_1 et S_2 , et leur extinction après la détection du défaut et la reconfiguration de la topologie à tolérance de panne en mode à un seul transistor S. Cette reconfiguration et le changement du mode de fonctionnement du circuit après la détection des défauts simulés peuvent être observés par la génération uniquement du signal synchrone S pour piloter le circuit complet en mode tolérance de panne (correspondant au moment $t = 300\mu s$ pour les deux figures).

Pour cette topologie à tolérance de panne, un algorithme de détection de défaut de type court-circuit (SCF) ou circuit-ouvert (OCF) au niveau de chaque transistor a également été appliqué. Cet algorithme est basé sur l'observation de la forme du courant de l'inductance L comme illustré la figure 17.⁷⁵ En effet, en cas d'un défaut de type OCF ou SCF, le courant de l'inductance L ne suivra pas son schéma habituel : la croissance pendant la fermeture ou la décroissance pendant l'ouverture de l'interrupteur commandant le courant dans l'inductance L. De ce fait, en observant le signe de la pente du courant de l'inductance, qui doit alterner entre le signe positif pendant la

(75). Ehsan JAMSHIDPOUR et al. *IEEE Trans. Ind. Electron.*, **62** : 7247-7255, 2015.

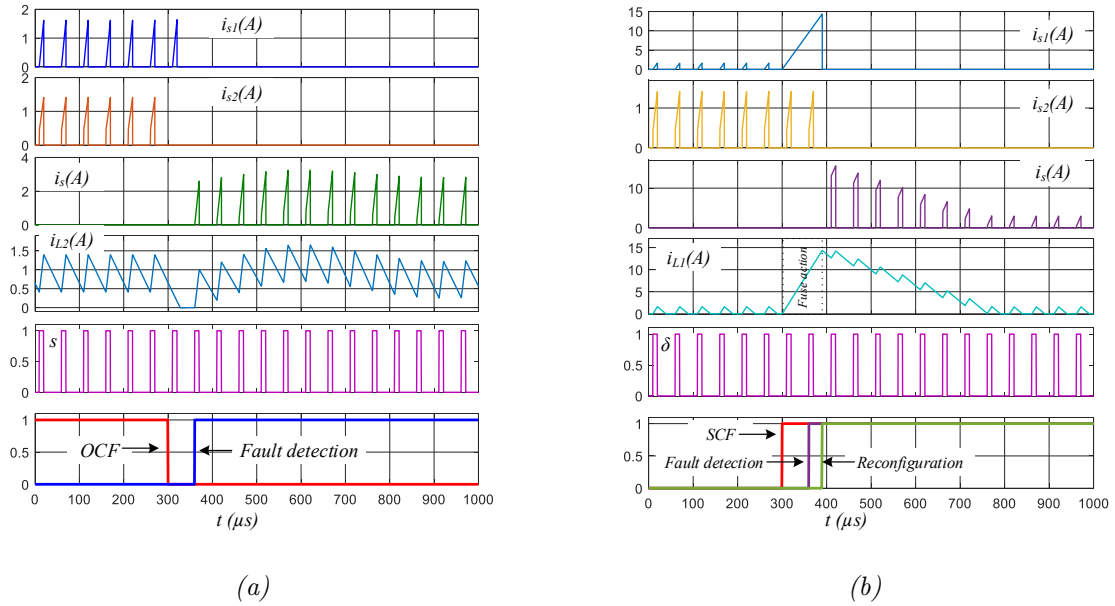


FIGURE 16 – Résultats de simulation de la topologie à tolérance de pannes pour un circuit de conversion combinant initialement un étage Boost à un étage Buck en cas de présence d'un défaut de type OCF au niveau du transistor S_1 (a) et d'un défaut de type SCF au niveau du transistor S_2 (b).^{73,74}

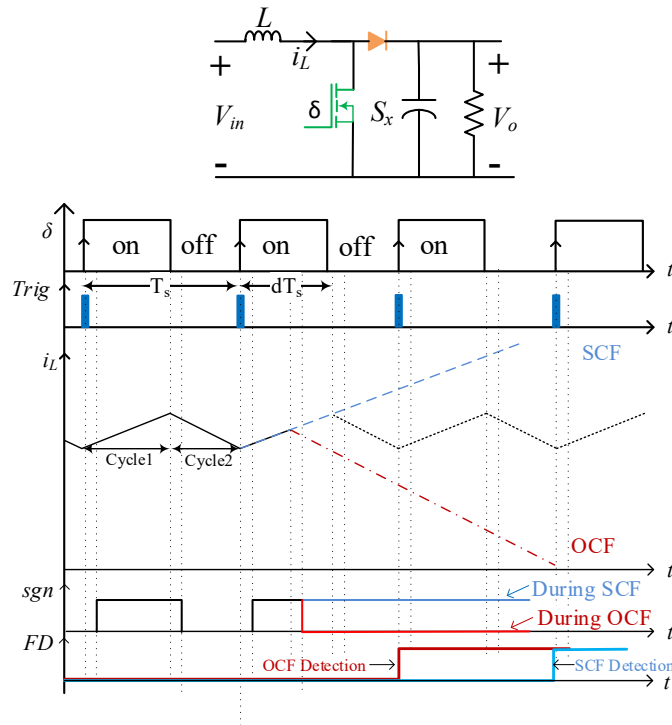


FIGURE 17 – La détection de défauts de type OCF ou SCF au niveau d'un transistor basée sur l'observation de la pente du courant de l'inductance L pendant les états d'ouverture ON et de fermeture OFF du transistor.⁷³

phase ON et le signe négatif pendant la phase OFF, un défaut peut être détecté au niveau de l'unité de contrôle générant les signaux de pilotage. Si ce schéma n'est pas respecté pendant une période, le signal de déclenchement `trig` normalement généré en début de chaque période de commutation ne serait pas généré en cas d'un défaut et permettrait ainsi de démarrer la reconfiguration du circuit de conversion et son passage du mode sain en mode défaillant ou tolérance de panne. Par conséquent, le passage du mode sain en mode tolérance de panne peut être très rapide et de l'ordre de la période de commutation utilisée.

Architectures neuromorphiques de calcul

2.1 Introduction

Dans l'ère de l'Internet des Objets et du Big Data, une quantité énorme de données de toutes sortes est générée en continu par les objets intelligents (smart) de tous types dotés au moins de capacité d'acquisition de signaux caractéristiques à l'environnement entourant de tels systèmes. L'acquisition, regroupement et traitement de toutes ces données mettent lourdement à contribution tous les niveaux de la chaîne de données : premièrement, au niveau capteur ou système d'acquisition où notamment des contraintes souvent très fortes de consommation limitent les possibilités et les capacités totales de calcul de tels nœuds; deuxièmement, au niveau cloud (ou nuage) où ces données doivent être traitées afin d'extraire des informations utiles à la prise de décisions qui doivent être communiquées le plus rapidement (latence très faible) aux systèmes d'acquisition (lire capteurs). Dernièrement, ces fortes contraintes au niveau de rapidité de réaction sont à l'origine de changement de ce paradigme initial, fortement axé sur les traitements centralisés au sein des clouds, vers un paradigme plus décentralisé permettant de rapprocher de plus en plus les structures de traitement aux sources d'informations (systèmes d'acquisition et capteurs), et par conséquent de rendre les actions à effectuer dans un laps de temps fini de plus en plus déterministe. Ce dernier paradigme de calcul est connu sous le nom de *edge computing* auquel on associe de plus en plus d'autres couches intermédiaires comme fog computing se trouvant au niveau supérieur de cette infrastructure globale (voir la figure 1).

Ce changement de paradigme de calcul vers des approches plus distribuées permet non seulement de rendre les systèmes plus réactifs mais également de réduire considérablement les quantités de données transmises et la bande passante consommée pour la communication, une autonomie énergétique plus grande de tels systèmes ainsi qu'une meilleure confidentialité des données privées, etc. D'un autre côté, une partie des traitements à effectuer sur de telles données est rapprochée au plus près des systèmes d'acquisition et nécessite des systèmes adaptés pour de tels traitements de flux de données en continu. Avec ce changement de paradigme de calcul vers des approches distribuées, on associe également de nouvelles techniques de traitement de données où l'objectif est de garder uniquement des informations utiles à la prise de décisions. La recherche de ces informations utiles au milieu des myriades de données acquises s'avère également une tâche ardue nécessitant souvent des techniques sophistiquées ayant souvent recours aux méthodes de l'intelligence artificielle (IA) au sens large du terme. Parmi les techniques couramment utilisées pour l'extraction de données utiles à la prise de décision (*actionable insights*), des techniques de *machine learning* pour la réduction de dimensionnalité de données ou de quantification vectorielle comme des cartes auto-organisatrices (*Self-organizing Maps*) sont communément utilisées. L'avantage de ces dernières est leur capacité de traiter les données sans aucune connaissance préalable de leur nature (une approche de traitement dite *non-supervisée*).

Le recours aux techniques relevant de l'IA impose également aux systèmes de calcul l'utilisation de supports architecturaux adaptés. En effet, les techniques de l'IA sont certes intéressantes en termes des résultats obtenus, mais sont généralement très complexes à utiliser dans les systèmes embarqués, souvent caractérisés par des ressources de calcul et d'autonomie énergétique limitées.

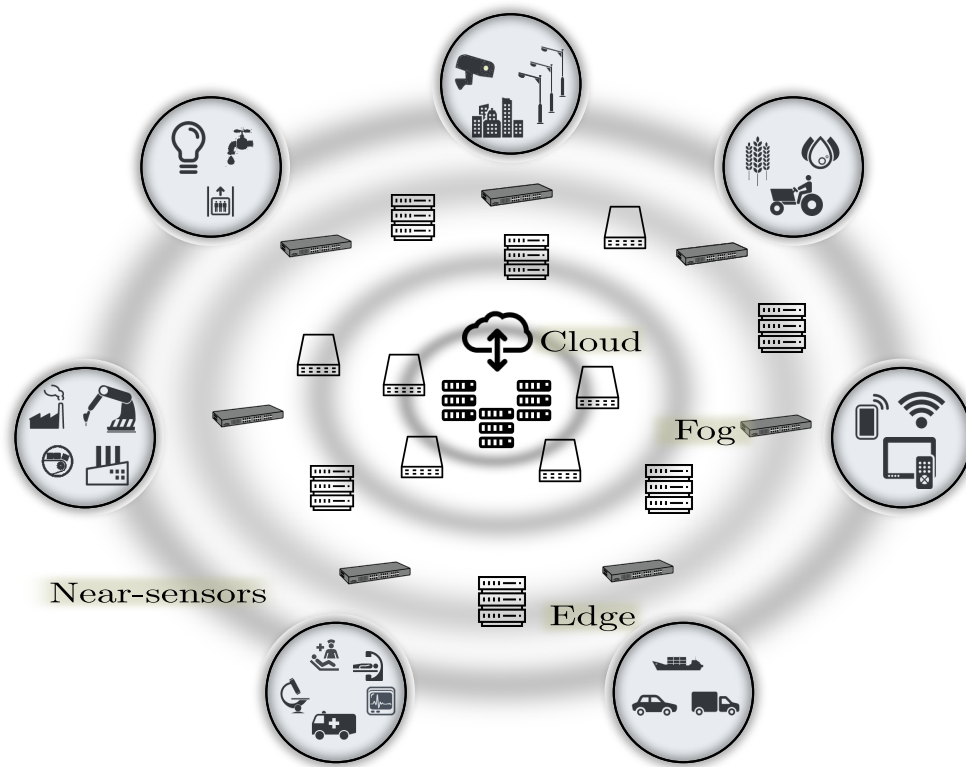


FIGURE 1 – La représentation visuelle d’une infrastructure IoT utilisée dans le milieu industriel (inspirée de ³)

Le défi principal est de proposer des systèmes de calcul ayant des architectures à la fois adaptées au traitement de données intensif inhérent à l’IA, mais également flexibles et facilement paramétrables et adaptables à différents champs applicatifs. Dans ce contexte, le choix des architectures de calcul matérielles est souvent la seule solution pour répondre aux contraintes de temps et d’autonomie énergétique très fortes.

Dans ce contexte, une partie de mes travaux de recherche a porté sur les architectures matérielles de réseaux de neurones de type carte auto-organisatrice ou SOM. Dans la suite de ce chapitre, après une introduction synthétique des cartes SOM, un résumé des défis principaux dans le domaine de l’implantation des cartes SOM sera présenté ainsi que les solutions que nous avons proposées dernièrement pour répondre à ces défis.

2.2 Cartes auto-organisatrices (SOM)

Les cartes SOM furent introduites par Teuvo Kohonen dans son travail fondateur en 1982.⁷⁶⁻⁷⁸ Il s’agit d’un réseau de neurones compétitif dont les éléments de base souvent appelés *neurones* sont liés entre eux par les relations définies par la topologie utilisée (1-D, 2-D, 3-D ou autre). Chaque neurone possède ses propres *poids*, étant un simple vecteur de dimension D dont la valeur est calculée en fonction des données d’entrées utilisées pour l’entraînement et sa position topologique dans la carte. Les principales étapes effectuées par une carte SOM sont résumées par l’algorithme 1. Pour un ensemble de vecteurs d’entrée $\mathbf{x} = (\xi_0, \xi_1, \dots, \xi_{D-1}) \in X \subset \mathbb{R}^D$, ($|X| = \lambda$) de dimension D

(76). Teuvo KOHONEN. *Biol. cybern.*, **43** : 59-69, 1982.

(77). Teuvo KOHONEN. *Med. & Biol. Eng. & Comput.*, **34** : 5-8, 1996.

(78). Teuvo KOHONEN. “Self-organizing maps : optimization approaches” in : *Artificial neural networks*. Elsevier, 1991. 981-990

représentant les données à traiter (et propres à une application donnée), tous les neurones ($n \in G$, G étant l'ensemble de neurones de la carte) de la carte SOM passent tout d'abord par la phase d'entraînement où leurs poids $\mathbf{m}_n = (\mu_{n,0}, \dots, \mu_{n,D-1}) \in \mathbb{R}^D$, $n \in G$ sont mis progressivement à jour afin de les approcher topologiquement au fil de l'entraînement aux vecteurs d'entrées, et de manière générale à l'espace d'entrée applicatif. Cette étape de la carte SOM est appelée la phase d'entraînement et est indispensable au démarrage de la carte SOM puisque elle permet à la carte de saisir les relations topologiques résidant dans les données d'entrée à traiter. Autrement dit, pour un ensemble de données d'entrée après la phase d'entraînement d'une carte SOM, les vecteurs les plus représentatifs de l'espace d'entrée seront saisis dans les poids des neurones de la carte SOM.

La phase d'entraînement d'une carte SOM passe par le calcul de la distance entre les poids de neurones et les vecteurs d'entrée (la ligne 6 de l'algorithme 1), en utilisant le plus souvent les normes différentes des espaces vectoriels normés comme la distance Euclidienne (la norme 2), la distance de Manhattan (la norme 1), la distance de Minkowski (la norme infinie), etc. (voir la figure 2 pour un aperçu global des distances utilisées dans les SOM matérielles). A l'issue de cette étape, une comparaison entre toutes les distances calculées par tous les neurones doit être effectuée pour déterminer le neurone gagnant ou le *BMU - Best Matching Unit* (la ligne 7 de l'algorithme 1). La connaissance du BMU est indispensable pour la mise à jour des poids de tous les neurones, en particulier de ceux se trouvant au voisinage le plus proche du neurone gagnant. Cette mise à jour des poids de neurones de la carte SOM (représentée par la ligne 10 de l'algorithme 1) est effectuée de différentes façons en utilisant des fonctions dites de voisinage de différent type : gaussienne comme présentée dans le travail initial de Kohonen, ou des simplifications de cette fonction se prêtant plus facilement à des implantations matérielles comme les fonctions rectangulaire, triangulaire, ou des approximations se présentant sous forme 2^{-S} ($S \in \mathbb{Z}$). La figure 3 montre une synthèse des fonctions de voisinage utilisées les plus couramment dans les implantations matérielles des cartes SOM. Les équations 1, 2 et 3 montrent de manière respective le calcul de la distance Euclidienne, la mise à jour des poids et la fonction de voisinage, les trois utilisées dans l'algorithme initial de Kohonen.

$$d_n = \|\mathbf{x} - \mathbf{m}_n\| = \sqrt{(\xi_0 - \mu_{n,0})^2 + \dots + (\xi_{D-1} - \mu_{n,D-1})^2} \quad (1)$$

$$\mathbf{m}_n^+ = \mathbf{m}_n + h_{ci} \cdot (\mathbf{x} - \mathbf{m}_n) \quad (2)$$

$$h_{ci} = \alpha \cdot \exp\left(-\frac{\|\mathbf{r}_c - \mathbf{r}_i\|}{2\sigma^2}\right) \quad (3)$$

où \mathbf{m}_i^+ représente le poids du neurone $n \in G$ mis à jour à la fin d'une itération ; $\mathbf{r}_c \in \mathbb{R}^2$ et $\mathbf{r}_i \in \mathbb{R}^2$ représentent de manière respective les positions des neurones gagnants $c \in G$ et $n \in G$ au sein de la carte SOM ; α et σ sont le taux d'apprentissage et le radius de voisinage, les deux étant des fonctions du nombre de vecteurs d'entrée présentés à la carte SOM (ou nombre d'itérations).

La simplicité apparente de l'algorithme de Kohonen (voir l'algorithme 1) ainsi que sa propriété non supervisée ne nécessitant pas de connaissance préalable sur les données à traiter, en font un succès dans de nombreux domaines applicatifs (une liste non-exhaustive) : remote

Algorithm 1: L'algorithme de la carte auto-organisatrice SOM⁷⁹

```

1 SOM (G, X)
  entrées: L'ensemble G de neurones représentés par leurs poids initiaux  $\mathbf{m}$  et positions
            $\mathbf{r}_n = (x_n, y_n)$  au sein de la carte SOM;
           L'ensemble X de vecteurs d'entrée  $\mathbf{x}$ 
  sortie : L'ensemble G de neurones entraînés
2 Initialisation (G,paramètres);
3 while Critère d'arrêt n'est pas satisfait do
4   for  $\lambda$  x aléatoires do
5     foreach  $n \in G$  do
6        $d_n \leftarrow \text{Distance}(\mathbf{x}, \mathbf{m}_n)$  (i)
7        $c \leftarrow \text{BMU}(D)$  (ii)
8       if (entraînement) then
9         foreach  $n \in G$  do
10          MAJ (G,c,paramètres) (iii)
11 return G;

```

(79). T. KOHONEN. *Self-Organizing Maps, 3rd Ed., Springer*, 2001.

- (i). **Distance** - opération de calcul de distance entre le vecteur d'entrée \mathbf{x} et de poids \mathbf{m}_n pour le neurone $n \in G$
(ii). **BMU (Best Matching Unit)** - opération de recherche de neurone gagnant (ayant la plus petite distance d_n)
(iii). **MAJ** - opération de mise à jour des poids de tous les neurones $n \in G$ par rapport au neurone gagnant $c \in G$

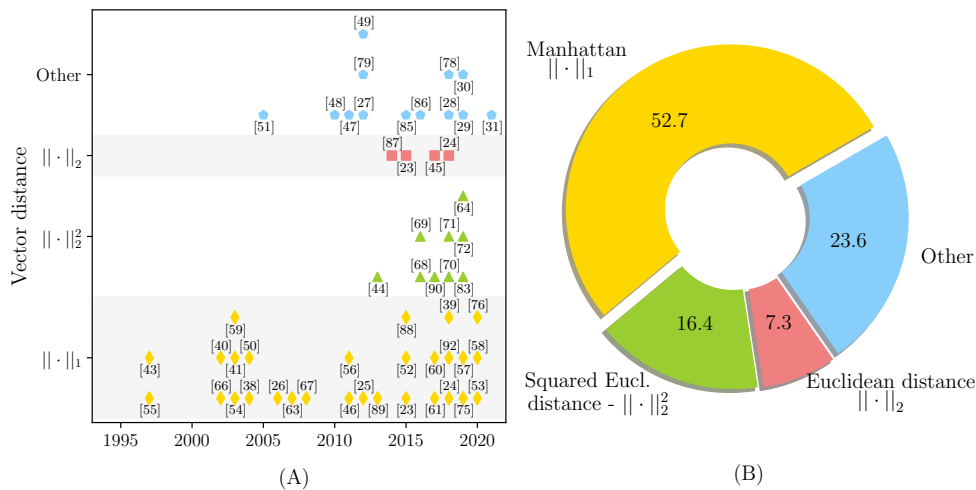


FIGURE 2 – Fonctions de distance utilisées dans les implantations matérielles de la carte SOM (1995-2021) : (A) bilan chronologique, (B) bilan en pourcentage.

sensing⁸⁰; traitement de données éparées⁸¹; carpool service⁸²; data mining⁸³; extraction de couleur⁸⁴; classification⁸⁵; collecte de données autonome⁸⁶; réseaux de capteurs sans fil (WSN)⁸⁷; segmentation d'image⁸⁸; clustérisation de données⁸⁹; prédiction de séries

- (80). Donato AMITRANO et al. *IEEE J. Sel. Topics Appl. Earth Observ. Remote Sens.*, **11** : 1556-1570, 2018.
(81). Josué MELKA et Jean-Jacques MARIAGE. *in Int. Joint Conf. Comput. Intel.*, 54-63, 2017.
(82). Ming-Kai JIAU et Shih-Chia HUANG. *IEEE Trans. Neural Netw. Learn. Syst.*, 1-13, 2018.
(83). Jan LACHMAIR et al. *in Int. Joint Conf. Neural Netw. (IJCNN)*, 4299-4308, 2017.
(84). Li-Ping CHEN et al. *Neural Comp. Appl.*, **24** : 1759-1770, 2014.
(85). Thomas VILLMANN et al. *J. Artif. Intel. Soft Comp. Res.*, **7** : 65-81, 2017.
(86). Jan FAIGL et Geoffrey A. HOLLINGER. *IEEE Trans. Neural Netw. Learn. Syst.*, **29** : 1703-1715, 2018.
(87). Asha G.R. et GOWRISHANKAR. *Procedia Comp. Sci.*, **134** : 178-185, 2018.
(88). Farid GARCÍA-LAMONT et al. *Neural Comput. Appl.*, **30** : 871-889, 2018.
(89). Marian B. GORZALCZANY et Filip RUDZINSKI. *IEEE Trans. Neural Netw. Learn. Syst.*, 1-13, 2017.

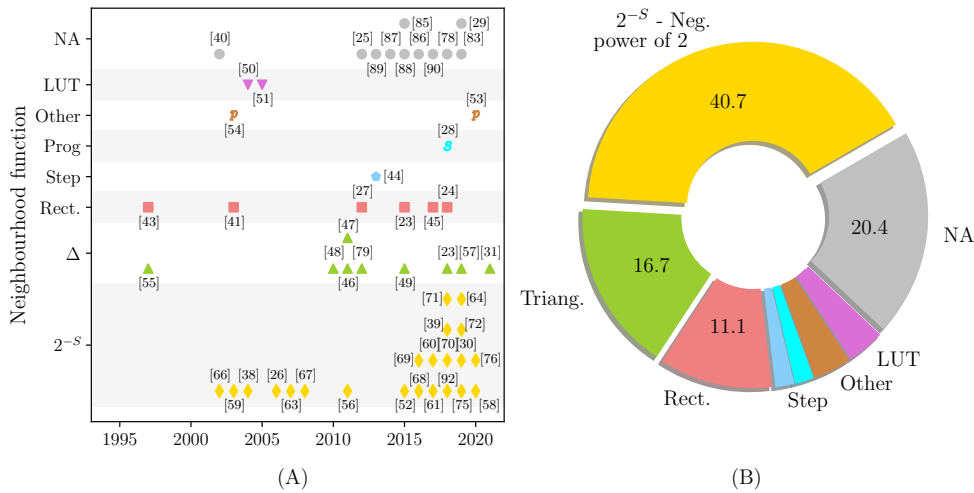


FIGURE 3 – Fonctions de voisinage utilisées dans les implantations matérielles de la carte SOM (1995-2021) : (A) bilan chronologique, (B) bilan en pourcentage.

temporelles⁹⁰ ; diagnostic et détection de fautes⁹¹ ; robotique^{92,93} ; identification de génome⁹⁴ ; quantification de vecteur⁹⁵ ; traitement d'images et vidéo⁹⁵⁻⁹⁸ ; traitement de signaux physiologiques⁹⁹ ; planification de trajectoire de véhicules autonomes¹⁰⁰ etc.

Une grande majorité d'approches utilisant les cartes SOM est implantée sur des plateformes de calcul programmables à base de processeurs. Ces implantations, souvent nommées logicielles ou SW par abus de langage, offrent toute la flexibilité des solutions logicielles où toute sorte de paramétrage et d'adaptation est possible à tout moment à un coût de développement faible (plateformes à base de processeurs à usage générique CPU et graphiques GPU). Toutefois, ces solutions SW pâtissent de performances faibles voire inacceptables. Ces performances sont exprimées en nombre de mises à jour des poids par seconde (*MCUPS - million connection updates per second*) pendant l'entraînement ou l'utilisation. D'un autre côté, les implantations matérielles (HW - *hardware*) des cartes SOM sur des supports de type FPGA ou ASIC offrent les performances exigées en termes de MCUPS mais souvent au détriment de la flexibilité propre aux implantations logicielles. La figure 4 montre une comparaison en performances entre les plateformes CPU, GPU et FPGA/ASIC. D'un côté, nous disposons d'une souplesse permettant de modifier les principaux paramètres des cartes SOM tels que la dimension des vecteurs d'entrée, le nombre de neurones utilisés, les paramètres d'apprentissage, etc. au cours du fonctionnement d'une carte SOM ou avec des simples modifications, mais avec des performances très faibles ; et de l'autre côté, nous avons les performances d'exécution permettant une utilisation embarquée avec une souplesse pour modifier les principaux paramètres des cartes SOM très limitée voire inexistante sans efforts de conception

(90). Guilherme A. BARRETO. *Persp. Neural-Sym. Int.*, Springer, 2007.

(91). Xiaohang JIN et al. *IEEE Trans. Ind. Appl.*, **55** : 3394-3401, 2019.

(92). Hsiung-Cheng LIN et al. *J. Robot.*, **2019** : 1-2, 2019.

(93). Jiankun WANG et Max Q.-H. MENG. *Sensors*, **19** : 2759, 2019.

(94). Yu YANG et al. *Int. Conf. Emb. Comput. Syst. Arch., Model., Sim. - SAMOS*, 105-114, 2018.

(95). Zunkai HUANG et al. *Appl. Sci.*, **7** : 1106, 2017.

(96). Pascual CAMPOY et Pedro GUTIÉRREZ. *in Pattern Recognit., Image Anal. and Appl.*, Springer, 2006.

(97). N. SUDHA et al. *J. Syst. Arch.*, **48** : 337-352, 2003.

(98). Miguel Angelo de Abreu de SOUSA et al. *Neural Netw.*, **125** : 349-362, 2020.

(99). Jaeyoung KIM et Pinaki MAZUMDER. *IEEE Trans. Circuits Syst. II*, **64** : 1097-1101, 2017.

(100). Daqi ZHU et al. *IEEE Trans. Cogn. Develop. Syst.*, **10** : 304-313, 2018.

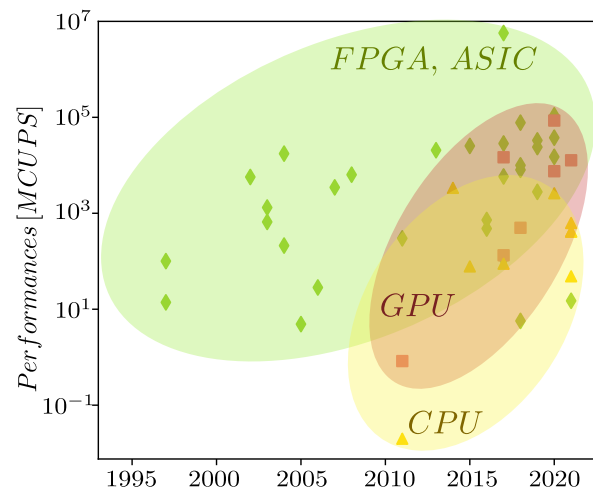


FIGURE 4 – Aperçu des performances des différentes implémentations des cartes SOM (exprimées en MCUPS) (1995-2021) : les implémentations HW (FPGA et ASIC)^{95,101-125} ; les implémentations GPU¹²⁵⁻¹³¹ ; et les implémentations CPU^{125-130,132,133}

considérables. En synthèse, les performances les plus élevées sont obtenues au prix d'un manque de souplesse d'adaptation.

Par conséquent, il est clair que pour pouvoir répondre aux exigences imposées par les infrastructures IoT et du Big Data de plus en plus omniprésentes, et exigeant à la fois une souplesse d'utilisation et de paramétrage et les performances maximales, des nouvelles solutions architecturales des cartes SOM sont fortement attendues et doivent être proposées. C'est notamment dans ce contexte que s'insèrent tous les travaux de recherche que j'ai pu mener ces dernières années et que je mène actuellement sur les implantations des cartes SOM. L'accent particulier porte sur les implantations matérielles et les méthodes permettant d'y apporter plus de souplesse et d'adaptabilité à tous les niveaux : au niveau topologique d'une carte SOM permettant de l'utiliser comme une brique de base pour construire des cartes SOM plus larges ; au niveau neuronal permettant d'adapter et configurer pendant son fonctionnement l'opération d'un neurone d'une carte SOM ; et au niveau global permettant de rajouter une configurabilité nécessaire pour différents besoins applicatifs. De surcroît, le fait d'avoir choisi les supports matériels pour l'implantation des cartes SOM ne permet malheureusement pas de garder *per se* les performances maximales quelle que soit la solution architecturale et impose également la contrainte d'un minimum de performances acceptable pour une implantation matérielle d'une carte SOM.

Par conséquent, les verrous scientifiques à lever que nous avons identifiés dans l'implantation des cartes SOM sont les suivants :

- extensibilité,
- adaptabilité et flexibilité à tous les niveaux (carte, neurone, application),
- performances maximales s'approchant des solutions matérielles spécifiques peu flexibles,
- et l'évolutivité de la carte SOM pour pouvoir l'utiliser comme support de base pour l'exécution de nouveaux modèles de réseaux compétitifs inspirés des cartes SOM (modèles

dynamiques tels que *Growing Grid*,¹³⁴ *Growing Cells*,¹³⁵ *Growing Neural Gas*,¹³⁶ etc.)

Dans la suite de ce chapitre, les solutions architecturales permettant de répondre aux verrous scientifiques identifiés seront présentées en commençant par les architectures matérielles extensibles et adaptatives proposées et passant par une exploration architecturale visant à identifier les solutions les plus performantes avant de terminer par les approches permettant d'introduire l'évolutivité au sein des implantations matérielles des cartes SOM.

2.3 Architectures matérielles des cartes SOM extensibles et adaptatives

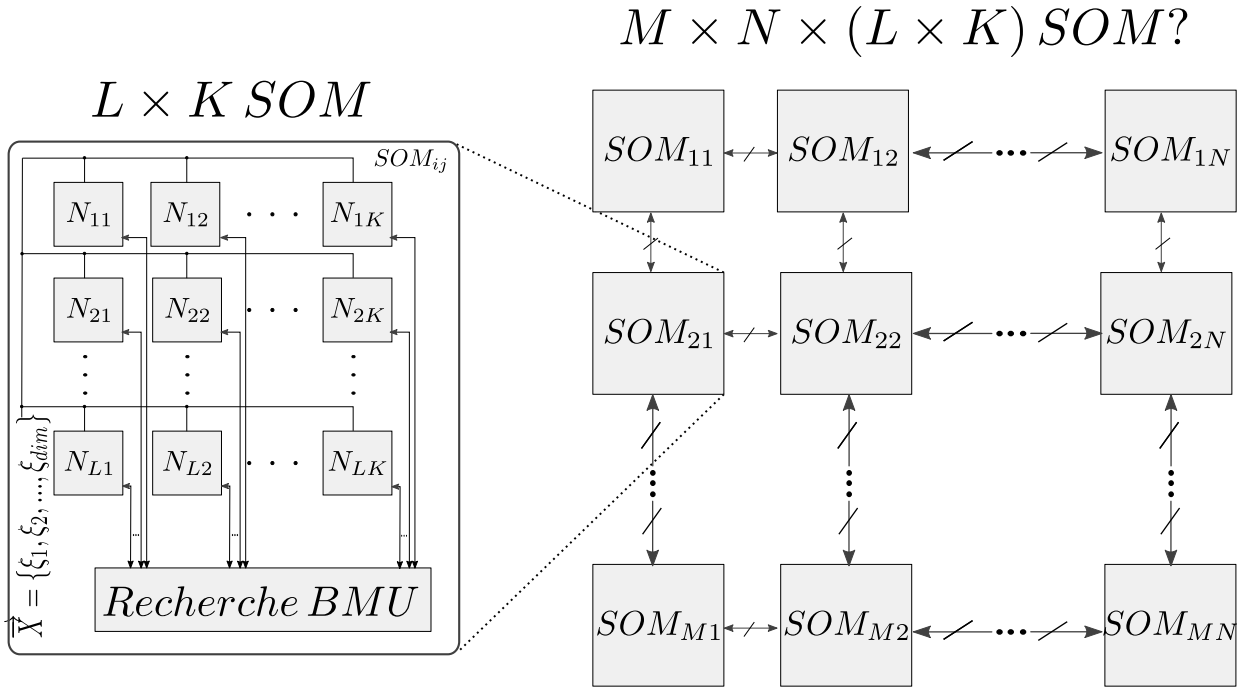
Un des premiers verrous scientifiques dans l'implantation matérielle des cartes SOM que nous avons identifié était relatif à l'extensibilité des cartes SOM matérielles. Dans l'état de l'art sur l'implantation matérielle des cartes SOM, tous les travaux proposés jusqu'à très récemment étaient basés sur les solutions dites point-à-point ne permettant pas d'utiliser une carte SOM matérielle comme une brique de base pour la construction d'une carte SOM plus large. La figure 5 illustre ce problème d'extensibilité des cartes SOM matérielles. La raison principale de ce manque d'extensibilité des cartes SOM matérielles résidait dans les architectures les plus communément utilisées pour leur implantation sur des supports matériels. En effet, dans l'algorithme de la carte SOM présenté Algorithme 1, les étapes les plus facilement parallélisables et se prêtant pour une implantation matérielle massivement parallèle et distribuée sont les étapes exécutées en intégralité au sein d'un neurone : le calcul de la distance et la mise à jour des poids (les lignes 6 et 10 respectivement de l'algorithme 1). D'un autre côté, l'étape la plus critique en terme d'extensibilité est l'étape de recherche du neurone gagnant pour un vecteur d'entrée, représentée par la ligne 7 de l'algorithme 1. En effet, cette étape nécessite d'accéder en parallèle à tous les neurones de la carte SOM, comme présenté à la figure 5(à gauche), afin de pouvoir entamer la comparaison entre les distances calculées par tous les neurones et en identifier la distance minimale et le neurone correspondant (le BMU). Il est clair qu'une telle approche de recherche de neurone gagnant dans les architectures matérielles des cartes SOM permet certes d'avoir l'identité du neurone gagnant le plus rapidement possible mais est dénuée de toute possibilité d'élargir sans coût supplémentaire (de développement) cette recherche à des cartes SOM plus larges.

Par conséquent, dans les travaux de recherche que nous avons menés, la manière de rendre l'opération de recherche du neurone gagnant de façon distribuée était la première phase de notre approche. L'idée de base était de découper cette opération de recherche de BMU en autant de parties qu'une carte SOM dispose de neurones et de permettre ainsi de la rendre indissociable du calcul neuronal mentionné précédemment. Cette transformation doit garantir le même résultat qu'une opération initiale de recherche de BMU et c'est pour cela que ce découpage ne pourrait avoir lieu sans de fortes interactions sous forme d'échange de données entre les parties nouvellement créées. Autrement dit, nous avons transformé la recherche globale de BMU en N opérations de recherche locale, où N représente le nombre total de neurones d'une carte SOM ($n \in G$, $|G| = N$). De plus, la recherche locale au niveau d'un neurone $n \in G$ se fait avec les

(134). Bernd FRITZKE. *Neural Netw.*, **7** : 1441-1460, 1994.

(135). Bernd FRITZKE. *Neural Process. Lett.*, **2** : 9-13, 1995.

(136). Bernd FRITZKE et al. *Advances Neural Inf. Process. Syst. (NIPS)*, **7** : 625-632, 1995.


 FIGURE 5 – Illustration de l’extensibilité des architectures matérielles de la carte SOM¹³⁷

neurones dans son voisinage le plus proche en comparant les résultats de recherche locale avec eux. Cette transformation de l’opération de recherche globale de BMU, rappelée par l’équation 4, est illustrée par les équations 5 à 7¹³⁷ :

$$c = \underset{n \in G}{\operatorname{argmin}} d_n, \quad (4)$$

$$c_n = \underset{k \in W_n}{\operatorname{argmin}} d_{c_k}, \quad \text{où} \quad (5)$$

$$W_n = \{n\} \cup \{k | k \in G \wedge \|\mathbf{r}_n - \mathbf{r}_k\| = 1 \wedge [(x_n > x_k) \vee (y_n > y_k)]\} \text{ et} \quad (6)$$

$$W_0 \cup W_1 \cup \dots \cup W_N = G. \quad (7)$$

où c_n représente le résultat de la recherche locale du BMU au niveau du neurone $n \in G$; W_n , $n \in G$ représente le sous-ensemble de neurones dont les données sont utilisées pour la recherche locale au niveau du neurone n et dont la taille maximale est égale à 3 ($1 \leq |W_n| \leq 3$) ; et d_{c_k} représente la distance fournie par le neurone $k \in W_n$ pour une recherche locale au niveau du neurone $n \in G$.

Dans cette approche, le neurone BMU est identifié au niveau du neurone ayant les propriétés suivantes :

$$c = c_n, n \in G \wedge x_n = L - 1 \wedge y_n = K - 1. \quad (8)$$

où L et K sont les dimensions de la carte SOM 2D satisfaisant $L \cdot K = |G|$, $|G|$ étant le nombre de neurones de la carte SOM.

La transformation de l’algorithme de Kohonen initial en algorithme distribué adapté pour une

(137). Mehdi ABADI et al. A scalable and adaptable hardware NoC-based self organizing map. *Microprocessors and Microsystems*, **57** : 1 -14, 2018. DOI : <https://doi.org/10.1016/j.micpro.2017.12.007>

Algorithm 2: L'algorithme distribué de la carte SOM¹³⁷

```

1  SOM (G, X)
   entrées: L'ensemble G de neurones représentés par leurs poids initiaux  $\mathbf{m}$  et positions
              $\mathbf{r}_n = (x_n, y_n)$  au sein de la carte SOM;
             L'ensemble X de vecteurs d'entrée  $\mathbf{x}$ 
   sortie : L'ensemble G de neurones entraînés
2  paramètres
3  Initialisation (G,paramètres);
4  while Critère d'arrêt n'est pas satisfait do
5     for  $\lambda \mathbf{x}$  aléatoires do
6         foreach  $n \in G$  do
7              $d_n \leftarrow \text{Distance}(\mathbf{x}, \mathbf{m}_n)$ 
8              $c_n \leftarrow \underset{k \in W_n}{\text{argmin}} d_{c_k}$ 
9             if  $\mathbf{r}_n = (L-1, K-1)$  then
10                 $c \leftarrow c_n$ 
11             if (entraînement) then
12                 foreach  $n \in G$  do
13                     MAJ (G,c,paramètres)
14 return G;

```

implantation matérielle extensible est présentée par l'algorithme 2. Les parties de l'algorithme colorées montrent les principales modifications par rapport à la version initiale présentée dans l'algorithme 1. A partir de l'algorithme distribué de Kohonen détaillé précédemment, cette deuxième partie met l'accent sur les solutions architecturales capables de répondre aux contraintes identifiées. Dans l'algorithme de Kohonen distribué (voir l'algorithme 2), l'opération de recherche du neurone gagnant sous-entend une forte interaction entre tous les sous-ensembles de neurones W_n , $n \in G$ effectuant la recherche locale à leur niveau. Le point clé de l'algorithme est d'imaginer un support de communication entre neurones performant et facilement extensible. Pour répondre aux contraintes, notre choix s'est porté sur les réseaux sur puce ou *Network-on-a-chip (NoC)*, parfaitement adaptées aux besoins de parallélisme et d'extensibilité.¹³⁸

La première architecture que nous avons proposée pour mettre en œuvre l'algorithme de Kohonen distribué est présentée en figure 6. Il s'agit d'une architecture 2D maillée composée d'un ensemble de $L \times K$ neurones connectés à autant de routeurs NoC. Les neurones proposés assurent les opérations principales de l'algorithme de Kohonen distribué tandis que le réseau sur puce se charge de tout échange de données et d'informations entre les neurones et l'utilisateur, notamment dans la définition de nouveaux besoins applicatifs. Dans cette architecture, chaque neurone avec son routeur associé est caractérisé par sa position physique dans cette structure 2D maillée, ici notée par les coordonnées (i, j) , $0 \leq i < L$, $0 \leq j < K$. Il est à noter que pour un neurone cette position est également sa position topologique au sein de l'algorithme SOM et joue un rôle prépondérant dans sa mise à jour et à la mise à jour de son voisinage proche.

La structure interne d'un neurone proposé dans cette architecture est détaillée en figure 7. Les principales étapes de l'algorithme de Kohonen distribué y sont réalisées : le calcul de distance entre le vecteur d'entrée et les poids d'un neurone, la mise à jour des poids d'un neurone ainsi que

(138). S JOVANOVIĆ et al. *Microprocess. Microsyst.*, **33** : 24-36, 2009.

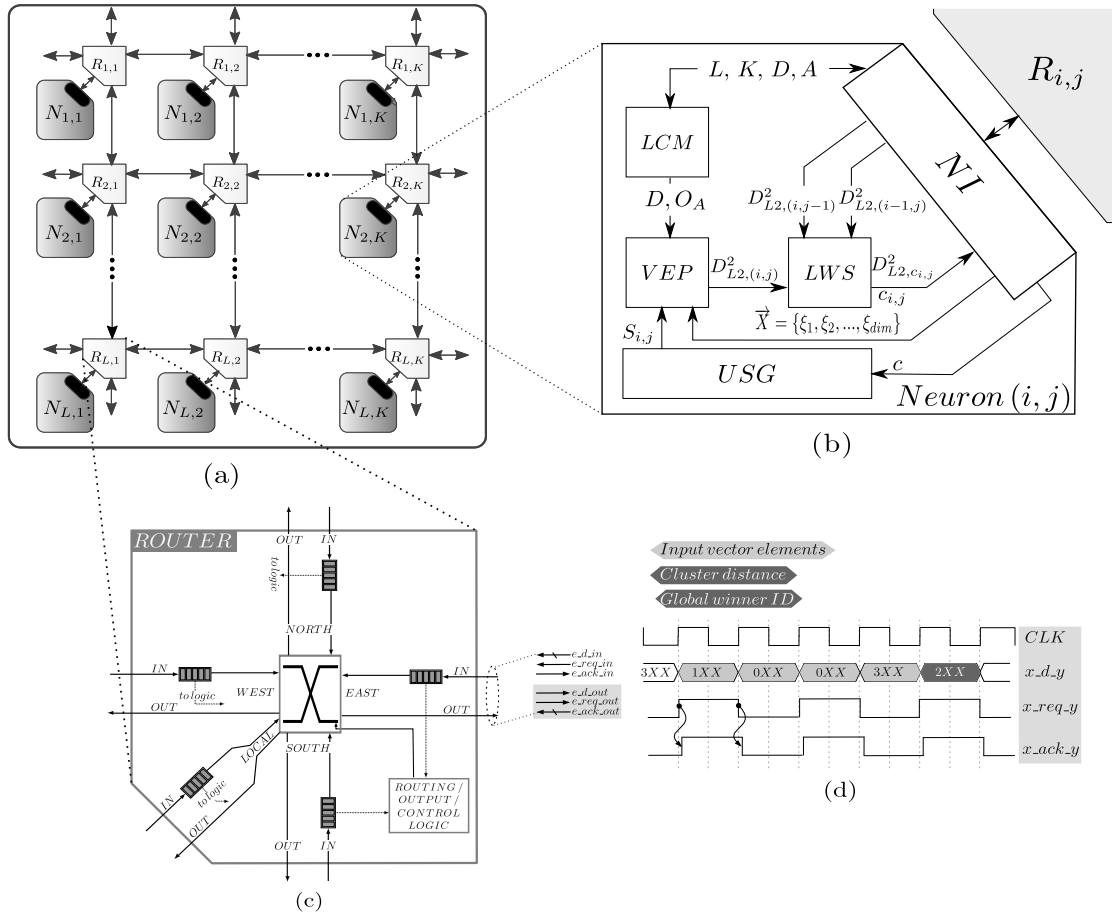
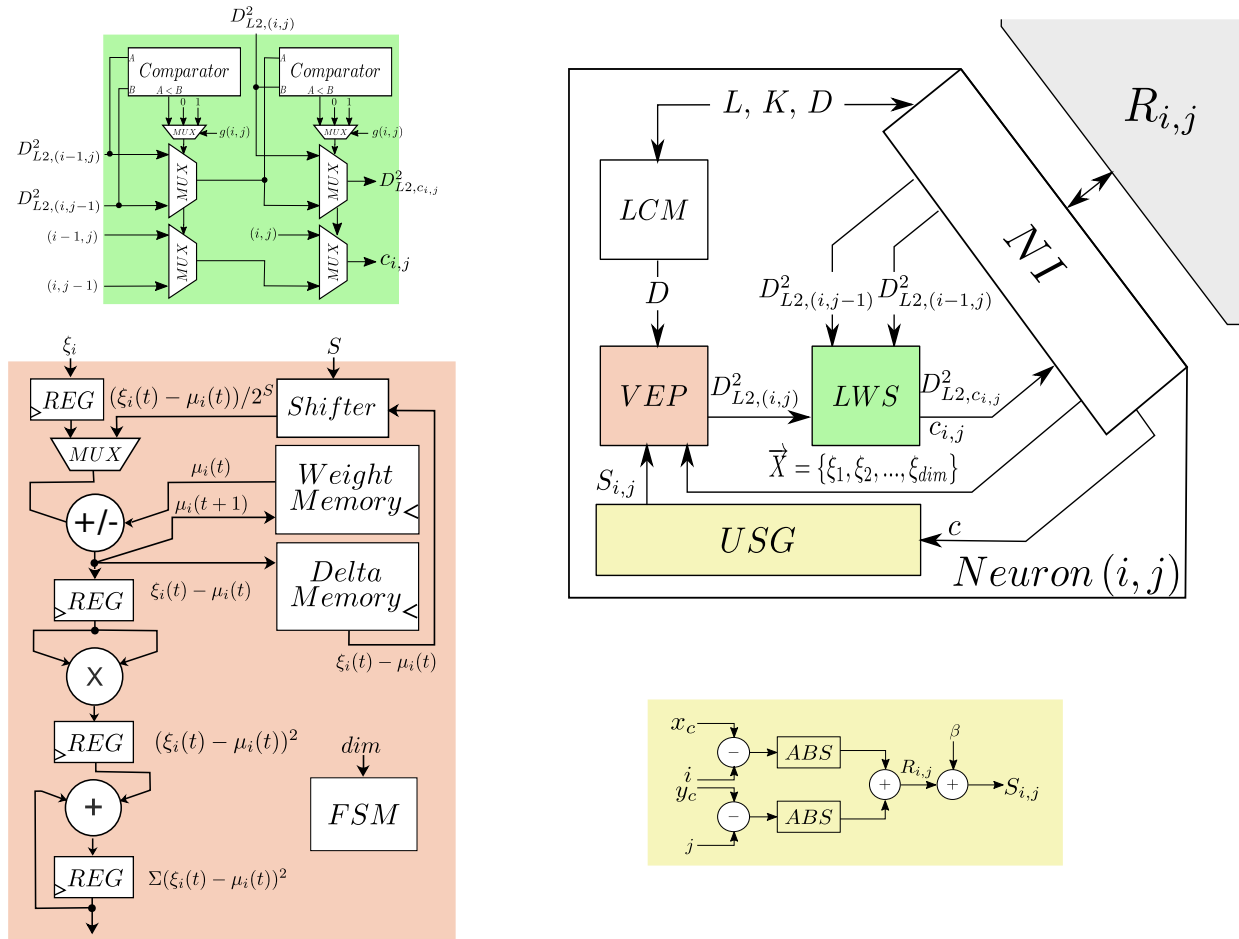


FIGURE 6 – Architecture matérielle proposée pour la mise en œuvre de l’algorithme distribué de Kohonen¹³⁷ : (a) un ensemble de $L \times K$ neurones interconnectés à un réseau sur puce NoC 2D de même taille, (b) le schéma synoptique de l’architecture d’un neurone, (c) l’architecture interne d’un routeur NoC, et (d) un exemple d’échange de message de données dans l’architecture proposée.

la recherche locale du neurone gagnant. Dans l’architecture proposée, la distance entre le vecteur d’entrée et les poids d’un neurone est calculée de manière séquentielle par le bloc nommé *VEP* - *Vector Element Processor*. Comme distance à calculer, le carré de la distance Euclidienne, noté par D_{L2}^2 , est choisi permettant d’une part de s’affranchir ainsi du calcul complexe de l’opération de racine carrée présente dans la définition de la distance Euclidienne, et d’autre part d’aboutir à des résultats identiques à ceux obtenus avec le calcul de la distance Euclidienne. Le calcul séquentiel de la distance D_{L2}^2 contribue également à la configurabilité au niveau d’un neurone et par conséquent au niveau global de la carte SOM. En effet, avec le changement d’un seul paramètre (la dimension des vecteurs de poids D) pouvant s’effectuer également au cours du fonctionnement de l’architecture, le passage d’une application donnée caractérisée par sa propre dimension de vecteur de poids D_1 à une autre D_2 ($D_1 \neq D_2$) pourrait se faire sans encombres. La mise à jour des poids d’un neurone est effectuée par le bloc *USG* - *Update Signal Generator* en utilisant une approximation de la fonction de voisinage originale (initialement une Gaussienne) par une fonction présentée sous forme de 2^{-S} ; S étant le paramètre calculé pour un vecteur d’entrée donné représentant à la fois la position relative d’un neurone par rapport au neurone gagnant BMU et l’avancement de la phase d’apprentissage de manière générale. Le bloc *LWS* - *Local Winner Search* assure la recherche locale du neurone BMU au niveau d’un neurone en comparant sa distance calculée aux distances calculées par ses voisins les plus proches. Dans l’architecture proposée, pour


 FIGURE 7 – Structure interne d'un neurone dans l'architecture SOM-NoC.¹³⁷

l'échange de données entre neurones nécessaire au bon déroulement de l'opération SOM distribuée, le choix s'est porté sur un échange systolique ou de proche en proche, où un neurone à la position (i, j) transmet le résultat de sa recherche locale à ses voisins se trouvant aux positions $(i + 1, j)$ et $(i, j + 1)$ s'ils existent ($0 \leq i < L$, $0 \leq j < K$). Ainsi, en démarrant la recherche du neurone BMU par une recherche locale au niveau du neurone $(0, 0)$, et en transmettant les résultats de ces recherches locales à la manière systolique de neurones en neurones expliquée précédemment, l'identité du neurone BMU sera connue au niveau du neurone $(L - 1, K - 1)$. Dans l'architecture proposée, le nombre d'étapes systoliques correspondant à l'envoi simultané des résultats de recherches locales effectuées par des neurones est égal à $L + K - 1$. De la même manière, une fois identifié, la diffusion de l'identité du neurone BMU est effectuée dans le sens inverse afin de permettre à tous les neurones d'avoir les éléments nécessaires pour la mise à jours de leurs poids par rapport au neurone BMU nouvellement identifié. Le neurone implanté dans cette architecture comporte également les blocs *LCM* - *Local Configuration Module* et *NI* - *Network Interface*. Le bloc *LCM* n'a pas de rôle identifié au sein de l'opération SOM distribuée au sens propre du terme, mais a un rôle primordial dans la configuration d'un neurone pour son fonctionnement correct au sein de l'architecture proposée. Il permet notamment de renseigner la dimension des vecteurs d'entrée et de poids à utiliser pour toutes les étapes de calcul dans l'opération SOM. D'un autre côté, le bloc *NI* est le bloc d'interfaçage entre les blocs de calcul et le réseau de communication NoC. Il permet notamment de rendre toutes les données à envoyer compréhensibles par le réseau NoC en suivant des protocoles d'envoi bien

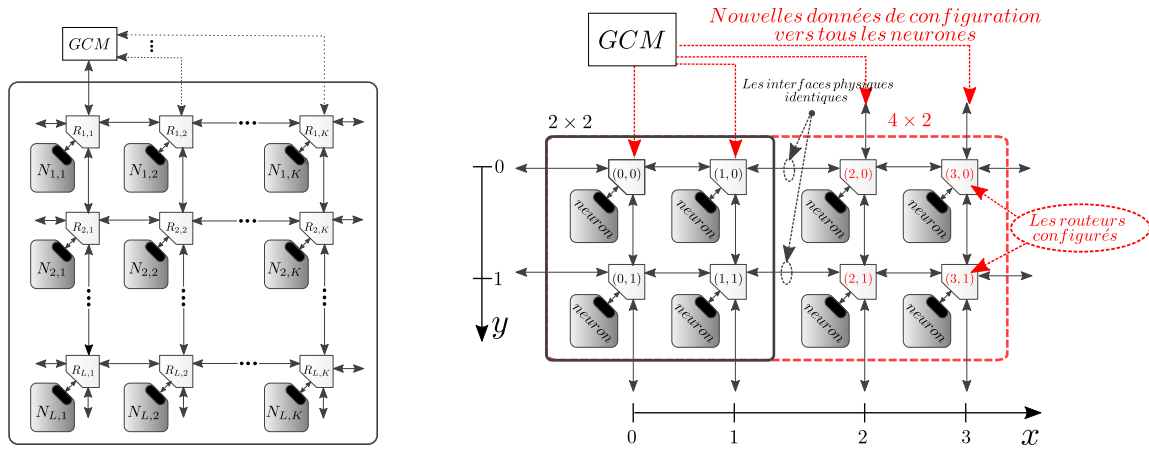


FIGURE 8 – Le module GCM de configuration globale de l’architecture SOM-NoC et l’illustration de l’extensibilité de l’architecture proposée sur l’exemple de passage d’une carte SOM de taille 2×2 à 4×2 .¹³⁷

définis (ici la technique d’aiguillage de type *wormhole*, et un routage de type *XY*) d’une part, et de décoder tous les messages provenant de l’extérieur (autres neurones, utilisateur) et de les distribuer aux blocs correspondants d’autre part.

L’architecture proposée pour l’implantation de l’opération SOM distribuée est non seulement configurable au niveau neuronal comme expliquée précédemment, mais également au niveau global. La configuration au niveau global est assurée par le module GCM - *Global Configuration Module* dont le rôle consiste à envoyer les données de configuration à tous les neurones et routeurs de l’architecture. Ainsi, à titre d’exemple, pour passer d’une application donnée avec les paramètres L_1, K_1 et D_1 à une autre exigeant L_2, K_2 et D_2 où $L_1 \neq L_2$, $L_1, L_2 \leq L$, $K_1 \neq K_2$, $K_1, K_2 \leq K$ et $D_1 \neq D_2$, $D_1, D_2 \leq D$, il suffit simplement que le bloc GCM envoie les nouvelles données de configuration à chaque neurone de l’architecture, qui impliqueront au niveau d’un neurone une mise à jour de ses paramètres utilisés à ce moment précis (voir la figure 8). Cette mise à jour des paramètres d’un neurone se fait en un cycle d’horloge (l’écriture dans un registre) une fois les nouvelles données de configuration reçues de la part de GCM. De plus, cette reconfiguration est également possible au cours du fonctionnement de l’architecture. Un exemple de changement de configuration dans l’architecture SOM-NoC proposée appliqué à la compression d’image est présenté figure 9, où les trois scénarios sont envisagés au cours du fonctionnement de l’architecture : la carte SOM de taille 10×10 en utilisant les vecteurs d’entrée de taille d’un pixel (3 éléments) utilisée dans la période de $T_{1+\text{config}}$ à T_2 ; le passage à la carte SOM de taille 7×7 au moment T_2 avec la même taille des vecteurs d’entrée et son utilisation jusqu’à T_3 ; un nouveau changement au moment T_3 vers la carte SOM de taille 10×10 en utilisant les vecteurs d’entrée de taille de 4 pixels (12 éléments).

Le module GCM assure non seulement la configuration des neurones pour le déroulement de l’opération SOM avec des paramètres différents, mais également la configuration des routeurs NoC utilisés pour l’échange d’informations entre tous les neurones. Le seul paramètre au niveau d’un routeur NoC sur lequel le GCM peut intervenir en envoyant les données de configuration est son adresse physique au sein du réseau. Comme indiqué précédemment, cette adresse représentée par la position (i, j) sert pour identifier les positions de tous les neurones au sein de l’opération SOM d’une part mais également pour permettre l’échange de données au sein du réseau NoC d’autre part. Le fait de pouvoir changer les adresses physiques des routeurs NoC et des neurones est indispensable

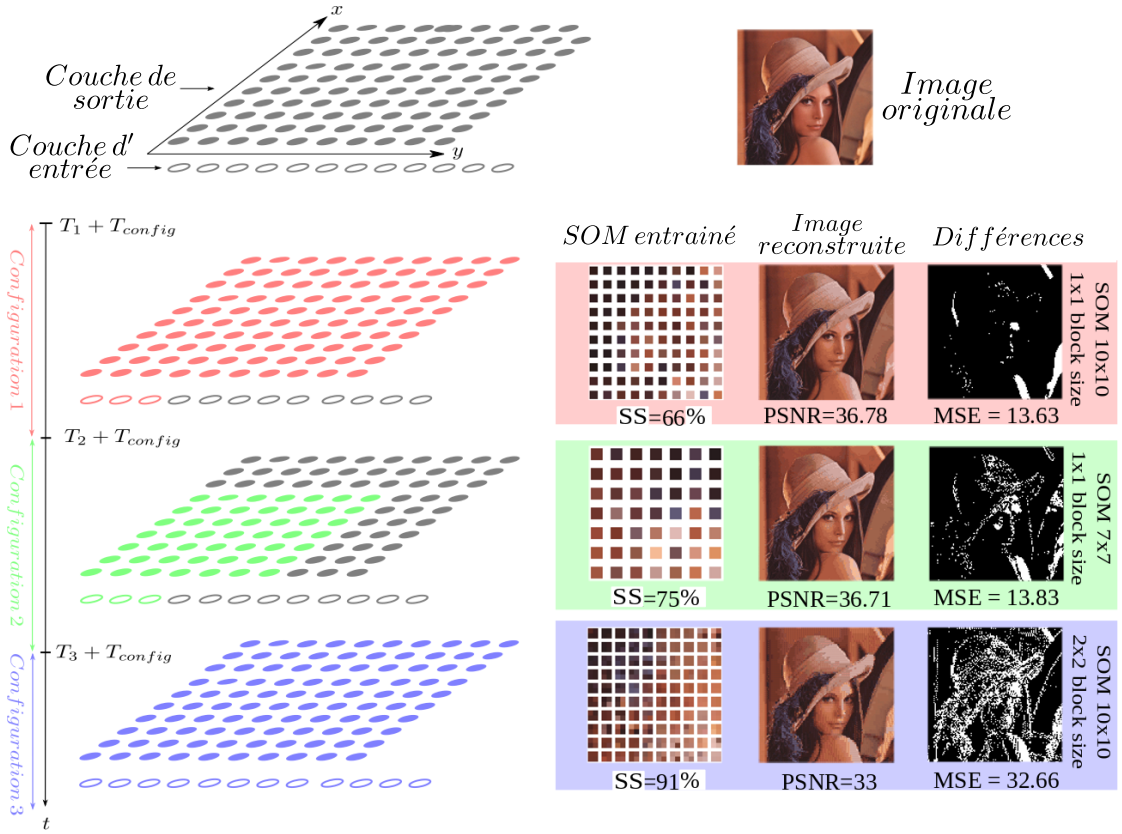


FIGURE 9 – Un exemple de changement de configuration dans l’architecture SOM-NoC proposée appliqué à la compression d’image.¹³⁷

pour pouvoir étendre physiquement l’architecture SOM-NoC de taille $L_1 \times K_1$ vers une autre de taille $L_2 \times K_2$ ($L_1 \leq L_2$, $K_1 \leq K_2$), comme illustré à la figure 8 pour $L_1 = K_1 = L_2 = 2$ et $K_2 = 4$. La transformation de l’algorithme de Kohonen en algorithme distribué et sa mise en œuvre sur l’architecture SOM-NoC proposée ont permis de répondre aux deux premiers défis que nous avons évoqués à la fin de la section 2.2, à savoir l’extensibilité d’une opération SOM sur un support matériel et l’adaptabilité et flexibilité au niveau neuronal, global et applicatif. Il reste à voir l’impact de la solution architecturale proposée sur les performances qu’une telle architecture propose. Le tableau 1 et la figure 10 présentent une comparaison entre l’architecture SOM-NoC proposée et l’état de l’art au niveau des performances exprimées en MCUPS et en durées des temps nécessaires pour les phases d’apprentissage et de test. On peut constater que l’architecture SOM-NoC reste compétitive en termes de performances par rapport aux architectures matérielles les plus rapides proposées dans la littérature. Malgré une fréquence de fonctionnement la plus élevée parmi les architectures présentées dans le tableau 1, les propriétés de flexibilité et d’adaptabilité rajoutées à tous les niveaux à l’architecture matérielle proposée ont un impact significatif sur les performances en termes de MCUPS obtenus. Les performances en MCUPS sont directement proportionnelles à la fréquence maximale de fonctionnement f_{\max} selon l’équation 9 :

$$\text{MCUPS} = \frac{L \cdot K \cdot D \cdot f_{\max}}{N_{\text{clk,learn}}} \quad (9)$$

où $N_{\text{clk,learn}}$ est le nombre de cycles d’horloge nécessaire pour effectuer une itération complète pour un vecteur d’entrée donné ; L et K sont les dimensions de la carte SOM ; D est la dimension

TABLEAU 1 – Comparaison avec l'état de l'art

Réf.	Paramètres				Résultats		
	Taille	Dimension	Architecture	Technologie	Fréquence		
					Maximale [MHz]	MCUPS	Adaptabilité
139	16 × 16	128	Custom	FPGA	33	17500	Non
140	16 × 16	3	Custom	FPGA	33	25344	Non
110	16 × 16	16	Custom	CMOS	100	9102	Non
109	100	2048	Systolique	FPGA	148	3467	Non
141	384	1024	SIMD	FPGA	105	4338	Reconf.
142	16 × 16	2048	Custom	FPGA	69	6305	Reconf.
Archi	16 × 16	256	Systolique	FPGA	250	18597	On-line

du vecteur d'entrée/poids.

La répartition des temps nécessaires pour une itération lors des phases d'apprentissage et de test est présentée figure 11. Cette répartition permet de comprendre les raisons principales de la baisse des performances évoquée, où on peut constater qu'une partie significative du temps dans les deux phases est utilisée notamment pour l'opération de recherche du neurone gagnant. En effet, une recherche locale selon l'algorithme 2 nécessite plusieurs échanges entre les neurones voisins et les routeurs associés. Ces échanges comprennent les latences nécessaires pour accéder à un routeur depuis un neurone ; pour faire passer un message entre deux routeurs ; et au niveau de l'interface NI pour coder/décoder les messages reçus/à envoyer et sont principalement à l'origine de cette augmentation du temps. De plus, plus la carte SOM (et le réseau NoC associé) est grande, plus le temps nécessaire pour finaliser une itération (d'apprentissage ou de test) est long.

Pour améliorer les performances de l'architecture SOM-NoC proposée, nous avons analysé en détails le comportement au niveau temporel de l'architecture SOM-NoC. La figure 12(a) illustre le fonctionnement des neurones dans l'architecture SOM-NoC au niveau d'une itération pendant les phases de compétition (la recherche de neurone gagnant) et d'adaptation (la diffusion de

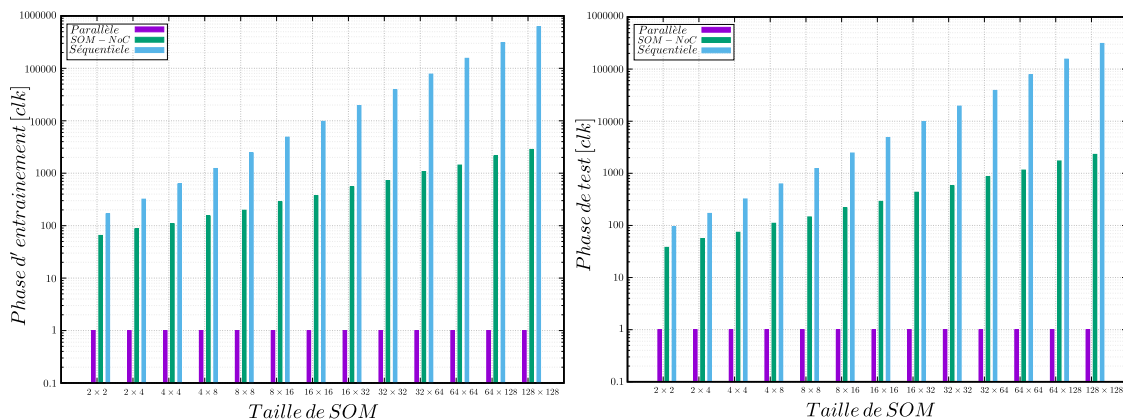


FIGURE 10 – Les durées des temps nécessaires pour les phases d'apprentissage et de test dans l'architecture SoM-NoC proposée¹³⁷ comparées aux approches séquentielle¹⁴³ et massivement parallèle.¹⁴⁰

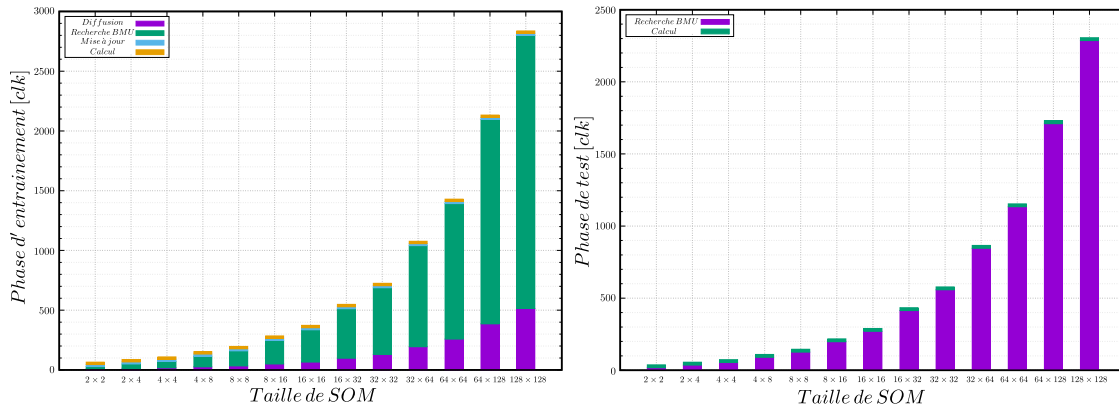


FIGURE 11 – La répartition des temps nécessaires pour les phases d’apprentissage et de test dans l’architecture SOM-NoC proposée.¹³⁷

l’identité du BMU et la mise à jour des poids). Il est à noter que dans l’architecture SOM-NoC, les opérations effectuées par un neurone ne permettent pas d’utiliser ses ressources de calcul disponibles en son sein de manière optimale. En effet, après avoir calculé la distance entre ses poids et le vecteur d’entrée donné et terminé la recherche locale à son niveau, un neurone se trouve dans une phase d’attente où il ne fait aucun calcul et est complètement inexploité. Afin d’optimiser l’exploitation des ressources de calcul et améliorer ainsi les performances globales, nous avons proposé une première approche nommée SWAP-SOM et présentée à la conférence IJCNN en 2019¹⁴⁴. L’idée générale est de faire fonctionner plusieurs applications A_i ($1 < i \leq R$) sur la même architecture matérielle et ainsi exploiter de manière plus optimale ses neurones. Dans l’architecture SWAP-SOM, un neurone effectue exactement les mêmes opérations que celles effectuées au sein de l’architecture SOM-NoC. La principale différence est dans le comportement d’un neurone : lorsqu’il termine les opérations SOM décrites précédemment pour une application A_i ($1 < i \leq R$), il peut passer sur une autre A_j , ($j \neq i, 1 < j \leq R$) effectuer les mêmes opérations et ainsi de suite. Le fonctionnement d’un neurone dans l’architecture SWAP-SOM est illustré par la figure 12(b). Le bloc rouge présente la reconfiguration d’un neurone pour lui permettre de passer d’une application à une autre.

Pour pouvoir rendre l’architecture SOM-NoC multi-applications, des modifications légères ont été effectuées essentiellement au niveau de l’architecture d’un neurone et au niveau du protocole de communication utilisé. Au niveau d’un neurone, la mémoire de stockage des poids a été organisée comme présenté par la figure 13(a), où chaque application A_i ($1 < i \leq R$) a sa propre zone allouée de taille D_i ($1 < i \leq R$), D_i étant la dimension des vecteurs de poids propre à chaque application. C’est la raison principale pour laquelle les zones allouées pour stocker les poids des applications ne sont pas uniformes en taille. Une autre modification de l’architecture d’un neurone dans l’architecture SWAP-SOM est réalisée au niveau du générateur d’adresse d’accès à la mémoire de stockage comme illustré à la figure 13(b). Il s’agit d’un simple calcul permettant d’additionner la valeur d’offset attribuée à une application et la valeur courante du compteur comptant les éléments de ses vecteurs de poids. Le résultat obtenu est l’adresse de la case mémoire correspondant à l’élément du vecteur de poids à accéder pour une application donnée. Il est à noter également que l’offset

(144). Mehdi ABADI et al. “A Multi-Application, Scalable and Adaptable Hardware SOM Architecture” en in : *2019 International Joint Conference on Neural Networks (IJCNN)*. Budapest, Hungary : IEEE, juill. 2019. 1-8 DOI : [10.1109/IJCNN.2019.8851797](https://doi.org/10.1109/IJCNN.2019.8851797)

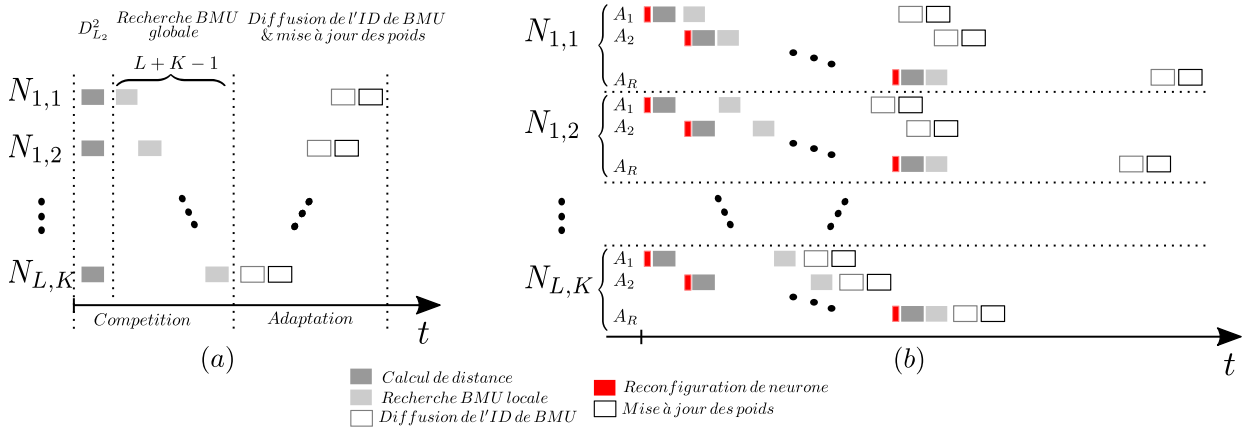


FIGURE 12 – (a) Exemple d'échange de données entre différents niveaux systoliques,¹⁴⁵ et (b) le schéma d'échange de données dans l'architecture SWAP-SOM capable d'exécuter simultanément différents jeux de données (différentes applications).¹⁴⁴

mentionné est déterminé en fonction du nombre total d'applications à exécuter et est modifiable même pendant l'utilisation de l'architecture SWAP-SOM. Il s'agit d'un paramètre envoyé par le module de configuration global GCM. D'un autre côté, les modifications apportées au niveau du protocole de communication concernent notamment l'ajout d'un code applicatif dans les messages circulant au sein du réseau NoC permettant d'identifier l'appartenance d'une donnée échangée à une application. Par conséquent, dès qu'une donnée est reçue par l'interface NI, ce code applicatif est identifié et permet de savoir à quelle application les données à traiter appartiennent et de calculer (via l'offset et la dimension) comme expliqué précédemment la bonne adresse dans la

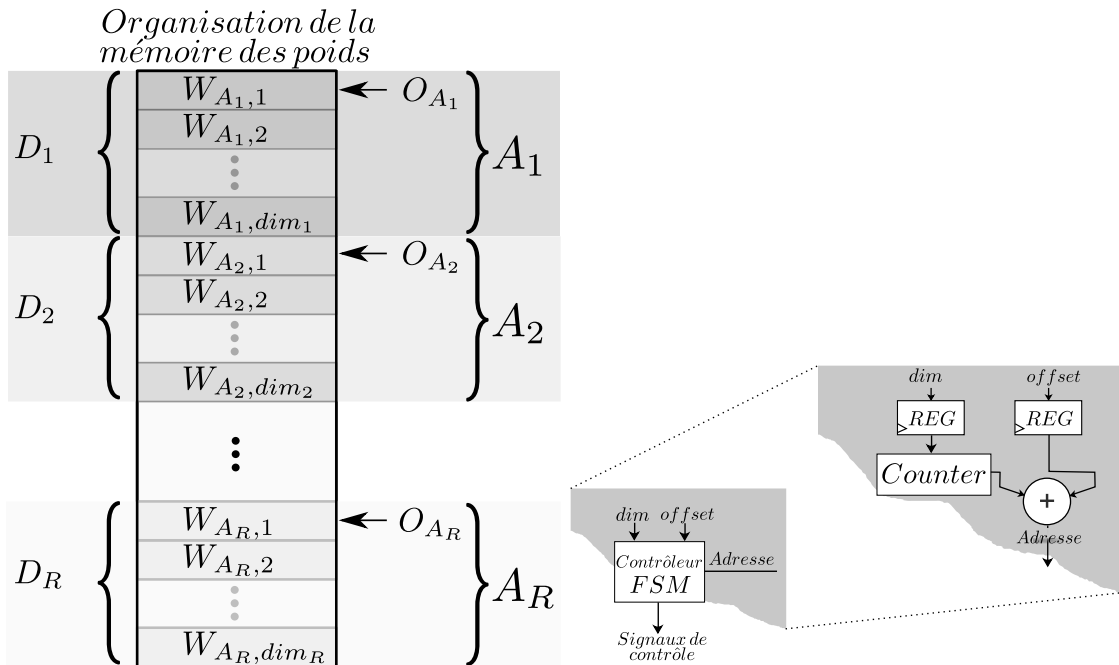


FIGURE 13 – (a) L'organisation de la mémoire de stockage des poids au sein de l'architecture SWAP-SOM¹⁴⁴ : chaque application A_i ($1 < i \leq R$) a sa propre zone de taille D_i , D_i correspondant à la dimension des vecteurs de poids utilisée pour l'application A_i . (b) Une partie du générateur d'adresse d'un neurone dans l'architecture SWAP-SOM¹⁴⁴ : l'offset spécifique à chaque application A_i et la dimension D_i des vecteurs de poids sont pris en compte à chaque itération pour générer la bonne adresse d'accès à la mémoire de stockage des poids.

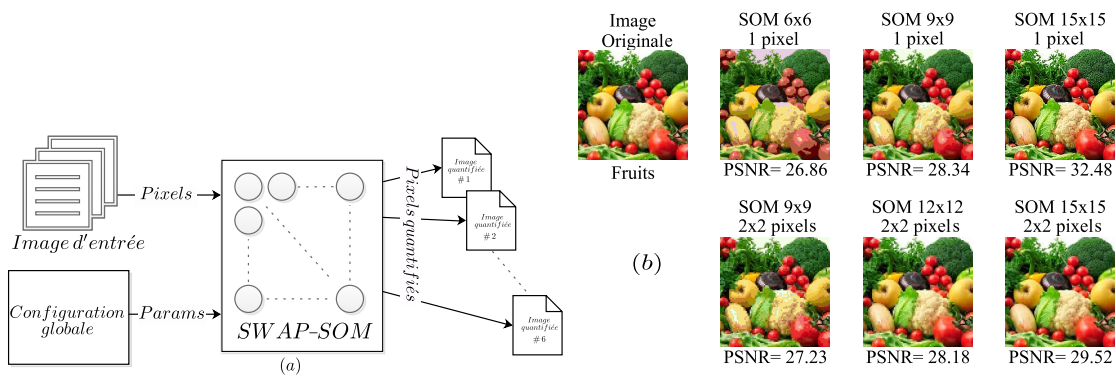


FIGURE 14 – (a) L'architecture SWAP-SOM appliquée à la quantification d'image avec 6 jeux de paramètres utilisés en parallèle.¹⁴⁴ (b) Résultats de quantification obtenus pour la configuration présentée.¹⁴⁴

mémoire de stockage des poids.

L'utilisation de l'architecture SWAP-SOM est illustrée à la figure 14 sur l'exemple de quantification d'images. Dans cet exemple, 6 jeux de paramètres différents correspondant à 6 applications dans l'analyse précédente ont été exécutés en même temps sur la même architecture : un réseau de taille 6×6 traitant un pixel ; des réseaux de taille 9×9 et 15×15 traitant 1 et 4 pixels ; et un réseau de taille 12×12 traitant 4 pixels. Pour toutes configurations applicatives, les mêmes vecteurs d'entrée extraits d'une image commune ont été utilisés. Il est à noter également que l'architecture proposée est la première utilisation d'une architecture matérielle SOM pour l'exécution de plusieurs applications avec des paramètres différents trouvée dans la littérature. Pour faire les mêmes opérations que celles illustrées par la figure 14(a) avec une architecture matérielle SOM quelconque (par exemple SOM-NoC), il faudrait avoir 6 architectures matérielles différentes et séparées.

L'architecture SWAP-SOM proposée permet d'accroître l'exploitation des neurones dans l'approche distribuée comme illustré à la figure 15 et d'augmenter les performances globales de l'architecture en considérant l'ensemble d'applications exécutées à un moment donné. Si on compare les performances d'exécution d'une application sur les architectures SOM-NoC et SWAP-SOM, on ne verra aucune différence. Par contre, en exécutant plusieurs applications dans l'architecture SWAP-SOM, les performances globales seraient théoriquement multipliées par le nombre d'applications exécutées à un moment donné. Ceci est vrai tant que la durée totale de

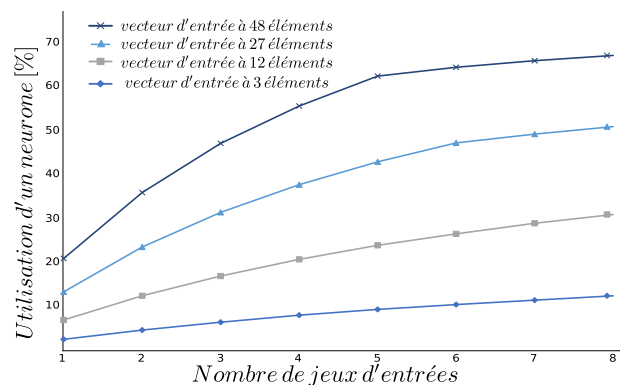


FIGURE 15 – L'utilisation d'un neurone dans l'architecture SWAP-SOM en fonction du nombre d'applications exécutées à un moment donné et de la taille des vecteurs d'entrée utilisés.¹⁴⁴

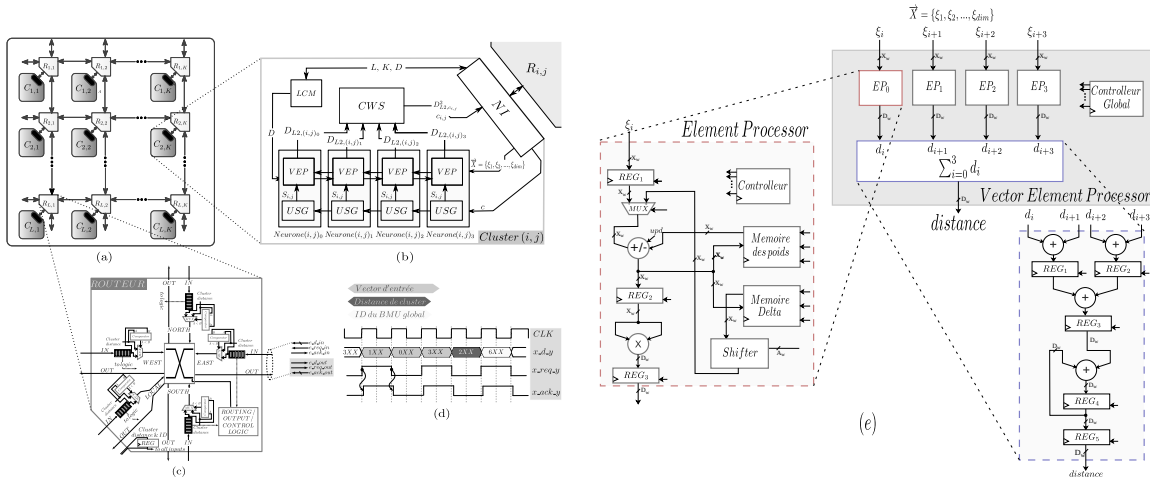
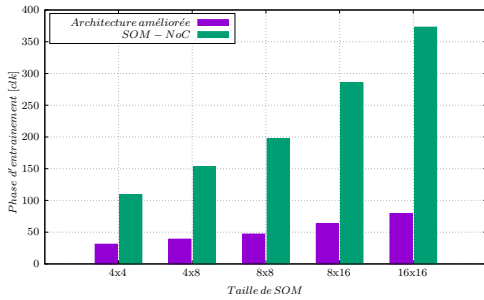


FIGURE 16 – L’architecture SOM améliorée¹¹⁸ : (a) $L \times K$ clusters de 4 neurones connectés au réseau NoC 2D de même taille, (b) le schéma bloc d’un cluster, et (c) d’un routeur NoC; (d) un exemple d’échange de données dans l’architecture proposée. (e) Le schéma bloc d’un neurone utilisé dans l’architecture proposée : 4 Element Processors (EP) utilisés en parallèle pour calculer 4 éléments de vecteurs d’entrée à la fois.

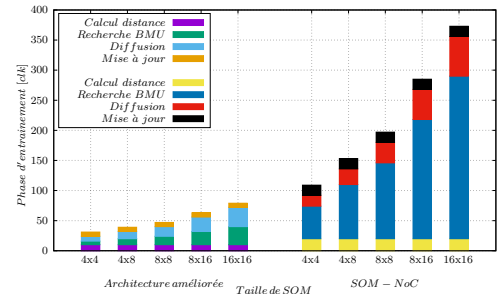
calcul au sein de chaque neurone, toutes applications confondues, est inférieure à la durée de communication des données entre neurones lors d’une itération.

Dans la suite des travaux sur l’augmentation des performances des architectures matérielles SOM proposées, l’accent particulier a été mis sur la réduction du temps des étapes les plus gourmandes. Comme expliqué précédemment, le véritable goulot d’étranglement dans les architectures SOM proposées est la recherche distribuée du neurone gagnant via le réseau de communication sur puce utilisé. En effet, dans les architectures SOM proposées, le nombre de routeurs utilisés est égal au nombre de neurones de la carte SOM. Par conséquent, en créant une carte SOM très large comportant un nombre de neurones élevé et répartis sur une grille 2D, la recherche du neurone gagnant étant dépendante de la taille du réseau NoC devient encore plus gourmande en temps. Dans l’architecture que nous avons proposée dans,¹¹⁸ nous avons regroupé les neurones en clusters de 4 et les clusters ainsi créés ont chacun été connectés à des routeurs correspondants. Cette nouvelle architecture est illustrée à la figure 16. En observant l’architecture interne d’un cluster, nous pouvons constater 4 neurones indépendants (les blocs VEP et USG) associés à un bloc de recherche locale nommé *CWS - Cluster Winner Search*. Les autres blocs sont identiques à ceux retrouvés dans les architectures présentées précédemment. Avec cette architecture, pour une opération SOM nécessitant $L \times K$ neurones, l’étape de recherche du neurone BMU se voit divisée par 2, puisque le nombre d’étages systoliques n’est plus égal à $L + K - 1$ mais à $L/2 + K/2 - 1$. De plus, dans l’architecture proposée, les opérations au sein d’un VEP ont également été accélérées en proposant un calcul séquentiel traitant à la fois 4 éléments d’un vecteur d’entrée (voir la figure 16(e)). Dans cette architecture, nous avons également modifié le routeur NoC utilisé pour l’échange de données entre les clusters (voir la figure 16(c)). Nous avons rajouté un registre supplémentaire dans le routeur NoC dont le rôle principal est de stocker la valeur de la distance calculée par le cluster de neurones correspondant. Par conséquent, lors de la recherche globale du neurone gagnant, la comparaison de distances calculées entre les

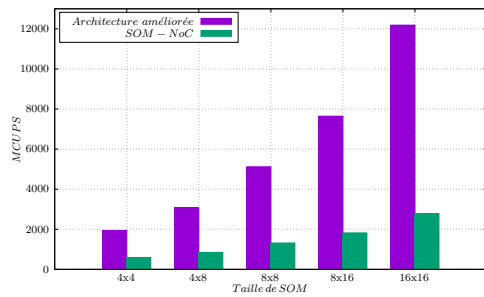
(118). Slavisa JOVANOVIĆ et al. “High Performance Scalable Hardware SOM Architecture for Real-Time Vector Quantization” en in : *2018 IEEE International Conference on Image Processing, Applications and Systems (IPAS)*. doi : 10.1109/IPAS.2018.8708863 Sophia Antipolis, France : IEEE. 256-261 DOI : [10.1109/IPAS.2018.8708863](https://doi.org/10.1109/IPAS.2018.8708863)



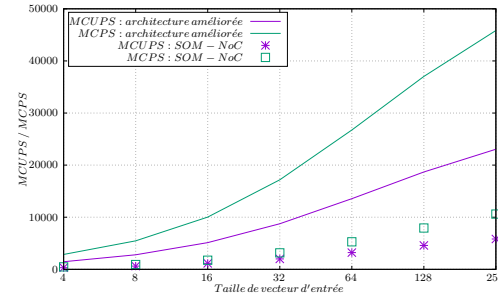
(a) La durée de la phase d'apprentissage en fonction de la taille de la carte SOM



(b) La répartition du temps de la phase d'apprentissage en fonction de la taille de la carte SOM



(c) Les MCUPS en fonction de la taille de la carte SOM



(d) Les MCUPS et MCPS en fonction de la dimension des vecteurs d'entrée

FIGURE 17 – L'évaluation des performances de l'architecture améliorée en fonction de la taille de la carte SOM (jusqu'à 16×16) et des vecteurs d'entrée (jusqu'à 256) : pour les figures (a) à (c) la taille des vecteurs d'entrée était fixée à 16 ; pour (d) la taille de la carte SOM était fixée à 8×8

clusters se fait au sein des routeurs NoC, évitant ainsi les cycles d'horloge supplémentaires nécessaires pour établir les connexions entre les clusters et les routeurs via les interfaces NI.

Ces modifications architecturales de l'architecture initiale ont permis d'augmenter les performances globales comme indiqué par les figures 17(a) à (d) où la durée de toutes les étapes de l'opération SOM a été divisée par un facteur avoisinant 4. Dans l'architecture améliorée, la durée de l'étape de recherche du neurone gagnant reste toujours dépendante de la taille du réseau NoC utilisé, mais en moindre proportion par rapport à l'architecture SOM-NoC. De plus, en comparant les performances de l'architecture améliorée par rapport à l'état de l'art (voir le tableau 2), il est clair que les solutions architecturales proposées dans cette architecture montrent la voie vers les architectures matérielles SOM à très grand nombre de neurones et très performantes.

Cette tendance a également été confirmée par l'exploration architecturale que nous avons menée par la suite dans l'étude présentée dans le chapitre. ¹⁴⁶ Dans cette étude, nous avons proposé un environnement d'exploration architecturale pour les cartes SOM basé sur l'architecture améliorée décrite précédemment. L'environnement proposé décrit en SystemC en utilisant les mécanismes transactionnels où tous les blocs sont paramétrables et décrits de manière comportementale nous a permis d'évaluer et d'explorer rapidement la même approche basée sur l'utilisation des clusters de neurones. En effet, en variant les paramètres spécifiques à

(146). Slavisa JOVANOVIĆ et al. Large-scale distributed and scalable SOM-based architecture for high-dimensional data reduction. *AI for Emerging Verticals : Human-robot computing, sensing and networking*, 315, 2020.

TABLEAU 2 – Comparaison avec l'état de l'art

Réf.	Taille	Dim.	Archi.	Techno.	Fréquence [MHz]	MCUPS	Adaptabilité/ Extensibilité
139	16 × 16	128	Custom	FPGA	33	17500	Non
140	16 × 16	3	Custom	FPGA	33	25344	Non
110	16 × 16	16	Custom	CMOS	100	9102	Non
109	100	2048	Systolique	FPGA	148	3467	Non
141	384	1024	SIMD	FPGA	105	4338	Recon./Non
142	16 × 16	2048	Custom	FPGA	69	6305	Recon./Non
137	16 × 16	256	Systolique	FPGA	250	18597	On-line/Oui
Archi III	16 × 16	256	Distri.	FPGA	235	77391	On-line/Oui

l'opération SOM tels que le nombre de clusters, le nombre de neurones utilisés par cluster et la dimension des vecteurs, ainsi que les paramètres spécifiques à l'architecture tels que les latences nécessaires pour effectuer chacune des étapes au niveau des neurones, de l'interface réseau et des routeurs, une analyse plus approfondie des aspects architecturaux peut être effectuée. Ces résultats pour une dimension de vecteur d'entrée/poids fixée à 3 (adaptée à la quantification de couleur) sont présentés par les figures 18(a) et (b) en terme de temps nécessaire pour effectuer l'opération d'apprentissage exprimé en cycles d'horloge (indépendant de la fréquence de fonctionnement), et par les figures 18(c) et (d) en termes de performances exprimées en MCUPS normalisés (divisée par la fréquence) et valeurs normales pour une fréquence de fonctionnement fixée à 250 MHz (issue de¹³⁷) respectivement. La ligne rouge présentée dans les figures 18(a) et (b) représente la même taille du réseau NoC pour des tailles de clusters différents (16 × 16, 8 × 8 et 4 × 4 du haut vers le bas). En effet, pour une taille donnée du réseau NoC, la durée de la phase d'apprentissage sera déterminée en fonction de cette taille et ne changera pas quel que soit le nombre de neurones se trouvant dans un cluster. Ainsi, si on souhaite augmenter les performances d'une carte SOM distribuée, il suffit d'augmenter le nombre de neurones se trouvant dans un cluster. A savoir également que ce gain de performances par l'augmentation du nombre de neurones par cluster n'est pas linéaire et sans conséquences sur le fonctionnement global de l'architecture, puisque au niveau de chaque cluster la recherche du neurone gagnant se fait localement de manière point à point et peut très rapidement devenir un goulot d'étranglement de performances de l'architecture globale.

2.4 Architectures SOM matérielles dynamiques

Les architectures matérielles de la carte SOM présentées dans la section précédente relèvent du modèle original de l'algorithme de Kohonen, étant considéré comme statique au niveau de la topologie neuronale utilisée à un moment donné. En effet, dans l'algorithme de Kohonen, le nombre de neurones pour une application donnée est fixé à l'avance avant le démarrage de la phase d'apprentissage et ne peut être changé pendant, sauf pour passer à une autre application caractérisée par des paramètres différents dont le nombre de neurones. De plus, dans la littérature sur les implantations matérielles de l'algorithme SOM, uniquement l'algorithme de

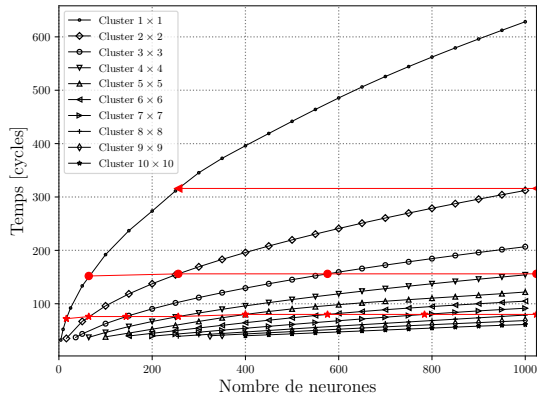
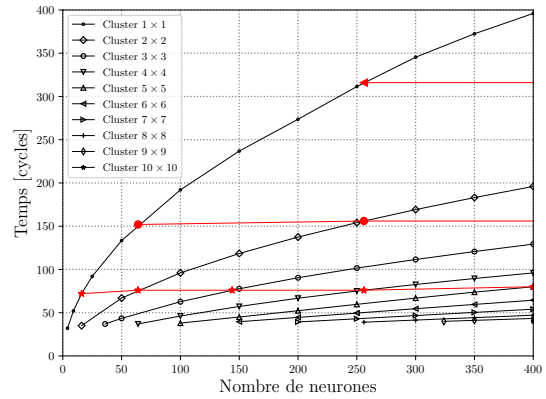
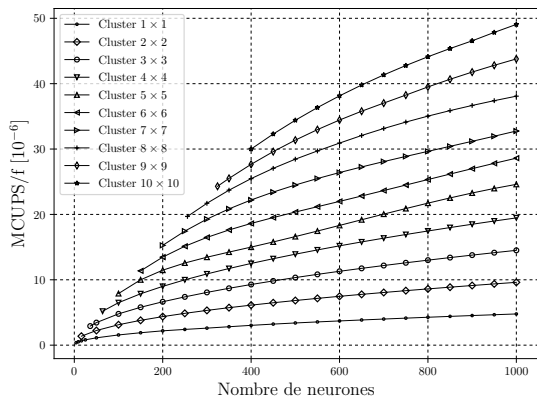
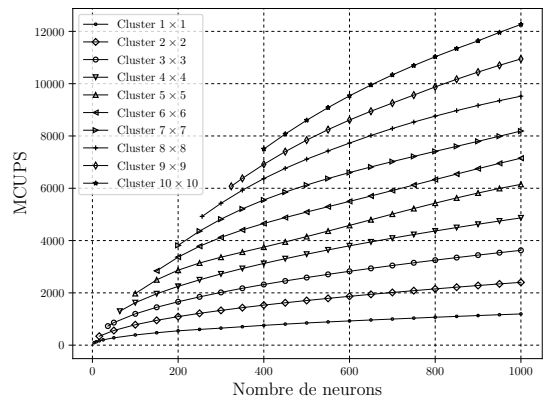
(a) L'étude sur 1000 neurones avec les clusters variant de 1×1 à 10×10 (b) Le zoom de (a) sur les 400 neurones avec les clusters variant de 1×1 à 10×10 (c) $MCUPS/f$, où f représente la fréquence de fonctionnement(d) $MCUPS$ pour $f = 250\text{MHz}$ ¹⁴⁷

FIGURE 18 – Les résultats issus de l'exploration architecturale menée dans¹⁴⁶ montrant l'évolution du temps nécessaire pour la phase d'apprentissage d'une carte SOM matérielle et les performances obtenues en fonction du nombre de neurones et la taille des clusters utilisés.

Kohonen statique a été abordé jusqu'à présent. Dans la littérature, il existe un nombre important de versions dynamiques de l'algorithme de Kohonen^{134-136,148-156} dont les premiers et ceux ayant servi de base pour tous les autres sont les algorithmes dynamiques proposés par Fritzke.¹³⁴⁻¹³⁶ La propriété commune de toutes ces approches dynamiques est une topologie finale de la carte SOM inconnue au démarrage de la phase d'apprentissage. Les différences de ces versions dynamiques et l'algorithme initial de Kohonen sont résumées par l'algorithme 3 et la partie surlignée en orange. Il est clair que les versions dynamiques reprennent une bonne partie de l'algorithme de Kohonen en y rajoutant la partie dynamique servant à insérer d'autres neurones au cours de la phase d'apprentissage. Dans les versions dynamiques de Fritzke, le point de départ de toute carte SOM

(148). José GARCÍA-RODRÍGUEZ et al. *Neural Netw.*, **32** : 196-208, 2012.

(149). Stephen MARSLAND et al. *Neural Netw.*, **15** : 1041-1058, 2002.

(150). S BIZZI et al. in *IMACS/MODSIM Congr.*, 1-6, 2009.

(151). Y. TODA et N. KUBOTA. In *Int. Joint Conf. Neural Netw. (IJCNN)*, 1-7, 2013.

(152). Esteban J. PALOMO et Ezequiel LOPEZ-RUBIO. *IEEE Trans. Neural Netw. Learn. Syst.*, 1-10, 2016.

(153). Takashi KUREMOTO et al. *J. Rob.*, **2010** : 1-9, 2010.

(154). Takashi KUREMOTO et al. *Neurocomputing*, **188** : 31-41, 2016.

(155). Thouraya AYADI et al. *Neural Proces. Lett.*, **36** : 235-256, 2012.

(156). R.L. MENDONA ERNESTO REGO et al. *IEEE Trans. Neural Netw.*, **21** : 211-223, 2010.

Algorithm 3: Les algorithmes statique de Kohonen ⁷⁹ et dynamiques de Fritzke ¹³⁴⁻¹³⁶.

```

1  SOM (G, X)
   entrées: L'ensemble G de neurones représentés par leurs poids initiaux m et positions
            $\mathbf{r}_n = (x_n, y_n)$  au sein de la carte SOM;
           L'ensemble X de vecteurs d'entrée x
   sortie  : L'ensemble G de neurones entraînés
2  paramètres
3  Initialisation (G,paramètres);
4  while Critère d'arrêt n'est pas satisfait do
5     for  $\lambda$  x aléatoires do
6         foreach n  $\in$  G do
7              $d_n \leftarrow$ Distance(x,  $\mathbf{m}_n$ )
8             c  $\leftarrow$ BMU(D)
9             if (entraînement) then
10                foreach n  $\in$  G do
11                    MAJ (G,c,paramètres)
12                if (dynamique) then
                   q  $\leftarrow$ SélectionNeurone(G)
                   f  $\leftarrow$ InsertionConfig(G,q)
                   G  $\leftarrow$ InsertionNeurone(G,q,f)
13  return G;

```

dynamique est un réseau minimaliste souvent composée d'une paire de neurones (par exemple 2×2). Pour cette taille de départ, l'apprentissage se fait comme dans une carte SOM statique pendant un certain nombre d'itérations (ici λ). A la fin de cet apprentissage initial, on cherche souvent le neurone ayant été sélectionné le plus de fois pendant la phase d'apprentissage (la fonction `NeuroneSélection` de l'algorithme 3). Le voisinage du neurone le plus souvent sélectionné est également la région où l'erreur de projection de l'espace d'entrée est la plus grande. Pour la diminuer, l'insertion de nouveaux neurones dans son voisinage le plus proche est une des solutions. La fonction `InsertionConfig` assure la recherche de la position exacte de l'insertion de nouveaux neurones dans la topologie actuelle tandis que la fonction `NeuroneInsertion` effectue cette insertion. A la fin de cette étape d'insertion, le processus d'apprentissage continue sur la nouvelle topologie comportant plus de neurones comme décrit précédemment. Le processus global se termine une fois que le critère d'arrêt imposé par l'utilisateur satisfait. Ce critère d'arrêt pourrait être soit le nombre maximal de neurones atteint, soit la valeur globale de l'erreur accumulée en dessous d'un seuil fixé, etc.

La difficulté principale de l'implantation de ces algorithmes dynamiques sur un support matériel réside dans cette évolutivité topologique incessante exigeant une réadaptation permanente des connexions entre neurones établies à un moment donné. C'est la raison principale d'absence, dans la littérature, d'implantations matérielles d'algorithmes dynamiques. Toutes les implantations des algorithmes dynamiques de SOM étaient des implantations dites logicielles sur un support programmable de type CPU ou GPU. D'un autre côté, les architectures matérielles extensibles et adaptatives de la carte SOM proposées et détaillées dans la section précédente, s'avèrent non seulement être des solutions performantes et à très grand nombre de neurones, mais également être une bonne base pour construire des architectures matérielles des cartes SOM dynamiques.

Dans le papier que nous avons présenté en session spéciale sur les cartes SOM matérielles à

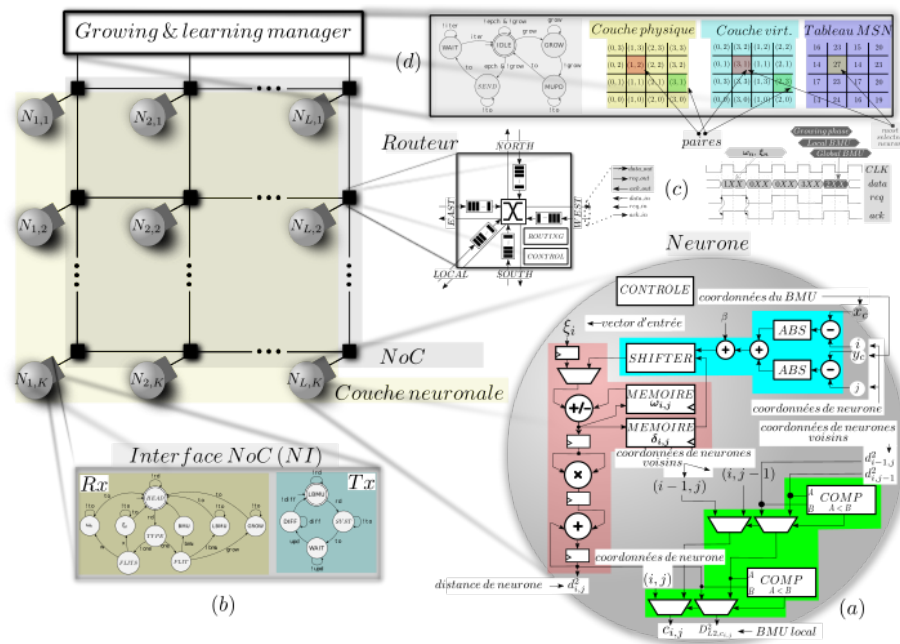


FIGURE 19 – L’architecture Hardware Growing Grid (HGG) pour l’implantation de l’algorithme de Fritzke¹³⁵ sur un support matériel.

ICECS 2020¹⁵⁷ nous avons proposé une architecture matérielle implantant l’un des algorithmes de Fritzke nommé *Growing Grid*.¹³⁵ La particularité de cet algorithme dynamique est d’être un algorithme adapté à une topologie 2D. De plus, l’étape d’insertion de neurones se fait soit sur une ligne ou une colonne entière de la matrice 2D. Ainsi, la topologie matricielle 2D est conservée tout au long de la phase d’apprentissage et malgré les insertions de neurones.

L’architecture proposée nommée *HGG - Hardware Growing Grid* et illustrée à la figure 19 est basée sur l’architecture distribuée SOM-NoC dont les détails sont présentés dans la section précédente. Dans l’insertion de lignes ou de colonnes de neurones dans une topologie initiale, il est nécessaire de déplacer les neurones pour pouvoir faire cette insertion et créer une nouvelle topologie de taille plus grande. L’idée de base que nous avons eue pour gérer cette évolutivité topologique d’une carte SOM dynamique était de ne pas faire de déplacements de neurones, mais d’insérer les neurones dans l’architecture de manière la plus simple possible (en prenant la première ligne ou colonne physiquement libre) et de gérer uniquement une couche virtuelle de placement qui sera connue par tous les neurones. Autrement dit, chaque neurone dans la carte SOM dispose d’une identité physique indiquant son véritable emplacement dans l’architecture et d’une identité virtuelle (ou neuronale) lui indiquant sa position dans la carte SOM. Ainsi, en gérant uniquement la mise à jour des identités virtuelles des neurones, via la configurabilité de l’architecture matérielle introduite dans les SOM matérielles et présentée précédemment, l’insertion dynamique de neurones est possible dans une architecture matérielle.

La figure 20 illustre l’évolutivité de l’architecture proposée sur un exemple d’insertion de plusieurs colonnes et de lignes dans une topologie initiale de 2×2 la faisant évoluer vers une topologie 4×4 . En partant d’une topologie minimale (ici 2×2), à l’issue de la phase d’apprentissage de cette dernière et en prenant en compte l’identité du neurone le plus sélectionné pendant cette

(157). Slaviša JOVANOVIĆ et al. “Scalable, Dynamic and Growing Hardware Self-Organizing Architecture for Real-Time Vector Quantization” in : *2020 27th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*. 2020. 1-4 DOI : [10.1109/ICECS49266.2020.9294921](https://doi.org/10.1109/ICECS49266.2020.9294921)

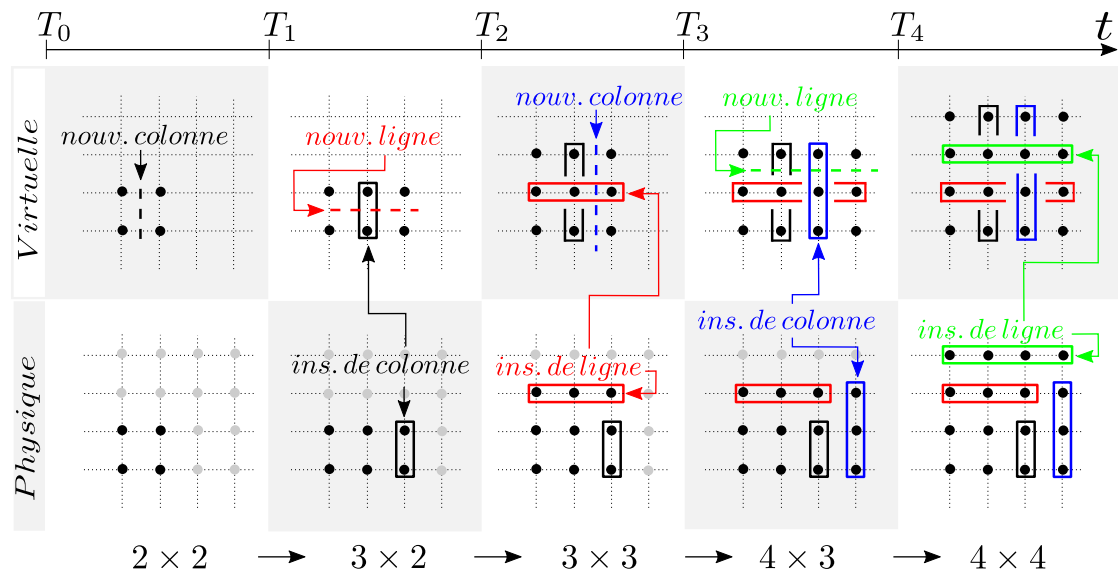


FIGURE 20 – L'évolutivité dynamique de l'architecture HGG sur l'exemple de passage d'une topologie initiale de taille 2×2 vers 4×4 et les changements effectués dans les couches physique et virtuelle (neuronale).¹⁵⁷

phase d'apprentissage ainsi que son voisin le plus éloigné en termes de poids, la décision d'insérer tout d'abord une colonne est prise. Cette insertion d'une nouvelle colonne est effectuée dans la couche physique en prenant la première colonne physiquement libre, comme illustré à la figure 20, tandis qu'au niveau de la couche virtuelle, la mise à jour des identités des neurones est effectuée de telle sorte à apparaître comme une colonne insérée exactement entre les deux colonnes initiales. Au niveau de l'échange de données entre tous les neurones de l'architecture, les adresses physiques sont toujours utilisées ne remettant pas en cause l'échange systolique détaillé dans la section précédente. A l'issue de la phase d'apprentissage de cette nouvelle topologie de taille 3×2 , le processus se répète permettant ainsi d'insérer une nouvelle ligne et ainsi de suite jusqu'à arriver à une topologie de taille 4×4 comme illustré dans l'exemple de la figure 20.

Dans l'architecture proposée, le module nommé *Growing and Learning Manager - GLM* et remplaçant le module global GCM de l'architecture SOM-NoC a pour rôle principal de gérer la correspondance entre les couches physique et virtuelle et leur mise à jour après chaque phase d'apprentissage pour une topologie donnée, ainsi que de calculer l'endroit exact d'insertion d'une ligne ou d'une colonne de neurones dans la topologie actuelle. Il se charge également de maintenir à jour les tableaux de sélection de chaque neurone au cours de l'apprentissage pour une topologie donnée lui servant pour trouver le neurone le plus sollicité au cours d'apprentissage ainsi que son voisin direct le plus éloigné en termes de poids. Il gère également l'envoi des messages de configuration vers tous les neurones de la carte permettant de passer d'une phase à une autre ainsi que l'envoi des vecteurs d'entrée pendant les phases d'apprentissage et de test. Le module GLM se charge également d'arrêter le processus d'apprentissage lorsque les critères d'arrêt sont atteints (l'erreur de quantification globale, le nombre de neurones, etc.). Dans l'architecture HGG, le critère d'arrêt est un seuil sur la dimension maximale des lignes ou des colonnes.

Les figures 21 et 22 montrent deux exemples d'utilisation de la carte SOM dynamique. Dans les deux cas, le critère d'arrêt fixé était la dimension maximale de 16 pour les colonnes et les lignes. Lorsque cette dimension est atteinte (en lignes ou en colonne), le processus d'apprentissage et l'évolution de la carte s'arrêtent. Dans l'exemple présenté figure 21, le motif géométrique composé

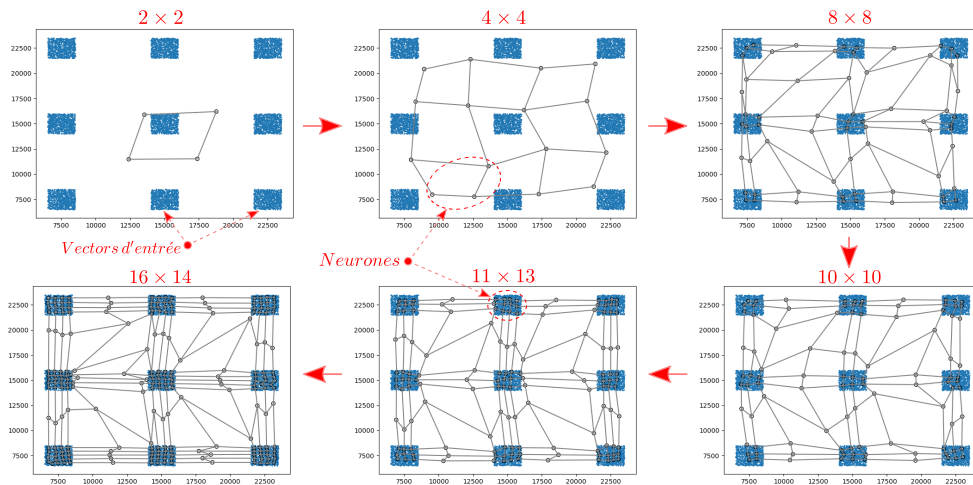


FIGURE 21 – Exemple d'utilisation de l'architecture HGG pour la reconnaissance de motifs géométriques. Le motif composé de 9 carrés uniformément espacés est utilisé comme source de vecteur d'entrée. Seules, les étapes sélectionnées, sont présentées.

de 9 nuages de points en forme de carrés uniformément espacés fut choisi comme source de vecteurs d'entrée. Pour ce type de données d'entrée, à la fin du processus d'apprentissage la carte SOM doit prendre topologiquement la forme du motif géométrique utilisé. Dans le second exemple présenté figure 22, comme source de vecteurs d'entrée une image a été utilisée. En présentant à une carte SOM les pixels comme vecteurs d'entrée, à la fin du processus d'apprentissage les poids de la carte SOM comprendront les pixels s'approchant des couleurs les plus représentatives de l'image d'entrée. Autrement dit, le résultat d'un tel apprentissage sera visible comme une palette de couleurs les plus

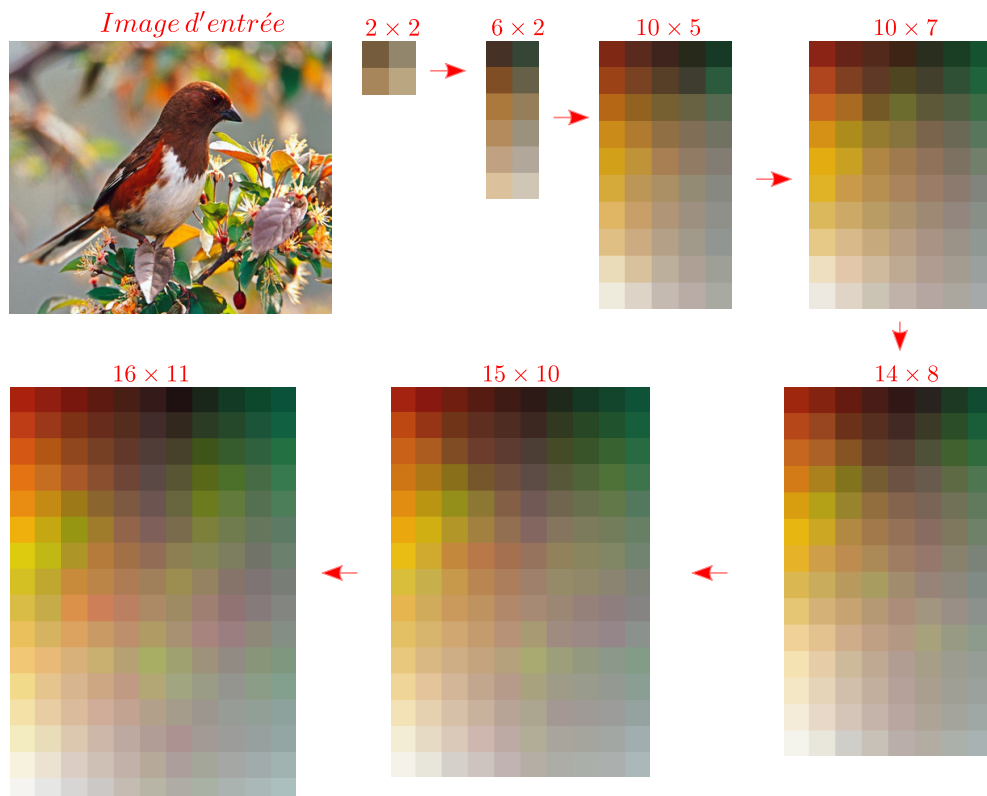


FIGURE 22 – L'exemple d'utilisation de l'architecture HGG sur la quantification de couleurs. L'image en haut à gauche est utilisée comme source de vecteurs d'entrée. Seules, les étapes sélectionnées, sont présentées.

représentatives de l'image d'entrée. Dans les deux exemples, la carte SOM de départ est une carte de taille 2×2 qui se voit évoluer au cours du processus d'apprentissage où sont insérées soit les nouvelles lignes soit les nouvelles colonnes afin d'arriver à une carte de taille 16×14 pour le premier et 16×11 pour le second exemple. Dans les deux figures, uniquement les étapes sélectionnées ont été présentées. Il est clair que l'on ne peut pas évoluer si rapidement d'une topologie vers une autre si l'évolution se passe par l'insertion soit d'une ligne ou d'une colonne à la fois.

Architectures émergentes pour le calcul

3.1 Introduction

La majorité des architectures de calcul des circuits du commerce que l'on trouve aujourd'hui sont inspirées du modèle classique de Von Neumann. Ces architectures traditionnelles, certes de plus en plus performantes notamment grâce à des progrès de la microélectronique (technologies nanométriques $< 10\text{nm}$), montrent leurs limites dans les applications nécessitant un ratio de performances par watt consommé de plus en plus élevé.¹⁵⁸ De surcroît, dans ces architectures traditionnelles, plus de la moitié de la puissance utilisée est consommée sur les déplacements des données à traiter entre les blocs mémoire et les unités de calcul.¹⁵⁹ Cela a fait naître de nouveaux paradigmes de calcul, soit orientés vers le calcul au sein même de la mémoire (*in-memory computing*) évitant ainsi les communications inutiles soit orientés vers des architectures de calcul exploitant des technologies émergentes.¹⁵⁹⁻¹⁶² Une réduction de plus de 60 % de la consommation énergétique totale est estimée, en évitant le déplacement de données du lieu de stockage (blocs mémoire) vers les blocs de traitement (processeur) et vice et versa.¹⁵⁹ Pour pallier à cela, les traitements à faire sur les données stockées doivent s'effectuer au plus proche de leur stockage soit en modifiant les architectures actuelles (architectures émergentes de calcul¹⁶³ et de stockage^{164,165}); soit en utilisant des technologies émergentes qui permettraient d'une part d'associer à la fois le stockage et le calcul au sein d'une même architecture et d'autre part de réduire la consommation énergétique de part leur nature peu consommatrice.^{161,166} D'autre part, les performances exceptionnelles obtenues en utilisant des approches relevant de l'intelligence artificielle (IA) dans de nombreuses applications sont à l'origine d'une prolifération de circuits et systèmes implantant de tels algorithmes.¹⁵⁸ Ces algorithmes n'étant pas adaptés à être exécutés sur les architectures traditionnelles, ils conduisent de plus en plus à la définition d'architectures spécifiques et taillées sur mesure.¹⁶⁷⁻¹⁶⁹ C'est pour cela que John Hennessy et David Patterson, les pionniers de l'architecture RISC qui a révolutionné le monde il y a plus de 3 décennies, considèrent vivre actuellement l'âge d'or de l'architecture où les modèles traditionnels de calcul ne sont plus adaptés et estiment que tout est à reconstruire¹⁵⁸ : à reconstruire au niveau des architectures de calcul et technologies de calcul utilisées tout en minimisant l'impact environnemental (énergie, coût, maintenance).

Le calcul à base d'architectures émergentes est une activité de recherche que j'ai commencée en 2018 avec le Pr. Hassan Rabah en collaboration avec le MCF Sébastien Petit-Watelot de l'équipe

-
- (158). John L HENNESSY et David A PATTERSON. *Turing Lecture*, , 2018.
 - (159). Amiralali BOROUHAND et al. *In Arch. Supp. Prog. Languages Operat. Syst. (ASPLOS)*, 316-331, 2018.
 - (160). Junwhan AHN et al. *In Proc. Int. Symp. on Comput. Arch. (ISCA)*, 105-117, 2015.
 - (161). Ping CHI et al. *ACM SIGARCH Comput. Arch. News*, **44** : 27-39, 2016.
 - (162). Daichi FUJIKI et al. *ACM SIGPLAN Notices*, **53** : 1-14, 2018.
 - (163). Lulu GE et Keshab K. PARHI. *IEEE Circuits Syst. Mag.*, **20** : 30-47, 22.
 - (164). Onur MUTLU et al. *arXiv*, **2012.03112** : 1-42, 2020.
 - (165). Nastaran HAJINAZAR et al. *In Arch. Supp. Prog. Languages Oper. Syst. (ASPLOS)*, , 2021.
 - (166). Sumanth UMESH et Sparsh MITTAL. *J. Syst. Arch.*, **97** : 349-372, 2019.
 - (167). Vivienne SZE et al. *IEEE Custom Integ; Circuits Conf. (CICC)*, 1-8, 2017.
 - (168). Ahmad SHAWAHNA et al. *IEEE Access*, **7** : 7823-7859, 2018.
 - (169). Chao WANG et al. *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, **36** : 513-517, 2016.

101 de l'institut Jean Lamour. Cette collaboration a démarré dans le cadre de l'ANR Chipmunks (2018-2021, toujours en cours) avec les travaux de thèse de Ali Rida Ismail (soutenance prévue janvier 2022). Comme dans le cadre des travaux portant sur la récupération d'énergie, ces activités s'insèrent dans le cadre d'une collaboration entre les activités de l'équipe 406 sur les circuits et architectures de calcul et celles de l'équipe 101 sur les dispositifs émergents de type nano-oscillateur à vortex (*Nano-contact vortex oscillator - NCVO*). L'objectif principal étant d'aboutir à des architectures de calcul innovantes utilisant comme support des technologies émergentes autres que la technologie CMOS classique.

Dans ce chapitre, je décris en détails les démarches entreprises dans ce volet de recherche : en premier lieu, la compréhension des phénomènes physiques ayant lieu au sein du dispositif NCVO afin de faciliter sa modélisation ; dans un second lieu, la méthode utilisée pour la modélisation du NCVO dans la première phase s'est avérée intéressante pour l'analyse de la nature des signaux générés par un système fortement non linéaire ; autrement dit, la détection de chaos avec la méthode utilisée est également possible. Ce chapitre est terminé avec nos derniers travaux sur l'utilisation du dispositif NCVO pour la génération des nombres aléatoires.

3.2 Modélisation de NCVO

Le dispositif auquel nous nous sommes intéressés depuis 2018 est un dispositif spintronique nommé nano-oscillateur à vortex dans une géométrie à nanocontact ou *Nano-Contact Vortex Oscillator - (NCVO)*. Un NCVO est un dispositif spintronique basé sur une pseudo vanne de spin réalisée par un empilement de plusieurs couches de matériaux différents dont deux ferromagnétiques en Permalloy et Cobalt, comme présenté à la figure 1(a).¹⁷⁰ La couche de Permalloy (Py) est la couche libre dans laquelle le vortex magnétique est nucléé. Contrairement à un oscillateur à nanopilier où son état fondamental est un vortex stabilisé en raison des potentiels créés par sa géométrie, dans un oscillateur à nanocontact, ce n'est pas le cas. Pour pouvoir créer un vortex au sein d'un oscillateur à nanocontact, il est nécessaire de procéder à sa nucléation via un courant électrique pénétrant le dispositif via le nanocontact (NC). Le courant traversant le nanocontact est majoritairement perpendiculaire à la surface de la pseudo vanne de spin et permet ainsi de générer un champ magnétique d'Oersted-Ampère circulaire très élevé. Par conséquent, ce champ entraîne la giration par couple de transfert de spin d'une structure magnétique au sein de la couche libre de la pseudo vanne formant ainsi un tourbillon autour d'un point décentré du nanocontact que l'on appelle vortex (voir la figure 1). A une distance du nanocontact, le couple de transfert de spin ainsi créé combiné à la précession de l'aimantation est compensé par un terme d'amortissement représentant la dissipation d'énergie par mécanismes de frottement (voir la figure 1(c) et la relation Landau-Lifshitz-Gilbert¹⁷¹ pour plus de détails), permet d'obtenir la giration entretenue du vortex autour du nanocontact comme illustré à la figure 1(b). D'un autre côté, l'aimantation de la couche ferromagnétique plus basse de Cobalt reste uniforme et est utilisée comme référence pour la mesure de la magnétorésistance géante (*Giant Magnetoresistance (GMR)*) de la pseudo vanne de spin. Cette magnétorésistance est proportionnelle à l'angle azimutal du cœur de vortex et est à l'origine de la tension V_{GMR} dont la fréquence d'oscillation est égale à celle de la giration du vortex. De surcroît, la spécificité de ce dispositif est que le cœur de vortex peut renverser sa polarité au cours

(170). Sebastien PETIT-WATELOT et al. *Nature Physics*, **8** : 9, 2012.

(171). M LAKSHMANAN. *Philos. Trans. Royal Soc. A*, **369** : 1280-1300, 2011.

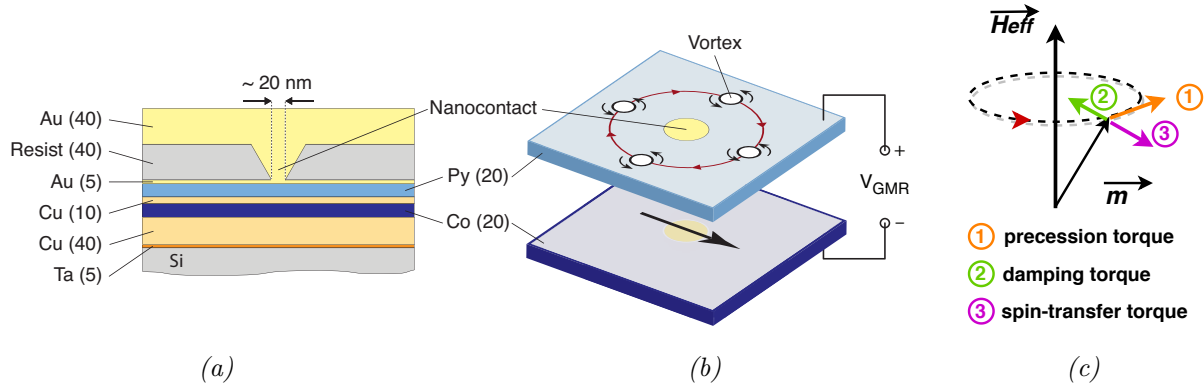


FIGURE 1 – (a) Composition de la pseudo vanne de spin étudiée (NCVO) avec l'épaisseur des couches en nm présentées entre parenthèses. (b) Mouvement giratoire du vortex autour du nanocontact dans la couche libre de Permalloy (Py) layer ainsi que l'aimantation uniforme dans la couche de Cobalt.¹⁷⁰ (c) Le couple de transfert de spin, la précession de l'aimantation ainsi que l'amortissement de Gilbert dans la couche libre d'un NCVO.

du fonctionnement. Ce renversement est tributaire des courants continus appliqués déterminant également le régime de fonctionnement du NCVO.

En fonction des intensités du courant continu traversant le nanocontact, un NCVO peut se retrouver dans trois différents régimes de fonctionnement :

- **Régime de pure giration.** Ce régime apparaît pour les courants continus dans la plage $[12, 12.1]$ mA. Le vortex magnétique est créé pour ces courants et se trouve en pure giration sans renversement de cœur. La seule fréquence pouvant être observée dans le signal V_{GMR} mesuré est la fréquence de giration notée f_0 et ses harmoniques, comme illustré à la figure 2(a).
- **Régime commensurable.** Ce régime apparaît pour les courants continus dans les plages de $[13.5, 15.5]$ mA et $[17, 20]$ mA. Si il y a du renversement du cœur de vortex et le rapport des fréquences de renversement du cœur et de giration est rationnel, le régime de fonctionnement du NCVO est dit commensurable. Dans ce régime, le spectre de puissance est enrichi de deux bandes latérales correspondant à la fréquence de renversement du cœur de vortex notée f_{mod} (voir la figure 2(b)). Dans ce régime, le NCVO effectue un nombre complet de cycles giratoires avant de se renverser.
- **Régime incommensurable.** Si il y a du renversement du cœur de vortex et le rapport des fréquences de renversement du cœur et de giration est irrationnel, le régime de fonctionnement du NCVO est dit incommensurable. Dans ce régime, le cœur de vortex tourne et se renverse sans règle apparente. Le spectre de puissance du signal mesuré est riche en composantes spectrales se rajoutant aux composantes de giration f_0 et f_{mod} . Dans ce régime de fonctionnement, observé pour les plages de courants de $[12.1, 13.5]$ mA et $[15.5, 17]$ mA, le NCVO a un comportement chaotique.

La figure 2(d) montre la courbe représentant l'évolution du rapport de fréquences de giration et de renversement du cœur de vortex en fonction du courant continu appliqué. Les plateaux dans cette courbe sont le signe d'un phénomène de verrouillage de phase où la fréquence de giration est un multiple entier de la fréquence de renversement du cœur de vortex. Ce régime commensurable peut également se voir au niveau de la densité de puissance spectrale en fonction du courant

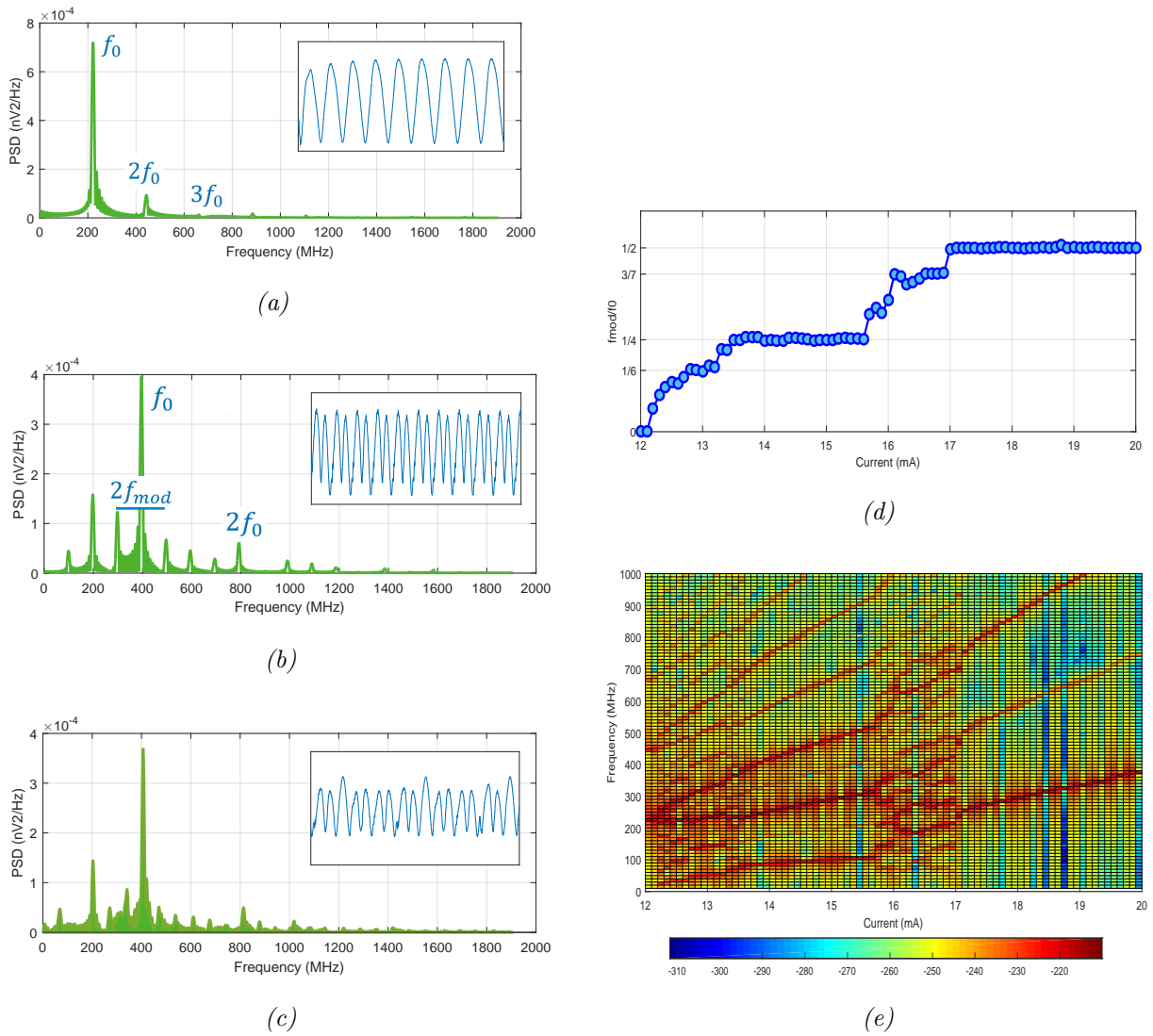


FIGURE 2 – Les spectres de puissances et les séries temporelles (en encadré) de l'aimantation mesurés pour le régime (a) de pure giration ($I = 12\text{mA}$), (b) commensurable ($I = 15.3\text{mA}$), et (c) incommensurable (chaotique) ($I = 16.2\text{mA}$). (d) Évolution du rapport de fréquences de giration et de renversement en fonction du courant continu appliqué. (e) La densité de puissance spectrale en fonction du courant continu appliqué.¹⁷²

présentée à la figure 2(e) où uniquement les fréquences f_0 , ses bandes latérales f_{mod} ainsi que les harmoniques sont présents. D'un autre côté, les parties monotones positives de la courbe 2(d) indiquent un comportement chaotique du NCVO où un spectre très riche en composantes spectrales est généré (voir la figure 2(e)).

Le dispositif NCVO décrit précédemment a fait partie de nombreux travaux de recherche dans le domaine de la physique avec comme objectif principal de décrire et modéliser son comportement de manière analytique. Malgré certaines avancées dans ce domaine, à l'heure actuelle nous ne disposons pas de modèle analytique fidèle à la réalité décrivant le comportement du NCVO dans tous les régimes de fonctionnement mentionnés précédemment. Certes, un modèle analytique partiel sous hypothèse d'un vortex magnétique rigide existe et est essentiellement basé sur les équations de LLG et de Thiele.^{171,173} Cependant, la partie manquante n'étant pas décrite dans ce modèle

(173). Joo-Von KIM et Thibaut DEVOLDER. *arXiv preprint arXiv :1007.3859*, 1-12, 2010.

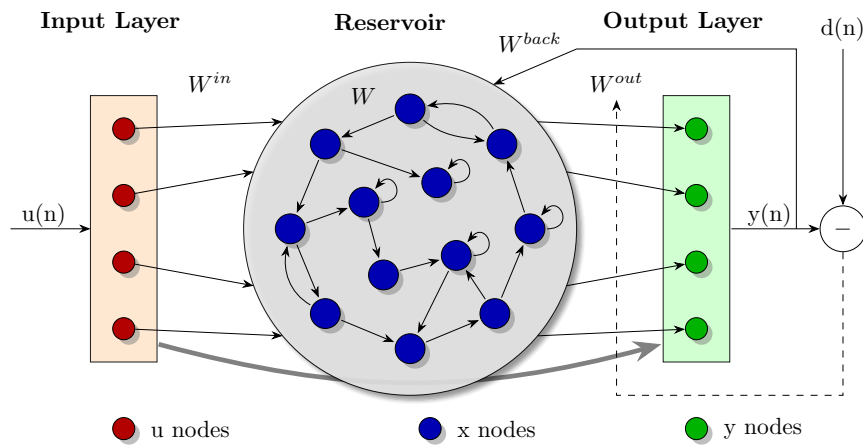


FIGURE 3 – Le schéma synoptique d'un réseau de neurones récurrent de type Echo State Network - ESN.¹⁷²

concerne en particulier le comportement lié au renversement du cœur de vortex. Dans les travaux de recherche que nous avons menés, étant donné l'objectif principal que nous nous sommes fixé d'utiliser un NCVO comme une brique de base pour le traitement de l'information, nous avons opté pour les approches de modélisation de type boîte noire ou *black box*. La raison principale pour ce choix réside dans l'abondance de données issues des simulations micro-magnétiques et/ou des expériences expérimentales permettant d'observer les trois régimes de fonctionnement détaillés précédemment.

L'approche de modélisation de type boîte noire que nous avons choisie est basée sur l'utilisation des réseaux de neurones récurrents (*Reccurent Neural Network - RNN*). Ce choix est justifié par leur aptitude à analyser les séries temporelles, le seul type de données dont nous disposons des simulations micro-magnétiques et validations expérimentales du NCVO. Étant donné les difficultés dans l'apprentissage d'un réseau de neurones récurrent en utilisant les méthodes d'apprentissage classiques telles que la méthode de descente de gradient¹⁷⁴⁻¹⁷⁶ où les poids de tous les neurones du réseau sont mis à jour au niveau de chaque itération d'apprentissage et menant souvent vers des situations de non convergence de ces derniers (et les rendant ainsi peu utilisables), nous avons opté pour les méthodes de *reservoir computing - RC*.^{177,178} En effet, les méthodes RC permettent de simplifier grandement l'apprentissage des réseaux de neurones récurrents en modifiant uniquement les poids des neurones se trouvant dans la couche de sortie lors de la phase d'apprentissage. Par conséquent, les situations de non-convergences de type bifurcations¹⁷⁹ connues pour les RNN entraînés avec les méthodes traditionnelles ne sont plus possibles, rendant ainsi un réseau RNN plus simple à entraîner et à implémenter. Les approches RC les plus connues sont les approches *Echo State Network (ESN)*¹⁷⁷ ou *Liquid State Machine (LSM)*,¹⁷⁸ les deux ayant les concepts similaires à l'origine.

En utilisant l'approche ESN dont les étapes principales sont présentées en Algorithme 4, nous avons dans un premier temps analysé le comportement du NCVO dans les trois régimes de fonctionnement mentionnés précédemment. Comme entrées du modèle ESN, les signaux

(174). Ronald J WILLIAMS et David ZIPSER. *Neural comput.*, **1** : 270-280, 1989.

(175). Paul J WERBOS. *Proc. of the IEEE*, **78** : 1550-1560, 1990.

(176). Gintaras V PUSKORIUS et Lee A FELDKAMP. *IEEE Trans. Neural Netw.*, **5** : 279-297, 1994.

(177). Herbert JAEGER. *German Nat. Res. Center for Inform. Techn. GMD Techn. Report*, **148** : 34, 2001.

(178). Wolfgang MAASS et al. *Neural comput.*, **14** : 2531-2560, 2002.

(179). K. DOYA. *In IEEE Intern. Symp. on Circuits and Syst.*, 2777-2780 vol.6, 1992.

Algorithm 4: L'algorithme de l'approche ESN utilisé.¹⁷⁷

```

1 ESN ( $\mathbf{u}(n)$ , parametres)
  parametres: N - le nombre de neurones;
               K - le nombre d'entrées;
               L - le nombre de sorties;
                $\alpha$  - le rayon spectral désiré
  entrées      :  $\mathbf{u}(n)$ 
  sortie       :  $\mathbf{y}(n)$ 
  légende      :  $\mathbf{x}(n)$       - le vecteur d'état du réservoir de taille N;
                  f          - la fonction d'activation (tanh);
                   $\mathbf{W}^{\text{in}}$    - la matrice d'entrée de taille  $N \times K$ ;
                   $\mathbf{W}$         - la matrice de poids du réservoir de taille  $N \times N$ ;
                   $\mathbf{W}^{\text{back}}$  - la matrice de rétroaction  $N \times L$ ;
                   $\mathbf{z}$         - le vecteur combinant  $\mathbf{x}(n)$ ,  $\mathbf{u}(n)$  et  $\mathbf{y}(n)$ ;
                   $\mathbf{M}$         - la matrice d'états collectés dont les lignes sont  $\mathbf{z}$ ;
                   $\mathbf{d}$         - le vecteur de sortie désiré;
                   $\mathbf{D}$         - la matrice dont les lignes sont  $f^{-1}(\mathbf{d}(n))$ ;
2 Initialisation ( $\mathbf{W}^{\text{in}}$ ,  $\mathbf{W}$ ,  $\mathbf{W}^{\text{back}}$ , parametres);
3  $\mathbf{x}(n+1) = f(\mathbf{W}^{\text{in}} \cdot \mathbf{u}(n+1) + \mathbf{W} \cdot \mathbf{x}(n) + \mathbf{W}^{\text{back}} \cdot \mathbf{y}(n))$ 
4  $\mathbf{z}(n) = [\mathbf{u}(n+1); \mathbf{x}(n+1); \mathbf{y}(n)]$ 
5 if (apprentissage) then
6    $\mathbf{W}^{\text{out}} = (\mathbf{M}^{-1}\mathbf{D})^T$ 
7  $\mathbf{y}(n+1) = f^{\text{out}}(\mathbf{W}^{\text{out}} \cdot \mathbf{z}(n))$ 
8 return  $\mathbf{y}(n)$ ;

```

d'aimantations M_x et M_y générés par les simulations micro-magnétiques effectuées avec le solveur Mumax3 ont été utilisées pour l'apprentissage (pour plus de détails sur les simulations micro-magnétiques et le solveur Mumax3, voir¹⁸⁰). Le signal d'aimantation M_z montrant uniquement la polarité du coeur de vortex n'a pas été utilisé pour ces analyses. Le nombre de neurones utilisés et déterminé de manière expérimentale a été fixé à 3000 avec un rayon spectral adapté pour chaque série temporelle. Un ensemble de 81 séries temporelles a été utilisé dont 70% pour la phase d'apprentissage et les 30% restants pour le test. Les résultats de cette première phase de modélisation avec l'approche ESN sont présentés en figure 4^{172,181} : le régime de pure giration obtenu pour le courant de 12mA en figure 4(a); le régime commensurable ou non chaotique obtenu pour les courants de 14mA, 15mA, 17mA, 18mA et 20mA en figures 4(c), (d), (f), (g) et (h) respectivement; et le régime incommensurable ou chaotique obtenu pour les courants de 13.3mA et 16mA et présenté en figures 4(b) et (e) respectivement.

En effet, l'approche ESN est capable de capturer la dynamique non linéaire des séries temporelles utilisées pour l'apprentissage et de continuer de les reproduire par la suite dans la phase de génération avec des erreurs quadratiques moyennes (MSE) entre les séries temporelles d'origine et modélisées dans l'intervalle $[10^{-7}, 10^{-4}]$. Ceci est également confirmé par les spectres de puissance des séries temporelles issues des modèles ESN proposés et la densité de puissance spectrale ainsi obtenue présentés en figure 5(a)-(c) et (e) respectivement, qui représentent une très bonne approximation des résultats des simulations micro-magnétiques présentés en figure 2.

(180). Arne VANSTEENKISTE et al. *AIP advances*, 4 : 107133, 2014.

(172). Ali Rida ISMAIL et al. Application of Reservoir Computing for the Modeling of Nano-Contact Vortex Oscillator. *Electronics*, 8 : 1315, 2019. DOI : [10.3390/electronics8111315](https://doi.org/10.3390/electronics8111315)

(181). Ali Rida ISMAIL et al. "Modeling of Nano-Contact Vortex Oscillator Using Recurrent Neural Network" in : *Colloque du GDR SoC2, 19-21 juin 2019, Montpellier, France*. 2019. 1-2

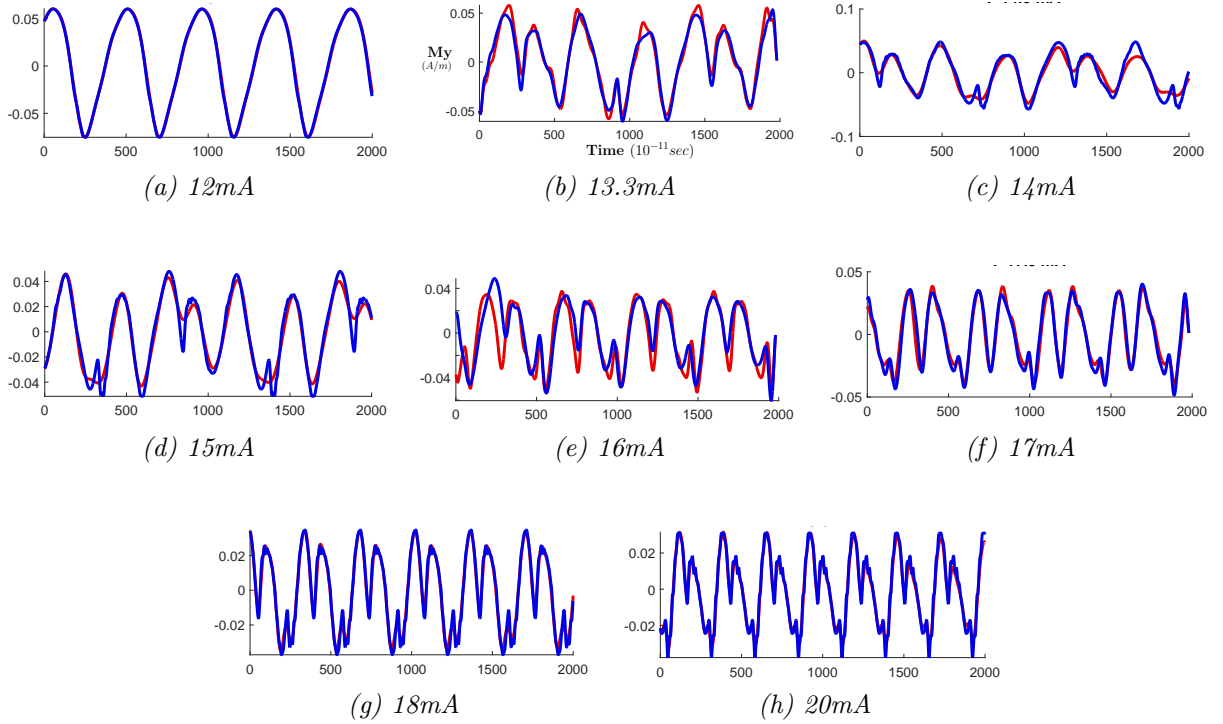


FIGURE 4 – Comparaison entre le signal d'aimantation M_y de référence (en bleu) et du signal généré par l'approche ESN pour différentes valeurs de courant continu I appliqué au NCVO

De plus, les courbes montrant les évolutions du rapport de fréquences de giration et de renversement en fonction du courant continu appliqué correspondent également. D'un autre côté, l'inconvénient majeur de cette approche est que pour chaque série temporelle correspondant à un courant continu I , il est nécessaire d'utiliser un réseau ESN différent et indépendant. Il est clair que avec une telle approche, pour pouvoir modéliser le NCVO dont le comportement dépend du courant continu appliqué I pouvant prendre des intensités différentes se trouvant dans la plage [12mA, 20mA], il faudra entraîner autant de réseaux ESN que de courants continus différents. Par conséquent, une telle approche devient donc inadaptée pour concevoir un modèle unique du NCVO pouvant capturer tous les régimes de fonctionnement en son sein. Cependant, l'approche ESN a démontré un véritable potentiel dans la captation des régimes différents et variés du NCVO et a indiqué que les réseaux de neurones récurrents présentent une bonne voie dans cette phase de modélisation. C'est la raison principale pour laquelle nous avons cherché d'autres approches RC capables d'intégrer en leur sein les différents régimes de fonctionnement du NCVO. Nous avons trouvé la réponse dans l'approche nommée *Conceptors*.

La méthode basée sur les *conceptors* est une méthode introduite par Jaeger^{182,183} en 2014. Il s'agit d'une méthode d'apprentissage inspirée de l'approche ESN permettant de modéliser plusieurs séries temporelles au sein d'un seul modèle. L'algorithme simplifié de l'approche *conceptors* est présenté avec l'Algorithme 5. Dans la phase d'apprentissage, tous les signaux d'entrée représentant des séries temporelles $\mathbf{p}^j(n) \in \mathcal{P}$ sont présentés au réseau de neurones récurrent mis en place selon

(182). Herbert JAEGER. *Tech. Report, Comput. Res. Repository*, **abs/1403.3369** : 1-200, 2014.

(183). Herbert JAEGER. *J. Mach. Learn. Res.*, **18** : 387-429, 2017.

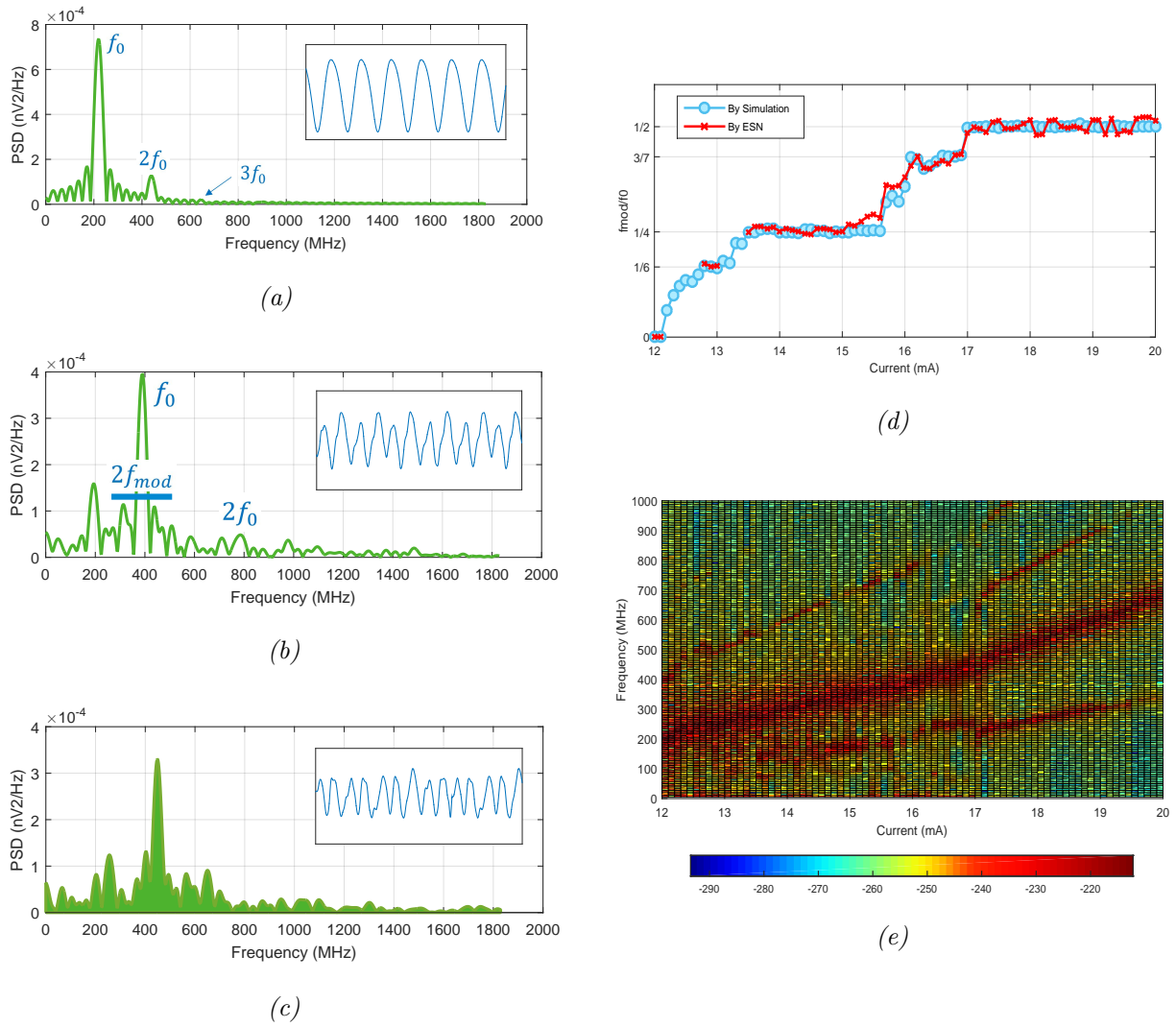


FIGURE 5 – Modélisation ESN¹⁷² : les spectres de puissances et les séries temporelles (en encadré) de l'aimantation mesurés pour le régime (a) de pure rotation ($I = 12\text{mA}$), (b) commensurable ($I = 15.3\text{mA}$), et (c) incommensurable (chaotique) ($I = 16.2\text{mA}$). (d) Évolution du rapport de fréquences de rotation et de renversement en fonction du courant continu appliqué. (e) La densité de puissance spectrale en fonction du courant continu appliqué.

un certain nombre de règles (plus de détails sont présentés dans l'Annexe A). Comme résultats de cette phase d'apprentissage, la matrice de poids finaux \mathbf{W} ainsi qu'un ensemble de matrices dites de conceptors $\mathbf{C}^j \in \mathbb{C}$, $1 < j \leq |\mathbf{P}|$ ^(a) seront générées. Les matrices de poids \mathbf{W} et de conceptors $\mathbf{C}^j \in \mathbb{C}$, $1 < j \leq |\mathbf{P}|$ participent à la génération des états du réseau de neurones à un moment donné. La matrice de poids \mathbf{W} est commune à tous les états tandis que la matrice de conceptor $\mathbf{C}^j \in \mathbb{C}$, $1 < j \leq |\mathbf{P}|$ est propre à chaque signal d'entrée $\mathbf{p}^j(n) \in \mathbf{P}$, $1 < j \leq |\mathbf{P}|$ et permet de générer les états du réseau spécifique à ce signal d'entrée. Ainsi, la reproduction d'un signal d'entrée utilisé dans la phase d'apprentissage est possible en choisissant simplement son indice $1 < j \leq |\mathbf{P}|$.

L'approche *Conceptors* a été appliquée sur l'ensemble de séries temporelles (au total 81) issues des simulations micro-magnétiques du NCVO, où pour rappel chaque série temporelle correspond à une intensité de courant différente. Un extrait des résultats de cette modélisation pour l'aimantation M_y dans les trois régimes de fonctionnement est illustré en figure 6.¹⁷² Comme

(a). $|\mathbf{P}|$ - le nombre de séries temporelles introduites au réseau de neurones

Algorithm 5: L'algorithme simplifié des conceptors utilisé.¹⁷⁷

```

1 Conceptors (P, j)
   entrées   : P(i), j(ii)
   sortie    : y(n)
2 if (apprentissage) then
3   Initialisation (Win, W*, b, paramètres)(iii)
4   Wout = CalculWout (x(n), v(n))(iv)
5   for pj(n) ∈ P do
6     xj(n+1) = tanh(W*xj(n) + Winpj(n) + b)
7   W(v), C(vi) = CalculWC (X, P)(vii)
8   x(n+1) = Cj tanh(Wx(n) + b)
9   y(n+1) = Wout · x(n)
10  return y(n);

```

(177). Herbert JAEGER. *German Nat. Res. Center for Inform. Techn. GMD Techn. Report*, **148** : 34, 2001.

- (i). P - l'ensemble de signaux d'entrées $\mathbf{p}^j(n)$ à analyser
- (ii). j - l'indice du signal d'entrée à reproduire en sortie
- (iii). \mathbf{W}^{in} et \mathbf{W}^* sont les matrices d'entrée et de poids initiaux; \mathbf{b} étant un vecteur de biais
- (iv). \mathbf{W}^{out} - la matrice de sortie calculée en appliquant du bruit $\mathbf{v}(n)$ au réseau (voir Annexe A)
- (v). \mathbf{W} - la matrice de poids finaux
- (vi). C - l'ensemble de matrices de conceptors \mathbf{C}^j
- (vii). X - l'ensemble de tous les états $\mathbf{x}^j(n)$ du réseau; voir Annexe A pour le calcul des \mathbf{W} et C

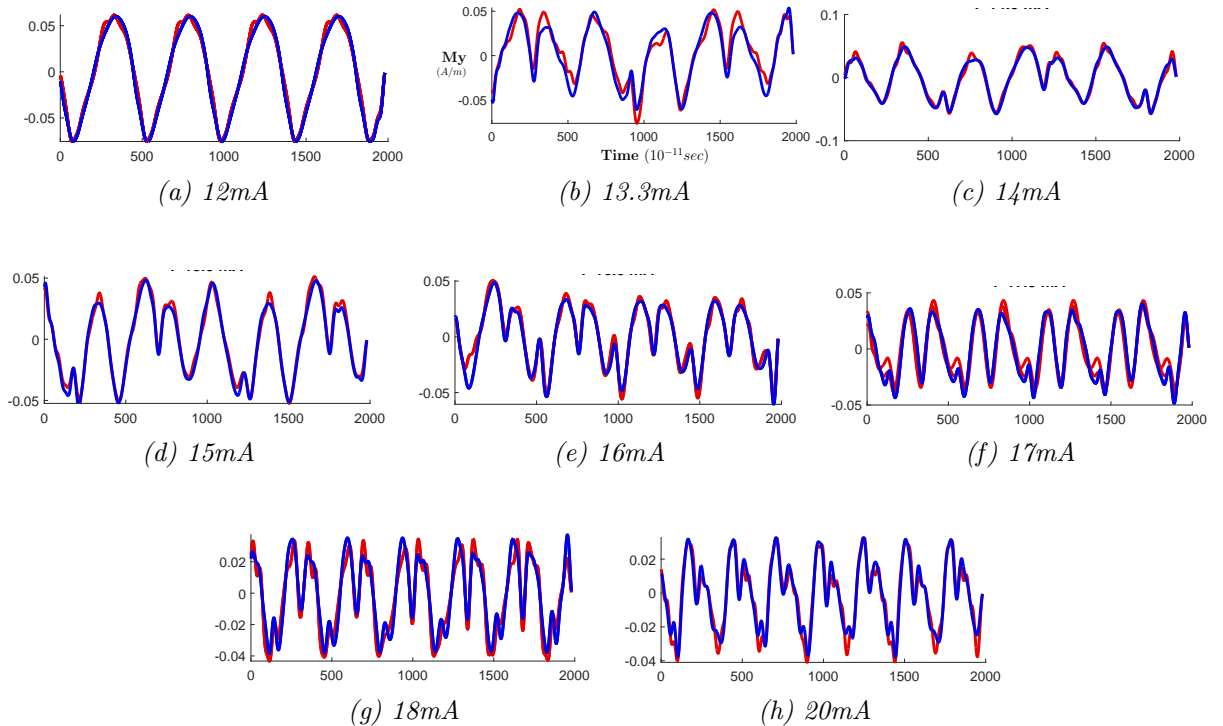


FIGURE 6 – Comparaison entre le signal d'aimantation M_y de référence (en bleu) et du signal généré par l'approche Conceptors pour différentes valeurs de courant continu I appliqué au NCVO¹⁷²

pour l'approche ESN décrite précédemment, le régime de pure rotation est obtenu pour le courant de 12mA et présenté en figure 6(a); le régime commensurable ou non chaotique est obtenu pour les courants de 14mA, 15mA, 17mA, 18mA et 20mA et présenté en figures 6(c), (d), (f), (g) et

(h) respectivement ; et le régime incommensurable ou chaotique est obtenu pour les courants de 13.3mA et 16mA et est présenté en figures 6(b) et (e) respectivement. Dans le cas de l'approche *Conceptors*, l'erreur quadratique moyenne (MSN) entre les séries temporelles initiales et modélisées en phase de reproduction a été contenue dans l'intervalle $[10^{-5}, 10^{-4}]$, montrant une légère baisse par rapport à l'approche ESN. Cette baisse de précision s'explique par un jeu de paramètres commun employé pour toutes les séries temporelles utilisées dans la phase d'apprentissage pour l'approche *Conceptors* tandis que pour l'approche de modélisation ESN, des paramètres spécifiques à chaque série temporelle ont été utilisés. Pour rappel, dans l'approche ESN, un réseau ESN permettait de modéliser une seule série temporelle correspondant à une intensité du courant continu appliqué au NCVO.

Par conséquent, l'approche *Conceptors* a démontré non seulement sa capacité de capturer la dynamique non linéaire de la multitude des séries temporelles utilisées pour l'apprentissage et de les reproduire par la suite dans la phase de génération avec des erreurs quadratiques moyennes (MSE) faibles, mais va également s'avérer très intéressante dans la détermination de la vraie nature des séries temporelles (chaotique ou non chaotique) utilisées pour l'apprentissage. Le dernier aspect est décrit en détails dans la section suivante.

3.3 Détection de chaos

L'approche de modélisation basée sur les *Conceptors* présentée dans la section précédente a non seulement permis d'avoir un seul modèle du NCVO avec comme seul paramètre l'indice $1 < j \leq |P|$ correspondant à des intensités de courant I différentes permettant ainsi de reproduire les différents comportements du NCVO (correspondants à ces intensités de courant I), mais a également ouvert la voie pour analyser la dynamique et la vraie nature des séries temporelles utilisées pour l'apprentissage. En effet, à la fin de la phase d'apprentissage de l'approche *Conceptors* détaillée précédemment, l'un des résultats obtenu est un ensemble de matrices dites de conceptors que nous avons désigné par $\mathbf{C}^j \in C$, $1 < j \leq |P|$ ($|P|$ étant le nombre total de séries temporelles). Autrement dit, chaque série temporelle $\mathbf{p}^j(n) \in P$ utilisée pour l'apprentissage aura à la fin de celle-ci sa propre matrice de conceptor $\mathbf{C}^j \in C$, $1 < j \leq |P|$.

En décomposant en valeurs singulières (*Singular Value Decomposition - SVD*) les matrices $\mathbf{C}^j \in C$ ainsi obtenues, on obtient un nouvel ensemble de matrices $\mathbf{S}^j \in S$ pour chaque série temporelle :

$$\mathbf{C}^j = \mathbf{U}^j \mathbf{S}^j \mathbf{U}^{jT}, 1 < j \leq |P| \quad (1)$$

où \mathbf{S}^j représente la matrice diagonale contenant comme coefficients les valeurs singulières de la matrice $\mathbf{C}^j \in C$. De surcroit, pour comparer les matrices $\mathbf{S}^j \in S$ entre elles, on peut calculer leur trace avec :

$$t^j = \text{tr}(\mathbf{S}^j) = \sum_{i=0}^N S_{ii}^j \quad (2)$$

où N représente le nombre de coefficients en diagonale (la taille de la matrice \mathbf{S}^j est de $N \times N$).

En calculant les traces des matrices $\mathbf{S}^j \in S$, $1 < j \leq |P|$, nous avons remarqué une différence de valeurs, notamment pour les matrices \mathbf{S}^j calculées pour les séries temporelles correspondant aux régimes différents du NCVO. Autrement dit, une série temporelle correspondant au régime de pure giration du NCVO n'aura pas la même valeur de trace de sa matrice \mathbf{S} qu'une autre série temporelle

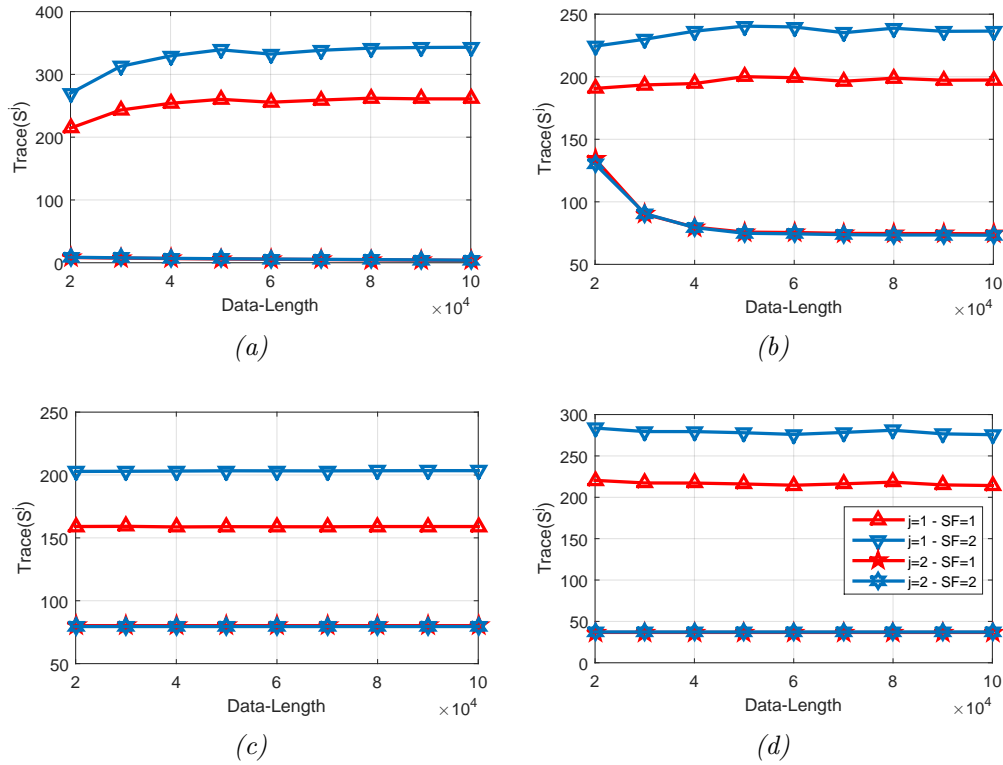


FIGURE 7 – Les variations des valeurs de trace $\text{Trace}(S^j)$ en fonction de la longueur des séries temporelles (T), pour le signal initial ou brut $SF=1$ (Δ, \star) et échantillonné par un facteur $SF=2$ (∇, \star), pour les cas chaotique (Δ, ∇) et non chaotique (\star, \star) des systèmes de : (a) Lorenz, (b) Chua, (c) Rossler, and (d) Chen.

représentant le régime incommensurable ou chaotique. Cette différence en termes des valeurs de trace obtenues est encore plus prononcée en échantillonnant les séries temporelles analysées. En effet, la même série temporelle analysée n’aura pas la même valeur de trace de sa matrice S si elle a été échantillonnée au préalable par un facteur d’échantillonnage supérieur ou égal à 2. Les traces calculées pour les séries temporelles chaotiques se distinguent encore davantage des autres régimes de fonctionnement du NCVO.

Ces observations sur les variations de valeurs de trace issues de la modélisation du NCVO avec l’approche *Conceptors* ont été généralisées sur d’autres systèmes connus manifestant du chaos dans certaines conditions tels que les systèmes de Lorenz, Chua, Rossler et Chen. L’approche *Conceptors* a été appliquée sur les séries temporelles issues de ces 4 systèmes connus fonctionnant en régime chaotique et non chaotique. Comme entrées, les séries temporelles issues des équations différentielles décrivant les 4 systèmes (nommé séries initiales ou brutes) ainsi que leurs variantes sous échantillonnées par un facteur de 2, dans les deux cas (chaotique et non chaotique) ont été utilisées. Un extrait de ces résultats qui ont été présentés à la conférence ISCAS 2021^{184,185} est présenté à la figure 7. Si le signal d’entrée de l’approche est un signal non chaotique, les valeurs de trace entre le signal brut et son équivalent échantillonné seront peu différentes. D’un autre côté, si le signal d’entrée est un signal chaotique, une différence notable en termes de valeurs de trace entre le signal non chaotique d’une part et le signal brut et son équivalent sous échantillonné d’un

(184). Ali Rida ISMAIL et al. “Novel Reservoir Computing Approach for the Detection of Chaos” in : *2021 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2021. 1-5 DOI : [10.1109/ISCAS51556.2021.9401735](https://doi.org/10.1109/ISCAS51556.2021.9401735)

(185). Ali Rida ISMAIL et al. “The Usage of New Reservoir Computing Approach for the Detection of Chaos” in : *Colloque du GDR SoC2, 8-10 juin 2021, Rennes, France*. 2021. 1-2

$\Delta(\%)$	Lorenz	Chua	Rossler	Chen	moyenne \pm écart-type
Chaotique	30.78	20.65	27.97	28.69	27.02 \pm 3.82
Non Chaotique	6.77	-1.45	-0.84	1.48	1.49 \pm 3.24

TABLEAU 1 – La variation des valeurs de trace (Δ en %) entre les cas $\text{Trace}(\mathbf{S}^j)$ pour $\text{SF} = 1$ et $\text{SF} = 2$, pour le cas chaotique ($j = 1$) et non chaotique ($j = 2$) des 4 systèmes analysés (SF étant le facteur d'échantillonnage (Sampling Factor)).¹⁷²

facteur de 2 d'autre part, pourra être observée et ceci pour les 4 systèmes étudiés. Les valeurs numériques pour ces quatre systèmes dans les deux cas (chaotique et non chaotique) présentées dans le tableau 1 confirment également ces observations.

Les premiers résultats sur la détection du chaos dans les séries temporelles nous ont permis de mettre en place un algorithme de détection de chaos, détaillé dans l'algorithme 6. Le point de départ de l'algorithme proposé est la série temporelle \mathbf{p} à analyser. Deux cas de détection sont possibles : une vérification rapide nommée *one-shot* et une vérification plus approfondie nommée *multiple shot sampling*. Dans le premier cas, la série temporelle \mathbf{p} en question est uniquement sous échantillonnée avec un facteur de 2. Par conséquent, à l'issue de cette phase, deux séries temporelles sont obtenues : la série temporelle initiale \mathbf{q}^1 et la série temporelle sous échantillonnée \mathbf{q}^2 . Le sous échantillonnage a créé un déséquilibre au niveau des longueurs des deux séries temporelles nécessitant un alignement en taille par rapport à la série temporelle plus courte, ici \mathbf{q}^2 . Le résultat de cette étape d'alignement forment deux séries temporelles, \mathbf{p}^1 et \mathbf{p}^2 , de même longueur et constitueront par la suite les deux entrées de l'approche de modélisation à base de *conceptors* décrite précédemment. A la fin de la phase d'apprentissage utilisant les deux séries temporelles \mathbf{p}^1 et \mathbf{p}^2 , les deux matrices de conceptors \mathbf{C}^1 et \mathbf{C}^2 ainsi que leurs matrices décomposées en valeurs singulières \mathbf{S}^1 et \mathbf{S}^2 sont obtenues. Les valeurs de trace t^1 et t^2 des deux matrices \mathbf{S}^1 et \mathbf{S}^2 respectivement peuvent donc être calculées ainsi que la variation $\Delta_1 = t^2 - t^1$. La variation Δ est très faible pour les séries temporelles non chaotiques (autour de 0) et large pour les séries chaotiques (supérieure à 45), comme illustré à la

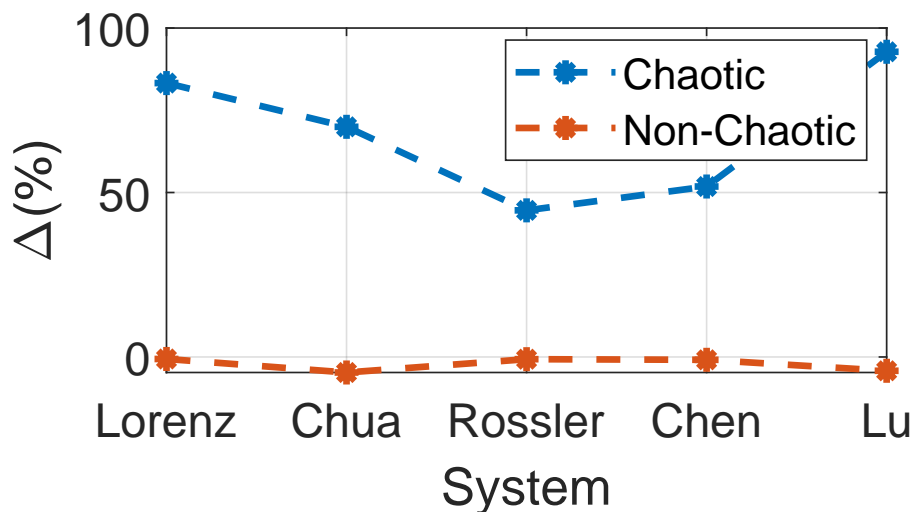


FIGURE 8 – La variation $\Delta(\%)$ pour les séries temporelles chaotiques (en bleu) et non chaotiques (en orange) de 5 systèmes connus manifestant du chaos.

Algorithm 6: Méthode proposée pour la détection du chaos

```

1 ConDN-based Chaos Detection ( $\mathbf{p}, \mathbf{s}$ )
   entrées:  $\mathbf{p}$  - la série temporelle à analyser ;
            $\mathbf{s} = [1, 2, \dots, N_p]$  - le vecteur d'échantillonnage dans l'ordre croissant ;
   sortie : Variation  $\Delta$  ou le paramètre de fitting  $a$ 
2 // Sous échantillonnage des séries temporelles
3 for  $i \in \mathbf{s}$  do
4    $\mathbf{q}^i \leftarrow \text{Sampling}(\mathbf{p}, i)$ 
5    $\Rightarrow |\mathbf{q}^1| > |\mathbf{q}^2| > \dots > |\mathbf{q}^{N_p}|$ 
6   // Alignement en taille des séries temporelles sous échantillonnées
7   for  $i \in \mathbf{s}$  do
8      $\mathbf{p}^i \leftarrow \mathbf{q}^i[1 : |\mathbf{q}^{N_p}|]$ 
9      $\Rightarrow |\mathbf{p}^1| = |\mathbf{p}^2| = \dots = |\mathbf{p}^{N_p}|$ 
10     $\mathbf{P}^{(i)} = \{\mathbf{p}^1, \mathbf{p}^2, \dots, \mathbf{p}^{N_p}\}$ 
11     $\mathbf{C}^{(ii)} \leftarrow \text{ConDN}(\mathbf{P})^{(iii)}$ , où  $\mathbf{C} = \{\mathbf{C}^1, \mathbf{C}^2, \dots, \mathbf{C}^{N_p}\}$  (iv)
12     $\mathbf{S}^{(v)} \leftarrow \text{SVD}(\mathbf{C})^{(vi)}$ , où  $\mathbf{S} = \{\mathbf{S}^1, \mathbf{S}^2, \dots, \mathbf{S}^{N_p}\}$  (vii)
13     $\mathbf{T} \leftarrow \text{Trace}(\mathbf{S})$ , où  $\mathbf{T} = [t^1 t^2 \dots t^{N_p}]$  et  $t^i = \text{tr}(\mathbf{S}^i) = \sum_j^N \mathbf{S}_{jj}^i$ ,  $i \in \mathbf{s}$ 
14    if (one-shot) (viii) then
15       $\Delta_1 = t^{s_2} - t^{s_1}$  ;
16       $\Delta = [\Delta_1]$ 
17      return  $\Delta$  ;
18    else (ix)
19      for  $i \in [1, |\mathbf{s}| - 1]$  do
20         $\Delta_i = t^{s_{i+1}} - t^{s_1}$  ;
21         $\Delta = [\Delta_1, \Delta_2, \dots, \Delta_{|\mathbf{s}|-1}]$ 
22         $(a, \tau) \leftarrow \text{Fitting}(\Delta, \mathbf{s})^{(x)}$ 
23        return  $a$  ;
24

```

- (i). \mathbf{P} - l'ensemble de signaux à analyser
- (ii). \mathbf{C} - l'ensemble de matrices de conceptor
- (iii). **ConDN** - représente la première partie de l'Algorithme 5 (les lignes 2 à 7)
- (iv). La matrice de conceptor \mathbf{C}^i correspond à la série \mathbf{p}^i , $i \in \mathbf{s}$
- (v). \mathbf{S} - l'ensemble de matrices \mathbf{S}^i
- (vi). **SVD** - la décomposition en valeurs singulières de l'ensemble de matrices contenues dans \mathbf{C}
- (vii). La matrice \mathbf{S}^i correspond à la matrice de conceptor \mathbf{C}^i , $i \in \mathbf{s}$;
- (viii). Correspond à l'analyse des signaux brut et sous échantillonnés par un facteur de 2 $\rightarrow \mathbf{s} = [1, 2]$
- (ix). Correspond à l'analyse basée sur le signal brut sous échantillonné avec les facteurs $\mathbf{s} = [1, 2, \dots, N_p]$
- (x). La fonction de charge d'un capaciteur est utilisée $\Delta = a(1 - e^{-(\mathbf{s}-1)/\tau})$

figure 8.

Dans le cas de la vérification plus approfondie nommée *multiple shot sampling*, la méthode utilisée pour la vérification *one-shot* est élargie sur plusieurs séries temporelles sous échantillonnées. Au lieu d'utiliser le vecteur de sous échantillonnage $\mathbf{s} = [1, 2]$ à deux valeurs, un nombre plus élevé de sous échantillonnage $N_S > 2$ est proposé $\mathbf{s} = [1, 2, \dots, N_p]$, où N_S est la taille du vecteur \mathbf{s} , $N_S = |\mathbf{s}|$. Ainsi, N_S séries temporelles seront construites et alignées avant d'être utilisées pour l'apprentissage dans la méthode *conceptors*. Ces N_S séries temporelles seront à l'origine de N_S matrices de conceptors \mathbf{C}^i et de valeurs singulières \mathbf{S}^i , $2 < i \leq N_S$, générant également un vecteur nommé \mathbf{T} de taille N_S contenant les valeurs de trace des matrices \mathbf{S}^i . Par conséquent, le vecteur \mathbf{T} est utilisé pour construire le vecteur de variation Δ de taille $N_S - 1$ dont l'évolution des éléments pourra être représentée par une fonction de charge d'un capaciteur avec les paramètres a et τ .

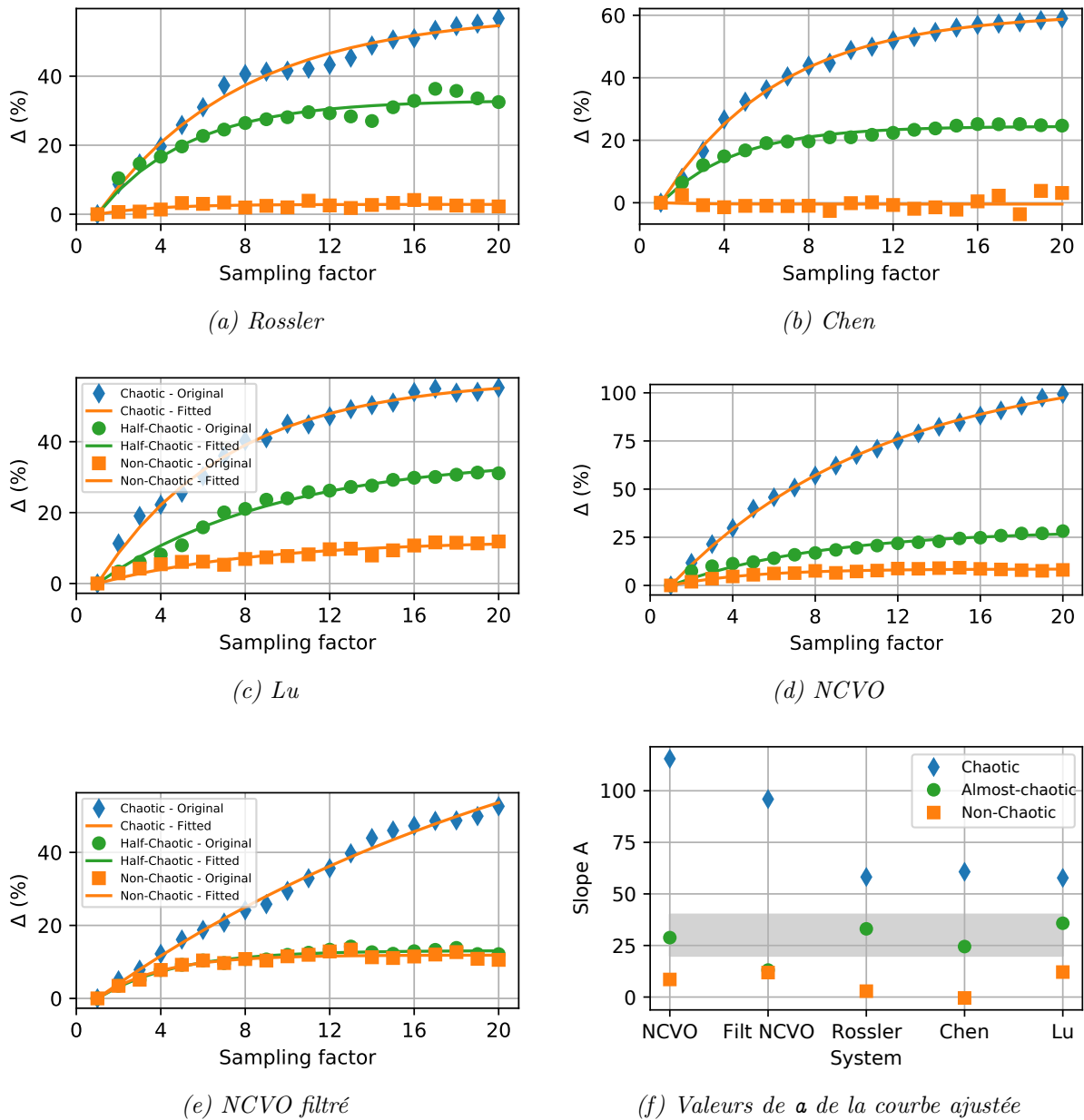
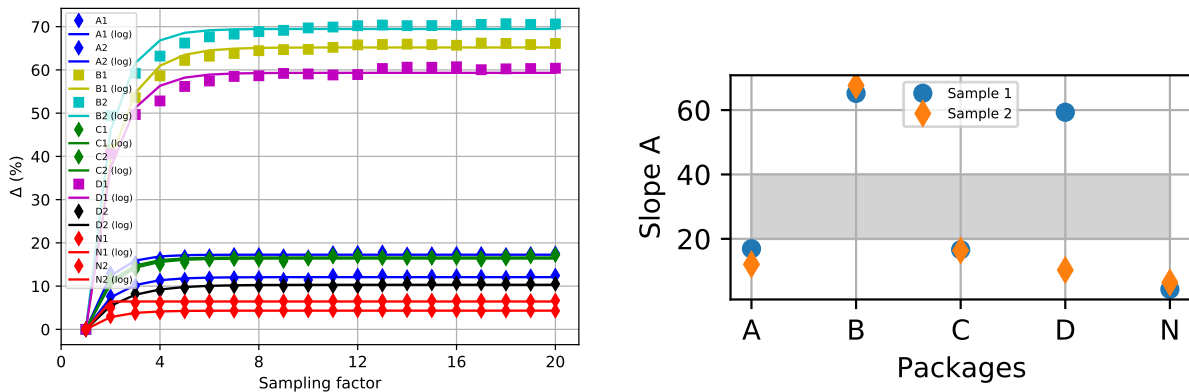


FIGURE 9 – La variation Δ [%] en fonction du facteur de sous échantillonnage s avec la courbe de fonction de charge ajustée.

L'observation du paramètre particulier a de cette fonction de charge permet de conclure sur la nature de la série temporelle analysée. Dans nos simulations, les valeurs de a inférieures à 20 sont observées pour les séries temporelles non chaotiques ; entre 20 et 50 pour les séries à la limite du chaos ; et supérieures à 50 pour les séries temporelles chaotiques. Les figures 9(a) à (e) illustrent les résultats de simulation obtenus pour les systèmes connus de Rossler, Chen et Lu et pour le NCVO simulé et filtré. Dans le cas du NCVO, un signal artificiel a été généré (nommé NCVO filtré) permettant d'observer le comportement chaotique dont l'origine unique est le renversement du cœur de vortex. Pour tous les cas analysés, non seulement les séries temporelles chaotiques (en bleu) et non chaotiques (en orange) sont bien caractérisées, mais on identifie également les états à la limite du chaos (en vert) de ces séries temporelles. L'idée globale était de voir si la méthode proposée permet d'identifier les transitions menant vers l'état chaotique. De plus, la méthode



(a) Les séries non chaotiques : A_i , C_i , N_i et D_2 (i = 1, 2) ; les séries chaotiques : B_i et D_1 (i = 1, 2) (b) Les valeurs de a des courbes ajustées pour les 5 packages

FIGURE 10 – La variation Δ [%] en fonction du facteur de sous échantillonnage s avec la courbe de fonction de charge ajustée pour les séries temporelles expérimentales.

proposée a été également testée sur les séries temporelles expérimentales bruitées, enregistrées en plusieurs lots (nommés packages) lors des campagnes de mesures. Ces résultats, montrés en figure 10, démontrent encore une fois la robustesse de la méthode proposée pour détecter le chaos même dans les séries temporelles avec un rapport signal sur bruit (SNR) faible.

Nous avons également comparé la méthode proposée par rapport à une méthode récente pour la détection du chaos dans les séries temporelles, nommée la méthode 0-1.¹⁸⁶ Ces résultats sont montrés en figure 11 pour tous les cas considérés. La méthode 0-1 donne une valeur de 0 ou

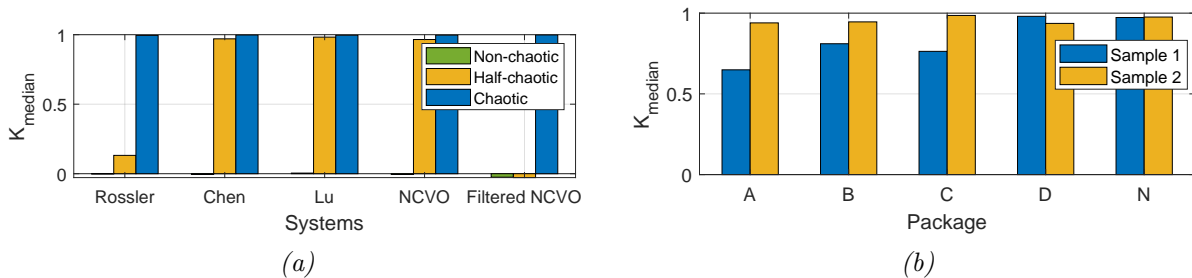


FIGURE 11 – La méthode 0-1 appliquée aux (a) systèmes Rossler, Chen et Lu ainsi qu'au NCVO simulé et filtré dans les trois cas : chaotique (bleu), non chaotique (vert) et à la limite du chaos (jaune) ; (b) données expérimentales du NCVO

s'approchant de 0 pour une série temporelle non chaotique et une valeur de 1 ou s'approchant de 1 pour les séries chaotiques. En observant les résultats présentés en figure 11(a), les séries temporelles non chaotiques et chaotiques ont bien été identifiées par la méthode 0-1. Par contre, les séries à la limite du chaos (en jaune) sont parfois identifiées comme non chaotique et parfois comme chaotiques. D'un autre coté, la méthode 0-1 appliquée sur les séries temporelles expérimentales du NCVO donne pour tous les signaux une valeur de sortie s'approchant de 1 et indiquant ainsi que toutes les séries considérées sont de nature chaotique. Les résultats sur la méthode de détection du chaos présentées ici sont en cours de publication dans le journal IEEE Access¹⁸⁷.

(186). Georg A. GOTTWALD et Ian MELBOURNE. *J. Appl. Dynam. Syst. SIAM*, 8 : 129-145, 2009.

(187). Ali Rida ISMAIL et al. Detection of Chaos using Reservoir Computing Approach. *submitted to IEEE Access*, December, 2021.

3.4 Génération de nombre aléatoires à l'aide de NCVO

Dans la dernière partie de ces travaux sur le NCVO, nous nous sommes intéressés à l'utilisation du modèle du NCVO détaillé précédemment dans des applications de calcul. Les premiers travaux que nous avons menés dans cette direction concernent la génération des nombres aléatoires à l'aide d'un NCVO. La génération des nombres aléatoires est un domaine de recherche largement abordé dans la littérature.¹⁸⁸⁻¹⁹⁷ Deux grandes familles de générateurs aléatoires existent : les générateurs vraiment aléatoires (*True Random Number Generator - TRNG*) et les générateurs pseudo-aléatoires (*Pseudo-random number generators - PRNG*). Les TRNG sont basés sur l'utilisation d'une source d'entropie comme les sources de bruit non déterministes, tandis que les générateurs PRNG utilisent des algorithmes déterministes souvent exprimés sous forme analytique. La principale difficulté dans la génération des nombres aléatoires réside dans la création d'une source d'entropie fiable. En effet, différentes approches ont été proposées dans la littérature pour ce faire : le bruit thermique,^{192,195-200} la gigue produite par un oscillateur,^{201,202} la métastabilité d'une bascule,²⁰³⁻²⁰⁵ le chaos.²⁰⁶⁻²⁰⁸

Parmi les techniques de génération de nombres aléatoires basées sur l'utilisation du chaos, la plupart utilisent une combinaison de plusieurs sources de chaos, majoritairement discrètes.^{209,210} Une autre technique présentée récemment dans la littérature a démontré qu'un dispositif fortement non linéaire et générant du chaos pourrait être utilisé comme une source d'entropie en appliquant un traitement comportant un certain nombre d'opérations arithmétiques au préalable.²⁰⁶⁻²⁰⁸ Parmi les traitements à effectuer sur un signal chaotique, Wen Li et al. ont proposé l'utilisation de l'opération de dérivée de manière successive.²⁰⁷ Ce traitement a été appliqué au signal chaotique issu d'une structure nommée *superlattice*, produisant du chaos pour un courant de polarisation continu bien particulier. Dans ces travaux de recherche, les auteurs ont démontré le principe de génération de nombres aléatoires sans proposer d'architecture de calcul précise pour les opérations de traitement associées. Nous avons transposé cette méthode de génération de nombres aléatoires sur le NCVO. La figure 12 montre l'architecture adoptée dans ce travail à base d'un seul (a) et de plusieurs NCVO (b). Pour réaliser l'architecture présentée, nous avons utilisé le modèle du NCVO à base de

- (188). Jampani SATISH BABU et al. *J. Adv. Res. Dyn. Control Syst.*, **9** : 1042-1053, 2017.
(189). Frederick JAMES et Lorenzo MONETA. *Comput. Softw. Big Sci.*, **4** : 1-12, 2020.
(190). Ray CC CHEUNG et al. *IEEE Trans. VLSI Syst.*, **15** : 952-962, 2007.
(191). David B THOMAS et Wayne LUK. *IEEE Trans. VLSI Syst.*, **21** : 761-770, 2012.
(192). Zhenxiao FU et al. *Front. Phys.*, **9** : 172, 2021.
(193). Ioan Mihai MIRON et al. *Nature*, **476** : 189-193, 2011.
(194). Murat CUBUKCU et al. *Appl. Phy. Lett.*, **104** : 042406, 2014.
(195). Won Ho CHOI et al. *IEEE Int. Electron Dev. Meet.*, 12-5, 2014.
(196). Satoshi OOSAWA et al. *IEEE Int. New Circuits Syst. Conf. (NEWCAS)*, 1-4, 2015.
(197). Lishuang GONG et al. *IEEE Access*, **7** : 125796-125805, 2019.
(198). Yuanzhuo QU et al. *IEEE Trans. Nanotechnol.*, **17** : 1270-1281, 2018.
(199). Kaiyuan YANG et al. *IEEE Symp. VLSI Circuits*, 171-172, 2018.
(200). Damir VODENICAREVIC et al. *Phys. Rev. Appl.*, **8** : 054045, 2017.
(201). Paul KOHLBRENNER et Kris GAJ. *In ACM/SIGDA Int. Symp. FPGA*, 71, 2004.
(202). Kaiyuan YANG et al. *IEEE J. Solid-State Circuits*, **51** : 1022-1031, 2016.
(203). Mehrdad MAJZOBI et al. *Int. Work. Crypto. Hardw. Embed. Syst.*, 17-32, 2011.
(204). Piotr Zbigniew WIECZOREK et Krzysztof GOŁOPIŃSKI. *IEEE Trans. Circuits Syst. I*, **61** : 134-145, 2013.
(205). Piotr Zbigniew WIECZOREK. *IEEE Trans. Circuits Syst. I*, **61** : 3450-3459, 2014.
(206). Shuiying XIANG et al. *J. Lightw. Technol.*, **37** : 3987-3993, 2019.
(207). Wen LI et al. *Phys. rev. Lett.*, **111** : 044102, 2013.
(208). Luis L BONILLA et al. *J. Math. Ind.*, **7** : 1-17, 2016.
(209). Fabio PARESCHI et al. *in Eur. Solid-State Circuits Conf.*, 130-133, 2006.
(210). Salih ERGÜN et Serdar ÖZOGUZ. *Int. J. Circuit Th. Appl.*, **38** : 1-24, 2010.

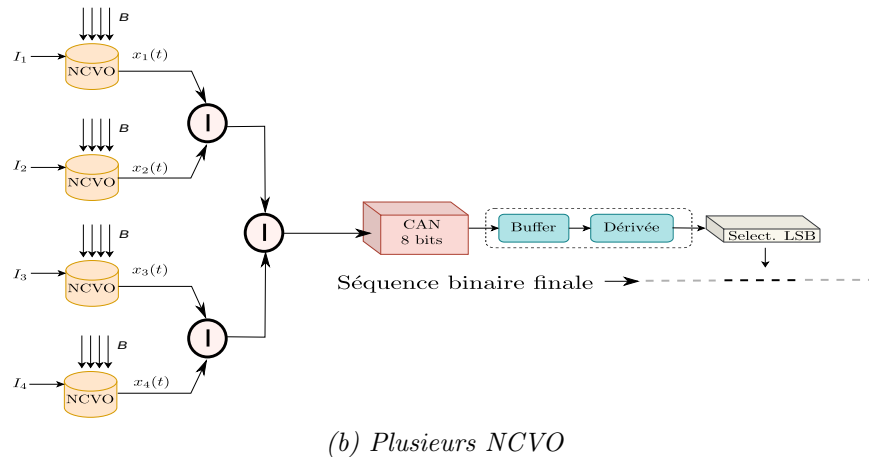
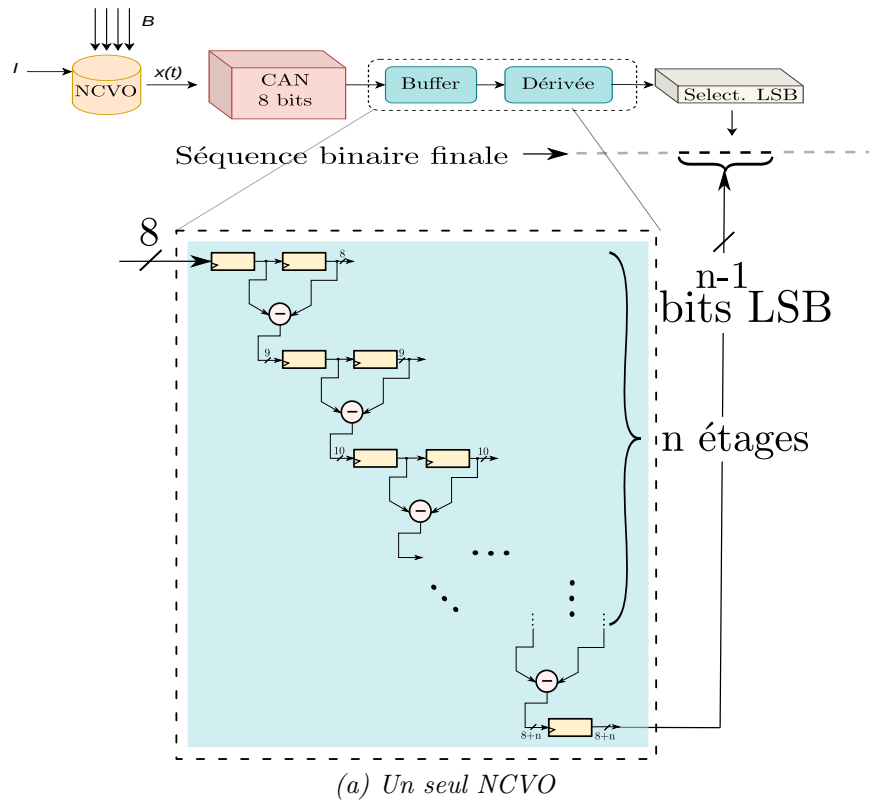


FIGURE 12 – Architectures à base de NCVO pour la génération de nombres aléatoires

concepteurs que nous avons présenté dans les sections précédentes. Dans le cas d'un seul NCVO, les signaux chaotiques générés par le NCVO doivent être échantillonnés avant d'être traités, tandis que dans le cas de 4 NCVO utilisés, la différence entre les signaux chaotiques des 4 modèles comme présenté en figure 12(b) est échantillonnée avant d'être utilisée. Dans les deux cas, on propose un échantillonnage à l'aide d'un convertisseur analogique-numérique (CAN) à 8 bits et un traitement associé comme présenté figure 12. Il s'avère qu'une succession de dérivées appliquées sur un signal chaotique permet de générer une séquence aléatoire passant tous les tests statistiques développés et proposés par le NIST SP800-22 Rev1a.²¹¹ En fonction de la source initiale (un ou plusieurs NCVO combinés), le nombre de dérivées successives n'est pas identique. Dans le cas d'un seul NCVO, le nombre minimum de dérivées successives nécessaire pour passer tous les tests statistiques NIST

(211). Andrew RUKHIN. *NIST Special Publication 800-22 rev1a*, 1-131, 2001.

Les tests NIST

Nom de test	(10,9) ^a		(12,11)		(14,13)		(21,20)		(26,25)		(32,31)	
	P-val. ^b	R ^c	P-val.	R	P-val.	R	P-val.	R	P-val.	R	P-val.	R
FM ^d	0.3835	P	0.2159	P	0.6254	P	0.4260	P	0.5824	P	0.0757	P
BF ^e	0.7400	P	0.7450	P	0.9202	P	0.9550	P	0.0827	P	0.9055	P
RT ^f	0.0162	P	0.8084	P	0.9249	P	0.2770	P	0.3664	P	0.3014	P
LRO ^g	0.5978	P	0.8922	P	0.7956	P	0.1473	P	0.0632	P	0.7733	P
BMR ^h	0.2433	P	0.8018	P	0.6694	P	0.6348	P	0.2447	P	0.6334	P
DFT ⁱ	0.3306	P	0.1219	P	0.1202	P	0.6649	P	0.6734	P	0.5947	P
NO ^j	0.9999	P	0.9999	P	1.0000	P	0.9990	P	0.9828	P	1.0000	P
OM ^k	0.1409	P	0.7693	P	0.5591	P	0.9951	P	0.5916	P	0.9447	P
MU ^l	0.9413	P	0.9625	P	0.9458	P	0.2046	P	0.7793	P	0.7203	P
LC ^m	0.6419	P	0.1861	P	0.9769	P	0.7221	P	0.5891	P	0.8175	P
ST ⁿ	0.3319	P	0.8350	P	0.0609	P	0.4533	P	0.1587	P	0.2306	P
AE ^o	0.3307	P	0.8464	P	0.3067	P	0.6488	P	0.1585	P	0.2687	P
CS ^p	0.4397	P	0.2043	P	0.5499	P	0.2542	P	0.2545	P	0.0457	P
RE ^q	0.2403	P	0.0433	P	0.1406	P	0.2318	P	0.4859	P	0.0305	P
REV ^r	0.4055	P	0.0514	P	0.4007	P	0.1212	P	0.1477	P	0.0291	P

TABLEAU 2 – Les résultats des tests statistiques NIST obtenus pour l'architecture de génération de nombres aléatoire proposée à la figure 12(a)

- a. (n,m) - n correspond à la n-ème dérivée ; m au nombre de bits de poids faibles pris en sortie
- b. P-valeur - la probabilité d'obtenir la même ou une valeur encore plus extrême que celle observée.
- c. R - Résultat du test : P - Passé/ E - Échoué
- d. Frequency monobit - calcule la proportion des 0 et des 1 dans la séquence de bits observée.
- e. Block frequency - similaire au test FM, mais appliqué au niveau bloc au sein de la séquence de bits observée.
- f. Runs Test - vérifie si l'oscillation entre les 1 et les 0 n'est pas trop rapide.
- g. Longest run of ones - calcule la suite la plus longue des 1 dans la séquence de bits observée.
- h. Binary matrix rank - calcule la dépendance linéaire entre les bits de la séquence observée.
- i. DFT - calcule la transformée de Fourier discrète pour inspecter la périodicité dans la séquence observée.
- j. Non-overlapping - recherche de templates dans la séquence de bits observée.
- k. Overlap matching - similaire au NO, avec la recherche de templates se chevauchant
- l. Maurers universal - calcule la compressibilité de la séquence observée.
- m. Linear complexity - calcule la complexité de la séquence observée.
- n. Serial test - une version améliorée du test FM.
- o. Approximate entropy - test d'entropie.
- p. Cumulative sums - calcule la somme cumulée de la séquence observée (valeur attendue proche de 0).
- q. Random excursions - lié au test CS; calcule le nombre de patterns aléatoires dans la somme cumulée.
- r. Random exc. variant - lié au test CS; calcule le nombre total de patterns aléatoires dans la somme cumulée.

est égal à 10. En utilisant l'architecture présentée figure 12, la taille des opérands augmente d'un bit d'un étage de dérivée à l'autre. Par conséquent, au bout de N dérivées successives, en partant initialement d'un échantillon codé sur 8 bits (une valeur chaotique sur 8 bits en sortie du CAN), on se retrouve avec une valeur sur $8 + n$ bits. Sur les $8 + n$ bits en sortie, les résultats expérimentaux ont montré que le fait de prendre $n - 1$ bits de poids faible de ces $8 + n$ bits permet de passer tous les tests statistiques NIST. Un extrait des résultats de test NIST de l'architecture à un seul NCVO (voir la figure 12(a)) est présenté dans le Tableau 2 pour un nombre de dérivées différent : 10, 12, 14, 21, 26 et 32, pour lesquelles respectivement 9, 11, 13, 20, 25 et 31 bits de poids faible sont pris pour être concaténés dans la séquence finale. En observant les résultats présentés dans le Tableau 2, on remarque que tous les tests statistiques passent avec succès à partir d'un nombre de dérivées

Dérivée	Nombre de bits LSB ⁽ⁱ⁾	Débit de données [Gbps]
10	9	0.9
16	15	1.5
21	20	2
26	25	2.5
⋮	⋮	⋮
n	n-1	$(n-1) \cdot f_s$

TABLEAU 3 – Débit de données pour une fréquence d'échantillonnage de 100 M échantillons

(i). *Least Significant Bits* - les bits de poids faible

Dérivée	Nombre de bits LSB	Nombre de FA ⁽ⁱ⁾	Nombre de DFF ⁽ⁱⁱ⁾
10	9	135	268
16	15	264	520
21	20	399	785
26	25	559	1100
⋮	⋮	⋮	⋮
n	n-1	$8n + \frac{(n+1)n}{2}$	$17n + (n-1)n + 8$

TABLEAU 4 – Ressources matérielles nécessaires pour réaliser le bloc de dérivée exprimées en nombre de additionneur complet (FA) à 1 bits et de bascule D (DFF).

(i). *Full Adder (FA)* - additionneur complet(ii). *D Flip Flop (DFF)* - bascule D

égal à 10. Le fait de rajouter un étage de dérivée permet de rajouter un bit supplémentaire par échantillon dans la séquence finale, et ainsi augmenter le débit de génération de nombres aléatoires. Nous avons également mené une analyse sur le nombre de bits aléatoires pouvant être générés avec ce principe. Ces résultats sont présentés dans le tableau 3 pour une fréquence d'échantillonnage fixée à 100 M échantillons. Il est à noter que la fréquence d'échantillonnage ici correspond au nombre d'échantillons pris en sortie d'un NCVO. Etant donné la dynamique très riche des signaux en sortie du NCVO se trouvant dans une plage de fréquence allant jusqu'à 500 MHz, il est clair que la véritable fréquence d'échantillonnage appliquée en sortie du NCVO devrait être de l'ordre de 1 GHz au minimum (pour respecter le critère de Shannon). Nous avons également évalué le coût en ressources matérielles nécessaires pour effectuer ces traitements associés. Ces résultats sont présentés dans le tableau 4 en termes d'additionneurs complets (*Full Adder - FA*) et en termes de bascule D (*D Flip Flop - DFF*). La figure 13 montre également une évolution de ces ressources pour des traitements allant jusqu'à 100 dérivées.

Une autre possibilité pour la génération des nombres aléatoires avec le dispositif NCVO est basée sur l'utilisation directe du signal de renversement du cœur comme entrée. Cette solution est présentée figure 14. En effet, le signal de renversement du cœur du NCVO est un signal chaotique et peut être utilisé comme un signal de contrôle (signal U/\bar{D} - *UP/DOWN* du compteur par exemple) de l'architecture présentée figure 14. Cette solution permet de s'affranchir de l'utilisation des convertisseurs analogiques/numériques pouvant s'avérer très coûteux notamment pour des

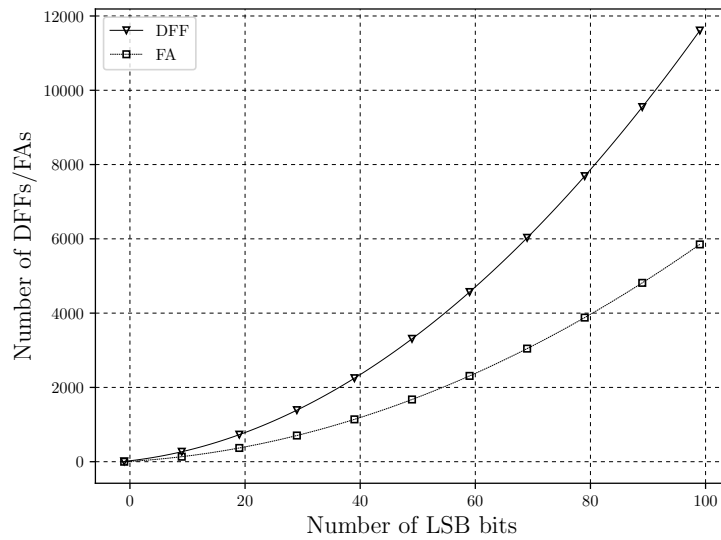


FIGURE 13 – Évolution des ressources matérielles en fonction du nombre de bits de poids faibles pris en sortie de l'architecture proposée en figure 12(a) par échantillon sur 8 bits (en sortie du NCVO).

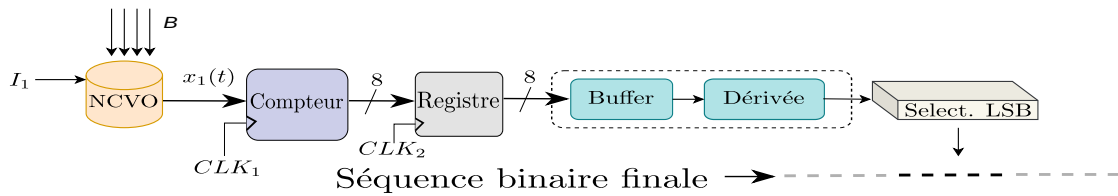


FIGURE 14 – Architectures à base de NCVO pour la génération de nombres aléatoires (sans convertisseur analogique numérique).

fréquences d'échantillonnage très élevées. Dans l'architecture proposée, le registre relié en sortie du compteur prend 100M échantillons (fonctionne à une fréquence de $CLK_2=100\text{MHz}$ dans cet exemple) et est associé comme dans l'architecture présentée figure 12(a) à un bloc de dérivées de taille variable, tandis que le compteur fonctionne à une fréquence d'un ordre de grandeur plus élevé que la fréquence CLK_2 ($f_{CLK_1} = 10 \times f_{CLK_2}$). Dans les résultats expérimentaux que nous avons obtenus, le nombre de dérivées nécessaires pour cette solution pour passer tous les tests statistiques NIST est égal à 20 (donc, 19 bits de poids faibles générés à un cycle d'horloge). Les derniers résultats sur la génération de nombres aléatoires à base de NCVO sont en cours de mise en forme en vue d'une publication dans un journal.

Projet de recherche

3.1 Projet scientifique HDR

La synthèse de mes travaux de recherche présentée dans les chapitres précédents a montré que **Calcul et Récupération d'énergie** étaient les deux principales orientations scientifiques qui ont guidé toutes les activités de recherche que j'ai menées pendant ma carrière d'enseignant-chercheur depuis ma nomination. C'est également dans la continuité de mes travaux précédents et dans le contexte de la mutation technologique décrit précédemment, alliant à la fois les performances au plus proche de la source (*edge* et *near-sensor computing*), une autonomie énergétique maximisée (*multisource energy harvesting*) et une durabilité des sources d'énergie utilisées (*green and sustainable energy systems*) que s'insèrent mes objectifs futurs de recherche. Ainsi, les activités de recherche que je souhaite mener à l'avenir se déclinent en 3 volets : la récupération d'énergie multisources et durable, les architectures de calcul (émergentes et pour l'IA) et les activités transverses reliant les deux premiers aspects sous forme de systèmes et architectures pour le calcul intermittent (*intermittent and energy-driven circuits and systems*).

3.1.1 Récupération d'énergie

i) Récupération d'énergie multisources

Les travaux précédents menés sur le volet récupération d'énergie étaient focalisés en particulier sur les sources d'énergie en courant continu (thermoélectricité, photovoltaïque). Dans la suite de ces travaux de recherche, je souhaiterais orienter mes recherches sur les systèmes de récupération d'énergie multi-sources et en particulier sur leur utilisation dans les objets IoT et systèmes de *edge computing*.^{20,212} Dans l'environnement entourant les objets IoT, il n'est pas rare de trouver une multitude de sources d'énergies différentes (thermique, solaire, mécanique, électromagnétique) générant soit du courant continu ou alternatif. Dans l'objectif d'augmenter l'autonomie de tels systèmes, tout apport énergétique même réduit (efficacité ou rendement faible) permettrait de contribuer significativement à leur autonomie (en travaillant également en parallèle sur la réduction de leur consommation), et donc toutes sources d'énergie disponibles dans l'environnement les entourant doivent être exploitées. Par conséquent, des approches multi-source associées à une gestion intelligente doivent être privilégiées. Un accent particulier sera mis sur la gestion d'énergie dans les systèmes de faible puissance allant de micro et mW jusqu'au Watt. Cette gamme de puissance a également été visée dans le projet ANR HYDRES portant sur une source PV-TEG combinée. Ce projet ANR, porté par Inès Massiot du laboratoire LAAS, a été accepté en juillet 2021 dans le cadre de la campagne AAPG2021 et est commun à l'institut IJL (les équipes 406 et 204) et au laboratoire LAAS de Toulouse.

(20). Alex S WEDDELL et al. *in Des., Aut. Test Eur. Conf. Exhib. (DATE)*, 905-908, 2013.

(212). Ozgur B AKAN et al. *IEEE Internet Things J.*, **5** : 736-746, 2017.

ii) Récupération d'énergie durable

Un autre aspect de ce volet lié à la récupération d'énergie que je souhaite développer par la suite est l'orientation vers les systèmes de récupération d'énergies durables.^{213,214} Il s'agit en particulier des systèmes à faible coût de maintenance (utilisation limitée de batterie ou sans batterie) et fiables (tolérants aux pannes) pouvant être utilisés dans des environnements hostiles et difficilement accessibles (implant médicaux, agriculture de précision, centrale nucléaire, etc). Cet aspect s'insère dans le contexte global décrit précédemment à travers la synthèse de mes activités de recherche : les systèmes de récupération d'énergie à faible coût de maintenance et tolérants aux pannes sont les candidats parfaits pour remplir toute sorte de mission auxquelles les objets IoT aspirent : une génération continue et fiable de données utiles de toute sorte sans se soucier de l'état global de tels systèmes (les systèmes souvent appelés *left-behind* ou *oubliés*). D'un autre côté, pour les systèmes de *edge computing* nécessitant une autonomie plus grande et une puissance de calcul plus élevée les solutions basées sur l'utilisation de batterie à technologies évoluées (par exemple Li-Ion avancé) ou émergentes post Li-Ion (les technologies Na-ion et K-ion) seront privilégiées. Le projet DARLING déposé en décembre 2020 avec l'institut Fraunhofer IISB de Erlangen en Allemagne et les partenaires industriels Total (France) et PE-Systems (Allemagne) s'insère dans cette perspective d'exploration de structures et topologies de conversion d'énergie tolérantes aux pannes en utilisant des approches d'intelligence artificielle au sens large du terme et en particulier l'apprentissage par renforcement. D'un autre côté, un projet thématique nommé B@tteriesIJL et interne à l'IJL ayant comme objectif d'initier les collaborations scientifiques au sein de l'institut vient également de démarrer pour une durée de 3 ans (2021-23). Ce projet auquel je participe porte à la fois sur les technologies de fabrication de batteries avancées et durables, et sur les aspects d'auto-diagnostic et d'intelligence au sein d'une batterie. Ces derniers aspects permettraient l'auto-diagnostic et l'auto-guérison à long terme d'une batterie en se basant sur une multitude de signaux issus des capteurs embarqués en son sein fournissant des informations sur son état (état de charge, température, impédance de l'électrolyte, etc).

3.1.2 Architecture de calcul

i) Calcul à base d'architectures émergentes

Dans mes activités futures sur le volet calcul au sens large du terme, je souhaite continuer ces activités sur les architectures de calcul émergent(es) en se focalisant non seulement sur les architectures de calcul à base de système fortement non-linéaire (les travaux en cours basés sur le chaos^{215,216}) mais également en élargissant mes activités de recherche sur l'exploration à la fois d'autres paradigmes de calcul tels que le calcul stochastique²¹⁷ et hyperdimensionnel,^{163,218} et

(213). Hanjun RYU et al. *Adv. Mater.*, **31** : 1802898, 2019.

(214). Wei LI et al. *IEEE Commun. Mag.*, **56** : 94-101, 2018.

(215). Behnam KIA et al. *PLOS ONE*, **15** : e0228534, 2020.

(216). Yang TANG et al. *Chaos : Interdisc. J. Nonlin. Sci.*, **30** : 063151, 2020.

(217). Siting LIU et al. *IEEE Circuits Syst. Mag.*, **20** : 19-33, 23.

(163). Lulu GE et Keshab K. PARHI. *IEEE Circuits Syst. Mag.*, **20** : 30-47, 22.

(218). Geethan KARUNARATNE et al. *Nature Electronics*, 327-337, 2020.

d'autres technologies émergentes (spintronique,²¹⁹⁻²²¹ métamatériaux^{222,223}) Dans ces nouveaux paradigmes de calcul, premièrement le traitement de données se fait au plus proche de leur endroit de stockage allant ainsi vers les orientations dites de *in-memory computing* de plus en plus plébiscitées; et deuxièmement l'arithmétique de base associée est souvent beaucoup plus simple par rapport à l'arithmétique utilisée dans le calcul traditionnel. A titre d'exemple, dans le calcul hyperdimensionnel, toutes les opérations de calcul sont basées sur les opérations logiques et de décalage ainsi facilitant les traitements à faire au sein des blocs mémoire.¹⁶³

ii) Architectures de calcul pour l'IA

Dans ce volet sur les architectures de calcul, une partie de mes activités de recherche futures sera réservée aux architectures de calcul plutôt traditionnelles où les circuits et systèmes sont proposés pour répondre à des besoins applicatifs différents. Avec les résultats "surhumains" obtenus dans de nombreuses applications utilisant les approches de l'intelligence artificielle (IA) au sens large du terme, un véritable regain d'intérêt sur les architectures de calcul spécifiques à l'IA peut être notifié.^{158,167-169} Ce regain d'intérêt sur les architectures de calcul spécifiques (et plutôt matérielles) est dû notamment à l'incompatibilité d'un certain nombre d'algorithmes relevant de l'IA (les réseaux profonds de types CNN par exemple) avec le modèle traditionnel de calcul de Von Neumann rendant ainsi leur exécution inadaptée pour des applications à fortes contraintes de temps (vision industrielle,²²⁴ voiture autonome⁸) et/ou à grande autonomie énergétique (nombre d'opérations par W consommé).^{225,226}

Dans ce volet, les travaux de recherche que j'ai menés jusqu'à présent sur les cartes SOM, notamment sur les modèles dynamiques implantés sur un support matériel, seront enrichis de nouveaux modèles pas encore implantés sur un circuit, comme le modèle *Growing Neural Gas - GNG*.¹³⁶ Avec la prolifération d'objets IoT et la quantité croissante de données, les travaux menés jusqu'ici pourront voir leur application, puisque ces modèles de réseaux de neurones compétitifs sont généralement utilisés dans les étages de prétraitement pour la réduction de données par clustérisation. Ces travaux de recherche sur les cartes SOM ont également permis d'initier des collaborations internationales avec les références dans le domaine, notamment avec le Professeur Hiroomi Hikawa de l'université Kansai à Osaka au Japon avec qui un travail de synthèse sur les cartes SOM matérielles est en cours de rédaction et un projet commun sous forme d'un projet collaboratif (PHC Sakura) sera proposé en 2022. D'autre part, une autre collaboration avec l'équipe du Professeur Sven Simon de l'université de Stuttgart portant sur les architectures intelligentes à base d'IA pour la réduction de données dans l'imagerie 3D (appliquée au procédé de contrôle des plasmas chauds) est également en cours de finalisation et sera couronnée par un dépôt de

-
- (219). Yue ZHANG et al. *In Des. Aut. Test Eur. Conf. Exhibit. (DATE)*, 1-6, 2014.
 - (220). Giovanni FINOCCHIO et al. *J. Magnetism Magn. Mater.*, **521** : 167506, 2021.
 - (221). Aleksandr KURENKOV et al. *J. Appl. Phys.*, **128** : 010902, 2020.
 - (222). Sergi ABADAL et al. *IEEE Access*, **5** : 6225-6235, 2017.
 - (223). Filip LEMIC et al. *In Int. Conf. Nano. Comput. Comm.*, 1-6, 2020.
 - (158). John L HENNESSY et David A PATTERSON. *Turing Lecture*, , 2018.
 - (167). Vivienne SZE et al. *IEEE Custom Integ; Circuits Conf. (CICC)*, 1-8, 2017.
 - (168). Ahmad SHAWAHNA et al. *IEEE Access*, **7** : 7823-7859, 2018.
 - (169). Chao WANG et al. *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, **36** : 513-517, 2016.
 - (224). Xin FENG et al. *Integration*, **69** : 309-320, 2019.
 - (8). Shaoshan LIU et al. *Proc. IEEE*, **107** : 1697-1716, 2019.
 - (225). Balaji SUBRAMANIAM et al. *In Int. Green Comput. Conf. Proc.*, 1-8, 2013.
 - (226). Muhammad ZAKARYA et Lee GILLAM. *Sustain. Comput. : Info. Syst.*, **14** : 13-33, 2017.
 - (136). Bernd FRITZKE et al. *Advances Neural Inf. Process. Syst. (NIPS)*, **7** : 625-632, 1995.

projet commun ANR-DFG début janvier 2022. Cette collaboration commune a déjà permis une publication commune cette année acceptée en mai 2021 au journal *IEEE Transactions on Circuits and Systems for Video Technology*²²⁷. Ces travaux sur les architectures de calcul pour l'IA sont également à l'origine d'une collaboration avec la société APREX-Solutions sur la vision industrielle (stage de master en 2020, projet AMI région Lorraine démarré fin 2020) ainsi qu'une future collaboration avec le professeur Andres Upegui de Haute Ecole Spécialisée de Suisse Occidentale (HESGE). Dans ce cadre, s'insère également le projet Erasmus+ SAFE-RH (2020-23) avec les partenaires des universités UWS d'Ecosse, IUB, COMSATS et de IBL de Pakistan démarré fin 2020 et portant sur les méthodes et systèmes d'acquisition et de traitement à base de l'IA pour une application à la télémédecine en milieu rural.

3.1.3 Circuits et systèmes pour le calcul intermittent

Le dernier volet des activités de recherche vers lequel je souhaite m'orienter à l'avenir porte sur les circuits et systèmes pour le calcul intermittent.^{17,228-239} Il s'agit d'une thématique fédératrice et transverse aux activités de recherche présentées dans les volets de recherche précédents. Le calcul intermittent est un nouveau paradigme de calcul paru récemment dans la littérature où l'idée générale est d'autoriser un système (souvent un objet IoT) à faire des opérations de traitement en fonction de l'énergie dont il dispose. Un autre terme également employé pour désigner cette thématique est le calcul guidé par l'énergie disponible (*energy-driven computing*).¹⁷

La plupart des objets connectés que l'on trouve aujourd'hui sont directement alimentés par l'énergie ambiante récupérée (quel que soit le type) et parfois assistée par une quantité d'énergie stockée sur une batterie de secours ou une supercapacité.¹⁷ De plus, il s'agit des systèmes dont les traitements (opérations ou calcul) à effectuer sont dimensionnés par rapport à des approches de traitement traditionnelles où l'alimentation en énergie est considérée comme continue et sans interruptions.²²⁸ Étant donné le caractère intermittent et incertain de la disponibilité de l'énergie dans l'environnement entourant de tels systèmes, ces approches de conception traditionnelles ne sont plus adaptées. D'où les principales motivations pour proposer des systèmes et architectures de calcul qui prennent en compte non seulement les besoins applicatifs différents mais également le facteur énergie (et l'environnement entourant) comme une variable intégrante du mode de fonctionnement normal.^{17,228} Par conséquent, en concevant des systèmes conscients de leur niveau d'énergie disponible à tout moment, une adaptation dynamique aux changements environnementaux est possible et ceci en tentant de garantir une qualité de service (QoS ou *Quality of Service - QoS*) maximale par rapport aux ressources utilisées (et disponibles). Ici, par

(227). Kaicong SUN et al. An FPGA-Based Residual Recurrent Neural Network for Real-Time Video Super-Resolution. *IEEE Transactions on Circuits and Systems for Video Technology*, 2021.

(17). Sivert T. SLIPER et al. *Philos. Trans. Royal Soc. A*, **378** : 20190158, 2020.

(228). Brandon LUCIA et al. *In Adv. Progr. Lang. (SNAPL)*, 14 pages, 2017.

(229). Brandon LUCIA et Benjamin RANSFORD. *In ACM SIGPLAN Conf. Prog. Lang. Des. Impl.*, 575-585, 2015.

(230). Jasper de WINKEL et al. *In Int. Conf. Archi. Supp. Progr. Lang. Oper. Syst.*, 53-67, 2020.

(231). Gautier BERTHOU et al. *In ACM SIGPLAN Conf. Lang., Compil., Tools Embedded Syst.*, 85-96, 2020.

(232). Domenico BALSAMO et al. *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, **35** : 1968-1980, 2016.

(233). Domenico BALSAMO et al. *ACM Tran. Embedded Comput. Syst.*, **17** : 1-25, 2019.

(234). Kiwan MAENG et al. *Proc. ACM Prog. Lang.*, **1** : 1-30, 2017.

(235). Josiah HESTER et al. *In Proc. ACM Conf. Embedded Netw. Sens. Syst.*, 1-13, 2017.

(236). Alexei COLIN et al. *In Int. Conf. Archi. Supp. Progr. Lang. Operating Syst.*, 767-781, 2018.

(237). Kiwan MAENG et Brandon LUCIA. *In ACM SIGPLAN Conf. Prog. Lang. Des. Impl.*, 1101-1116, 2019.

(238). Joshua SAN MIGUEL et al. *IEEE Comput. Archit. Lett.*, **17** : 76-79, 2017.

(239). Tim DAULBY et al. *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, **40** : 444-452, 2020.

la qualité de service on sous-entend la réponse qualitative d'un système en termes de résultats fournis pouvant varier selon de nombreux paramètres spécifiques à l'application (la précision de calcul choisie, le temps de réponse (réel ou différé), le temps de latence, etc).¹⁷

Pour la conception de systèmes pour le calcul intermittent, les facteurs suivants doivent être pris en compte¹⁷ : le type de stockage d'énergie choisi (batterie et/ou supercapacité), les coûts de fabrication et maintenance envisagés, la qualité de service attendue et les besoins et contraintes applicatifs. Les systèmes pour le calcul intermittent fournissant une meilleure qualité de service sont généralement plus chers avec une durée de vie limitée (souvent à base de batteries rechargeables). D'un autre côté, des contraintes moins fortes au niveau de la qualité de service attendue permettent de réduire les coûts de fabrication et de maintenance (utilisation de supercapacité pour le stockage) puisque l'énergie disponible à un moment donné est aussitôt consommée. De surcroît, les besoins applicatifs étant étroitement liés à la qualité de service fournie, ils déterminent également le choix des types des technologies de stockage lors de la phase de conception.

Pour les applications caractérisées par une complexité élevée (un nombre d'opérations de calcul important), la durée d'exécution de toutes les opérations nécessaires avant de fournir un résultat exploitable est plus longue et souvent incompatible avec le niveau d'énergie total dont le système dispose à un moment donné.^{17,228,240} Par conséquent, le fonctionnement de tels systèmes est souvent condamné à des arrêts et redémarrages fréquents.²⁴⁰ Pour de telles applications, le fonctionnement doit se faire en plusieurs cycles d'exécution en fonction de l'approvisionnement en énergie tout en assurant une progression constante (en termes d'exécution) entre plusieurs cycles. Donc, la progression de l'exécution de telles applications doit obligatoirement prendre en compte le caractère intermittent de l'approvisionnement en énergie et la nécessité d'incorporer dans le fonctionnement des étapes régulières de sauvegardes de contexte afin d'assurer l'avancement entre deux cycles. Par conséquent, il est clair que dans la conception des systèmes pour le calcul intermittent, une exploration au niveau système est nécessaire : à la fois sur les aspects architecturaux (majoritairement abordés dans la littérature^{228,234,235,237,240}) et sur les aspects de gestion d'énergie approvisionnant de tels systèmes.²³⁶ Mes activités précédentes sur la récupération d'énergie et les architectures de calcul sont particulièrement adaptées pour orienter la suite de mes recherches vers les systèmes pour le calcul intermittent et leur conception en utilisant l'approche système évoquée. Une conception au niveau système permettrait d'une part, une meilleure maîtrise et contrôle de toutes les parties de tels systèmes lors des phases de conception et d'exploitation; et d'autre part de mieux anticiper les cycles sans approvisionnements en énergie et d'éviter les sauvegardes de contexte fréquentes et inutiles, étant elles-mêmes des opérations très gourmandes en énergie et en temps d'exécution et ainsi à l'origine de la réduction de la qualité de service globale fournie.

Dans ce volet de recherche sur les systèmes pour le calcul intermittent, je souhaiterais me focaliser en particulier sur les aspects suivants :

- La robustesse et fiabilité des systèmes pour le calcul intermittent en incorporant des approches en approvisionnement en énergie multi-sources évoquées dans le volet sur la récupération énergie d'une part, et sur les circuits de gestion d'énergie fiables et tolérants aux pannes d'autre part.

(240). Matthew HICKS. *In Annual Int. Symp. Comput. Archi. (ISCA)*, 228-240, 2017.

- La conception de systèmes pour le calcul intermittent en se focalisant en particulier sur les niveaux capteur et *edge computing*. Dans les deux cas, l'approche multi-source sera privilégiée tout en adaptant les architectures de calcul associées aux besoins applicatifs spécifiques à chaque niveau.
- Les aspects architecturaux en se focalisant en particulier sur les architectures de calcul innovantes (SW/HW), configurables et adaptables en fonction de l'énergie disponible et de la qualité de service attendue à un moment donné.
- Les circuits et systèmes émergents adaptés pour le calcul intermittent (au niveau calcul, stockage, gestion d'énergie).

Deuxième partie

Activités d'encadrement, de la recherche et publications

Encadrement doctoral et scientifique

1.A Encadrement de thèses

1.A.1 Thèses soutenues : 2

	Thèse	Description
2014-2017 SOUTENUE	Saima Siouane	<p>Titre : Système thermoélectrique pour la récupération d'énergie : modélisation électrique et continuité de service de la circuiterie électronique</p> <p>Période : octobre 2014 - décembre 2017</p> <p>Financement : bourse ministérielle</p> <p>Co-encadrement : P. Poure (50%), <u>S. Jovanovic</u> (50%)</p> <p>Date de soutenance : le 6 décembre 2017</p> <p>Jury : B. Allard, D. Riu, J.-P. Gaubert, P. Poure, <u>S. Jovanovic</u>, E. Lefeuvre, A. Dauscher ;</p> <p>Publications : [RI4-5], [RI7-8], [RI11], [CI7-8], [CI11-14], [CI16], [CN3] et [CN8].</p>
2014-18 SOUTENUE	Mehdi Abadi	<p>Titre : Réalisation d'un réseau de neurones SOM sur une architecture Matérielle adaptable et Extensible à Base de réseaux sur puce NoC</p> <p>Période : octobre 2014 - juillet 2018</p> <p>Financements : PHC Utique, EU Metalic2, bourse ministérielle tunisienne</p> <p>Co-encadrement du côté français : S. Weber (50%), <u>S. Jovanovic</u> (50%)</p> <p>Co-encadrement du côté tunisien : M. H. Bédoui, K. Ben Khalifa</p> <p>Date de soutenance : le 7 juillet 2018, à l'université de Sousse, Tunisie</p> <p>Publications : [RI6], [CI5], [CI9-10], [CI17], [CN4-5] et [CN9].</p>

1.A.2 Thèses en cours : 2

2018-2022 EN COURS	Ali Rida Ismail	<p>Commensurable and Chaotic NCVO study for information processing</p> <p>Période : octobre 2018 - janvier 2022</p> <p>Financement : bourse ministérielle</p> <p>Co-direction : H. Rabah (50%) et <u>S. Jovanovic</u> (50%)</p> <p>Co-encadrement : S. Petit Watelot</p> <p>Date de soutenance prévue : le 28 janvier 2022</p> <p>Publications : [RI3], [CI2] et [CN1-2].</p>
--------------------	------------------------	--

2019-2022 EN COURS	Rabia Lachter	Dispositif ambulatoire pour l'analyse du signal EEG : détection précoce de la baisse de vigilance Période : juillet 2019 - septembre 2023 Financement : bourse ministérielle Financements : PHC Utique, bourse ministérielle tunisienne Co-encadrement du côté français : S. Weber (50%), <u>S. Jovanovic</u> (50%) Co-encadrement du côté tunisien : M. H. Bédoui, K. Ben Khalifa Date de soutenance prévue : septembre 2023 Publications : [CI4].
--------------------	----------------------	--

1.B Encadrement de stages de Master

	Stage/PFE ⁽¹⁾	Description
Master - 2020	Adel Chaker	<p>Conception et implantation des algorithmes de traitement d'images appliqués à la vision industrielle sur des plateformes reconfigurables de type FPGA</p> <p>Formation : Etudiant en master M2 EEA, Université de Lorraine</p> <p>Période : avril 2020 - septembre 2020</p> <p>Lieu : Institut Jean Lamour, Campus Artem, Nancy</p> <p>Co-encadrement : H. Rabah (50%) et <u>S. Jovanovic</u> (50%)</p>
Master - 2019	Wafae Mainich	<p>Réalisation et implantation d'un système de mesure de fréquence d'un signal issu de capteurs SAW</p> <p>Formation : Étudiant en master M2 Université de Oujda, Maroc</p> <p>Période : avril 2019 - septembre 2019</p> <p>Lieu : Institut Jean Lamour, Campus Artem, Nancy</p> <p>Co-encadrement : <u>S. Jovanovic</u> (50%) et O. Elmazria (50%)</p>
Master/PFE - 2019	Guillaume Saprani	<p>Réalisation et implantation d'une carte auto-organisatrice SOM appliquée à l'identification de charges connectées à un réseau électrique et à la détection de défauts d'arcs électriques</p> <p>Formation : Etudiant en master M2 EEA/Polytech, Université de Lorraine</p> <p>Période : avril 2019 - septembre 2019</p> <p>Lieu : Institut Jean Lamour, Campus Artem, Nancy</p> <p>Co-encadrement : <u>S. Jovanovic</u> (50%) et P. Schweitzer (50%)</p>
Master - 2018	Raja Sen	<p>Block-based CT Image Compression using Machine Learning Algorithms</p> <p>Formation : Etudiant en master M2 Université de Stuttgart</p> <p>Période : avril 2018 - septembre 2018</p> <p>Lieu : Institute of Parallel and Distributed Systems, University of Stuttgart, Stuttgart</p> <p>Co-encadrement : T.-H. Tran (50%), <u>S. Jovanovic</u> (25%) et H. Rabah (25%).</p>
Master - 2017	Chistian Blatt	<p>Cartes auto-organisatrices : classification de charges avec et sans arc électrique connectées à un réseau électrique</p> <p>Formation : Étudiant en master M2 I2E2I à l'Université de Lorraine</p> <p>Période : avril 2017 - septembre 2017</p> <p>Lieu : Institut Jean Lamour, site FST, Vandoeuvre lès Nancy</p> <p>Co-encadrement : <u>S. Jovanovic</u> (50%) et P. Schweitzer (50%)</p>

a. Elèves ingénieurs - Projet Fin d'Etudes (PFE)

Master - 2017	Habiba Lahdhiri	<p>Exploitation architecturale des circuits neuromorphiques de type SOM à base de réseau sur puce</p> <p>Formation : Étudiant en master M2 I2E2I à l'Université de Lorraine</p> <p>Période : avril 2017 - septembre 2017</p> <p>Lieu : Institut Jean Lamour, site FST, Vandoeuvre lès Nancy</p> <p>Co-encadrement : S. Weber (50%) et <u>S. Jovanovic</u> (50%)</p>
Master - 2015	Sokni-Sita Alli	<p>Récupération d'énergie : Conversion DC-DC de l'énergie avec extraction de la puissance maximale et régulation de la tension de sortie</p> <p>Formation : Étudiant en master M2 I2E2I à l'Université de Lorraine</p> <p>Période : avril 2015 - septembre 2015</p> <p>Lieu : Institut Jean Lamour, site FST, Vandoeuvre lès Nancy</p> <p>Publications : 1 conférence internationale avec comité de lecture : [CI15]</p> <p>Co-encadrement : P. Poure (50%) et <u>S. Jovanovic</u> (50%)</p>
Master - 2014	Abderrazak Chahid	<p>Exploration de méthodes de détection de défauts d'arcs électriques à base d'un filtre actif monophasé et leur implantation sur une plate-forme reconfigurable FPGA</p> <p>Formation : Étudiant en master M2 I2E2I à l'Université de Lorraine</p> <p>Période : avril 2014 - septembre 2014</p> <p>Lieu : Institut Jean Lamour, site FST, Vandoeuvre lès Nancy</p> <p>Publications : 1 revue internationale avec comité de lecture : [RI10]</p> <p>Co-encadrement : P. Schweitzer (50%) et <u>S. Jovanovic</u> (50%)</p>
Master - 2013	Emna Salhi	<p>Implantation d'un algorithme de détection de défauts d'arcs électriques à base d'ondelettes sur une plate-forme reconfigurable FPGA</p> <p>Formation : Étudiant en master M2 EEA à l'Université de Montpellier</p> <p>Période : avril 2013 - septembre 2013</p> <p>Lieu : Institut Jean Lamour, site FST, Vandoeuvre lès Nancy</p> <p>Co-encadrement : P. Schweitzer (50%) et <u>S. Jovanovic</u> (50%)</p>
Master - 2013	Pan Qi	<p>Exploration de méthodes de détection de défauts d'arcs électriques à base d'ondelettes et leur implantation sur une plate-forme reconfigurable FPGA</p> <p>Formation : Elève ingénieur 3ème Polytech Paris-Sud</p> <p>Période : avril 2013 - septembre 2013</p> <p>Lieu : Institut Jean Lamour, site FST, Vandoeuvre lès Nancy</p> <p>Publications : 1 revue internationale [RI9] et 1 conférence internationale avec comité de lecture [CI19].</p> <p>Co-encadrement : P. Schweitzer (50%) et <u>S. Jovanovic</u> (50%)</p>

Master - 2013	Ze Zhao	<p>Vers l'automatisation du flot de conception de la reconfiguration dynamique partielle des FPGA</p> <p>Formation : Étudiant en master M2 ESE à l'Université de Lyon</p> <p>Période : avril 2013 - septembre 2013</p> <p>Lieu : Institut Jean Lamour, site FST, Vandoeuvre lès Nancy</p> <p>Co-encadrement : N. Marques (50%) et <u>S. Jovanovic</u> (50%)</p>
PFE - 2012	Thérèse Barbier	<p>Développement de système de mesure de tensions induites par l'environnement IRM dans un stimulateur cardiaque</p> <p>Formation : Élève ingénieur 3ème année ENSICAEN</p> <p>Période : avril 2012 - septembre 2012</p> <p>Lieu : Laboratoire IADI, Vandoeuvre lès Nancy</p> <p>Co-encadrement : J. Felblinger (50%) et <u>S. Jovanovic</u> (50%)</p>
Master - 2012	Maroua Garci	<p>Système temps réel de suivi de mouvement respiratoire en IRM</p> <p>Formation : Etudiant en master M2 SEE, Université Henri Poincaré</p> <p>Période : avril 2012 - septembre 2012</p> <p>Lieu : Laboratoire IADI, Vandoeuvre lès Nancy</p> <p>Co-encadrement : J. Felblinger (50%) et <u>S. Jovanovic</u> (50%)</p>
PFE - 2010	Marion Sourty	<p>Détection de complexes QRS dans l'environnement IRM</p> <p>Formation : Elève ingénieur 3ème année INSA Rennes</p> <p>Période : avril 2010 - septembre 2010</p> <p>Lieu : Laboratoire IADI, Vandoeuvre lès Nancy</p> <p>Co-encadrement : J. Felblinger (50%) et <u>S. Jovanovic</u> (50%)</p>

1.C Participation à des jurys de thèse

1.C.1 Thèse de doctorat

- Jury de thèse de doctorat de Mehdi Abadi en juillet 2018
- Jury de thèse de doctorat de Saima Siouane en décembre 2017
- Jury de thèse de doctorat de Laure Godignon-Rousselet en 2011.

1.C.2 Thèse d'ingénieur/master

- Jury de master de Adel Chaker, Université de Lorraine, 2020.
- Jury de thèse d'ingénieur de Guillaume Saprani, Polytech Nancy, 2019.
- Jury de master de Christian Blatt, Université de Lorraine, 2017.
- Jury de master de Habiba Lahdhiri, Université de Lorraine, 2017.
- Jury de master de Abderrazak Chahid, Université de Lorraine, 2014.
- Jury de thèse d'ingénieur de Pan Qi, Polytech Paris-Sud, 2014.
- Jury de master de Maroua Garci, Université de Lorraine, 2012.
- Jury de thèse d'ingénieur de Marion Sourty, INSA Rennes, 2010.

Rayonnement et vulgarisation

2.A Relecture d'articles scientifiques

	Journal/Conférence	Années	Nombre
Journaux	Energies, MDPI	2018-21	6
	Microprocessor and Microsystems (Elsevier)	2016, 2021	6
	IEEE Access	2019, 2021	4
	Journal of Real-Time Image Processing (Springer)	2018-19, 2021	4
	Neural Computing and Applications Journal (Springer)	2015, 2017, 2021	4
	IEEE Trans. Ind. Electronics	2020	2
	PlosOne Journal	2017, 2020	2
	Electronics, MDPI	2019, 2020	2
	Electric Power Systems Research	2019-20	2
	Int. Journal on Smart Sensing and Intelligent Systems	2018, 2020	2
	IEEE Trans. Circuits and Systems Regular Papers	2021	1
	Int. Journal of Power and Energy Systems	2019	1
	Analog Integrated Circuits and Signal Processing	2018	1
	Royal Society Open Science	2018	1
	Int. Journal of Circuit Theory and Applications	2020	1
Sensors, MDPI	2019	1	
	Total		42
Conférences	IEEE NEWCAS	2017-21	15
	IEEE MWSCAS	2017, 2019-21	13
	IEEE ICM	2014-15	10
	IEEE ISCAS	2016-19, 21	12
	IEEE ICECS	2020-21	8
	IEEE IPAS	2018, 2020	7
	IEEE ICCEC	2018	4
	IEEE ECCE	2021	3
	IEEE BioCAS	2019	2
	HEAT ICLR	2021	1
	Total		75

2.B Journée de recherche et de valorisation

- **Présentation à la journée du GDR ISIS Cluster SoC HPC 2021** : *Unsupervised learning for data reduction*, Slavisa Jovanovic. Présenté dans le programme de la journée "Cluster d'architectures à base de SoC pour des calculs hautes performances" organisée par le thème C du GDR-ISIS animé par El-Bay Bourenane, Virginie Fresse et Fan Yang.
- **Présentation au colloque conjoint IEEE-TiM/GDR SoC2 2019** : *Self-Organizing Maps for Data Reduction*, Slavisa Jovanovic. Présenté dans le cadre du colloque que nous avons organisé avec la section France de IEEE-I&M et le GDR SoC2 à Nancy.
- **Présentation au colloque CAE 2017** : *Détection de défauts d'arcs électriques par filtrage actif*, Slavisa Jovanovic. Présenté dans le cadre de la 13ème édition du Colloque sur les Arcs Électriques (CAE XIII) organisée à Nancy, en mars 2017.

2.C Participation à la vie de la communauté scientifique

- **Contributions à la vie du chapitre IEEE Instrumentation & Measurement France** : Depuis le mars 2021, je suis le membre élu du chapitre IEEE I&M où j'assure la fonction du chargé de communication. La gestion du site web, des comptes Twitter et LinkedIn du chapitre font parties de mes missions principales.
- **Contributions à l'OMNT** : Dans la période 2014-18, j'ai écrit plusieurs contributions de veille scientifique et technologique pour le groupe *Thermoélectricité et Récupération d'énergie de l'Observatoire des Micro et Nanotechnologies (OMNT)* (voir [CVS1-4] dans la section *Communications de veille scientifique* et [RN3].)
- **Contributions au chantier communication du GDR SoC2** : Depuis 2018, je fais partie du groupe de travail travaillant sur les aspects de communication du GDR SoC2. Dans ce groupe de travail, j'ai contribué en particulier à la mise en place des plugins d'affichage automatique des contenus publiés sur le site du GDR-SoC2 vers les comptes Twitter et LinkedIn. De plus, la gestion des deux comptes ainsi que la rédaction des messages à publier sur le compte Twitter du GDR-SoC2 est assurée par moi-même.
- **Contributions au chantier partenariats du GDR SoC2** : Depuis novembre 2019, je fais partie du groupe de travail du GDR-SoC2 travaillant sur un chantier partenariats dont le but principal est de développer et intensifier ses relations avec les acteurs socio-économiques des thématiques représentées au GDR-SoC2.

2.D Distinction & concours

- Membre élu du bureau du chapitre IEEE I&M France depuis 2021
- Récipiendaire de la PEDR A depuis 2019

2.E Expertise de projets

- 1 Expertise de projet pour **Beware Fellowships Academia** du service public de Wallonie en 2016

2.F Conférences invitées

- **STIC 2017 - Traitement HW/SW des données médicales, Monastir, Tunisie** : *Conception conjointe HW/SW en SystemC*, Slavisa Jovanovic.

2.G Chairman des sessions

- **Chairman**, *Embedded Systems - The 3rd IEEE international conference on Design & Test of integrated micro & nano-Systems, Virtual Conference, June 8-10, 2021.*
- **Chairman**, *Session Circuits and Systems for SOM - The 27th IEEE International Conference on Electronics Circuits and Systems, Virtual Conference, November 23-25, 2020.*
- **Chairman**, *Session Circuits and Systems for SOM - IEEE International Conference on Image Processing, Applications and Systems, IPAS 2018, Sophia Antipolis, France, December 12-14, 2018. IEEE, 2018.*
- **Chairman**, *Session Mémoire - COMPAS - Conférence d'informatique en Parallélisme, Architecture et Système, 27-30 juin, 2017, Sophia Antipolis.*

2.H Organisation de congrès/sessions spéciales

- **Organisation du colloque IEEE-I&M 2021** : *La science du cerveau, Sophia Antipolis le 23 septembre 2021.* Organisé en collaboration avec les chapitres IEEE MTT et EMBS. Deux *IEEE distinguished lecturers* les Pr. Eror Pasero et Michela Chiappalone, ont été invités à la journée.
- **Organisation du colloque conjoint IEEE-I&M/GDR SoC2 2019** : *Challenges and trends in smart instrumentation and measurement, Campus Artem Nancy, Octobre 10, 2019.* Organisé en collaboration avec le chapitre IEEE-I&M et le GDR-SoC2. Un *distinguished IEEE lecturer*, le Pr. Sergio Saponara, ainsi que les Pr. Naeem Ramzan de l'université West Scotland et Abbas Amira de DeMontfort University ont été invités à la journée.
- **Session spéciale sur les Circuits et Systèmes à base de SOM organisée à ICECS 2020** : *Circuits and Systems for Self-organizing Maps, The 27th IEEE International Conference on Electronics Circuits and Systems (ICECS), Glasgow, Scotland, 23-25 November 2020.* Le Pr. Hiroomi Hikawa, de l'université Kansai du Japon, la référence mondiale dans le domaine des circuits SOM, a également présenté un papier dans la session.
- **Session spéciale sur les Circuits et Systèmes à base de SOM organisée à IPAS 2018** : *Circuits and Systems for Self-organizing Maps, Third IEEE International Conference on Image Processing, Applications and Systems, Sophia Antipolis, 12-14 décembre 2018.* Le Pr. Hiroomi Hikawa, de l'université Kansai du Japon, la référence mondiale dans le domaine des circuits SOM, a également présenté un papier dans la session.
- **Membre du comité scientifique et d'organisation du workshop AMINA 2018** : Avec nos collègues tunisiens des universités de Monastir et de Sousse, Les Pr. Mohamed Hédi Bédoui et Khaled Ben Khalifa, nous avons organisé la neuvième édition du workshop Amina, qui avait lieu à Monastir du 22 au 24 novembre 2018.
- **Membre du comité scientifique de la conférence IEEE IPAS 2018** : En collaboration avec le Pr. Dora Selami de l'université de Sfax en Tunisie, nous avons proposé une session spéciale à la conférence *Third IEEE International Conference on Image Processing, Applications and Systems, Sophia Antipolis* en décembre 2018.

2.I Editorial board des journaux

- **Editeur académique du PlosOne Journal** : Depuis 2018, je suis le membre officiel du *editorial board* du journal *PlosOne Journal*. 7 articles gérés depuis : 2 en 2017 ; 1 en 2018 ; 1 en 2019 ; 2 en 2020 et 1 en 2021 .
- **Topic Editor du journal Energies** : Depuis 2021, je suis le *Topic Editor* du journal *Energies* dont le rôle principal consiste à assister les éditeurs académiques dans la gestion des papiers soumis.

2.J Vulgarisation scientifique

- **Portes ouvertes** : Participation régulière aux *Portes Ouvertes* de l'Université de Lorraine, en particulier au département *Électronique-Énergie Électrique* de la Faculté des Sciences et Technologies (FST) à Vandoeuvre lès Nancy, aux stands de *Licence SPI* et *Master EEA* : présentation non seulement des contenus pédagogiques mais également des activités de recherche effectuées au sein de notre laboratoire ; préparation des maquettes démonstratives issues des projets pédagogiques et/ou de recherche.
- **Fête de la science** : Participation en 2016 et 2017 à la *Fête de la Science* organisée à la Faculté des Sciences et Technologies de Vandoeuvre lès Nancy : présentation de l'orgue électroacoustique conçu pour la *Fête de la Science* et son pilotage intelligent via une application smartphone Android et/ou PC permettant de jouer un morceau musical en temps réel ou d'en faire jouer d'autres enregistrés au préalable.

2.K Relations internationales

- **Collaboration avec les Pr. Mohamed Hédi Bedoui** de l'université de Monastir et **le Pr. Khaled Ben Khalifa** de l'université de Sousse en Tunisie. Cette collaboration a été valorisée par deux co-tutelles de thèse entre les universités de Sousse et de Lorraine (cf la thèse de Mehdi Abadi, soutenue en 2018 ; la thèse de Rabia Lachter, démarrée en 2019), des publications communes [RI6, CI4-5, CI9-10, CI17, CN4-5, CN9] et a permis d'obtenir un projet PHC Utique 2017 sur une durée de 4 ans supplémentaires (Code CMCU : 17G1423 – Code Campus France : 37083XA). Les Pr. Bedoui et Ben Khalifa ont été invités 3 fois une semaine dans la période 2017-19 à l'IJL. De plus, j'ai été invité à l'université de Monastir 3 fois une semaine dans la même période et j'ai donné un séminaire au workshop STIC 2017.
- **Collaboration avec le Pr. Hiroomi Hikawa** de l'université Kansai à Osaka au Japon. Le Pr. Hikawa a été invité aux deux sessions spéciales sur les circuits et systèmes SOM que nous avons organisées à IPAS 2018 et à ICECS 2020. Cette collaboration a donné lieu à une réflexion pour le dépôt d'un projet collaboratif commun de type PHC Sakura (le dépôt sera effectué en 2022). Nous sommes également en train d'écrire un article de type *survey* sur les architectures matérielles pour les cartes auto-organisatrices qui sera publié très prochainement.
- **Collaboration avec le Pr. Naeem Ramzan** de l'université West Scotland de Glasgow. Cette collaboration a été fructifiée par l'acceptation du projet SAFE-RH Erasmus+ en collaborations avec 3 autres universités pakistanaises pour la période 2020-23. De plus, un article commun de recherche est en cours de rédaction.

- **Collaboration avec le Pr. Sven Simon** de l'Institut für Parallele und Verteilte Systeme (IPVS) à l'Université de Stuttgart en Allemagne. Dans le cadre de cette collaboration, plusieurs visites de courte durée ont été organisées en France et en Allemagne. Cette collaboration a donné lieu à un stage de Master commun en 2018 (cf. le stage de Raja Sen) et à une publication récente au journal IEEE Trans. on Circuits and Systems for Video Technology [RI1]. Cette collaboration sera également fructifiée par le dépôt du projet ANR-DFG en janvier 2022 sur un système de calcul intelligent basé sur l'AI et appliqué à l'imagerie 3D. De plus, une nouvelle publication commune est en cours de préparation.
- **Collaboration avec les Dr. Vincent Lorenz et Dr. Andreas Rosskopf** de l'Institut Fraunhofer à Erlangen (*Integrated Systems and Device Technology (IISB)*). Cette collaboration a permis le dépôt de deux projets, un projet ANR-DFG en 2014 avec le Dr. Vincent Lorenz et un projet de type BMBF-MESRI "German-French joint call on AI" en 2021 avec les partenaires industriels Total SE (France) et PE-Systems GmbH (Germany). Ce dernier projet est actuellement en train d'être adapté pour un dépôt en janvier 2022.
- **Collaboration avec le Dr. Maxim Deryabin et le Pr. Mikhail Babenko** de l'université de Caucase du Nord de Stavropol en Russie. Avec mon collègue Pr Stanislaw Piestrak, nous avons accueilli Dr Maxim Deryabin pendant un mois en 2016 à Nancy. De plus, cette collaboration a donné lieu au dépôt du projet commun "HACN2IA : Hardware Architecture of a Convolutional Neural Network for Internet-of-Things Applications". Une réflexion sur une thèse en co-tutelle est également en cours.
- **Collaboration avec le Pr. Andres Upegui** de Haute Ecole Spécialisée de Suisse Occidentale (HESGE). Cette collaboration a donné lieu au dépôt du projet PHC Germaine de Staël 2020. De plus, un stage de master de recherche commun en cours d'être préparé entre les deux universités. Le stage portera sur l'implantation de réseaux de neurones récurrents sur une plateforme reconfigurable de type FPGA.
- **Collaboration avec le MCF Zeljko Kanovic** de l'université de Novi Sad en Serbie. Cette collaboration a été lancée dans le cadre d'un PHC Pavle Savic 2019 nommé "Modeling of a Commensurable and Chaotic Nano-Contact Vortex Oscillator (NCVO) for beyond CMOS processing". L'objectif principal était de travailler sur les approches innovantes de modélisation de dispositifs spintroniques de type nano-oscillateur à vortex afin de simplifier leur utilisation dans le développement d'architectures de calcul innovantes (*beyond CMOS processing*). Ce projet est en train d'être adapté pour une nouvelle soumission très prochainement.

2.L Contrats

- **Projet ANR HYDRES (2022-2026)** : *Hybrid photovoltaic-thermoelectric systems for solar energy harvesting*
 Porteur : Dr. Inès Massiot (LAAS)
 Coordinateur local : Pr. Philippe Poure (IJL)
 Budget IJL : 223 Keuros (sur 663 Keuros)
- **Projet SAFE-RH Erasmus+ (2020-2023)** :
 Porteur : Pr. Naeem Ramzan (University of West of Scotland)

Coordinateur local : Pr. Hassan Rabah (IJL)

Budget IJL : 116 Keuros (sur 800 Keuros)

- **Projet AMI "Economie numérique" Grand-Est 2020-21** : *Architecture à base de FPGA pour l'accélération d'algorithmes de vision industrielle*

Coordinateur local : Pr. Hassan Rabah (IJL)

Budget IJL : 15 Keuros

- **Projet ANR Chipmunks (2018-2021)**

Porteur : Dr. Jon-Wo Kim (Université Paris-Sud)

Coordinateur local : Dr. Sébastien Petit-Watelot (IJL)

- **Projet ANR ArDyt** *Architecture reconfigurable dynamiquement tolérante aux fautes*

Porteur : Pr. Sébastien Pillement (Université de Nantes)

Coordinateur local : Pr. Stanislaw Piestrak (IJL)

- **Projet PHC Utique (2017-2020)**

Porteur : Pr. Serge Weber (Université de Lorraine)

Coordinateur local : Pr. Serge Weber (IJL)

Budget IJL : 40 Keuros (sur 4 ans)

2.M Autres activités et responsabilités (pédagogiques et administratives)

- Membre élu du conseil de la Faculté des Sciences et Technologies depuis 2021.
- Responsable de la deuxième année de licence SPI, orientation EEA sur le site de Nancy depuis 2017.
- Coordinateur du secteur électronique pour la licence SPI.
- Coordinateur du séminaire scientifique de l'équipe .

Publications et production scientifique

3.A Bilan des publications

- Chapitres de livres : 2
 - Articles dans les revues internationales : 14
 - Articles dans les revues nationales : 3
 - Articles dans les congrès internationaux : 35
 - Articles dans les congrès nationaux : 13
 - Articles dans les congrès pédagogiques nationaux : 7
 - Articles dans les communications de veille scientifique : 4
 - Brevets : 1
-

3.B Chapitres de livre

- [CH1] Slavisa Jovanovic, Hassan Rabah and Serge Weber : **Larger- scale distributed and scalable SOM-based architecture for high-dimensional data reduction**, *In : AI for Emerging Verticals : Human-robot computing, sensing and networking*. Ed. by Muhammad Zeeshan Shakir and Naeem Ramzan. Computing. Institution of Engineering and Technology, 2020. Chap. 16, pp. 315–336.
- [CH2] Hassan Rabah, Slavisa Jovanovic and Naeem Ramzan : **Combining deterministic compressed sensing and machine learning for data reduction in connected health**, *In : AI for Emerging Verticals : Human-robot computing, sensing and networking*. Ed. by Muhammad Zeeshan Shakir and Naeem Ramzan. Computing. Institution of Engineering and Technology, 2020. Chap. 15, pp. 301–314.

3.C Articles de revues internationales avec comité de lecture

- [RI1] Kaicong Sun, Maurice Koch, Zhe Wang, Slavisa Jovanovic, Hassan Rabah and Sven Simon : **An FPGA-Based Residual Recurrent Neural Network for Real-Time Video Super-Resolution**, *IEEE Transactions on Circuits and Systems for Video Technology*, doi : 10.1109/TCSVT.2021.3080241.
- [RI2] Ehsan Jamshidpour, Slavisa Jovanovic and Philippe Poure : **Equivalent Two Switches and Single Switch Buck/Buck-Boost Circuits for Solar Energy Harvesting Systems**, *Energies*, 2020, 13, no. 3 : 583. <https://doi.org/10.3390/en13030583>
- [RI3] Ali Rida Ismail, Slavisa Jovanovic, Sébastien Petit-Watelot and Hassan Rabah, **Application of Reservoir Computing for the Modeling of Nano-Contact Vortex Oscillator**, *Electronics* 2019, volume 8, no. 11 : 1315. <https://doi.org/10.3390/electronics8111315>
- [RI4] Saima Siouane, Slavisa Jovanović and Philippe Poure : **Open-switch Fault Tolerant Operation of a Two-Stage Buck/Buck-Boost Converter with redundant**

synchronous switch for PV systems, *IEEE Transactions on Industrial Electronics*, vol. 66, no. 5, pp 3938-3947, May 2019, doi : 10.1109/TIE.2018.2847653.

- [RI5] Saima Siouane, Slavisa Jovanović and Philippe Poure : **Service Continuity of PV Synchronous Buck/Buck-Boost Converter with Energy Storage**, *Energies*, 2018, 11(6), 1389.
- [RI6] Mehdi Abadi, Slavisa Jovanovic, Khaled Ben Khalifa, Serge Weber and Mohamed Hédi Bedoui : **A Scalable and Adaptable Hardware NoC-based Self Organizing map**, *Microprocessors and Microsystems*, Volume 57, March 2018, Pages 1-14.
- [RI7] Saima Siouane, Slavisa Jovanović and Philippe Poure : **Equivalent Electrical Circuits of Thermoelectric Generators under Different Operating Conditions**, *Energies*, 2017, 10(3), 386.
- [RI8] Saima Siouane, S. Jovanović and P. Poure : **Electrical modeling of Thermoelectric Generators with contact thermal resistances**, *Journal of Electronic Materials*, January 2017, Volume 46, Issue 1, pp 40–50.
- [RI9] Pan Qi, S. Jovanović, J. Lezama and P. Schweitzer : **Discrete Wavelet Transform optimal parameters estimation for arc fault detection**, *Electric Power Systems Reseach*, Volume 143, February 2017, Pages 130-139.
- [RI10] S. Jovanović, A. Chahid, J. Lezama and P. Schweitzer : **Shunt Active Power Filter-based Approach for Arc fault Detection**, *Electric Power Systems Reseach*, Volume 141, December 2016, Pages 11–21.
- [RI11] Saima Siouane, Slavisa Jovanovic and Philippe Poure : **A Novel Identification Method of Thermal Resistances of Thermoelectric Modules Combining Electrical Characterization Under Constant Temperature and Heat Flow Conditions**, *Transactions on Environment and Electrical Engineering 1 (4)*, 44-49, 2016.
- [RI12] J. Felblinger, J-P. Blondé, S. Jovanovic, L. Rousselet, J.Oster, C. Pasquier, J. Pascal, L. Zhou, N. Pillet, J-B. Schell, M. Ayachi, P-Y. Marie, D. Mandry, D. Leyal and M. Kraemer : **Capteur ECG intelligent pour la synchronisation des séquences en IRM et le monitoring des patients**, *IRBM*, Volume 32, Issue 3, June 2011, Pages 179-184.
- [RI13] S. Jovanovic, C. Tanougast, C. Bobda and S. Weber : **CuNoC : A dynamic scalable communication structure for dynamically reconfigurable FPGAs**, *Journal of Microprocessors and Microsystems*, Volume 33, Issue 1, February 2009, Pages 24-36.
- [RI14] S. Jovanovic, P. Poure, S. Saadate and S. Weber : **Design of a fully digital controller for a shunt three-phase active filter using VHDL-AMS language**, *International Journal of Electronics*, Volume 95, Issue 10 October 2008 , pages 1055 - 1071.

3.D Revues nationales

- [RN1] Slavisa Jovanovic et Serge Weber : **Modélisation SystemC-TLM de systèmes à base de processeur**, *J3eA*, Volume 18(3) :1009, 2019. DOI : 10.1051/j3ea/20191009
- [RN2] Slavisa Jovanovic, Yves Berviller et Serge Weber : **Caractérisation d'une IP VHDL de réseau sur puce en SystemC**, *J3eA*, Volume 16, 2017.

- [RN3] Philippe Poure, [Slavisa Jovanovic](#) : **Contribution des interfaces électroniques avancées à l'efficacité des microgénérateurs thermoélectriques**, *Synthèse annuelle de l'OMNT, Février 2015, pages 194-196.*

3.E Conférences internationales avec comité de lecture

- [CI1] Mohammad Mahdi Deramgozin, Slavisa Jovanovic, Hassan Rabah and Naeem Ramzan : **A Hybrid Explainable AI Framework Applied to Global and Local Facial Expression Recognition**, *The 2021 IEEE International Conference on Imaging Systems and Techniques (IST2021), New York, USA, 2021, Aug 24-26.*
- [CI2] Ali Rida Ismail, [Slavisa Jovanovic](#), Sébastien Petit-Watlot and Hassan Rabah, **Novel Reservoir Computing Approach for the Detection of Chaos**, *IEEE International Symposium on Circuits and Systems (ISCAS) 2021, Daegu, South Korea, 2021, May 22-28.*
- [CI3] [S. Jovanović](#), H. Rabah, S. Weber, K. B. Khalifa and M. H. Bedoui : **Scalable, dynamic and growing hardware self-organizing architecture for real-time vector quantization**, *2020 27th IEEE International Conference on Electronics, Circuits and Systems (ICECS), Glasgow, Scotland, UK, 2020, pp. 1-4, doi : 10.1109/ICECS49266.2020.9294921.*
- [CI4] Rabiaa Lachtar, [Slavisa Jovanovic](#), Khaled Ben Khalifa, Ridha Ben Cheikh, Serge Weber and Mohamed Hédi : **Détection de la baisse de Vigilance chez le Conducteur avec un nombre de Signaux physiologiques EEG**, *10ème Workshop Amina, Monastir, Tunisie, November 19-20, 2020.*
- [CI5] Mehdi Abadi, [Slavisa Jovanovic](#), Khaled Ben Khalifa, Serge Weber and Mohamed Hedi Bedoui : **A Multi-Application, Scalable and Adaptable Hardware SOM Architecture**, *International Joint Conference on Neural Networks (IJCNN), Budapest, Hungary, Jul. 14-19, 2019.*
- [CI6] [Slavisa Jovanovic](#), Hassan Rabah and Serge Weber : **High performance scalable hardware SOM architecture for real-time vector quantization**, *Third IEEE Intern. Conf. on Image Processing, Appl. and Systems (IPAS 2018), Sophia-Antipolis, France, Dec. 12-14, 2018.*
- [CI7] Saima Siouane, [Slavisa Jovanovic](#), Ehsan Jamshidpour and Philippe Poure : **An efficient fault tolerant cascaded step-up step-down converter for solar PV modules**, *2018 IEEE International Conference on Environment and Electrical Engineering and 2018 IEEE Industrial and Commercial Power Systems Europe (EEEIC / I&CPS Europe), Palermo, 2018.*
- [CI8] Saima Siouane, [Slavisa Jovanovic](#) and Philippe Poure : **Service continuity of PV synchronous Buck/Buck-Boost converter with energy storage**, *2017 IEEE International Conference on Environment and Electrical Engineering and 2017 IEEE Industrial and Commercial Power Systems Europe (EEEIC / I&CPS Europe), Milan, 2017, pp. 1-6.*
- [CI9] Mehdi Abadi, [Slavisa Jovanovic](#), Khaled Ben Khalifa, Serge Weber and Mohamed Hédi Bedoui : **A Hardware Configurable Self-Organizing Map for Real-Time Color Quantization**, *The 23rd IEEE International Conference on Electronics, Circuits and Systems (ICECS), Monte Carlo, Monaco, December 11-14, 2016.*

- [CI10] Mehdi Abadi, [Slavisa Jovanovic](#), Khaled Ben Khalifa, Serge Weber and Mohamed Hédi Bedoui : **Architecture du self-organizing map auto-adaptative pour une application temps réel de quantification de couleurs**, *8ème Workshop Amina, Monastir, Tunisie, November 11-14, 2016.*
- [CI11] Saima Siouane, [Slavisa Jovanovic](#) and Philippe Poure : **Reliability enhancement of thermoelectric power conversion and management using geothermal energy for stand-alone applications**, *5th Renewable Power Generation Conference, London, UK, September 23-25, 2016.*
- [CI12] Saima Siouane, [Slavisa Jovanovic](#) and Philippe Poure : **A thermoelectric energy harvester with a single switch unified control for autonomous applications**, *IEEE International Conference on Environment and Electrical Engineering - IEEEIC, Florence, Italy, June 7-10, 2016.*
- [CI13] Saima Siouane, [Slavisa Jovanovic](#) and Philippe Poure : **Equivalent electrical circuit of thermoelectric generators under constant heat flow**, *IEEE International Conference on Environment and Electrical Engineering - IEEEIC, Florence, Italy, June 7-10, 2016.*
- [CI14] Saima Siouane, [Slavisa Jovanovic](#) and Philippe Poure : **Identification of thermal resistances of thermoelectric modules by electrical characterization**, *IEEE International Conference on Environment and Electrical Engineering - IEEEIC, Florence, Italy, June 7-10, 2016.*
- [CI15] Soklani-Sita Ali, [Slavisa Jovanovic](#), Ehsan Jamshidpour and Philippe Poure : **MPPT and Output Voltage Control of Photovoltaic Systems Using a Single-Switch DC-DC Converter**, *IEEE International Energy Conference - EnergyCon, Leuven, Belgium, April 4-8, 2016.*
- [CI16] Saima Siouane, [Slavisa Jovanovic](#) and Philippe Poure : **Influence of contact thermal resistances on the Open Circuit Voltage MPPT method for Thermoelectric Generators**, *IEEE International Energy Conference - EnergyCon, Leuven, Belgium, April 4-8, 2016.*
- [CI17] Mehdi Abadi, [Slavisa Jovanovic](#), Khaled Ben Khalifa, Serge Weber and Mohamed Hédi Bedoui : **A Scalable Flexible SOM NoC-based Hardware Architecture**, *11th Workshop on Self-Organizing Maps, Houston, USA, January 6-8, 2016.*
- [CI18] Marwa Hannachi, Hassan Rabah, [Slavisa Jovanovic](#), Abdesslem Ben Abdelali and Abdellatif Mtibaa : **Efficient Relocation of Variable-sized Hardware Tasks for FPGA-based Adaptive Systems**, *26th International Conference on Microelectronics (ICM 2014) Doha, Qatar, December 14-17, 2014*
- [CI19] Pan Qi, Jinmi Lezama, [Slavisa Jovanovic](#) and P. Schweitzer : **Adaptive real-time DWT-based method for arc fault detection**, *The 27th International Conference on Electrical Contacts, ICEC 2014 Dresden, Germany, June 2014.*
- [CI20] Eric Dabellani, Hassan Rabah, Nicolas Marques, Yves Berviller, [Slavisa Jovanovic](#), Serge Weber : **Modeling and FPGA implementation of reconfigurable transcoder for real time video adaptation**, *IEEE International Conference on Electronics, Circuits, and Systems December 8-11 2013, Abu Dhabi, UAE.*

- [CI21] Nicolas Marques, Hassan Rabah, Slavisa Jovanovic, Eric Dabellani and Serge Weber : **Methodology and reconfigurable architecture for effective placement of variable-size hardware tasks**, in *NASA/ESA Conference on Adaptive Hardware and Systems, AHS 2013, June 2013*.
- [CI22] S. Jovanovic, L. Rousselet, L. Albouy, P-A. Vuissoz, C. Pasquier and J. Felblinger : **Two degree-of-freedom (DOF) MRI-compatible motion generation system for MRI motion compensated algorithms evaluation**, *ISMRM - ESMRMB Joint Annual Meeting, Montreal, Canada, May 7 - 13, 2011*.
- [CI23] L. Rousselet, S. Jovanovic, C. Pasquier and J. Felblinger : **Advantages of digital vs analog accelerometer-based sensor for respiratory motion correction**, *ISMRM - ESMRMB Joint Annual Meeting, Montreal, Canada, May 7 - 13, 2011*.
- [CI24] L. Rousselet, J. De Jonckheere, F. Narbonneau, S. Jovanovic, C. Pasquier and J. Felblinger : **Improvements of respiratory motion recording : optical belt vs pneumatic belt**, *ISMRM - ESMRMB Joint Annual Meeting, Montreal, Canada, May 7 - 13, 2011*.
- [CI25] L. Rousselet, S. Jovanovic, M. Lohézic, M. Filipovic, C. Pasquier and J. Felblinger : **Association of several MR compatible sensors for free breathing reconstruction method**, *ISMRM - ESMRMB Joint Annual Meeting, Montreal, Canada, May 7 - 13, 2011*.
- [CI26] C. Kilian, C. Tanougast, S. Jovanovic, F. Monteiro, C. Diou and A. Dandache : **Modeling and behavioral Co-simulation C-VHDL of Network on Chip on FPGA for Education**, *ReCoSoC 2010, May 17-19, Karlsruhe, Germany*.
- [CI27] L. Rousselet, M. Filipovic, S. Jovanovic, G. Bossier, C. Pasquier and J. Felblinger : **MR compatible spirometer**, *ISMRM - ESMRMB Joint Annual Meeting, Stockholm, Sweden, May 7 - 11, 2010*.
- [CI28] S. Jovanovic, C. Tanougast, S. Weber and Christophe Bobda : **A New Deadlock-free Fault-tolerant Routing Algorithm for NoC Interconnections**, *FPL - 19th International Conference on Field Programmable Logic and Applications, Prague, Czech Republic, August 31 - September 2, 2009*.
- [CI29] S. Jovanovic : **Architectures de systèmes de calcul embarqués auto-organisés à base de technologie reconfigurable FPGA**, *Ecole d'hiver Francophone sur les Technologies de Conception des Systèmes embarqués Hétérogènes, 12-14 janvier 2009, Cherbres, Suisse*.
- [CI30] S. Jovanovic, C. Tanougast and S. Weber : **A New High-Performance Scalable Dynamic Interconnection for FPGA-based Reconfigurable Systems**, *19th IEEE International Conference Application-specific Systems, Architectures and Processors (ASAP) July 2-4, Leuven, Belgium 2008*.
- [CI31] S. Jovanovic, C. Tanougast and S. Weber : **A New Self-Managing Hardware Design Approach for FPGA-based Reconfigurable Systems**, *Lecture Notes in Computer Science Vol. 4943, Reconfigurable Computing : Architecture, Tools, and Applications, 4th International Workshop, ARC 2008 Proceedings LONDON UK, march 2008*.
- [CI32] S. Jovanovic, C. Tanougast, C. Bobda and S. Weber : **CuNoC : A Scalable Dynamic NoC for Dynamically Reconfigurable FPGAs**, *FPL - 17th International Conference on Field Programmable Logic and Applications, Amsterdam, Netherlands, 27-29 August 2007*.

- [CI33] S. Jovanovic, C. Tanougast and S. Weber : **A hardware preemptive multitasking mechanism based on scan-path register structure for FPGA-based reconfigurable systems**”, in **NASA/ESA Conference on Adaptive Hardware and Systems, AHS 2007 Edinburgh UK 5-8 August 2007**
- [CI34] S. Jovanovic, C. Tanougast, C. Bobda and S. Weber : **A Dynamic Communication Structure for Dynamically Reconfigurable FPGAs**”, **Reconfigurable Communication Centric SoCs, ReCoSoC07, June 2007, Montpellier France.**
- [CI35] S. Jovanovic and P. Poure, **Design of power electronic digital controller based on FGPA/SOC using VHDL-AMS language**, *Invited paper at 2007 IEEE International Symposium on Industrial Electronics ISIE07, special session Electronics systems on chip, 4-7 juin 2007, Vigo Spain.*

3.F Conférences nationales avec comité de lecture

- [CN1] Ali Rida Ismail, Slavisa Jovanovic, Sébastien Petit-Watelot and Hassan Rabah : **The Usage of New Reservoir Computing Approach for the Detection of Chaos**, *Colloque du GDR SoC2, 8-10 juin 2021, Rennes, France.*
- [CN2] Ali Rida Ismail, Slavisa Jovanovic, Sébastien Petit-Watelot and Hassan Rabah : **Modeling of Nano-Contact Vortex Oscillator Using Recurrent Neural Network**, *Colloque du GDR SoC2, 19-21 juin 2019, Montpellier, France.*
- [CN3] Saima Siouane, Slavisa Jovanovic, Etienne Tisserand and Philippe Poure : **Towards fault tolerant two-stage DC-DC converters under open-circuit switch fault : an original circuit design approach**, *Les Journées Nationales sur la Récupération et le Stockage d’Energie, Besançon, France, May 14-15, 2018.*
- [CN4] Mehdi Abadi, Slavisa Jovanovic, Khaled Ben Khalifa, Serge Weber and Mohamed Hédi Bedoui : **Architecture Adaptable et Extensible du Self-Organizing Map Adaptée à la Commutation d’Applications**, *COMPAS- Conférence d’informatique en Parallélisme, Architecture et Système, 27-30 juin, 2017, Sophia Antipolis.*
- [CN5] Mehdi Abadi, Slavisa Jovanovic, Khaled Ben Khalifa, Serge Weber and Mohamed Hédi Bedoui : **A Hardware Adaptable SOM for Real-Time Color Quantization**, *Colloque du GDR SoC-SiP, 14-16 juin 2017, Bordeaux, France.*
- [CN6] S. Jovanovic, A. Chahid, J.Lezama, P. Schweitzer : **Détection de défauts d’arcs électriques par filtrage actif**, *la 13ème édition du Colloque sur les Arcs Electriques (CAE XIII) et le 3ème Workshop Arcs et Contacts Electriques (ACE 2017), 20-21 mars, Nancy, France.*
- [CN7] P. Qi, S. Jovanovic, J.Lezama, P. Schweitzer : **Estimation des paramètres optimaux de la transformée en ondelettes discrète pour la détection de défauts d’arcs électriques dans les réseaux domestiques**, *la 13ème édition du Colloque sur les Arcs Electriques (CAE XIII) et le 3ème Workshop Arcs et Contacts Electriques (ACE 2017), 20-21 mars, Nancy, France.*
- [CN8] Saima Siouane, Slavisa Jovanovic et Philippe Poure : **MPPT and Output Voltage Control for Termoelectric Generator Systems Using a Single-Switch DC-DC**

- Converter**, *Les sixièmes Journées Nationales sur la Récupération et le Stockage d'Énergie, Bordeaux, France, May 9-10, 2016.*
- [CN9] Mehdi Abadi, Slavisa Jovanovic, Khaled Ben Khalifa, Serge Weber and Mohamed Hédi Bedoui : **A Hardware Design of a Scalable Systolic Self-Organizing Map Using a Network on Chip**, *Colloque du GDR SoC-SiP, 8-10 juin 2016, Nantes.*
- [CN10] Nicolas Marques, Hassan Rabah, Slavisa Jovanovic, Eric Dabellani and Serge Weber : **Methodology for effective placement of variable-size hardware tasks on reconfigurable architecture**, *Colloque du GDR SoCSiP, 10-12 juin 2013, Lyon.*
- [CN11] S. Jovanovic, C.Tanougast and S.Weber : **A Hardware Design Approach for Self-organizing SoC based on Reconfigurable Technology**, *Colloque National du GDR SOC-SIP, june 2009.*
- [CN12] S. Jovanovic, C.Tanougast and S.Weber : **Self-organizing System-on-Chip based on Reconfigurable Technology**, *Colloque National du GDR SOC-SIP, june 2008.*
- [CN13] S. Jovanovic, C. Tanougast and S. Weber : **Self-organizing system architectures based on FPGA reconfigurable technology**, *Colloque National du GDR SOC-SIP, june 2007.*

3.G Conférences pédagogiques nationales

- [CNP1] Slavisa Jovanovic et Serge Weber : **Modélisation et accélération de réseaux de neurones profonds (CNN) en Python/VHDL/C++ et leur vérification et test à l'aide de l'environnement Pynq sur les FPGA Xilinx**, *Journées pédagogiques du CNFM 2021, Saint-Malo, France, du 1 au 3 Décembre, 2021.*
- [CNP2] Slavisa Jovanovic et Serge Weber : **Modélisation SystemC-TLM de systèmes à base de processeur**, *Journées pédagogiques du CNFM 2018, Saint-Malo, France, du 7 au 9 Novembre, 2018.*
- [CNP3] Slavisa Jovanovic, Yves Berviller et Serge Weber : **Caractérisation d'une IP VHDL de réseau sur puce en SystemC**, *Journées pédagogiques du CNFM 2016, Montpellier, France, du 29 Novembre au 1 décembre, 2016.*
- [CNP4] Slavisa Jovanovic, Yves Berviller, Hassan Rabah, Serge Weber : **Conception d'opérateurs arithmétiques et leur intégration dans un chemin de données en technologie CMOS 0.35µm**, *13es journées pédagogiques du CNFM, Saint-Malo, France, 19-21 novembre 2014.*
- [CNP5] Slavisa Jovanovic, Yves Berviller, Hassan Rabah, Serge Weber : **Conception de MPSoC reconfigurable dynamiquement à base de réseau sur puce**, *13es journées pédagogiques du CNFM, Saint-Malo, France, 19-21 novembre 2014.*
- [CNP6] Yves Berviller, Eric Dabellani, Nicolas Marques, Serge Weber , Slavisa Jovanovic : **Plateforme de développement de MPSoC appliquée au transcodage vidéo multi-terminaux en temps réel**, *12es Journées Pédagogiques du CNFM, 28-30 novembre 2012, Saint-Malo.*
- [CNP7] C. Tanougast, S. Jovanovic, F. Monteiro, C. Diou et A. Dandache : **Initiation à la modélisation et co-simulation comportementale C-VHDL d'un réseau de communication sur Puce (Network on Chip)**, *10es Journées Pédagogiques du CNFM, 26-28 novembre 2008, Saint-Malo.*

3.H Communications de veille scientifique

- [CVS1] Slavisa Jovanovic : **Analyse des configurations de circuits de conversion de puissance appliquées à la récupération de l'énergie thermique**, *Chroniques de l'OMNT, Thermoélectricité et récupération d'énergie*, le 23 août 2016.
- [CVS2] Slavisa Jovanovic : **Suivi du point de puissance maximale appliquée à la récupération de l'énergie thermique dans les automobiles**, *Chroniques de l'OMNT, Thermoélectricité et récupération d'énergie*, le 8 mars 2016.
- [CVS3] Slavisa Jovanovic : **Univ. du Texas A&M & Univ. du Caire : Contrôleur intégré pour convertisseur DC-DC de type Boost avec adaptation dynamique d'impédance d'entrée appliqué à des microgénérateurs thermoélectriques**, *Révue de veille stratégique OMNT - Energie - N° 53*, septembre 2014.
- [CVS4] Slavisa Jovanovic : **Inst. Polytechnique Rensselaer : Circuit intégré basse consommation pour les dispositifs électrostatiques de récupération de l'énergie vibratoire de l'ordre de microwatt**, *Révue de veille stratégique OMNT - Energie - N° 52*, juin 2014.

3.I Brevets

- [BR1] Cédric Pasquier, Jacques Felblinger, Slavisa Jovanovic : **Apparatus for monitoring in a magnetic environment and method associated therewith**, *WO2013064642*.

Annexe A

Méthode de conceptors

Algorithm 7: L'algorithme de l'approche Conceptor utilisé ¹⁷⁷

```
1 Conceptors (P, j)
   paramètres: N - le nombre de neurones ;
                 K - le nombre d'entrées ;
                 L - le nombre de sorties ;
                  $\alpha$  - le rayon spectral désiré
   entrées      : P, j
   sortie      : y(n)
   légende     : x(n)      - le vecteur d'état du réservoir de taille N ;
                 v(n)      - le vecteur de bruit utilisé pour l'apprentissage ;
                 Win      - la matrice d'entrée de taille N × K ;
                 W*       - la matrice de poids du réservoir de taille N × N ;
                 W        - la matrice de poids finale du réservoir de taille N × N ;
                 WOUT    - la matrice de sortie de taille N × K ;
                 P        - l'ensemble de tous les vecteurs d'entrée pj(n) ;
                 X        - l'ensemble de tous les vecteurs d'états xj(n) ;
                 R        - ;
                 C        - ;
2   if (apprentissage) then
3     Initialisation (Win 0 , W*, b, paramètres);
4     WOUT = CalculWout (x(n), v(n))
5     for j ∈ P do
6       xj(n + 1) = EqnEtat (xj(n), pj(n))
7     W = CalculW (X, P)
8     R = CalculR (X)
9     C = CalculConceptor (R)
10    xC(n + 1) = EqnEtatConceptor (xC, j)
11    y(n + 1) = Wout · xC(n)
12    return y(n);
```

(.). Herbert JAEGER. *German Nat. Res. Center for Inform. Techn. GMD Techn. Report*, **148** : 34, 2001.
(.). **W**ⁱⁿ - la matrice d'entrée de taille **N** × **K**

Algorithm 8: L'algorithme de l'approche Conceptor utilisé (suite) ¹⁷⁷

```

1 Function CalculWout( $\mathbf{x}(n)$ ,  $\mathbf{v}(n)$ )
2    $\mathbf{x}(n+1) = \text{EqnEtat}(\mathbf{x}(n), \mathbf{v}(n))$ 
3    $\min_{\mathbf{W}^{\text{out}}} \sum_n (\mathbf{W}^{\text{out}} \mathbf{x}(n) - \mathbf{v}(n))^2$ 
4   return  $\mathbf{W}^{\text{out}}$ 

5 Function CalculW( $\mathbf{X}$ ,  $\mathbf{P}$ )
6    $\min_{\mathbf{W}} \sum_{j=1}^K \sum_{n=n_0}^L \|\mathbf{W}^* \mathbf{x}^j(n) + \mathbf{W}^{\text{in}} \mathbf{p}^j(n) - \mathbf{W} \mathbf{x}^j(n)\|^2$ 
7   return  $\mathbf{W}$ 

8 Function CalculR( $\mathbf{X}$ )
9   for  $\mathbf{x}(n) \in \mathbf{X}$  do
10     $\mathbf{R}^j = \text{E}[\mathbf{x}^j(n) \mathbf{x}^j(n)^T]$ 
11  return  $\mathbf{R}$ 

12 Function CalculConceptor( $\mathbf{R}$ )
13  for  $\mathbf{R}^j \in \mathbf{R}$  do
14     $\mathbf{C}^j = \mathbf{R}^j (\mathbf{R}^j + (\gamma^j)^{-2} \mathbf{I})^{-1}$ 
15  return  $\mathbf{C}$ 

16 Function EqnEtat( $\mathbf{x}(n)$ ,  $\mathbf{p}(n)$ )
17   $\mathbf{x}(n+1) = \tanh(\mathbf{W}^* \mathbf{x}(n) + \mathbf{W}^{\text{in}} \mathbf{p}(n) + \mathbf{b})$ 
18  return  $\mathbf{x}(n+1)$ 

19 Function EqnEtatConceptor( $\mathbf{x}(n)$ ,  $j$ )
20   $\mathbf{x}(n+1) = \mathbf{C}^j \tanh(\mathbf{W} \mathbf{x}(n) + \mathbf{b})$ 
21  return  $\mathbf{x}(n+1)$ 

```

Bibliographie

- [1] Luigi ATZORI, Antonio IERA et Giacomo MORABITO. The Internet of Things : A Survey. *Computer Networks*, **54** : 2787-2805, 2010. DOI : [10.1016/j.comnet.2010.05.010](https://doi.org/10.1016/j.comnet.2010.05.010) (cf. p. 1)
- [2] Klaus LYKO, Marcus NITZSCHKE et Axel-Cyrille NGONGA NGOMO. *Big Data Acquisition*. Cham : Springer International Publishing, 2016. 39-61 (cf. p. 1)
- [3] Muhammad Habib UR REHMAN et al. The role of big data analytics in industrial Internet of Things. *Future Generation Computer Systems*, **99** : 247-259, 2019. (cf. p. 1, 24)
- [4] Michele DE DONNO, Koen TANGE et Nicola DRAGONI. Foundations and evolution of modern computing paradigms : Cloud, iot, edge, and fog. *Ieee Access*, **7** : 150936-150948, 2019. (cf. p. 1)
- [5] Francesco CONTI et al. An IoT Endpoint System-on-Chip for Secure and Energy-Efficient Near-Sensor Analytics. *IEEE Transactions on Circuits and Systems I : Regular Papers*, **64** : 2481-2494, 2017. (cf. p. 1)
- [6] Weisong SHI et al. Edge Computing : Vision and Challenges. *IEEE Internet of Things Journal*, **3** : 637-646, 2016. (cf. p. 1)
- [7] Pedro GARCIA LOPEZ et al. *Edge-centric computing : Vision and challenges 2015* (cf. p. 1)
- [8] Shaoshan LIU et al. Edge computing for autonomous driving : Opportunities and challenges. *Proceedings of the IEEE*, **107** : 1697-1716, 2019. (cf. p. 1, 71)
- [9] Flavio BONOMI et al. “Fog computing and its role in the internet of things” in : *Proceedings of the first edition of the MCC workshop on Mobile cloud computing*. 2012. 13-16 (cf. p. 1)
- [10] Toni MASTELIC et al. Cloud computing : Survey on energy efficiency. *Acm computing surveys (csur)*, **47** : 1-36, 2014. (cf. p. 1)
- [11] Weisong SHI et Schahram DUSTDAR. The promise of edge computing. *Computer*, **49** : 78-81, 2016. (cf. p. 1)
- [12] Songlin CHEN et al. Internet of things based smart grids supported by intelligent edge computing. *IEEE Access*, **7** : 74089-74102, 2019. (cf. p. 1)
- [13] Gopika PREMSANKAR, Mario DI FRANCESCO et Tarik TALEB. Edge computing for the Internet of Things : A case study. *IEEE Internet of Things Journal*, **5** : 1275-1284, 2018. (cf. p. 1)
- [14] In LEE et Kyoochun LEE. The Internet of Things (IoT) : Applications, investments, and challenges for enterprises. *Business Horizons*, **58** : 431-440, 2015. (cf. p. 2)
- [15] Charith PERERA et al. Context-aware Computing in the Internet of Things : A Survey on Internet of Things From Industrial Market Perspective. *IEEE Access*, **2** : 1660-1679, 2014. (cf. p. 2)
- [16] Steve K. ESSER et al. “Cognitive computing systems : Algorithms and applications for networks of neurosynaptic cores” in : *The 2013 International Joint Conference on Neural Networks (IJCNN)*. Dallas, TX, USA : IEEE, août 2013. 1-10 (cf. p. 2)

- [17] Sivert T. SLIPER et al. Energy-Driven Computing. *Philosophical Transactions of the Royal Society A : Mathematical, Physical and Engineering Sciences*, **378** : 20190158, 2020. DOI : [10.1098/rsta.2019.0158](https://doi.org/10.1098/rsta.2019.0158) (cf. p. 2, 72, 73)
- [18] Himanshu SHARMA, Ahteshamul HAQUE et Zainul A JAFFERY. Solar energy harvesting wireless sensor network nodes : A survey. *Journal of Renewable and Sustainable Energy*, **10** : 023704, 2018. (cf. p. 2)
- [19] Tolga SOYATA, Lucian COPELAND et Wendi HEINZELMAN. RF energy harvesting for embedded systems : A survey of tradeoffs and methodology. *IEEE Circuits and Systems Magazine*, **16** : 22-57, 2016. (cf. p. 2)
- [20] Alex S WEDDELL et al. "A survey of multi-source energy harvesting systems" in : *2013 Design, Automation & Test in Europe Conference & Exhibition (DATE)*. IEEE 2013. 905-908 (cf. p. 2, 69)
- [21] Shashank PRIYA et al. A review on piezoelectric energy harvesting : materials, methods, and circuits. *Energy Harvesting and Systems*, **4** : 3-39, 2019. (cf. p. 2)
- [22] Jérémie BOUCHAUD et Richard DIXON. Micro-energy harvesters : Overview, applications and markets. *MST NEWS*, **1** : 18, 2008. (cf. p. 5)
- [23] Denis DONDI et al. Modeling and optimization of a solar energy harvester system for self-powered wireless sensor networks. *IEEE Transactions on industrial electronics*, **55** : 2759-2766, 2008. (cf. p. 5)
- [24] Loreto MATEU et Francesc MOLL. Appropriate charge control of the storage capacitor in a piezoelectric energy harvesting device for discontinuous load operation. *Sensors and Actuators A : Physical*, **132** : 302-310, 2006. (cf. p. 5)
- [25] JiCheng LIU et JianHong YAO. Wireless RF identification system based on SAW. *IEEE Transactions on industrial electronics*, **55** : 958-961, 2008. DOI : [10.1109/TIE.2007.909733](https://doi.org/10.1109/TIE.2007.909733) (cf. p. 5)
- [26] Cronin B VINING. Semiconductors are cool. *Nature*, **413** : 577-578, 2001. (cf. p. 5)
- [27] MC BARMA et al. Estimation of thermoelectric power generation by recovering waste heat from Biomass fired thermal oil heater. *Energy Conversion and Management*, **98** : 303-313, 2015. (cf. p. 6)
- [28] Yongming SHI et al. A novel self-powered wireless temperature sensor based on thermoelectric generators. *Energy Conversion and Management*, **80** : 110-116, 2014. (cf. p. 6)
- [29] Hongfei WU et al. Evaluation of power conditioning architectures for energy production enhancement in thermoelectric generator systems. *Journal of Electronic Materials*, **43** : 1567, 2014. (cf. p. 6)
- [30] Hongfei WU et al. A TEG efficiency booster with Buck-Boost conversion. *Journal of Electronic Materials*, **42** : 1737, 2013. (cf. p. 6)
- [31] L MIAO et al. Feasibility study on the use of a solar thermoelectric cogenerator comprising a thermoelectric module and evacuated tubular collector with parabolic trough concentrator. *Journal of electronic materials*, **41** : 1759-1765, 2012. (cf. p. 6)

- [32] Bunthern KIM et al. "Modeling and tuning of MPPT controllers for a thermoelectric generator" in : *IEEE International Conference on Green Energy*. 2014. 220-226 (cf. p. 6)
- [33] Nabil KARAMI et Nazih MOUBAYED. "New modeling approach and validation of a thermoelectric generator" in : *IEEE 23rd International Symposium on Industrial Electronics (ISIE)*. 2014. 586-591 (cf. p. 7, 8, 13)
- [34] Alim DEWAN et al. Alternative power sources for remote sensors : A review. *Journal of Power Sources*, **245** : 129-143, 2014. (cf. p. 7)
- [35] Mohammad Javad DOUSTI, Antonio PETRAGLIA et Massoud PEDRAM. "Accurate electrothermal modeling of Thermoelectric Generators" in : *Proceedings of the Design, Automation & Test in Europe Conference & Exhibition*. EDA Consortium 2015. 1603-1606 (cf. p. 7, 11, 12)
- [36] Hayati MAMUR et Rasit AHISKA. A review : Thermoelectric generators in renewable energy. *International Journal of Renewable Energy Research (IJRER)*, **4** : 128-136, 2014. (cf. p. 7)
- [37] João Paulo CARMO, Luis Miguel GONÇALVES et José Higinio CORREIA. Thermoelectric microconverter for energy harvesting systems. *IEEE Transactions on Industrial Electronics*, **57** : 861-867, 2009. (cf. p. 7)
- [38] G FRAISSE et al. Comparison of different modeling approaches for thermoelectric elements. *Energy Conversion and Management*, **65** : 351-356, 2013. (cf. p. 7)
- [39] Emil SANDOZ-ROSADO, Steven WEINSTEIN et Robert STEVENS. On the Thomson effect in thermoelectric power devices. *International Journal of Thermal Sciences*, **66** : 1-7, 2013. (cf. p. 7)
- [40] Emil SANDOZ-ROSADO et Robert J STEVENS. Experimental characterization of thermoelectric modules and comparison with theoretical models for power generation. *Journal of Electronic Materials*, **38** : 1239-1244, 2009. (cf. p. 7)
- [41] Shanhe SU et Jincan CHEN. Simulation investigation of high-efficiency solar thermoelectric generators with inhomogeneously doped nanomaterials. *IEEE Transactions on Industrial Electronics*, **62** : 3569-3575, 2015. (cf. p. 7)
- [42] Mohamed Hamid ELSHEIKH et al. A review on thermoelectric renewable energy : Principle parameters that affect their performance. *Renewable and Sustainable Energy Reviews*, **30** : 337-355, 2014. (cf. p. 8)
- [43] Éric V SEMPELS, Roger KEMPERS et Frédéric J LESAGE. Load-Bearing Figure-of-Merit Characterization of a Thermoelectric Module. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, **6** : 50-57, 2016. (cf. p. 8)
- [44] Xiao-Dong WANG et al. A three-dimensional numerical modeling of thermoelectric device with consideration of coupling of temperature field and electric potential field. *Energy*, **47** : 488-497, 2012. (cf. p. 8)
- [45] Siyi ZHOU et al. "A multiscale modeling of Thermoelectric Generators for conversion efficiency optimization" in : *13th IEEE Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems*. 2012. 985-992 (cf. p. 8)

- [46] D KRAEMER et al. High thermoelectric conversion efficiency of MgAgSb-based material with hot-pressed contacts. *Energy & Environmental Science*, **8** : 1299-1308, 2015. (cf. p. 8)
- [47] Andrea MONTECUCCO, Jonathan SIVITER et Andrew R KNOX. “Simple, fast and accurate maximum power point tracking converter for thermoelectric generators” in : *IEEE Energy Conversion Congress and Exposition (ECCE)*. 2012. 2777-2783 (cf. p. 8)
- [48] Matthew BOND et Jae-Do PARK. Current-sensorless power estimation and MPPT implementation for thermoelectric generators. *IEEE Transactions on Industrial Electronics*, **62** : 5539-5548, 2015. (cf. p. 8)
- [49] Reiner DECHER. *Direct Energy Conversion : fundamentals of electric power production*. Oxford University Press on Demand, 1997. (cf. p. 8)
- [50] Rasit AHISKA et Hayati MAMUR. Design and implementation of a new portable thermoelectric generator for low geothermal temperatures. *IET Renewable Power Generation*, **7** : 700-706, 2013. (cf. p. 8)
- [51] Jan Hendrik CARSTENS et Clemens GUHMANN. “Adaptive control of a boost-buck converter for thermoelectric generators” in : *Control Conference European (ECC)*. 2014. 2121-2126 (cf. p. 8)
- [52] Wensi WANG et al. Thermoelectric energy harvesting for building energy management wireless sensor networks. *International Journal of Distributed Sensor Networks*, **9** : 232438, 2013. (cf. p. 8)
- [53] Kai SUN et al. A Power Conditioning Stage Based on Analog-Circuit MPPT Control and a Superbuck Converter for Thermoelectric Generators in Spacecraft Power Systems. *Journal of Electronic Materials*, **43** : 2287-2292, 2014. (cf. p. 8)
- [54] Lihua CHEN et al. “Modeling and power conditioning for thermoelectric generation” in : *IEEE Power Electronics Specialists Conference (PESC)*. 2008. 1098-1103 (cf. p. 8)
- [55] Y APERTET et al. Efficiency at maximum power of thermally coupled heat engines. *Physical Review E*, **85** : 041144, 2012. (cf. p. 9)
- [56] Y APERTET et al. Influence of thermal environment on optimal working conditions of thermoelectric generators. *Journal of Applied Physics*, **116** : 144901, 2014. (cf. p. 9)
- [57] Michael FREUNEK et al. New physical model for thermoelectric generators. *Journal of Electronic Materials*, **38** : 1214-1220, 2009. (cf. p. 9)
- [58] Andrea MONTECUCCO, Jonathan SIVITER et Andrew R KNOX. Constant heat characterisation and geometrical optimisation of thermoelectric generators. *Applied Energy*, **149** : 248-258, 2015. (cf. p. 9, 10)
- [59] Saima SIOUANE, Slaviša JOVANOVIĆ et Philippe POURE. “Influence of contact thermal resistances on the Open Circuit Voltage MPPT method for Thermoelectric Generators” in : *IEEE International Energy Conference (ENERGYCON)*. 2016. 1-6 (cf. p. 9, 12, 13)
- [60] Saima SIOUANE, Slaviša JOVANOVIĆ et Philippe POURE. “Equivalent electrical circuit of thermoelectric generators under constant heat flow” in : *IEEE 16th International Conference on Environment and Electrical Engineering (EEEIC)*. 2016. 1-6 (cf. p. 11)

- [61] Saima SIOUANE, Slaviša JOVANOVIĆ et Philippe POURE. Equivalent Electrical Circuits of Thermoelectric Generators under Different Operating Conditions. *Energies*, **10** : 386, 2017. (cf. p. 11)
- [62] Saima SIOUANE, Slaviša JOVANOVIĆ et Philippe POURE. Fully electrical modeling of thermoelectric generators with contact thermal resistance under different operating conditions. *Journal of Electronic Materials*, **46** : 40-50, 2017. (cf. p. 12, 13)
- [63] Saima SIOUANE, Slaviša JOVANOVIĆ et Philippe POURE. “Identification of thermal resistances of thermoelectric modules by electrical characterization” in : *2016 IEEE 16th International Conference on Environment and Electrical Engineering (EEEIC)*. 2016. 1-5 DOI : [10.1109/EEEIC.2016.7555761](https://doi.org/10.1109/EEEIC.2016.7555761) (cf. p. 14)
- [64] Saima SIOUANE, Slaviša JOVANOVIĆ et Philippe POURE. “A thermoelectric energy harvester with a single switch unified control for autonomous applications” in : *2016 IEEE 16th International Conference on Environment and Electrical Engineering (EEEIC)*. IEEE 2016. 1-6 (cf. p. 15, 16)
- [65] Ehsan JAMSHIDPOUR, Slavisa JOVANOVIĆ et Philippe POURE. Equivalent Two Switches and Single Switch Buck/Buck-Boost Circuits for Solar Energy Harvesting Systems. *Energies*, **13** : 583, 2020. (cf. p. 15, 16)
- [66] Sokni-Sita ALLI et al. “MPPT and output voltage control of Photovoltaic systems using a Single-Switch DC-DC converter” in : *2016 IEEE International Energy Conference (ENERGYCON)*. IEEE 2016. 1-6 (cf. p. 16)
- [67] Saima SIOUANE, Slavisa JOVANOVIĆ et Philippe POURE. Reliability enhancement of thermoelectric power conversion and management using geothermal energy for stand-alone applications. 2016. (cf. p. 16, 17)
- [68] Tsai-Fu WU et Te-Hung YU. Unified approach to developing single-stage power converters. *IEEE Transactions on Aerospace and Electronic Systems*, **34** : 211-223, 1998. (cf. p. 16)
- [69] Saima SIOUANE, Slaviša JOVANOVIĆ et Philippe POURE. “Service continuity of PV synchronous Buck/Buck-Boost converter with energy storage” in : *2017 IEEE International Conference on Environment and Electrical Engineering and 2017 IEEE Industrial and Commercial Power Systems Europe (EEEIC / I CPS Europe)*. 2017. 1-6 DOI : [10.1109/EEEIC.2017.7977831](https://doi.org/10.1109/EEEIC.2017.7977831) (cf. p. 17)
- [70] Saima SIOUANE, Slaviša JOVANOVIĆ et Philippe POURE. Service continuity of PV synchronous Buck/Buck-Boost converter with energy storage. *Energies*, **11** : 1369, 2018. (cf. p. 17)
- [71] Rui WU et al. “Catastrophic failure and fault-tolerant design of IGBT power electronic converters-an overview” in : *39th Annual Conference of the IEEE Industrial Electronics Society (IECON)*. 2013. 507-513 (cf. p. 17)
- [72] Saima SIOUANE, Slaviša JOVANOVIĆ et Philippe POURE. Open-switch fault-tolerant operation of a two-stage buck/buck-boost converter with redundant synchronous switch for PV systems. *IEEE Transactions on Industrial Electronics*, **66** : 3938-3947, 2019. (cf. p. 18, 19)

- [73] Saima SIOUANE et al. “An efficient fault tolerant cascaded step-up step-down converter for solar pv modules” in : *2018 IEEE International Conference on Environment and Electrical Engineering and 2018 IEEE Industrial and Commercial Power Systems Europe (EEEIC/I&CPS Europe)*. IEEE 2018. 1-5 (cf. p. 19-21)
- [74] Saima SIOUANE et al. “Towards fault tolerant two-stage DC-DC converters under open-circuit switch fault : an original circuit design approach” in : *Les Journées Nationales sur la Récupération et le Stockage d’Energie (JNRSE), Besançon, France*. 2018. (cf. p. 19-21)
- [75] Ehsan JAMSHIDPOUR, Philippe POURE et Shahrokh SAADATE. Photovoltaic systems reliability improvement by real-time FPGA-based switch failure diagnosis and fault-tolerant DC–DC converter. *IEEE Transactions on Industrial Electronics*, **62** : 7247-7255, 2015. (cf. p. 20)
- [76] Teuvo KOHONEN. Self-organized formation of topologically correct feature maps. *Biological cybernetics*, **43** : 59-69, 1982. (cf. p. 24)
- [77] Teuvo KOHONEN. The Self-Organizing Map, Possible Model of Brain Maps. *Medical & Biological Engineering & Computing*, **34** : 5-8, 1996. (cf. p. 24)
- [78] Teuvo KOHONEN. “Self-organizing maps : optimization approaches” in : *Artificial neural networks*. Elsevier, 1991. 981-990 (cf. p. 24)
- [79] T. KOHONEN. *Self-Organizing Maps, Third Edition*. sous la dir. de T. S. HUANG, T. KOHONEN et M. R. SCHROEDER Third Edition t. 29 Springer, 2001. (cf. p. 26, 44)
- [80] Donato AMITRANO et al. Feature Extraction From Multitemporal SAR Images Using Selforganizing Map Clustering and Object-Based Image Analysis. *IEEE Journal of Selected Topics in Applied Earth Observations and Remote Sensing*, **11** : 1556-1570, 2018. DOI : [10.1109/JSTARS.2018.2808447](https://doi.org/10.1109/JSTARS.2018.2808447) (cf. p. 26)
- [81] Josué MELKA et Jean-Jacques MARIAGE. “Efficient Implementation of Self-Organizing Map for Sparse Input Data :” en in : *Proceedings of the 9th International Joint Conference on Computational Intelligence*. Funchal, Madeira, Portugal : SCITEPRESS - Science and Technology Publications, 2017. 54-63 DOI : [10.5220/0006499500540063](https://doi.org/10.5220/0006499500540063) (cf. p. 26)
- [82] Ming-Kai JIAU et Shih-Chia HUANG. Self-Organizing Neuroevolution for Solving Carpool Service Problem With Dynamic Capacity to Alternate Matches. *IEEE Transactions on Neural Networks and Learning Systems*, 1-13, 2018. DOI : [10.1109/TNNLS.2018.2854833](https://doi.org/10.1109/TNNLS.2018.2854833) (cf. p. 26)
- [83] Jan LACHMAIR et al. “From CPU to FPGA — Acceleration of Self-Organizing Maps for Data Mining” en in : *2017 International Joint Conference on Neural Networks (IJCNN)*. Anchorage, AK, USA : IEEE, mai 2017. 4299-4308 DOI : [10.1109/IJCNN.2017.7966400](https://doi.org/10.1109/IJCNN.2017.7966400) (cf. p. 26)
- [84] Li-Ping CHEN et al. An Improved SOM Algorithm and Its Application to Color Feature Extraction. *Neural Computing and Applications*, **24** : 1759-1770, 2014. DOI : [10.1007/s00521-013-1416-9](https://doi.org/10.1007/s00521-013-1416-9) (cf. p. 26)

- [85] Thomas VILLMANN, Andrea BOHNSACK et Marika KADEN. Can Learning Vector Quantization Be an Alternative to SVM and Deep Learning? - Recent Trends and Advanced Variants of Learning Vector Quantization for Classification Learning. *Journal of Artificial Intelligence and Soft Computing Research*, **7** : 65-81, 2017. DOI : [10.1515/jaiscr-2017-0005](https://doi.org/10.1515/jaiscr-2017-0005) (cf. p. 26)
- [86] Jan FAIGL et Geoffrey A. HOLLINGER. Autonomous Data Collection Using a Self-Organizing Map. *IEEE Transactions on Neural Networks and Learning Systems*, **29** : 1703-1715, 2018. DOI : [10.1109/TNNLS.2017.2678482](https://doi.org/10.1109/TNNLS.2017.2678482) (cf. p. 26)
- [87] Asha G.R. et GOWRISHANKAR. Energy Efficient Clustering and Routing in a Wireless Sensor Networks. *Procedia Computer Science*, **134** : 178-185, 2018. DOI : [10.1016/j.procs.2018.07.160](https://doi.org/10.1016/j.procs.2018.07.160) (cf. p. 26)
- [88] Farid GARCÍA-LAMONT, Jair CERVANTES et Asdrúbal LÓPEZ-CHAU. Human Mimic Color Perception for Segmentation of Color Images Using a Three-Layered Self-Organizing Map Previously Trained to Classify Color Chromaticity. *Neural Computing and Applications*, **30** : [doi : 10.1007/s00521-016-2714-9, 871-889, 2018. (cf. p. 26)
- [89] Marian B. GORZALCZANY et Filip RUDZINSKI. Generalized Self-Organizing Maps for Automatic Determination of the Number of Clusters and Their Multiprototypes in Cluster Analysis. *IEEE Transactions on Neural Networks and Learning Systems*, 1-13, 2017. DOI : [10.1109/TNNLS.2017.2704779](https://doi.org/10.1109/TNNLS.2017.2704779) (cf. p. 26)
- [90] Guilherme A. BARRETO. *Time Series Prediction with the Self-Organizing Map : A Review*. sous la dir. de Barbara HAMMER et Pascal HITZLER Berlin, Heidelberg : Springer Berlin Heidelberg, 2007. 135-158 DOI : [10.1007/978-3-540-73954-8_6](https://doi.org/10.1007/978-3-540-73954-8_6) (cf. p. 27)
- [91] Xiaohang JIN et al. A Data-Driven Approach for Bearing Fault Prognostics. *IEEE Transactions on Industry Applications*, **55** : 3394-3401, 2019. DOI : [10.1109/TIA.2019.2907666](https://doi.org/10.1109/TIA.2019.2907666) (cf. p. 27)
- [92] Hsiung-Cheng LIN, Ling-Ling LI et Vincent C. S. LEE. Multiple Autonomous Robots Coordination and Navigation. *Journal of Robotics*, **2019** : 1-2, 2019. DOI : [10.1155/2019/1274372](https://doi.org/10.1155/2019/1274372) (cf. p. 27)
- [93] Jiankun WANG et Max Q.-H. MENG. Socially Compliant Path Planning for Robotic Autonomous Luggage Trolley Collection at Airports. *Sensors*, **19** : 2759, 2019. DOI : [10.3390/s19122759](https://doi.org/10.3390/s19122759) (cf. p. 27)
- [94] Yu YANG et al. “RiBoSOM : Rapid Bacterial Genome Identification Using Self-Organizing Map Implemented on the Synchoros SiLago Platform” en in : *Proceedings of the 18th International Conference on Embedded Computer Systems Architectures, Modeling, and Simulation - SAMOS '18*. Pythagorion, Greece : ACM Press, 2018. 105-114 DOI : [10.1145/3229631.3229650](https://doi.org/10.1145/3229631.3229650) (cf. p. 27)
- [95] Zunkai HUANG et al. A Hardware-Efficient Vector Quantizer Based on Self-Organizing Map for High-Speed Image Compression. *Applied Sciences*, **7** : 1106, 2017. DOI : [10.3390/app7111106](https://doi.org/10.3390/app7111106) (cf. p. 27, 28)

- [96] Pascual CAMPOY et Pedro GUTIÉRREZ. *Image Compression by a Time Enhanced Self Organizing Map*. en sous la dir. de David HUTCHISON et al. t. 4225 Berlin, Heidelberg : Springer Berlin Heidelberg, 2006. 985-992 DOI : [10.1007/11892755_102](https://doi.org/10.1007/11892755_102) (cf. p. 27)
- [97] N. SUDHA, T. SRIKANTHAN et Babu MAILACHALAM. A VLSI Architecture for 3-D Self-Organizing Map Based Color Quantization and Its FPGA Implementation. *Journal of Systems Architecture*, **48** : 337-352, 2003. DOI : [10.1016/S1383-7621\(03\)00021-3](https://doi.org/10.1016/S1383-7621(03)00021-3) (cf. p. 27)
- [98] Miguel Angelo de Abreu DE SOUSA, Ricardo PIRES et Emilio DEL-MORAL-HERNANDEZ. SOMprocessor : A High Throughput FPGA-Based Architecture for Implementing Self-Organizing Maps and Its Application to Video Processing. *Neural Networks*, **125** : 349-362, 2020. DOI : [10.1016/j.neunet.2020.02.019](https://doi.org/10.1016/j.neunet.2020.02.019) (cf. p. 27)
- [99] Jaeyoung KIM et Pinaki MAZUMDER. Energy-Efficient Hardware Architecture of Self-Organizing Map for ECG Clustering in 65-Nm CMOS. *IEEE Transactions on Circuits and Systems II : Express Briefs*, **64** : 1097-1101, 2017. DOI : [10.1109/TCSII.2017.2672789](https://doi.org/10.1109/TCSII.2017.2672789) (cf. p. 27)
- [100] Daqi ZHU et al. Biologically Inspired Self-Organizing Map Applied to Task Assignment and Path Planning of an AUV System. *IEEE Transactions on Cognitive and Developmental Systems*, **10** : 304-313, 2018. DOI : [10.1109/TCDS.2017.2727678](https://doi.org/10.1109/TCDS.2017.2727678) (cf. p. 27)
- [101] K. ASANOVIC. "A Fast Kohonen Net Implementation for Spert-IP" en in : *International Work-Conf. on Artificial and Natural Neural Networks (IWANN'97)*. 1997. 792-800 (cf. p. 28)
- [102] P. IENNE, P. THIRAN et Vassilas N. Modified Self-Organizing Feature Map Algorithms for Efficient Digital Hardware Implementation. *IEEE Trans. on Neural networks*, **8** : doi : 10.1109/72.557669, 315-330, 1997. (cf. p. 28)
- [103] M. PORRMANN et al. "A Reconfigurable SOM Hardware Accelerator" en in : *European Symposium on Artificial Neural Networks (ESANN 2002)*. 2002. 337-342 (cf. p. 28)
- [104] D. C. HENDRY, A. A. DUNCAN et N. LIGHTOWLER. IP Core Implementation of a Self-Organizing Neural Network. *IEEE Trans. on Neural Networks*, **14** : doi : 10.1109/TNN.2003.816353, 1085-1096, 2003. (cf. p. 28)
- [105] M. P. PORRMANN, U. WITKOWSKI et U. RÜCKERT. A Massively Parallel Architecture for Self-Organizing Feature Maps. *IEEE Trans. on Neural Networks*, **14** : doi : 10.1109/TNN.2003.816368, 1110-1121, 2003. (cf. p. 28)
- [106] H. TAMUKOH et al. "Self-Organizing Map Hardware Accelerator System and its Application to Realtime Image Enlargement" en in : *2004 IEEE International Joint Conference on Neural Networks (IEEE Cat. No.04CH37541)*. t. 4 doi : 10.1109/IJCNN.2004.1381073 2003. 2683-2687 (cf. p. 28)
- [107] C. POHL et al. "gNBX - Reconfigurable Hardware Acceleration of Self-organizing Maps" en in : *2004 IEEE International Conference on Field- Programmable Technology (IEEE Cat. No.04EX921)*. doi : 10.1109/FPT.2004.1393256 2004. 97-104 DOI : [10.1109/FPT.2004.1393256](https://doi.org/10.1109/FPT.2004.1393256) (cf. p. 28)

- [108] J. PEÑA, M. VANEGAS et A. VALENCIA. “Digital Hardware Architectures of Kohonen’s Self Organizing Feature Maps with Exponential Neighboring Function” in : *2006 IEEE International Conference on Reconfigurable Computing and FPGA’s (ReConFig 2006)*. doi : 10.1109/RECONF.2006.307761 2006. 1-8 (cf. p. 28)
- [109] I. MANOLAKOS et E. LOGARAS. “High Throughput Systolic SOM IP Core for FPGAs” in : *Acoustics, Speech and Signal Processing. ICASSP 2007* 2007. 61 -64 (cf. p. 28, 36, 42)
- [110] A. RAMIREZ-AGUNDIS, R. GADEA-GIRONES et R. COLOM-PALERO. A hardware design of a massive-parallel, modular NN-based vector quantizer for real-time video coding. *Journal - Microprocessors and Microsystems*, **32** : 33 -44, 2008. (cf. p. 28, 36, 42)
- [111] R. DLUGOSZ, M. KOLASA et M. SZULC. “An FPGA Implementation of the Asynchronous Programmable Neighborhood Mechanism for WTM Self-Organizing Map” en in : *Proceedings of the 18th International Conference Mixed Design of Integrated Circuits and Systems - MIXDES 2011*. 2011. 258-263 (cf. p. 28)
- [112] J. LACHMAIR et al. A reconfigurable neuroprocessor for self-organizing feature maps. *Journal of Neurocomputing*, **112** : 189 -199, 2013. (cf. p. 28)
- [113] H. HIKAWA. FPGA Implementation of Self-Organizing Map with Digital Phase-Locked Loops. *Neural Networks*, **18** : doi = <https://doi.org/10.1016/j.neunet.2005.06.012>, 514-522, 2005. DOI : <https://doi.org/10.1016/j.neunet.2005.06.012> (cf. p. 28)
- [114] H. HIKAWA et Y. MAEDA. Improved Learning Performance of Hardware Self-Organizing Map Using a Novel Neighborhood Function. *IEEE Transactions on Neural Networks and Learning Systems*, **PP** : 1-1, 2015. DOI : [10.1109/TNNLS.2015.2398932](https://doi.org/10.1109/TNNLS.2015.2398932) (cf. p. 28)
- [115] Mehdi ABADI et al. “A Hardware Configurable Self-Organizing Map for Real-Time Color Quantization” en in : *2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS)*. Monte Carlo, Monaco : IEEE, déc. 2016. 336-339 DOI : [10.1109/ICECS.2016.7841201](https://doi.org/10.1109/ICECS.2016.7841201) (cf. p. 28)
- [116] Mehdi ABADI et al. “A Scalable Flexible SOM NoC-Based Hardware Architecture” en in : *Advances in Self-Organizing Maps and Learning Vector Quantization* sous la dir. d’Erzsébet MERÉNYI, Michael J. MENDENHALL et Patrick O’DRISCOLL. t. 428 Cham : Springer International Publishing, 2016. 165-175 DOI : [10.1007/978-3-319-28518-4_14](https://doi.org/10.1007/978-3-319-28518-4_14) (cf. p. 28)
- [117] Miguel Angelo DE ABREU DE SOUSA et Emilio DEL-MORAL-HERNANDEZ. “Comparison of Three FPGA Architectures for Embedded Multidimensional Categorization through Kohonen’s Self-Organizing Maps” en in : *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*. Baltimore, MD, USA : IEEE, mai 2017. 1-4 DOI : [10.1109/ISCAS.2017.8050799](https://doi.org/10.1109/ISCAS.2017.8050799) (cf. p. 28)
- [118] Slavisa JOVANOVIC et al. “High Performance Scalable Hardware SOM Architecture for Real-Time Vector Quantization” en in : *2018 IEEE International Conference on Image Processing, Applications and Systems (IPAS)*. doi : 10.1109/IPAS.2018.8708863 Sophia Antipolis, France : IEEE. 256-261 DOI : [10.1109/IPAS.2018.8708863](https://doi.org/10.1109/IPAS.2018.8708863) (cf. p. 28, 40)

- [119] Hiroomi HIKAWA, Hidetaka ITO et Yutaka MAEDA. “A New Hardware Self-Organizing Map Architecture with High Expandability” in : *2018 IEEE International Conference on Image Processing, Applications and Systems (IPAS)*. Sophia Antipolis, France : IEEE, déc. 2018. 238-243 DOI : [10.1109/IPAS.2018.8708894](https://doi.org/10.1109/IPAS.2018.8708894) (cf. p. 28)
- [120] M. A. DE ABREU DE SOUSA et al. “An FPGA-based SOM Circuit Architecture for Online Learning of 64-QAM Data Streams” en in : *2018 International Joint Conference on Neural Networks (IJCNN)*. doi : 10.1109/IJCNN.2018.8489518 2018. 1-8 DOI : [10.1109/IJCNN.2018.8489518](https://doi.org/10.1109/IJCNN.2018.8489518) (cf. p. 28)
- [121] H. HIKAWA, H. ITO et Y. MEDA. “Hardware Self-Organizing Map Based on Frequency-Modulated Signal and Digital Frequency-Locked Loop” en in : *2018 IEEE International Conference on Circuits and Systems (ISCAS)*. doi : 10.1109/ISCAS.2018.8351364 Florence, Italy : IEEE, 2018. 1-5 DOI : [10.1109/ISCAS.2018.8351364](https://doi.org/10.1109/ISCAS.2018.8351364) (cf. p. 28)
- [122] Hiroomi HIKAWA. “Nested Hardware Architecture for Self-Organizing Map” en in : *2019 International Joint Conference on Neural Networks (IJCNN)*. Budapest, Hungary : IEEE, juill. 2019. 1-7 DOI : [10.1109/IJCNN.2019.8851894](https://doi.org/10.1109/IJCNN.2019.8851894) (cf. p. 28)
- [123] Yuichiro TANAKA et Hakaru TAMUKOH. “Hardware Implementation of Brain-Inspired Amygdala Model” en in : *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*. Sapporo, Japan : IEEE, mai 2019. 1-5 DOI : [10.1109/ISCAS.2019.8702430](https://doi.org/10.1109/ISCAS.2019.8702430) (cf. p. 28)
- [124] Khaled BEN KHALIFA, Ahmed Ghazi BLAIECH et Mohamed Hédi BEDOUI. A Novel Hardware Systolic Architecture of a Self-Organizing Map Neural Network. *Computational Intelligence and Neuroscience*, **2019** : 1-14, 2019. DOI : [10.1155/2019/8212867](https://doi.org/10.1155/2019/8212867) (cf. p. 28)
- [125] Jan LACHMAIR et al. “From CPU to FPGA — Acceleration of Self-Organizing Maps for Data Mining” in : *2017 International Joint Conference on Neural Networks (IJCNN)*. Anchorage, AK, USA : IEEE, mai 2017. 4299-4308 DOI : [10.1109/IJCNN.2017.7966400](https://doi.org/10.1109/IJCNN.2017.7966400) (cf. p. 28)
- [126] Lyes KHACEF, Vincent GRIPON et Benoit MIRAMOND. GPU-Based Self-Organizing Maps for Post-Labeled Few-Shot Unsupervised Learning. *arXiv :2009.03665 [cs]*, 2020. arXiv : [2009.03665 \[cs\]](https://arxiv.org/abs/2009.03665) (cf. p. 28)
- [127] Yi XIAO et al. A GPU Implementation for LBG and SOM Training. *Neural Computing and Applications*, **20** : 1035-1042, 2011. DOI : [10.1007/s00521-010-0403-7](https://doi.org/10.1007/s00521-010-0403-7) (cf. p. 28)
- [128] Vincent MALLETT, Michael NILGES et Guillaume BOUVIER. Quicksom : Self-Organizing Maps on GPUs for Clustering of Molecular Dynamics Trajectories. *Bioinformatics*, **37** : 2064-2065, 2021. DOI : [10.1093/bioinformatics/btaa925](https://doi.org/10.1093/bioinformatics/btaa925) (cf. p. 28)
- [129] Peter WITTEK et al. Somoclu : An Efficient Parallel Library for Self-Organizing Maps. *Journal of Statistical Software*, **78** : 2017. DOI : [10.18637/jss.v078.i09](https://doi.org/10.18637/jss.v078.i09) arXiv : [1305.1422](https://arxiv.org/abs/1305.1422) (cf. p. 28)
- [130] Riccardo MANCINI et al. “XPySom : High-Performance Self-Organizing Maps” in : *2020 IEEE 32nd International Symposium on Computer Architecture and High Performance Computing (SBAC-PAD)*. Porto, Portugal : IEEE, sept. 2020. 209-216 DOI : [10.1109/SBAC-PAD49847.2020.00037](https://doi.org/10.1109/SBAC-PAD49847.2020.00037) (cf. p. 28)

- [131] Yao LIU et al. “A Scalable Heterogeneous Parallel SOM Based on MPI/CUDA” in : *Asian Conference on Machine Learning*. PMLR 2018. 264-279 (cf. p. 28)
- [132] Guillaume BOUVIER et al. An automatic tool to analyze and cluster macromolecular conformations based on self-organizing maps. *Bioinformatics*, **31** : 1490-1492, 2015. (cf. p. 28)
- [133] V MOOSAVI, S PACKMANN et I VALLÉS. SOMPY : A Python Library for Self Organizing Map (SOM). *GitHub.[Online]*. Available : <https://github.com/sevamoo/SOMPY>, 2014. (cf. p. 28)
- [134] Bernd FRITZKE. Growing Cell Structures—A Self-Organizing Network for Unsupervised and Supervised Learning. *Neural Networks*, **7** : 1441-1460, 1994. DOI : [10.1016/0893-6080\(94\)90091-4](https://doi.org/10.1016/0893-6080(94)90091-4) (cf. p. 29, 43, 44)
- [135] Bernd FRITZKE. Growing Grid - a Self Organizing Network with Constant Neighborhood Range and Adaptation Strength. *Neural processing letters*, **2** : 9-13, 1995. (cf. p. 29, 43-45)
- [136] Bernd FRITZKE et al. A growing neural gas network learns topologies. *Advances in neural information processing systems*, **7** : 625-632, 1995. (cf. p. 29, 43, 44, 71)
- [137] Mehdi ABADI et al. A scalable and adaptable hardware NoC-based self organizing map. *Microprocessors and Microsystems*, **57** : 1 -14, 2018. DOI : <https://doi.org/10.1016/j.micpro.2017.12.007> (cf. p. 30-37, 42)
- [138] S JOVANOVIĆ et al. CuNoC : A dynamic scalable communication structure for dynamically reconfigurable FPGAs. *Microprocessors and Microsystems*, **33** : 24-36, 2009. (cf. p. 31)
- [139] H. TAMUKOH et al. “Self-organizing Map Hardware Accelerator System and its Application to Realtime Image Enlargement” in : *Proc. IEEE IJCNN*. 2004. 2683 -2687 (cf. p. 36, 42)
- [140] H. HIKAWA et Y. MAEDA. Improved Learning Performance of Hardware Self-Organizing Map Using a Novel Neighborhood Function. *IEEE Transactions on Neural Networks and Learning Systems*, **26** : 2861 -2873, 2015. (cf. p. 36, 42)
- [141] M. PORRMANN, U. WITKOWSKI et U. RUCKERT Uuckert. In : *FPGA Implementations of Neural Networks*. A.R. OMONDI et J.C. RAJAPAKSE, éd. Chap. "Implementation of Self Organizing Feature Maps in Reconfigurable Hardware", 247-269. Boston, MA : Springer US, 2006. (cf. p. 36, 42)
- [142] H. TAMUKOH et M. SEKINE. “A Dynamically Reconfigurable Platform for Self-Organizing Neural Network Hardware” in : *ICONIP 2010, Part II, LNCS*. sous la dir. de K.W. et al. WONG 6444 2010. 439 -446 (cf. p. 36, 42)
- [143] H. HIKAWA et K. KAIDA. Novel FPGA Implementation of Hand Sign Recognition System With SOM-Hebb Classifier. *IEEE Transactions on Circuits and Systems for Video Technology*, **25** : 153-166, 2015. (cf. p. 36)
- [144] Mehdi ABADI et al. “A Multi-Application, Scalable and Adaptable Hardware SOM Architecture” en in : *2019 International Joint Conference on Neural Networks (IJCNN)*. Budapest, Hungary : IEEE, juill. 2019. 1-8 DOI : [10.1109/IJCNN.2019.8851797](https://doi.org/10.1109/IJCNN.2019.8851797) (cf. p. 37-39)

- [145] M. ABADI et al. “A Scalable Flexible SOM NoC-Based Hardware Architecture” in : *Advances in Self-Organizing Maps and Learning Vector Quantization : Proceedings of the 11th International Workshop WSOM 2016, Houston, Texas, USA, January 6-8, 2016*. 2016. 165-175 (cf. p. 38)
- [146] Slavisa JOVANOVIĆ, Hassan RABAH et Serge WEBER. Large-scale distributed and scalable SOM-based architecture for high-dimensional data reduction. *AI for Emerging Verticals : Human-robot computing, sensing and networking*, 315, 2020. (cf. p. 41, 43)
- [147] S. JOVANOVIĆ, H. RABAH et S. WEBER. “High performance scalable hardware SOM architecture for real-time vector quantization” in : *2018 IEEE International Conference on Image Processing, Applications and Systems (IPAS)*. 2018. 256-261 DOI : [10.1109/IPAS.2018.8708863](https://doi.org/10.1109/IPAS.2018.8708863) (cf. p. 43)
- [148] José GARCÍA-RODRÍGUEZ et al. Autonomous Growing Neural Gas for Applications with Time Constraint : Optimal Parameter Estimation. *Neural Networks*, **32** : 196-208, 2012. DOI : [10.1016/j.neunet.2012.02.032](https://doi.org/10.1016/j.neunet.2012.02.032) (cf. p. 43)
- [149] Stephen MARSLAND, Jonathan SHAPIRO et Ulrich NEHMZOW. A Self-Organising Network That Grows When Required. *Neural Networks*, **15** : 1041-1058, 2002. DOI : [10.1016/S0893-6080\(02\)00078-3](https://doi.org/10.1016/S0893-6080(02)00078-3) (cf. p. 43)
- [150] S BIZZI, RF HARRISON et DN LERNER. “The Growing Hierarchical Self-Organizing Map (GHSOM) for Analysing Multi-Dimensional Stream Habitat Datasets” in : *18th World IMACS/MODSIM Congress*. 2009. 1-6 (cf. p. 43)
- [151] Y. TODA et N. KUBOTA. “Feature Extraction Based on Hierarchical Growing Neural Gas for Informationally Structured Space” in : *The 2013 International Joint Conference on Neural Networks (IJCNN)*. août 2013. 1-7 DOI : [10.1109/IJCNN.2013.6706825](https://doi.org/10.1109/IJCNN.2013.6706825) (cf. p. 43)
- [152] Esteban J. PALOMO et Ezequiel LOPEZ-RUBIO. The Growing Hierarchical Neural Gas Self-Organizing Neural Network. *IEEE Transactions on Neural Networks and Learning Systems*, 1-10, 2016. DOI : [10.1109/TNNLS.2016.2570124](https://doi.org/10.1109/TNNLS.2016.2570124) (cf. p. 43)
- [153] Takashi KUREMOTO et al. Parameterless-Growing-SOM and Its Application to a Voice Instruction Learning System. *Journal of Robotics*, **2010** : 1-9, 2010. DOI : [10.1155/2010/307293](https://doi.org/10.1155/2010/307293) (cf. p. 43)
- [154] Takashi KUREMOTO et al. A Hand Shape Instruction Recognition and Learning System Using Growing SOM with Asymmetric Neighborhood Function. *Neurocomputing*, **188** : 31-41, 2016. DOI : [10.1016/j.neucom.2014.10.108](https://doi.org/10.1016/j.neucom.2014.10.108) (cf. p. 43)
- [155] Thouraya AYADI, Tarek M. HAMDANI et Adel M. ALIMI. MIGSOM : Multilevel Interior Growing Self-Organizing Maps for High Dimensional Data Clustering. *Neural Processing Letters*, **36** : 235-256, 2012. DOI : [10.1007/s11063-012-9233-1](https://doi.org/10.1007/s11063-012-9233-1) (cf. p. 43)
- [156] R.L. MENDONA ERNESTO REGO, A.F.R. ARAUJO et F.B. DE LIMA NETO. Growing Self-Reconstruction Maps. *IEEE Transactions on Neural Networks*, **21** : 211-223, 2010. DOI : [10.1109/TNN.2009.2035312](https://doi.org/10.1109/TNN.2009.2035312) (cf. p. 43)

- [157] Slaviša JOVANOVIĆ et al. “Scalable, Dynamic and Growing Hardware Self-Organizing Architecture for Real-Time Vector Quantization” in : *2020 27th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*. 2020. 1-4 DOI : [10.1109/ICECS49266.2020.9294921](https://doi.org/10.1109/ICECS49266.2020.9294921) (cf. p. 45, 46)
- [158] John L HENNESSY et David A PATTERSON. A new golden age for computer architecture : Domain-specific hardware/software co-design, enhanced security, open instruction sets, and agile chip development. *Turing Lecture*, 2018. (cf. p. 49, 71)
- [159] Amirali BOROUMAND et al. “Google workloads for consumer devices : Mitigating data movement bottlenecks” in : *Proceedings of the Twenty-Third International Conference on Architectural Support for Programming Languages and Operating Systems*. 2018. 316-331 (cf. p. 49)
- [160] Junwhan AHN et al. “A scalable processing-in-memory accelerator for parallel graph processing” in : *Proceedings of the 42nd Annual International Symposium on Computer Architecture*. 2015. 105-117 (cf. p. 49)
- [161] Ping CHI et al. Prime : A novel processing-in-memory architecture for neural network computation in reram-based main memory. *ACM SIGARCH Computer Architecture News*, **44** : 27-39, 2016. (cf. p. 49)
- [162] Daichi FUJIKI, Scott MAHLKE et Reetuparna DAS. In-memory data parallel processor. *ACM SIGPLAN Notices*, **53** : 1-14, 2018. (cf. p. 49)
- [163] Lulu GE et Keshab K. PARHI. Classification Using Hyperdimensional Computing : A Review. *IEEE Circuits and Systems Magazine*, **20** : 30-47, 22. DOI : [10.1109/MCAS.2020.2988388](https://doi.org/10.1109/MCAS.2020.2988388) arXiv : [2004.11204](https://arxiv.org/abs/2004.11204) (cf. p. 49, 70, 71)
- [164] Onur MUTLU et al. A Modern Primer on Processing in Memory. **2012.03112** : 1-42, 2020. arXiv : [2012.03112](https://arxiv.org/abs/2012.03112) [[cs.AR](#)] (cf. p. 49)
- [165] Nastaran HAJINAZAR et al. “SIMDRAM : A Framework for Bit-Serial SIMD Processing Using DRAM” in. 2021. arXiv : [2012.11890](https://arxiv.org/abs/2012.11890) [[cs.AR](#)] (cf. p. 49)
- [166] Sumanth UMESH et Sparsh MITTAL. A survey of spintronic architectures for processing-in-memory and neural networks. *Journal of Systems Architecture*, **97** : 349-372, 2019. (cf. p. 49)
- [167] Vivienne SZE et al. “Hardware for machine learning : Challenges and opportunities” in : *2017 IEEE Custom Integrated Circuits Conference (CICC)*. IEEE 2017. 1-8 (cf. p. 49, 71)
- [168] Ahmad SHAWAHNA, Sadiq M SAIT et Aiman EL-MALEH. FPGA-based accelerators of deep learning networks for learning and classification : A review. *IEEE Access*, **7** : 7823-7859, 2018. (cf. p. 49, 71)
- [169] Chao WANG et al. DLAU : A scalable deep learning accelerator unit on FPGA. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, **36** : 513-517, 2016. (cf. p. 49, 71)
- [170] Sebastien PETIT-WATELOT et al. Commensurability and chaos in magnetic vortex oscillations. *Nature Physics*, **8** : 9, 2012. (cf. p. 50, 51)

- [171] M LAKSHMANAN. The fascinating world of the Landau–Lifshitz–Gilbert equation : an overview. *Philosophical Transactions of the Royal Society A : Mathematical, Physical and Engineering Sciences*, **369** : 1280-1300, 2011. (cf. p. 50, 52)
- [172] Ali Rida ISMAIL et al. Application of Reservoir Computing for the Modeling of Nano-Contact Vortex Oscillator. *Electronics*, **8** : 1315, 2019. DOI : [10.3390/electronics8111315](https://doi.org/10.3390/electronics8111315) (cf. p. 52-54, 56, 57, 60)
- [173] Joo-Von KIM et Thibaut DEVOLDER. Theory of the power spectrum of spin-torque nanocontact vortex oscillators. *arXiv preprint arXiv :1007.3859*, 1-12, 2010. (cf. p. 52)
- [174] Ronald J WILLIAMS et David ZIPSER. A learning algorithm for continually running fully recurrent neural networks. *Neural computation*, **1** : 270-280, 1989. (cf. p. 53)
- [175] Paul J WERBOS. Backpropagation through time : what it does and how to do it. *Proceedings of the IEEE*, **78** : 1550-1560, 1990. (cf. p. 53)
- [176] Gintaras V PUSKORIUS et Lee A FELDKAMP. Neurocontrol of nonlinear dynamical systems with Kalman filter trained recurrent networks. *IEEE Transactions on neural networks*, **5** : 279-297, 1994. (cf. p. 53)
- [177] Herbert JAEGER. The “echo state” approach to analysing and training recurrent neural networks-with an erratum note. *Bonn, Germany : German National Research Center for Information Technology GMD Technical Report*, **148** : 34, 2001. (cf. p. 53, 54, 57, 97, 98)
- [178] Wolfgang MAASS, Thomas NATSCHLÄGER et Henry MARKRAM. Real-time computing without stable states : A new framework for neural computation based on perturbations. *Neural computation*, **14** : 2531-2560, 2002. (cf. p. 53)
- [179] K. DOYA. “Bifurcations in the learning of recurrent neural networks” in : *[Proceedings] 1992 IEEE Intern. Symp. on Circuits and Syst.* t. 6 1992. 2777-2780 vol.6 DOI : [10.1109/ISCAS.1992.230622](https://doi.org/10.1109/ISCAS.1992.230622) (cf. p. 53)
- [180] Arne VANSTEENKISTE et al. The design and verification of MuMax3. *AIP advances*, **4** : 107133, 2014. (cf. p. 54)
- [181] Ali Rida ISMAIL et al. “Modeling of Nano-Contact Vortex Oscillator Using Recurrent Neural Network” in : *Colloque du GDR SoC2, 19-21 juin 2019, Montpellier, France.* 2019. 1-2 (cf. p. 54)
- [182] Herbert JAEGER. Controlling Recurrent Neural Networks by Conceptors. *CoRR*, **abs/1403.3369** : 1-200, 2014. arXiv : [1403.3369](https://arxiv.org/abs/1403.3369) (cf. p. 55)
- [183] Herbert JAEGER. Using conceptors to manage neural long-term memories for temporal patterns. *The Journal of Machine Learning Research*, **18** : 387-429, 2017. (cf. p. 55)
- [184] Ali Rida ISMAIL et al. “Novel Reservoir Computing Approach for the Detection of Chaos” in : *2021 IEEE International Symposium on Circuits and Systems (ISCAS).* 2021. 1-5 DOI : [10.1109/ISCAS51556.2021.9401735](https://doi.org/10.1109/ISCAS51556.2021.9401735) (cf. p. 59)
- [185] Ali Rida ISMAIL et al. “The Usage of New Reservoir Computing Approach for the Detection of Chaos” in : *Colloque du GDR SoC2, 8-10 juin 2021, Rennes, France.* 2021. 1-2 (cf. p. 59)

-
- [186] Georg A. GOTTWALD et Ian MELBOURNE. On the Implementation of the 0–1 Test for Chaos. *SIAM Journal on Applied Dynamical Systems*, **8** : 129-145, 2009. DOI : [10.1137/080718851](https://doi.org/10.1137/080718851) (cf. p. 63)
- [187] Ali Rida ISMAIL et al. Detection of Chaos using Reservoir Computing Approach. *submitted to IEEE Access, December*, 2021. (cf. p. 63)
- [188] Jampani SATISH BABU et al. The statistical approach for slot machine. *Journal of Advanced Research in Dynamical and Control Systems*, **9** : 1042-1053, 2017. (cf. p. 64)
- [189] Frederick JAMES et Lorenzo MONETA. Review of high-quality random number generators. *Computing and Software for Big Science*, **4** : 1-12, 2020. (cf. p. 64)
- [190] Ray CC CHEUNG et al. Hardware generation of arbitrary random number distributions from uniform distributions via the inversion method. *IEEE transactions on very large scale integration (VLSI) systems*, **15** : 952-962, 2007. (cf. p. 64)
- [191] David B THOMAS et Wayne LUK. The LUT-SR family of uniform random number generators for FPGA architectures. *IEEE transactions on very large scale integration (vlsi) systems*, **21** : 761-770, 2012. (cf. p. 64)
- [192] Zhenxiao FU et al. An Overview of Spintronic True Random Number Generator. *Frontiers in Physics*, **9** : 172, 2021. (cf. p. 64)
- [193] Ioan Mihai MIRON et al. Perpendicular switching of a single ferromagnetic layer induced by in-plane current injection. *Nature*, **476** : 189-193, 2011. (cf. p. 64)
- [194] Murat CUBUKCU et al. Spin-orbit torque magnetization switching of a three-terminal perpendicular magnetic tunnel junction. *Applied Physics Letters*, **104** : 042406, 2014. (cf. p. 64)
- [195] Won Ho CHOI et al. “A magnetic tunnel junction based true random number generator with conditional perturb and real-time output probability tracking” in : *2014 IEEE International Electron Devices Meeting*. IEEE 2014. 12-5 (cf. p. 64)
- [196] Satoshi OOSAWA et al. “Design of an STT-MTJ based true random number generator using digitally controlled probability-locked loop” in : *2015 IEEE 13th International New Circuits and Systems Conference (NEWCAS)*. IEEE 2015. 1-4 (cf. p. 64)
- [197] Lishuang GONG et al. True random number generators using electrical noise. *IEEE Access*, **7** : 125796-125805, 2019. (cf. p. 64)
- [198] Yuanzhuo QU et al. Variation-resilient true random number generators based on multiple STT-MTJs. *IEEE Transactions on Nanotechnology*, **17** : 1270-1281, 2018. (cf. p. 64)
- [199] Kaiyuan YANG et al. “A 28NM integrated true random number generator harvesting entropy from MRAM” in : *2018 IEEE Symposium on VLSI Circuits*. IEEE 2018. 171-172 (cf. p. 64)
- [200] Damir VODENICAREVIC et al. Low-energy truly random number generation with superparamagnetic tunnel junctions for unconventional computing. *Physical Review Applied*, **8** : 054045, 2017. (cf. p. 64)

- [201] Paul KOHLBRENNER et Kris GAJ. “An Embedded True Random Number Generator for FPGAs” in : *Proceeding of the 2004 ACM/SIGDA 12th International Symposium on Field Programmable Gate Arrays - FPGA '04*. Monterey, California, USA : ACM Press, 2004. 71 DOI : [10.1145/968280.968292](https://doi.org/10.1145/968280.968292) (cf. p. 64)
- [202] Kaiyuan YANG, David BLAAUW et Dennis SYLVESTER. An all-digital edge racing true random number generator robust against PVT variations. *IEEE Journal of Solid-State Circuits*, **51** : 1022-1031, 2016. (cf. p. 64)
- [203] Mehrdad MAJZOBI, Farinaz KOUSHANFAR et Srinivas DEVADAS. “FPGA-based true random number generation using circuit metastability with adaptive feedback control” in : *International Workshop on Cryptographic Hardware and Embedded Systems*. Springer 2011. 17-32 (cf. p. 64)
- [204] Piotr Zbigniew WIECZOREK et Krzysztof GOŁOŃ. Dual-metastability time-competitive true random number generator. *IEEE Transactions on Circuits and Systems I : Regular Papers*, **61** : 134-145, 2013. (cf. p. 64)
- [205] Piotr Zbigniew WIECZOREK. An FPGA implementation of the resolve time-based true random number generator with quality control. *IEEE Transactions on Circuits and Systems I : Regular Papers*, **61** : 3450-3459, 2014. (cf. p. 64)
- [206] Shuiying XIANG et al. 2.24-Tb/s physical random bit generation with minimal post-processing based on chaotic semiconductor lasers network. *Journal of Lightwave Technology*, **37** : 3987-3993, 2019. (cf. p. 64)
- [207] Wen LI et al. Fast physical random-number generation based on room-temperature chaotic oscillations in weakly coupled superlattices. *Physical review letters*, **111** : 044102, 2013. (cf. p. 64)
- [208] Luis L BONILLA, Mariano ALVARO et Manuel CARRETERO. Chaos-based true random number generators. *Journal of Mathematics in Industry*, **7** : 1-17, 2016. (cf. p. 64)
- [209] Fabio PARESCHI, Gianluca SETTI et Riccardo ROVATTI. “A fast chaos-based true random number generator for cryptographic applications” in : *2006 Proceedings of the 32nd European Solid-State Circuits Conference*. IEEE 2006. 130-133 (cf. p. 64)
- [210] Salih ERGÜN et Serdar ÖZOGUZ. Truly random number generators based on non-autonomous continuous-time chaos. *international journal of circuit theory and applications*, **38** : 1-24, 2010. (cf. p. 64)
- [211] Andrew RUKHIN. NIST Special Publication 800-22. <http://csrc.nist.gov/rng/SP800-22b.pdf>, 1-131, 2001. (cf. p. 65)
- [212] Ozgur B AKAN et al. Internet of hybrid energy harvesting things. *IEEE Internet of Things Journal*, **5** : 736-746, 2017. (cf. p. 69)
- [213] Hanjun RYU, Hong-Joon YOON et Sang-Woo KIM. Hybrid energy harvesters : toward sustainable energy harvesting. *Advanced Materials*, **31** : 1802898, 2019. (cf. p. 70)
- [214] Wei LI et al. On enabling sustainable edge computing with renewable energy resources. *IEEE Communications Magazine*, **56** : 94-101, 2018. (cf. p. 70)

- [215] Behnam KIA et al. Nonlinear Dynamics Based Machine Learning : Utilizing Dynamics-Based Flexibility of Nonlinear Circuits to Implement Different Functions. *PLOS ONE*, **15** : e0228534, 2020. DOI : [10.1371/journal.pone.0228534](https://doi.org/10.1371/journal.pone.0228534) (cf. p. 70)
- [216] Yang TANG et al. Introduction to Focus Issue : When Machine Learning Meets Complex Systems : Networks, Chaos, and Nonlinear Dynamics. *Chaos : An Interdisciplinary Journal of Nonlinear Science*, **30** : 063151, 2020. DOI : [10.1063/5.0016505](https://doi.org/10.1063/5.0016505) (cf. p. 70)
- [217] Siting LIU, Warren J. GROSS et Jie HAN. Introduction to Dynamic Stochastic Computing. *IEEE Circuits and Systems Magazine*, **20** : 19-33, 23. DOI : [10.1109/MCAS.2020.3005483](https://doi.org/10.1109/MCAS.2020.3005483) (cf. p. 70)
- [218] Geethan KARUNARATNE et al. In-Memory Hyperdimensional Computing. *Nature Electronics*, 327-337, 2020. arXiv : [1906.01548 \[physics\]](https://arxiv.org/abs/1906.01548) (cf. p. 70)
- [219] Yue ZHANG et al. “Spintronics for low-power computing” in : *2014 Design, Automation & Test in Europe Conference & Exhibition (DATE)*. IEEE 2014. 1-6 (cf. p. 71)
- [220] Giovanni FINOCCHIO et al. The promise of spintronics for unconventional computing. *Journal of Magnetism and Magnetic Materials*, **521** : 167506, 2021. (cf. p. 71)
- [221] Aleksandr KURENKOV, Shunsuke FUKAMI et Hideo OHNO. Neuromorphic computing with antiferromagnetic spintronics. *Journal of Applied Physics*, **128** : 010902, 2020. (cf. p. 71)
- [222] Sergi ABADAL et al. Computing and Communications for the Software-Defined Metamaterial Paradigm : A Context Analysis. *IEEE Access*, **5** : 6225-6235, 2017. DOI : [10.1109/ACCESS.2017.2693267](https://doi.org/10.1109/ACCESS.2017.2693267) (cf. p. 71)
- [223] Filip LEMIC, Sergi ABADAL et Jeroen FAMAHEY. “Toward localization in terahertz-operating energy harvesting software-defined metamaterials : context analysis” in : *Proceedings of the 7th ACM International Conference on Nanoscale Computing and Communication*. 2020. 1-6 (cf. p. 71)
- [224] Xin FENG et al. Computer vision algorithms and hardware implementations : A survey. *Integration*, **69** : 309-320, 2019. (cf. p. 71)
- [225] Balaji SUBRAMANIAM et al. “Trends in energy-efficient computing : A perspective from the Green500” in : *2013 International Green Computing Conference Proceedings*. IEEE 2013. 1-8 (cf. p. 71)
- [226] Muhammad ZAKARYA et Lee GILLAM. Energy efficient computing, clusters, grids and clouds : A taxonomy and survey. *Sustainable Computing : Informatics and Systems*, **14** : 13-33, 2017. (cf. p. 71)
- [227] Kaicong SUN et al. An FPGA-Based Residual Recurrent Neural Network for Real-Time Video Super-Resolution. *IEEE Transactions on Circuits and Systems for Video Technology*, 2021. (cf. p. 72)
- [228] Brandon LUCIA et al. Intermittent Computing : Challenges and Opportunities. 14 pages, 2017. DOI : [10.4230/LIPICS.SNAPL.2017.8](https://doi.org/10.4230/LIPICS.SNAPL.2017.8) (cf. p. 72, 73)

- [229] Brandon LUCIA et Benjamin RANSFORD. “A Simpler, Safer Programming and Execution Model for Intermittent Systems” en in : *Proceedings of the 36th ACM SIGPLAN Conference on Programming Language Design and Implementation*. Portland OR USA : ACM, juin 2015. 575-585 DOI : [10.1145/2737924.2737978](https://doi.org/10.1145/2737924.2737978) (cf. p. 72)
- [230] Jasper DE WINKEL et al. “Reliable timekeeping for intermittent computing” in : *Proceedings of the Twenty-Fifth International Conference on Architectural Support for Programming Languages and Operating Systems*. 2020. 53-67 (cf. p. 72)
- [231] Gautier BERTHOU et al. “Intermittent Computing with Peripherals, Formally Verified” in : *The 21st ACM SIGPLAN/SIGBED Conference on Languages, Compilers, and Tools for Embedded Systems*. 2020. 85-96 (cf. p. 72)
- [232] Domenico BALSAMO et al. Hibernus++ : A Self-Calibrating and Adaptive System for Transiently-Powered Embedded Devices. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, **35** : 1968-1980, 2016. DOI : [10.1109/TCAD.2016.2547919](https://doi.org/10.1109/TCAD.2016.2547919) (cf. p. 72)
- [233] Domenico BALSAMO et al. Momentum : Power-Neutral Performance Scaling with Intrinsic MPPT for Energy Harvesting Computing Systems. *ACM Transactions on Embedded Computing Systems*, **17** : 1-25, 2019. DOI : [10.1145/3281300](https://doi.org/10.1145/3281300) (cf. p. 72)
- [234] Kiwan MAENG, Alexei COLIN et Brandon LUCIA. Alpaca : Intermittent execution without checkpoints. *Proceedings of the ACM on Programming Languages*, **1** : 1-30, 2017. (cf. p. 72, 73)
- [235] Josiah HESTER, Kevin STORER et Jacob SORBER. “Timely execution on intermittently powered batteryless sensors” in : *Proceedings of the 15th ACM Conference on Embedded Network Sensor Systems*. 2017. 1-13 (cf. p. 72, 73)
- [236] Alexei COLIN, Emily RUPPEL et Brandon LUCIA. “A reconfigurable energy storage architecture for energy-harvesting devices” in : *Proceedings of the Twenty-Third International Conference on Architectural Support for Programming Languages and Operating Systems*. 2018. 767-781 (cf. p. 72, 73)
- [237] Kiwan MAENG et Brandon LUCIA. “Supporting peripherals in intermittent systems with just-in-time checkpoints” in : *Proceedings of the 40th ACM SIGPLAN Conference on Programming Language Design and Implementation*. 2019. 1101-1116 (cf. p. 72, 73)
- [238] Joshua SAN MIGUEL et al. The EH model : Analytical exploration of energy-harvesting architectures. *IEEE Computer Architecture Letters*, **17** : 76-79, 2017. (cf. p. 72)
- [239] Tim DAULBY et al. Improving the forward progress of transient systems. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, **40** : 444-452, 2020. (cf. p. 72)
- [240] Matthew HICKS. “Clank : Architectural Support for Intermittent Computation” en in : *Proceedings of the 44th Annual International Symposium on Computer Architecture*. Toronto ON Canada : ACM, juin 2017. 228-240 DOI : [10.1145/3079856.3080238](https://doi.org/10.1145/3079856.3080238) (cf. p. 73)