



HAL
open science

Conception de Circuits Intégrés à Faible Coût et à Faible Consommation pour la Radio Impulsionnelle Ultra Large Bande

Sylvain Bourdel

► **To cite this version:**

Sylvain Bourdel. Conception de Circuits Intégrés à Faible Coût et à Faible Consommation pour la Radio Impulsionnelle Ultra Large Bande. Micro et nanotechnologies/Microélectronique. Université Paul Cézanne - Aix Marseille III, 2009. tel-03616458

HAL Id: tel-03616458

<https://hal.science/tel-03616458v1>

Submitted on 22 Mar 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Année 2009

MEMOIRE
Présenté devant

**L'UNIVERSITE PAUL CEZANNE
AIX MARSEILLE III**

Par

Sylvain BOURDEL
Docteur de l'INSA de Toulouse
Maître de Conférences à l'Université Paul Cézanne

En vue d'obtenir

L'HABILITATION A DIRIGER DES RECHERCHES

Sur le thème

*"Conception de Circuits Intégrés à Faible Coût et à Faible Consommation pour
la Radio Impulsionnelle Ultra Large Bande"*

Soutenance le 9 décembre 2009 devant la commission d'examen :

Rapporteur : **R. BOUCHAKOUR**
Rapporteur : **Y. DEVAL**
Rapporteur : **T. PARRA**
Examineur: **G. JACQUEMOD**
Examineur : **H. BARTHELEMY**

Pr, Université de Provence Aix-Marseille 1
Pr, Institut Polytechnique de Bordeaux
Pr, Université de Toulouse 3
Pr, Université de Nice
Pr, Université de Toulon et du Var

Remerciements

Liste des Acronymes et Abréviations

AC	<i>Alternative Component</i> (Composante Alternative)
AS	Analyseur de spectre
BER	<i>Bit Error Rate</i> (Taux d'erreur sur les bits)
BPSK	<i>Binary Phase Shift Keying</i> (Modulation par saut de phase binaire)
BW	<i>Bandwidth</i> (Bande Passante)
CAN	Convertisseur Analogique Numérique
CI	Circuit Intégré
CS	<i>Common Source</i> (Source commune)
DC	<i>Discrete Component</i> (Composante Continue)
DK	<i>Design Kit</i> (Kit de conception pour la simulation)
DLL	<i>Delay Locked Loop</i> (Boucle à verrouillage par le délai)
DSP	Densité Spectrale de Puissance
DSSS	<i>Direct Sequence Spread Spectrum</i> (Étalement de spectre par séquence directe)
E/R	Émetteur Récepteur
ECC	<i>Electronic Communications Committee</i>
FCC	<i>Federal Communications Commission</i>
FFT	<i>Fast Fourier Transform</i> (Transformée de Fourier Rapide)
IL	<i>Insertion Loss</i> (Pertes d'insertion)
IR	<i>Impulse Radio</i> (Radio Impulsionnelle)
LNA	<i>Low Noise Amplifier</i> (Amplificateur Faible Bruit)
MBOA	<i>Multiband OFDM Alliance</i>
OFDM	<i>Orthogonal Frequency Division Multiplex</i> (modulation par répartition en fréquences orthogonales)
OL	Oscillateur Local
OOK	<i>On Off Keying</i> (Modulation tout ou rien)
PA	<i>Power Amplifier</i> (Amplificateur de Puissance)
PAM	<i>Pulse Amplitude Modulation</i> (Modulation par l'amplitude de l'impulsion)
PIM	<i>Pulse Interval Modulation</i> (Modulation par intervalle d'impulsion)
PLL	<i>Phase Locked Loop</i> (Boucle à verrouillage par la phase)
PPM	<i>Pulse Position Modulation</i> (Modulation par la position de l'impulsion)
PSM	<i>Pulse Shape Modulation</i> (Modulation par la forme de l'impulsion)
QAC	<i>Quadrature Analog Correlator</i> (Corrélateur Analogique en Quadrature)
RAM	<i>Random Access Memory</i>
RBW	<i>Resolution Bandwidth</i> (Bande de résolution)
RF	Radiofréquence
RFID	<i>Radio Frequency Identification</i> (Identification Radiofréquence)
SF	<i>Source Follower</i> (Suiveur de tension)
SiP	<i>System in Package</i> (Systèmes intégrés dans le boîtier)
SNW	<i>Sensor Network</i> (Réseau de Capteurs)
SoC	<i>System on Chip</i> (Systèmes Intégrés dans la Puce)

SoP	<i>System on Package</i> (Système intégrés sur le boîtier)
SR	Super Régénérateur
TEB	Taux d'erreur sur les bits
UWB	<i>Ultra Wide Band</i> (Ultra Large Bande)
VCO	<i>Voltage Controlled Oscillator</i> (Oscillateur contrôlé en tension)
WBAN	<i>Wireless Body Area Network</i> (Réseau sans fil corporel)
WPAN	<i>Wireless Personal Area Network</i> (Réseau sans fil Personnel)

Table des Matières

Introduction Générale :	1
Chapitre I : Signaux et Systèmes Ultra Large Bande pour la Radio Impulsionnelle	
1 Introduction	8
2 Généralités sur les systèmes UWB.....	9
2.1 Les normes FCC et ECC	9
2.2 L’OFDM Ultra Large Bande (UWB-OFDM).....	10
2.3 La Radio Impulsionnelle Ultra Large Bande (UWB – IR)	12
2.4 Le champ de recherche.....	13
3 Les Signaux UWB Impulsionnels	15
3.1 Caractéristiques des signaux impulsionnels.....	15
3.2 Les principales modulations pour l’UWB.....	16
3.2.1 Cas général : modulations par la forme de l’impulsion (<i>Pulse Shape Modulation</i> – PSM).....	17
3.2.2 Cas Particulier : modulations PAM, OOK et BPSK	17
3.2.3 Modulations PPM.....	18
3.2.4 Comparaison.....	19
3.3 Outils d’analyse pour la conception	22
3.3.1 Simulation temporelle et fréquentielle	23
3.3.2 Méthode d’évaluation hybride de la DSP	24
4 Analyse des normes FCC et ECC	26
4.1 DSP moyenne	27
4.2 DSP crête.....	28
4.3 Interprétation	29
5 Quelles Applications pour l’UWB-IR ?.....	31
5.1 Enjeu et potentiel.....	32
5.1.1 La portée.....	32
5.1.2 La consommation de puissance.....	33
5.2 Les applications UWB-IR	34
5.2.1 La RFID.....	34
5.2.2 Les WBAN	36
6 Conclusion.....	37
7 Références	38

Chapitre II : Génération de Signaux Ultra Large Bande (ULB) pour la Radio Impulsionnelle

1	Introduction	42
2	Analyse de l'Etat de l'Art.....	43
2.1	Transposition d'impulsion bande de base	44
2.2	Filtrage d'impulsion bande de base.....	50
2.3	Synthèse par combinaison d'impulsions	52
2.4	Conclusions sur l'état de l'art.....	55
3	Méthode de Filtrage d'Impulsions Bande de Base [20][23]	57
3.1	Analyse théorique et méthode de conception.....	57
3.2	Conception d'un générateur pour la Norme FCC [23].....	61
3.2.1	Dimensionnement.....	61
3.2.2	Conception	63
3.3	Conception d'un générateur pour la norme ECC[9]	66
4	Méthode de Synthèse par Combinaison d'Impulsions.....	71
4.1	Principe.....	72
4.2	Recombinaison par paires différentielles croisées [15].....	73
4.3	Recombinaison par commutation [18]	78
5	Conclusion.....	81
6	References	82

Chapitre III : Détection de Signaux Ultra Large Bande (ULB) pour la Radio Impulsionnelle

1	Introduction	86
2	Analyse de l'Etat de l'Art.....	87
2.1	Détection cohérente.....	89
2.1.1	Architecture à corrélation analogique simple.....	90
2.1.2	Corrélation analogique en quadrature (QAC)	91
2.1.3	Architecture à corrélation digitale.....	94
2.1.4	Conclusion.....	95
2.2	Récepteurs non-cohérents	96
2.2.1	Détection d'énergie	97
2.2.2	Super-régénération	99

2.2.3	Conclusion.....	102
2.3	Conclusion sur l'étude.....	102
3	Récepteur Non Cohérent pour les Applications à Faible Coût et à Faible Consommation	106
3.1	Description du système	106
3.2	Conception de LNA	108
3.2.1	LNA FCC [22]	109
3.2.1.1	Méthode de conception	109
3.2.1.2	Exemple de réalisation	111
3.2.2	LNA pour la bande ECC [21]	113
3.2.3	Conclusion.....	115
3.3	Détection d'impulsions Ultra Large Bande.....	116
3.3.1	Elévateur au carré (<i>squarer</i>).....	116
3.3.2	Détection de l'enveloppe.....	119
3.3.3	Circuit de décision.....	121
3.3.4	Résultats	123
3.4	Conclusion.....	125
4	Conclusion.....	126
5	Références	127
 Conclusion Générale :		131
Publications :		135
Curriculum Vitae :		175

Introduction Générale

Mes travaux de recherche ont débuté en 1997 par une thèse au Laboratoire d'Analyse et d'Architecture des Systèmes (LASS) de Toulouse sur la modélisation de systèmes de communication radiofréquence (RF) par étalement de spectre. J'ai ensuite intégré en 2001 le Laboratoire de Matériaux et de Microélectronique de Provence (actuel Institut Matériaux Microélectronique Nanosciences de Provence – IM2NP) dans lequel j'ai participé avec trois autres Maîtres de Conférence à la création d'une nouvelle thématique de recherche sur la conception de circuits intégrés RF-CMOS. L'émergence de cette activité était suscitée par l'augmentation croissante des performances de la technologie CMOS qui permettait de répondre aux besoins d'applications pour lesquelles des technologies plus coûteuses étaient alors encore utilisées. Dans cette thématique, mes activités se sont particulièrement focalisées sur deux axes :

- L'intégration de Systèmes sur Puces (SoC) bande étroite à 2.45GHz
- L'intégration de Systèmes sur Puces et sur Boîtiers (SoC et SoP) ultra large bande.

Mes activités de recherche à l'IM2NP ont d'abord porté sur les systèmes de communication RF à 2.45GHz. Ces recherches ont débuté dans le cadre d'un contrat de collaboration avec la société ST-Microelectronics avec pour objectif la réalisation d'un Emetteur-Récepteur (E/R) totalement intégré en technologie CMOS (type SoC) pour des applications propriétaires proches du standard ZIGBEE. Dans ce projet, j'ai eu en charge le développement de la partie « Système » avec comme objectif de proposer une architecture permettant de réduire la taille et la consommation du circuit, de produire les spécifications de chaque bloc constitutif du système et de réaliser une plateforme de simulations au niveau du système permettant de confronter des méthodologies de conception descendante (*Top/down*) pour la spécification et des approches montantes (*bottom/up*) pour la vérification. Les spécifications du système portaient sur les parties analogiques et numériques ainsi que sur le type de modulation, le débit, le plan de fréquence et les techniques d'étalement. Ces travaux ont été réalisés dans le cadre de la thèse de Nicolas Dehaese (soutenue en décembre 2005) et ont permis de réaliser un SoC complet. Les recherches réalisées au niveau de l'architecture ont permis de mettre en évidence qu'une modulation FSK permettait de relâcher la contrainte sur l'étage RF et garantissait une bonne robustesse limitant ainsi les risques d'intégration (élevés dans un SoC). Une architecture Zero-IF, sans compensation de gain ni de DC, a pu ainsi être réalisée pour un budget de puissance et de taille relativement faible [CI-16]. En outre une technique de démodulation asynchrone (AZCD) particulièrement adaptée aux dispositifs à faible coût a été développée et brevetée [CI-17] [CI-18] [BI-1]. Enfin, des architectures de circuit innovantes,

permettant notamment de réduire le nombre d'inductances dans les circuits ont été développées. En particulier, dans le cadre de la thèse de N. Dehaese, une méthode de conception d'amplificateur de puissance a été développée et mise en pratique dans le circuit final [RI-9].

Ces travaux, sur l'intégration de SoC RF bande étroite, ne seront pas détaillés dans le manuscrit qui suit. En effet, dans le souci de réaliser une étude permettant de mettre en perspective des travaux d'encadrement mais aussi personnels, ce document se focalise sur des activités plus récentes portant sur l'intégration de circuits ultra large bande pour la radio impulsionnelle (*Ultra Wide Band Impulse Radio*, UWB-IR). Cette approche, bien qu'elle ne décrive pas l'ensemble de mes travaux de recherche, est motivée par le souhait de réaliser un document académique, mettant en valeur le recul nécessaire à la direction des travaux de recherche. Le curriculum vitae, joint à la fin de ce manuscrit, comprend un descriptif des travaux menés autour de l'intégration de SoC-RF bande étroite et référence l'ensemble des publications qui y sont associées.

Les travaux de recherche sur l'intégration de systèmes UWB - IR ont débuté en 2005 lors d'un contrat de collaboration avec la société ST-Microelectronics. L'objectif de ce projet de collaboration était d'explorer les potentialités de cette technique de transmission sur le plan de l'intégration et des performances. Ce travail a été réalisé dans le cadre de la thèse de Yannick Bachelet (soutenue en octobre 2008) et de celle Marc Battista (sur le point d'être soutenue). Initialement, les activités se sont portées sur la génération des signaux ainsi que sur l'étude d'amplificateur faible bruit (LNA) avec, en fond, la perspective de réaliser un système basé sur une détection cohérente digitale pour des applications haut débit. En outre, cette technique de transmission étant particulièrement récente, un travail sur la compréhension des signaux pulsés a été développé afin d'analyser la norme qui avait rendu la bande UWB libre de droit. Ce travail a été particulièrement rendu difficile par le manque de maturité de cette technique. En effet, en 2005, les travaux de normalisation étaient encore en cours (la version finale de la norme UWB Européenne date de 2006) et certains n'aboutissaient pas (conflit d'intérêt pour la normalisation d'un standard IEEE). Encore aujourd'hui, le nombre de facteurs de mérite différents employés pour évaluer les performances des dispositifs montre l'immaturité de l'UWB-IR. Parce que l'UWB-IR n'était pas la technique la plus pertinente pour le haut débit, la société ST-M a alors abandonné la détection cohérente digitale en faveur d'une détection non-cohérente dans le but d'adresser des applications à faible coût et à faible consommation.

Aujourd'hui, nos recherches dans le domaine UWB-IR ne se font plus avec ST-M mais avec ORANGE, INSIGHT-SiP et le LEAT. Elles sont réalisées dans le cadre de deux thèses en cours et s'orientent sur l'étude des interfaces avec l'antenne pour des intégrations de type SiP/SoP ainsi que vers la réalisation de systèmes pour des applications RFID et WBAN.

La première partie de ce manuscrit est une introduction aux signaux et systèmes rencontrés en UWB-IR. Les modulations utilisées en UWB-IR ainsi que leur spectre sont particulièrement décrits. Les normes UWB américaines (norme FCC) et européennes (norme ECC) sont aussi analysées à travers les limitations qu'elles induisent sur les signaux. Les amplitudes maximales tolérées ainsi que les débits minimaux nécessaires pour les atteindre sont particulièrement étudiés pour différentes bandes de fréquence et différentes modulations. Ces limites théoriques additionnées aux limites induites par des architectures à faible coût permettent de cibler différents champs applicatifs. Ces applications et leurs besoins en termes de performances seront analysés ici.

La seconde partie de ce mémoire décrit la conception de différents circuits permettant de générer des signaux UWB conformes aux normes en vigueur. Sur la base d'une analyse de l'état de l'art, différentes architectures seront étudiées. Différents facteurs de mérite seront aussi présentés et utilisés comme base de comparaison de ces architectures. Les techniques de filtrage d'impulsions bande de base ainsi que de synthèse programmable de la réponse impulsionnelle seront ensuite détaillées. Sur la base de l'analyse théorique décrite au premier chapitre, une méthodologie de conception des techniques de filtrage sera donnée avec pour objectif de maximiser l'amplitude de l'impulsion tout en satisfaisant les normes en vigueur. Ensuite, différentes architectures permettant une synthèse programmée de l'impulsion seront détaillées ainsi que leur dimensionnement. Les différents circuits réalisés seront comparés à l'état de l'art.

La troisième partie concerne les travaux réalisés sur la détection non-cohérente. Une analyse de l'état de l'art est d'abord présentée afin de comparer d'une part les architectures cohérentes et non-cohérentes et d'autre part les différentes architectures non-cohérentes entre elles. Le récepteur développé au laboratoire est détaillé. La conception des LNA large bande qui le constitue est d'abord exposée. Deux structures, respectivement pour la bande FCC et ECC, sont développées avec une méthode de dimensionnement permettant d'optimiser le facteur de bruit. La chaîne de détection est ensuite décrite et étudiée. Une analyse permettant un dimensionnement précis des différents dispositifs la constituant est faite. Les performances

des différents circuits réalisés sont ensuite analysées pour valider le fonctionnement global d'un système qui intégrerait les générateurs, les LNA, et le détecteur.

Chapitre 1

*Signaux et Systèmes Ultra Large Bande (ULB) pour la Radio
Impulsionnelle*

1 INTRODUCTION

En février 2002, la « Federal Communications Commission » (FCC) en charge de la régulation des bandes de fréquence aux Etats-Unis a autorisé les communications dans une bande située entre 3,1 et 10,6 GHz appelée couramment bande UWB (Ultra Wide Band). Cette bande n'est pas soumise à l'octroi de licence d'exploitation et est libre d'utilisation dans la mesure où le signal est large bande et qu'il respecte, sur le plan spectral, un gabarit communément appelé « masque FCC ». En Europe, la bande UWB n'a été libérée définitivement qu'à partir de 2006 par l'« Electronic Communications Committee » (ECC) et couvre une bande de fréquence plus étroite (bande ECC : 6-8,5GHz). La libéralisation des bandes UWB a rapidement donné lieu à la mise en place de techniques permettant d'exploiter la très large bande de fréquence disponible. Deux techniques sont apparues comme étant les meilleures candidates pour exploiter la bande UWB : La Radio Impulsionnelle (IR) et la modulation par répartition de fréquences orthogonales (OFDM). Les techniques UWB ont suscité un important engouement dans les premières années qui ont suivi leur autorisation et des travaux ont rapidement été engagés pour les intégrer aux standards IEEE. L'UWB-IR a notamment été retenue pour la réalisation d'une couche physique alternative dans les réseaux personnels sans fil (*Wireless Personal Area Network* – WPAN) à faible débit (802.15.4b). Le standard IEEE 802.15.3, dédié aux WPAN haut débit, a aussi adopté l'UWB comme couche physique possible. Bien que certaines propositions spécifiant notamment le plan de fréquence (14 canaux de 528MHz) aient été adoptées par le standard, les conflits d'intérêt entre l'alliance WiMedia (ex MBOA) qui promeut l'utilisation de l'OFDM et l'alliance « DSSS-IR » qui promeut celle de l'IR, ont bloqué toute décision portant sur le choix d'une technique particulière. Cette incapacité montre l'immaturation de ces techniques et les besoins importants en matière de recherche pour valider leurs performances. Toutefois, au vu des récents travaux menés sur l'UWB, il apparaît que l'IR est particulièrement intéressante pour les applications à faible coût mettant en jeu des débits moyens et qu'elle pourrait aussi être adoptée pour la mise en place du standard IEEE 802.15.6 pour les réseaux corporels sans fil (*Wireless Body Area Network* – WBAN). En outre, de part l'utilisation d'impulsions très courtes, l'IR possède un fort potentiel de géo-localisation la plaçant très favorablement pour les futures applications d'Identification Radiofréquence (RFID) ou de réseaux de capteurs (*Sensor Network* - SNW). L'OFDM, quant à elle, semble répondre plus particulièrement aux besoins des communications plus haut débit et pourrait finalement être intégrée dans le standard IEEE-802.15.3.

La technique UWB-IR, étant très bien située pour répondre à certaines problématiques rencontrées dans des secteurs comme la RFID ou les WBAN, s'inscrit très bien dans le contexte des systèmes intégrés à faible coût qui est celui des recherches menées au sein de l'équipe Conception de Circuits Intégrés de l'IM2NP. Dans ce type d'application, pour lesquelles les travaux de normalisation ne sont pas encore finalisés, la caractérisation des signaux UWB est un point sensible. En effet, des paramètres comme le débit, la modulation ou l'amplitude des signaux vont influencer la Densité Spectrale de Puissance (DSP) du signal qui est elle-même fixée par la norme FCC ou ECC. Une interprétation correcte des normes FCC ou ECC couplée à une bonne caractérisation des signaux UWB est primordiale pour le dimensionnement des systèmes mais aussi des circuits qui les composent. Ces dernières années, l'utilisation de signaux UWB pulsés pour la transmission des données a représenté un champ d'investigation relativement vierge pour lequel les outils d'analyse (tant sur le plan de la simulation que de la mesure) n'ont pas la maturité de ceux utilisés en bande étroite. C'est pourquoi, nous proposons ici une analyse des signaux et systèmes UWB pulsés en préalable aux parties suivantes. Dans une première partie, après une présentation des normes FCC et ECC nous comparerons les architectures IR et OFDM dans un contexte de faible coût et de faible consommation. Nous détaillerons ensuite les principales modulations pulsées ainsi que leurs DSP. Dans une troisième partie, une analyse détaillée des normes FCC et ECC permettra de mettre en évidence les limites théoriques des transmissions par impulsion en termes de débit et d'énergie par pulse. Sur la base de ces analyses une quatrième partie sera dédiée à l'étude des applications ciblées pour l'utilisation de l'UWB-IR : la RFID et le WBAN.

2 GENERALITES SUR LES SYSTEMES UWB

La présentation se limite ici aux normes en vigueur au Etats-Unis [1] et en Europe [2] toutefois, d'autres pays (notamment en Asie) utilisent une normalisation quelque peu différente. En outre, la comparaison des deux principales techniques mise en œuvre pour exploiter la bande UWB sera réalisée sur le plan architectural et sera focalisée sur la complexité de mise en œuvre ainsi que sur le potentiel en termes de coût et de consommation.

2.1 Les normes FCC et ECC

Les normes UWB sont assez similaires. Elles imposent toutes une largeur de bande minimale (500MHz) pour les communications dans la bande autorisée. La bande autorisée diffère selon

les régions du monde et, comme représenté à la Figure 1, est définie par la DSP moyenne rayonnée. Cette DSP moyenne est donnée en dBm/MHz. Les protocoles de mesure définis par les standards sont identiques et ils imposent notamment l'utilisation d'un Analyseur de Spectre (AS) ayant une bande de résolution (RBW) fixée à 1MHz ([1]-section 15.521 ou [2]). Les bandes autorisées peuvent aussi varier selon les applications. Par exemple le FCC définit sept champs d'application (portables, médicales, intérieures, imageries, ...) ayant des masques différents. Enfin, les normes spécifient aussi la puissance pic rayonnée afin notamment de limiter l'amplitude des impulsions transmises en IR. La mesure de la puissance pic doit être réalisée à l'AS. Dans une RBW de 50MHz et en utilisant une détection pic, la DSP, mesurée à la fréquence f_0 où la DSP moyenne est maximale, doit être inférieure à 0 dBm. Cette mesure peut être interprétée comme la mesure des perturbations qu'engendrerait une transmission UWB sur l'entrée d'un récepteur bande étroite (de 50MHz de bande passante) opérant à la fréquence f_0 .

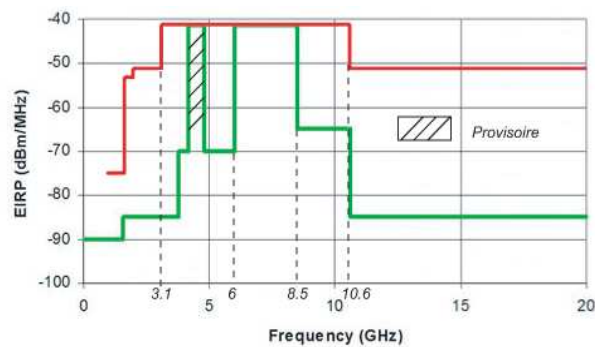


Figure 1 : Masque FCC (utilisation intra-muros) et ECC.

Notons ici la possibilité d'utiliser des signaux UWB dans une bande de fréquence dite basse (inférieure à 1GHz) pour laquelle des règles particulières sont définies. Dans cette bande basse, la largeur de la bande passante des signaux UWB est définie par rapport à la fréquence centrale des bandes passantes considérées et non de manière absolue comme dans la bande haute. Parce que les limites technologiques imposées par cette bande sont très différentes de celles imposées par la bande haute, les signaux et systèmes qui lui sont associés ne seront pas traités ici.

2.2 L'OFDM Ultra Large Bande (UWB-OFDM)

L'OFDM est l'une des deux techniques communément utilisées pour réaliser des signaux UWB. Elle est notamment préconisée par l'alliance « MBOA » (MultiBand OFDM alliance)

qui a fusionné avec l'alliance « WiMedia » dans le but de mettre en place un standard international. L'alliance respecte le plan de fréquence préconisé par IEEE. Ce plan est constitué de 14 canaux, dont la largeur (528 MHz) est proche de la largeur de bande minimale satisfaisant la norme FCC. Dans une sous bande, la transmission se fait avec une modulation OQPSK associée à une technique OFDM mettant en œuvre 128 sous porteuses. Le débit est variable et peut atteindre 480Mbs^{-1} . Les applications visées par cette alliance sont les réseaux personnels sans fil haut débit (High Rate - Wireless Personal Area Network – HR-WPAN) comme l'USB ou le Firewire (1394) sans fil.

Bien que les bandes passantes mises en jeu soient larges, l'OFDM utilise des techniques de transmission sur porteuse couramment rencontrées dans les transmissions en bande étroite. Comme illustré à la Figure 2 [4], les Emetteurs/Récepteurs (E/R) UWB-OFDM utilisent des architectures en quadrature (I/Q) mettant en œuvre les blocs élémentaires couramment rencontrés dans les systèmes radiofréquences (RF) : Amplificateurs Faible Bruit (LNA), Mélangeurs, Filtres, Boucle à verrouillage de phase (PLL), La bande passante de la section BF est de l'ordre de 500MHz, et celle de la section RF, plusieurs gigahertz dans le cas d'un E/R multi canal, ce qui influence considérablement la consommation des circuits. En outre, la synthèse de fréquence peut nécessiter l'utilisation de plusieurs PLL [6] et la section digitale une fréquence d'échantillonnage voisine de 1GHz.

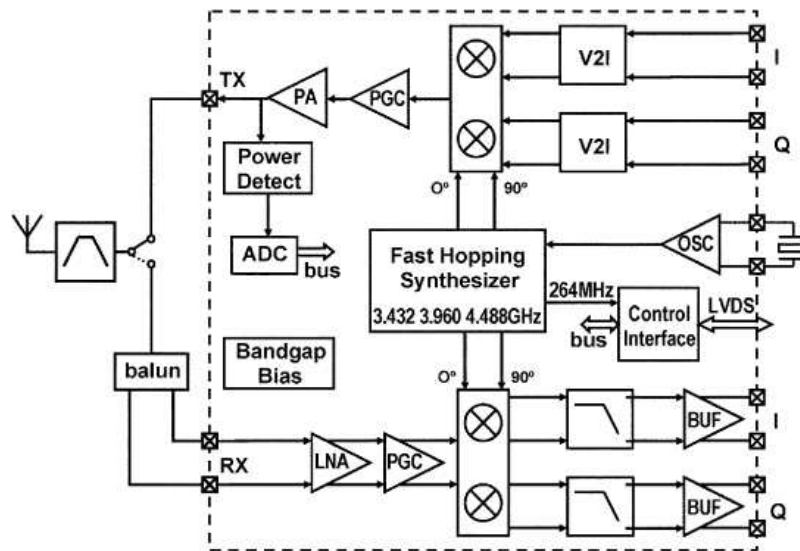


Figure 2 : Architecture d'émetteur / récepteur OFDM pour le standard MBOA [4].

De telles architectures conduisent à des tailles largement supérieures à 1mm^2 ([4], [5]) ainsi qu'à une consommation des circuits de l'ordre de plusieurs centaines de milliwatts pour la seule section RF. A titre d'exemple, le Tableau 1 donne plusieurs exemples de réalisations et

leurs caractéristiques associées. Ce type d'architecture oriente implicitement le champ applicatif de ces systèmes et les empêche notamment de répondre aux besoins des marchés dits « faible coût » pour lesquels la consommation et la taille des circuits sont déterminantes. Toutefois les performances en termes de débit et de portée les positionnent favorablement pour le transfert de fichiers volumineux sur des distances de quelques mètres.

2.3 *La Radio Impulsionnelle Ultra Large Bande (UWB – IR)*

La Radio Impulsionnelle (IR) est la deuxième technique couramment utilisée pour réaliser des signaux UWB répondant aux spécifications des normes FCC ou ECC. Couplée à une technique d'étalement de spectre par séquence directe (DSSS), l'IR est l'une des couches physiques préconisées par le standard IEEE 802.15.4. Les techniques d'IR consistent à émettre de courtes impulsions ayant un large spectre pour transmettre l'information. L'information peut être associée à l'amplitude ou à la phase du signal en utilisant des modulations tout ou rien (OOK) ou des modulations de phase binaire (BPSK) mais elle peut aussi être associée à l'intervalle de temps entre deux impulsions comme dans les modulations à position d'intervalle (PPM). L'intérêt majeur de l'IR repose sur l'extrême simplicité de certaines architectures. Comme représenté sur la Figure 3 [7], l'émetteur se réduit à un simple générateur d'impulsions dont les consommations peuvent atteindre seulement quelques milliwatts à 100Mbs^{-1} et le récepteur peut utiliser une simple détection non-cohérente nécessitant uniquement un LNA et un détecteur d'énergie pour fonctionner. En sortie du détecteur, le signal peut être remis en forme ce qui permet à la section digitale de travailler à la fréquence symbole (égale au débit binaire pour les modulations à 2 états) sur un signal binaire sans utiliser de Convertisseur Analogique Numérique (CAN).

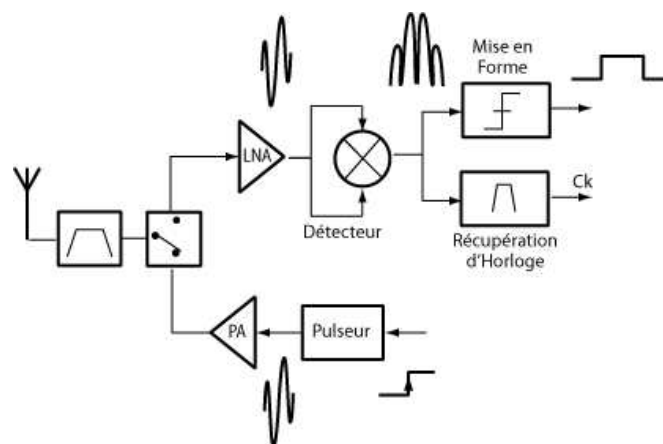
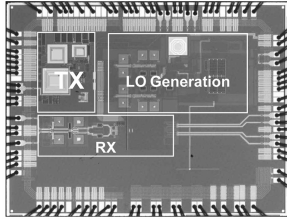
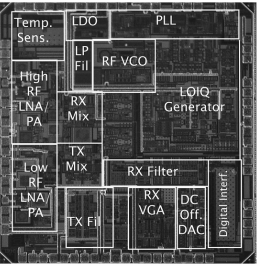
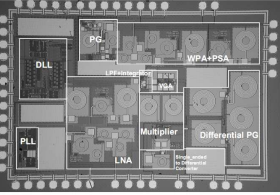
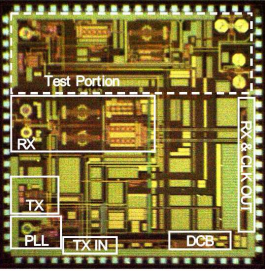


Figure 3 : Architecture non cohérente d'E/R pour la radio impulsionnelle (IR).

Tableau 1 : Comparaison des performances de différents E/R UWB.

			
Référence : [4] Technique : OFDM Archi : I/Q Technologie : CMOS 0,13 Débits max : nc Puiss Cons : Rx : 51mW Tx : 97,5mW OL : 186mW Surface Cons : 6,6mm ² Rx Bande de base : Non ADC : Non DSP : Non Rx NF : ~3,8dB Rx Gain : ~37dB	Référence : [11] Technique : OFDM Archi : I/Q Technologie : BiCMOS Débits max : 480Mbs ⁻¹ Puiss Cons : Rx : 425mW (avec OL) Tx : 415mW (avec OL) OL : nc Surface Cons : 25mm ² Rx Bande de base : Oui ADC : Non DSP : Non Rx NF : ~5,2dB Rx Gain : ~68dB	Référence : [9] Technique : DSSS-IR Archi : corrélation Technologie : CMOS 0,18 Débits max : 480Mbs ⁻¹ Puiss Cons : Rx : 81mW Tx : 76mW ADC : 80mW Surface Cons : 4,42mm ² Rx Bande de base : Non ADC : Oui DSP : Non Rx NF : ~7,9dB Rx Gain : ~83,5dB	Référence : [10] Technique : DSSS-IR Archi : I/Q Technologie : CMOS 0,18 Débits max : 1Gcbs ⁻¹ Puiss Cons : Rx : 280mW Tx : 105mW ADC : 80mW Surface Cons : 9,3mm ² Rx Bande de base : Oui ADC : Oui DSP : Non Rx NF : ~6dB Rx Gain : ~66dB

En outre, des générateurs d'impulsions intégralement digitaux et fonctionnant sans PLL peuvent être utilisés, ce qui accroît leur potentiel d'intégration dans les filières technologiques CMOS [8].

Toutefois, les systèmes IR utilisant une détection non-cohérente sont relativement limités en termes de sensibilité ce qui réduit les distances de transmission. Au vue des performances des composants actuels (générateurs, LNA, détecteurs), la distance de communication n'excède pas quelques mètres pour quelques dizaines de mégabits par seconde. Afin d'accroître les performances des récepteurs IR, des architectures cohérentes ont été proposées utilisant notamment des corrélateurs d'impulsions [9] ou des architectures I/Q [10]. Cette approche permet d'atteindre des sensibilités du même ordre qu'en OFDM, mais les consommations (>100mW) dépassent celles attendues pour une application à faible coût comme le montre les caractéristiques présentées dans le Tableau 1.

2.4 Le champ de recherche

Les efforts de recherche réalisés ces dernières années ont permis de mettre en évidence la potentialité de l'UWB pour des transmissions haut débit notamment en utilisant des techniques OFDM. Bien que l'IR affiche des performances qui permettent de concurrencer

l'OFDM dans les applications haut débit, elle n'a pas encore répondu aux attentes des systèmes à faible coût puisque les architectures proposées à ce jour consomment encore trop de puissance et de surface, (cf Tableau 1). La recherche réalisée ces dernières années autour de l'UWB-IR s'est concentrée sur les verrous technologiques qui empêchaient cette technique de répondre aux besoins des marchés des systèmes à faible coût malgré son fort potentiel.

Tout d'abord il apparaît que la consommation de l'E/R doit être, d'après les caractéristiques qui sont présentées dans le Tableau 2, de l'ordre de la dizaine de milliwatts pour atteindre une durée de vie de 1,5 an sur une batterie de 170mAh. Cela correspond aux besoins typiques des Réseaux Personnels Sans-fil (WPAN) ou des WBAN. Une réduction drastique de la consommation implique l'utilisation d'architecture basée sur la détection non-cohérente. Toutefois, les limites de ces architectures en termes de sensibilité ont représenté le principal verrou technologique de ces dernières années. Pour repousser ces limites, d'importants travaux ont été réalisés, notamment sur le plan de la diminution des facteurs de bruit des LNA, de l'augmentation de leur gain, de l'augmentation de l'amplitude des impulsions émises et de l'amélioration de la sensibilité des détecteurs d'énergie.

Tableau 2 : Durée de fonctionnement d'un circuit en fonction de sa consommation en considérant un mode de veille consommant 0,1% de la puissance du mode actif.

Battery type	Voltage [V]	Capacity [mAh]	Radio power consumption in active state [mW]	Approximate operation time (10% duty cycle)	Approximate operation time (1% duty cycle)	Approximate operation time (0.1% duty cycle)
Button cell (L = 2.7 mm, dia. = 9.5 mm)	1.5	42	1	26 days	239 days	3.6 years
			10	3 days	24 days	131 days
			100	0.3 days	2 days	13 days
Button cell (L = 5.4 mm, dia. = 11.6 mm)	1.5	170	1	105 days	2.6 years	15 years
			10	11 days	97 days	1.5 years
			100	1 days	10 days	53 days

Toujours sur le plan de la consommation, une limite importante réside dans la consommation du générateur de pulse. En effet, l'énergie d'un pulse UWB étant de l'ordre de quelques picojoules, un émetteur ayant un rendement de quelques pour cent et un débit de 100kbs^{-1} ne consommerait que quelques microampères. Ce dispositif pourrait alors répondre aux besoins des applications RFID ou SNW. Le rendement et la gestion d'énergie des générateurs sont encore actuellement des verrous empêchant l'exploitation de cette technique dans ces applications.

Enfin, un gros effort de recherche a été nécessaire pour améliorer l'intégration de ces systèmes. L'utilisation de technologie CMOS et la diminution de la surface des circuits est un axe important mais l'assemblage constitue aussi un point stratégique. Tout d'abord la mise en boîtier des systèmes UWB-IR est problématique en raison de l'importante bande passante ainsi que de leur sensibilité aux pertes. L'utilisation de boîtiers peu coûteux pour ces systèmes constitue un verrou et des solutions basées sur le co-design sont incontournables. De plus, pour assembler les puces avec l'antenne, des méthodes de conception basées sur les technologies SIP sont nécessaires afin de réduire les coûts et le temps de développement.

3 LES SIGNAUX UWB IMPULSIONNELS

Du fait de leur large bande passante, la caractérisation des signaux impulsionnels pose problème tant sur le plan de la mesure que de la simulation. En outre, leur utilisation pour des transmissions hyperfréquences constitue une particularité. Ces deux raisons expliquent le manque de maturité des moyens de caractérisation et l'importance de la compréhension théorique de ces signaux. Ce paragraphe décrit les principales caractéristiques des signaux impulsionnels ainsi que les moyens nécessaires pour les évaluer tant sur le plan de la simulation que de la mesure. Les différents signaux et en particulier les principales modulations impulsionnelles sont notamment présentés ainsi que leur DSP théorique.

3.1 *Caractéristiques des signaux impulsionnels*

La première caractéristique à considérer réside dans le fait que les signaux UWB, lorsqu'ils sont utilisés pour la radio impulsionnelle (IR) sont réalisés à partir de modulation numérique. Ils sont alors constitués par une suite de symboles électriques élémentaires ($g_k(t)$) formant une séquence aléatoire qui peut être formalisée de la manière suivante :

$$(1) \quad s(t) = \sum_{k=0}^{K-1} g_k(t - kT_k)$$

La séquence binaire à transmettre ($\{b_i\}$) est d'abord transformée en une séquence de symboles M-aires ($\{q_k\}$) qui prennent leur valeur dans un alphabet (noté ici $Q[Q_1, \dots, Q_m, \dots, Q_M]$) de M valeurs. Ces symboles discrets sont alors associés à une caractéristique de la séquence par l'intermédiaire d'une modulation. Lorsque l'information est associée à la forme du symbole ($g_k(t)$), on est dans le cas de modulations par forme d'impulsion (Pulse Shape Modulation -

PSM) alors que les modulations par position d'impulsion (Pulse Position Modulation - PPM) associent l'information à l'intervalle de répétition (T_k).

Du fait de sa normalisation, le spectre de fréquence, et en particulier sa DSP moyenne, est la deuxième caractéristique fondamentale à considérer lors de la mise en œuvre de signaux UWB. Notons que la DSP du signal émis (notée ici $S_{ss}(f)$) ne dépend pas seulement du spectre de l'impulsion de base émise. La modulation utilisée modifie aussi la DSP et il importe d'en tenir compte lors de son évaluation. Cette remarque prend son importance lors du dimensionnement d'un système complet car, si le choix d'une modulation est fait par rapport à des contraintes technologiques sur la conception de certains blocs, il importe d'évaluer les conséquences de ce choix sur le spectre du signal émis. Comme il est démontré dans le §4, les limitations sur le spectre vont invariablement limiter la portée ou le débit de la transmission.

Enfin, le caractère aléatoire de la séquence formant le signal UWB-IR influence grandement les méthodes d'évaluation de la DSP. Sur le plan théorique, les outils mathématiques statistiques permettent un calcul simple et rapide de la DSP lorsque les modulations sont sans mémoire (chaque symbole est indépendant) ce qui est le cas des principales modulations. Toutefois une première limitation apparaît dans les cas des modulations à mémoire telle que la modulation par intervalle d'impulsion (Pulse Intervalle Modulation - PIM) pour lesquelles les différentes méthodes publiées à ce jour [26] sont complexes à mettre en œuvre. Enfin, dans le cas d'une évaluation à l'aide d'outils de simulation (Periodogrammes) le caractère aléatoire induit des temps de calcul très longs, liés à la longueur des séquences nécessaires à une évaluation précise.

3.2 Les principales modulations pour l'UWB

Les principales modulations utilisées pour les transmissions UWB-IR, et notamment les modulations sans mémoire, sont présentées ici. Les caractéristiques temporelles et fréquentielle des modulations par l'amplitude de l'impulsion (*Pulse Amplitude Modulation* – PAM) et des modulations par position de l'impulsion (*Pulse Position Modulation* – PPM) sont décrites et comparées. Les modulations à mémoire comme la modulation par l'intervalle de l'impulsion (*Pulse Interval Modulation* – PIM) ne seront pas traitées.

3.2.1 Cas général : modulations par la forme de l'impulsion (*Pulse Shape Modulation – PSM*)

Dans le cas des modulations PSM, les symboles discrets ($\{q_k\}$) codant l'information sont associés à la forme de l'impulsion transmise. Il existe autant de formes d'onde possible (formant un alphabet G) que de symboles discrets possibles. L'expression temporelle de la séquence transmise et sa DSP sont les suivantes [27] :

$$(2) \quad s(t) = \sum_{k=0}^{K-1} g_k(t - kT_s)$$

$$(3) \quad S_{ss}(f) = \frac{1}{T_s} \left(\sum_{m=1}^M p(g_m(t)) \cdot |G_m(f)|^2 - \left| \sum_{m=1}^M p(g_m(t)) \cdot G_m(f) \right|^2 \right) + \frac{1}{T_s^2} \left(\sum_{m=1}^M p(g_m(t)) \cdot G_m(f) \right)^2 \cdot W_{Fs}(f)$$

où T_s est l'intervalle de temps entre deux symboles (temps symbole) définissant le débit symbolique ($D_s = 1/T_s$ bauds) et le débit binaire ($D_b = M \cdot D_s \text{ bs}^{-1}$), K le nombre de symboles transmis, $g_k(t)$ la $k^{\text{ième}}$ impulsion transmise qui prend sa valeur dans l'alphabet G [$g_1(t)$, $g_2(t)$, ... $g_m(t)$, ... $g_M(t)$], $G_m(f)$ la transformée de Fourier de $g_m(t)$, $W_{Fs}(f)$ un peigne de Dirac en F_s . Il est fondamental de remarquer que la DSP est constituée de deux spectres de natures différentes : un spectre continu en V^2/Hz et un spectre discontinu en V^2 qui donc, de part leur natures différentes, ne se somment pas comme pourrait le laisser penser une mauvaise interprétation de (3). Notons que le spectre discontinu est plus élevé (pour $T_s < 1$) que le spectre continu et que le rapport des amplitudes est de l'ordre de $D_s = 1/T_s$. La DSP maximale étant normalisée, il apparaît que le spectre discontinu peut être un facteur limitant et ce, d'autant plus que le débit sera élevé. Notons aussi que le spectre discontinu dépend de la somme des spectres des symboles émis ($G_m(f)$) pondérés par leur probabilité d'apparition. L'utilisation de signaux bipolaires permet d'annuler cette somme et, par là même, le spectre discontinu.

3.2.2 Cas Particulier : modulations PAM, OOK et BPSK

La modulation PAM est un cas particulier de la PSM pour lequel les symboles électriques élémentaires transmis sont réalisés à partir d'une forme d'onde de base ($g(t)$) dont l'amplitude varie en fonction des symboles discrets q_k :

$$(4) \quad g_k(t) = q_k \cdot g(t)$$

L'expression (3) se simplifie de la manière suivante :

$$(5) \quad S_{ss}(f) = \frac{\sigma_q^2}{T_s} |G(f)|^2 + \frac{\mu_q^2}{T_s^2} |G(f)|^2 \cdot W_{Fs}(f)$$

où σ_q^2 et μ_q sont respectivement la variance et la moyenne de la séquence $\{q_k\}$.

Les deux modulations PAM les plus utilisées sont la OOK et la BPSK pour lesquelles les alphabets des symboles q_k sont respectivement $Q[0,1]$ et $Q[-1,1]$. Comme illustrée dans le Tableau 3, la forme générale de la DSP est fixée par le spectre de l'impulsion de base mais les niveaux des spectres dépendent essentiellement du débit et de la séquence transmise. La modulation BPSK utilisant une séquence à valeur moyenne nulle ne comporte pas de spectre discontinu.

3.2.3 Modulations PPM

La modulation PPM associe le symbole discret ($\{q_k\}$) codant l'information à un retard (T_k) absolu. Quand le retard est relatif à la position du symbole précédent, la modulation est une PIM. La position du $k^{\text{ième}}$ symbole est alors dépendante des symboles précédemment transmis donnant lieu à une dépendance statistique.

L'expression temporelle d'une séquence générée en PPM est donnée par :

$$(6) \quad s(t) = \sum_{k=0}^K g(t - kT_s - q_k \Delta T - n_g \Delta T)$$

où $n_g \Delta T$ est un intervalle garde permettant d'utiliser des retards (ΔT) inférieurs à la durée de l'impulsion transmise comme représenté sur le Tableau 3.

Notons que la PPM peut être aussi considérée comme un cas particulier de la PSM pour laquelle les symboles électriques élémentaires sont pris dans un alphabet de valeurs donné par :

$$(7) \quad g_m(t) = g(t - A_m \Delta T), A_m = Q_m + n_g$$

et dont la transformée de Fourier est :

$$(8) \quad G_m(f) = G(f) e^{j2\pi f A_m \Delta T}$$

La DSP d'une modulation PPM peut alors s'exprimer à partir de (3) de la manière suivante :

$$(9) \quad S_{ss}(f) = \frac{|G(f)|^2}{T_s} \left\{ 1 - \frac{4}{M} \left| \sum_{m=0}^{\frac{M-1}{2}} \cos \left(2\pi f \cdot \left(A_m - \frac{M-1}{2} \right) \cdot \Delta T \right) \right|^2 \right\} + \frac{4|G(f)|^2}{(MT_s)^2} \left\{ \sum_{m=0}^{\frac{M-1}{2}} \cos \left(2\pi f \cdot \left(A_m - \frac{M-1}{2} \right) \cdot \Delta T \right) \right|^2 \right\} \cdot W_{Fs}(f)$$

Ici encore, comme illustré dans le Tableau 3, la forme générale de la DSP est fixée par le spectre de l'impulsion de base mais les niveaux des spectres dépendent essentiellement du débit et de la séquence transmise.

3.2.4 Comparaison

Les caractéristiques principales des modulations présentées dans ce paragraphe sont regroupées dans le Tableau 3. Tout d'abord, il apparaît que ces modulations possèdent certaines caractéristiques communes.

- La présence d'un spectre continu.
- L'annulation du spectre discontinu si la séquence est à valeur moyenne nulle
- Le niveau de la DSP croissant avec le débit.
- Le niveau de la DSP croissant avec l'amplitude de l'impulsion de base ($g(t)$).

Les critères retenus pour établir une comparaison sont : i) l'amplitude des impulsions émises (A) qui, pour une bande passante donnée, représente l'énergie et donc le potentiel de la modulation en termes de détection, ii) le débit symbole (D_s). En outre, la complexité que peuvent induire les différentes modulations sur le système est un critère important dans un contexte de recherche sur les dispositifs à faible coût. Cette comparaison est réalisée à partir de la DSP dont la limite maximale (DSP_{lim}) est fixée par les normes.

Une première comparaison peut être faite entre les modulations PPM et PAM en considérant les cas les plus simples que sont les modulations binaires OOK pour la PAM et la modulation 2PPM (PPM à deux états) avec $\Delta T = T_s/2$ pour la PPM. A partir de (5) et (9) il est possible d'exprimer la valeur maximale de la DSP dans le cas de l'impulsion idéale $g(t)$ du Tableau 3 :

$$(10) \quad S_{ss}(f)_{\max_{2PPM}} = \max \left\{ \frac{g_0^2}{4(BW_{TOT})^2 T_s}; \frac{g_0^2}{4(BW_{TOT})^2 T_s^2} \right\}$$

$$(11) \quad S_{ss}(f)_{\max_{OOK}} = \max \left\{ \frac{\sigma_q^2 g_0^2}{4(BW_{TOT})^2 T_s}; \frac{\mu_q^2 g_0^2}{4(BW_{TOT})^2 T_s^2} \right\}, \text{ avec } \sigma_q^2 = \mu_q^2 = \frac{1}{4}$$

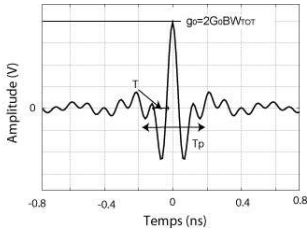
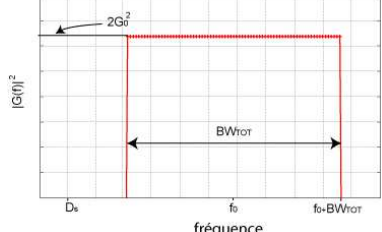
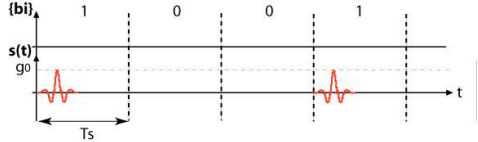
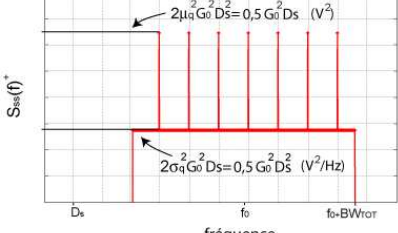
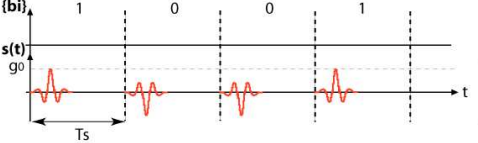
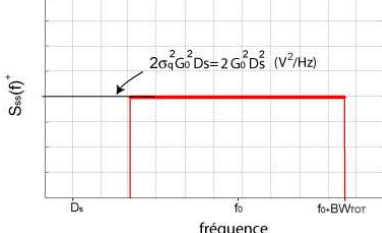
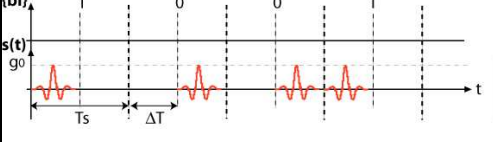
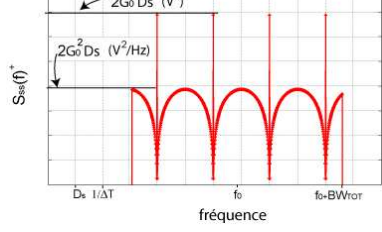
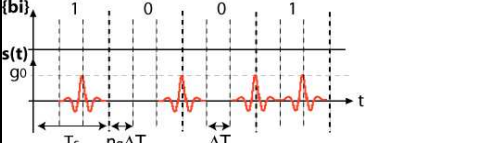
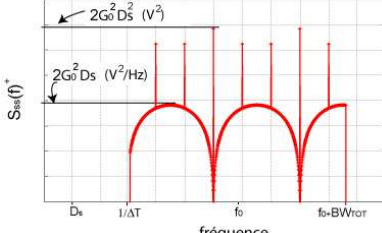
Signal	Temps	Fréquence
$g(t)$	$g(t) = 2 \cdot G_0 \cdot BW_{TOT} \cdot \text{sinc}(\pi BW_{TOT} t) \cdot \cos(2\pi f_0 t)$	$G(f) = G_0 [\Pi_{BW_{TOT}}(f - f_0) + \Pi_{BW_{TOT}}(f + f_0)]$
		
PAM	$s(t) = \sum_{k=0}^{K-1} q_k \cdot g(t - kT_s)$	$S_{ss}(f) = \frac{\sigma_q^2}{T_s} G(f) ^2 + \frac{\mu_q^2}{T_s^2} G(f) ^2 \cdot W_{Fs}(f)$
OOK :		
BPSK :		
PPM	$s(t) = \sum_{k=0}^K g(t - kT_s - q_k \Delta T - n_g \Delta T)$	$S_{ss}(f) = \frac{ G(f) ^2}{T_s} \left\{ 1 - \frac{4}{M} \left \sum_{m=0}^{M-1} \cos \left(2\pi f \cdot \left(A_m - \frac{M-1}{2} \right) \cdot \Delta T \right) \right ^2 \right\} + \frac{4 G(f) ^2}{(MT_s)^2} \left\{ \sum_{m=0}^{M-1} \cos \left(2\pi f \cdot \left(A_m - \frac{M-1}{2} \right) \cdot \Delta T \right) \right\}^2 \cdot W_{Fs}(f)$
2PPM :		
2PPM :		

Tableau 3 : Représentation temporelle et fréquentielle (mono-latérale $S_{ss}^+(f)$) des principales modulations utilisées en UWB-IR.

La Figure 4 représente, pour différentes modulations, la valeur maximale de la DSP monolatérale en fonction de D_s dans une bande passante de 1MHz, comme l'afficherait un analyseur de spectre dans les conditions de mesure imposées par les principales normes (cf §4). Il apparaît que pour une amplitude donnée et à débit identique, la valeur maximale de la DSP (DSP_{max}) de la OOK est plus faible que celle de la 2PPM. En d'autres termes, à débit identique, l'amplitude des impulsions OOK pourra être plus grande (d'un facteur égal à $\sigma_q^2=4$) que celle utilisée en 2PPM pour atteindre la même limite de DSP. Dans un contexte de faible coût où la performance des récepteurs est très limitée, un facteur 4 sur l'amplitude de l'impulsion générée est un atout important. Inversement, pour une même amplitude d'impulsion, le débit de la OOK sera plus important que celui de la 2PPM pour une même limite de DSP. Notons aussi qu'il est possible d'augmenter l'amplitude de l'impulsion émise en augmentant le nombre de symboles (M) ce qui a pour conséquence de diminuer D_s pour un débit binaire donné ($D_s=M.D_b$). Cette solution complexifie considérablement le système. Dans le cas des PAM, cette solution va engendrer des problèmes de non-linéarité liés à la variation de l'amplitude du signal. Dans le cas des PPM, c'est la synchronisation du récepteur qui sera plus difficile à mettre en oeuvre.

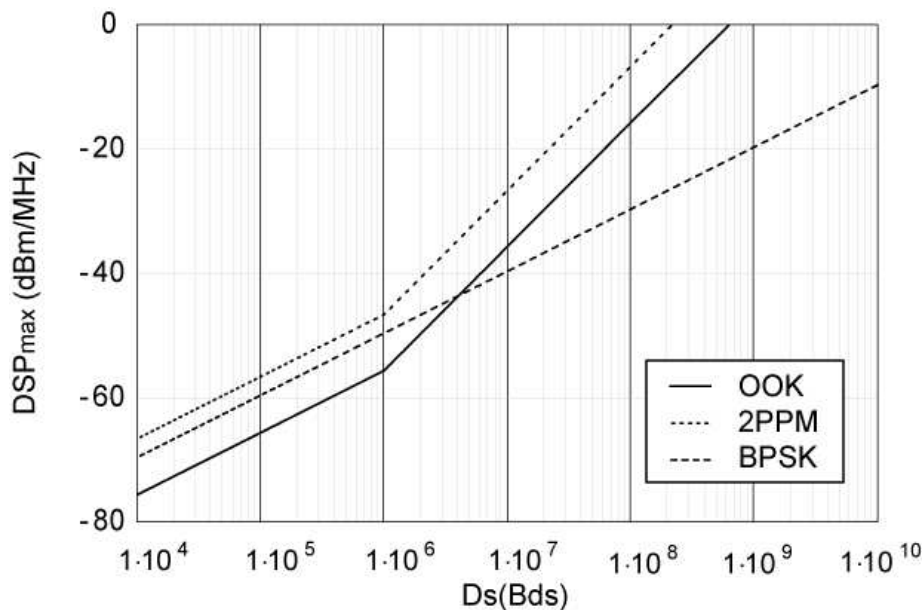


Figure 4 : Valeur maximale de la DSP pour des modulations OOK, BPSK et 2PPM. (DSP mono-latérale en dBm/MHz correspondant à l'affichage d'un AS en condition de mesure pour les principales normes).

Une seconde comparaison peut être établie entre modulation unipolaire et bipolaire. La bipolarité peut être introduite dans tout type de modulation afin de supprimer le spectre discontinu. Cette bipolarité peut être porteuse d'information (comme dans le cas de la modulation BPSK), introduite de manière déterministe dans le codage (cas du code AMI où

on utilise une modulation OOK avec une alternance de la polarité des impulsions) ou bien introduite de manière purement aléatoire. Dans le cas de la modulation BPSK la valeur maximale de la DSP s'exprime à partir de (5) simplement comme suit :

$$(12) \quad S_{ss}(f)_{\max_{BPSK}} = \frac{\mu_q^2 g_0^2}{4(BW_{TOT})^2 T_s}, \text{ avec } \mu_q^2 = 1$$

La Figure 4 compare la DSP_{\max} d'une modulation OOK et BPSK. Il est important de réaliser cette comparaison dans la bande de résolution imposée par les normes en vigueur (1MHz) car le niveau du spectre continu en V^2/Hz varie en fonction de la résolution, contrairement à celui du spectre discontinu en V^2 . Il apparaît clairement que les modulations bipolaires ont un bien meilleur potentiel pour les transmissions haut débit puisque la DSP_{\max} croît en $1/T_s$ au lieu de $1/T_s^2$ pour une OOK. Toutefois, pour un débit de $D_{s_{lim}}=4.10^6$, les modulations ont la même DSP_{\max} et en dessous de cette limite la modulation OOK devient alors plus pertinente pour des raisons de simplicité.

Dans cette section, une première comparaison mettant en avant les modulations PAM pour leur potentiel en termes de débit et d'amplitude de l'impulsion de base a été proposée. On a vu aussi l'importance des modulations bipolaires pour les transmissions à fort débit. Toutefois, cette étude ne permet pas de quantifier ces principales caractéristiques : Quelle est la valeur maximale des impulsions permise et jusqu'à quelle valeur le débit peut-il être réduit pour augmenter l'amplitude de l'impulsion? Pour répondre à ces questions il importe d'analyser plus en détail les normes en vigueur. Cette étude sera présentée au §4.

3.3 Outils d'analyse pour la conception

Les principaux moteurs de simulation dédiés aux systèmes de télécommunication ont été développés pour répondre à des problématiques rencontrées dans les transmissions bande étroite et sont peu adaptés aux signaux UWB-IR. Cette partie présente les moyens actuels disponibles pour analyser les signaux UWB-IR et propose une méthode d'évaluation hybride réduisant les temps de simulation tout en permettant d'évaluer le spectre du signal tout le long de la chaîne de transmission.

3.3.1 Simulation temporelle et fréquentielle

Parmi les différents moteurs disponibles dans les logiciels de conception, les trois plus couramment utilisés pour évaluer le spectre du signal simulé sont : *Transient*, *Harmonique Balance* (HB) et *Enveloppe*. Les simulations *HB* nécessitent des excitations périodiques et, même si elles permettent d'évaluer le spectre d'une impulsion élémentaire, elles interdisent l'évaluation de la DSP d'une séquence aléatoire. La simulation *Enveloppe*, quant à elle, nécessite de travailler avec des signaux sur porteuse. Elle peut être utilisée pour simuler des dispositifs assurant une fonction de transfert (filtre, amplificateur) mais son intérêt est assez limité pour la conception de générateurs d'impulsions, notamment s'ils n'utilisent pas la transposition de fréquence. En outre *Enveloppe* développe toute sa puissance lorsque la fréquence porteuse est très éloignée de la bande de base, mais dans le cas des signaux UWB elle ne permet pas d'amélioration notable du temps de simulation.

La solution la plus communément admise pour évaluer la DSP d'une séquence aléatoire UWB-IR reste l'élaboration de périodogrammes utilisant la transformée de Fourier d'une (ou plusieurs) réalisation du processus obtenue par simulation *Transient*. Cette technique a l'avantage de pouvoir s'appliquer à tous les types de circuits et elle permet de prendre en compte tous les défauts inhérents à la conception (dans la limite de la précision des modèles électriques utilisés). Toutefois, dans le cas de signaux aléatoires, le nombre de symboles simulés doit être élevé pour réaliser une estimation précise de la DSP. A titre d'exemple, la Figure 5 représente le spectre d'un signal OOK ($T_s=0.5\text{ns}$) obtenu à l'aide d'un périodogramme simple (FFT d'une seule acquisition) réalisé à partir d'une simulation *Transient* de 100 symboles (50ns). L'épaisseur de la trace est de l'ordre de 20dB et il est difficile de déduire avec exactitude la valeur de la DSP. L'utilisation d'un fenêtrage approprié ainsi que des techniques de périodogrammes plus évoluées (périodogramme moyenné, périodogramme lissé, ...) permettent d'affiner l'estimation. Toutefois, ces techniques conduisent toutes à une augmentation du temps de calcul. Par exemple, un périodogramme moyenné d'ordre 10 (moyenne des FFT de 10 acquisitions différentes) permet de réduire l'épaisseur de trace d'un facteur 4 et 50 acquisitions seraient nécessaires pour réduire la trace à une épaisseur de 1dBm portant ainsi le nombre de symboles simulés à 5000.

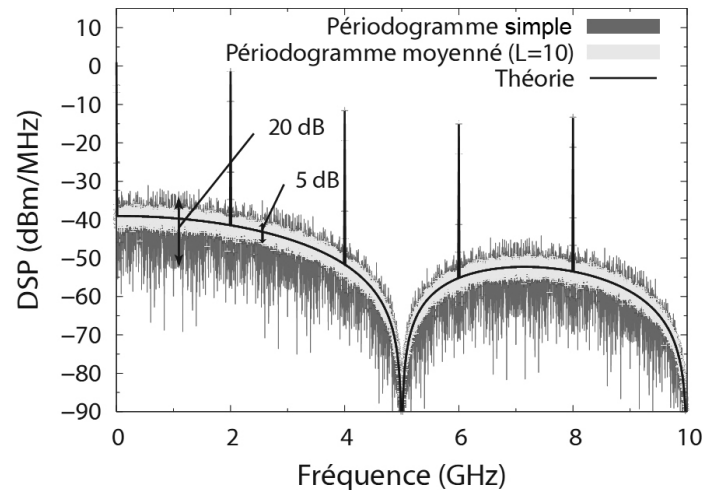


Figure 5 : Comparaison de l'évaluation du spectre d'un signal UWB-IR avec différentes méthodes.

En outre le temps nécessaire pour réaliser une simulation d'un nombre donné de symboles croît avec T_s . La Figure 6 donne les temps de simulation en fonction du débit dans le cas d'un circuit très simple (1 transistor, 10 composants passifs, 6 noeuds) sur un serveur SUN 980 (4 processeurs, 16Go RAM). Il apparaît clairement que cette technique est très limitée pour les signaux ayant un faible débit puisqu'il faut 50 Heures pour simuler la DSP d'un circuit très simple avec une précision de 1dB.

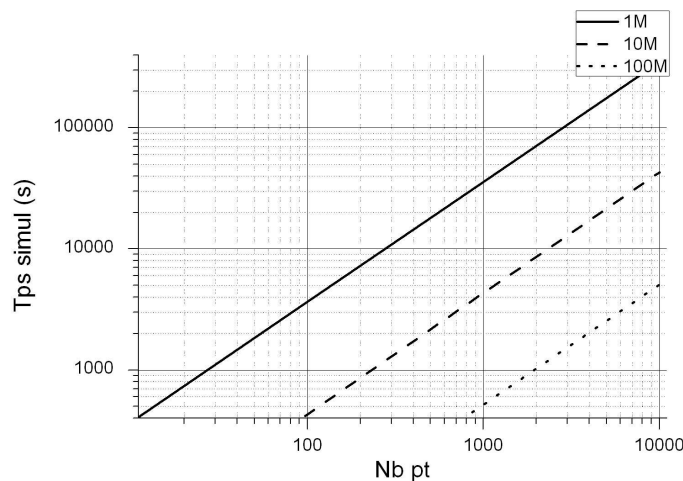


Figure 6 : Temps de simulation en fonction du nombre de points pour différents débits.

3.3.2 Méthode d'évaluation hybride de la DSP

Cette méthode d'évaluation simple repose sur le modèle de la chaîne de transmission numérique présenté à la Figure 7 et pour lequel le signal de sortie $r(t)$ est défini à partir du signal d'entrée comme suit :

$$(13) \quad r(t) = e(t) * h(t) = \sum_0^{K-1} g_k'(t - kT_s)$$

$$(14) \quad g'(t) = g(t) * h(t) = g(t) * h_e(t) * h_c(t) * h_r(t)$$

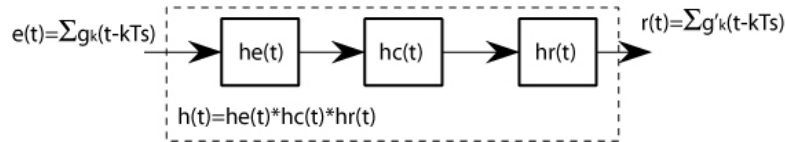


Figure 7 : Modélisation d'une chaîne de transmission numérique.

Le signal à un point donné de la chaîne est constitué par une somme d'impulsions élémentaires ($g_k'(t)$) formée, dans le cas des modulations PSM, à partir d'impulsions de bases ($g_m'(t) = h(t) * g_m(t)$). La connaissance seule de la transformée de Fourier des impulsions de base permet d'évaluer la DSP du signal modulé en n'importe quel point de la chaîne à partir de l'expression théorique de la DSP donnée par (3). Dans cette méthode, seule la simulation des impulsions de base est nécessaire (1 impulsion en OOK, 2 impulsions en BPSK), ce qui permet une évaluation très rapide de la DSP, tout en tenant compte des effets de désappariement entre impulsions élémentaires (par exemple les défauts d'amplitude ou de retard entre les impulsions positives et négatives de la BPSK). A titre d'exemple, la Figure 8 compare la DSP évaluée par cette méthode et la DSP mesurée dans le cas d'un générateur OOK. La transformée de Fourier de l'impulsion émise ($G(f)$) est évaluée à l'aide de la FFT d'une simulation *transient* du circuit électrique d'un générateur réalisé avec les modèles d'un kit de conception (*design kit*) CMOS. La longueur de la simulation est légèrement supérieure à la durée de l'impulsion (1ns pour des impulsions FCC) et ne prend que quelques secondes malgré la complexité du circuit. La concordance entre les résultats de l'estimation par cette méthode et la mesure (du même circuit) est assez bonne, le temps de calcul est très faible (quelques secondes) et il est indépendant du débit. Certaines divergences apparaissent tout de même. Notamment, la partie supérieure du spectre est erronée mais ce phénomène apparaît aussi dans la méthode utilisant la FFT d'une longue séquence. Cet écart est essentiellement dû à l'imprécision des modèles électriques utilisés pour simuler $g(t)$ et au fenêtrage lors du calcul de la FFT.

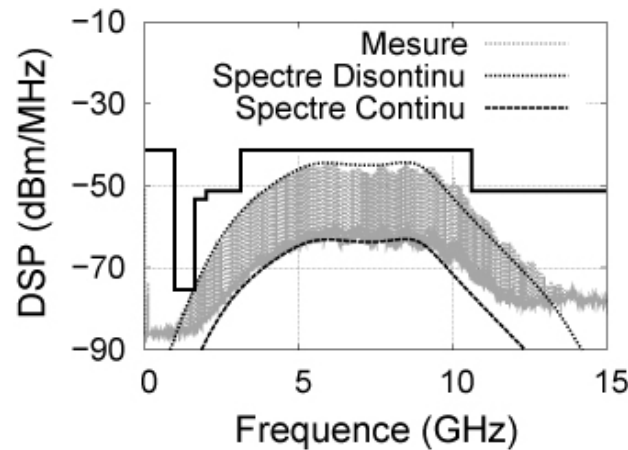


Figure 8 : Comparaison entre la mesure et l'évaluation de la DSP d'une modulation OOK.

La principale limite de cette solution réside dans le fait qu'elle ne tient pas compte des effets ayant une constante de temps supérieure au temps symbole (variation d'un point DC, non linéarité issue de la fréquence symbole, ...). Toutefois, cette technique possède un très bon compromis temps de calcul/précision et peut aussi bien être appliquée tant au niveau « transistor » qu'au niveau système. En effet, un moteur de convolution (typiquement présent dans ADS-Ptolémy) permet de simuler une impulsion élémentaire à partir de la réponse impulsionnelle des éléments du système (équation (14)).

4 ANALYSE DES NORMES FCC ET ECC

Dans cette partie, une analyse des normes FCC et ECC est réalisée à partir des modèles théoriques présentés au §3.2 afin d'évaluer les potentialités des systèmes UWB-IR en termes de portée et de débit. En effet, il a été vu que la DSP croît en fonction du niveau de l'impulsion et en fonction du débit. Il est alors possible de décroître le débit pour améliorer l'amplitude de l'impulsion (et donc la détection) tout en conservant une DSP satisfaisant la norme. Toutefois, il existe aussi une limitation sur la valeur crête du signal émis à travers la DSP crête, ceci afin de restreindre cette pratique. L'analyse conjointe de la DSP moyenne (DSP_{av}) et de la DSP crête (DSP_{pk}) permet, pour une modulation donnée, d'évaluer la valeur maximale de l'amplitude tolérée (g_{0max}) et le débit qui permet d'atteindre cette valeur. Cette analyse sera réalisée dans le cadre des modulations PAM qui semblent correspondre le mieux aux applications à faible coût. Cette analyse permet en particulier d'évaluer la potentialité des modulations OOK et BPSK en termes de détection et de débit afin de voir avec quels types

d'applications elles sont compatibles. Enfin, on supposera ici une impulsion idéale dont le spectre est défini par les masques FCC ou ECC, afin d'évaluer la valeur maximale théorique de l'amplitude et la valeur du débit associé.

4.1 DSP moyenne

La DSP moyenne d'un signal UWB est limitée par les masques présentés à la Figure 1. Si on néglige la puissance dans les bandes interdites, le spectre du signal ayant la meilleure occupation spectrale est donné par l'équation (15). C'est une porte dont la largeur (BW_{TOT}) est définie par la bande autorisée, et qui est centrée au milieu de cette bande (f_0). Sa transformée de Fourier inverse donne l'impulsion de base idéale (équation (16)).

$$(15) \quad G(f) = G_0 \left[\Pi_{BW_{TOT}}(f - f_0) + \Pi_{BW_{TOT}}(f + f_0) \right]$$

$$(16) \quad g(t) = 2.G_0.BW_{TOT}.\text{sinc}(\pi BW_{TOT}t).\cos(2\pi f_0t)$$

avec pour la norme FCC : $BW_{TOT}=7.5\text{GHz}$ et $f_0=6.85\text{GHz}$, et pour la norme ECC : $BW_{TOT}=2.5\text{GHz}$ et $f_0=7.25\text{GHz}$. L'amplitude crête de l'impulsion idéale est alors donnée par :

$$(17) \quad g_0 = 2G_0BW_{TOT}$$

D'après (5), la DSP moyenne des modulations PAM est :

$$(18) \quad S_{ss}(f) = \frac{|G(f)|^2}{T_s} \left(\sigma_q^2 + \frac{\mu_q^2}{T_s} W_{FS}(f) \right)$$

Les normes ECC et FCC imposent l'utilisation d'un analyseur de spectre dont la bande passante du filtre de résolution (RBW_{av}) est fixée à 1MHz. La DSP (mono-latérale) ainsi mesurée peut alors s'exprimer de la manière suivante :

$$(19) \quad DSP_{av}^+(f) = 2 \frac{|G(f)|^2}{Z_0} D_s \{ RBW_{av} \cdot \sigma_q^2 + D_s \mu_q^2 W_{FS} \}$$

La valeur maximale de la DSP moyenne est fixée pour les deux normes à -41.3dBm/MHz et peut s'exprimer de la manière suivante :

$$(20) \quad DSP_{\max} = \max \left\{ \frac{2\sigma_q^2}{Z_0} D_s RBW_{av} G_0^2; \frac{2\mu_q^2}{Z_0} D_s^2 G_0^2 \right\} = 10^{-7.13}$$

Avec (20) et (16), il est alors possible d'établir une relation entre l'amplitude maximale admise par la norme et le débit symbole comme suit :

$$(21) \quad g_{0\max} = \min \left\{ \left(\frac{2BW_{TOT}^2 Z_0 \cdot DSP_{\max}}{D_s RBW_{av} \sigma_q^2} \right)^{1/2}, \left(\frac{2BW_{TOT}^2 Z_0 \cdot DSP_{\max}}{D_s^2 \mu_q^2} \right)^{1/2} \right\}$$

$g_{0\max}$ est représenté en fonction de D_s sur la Figure 10 pour une modulation OOK et BPSK. Toutefois, il apparaît que si l'on considère seulement la limite imposée par la DSP moyenne, la valeur maximale permise pour des débits de l'ordre de 10kbs^{-1} dépasse la centaine de volts et il importe alors d'évaluer la DSP crête.

4.2 DSP crête

Les normes ECC et FCC limitent la puissance crête de la manière suivante. La DSP crête du signal émis doit être mesurée avec un analyseur de spectre utilisant le mode « *peak detection* » et dans une bande de résolution égale à 50MHz. A la fréquence où la DSP moyenne est maximale, la DSP crête ne doit pas dépasser 0dBm. Cette mesure peut être interprétée de la manière suivante : la puissance crête de l'impulsion de base émise filtrée par un filtre passe bande idéal centré à f_0 et de largeur 50MHz ne doit pas dépasser 0dBm. Cette interprétation n'est valide que dans le cas où le débit symbole est inférieur à la RBW de l'analyseur de spectre. Au delà de cette limite, le filtre n'a pas le temps de répondre et le détecteur pic mesure la puissance de la réponse du filtre à plusieurs impulsions. Toutefois, c'est dans le cas de faibles débits (<50MHz) que cette mesure prend son sens et ce domaine de validité est suffisant pour estimer le débit minimal permis.

Le spectre de l'impulsion idéale défini précédemment étant plat, le spectre de l'impulsion filtrée par le filtre de résolution (supposé idéal) ainsi que sa transformée de Fourier inverse s'expriment comme suit :

$$(22) \quad G_{pk}(f) = G_0 \left[\Pi_{RBW_{pk}}(f - f_0) + \Pi_{RBW_{pk}}(f + f_0) \right]$$

$$(23) \quad g_{pk}(t) = 2G_0 \cdot RBW_{pk} \cdot \text{sinc}(\pi RBW_{pk} t) \cdot \cos(2\pi f_0 t)$$

A partir de (23), on peut alors exprimer la puissance crête du signal en sortie du filtre de résolution (qui est l'image de la DSP crête définie par le standard) à partir de G_0 , comme suit :

$$(24) \quad P_{pk} = \frac{4 \cdot G_0^2 \cdot RBW_{pk}^2}{Z_0} = DSP_{pk} \text{ pour } D_s < 50\text{MHz}$$

Cette interprétation de l'évaluation de la DSP crête est validée par les mesures présentées sur la Figure 9. Ici, la DSP crête obtenue à partir de (24) est comparée à la mesure, effectuée dans les conditions imposées par le standard FCC, d'une trame OOK dont les impulsions de base sont des portes (signal au format RZ) de largeur $\tau=1\text{ns}$ et d'amplitude $A=1\text{V}$. Notons que la norme autorise la réalisation de cette mesure dans une RBW inférieure à 50MHz (mais

nécessairement supérieur à 1MHz). Dans ce cas la mesure doit être corrigée d'un facteur égal à $20\log(\text{RBW}/50\text{MHz})$.

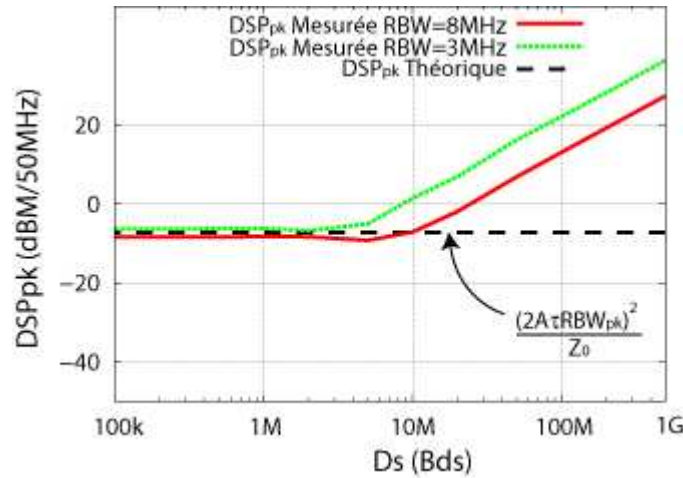


Figure 9 : Comparaison du modèle de la DSP crête et de sa mesure pour une modulation OOK utilisant des impulsions RZ d'amplitude 1V et de largeur 1ns.

A partir de (20) et de (24) on peut exprimer la DSP crête en fonction de D_s dans le cas où l'amplitude de l'impulsion de base est ajustée pour atteindre la DSP maximale permise ($g_0=g_{0\max}$).

$$(25) \quad P_{pk} = \min \left\{ \frac{2 \cdot DSP_{\max} \cdot RBW_{pk}^2}{D_s \sigma_q^2 \cdot RBW_{av}}, \frac{2 \cdot DSP_{\max} \cdot RBW_{pk}^2}{D_s^2 \mu_q^2} \right\}$$

4.3 Interprétation

Sur la Figure 10 et la Figure 11 sont représentées, pour les normes FCC et ECC respectivement, la valeur maximale de l'impulsion transmise ($g_{0\max}$) donnée par (21) et la DSP crête (P_{pk}) donnée par (25) dans le cas où la valeur maximale de la DSP moyenne vaut la valeur limite imposée par les normes ($DSP_{\max}=10^{-7.13}$). On considère ici des modulations OOK et BPSK afin de comparer leur potentialité pour des applications à faible coût.

Si l'on observe $g_{0\max}(D_s)$, la limitation du spectre discontinu dans le cas de la modulation OOK apparaît clairement pour les débits supérieurs à RBW_{av} . En effet, pour des débits supérieurs à 4Mbs^{-1} , la modulation BPSK possède un meilleur potentiel. Toutefois il est possible de générer des impulsions supérieures à 1V en OOK jusqu'à 40Mbs^{-1} pour la norme FCC et 14Mbs^{-1} pour ECC. Pour des débits inférieurs à 4Mbs^{-1} , le potentiel de la modulation OOK est plus important que celui de la BPSK en raison de la variance qui diffère. En outre,

notons que les valeurs permises par la norme FCC sont plus élevées que celles de la norme ECC car la bande étant plus large, l'énergie de l'impulsion est plus faible.

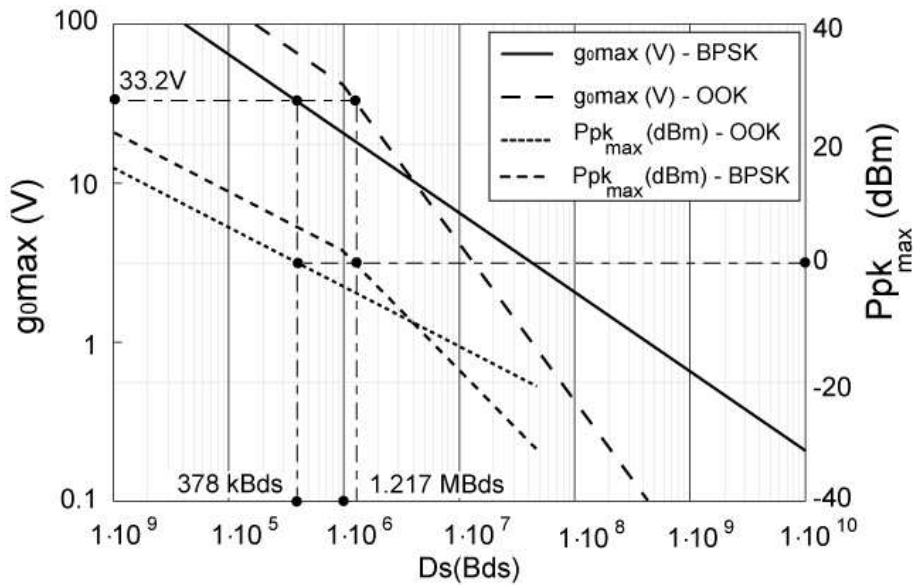


Figure 10 : Valeur maximale de l'impulsion transmise (g_{0max}) et la DSP crête (P_{pk}) en fonction du débit (D_s) pour $DSP_{max}=10^{-4.13}$ dans le cas de la norme FCC.

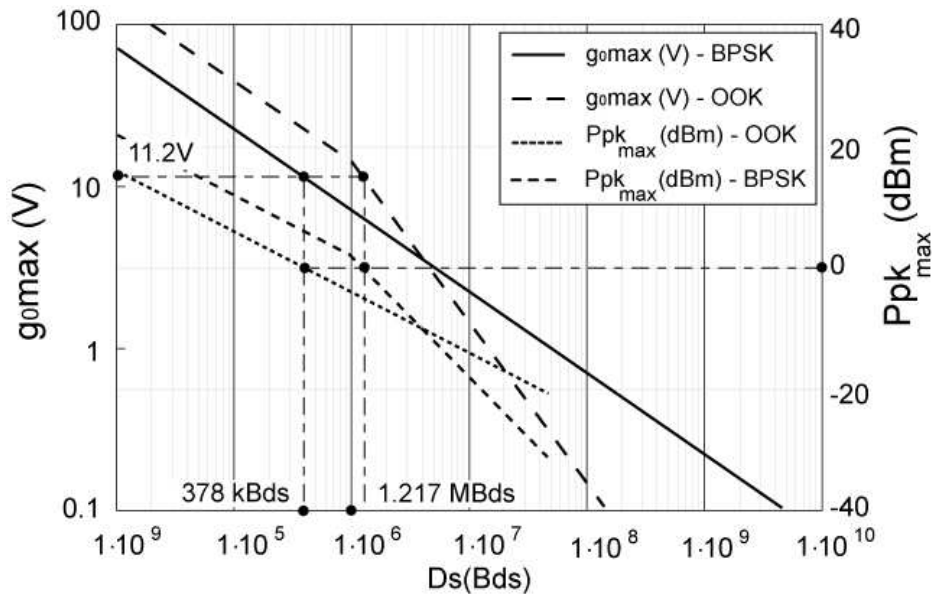


Figure 11 : Valeur maximale de l'impulsion transmise (g_{0max}) et la DSP crête (P_{pk}) en fonction du débit (D_s) pour $DSP_{max}=10^{-4.13}$ dans le cas de la norme ECC.

L'observation de la DSP crête montre qu'il est possible de diminuer le débit pour augmenter l'amplitude de l'impulsion jusqu'à 1.217Mbs^{-1} en OOK et 378kbs^{-1} en BPSK. Au delà de ces valeurs il n'est plus possible d'augmenter l'amplitude pour atteindre la valeur limite de la

DSP moyenne. Pour ces valeurs limites, l'amplitude de l'impulsion est de 33.2V en FCC et 11.2V en ECC. Là encore la modulation OOK possède un meilleur potentiel.

En conclusion, il est préférable d'opter pour une modulation OOK quand les débits visés sont inférieurs à 4Mbs^{-1} et pour une BPSK quand des débits sont supérieurs à 40Mbs^{-1} en FCC et 14Mbs^{-1} en ECC. Entre les deux, les besoins de l'application et les contraintes techniques peuvent orienter le choix. Dans un contexte de circuit intégré où il est difficile de générer des impulsions dépassant 1 Volt d'amplitude, la modulation OOK suffit à atteindre un tel niveau jusqu'à 40Mbs^{-1} (ou 14Mbs^{-1} en ECC). Au prix d'une complexité accrue, une modulation BPSK peut être envisagée si les besoins applicatifs en termes de détection (de portée) ou de débit l'exigent.

5 QUELLES APPLICATIONS POUR L'UWB-IR ?

La première partie de ce chapitre montre que l'intérêt majeur de l'UWB-IR réside dans son fort potentiel pour les systèmes à faible coût. Si l'on considère un E/R non-cohérent très simple (représenté sur la Figure 12) mettant en œuvre un générateur d'impulsions à l'émission et un LNA suivi d'un détecteur d'énergie pour la réception, il apparaît que les performances des dispositifs, il y a encore 5 ans, ne permettaient pas d'atteindre des distances de communications supérieures à quelques dizaines de centimètres.

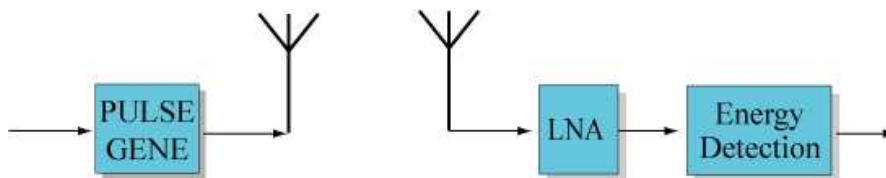


Figure 12 : Système UWB-IR non-cohérent (faible coût).

L'accroissement de la portée à travers l'amélioration des performances des circuits (amplitude des impulsions transmises, gain des LNA et seuil de détection) a constitué le principal effort de recherche de ces dernières années [15]-[17]. En outre la puissance consommée par ces circuits ne leur permettait pas de répondre aux besoins des applications très faible puissance comme la RFID, alors qu'aujourd'hui cette technologie semble une très bonne candidate pour les générations RFID futures. L'accroissement de la portée et la réduction de la consommation fut l'enjeu de la recherche dans ce domaine pendant ces dernières années et

encore aujourd'hui avec comme point de mire la pénétration de deux champs d'application : la RFID et les réseaux sans fil corporel (*Wireless Body Area Networks* – WBAN).

5.1 Enjeu et potentiel

5.1.1 La portée

La portée est aussi bien limitée par les performances de l'émetteur que par celles du récepteur. Sur le plan de l'émetteur, la plupart des générateurs intègre l'étage d'amplification (PA) permettant de fournir la tension souhaitée sur la charge 50Ω de l'antenne. Cette fonctionnalité est l'une des principales limitations des générateurs. En 2004-2005, quand ces travaux de recherche ont débuté, peu de circuits monolithiques avaient été réalisés [12]-[14] et une amplitude crête à crête sur 50Ω de quelques centaines de millivolts constituait l'état de l'art (voir Tableau 4). Sur le plan du récepteur, les gains des LNA large bande en technologie CMOS n'excédaient pas 13dB pour un facteur de bruit de 5dB [15]-[17]. Le bilan de liaison (exposé dans le Tableau 5) dans lequel les gains d'antenne sont considérés à 0 dB montre que la distance de communication ne pouvait pas excéder la dizaine de centimètres pour atteindre 50 mV en entrée du détecteur. Cette valeur de détection est communément admise [18] car elle est représentative du seuil d'une bascule D en technologie CMOS en présence d'un signal rapide [19]. Bien que pour une distance de quelques centimètres, l'hypothèse des champs lointains utilisés pour le calcul de la liaison ne soit plus valide, ce bilan montre l'impossibilité de réaliser des E/R à faible coût utilisant une technique de communication UWB-IR.

Tableau 4 : Etat de l'art (2004-2005) des principaux éléments d'un E/R UWB-IR monolithique.

Générateur d'impulsions (2005)										
Ref	Vpp (V)	Vdd (V)	Largeur τ (ns)	BW (-10dB)	Techno	Conso.	Ec _t (Pdc/Db)	Ep $\tau(V_{pp}/2)^2/2Z_0$	n=Ep/Ec _t	Surface (mm ²)
[12]	0,26	nc	3	500MHz	SiGe0,18	31,3mW@100MHZ	313 pJ	0.5pJ (estim)	0,0032	nc
[13]	0,15	2,7	0,23	6GHz	SiGe0,18	243mW	nc	13fJ (estim)	nc	6,25
[14]	0,035	1,8	0,34	Nc	CMOS0,18	12,6mW@50MHz	252 pJ	2.5fJ (estim)	0,00005	0,86

LNA								
Ref	Année	Techno	S _{11max}	G _{MAX}	BW _{3dB}	NF	Conso	Surface
[15]	2004	CMOS0.13 μ m	-9dB	16dB	5.9GHz	4.7-5.7dB	38mW	0.24mm ²
[16]	2004	CLOS0.18 μ m	-10dB	10dB	2,3-9,2GHz	4-9dB	9mW	1,1mm ²
[17]	2005	CMOS0.18 μ m	-8.5dB	13.5dB	2-9GHz	2.5-5.4dB	25.2mW	0.87mm ²

Tableau 5 : Différents scénarios de bilan de liaison pour un système UWB-IR non-cohérent.

Scénarios	Signal Sortie Générateur (Vcc)	Distance (m)	Gain LNA (dB)	F LNA (dB)	Signal Sortie LNA (mVcc)	Bruit Sortie LNA (mVeff)
2004-2005	0.23	0.08	13	5	51,2	0.3
Prédiction 1	1	2	22	5	22	0.84
Prédiction 2	2	10	30	5	22	2,1

Toutefois, le potentiel de ces systèmes reste important. Tout d’abord, le §4.3 montre que des amplitudes d’impulsions plus élevées sont admissibles par les normes tout en conservant des débits intéressants (1V pour 40Mbps⁻¹, 3V pour 10Mbps⁻¹ en FCC) et qu’en outre ces caractéristiques sont possibles pour des systèmes simples (modulation OOK). Le rapport S/N en sortie du LNA (~40dB) montre qu’il est aussi possible d’augmenter le gain de la chaîne même au détriment du facteur de bruit. Le bilan de liaison présenté dans le Tableau 5 montre aussi qu’il est possible d’atteindre des portées de l’ordre de deux mètres si l’amplitude des impulsions transmises atteint 1V et que le gain du LNA et son facteur de bruit atteignent respectivement 22dB et 5dB pour une sensibilité de détecteur de 20mV. De même une portée de 10 mètres est possible si les impulsions valent 2V et si le gain du LNA et son facteur de bruit atteignent respectivement 30dB et 6dB. Ces caractéristiques en termes de performance à atteindre ont constitué une bonne partie des enjeux de la recherche en conception de circuits UWB-IR durant ces dernières années.

5.1.2 La consommation de puissance

Un autre enjeu majeur de cette recherche repose sur la diminution de la puissance consommée. En effet, de par la nature discontinue du signal transmis, les systèmes UWB possèdent un fort potentiel en termes de réduction de la consommation du fait que l’alimentation peut être coupée entre l’émission ou la réception de deux impulsions. Le facteur de mérite le plus souvent rencontré dans la littérature est l’énergie par impulsion que consomme un dispositif ($E_{c_i} = P_{DC}/D_b$). Au niveau du générateur cette consommation peut être comparée à l’énergie d’une impulsion idéale qui d’après les (15) et (16) peut s’écrire comme suit :

$$(26) \quad E = \int_{\Re} \frac{|G(f)|^2}{Z_0} df = \frac{g_0^2}{Z_0 BW_{TOT}}$$

Ainsi l’énergie d’une impulsion d’amplitude 1V vaut respectivement 2.7pJ, 8pJ et 40pJ pour les bandes FCC, ECC et 500MHz du standard 802.15.4. Les rares circuits monolithiques réalisés avant 2005, présentés dans le Tableau 4, consomment beaucoup de puissance. Une estimation du rendement entre énergie consommée par impulsion et énergie de l’impulsion

produite peut être réalisée à partir des données couramment rencontrées dans les publications (puissance consommée, amplitude et largeur des impulsions). Si on ne tient pas compte de la forme de l'enveloppe de l'impulsion émise, on peut approximer cette impulsion par une sinusoïde modulée par une porte de largeur τ et d'amplitude V_p . Le rendement peut alors être exprimé comme suit :

$$(27) \quad \eta = \frac{E_p}{E_{c_t}} = \frac{(\tau \cdot (V_p)^2 / 2 \cdot Z_0)}{(P_{dc} \cdot T_s)} = \frac{D_s \cdot \tau \cdot V_p^2}{2 \cdot Z_0 \cdot P_{dc}}$$

où P_{dc} est la puissance moyenne consommée. Cette estimation permet de mettre en évidence les verrous technologiques à lever puisque les meilleurs rendements n'atteignent pas le pour cent [12]. La réalisation de circuit ayant une gestion de la consommation performante ainsi que l'utilisation de circuit ne consommant pas de DC (circuits digitaux par exemple [20] [21]) sont les principaux champs d'investigation pour la génération de signaux UWB-IR.

Sur le plan du LNA, les consommations en puissance sont déjà en 2004 assez bonnes (9mW pour un gain de 13dB et un facteur de bruit de 5dB d'après [16]). Bien que perfectibles ces consommations ne constituent pas l'enjeu majeur en recherche sur les LNA.

5.2 Les applications UWB-IR

Le fait que les systèmes UWB-IR peuvent potentiellement communiquer à quelques dizaines de mégabits sur quelques mètres de distance, en consommant seulement quelques dizaines de picojoules par bit transmis les rend particulièrement attrayants pour des applications à faible coût comme notamment la RFID (Identification Radiofréquence) et les WBAN qui ont suscité ces dernières années un grand intérêt dans l'industrie des télécommunications.

5.2.1 La RFID

Depuis quelques années, les technologies RFID évoluent vers les bandes de fréquence UHF afin d'augmenter les distances de lecture ainsi que le débit. Aujourd'hui, les systèmes RFID-UHF peuvent lire jusqu'à une centaine d'étiquettes en quelques millisecondes et à plus de 3 mètres de distance. Une étiquette (ou marqueur) RFID est communément appelé un *tag*. Toutefois, les systèmes RFID-UHF sont victimes de leurs performances en termes de portée et des problèmes liés à des lectures de *tags* indésirables apparaissent (problèmes de discrimination des *tags*). Pour répondre à ce problème il devient impératif de localiser le *tag*

en même temps qu'il est lu. En outre la géolocalisation permettrait à la RFID de développer de nouveaux champs d'application. L'UWB-IR apparaît comme le candidat idéal pour répondre à cette problématique. En RFID, l'électronique embarquée doit consommer très peu d'énergie afin de pouvoir être alimentée à distance par une onde électromagnétique (télé-alimentation). Une consommation de quelques picojoules du générateur d'impulsions doit lui permettre d'être télé-alimenté et la largeur de bande des impulsions UWB permet une résolution temporelle qui donne au système de localisation une précision de quelques centimètres [22]. Le système hybride (UHF-UWB) présenté à la Figure 13 préfigure les systèmes RFID de la troisième génération dans lesquels la télé-alimentation et la communication vers le *tag* sont réalisées en UHF alors que la communication retour (*backscattering*) est réalisée en UWB-IR.

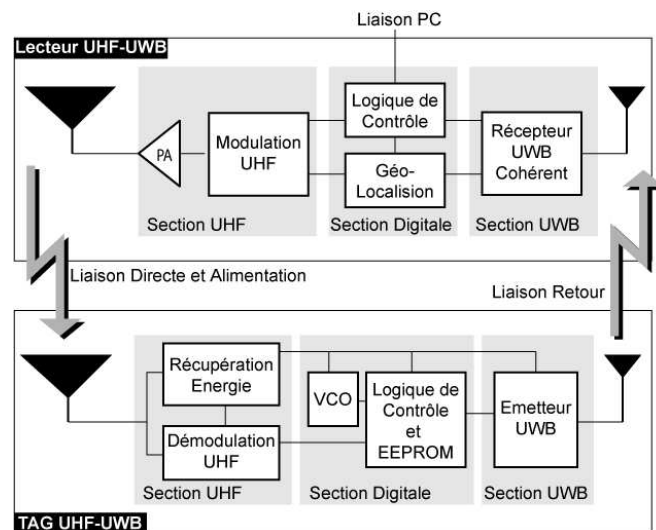


Figure 13 : Système RFID UHF-UWB.

Dans ce système la contrainte sur le coût est très forte au niveau du *tag* et assez faible pour le lecteur. Ce dernier peut utiliser un récepteur UWB ayant des coûts de production élevés et dont l'architecture permettrait des portées supérieures à la dizaine de mètres tout en localisant le *tag*.

Sur le plan du *tag*, il apparaît qu'un générateur consommant quelques dizaines de picojoules permet la télé-alimentation. En effet, un bilan des puissances mises en jeu dans un système RFID permet de mettre en évidence qu'une telle consommation par impulsion garantit une portée de l'ordre de 10m pour un *tag* passif alimenté en UHF. Le Tableau 6 résume les principales caractéristiques d'un récupérateur d'énergie embarqué dans un *tag* UHF [23].

Tableau 6 : Bilan des consommations d'un TAG UHF.

Caractéristiques TAG-UHF [23]	Portée	Puissance Reçue sur antenne	Puissance Reçue sur multiplieur	Rendement Multiplieur	Pdc (<i>tag</i>)	Vdc	I Charge	I Conso	C _{block}
Valeur	9.25m	30uW	12.5uW	18%	2.25uW	1.5V	8uA	4uA	250pF

Il apparaît qu'il est possible de télé-alimenter le *tag* jusqu'à 9.25m avec un récupérateur d'énergie (multiplieur) qui a un rendement inférieur à 20% et qui utilise une capacité de 250pF pour stocker l'énergie captée. Dans ces conditions, le récupérateur d'énergie peut fournir une puissance DC de 2.25µW sous une tension d'alimentation de 1.5V. Il est alors possible d'évaluer la chute de tension ΔV aux bornes de la capacité qu'engendrerait un générateur qui consommerait E joules par impulsion :

$$(28) \quad E = \frac{1}{2} \cdot C \cdot V_{dc}^2 - \frac{1}{2} \cdot C \cdot (V_{dc} - \Delta V)^2$$

La chute de tension serait de 68mV pour une consommation de 25pJ ce qui permet de supposer que les autres fonctions du *tag* ne seraient pas affectées par l'émission d'une impulsion. De plus, pour un courant de charge de 8uA, et une consommation du *tag* de 4uA, il faut 4.25µs pour remonter la tension d'alimentation limitant le débit à 235kbs⁻¹. Enfin, l'utilisation d'une modulation de retour UWB combinée à une alimentation UHF permet d'alimenter le *tag* en même temps qu'il émet. Cela signifie que ce débit est constant contrairement à un *tag* UHF classique.

5.2.2 Les WBAN

La migration, en novembre 2007, du groupement d'intérêt (Interest Group - IG) pour la standardisation IEEE des WBANs (IEEE-802.15.6) en groupe de travail (Task Group - TG) montre l'intérêt croissant pour ces systèmes. Les spécifications IEEE en termes de portée et de débit (respectivement 3m et 10Mbs⁻¹) sont en adéquation avec les systèmes UWB-IR. Actuellement, les différentes propositions pour la réalisation de la couche physique montrent les profondes divergences au sein de ce groupe. Toutefois, le nombre de propositions pour l'utilisation de l'UWB-IR confirme le potentiel que possède cette technologie pour répondre aux besoins de cette application. En effet, de part la nature discontinue des signaux UWB-IR, le taux d'absorption de ces signaux par le corps humain est très faible : de l'ordre de 30dB en dessous du niveau d'absorption spécifique (Specific Absorption Ratio – SAR) fixé par les normes de santé.

Au delà du SAR, l'UWB possède de nombreux avantages. Tout d'abord, il est important de considérer qu'un WBAN est constitué de sous réseaux de natures différentes comme l'illustre

la Figure 14 : Un réseau intra corporel, un réseau extra corporel, une liaison intra/extra corporelle et une liaison vers un point d'accès permettant l'interconnexion du WBAN avec un LAN ou un PAN.

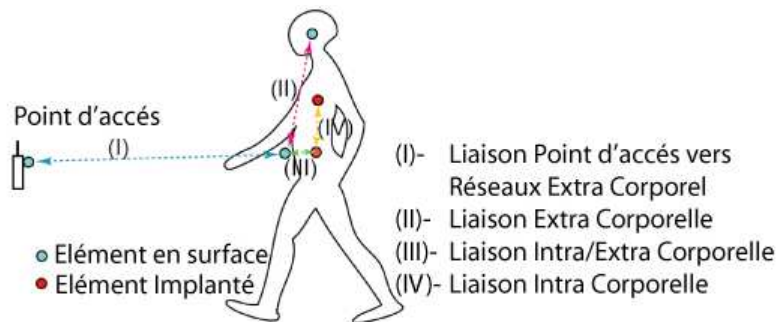


Figure 14 : Catégorisation d'un WBAN.

Actuellement, la durée de vie des appareils implantés dans le corps type pacemaker ou oreille artificielle est limitée en partie à cause de la consommation de la liaison intra/extra corporelle. Cette liaison consomme typiquement 10 à $20 \mu\text{A}$ à 50kbs^{-1} [24] ce qui constitue 20% de la puissance consommée. Grâce à son potentiel en termes de consommation, l'utilisation d'un émetteur UWB permettrait de réduire la consommation à $P=E/T=10\text{p}*50\text{k}=0.5\text{uW}$.

En outre, pour une liaison extra corporelle, des mesures de canaux réalisées avec des impulsions 3-6GHz montrent que le temps d'étalement moyen du canal UWB WBAN varie de 1.4ns à 11.3 ns pour une distance variant de 15cm à 1m [25]. Un récepteur utilisant la détection d'énergie peut alors être utilisé jusqu'à un débit de $1/11.3\text{n}=88\text{Mbs}^{-1}$ si l'énergie est intégrée pendant toute la durée d'étalement de l'impulsion. Ainsi une technologie UWB-IR à faible coût basée sur un récepteur non-cohérent peut potentiellement répondre au cahier des charges des WBAN en termes de portée et de débit si les performances de l'émetteur et du LNA atteignent celles présentées dans le Tableau 5.

6 CONCLUSION

Dans ce chapitre, une étude sur les signaux UWB-IR est réalisée. On montre particulièrement que dans le cas des signaux impulsionnels, pour une bande passante donnée, il est possible de jouer sur le débit pour maximiser l'amplitude et donc l'énergie de l'impulsion transmise. A partir de l'analyse conjointe de la DSP moyenne et de la DSP crête et de leurs limites imposées par les normes, il est possible de définir l'amplitude maximale tolérée et le débit

minimum permettant de l'atteindre dans une bande de fréquence donnée. Cette analyse montre que la modulation OOK est une bonne candidate pour les applications à faible coût (en raison de sa simplicité) jusqu'à des débits de quelques Mbs^{-1} pour la bande FCC. Au delà, une modulation BPSK est nécessaire pour maximiser l'amplitude (ou l'énergie) du signal émis. En outre, il apparaît que pour des signaux très large bande couvrant la totalité du spectre FCC la limitation de l'amplitude est avant tout technologique car la valeur maximale de la DSP crête est atteinte pour des niveaux supérieurs à la dizaine de volts. Enfin, l'utilisation de bandes plus étroites (ECC ou 500MHz de IEEE) implique une réduction de l'amplitude maximale pour atteindre la même limite d'énergie. Cette analyse montre ainsi les limites théoriques imposées par les normes ce qui permet de mettre en perspective les enjeux en termes de recherche dans le cadre d'architecture à faible coût à faible consommation. Ces enjeux sont : la maximisation de l'amplitude des impulsions émises, la maximisation du gain des LNA, la minimisation des seuils de détection des détecteurs d'énergie. Enfin, dans la mesure où certains verrous sont levés, il apparaît que l'UWB-IR possède un fort potentiel pour les applications WBAN et RFID.

7 REFERENCES

- [1] FCC: FCC rules and regulations, Part15. 2006
- [2] ECC: ECC/DEC/(06)04. ECC Decision of 24 March 2006 on the harmonised conditions for devices using Ultra-Wideband (UWB) technology in bands below 10.6 GHz
- [3] ETSI EN 302 065 V1.1.1 (2008-02)
- [4] Sandner, C.; Derksen, S.; Draxelmayr, D.; Ek, S.; Filimon, V.; Leach, G.; Marsili, S.; Matveev, D.; Mertens, K.L.R.; Michl, F.; Paule, H.; Punzenberger, M.; Reindl, C.; Salerno, R.; Tiebout, M.; Wiesbauer, A.; Winter, I.; Zisan Zhang; "A WiMedia/MBOA-Compliant CMOS RF Transceiver for UWB"; Solid-State Circuits, IEEE Journal of Volume 41, Issue 12, Dec. 2006 Page(s):2787 – 2794
- [5] D. M. W. Leenaert; "Transceiver Design for Multiband OFDM UWB" EURASIP Journal on Wireless Communication and Networking, Vol 2006, Article ID 43917, Pages 1-8.
- [6] Razavi, B.; Aytur, T.; Lam, C.; Fei-Ran Yang; Ran-Hong Yan; Han-Chang Kang; Cheng-Chung Hsu; Chao-Cheng Lee; "Multiband UWB transceivers"; Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005 18-21 Sept. 2005 Page(s):141 - 148
- [7] Chunjie Duan; Orlik, P.; Sahinoglu, Z.; Molisch, A.F.; "A Non-Coherent 802.15.4a UWB Impulse Radio"; Ultra-Wideband, 2007. ICUWB 2007. IEEE International Conference on 24-26 Sept. 2007 Page(s):146 – 151
- [8] Wentzloff, D.D.; Chandrakasan, A.P.; "A 47pJ/pulse 3.1-to-5GHz All-Digital UWB Transmitter in 90nm CMOS"; Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International; 11-15 Feb. 2007 Page(s):118 – 591.
- [9] Yuanjin Zheng; Yan Tong; Chyuen Wei Ang; Yong-Ping Xu; Wooi Gan Yeoh; Lin, F.; Singh, R.; "A CMOS Carrier-less UWB Transceiver for WPAN Applications"; Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International 6-9 Feb. 2006 Page(s):378 - 387
- [10] Iida, S.; Tanaka, K.; Suzuki, H.; Yoshikawa, N.; Shoji, N.; Griffiths, B.; Mellor, D.; Hayden, F.; Butler, I.; Chatwin, J.; "A 3.1 to 5 GHz CMOS DSSS UWB transceiver for WPANs" Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International 10-10 Feb. 2005 Page(s):214 - 594 Vol. 1

- [11] Werther, O.; Cavin, M.; Schneider, A.; Renninger, R.; Bo Liang; Long Bu; Yalin Jin; Rogers, J.; Marcincavage, J.; "A Fully Integrated 14 Band, 3.1 to 10.6 GHz 0.13 μ m SiGe BiCMOS UWB RF Transceiver"; Solid-State Circuits, IEEE Journal of; Volume 43, Issue 12, Dec. 2008 Page(s):2829 – 2843
- [12] Wentzloff, D.D.; Chandrakasan, A.P.; "A 3.1-10.6 GHz ultra-wideband pulse-shaping mixer"; Radio Frequency integrated Circuits (RFIC) Symposium, 2005. Digest of Papers. 2005 IEEE; 12-14 June 2005 Page(s):83 – 86
- [13] A. Azakkourl', M. Regis',F. Pourchet', G. Alquier; "A new integrated monocycle generator and transmitter for Ultra-wideband (UWB) communications"; Radio Frequency integrated Circuits (RFIC) Symposium, 2005. Digest of Papers. 2005 IEEE; 12-14 June 2005 Page(s):79 – 82
- [14] Yuanjin Zheng', Yan Tong"', Jiangnan Yan"', Yong-Ping Xu2, Wooi Gan Yeoh', Fujiang Lin; "A Low Power Noncoherent CMOS UWB Transceiver ICs"; 2005 IEEE Radio Frequency Integrated Circuits Symposium.
- [15] R. Gharpurey, "A broadband low-noise front-end amplifier for ultra wideband in 0.13 μ m CMOS," in *Proc. IEEE Custom Integrated Circuits Conf.*, Oct. 2004, pp. 605–608.
- [16] A. Bevilacqua, A. M. Niknejad, "An Ultrawideband CMOS Low Noise Amplifier For 3.1-10.6-GHz Wireless Receivers", *IEEE Journal of Solid-State Circuits*, 2004, 39, (12), pp. 2259-2268.
- [17] Kim C. W., Jung M. S., Lee S. G., "Ultra-wideband CMOS low noise amplifier," *IEE Electronics Letters*, Vol: 41 n° 7, pp., 31 Mars 2005.
- [18] Tiuraniemi, S.; Stoica, L.; Rabbachin, A.; Oppermann, I.;" Front-end receiver for low power, low complexity non-coherent UWB communications system"; Ultra-Wideband, 2005. ICU 2005. 2005 IEEE International Conference on; 5-8 Sept. 2005 Page(s):339 – 343
- [19] S. Bourdel, J. Gaubert, M. Battista, Y. Bachelet, Gilles Bas ; "CMOS UWB transceiver for Impulse Radio"; The 2007 IEEE International Conference on Ultra-Wideband, ICUWB 2007, Singapore, September 24-26, 2007.
- [20] Wentzloff, D.D.; Chandrakasan, A.P.;" A 47pJ/pulse 3.1-to-5GHz All-Digital UWB Transmitter in 90nm CMOS"; Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International; 11-15 Feb. 2007 Page(s):118 – 591.
- [21] H. Kim, D. Park, and Y. Joo, "All-Digital Low-Power CMOS Pulse Generator for UWB system," *Electronic Letters*, vol. 40, no.24, 25 November 2004.
- [22] Robert J. Fontana, "Recent System Applications of Short-Pulse Ultra-Wideband (UWB) Technology", *Microwave Theorie and Technics*, IEEE Trans on. , VOL. 52, NO. 9, September 2004
- [23] Karthaus, U.; Fischer, M.;"Fully integrated passive UHF RFID transponder IC with 16.7- μ W minimum RF input power", *Solid-State Circuits, IEEE Journal of Volume 38, Issue 10, Oct. 2003 Page(s):1602 – 1608*
- [24] Bradeley, P. D.; "Implantable ultralow-power radio chip facilitates in-body communications"; *RFDesign Short-Range Wireless Magazine Online*;
http://rfdesign.com/next_generation_wireless/short_range_wireless/706RFDF1.pdf
- [25] Zasowski, T.; Althaus, F.; Stager, M.; Wittneben, A.; Troster, G.;"UWB for noninvasive wireless body area networks: channel measurements and results"; *Ultra Wideband Systems and Technologies*, 2003 IEEE Conference on; 16-19 Nov. 2003 Page(s):285 - 289
- [26] G. CARIOLARO, T. ERSEGHE et L. VANGELISTA : Exact spectral evaluation of the family of digital pulse interval modulated signals. *Information Theory, IEEE Transactions on*, 47(7),2983–2992, Nov 2001.
- [27] J. G. Proakis, "Digital Communications", Ed. Mac Graw Hill, 3rd Ed 1995.

Chapitre 2

*Génération de Signaux Ultra Large Bande (ULB) pour la Radio
Impulsionnelle*

1 INTRODUCTION

L'analyse des règles fixées par les organismes de régulation réalisée au chapitre précédent montre qu'il est possible (légalement) de générer des signaux UWB pulsés dans les bandes FCC et ECC ayant des amplitudes importantes si tant est qu'ils soient utilisés dans des transmissions ayant des débits modérés (quelques Mbs⁻¹). La génération de fort signaux (quelques volts) maximise l'énergie de l'impulsion émise et permet alors d'utiliser des récepteurs très simples basés sur la détection d'énergie, ce qui rend les techniques de transmission UWB-IR très attractives pour les applications à faible coût et à faible consommation. La perspective d'utiliser ces techniques pour ce type d'application conditionne l'utilisation de filière technologique à bas coût. Sur le plan du circuit intégré, la technologie CMOS est la technologie de prédilection pour les systèmes RF économiques, de part son potentiel d'intégration mixte mais aussi parce que les fréquences de transition des transistors MOS permettent d'adresser les bandes de fréquence RF. En effet, il est possible de réaliser des circuits actifs ayant du gain jusqu'à 10GHz en technologie 0,13µm et les technologies 65 et 45nm semblent être utilisables jusqu'à 60GHz. Aujourd'hui, de par sa large utilisation, la technologie CMOS propose de nombreuses options de réalisation (passif RF, RAM, HigVoltage, CapaMIM...) permettant la conception de circuits performants à bas coût. En outre, même si l'utilisation d'architectures simples basées sur la détection d'énergie permet de réduire considérablement la puissance consommée dans l'E/R, il apparaît que la consommation seule du générateur peut être réduite à quelques microwatts pour des débits modérés en raison de la nature discontinue du signal. De telles consommations permettent alors une utilisation dans des systèmes télé-alimentés. Toutefois, pour pouvoir exploiter au mieux l'interdépendance entre la puissance consommée et le débit, il est indispensable d'augmenter les rendements en énergie mais aussi de réduire à zéro la consommation entre l'émission de deux impulsions consécutives. Dans ce sens, une gestion d'alimentation simple ou une polarisation statique nulle (circuit digital, amplificateur classe C, ...) sont des caractéristiques importantes à prendre en compte dans la conception des générateurs.

Enfin, de part l'existence de diverses normes, il est stratégique de disposer de circuits reprogrammables afin de réduire les coûts des systèmes. La possibilité de programmer des circuits se résume au premier ordre à adresser les différentes bandes utilisées (FCC, ECC, et 500MHs du 802.15.4). Toutefois, il apparaît que des possibilités plus étendues (à l'échelle de la forme de l'impulsion) permettent de compenser les variations des procédés de fabrication ainsi que les distorsions de certains éléments (antenne, interconnexion).

Dans ce contexte, les points clefs de la conception de générateurs pour les applications UWB-IR peuvent être listés comme suit :

- L'utilisation d'une technologie CMOS
- L'interfaçage avec l'antenne
- La génération d'impulsions ayant une forte amplitude sous des tensions d'alimentation compatibles avec la technologie.
- La maximisation de la bande passante pour réduire la durée de l'impulsion et ainsi optimiser la consommation d'énergie par pulse.
- L'optimisation du rendement entre l'énergie du pulse émis et l'énergie consommée.
- La réduction de la consommation statique et la capacité à pouvoir être commuté (ON/OFF) rapidement.
- La possibilité de programmer l'impulsion.

Dans cette partie, nous présenterons un état de l'art sur la génération d'impulsions en technologie monolithique en se focalisant particulièrement sur les points clefs cités. Les techniques de transposition d'impulsion, de filtrage d'impulsion et de synthèse d'impulsion seront notamment traitées. La partie suivante présentera les travaux réalisés sur le plan des techniques de filtrage d'impulsions combinées. Une approche méthodologique théorique sera présentée puis la conception d'un générateur pour la norme FCC et ECC sera décrite. La dernière partie détaillera la génération d'impulsions programmables par synthèse d'impulsions et deux topologies seront présentées.

2 ANALYSE DE L'ÉTAT DE L'ART

Les techniques couramment utilisées pour la génération d'impulsions en technologie monolithique à faible coût (CMOS ou BiCMOS) diffèrent de celles généralement utilisées en technologies hybrides. En effet ces dernières utilisent essentiellement des méthodes de recombinaison de front générée à partir de diode SRD par l'entremise de ligne quart d'onde ou de stub [24]. Dans un contexte de faible coût ces techniques ne sont pas possibles car elles ne sont pas intégrables dans les technologies visées. Nous présenterons ici seulement les techniques suivantes :

- Transposition d'impulsions bande de base
- Filtrage d'impulsions bande de base

- Synthèse par combinaison d'impulsions.

Cette analyse est menée à partir de circuits réalisés et mesurés que l'on trouve dans la littérature. Toutefois en raison du peu de circuits encore publiés sur la synthèse d'impulsions par combinaison d'impulsions, quelques résultats de simulations seront présentés.

Avant de débiter cette analyse, il est nécessaire de souligner le facteur de mérite souvent utilisé dans la génération d'impulsions et l'énergie consommée par impulsion. Ce critère est sujet à caution car souvent il ne tient pas compte de la puissance consommée entre deux impulsions, ce qui ne le rend pertinent que si le système est couplé à une gestion d'alimentation (parfois difficile à réaliser en fonction de la topologie du circuit). C'est pourquoi, nous présenterons, chaque fois que cela sera possible, une estimation de l'énergie totale consommée par impulsion ($E_{c_t} = P_{DC}/D_s$) qui tient compte de la consommation moyenne entre deux impulsions. L'énergie consommée par impulsion sera alors utilisée pour quantifier l'énergie consommée seulement pendant la durée de l'impulsion (τ) et, si elle n'est pas donnée, sera approximée comme suit : $E_c = P_{DC} * \tau$. En outre, pour être totalement pertinente, l'énergie consommée par impulsion totale doit être comparée à l'énergie de l'impulsion produite (E_p) à travers le rendement en énergie par impulsion ($n = E_p/E_{c_t}$). Cette énergie étant rarement donnée elle sera estimée en supposant que l'impulsion est une sinusoïde modulée par une porte de largeur τ et d'amplitude V_p ($E_p = \tau \cdot V_p^2 / 2R_0$) comme il a été présenté dans le §5.1.2 du chapitre précédent.

2.1 Transposition d'impulsion bande de base

Cette technique, décrite par la Figure 1, permet de transposer une impulsion bande de base autour d'une fréquence porteuse. Cette technique possède l'énorme avantage de pouvoir changer la bande de fréquence de l'impulsion par la variation de la fréquence de l'oscillateur local (OL) ainsi que l'occupation spectrale par la largeur de l'impulsion bande de base. En outre le doublement du spectre lié à la transposition de fréquence permet d'utiliser des impulsions bande de base de largeur $\tau = 2/BW$. De plus, ces techniques sont peu sensibles au bruit de phase de l'OL qui dégrade seulement la pureté spectrale des raies du spectre discret et n'affecte pas l'enveloppe de la DSP.

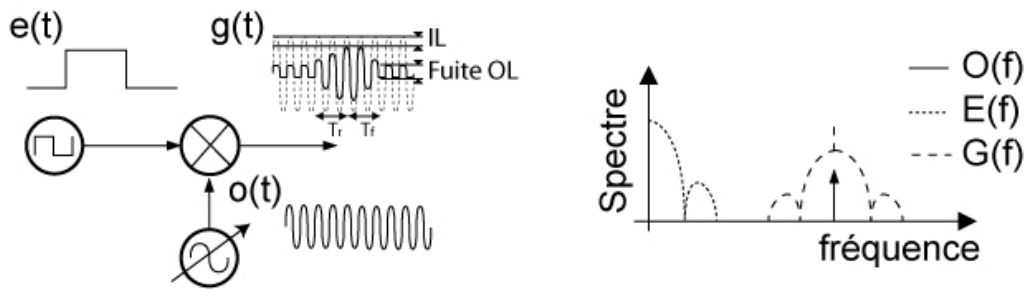


Figure 1 : Principe des architectures à transposition de fréquence.

Une première technique de transposition repose sur l'utilisation d'un circuit en commutation [1], généralement un interrupteur (*switch*) CMOS ou un mélangeur. La performance de ces architectures repose essentiellement sur celle du circuit en commutation puisque c'est le signal de commande qui forme l'enveloppe de l'impulsion de base transmise. Les performances de ces architectures sont essentiellement liées au temps de commutation de l'état bloqué à l'état passant (T_r), au temps de commutation de l'état passant à l'état bloqué (T_f), aux pertes d'insertion (IL) et à l'isolation entre l'OL et la sortie car tous ces paramètres influencent le spectre de $g(t)$ ($G(f)$ sur la Figure 1). L'architecture rencontrée la plus simple représentée sur la Figure 2 repose sur l'utilisation d'un unique transistor. Cette topologie est très limitée car son dimensionnement ne permet pas d'optimiser tous les critères de performance en même temps. En effet, la diminution des pertes d'insertion implique l'augmentation de la taille du transistor, engendrant une augmentation des capacités parasites (C_p) ce qui dégrade les pertes d'insertion dans les hautes fréquences et diminue l'isolation vers la sortie. De plus, il est commun d'utiliser une résistance (R_{rf}) de grande valeur pour isoler la grille aux fréquences RF. Cette résistance doit être diminuée pour ne pas ralentir le signal de commande appliqué à la grille et ainsi dégrader T_r . Pour améliorer l'isolation de l'interrupteur quand il est ouvert, il est commun d'ajouter un transistor de court-circuit (M2 ou M3 sur la Figure 2b) en parallèle sur la sortie, et commandé en opposition du transistor série. Toutefois, ces transistors parallèles dégradent les pertes d'insertion. Pour remédier à ces problèmes, [1] propose l'adjonction d'inductances entre les transistors. Celles-ci, combinées avec les capacités des transistors, réalisent une ligne de transmission artificielle et permet l'acheminement du signal vers l'antenne sur une large bande. Cette technique est très efficace et permet de générer des impulsions de largeur 400ps pour une amplitude $1,2V_{pp}$, sans utiliser d'amplificateur de puissance. Toutefois, les fuites de l'OL font apparaître une raie à la fréquence centrale de l'impulsion supérieure de 10dB au spectre continu et ces mesures sont réalisées avec un OL externe ce qui peut favoriser l'isolation. [1] propose alors l'utilisation de

doubles interrupteurs (M2 et M3) placés successivement sur le chemin vers l'antenne et commandés par des signaux de largeur décroissante (T1 et T2 avec $T1 > T2$). Cette technique permet d'augmenter l'isolation d'un rapport $T1/T2$ qui peut atteindre 50dB pour un débit de 10kbs^{-1} et une impulsion de 1ns.

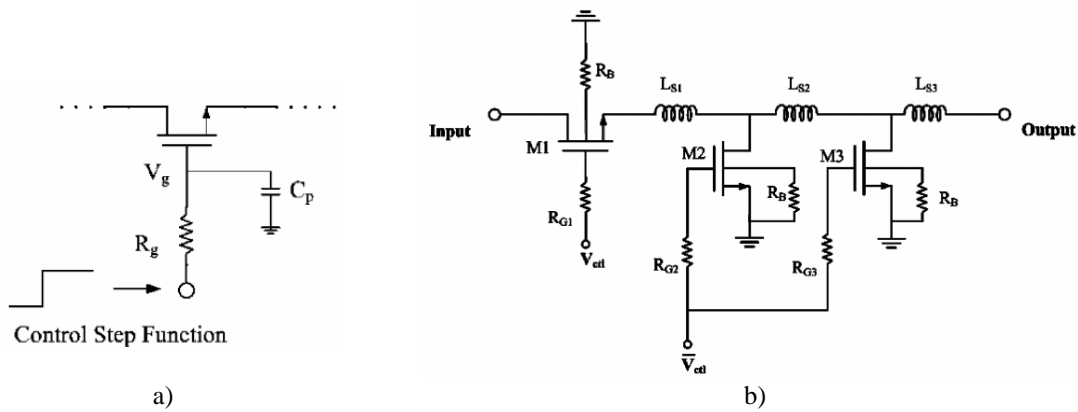


Figure 2 : Interrupteurs pour commutation d'OL a) simple ; b) avec ligne artificielle.

Dans [2], le circuit de commutation (représenté sur la Figure 3) est un mélangeur double équilibré similaire à une cellule de Gilbert. Les courants des paires différentielles (Q_{4+} et Q_{4-}) sont sommés pour annuler les fuites de l'OL et améliorer l'isolation. En outre, cette topologie permet de générer des signaux BPSK en commutant sur l'entrée V_{in+} ou V_{in-} le signal bande de base. De plus, l'utilisation d'un mélangeur permet de mieux contrôler le spectre du signal en jouant sur la forme de l'impulsion de base. En particulier ici, l'application d'impulsions bande de base triangulaires à une paire différentielle bipolaire ayant une fonction de transfert en $\tanh(x)$ permet de générer des enveloppes très proches d'une gaussienne. Dans [3], un filtre gaussien passif est utilisé pour mettre en forme l'impulsion bande de base (Figure 3b) et une cellule de Gilbert est utilisée pour générer des signaux bipolaires. Malgré tout, en raison des fuites de l'OL, ces structures nécessitent l'utilisation de faibles signaux pour la commutation (entrée OL). Comme le montre le Tableau 1, ceci se traduit par des amplitudes faibles en sortie, et la nécessité d'utiliser des amplificateurs de puissance (*Power Amplifier* – PA). De plus, les temps de commutation de ces architectures sont plus importants que celle d'un simple transistor. Cette difficulté à réaliser des mélangeurs large bande empêche la génération d'impulsions très courtes ($< 1\text{ns}$) avec cette topologie.

Bien que tous les circuits présentés ici n'intègrent pas l'OL, le bilan de consommation n'est pas bon en raison de la consommation des mélangeurs. Cela implique une gestion de l'alimentation qui coupe l'OL entre deux impulsions.

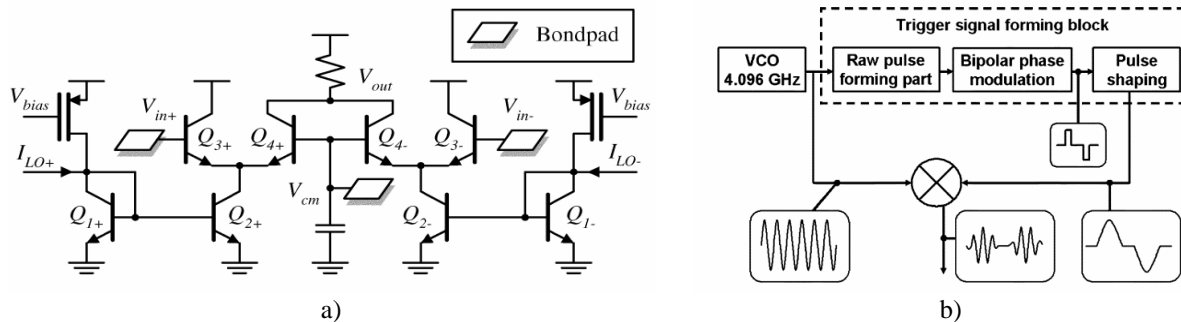


Figure 3 : Mélangeur Tanh (a) et principe d'une génération BPSK avec mise en forme (b).

Ces considérations sur la gestion de l'alimentation des OL ont donné lieu à une technique qui consiste à commuter directement l'OL (*On/Off LO* ou *Switched LO*) plutôt que sa sortie, résolvant non seulement le problème de la consommation entre deux impulsions mais aussi celui des fuites. Cette méthode permet d'atteindre des performances (voir Tableau 1) qui constituent l'état de l'art en 2009 en termes de consommation et d'amplitude, pour la génération de signaux de bande passante 500MHz dans la bande 3-5Ghz. La Figure 4 décrit le principe de cette méthode. Ici, l'enveloppe et l'amplitude du pulse sont essentiellement déterminées par le démarrage de l'OL. Dans le cas d'OL LC, [4] montre que les temps de montée et de descente (t_r et t_f) peuvent être égaux et donner lieu à des impulsions de 3.5ns de large avec des valeurs de composants ($L=2nH$ et $C=0,79pf$) qui sont intégrables dans la technologie utilisée (CMOS 0.18 μm). En outre, l'utilisation de capacités commutées permet de changer la fréquence d'oscillation et d'adresser différents canaux rendant cette technique applicable pour des systèmes de la norme 802.15.4. L'inconvénient majeur de cette technique réside dans l'amplitude de l'impulsion (180mV_{pp} dans [4]) qui dépend du temps de démarrage ainsi que de la performance des *buffers* (suiveurs de tension) nécessaires à l'isolation du circuit et de la charge 50 Ω de l'antenne.

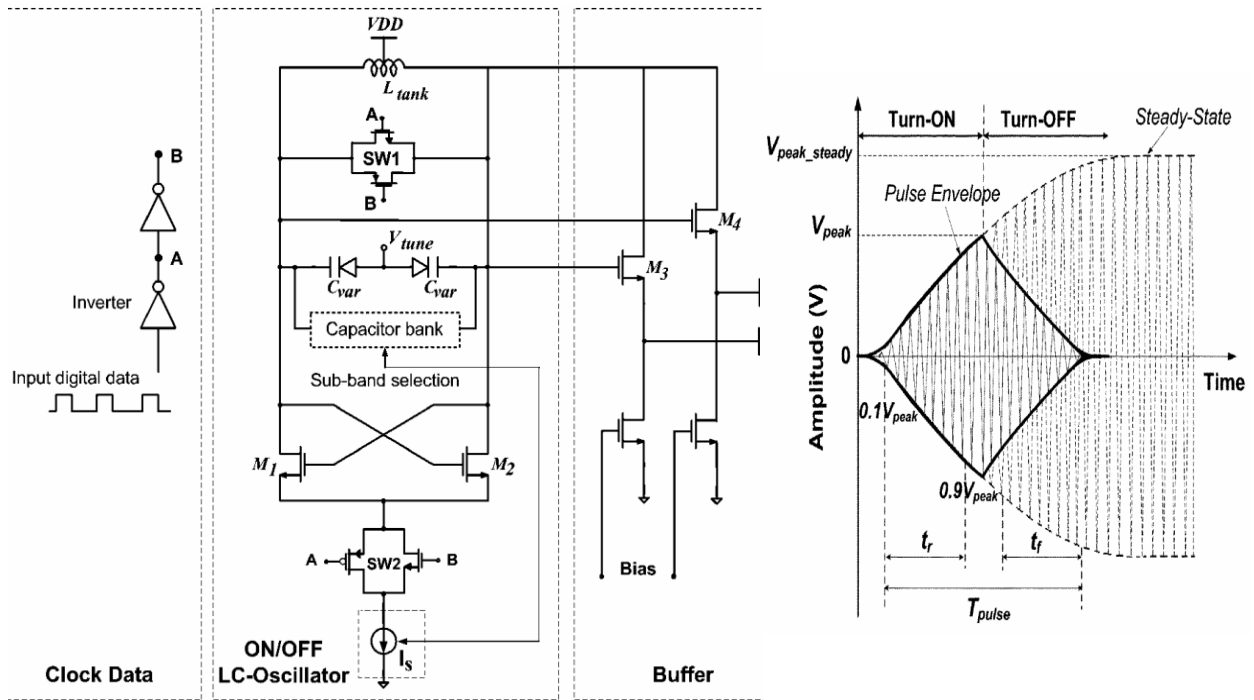
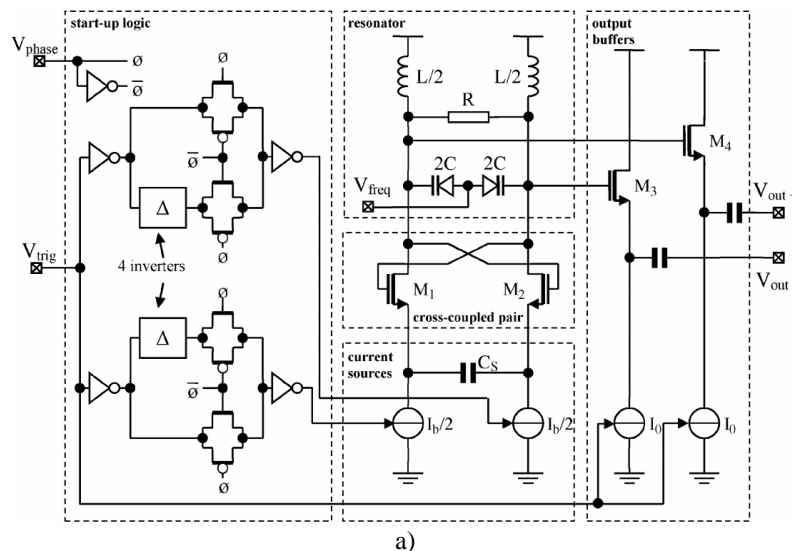


Figure 4 : Principe des OL On/OFF.

Pour améliorer le temps de démarrage, [5] propose la structure représentée sur la Figure 5a qui consiste à commuter les branches de l'OL avec un temps de décalage créant une tension aux bornes de C_s qui donne à l'OL des conditions initiales plus importantes que celles généralement produites par le bruit. Cette technique permet aussi de changer la phase de démarrage donnant ainsi la possibilité de réaliser des modulations BPSK. Comme reporté dans le Tableau 1, cette technique permet d'atteindre de très bonnes performances en termes d'amplitude ($0.9V_{pp}$) mais la consommation par impulsion est très dégradée, et ce, malgré une gestion de l'alimentation permettant d'éteindre les *buffers*.



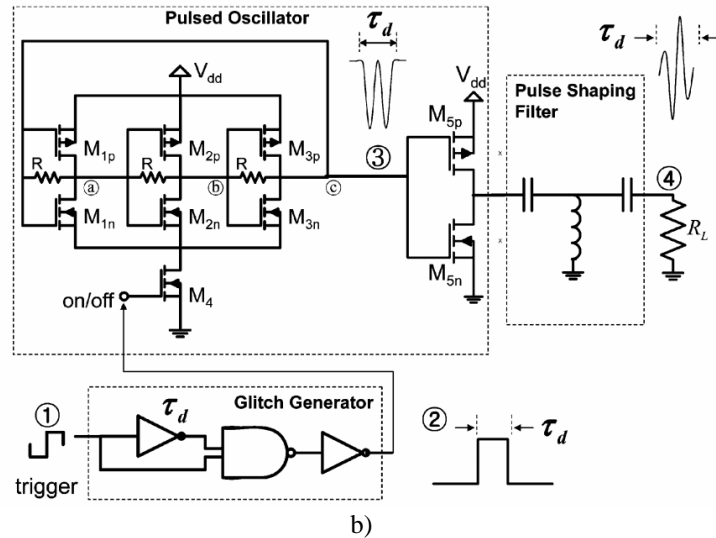


Figure 5: OL On/Off déséquilibré (a) et en anneau (b).

Pour pallier les temps de démarrage trop longs des OL LC, [6] propose l'utilisation d'OL en anneau (Figure 5b). Cette structure lui permet d'atteindre des largeurs d'impulsion de 0.5ns. En outre, la structure digitale de ces OL permet d'utiliser des inverseurs comme *buffers* de sortie plus performants que les suiveurs de tension, ce qui permet d'atteindre une amplitude de 673mV_{pp} pour une consommation de 27pJ/Pulse dans la bande 6-10GHz.

Tableau 1 : Principales caractéristiques des générateurs à commutation d'OL.

Ref	Archi	Fuite OL (mV _{pp})	τ (ns)	V _{pp}	E _c (pJ/P)	E _{c_t} (pJ/P)	E _p (pJ/P)	n	Pcons	Taille (mm ²)	Techno	MOD	Integ.
[1]	Gated-LO (SW)	10	0,4	1,2	0,7*	120	1,44	0,012	1,8mW@15MHz	0,6	0,18 CMOS	OOK	OI ext
[2]	Gated-LO (Mix)	~10	1,7-3,3	0,25	100*	313	0,52	0,0016	31,3mW@100MHz	nc	0,18 SiGe	BPSK	OI ext
[3]	Gated-LO (Mix)	5	1	0,014	15*	120	0,0005	4.10 ⁻⁶	15mW@125MHz	nc	0,25 SiGe	BPSK	Full
[4]	On/Off-LO (LC)	0	3,5	0,18	18	18	0,284	0,016	6,52mW@100MHz	0,39	0,18 CMOS	OOK	Full
[5]	On/Off-LO (LC)	0	2,5	0,9	180	180	5,06	0,028	1,8mW@10Mp/s	0,57	0,18 CMOS	BPSK	Full
[6]	On/Off-LO (anneaux)	0	0,5	0,673	27	nc	0,56	0,021**	nc	0,11	0,18 CMOS	OOK	Full

* Estimation (E_c=Pdc* τ), ** (E_c/E_p)

Le Tableau 1 reprend les caractéristiques essentielles des travaux présentés. Cette technique permet d'atteindre des rendements de l'ordre du pour cent et des niveaux inférieurs au volt. Notons ici que seulement les travaux présentés dans [4] et [5] ne consomment pas d'énergie entre deux impulsions (E_c=E_{c_t}).

2.2 Filtrage d'impulsion bande de base

Le principe de cette technique, représentée sur la Figure 6, repose sur l'excitation d'un filtre par une ou plusieurs impulsions bande de base réalisées par la combinaison de fronts logiques.

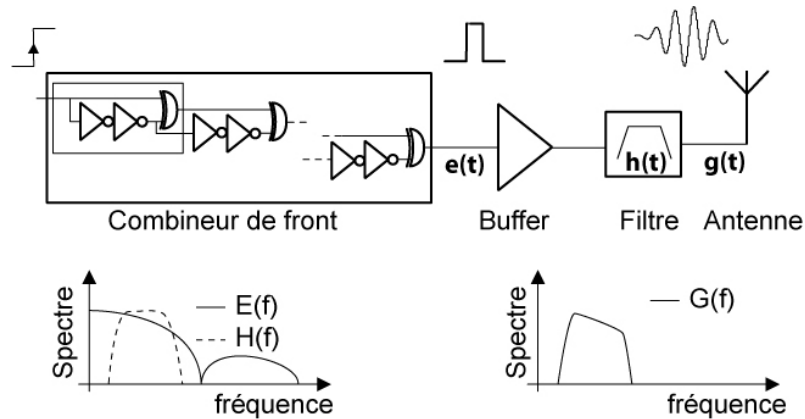


Figure 6 : Principe du filtrage d'impulsion bande de base.

L'expression de l'impulsion de base ainsi générée ($g(t)$) et sa transformée de Fourier ($G(f)$) dépendent du train d'impulsion bande de base ($e(t)$) et de la fonction de transfert du filtre de la manière décrite par (1) et (2). Le filtre permet notamment d'adapter le spectre du signal à une bande de fréquence particulière.

$$(1) g(t) = e(t) * h(t)$$

$$(2) G(f) = E(f) \cdot H(f)$$

Comme le montre [7], cette technique est particulièrement intéressante pour l'intégration à faible coût sur boîtier (*System on Package* - SoP) du générateur car la génération du train d'impulsions peut être aisément réalisée dans des filières CMOS (ici CMOS 0,35 μ m) et la réalisation du filtre peut être faite en dehors du circuit intégré (*Off Chip*) en technologie coplanaire ou micro-strip en même temps que l'interconnexion avec l'antenne. Dans ces travaux, l'excitation est réalisée par une impulsion unique de largeur 2ns et d'amplitude 2,8V, produite par un combineur de front logique dont le principe est décrit sur la Figure 6. Le signal est ensuite filtré par un filtre à stub intégré sur un substrat à faible coût (FR4). Cette technique permet de générer des impulsions d'amplitude importante (0,65V_{pp}) en raison des pertes d'insertion raisonnables du filtre (2,3dB) et de la forte excitation. En outre, la taille totale du SoP ne dépasse pas 40mm*40mm.

Afin d'être indépendant de la réalisation du support de la puce (*chip carrier*) inhérent aux technologies SoP, les travaux présentés dans [8] montrent la possibilité d'utiliser cette technique dans un système intégré sur puce (*System on Chip* - SoC) en technologie CMOS

0,13 μ m. En effet, dans le cas de signaux UWB occupant toute la bande FCC, les contraintes sur le filtre sont assez faibles et un ordre 3 suffit à satisfaire le masque FCC, ce qui conduit à des pertes raisonnables malgré la mauvaise qualité des circuits passifs dans ces technologies. Ici, le filtre est attaqué en courant par un transistor polarisé en classe C ce qui réduit la consommation (E_c) à 2,2pJ/Pulse pour une impulsion de $1V_{pp}$. En outre les auteurs montrent que l'utilisation d'une technologie SoP permettrait d'augmenter les performances du générateur et que l'utilisation d'une logique classique (non- ECL) réduirait la consommation statique à 0W. Ces performances représentent l'état de l'art en matière de génération d'impulsions couvrant la totalité de la bande FCC.

Toutefois, les travaux présentés dans [9] montrent la limite de ces techniques lorsque l'ordre du filtre augmente afin de générer des impulsions d'occupation spectrale plus faible. Le filtrage d'une impulsion élémentaire de 75ps nécessite un ordre 5 pour satisfaire le masque ECC. Il est alors nécessaire d'utiliser un filtre actif pour compenser les pertes du filtre intégré ce qui pénalise grandement la consommation comme le montrent les caractéristiques du circuit présentées dans le Tableau 2. En outre, un tel filtre nécessite un nombre important d'inductances ce qui augmente fortement la taille du circuit.

Pour relâcher les contraintes sur le filtrage, les travaux présentés dans [10] montrent qu'il est possible d'utiliser un train d'impulsions élémentaires à la place d'une impulsion unique. Il est ainsi possible de concentrer l'énergie de l'impulsion autour de la fréquence du train facilitant ainsi le filtrage autour de cette fréquence. Comme le montre [11], cette technique peut être utilisée pour générer des impulsions de 500MHz de bande passante pour les applications dans la norme 802.15.4. Onze impulsions élémentaires de largeur 120ps et espacées de 120ps permettent de générer une impulsion dans le canal 2 (4,05GHz) après un simple filtrage de la composante continue. La variation de la largeur, de l'espacement et du nombre d'impulsions permet d'adresser différentes bandes. Ici, la consommation augmente comparativement aux précédents travaux présentés mais elle reste raisonnable quand elle est comparée à l'énergie de l'impulsion produite. Toutefois, elle ne permet pas d'atteindre la performance en consommation des OL On/Off conçus pour ce même type d'application mais se démarque par sa taille (0,08mm²) liée, notamment, à l'absence d'inductance.

Le Tableau 2 regroupe les principales caractéristiques des générateurs utilisant le filtrage d'impulsions. Les rendements sont ici aussi de l'ordre du pour cent et les niveaux n'excèdent pas 1 volt. Toutefois, cette technique permet d'atteindre des bandes passantes supérieures à celles obtenues avec une commutation d'OL.

Tableau 2 : Performances des générateurs par filtrage d'impulsion de base.

Ref	t (ns)	BW (Ghz)	V _{pp} (V)	E _c (pJ/P)	E _c (pJ/P)	E _p (pJ)	n	Pdc	Taille (mm ²)	Techno	MOD	Integ.
[7]	2	nc	0,65	nc	nc	2,11	nc	nc	0,5	CMOS 0,35	OOK	SoP
[8]	0,6	4,3	1	2.25	13.5	2,16	0,16	2,7mW@200MHz	0,54	CMOS 0,13	OOK	SoC
[9]	1,8	2.5	0,35	23,6*	52.4	0,55	0,01	13,1mW@250MHz	1,02	CMOS 0,13	BPSK	SoC
[10]	0,6-0,8	2-4	0,35-0,45	8*	62,5	0,41	0,006	10mW@160MHz	1,56	CMOS 0,13	BPSK	SoP
[11]	3	0,5	0,65	47	nc	3,17	0,07**	nc	0,08	CMOS 0,09	BPSK	SoC

* Estimation (E_c=Pdc*τ), ** E_p/E_c

2.3 Synthèse par combinaison d'impulsions

Cette technique repose sur le principe (décrit sur la Figure 7) que toute impulsion multicycle s(t) est une combinaison d'impulsions monocycles élémentaires e_n(t).

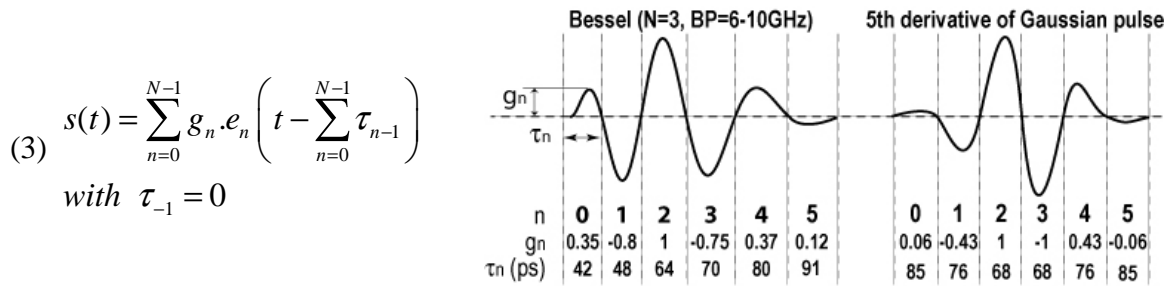


Figure 7 : Principe de la synthèse par combinaison d'impulsions.

Il apparaît que la variation de la forme de l'impulsion élémentaire influe peu sur le spectre final et que seules son amplitude et sa largeur ont une réelle influence [18]. Il est donc possible de synthétiser une impulsion complexe avec une même impulsion e(t) retardée, et amplifiée. L'intérêt majeur de cette technique repose dans le fait qu'il n'est plus nécessaire d'utiliser de filtre ou d'oscillateur et qu'elle peut être réalisée sans inductance. Cela confère à cette technique un fort potentiel, notamment avec l'évolution des technologies submicroniques. L'autre intérêt majeur de cette technique réside dans ses capacités de programmation. En effet, il devient alors possible d'adapter l'impulsion à un canal, de changer sa bande de fréquence, de réaliser de la prédistorsion ou de compenser les dérives technologiques liées à la fabrication. Toutefois, cette technique n'est pas encore mature et il existe peu de circuits déjà réalisés.

Les principales études réalisées à ce jour utilisent la même technique de génération d'impulsions élémentaires, à savoir, un combineur de front basé sur une ligne à retard d'inverseurs à délais variables. C'est plutôt la méthode de combinaison qui distingue ces

études et qui donne des propriétés particulières à chaque générateur. Dans [12], la combinaison des impulsions élémentaires est réalisée en courant par des transistors de tailles différentes comme le montre la Figure 8. La nature des transistors (P ou N) permet de réaliser l’alternance positive ou négative des impulsions. L’amplitude des impulsions simulées avec un DK CMOS 0.18 est de 700mV et la consommation est très bonne (15mW@500MHz) car l’étage de sortie n’est pas polarisé et fonctionne en commutation. Dans [13] et [14], les mêmes auteurs montrent qu’il est possible d’adresser différentes bandes de fréquence en variant les délais du combineur. Toutefois, cette topologie reste limitée en termes de programmation car il n’est pas possible de changer le nombre ou l’amplitude des impulsions élémentaires.

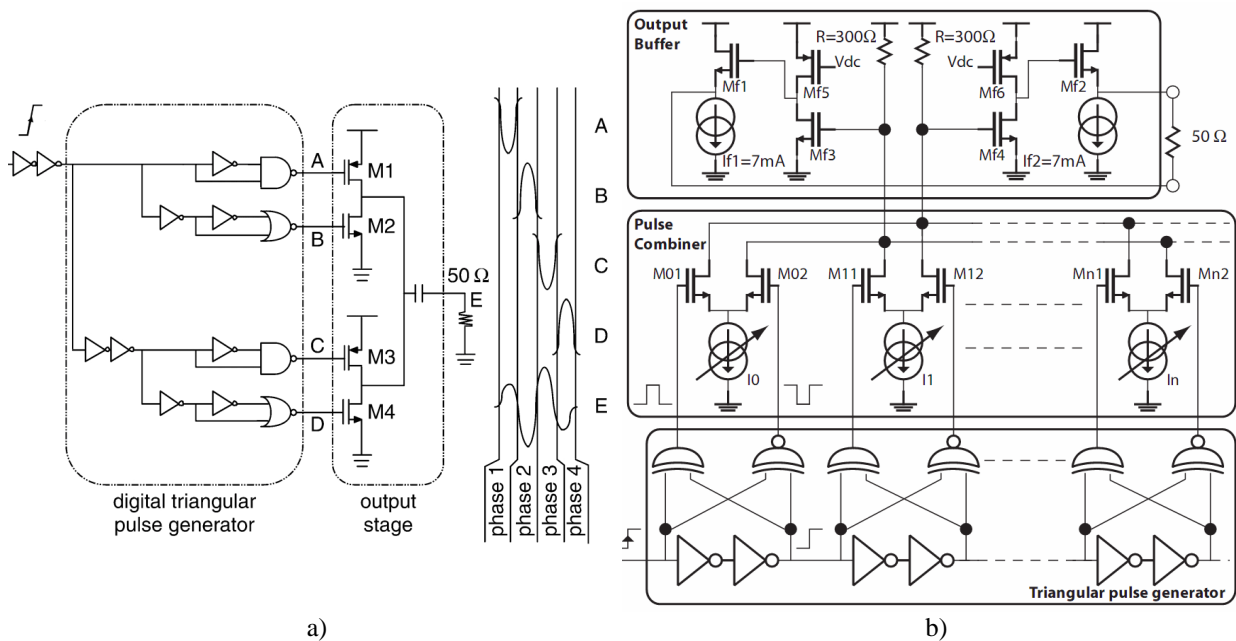


Figure 8 : Recombinaison en courant. Structure P-N (a) ; Paire différentielle (b).

Dans [15], les auteurs utilisent aussi une recombinaison en courant mais à partir de paires différentielles, ce qui permet de contrôler l’amplitude des impulsions en jouant sur la polarisation des paires. L’alternance positive/négative des impulsions est réalisée par le croisement des branches des paires différentielles. Ici le nombre et l’amplitude des impulsions ne sont pas limités, ce qui donne une grande latitude pour la programmation. Toutefois, un étage de sortie monté en suiveur de tension est nécessaire pour fournir la puissance à une charge 50Ω. Cet étage de sortie limite les performances en termes d’amplitude (0,6V_{pp} simulée avec un DK CMOS 0,13μm) et de consommation statique. L’énergie consommée par

impulsion reste raisonnable (26.4pJ/P) si une gestion d'alimentation performante est utilisée, sinon ce circuit consomme 202pJ/P à 100Mbs⁻¹.

Le principe de la sommation en courant à l'aide de paires différentielles est repris dans [16]. Ici la programmation permet de réaliser des impulsions bipolaires ainsi que d'alléger les contraintes sur le filtrage afin de pouvoir réaliser une intégration complète (SoC) n'utilisant qu'un transformateur de sortie intégré. La consommation du circuit est importante (71pJ/P) en raison du débit élevé. Toutefois, il permet de valider le principe de cette approche avec des amplitudes mesurées de 220mV_{pp}.

Dans [17], les auteurs utilisent des impulsions triangulaires et une pompe de charge pour faire varier leurs amplitudes, comme représenté sur la Figure 9.a. La valeur du courant (αI) dans la pompe de charge fixe l'amplitude du triangle. Ce circuit permet de réaliser une impulsion avec seulement des cellules digitales et la taille du circuit atteint 0.4mm² en technologie CMOS 0.18µm. En outre, ce circuit réalise de bonnes performances en matière d'amplitude et de largeur d'impulsion (1.24V_{pp} mesuré pour une largeur de 1.75ns). Les limitations principales résident dans la consommation (29,7mW@36MHz), le manque de possibilité de programmation (le nombre et l'amplitude des impulsions élémentaires sont figés) et l'utilisation d'un transformateur discret pour l'alternance positive et négative des impulsions élémentaires.

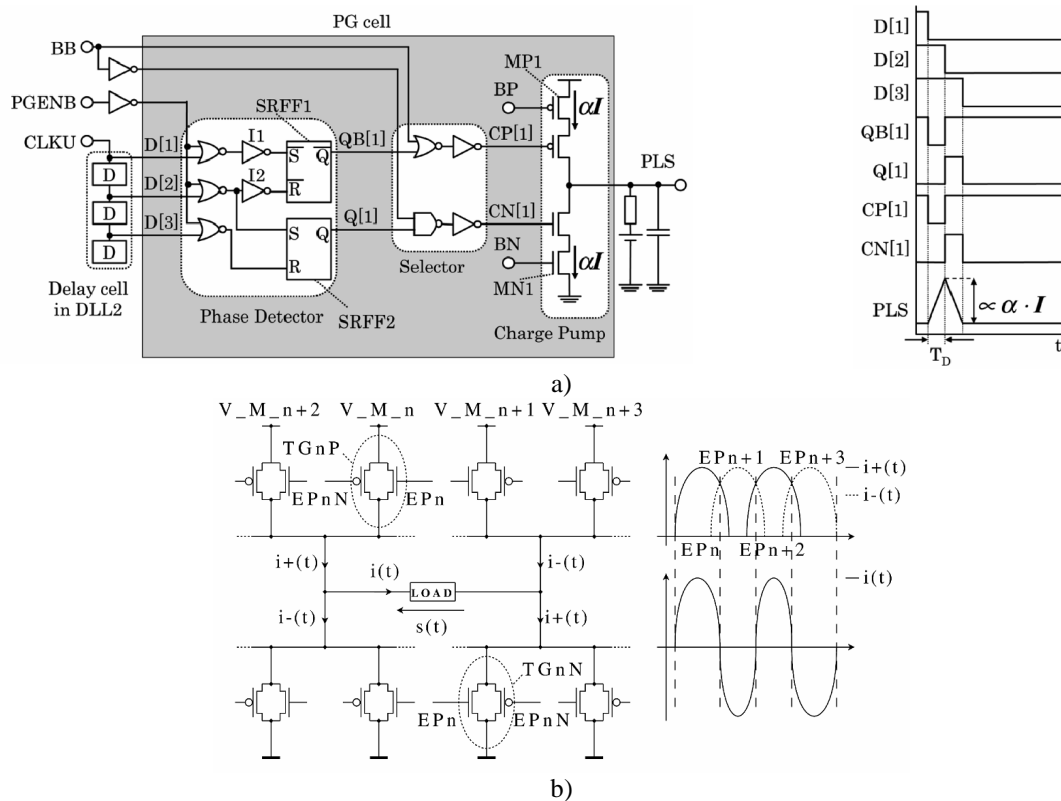


Figure 9 : Pompe de charge (a) et Pont H (b).

Pour diminuer la consommation et simplifier la gestion de l'alimentation, il apparaît que l'utilisation de transistors en commutation soit une solution intéressante ([8] et [13]). Cette approche est exploitée dans [18] en utilisant un pont H commandé par les impulsions de base (EPn sur la Figure 9.b). Les portes de transmission permettent de commuter successivement la charge sur n tensions différentes (V_{M_n} sur la Figure 9.b) proportionnelles aux valeurs g_n désirées pour réaliser une impulsion particulière. Le circuit présenté permet de générer des impulsions de $2V_{pp}$ pour une tension d'alimentation de 1.2 V ce qui conduit à une importante consommation par impulsion (140pJ/P pour un générateur de 6 étages). Toutefois cette consommation une fois ramenée à l'énergie de l'impulsion transmise est assez faible. De plus, cette architecture ne consomme pas de puissance statique et n'utilise pas d'inductance.

Tableau 3 : Principales caractéristiques des générateurs à synthèse d'impulsion.

Ref	t (ns)	BW (Ghz)	V _{pp}	Ec (pJ/P)	Ect (pJ/P)	Ep (pj)	n	Pdc	Taille (mm ²)	Techno	MOD	Integ.
[12]	0,38	7,2	0,7	5,7*	30	0.47	0.015	15mW@500MHz	nc	CMOS 0,18	OOK	Non
[14]	0,38	7,2	0,92	0,74*	23.41	0.84	0.034	1,88mW@77MHz	0,78	CMOS 0,18	BPSK	Non
[15]	0,36	6	0,6	26.4	202	0.32	0.002	20,24mW@100MHz	nc	CMOS 0,13	BPSK	Non
[16]	0,53	4	0,22	68,4*	71.7	0.06	0.008	129mW@1,8GHz	2,83	CMOS 0,09	BPSK	SoC
[17]	1,75	1,4	1,24	52*	825	6.73	0.008	29,7mW@36MHz	0,4	CMOS 0,18	BPSK	SoP
[18]	0,42	5,3	2	140	134	4.2	0.03	26,8mW@200MHz	nc	CMOS 0,13	BPSK	Non

* Estimation ($E_c = P_{dc} \cdot \tau$),

2.4 Conclusions sur l'état de l'art

Cette analyse de l'état de l'art met en avant l'important effort réalisé pour réduire la consommation des générateurs d'impulsions puisque le rendement en énergie par impulsion produite est passé du dixième de pour cent à la dizaine de pour cent en seulement quelques années. Sur ce plan, le filtrage d'impulsions bande de base semble posséder le meilleur potentiel en termes de rendement. Il s'avère capable de générer des impulsions d'amplitude importante et de largeur permettant d'adresser différentes bandes et notamment les plus larges. Toutefois, la génération « bande étroite » (500MHz) notamment aux fréquences hautes, nécessite l'utilisation d'un nombre important de retards et de fonctions logiques dans le combineur. Ceci dégrade la consommation mais aussi l'intégration en raison de l'équilibre nécessaire à chaque voie lors du dessin des masques. Pour les applications dans les bandes 500MHz de la bande basse, les techniques de commutation d'OL LC donnent les meilleurs résultats. Toutefois, les temps de réponse des OL et les *buffers* de sortie limitent l'amplitude de l'impulsion ainsi que le rendement, ce qui empêche ces architectures d'adresser des bandes

plus hautes. L'utilisation d'un VCO en anneau [6] est un exemple intéressant de convergence entre ces deux techniques (filtrage d'impulsion et commutation d'OL). En effet, d'une part, les longues lignes à retard nécessaires à la génération dans les bandes 500MHz de la bande haute (>6.5GHz) semblent vouées à être remplacées par des VCO en anneau commuté, d'autre part, l'utilisation d'une telle fonction nécessite un filtre de mise en forme en raison de la forte énergie qu'elle génère dans les bandes basses. En ce qui concerne la synthèse d'impulsion, celle-ci est, aujourd'hui, légèrement en retrait sur le plan du rendement. L'avenir de ces techniques repose sur l'évolution des technologies ou sur le besoin des applications qui pourra justifier cet accroissement de la consommation inhérent à la programmation des impulsions.

D'autre part, il apparaît que la génération d'impulsions courtes favorise l'économie d'énergie puisque le temps de conduction du circuit peut être réduit à la durée de l'impulsion, notamment grâce à l'utilisation d'architectures non polarisées. Dans ce sens, les impulsions ultra courtes semblent les plus appropriées aux applications à faible consommation. Toutefois, la courte durée de l'impulsion limite l'énergie émise et pénalise la portée. La maximisation de l'amplitude de l'impulsion produite est alors un enjeu de taille pour ce type d'impulsions.

Sur le plan de l'intégration, les techniques de commutation d'OL affichent de bons résultats car elles n'utilisent qu'une seule inductance. Par contre en technologie SoP elles sont pénalisées par le suiveur de tension. En effet, il apparaît que des terminaisons passives (filtre, cellule d'adaptions, ...) donnent une forte potentialité aux technologies SoP car elles favorisent l'interconnexion [19] ce qui n'est pas le cas ici. Inversement, le filtrage d'impulsions bande de base peut plus facilement exploiter les techniques SoP grâce au filtre de mise en forme qui peut être intégré au support de la puce [7] ou être réalisé par l'interconnexion puce vers support [8]. Toutefois, ce filtre peut devenir problématique pour une intégration monolithique dans le cas d'impulsions larges et il est alors nécessaire d'utiliser des trains d'impulsions plus longs, pour relâcher la contrainte sur le filtrage. En termes d'intégration monolithique, les techniques de synthèse de filtre semblent avoir le plus fort potentiel puisque nombre des circuits présentés utilisent des topologies sans inductance. La réalisation de générateurs tout digitaux dans des technologies CMOS encore plus performantes que celles utilisées dans ces travaux, semble être la perspective actuelle et c'est certainement cet aspect qui renforce l'intérêt de l'UWB impulsionnel pour les applications à faible coût.

3 METHODE DE FILTRAGE D'IMPULSIONS BANDE DE BASE [20][23]

En raison de son fort potentiel en matière de consommation, d'importants travaux de recherche ont d'abord été menés en collaboration avec la société ST-Microélectronics pour réaliser des circuits totalement intégrés. Ces travaux ont été réalisés dans le cadre de la thèse de Y. Bachelet et ont particulièrement été concentrés sur l'optimisation des pertes de la cellule de filtrage dans une technologie CMOS 0.13 ainsi que sur une technique d'excitation permettant d'atteindre d'importants niveaux d'amplitude sous des tensions d'alimentation faibles (1.2V). Les générateurs ont été étudiés pour les normes FCC et ECC, et avec pour objectif de produire des impulsions les plus courtes possibles afin de limiter le temps de conduction et ainsi d'optimiser le débit maximal.

3.1 Analyse théorique et méthode de conception

Cette partie présente une méthode de conception basée sur l'analyse de la DSP du signal et des limites imposées par les normes. Le principe du filtrage d'impulsions bande de base est présenté sur la Figure 6. Afin de générer une impulsion très large bande, une seule impulsion élémentaire (très courte) suffit pour l'excitation du filtre et l'impulsion générée en sortie du filtre peut s'écrire d'après (1) comme suit :

$$(4) \quad g(t) = \frac{A}{\sqrt{l}} \cdot \pi_{\tau}(t) * h_e(t)$$

où $\pi_{\tau}(t)$ est une fonction porte d'amplitude A et de largeur τ , $h_e(t)$ la réponse impulsionnelle idéale du filtre et l les pertes en puissance. Le spectre de l'impulsion générée est donné alors par :

$$(5) \quad G(f) = \frac{A\tau \text{sinc}(\pi\tau f) \cdot H_e(f)}{\sqrt{l}}$$

En se basant sur l'étude des signaux présentés au Chapitre I, il est possible d'exprimer la DSP d'une PAM telle que l'afficherait un analyseur de spectres dans les conditions de mesure imposées par la norme FCC ou ECC ainsi que l'amplitude maximale de l'impulsion bande de base qui permettrait d'atteindre la limite de la DSP moyenne (équations (17) et (19) CHI):

$$(6) \quad \begin{aligned} DSP_s^+(f) &= 2 \frac{|G(f)|^2}{Z_0} D_s \left\{ RBW_{av} \cdot \sigma_a^2 + D_s \mu_a^2 \sum_{i=-\infty}^{\infty} \delta \left(f - \frac{i}{T_s} \right) \right\} \\ &= 2 \frac{(A \tau \text{sinc}(\pi \tau f) \cdot H_e(f))^2}{Z_0 l} D_s \left\{ RBW_{av} \cdot \sigma_a^2 + D_s \mu_a^2 \sum_{i=-\infty}^{\infty} \delta \left(f - \frac{i}{T_s} \right) \right\} \end{aligned}$$

$$(7) \quad A_{\max} = \min \left\{ \left(\frac{l \cdot Z_0 \cdot DSP_{\max}}{2 D_s \tau^2 \text{sinc}^2(\pi f_0 T_s) RBW_{av} \sigma_a^2} \right)^{1/2}, \left(\frac{l \cdot Z_0 \cdot DSP_{\max}}{2 D_s^2 \tau^2 \text{sinc}^2(\pi f_0 T_s) \mu_a^2} \right)^{1/2} \right\}$$

L'expression (7) n'est valide que dans le cas où la réponse du filtre $H_e(f)$ et la DSP sont maximales pour la même fréquence, ce qui est vrai dans le cas de signaux FCC et ECC pour lesquels la bande de l'impulsion bande de base est bien supérieure à celle du filtre ($1/\tau \gg f_{\max}$). La connaissance de A_{\max} est primordiale pour dimensionner le système, toutefois elle ne donne pas directement l'amplitude de l'impulsion émise (g_0) qui est le facteur déterminant dans un générateur dédié aux systèmes utilisant la détection d'énergie. Pour un filtre donné et une impulsion bande de base donnée, g_0 dépend linéairement de A de la manière suivante :

$$(8) \quad g_0 = \frac{A}{\sqrt{l}} \frac{\pi_{\tau}(t) * h_e(t)}{g_{\text{norm}}(t)} = \alpha \frac{A}{\sqrt{l}}$$

où $g_{\text{norm}}(t)$ est l'impulsion $g(t)$ normalisée par rapport à g_0 . Le coefficient α représente l'efficacité en amplitude de la réponse du filtre à une impulsion carrée de largeur τ . A titre d'exemple, la Figure 10 représente la réponse d'un filtre Bessel à différentes excitations.

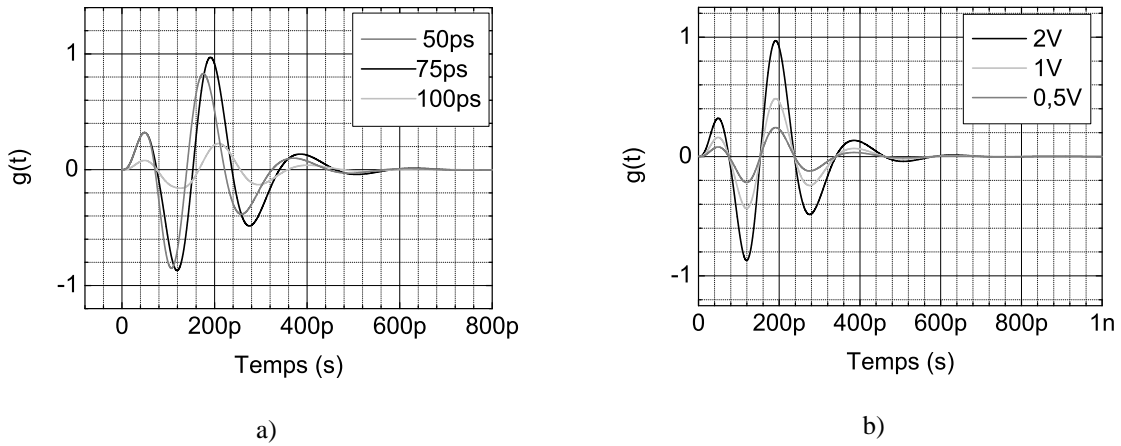


Figure 10 : Réponse d'un filtre Bessel à des impulsions bande de base de largeurs différentes (a) et d'amplitudes différentes (b).

Les pertes dans le filtre sont aussi un facteur déterminant pour l'évaluation de g_0 . Ces pertes peuvent être approximées à partir des coefficients de qualité des résonateurs de la manière suivante :

$$(9) \quad L_{dB} = 4,343 \cdot \sum_{i=1}^N \frac{1}{b \cdot Q_i} g_i$$

Alors que l'équation (5) permet de dimensionner le filtre permettant de satisfaire un masque particulier, les équations (7) et (8) permettent de dimensionner l'impulsion bande de base optimale satisfaisant les limites imposées par ce standard en termes de DSP moyenne. Toutefois, la DSP crête étant aussi limitée, il convient de l'évaluer, notamment dans le cas de faibles débits pour lesquels la DSP crête peut être un facteur plus limitant que la DSP moyenne (cf CH I §4).

Dans la mesure où la DSP du signal est plate dans la bande de fréquence de 50MHz centrée à la fréquence où la DSP moyenne est maximale, la DSP crête est la même que celle de l'impulsion idéale décrite dans le chapitre 1. Cette hypothèse peut être considérée comme toujours vérifiée dans le cas de signaux UWB qui, par définition, ont une BP supérieure à 500MHz. D'après l'équation (22) du Chapitre I, la puissance crête en sortie du filtre de résolution est exprimée en fonction de G_0 (l'amplitude de $G(f)$) :

$$(10) \quad P_{pk} = \frac{4 \cdot G_0^2 \cdot RBW_{pk}^2}{Z_0}$$

Si la fréquence (f_0), pour laquelle la DSP moyenne est maximale, est proche de la fréquence pour laquelle $H_c(f)$ est maximale, on évalue G_0 à partir de (6) de la manière suivante :

$$(11) \quad G_0 = \frac{A\tau \text{sinc}(\pi f_0 \tau)}{\sqrt{l}}$$

(10) permet ainsi de vérifier que l'impulsion générée est en dessous des limites imposées par un standard sur la puissance crête. Toutefois, dans l'hypothèse d'une conception dédiée à une application faible débit et pour laquelle on cherche à maximiser l'amplitude de l'impulsion émise, il convient d'évaluer la puissance crête en fonction du débit pour le cas où la DSP moyenne du signal émis est conforme au standard (inférieur à DSP_{max}). Dans le cas des modulations PAM, la DSP moyenne peut être exprimée en fonction de G_0 à partir de l'équation (6) :

$$(12) \quad DSP_{max} = \max \left\{ \frac{D_s^2 G_0^2 \mu_a^2}{Z_0}, \frac{D_s G_0^2 RBW_{av} \cdot \sigma_a^2}{Z_0} \right\}$$

Il est alors possible d'exprimer la puissance crête de la manière suivante :

$$(13) \quad P_{pkmax} = \max \left\{ \frac{4 \cdot DSP_{max} \cdot RBW_{pk}^2}{D_s^2 \mu_a^2}, \frac{4 \cdot DSP_{max} \cdot RBW_{pk}^2}{D_s \sigma_a^2 \cdot RBW_{av}} \right\}$$

Enfin, on rappelle que cette évaluation n'est valide que pour des débits symboliques inférieurs à 50MBaud et pour lesquels le filtre de résolution de l'AS ne répond qu'à une seule impulsion.

Basé sur cette approche théorique il est alors possible de mettre en place une méthodologie de conception. La première étape de cette méthode consiste à dimensionner le filtre d'émission (type, fréquence centrale, bande passante) et la largeur de l'impulsion de base à partir de l'équation (5) ou (6) de sorte que le spectre résultant soit compatible avec le masque du standard choisi. Une très grande variété de filtres peut être utilisée pour satisfaire un masque et les critères permettant d'orienter le choix sont les suivants :

- Un ordre faible permettant de limiter les pertes du filtre ainsi que la complexité et la taille.
- Une valeur de τ permettant d'atteindre un coefficient α le plus élevé possible tout en restant technologiquement réalisable.
- Des valeurs de composants intégrables dans la technologie visée.

Une fois le filtre et la largeur de l'impulsion fixés, il convient dans un second temps de réaliser un abaque comportant les valeurs de A_{\max} (ou de $g_{0\max}$) ainsi que de $P_{pk\max}$ en fonction de D_s (équations (7) et (13)) afin d'optimiser le signal émis au regard d'une application visée et ce pour différentes modulations PAM. Selon les applications, plusieurs cas de figure peuvent se présenter :

1^{er} cas : le débit minimal est fixé. L'abaque permet de définir si pour ce débit c'est la puissance crête ou bien la DSP moyenne qui limite l'amplitude du signal. Dans le cas (rare pour les bandes ECC et FCC) où la P_{pk} limite, la valeur du débit « limite » pour lequel la puissance crête dépasse $0dB_m$ permet de remonter à la valeur de A_{\max} . Dans le cas contraire, la valeur de A_{\max} est directement lue pour la valeur du débit minimal fixé par l'application. A_{\max} permet ensuite d'évaluer g_0 qui fixe la portée (pour une sensibilité de récepteur donné). Dans le cas où l'abaque a été tracé pour plusieurs modulations, il est possible de choisir la modulation qui maximise A_{\max} ou bien la plus simple permettant de réaliser la portée souhaitée.

2^{eme} cas : la portée minimale est fixée. Un bilan de liaison permet alors de remonter à la valeur de A_{\max} . Le débit maximal possible est ensuite déduit sur l'abaque de la valeur de A_{\max} dans le cas où cette valeur n'entraîne pas une puissance crête supérieure à $0dB_m$. Dans le cas contraire, la portée ne peut être atteinte. Dans le cas où l'abaque a été tracé pour plusieurs

modulations, il est possible de choisir la modulation qui maximise D_s ou bien la plus simple permettant de réaliser un débit souhaité.

3^{ème} cas : la portée minimale et le débit minimal sont fixés. Dans ce cas, l'abaque permet simplement de vérifier si ces valeurs sont compatibles. Ici encore la modulation peut être choisie en connaissant son influence sur le débit ou la portée.

3.2 Conception d'un générateur pour la Norme FCC [23]

3.2.1 Dimensionnement

Ici, nous appliquons la méthode présentée précédemment à la conception d'un générateur pour le standard FCC. Le cahier des charges est le suivant :

- une tension de sortie supérieure à $1V_{pp}$.
- un débit minimal de 36Mbs^{-1} permettant la transmission d'une vidéo en *streaming*.
- une architecture simple permettant d'optimiser l'énergie consommée.
- une conception monolithique en technologie CMOS.

La première étape de conception présentée dans la méthode citée précédemment a abouti au choix d'un filtre de Bessel d'ordre 3 excité par une porte de largeur 75ps (Figure 11.b). En effet, plusieurs combinaisons de filtres et d'impulsions bande de base permettent de satisfaire le masque FCC. Sur la Figure 11 est représenté le spectre, évalué à partir de (5), de quatre impulsions possibles. De par sa nature très large, le masque FCC peut être satisfait en utilisant des filtres d'ordre faible ce qui constitue un atout majeur pour la conception monolithique en technologie CMOS pour laquelle les inductances ont d'importantes pertes.

Parmi ces différentes impulsions, la numéro 2 affiche le meilleur compromis. En effet, elle possède sensiblement la même efficacité (α) que l'impulsion 3 mais la valeur de τ est plus importante ce qui relâche les contraintes sur la conception du générateur bande de base. En outre comparativement aux impulsions 1 et 4, son efficacité est meilleure. Enfin, les valeurs des composants nécessaires à sa réalisation (Tableau 5) sont compatibles avec la technologie visée.

Pour l'impulsion 2, l'abaque donnant A_{max} et P_{pkmax} en fonction de D_s est donné à la Figure 12 pour des modulations BPSK et OOK et en fixant les pertes du filtre à 3dB. Tout d'abord, le débit visé est au dessus du débit limite en deçà duquel la puissance crête peut être le facteur limitant (1.23MBs^{-1} pour OOK et 380kbs^{-1} pour BPSK). Pour $D_s=36\text{MBds}$ (équivalent à $D_b=36\text{Mbs}^{-1}$ pour des modulations à deux états telles que OOK et BPSK), A_{max} vaut 2.56V en

OOK et 9.8V en BPSK correspondant à $g_0=1.73V$ pour OOK et $g_0=6.56V$ en BPSK. Il apparaît qu'une modulation OOK est suffisante pour atteindre les objectifs en termes de portée ($g_0>1V$).

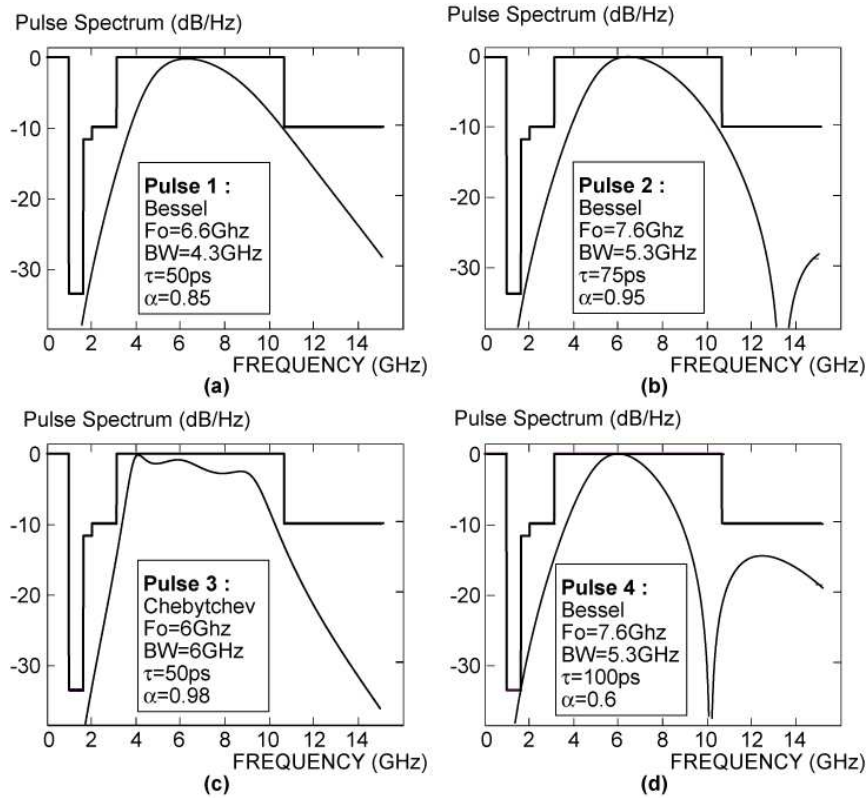


Figure 11 : Densité spectrale normalisée ($|G(f)|^2/G_0$) pour différents filtres d'ordre 3 et différentes largeurs d'impulsions.

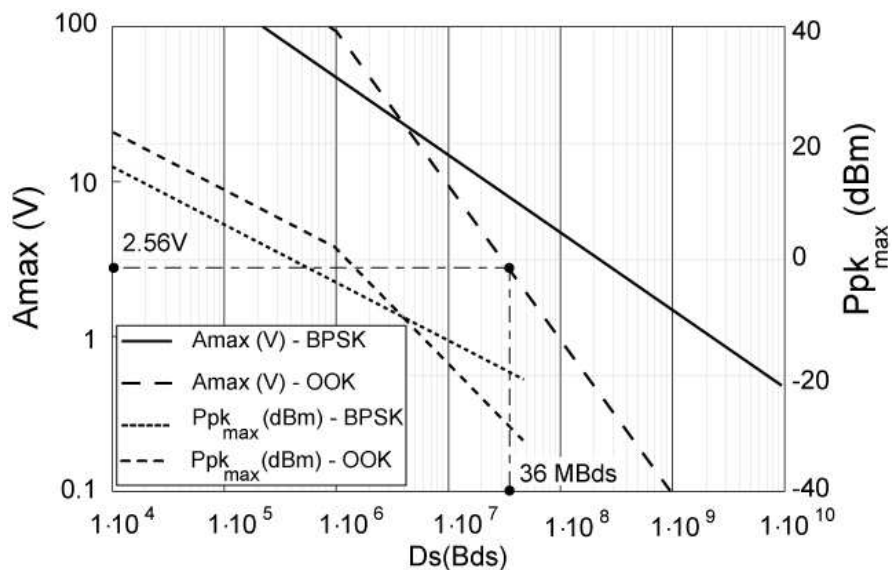


Figure 12 : A_{max} et P_{pk_max} en fonction de D_s pour l'impulsion 2 de la Figure 11.

La méthode présentée précédemment nous permet de dimensionner les principaux éléments du générateur tout en assurant la compatibilité avec le standard FCC. Les principales caractéristiques sont reprises dans le Tableau 4.

Tableau 4 : Principales caractéristiques du générateur FCC.

Std	τ	A_{max}	g_0	N	Type	f_0	BW	Mod	Ds
FCC	75ps	2.56V	1.73V	3	Bessel	7.6GHz	5.3GHz	OOK	36Mbs ⁻¹

3.2.2 Conception

L'architecture du circuit réalisé est présentée à la Figure 13. Le générateur est composé d'un combineur de front digital (appelé aussi générateur d'impulsions triangulaires) réalisant l'impulsion bande de base, d'un *driver* et d'un filtre intégré. Le *driver* permet d'exciter le filtre en mode courant afin de fournir à son entrée une amplitude (A_{max}) supérieure à la tension d'alimentation ($V_{DD}=1,2V$).

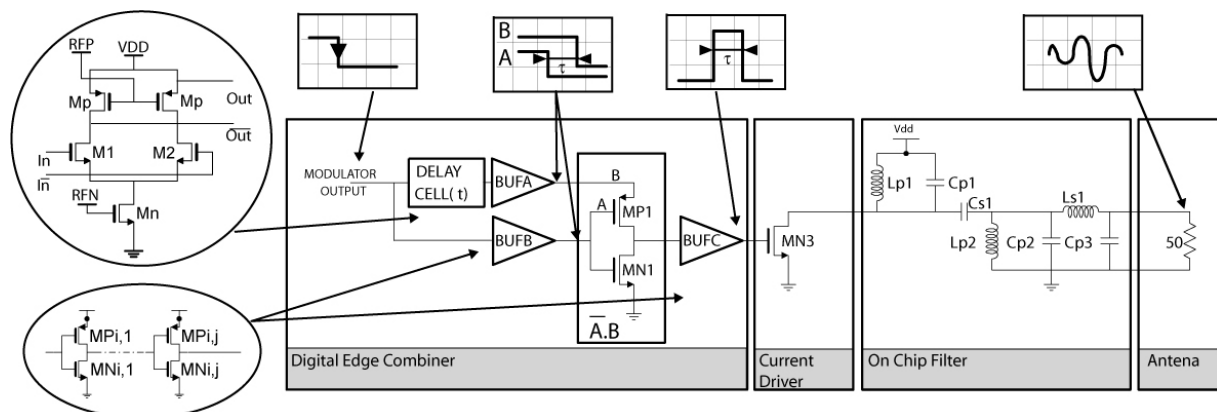


Figure 13 : Architecture du générateur FCC.

La conception du filtre intégré est largement conditionnée par la performance des circuits passifs disponibles dans la technologie et en particulier des inductances. Une première étape consiste à évaluer ces performances. En effet, les pertes ainsi que les fréquences de résonance propres (*sfr*) des inductances sont fortement dépendantes de leurs valeurs. Une étude détaillée, présentée dans la thèse de Y. Bachelet, a mis en évidence que, dans la technologie utilisée, les meilleures performances étaient réalisées par des inductances dont les valeurs étaient comprises entre 0.4 et 1.5nH. En effet pour ces valeurs, le facteur Q reste supérieur à 10 dans toute la bande FCC et la *sfr* reste supérieure à 15GHz. Les capacités affichent de meilleures performances RF car la plage de valeurs assurant un bon fonctionnement ($Q > 50$ et

$sfr > 24\text{GHz}$) va de 100fF à 2pF. Toutefois, une dérive importante entre la valeur nominale et la valeur à 7GHz est remarquée pour les fortes valeurs (10% pour 2pF) et devra être prise en compte pendant la conception.

La faible plage de valeurs possibles des inductances restreint beaucoup le choix du filtre. Fort heureusement, la bande relative de la bande FCC est proche de l'unité ce qui restreint la dispersion sur la valeur des composants. Pour un même filtre, plusieurs topologies sont possibles et leurs choix sont conditionnés par la valeur des composants qu'elles impliquent. Ici particulièrement, la topologie choisie (qui n'est pas une topologie classique de filtre en échelle) permet d'obtenir les valeurs de composants décrites dans le Tableau 5.

Tableau 5 : Valeur des composants du filtre intégré.

Lp1 (nH)	Cp1 (pF) (ideal)	Cp1 (pF) (Real)	Cs1 (fF)	Ls1 (nH)	Lp2 (nH)	Cp2 (fF)	C3 (fF)
460	1.43	0.5	677	1.15	1.08	420	260

A partir des valeurs du filtre il est alors possible de dimensionner le *driver* en courant (MN3). La taille du transistor dépend de A_{\max} et de l'impédance d'entrée du filtre R_{in} qui pour cette topologie de filtre est égale à $R_{out}=50\Omega$ (impédance de l'antenne). L'impulsion bande de base ($0-V_{DD}$) étant appliquée sur la grille de MN3, le courant fourni au filtre par le transistor pendant le temps de conduction (τ) peut être approximé selon l'hypothèse petit signal. La taille du transistor peut alors être exprimée de la manière suivante :

$$W = \frac{L \cdot A_{\max}}{R_{IN} \cdot \mu_0 \cdot C_{ox} (V_{DD} - V_t)^2}$$

Le courant nécessaire pour atteindre 2.56V sur 50Ω est de $I_0=51\text{mA}$ ce qui conduit à un transistor très large. Pour un tel transistor, l'impédance de sortie (R_{ds} et C_{ds} représentés à Figure 14) doit être adaptée au filtre.

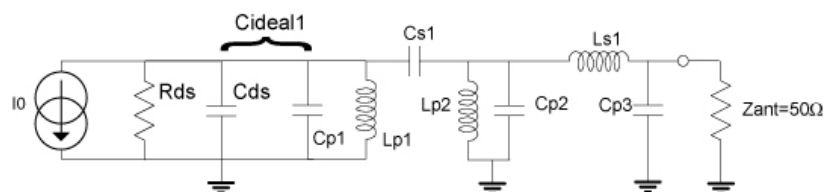


Figure 14 : Schéma électrique du driver et du transistor.

En raison de la forte valeur de la capacité du premier résonateur, l'effet du C_{ds} peut être facilement compensé par C_{p1} . Toutefois, l'adaptation en puissance ($R_{ds}=R_{in}$) ne peut pas être réalisée indépendamment de la valeur de I_0 avec une topologie aussi simple. La taille du transistor résulte alors d'un compromis entre la valeur de I_0 , l'adaptation (R_{ds}) et la

consommation du driver (taille de MN3) qui est la plus importante dans le circuit. La taille finalement retenue ($W=100\mu\text{m}$) assure un courant de 58mA (proche de $A_{\text{max}}/R_{\text{out}}$) permettant d'atteindre $g_0=1.73\text{V}$ en sortie. La valeur de R_{ds} est de 122Ω . Une meilleure adaptation aurait été obtenue avec un transistor plus gros au prix d'une consommation accrue.

Les cellules de retard du combineur de front ont été réalisées en utilisant une logique différentielle en mode courant présentée à la Figure 13. L'intérêt majeur de cette logique est sa rapidité ainsi que sa faible consommation dynamique. Les retards sont variables par l'entremise d'une tension de contrôle appliquée sur la grille des transistors P modifiant ainsi la résistance dynamique de ces derniers. Chaque cellule réalise un retard variant de 17ps à 300ps permettant ainsi de compenser les variations du procédé de fabrication et d'atteindre la valeur de τ désirée. La combinaison des fronts est réalisée par une cellule logique ($A.\overline{B}$) utilisant seulement deux transistors permettant ainsi de générer des impulsions allant jusqu'à 50ps. Enfin des *buffers* sont nécessaires pour adapter les tailles des transistors entre les circuits logiques qui utilisent des transistors de faible largeur et le *driver*. Afin de ne pas reporter toute la contrainte sur le *buffer* C, une première série de *buffers* (*buffer* A et *buffer* B) est placée entre les retards et la fonction logique.

Les principaux résultats de mesures sont présentés sur la Figure 15. Le circuit fait 0.54mm^2 . L'amplitude de l'impulsion est de $1,4\text{V}_{\text{pp}}$ sur une tension d'alimentation de 1,2V. Le masque FCC est respecté pour un débit de 36MBs^{-1} et un débit maximal de 38Mbs^{-1} est possible en raison de l'amplitude de l'impulsion. La consommation moyenne est de $3.8\text{mA}@100\text{MHz}$. La consommation par impulsion est estimée à 9pJ essentiellement en raison du *driver* (MN3) qui fonctionne en classe C. Toutefois, cette performance ne peut être atteinte que si une gestion de l'alimentation est utilisée car cette estimation ne tient pas compte de la consommation DC entre deux impulsions. En effet, comme la plupart de ses « concurrents » présents dans la littérature, ce générateur dissipe de la puissance DC, rendant l'énergie consommée par impulsion totale (E_{c}) dépendante du débit.

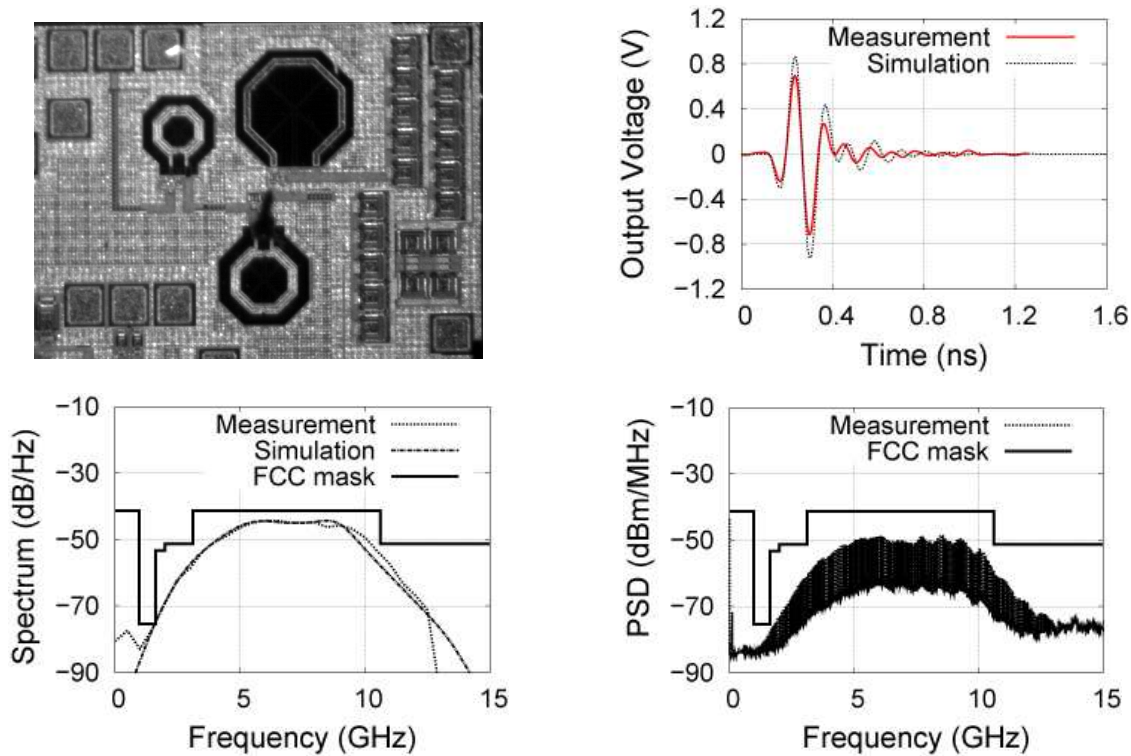


Figure 15 : Résultats de mesures du générateur FCC.

3.3 Conception d'un générateur pour la norme ECC[9]

La méthode de dimensionnement est appliquée ici à la conception d'un générateur répondant à la norme ECC. La bande réduite (comparativement à FCC) allège les contraintes sur le récepteur et une meilleure sensibilité peut être envisagée permettant ainsi de réduire l'amplitude de l'impulsion émise. Le cahier des charges est le suivant : i) $0,3V_{pp}$ pour atteindre une énergie similaire à celle obtenue dans la bande FCC avec 1 volt d'amplitude, ii) le débit maximal possible pour cette amplitude, iii) la consommation.

La première étape de la méthode (présenté au § 3.2.1) met en évidence plusieurs points. L'ordre le plus faible possible pour atteindre la bande ECC est $N=4$ avec un filtre de Tchebychev ayant une ondulation de 1dB (choisie pour sa bonne réjection autour de f_c). Les pertes théoriques de ce filtre sont de 10dB. Le meilleur coefficient alpha est obtenu pour une largeur de 200ps et vaut 0.12. Ceci s'explique par le fait que la bande ECC est tellement éloignée de la bande de base qu'il est préférable de filtrer le lobe secondaire du sinus cardinal constituant le spectre de l'impulsion de base plutôt que le lobe primaire. Une telle largeur allège la contrainte sur la bande de base mais la valeur de alpha pénalise énormément l'amplitude de l'impulsion émise. En outre, pour répondre à la norme ECC, il n'existe pas de structure de filtre dont les composants sont dans les gammes de valeur fixées par la

technologie. Il sera alors nécessaire de modifier la structure en utilisant des techniques d'inversion d'admittance par exemple [21]. Enfin, l'amplitude de l'impulsion bande de base nécessaire pour atteindre $g_0=0.4V$ est de 11.3V. Une telle valeur ne peut être atteinte car la taille du transistor nécessaire pour commander le filtre ne pourrait être adaptée à la charge. Une solution pour minimiser les pertes du filtre consiste à introduire une cellule active. Le générateur utilisera la même excitation bande de base que précédemment fournissant 2.56V à une charge 50Ω ce qui conduirait dans le cas d'un filtre idéal à une tension de sortie de 0.315V. Le gain de cellule active devra alors être dimensionné pour exactement compenser les pertes.

La deuxième étape de la méthode montre que la valeur du débit maximal est de 25Mbs^{-1} pour une modulation OOK et de 133Mbs^{-1} pour une modulation BPSK. La puissance crête de l'impulsion est de -26dBm.

La topologie choisie pour réaliser le filtre actif est présentée sur la Figure 16. Une cellule active ($H_2(f)$) permet de réaliser l'amplification nécessaire pour compenser les pertes des filtres ($H_1(f)$ et $H_3(f)$) qui réalisent le filtrage de l'impulsion bande de base tout en assurant l'adaptation de la cellule. Les filtres sont réalisés à partir d'une synthèse de filtre classique [20] dont les éléments normalisés (g_n) déterminent la nature du filtre. La cellule active est un montage cascode polarisé par les résonateurs parallèles des filtres comme présentés sur la Figure 19.

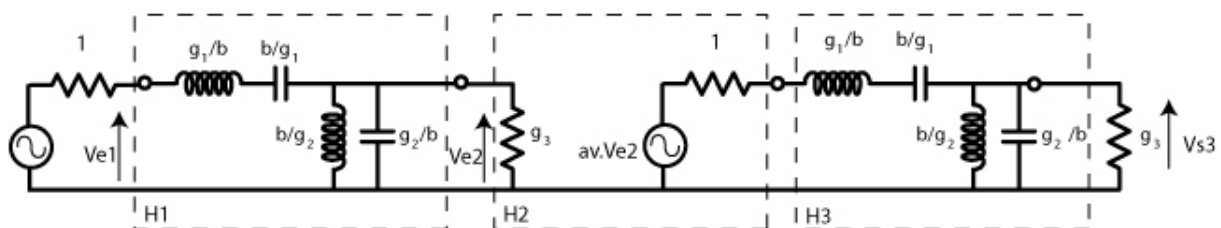


Figure 16 : Principe du filtre actif pour l'ECC.

Afin de pouvoir d'une part utiliser une valeur d'inductance intégrable ($0.4\text{nH} < L < 1.5\text{nH}$) et d'autre part, de disposer de résonateurs parallèles sur la grille et le drain du montage cascode, il importe de transformer la topologie de la Figure 16. En raison de la bande relative modeste du masque ECC ($b=25\%$), il est possible d'utiliser une inversion d'admittance et les filtres d'entrée et sortie peuvent être transformés comme présenté sur la Figure 17 dans la mesure où la valeur des inverseurs est faible devant l'unité.

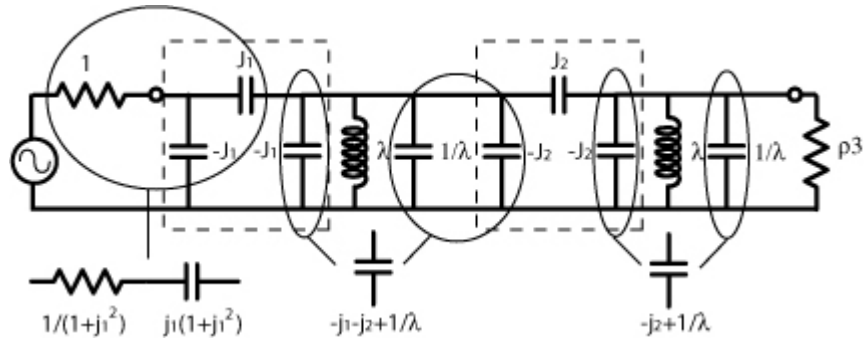


Figure 17 : Filtre d'ordre 2 transformé à l'aide d'inverseurs d'admittance capacitif.

Les valeurs des composants normalisés sont données par :

$$(14) \quad j_1 = \sqrt{\frac{b}{g_1 \lambda}} \quad j_2 = j_1 \sqrt{\frac{b}{g_1 \lambda}} \quad \rho_3 = \frac{j_1^2}{j_2^2} g_3 \quad \text{avec} \quad b = \frac{f_2 - f_1}{\sqrt{f_2 f_1}}$$

Trois degrés de liberté (λ , j_1 et j_2) permettent alors de dimensionner le filtre (g_1 , g_2 et g_3). Toutefois dans la mesure où l'on fixe la valeur de l'inductance (λ) il n'est plus possible de choisir la fonction de transfert. Dans la mesure du possible, il sera alors nécessaire de choisir la fonction de transfert qui satisfasse ces trois équations pour une valeur d'inductance donnée.

Le schéma électrique du filtre actif présenté à la Figure 18 permet de dimensionner les composants afin d'être adapté en entrée et en sortie. Les pertes dans les inductances du réseau de polarisation sont prises en compte (R_{lp}) en raison de leurs fortes valeurs au regard des éléments des transistors. L'entrée de la cellule active est modélisée par un circuit parallèle (valable pour une bande de fréquence limitée autour de 7GHz) afin de retrouver la topologie du filtre inversé. La capacité d'entrée (C_{gp}) peut alors être compensée dans le filtre et la terminaison résistive (ρ_3) est réalisée par $R_{gp} // R_{lp}$.

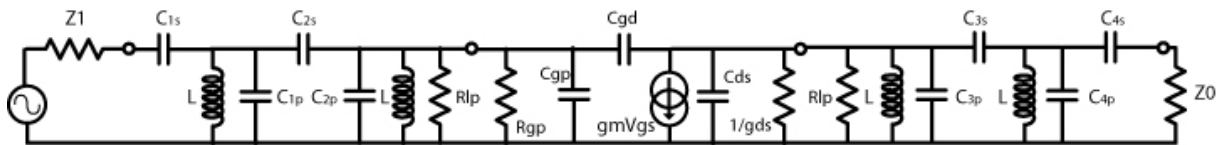


Figure 18 : Schéma équivalent petit signal de la topologie transformée du filtre actif ECC.

Les valeurs normalisées des composants du filtre d'entrée sont les suivantes :

$$(15) \quad \gamma C_{1s} = j_1(1 + j_1^2); \quad \gamma C_{1p} = \frac{1}{\lambda} - j_1 - j_2; \quad \gamma C_{2s} = j_2; \quad \gamma(C_{2p} + C_{gp}) = \frac{1}{\lambda} - j_2;$$

$$Z_1 = \frac{Z_0}{(1 + j_1^2)}; \quad \frac{Rg // Rgp}{Z_0} = \frac{j_1^2}{j_2^2} g_3$$

avec $\gamma = Z_0 \cdot \omega_0$.

Pour la sortie, la transformation est opérée depuis la charge vers la cellule active conduisant aux valeurs suivantes :

$$(16) \quad \gamma C_{4s} = j_1; \quad C_{4p} = C_{1p}; \quad C_{3s} = C_{2s}; \quad \gamma(C_{3p} + C_{ds}) = \frac{1}{\lambda} - j_2; \quad \frac{(1/g_{ds}) // R_{gp}}{Z_0} = \frac{j_1^2}{j_2^2} g_3$$

Avant de dimensionner les filtres permettant de réaliser l'adaptation il convient de dimensionner la cellule active. La fonction de transfert totale peut être approximée de la manière suivante :

$$(17) \quad H(f) = H_1(f)H_2(f)H_3(f) = -\frac{g_m \cdot R_{in3}}{2} H_1(f) \cdot H_3(f)$$

où R_{in3} est la partie réelle de l'impédance vue par la source de courant de la cellule active. La valeur de la transconductance peut être dimensionnée à partir des pertes des deux filtres ($L_{dB}=7dB$ pour un ordre 2 dans la bande ECC d'après l'équation (9)) et du gain total attendu en supposant que $R_{in3}=R_{lp}$ est petit devant $1/g_{ds}$. Il convient alors de fixer la valeur de l'inductance qui sera utilisée. L'inductance choisie vaut $L=0.5nH$, assure un $Q=17@7GHz$ et présente une $R_{lp}=373\Omega$. La transconductance est alors :

$$|H_{max}| = \frac{g_m R_{in3}}{2} \cdot \frac{1}{\sqrt{L}} \cdot \frac{1}{\sqrt{L}} = 3.16 \Rightarrow g_m = 54mS$$

Une telle transconductance est réalisée par un transistor de largeur $100\mu m$ polarisé à $V_g=0,4V$. Dans ces conditions l'extraction de la cellule cascode montre que $1/g_{ds}=1.4K\Omega \gg R_{lp}=373\Omega$.

Le transistor étant dimensionné, il est alors possible de déterminer les filtres. La cellule d'entrée est réalisable par un filtre de Tchebychev d'ondulation 1dB pour lequel les valeurs des coefficients $g_1=1.819$, $g_2=0.685$ et $g_3=2.66$ permettent de réaliser une terminaison de 333Ω (proche de 298Ω visée) avec $L=0.5nH$ et $Z_1=43\Omega$. Pour la cellule de sortie, la terminaison côté transistor vaut $(1/g_{ds})//R_{lp}=347\Omega$ pour une charge d'antenne de 50Ω . Il est alors possible d'utiliser le même filtre. Le schéma final du circuit est représenté sur la Figure 19. Les valeurs des composants idéaux et optimisés sont données dans le Tableau 6.

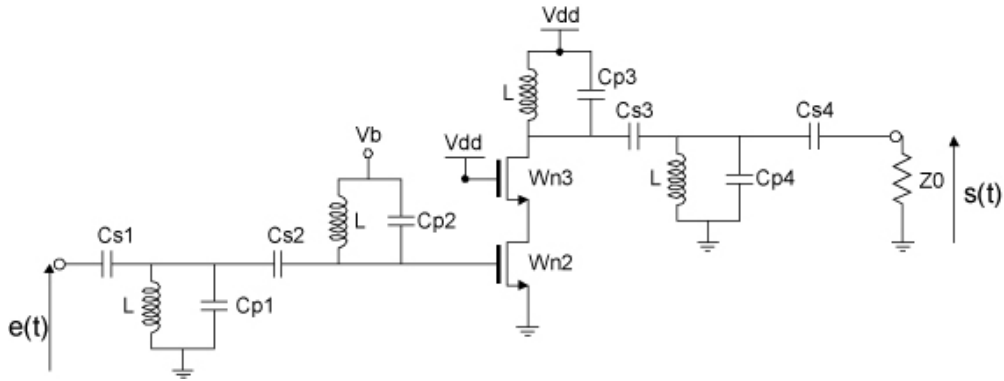
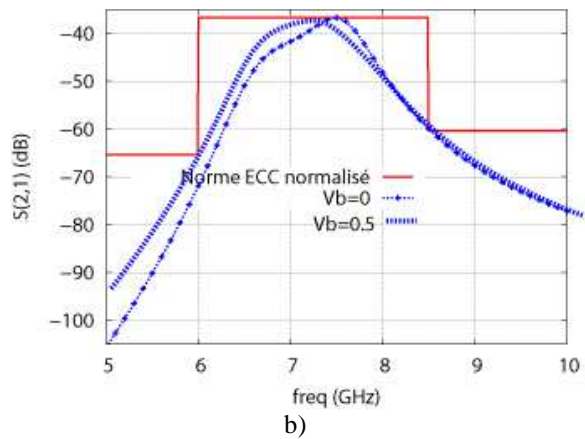
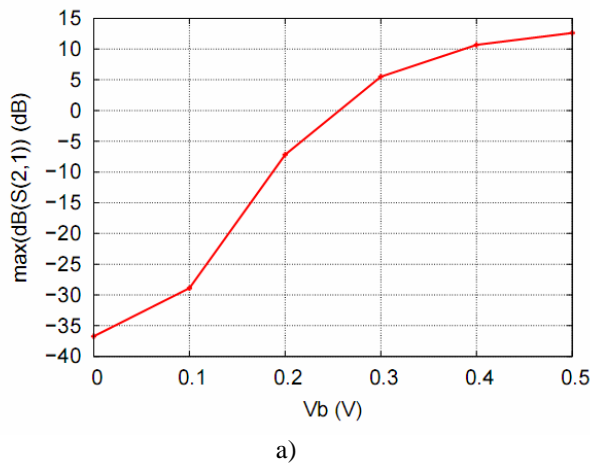


Figure 19 : Filtre actif pour la norme ECC.

Tableau 6 : Valeur des composants du filtre actif pour la norme ECC.

	Cs1(fF)	Cs2(fF)	Cs3(fF)	Cs4(fF)	Cp1(fF)	Cp2(fF)	Cp3(fF)	Cp4(fF)	R(Ω)	L(nH)	Wn1(μ m)	Wn2(μ m)
Ideal	200	108	108	200	690	635	770	690	50	0.5	100	100
Optim	234	120	110	234	740	620	650	600	50	0.5	100	100

Les mesures du filtre actif sont présentées sur la Figure 20. Le filtre actif affiche un gain de 10dB pour une polarisation de grille 0.5V et consomme 6mA. Un générateur d'impulsions utilisant le générateur bande de base présenté au § 3.2.2 a été réalisé avec ce filtre en utilisant la même méthode d'adaptation. L'amplitude maximale de l'impulsion mesurée est 370mV_{pp} (pour V_b=0.5V) et respecte le masque ECC. Les mesures présentées ici ne tiennent pas compte des pertes dans les câbles estimées à 2dB.



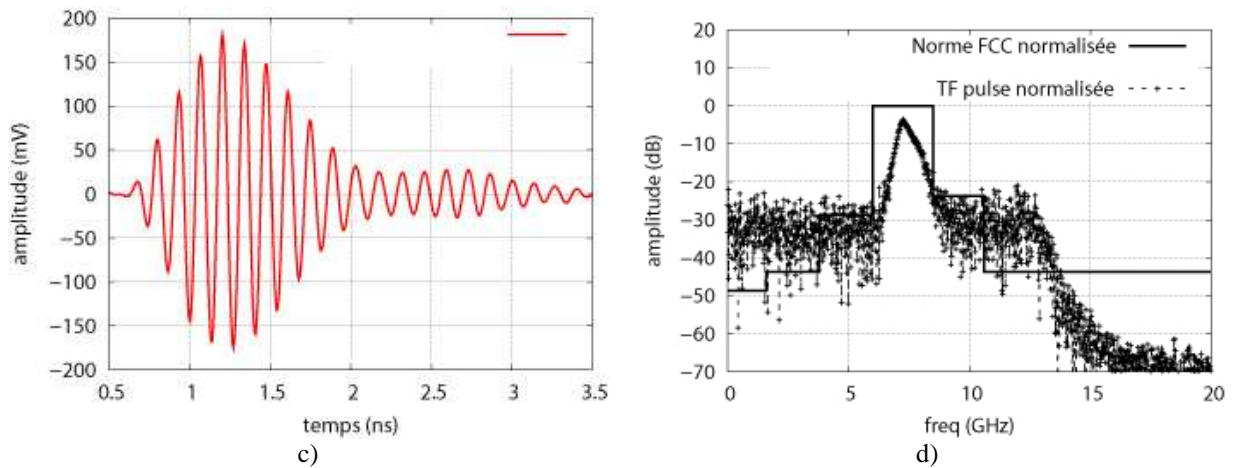


Figure 20 : Mesure du filtre actif : a) gain en fonction de la tension de contrôle ; b) gain en fonction de la fréquence du dispositif ; mesure temporelle c) et fréquentielle d) de l'impulsion.

4 METHODE DE SYNTHESE PAR COMBINAISON D'IMPULSIONS

Ces travaux sont postérieurs aux études menées sur l'excitation de filtres intégrés et sont développés dans le cadre de la thèse de R. Vauché (en cours). Ils s'appuient sur plusieurs points mis en évidence précédemment. Tout d'abord, il apparaît qu'il importe de pouvoir adapter l'amplitude de l'impulsion générée au débit visé. Or, les précédentes réalisations ne permettent pas de dépasser le débit nominal pour lesquelles elles ont été conçues car l'amplitude ne peut pas être réduite. Sur un autre plan, il apparaît que les dérives des procédés de fabrication ne peuvent pas être compensées, ce qui nécessite de réduire la bande passante du filtre d'émission pour s'assurer que le signal est toujours compatible aux masques. En outre, cette technique est limitée pour adresser différents canaux car elle implique l'utilisation de différents filtres. De plus, un autre point réside dans le fait que l'amplitude maximale de l'impulsion générée est actuellement plus limitée par les performances des technologies que par la norme elle-même. En effet, une impulsion de $1V_{pp}$ permet de communiquer à plus de $10MBs^{-1}$ en OOK et à plus de $1Gbs^{-1}$ en BPSK. Or une telle amplitude constitue l'état de l'art actuel et reste difficile à atteindre. Enfin, la taille des circuits réalisés par la méthode d'excitation d'un filtre reste importante ce qui laisse à penser que cette technique ne tire pas le meilleur avantage de l'UWB impulsionnel sur le plan architectural.

Toutes ces remarques ont conduit à orienter les recherches vers des dispositifs permettant d'atteindre des tensions de sortie les plus grandes possibles, sur une surface de silicium la plus restreinte (en évitant notamment l'utilisation d'inductances) tout en ayant un potentiel de

réglage le plus élevé possible. Ici, la technique de commutation d'OL est écartée en raison de son faible potentiel de génération large bande et des limites que cela engendre sur l'amplitude des impulsions. La technique la plus prometteuse semble être alors la synthèse par recombinaison d'impulsions car, en plus d'offrir un fort potentiel de réglage, elle ne nécessite pas d'inductance (ayant une importante consommation de surface) dans son principe de fonctionnement.

4.1 Principe

Comme présentée dans le §2.3, cette technique repose sur la combinaison d'impulsions élémentaires ($e_n(t)$) dont la largeur (τ_n) et l'amplitude (g_n) peuvent être réglées indépendamment. Cette technique permet alors de synthétiser une impulsion $s(t)$ choisie pour ses propriétés (dérivée d'une impulsion gaussienne, réponse impulsionnelle d'un filtre particulier, ...) comme le montre l'équation (18) :

$$(18) \quad s(t) = \sum_{n=0}^{N-1} g_n \cdot e_n \left(t - \sum_{n=0}^{N-1} \tau_{n-1} \right)$$

with $\tau_{-1} = 0$

Cette technique est particulièrement intéressante car le spectre de $s(t)$ est faiblement modifié par la forme de l'impulsion de base. Il est alors possible d'utiliser une forme d'impulsion élémentaire unique ($e(t)$). A titre d'exemple, la Figure 21 montre l'influence sur le spectre d'une approximation de la 5^{ème} dérivée de l'impulsion gaussienne réalisée avec une impulsion élémentaire constituée par la demi période d'un sinus de largeur constante (75ps).

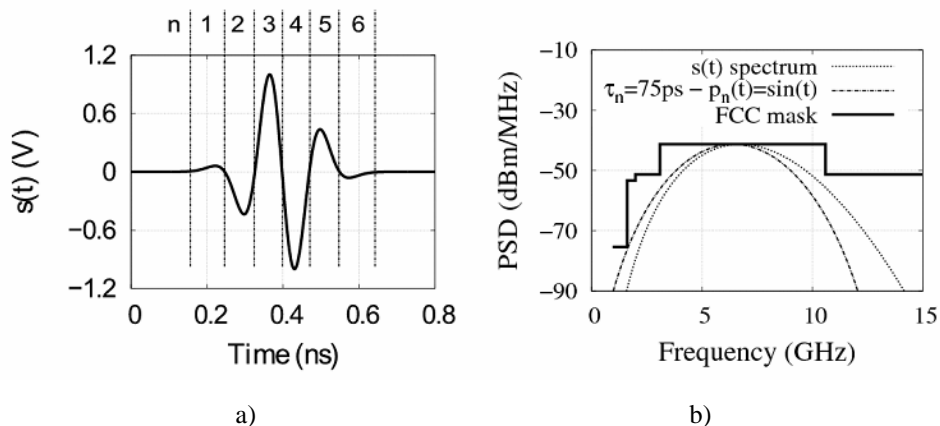


Figure 21 : 5^{ème} dérivée de l'impulsion gaussienne (a) et spectre de son approximation (b).

Dans la mesure où $e(t)$ est approximé par la demi période d'un sinus de largeur constante, il est possible d'évaluer le nombre d'étages minimaux ainsi que la largeur des impulsions

élémentaires. En effet, dans ce cas, $s(t)$ est modélisé par une sinusoïde modulée par une enveloppe. La valeur des retards élémentaires (τ_n) peut être approximée à partir de la fréquence centrale du spectre de l'impulsion (f_0) de la manière suivante :

$$(19) \quad f_0 \simeq \frac{1}{2\tau_n}$$

En outre, la largeur de l'impulsion étant définie par la somme des retards élémentaires ($\tau_{\text{tot}}=N.\tau_n$), le nombre minimal de retards total peut s'exprimer à partir de la largeur de bande (BW) du spectre de l'impulsion :

$$(20) \quad N_{\text{min}} = \frac{2}{\tau_n BW} = \frac{4f_0}{BW}$$

Ainsi, il apparaît que le masque FCC peut être adressé avec au minimum 4 impulsions élémentaires alors que le masque ECC en nécessite au moins 18. De même, le premier canal du standard IEEE nécessite au moins 26 impulsions et le dernier 82.

Comme cités au §2.3, les combineurs de fronts logiques semblent les plus adaptés pour la réalisation des impulsions élémentaires. La propagation d'un front à travers une ligne à retard variable permet de contrôler chaque retard indépendamment les uns des autres alors, que la réalisation d'une fonction logique simple ($A.\bar{B}$ par exemple) à partir de ces fronts permet de réaliser les impulsions élémentaires. Les différents travaux publiés à ce jour dans ce domaine mettent en œuvre cette technique et c'est la méthode de recombinaison qui les distingue.

4.2 Recombinaison par paires différentielles croisées [15]

Le premier synthétiseur d'impulsions réalisé au laboratoire, représenté sur la Figure 22, utilise une méthode de recombinaison utilisant des paires différentielles croisées. L'objectif ici est de valider cette approche en réalisant un synthétiseur permettant de générer la 5^{ème} dérivée d'une impulsion gaussienne ainsi que des réponses impulsionnelles classiques (Bessel) permettant d'adresser notamment la bande FCC. Pour cela, d'après (20), le générateur doit intégrer six étages afin de réaliser l'impulsion représentée sur la Figure 7.

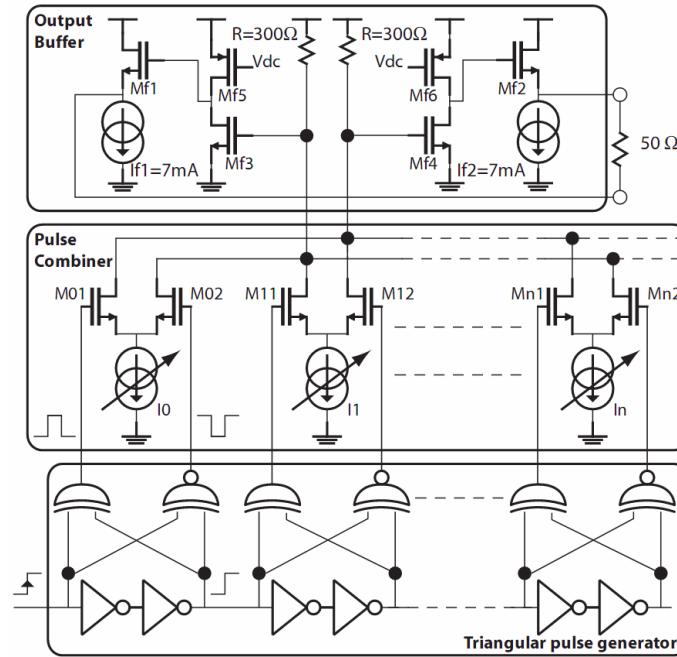


Figure 22 : Principe de la recombinaison par paires différentielles croisées.

L'une des principales difficultés de la recombinaison d'impulsions réside dans la nécessité d'alterner la polarité des impulsions élémentaires successives. L'utilisation des paires différentielles croisées répond à cette problématique. La sommation est réalisée en courant sur une charge et chaque sortie est alternativement croisée avec la suivante afin de réaliser l'alternance des polarités. Le courant de polarisation de chaque paire (I_n) fixe alors la valeur absolue de g_n .

L'utilisation de paires différentielles implique la génération d'une impulsion élémentaire différentielle. Dans le principe, cette nécessité n'empêche pas l'utilisation d'un combineur logique. Toutefois, cela induit une dissymétrie dans le combineur qui doit utiliser des fonctions logiques complémentaires pour réaliser l'impulsion positive et son opposée. La largeur nécessaire pour une impulsion gaussienne ($\tau_n=75ps$) étant proche du minimum possible dans la technologie visée (CMOS $0.13\mu m$), cette dissymétrie (représentée sur la Figure 24.c) engendrera une imperfection dans la commande des paires différentielles et l'apparition d'un mode commun. Les cellules de retard utilisées dans le combineur sont celles présentées au §3.2.2, à la Figure 13. Les fonctions logiques complémentaires (représentées sur la Figure 23) sont $(A.\bar{B})$ et $(\bar{A}+B)$ car elles peuvent être réalisées avec seulement deux transistors ce qui leur donne de très bonnes performances en termes de rapidité.

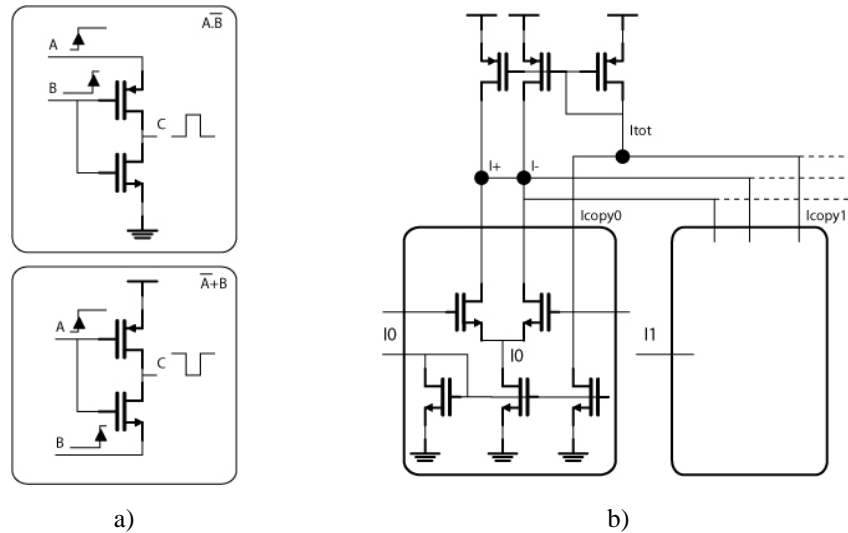


Figure 23 : Génération de l'impulsion élémentaire et de son complément (a), recopie en courant (b).

En outre, fournir un signal de forte amplitude à la charge de 50Ω imposée par l'antenne constitue l'une des principales contraintes de cette conception. En effet, dans la mesure où l'on s'interdit l'utilisation d'inductance, le produit gain bande des cellules actives réalisables dans une technologie CMOS 0.13 limite considérablement l'amplitude de l'impulsion émise. En effet, la taille des transistors nécessaires pour conduire une telle charge impose des fréquences de coupure bien en dessous de 10GHz. Pour pallier ce problème, plusieurs solutions ont été mises en œuvre. Tout d'abord, la structure différentielle imposée par la structure de recombinaison a été conservée jusqu'à l'antenne permettant ainsi de doubler la tension de sortie. La réjection du mode commun peut poser problème dans une structure différentielle, toutefois, ici, la distorsion induite par ce mode commun peut facilement être compensée par la valeur des coefficients g_n . Dans notre cas, la constante de temps d'établissement de ce mode commun, visible sur la Figure 24.a, est beaucoup plus lente que l'impulsion élémentaire, ce qui entraîne un étirement de l'impulsion finale $s(t)$. Cet étirement peut être annulé par l'ajout d'un étage supplémentaire de gain inverse à la valeur du mode commun à la fin de l'impulsion. La comparaison (donnée dans le Tableau 7) des valeurs des courants I_n avec la valeur de g_n normalisée met en évidence cette compensation du mode commun. Cette particularité montre la capacité de cette structure à compenser des distorsions.

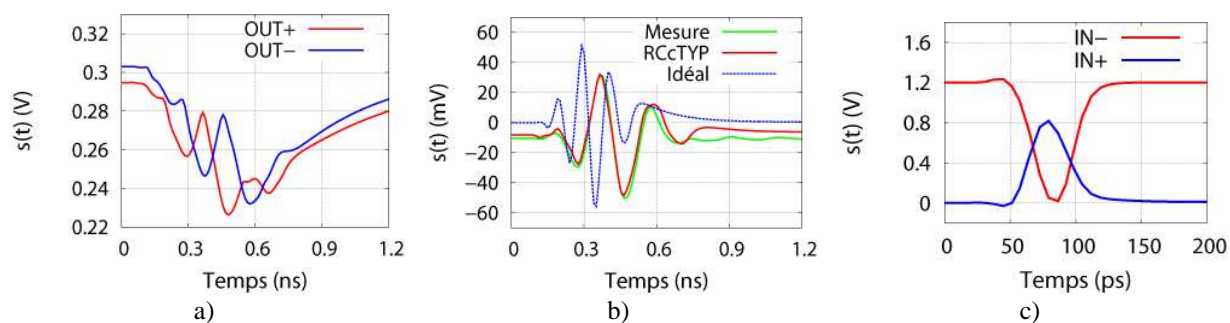


Figure 24 : Simulation (« post-layout ») de l'impulsion de sortie single (a), différentielle (b) et de la commande (c).

Tableau 7 : Comparaison des g_n avec I_n pour la 5^{ème} dérivée d'une impulsion gaussienne.

N	0	1	2	3	4	5	6
g_n	0.06	-0.43	1	-1	0.43	-0.06	0
I_n (mA)	0.005	0.82	2.2	3.4	2.28	0.63	0.1

Les paires différentielles sont recombinaées sur une charge active polarisée par la recopie des courants I_n (représenté sur la Figure 23) permettant d'assurer une tension de grille constante sur l'étage de sortie (Mf3 et Mf4), et ce, quelle que soit la valeur des g_n nécessaire à la réalisation de l'impulsion. Les transistors de la paire différentielle sont dimensionnés pour assurer le maximum de gain sur une charge haute impédance ce qui conduit à une taille relativement faible (3 μ m).

L'étage de sortie permet de réaliser l'adaptation sur l'antenne. Plusieurs montages ont été envisagés. Le suiveur de tension (SF) utilisé dans [15], a finalement été remplacé par un montage source commune (CS) avec charge résistive. En effet, bien que le montage SF présente une impédance de sortie de $r_0=1/g_m$ sur une très large bande (lui permettant de réaliser une adaptation « active »), son couplage avec le montage CS de bufferisation (Mf3/Mf5 et Mf4/Mf6) entraîne un gain total (CS plus SF) largement inférieur à l'unité [22]. En outre le courant DC nécessaire à l'étage de sortie (7mA) pour atteindre $1/g_m$ proche de 50 Ω dégrade les performances en termes de consommation.

Un autre problème posé par la structure présentée ici réside dans l'interconnexion des sorties des paires différentielles. D'après le dessin des masques de cette interconnexion (représenté sur la Figure 25.a), la longueur de celle-ci est importante pour un générateur d'ordre 7. Il importe alors d'équilibrer les chemins afin que le retard induit par chaque interconnexion n'affecte pas les retards de chaque impulsion élémentaire dans le cas où les retards τ_n sont uniques et ne peuvent être commandés indépendamment les uns des autres. En outre, la longueur totale (autour de 200 μ m) entraîne une capacité de couplage (à la masse) de l'ordre

de 160fF limitant ici encore l'amplitude et la bande du signal de sortie. Sur la Figure 25.b sont comparées les simulations avec et sans extraction parasite. L'impact des interconnexions et en particulier de la liaison « paire différentielle / buffer de sortie » sur la bande est telle que la bande passante à 10dB passe de 6-11GHz (simulation avec un DK sans extraction parasite *post-layout*) à 3-6.5GHz (simulation *post-layout* et mesure). Il importe alors de dimensionner la largeur des transistors de la paire différentielle afin de limiter l'influence de ces capacités.

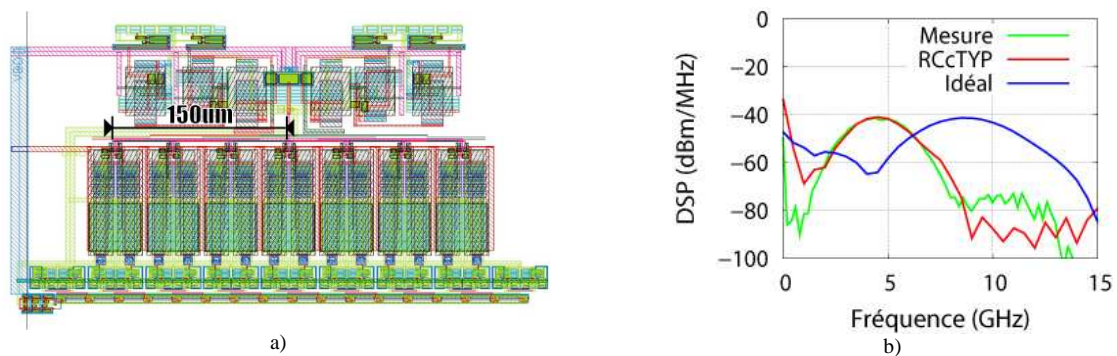


Figure 25 : Layout (a) et influence (b) de l'interconnexion , paire différentielle/buffer de sortie sur G(f).

Finalement, les mesures de cette structure, présentées sur la Figure 26, montrent une amplitude de 160mV_{pp} (200mV_{pp} en tenant compte des pertes de 2dB dans le câble de mesures) pour des impulsions satisfaisant le masque FCC. Ces niveaux de tension sont obtenus dans une technologie modeste (CMOS 0.13µm) sans utilisation d'inductance et pour des signaux dont la bande passante à 10dB est de 3.5GHz, ce qui constitue une bonne performance. Toutefois, ces niveaux restent encore faibles et ne permettent pas d'atteindre les portées nécessaires aux applications visées. D'autres structures doivent alors être étudiées pour dépasser cette limite.

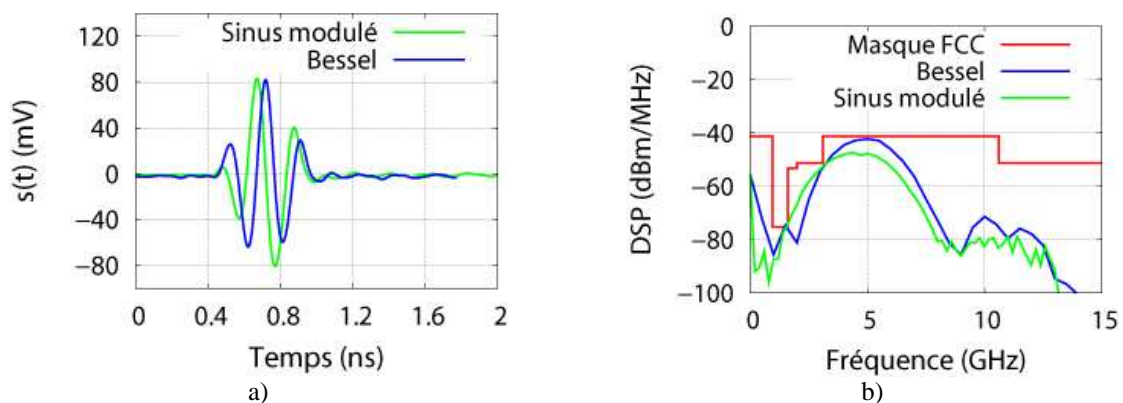


Figure 26 : Mesure de différentes impulsions élémentaires a) et de leur spectre b).

La consommation totale du circuit est de 38.4mW@100MHz alors que la consommation par impulsion dans le temps de l'impulsion (atteignable dans l'hypothèse d'une gestion d'alimentation) est de 72pJ. Ces performances sont bien inférieures à celles des structures non programmables et apparaissent comme étant le verrou à lever. Enfin, la surface consommée est très faible (0.06mm²) car aucune inductance n'est utilisée.

4.3 Recombinaison par commutation [18]

La précédente étude a montré les contraintes sur l'amplification et la conduction de la charge 50Ω qui engendrent des consommations excessives et limitent la bande ainsi que l'amplitude de l'impulsion. Les structures en commutation présentées ici permettent de supprimer la chaîne d'amplification. Ces structures ont été étudiées avec, comme principal objectif, d'atteindre une amplitude et un rendement E_p/E_{c_t} maximal. Les impulsions élémentaires ($e(t)$) sont appliquées aux entrées de commandes (E_n) des interrupteurs d'un pont H, pour commuter la charge successivement sur des tensions proportionnelles à g_n (V_n). L'utilisation du pont H, présenté sur la Figure 27, permet de faire circuler le courant dans la charge dans un sens puis dans l'autre, réalisant ainsi les alternances positives ou négatives de l'impulsion.

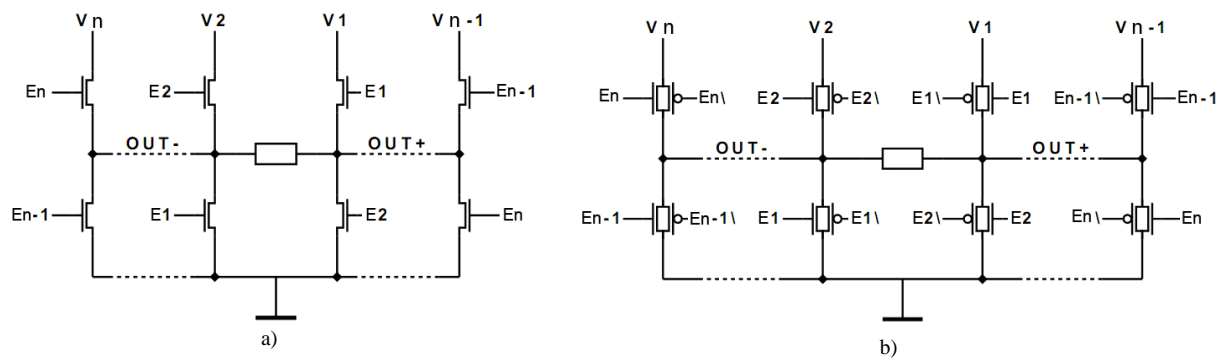


Figure 27 : Principe du pont H, avec porte NMOS (a) et avec porte CMOS (b).

L'utilisation de transistors NMOS limite l'amplitude de sortie à une tension proche de $V_{pp}=2V_{dd}-2V_t$ dans le cas où la valeur maximale de g_n fixée par V_n est égale à V_{dd} . En effet, la tension de commande (V_{gs}) appliquée aux transistors du haut est limitée par la tension de source qui augmente en même temps que le courant dans la charge. Le remplacement de ces transistors par des PMOS commandés par une tension de contrôle complémentaire permet de limiter cet effet. Toutefois, l'utilisation de commutateur non symétrique engendre des effets parasites qui ne sont pas supprimés par la structure différentielle. Par exemple, les fuites de la

tension de commande sur le drain à travers C_{gd} ne s'annulent pas dans le mode différentiel car les commandes sont complémentaires et donc s'ajoutent aux bornes de la charge dans ce mode. L'utilisation de portes de transmission logique (CMOS) permet d'avoir une structure symétrique qui limite les effets parasites tout en conservant une bonne dynamique aux bornes de la charge.

En plus de pouvoir générer des impulsions de forte amplitude, cette structure possède l'énorme avantage de ne pas consommer de puissance statique, réduisant ainsi à zéro la consommation entre deux impulsions successives. Afin de tirer le meilleur parti de cette structure, une logique CMOS à inverseur est utilisée pour la mise en œuvre du générateur d'impulsions élémentaires. Des cellules de retard variable à inverseur CMOS couplées à des *buffers* (Figure 28) permettant leur isolation sont utilisées pour réaliser la ligne de retard. La plage de variation du retard (représenté sur la Figure 29.a) est plus faible qu'avec une logique CML mais est beaucoup plus linéaire, ce qui permet un meilleur contrôle. Les circuits permettant de réaliser les fonctions logiques $(\overline{A.B})$ et $(\overline{A} + B)$ sont conservés et des circuits d'équilibrage sont ajoutés afin de réaliser les signaux de commande complémentaires. Ces topologies permettent de réaliser des impulsions élémentaires (Figure 29.c) de largeur variant entre 60ps et 140ps (Figure 29.b).

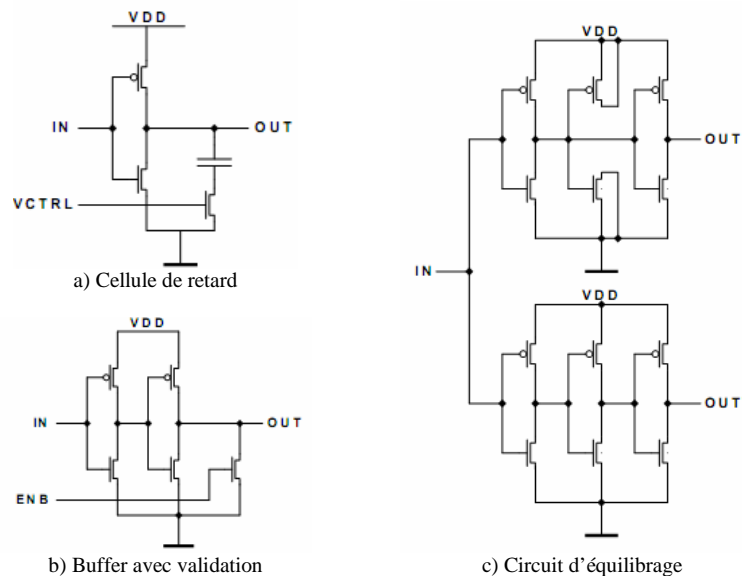


Figure 28 : Circuits logiques du générateur d'impulsions élémentaires.

Les simulations de la topologie complète représentées sur la Figure 30 donnent à penser que ce circuit possède un très fort potentiel pour générer des impulsions fortes ($2V_{pp}$ en simulation) dans la bande FCC, tout en ayant une bonne capacité de réglage. En outre, ce

circuit ne souffre pas des limitations liées à l'établissement d'un mode commun, ce qui rend son réglage très aisé.

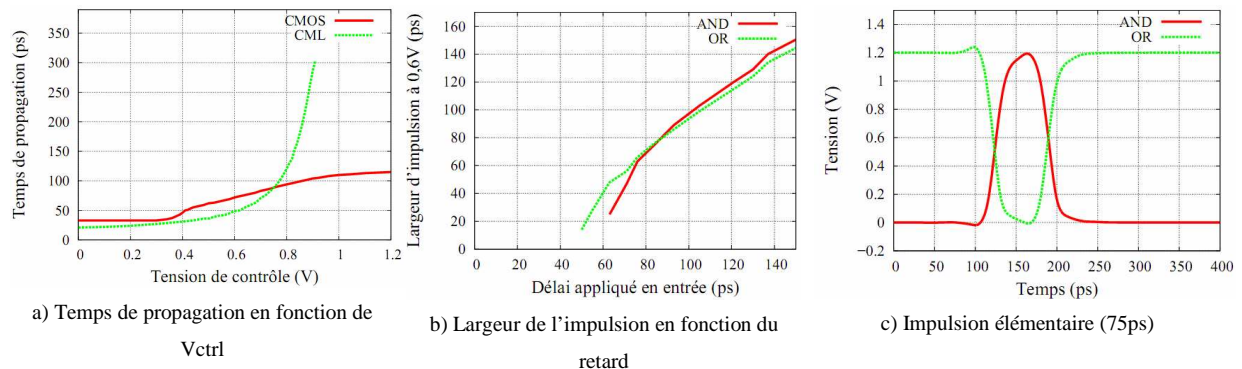


Figure 29 : Simulation du générateur d'impulsions élémentaires.

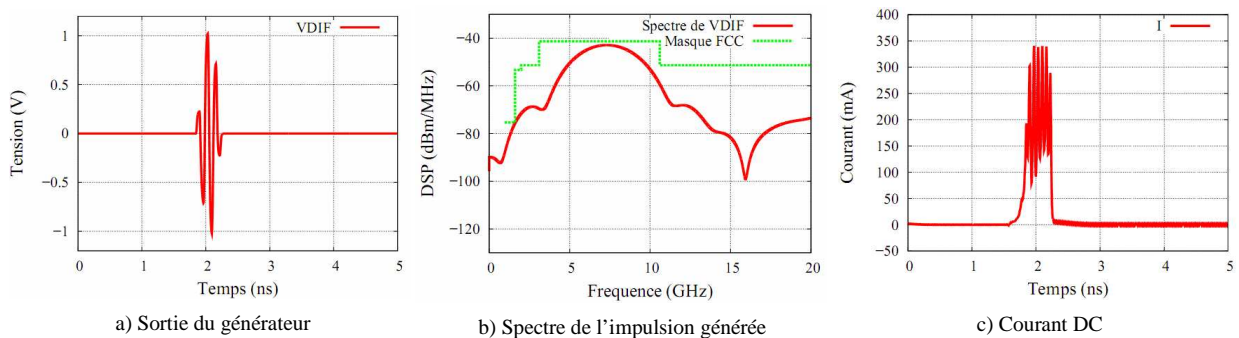


Figure 30 : Simulation du générateur à pont H.

Sur le plan de la consommation, le circuit consomme 140pJ/impulsion, ce qui reste assez élevé. Cette consommation est en partie due au pont H qui nécessite des transistors de forte largeur ($W_{NMOS}=200\mu m$ et $W_{PMOS}=468\mu m$) pour fournir le courant nécessaire à la charge. Un bilan de la consommation montre que le pont H consomme 30% du budget total. La logique CMOS consomme le reste. Ceci montre que, bien que très performante sur le plan de la consommation DC, la logique CMOS nécessite un fort courant dynamique pour commuter. Il apparaît que la logique CML couplée à une gestion de l'alimentation efficace est peut-être la meilleure candidate pour la réalisation du circuit bande de base. En outre, il importe de noter que, bien que consommant une forte énergie par impulsion, ce générateur ne consomme pas de puissance DC ce qui est un atout majeur et reste une caractéristique rarement mise en œuvre dans les travaux rencontrés dans la littérature. En effet, la consommation moyenne de ce générateur dépend directement du débit. A $10Mbs^{-1}$, le générateur consomme 1.4mW alors qu'à $1kbs^{-1}$, il ne consomme plus que $0.14\mu W$. De plus, ramenée à l'énergie consommée par

impulsion par volt généré, cette consommation est à l'état de l'art (70pJ/P/V). Enfin, le rendement total de 6% est lui aussi très prometteur.

5 CONCLUSION

Dans cette partie ont été présentés les principaux travaux que nous avons menés sur la génération d'impulsions. L'étude bibliographique présentée au début de ce chapitre montre les avantages et les limites des différentes techniques principalement utilisées. Elle montre aussi l'important effort mené pour réduire la consommation des générateurs et leur fort potentiel en matière d'économie d'énergie mais aussi les limites qu'imposent les technologies sur l'amplitude et la programmation des impulsions.

Un effort de recherche important a été réalisé au laboratoire afin d'optimiser la consommation et l'amplitude des impulsions afin de répondre aux besoins des applications à faible coût et à faible consommation. Dans ce sens, une technique de génération basée sur l'excitation d'un filtre intégré a été développée. Cette technique nous a permis de réaliser le générateur d'impulsions ayant la plus faible consommation dynamique présentée dans la littérature jusqu'à ce jour pour une amplitude de sortie supérieure au volt, lui conférant aussi le meilleur rendement dynamique [8] [23]. En outre, basée sur l'analyse des normes réalisée dans le chapitre I de ce mémoire, une méthodologie de conception adaptée à ce type de générateur a été développée.

Sur le plan des générateurs programmables, un effort de recherche a été initié dans le but de réaliser des générateurs ayant la capacité de générer des formes d'impulsions différentes, ayant de fortes amplitudes et occupant une surface de silicium restreinte. La programmation des impulsions devant notamment permettre d'adresser différentes bandes, mais aussi de compenser les variations liées aux dérives du procédé de fabrication. Une première étude basée sur la synthèse d'impulsions a permis de réaliser le premier générateur totalement programmable [15] présenté dans la littérature. Bien qu'opérationnel, ce générateur possède des limites qui nous ont amenés à considérer de nouvelles architectures très prometteuses tant sur le plan de la programmation que de l'amplitude du signal de sortie ou du rendement [18].

6 REFERENCES

- [1] Rui Xu; Jin, Y.; Nguyen, C.; "Power-efficient switching-based CMOS UWB transmitters for UWB communications and Radar systems "Microwave Theory and Techniques, IEEE Transactions on; Volume 54, Issue 8, Aug. 2006 Page(s):3271 – 3277.
- [2] Wentzloff, D.D.; Chandrakasan, A.P.;"Gaussian pulse Generators for subbanded ultra-wideband transmitters"; Microwave Theory and Techniques, IEEE Transactions on Volume 54, Issue 4, Part 2, June 2006 Page(s):1647 – 1655.
- [3] Datta, P.K.; Xi Fan; Fischer, G. "A Transceiver Front-End for Ultra-Wide-Band Applications"; Circuits and Systems II: Express Briefs, IEEE Transactions on; Volume 54, Issue 4, April 2007 Page(s):362 – 366.
- [4] Phan, A. T.; Lee, J.; Krizhanovskii, V.; Le, Q.; Han, S.-K.; Lee, S.-G.; "Energy-Efficient Low-Complexity CMOS Pulse Generator for Multiband UWB Impulse Radio"; Circuits and Systems I: Regular Papers, IEEE Transactions on; Volume 55, Issue 11, Dec. 2008 Page(s):3552 – 3563.
- [5] Barras, D.; Ellinger, F.; Jackel, H.; Hirt, W.;" Low-power ultra-wideband wavelets generator with fast start-up circuit"; Microwave Theory and Techniques, IEEE Transactions on; Volume 54, Issue 5, May 2006 Page(s):2138 – 2145.
- [6] Sanghoon Sim; Dong-Wook Kim; Songcheol Hong; A CMOS UWB Pulse Generator for 6–10 GHz Applications Microwave and Wireless Components Letters, IEEE; Volume 19, Issue 2, Feb. 2009 Page(s):83 – 85.
- [7] Lee, J.; Park, Y. J.; Kim, M.; Yoon, C.; Kim, J.; Kim, K. H.; "System On Package Ultra-Wideband transmitter using CMOS impulse generator"; Microwave Theory and Techniques, IEEE Transactions on; Volume 54, Issue 4, Apr. 2008 Page(s):1667 – 1673.
- [8] S. Bourdel, J. Gaubert, O. Fourquin, R. Vauche, and N. Dehaese, "CMOS UWB Pulse Generator Co-Designed with Package Transition," IEEE Radio Frequency Integrated Circuits (RFIC) Symposium 2009, in press.
- [9] Bourdel, S.; Gaubert, J.; Battista, M.; Bachelet, Y.; Bas, G.; "CMOS UWB transceiver for Impulse Radio"; Ultra-Wideband, 2007. ICUWB 2007. IEEE International Conference on 24-26 Sept. 2007 Page(s):188 – 193.
- [10] Smaini, L.; Tinella, C.; Helal, D.; Stoecklin, C.; Chabert, L.; Devaucelle, C.; Cattenoz, R.; Rinaldi, N.; Belot, D.; "Single-chip CMOS pulse generator for UWB systems"; Solid-State Circuits, IEEE Journal of; Volume 41, Issue 7, July 2006 Page(s):1551 – 1561.
- [11] Wentzloff, D.D.; Chandrakasan, A.P.;" A 47pJ/pulse 3.1-to-5GHz All-Digital UWB Transmitter in 90nm CMOS"; Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International; 11-15 Feb. 2007 Page(s):118 – 591.
- [12] H. Kim, D. Park, and Y. Joo, "All-Digital Low-Power CMOS Pulse Generator for UWB system," Electronic Letters, vol. 40, no.24, 25 November 2004.
- [13] Kim, H.; Joo, Y.; Jung, S.;" A Tunable CMOS UWB Pulse Generator"; Ultra-Wideband, The 2006 IEEE 2006 International Conference on 24-27 Sept. 2006 Page(s):109 – 112.
- [14] Hyunseok Kim; Youngjoong Joo; Sungyong Jung; "Digitally controllable bi-phase CMOS UWB pulse generator"; Ultra-Wideband, 2005. ICUWB 2005. 2005 IEEE International Conference on; 5-8 Sept. 2005 Page(s):442 – 445
- [15] S. Bourdel, Y. Bachelet, J. Gaubert, M. Battista, M. Egels, N. Dehaese, "Low-Cost CMOS Pulse Generator for UWB Systems," Electronic Letters, vol. 43, issue 25, pp. 1425-1427, 6 December 2007.
- [16] Demirkan, M.; Spencer, R.R.; "A 1.8Gpulses/s UWB Transmitter in 90nm CMOS"; Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International; 3-7 Feb. 2008 Page(s):116 - 600
- [17] Norimatsu, T.; Fujiwara, R.; Kokubo, M.; Miyazaki, M.; Maeki, A.; Ogata, Y.; Kobayashi, S.; Koshizuka, N.; Sakamura, K.;" A UWB-IR Transmitter With Digitally Controlled Pulse Generator"; Solid-State Circuits, IEEE Journal of; Volume 42, Issue 6, June 2007 Page(s):1300 – 1309
- [18] R. Vauché, S. Bourdel, N. Dehaese, O. Fourquin, J. Gaubert ; « Fully Tunable UWB Pulse Generator with Zero DC Power Consumption » ; ICUWB 2009. IEEE International Conference on; In Press
- [19] Cubillo, J. R.; Gaubert, J.; Bourdel, S.; Barthelemy, H.; "RF Low-Pass Design Guiding Rules to Improve PCB to Die Transition Applied to Different Types of Low-Cost Packages"; Advanced Packaging, IEEE Transactions on; Volume 31, Issue 3, Aug. 2008 Page(s):527 – 535
- [20] Bachelet, Y.; Bourdel, S.; Gaubert, J.; Bas, G.; Chalopin, H.; "Fully integrated CMOS UWB pulse generator" Electronics Letters, Volume 42, Issue 22, Oct. 26 2006, Page(s):1277 – 1278
- [21] Jia-Sheng Hong, M.J. Lancaster; "Microstrip Filters for RF/Microwave Application"; Wiley-Interscience Publication; 2001

- [22] Behzad Razavi “Design of CMOS Integrated Circuit” Ed. McGrawHill.
- [23] S. Bourdel, Y. Bachelet, J. Gaubert, R. Vauché, O. Fourquin, N. Dehaese, and H. Barthelemy; “A 9pJ/Pulse 1.42Vpp OOK CMOS UWB Pulse Generator for the 3.1-10.6 GHz FCC Band” Microwave Theory and Techniques, IEEE Transaction on; To be published in the January issue of 2010
- [24] Jeongwoo Han; Cam Nguyen “Ultra-wideband electronically tunable pulse generators”; Microwave and Wireless Components Letters, IEEE; Volume 14, Issue 3, March 2004 Page(s):112 – 114.

Chapitre 3

*Détection de Signaux Ultra Large Bande (ULB) pour la Radio
Impulsionnelle*

1 INTRODUCTION

L'état de l'art présenté au chapitre précédent montre qu'il est possible de générer des impulsions ayant une amplitude voisine du volt dans des bandes de fréquences allant de 500MHz pour les canaux IEEE à 5-6GHz pour le canal FCC. L'énergie des impulsions ainsi produite dépasse rarement les quelques picojoules. En outre, il apparaît que la génération d'impulsions courtes favorise l'économie d'énergie ce qui les positionne favorablement pour des systèmes à faible consommation. Toutefois, pour une amplitude maximale donnée (fixée par une technologie) les impulsions courtes possèdent moins d'énergie, ce qui pénalise la transmission et augmente les contraintes sur le récepteur.

Dans la réalisation de récepteurs, l'enjeu repose sur la maximisation de la sensibilité. Toutefois, dans un contexte de faible coût, cette sensibilité doit être ramenée à la puissance consommée. La sensibilité pour un budget de puissance donnée est le point focal de la conception d'un système de réception.

La sensibilité et la consommation sont essentiellement dictées par les applications visées. Dans le contexte de nos études sur l'UWB-IR, les deux applications cibles présentées au premier chapitre sont la RFID et les WBAN. Sur le plan de RFID, l'intérêt majeur réside dans la capacité de géo-localisation et le fort potentiel du générateur en termes d'énergie consommée lui permettant d'être intégré dans une étiquette RFID (*RFID-Tag*). Ainsi, le récepteur doit être en mesure de localiser l'impulsion reçue à une distance suffisamment grande pour rendre la localisation utile. Dans cette application, le récepteur n'est pas considéré comme un dispositif à faible coût et à faible consommation dans la mesure où il n'est pas destiné à être produit en très grande quantité pour un marché de masse et que son utilisation n'est pas portable. Ici, l'application centrale est essentiellement les WBAN avec, en périphérie, le WPAN si les portées le permettent. La portée moyenne d'un WBAN est de 2m et une extension à 10m permettrait de répondre aux besoins des WPAN. La consommation moyenne, d'après le Tableau 2 du Chapitre 1, doit être inférieure à 10mW pour atteindre 1.5 an d'autonomie sur une pile bouton de 170mA/H. Enfin, le débit moyen doit permettre la transmission d'un flux vidéo ce qui correspond à quelques Mbs^{-1} et reste compatible avec une modulation OOK.

Plusieurs architectures existent pour réaliser la détection de signaux UWB-IR. L'on rencontre essentiellement des architectures cohérentes basées sur la corrélation de l'impulsion reçue avec une réplique locale et des architectures non-cohérentes basées sur la détection de l'énergie de l'impulsion reçue. Le choix d'une architecture particulièrement adaptée à une

application est toujours un point délicat. Ce choix s'avère crucial et n'est malheureusement validé, la plupart du temps, que par la réalisation finale du dispositif. Dans le cas d'applications nouvelles, ce choix est d'autant plus difficile qu'il y a peu de retours et que des solutions mises en avant à un certain moment peuvent résulter d'un choix stratégique lié à la réutilisation de circuits. Enfin, dans le cas qui nous concerne, l'un des critères majeurs est la puissance consommée, or elle reste très difficile à prédire avec une étude système.

Ce chapitre présente d'abord une étude détaillée de l'état de l'art en matière de récepteur UWB-IR. Plusieurs architectures sont notamment étudiées afin d'établir une comparaison. Cette comparaison sera focalisée sur 3 points : la sensibilité, la consommation et la complexité. Sur la base de cette étude, une architecture de récepteur sera proposée pour les applications citées plus haut. La conception des éléments constitutifs d'un système non-cohérent sera ensuite détaillée. Nous détaillerons particulièrement la conception de LNA UWB pour les bandes FCC et ECC ainsi que la conception d'un détecteur d'énergie UWB.

2 ANALYSE DE L'ÉTAT DE L'ART

La détection de signaux UWB peut être réalisée de manière cohérente ou non-cohérente. Les détections cohérente et non-cohérente donnent lieu à des architectures très différentes en termes de performance et d'intégration. Toutefois, ces deux approches coexistent car elles répondent chacune à des besoins applicatifs distincts.

Chacune de ces deux approches donne lieu à plusieurs familles de récepteurs réalisés selon des partitionnements analogique / numérique très différents. Parmi les récepteurs cohérents, on distingue essentiellement des architectures à corrélation simple, qui peuvent être réalisées par la section analogique ou numérique, et des architectures à corrélateur en quadrature analogique (*Quadrature Analog Correlator* – QAC) pour lesquelles les fonctions de corrélation sont réalisées par la section analogique RF alors que la synchronisation et la post-détection sont intégrées dans la section digitale. Sur le plan de la détection non-cohérente, on distingue essentiellement des structures dites « super-régénérative » (SR) qui utilisent l'impulsion reçue pour modifier le démarrage d'un OL et pour lesquelles la section digitale est utilisée pour gérer le synchronisme, ou bien des structures à détection d'énergie (ED) pour lesquelles il n'est nul besoin de synchroniser le signal reçu.

L'analyse système est un exercice délicat pour plusieurs raisons. D'abord, les différents travaux publiés n'ont pas tous le même niveau d'intégration ce qui fausse la comparaison des

performances. En outre, les facteurs de mérite ne sont pas toujours les mêmes ou bien ne sont pas comparables. Afin d'homogénéiser les critères de comparaison, [2] propose une approche prédictive basée sur des modèles comportementaux réalisés à partir d'études bibliographiques permettant d'établir la consommation des blocs constitutifs des systèmes (Figure 1.c). Cette analyse montre que sur des critères identiques (BER et puissance moyenne consommée) les topologies QAC ont une consommation (Figure 1.b) légèrement supérieure à celle des détecteurs d'énergie (ED) pour des performances en termes de BER (Figure 1.c) bien supérieures. Cette analyse correspond assez bien au sentiment général souvent rencontré dans les analyses introductives présentées dans les différents travaux.

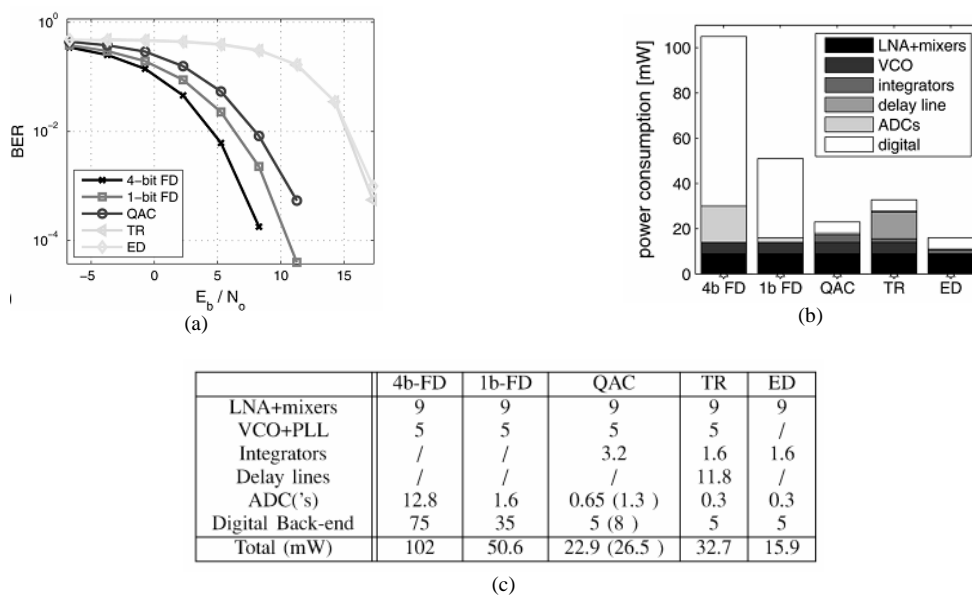


Figure 1 : Comparaison de différentes architectures de récepteur IR-UWB.

Nous présenterons ici une analyse de l'état de l'art basée sur des réalisations présentées dans différents articles. Ne seront comparés au §2.3 que des résultats de mesures de circuits dédiés à la bande haute (>3,1GHz) du FCC bien que certaines topologies dédiées à la bande basse soient détaillées en raison de leur intérêt. En plus des critères « classiques » permettant d'établir une comparaison sur le potentiel des architectures en termes de coût et de consommation, nous analyserons ici les contraintes qu'induisent ces différentes topologies sur les performances des principaux blocs et en particulier sur l'étage RF qui utilise la plus grande partie du budget de puissance. Pour évaluer les performances de la transmission, une comparaison du BER n'est pas possible car peu de travaux présentent ce type de mesure. Nous établirons une comparaison sur la base de la sensibilité qui, dans la plupart des cas, est donnée pour un BER de 10^{-3} . Toutefois, la sensibilité étant donnée en dB_m pour des débits

différents selon les travaux présentés, une conversion en énergie reçue ($S_e|_J$) permettra d'établir un critère de comparaison indépendant de la forme de l'impulsion et du débit. Bien que valide pour une largeur d'impulsion donnée, une comparaison sur la valeur crête ($S_e|_{V_p}$) sera aussi établie à titre indicatif en approximant l'impulsion reçue par un récepteur d'impédance d'entrée R_0 par une sinusoïde modulée par une porte de largeur τ de la manière suivante :

$$(1) S_e|_{V_p} = \sqrt{\frac{2 \cdot S_e|_W \cdot R_0}{D_s \cdot \tau}} ; S_e|_J = \frac{S_e|_W}{D_s}$$

Enfin, comme peu de systèmes (seulement un dans cette étude) coupent l'alimentation entre deux impulsions, l'énergie consommée par impulsion donnée ici à titre de comparaison sera l'énergie consommée par impulsion totale ($E_{c_i} = P_{DC} / D_b$).

2.1 Détection cohérente

Le principe de la détection cohérente repose sur la corrélation du signal reçu avec une réplique de ce signal générée localement (*Template*) [1]. Les performances de ce type de récepteur sont théoriquement optimales mais dépendent fortement de la qualité du *Template* et en particulier de son synchronisme avec le signal reçu. Ce type de récepteur dont le principe est décrit sur la Figure 2, nécessite un générateur d'impulsions local piloté : i) par un organe de poursuite (*Tracking*) qui gère l'alignement du signal local avec celui reçu, ii) par un organe d'acquisition qui cherche la phase d'origine du signal (généralement grâce à un préambule) avant de lancer la poursuite.

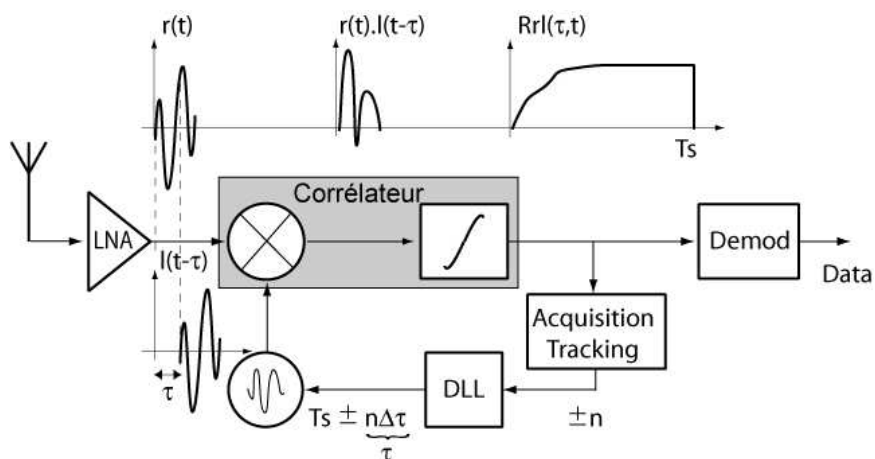


Figure 2 : Principe d'un récepteur UWB cohérent.

Le *tracking* nécessite l'utilisation d'une boucle à verrouillage sur le délai (*Delay Locked Loop* – DLL) dont la précision détermine les performances de la corrélation.

En 2002, quand la recherche sur les systèmes UWB a débuté, plusieurs types d'architectures cohérentes étaient envisagés : des architectures à corrélation digitale, des architectures à corrélation analogique simple et des architectures à corrélation analogique en quadrature (QAC). Aujourd'hui, ne subsistent que les QAC essentiellement en raison de leur capacité d'intégration dans les technologies actuelles ce qui ne signifie pas que les autres architectures, et notamment les corrélateurs digitaux, ne seront pas les solutions adoptées dans les technologies du futur.

2.1.1 Architecture à corrélation analogique simple

Le principe de l'architecture à corrélation simple est présenté Figure 3. Le signal est corrélé au *template* local après amplification par un LNA. La corrélation est réalisée par un multiplieur suivi d'un intégrateur/bloqueur. A la fin du temps symbole le niveau de corrélation est lu et l'intégrateur est remis à zéro. La bande passante du LNA et du mélangeur doit être suffisamment large pour permettre la réception de l'impulsion transmise alors que celle de la chaîne de traitement (après corrélation) peut être réduite à $F_S=1/T_S$ si le pouvoir de rétention (blocage) de l'intégrateur est suffisant. Ceci permet de réduire la consommation et de réaliser le traitement bande de base ainsi que la numérisation à une fréquence faible ($1/T_S$).

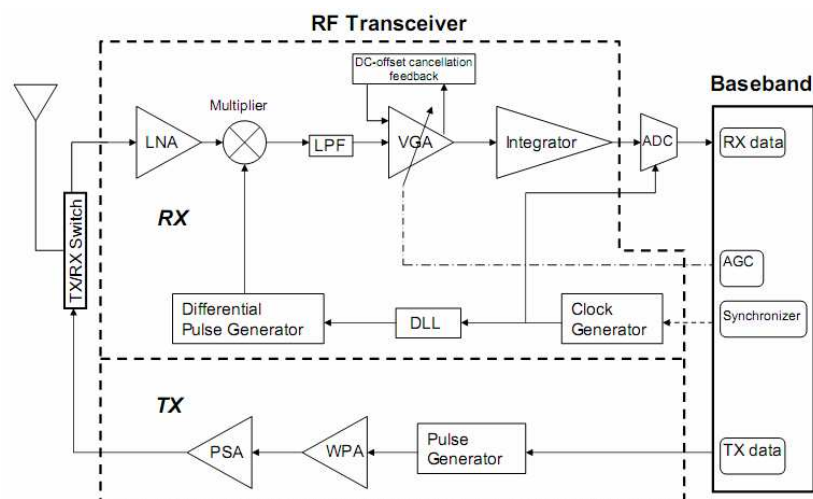


Figure 3 : Principe de l'architecture à Corrélation Analogique Simple [3].

La conception du multiplieur est, avec l'organe de synchronisation, le principal verrou technologique car il doit avoir une plage de linéarité, lui permettant de fonctionner en

multiplieur, suffisante pour couvrir les variations de la puissance du signal reçu ainsi qu'un gain important sur une large bande pour assurer un taux de corrélation minimal. La corrélation réalisant une multiplication de deux signaux de même fréquence, des variations de la composante continue (*offset DC*) apparaissent dans le corrélateur et doivent être contrôlées.

Dans [3], cette topologie est réalisée dans une technologie CMOS 0,18 μ m. Le multiplieur, qui utilise l'effet Early, nécessite un LNA ayant un gain de 20dB et un NF de 4,3dB conférant au système complet une sensibilité allant jusqu'à -80dBm. Pour améliorer la corrélation, un filtre passe bas est inséré entre le multiplieur et l'intégrateur afin de filtrer les fuites et les perturbations hors bande. Une cellule de gain variable avec contrôle de DC est aussi placée avant l'intégrateur pour augmenter le niveau de corrélation. Le générateur de *template* et la DLL associée sont pilotés par un organe de synchronisation (*acquisition* et *tracking*) implémenté dans la section digitale et nécessitent un CAN de 4b@500Mhz pour fonctionner. Le CAN consomme à lui seul 80mW alors que le RX consomme 81mW. Dans ce type d'architecture, un déphasage de 180° du signal reçu avec le *template* annule la corrélation ce qui signifie que la précision de la poursuite doit être inférieure à la demi période de la fréquence centrale de l'impulsion reçue. Cette caractéristique ainsi que la bande passante du multiplieur limite cette topologie aux canaux 1 à 4 de la norme IEEE. Ici, l'utilisation d'une DLL ayant une précision de 100ps est nécessaire pour couvrir la bande 3,1-5GHz. La taille et la consommation (résumées dans le Tableau 1) de ce type de récepteur ne permettent pas de répondre aux besoins des applications à faible coût mais montre le potentiel en termes de sensibilité d'une approche cohérente.

2.1.2 Corrélation analogique en quadrature (QAC)

Les architectures QAC dont le principe est présenté à la Figure 4 permettent de relâcher la contrainte sur le synchronisme. En effet, la corrélation s'effectuant avec des *templates* en quadrature, une erreur de phase se traduit par une rotation sur la constellation et ne diminue pas le taux de corrélation. Les voies I et Q sont utilisées par la section digitale pour effectuer le *tracking*.

Les *templates* en quadrature sont générés à partir d'une sinusoïde modulée par une porte. L'erreur due à l'utilisation d'une sinusoïde modulée au lieu d'une impulsion idéale lors de la corrélation est largement compensée par la stabilité des OL intégrés et, une atténuation supplémentaire de quelques dB (3 à 5) est généralement admise pour prendre en compte cette

erreur de corrélation dans un bilan de liaison [4][5]. La modulation de la porteuse par une porte peut être réalisée avant ou après la multiplication. Techniquement, l'application de cette porte est réalisée par un fenêtrage qui fixe le moment et la durée de l'intégration. L'opération de synchronisation repose alors sur le positionnement de cette fenêtre d'intégration. La résolution minimale nécessaire au système présenté dans [4] et qui opère entre 4,5 et 8GHz est de 300ps alors qu'un corrélateur simple nécessiterait une résolution inférieure à 65ps pour ces bandes de fréquence. La largeur de la fenêtre est de 3ns pour corrélérer des impulsions de largeur $\tau=1/500.10^6=2ns$. Les auteurs utilisent un mélangeur quatre quadrants pour réaliser la multiplication et une capacité connectée en sortie du mélangeur pour réaliser l'intégration. Deux interrupteurs commandent la charge et le maintien de cette capacité, réalisant ainsi le fenêtrage (Figure 4.b).

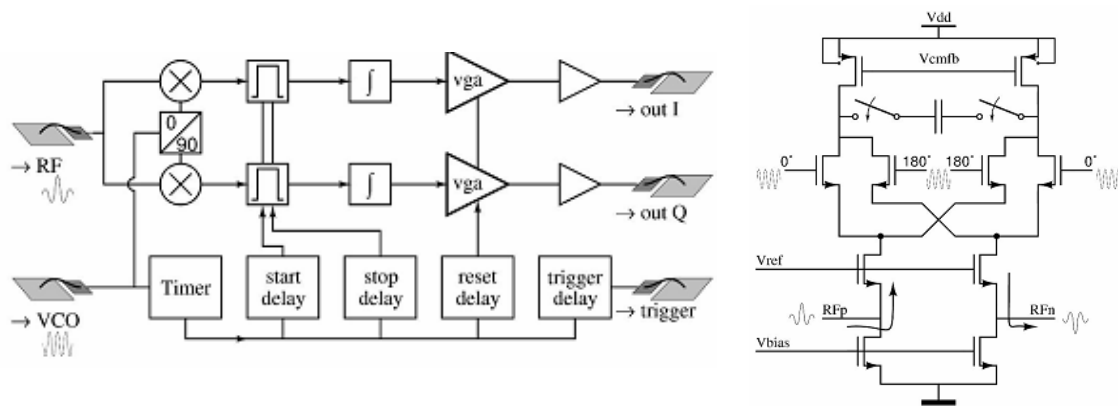


Figure 4 : Topologie QAC avec corrélateur quatre quadrants et intégration/fenêtrage par capacité commutée.

La consommation de cette structure est très élevée : 120mW sans prendre en compte l'OL qui doit fonctionner jusqu'à 8GHz. Toutefois, les topologies QAC possèdent l'énorme avantage d'estimer la fenêtre d'apparition de l'impulsion reçue. Cette information peut être mise à profit pour réduire la consommation. Par exemple, dans [5], le fenêtrage est réalisé en inhibant le mélangeur quatre quadrants utilisé pour la corrélation. Pour cela, la fenêtre est appliquée sur le signal numérique issue de la PLL avec une fonction logique ET. Le signal est alors acheminé sur l'entrée OL du mélangeur. Ainsi, en dehors de la fenêtre, l'entrée de l'OL étant nulle, le mélangeur ne consomme pas. Bien que le dispositif présenté ici soit destiné à la bande 0-960MHz, le mélangeur, dont la bande passante est 1GHz, consomme seulement 100μW et la chaîne de réception qui comprend le QAC, deux VGA et deux CAN 4b@39MHz consomme seulement 1,45mW, mettant ainsi en évidence le potentiel des topologies QAC en termes de consommation. En outre, les auteurs montrent que les contraintes sur le bruit sont

faibles et qu'un tel récepteur fonctionne jusqu'à 10 mètres sans besoin de LNA, si le gain du corrélateur est suffisant (19dB ici).

Dans [6], une consommation de 16mA sur 1,8V est atteinte pour un récepteur dans la bande 3,1-10,6GHz et un débit de 20Mbs^{-1} . Les auteurs utilisent un OL non asservi (VCO en anneau de trois étages) pour générer le *template*. La dérive de la fréquence centrale de l'OL étant beaucoup plus faible que la bande passante du signal UWB, le spectre du signal reste dans la fenêtre d'acquisition et l'erreur de phase est compensée grâce à la quadrature. En outre, pour diminuer la consommation, les auteurs utilisent des topologies empilées (*stacked*) permettant de réutiliser le courant de polarisation, comme présenté dans la Figure 5, pour le LNA et le mélangeur.

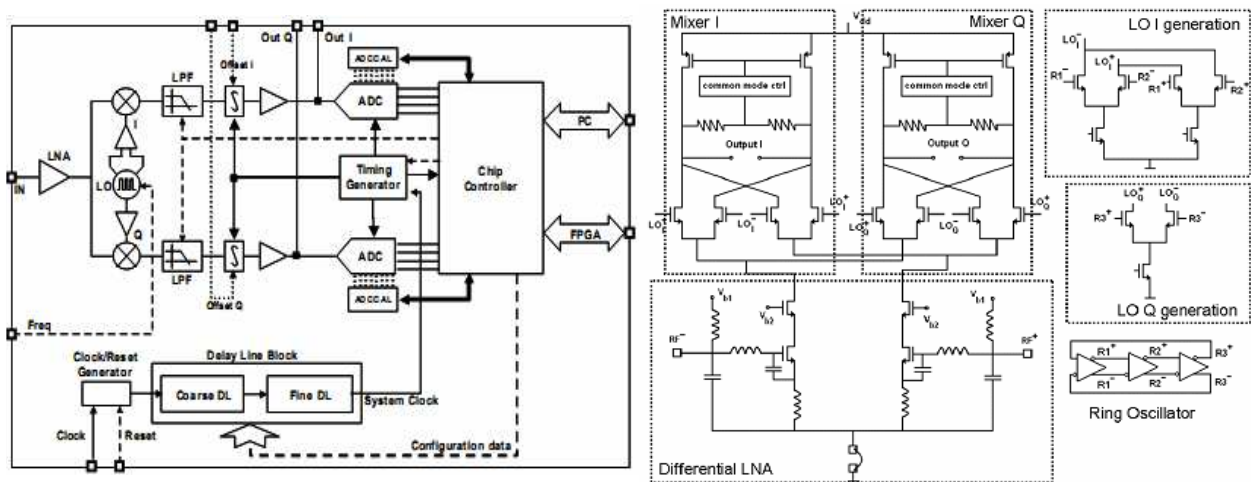


Figure 5 : Topologie QAC avec OL libre et son *front-end* associé.

Ce récepteur fonctionne avec une section RF (LNA + Mélangeur) ayant 7,5dB de facteur de bruit pour 24dB de gain et une précision de synchronisation de 60ps. En outre, les auteurs montrent que cette topologie est compatible avec une modulation BPSK ce qui rend les structures QAC très attrayantes pour les solutions multistandards. Dans [7], le potentiel d'une topologie utilisant la quadrature est exploité au maximum. Une première transposition permet d'adresser des bandes de fréquence autour de 4 et 8 GHz. Ensuite, la quadrature est utilisée pour réaliser un filtrage complexe permettant de réduire par deux la bande passante de la bande de base et de pouvoir adresser jusqu'à 8 canaux de 500MHz. Ici, les *templates* sont stockés dans des mémoires permettant au système de commuter très rapidement d'un canal à l'autre. Toutefois, les niveaux de corrélations atteints ne sont pas très bons car la sensibilité n'est que de $-53\text{dBm}@50\text{Mbs}^{-1}$ et $-80\text{dBm}@100\text{kbs}^{-1}$ ce qui correspond à une tension crête de 2,24mV.

2.1.3 Architecture à corrélation digitale

Des études ont été menées sur des architectures à corrélation digitale. Selon le principe présenté dans la Figure 6, le signal est directement converti après amplification. La section RF se réduit à un unique LNA alors que l'essentiel du traitement est réalisé par la section digitale. La contrainte sur le CAN est très forte car la fréquence d'échantillonnage est très élevée et doit être de 20GHz pour couvrir la totalité de la bande FCC. Pour minimiser la taille et la consommation de la section digitale, la résolution doit être réduite au minimum. Dans [8], les auteurs proposent une solution basée sur un échantillonneur 1 bit. Une telle résolution est suffisante dans un contexte impulsionnel et ne dégrade le rapport S/N que d'un facteur de 2dB permettant d'atteindre théoriquement un $BER@347\text{kbs}^{-1}$ de 10^{-3} à 30 mètres [9] avec une section RF ayant un facteur de bruit de 8dB. L'échantillonneur est réalisé avec N bascules D en parallèle. Les bascules sont activées les unes après les autres avec un retard correspondant à l'inverse de la fréquence d'échantillonnage (Figure 6). Cette technique permet de fonctionner avec une horloge indépendante de la fréquence d'échantillonnage. En outre, le corrélateur digital peut être réalisé par un filtre adapté (architecture RIF) dont les coefficients sont le *template*. Pour une résolution de 1bit, ce type d'architecture permet de limiter la taille de la section bande de base

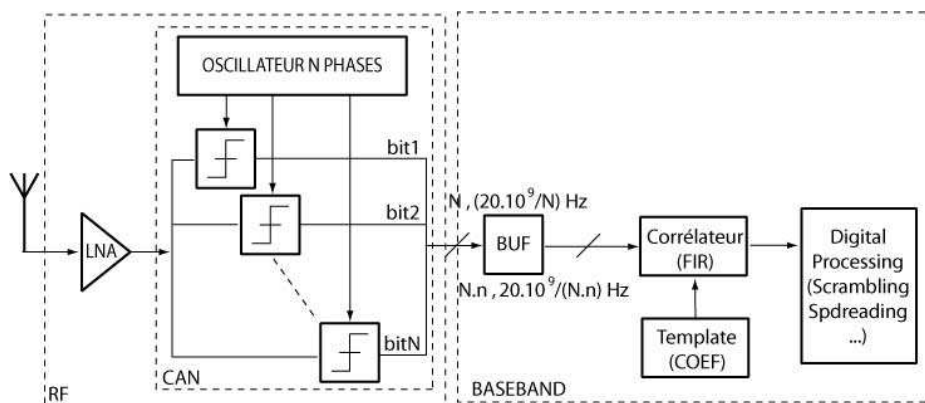


Figure 6 : Architecture à corrélation digitale.

Dans [10], cette architecture est reprise avec une résolution de 2 bits permettant de détecter la polarité de l'impulsion reçue. La sensibilité des bascules étant faible (50mV), la contrainte sur le gain du LNA est très importante. En outre, les fuites de l'OL vers le LNA à travers le substrat posent des problèmes difficiles à résoudre en raison de la très large bande du système [11]. Ces problèmes couplés à la forte consommation de la section digitale due à la fréquence d'échantillonnage font qu'aucun système opérationnel n'a encore vu le jour dans les

technologies actuelles, toutefois, le fort potentiel que représente les technologies 45nm ou 20nm pour les systèmes digitaux reste un atout majeur pour cette approche.

2.1.4 Conclusion

De prime abord, les architectures à corrélation sont des architectures complexes parmi lesquelles les topologies QAC semblent les plus intéressantes en raison notamment de leur potentiel en termes de synchronisation. La complexité de ces architectures conditionne fortement la taille et la consommation (cf Tableau 1). A ce jour, pour la bande haute (>3GHz) du FCC, seuls les travaux présentés dans [6] affichent des résultats en termes de consommation (29mW) du même ordre de grandeur que ceux prédits dans [2]. De plus, ces architectures ont un fort potentiel ce qui laisse à penser que ces performances peuvent être améliorées. Tout d’abord, la synchronisation sur le temps symbole nécessaire à la corrélation peut être exploitée dans une gestion de l’alimentation. En outre des OL libres ayant de surcroît des capacités de mise sous tension rapide (cf Chapitre 2) peuvent être utilisés pour réduire encore la consommation. Enfin la contrainte sur les performances de l’étage RF, donnés dans le Tableau 1, n’est pas très importante et certains dispositifs ont été conçus sans étage d’amplification en amont du corrélateur [4][5].

Tableau 1 : Comparaison des architectures à corrélation.

Pap.	Ae (mm ²)	Pdc (mW)	Ec _t (pJ/P)	BW (GHz)	Se (dBm)/ Se(fJ)	Techno (CMOS)	Débit	Mod	G-Ina	NF-Ina	Larg. (ns)	Prec. (ps)	Resol.	Cons.
[3]	4,42	81 (Corel Simple)	410	3,1-5	-80 à -72 3.10 ⁻⁴	0,18μ	100M à 200M	PPM	20,2 dB	4,6 dB	NC	100	4b@500MHz	80mW
[4]	1,96	120 (QAC)	1.10 ³	4,5-8	NC	0,18 μ	107M	BPSK	NI	NI	0,3-3	300	NI	NI
[5]	1,5	1,45 (QAC+ADC)	37	0,3-0,85	-41.3@20Mbs ⁻¹ 3	0,13μ	39M	BPSK	NI	NI	5	800	4b@39MHz	200uW
[6]	8	29 (QAC+ADC+OL)	1.10 ³	3-5	NC	0,18μ	20M	BPSK	24 dB*	7,5 dB*	NC	60	4b@80MHz	450uW
[7]	1	156 (QAC)	3.10 ³	3,1-9,5	-53@50Mbs ⁻¹ 1E-1	0,09μ	50M	OOK	12 dB	2-4 dB	NC	NC	NI	NI

* Ina+mélangeur

Par ailleurs, les résultats sur la sensibilité de ces récepteurs sont assez mitigés. Sur la base de ces observations, il est assez difficile de se faire une idée exacte du réel potentiel d’une approche cohérente dans un contexte UWB-IR. Paradoxalement, c’est la topologie utilisant la

corrélation simple qui affiche la meilleure sensibilité alors que les QAC présentent des performances assez faibles.

2.2 Récepteurs non-cohérents

Contrairement au récepteur cohérent qui compare le signal reçu à une réplique générée localement, un récepteur non-cohérent utilise un simple détecteur d'impulsions. Le principe des récepteurs non-cohérents est présenté sur la Figure 7. Le signal est d'abord amplifié avant de passer dans le détecteur. Une chaîne de traitement bande de base (BP~Ds) relativement simple, composée d'un filtre passe bas ou d'un intégrateur, suivi d'un trigger, permet de remettre en forme le signal reçu. On rencontre deux familles de détecteur d'impulsions : i) les détecteurs d'énergie qui utilisent une fonction quadratique (*squarer*) souvent réalisée par des mélangeurs fonctionnant dans leur zone linéaire (*multiplier*), ii) les super-régénérateurs qui utilisent un OL dont les conditions de démarrage sont modifiées par l'impulsion reçue. Le fait de ne pas utiliser de corrélateur confère de nombreux avantages à ces architectures : i) elles sont potentiellement plus économes en énergie car elles n'utilisent que peu d'éléments fonctionnant aux fréquences RF, ii) elles ne sont pas sensibles à la phase du signal reçu et donc n'utilisent pas de système de synchronisation complexe et coûteux en énergie, iii) elles ne sont pas sensibles aux multi-trajets et fonctionnent sans égaliseur. Enfin, ces architectures sont reconnues par le standard IEEE qui propose ces types de topologies pour les couches physiques alternatives du standard 802.15.4a.

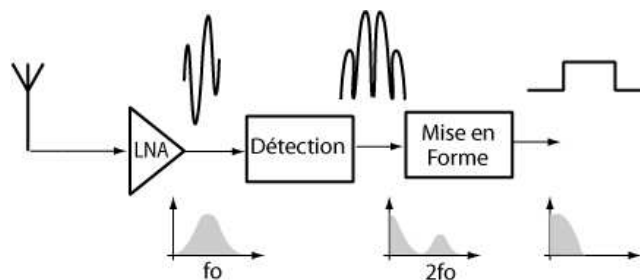


Figure 7 : Principe d'un récepteur non-cohérent.

Toutefois, les détecteurs non-cohérents nécessitent un fort signal pour bien fonctionner. En effet, la décision sur le bit transmis étant réalisée très tôt dans la chaîne de réception (après le détecteur), le potentiel de traitement bande de base est très faible (faible gain de traitement de l'étalement de spectre par exemple). En contre partie, un simple numériseur 1 bit fonctionnant à une fréquence égale à D_s peut suffire pour la conversion analogique / numérique. Etant sensibles aux pertes dans le canal, ces topologies ont besoin d'un fort gain RF et les contraintes sur le LNA sont assez importantes. De manière générale les détecteurs non-

cohérents sont reconnus pour avoir de moins bonnes sensibilités et des portées plus restreintes que les récepteurs cohérents. En outre la détection non-cohérente est peu sélective en fréquence car elle n'utilise pas de mécanisme de transposition de fréquence. Enfin, étant insensible à la phase du signal reçu, cette détection ne fonctionne que pour des modulations OOK, PPM ou PIM.

Nous analyserons dans cette section différentes réalisations utilisant des détecteurs d'énergie et des super- régénérateurs. En plus des performances en termes de consommation, une attention particulière sera portée sur la sensibilité et les performances de l'étage RF ainsi que sur le potentiel de réjection des fréquences non désirables (bloqueurs, canaux adjacents).

2.2.1 Détection d'énergie

La détection d'énergie est généralement réalisée par une fonction quadratique placée derrière le LNA. Les premiers travaux rapportés en 2005 dans [12] utilisent un multiplieur basé sur des paires différentielles croisées comme représenté sur la Figure 8 a). Les transistors sont cascades pour améliorer l'isolation et limiter ainsi les problèmes de variation d'offset (IIP2) inhérents aux structures à conversions directes. Cette structure affiche un gain de 5dB dans une BP de 1,75GHz, ce qui permet au récepteur d'atteindre une sensibilité de 0,6mV ($-72\text{dBm}@20\text{Mbs}^{-1}$) avec des performances de LNA modestes : un gain de 18dB et un facteur de bruit de 4,6 dB. Toutefois, les contraintes sur l'amplification sont reportées sur la chaîne de traitement bande de base qui intègre un AGC à fort gain (de -10 à 45 dBV) avec réjection du DC. La mise en forme est réalisée par un filtre actif de gain 8dB et de bande passante 150MHz.

Afin d'améliorer la sensibilité, [13]-[14] proposent l'utilisation de LNA de 7 étages ayant un fort gain (40dB) avant l'élévation au carré par un mélangeur passif présenté sur la Figure 8 b). Bien que le facteur de bruit de la chaîne en amont du détecteur soit élevé (8,5dB) pour un LNA, la sensibilité du récepteur est de 254uV ($-99\text{dBm}@100\text{kbs}^{-1}$) notamment à cause de la bande passante du système qui n'est que de 500MHz. En outre, la bande passante du LNA est réglable afin d'adresser les trois premières bandes du standard IEEE ce qui confère au système une certaine sélectivité en fréquence (le BER du récepteur n'est augmenté que d'un facteur 100 pour des bloqueurs placés à 2,4GHz et 5,25GHz et ayant des puissances de -20dBm et -15dBm respectivement).

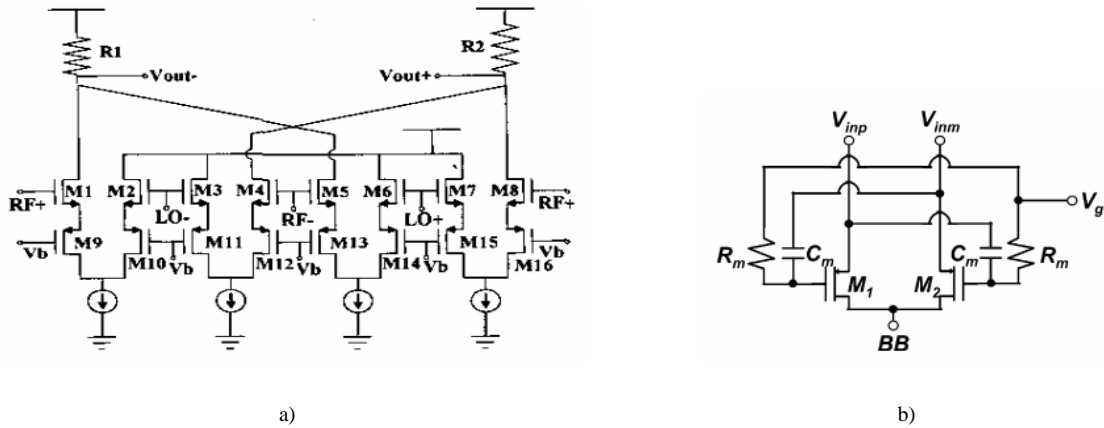


Figure 8 : Mélangeur présenté dans [12] (a) et dans [13] (b).

Afin, d’optimiser l’énergie consommée, une attention particulière est portée sur les circuits de polarisation. En effet, des circuits permettant d’accélérer la mise sous tension sont intégrés au LNA. Quand le circuit est allumé (ON_{RF}), la grille est commutée (ON_{vgate}) pendant 1ns afin d’être chargée à travers une faible impédance comme représenté sur la Figure 9 a). De plus, le récepteur étant non-cohérent il utilise seulement un quartz à 33MHz au lieu d’une PLL dont le temps de démarrage empêcherait l’extinction totale du système. Le temps total de mise sous tension du récepteur est inférieur à 2ns ce qui permet de l’éteindre entre chaque impulsion reçue. Cette gestion de l’énergie rend la puissance moyenne consommée proportionnelle au débit et permet de diminuer drastiquement l’énergie consommée par bit (E_{ct}) de 350nJ (sans gestion) à 2,5nJ pour un débit 100kbs⁻¹.

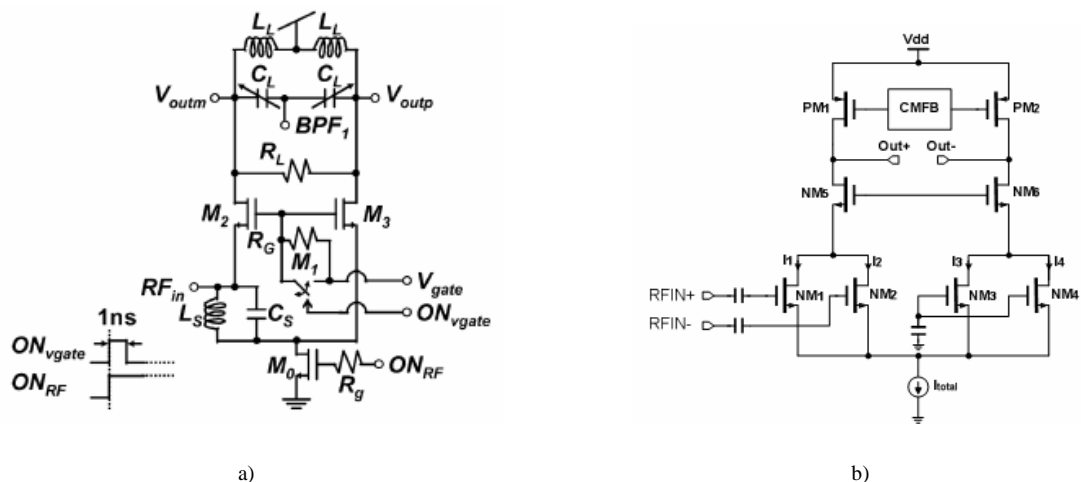


Figure 9 : a) Accélération de la mise sous tension [14]. b) Squarer [15].

Les bonnes performances de ce récepteur sont toutefois pénalisées par la taille du LNA qui utilise 14 inductances et occupe 1,3mm². Afin de réduire les contraintes sur le LNA, [15] propose l’utilisation d’un détecteur basé sur la fonction quadratique du MOS en saturation (Figure 9.b) plutôt que d’un mélangeur. Le gain de cette structure lui permet d’atteindre une

sensibilité de $200\mu\text{V}(-91\text{dBm}@1\text{Mbs}^{-1})$ avec un LNA ayant 33dBV de gain et $3,7\text{dB}$ de facteur de bruit. Toutefois, la sélectivité en fréquence du système est fixée par celle du LNA et les bandes $2,4\text{GHz}$ et $5,25\text{GHz}$ ne sont rejetées que de 10 et 8 dB respectivement.

Une solution basée sur la transposition de fréquence est présentée dans [16] permettant d'améliorer la réjection. La section RF du récepteur (Figure 10) permet de convertir des signaux présents dans les bandes $7-9\text{GHz}$ et $3-5\text{GHz}$ en signaux bande de base. La conversion se fait en quadrature et les signaux I/Q sont recombinaés en sortie du détecteur quadratique.

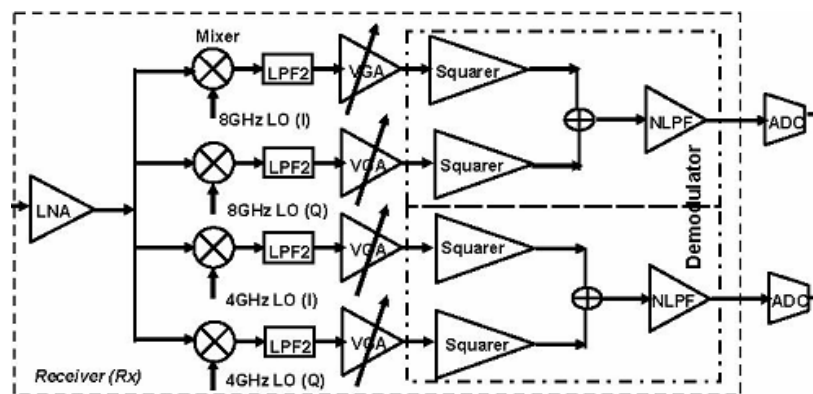


Figure 10 : Détecteur non-cohérent à conversion directe.

La réjection de la fréquence $5,5\text{GHz}$ est supérieure à 30dB et le système peut communiquer dans les deux bandes en même temps pour améliorer la détection. En outre, la sensibilité du récepteur est très bonne puisqu'elle atteint $71\mu\text{V}$ (5.10^{-5}fJ) ($-79\text{dBm}@250\text{MHz}$). Toutefois, bien que cette architecture soit non-cohérente, elle possède la plupart des inconvénients d'une architecture QAC (mélangeur large bande, synthèse de fréquence) et des caractéristiques similaires (forte consommation statique, débit élevé).

2.2.2 Super-régénération

Le principe de la super-régénération est basé sur l'utilisation de l'impulsion reçue pour modifier le démarrage d'un OL dont la fréquence d'oscillation est la même que la fréquence centrale de l'impulsion. L'OL est activé périodiquement à la fréquence de répétition des impulsions reçues par l'intermédiaire d'un signal de commande $I(t)$ (le *quench*) comme décrit dans la Figure 11. Si une impulsion arrive pendant le temps d'activation de l'OL, alors les conditions de démarrage changent et l'OL démarre plus rapidement. Il est alors possible de mesurer la différence de temps de démarrage ou d'amplitude (ΔV) de l'oscillation pour déterminer la présence d'une impulsion.

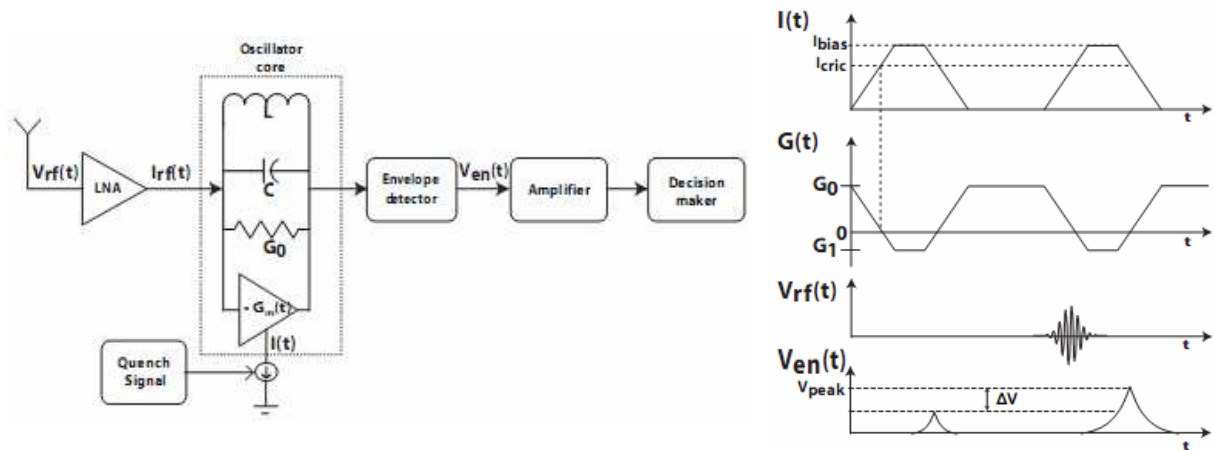


Figure 11 : Principe de la super-régénération.

Ce principe, bien qu'ancien, était peu utilisé en bande étroite en raison de la largeur de bande du système ce qui le rend peu sélectif en fréquence. Cet inconvénient devient un atout dans un contexte UWB où il est difficile de réaliser des systèmes large bande. De plus, il apparaît que ce type d'architecture possède d'autres avantages pour l'UWB-IR et le « low-power ». Tout d'abord, étant basé sur un système naturellement instable, ce type de récepteur permet d'atteindre un grand gain et donc une bonne sensibilité avec un budget de consommation assez faible. En effet, les deux réalisations publiées à ce jour pour des applications UWB-IR affichent une consommation de l'ordre de la dizaine de milliwatts pour des sensibilités de $193\mu\text{V}$ ($-91,3\text{dBm}@1\text{Mbs}^{-1}$) pour [17] et $112\mu\text{V}$ ($-99@1\text{Mbs}^{-1}$) pour [18]. En outre, le fort gain inhérent aux topologies super-régénératives permet d'alléger les contraintes sur le LNA. Un seul étage suffit pour atteindre les performances affichées plus haut et les caractéristiques présentées dans [18] sont assez modestes : $G=15\text{dB}$ et $\text{NF}=5\text{dB}$.

[17] et [18] utilisent la même topologie basée sur un OL (LC) qui permet d'injecter le *quench* à travers la source de courant qui alimente le NMOS dont la transconductance synthétise la résistance négative de l'OL. Tant que le courant est faible (pas de *quench*), les pertes dans le résonateur dominant, et le système composé par le LNA et le résonateur peut être assimilé à un amplificateur à « augmentation de Q » dont la BP est fixée par le coefficient de surtension (Q) du résonateur RLC couplé au LNA. Lorsque le courant injecté par le NMOS dépasse le seuil critique permettant de compenser les pertes (I_{cric} sur la Figure 11), la résistance parallèle de l'oscillateur devient négative et le système entre en oscillation jusqu'à ce que le courant redescende en dessous du seuil critique.

Il apparaît que le gain de la structure ainsi que sa bande passante dépendent du *quench*. Afin d'augmenter la bande passante, il importe d'utiliser un résonateur faible Q (8 pour [17] et 9,8

pour [18]) et de minimiser le temps de commutation entre le mode amplification et le mode OL. En outre, pour maximiser le gain, il importe de laisser le plus de temps possible à l'oscillation pour s'établir et donc d'augmenter la largeur du *quench*. L'utilisation d'un *quench* trapézoïdal permet de régler la bande passante indépendamment du gain du système. L'amplitude du *quench* (qui conditionne la variation du g_m) et son temps de montée (T_r) fixent la bande passante du système alors que le gain dépend essentiellement de la largeur. Ainsi pour atteindre une BP de 500MHz centrée à 3,8GHz, [17] utilise un $T_r=5ns$ alors que pour atteindre une bande passante de 1GHz centrée à 4GHz [18] prend $T_r=1ns$, ce qui reste des ordres de grandeur aisés à réaliser et n'ajoute rien à la complexité du système.

En outre, il importe que l'impulsion soit bien synchronisée avec le début du *quench*. Si l'impulsion arrive trop tôt, alors l'énergie est dissipée dans le résonateur et si elle arrive trop tard les conditions de démarrage se rapprochent de celles qui ont lieu sans impulsion. Dans les deux cas, ΔV diminue. Toutefois, les contraintes sur la synchronisation sont assez faibles au regard d'un système cohérent. Dans [17], un décalage de 2ns sur une impulsion de même largeur et un *quench* de 17,5ns de large entraînent une diminution de 12% de la sensibilité. De même dans [18], un décalage de +/-100ps sur une impulsion de largeur 500ps et un *quench* de 2,5ns de large n'entraînent pas de détérioration mesurable.

De plus, le système est robuste au décalage entre la fréquence centrale de l'impulsion et la fréquence d'oscillation (une variation de 5% n'engendre pas d'erreur mesurable dans [18]) ce qui allège les contraintes liées aux variations des procédés de fabrication. Cette caractéristique couplée au faible Q permet à [18] d'utiliser des varactors pour changer la fréquence du récepteur afin d'adresser plusieurs canaux.

Face à ces nombreux avantages, quelques inconvénients existent. Tout d'abord, le gain du système est lié au débit. En effet, il importe que les oscillations se soient arrêtées avant la détection d'une nouvelle impulsion. Le débit maximal est fixé par la durée du *quench* plus le temps d'amortissement. De plus, la réjection totale du système est réalisée par la réjection du LNA à laquelle s'ajoute la sélectivité du super-régénérateur. Pour [17] qui n'utilise qu'un seul canal de la norme IEEE, la réjection d'une fréquence décalée de 400MHz n'est que -12dB. Pour [18] qui utilise un LNA suffisamment large pour adresser les deux premiers canaux de la norme IEEE, la réjection du canal 1 est de -7dB et celle du canal 2 est de -17dB. Enfin, bien que ce type de récepteur soit non-cohérent et n'utilise pas d'égaliseur, sa résistance intrinsèque aux multi-trajets est plus limitée qu'un récepteur utilisant la détection d'énergie. [18] a évalué l'impact des multi-trajets sur le BER. Dans le cas du modèle de canal CM1 du

standard IEEE 802.15.4a, le S/N doit être augmenté de 4,1dB pour afficher les mêmes performances. Cela se traduit par une dégradation du BER de $2,1 \cdot 10^{-4}$ à $1,8 \cdot 10^{-2}$ pour un SNR constant de 12dB.

2.2.3 Conclusion

Le récepteur non-cohérent affiche de très bonnes performances en termes de puissance moyenne consommée. Dans ce domaine, les super-régénérateurs qui consomment en moyenne 10mW surclassent les détecteurs d'énergie, dont la consommation est de l'ordre de 30mW, essentiellement grâce à l'allègement des contraintes sur le gain de la section RF.

Tableau 2 : Comparaison des performances des récepteurs non-cohérents pour des applications IR-UWB.

Ref	Type	Pdc (mW)	Ec _t (J)	Débit (Mbs-1)	BW (GHz)	Se (dBm)@Mbs ⁻¹	Se (fJ)	Se (V)	Ae τ(ns)(mm ²)	Mod	G-Ira	NF-Ira
[16]	ED	136,8	5,5E-10	250	3,1-9,5	-79	250	5.04E-57,10E-05	1	~4	OOK	20,2dBV 5,6dB
[15]	ED	31,5	3,10E-09	1	3-5	-91	1	7.94E-41,99E-04	2	2,8	OOK	33dBV 3,7dB
[12]	ED	28,8	5,8E-10	50	3,1-5	-72	20	3.15E-36,28E-04	0,8	3,8	OOK	18dBW 4,5dB
[13][14]	ED	35,8/0,25*350E-9/2,50E-09*		0,1	3,1-4,9	-99	0,1	1.26E-32,51E-04	2	2,2	PPM	40dB 8,5dB
[18]	SR	9,3	1,20E-09	10	3,3-4,3	-99	1	1.26E-41,12E-04	1	3,4	OOK	15dB 5dB
[19]	SR	11,25	1,1E-08	1	3,55-4,05	-91,3	1	7.41E-41,93E-04	2	2,25	OOK	NC NC

Sur le plan de la sensibilité, les performances des super-régénérateurs sont sensiblement meilleures que celles des détecteurs d'énergie. En revanche, le débit maximal ainsi que la sensibilité aux multi-trajets sont des inconvénients pour ces topologies. Enfin, la synchronisation du *quench* avec le signal reçu, bien qu'elle conditionne peu les performances en termes de consommation et de sensibilité, reste un inconvénient car elle complexifie la mise en œuvre du récepteur.

2.3 Conclusion sur l'étude

Cette étude de l'état de l'art valide certains résultats présentés dans [2], mais aussi, met en évidence certains points qu'il serait difficile d'appréhender avec une approche prédictive basée sur des modèles comportementaux.

La Figure 12 présente l'énergie consommée en fonction du débit pour les différents récepteurs présentés. Il apparaît que l'énergie consommée par bit (correspondant à l'énergie consommée par impulsion dans les cas présentés ici) est très dépendante du débit comme pour les systèmes bande étroite [19]. Cela montre que jusqu'à présent, les récepteurs n'exploitent que

très peu le potentiel de l'UWB-IR pour la gestion de l'énergie à travers l'extinction du système entre deux impulsions. Toutefois, l' E_{c_i} du système présenté dans [14] montre que ce potentiel est réel et qu'une gestion de l'énergie efficace utilisant des structures Zero-DC ou des commutations d'alimentation rapides est une solution incontournable pour réduire drastiquement la consommation. En outre, il est primordial d'exercer ce contrôle de l'alimentation sur les éléments RF car ils représentent souvent plus de la moitié de l'énergie consommée, et ce, sans dégrader leurs performances. Dans ce contexte, l'utilisation de systèmes non-cohérents qui n'utilisent que peu d'éléments fonctionnant aux fréquences RF est un atout.

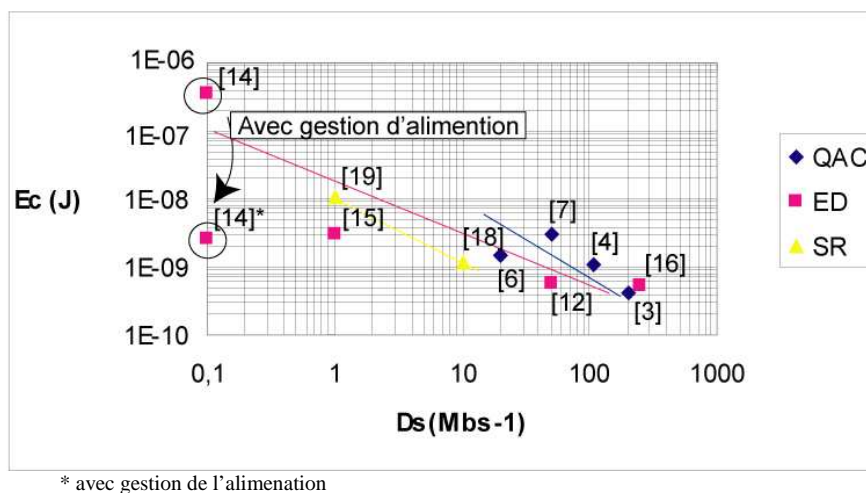
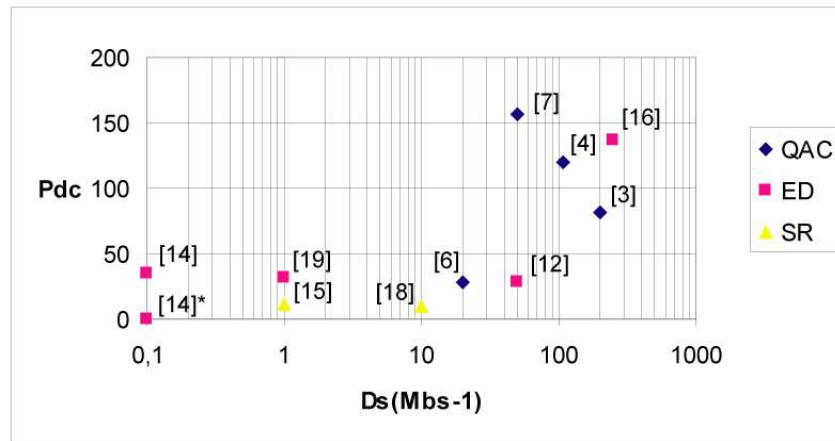


Figure 12 : Energie consommée par bit en fonction du débit symbole pour des topologies QAC, à détection d'énergie (ED) et super-régénératives (SR).

L'énergie consommée par bit n'est pas le facteur de mérite pertinent pour un système 'low cost'. En effet, sur ce seul critère de comparaison, comme le montre la Figure 12, les structures QAC sont plus performantes que les structures non-cohérentes essentiellement en raison du débit élevé auquel elles fonctionnent. Toutefois, pour les applications pour lesquelles la consommation moyenne prévaut sur le débit, la consommation moyenne reste le facteur de mérite le plus pertinent.

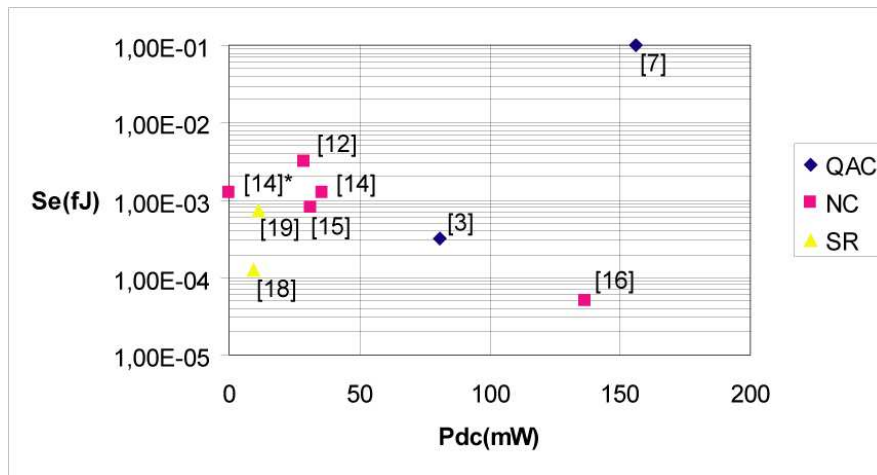


* avec gestion de l'alimentation

Figure 13 : Puissance moyenne en fonction du débit symbole pour des topologies QAC, à détection d'énergie (NC) et super-régénératives (SR).

Dans ce contexte, les topologies QAC devraient atteindre des performances légèrement supérieures à celles des détecteurs d'énergie. En effet, l'économie d'énergie réalisée par la suppression du mélangeur et de la PLL dans une topologie ED est pénalisée par le fort gain de la section RF qui leur est nécessaire pour combattre leur sensibilité aux pertes dans le canal. Toutefois, comme le montre la Figure 13, seuls les travaux présentés dans [6] montrent qu'une conception soignée a permis de réaliser une topologie QAC ayant une consommation DC comparable à celle des détecteurs d'énergie. Pour les autres travaux, les performances sur le plan de la consommation sont très au delà des performances moyennes des ED et la consommation moyenne des QAC est aux alentours de 100mW contre 45mW pour les ED, comme le montre la Figure 13. En outre, on remarque que sur ce plan, les super-régénérateurs surclassent toutes les architectures avec une consommation moyenne autour de 10mW. Enfin, on peut remarquer que là encore la gestion de l'alimentation reste la solution incontournable pour réaliser un véritable saut technologique permettant de réduire d'un facteur 100 la consommation moyenne des récepteurs (0,25mW pour [14]).

Sur le plan de la sensibilité, les performances affichées ne sont pas celles auxquelles on pourrait s'attendre. Nombre de travaux présentant des récepteurs cohérents n'affichent pas les performances en termes de sensibilité. Cela peut s'expliquer par la forte dépendance de ce facteur de mérite avec les performances de l'organe de synchronisation qui est rarement intégré.



* avec gestion de l'alimentation

Figure 14 : Sensibilité en tension en fonction de la puissance moyenne consommée pour des topologies QAC, à détection d'énergie (ED) et super-régénératives (SR).

Sur la Figure 14, où la sensibilité est évaluée en fonction de la consommation moyenne, les travaux présentés ici ne permettent pas de montrer que la détection cohérente surclasse la détection non-cohérente alors qu'elle affiche des performances théoriquement supérieures. En outre, pour un budget de puissance donné, les super-régénératives affichent les meilleures performances en raison des faibles contraintes sur la section RF.

En conclusion, il est difficile de prédire les performances finales d'un système complexe sur la base d'une approche prédictive comme présenté dans [2]. En effet, sur le plan de la consommation, ces perspectives semblent optimistes. En outre, toujours sur le plan de la consommation, et dans un contexte UWB-IR, il semble que la mise en place de système de gestion d'énergie soit bien plus déterminante que le choix d'une architecture ou d'une autre.

Cette étude montre ensuite que, malgré la performance des outils d'aide à la conception, la complexité du système reste un facteur déterminant dans sa réalisation. Les topologies QAC souffrent de cette complexité. De plus, les travaux publiés récemment [20] montrent que les récepteurs non-cohérents sont actuellement très finalisés sur le plan de l'intégration.

Enfin, notons que la sensibilité ne paraît pas être le défaut principal des détecteurs non-cohérents. Leur manque de sélectivité en fréquence semble être en réalité le problème le plus difficile à résoudre pour ce type de système.

3 RECEPTEUR NON COHERENT POUR LES APPLICATIONS A FAIBLE COUT ET A FAIBLE CONSOMMATION

Les travaux réalisés au laboratoire sur le plan des récepteurs s'inscrivent dans le même contexte que les émetteurs : les applications à faible coût et à faible consommation. Ils ont été réalisés au cours de la thèse de M. Battista et ont donné lieu aux publications [10][21][22]. L'analyse qui est présentée dans le premier chapitre identifie la RFID et les WBAN comme principaux débouchés pour l'UWB-IR. Toutefois, pour les applications RFID envisagées au laboratoire, le récepteur UWB est mis en œuvre dans le lecteur et ne s'inscrit pas dans ce contexte (possibilité d'alimentation importante, faible taux d'intégration lié aux faibles besoins de production, besoins de localisation, ...). Les recherches sur le récepteur s'orientent donc essentiellement autour des besoins rencontrés dans les WBAN ou dans les WPAN et les bandes de fréquence visées sont les bandes FCC et ECC. Les principaux besoins peuvent être listés comme suit :

- Portée faible (inférieure à 2 mètres)
- Débit moyen (quelques dizaines de méga bs^{-1} pour supporter un flux vidéo)
- Intégration maximale en technologies CMOS standard
- Très faible consommation.

3.1 Description du système

Bien que des études aient été menées sur des récepteurs à corrélation digitale [10], les travaux présentés dans cette section portent uniquement sur la réception non-cohérente à détection d'énergie pour une modulation OOK. L'architecture présentée ici est décrite par la Figure 15.

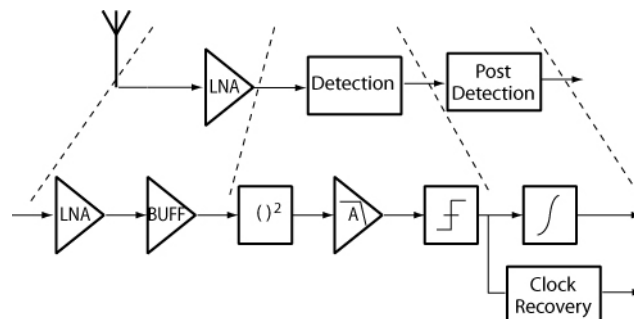


Figure 15 : Principe du récepteur non-cohérent étudié au laboratoire.

Trois fonctions principales sont réalisées par le récepteur : i) l'amplification faible bruit (LNA), ii) la détection d'énergie (ED), iii) le traitement post-détection.

Le LNA doit fournir un niveau de signal minimal nécessaire à la détection, mais aussi un rapport signal à bruit (S/N) suffisant pour fixer un seuil de détection entre le signal et le bruit. Le rapport S/N et le niveau de sortie du LNA étant fixés par la détection, le gain et le facteur de bruit sont imposés par la portée et la bande pour un détecteur donné. Le gain en tension du LNA étant particulièrement déterminant, les architectures développées se composent d'un étage RF, permettant de réaliser l'adaptation en bruit sur une bande donnée, et d'un étage d'amplification permettant de maximiser le gain sur la charge que représente le détecteur. Des cellules d'adaptation pour la bande ECC et FCC seront particulièrement étudiées.

Classiquement, les détecteurs d'énergie se composent d'un détecteur quadratique, suivi d'un intégrateur réalisant une détection d'enveloppe. Ici, le détecteur d'enveloppe sera réalisé par un amplificateur dont la bande passante sera réglée pour réaliser l'intégration tout en optimisant le gain de la chaîne. Le signal en sortie de l'intégrateur est alors remis en forme par un comparateur à seuil. Cette fonction revêt une importance capitale dans le système car elle constitue l'élément de décision de la chaîne numérique. Une fois la décision prise, il n'est plus possible d'améliorer la réception au niveau des symboles reçus. Bien que le plancher de bruit ne varie pas en entrée du détecteur, le seuil de détection doit être variable. D'une part, cela permet au système d'adapter le seuil de décision en fonction du niveau du signal reçu. Ainsi, dans le cas d'un fort signal, le seuil peut être élevé, garantissant une bonne immunité au bruit. Dans le cas de faibles signaux, il doit pouvoir s'approcher du plancher de bruit pour garantir le fonctionnement (au prix d'une augmentation du TEB). D'autre part, en présence de bloqueurs, ou de canaux adjacents, le seuil doit pouvoir être remonté pour ne détecter que le signal (si celui-ci est plus élevé). Ce dernier point est important car, in fine, le comparateur est le seul élément capable de rejeter les perturbateurs présents dans la bande du récepteur.

Le traitement post-détection revêt une certaine importance dans un contexte de faible coût et de faible consommation. En effet, pour être autosuffisant (utilisé sans fonctionnalité annexe) un récepteur doit fournir la séquence binaire reçue et son horloge associée. La forme particulière des signaux UWB-IR, comportant souvent de la puissance à la fréquence symbole, rend propice la mise en œuvre de systèmes simples de récupération d'horloge, notamment en sortie du détecteur. De plus, dans le cadre de la détection d'énergie, il est aisé de compenser la faible sensibilité du détecteur par l'émission de plusieurs impulsions successives afin d'augmenter l'énergie collectée. Dans ce cas, le détecteur d'enveloppe en sortie de l'élévateur au carré doit être modifié pour tirer le meilleur parti de cette technique. Une autre solution consiste à réaliser l'intégration numérique après la détection. Ces fonctions

de post-traitement ne seront pas traitées dans ce mémoire, toutefois il importe de garder à l'esprit que le signal en sortie du détecteur doit être exploitable par ces circuits de traitement.

Pour la bande FCC, le Tableau 3 donne un ordre de grandeur des principales caractéristiques du récepteur pour une impulsion d'amplitude 1,4Vpp produite par le générateur du § CHII 3.2. Ce bilan de liaison est réalisé pour des antennes ayant 0dB de gain et en négligeant les pertes dans les interconnexions. Il apparaît qu'une distance de 2 mètres peut être atteinte pour un gain de LNA de 25dBV si le détecteur présente une sensibilité de 43,4mV. Pour atteindre une distance de 10 mètres, le gain du LNA doit être de 35dB et la sensibilité autour de 20mV. Pour ces deux scénarios, un facteur de bruit de 5dB est considéré ce qui conduit à un rapport signal à bruit de 31dB et 17,3dB pour respectivement 2m et 10m. Pour le cas ECC, il apparaît clairement que l'amplitude du générateur présenté au § CHII 3.3 ne permet pas d'atteindre des distances importantes et augmente considérablement les contraintes sur le LNA.

Tableau 3 : Bilan de liaison prédictif (FCC).

Scénarios	Signal Sortie Générateur (Vcc)	Distance (m)	Se (mVc)	Gain LNA (dBV)	F LNA (dB)	Signal Sortie LNA (mVcc)	Bruit Sortie LNA (mVeff)	S/N* (dB)
scénario FCC-1	1.4	2	1.22	25	5	43,4	1,18	28.3
scénario FCC-2	1,4	10	0.48	35	5	19,4	2,6	14.3
scénario ECC-1	0,37	1	0.61	30	5	38,5	1,26	26.37
scénario ECC-2	0,37	2	0.3	38	5	43,1	2,8	20.7

* Approximation $10.\text{Log}[(V_{Sc}^2/2)/V_{B_{eff}}^2]$

D'un point de vue pratique, les conceptions des LNA et du détecteur ont été réalisées afin d'obtenir les meilleures performances, avec en point de mire les ordres de grandeurs fixés par les scénarios 1.

3.2 Conception de LNA

En vue d'être intégrés dans un système à faible coût et à faible consommation, plusieurs LNA ont été réalisés. Ces travaux ont été réalisés dans le cadre de la thèse de Marc Battista (sur le point de soutenir). Afin d'optimiser la taille et la consommation, une topologie de source dégénérée adaptée par cellules LC [23] est proposée. Cette technique possède deux avantages. D'une part, en technologie CMOS, il est possible d'atteindre des gains supérieurs à 15dB pour des facteurs de bruit inférieurs à 2.2dB [24], ce qui permet d'envisager d'obtenir les performances spécifiées, en ajoutant un second étage d'amplification. De plus, dans cette technique, la cellule d'adaptation est un filtre LC. Cela permet d'alléger les contraintes sur le

filtrage et, dans le cas d'application à faible coût, d'éliminer le filtre de bande en amont du LNA.

Deux méthodes de conception ont été développées pour les bandes FCC et ECC. Les travaux sur le ECC ayant été entrepris avant la fin de la normalisation, la bande passante visée ne correspond pas exactement à celle fixée par le standard sans que cela n'invalide pour autant la méthode.

3.2.1 LNA FCC [22]

La topologie du LNA FCC est présentée à la Figure 16. Le premier étage, réalise l'adaptation sur la charge 50Ω de l'antenne, alors que le second étage permet de réaliser l'adaptation sur la sortie avec pour objectif de maximiser le gain en tension sur une haute impédance.

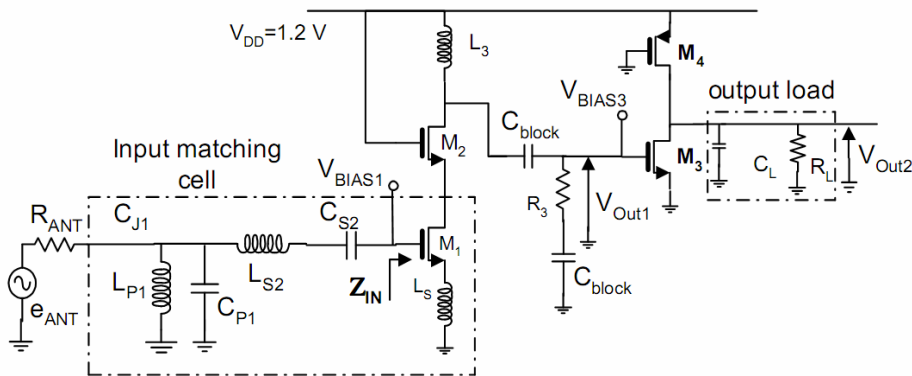


Figure 16 : Topologie du LNA FCC.

3.2.1.1 Méthode de conception

La dégénération de la source par une inductance est une technique très répandue en technologie MOS car elle permet de réaliser une impédance d'entrée ayant une partie réelle, ce qui est nécessaire pour l'adaptation en puissance. En effet, l'impédance (vue de la grille de M1) du cascode M1/M2 dégénéré par L_S est [25]:

$$(2) Z_{in} = \frac{g_m L_s}{C_{gs}} + j \left(\frac{1}{C_{gs} \omega} - L_s \omega \right) = R_{IN} + jX_{IN}$$

Le schéma équivalent de la structure représenté sur la Figure 17 montre que l'adaptation peut être réalisée par un filtre LC pour lequel le résonateur série L'_s/C_{gs} réalise le dernier élément du filtre et la partie réelle de l'impédance ($g_m L_s / C_{gs}$) sa charge. Les conditions d'adaptation en puissance sont alors :

$$(3) L_S + L_{S_N} = \alpha g_N / b = L'_{S_N}$$

$$(4) 1/C_{gs} + 1/C_{S_N} = 1/\sigma b g_N = 1/C'_{S_N}$$

$$(5) g_m L_S / C_{gs} = r.R_0$$

où b est la bande relative, g_n les coefficients du filtre, α et σ les coefficients de normalisation donnés à la Figure 17 et r la terminaison du filtre.

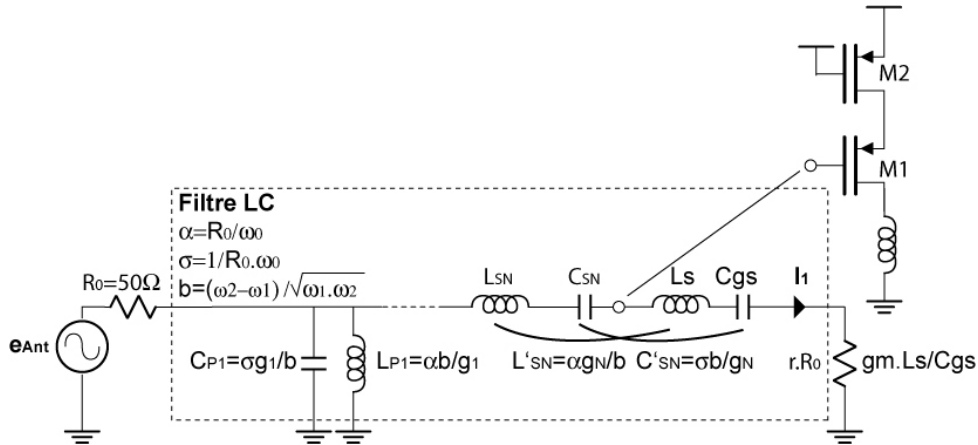


Figure 17 : Schéma équivalent de l'étage d'entrée du LNA.

Des filtres de nature et d'ordre différents peuvent alors être utilisés pour réaliser l'adaptation. Toutefois, le dernier résonateur doit être un résonateur série ce qui impose que le premier résonateur (côté antenne) doit être parallèle pour un filtre d'ordre pair et doit être série pour un filtre d'ordre impair. De plus, la large bande relative du masque FCC induit une faible variation sur la valeur des composants, ce qui favorise l'intégration dans une technologie CMOS pour laquelle la plage des valeurs possibles des inductances est assez faible (cf, CH2 §3.2). Cette plage est un critère essentiel pour le choix du filtre car elle restreint le nombre de possibilités. En effet, pour une plage de valeurs comprises entre L_{\min} et L_{\max} , les valeurs des coefficients normalisés de résonateur parallèle (g_p) et série (g_s) du filtre doivent satisfaire la condition suivante :

$$(6) \frac{L_{\min} b}{\alpha} < g_s < \frac{L_{\max} b}{\alpha}; \quad \frac{b\alpha}{L_{\min}} > g_p > \frac{b\alpha}{L_{\max}}$$

D'après les conditions données par (3), L_{SN} et C_{SN} permettent de synthétiser le dernier résonateur indépendamment de L_S et C_{gs} . Il reste alors deux degrés de liberté (la taille de M1 à travers C_{gs} et la valeur de L_S) pour réaliser la partie réelle de l'impédance. Il est alors possible de minimiser le facteur de bruit tout en réalisant l'adaptation en puissance à l'aide d'un couple de valeurs C_{gs_OPT} et L_{S_OPT} . En effet, selon [25], l'impédance optimale qui minimise le

facteur de bruit (Z_{OPT}) pour une structure source commune dégénérée par inductance est donnée par :

$$(7) \quad Z_{OPT} = \frac{A}{\omega C_{gs}} - \frac{B}{j\omega C_{gs}} - jL_S \omega$$

avec A et B définis à partir des paramètres α , δ , γ , c des sources de bruit du transistor [25]. Réaliser une adaptation simultanée en puissance et en bruit revient alors à remplir la condition suivante :

$$(8) \quad Z_{OPT} - Z_{IN}^* = \frac{A}{\omega C_{gs}} - R_{IN} + \frac{(1-B)}{j\omega C_{gs}} = 0$$

B étant dépendant seulement de paramètres qui sont liés au procédé de fabrication et qui ne peuvent être modifiés, il n'est pas possible d'annuler la partie imaginaire de la condition (8). Toutefois, la partie réelle peut être annulée. La taille du transistor M1 permet alors de minimiser le bruit de sorte que :

$$(9) \quad C_{gs_OPT} = \frac{A}{R_{IN} \cdot \omega} = \frac{A}{r \cdot R_0 \cdot \omega}$$

(5) et (9) permettent alors de définir la valeur de L_S (L_{S_OPT}) qui minimise le facteur de bruit tout en assurant l'adaptation en puissance.

$$(10) \quad L_{S_OPT} = \frac{A}{g_m \cdot \omega}$$

Ici, les valeurs de L_{S_OPT} et de C_{GS_OPT} sont prises pour $\omega = \omega_0$, ce qui entraîne une erreur par rapport à (9) et (10) inférieure à 2% dans toute la bande.

Le deuxième étage est un montage charge active dimensionné pour maximiser le gain. Le produit gain bande du dispositif étant constant, la fréquence de coupure est choisie à la limite de la fréquence de coupure basse de la bande visée afin de maximiser le gain de cet étage. Le résonateur de sortie du premier étage réalisé par L3 est alors dimensionné pour résonner à la fréquence haute de la bande, permettant ainsi de compenser la coupure du deuxième étage. Une méthode précise de dimensionnement de cet étage est développée dans [21].

3.2.1.2 Exemple de réalisation

Cette topologie a été utilisée pour réaliser deux LNA permettant d'adresser respectivement la bande 3,1-10,6 GHz et 6-10GHz.

Pour la bande 3.1-10.6 GHz (b=130%), un filtre de Tchebychev d'ondulation 1dB d'ordre 2 permet de satisfaire la condition (6) dans la technologie visée. Les coefficients du filtre sont $g_1=1.8219$, $g_2=0.6850$ et $r=1/g_3=0.128$ donnant lieu à $L_{p1}=1.46nH$ et $L'_{s2}=875pH$. L'utilisation d'un deuxième ordre permet d'une part de limiter la taille du circuit final, et d'autre part le nombre de résonateurs qui, en raison des pertes dans les inductances, augmente le facteur de bruit. Pour cette configuration, la valeur de C_{gs_OPT} est sensiblement égale à la capacité du résonateur série ($\sigma b/g_2=1.1pF$) ce qui évite l'utilisation de C_{S2} sur la Figure 16. La largeur du transistor M1 qui réalise $C_{gs}=1.1pF$ est $513\mu m$. La valeur de L_{S_OPT} est $156pH$ et conduit à une valeur de $L_{S2}=875p-156p=719pH$ qui reste dans la plage des valeurs admissibles par la technologie. Le facteur de bruit (simulé) est de 3.1dB. Enfin, la maximisation du gain à partir de la méthode présentée précédemment permet d'atteindre un gain de 22dB (Figure 18.a) pour une consommation statique de 18mW. La taille du circuit est estimée à $0.4mm^2$. La surface consommée est principalement utilisée par les quatre inductances comme nous pouvons le voir sur la Figure 18.b.

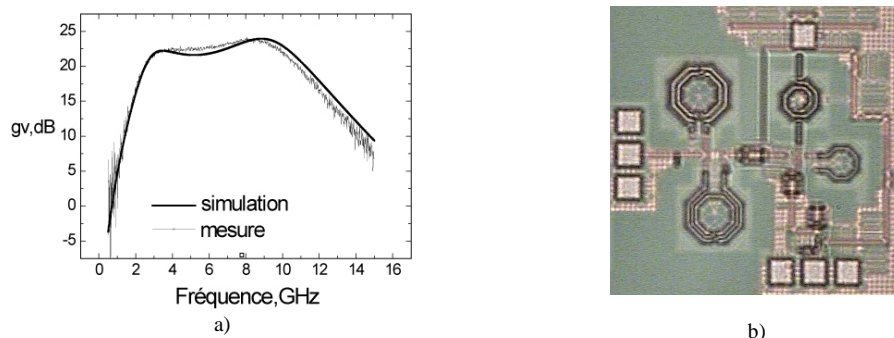


Figure 18 : Gain en tension du LNA FCC- 3.1-10.6 (a) et photo du circuit (b).

Pour la bande 6-10GHz, le même filtre est utilisé (Tchebychev, 1dB, N=2). Pour cette bande, (b=52%), la valeur des inductances est encore dans la plage des valeurs admissibles : $L_{p1}=440pH$, et $L'_{s2} =1130pH$. Dans ce cas, C_{gs_OPT} est différent de C'_{s2} du filtre et une capacité C_{S2} sera ajoutée. La valeur de l'inductance optimale $L_{S_OPT}=180pH$ conduit à une inductance $L_{S2}=950pH$ qui reste dans la plage des valeurs admissibles. Le facteur de bruit, représenté à la Figure 19.a, est en moyenne de 3.9dB dans la bande. Ici, la méthode de maximisation du gain permet d'atteindre un gain en tension de 27dB (Figure 19.b) pour une consommation statique de 15mW alors que l'adaptation en entrée reste inférieure à -10dB dans toute la bande.

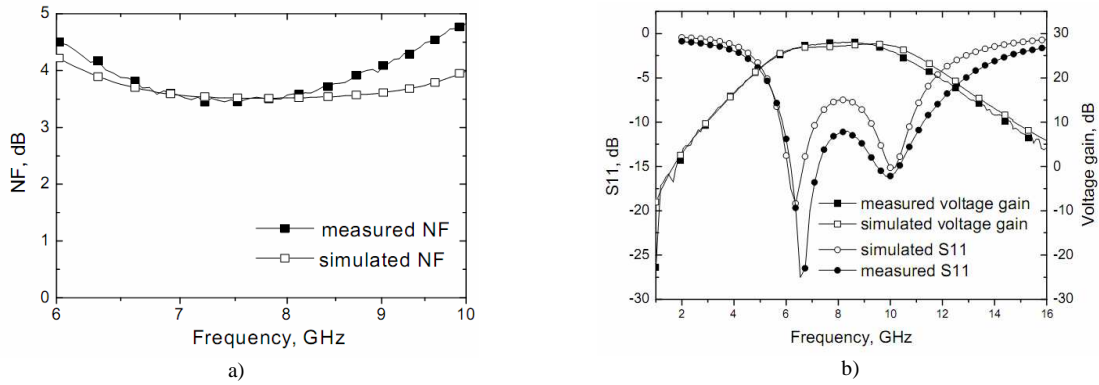


Figure 19 : Mesures et simulations du LNA FCC 6-10GHz, a) facteur de bruit, b) gain en tension et S11.

3.2.2 LNA pour la bande ECC [21]

Des bandes passantes relatives (b) inférieures à 50% ne peuvent être atteintes par la méthode présentée précédemment. En effet, pour ces bandes, la dispersion sur les valeurs des inductances lors de la synthèse de la cellule d'adaptations ne permet pas de rester dans la plage admissible par la technologie. Il est alors possible d'utiliser une technique d'inversion d'admittance identique à celle présentée au § CHII 3.3. Dans une gamme de fréquences dans laquelle la partie inductive de Z_{IN} créée par L_S est faible devant la partie capacitive liée à C_{GS} , L_S peut être négligé dans Z_{IN} . Il est alors possible de transformer un filtre d'ordre 2 (Figure 20.c) en une structure (Figure 20.c) terminée par une capacité série pouvant être synthétisée par C_{GS} . La Figure 20.a montre les conditions pour réaliser l'adaptation dans la mesure où la valeur des inverseurs J_1 et J_3 est faible devant l'unité.

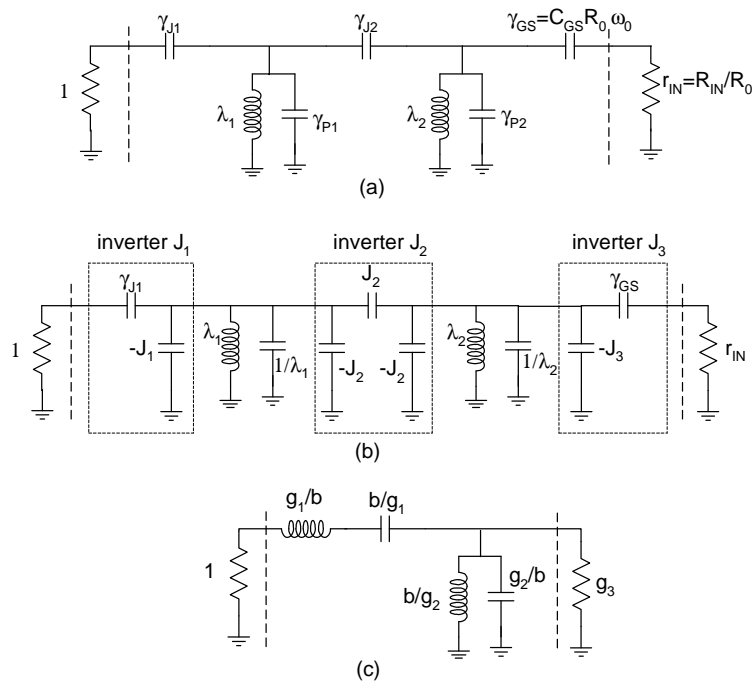


Figure 20 : Cellule d'adaptation à inverseur d'admittance pour LNA ECC.

Les valeurs des éléments normalisés du filtre inversé sont les suivantes:

$$(11) \quad J_1 = \sqrt{\frac{b}{g_1 \lambda_1}} ; J_2 = \frac{b}{\sqrt{g_1 g_2 \lambda_1 \lambda_2}} ; J_3 = \sqrt{\frac{b}{g_2 g_3 r_{IN} \lambda_2}}$$

$$(12) \quad \gamma_{J1} = J_1 (1 + J_1^2) \cong J_1 ; \gamma_{J2} = J_2 ; \gamma_{GS1} = J_3 (1 + J_3^2 r_{IN}^2) \cong J_3$$

$$(13) \quad \gamma_{P1} = \frac{1}{\lambda_1} - J_1 - J_2 ; \gamma_{P2} = \frac{1}{\lambda_2} - J_2 - J_3$$

Cette technique donne un degré de liberté permettant de choisir la valeur des inductances indépendamment des éléments du filtre afin d'utiliser les meilleures inductances de la technologie. En outre, l'inversion d'admittance permet de synthétiser une impédance de sortie (r_{IN}) différente de la terminaison du filtre (g_3). De ce fait, les coefficients (g_n) du filtre et les valeurs des inductances normalisées (λ_1 et λ_2) étant fixés, il reste deux degrés de libertés (C_{gs} et L_S) pour réaliser l'adaptation en puissance. Cette structure permet donc, à l'adaptation, de minimiser le bruit pour un couple de valeur optimale (L_{S_OPT} et C_{gs_OPT}).

Les conditions de minimisation du bruit donnée par (8) sont les mêmes que pour le LNA FCC :

$$(14) \quad C_{gs_OPT} = \frac{A}{R_{IN} \cdot \omega}$$

Dans la mesure où $C_{gs} = J_3 \sigma$, il est possible d'exprimer C_{gs} en fonction des seuls paramètres de bruit et des éléments du filtre à partir de l'expression de J_3 donnée en (11) il vient :

$$(15) \quad C_{gs_OPT} = \sigma \frac{b \cdot \omega}{g_2 g_3 \lambda_2 A \omega_0}$$

La valeur de L_S permettant de réaliser l'adaptation en puissance tout en minimisant le bruit peut être alors calculée à partir de (2) et (14) :

$$(16) \quad L_{S_OPT} = \frac{A}{gm \cdot \omega}$$

Cette topologie a été utilisée pour réaliser un LNA dans la bande 6.8-8.8GHz. On utilise encore un filtre de Tchebychev d'ordre 2 et d'ondulation 1dB dont les valeurs des coefficients sont données au §3.2.1.2. La topologie du LNA, donnée sur la Figure 21, reprend l'étage de sortie réalisant la maximisation du gain présenté précédemment.

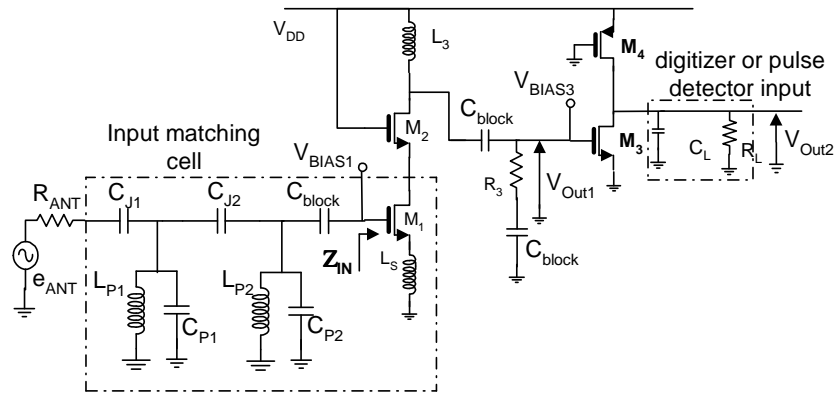


Figure 21 : Topologie du LNA ECC.

Les valeurs des inductances parallèles (L_{P1} et L_{P2}) sont choisies à 1,2nH en raison de leur bonne performance dans la technologie. Le transistor est dimensionné pour fournir le C_{gs_OPT} donné par (15) et la valeur de L_{S_OPT} est 100pH. D'après la Figure 22.a le gain moyen dans la bande est de 29.5dB et le S_{11} ne dépasse pas -10,1dB. La consommation du circuit est de 12mA sur 1.2V et le facteur de bruit moyen dans la bande est de 4.5dB (Figure 22.b).

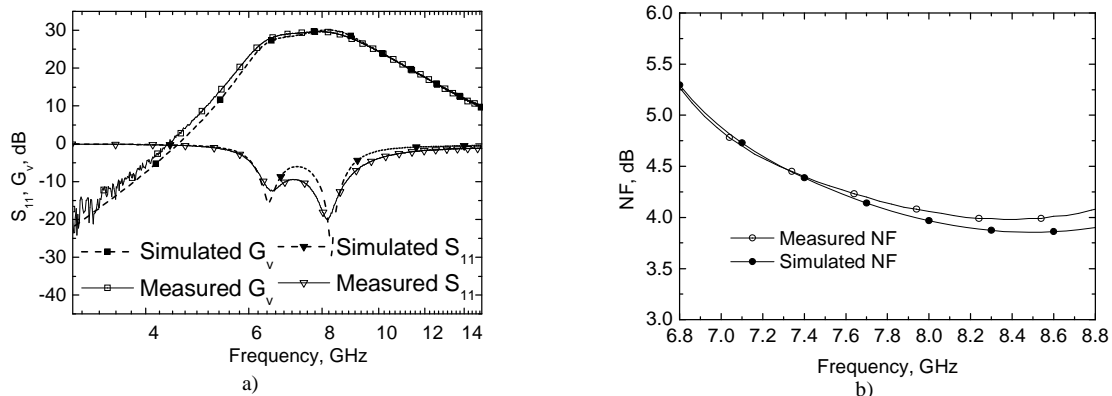


Figure 22: Mesures et simulations du LNA ECC.

3.2.3 Conclusion

Deux méthodes de conception de LNA UWB permettant d'adresser les bandes FCC et ECC ont été mises en place. Les gains des circuits réalisés répondent aux spécifications nécessaires pour atteindre 2m et 1m dans les bandes FCC et ECC d'après le Tableau 3. De plus, les facteurs de bruit de ces LNA sont tels que le rapport signal à bruit en entrée du détecteur ne sera pas le point critique de ce système. Cela permet d'envisager de rajouter un étage d'amplification en amont du détecteur sans trop dégrader ce rapport.

3.3 Détection d'impulsions Ultra Large Bande

Les éléments qui constituent le détecteur d'impulsions sont décrits sur la Figure 15. Ce détecteur comprend un détecteur non-linéaire permettant d'élever le signal au carré pour transposer l'impulsion reçue vers la bande de base, un détecteur d'enveloppe réalisant une intégration afin de ne conserver que l'enveloppe du signal et un élément de décision réalisé par un comparateur à seuil. Ce dispositif a été étudié dans le cadre de la thèse de Marc Battista.

3.3.1 Elévateur au carré (*squarer*)

La détection quadratique repose généralement sur l'utilisation d'une fonction non-linéaire. En effet les non-linéarités d'ordre deux réalisent une transposition du signal vers la bande de base (enveloppe du signal) et vers une fréquence égale à deux fois la fréquence centrale de l'impulsion. Un intégrateur permet alors de réaliser le filtrage de l'enveloppe tout en rejetant les fréquences hautes issues de la non-linéarité.

De nombreuses structures permettent d'exploiter les non-linéarités d'un dispositif afin de réaliser une détection quadratique. Parmi les plus répandues on trouve : les mélangeurs, les transistors montés en diode, les transistors polarisés sous le seuil ... Plutôt que d'utiliser une cellule de Gilbert (souvent rencontrée dans ce type d'application), nous avons opté pour la structure présentée sur la Figure 23. En effet, en raison des faibles niveaux présents en entrée du détecteur, la cellule de Gilbert fonctionnera dans un régime de multiplication plutôt que de mélange avec un gain de conversion relativement faible. Il semble plus judicieux d'utiliser une structure ayant un fonctionnement non-linéaire pour des faibles niveaux d'entrée. Le fonctionnement du détecteur de la Figure 23 est basé sur l'utilisation des non-linéarités produites par les transistors T1 et T2 en régime de faible inversion. En effet, dans ce régime, le courant I_{ds} est fortement non-linéaire en fonction de V_{gs} et peut être approximé par [27] :

$$(17) \quad I_{ds} = I_S \cdot e^{\left(\frac{V_{gs}}{nU_T}\right)}; \text{ avec } I_S = \mu_0 C_{ox} \frac{W}{L} (n-1)^2 U_T^2 e^{\left(\frac{-V_t}{nU_T}\right)}$$

avec n , le facteur de pente sous le seuil.

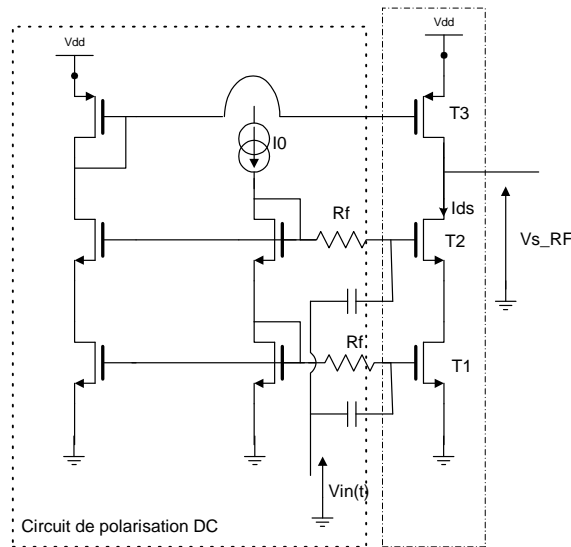


Figure 23 : Topologie du détecteur non-linéaire.

Un signal identique est appliqué sur les grilles de T1 et T2 qui sont polarisés sous le seuil ($V_{gs} < V_t$) alors que T3 est saturé afin d'assurer une fonction de charge active. La structure étant polarisée de sorte que le même courant statique I_0 circule dans T1, T2 et T3, on adopte le schéma équivalent « fort signal » de la Figure 24. Dans ce schéma, T1 et T2 sont représentés par une source de courant non-linéaire ($I_{ds}(t)$) commandée par $V_{in}(t)$, une résistance R_1 représentant la variation de I_{DS} en fonction de V_{DS} et une capacité C_1 représentant les capacités vues entre le drain et la source. De la même manière, la charge active est modélisée par une source de courant statique I_0 en parallèle avec une résistance R_2 et une capacité C_2 entre le drain et la source. Ici, les résistances et les capacités sont supposées constantes. Ce modèle simplifié du détecteur permet un premier dimensionnement des éléments qui le composent.

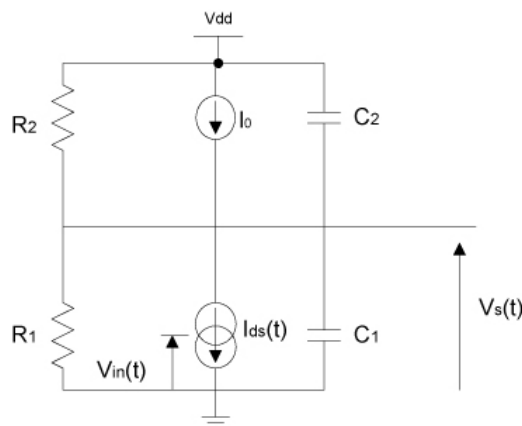


Figure 24 : Schéma équivalent du détecteur non-linéaire.

La tension de sortie $V_s(t)$ est alors donnée par l'équation différentielle suivante :

$$(18) \quad \frac{V_s(t)}{R_{EQ}} + C_{EQ} \frac{dV_s(t)}{dt} = I_0 + \frac{V_{dd}}{R_1} - I_{ds}(V_{in}(t)), \text{ avec } R_{EQ} = R_1 // R_2 \text{ et } C_{EQ} = C_1 + C_2$$

Un développement en série de Taylor de $I_{ds}(V_{in}(t))$ (équation (17)) autour du point de polarisation (V_{gs0}) jusqu'au deuxième ordre, permet de mettre en évidence la caractéristique quadratique de cette structure de la manière suivante :

$$(19) \quad V_{in}(t) = V_{gs0} + g(t)$$

$$(20) \quad I_{ds}(V_{in}(t)) = I_S e^{\left(\frac{V_{gs0} + g(t)}{nU_T}\right)} = I_S e^{\left(\frac{V_{gs0}}{nU_T}\right)} \left(1 + \frac{g(t)}{nU_T} + \left(\frac{g(t)}{nU_T}\right)^2\right) = I_0 \left(1 + \frac{g(t)}{nU_T} + \left(\frac{g(t)}{nU_T}\right)^2\right)$$

Afin d'évaluer la tension de sortie, $g(t)$ est approximé par une porteuse modulée par une enveloppe sinusoïdale :

$$(21) \quad g(t) = V_{rf} \cdot \sin(\omega_0 t) \cdot \sin\left(\frac{\pi}{T_p} t\right) \text{ pour } 0 < t < T_p$$

où T_p est la durée de l'impulsion qui est l'inverse de la demi bande passante du signal ($1/T_p = f_p = BW_{tot}/2$) et $f_0 = \omega_0/2\pi$ la fréquence centrale du spectre. Cette approximation de l'impulsion permet de résoudre l'équation différentielle (18) avec (20) par la méthode de variation de la constante et ainsi d'obtenir un modèle analytique de $V_s(t)$. Ce modèle fait apparaître deux composantes : une composante basse fréquence à la fréquence de l'enveloppe (f_p) et une composante haute fréquence à la fréquence centrale (f_0) comme représenté sur la Figure 25. En outre, d'après la Figure 25, les simulations réalisées avec les modèles de la technologie confirment la validité du modèle.

Ce modèle simple du comportement du détecteur permet essentiellement de dimensionner la structure pour maximiser la tension de sortie. En effet l'expression de la valeur maximale de $V_s(t)$ est donnée par :

$$(22) \quad V_{s\max} = \frac{3R_{EQ}I_0V_{rf}^2}{32} + \frac{R_{EQ}I_0V_{rf}^2}{8} \frac{1}{\sqrt{1+(\omega_p\tau)^2}} + \frac{R_{EQ}I_0V_{rf}}{2} \left\{ \frac{1}{\sqrt{1+(\omega_0\tau)^2}} + \frac{1}{2\sqrt{1+((\omega_0-\omega_p)\tau)^2}} - \frac{1}{2\sqrt{1+((\omega_0+\omega_p)\tau)^2}} \right\}$$

avec $\tau = R_{EQ} \cdot C_{EQ}$.

L'équation (22) montre d'abord le comportement non linéaire du gain de conversion de cette structure. Le gain dépend essentiellement du courant de polarisation et des résistances de sortie des transistors (à travers R_{EQ}) mais aussi de la forme des impulsions par le biais du rapport entre τ et les pulsations ω_0 et ω_p . Indépendamment des caractéristiques de l'impulsion, il est possible de maximiser le gain de deux manières. Tout d'abord il est possible

d'augmenter R_{EQ} . En supposant que R_{EQ} est essentiellement conditionné par les résistances R_{ds} de T1, T2 et T3, il est possible de maximiser R_{EQ} en augmentant la longueur (L) des transistors. Ce procédé est toutefois déconseillé car le bruit des transistors augmente avec L. L'autre solution consiste à augmenter le courant de polarisation des transistors. Afin de garder les transistors polarisés sous le seuil il importe d'augmenter I_0 par le biais des largeurs de T1 et T2. Toutefois, ces largeurs conditionnent la charge du LNA. Une trop grosse capacité de charge faisant chuter le gain du LNA, il importe alors de dimensionner T1 et T2 pour atteindre la valeur limite de cette charge puis de régler V_{gs0} afin de maximiser les non-linéarités d'ordre 2.

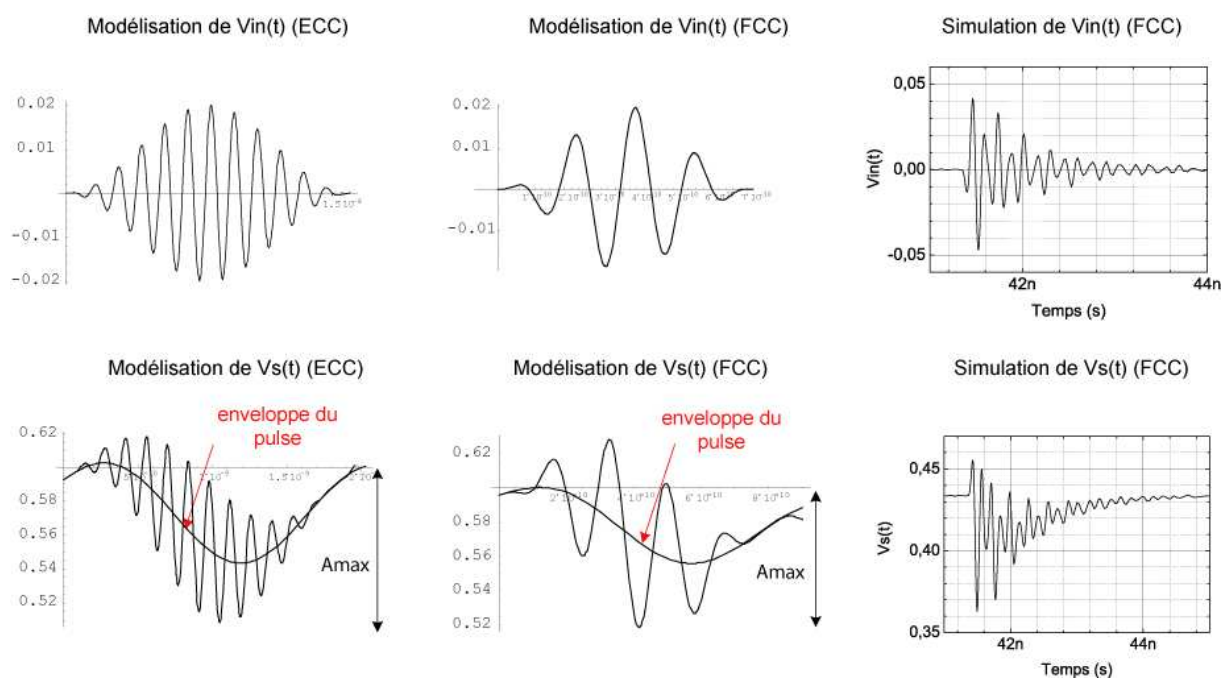


Figure 25 : Réponse du modèle analytique de la tension de sortie du détecteur pour $g(t)$ FCC et ECC.

3.3.2 Détection de l'enveloppe

Une fois la fonction quadratique achevée, il importe de réaliser la détection de l'enveloppe de l'impulsion avant de prendre la décision sur le symbole reçu. Une fonction d'intégration permet de réaliser cette détection. Cette fonction est généralement réalisée par un filtre permettant de ne garder que les composantes BF qui constitue l'enveloppe. En raison de la très large bande du signal traité, un amplificateur de bande passante proche de f_p réalisera la fonction d'intégration tout en amplifiant la composante BF. Un amplificateur à charge active dont la structure est présentée sur la Figure 26 est choisi pour son potentiel en termes de gain large bande sans utilisation d'inductance.

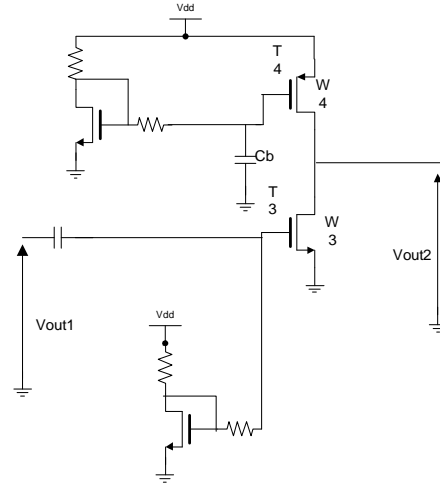


Figure 26 : Amplificateur à charge active pour la détection d'enveloppe.

La fonction de transfert de la charge active est une fonction du premier ordre et peut être approximée par [26] :

$$(23) \quad \frac{V_{Out2}}{V_{Out1}} = \frac{-g_{m3}r_{EQ}}{1 + j\omega/\omega_{C2}} = \frac{A_V}{1 + j\omega/\omega_{C2}}$$

avec

$$(24) \quad r_{EQ} = r_{DS3} // r_{DS4} // R_L ; c_{EQ} = (c_{DB3} + c_{GD3} + c_{DB4} + c_{GD4} + c_L) ; \omega_{C2} = \frac{1}{r_{EQ}c_{EQ}} = 2\pi f_{C2}$$

La fréquence de coupure dépend de R_{EQ} alors que le gain dépend de R_{EQ} et de la transconductance g_{m3} de T3. Le produit gain bande de cette structure étant relativement constant aux fréquences considérées, il importe de dimensionner la coupure à la limite de la fréquence de l'enveloppe (f_p) pour maximiser le gain. La largeur et le courant de polarisation de T3 permettent de régler le gain alors que la longueur de T4 permet de régler la bande. Il est important de remarquer qu'une fois conçue, cette structure est optimale pour un type d'impulsion. Notamment, lorsqu'elle est réglée pour une impulsion FCC, ($f_c = BW/2 = 3.75\text{GHz}$), elle permettra la réjection des fréquences hautes de la bande ECC ($f_0 = 7.25\text{GHz}$) mais son gain sera inférieur à celui d'une structure réglée à $f_c = 1.25\text{GHz}$. De même, les impulsions des bandes basses du standard IEEE ayant une fréquence centrale autour de 3.5GHz ne pourront être intégrées par une structure réglée pour la bande FCC. Enfin, notons que la plage de réglage de ce dispositif reste assez faible car une trop grande augmentation de la longueur de T4 dégrade les performances en bruit de l'étage et limite ainsi la sensibilité du système complet.

3.3.3 Circuit de décision

La décision sur le symbole électrique reçu (l'impulsion) est réalisée de manière asynchrone par un comparateur à seuil. Bien que moins optimale qu'une détection synchrone basée sur l'échantillonnage puis la décision, l'utilisation d'un comparateur permet de mieux répondre aux besoins en termes de coût et de consommation du système. En outre, ce type de dispositif est particulièrement adapté à la forme des signaux produits par le détecteur qui le précède.

Le principe du circuit repose sur la comparaison du signal reçu avec un seuil de décision. Si le signal d'entrée est inférieur au seuil, aucune impulsion n'est reçue et le signal de sortie reste à 0V ; si le signal dépasse le seuil, une impulsion est reçue et le signal passe à 1 (Vdd) pendant un temps minimal nécessaire pour le fonctionnement de la logique de post traitement. Dans ce contexte, le seuil de décision doit être positionné au dessus du plancher de bruit. La position du seuil par rapport au bruit fixe les performances en termes de Taux d'Erreur sur les Bits (TEB) du dispositif, mais aussi sa sensibilité. En outre, ce dispositif doit fonctionner avec des signaux ayant une bande passante allant jusqu'à 3,75GHz en FCC et de faibles niveaux (quelques dizaines de millivolts).

Le circuit de décision comprend un comparateur à seuil basé sur un inverseur polarisé suivi d'un circuit de remise en forme. L'inverseur CMOS est particulièrement bien adapté à la problématique : il consomme peu et possède une grande bande passante (>2GHz dans la technologie utilisée). Toutefois, afin de limiter la sensibilité au bruit, il doit être polarisé autour d'une tension V_p de sorte que le signal présent en entrée soit inférieur au seuil de basculement (V_b) (cf Figure 27). Le seuil de décision est alors $S_D = V_b - V_p$

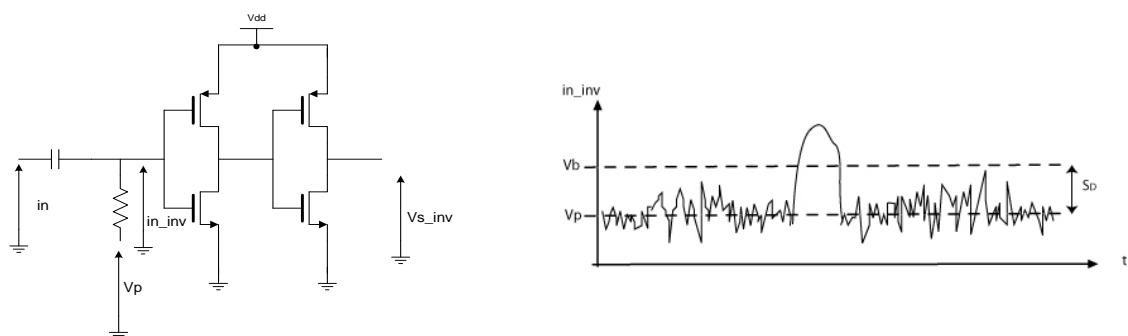


Figure 27 : Principe de la comparaison avec un inverseur polarisé.

L'inconvénient majeur de cette structure réside dans sa sensibilité au bruit. En effet, comme le montre la Figure 28.b, la plage des signaux d'entrée permettant le basculement de l'inverseur est grande. Il est alors nécessaire d'augmenter les seuils pour mieux s'immuniser du bruit ce qui réduit la sensibilité du dispositif.

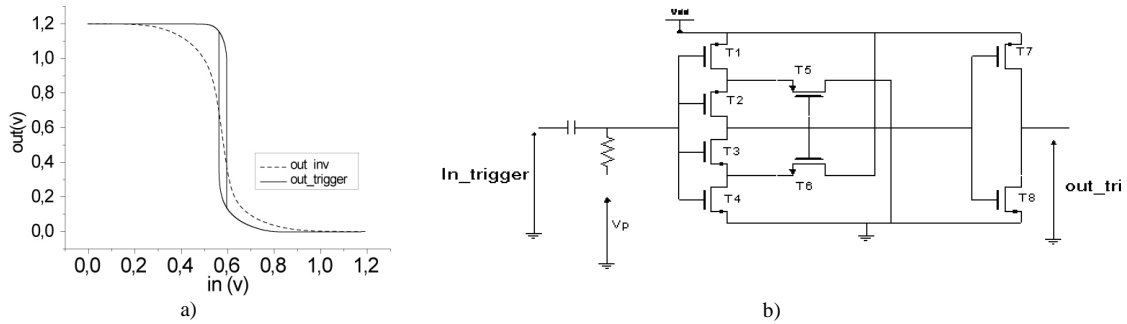


Figure 28 : a) Fonction de transfert de l'inverseur et du Trigger de Schmitt, b) Trigger de Schmitt.

L'utilisation d'un trigger de Schmitt réduit la plage de basculement (représentée sur la Figure 28.a) et donc améliore l'immunité au bruit. Le trigger est polarisé à une tension (V_p) légèrement inférieure au seuil bas (V_{th}) et le seuil haut (V_{th}) est légèrement au dessus du niveau de bruit. Cela conduit à une utilisation sensiblement identique à celle de l'inverseur simple avec, toutefois, une meilleure immunité au bruit. La valeur des seuils étant fixée par la taille des transistors T5 et T6 du schéma de la Figure 28.b, l'écart entre les deux seuils est alors figé pour une structure donnée. La probabilité que le bruit (n) excède une certaine valeur (S_D) est donnée par la fonction « queue de gaussienne » $Q(x)$ et permet de fixer l'écart entre les seuils ($S_D/2$) [1]. Dans le cas d'un bruit blanc gaussien elle correspond à la fonction de répartition :

$$(25) \quad F_n(S_D) = p(n < -S_D) = Q(S_D / \sigma_n) = p(n > S_D)$$

D'après le Tableau 3, le niveau de bruit n'excède pas 3mVeff dans le pire des cas. La probabilité pour que le bruit excède $S_D/2=15mV$ est inférieure à 10^{-7} . Toutefois, les dérives technologiques entraînent une variation des seuils (3mV et 10mV pour respectivement V_{th} et V_{th} , d'après les simulations Montécarlo établies dans la technologie visée). Cette variation doit être prise en compte dans le réglage du seuil.

En raison de la large bande passante du trigger, des commutations intempestives peuvent avoir lieu en raison des composantes HF (à f_0) encore présentes en sortie de l'intégrateur. Un dernier étage de mise en forme est alors nécessaire pour rendre le signal exploitable par un dispositif digital. Cette mise en forme revient à filtrer le signal en sortie du trigger, toutefois l'ajout d'un filtre élargirait l'impulsion ce qui limiterait le potentiel en termes de débit. En effet, en raison des bonnes performances des cellules digitales de la technologie, il n'est nul besoin de trop élargir l'impulsion finale. Une impulsion de largeur 1ns est largement suffisante pour faire basculer les inverseurs qui ont une bande passante $>2GHz$. Le dispositif présenté à la Figure 29 permet de réaliser un filtrage dissymétrique des fronts. Pour le premier

inverseur, lors d'un front montant, la capacité de charge constituée par l'inverseur suivant (C_L) se charge à travers le transistor N du premier étage avec une constante : $\tau_m = R_{d_n} \cdot (C_L + C_{db_n} + C_{db_p})$. Lors d'un front descendant, C_L se charge via le transistor P avec une constante : $\tau_d = R_{d_p} \cdot (C_L + C_{db_n} + C_{db_p})$. En jouant sur la taille des transistors, il est alors possible de laisser passer les fronts montants et de ralentir les fronts descendants ce qui permet de filtrer les commutations intempestives tout en conservant une impulsion étroite.

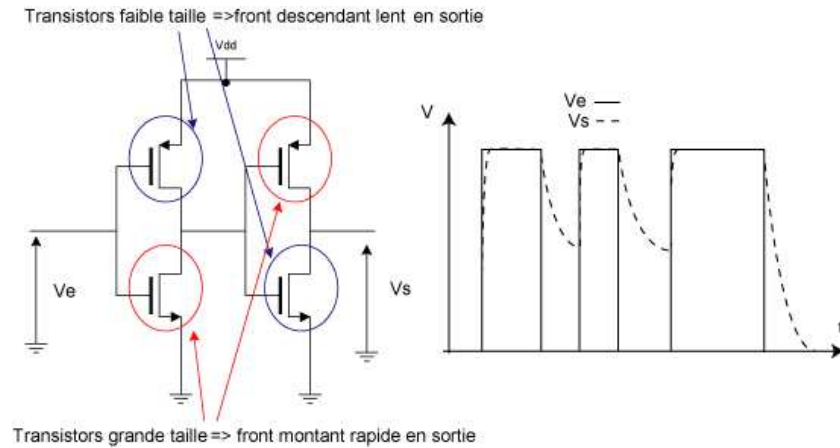


Figure 29 : Filtrage par inverseur.

Un autre avantage de ce dispositif réside dans sa faible consommation puisqu'il n'est pas polarisé. Il est alors possible de le dupliquer plusieurs fois pour améliorer le filtrage sans pour autant pénaliser la consommation.

3.3.4 Résultats

La simulation du dispositif avec les paramètres de la technologie CMOS 0.13 μ m de ST-Microelectronics permet d'évaluer les signaux en différents points de la chaîne. Les résultats de la simulation sont présentés sur la Figure 30 pour une impulsion FCC générée à partir de l'excitation d'un filtre Tchebychev dans les conditions données par le Tableau 3 ($V_{in} = 40mV_{cc}$ et $V_{bruit} = 2mV_{ef}$). Dans ces conditions, le gain de conversion entre l'entrée du détecteur non-linéaire et la sortie de l'amplificateur est de 10dB (avec un gain de 0dB pour le détecteur non-linéaire seul). La courbe de la Figure 30.b montre que l'amplificateur filtre assez peu les composantes HF, en raison de son ordre faible et de sa fréquence de coupure (réglée à f_p) qui est seulement à une octave de f_0 . Cela entraîne l'utilisation de quatre filtres à inverseur en sortie du trigger. Toutefois, la présence d'harmoniques haute fréquence en entrée du trigger améliore la sensibilité dans la mesure où la bande passante du dispositif est suffisamment

large pour les détecter et qu'un filtre les élimine en aval. La largeur des impulsions en sortie du détecteur est de 2,5ns. L'élargissement des impulsions est essentiellement lié à la bande passante de l'amplificateur. Une telle largeur permet un post-traitement aisé des données et fixe le débit maximal de cette structure estimé à 400Mbs^{-1} .

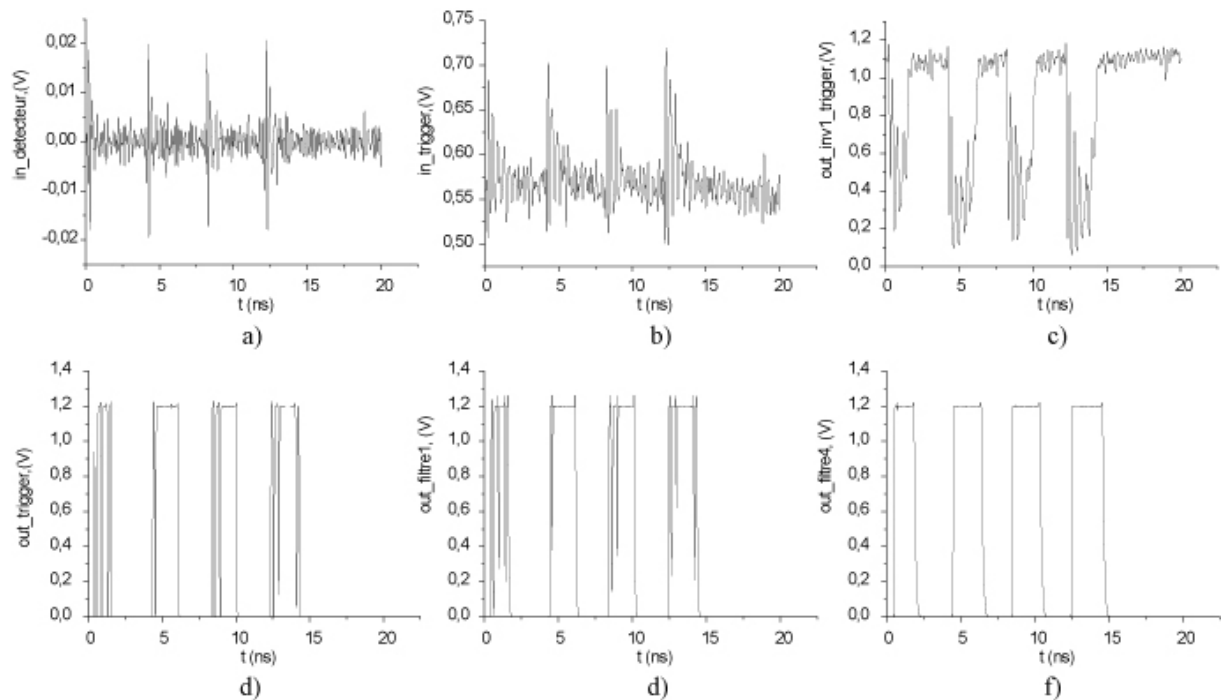


Figure 30 : Simulation du détecteur d'impulsions.

Sur le plan de la sensibilité, les simulations montrent que le signal peut être détecté jusqu'à une valeur de 40mVcc . Toutefois, une évaluation précise de la sensibilité par le TEB n'est pas possible en raison de la complexité du circuit et des temps de simulation trop long.

Le circuit a été réalisé, la partie active occupe seulement $0,06\text{mm}^2$ et il consomme 2.4mW . Des mesures de BER (Figure 31) ont été effectuées pour une impulsion FCC réalisée à l'aide du générateur présenté au CH II 3.2, et ce, pour un débit de 36Mbs^{-1} qui est le débit limite pour ce générateur. Le seuil de décision peut être réglé ($V_{\text{ctrl}}=0,28$) afin d'atteindre une sensibilité de 140mV_{pp} pour un TEB de 10^{-3} . Dans ce cas, le plancher de BER due aux commutations intempestives est de $2 \cdot 10^{-4}$. Cette sensibilité peut être réduite à 100mV_{pp} pour un TEB de 10^{-2} avec un plancher de $6 \cdot 10^{-3}$ seulement. La simulation ne permettant pas d'évaluer la sensibilité à partir du BER, il est difficile de comparer les résultats de mesure à ceux obtenus en simulation. Toutefois, cette sensibilité semble au dessus de celle estimée en simulation. Cet écart s'explique d'abord par la difficulté de régler manuellement le seuil de

décision (V_{ctrl}). Cela met en avant la nécessité de développer un système automatique précis, basé sur le comptage des commutations intempestives engendrées par le bruit pendant un intervalle de temps donné. D'autre part, les conditions de mesure sont difficiles en raison de la nature très large bande du dispositif. Ici l'utilisation d'une sonde active très bruyante ainsi que la présence d'importants parasites, liés à l'environnement, limitent la précision des mesures réalisées.

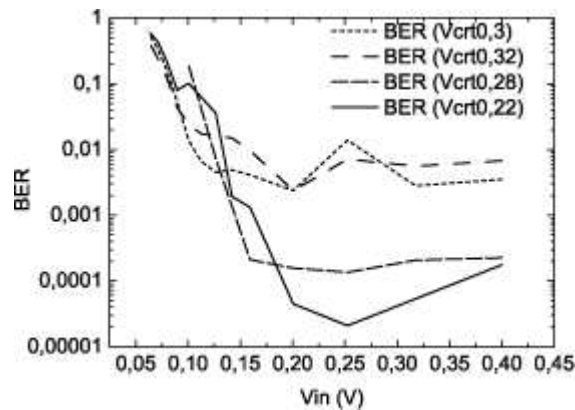


Figure 31 : Mesures du BER du détecteur en fonction de la tension d'entrée (V_{pp}).

3.4 Conclusion

Les éléments (LNA et détecteur) constitutifs d'un récepteur non-cohérent pour les bandes FCC et ECC ont été étudiés et réalisés. Les performances de ces circuits permettent d'estimer le potentiel d'un E/R réalisé à partir des générateurs présentés au CH II. Les principales caractéristiques du système pour la bande FCC sont résumées dans le Tableau 4.

Tableau 4 : Caractéristiques prédictives d'un E/R pour la bande FCC.

E				R				Tot		
Pdc	Ae	Vout	Pdc	Ae	Se	Se**	Se*	Pdc	Ae	BER portée
@200MHz				@36MHz	@36MHz	@36MHz				
(mW)	(mm ²)	(Vpp)	(mW)	(mm ²)	(Vp)	(fJ)	(dBm)	(mW)	(mm ²)	(m)
4,56	0,5	1,42	18	0,4	0,00465	8,6E-05	-85,1	23	0,94	10 ⁻² 1.01

*Estimation à partir de l'équation (1), **Estimation à partir de la sensibilité en puissance (P/Ds)

Pour la bande FCC, le bilan de liaison réalisé à partir des performances mesurées montre qu'il est possible d'atteindre une portée de 1 mètre à 10^{-2} de BER et 0,7m à 10^{-3} . Ces performances sont en dessous de celles visées mais montre la faisabilité du système. En effet, le S/N en sortie du LNA étant très élevé, il est d'abord possible d'ajouter un étage de gain pour

augmenter la portée. Il est ensuite possible d'augmenter le nombre d'impulsions codant un « 1 » et de réaliser un intégrateur numérique. D'autre part, sur le plan de la sensibilité, la performance de ce dispositif en termes d'énergie est très bonne. Cela montre que la limitation de la portée est essentiellement due à la faible énergie de l'impulsion émise en raison de la très large bande utilisée. En effet, il serait possible (légalement) d'augmenter l'énergie émise en utilisant un débit plus modéré et une plus forte amplitude. Toutefois, il semble actuellement difficile de dépasser les amplitudes déjà atteintes. Une autre solution pour augmenter l'énergie reste la diminution de la bande. En effet, l'utilisation de bande plus étroite comme celle préconisée par IEEE permet d'augmenter considérablement l'énergie tout en restant compatible avec les normes. Toutefois, dans cette hypothèse, il ne sera pas possible d'atteindre les consommations que réalisent les générateurs qui utilisent la totalité de la bande FCC.

4 CONCLUSION

Dans ce chapitre nous avons présenté une étude sur l'état de l'art des récepteurs pour les applications UWB-IR. Cette étude montre la difficulté de prédire la consommation d'un circuit à partir de son architecture. Toutefois, elle met en évidence que les systèmes UWB-IR rendent possible une gestion de l'énergie efficace permettant ainsi de réduire d'une décade la consommation totale. Sur ce plan, il a été remarqué qu'actuellement très peu de récepteurs utilisent au mieux les propriétés de l'UWB-IR en matière de gestion de l'énergie et que l'énergie consommée par bit reste très dépendante du débit (signe que les récepteurs consomment de l'énergie entre deux impulsions reçues). En outre, il est apparu que les récepteurs non-cohérents ont une bonne sensibilité et qu'ils réalisent le meilleur compromis puissance consommée / sensibilité. Sur ce plan, les structures régénératives semblent être les plus performantes avec toutefois l'inconvénient d'être dépendantes d'une synchronisation.

Le récepteur non-cohérent que nous avons étudié au laboratoire a ensuite été présenté. Sur la base des performances des générateurs présentés au précédent chapitre, un bilan de liaison prédictif a permis de spécifier les principales grandeurs des éléments pour répondre aux applications WBAN. Les différents éléments constitutifs du système ont alors été décrits. Les méthodes de dimensionnement de LNA que nous avons mis en place, basées sur la maximisation du gain et la minimisation du facteur de bruit, nous ont permis notamment de

réaliser des circuits pour les bandes FCC et ECC. Ces dispositifs affichent des performances légèrement au dessus des spécifications, permettant ainsi de relâcher les contraintes sur le reste du système. Le détecteur d'énergie a ensuite été présenté. Ce dispositif utilise des transistors polarisés sous le seuil pour réaliser la non-linéarité nécessaire à la détection d'énergie ainsi qu'un amplificateur pour la détection de l'enveloppe. Grâce à une approche analytique, le gain de conversion a été maximisé dans le cas de signaux FCC et ECC et la sensibilité mesurée du dispositif est de 80mV pour les signaux FCC (bande passante de 7,5GHz autour de 6.85GHz).

A partir des performances mesurées des différents dispositifs, nous avons évalué les performances globales du système. La sensibilité du récepteur (LNA plus détecteur) est à l'état de l'art et la puissance consommée reste dans la moyenne de celle des détecteurs d'énergie. Sur le plan de la liaison, pour un signal FCC, la portée est aux alentours de 1m en raison de la faible énergie des impulsions FCC. Toutefois il semble que le dispositif puisse encore être amélioré grâce à un étage de gain supplémentaire ou bien un intégrateur numérique. Cette étude montre que les impulsions FCC ne permettent pas, avec un détecteur d'énergie, de dépasser des distances de quelques mètres avec une technologie CMOS 0,13 μ m. Toutefois, en raison de leur faible durée temporelle, les impulsions FCC possèdent le meilleur potentiel en termes d'énergie consommée et restent de bonnes candidates pour les applications à portée limitée (WBAN-WPAN). Enfin, bien que moins finalisé, le système ECC pourrait permettre de gagner les quelques mètres nécessaires pour réaliser un système plus opérationnel. En effet, les gains des LNA sont meilleurs et la bande ECC permet d'émettre des impulsions à plus haut niveau d'énergie pour un débit légèrement réduit comparativement à la bande FCC.

5 RÉFÉRENCES

- [1] Proakis; "Digital Communication" Mc Graw Hill.
- [2] Marian Verhelst and Wim Dehaene; "Analysis of the QAC IR-UWB Receiver for Low Energy, Low Data-Rate Communication"; IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS, VOL. 55, NO. 8, SEPTEMBER 2008. pp 2423-2432
- [3] Yuanjin Zheng; Yan Tong; Chyuen Wei Ang; Yong-Ping Xu; Wooi Gan Yeoh; Lin, F.; Singh, R.; " A CMOS Carrier-less UWB Transceiver for WPAN Applications"; Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International 6-9 Feb. 2006 Page(s):378 - 387.
- [4] Wim Vereecken, Michiel S.J. Steyaert, " An I/Q based CMOS Pulsed Ultra Wideband Receiver Front End for the 3.1 to 10.6 GHz Band"; Solid-State Circuits Conference, 2006. ASSCC 2006. IEEE Asian13-15 Nov. 2006 Page(s):75 - 78.

- [5] Nick Van Helleputte, and Georges Gielen; "A 70 pJ/Pulse Analog Front-End in 130 nm CMOS for UWB Impulse Radio Receivers" *Solid-State Circuits, IEEE Journal of*; Volume 44, No 7, July 2009 Page(s):1862 – 1871
- [6] Julien Ryckaert, Mustafa Badaroglu, Vincent De Heyn, Geert Van der Plas, Pierluigi Nuzzo, Andrea Baschiroto, Stefano D'Amico, Claude Desset, Hans Suys, Michael Libois, Bart Van Poucke, Piet Wambacq, Bert Gyselinck; "A 16mA UWB 3-to-5GHz 20Mpulses/s Quadrature Analog Correlation Receiver in 0.18 μ m CMOS", *Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International* 6-9 Feb. 2006 Page(s): - .
- [7] Frank Zhang, Ranjit Gharpurey and Peter Kinget; "A 3.1-9.5 GHz Agile UWB Pulse Radio Receiver with Discrete-Time Wideband-IF Correlation in 90nm CMOS", *RFIC 2008*.
- [8] Smaini, L.; Tinella, C.; Helal, D.; Stoecklin, C.; Chabert, L.; Devaucelle, C.; Cattenoz, R.; Rinaldi, N.; Belot, D.; "Single-chip CMOS pulse generator for UWB systems"; *Solid-State Circuits, IEEE Journal of*; Volume 41, Issue 7, July 2006 Page(s):1551 – 1561.
- [9] PULSERS Project at Imperial College; European Project; <http://www.commsp.ee.ic.ac.uk/~wiser/pulsers/>
- [10] Bourdel, S.; Gaubert, J.; Battista, M.; Bachelet, Y.; Bas, G.; "CMOS UWB transceiver for Impulse Radio"; *Ultra-Wideband, 2007. ICUWB 2007. IEEE International Conference on* 24-26 Sept. 2007 Page(s):188 – 193.
- [11] Fanaei, A.; Pannier, P.; Gaubert, J.; Battista, M.; Bachelet, Y.;" Substrate noise in LC-matched ultra wide-band low noise amplifier of UWB systems" *Electron Devices and Solid-State Circuits, 2007. EDSSC 2007. IEEE Conference on*; 20-22 Dec. 2007 Page(s):469 - 472
- [12] Yuanjin Zheng, Yan Tong, Jiangnan Yan, Yong-Ping Xu, Wooi Gan Yeo', Fujiang Lin; "A Low Power Noncoherent CMOS UWB Transceiver ICs"; *2005 IEEE Radio Frequency Integrated Circuits Symposium*.
- [13] Fred S. Lee, Anantha P. Chandrakasan, "A 2.5nJ/b 0.65V 3-to-5GHz Subbanded UWB Receiver in 90nm CMOS"; *ISSCC 2007. Digest of Technical Papers. IEEE International*; 11-15 Feb. 2007 Page(s): 201-203
- [14] Fred S. Lee and Anantha P. Chandrakasan, "A 2.5 nJ/bit 0.65 V Pulsed UWB Receiver in 90 nm CMOS"; *Solid-State Circuits, IEEE Journal of*; Volume 42, Issue 12, Dec 2007 Page(s): 2851-2859.
- [15] Yuan Gao, Yuanjin Zheng, Chun-Huat Heng, "Low-Power CMOS RF Front-end for Non-Coherent IR-UWB Receiver"; *Solid-State Circuits Conference, 2008. ESSCIRC 2008. 34th European*; 15-19 Sept. 2008 Page(s):386 - 389
- [16] Yuanjin Zheng, King-Wah Wong, M. Annamalai Asaru, Dan Shen, "A 0.18pm CMOS Dual-Band UWB Transceiver"; *Digest of Technical Papers. IEEE International*; 11-15 Feb. 2007 Page(s): 114-115.
- [17] Prakash.E.Thoppay,Catherine Dehollain and Michel J.Declercq, "A 7.5mA 500 MHz UWB receiver based on Super-regenerative principle" *Solid-State Circuits Conference, 2008. ESSCIRC 2008. 34th European* 15-19 Sept. 2008 Page(s):382 – 385
- [18] Pelissier, M.; Morche, D.; Vincent, P.; " Super-Regenerative Architecture for UWB Pulse Detection: From Theory to RF Front-End Design"; *Circuits and Systems I: Regular Papers, IEEE Transactions on* Volume 56, Issue 7, July 2009 Page(s):1500 – 1512
- [19] David D. Wentzloff, Fred S. Lee, Denis C. Daly, Manish Bhardwaj,Patrick P. Mercier, and Anantha P. Chandrakasan, "Energy Efficient Pulsed-UWB CMOS Circuits and Systems"; *Ultra-Wideband, 2007. ICUWB 2007. IEEE International Conference on*; 24-26 Sept. 2007 Page(s):282 - 287
- [20] Denis C. Daly, Patrick P. Mercier, Manish Bhardwaj, Alice L. Stone, Joel Voldman, Richard B. Levine, John G. Hildebrand, Anantha P. Chandrakasan," A Pulsed UWB Receiver SoC for Insect Motion Control" ; *Solid-State Circuits Conference, 2006. ISSCC 2009. Digest of Technical Papers. IEEE International* 10 Feb. 2009 Page(s): 200-201
- [21] Battista, M.; Gaubert, J.; Egels, M.; Bourdel, S.; Barthelemy, H.; "High-Voltage-Gain CMOS LNA For 6–8.5-GHz UWB Receivers "; *Circuits and Systems II: Express Briefs, IEEE Transactions on* Volume 55, Issue 8, Aug. 2008 Page(s):713 – 717
- [22] Battista, M.; Gaubert, J.; Egels, M.; Bourdel, S.; Barthelemy, H.; 6-10 GHz ultra-wideband CMOS LNA *Electronics Letters* Volume 44, Issue 5, Feb. 28 2008 Page(s):343 – 344
- [23] A. Bevilacqua, A. M. Niknejad, "An Ultrawideband CMOS Low Noise Amplifier For 3.1-10.6-GHz Wireless Receivers", *IEEE Journal of Solid-State Circuits*, 2004, 39, (12), pp. 2259-2268.
- [24] H-J Lee, D. S. Ha, S. S. Choi, "A 3 to 5GHz CMOS UWB LNA with Input Matching using Miller Effect", *2006 IEEE International Solid-State Circuits Conference*.
- [25] Thomas H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge University Press, 1998.
- [26] Behzad Razavi "Design of CMOS Integated Circuit" Ed. McGrawHill.
- [27] Perumana, B.G.; Mukhopadhyay, R.; Chakraborty, S.; Chang-Ho Lee; Laskar, J.; "A Low-Power Fully Monolithic Subthreshold CMOS Receiver With Integrated LO Generation for 2.4 GHz Wireless PAN

Applications”; Solid-State Circuits, IEEE Journal of; Volume 43, Issue 10, Oct. 2008 Page(s):2229 - 2238

Conclusion Générale

Ce document a présenté la partie de mes travaux de recherche qui portent sur la conception de circuits intégrés en technologie CMOS pour les communications UWB-IR dédiées à des applications à faible coût et à faible consommation. Ces travaux ont été réalisés à travers la direction ou la co-direction de plusieurs doctorants. Ils sont (ou étaient) en partie liés à des contrats de collaboration avec des partenaires industriels et académiques ainsi qu'à des activités de recherche personnelles. L'ensemble de ces études a débouché sur la réalisation de plusieurs circuits dont les performances correspondaient à l'état de l'art au moment où ils ont été réalisés. En outre, ces recherches ont été valorisées par des publications dans des revues et des conférences. De plus, l'ensemble des circuits réalisés s'intègre dans un système d'émission-réception complet. Les travaux présentés ici ont notamment permis de dimensionner ce système et d'optimiser son architecture et ses performances sur la base d'analyse théorique dans le cadre de normes, ceci afin de répondre au mieux à certaines applications.

La première partie de ce manuscrit décrit les signaux et les systèmes mis en œuvre dans les techniques de communication UWB-IR. Elle présente une analyse que nous avons réalisée sur les normes FCC et ECC afin d'évaluer leur impact sur les signaux dans le cas de différentes modulations. Cette analyse a permis notamment de comparer les principales modulations mais aussi d'évaluer les limites que ces normes imposent sur le signal (débit et amplitude en particulier). La connaissance de ces limites a ensuite permis de définir certaines caractéristiques d'un E/R non-cohérent à faible coût et à faible consommation permettant de répondre à des applications spécifiques (RFID et WBAN).

Des méthodes de conception pour la génération de signaux UWB-IR ont ensuite été présentées dans le deuxième chapitre. Les différents générateurs qui ont été réalisés au laboratoire sont détaillés et comparés à ceux décrits dans la littérature. Sur la base des analyses développées dans le premier chapitre, nous avons notamment proposé des méthodes de dimensionnement permettant de maximiser l'amplitude des impulsions produites dans une bande de fréquence. Dans cette partie nous présentons aussi les méthodes que nous avons développées afin de réduire l'énergie consommée par impulsion dans le but de répondre aux besoins des applications RFID. Enfin les architectures que nous avons proposées pour réaliser des générateurs totalement programmables ont aussi été décrites ici.

Dans la dernière partie ont été présentés les travaux que nous avons menés sur les récepteurs non-cohérents. Après un état de l'art sur les différentes architectures de récepteurs, les travaux réalisés sur la conception de LNA ont été abordés. Les méthodes de conception basées sur l'optimisation du facteur de bruit que nous avons développées sont décrites et validées par des circuits réalisés pour les normes FCC et ECC. Le circuit de détection que nous avons mis en oeuvre ainsi qu'une méthode pour son dimensionnement ont ensuite été détaillés. Enfin, sur la base des mesures de chaque élément du système, une analyse du fonctionnement global a été réalisée et ses limites mises en évidence.

Les perspectives pour ces travaux sont multiples. Sur le plan de l'intégration, des études sur l'interconnexion avec les antennes ont été initiées afin de mettre en place des méthodologies permettant de prendre en compte ces interconnexions dans la conception des générateurs et des LNA. D'autre part, sur le plan de la génération, il semble actuellement difficile de dépasser les amplitudes atteintes aujourd'hui, toutefois des travaux sur l'optimisation de la consommation et les possibilités de programmation des générateurs doivent être encore menés, notamment dans la perspective de réaliser des systèmes RFID hybride (UHF-UWB). Enfin, sur le plan des E/R pour les WBAN, plusieurs pistes sont à envisager pour optimiser le système. D'une part, une gestion de l'alimentation permettrait de réduire drastiquement la consommation du récepteur. Cette gestion nécessite des circuits d'accélération de la mise sous tension et aussi, la mise en oeuvre d'une synchronisation permettant d'éteindre et d'allumer le LNA. D'autre part, la migration du système vers des bandes plus étroites permettrait d'augmenter la sélectivité en fréquence et aussi d'augmenter l'énergie de l'impulsion reçue et donc d'améliorer la portée.

Publications

*Sélection des Principales Publications Associées aux Travaux
Réalisés*

AVANT PROPOS

Les trois premières publications présentées ici sont liées aux travaux réalisés dans le cadre de la thèse de Nicolas Dehaese sur la spécification et la modélisation de systèmes radiofréquences pour des applications à faible coût pour la bande 2.45GHz. [1] décrit le système qui a été réalisé sur la base des spécifications établies au cours de la thèse. [2] expose le principe d'un démodulateur asynchrone innovant, particulièrement adapté aux nécessités de faibles coûts de la norme ZIGBEE et qui a fait l'objet d'un brevet international. Enfin [3] donne une méthode de conception d'amplificateur de puissance par optimisation du PAE pour des systèmes ZIGBEE qui a été présenté dans la revue AICSP.

Les trois publications suivantes décrivent les principaux travaux publiés sur la partie génération d'impulsions. [4] qui fournit les résultats sur la méthode de génération par filtrage d'impulsion bande de base, met particulièrement en perspective l'importance de l'approche théorique développée dans la première partie de ce mémoire. [5] et [6] sont des lettres, publiées dans des délais brefs, décrivant des architectures de générateurs d'impulsions.

Présentant les résultats obtenus pour différents LNA et générateurs, [6] fait le lien entre ces différents dispositifs à travers une analyse du système à corrélation digitale. Enfin, les deux dernières publications sont focalisées sur les LNA : [8] développe la méthode de conception pour les LNA ECC alors que [9] détaille les techniques utilisées pour la bande FCC.

- [1] H. Barthélemy, S. Bourdel, N. Dehaese, M. Egels, J. Gaubert, P. Pannier, G. Bas "RF CMOS transceiver for 802.15.4 SoC"; IEEE Radio and Wireless Symposium (RWS 2006) - San-Diego, Janvier 2006.
- [2] N. Dehaese, S. Bourdel, H. Barthélemy, G. Bas; "Simple Demodulator for 802.15.4 Low-Cost Receivers" IEEE Radio and Wireless Symposium (RWS 2006) - San-Diego, Janvier 2006.
- [3] N. Dehaese, S. Bourdel, J. Gaubert, Y. Bachelet and H. Barthélemy; "Design Method for CMOS Current-source Modes Power Amplifiers based on PAE Optimization"; Analog Integrated Circuits and Signal Processing, Mixed Signal Letter, Vol. 49, n°2, Novembre 2006.
- [4] S. Bourdel, Y. Bachelet, J. Gaubert, R. Vauché, O. Fourquin, N. Dehaese, and H. Barthelemy; "A 9pJ/Pulse 1.42Vpp OOK CMOS UWB Pulse Generator for the 3.1-10.6 GHz FCC Band" Microwave Theory and Techniques, IEEE Transaction on; To be published in the January issue of 2010
- [5] Bachelet, Y.; Bourdel, S.; Gaubert, J.; Bas, G.; Chalopin, H.; "Fully integrated CMOS UWB pulse generator" Electronics Letters, Volume 42, Issue 22, Oct. 26 2006, Page(s):1277 – 1278
- [6] S. Bourdel, Y. Bachelet, J. Gaubert, M. Battista, M. Egels, N. Dehaese, "Low-Cost CMOS Pulse Generator for UWB Systems," Electronic Letters, vol. 43, issue 25, pp. 1425-1427, 6 December 2007
- [7] S. Bourdel; J. Gaubert; Battista, M.; Bachelet, Y.; Bas, G.; "CMOS UWB transceiver for Impulse Radio"; Ultra-Wideband, 2007. ICUWB 2007. IEEE International Conference on 24-26 Sept. 2007 Page(s):188 – 193.
- [8] Battista, M.; Gaubert, J.; Egels, M.; Bourdel, S.; Barthelemy, H.; "High-Voltage-Gain CMOS LNA For 6–8.5-GHz UWB Receivers"; Circuits and Systems II: Express Briefs, IEEE Transactions on Volume 55, Issue 8, Aug. 2008 Page(s):713 – 717
- [9] Battista, M.; Gaubert, J.; Egels, M.; Bourdel, S.; Barthelemy, H.; "6-10 GHz ultra-wideband CMOS LNA"; Electronics Letters Volume 44, Issue 5, Feb. 28 2008 Page(s):343 – 344

RF CMOS transceiver for 802.15.4 SoC

H. Barthélemy¹, S. Bourdel¹, N. Dehaese¹, M. Egels¹, J. Gaubert¹, P. Pannier¹, G. Bas²

¹L2MP UMR CNRS 6137 Polytech'Marseille, IMT Technopôle de Château Gombert, 13451 Marseille Cedex 20, France

²ST Microelectronics, ZI de Rousset, B.P. 2, 13106, CEDEX, France

Abstract — Feasibility of low cost 2.4 GHz RF CMOS transceiver for the 802.15.4 standard is demonstrated. The system architecture and its constitutive blocs are designed to achieve low cost and low power consumption. The implementation in a 0.28 μm standard CMOS process and the packaging methodology to reduce the digital noise is also presented and discussed.

Index Terms — Radio Transceivers, CMOS Analog Integrated Circuit, Power Amplifier, Low Noise Amplifier, Layout, Packaging.

I. INTRODUCTION

The growth in the wireless personal area network (WPAN) market leads to the 802.15.4 IEEE standard (ZigBee) definition. The main goal of ZigBee is to reduce the chip cost production and the chip power consumption by relaxing some constraints like bit rate, channel rejection and range. To be around 1\$ per unit, such transceivers must be integrated using low-cost technology like standard CMOS technology. Cost reduction is also achieved by using a low silicon area and a small number of external components. Moreover, to reach more than one year battery's life, the power consumption must be drastically optimized. In this context we present a 2.4GHz CMOS RF transceiver suitable for the 802.15.4 standard including input switch, power amplifier (PA), low-noise amplifier (LNA), IQ mixer and its associated buffers. This transceiver has been optimized to reduce the silicon area, the number of external components and the total power consumption.

Section II presents the whole system in order to fix the main constraints on the RF transceiver performances such as sensitivity, noise factor or power consumption. Section III presents the design of the transceiver blocs (LNA, IQ-mixers buffer, and PA). Section IV presents the transceiver layout and the packaging methodology. Simulation results are reported in section V. Section V also concludes this paper.

II. TRANSCEIVER ARCHITECTURE

A. SoC Description

The transceiver is a part of the 'system on chip' described on Fig. 1. On the transmit path, the system uses a direct VCO modulation technique and on the receive path, it uses a zero intermediate frequency zero cross detection (ZIFZCD) technique. Such a topology is well suited for low-cost and low power SOC because it uses zero intermediate frequency (ZIF) technique, and only one bit ADC. It avoids the use of automatic gain control (AGC) and I/Q modulators, and it optimises the number of components to be implemented [1].

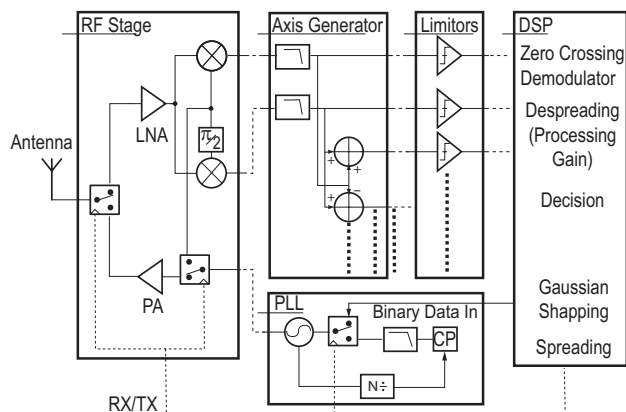


Fig. 1. Bloc Diagram of whole transceiver SoC.

B. Budget Link

According to the IEEE 802.15.4 standard [2], in the 2.4 GHz band, the emitted power (P_e) is around 0 dBm and the maximal range is about 20m. If we assume a 15 dB fade margin (due to multipaths) the receiver sensitivity (S_e) is -82 dBm (-85 dBm is recommended by the standard). A 2 Mchips⁻¹ chip rate modulated with O-QPSK technique leads to a 2.4 MHz band-width. So, the noise power at the RF input is :

$$N = -174 + 10 \log(2.4 \cdot 10^6) = -110.2 \text{ dBm} \quad (1)$$

This leads to a 28.2 dB input signal to noise ratio (SNR). In 802.15.4, the packet error rate must be less than 1% and the packet average length is 22 bytes. This leads to a bit error rate (BER) under $5.7 \cdot 10^{-5}$. According to [3] the SNR (signal to noise ratio) at the ZIFZCD demodulator input must be around 14 dB to reach a $3 \cdot 10^{-5}$ BER if the system uses 16 axis (around 17 dB for 8 axis). Such considerations imply that the cumulative (RF receiver and axis generator) noise factor (NF_{TOT}) can not exceed 14.2dB. According to the Friss formula, if we assume that the axis generator NF does not exceed 32 dB, the total noise factor NF_{TOT} would not exceed 14 dB with a 20 dB RF stage gain and an 8 dB RF stage NF. Because the system uses limiters and constant envelope modulation, the constraint on the cumulative IIP3 is quite relaxed. Fixing the RF stage IIP3 to the maximum power received (at 10cm) gives a comfortable margin against non linearity effect.

$$IIP_{3_{RF}} = P_{r_{max}} = 0 - 20 \log\left(\frac{4\pi \cdot 10^{-2}}{0.1224}\right) = -20 \text{ dBm} \quad (2)$$

C. Power Consumption and Surface Area Target

Considering two 3A type batteries which provide about 1175mAh under 3V, the total power consumption of the RF stage should not exceed 40 mW and 100 mW for the whole system and for one year of operation (15 mW for the base-band stage, 25 mW for the synthesizer and 20 mW for the digital signal processor). This estimation has been made by considering a 0.1% duty cycle of use and an additional idle time power consumption around 0.1% of power consumption in active mode. Note that additional information concerning power consumption and surface area estimations is available in [4]. Here, concerning cost production for a 0.28 μm CMOS standard technology, to reach 1\$ chip unit cost, estimation of the total SOC surface should not exceed 2 mm^2 (half size for the RF part) and the use of high performance chip package is prohibited.

D. RF Stage Specifications

The main specifications of the RF stage are summarized in Table 1.

TABLE I
SUMMARY OF THE RF STAGE SPECIFICATIONS

Pe	Se	G	NF	IIP3	Surface Area	Power consump.
0dBm	-82dBm	20dB	8dB	20dBm	<1 mm^2	<40mW

At least, those predictive specifications do not take into account the benefit of the processing gain (due to the despreading section) in order to compensate estimation errors.

III. DESIGN METHOD

In this part design key points of the transceiver are presented. Simulation results are obtained with a 0.28 μm CMOS foundry design-kit.

A. LNA and Antenna Switch

Inductively degenerated LNAs are generally used [3]. These LNAs carry out 50 Ω input impedance matching and low noise figure but only for an optimum value of the input circuit quality factor Q. At RF frequencies this optimum Q factor cannot be achieved with fully integrated inductors. In low cost SOC applications, the use of off-chip elements is a major drawback. To solve this problem we proposed a new design method for fully integrated LNA [5] where the 50 Ω input matching is provided by a π network topology. The electrical description of the LNA is given in Fig. 2. B where L_2 and the π network elements values L_1 , C_1 and C_2 take into account the antenna switch (Fig. 2. A), the pad, the bond wire, and the package parasitic.

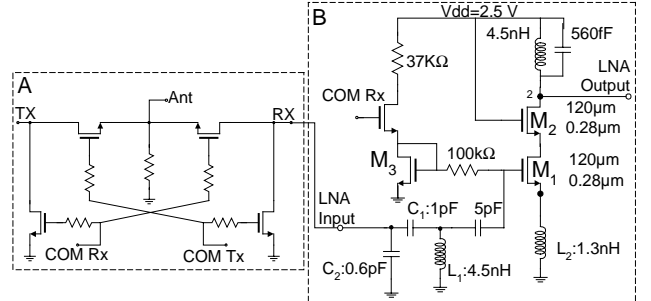


Fig. 2. Electrical description of the LNA and the antenna switch

The antenna switch is fully integrated and based on series shunt topology. 150 μm width provides less than 1 dB signal attenuation between Ant and Rx or Tx and 40 dB isolation between Tx and Rx. Resistors are used to isolate DC from the RF signal.

B. Mixer and LNA-IQ-Mixer-Buffer

The use of active mixer increase the receiver gain and requires lower LO power consumption than their passive counterparts. Taking into account this consideration, a double balanced Gilbert mixer has been developed. The

transistors widths are chosen to achieve the best trade-off between, conversion gain and noise performances.

To drive the I and Q fully differential mixers (Fig. 1) the LNA output single ended RF signal is split by the LNA-IQ-mixers buffer described in Fig. 3. in two differential signals for the 0° and 180° path. This fully differential architecture achieve a high isolation between the LNA and the IQ mixers.

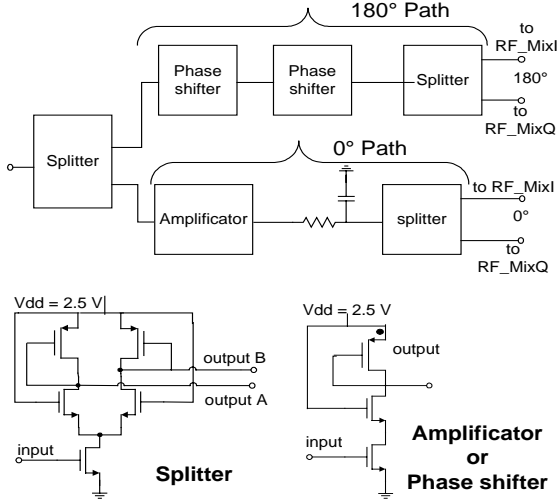


Fig. 3. LNA IQ mixers buffer.

This buffer is made of voltage splitter, amplifier, and phase shifter blocs. Amplifier and phase shifter use the same cascode topology where only the width of transistors are different to achieve the 180° phase difference between the two path with the same voltage gain. A RC circuit is added for the final tuning.

C. Power Amplifier

Three mains parameters are generally considered in the design of PA. The first one is the output power, which is around 0 dBm for 802.15.4 applications. The second one is the linearity of the device. In 802.15.4 standard, a constant envelope modulation is used (O-QPSK). Consequently, the PA linearity is not a critic factor. And, the last one is the Power Added Efficiency (PAE) defined as :

$$PAE = \frac{P_{RF, out} - P_{RF, in}}{P_{DC}} \quad (3)$$

From this definition, it is obvious that, in a low-cost problematic, to reduce the consumed power, the PAE parameter has to be optimized. In other hand, one of the main challenges in analog RF CMOS design, including PA design, is to realize fully integrated circuits because on-

chip CMOS inductors exhibit a low quality factor [6]. Moreover, as the inductors occupy large silicon area, our objective is to design a PA with the lowest number of inductors without off-chip component.

The next step in the design of the PA is to choose the class of operation, which defined the portion of the RF cycle over which the power transistor conducts. Switched-classes are generally used when a high PAE is needed. In these classes, the power transistors are driven by a square signal. But, in the designed SOC, the modulator (built from a PLL) generates a sinusoidal signal, which means that an additional complex driven system has to be implemented if switched-classes are used. Moreover, many inductors are often needed with such PA topologies. Finally, switched-classes are best suited for high output power, which is not the case in 802.15.4 applications.

From these considerations, we decide to implement a sinusoidal-class PA. The class C has been chosen for its high efficiency [6]. Fig. 4 shows the PA schematic.

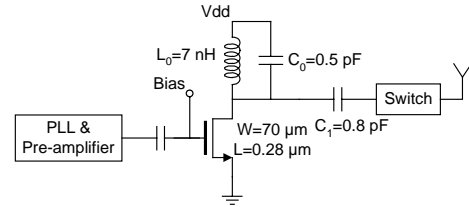


Fig. 4. PA schematic.

After the modulator (PLL), a simple pre-amplifier stage without inductor has been implemented to set the amplitude of the sinusoidal input signal.

Considering a 1 dB of losses in the RF switch, the transistor must generate 1 dBm at the PA power output. For that, at the transistor drain, the equivalent loading impedance formed by the matching network L_0 , C_0 , C_1 should be equal to $R = 1.6k\Omega$ ($R = V_{SWING}^2 / 2P_n$ where V_{SWING} is the maximum voltage that can be applied at the transistor drain). Moreover, the inductor is also used both to choke the alimentation and to attenuate the current harmonics. The transistors size has also been sized to maximize the PAE.

IV. TRANSCIEVER LAYOUT AND PACKAGING

The SOC described in Fig. 1 has been designed in a 0.28 μm CMOS process and will be housed in a 64 pin BGA package. Fig. 5 shows the transceiver layout part including the pad ring. To integrate on the same chip RF and digital functions, the substrate and the package coupling must be minimized. Additionally at carrier frequency effects of interconnects are not accurately

modeled by the design kit. Consequently high frequency interconnections must be properly designed to reduce parasitic effects and accurately modeled by EM simulations.

A. Digital Noise Reduction

To minimize substrate coupling all sensitive interconnections are shielded. In this way the bottom metal layer level M_1 is connected to the external ground and act as a shield between the substrate and the upper metal layers. In the transceiver part interconnections are designed with the top layers metal and are isolated from the noisy substrate. This shielding technique, evaluated by EM simulations, achieve a substantial decrease in interconnections cross-talk.

In order to reduce the digital noise in the RF transceiver area effect of the package parasitic and especially the self inductance of the bond wires must be minimized. In this way the local ground of the RF transceiver (bottom metal layer level M_1) is connected to the external ground by 8 bond wires to minimize the common impedance (see Fig. 5). The local V_{DD} of the transceiver is connected to the external V_{DD} by 3 bond wires. Additionally on-chip decoupling capacitors are used to reduce the supply noise. These capacitors are localized near each sensitive blocs of the transceiver and connected to the local ground M_1 with the shortest interconnections length. Finally the ESD protection of the transceiver pad ring is physically separated from the digital pads.

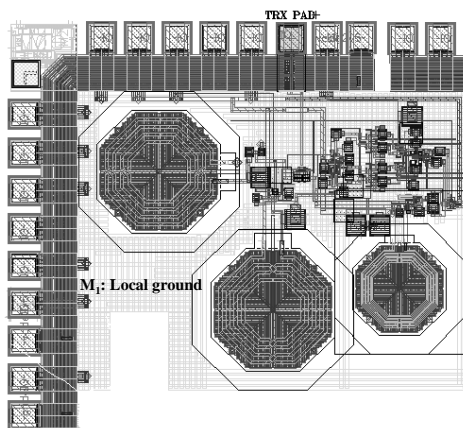


Fig. 4. RF Transceiver Layout.

B. High Frequency Interconnection Design

Micro-strip lines with low characteristic impedance are used to minimize the losses in interconnections at high

frequency. These interconnections which are not included in the design kit are modelled with RLC equivalent circuits computed from simulated scattering parameters obtained from EM simulation in the 2 GHz to 6 GHz frequency band. A good trade-off between parasitic inductor and parasitic capacitance is achieved with a $7 \mu\text{m}$ width strip of the top metal layer. This value produces almost 50Ω characteristic impedance.

IV. SIMULATION RESULTS AND CONCLUSION

A summary of the post layout simulation results of the transceiver including high frequency interconnections and package models is presented in table 2. This performances meet the specification given in section II and confirm the feasibility of 2.4 GHz RF CMOS transceiver for 802.15.4 standard.

TABLE II
SIMULATION RESULTS OF THE TRANSCEIVER

RX Power consumption	19.5 mW
RX Gain	33 dB
RX NF	5 dB
RX IIP3	-20 dBm
RX Sensitivity	-85 dBm
TX Power consumption	4.5 mW
TX Output power	0 dBm
TX OIP3	10 dBm
TX PAE	26%
Total Silicon area (RX & TX)	1130*830 μm

REFERENCES

- [1] S. Bourdel ,P. Pannier, H. Barthélemy, N. Dehaese, "Low-cost Solutions for 802.15.4 RF Architectures". Annals of telecommunications, vol. 59, no 9-10. September 2004.
- [2] IEEE Standard for Information technology, IEEE 802.15.4 Specific requirements Part 15.4 : "Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate" Wireless Personal Area Networks (LR-WPANs) IEEE Standard, Octobre 2003.
- [3] H.M Kwon, K. B. Lee "A novel digital FM receiver for mobile and personal communications", IEEE Transactions on Communications, Vol. 44, No. 11, pp. 1466 –1476, Nov. 1996.
- [4] J Reunamaki "01231r2P802-15_TG4, Nokia Physical Proposal" July 2001. <http://www.ieee802.org/15/pub/TG4.html>
- [5] M. Egels, J. Gaubert, P. Pannier, S. Bourdel, "Design method for fully integrated CMOS RF LNA" Electronic Letters Vol 40 N°24 pp.1513-1514, 25th November 2004.
- [6] R. Gupta, B. M. Ballweber, and D. J. Allstot, "Design and optimisation of CMOS RF power amplifiers", IEEE Journal of Solid-State Circuits, vol. 36, pp. 166–175, Feb. 2001.

SIMPLE DEMODULATOR FOR 802.15.4 LOW-COST RECEIVERS

N. Dehaese¹, S. Bourdel¹, H. Barthélemy¹, G. Bas²

¹L2MP UMR CNRS 6137 Polytech'Marseille, IMT Technopôle de Château Gombert, 13451
Marseille Cedex 20, France

²ST Microelectronics, ZI de Rousset, B.P. 2, 13106, CEDEX, France
E-mail : nicolas.dehaese@l2mp.fr

ABSTRACT

This paper presents a simple demodulator for 802.15.4 (ZigBee) low-cost receivers. Based on a MSK interpretation of the modulation (O-QPSK) specified by the standard, the proposed demodulator is made up of an Asynchronous Zero Crossing Detector (AZCD) and of modified matched filters to recover the transmitted data. AZCD topology is simple, low cost and low power since it is mainly built with logic gates. At the output of the detector, a bank of 16 modified matched filters is used to despread and to decode the received symbols. Simulation shows that the demodulator performances (Symbol Error Rate) are good enough to fulfil 802.15.4 requirements. Indeed, the use of the proposed demodulator involves the design of zero-IF receiver with a noise factor (NF) lower than 16.5 dB, which is achievable in a low-cost CMOS process.

1. INTRODUCTION

Recently, the IEEE 802.15.4 standard (Zig-Bee) has been adopted. The standardization intent is to reduce the chip cost production and the chip power consumption by relaxing some constraints like bit rate, channel rejection and range. To be around 1\$ per unit, such transceivers must be integrated using a low-cost technology as a standard CMOS technology and the occupied silicon area must be reduced as much as possible. Moreover, to reach more than one-year battery's life, the power consumption must be drastically optimized. In such context, the design of low-cost and low power simple demodulator is then an important issue.

Moreover, performances of the demodulator greatly influence the receiver noise factor (NF) and so the receiver design. Indeed, the signal to noise ratio (S/N) that must be applied at the demodulator input to reach a given bit error rate (BER) is directly related to the NF parameter by the following relation:

$$(S/N)_{dB} = (Sensitivity)_{dBm} + 174dBm - 10\log(B) - (NF)_{dB} \quad (1)$$

Where B is the receiver noise bandwidth.

As shown, the demodulator performances must be well suited to the standard requirements to relax the constraints on the receiver NF but must also be integrated on a small area to reduce cost.

In the 802.15.4 standard [1], spreading technique is employed and an offset quadrature phase shift keying (O-QPSK) modulation with half-sine pulse shaping, equivalent to a minimum shift keying modulation (MSK with a modulation index $h=0.5$), is used because of its high bandwidth efficiency and constant envelope properties. In this context, the use of MSK demodulators is an interesting issue.

Traditionally, MSK detectors are based on the zero-crossing detector (ZCD) technique, where the receiver complexity is quite reduced by using hard limiters devices (no need for automatic gain control functions) and 1-bit ADC. A well-known ZCD technique is the ZIFZCD (Zero-IF ZCD) demonstrated in [2]. One limitation of this technique is the need of a chip time (T_c) recovering device to operate, which is generally complex to implement (A complex algorithm demonstrated in [3] or a delay locked loop). Moreover, the quality of the implemented symbol synchronization scheme greatly influences the ZIFZCD performances. In this context, we propose an asynchronous MSK zero crossing detector (AZCD) operating whatever the modulation index value (h) and well suited to 802.15.4 low-cost receivers. Based on the ZCD principle, the proposed topology is simple since AZCD is mainly built with logic gates and operates without the need of a symbol timing recovery structure. Compared to the conventional LDI technique that uses an integrate and dump filter (IDF), the proposed AZCD uses an integrate and saturate filter (ISF) that does not need to be reset at the end of symbol time.

At the output of the proposed AZCD, modified matched filters (MF) are used to despread and to decode data. Moreover, because the spreading code autocorrelation function is periodic, these MF can also be employed to recover symbol synchronization.

In section II, the modulation technique used in 802.15.4 standard is briefly analysed. Section III presents the proposed asynchronous MSK detector (AZCD). Section IV presents the despreading strategy and section V discusses the demodulator adaptability to 802.15.4 standard.

2. 802.15.4 STANDARD

In the 2.4 GHz band, a 16-ary quasiorthogonal modulation technique is used. Binary data $b_k=(0,1)$ are

grouped into 4-bit symbols $s_i=(0,15)$, and each symbol specifies one of 16 nearly orthogonal 32-chip pseudo-noise (PN) sequences for transmission (chips) [1]. The chip sequences representing each data symbol are then modulated onto the carrier using O-QPSK with half-sine pulse shaping. The O-QPSK modulated signal can be expressed as a sum of inphase and quadrature components.

$$S_{O-QPSK}(t) = \left[\sum_{k=-\infty}^{\infty} a_{2k} g(t-2kT_c) \right] \cos(2\pi f_c t) - \left[\sum_{k=-\infty}^{\infty} a_{2k+1} g(t-2(k+1)T_c) \right] \sin(2\pi f_c t) \quad (2)$$

$$= \left[\sum_{k=-\infty}^{\infty} a_{2k} \sin\left(\frac{\pi(t-2kT_c)}{2T_c}\right) \right] \cos(2\pi f_c t) - \left[\sum_{k=-\infty}^{\infty} a_{2k+1} \sin\left(\frac{\pi(t-2(k+1)T_c)}{2T_c}\right) \right] \sin(2\pi f_c t)$$

where $a_k=(-1,1)$ represent the chips (or PN sequences), f_c the carrier frequency, T_c the chip time and $g(t)$ the half-sine pulse shaping. The O-QPSK modulation can also be seen as a Continuous Phase Frequency Shift Keying (CPFSK) with a modulation index $h=0.5$, that's to say a MSK modulation. A MSK modulated signal can be written as

$$S_{MSK}(t) = \cos(2\pi f_c t + 2\pi h f_c \int_{-\infty}^t \sum_{k=-\infty}^{\infty} d_k h(u-kT_c) du) \quad (3)$$

$$= \left[\cos(2\pi h f_c \int_{-\infty}^t \sum_{k=-\infty}^{\infty} d_k h(u-kT_c) du) \right] \cos(2\pi f_c t) - \left[\sin(2\pi h f_c \int_{-\infty}^t \sum_{k=-\infty}^{\infty} d_k h(u-kT_c) du) \right] \sin(2\pi f_c t)$$

With $d_k=(-1,1)$, $h=0.5=2\Delta f T_c$ the modulation index and $h(t)$ a rectangular shape. From (3) we can see that the MSK IQ components also have sine and cosine shapes. But to make the MSK strictly equivalent to the specified O-QPSK format, data must be coded [4]. The MSK/O-QPSK coder equation is given by

$$\begin{cases} d_{2k} = a_{2k+1} a_{2k} \\ d_{2k+1} = -a_{2k+2} a_{2k+1} \end{cases} \quad (4)$$

It is then interesting to consider the 802.15.4 O-QPSK modulation as a MSK modulation in order to implement the modulator (MSK) with a phase locked loop (PLL) structure. Indeed, MSK modulator built from PLL generally offers better noise performances than the direct-conversion architecture and is a good candidate for a high level of integration [5]. We can then give the examples of the open-loop VCO modulator and fractional-N modulator [6].

Once modulated and transmitted, the signal is then processed by the receiver. The proposed 802.15.4 receiver, shown Fig. 1, is made up of a MSK detector followed by a data despreading device.

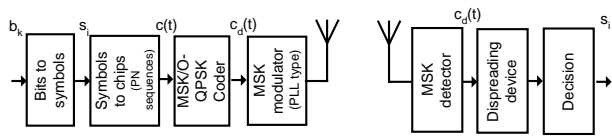


Figure 1. Proposed 802.15.4 architecture

3. PROPOSED MSK DETECTOR

The proposed MSK detector topology is based on ZIFZCD technique that uses a LDI method. In the presented detector, the conventional IDF is replaced by an ISF. Moreover, the entire detector is made up with asynchronous logic gate (AZCD). The architecture is presented Fig. 2.

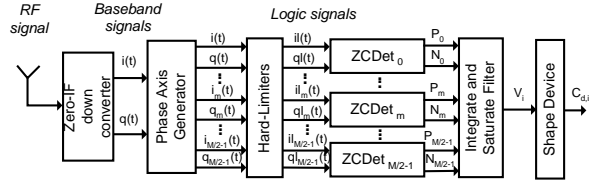


Figure 2. Proposed MSK detector (AZCD)

The first part is identical to the ZIFZCD topology [2] that is to say a zero-IF down converter followed by a M phases axis generator. The ZCD uses $i(t)$ and $q(t)$ to generate multiple phase axes ($i_m(t)$ and $q_m(t)$) in order to operate with low h values. The m index makes reference to the m^{th} pairs of axes. Indeed, with only two axes (I and Q), there may be no zero-crossings for a symbol interval when the FSK modulation index is small such as 0.5 (802.15.4) and additional phase axis are then needed. The phase axis generator proposed in [2] is well suited for low cost applications because additional phase axis can be easily generated from I and Q phase axes and does not need additional RF component. It is shown that for an additional pair of orthogonal axis $I_k Q_k$ rotated by θ_k relative to the principal axes I and Q, the projections i and q on the axes I and Q and the projections i_k and q_k on the axes I_k and Q_k are related as follows:

$$\begin{cases} i_k = i \cdot \cos \theta_k + q \cdot \sin \theta_k \\ q_k = -i \cdot \sin \theta_k + q \cdot \cos \theta_k \end{cases} \quad (5)$$

As indicated in (5), the phase axis generator uses only two summers and two scalars with $i(t)$ and $q(t)$ inputs to add one pair of axes $i_k q_k$.

The frequency detection is achieved by a bank of $M/2$ Zero Crossing Detectors (ZCDet). In the proposed detector (Fig. 2), the ZCDet operate with logic signals i_{l_m} and q_{l_m} . The two logic signals P_m and N_m indicate the zero-crossing time and the phase rotation direction. Thus, whenever the signal phase trajectory crosses an axe, a positive pulse is generated. To detect the phase rotation direction, a positive pulse is generated on N_m when the phase rotation is in clockwise direction and a positive pulse is generated on P_m when the phase direction is in anti-clockwise direction. P_m and N_m are generated from the limited signals i_{l_m} and q_{l_m} according to the following logic equations:

$$P_m = (q_{l_m} \cdot \overline{q_{l_m}}) \cdot i_{l_m} + (\overline{i_{l_m}} \cdot i_{l_m}) \cdot q_{l_m} + (\overline{q_{l_m}} \cdot q_{l_m}) \cdot \overline{i_{l_m}} + (i_{l_m} \cdot \overline{i_{l_m}}) \cdot \overline{q_{l_m}} \quad (6)$$

$$N_m = (i_{l_m} \cdot \overline{i_{l_m}}) \cdot q_{l_m} + (q_{l_m} \cdot \overline{q_{l_m}}) \cdot \overline{i_{l_m}} + (\overline{i_{l_m}} \cdot i_{l_m}) \cdot \overline{q_{l_m}} + (\overline{q_{l_m}} \cdot q_{l_m}) \cdot i_{l_m}$$

In these equations, the minus index ($\bar{}$) indicates a delayed signal. The delay value must be chosen so that the pulse duration is large enough to be able to drive a flip-flop. Several logic inverters in series are then used to delay the signals. For M axes, the different P_m and N_m signals are then added (logic OR) to form a signal $P=P_0+P_1+\dots+P_{(M/2)-1}$ and a signal $N=N_0+N_1+\dots+N_{(M/2)-1}$. At the output of the ZCDet, an integrate and saturate filter (ISF) is then used to generate a variable V_i . Thus, the outputs of the ZCDet, i.e P and N signals, are used by the ISF to create an image of the modifications of the phase angle direction, which can be easily interpreted by a shape device. The ISF is realized with a 2-bit counter,

which is incremented on the rising edge of the P pulses and decremented on the rising edge of the N pulses and whose output is limited to $[-1,+1]$. To be synthesized with synchronized D-type flip-flops, the above counter mechanism is modified. A clock Ck is built from the signals P and N ($Ck=P+N$) and will be used as a reference clock for all the D flip-flops. The envelope E of P and N is also considered to indicate the rotation direction. For that, $E=1$ each time there is a rising edge on P and $E=0$ each time there is a rising edge on N. A D-type positive-edge-triggered flip-flop with Preset and Clear can then be used. First, the inputs D and \bar{S} are set to a high level (Preset inactive). The P signal is applied to the clock input and \bar{N} applied to the clear input. The output is then set to a high level on the rising edge of P and set to a low level on the low levels of \bar{N} . The envelope E is then the image of the signals P, N and so the image of the emitted data. Fig. 3 illustrated the previous considerations. E is then used to indicate if the counter must be incremented or decremented. The truth table of the counter can then be expressed as:

Table 1. Counter and shape device truth table

Present state V_i	Q_0Q_1	Ck	E	Next state V_{i+1}	$Q_0^+Q_1^+$	Present state V_i	Ck	$C_{d,i}$	$C_{d,i+1}$
-1	00	↑	1	0	10	-1	↑	0	0
0	10	↑	1	1	01	0	↑	0	0
1	01	↑	1	1	01	1	↑	0	1
2	11	↑	1	0	10	2	↑	0	0
-1	00	↑	0	-1	00	-1	↑	1	0
0	10	↑	0	-1	00	0	↑	1	1
1	01	↑	0	0	10	1	↑	1	1
2	11	↑	0	0	10	2	↑	1	1

Q_0Q_1 are the counter 2-bits outputs and $Q_0^+Q_1^+$ the counter outputs after the pulse. State 2 is never reached except in a random way when the circuit is switched on. At the ISF output, the variable V_i is shaped to produce the demodulated data $C_{d,i}$. The shape device principle is based on the interpretation of the counter states changes. For that, when the counter output changes from state 0 to state 1, a binary 1 has been emitted and when the counter output changes from state 0 to state -1, a binary 0 has been emitted. The other possible transitions are given in Table.1, where $C_{d,i}$ is the logic demodulated data. The ISF and the shape device can be seen as a structure that filters the envelope E of P and N, which is the image of the transmitted data. In fact, the ISF and the shape device reduce the number of generated errors onto the envelope E. For example, when a parasite pulse is generated on P or N (due to noise), a parasite glitch is then found on the envelope E (Fig. 3). But, as described in Table 1, one change in the counter states (from -1 to 0 or from 1 to 0) does not change the shape device output as shown Fig. 3. We can then say that the error on the envelope E has been filtered. In fact, an error onto the shape device output is generated when, for example, two consecutives parasite pulses occur on P or N. Fig. 3

presents the main signals of the developed AZCD for $h=0.5$ and $M=16$.

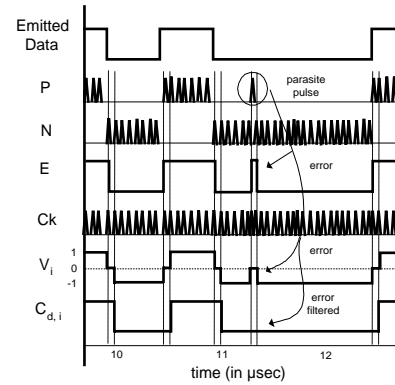


Figure 3. Main waveforms of AZCD

4. MODIFIED MATCHED FILTER

Once demodulated by the AZCD, a 1-bit ADC samples the logic signal. After that, the signal must be despread to recover symbols and binary data. The despreading is assumed by the correlation function: received signal must be correlated to the local aligned spreading code in order to suppress it. In 802.15.4 context, 16 symbols are used to select one of the 16 parallels digital filters matched to the PN sequences. Consequently, a bank of 16 parallels digital filters matched to the PN sequences is used to decode the transmitted symbols. Matched filters (MF) can be implemented with Finite Impulse Response (FIR) filters and because the 16 MF have exactly the same structure, the design is really simplified. This solution does not need aligned codes to operate, that's to say no code synchronization neither code acquisition. Moreover, because of the PN sequences correlation function, the MF can also be used to recover symbol synchronization. The, a priori, main drawback is that the size grows exponentially with the word length because the realized function is a digital parallel multiplier. But with a 1-bit ADC and, for example, an over sampling factor of 2, the word length in the parallel multiplier is only 64 chips with a PN sequence length of 32. At last, low-power MF architectures implemented in CMOS technology have been studied and can then be used to reduce power consumption [7].

As said, when a PLL-type MSK modulator is used, chips or PN sequences must be coded with the MSK/O-QPSK coder (4). As a consequence, at the AZCD output, MSK/O-QPSK coded PN sequences are recovered and must then be decoded to recover the initials sequences. A first solution may consist in decoding sequences after the AZCD and then applying digital filters matched to these decoded sequences. The MSK/O-QPSK decoder equation is given by

$$\begin{cases} a_{2k} = -d_{2k-1}a_{2k-1} \\ a_{2k+1} = d_{2k}a_{2k} \end{cases} \quad (7)$$

As we can see from (7), the a_{2k} data needs the knowledge of the a_{2k-1} data. Consequently, this type of decoder generates an important number of errors.

The simple proposed solution is to suppress the MSK/O-QPSK decoder and to design digital filters matched to the

MSK/O-QPSK coded PN sequences. For that, tap coefficients of the modified matched filters are simply the coefficients of the MSK/O-QPSK coded PN sequences. The transformation equation is then the same than (4) :

$$\begin{cases} D_{2n} = C_{2n+1}C_{2n} \\ D_{2n+1} = -C_{2n+2}C_{2n+1} \end{cases} \quad (8)$$

D_n are the coefficients of the filter matched to the MSK/O-QPSK coded PN sequences and C_n are the coefficients of the initials PN sequences [1]. For example, supposing that the chips are in NRZ format, the coefficients of the FIR filter matched to the first MSK/O-QPSK coded 32-chips PN sequence (corresponding to symbol 0 in decimal) are determined as follows:

$$\text{initial PN sequence } 11-111-1-1111-1-1-1-111-11-11-1-1-1-1111-1 \quad (9)$$

$$\text{coded PN sequence } 111-1-1-1-1-1-1111-11111-11-1111-1-111-111-1-1$$

As can be seen in Fig. 4, this PN codes transformation makes the autocorrelation and the intercorrelation between codes nearly unchanged. In fact, the only change is that MSK/O-QPSK codes 0 to 7 are the conjugation of the MSK/O-QPSK codes 8 to 15, whereas, in the initials sequences, only odd-indexed chip are conjugated. The only consequence is that negative spikes are generated in the MF.

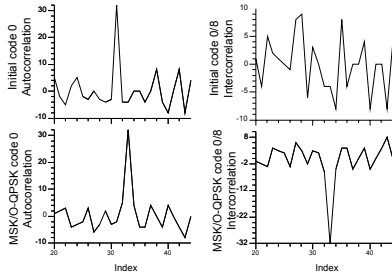


Figure 4. Auto- and inter-correlation of initials and MSK/O-QPSK coded PN sequences

At the output of the MF, a decision is taken. For that, simple thresholds can be used to detect which symbol has been emitted. Fig.5 shows the proposed 802.15.4 receiver architecture.

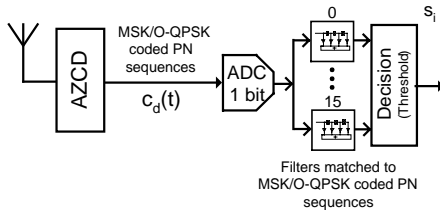


Figure 5. Receiver architecture

5. DEMODULATOR PERFORMANCES

To evaluate the demodulator performances, symbol error rate (SER) simulation has been performed. A 802.15.4 modulated signal and a total of 8 axes ($M=8$) have been considered.

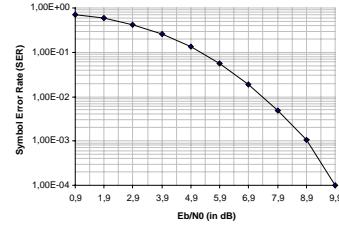


Figure 6. Demodulator performances

In a 802.15.4 receiver, the sensitivity shall be below or equal to -85 dBm to reach a BER of 6.10^{-5} or a SER of $2.4.10^{-4}$ (or PER=1%) [1]. From Fig. 6, this implies that E_b/N_0 must be equal to 9.5dB with the proposed demodulator. Considering (1) with $B=1/T_s$, this leads to a NF of about 16.5 dB. Such receiver NF/ T_s value is relatively easy to reach in a low-cost CMOS process [8],[9]. Performances of the proposed asynchronous demodulator are then in good agreement with the requirements of 802.15.4 standard.

6. CONCLUSION

A simple 802.15.4 demodulator has been presented. The demodulator is well suited to 802.15.4 low-cost receivers since the proposed topology is simple and can be integrated on a small silicon area. Indeed, the proposed MSK detector operates without symbol synchronization and is mainly built with logic gates. At the detector output, a only 1-bit CAN is used and the despreading function is realized with 16 simple matched filters. Last, the demodulator performances are in good agreement with the 802.15.4 requirements since the use of the proposed demodulator induces the design of receivers whose NF must be lower than 16.5 dB.

7. REFERENCES

- [1] IEEE Standard 802.15.4-2003, 2003.
- [2] H.M. Kwon, K.B. Lee, "A Novel Digital FM Receiver For Mobile And Personal Communication," IEEE Trans on Communications, vol. 44, no. 11, pp.1466-1476, Nov 1996.
- [3] K.B. Lee, C.C Powell, H.M Kwon, "A Novel Wireless Communication Device and its Synchronization Scheme," Proc. of IEEE Global Communication Conf, pp.659-663, Nov 1995.
- [4] J.G. Proakis, *Digital Communications*, New York: McGraw-Hill, 1989.
- [5] B. Razavi, "RF Transmitter Architectures and Circuits", Proc. of the IEEE Custom Integrated Circuits Conf., pp.197-204, 1999.
- [6] D. Daly, A.C Carusone, "A Sigma-Delta Based Open-Loop Frequency Modulator", Proc. of ISCAS 2003, May 2003.
- [7] T. Yamada, S. Goto, N.Takayama, Y. Matsushita, Y. Harada, H. Yasuura, "Low-Power Architectures of a Digital Matched filter for Direct-Sequence Spread-Spectrum Systems", *IEICE Trans.Electron.*, Vol.E86-C, No.1 Jan 2003.
- [8] A. Zolfaghari, B. Razavi, "A Low Power 2.4 GHz Transmitter/Receiver CMOS IC," Journal of Solid-state Circuits, vol. 38, no 2, Feb 2003.
- [9] W. Hioe, K. Maio, T. Oshima, Y. Shibahara, T. Doi, K. Ozaki, S. Arayashiki "0.18 μm CMOS Bluetooth Analog Receiver With -88 dBm Sensitivity," Journal Of Solid-state Circuits, vol. 39, no 2, Feb 2004.

Design method for CMOS current-source modes power amplifiers based on PAE optimization

N. Dehaese · S. Bourdel · J. Gaubert · Y. Bachelet ·
H. Barthélemy

Received: 17 February 2006 / Revised: 30 May 2006 / Accepted: 15 June 2006 / Published online: 11 September 2006
© Springer Science + Business Media, LLC 2006

Abstract An efficient method for CMOS current-source modes (A, B, AB, C classes) Power Amplifier (PA) design for low-power applications is presented. This method allows to set the conduction angle α and the transistor size W/L in order to maximize the PAE. In a first step, an analytical approach, built from a simple transistor model, gives a first approximation of the optimum α and W/L . In a second step and from the analytical results, a simulation approach, illustrated with a 0.28 μm CMOS foundry design-kit, allows to precisely determine the optimum conduction angle and the transistor size. A PA designed with this method at 2.45 GHz for a class 2 Bluetooth application shows a 41% PAE and a surface consumption of 0.28 mm^2 for an output power of 4 dBm.

Keywords Power amplifier · CMOS analog IC · PAE · Low-cost applications

Introduction

Recent years have seen a worldwide development in ad-hoc wireless networks such as WPAN or pico-radio network (IEEE 802.15 applications: Bluetooth, ZigBee). Such applications need low power and low cost integrated transceivers where the silicon surface area and the power consumption are critical issues and must be minimized. In such context, the PA, which generally consumes most of the available power and occupies a large area, must be carefully designed.

Current-source modes PA seem to be well suited for low cost/low power applications because they generally use less inductors (which hugely increase PA silicon area) and require a lower drive power, which can be quite substantial in RF, than switched PA.

Thus, the power added efficiency (PAE) parameter should then be preferred to the drain efficiency η_D to take into account the required drive power.

$$PAE = (P_{\text{out}} - P_{\text{in}}) / P_{\text{dc}} \quad \text{and} \quad \eta_D = P_{\text{out}} / P_{\text{dc}} \quad (1)$$

where P_{out} , P_{in} and P_{dc} are respectively the output, the input and the consumed power.

In Bluetooth and ZigBee applications, where constant envelope modulation schemes are used, the linearity parameter is not critical and the conduction angle α (and so the class of operation) of the CMOS current-source modes PA can then be set to maximize the PAE.

Thus, considering that η_D increases when the conduction angle α decreases [1], it can be found that, as long as P_{in} is very low compared to P_{out} , reducing α also increases the PAE. However, this conduction angle decrease is achieved at the expense of the increased drain current (and so the transistor size W/L) to provide the same power. As a result, the gate voltage V_{gs} has to be increased, involving the increase of P_{in} . So, as α decreases, P_{in} can not be anymore neglected and the PAE decreases for low α values. We can then assume that an optimum α (and so W/L) exists that maximize the PAE.

In this Letter, we propose a design method for current-source PA that allows to set the transistor size (W/L) and the conduction angle α that optimize the PAE for a given P_{out} . A Class 2 Bluetooth application example (output power limited to 4 dBm) will be considered to illustrate the proposed design method.

N. Dehaese (✉) · S. Bourdel · J. Gaubert · Y. Bachelet ·
H. Barthélemy
L2MP UMR CNRS 6137 Polytech'Marseille, IMT Technopôle de
Château Gombert, 13451 Marseille Cedex 20, France
e-mail: nicolas.dehaese@l2mp.fr

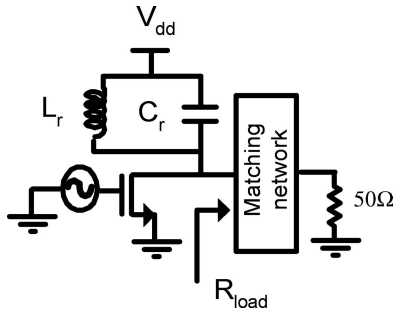


Fig. 1 Circuit schematic of the analysed PA for the analytical approach

Analytical approach

The proposed method is performed based on the simple common-source PA topology shown in Fig. 1.

L_r is used as a choke inductor and acts also as part as a parallel resonator $L_r C_r$. A matching network is used to transform a terminating resistance (typically 50Ω) to a different resistor R_{load} onto the transistor drain. We assume that the transistor works in the strong inversion region and that its output impedance can be represented by a parallel RC circuit. R is considered very high and will be neglected. The resonator compensates the output capacitance (C) of the transistor. Considering only the fundamental component of the drain current, the following equations give a relationship between the PAE and the conduction angle α , which is set by the gate voltage V_{gs} defined as

$$V_{gs} = V_{gs0} + V_{gs1} \cos(\theta) \quad (2)$$

The drain current can be expressed as a function of the conduction angle α [1]

$$I_{ds}(\theta) = \frac{I_{dsMax}}{1 - \cos \alpha} \cdot (\cos \theta - \cos \alpha) \text{ for } -\alpha < \theta < +\alpha$$

$$I_{ds}(\theta) = 0 \quad \text{else} \quad (3)$$

I_{dsMax} is the maximum drain current amplitude. The fundamental part I_{ds1} and the dc components I_{dc} of the drain current Fourier series representation are given in [1]:

$$I_{dc} = \frac{I_{dsMax}}{\pi \cdot (1 - \cos \alpha)} \cdot [\sin \alpha - \alpha \cos \alpha]$$

$$I_{ds1} = \frac{I_{dsMax}}{2\pi (1 - \cos \alpha)} (2\alpha - \sin(2\alpha)) \quad (4)$$

Assuming that a submicron CMOS technology is used, I_{dsMax} is approximated by a quasi-linear

expression [2]:

$$I_{dsMax} = \frac{\frac{1}{2} \cdot \mu_n C_{ox} \frac{W}{L}}{1 + v(V_{gsMax} - V_t)} (V_{gsMax} - V_t)^2 \quad (5)$$

In the proposed model, we assume that the drain voltage swing V_{swing} is limited by the saturation voltage V_{dssat} ($V_{swing} = V_{dd} - V_{dssat}$). The integrated inductor losses, which are important in a CMOS process, are taken into account by considering a typical CMOS quality factor Q value (~ 10). $Q = R_p / \omega L_r$ with R_p a parallel parasitic resistor and ω the frequency pulsation. As a result, the transistor has to generate an output power P_c to compensate the power P_L lost into the inductor.

$$P_c = P_{out} + P_L = \frac{V_{swing}^2}{2R_{load}} + \frac{V_{swing}^2}{2R_p} = \frac{I_{ds1} \cdot V_{swing}}{2} \quad (6)$$

Considering (4), (5) and (6), (W/L) and α are then related as follows:

$$\frac{W}{L} = \frac{P_c (1 - \cos \alpha) 8\pi [1 + v(V_{gsMax} - V_t)]}{\mu_n C_{ox} (V_{gsMax} - V_t)^2 V_{swing} (2\alpha - \sin(2\alpha))} \quad (7)$$

A brief analysis of (7) shows that (W/L) is proportional to $1/\alpha$ for low α value. The developed relation is then coherent with the initial obvious observation developed in introduction, i.e. reducing α implies to increase W/L to provide the same power. In addition, the consumed power is given by:

$$P_{dc} = V_{dd} \cdot I_{dc} = \frac{I_{dsMax} \cdot V_{dd}}{\pi (1 - \cos \alpha)} \cdot (\sin \alpha - \alpha \cos \alpha) \quad (8)$$

A series RC circuit model is considered for the input impedance [3]. C is approximated by the gate-source capacitance C_{gs} . For the resistive part, we assume that the gate number of fingers nf is chosen high enough so that the distributed gate resistance R_d is negligible compared to the non-quasi-static resistance R_{NQS} in order to minimize P_{in} and so to maximize the PAE.

$$C \simeq C_{gs} = \frac{2}{3} C_{ox} W \cdot L$$

$$R_d = \frac{R_{\square}}{3} \cdot \frac{W}{L} \cdot \frac{1}{nf^2} \ll R_{NQS} = \frac{1}{5g_m} \simeq R \quad (9)$$

R_{\square} is the gate electrode sheet resistance. Although we are in a large signal context, g_m is approximated by its small signal value given by

$$g_m = \sqrt{2\mu_n C_{ox} I_{dc} \frac{W}{L}} \quad (10)$$

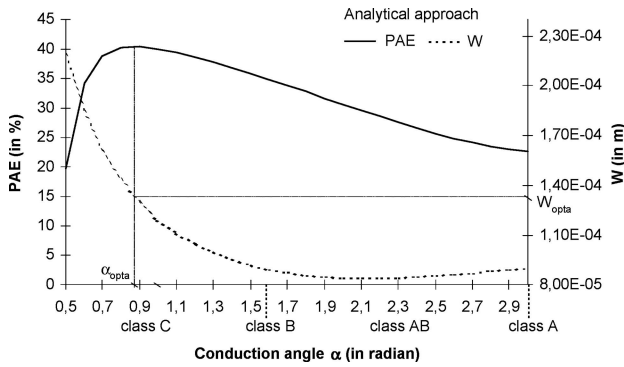


Fig. 2 Results of the analytical approach

Consequently, the input power is given as follows

$$P_{in} = \frac{1}{2} V_{gs1}^2 \frac{R_{NQS} C_{gs}^2 \omega^2}{1 + R_{NQS}^2 C_{gs}^2 \omega^2}$$

$$= \frac{1}{2} \left(\frac{V_{gsMax} - V_t}{1 - \cos \alpha} \right)^2 \frac{R_{NQS} C_{gs}^2 \omega^2}{1 + R_{NQS}^2 C_{gs}^2 \omega^2} \quad (11)$$

From (1), (5), (8) and (11), we get

$$PAE = \frac{P_{out} - \frac{1}{2} \left(\frac{V_{gsMax} - V_t}{1 - \cos \alpha} \right)^2 \frac{R_{NQS} C_{gs}^2 \omega^2}{1 + R_{NQS}^2 C_{gs}^2 \omega^2}}{\frac{\frac{1}{2} \mu_n C_{ox} \frac{W}{L}}{1 + v \left(\frac{V_{gsMax} - V_t}{1 - \cos \alpha} \right)} (V_{gsMax} - V_t)^2 \cdot V_{dd}} \cdot (\sin \alpha - \alpha \cos \alpha) \quad (12)$$

P_{out} is set by the application. As a result, if V_{gsMax} is set and with (7), (9) and (12), the PAE can then be expressed as a function of the conduction angle α only. The model has been implemented in a computation software (Mathcad). The analysis of V_{gsMax} versus PAE and W/L shows that V_{gsMax} must be set to its largest possible value to minimize W/L . Figure 2 shows the PAE and the transistor width W , given by the analytical model, as a function of the conduction angle α , for an output power P_{out} of 4 dBm.

These results are obtained for the typical parameters of a $0.28 \mu\text{m}$ CMOS process at 2.45 GHz and with $L = 0.28 \mu\text{m}$, $V_{gsMax} = 1 \text{ V}$, $V_{dd} = 2.5 \text{ V}$ and $V_{swing} = 2 \text{ V}$. A maximum value of 40.3% for the PAE is achieved for $\alpha_{opta} = 0.88$ radian and $W_{opta} = 132 \mu\text{m}$.

Simulation approach using a foundry design-kit (DK)

A simulation approach using a $0.28 \mu\text{m}$ CMOS DK, that includes NQS effects for active elements and RF models for passive elements, is performed to precisely determine α_{opts} and W_{opts} , from the analytical model. The simulation approach is illustrated with a basic LC matching net-

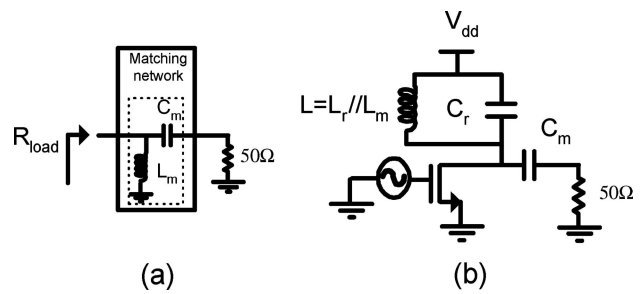


Fig. 3 (a) Matching network and b) Equivalent circuit used for the simulation approach

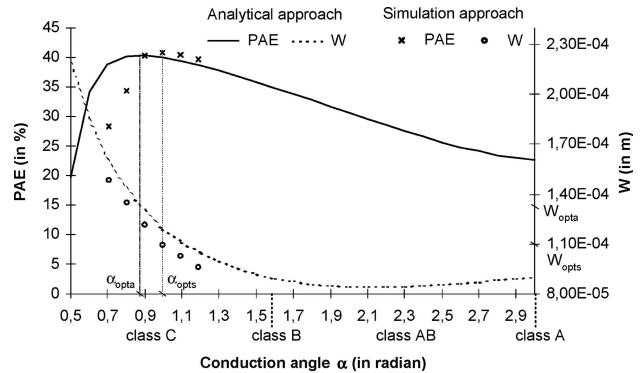


Fig. 4 Results of the analytical and simulation approaches

work (Fig. 3(a)), leading to the equivalent circuit shown in Fig. 3(b).

Non-linear simulations are performed with a harmonic balance analysis. First, the matching network is designed to present a resistance $R_{load} = 796 \Omega$, corresponding to the wanted power $P_{out} = 4 \text{ dBm}$, to the transistor drain. We have then $C_m = 0.34 \text{ pF}$ and $L_m = 13.4 \text{ nH}$. For a given value of α , the procedure for finding the transistor width and designing the resonator consists of three steps: (i) the corresponding transistor size W is first set by the analytical analysis. (ii) the resonator $L-C_r$ is then designed to provide the maximum output power to R_{load} , which can be different from P_{out} . (iii) step (ii) is then reiterated for different transistor sizes W to adjust the maximum provided output power to P_{out} . The procedure is then repeated for a set of values of α , chosen around the analytical optimum conduction angle α_{opta} , to accurately find the optimum value of α (α_{opts}). Figure 4 shows the results of the simulation approach, where it is interesting to notice that the analytical and the simulation approaches are in good agreement.

Consequently, the simulated optimum value of the conduction angle α_{opts} (and W_{opts}) is rapidly reached thanks to the initial values given by the analytical model. Differences between the two predicted optimum conduction angles can be attributed to the simplicity of the input impedance model, especially for low conduction angles where the input power P_{in} is underestimated.

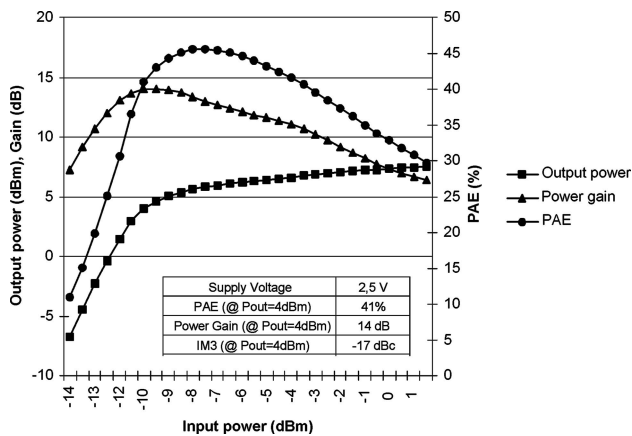


Fig. 5 Performances of the proposed PA

Results

For an output power P_{out} of 4 dBm, results obtained with the proposed design method (Fig. 4) show that the maximum value of PAE is 41% for $\alpha_{\text{opts}} = 1$ radian, $W_{\text{opts}} = 110 \mu\text{m}$ and $L = 6.1 \text{ nH}$. The simulated performances of this proposed PA are given in Fig. 5.

As shown in Fig. 5, the power gain is about 14 dB for an output power of 4 dBm. This gain is relatively high for a one-stage class C PA even if this gain value is limited to a narrow range of input power (between -12 and -8 dBm). Indeed, as expected for a class C PA, the power gain is low in low input power range ($P_{\text{in}} < -12$ dBm) mainly due to

the choice of the conduction angle (1 radian), leading to a negative gate dc bias point V_{gs0} .

Concerning the linearity of the PA, the power of the third order intermodulation (IM3) products is, as indicated, 17 dB below the power of the fundamental, which is relatively low but still high enough to be used with constant envelope modulation schemes. Lastly, as the proposed topology used only one inductor, the surface consumption is only 0.28 mm^2 .

Conclusion

In this letter, a design method for CMOS current-source modes PA working with constant envelope modulation schemes has been proposed. This method allows to choose the conduction angle and the transistor size to maximize the PAE. A 2.45 GHz PA for a class 2 Bluetooth application has been designed with this method and simulations show that a conduction angle of 1 radian (class C) and a transistor size of $110 \mu\text{m}$ allow to achieve a PAE of 41% for an output power of 4 dBm.

References

1. S.C. Cripps, *RF Power Amplifiers for Wireless Communications*. Artech House Publishers, 1999.
2. D. Johns and K. Martin, *Analog Integrated Circuit Design*. John Wiley & Sons, 1997.
3. T. Manku, "Microwave CMOS-device physics and design." *IEEE Journal of Solid-State Circuits*, vol. 34, no. 3, pp. 277–285, March 1999.

A 9pJ/Pulse 1.42V_{pp} OOK CMOS UWB Pulse Generator for the 3.1-10.6 GHz FCC Band

S. Bourdel, Y. Bachelet, J. Gaubert, *Member, IEEE*, R. Vauché, O. Fourquin, N. Dehaese, and H. Barthelemy, *Member, IEEE*

Abstract—This paper presents the design of a fully integrated ultra-wideband (UWB) pulse generator for the FCC 3.1-10.6 GHz band. This generator is reserved for medium rate applications and achieves pulses for an OOK, PPM or PIM modulations. This UWB transmitter is based on the impulse response filter method which uses an edge combiner in order to excite an integrated bandpass filter. The circuit has been integrated in a ST-Microelectronics CMOS 0.13 μm technology with 1.2V supply voltage and the die size is 0.54mm². The pulse generator power consumption is 9pJ per pulse and achieves a peak to peak magnitude of 1.42V. The pulse is FCC compliant and the generator can be used with a rate up to 38Mbs⁻¹ with a OOK modulation. Based on the FCC power spectral density (PSD) limitation, a sizing method is also presented.

Index Terms— Pulse generation, FCC, Transmitters, Impulse Radio, Ultra-wideband (UWB), Pulse shaping circuit.

I. INTRODUCTION

Since the FCC has authorized communication in the 3.1 GHz to 10.6 GHz frequency band, several technologies have been developed to satisfy the communication market. These technologies are more or less suited to the numerous applications generally encountered. Typically, Orthogonal Frequency Division Multiplexing (OFDM) techniques appear to be good candidates for high speed data communication whereas Impulse Radio (IR) is a good solution for low cost systems or positioning systems. In the case of IR systems, due to the applications, the most limiting characteristics of the system are the circuit cost production, the power consumption and the operating range. For the emission stage, those constraints mean that the transmitter must be designed using low cost technologies such as CMOS and must consume a small amount of power while generating pulses with large magnitude.

UWB impulse radio designs often use a baseband pulse generator. Those baseband pulses are then used to produce

more complex pulses to match regulation frequency masks. A first technique to generate a baseband pulse consists in using reflections in a transmission line (or a stub) to produce a pulse from a step function. It is difficult to integrate those generators in a CMOS technology due to the use of transmission lines or due to the need for discrete components such as Step Recovery Diode (SRD) [1][2]. Currently, delayed edge combiner (also called triangular generator) is well suited to achieve a baseband pulse and for UWB systems. Because it consists in combining two delayed logic signals using a simple logic gate, it can be fully integrated in CMOS [3][4] and it consumes a small amount of power.

Different methods have been presented to generate FCC pulses from one or several baseband pulses. A first technique is to use transversal filters achieved by artificial coupled transmission lines [5]. The baseband pulse propagates along the artificial line and is recombined at the output to achieve a more complex pulse. The artificial line is synthesized with lumped elements which results in the use of a large number of inductors and limits the integration. A second method is to transpose a baseband signal in the frequency band of operation using a mixer and a Local Oscillator (LO). This method is attractive since it uses few inductors and it performs well when it is implemented using LO switching. In spite of LO leakage problems [6], this technique currently appears to achieve the best performances in terms of consumption and pulse peak magnitude [7] [8]. Other methods based on elementary pulse combination have been presented [9][10] with good potential for the pulse tuning and for achieving antipodal pulses for BPSK modulation (here, antipodal signals refer to two opposite signals : $g_1(t)=-g_2(t)$ [16]). Today, those techniques achieve pulse magnitude around 1V_{pp} but their DC power consumption dramatically grows with the pulse duration and it exceeds the consumption of LO switching topologies [11] [12]. Another way to produce FCC compliant pulses is to use filtered combined edges [13] [14]. This method is very attractive for its low power consumption potentiality but is penalized by the filter implementation. However, due to the large width of the FCC frequency mask, the order needed for the shape filter is low which leads to acceptable loss (around 3dB), in standard CMOS technologies [15].

The pulse generation method presented in this paper is derived from a filtered combined edge technique and consists of simply exciting an integrated bandpass filter using a

Manuscript received July 13, 2009; revised September 25, 2009. This work was supported in part by Aix Marseille University and CNRS.

S. Bourdel, J. Gaubert, R. Vauché, O. Fourquin, N. Dehaese and H. Barthelemy are with Aix-Marseille University, IM2NP, and CNRS, IM2NP (UMR 6242), Campus de Saint-Jérôme, Avenue Escadrille Normandie Niemen-Case 142, F-13397 Marseille Cedex, France (email:sylvain.bourdel@im2np.fr).

Y. Bachelet was with Aix-Marseille University, IM2NP, and CNRS and is now with EDITAG SAS, 100 route des Houillères BP2 13590 Meyreuil Cedex, France.

baseband pulse to generate its impulse response. The filter excitation is achieved using a digital edge combiner coupled with a current driver and appears to be well suited for low cost and low power systems. To demonstrate the efficiency of this generation method, an UWB FCC pulse generator is designed in a $0.13\mu\text{m}$ CMOS technology for medium rate applications around 36Mbs^{-1} . The power consumption is 3.84mW for a 100MHz Pulse Repetition Frequency (PRF) and the energy consumption is 9pJ per pulse. The pulse generator produces FCC compliant pulses having a measured voltage magnitude of 1.42Vpp . The digital edge combiner used in the design is able to generate pulses with less than 50ps width. It is designed with differential delay cell and high speed logical gate. The bandpass filter is a third order Bessel filter with less than 3dB loss and the whole die size is 0.54mm^2 . Using a sizing method based on Power Spectral Density (PSD) analysis, the generator is designed regarding the application needs. This generator can be used in On Off Keying (OOK) modulation, Pulse Position Modulation (PPM) or Pulse Interval Modulation (PIM). In OOK mode, the generator can operate up to 38Mbs^{-1} to cover a large variety of applications including video streaming.

The paper is organized as follows. Section II deals with the theoretical concept of impulse response generation needed to compute the main parameters of the generator. This analysis is made for the FCC standard taking into account the impact of the modulation type and the impact of the bit rate on the design. The design of the pulse generator is presented in Section III. The on-chip filter and the buffer which consist in a current driver are first described. Then, the design of the digital edge combiner is detailed. Simulation and measurement results are presented in Section IV.

II. PULSE GENERATOR SIZING

A. Pulse generation Principle

The method of pulse generation is depicted in Fig. 1. It consists in applying a short pulse at the input of a filter to generate its impulse response ($h_e(t)$). If we consider that, instead of a dirac, the filter is excited by a square function $\pi_\tau(t)$ having a magnitude A and a width τ , the output ($g(t)$) and its Fourier transform are given by :

$$g(t) = \frac{A}{\sqrt{l}} \pi_\tau(t) * h_e(t) \quad (1)$$

$$G(f) = \frac{A\tau \text{sinc}(\pi\tau f) \cdot H_e(f)}{\sqrt{l}} \quad (2)$$

where l represents the power loss of the filter and $H_e(f)$ the normalized transfer function of the filter. Computing $G(f)$ allows the determination of τ and $H_e(f)$ which leads to FCC compliant pulses. But, knowing $G(f)$ is not sufficient to size the baseband pulse magnitude (A) and the emitted pulse peak to peak magnitude g_0 . Because these parameters impact the range of the transmission, they must be taken into account in the sizing of the generator. It is thus necessary to evaluate the

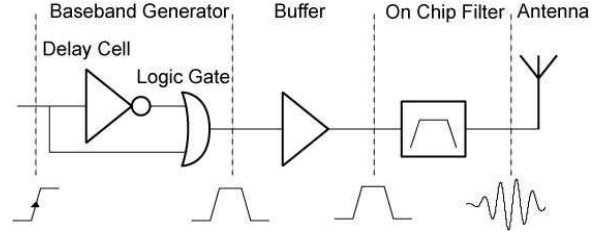


Fig. 1. Principle of pulse generation

average and peak PSD to determine A and g_0 and other characteristics such as modulation type and bit rate must also be taken into consideration.

B. Average PSD

The Fourier transform $G(f)$ is necessary to calculate the average PSD of the emitted signal. In the case of linear modulation such as OOK or BPSK, the emitted signal is given by (3) :

$$s(t) = \sum_{k=0}^N a_k \cdot g(t - kT_s) \quad (3)$$

where T_s is the symbol time and $\{a_k\}$ is the sequence of the transmitted symbols. In the case of OOK the value of a_k is simply 0 or 1. The Fourier Transform of the autocorrelation function of $s(t)$ gives the PSD. If the symbols of the sequence $\{a_k\}$ are independent, the PSD is then given by [16]:

$$PSD_s(f) = \frac{|G(f)|^2}{T_s} \left(\sigma_a^2 + \frac{\mu_a^2}{T_s} \sum_{i=-\infty}^{\infty} \delta\left(f - \frac{i}{T_s}\right) \right) \quad (4)$$

where μ_a and σ_a^2 are respectively the mean and the variance of the sequence data $\{a_k\}$. For BPSK modulation, $\mu_a=0$ and $\sigma_a^2=1$. The PSD is then composed by a continuous spectrum given in V^2/Hz . For OOK modulation, $\mu_a=0.5$ and $\sigma_a^2=0.25$. The PSD is then composed of a continuous spectrum given in V^2/Hz and a discrete spectrum where the magnitude of the lines is directly given in V^2 . For a given resolution bandwidth (RBW_{av}), equal to 1MHz in the case of FCC regulation [17], the ratio (η) between the spectral line level and the continuous spectrum displayed by a spectrum analyser is given in (5) :

$$\eta_{RBW=1\text{MHz}} = \frac{\mu_a^2}{\sigma_a^2 \cdot T_s \cdot RBW_{av}} \quad (5)$$

This ratio increases with the symbol rate ($D_s=1/T_s$) and for high rates ($D_s > (RBW_{av} \cdot \sigma_a^2) / \mu_a^2$), the spectral lines are higher than the continuous power spectrum. These spectral lines reduce the capability of the generator to achieve large pulses at a high rate because the only way to decrease the PSD (for a given pulse and a given rate) is to reduce the magnitude of the pulse.

With (2) and (4), we can express the PSD as a function of the main parameters of the pulse generator (A , τ , l , Z_0 the output impedance, D_s , $H_e(f)$, μ_a , σ_a) and taking into account the measurement method imposed by FCC.

$$PSD_s^+(f) = 2 \frac{|G(f)|^2}{Z_0} D_s \left\{ RBW_{av} \cdot \sigma_a^2 + D_s \mu_a^2 \sum_{i=-\infty}^{\infty} \delta \left(f - \frac{i}{T_s} \right) \right\} \quad (6)$$

$$= 2 \frac{(A \tau \text{sinc}(\pi \tau f) \cdot H_e(f))^2}{Z_0 l} D_s \left\{ RBW_{av} \cdot \sigma_a^2 + D_s \mu_a^2 \sum_{i=-\infty}^{\infty} \delta \left(f - \frac{i}{T_s} \right) \right\}$$

Equation (6) gives the unilateral PSD as it would be displayed by a spectrum analyser with its RBW set to 1MHz. The continuous spectrum is given in W/MHz and the discrete spectrum in W.

Moreover, it appears that for a given filter and a given baseband width, the maximum value of the PSD (PSD_{\max}), which is fixed to -41.3dBm/MHz by the FCC, linearly depends on A and D_s . If the frequency for which the PSD is maximum (f_0) is close to the frequency for which $H_e(f)$ is maximum, the maximum value of A allowed by FCC (A_{\max}), can be approximated by using (6) in the case of BPSK ($\mu_a=0$ and $\sigma_a^2=1$) and OOK ($\mu_a=0.5$ and $\sigma_a^2=0.25$) as follows :

$$A_{\max} = \min \left\{ \left(\frac{l Z_0 PSD_{\max}}{2 D_s^2 \tau^2 \text{sinc}^2(\pi f_0 T_s) RBW_{av} \sigma_a^2} \right)^{1/2}, \left(\frac{l Z_0 PSD_{\max}}{2 D_s^2 \tau^2 \text{sinc}^2(\pi f_0 T_s) \mu_a^2} \right)^{1/2} \right\} \quad (7)$$

In these conditions, A_{\max} mainly depends on D_s and is independent of the filter transfer function.

From A_{\max} it is then possible to compute the maximum pulse magnitude ($g_{0\max}$) imposed by the average PSD limitation for a given symbol rate. Because g_0 depends on the filter used ($h_e(t)$) and the baseband pulse ($\pi_e(t)$) it linearly varies with A and can easily be evaluated as follows :

$$g_0 = \frac{A}{\sqrt{l}} \frac{\pi_e(t) * h(t)}{g_{\text{norm}}(t)} = \alpha \frac{A}{\sqrt{l}} \quad (8)$$

where $g_{\text{norm}}(t)$ is $g(t)$ normalized to g_0 . The α coefficient represents the magnitude efficiency of the filter response to a square function of width τ .

However, to avoid excessive peak magnitude, the FCC also limits the peak power. It is then recommended to verify the FCC compliance of the peak power of the generated pulse.

C. Peak Power Limit

The peak power limitation is specified by the FCC as follows: "there is a limit on the peak level of the emissions contained within 50MHz bandwidth centered on the frequency at which the highest radiated emission occurs, f_0 . It is 0 dBm EIRP." The FCC recommends the use of a spectrum analyzer with a 50MHz RBW and a peak power detector. For rates lower than 50MHz, this measurement corresponds to the peak power of the emitted pulse filtered by the RBW filter. Under this condition, if the pulse spectrum is flat in the RBW and if the RBW filter is supposed to be ideal, the magnitude of the pulse at the RBW filter output for which the spectrum ($G_{pk}(f)$) and its reverse Fourier transform ($g_{pk}(t)$) are :

$$G_{pk}(f) = G_0 \left[\pi_{RBW_{pk}}(f - f_0) + \pi_{RBW_{pk}}(f + f_0) \right] \quad (9)$$

$$g_{pk}(t) = 2 G_0 \cdot RBW_{pk} \cdot \text{sinc}(\pi RBW_{pk} t) \cdot \cos(2\pi f_0 t) \quad (10)$$

where G_0 is the magnitude of $G(f)$, $\pi_{RBW_{pk}}(f)$ is a square function having a width equal to the spectrum analyser RBW (RBW_{pk}). The peak power is then given by the level of $g_{pk}(t)$

as follows :

$$P_{pk} = \frac{4 G_0^2 \cdot RBW_{pk}^2}{Z_0} \quad (11)$$

If the frequency for which the PSD is maximum (f_0) is close to the frequency for which $H_e(f)$ is maximum G_0 is given by:

$$G_0 = \frac{A \tau \text{sinc}(\pi f_0 \tau)}{\sqrt{l}} \quad (12)$$

By using (6), the PSD_{\max} can be expressed as in (13) as a function of G_0 . This enables the evaluation of the peak power, as in (14), as a function of the symbol rate in the case where the average PSD complies with the FCC mask for BPSK ($\mu_a=0$ and $\sigma_a^2=1$) and OOK ($\mu_a=0.5$ and $\sigma_a^2=0.25$) modulations.

$$PSD_{\max} = \max \left\{ \frac{D_s^2 G_0^2 \mu_a^2}{Z_0}, \frac{D_s G_0^2 RBW_{av} \sigma_a^2}{Z_0} \right\} \quad (13)$$

$$P_{pk} = \max \left\{ \frac{4 \cdot PSD_{\max} \cdot RBW_{pk}^2}{D_s^2 \mu_a^2}, \frac{4 \cdot PSD_{\max} \cdot RBW_{pk}^2}{D_s \sigma_a^2 \cdot RBW_{av}} \right\} \quad (14)$$

Equation (14) is only valid for rates lower than 50MHz for which the RBW filter only responds to one pulse. Moreover, in the case where the rate is decreased to maximize the pulse magnitude, (14) gives the minimum rate below which further increasing the magnitude is prohibited.

D. Generator Sizing

First, the filter and the width of the baseband pulse must be dimensioned by using (2) or directly by computing the average PSD given by (6). A large variety of filters can be used to be compliant with the FCC standard if their bandwidth and center frequency are tuned to match the FCC mask as shown on Fig. 2. Moreover, whatever the $H(f)$ considered, a 3rd order is sufficient to achieve FCC compliant pulse due to the large width of the frequency mask. This limits the loss in the filter and enables integration in CMOS technologies. The choice of the filter relies on a complex compromise. First, the designer must bear in mind that this choice can be reoriented by the filter design presented later on, especially if the value of the

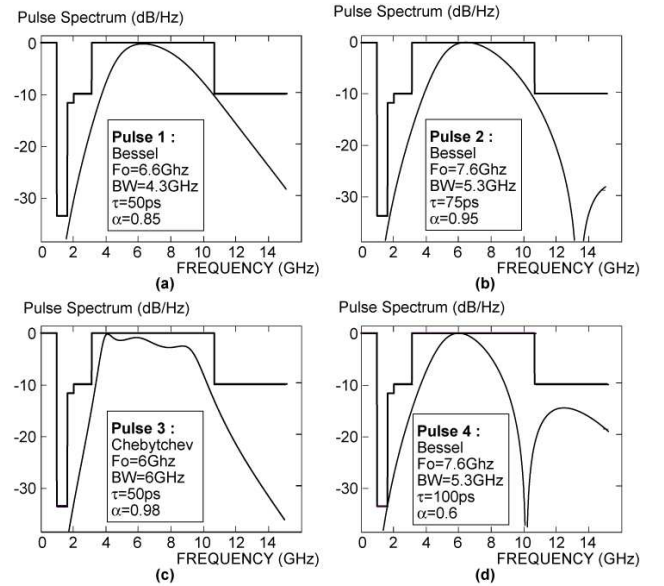


Fig. 2. Relative pulse spectrum ($|G(f)|^2$) comparison for different filters and baseband pulses.

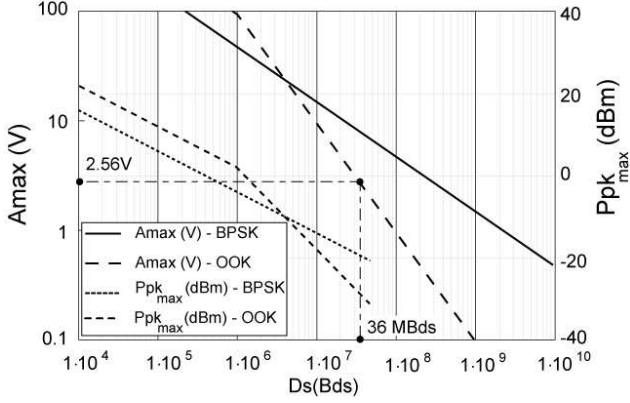


Fig. 3. Maximum baseband pulse magnitude (A_{\max}) and peak power limit as a function of D_s for OOK and BPSK

filter components can not be achieved in the targeted technology. To choose the filter, it is relevant to consider the value of τ needed and the magnitude efficiency represented by α . As shown in Fig. 2, where only 3rd order filters are considered, the pulse 2 achieves almost the same efficiency (α) as pulse 3 with a wider baseband pulse which relieves the constraint on the edge combiner design. Also, for similar filters (pulse 2 and pulse 1) lowering τ decreases α and increases the design constraint which is not helpful. Moreover, the pulse 4 shows that using large baseband pulses increases the sinc function influence which degrades the pulse spectrum and also α .

Once the pulse ($g(t)$) chosen, it is then possible to compute with (7) the maximum pulse magnitude allowed by the average PSD, regarding the modulation type and the rate. Fig. 3 reports A_{\max} as a function of D_s for OOK and BPSK modulations. Fig. 3 is plotted for pulse2 with 3dB filter power loss.

In the case of OOK modulation, for high rates, the maximum value of PSD is given by the discrete spectrum. When D_s is lower than $D_{s_{lim}} = RBW_{av} \cdot (\sigma_a / \mu_a)^2$, discrete spectrum is lower than the continuous spectrum and the maximum value of PSD is fixed by the continuous spectrum. In our case study, a rate of 36 Mbs^{-1} is targeted. Such a rate can be achieved with OOK modulation if the baseband pulse magnitude does not exceed 2.56V, which leads to a $g_0 = 1.73 \text{ V}$

due to the 3dB filter power loss and due to $\alpha = 0.95$. Moreover, depending on the application needs, the computation of A_{\max} can be used in a different way. For a given pulse magnitude fixed by the link budget, the maximum rate can be evaluated for OOK or BPSK modulation.

Lastly, for a RBW equal to 50MHz in the case where A is set to A_{\max} the peak power given by (14) is plotted in Fig. 3. Under this condition, the peak power limit is reached for OOK at $D_s = 1.23 \text{ Mbs}^{-1}$ and it is not possible to further reduce the symbol rate to increase g_0 . For BPSK, the limit is reached for $D_s = 380 \text{ kbs}^{-1}$ but it leads to the same value of g_0 . For our case study where $g_0 = 1.73 \text{ V}$, the peak power is -29dBm.

E. Generator specifications

This theoretical section presents the specification of the main parameters of a pulse generator that uses filter impulse response technique in the case of linear modulation. It shows that a generator can be achieved with a low order filter. A 3rd order Bessel filter is chosen here, especially because it has a good response in terms of magnitude ($\alpha = 0.95$) to a baseband pulse that has a width equal to 75ps. This lowers the constraint on the design in a $0.13 \mu\text{m}$ CMOS technology. Moreover, to reach 36 Mbs^{-1} rate, OOK modulation can be used with a pulse magnitude of 1.73V leading to a good detection [18]. Using OOK modulation lowers the constraints on the generator design because it is not necessary to produce antipodal pulses. Indeed generating a pulse and its perfect opposite increases the circuit complexity even when delay-based techniques are used [3]. To achieve $g_0 = 1.73 \text{ V}$ with 3dB loss and $\tau = 75 \text{ ps}$, A_{\max} must be equal to 2.56V. Such a value can not be directly obtained in the technology targeted because $A_{\max} > 1.2 = V_{dd}$. As a consequence the filter must be driven in current mode as shown in the next section. Last of all, there is no limitation due to the peak power in RBW_{pk} for OOK modulation having $g_0 = 1.73 \text{ V}$.

III. PULSE GENERATOR DESIGN

Fig. 4 shows the entire topology of the proposed pulse generator. The generator consists in a edge combiner that uses

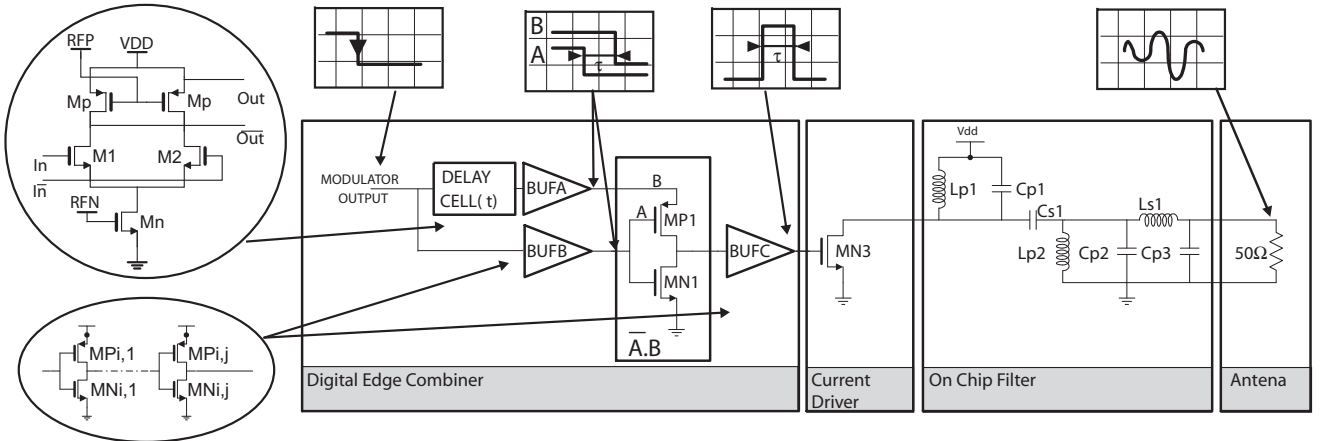


Fig. 4. Pulse generator architecture

varying differential delay cells and a fast logic gate. A transistor is then used to drive the filter in current mode to produce the magnitude needed ($A_{max}=2.56V$) at the filter input.

A. On Chip Filter Design

The design of the pulse generator is mainly determined by the performance of the passive devices of the technology used and especially the inductors. Due to the metal thickness and the substrate loss, CMOS technology provides inductors with low Q factor. The low order needed to achieve a FCC compliant pulse is a great advantage for the design of a filter with low Q devices because it limits the power loss ($<3dB$). Moreover, the values of the Q factor and of the Self Frequency Resonance (SFR) vary with L. It is then necessary to evaluate the technology to determine which values of inductors achieve admissible Q factor (around 10) in the overall bandwidth. This means that the range of inductor values to be used is limited. For the $0.13\mu m$ CMOS technology used for this design, the range is around $400pH < L < 1.5nH$. Lower values of inductors leads to inductor with $Q < 10$ and higher values of inductors leads to SFR lower than 15GHz. Due to the large relative bandwidth of the FCC mask, the dispersion on the inductor values needed to implement a FCC compliant filter is low and filters can be achieved with such a narrow range. For the 3rd order Bessel considered in this design (which has normalized low pass filter elements respectively equal to $g_1=1.225$, $g_2=0.5528$ and $g_3=0.1922$ [19]), the values of the band pass filter components obtained for a central frequency of $f_0=6.6GHz$ and a fractional bandwidth $b=0.69$ are listed in TABLE 1 and are in the range of possible values stated above. Moreover, different filter structures can be evaluated to find the best inductor values. In our design, as shown in Fig. 4, the filter topology used is a modified ladder structure.

B. Filter Driver Design and Matching

In our case study, the magnitude of the baseband pulse needed exceeds the voltage supply. Consequently, the filter is driven in current mode. The sizing of MN3 depends on the filter input impedance and A. In the case where $g(t)$ is a square function with magnitude equal to V_{DD} , the current given by MN3 to the load during the time τ can be approximated using the MOS current law $I_D(V_{GS})$ with $V_{GS}=V_{DD}$. Under this assumption the width of MN3 can be expressed as follows:

$$W = \frac{L \cdot A}{R_{IN} \cdot \mu_0 \cdot C_{ox} (V_{dd} - V_t)^2} \quad (15)$$

where μ_0 is the charge carrier effective mobility, C_{ox} the gate oxide capacitor, V_t the threshold voltage and R_{IN} is the filter input impedance and is equal to the load impedance in most of the passive filter if the loss is ignored. The current needed to drive the 50Ω impedance is then $I_0=(A_{max})/50=51mA$ which

TABLE 1 : FILTER'S COMPONENT VALUES

Lp1 (nH)	Cp1 (pF) (ideal)	Cp1 (pF) (Real)	Cs1 (fF)	Ls1 (nH)	Lp2 (nH)	Cp2 (fF)	C3 (fF)
460	1.43	0.5	677	1.15	1.08	420	260

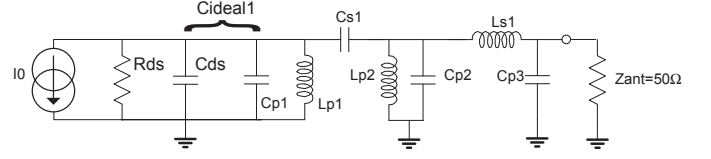


Fig. 5. Electrical scheme of the driver and the filter.

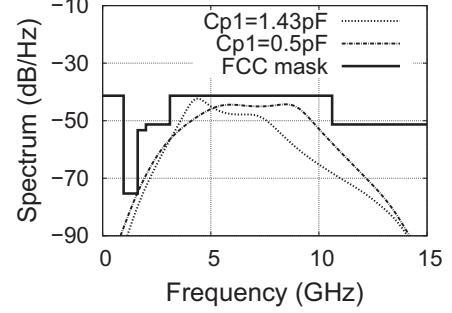


Fig. 6. Compensation effect on the output pulse spectrum .

implies a large transistor. The output of such a wide transistor influences the filter transfer function and can involve matching loss. During the conduction time (τ) of MN3, the output (R_{ds} and C_{ds}) can be approximated using small signal hypothesis leading to the electric scheme given in Fig. 5. To match the driver to the filter, MN3 must be sized to have R_{ds} equal to R_{IN} . Because both R_{ds} and I_0 depend on MN3 width (W_{MN3}), it is not possible, with such a simple topology, to size MN3 to have $I_0=51mA$ and, at the same time, $R_{ds}=R_{IN}$. It is then necessary to make a trade-off between the driving current (I_0), the matching (R_{ds}), and the power consumption (W_{MN3}). For the considered design the width of the transistor is set to $100\mu m$ which leads to the intrinsic characteristics given in TABLE 2. Due to the mismatch ($R_{ds}=122\Omega$ instead of 50Ω), the value of I_0 is increased to $58mA$ (instead of $51mA$) in order to ensure that $g_0=1.73V$ as shown in Fig. 10. A wider transistor results in a lower R_{ds} and better matches the filter, but increases the power consumption.

The effects of C_{ds} can be easily cancelled by taking C_{p1} equal to its ideal value minus C_{ds} . As shown in Fig. 6, if C_{ds} is not compensated by C_{p1} , the transfer function of the filter is modified and the pulse spectrum can be affected. This especially occurs when a large transistor is used, because C_{ds} increases with the transistor width.

The drain of MN3 is biased using the first filter resonator to avoid the use of additional inductor. The gate is not biased to operate in C class. As a result, the filter does not consume DC power while no pulse is transmitted resulting in good power consumption performance.

TABLE 2 : VALUES OF THE EXTRACTED NMOS TRANSISTOR HAVING $100\mu m$ WIDTH, $0.13\mu m$ LENGTH AND BIASED TO $V_{GS}=1.2V$ AND $V_{DS}=1.2V$

I_{dson}	58 mA
G_{ds}	7.59 mS
C_{ds}	240 fF

C. Digital Edge Combiner Design

The technique used in the baseband pulse generator consists in propagating an edge through a delay cell. The pulse is then obtained by combining the input and the output of the delay cell using a logic function. Generation of accurate delay requires a phase locked loop and is not suitable for low cost systems. The delay variation mainly impacts α which is equivalent to additional loss. However, a small variation does not impact the output magnitude very much and only tunable delay cells are used in this design principally to compensate for process variation. The delay cell used is the modified differential MOS Current Mode Logic inverter [20] depicted in Fig. 4. The control voltage (V_{ctrl}) and VDD are respectively applied to RFP and RFN pins. In this configuration M_p and M_n act like resistors and no additional capacitor is needed. The width of M_p and M_n is set to $0.5\mu m$. The output voltages are : $V_{OL}=0.3V$ and $V_{OH}=1.2V$ and the delay achieved by the cell varies from 17ps to 300ps which gives to the cell a large tuning capability.

The combination of the two edges can be achieved by a large variety of logic gates. The speed of the gate is very important to generate short pulses having sufficient magnitude. The logic function used here needs only 2 transistors to operate, allowing high speed transition. The cell achieves $A \cdot \bar{B}$, which generates pulses only on negative edges.

Due to the difference between the transistor size of the delay cell and of the filter driver, buffers are needed to ensure the signal integrity. The buffers consist of serial inverters sized with the fan out law to make a smooth transition between the delay cell and the driver transistor sizes.

IV. MEASUREMENT AND SIMULATION RESULTS

The pulse generator has been designed with a $0.13\mu m$ standard CMOS technology from ST Microelectronics. The die is shown in Fig. 7 and its area is $0.54mm^2$.

A. Digital Edge Combiner Results

The performances of the triangular pulse generator depend on the load of the filter driver MN3 and accurate measurement is difficult to achieve. Simulations using the design kit and post layout extraction are presented here. The impulse output signal of the gate and its Fourier transform are depicted in Fig. 8 and Fig. 9 for different values of the delay cell control voltage. The gate is able to generate impulse with a minimal

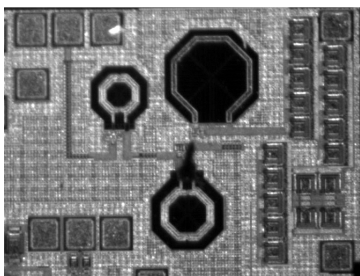


Fig. 7. Die Photographe.

width of 46ps having 1.2V voltage magnitude. For a 0.4V control voltage, the pulse width is 75ps and the Fourier transform is almost flat in the FCC band which denotes good spectral efficiency and good pulse quality.

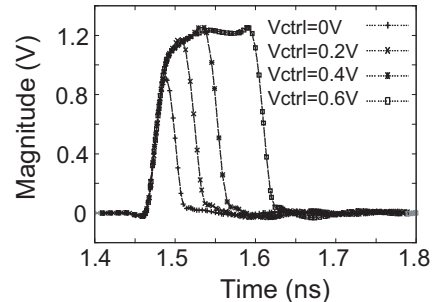


Fig. 8. Time simulation of the Baseband pulse for different control voltages.

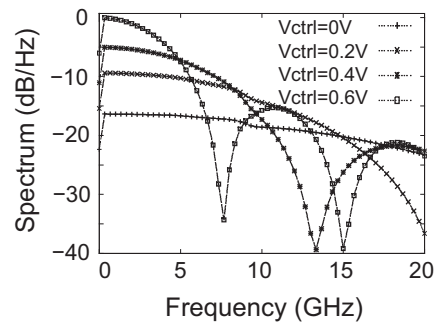


Fig. 9. Comparison of the Fourier transform of the baseband pulse for different control voltages

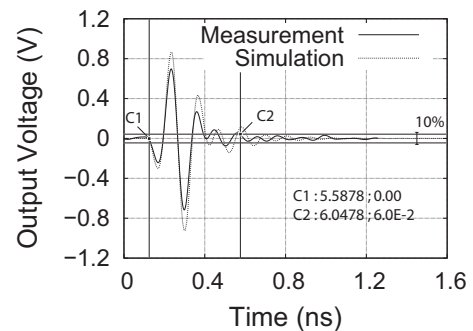


Fig. 10. Time simulation and measurement of the pulse generator output

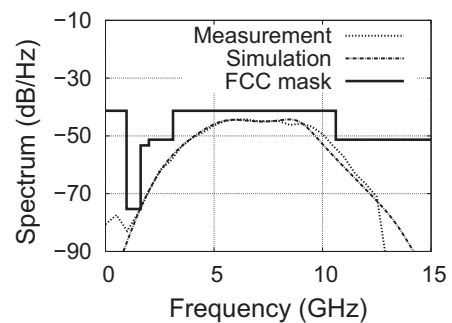


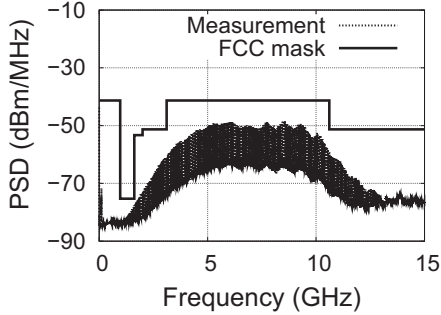
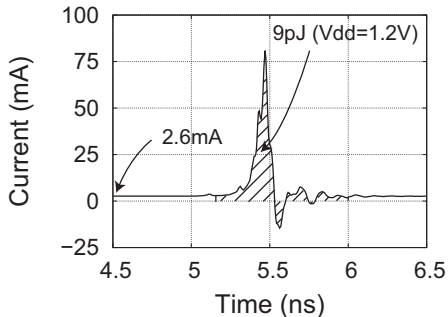
Fig. 11. Simulated and measured output spectrum

TABLE 3 : PERFORMANCE SUMMARY OF PROPOSED GENERATOR AND COMPARISON WITH PREVIOUS WORKS

Ref.	V _{pp} (V)	V _{dd} (V)	Width (ns)	BW (-10dB)	CMOS (μm)	Power Cons.	E _p (/pulse)	η (pJ/p/V)	Area (mm ²)	Technique	Modulation
[21]	1.24	2.2	1.75	1.4GHz	0.18	29.7mW@36MHz	nc	nc	0.4(core)	Digital Pulse Combining	DBPSK
[22]	0.18	1.5	3.5	500MHz	0.18	1.82mW@100MHz	18pJ	100	0.39(die)	OL switchning	OOK
[23]	0.9	1.8	2.5	1.2GHz	0.18	1.8mW@10Mp/s	180pJ	200	1.21(die) / 0.57(core)	OL switchning	BPSK
[10]	0.65	1	3	550MHz	0.09	nc	47pJ	72.3	0.08(core)	Digital Pulse Combining	DBPSK
[8]	0.16	1.5	3.5	520MHz	0.18	1.68mW@100MHz	16.8pJ	105	0.3(core)	OL switchning	OOK
[7]	0.673	1.8	0.5	4.5GHz	0.18	nc	27pJ	41.5	0.11(die)	OL switchning	OOK
[13]	0.35 to 0.45	1.2	0.6 to 0.8	2-4GHz	0.13	10mW@160MHz	nc	nc	1.56 (die)	Filtered Edge Combination	PPM/BPSK
This work	1.42	1.2	0.46	6.8GHz	0.13	3.84mW@100MHz	9pJ	6.4	0.54(die)	Filtered Edge Combination	OOK

B. UWB Pulse Measurement

Measurement achieved with a 12GHz real time oscilloscope (Agilent DSO81204B) agrees well with simulations as shown in Fig. 10. Taking into account the cable loss, the peak to peak magnitude is 1.42V instead of 1.73V. This results in a lower transmission range but increases the rate capability up to 43.8Mbs⁻¹. The time required for the pulse to reach 10% of the peak to peak voltage is 460ps. After the main impulse, damped oscillation can be observed which is due to mismatch but little affects the pulse spectrum. As shown in Fig. 11, the compliance with FCC mask is good and the 10dB bandwidth is 6.8GHz. Due to this very large bandwidth, the PSD of the modulated signal (s(t)) must be lower than the PDS_{max} imposed by FCC to avoid emission in the forbidden frequency band around 1GHz. This limits the rate to a maximum value of 38Mbs⁻¹. As shown in Fig. 12 the spectrum of a 36Mbs⁻¹ OOK modulated signal complies with the FCC mask. We can notice that this generator is not physically limited to this rate and a

Fig. 12. PSD of a 36Mbs⁻¹ OOK modulation using the proposed generatorFig. 13. Simulation of the current consumption with V_{dd}=1.2V

maximum Pulse Repetition Frequency of 500MHz has been measured.

C. Power and Energy Consumption

The major interest of the presented structure is its very small amount of energy needed to generate large pulses. The energy consumed by a pulse is estimated to be 9pJ, as represented in Fig. 13, which is a very good performance compared to results in the literature as shown in TABLE 3. This very good performance relies on two things. First, the pulse generated has a very wide spectrum which leads to a very short duration and limits the time conduction of the transistors. Second, the filter driver which consumes the major amount of power, operates in C class mode and has no DC power consumption. The DC consumption is 3.2mW and is mainly due to the differential delay cell. The total power consumption is 3.84mW@100Mhz and is linearly dependent on the rate. Moreover, the DC power can easily be decreased to zero by using classic CMOS logic gate in the edge combiner especially for very low power applications like RFID or sensor network.

For low cost systems that use energy detectors, an important criteria is the energy by pulses relative to the pulse magnitude:

$$\eta = \frac{E_p}{g_0} \quad (16)$$

When the consumed energy is compared to the pulse magnitude, the presented generator also performs well since it achieves 6.4pJ/Pulses/V.

V. CONCLUSION

The design of a low power and high voltage pulse generator has been presented. It uses a bandpass filter excitation technique for which a sizing method, based on the average PSD, has been presented. The generator is fully integrated in a 0.13μm CMOS technology on 0.54mm². It consumes 9pJ by pulses and generates a 1.42V_{pp} pulse. It can be used in the FCC band with OOK modulation and rates up to 38Mbs⁻¹. This generator appears to be very well suited for low cost and low power applications.

REFERENCES

- [1] Jeongwoo Han; Cam Nguyen "Ultra-wideband electronically tunable pulse generators"; *Microwave and Wireless Components Letters, IEEE*; Volume 14, Issue 3, March 2004 Page(s):112 – 114.
- [2] Adrian Eng-Choon Tan; Chia, M.Y.-W.; Leong, S.-W. "Sub-nanosecond pulse-forming network on SiGe BiCMOS for UWB communications"; *Microwave Theory and Techniques, IEEE Transactions on*; Volume 54, Issue 3, March 2006 Page(s):1019 – 1024.
- [3] Wentzloff, D.D.; Chandrakasan, A.P.;" A 47pJ/pulse 3.1-to-5GHz All-Digital UWB Transmitter in 90nm CMOS"; *Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International*; 11-15 Feb. 2007 Page(s):118 – 591.
- [4] H. Kim, Y. Joo, "Fifth-derivative Gaussian pulse generator for UWB system," *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium 2005, Digest of Papers 2005*, pp. 671-674, 12-14 June 2005.
- [5] Yunliang Zhu; Zuegel, J.D.; Marciante, J.R.; Hui Wu;"A 0.18 μ m CMOS distributed transversal filter for sub-nanosecond pulse synthesis"; *Radio and Wireless Symposium, 2006 IEEE*; 17-19 Jan. 2006 Page(s):563 – 566.
- [6] Rui Xu; Jin, Y.; Nguyen, C.; "Power-efficient switching-based CMOS UWB transmitters for UWB communications and Radar systems "Microwave Theory and Techniques, *IEEE Transactions on*; Volume 54, Issue 8, Aug. 2006 Page(s):3271 - 3277
- [7] Sanghoon Sim; Dong-Wook Kim; Songcheol Hong; A CMOS UWB Pulse Generator for 6–10 GHz Applications *Microwave and Wireless Components Letters, IEEE*; Volume 19, Issue 2, Feb. 2009 Page(s):83 – 85.
- [8] Phan, A. T.; Lee, J.; Krizhanovskii, V.; Le, Q.; Han, S.-K.; Lee, S.-G.; "Energy-Efficient Low-Complexity CMOS Pulse Generator for Multiband UWB Impulse Radio"; *Circuits and Systems I: Regular Papers, IEEE Transactions on*; Volume 55, Issue 11, Dec. 2008 Page(s):3552 – 3563.
- [9] Hyunseok Kim; Youngjoong Joo; Sungyong Jung; "Digitally controllable bi-phase CMOS UWB pulse generator"; *Ultra-Wideband, 2005. ICU 2005. 2005 IEEE International Conference on*; 5-8 Sept. 2005 Page(s):442 - 445
- [10] Wentzloff, D.D.; Chandrakasan, A.P.;" A 47pJ/pulse 3.1-to-5GHz All-Digital UWB Transmitter in 90nm CMOS"; *Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International*; 11-15 Feb. 2007 Page(s):118 – 591.
- [11] S. Bourdel, Y. Bachelet, J. Gaubert, M. Battista, M. Egels, N. Dehaese, "Low-Cost CMOS Pulse Generator for UWB Systems," *Electronic Letters*, vol. 43, issue 25, pp. 1425-1427, 6 December 2007.
- [12] Norimatsu, T.; Fujiwara, R.; Kokubo, M.; Miyazaki, M.; Maeki, A.; Ogata, Y.; Kobayashi, S.; Koshizuka, N.; Sakamura, K.; "A UWB-IR Transmitter With Digitally Controlled Pulse Generator"; *Solid-State Circuits, IEEE Journal of*; Volume 42, Issue 6, June 2007 Page(s):1300 - 1309
- [13] Smaini, L.; Tinella, C.; Helal, D.; Stoecklin, C.; Chabert, L.; Devaucelle, C.; Cattenoz, R.; Rinaldi, N.; Belot, D.; "Single-chip CMOS pulse generator for UWB systems"; *Solid-State Circuits, IEEE Journal of*; Volume 41, Issue 7, July 2006 Page(s):1551 – 1561.
- [14] Byunghoo Jung; Yi-Hung Tseng; Harvey, J.; Harjani, R.; "Pulse generator design for UWB IR communication systems"; *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on* 23-26 May 2005 Page(s):4381 - 4384 Vol. 5
- [15] Bachelet, Y.; Bourdel, S.; Gaubert, J.; Bas, G.; Chalopin, H.; "Fully integrated CMOS UWB pulse generator", *Electronics Letters*, Volume 42, Issue 22, Oct. 26 2006, Page(s):1277 – 1278
- [16] J. G. Proakis, "Digital Communications", Ed. Mac Graw Hill, 3rd Ed 1995.
- [17] FCC: FCC rules and regulations, Part15. 2006
- [18] Lee, J.; Park, Y. J.; Kim, M.; Yoon, C.; Kim, J.; Kim, K. H.; "System On Package Ultra-Wideband transmitter using CMOS impulse generator"; *Microwave Theory and Techniques, IEEE Transactions on*; Volume 54, Issue 4, Apr. 2008 Page(s):1667 – 1673.
- [19] Jia-Sheng Hong, M. J. Lancaster "Microstrip Filters for RF/Microwave Applications" Ed. John Wiley and Sons Inc.
- [20] Marsden, K.; Hyung-Jin Lee; Dong Ha; Hyung-Soo Lee;"Low power CMOS re-programmable pulse generator for UWB systems"; *Ultra Wideband Systems and Technologies, 2003 IEEE Conference on*; 16-19 Nov. 2003 Page(s):443 – 447
- [21] Norimatsu, T.; Fujiwara, R.; Kokubo, M.; Miyazaki, M.; Maeki, A.; Ogata, Y.; Kobayashi, S.; Koshizuka, N.; Sakamura, K.; "A UWB-IR Transmitter With Digitally Controlled Pulse Generator"; *Solid-State Circuits, IEEE Journal of*; Volume 42, Issue 6, June 2007 Page(s):1300 – 1309
- [22] Tuan-Anh Phan; Jeongseon Lee; Krizhanovskii, V.; Seok-Kyun Han; Sang-Gug Lee;" A 18-pJ/Pulse OOK CMOS Transmitter for Multiband UWB Impulse Radio"; *Microwave and Wireless Components Letters, IEEE*; Volume 17, Issue 9, Sept. 2007 Page(s):688 – 690
- [23] Barras, D.; Ellinger, F.; Jackel, H.; Hirt, W.;" Low-power ultra-wideband wavelets generator with fast start-up circuit"; *Microwave Theory and Techniques, IEEE Transactions on*; Volume 54, Issue 5, May 2006 Page(s):2138 – 2145.



Sylvain Bourdel received the Ph. D in microelectronics from the National Institute of Applied Science (INSA) of Toulouse in 2000. He was with the LASS laboratory of Toulouse where he was involved on radiofrequency systems modelling and he was particularly focused on spread spectrum techniques applied to 2.45GHz transceivers. In 2002 he joined the Integrated Circuit Design Team of the IMNP in Marseille where he works in CMOS RF IC design and integration. He particularly works for low cost applications including RFID, UWB and narrow band systems. His area of interest also includes system level specifications, system packaging and interconnections.



Yannick Bachelet was selected for preparation for the competitive entrance examinations to French Engineering Schools, Dijon, France, in 1999. He received the M.Eng degree in microelectronics and telecommunication from Polytech' Marseille and the M.S. in microelectronics and nanoelectronics from Aix-Marseille University, Marseille France, in 2004. He received the Ph. D of microelectronics and nanoelectronics from Aix-Marseille University in 2008. He works now with EDITAG. His research interests include UWB radio transceiver design and RFID systems development.



Jean Gaubert received the M.S. and the Ph.D. degrees in applied physics from Paul Sabatier University, Toulouse, France, in 1985, and 1988, respectively. From 1989 to 2001 he was an Assistant Professor at the Ecole Nationale Supérieure de l'Electronique et de ses Applications, Cergy-Pontoise, France, where he was involved with high-speed GaAs and InP bipolar devices modelling. In 2001, he joined the University of Provence, Marseille, France, and the Institut Matériaux Microélectronique Nanosciences de Provence (IM2NP). His research focuses on the design and integration of RF/Microwave CMOS integrated-circuits and systems for wireless communications. He has published more than 60 refereed journal and conference papers.

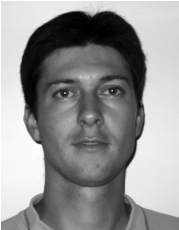


Rémy Vauché was born in Epinal, France, in 1985. He was accepted for preparation for the competitive entrance examinations to French Engineering Schools, Metz, France, in 2003. He received the M.Eng degree in microelectronics and telecommunication from Polytech' Marseille and the M.S. in microelectronics and nanoelectronics from Aix-Marseille University, Marseille France, in 2008. He is currently a Ph.D. student of Aix-Marseille University with the IM2NP laboratory. His current research interests include UWB radio transceiver design in 0.13 μ m CMOS technology for low-power and low-cost applications.



Olivier Fourquin was selected for preparation for the competitive entrance examinations to French Engineering Schools, Marseille, France, in 2003. He received the M.Eng degree in microelectronics and telecommunication from Polytech' Marseille and the M.S. in microelectronics and nanoelectronics from Aix-Marseille University, Marseille France, in 2008. He is currently a Ph.D. student of Aix-Marseille University with the IM2NP laboratory. His current research interests include CMOS UWB radio

transceiver, RFIC packaging and interconnections.



Nicolas Dehaese received the Ph. D in microelectronics and nanoelectronics from Aix-Marseille University, Marseille France in 2005. In 2006 he joined the Integrated Circuit Design Team of the IMNP in Marseille where he works on CMOS RF IC design and integration. His research fields include UWB, 2.45GHz RF systems, spread spectrum techniques and system modelling.



Hervé Barthélemy received the MSc degree in Electrical Engineering in 1992 and the PhD degree in Electronics from the University of Paris XI Orsay, France in 1996. In 2002 he received the HDR degree from the University of Provence, Aix-Marseille I, France. From 1996 to 2000 he was an Assistant Professor at the Institut Supérieur d'Electronique de la Méditerranée (ISEN) in Toulon, France. In 2000 he joined the University of Provence where is has been a full Professor since 2005. In 2007 He joined the University of Sud-Toulon-Var. Since 2005 he headed the Integrated Circuits Design Team at the IM2NP. The team has 12 researchers and PhD students involved in several research projects with industry. His research interests are mainly in the design of radiofrequency analog integrated circuits. He authored and co-authored multiple publications in international journals and conference proceeding.

FULLY INTEGRATED CMOS UWB PULSE GENERATOR

Y. Bachelet, S. Bourdel, J. Gaubert, G. Bas, H. Chalopin

The design of a fully integrated CMOS Ultra WideBand (UWB) pulse generator for the 3.1-10.6 GHz frequency band is presented. The pulse generation is based on the filter impulse response technique. With such a technique, the pulse matches the FCC mask with no need for expensive external filter. The layout of this circuit in a 0.13mm CMOS technology shows a surface area less than 0.57mm², and a power consumption around 20mW.

Introduction : UWB impulse radio is a promising technology for its low cost and low complexity system [1]. In these systems the design of the pulse generator is critical because of the following issues : i) the pulse Power Spectral Density (PSD) must fit the FCC mask as close as possible to optimize the emitted power, ii) the system complexity must be minimized to operate over a 7.5 GHz (from 3.1GHz to 10.6GHz) bandwidth, iii) the system integration must be achievable with a low cost production (low surface area, low power consumption, no off chip components). Recent publications show the interest of temporal impulse shaping approach to build Gaussian pulse or its derivative [2]. The full integration of such generators has not yet been demonstrated. In this paper, a fully integrated CMOS pulse generator based on a on-chip filter impulse response approach is proposed. As depicted in Fig. 1, this generator is composed of two elements : a digital pulse generator cascaded by an on-chip bandpass filter. In section II we compute the PSD of a Pulse Amplitude Modulation (PAM) signal transmitted by the pulse generator to evaluate its theoretical spectral efficiency and the generator feasibility. Section III presents the integrated filter design. In section VI, the digital generator is presented. Section V shows different results based on the on-chip filter measurement and simulation of the system.

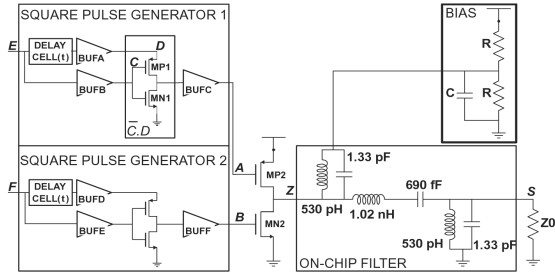


Fig. 1 : Pulse generator topology

Pulse generation technique : Our pulse generation technique consists in applying a square function to the filter input to generate its equivalent dirac response. As shown in (1) $s(t)$, the filter output, is simply $h_e(t)$ the impulse response of the filter if a dirac is applied at the input:

$$s(t) = h_e(t) * \delta(t) = h_e(t) \quad (1)$$

Then, $S(f)$ the Fourier transform of $s(t)$ is $H_e(f)$, the frequency response of the filter. If the dirac is replaced by a square function $\pi_\tau(t)$ equal to A during a time interval (τ) and 0 elsewhere. Then $s(t)$ and $S(f)$ become :

$$s(t) = \pi_\tau(t) * h_e(t) \quad (2)$$

$$S(f) = A\tau \cdot \text{sinc}(\pi\tau f) \cdot H_e(f) \quad (3)$$

In the case of PAM, the transmitted data is represented as follows :

$$e(t) = \sum_{k=0}^{K-1} a_k \cdot s(t - kT_s) \quad (4)$$

where $\{a_k\}$ is the transmitted sequence. T_s is the interval between two pulses and it represents the time symbol. If the transmitted symbols are independent, the PSD of $e(t)$ is given [3] by :

$$PSD_e(f) = \frac{1}{T_s} \left\{ \sigma_a^2 + \frac{\mu_a^2}{T_s} \sum_{k=-\infty}^{\infty} \delta\left(f - \frac{k}{T_s}\right) \right\} |S(f)|^2 \quad (5)$$

where σ_a^2 and μ_a are respectively the variance and the mean of the sequence. Equ. (5) shows the drawback of using non-zero-mean sequences. In a such case spectral lines appear. Because the magnitude of the PSD (PSD_{max}) is limited by the standardization committee (PSD in the UWB band is limited to -41.3dBm/MHz in USA by FCC), important spectral line will limit the total emitted power. The ratio between spectral lines and the continuous spectra is ($1/T_s$) and is a severe handicap for high data rate systems. To overcome this major drawback, zero mean sequences should be used. In the case of a PAM modulation that uses bipolar symbols, the PSD is :

$$PSD_e(f) = \frac{A^2 \tau^2}{T_s} \text{sinc}^2(\pi\tau f) \cdot |H_e(f)|^2 \quad (6)$$

The emitted power can be expressed as follows :

$$Pe = \frac{A^2 \tau^2}{l Z_0 T_s} \int_{\mathbb{R}} \text{sinc}^2(\pi\tau f) \cdot |H_{Ne}(f)|^2 df \quad (7)$$

where l represents the filter power losses and $H_{Ne}(f)$ is the normalized filter frequency response which has a peak value of 0dB, and Z_0 is the output load due to the antennae. The computation of Equ. (6) and (7) shows that reducing τ reduces the sinus cardinal function influence as it is shown on Fig. 2. But, reducing τ also decreases the PSD_{max} . Fig. 2 summarizes different scenarios evaluated for $D_s=1\text{Gbits}^{-1}$, $l=2\text{dB}$, $Z_0=50\text{Ohm}$ and $PSD_{max}=-41.3\text{dBm}$. We especially see that spectral efficiency can be increased by the τ diminution if the pulse amplitude (A) is used to maintain a constant PSD_{max} . Those different scenarios show that pulse generation is achievable with a reasonable pulse amplitude (that will limit power consumption) using small order filter (that will limit silicon area consumption) and if the filter losses are small.

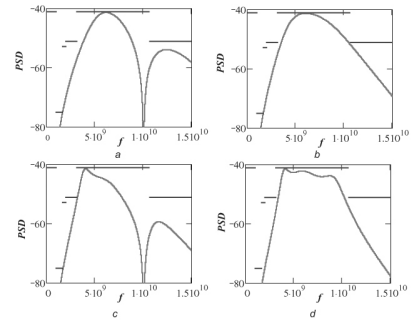


Fig. 2 Emitted signal PSD for different third order filters with the FCC spectral mask for comparison

- a Bessel, $F_0=8\text{GHz}$, $BW=5.5\text{GHz}$, $\tau=100\text{ps}$, $A=1.9\text{V}$, $P_e=-6.4\text{dBm}$
- b Bessel, $F_0=6.4\text{GHz}$, $BW=4.4\text{GHz}$, $\tau=50\text{ps}$, $A=1.8\text{V}$, $P_e=-5.1\text{dBm}$
- c Chebychev, $F_0=6.5\text{GHz}$, $BW=8\text{GHz}$, $\tau=100\text{ps}$, $A=1\text{V}$, $P_e=-7.9\text{dBm}$
- d Chebychev, $F_0=6\text{GHz}$, $BW=6\text{GHz}$, $\tau=50\text{ps}$, $A=1.65\text{V}$, $P_e=-4.9\text{dBm}$

On-chip filter design : One of the key parameters in the design of the CMOS RF filter is the inductor Q-factor (Q). In all the UWB bandwidth, Q must be high to limit losses and the inductor value (L) should be constant to limit the transfer function distortion. In CMOS standard process, Q is very dependent on L . But, due to the UWB relative bandwidth (around 1) the range of L needed to achieve a passive filter is not excessive and enables a full integration.

In our pulse generator (shown in Fig. 1) we use a third order 3dB ripple chebychev filter designed in a 0.13 μm standard CMOS technology. According to section II, such a transfer function is chosen to limit A , the pulse amplitude. Also, using a classical ladder topology [4] this filter results in inductor values for which Q is higher than 8 and L varies less than 10% of its nominal value all over the UWB

bandwidth. Also, for such technology, a more important order entails unacceptable losses whereas a third order is sufficient to match the FCC low frequency requirement.

Digital pulse generator design : The most important parameters in the design of UWB digital pulse generator appear to be the ability i) to generate bipolar pulse without an excessive power consumption, ii) with a sufficient magnitude (A) over a wide band ($>7\text{GHz}$), iii) and with very short rising and falling time. The topology of the square pulse generator is represented in Fig.1. This topology is derived from the circuit presented in [2]. Two complementary switches (MP2 and MN2) are used to generate bipolar pulses and are controlled by two complementary square pulse generators (SPG). The SPG 1 and SPG 2 use respectively positive and negative transition (on E and F) to generate a negative and positive pulse on A and B by using a delay cell and a digital gate which achieves the function $\overline{C.D}$. The buffers consist of six inverters and achieve a smooth size transition between the small digital transistors (at the input delay cell) and the out-put transistors (MP2 and MN2) to maintain a good rising and falling time. Also, to enable bipolar pulse generation the filter input (Z) bias is set to $V_{DD}/2$ with Rd1 and Rd2 through the LC input network (Lp1 and Cp1). Cd1 is much greater than Cp1 to reduce the bias network influence.

- 2 H. Kim, D. Park, Y. Joo, "All-digital low-power CMOS pulse generator for UWB system", *Electronics Letters*, 25th Nov 2004, Vol. 40, No. 24.
- 3 J. G. Proakis, "Digital Communications", *Ed. Mac Graw Hill*, 3rd Ed 1995.
- 4 Anatol J. Zverev, "Handbook of FILTER SYNTHESIS", *Ed. John Wiley and Sons*, 1967.

Author affiliation :

L2MP UMR CNRS 6137 Polytech' Marseille, IMT Technopôle de Château Gombert, 13451 Marseille Cedex 20, France.

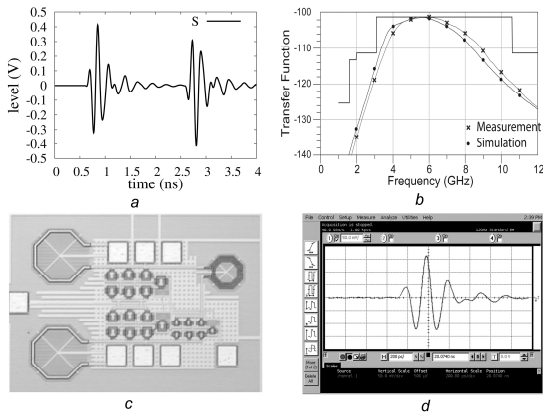


Fig.3 Results
a Pulse simulation
c Filter photograph

b Filter frequency response
d Pulse measurement

Results : Time domain simulation (represented on Fig. 3a) shows the ability of this pulse generator to achieve bipolar pulses. The simulated maximum PSD is -103 dBm/Hz instead of the -101.43 dBm/Hz and the simulated power consumption of the complete generator is 19.7 mW with a pulse repetition frequency of 1 GHz . Also, simulations show that the digital pulse generator achieves, on a ideal 50Ω load, a pulse which has a width of 92ps and a magnitude of 600mV . The filter has been made with the ST-Microelectronics CMOS $0.13\mu\text{m}$ (Fig 3b). The normalized filter frequency characteristics whose peak value is the PSD_{max} are plotted in Fig 3c. The measured characteristics concord with the simulated ones and respect the FCC mask. At last, Fig. 3d shows a pulse measured with a DSO81204B Agilent oscilloscope using a 81133A Agilent pulse generator which provides a 100ps width square pulse at the on-chip filter input.

References :

- 1 Youngkyun Jeong; Sungyong Jung; Jin Liu, "A CMOS impulse generator for UWB wireless communication systems", *Proceedings of the 2004 International Symposium Circuits and Systems*, Vol. 4, 23-26 May 2004 Page(s):IV - 129-32

LOW-COST CMOS PULSE GENERATOR FOR UWB SYSTEMS

S. Bourdel, Y. Bachelet, J. Gaubert, M Battista, M. Egels and N. Dehaese

The design of a CMOS Ultra WideBand (UWB) pulse generator for Impulse Radio (IR) system transmission in the 3.1-10.6 GHz frequency band is presented. The pulse generator uses an elementary pulse combiner which appears to be well suited to tune the synthesized pulse. The generator is designed with no inductors or external filter in order to reduce the die area and the cost production. Simulations with a standard 0,13 μm CMOS Design Kit, show a 600 mV_{pp} pulse that satisfies the FCC regulation mask and a consumed energy by pulse of 26.4 pJ.

Introduction : Since FCC has allowed UWB transmission in the 3.1-10.6 GHz frequency band, Impulse Radio (IR) appears to be a promising technology for low cost data transmission applications. In IR systems, there is mainly two different ways to generate pulses. A first technique is to generate a baseband pulse and to up-convert it in the UWB band using Local Oscillators (LO) and mixers [1]. Unfortunately, this kind of generator consumes a large amount of power and is limited by the mixer bandwidth. The second way is to directly generate the pulse in the UWB band. Several techniques exist to generate a pulse directly in the UWB band. One is to apply a very short pulse to a passive band pass filter in order to synthesize the impulse response of the filter. This technique is power efficient and can be integrated with CMOS technology but consumes a large die area due to the filter inductors [2]. An other way to directly generate the pulse in the UWB band is to use elementary pulse combination to synthesize a particular pulse which satisfies the FCC regulation mask. This technique is attractive because the generator can be achieved without using additional filter and appears to be well suited for pulse tuning [3]. In this paper we present a pulse generator based on a pulse combiner which allows the generation of different pulse shapes. This pulse generator is well suited for low cost because it does not need on-chip inductors or off chip filter to operate. The pulse combination technique is first presented, then the circuit is described and finally simulations using a 0.13 μm CMOS standard design kit are presented.

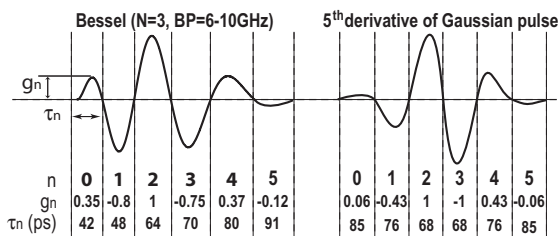


Fig. 1 : Ideal pulses to be synthesized

Pulse combination technique : In this technique, presented in [3], the pulse $s(t)$ is approximated by a sum of elementary cosine pulses $e_n(t)$ as follows :

$$s(t) = \sum_{n=0}^{N-1} g_n \cdot e_n \left(t - \sum_{n=0}^{N-1} \tau_{n-1} \right) \text{ with } \tau_{-1} = 0$$

where g_n and τ_n refers to the magnitude and the width of the n^{th} pulse. As shown on Fig. 1, g_n and τ_n are obtained from the ideal pulse to be synthesized. In this work we choose to synthesize the 5th derivative of a Gaussian pulse and a 3rd order 6-10GHz Bessel impulse response for the following reasons : i) 5th derivative of a

Gaussian pulse is widely use in UWB systems, ii) 3rd order 6-10GHz Bessel impulse response rejects the 5GHz frequency band and is interesting for many applications, iii) both of pulses can be approximated with 6 elementary pulses having roughly the same width ($\tau_n = \tau = 70\text{ps}$).

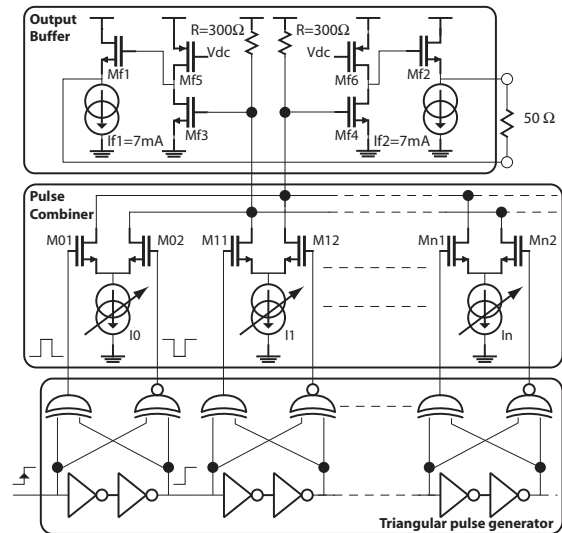


Fig. 2 : Proposed pulse generator

Pulse generator design : The main difficulty of this combination technique is to control the gain (g_n) applied on each pulse and especially to achieve alternatively positive and negative values. The pulse combiner used in the proposed generator uses differential amplifiers as shown on fig. 2. The bias current of each cell (I_n) allows the magnitude control of each elementary pulse. The combination is achieved by current summing in the output load (R). The sign of g_n needed to achieve the positive and negative combination is realized by alternatively crossing the cell output.

To generate the elementary pulse used in the pulse combiner, a differential triangular pulse generator is used. A positive edge is propagated through several delay cells achieved by inverters. XOR and NXOR gates generate positive and negative pulses from two consecutive positive edges to achieve the differential signal applied to the pulse combiner inputs. The width (τ) of the pulses is fixed by the delay between two consecutive edges and can be adjusted with the number and the width of the inverters.

To drive the 50Ω impedance of the antenna, a source follower amplifier (Mf1-Mf2) is used as output buffer. Because output impedance of source follower amplifier depends on the transconductance, Mf1 and Mf2 are biased by two independent current sources ($if1$ and $if2$) which provide a 7mA bias current and the width of the transistors is 70μm to match the 50Ω impedance of the antenna. Because the voltage gain of the source follower is -8dB, an amplifier stage (Mf3-Mf4) with active load (Mf5-Mf6) is inserted between the pulse combiner and the output buffer. The distortion induced by the non-flat frequency response of the amplifier stage can be partially compensated by appropriated values of I_n .

Simulations Results: Simulations with 0.13 μm CMOS Design Kit are performed for several sets of I_n . With the first set of I_n ($I_0=0, I_1=0.6\text{mA}, I_2=2\text{mA}, I_3=2\text{mA}, I_4=1\text{mA}, I_5=0$), a Gaussian pulse is approximated. As shown on Fig. 3, the power spectral density (PSD) of the pulse satisfies the FCC regulation mask and its magnitude is 0.6 V_{pp}. With the second set of I_n ($I_0=0.8\text{mA}$,

$I_1=1.54\text{mA}$, $I_2=1.9\text{mA}$, $I_3=1.49\text{mA}$, $I_4=0.7\text{mA}$, $I_5=0$) a third order 6-10GHz Bessel impulse response is approximated. The pulse also satisfies the FCC regulation mask and its magnitude is $0.5 V_{pp}$. Because the output buffer consumes a large amount of DC current, the power supply of the pulse generator should be off between two consecutive pulses as suggested in [4]. In this condition, the energy consumed by pulse is 26.4 pJ and the power consumption is $26.4\mu\text{W}$ and 2.64mW at the pulse repetition frequency of 1MHz and 100MHz , respectively.

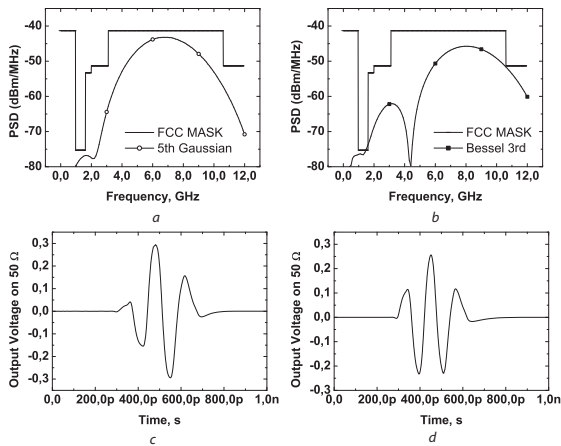


Fig. 3 Simulation results for different pulse synthesis
a) PSD of the Bessel filter impulse response synthesis
b) PSD of the 5th derivative of the Gaussian pulse synthesis
c) Output voltage for Bessel filter impulse response
d) Output voltage for the 5th derivative of the Gaussian pulse

Conclusion : The design of a pulse generator is presented. It uses a pulse combiner which allows the control of the magnitude of each elementary pulse. This pulse generator can synthesize different pulses in different bandwidths without the need of inductors or external filters. The use of voltage controlled delay in the triangular pulse generator would extend the tuning capability of this generator and especially to address lower bandwidth and also compensates any delay variations due to process changes.

References

- [1] Bachelet, Y.; Bourdel, S.; Gaubert, J.; Bas, G.; Chalopin, H.; "Fully integrated CMOS UWB pulse generator", *Electronics Letters*, Volume 42, Issue 22, Oct. 26 2006, Page(s):1277 - 1278
- [2] Xu, R. Jin, Y. Nguyen, C, "Power-Efficient Switching-Based CMOS UWB Transmitters for UWB Communications and Radar Systems", *IEEE Trans. On Microwave Theory and Techniques*, 2006, VOL 54; NUMB 8, pages 3271-3277
- [3] H. Kim, D. Park, Y. Joo, "All-digital low-power CMOS pulse generator for UWB system", *Electronics Letters*, 25th Nov, Vol. 40, No. 24.
- [4] Marsden, K. Hyung-Jin Lee Dong Ha Hyung-Soo Lee, "Low power CMOS re-programmable pulse generator for UWB systems", *Ultra Wideband Systems and Technologies, 2003 IEEE Conference on*, 16-19 Nov. 2003, pp 443- 447

CMOS UWB transceiver for Impulse Radio

Sylvain Bourdel¹, Jean Gaubert¹, Marc Battista¹, Yannick Bachelet¹, Gilles Bas²

¹ Laboratoire de Matériaux et de Microélectronique de Provence, UMR 6137 Ecole Polytechnique Universitaire de Marseille IMT, Technopôle de Château-Gombert, 13451 Marseille cedex 20, France,

² ST Microelectronics, ZI de Rousset, B.P. 2, 13106, CEDEX, France.

Abstract — In this paper, an Impulse Radio (IR) UWB transceiver system design is presented. The presented circuit includes a bipolar pulse generator based on on-chip filter impulse response, and a LNA coupled with high-speed 1-bit digitizer. The presented study is based on several elementary block realizations (LNA, VCO, RF-filter) on a 0.13µm CMOS standard technology. The impact over the characteristics of the whole system performances from these blocks is analyzed and the design of those main elements is also described.

Index Terms — Transceiver, Impulse Radio, LNA, Pulse generator, UWB

I INTRODUCTION

Since UWB technologies was approved by FCC in 2002, their interest for short range and low-cost application is growing. Impulse Radio (IR) is especially a good candidate for those applications because of the simplicity of the architecture and multi-path resistance [1]. For such applications the most limiting point is to achieve fully integrated systems using low-cost technologies like CMOS standard. It leads to some hard design constraints because the wide band matching of the transceivers must be achieved with low quality inductors. Helpfully, the improvement of the CMOS technology leads to transistor with high frequency transition (ft) and therefore counterbalances the lack of good passive devices. Moreover, for those applications, the system must have low power consumption and a small die area.

This work presents a system study of a radio frequency transceiver for IR short range (few meters) applications which use bipolar pulsed modulation (as BPSK) to overcome the drawback of discrete spectrum from the transmitted signal. This work is based on several designs of LNA and pulse generator achieved by the authors [2] [3] in the same CMOS standard technology.

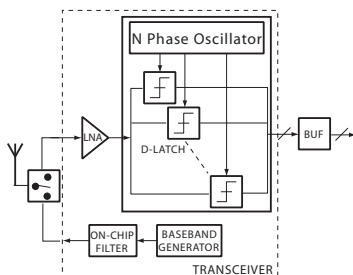


Fig. 1. Block diagram of the proposed system

The proposed transmitter uses a bipolar pulse generator based on an on-chip filter impulse response which allows generating a pulse that directly falls in in the frequency band of interest. Compared to generators that use mixing technique [4] where the pulse is generated at the baseband level and then up converted, the presented generator is very simple and features a low power consumption. The main drawback of this technique remains the need of a fully integrated on-chip filter, but its feasibility on CMOS standard process has been demonstrated [3].

The receiver uses an LNA coupled to a high speed 1 bit digitizer. Compared to LNA coupled with quadratic detector recovering the pulse energy [5], this technique allows coherent detection and channel estimation [6]. The main impairment of such technique is the high sampling frequency needed (more than twice the maximal frequency of 10.6GHz) but the use of a 32 parallel phase delayed digitizer allows decreasing the effective frequency of the VCO which generates the sampling clock [7].

The first section describes the complete system. From the Power Spectral Density (PSD) of the transmitted signal and a voltage budget link, the main parameters of the system are evaluated: e.g. the baseband pulse magnitude (A), the voltage gain (gv) and the noise factor (F) of the LNA. In section two, the design of the pulse generator is presented. We especially focus on pulse generators dedicated to the FCC band (3.1-10.6 GHz) and the ECC band (6-8.5GHz). The third section is focus on digitizer design. The section four describe the design of the LNA coupled to the digitizer. In section five the impact of the designed elements on the proposed system is analyzed using the system study of section one.

II. SYSTEM STUDY

A. Transmitter specification

The block diagram of the transceiver is represented on Fig. 1. The pulse generator consists of an on-chip filter excited by short baseband pulses. If the baseband pulse $\pi_\tau(t)$ is assumed to be a square function equal to A during a time interval (τ) and 0 elsewhere, $s(t)$ the transmitted signal and $S(f)$ its Fourier transform are given by :

$$s(t) = \pi_\tau(t) * h_e(t) \quad (1)$$

$$S(f) = A.\tau.\sin c(\pi.\tau.f).H_e(f) \quad (2)$$

where $h_e(t)$ is the impulse response of the filter and $He(f)$ its frequency response. In the case of BPSK, power spectral density (PSD) of the transmitted data $e(t)$ (if the transmitted symbols are independent) is given by [8]:

$$PSD_e(f) = \frac{A^2.\tau^2}{T_s} \text{sinc}^2(\pi.\tau.f).|H_e(f)|^2 \quad (3)$$

In this case, there are no spectral lines because the transmitted sequence is zero-mean thanks to BPSK modulation. Because the magnitude of the PSD (PSD_{\max}) is limited by the standardization committee (PSD in the UWB band is limited to -41.3dBm/MHz in USA by FCC), important spectral lines will limit A, the magnitude of the baseband pulse. The computation of Equ. (3) gives as well the transfer function of the filter, the magnitude (A) and duration (τ) of the pulse that allow to match the regulation standard frequency mask. For small τ , the sinc function influence is negligible and the maximal magnitude of the baseband pulse is given by :

$$A_{\max} = \sqrt{\frac{PSD_{\max}.T_s}{\tau^2.l}} \quad (4)$$

where l are the power losses of the filter.

B Receiver specification

As shown on Fig. 1, the received pulse is amplified by the LNA and then directly sampled at 20 Gsamples⁻¹. The digitizer consists of N elementary D latches which act as comparators. The D latches are clocked by the N delayed phases of a multiphases oscillator which operates at $f_{osc} = f_{ech} / N$. The signal magnitude at the D latch input (V_{S_D}) should be, at least, twice the D latch sensitivity (Se_D) to ensure a good detection. This leads to the following expression :

$$Se_D = \frac{V_{S_D}}{2} = \frac{gv.V_{S_{LNA}}}{2} = \frac{gv.Ga.Ae}{2.\sqrt{\alpha}} \quad (5)$$

where $V_{S_{LNA}}$ is the signal voltage at the LNA input, gv is the LNA voltage gain, Ga is the gain of a 50Ohm antenna which is power matched to the transceiver, α the propagation power losses (which are assumed to be constant in the bandwidth) and Ae the magnitude of the emitted pulse.

Moreover, in the case of a 50Ohm antenna, the noise at the D latch input can be expressed as follow :

$$Vn_D = gv.\sqrt{F.K.To.Beq.50} \quad (6)$$

where Beq is the noise equivalent bandwidth of the LNA, F the LNA noise factor, K the Boltzman constant and To the

TABLE I
MAIN SYSTEM PARAMETERS

Ae (V)	Gant (dB)	α (1m) (dB)	$V_{S_{LNA}}$ (mV)	$V_{n_{LNA}}$ (μ V)	Fmax (dB)	gv (for $Se_D=50mV$)
1V	0	49.5	3.35	34.5	18	29.5dB

noise reference temperature. To achieve a good detection, the magnitude of Vn_D must be less than Se_D . If we assume that the magnitude of Vn_D is 6 times the root mean square of Vn_D (more than 99% of the values of a gaussian process is contained in an interval equal to six times the variance) and using Eq. (4) and (5) the F value for which the magnitude of Vn_D exceed Se_D is given by :

$$F < \left(\frac{V_{S_{LNA}}}{12.\sqrt{K.To.Beq}.50} \right)^2 \quad (7)$$

We notice that Fmax does not depend on gv . This allows to choose gv only under the constraint of Se_D and Ae . As shown on Tab. 1 a first budget link can be achieved to specify the main characteristics of the system.

III PULSE GENERATOR

As depicted in Fig. 1, the generator is composed of two elements : a digital pulse generator cascaded by an on-chip bandpass filter. The use of CMOS process is a major constraints in the design of the on-chip filter because, in all the UWB bandwidth, Q must be high to limit losses and the inductor value (L) should be constant to limit the transfer function distortion. In CMOS standard process, Q is very dependent on L and is also very low. So, the key point of the design are i) reducing the filter order to limit the losses, ii) for a given technology, choosing the L value that leads to the best inductor performance.

The computation of the PSD (Equ. (3)) allows to determine the main generator parameters (A, l , τ , $He(f)$ and Ts). Fig. 2 shows different evaluations for the FCC and the ECC bands. Tab. 2 where the main characteristic of the pulse generators are summarized, shows that pulse generation can be achieved with a realistic baseband pulse amplitude (around 1.5V) and using small order filter N. Here, the PSD is evaluated for $Ds=1Gbs$ because it is the worst case. Decreasing the symbol rate (for a given magnitude) will decrease the PDS magnitude (which is not a drawback to respect FCC or ECC frequency mask) without lowering the voltage SNR. Also, increasing the symbol rate over 1Gbps is not possible without creating inter-pulse interference.

A Broadband pulse generator for FCC

In the FCC case, the band is very wide and it can be seen as an advantage. First, the wide band involves the use of low

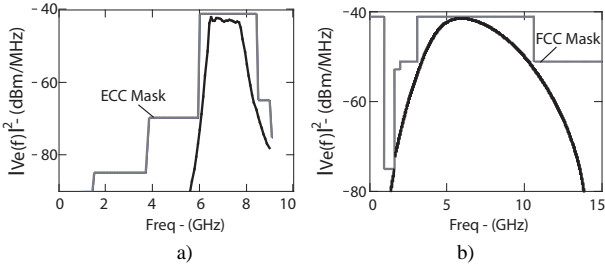


Fig. 2 : PSD of the emitted signal in the FCC band a) and the ECC band.

order filter. Second, the low dispersion on L value make easier the choice of the L value. For the FCC band, where a 3rd order Bessel filter is used, a ladder topology (shown on Fig. 3) leads to L value around 1nH. In the present technology, this L value involves inductor with Q higher than 8 and L varies less than 10% of its nominal value all over the FCC bandwidth. The filter is driven by two complementary switches (MP1 and MP2) which are controlled by two complementary square pulse generators (SPG) [9]. Such technique generates a digital pulse with a width of 65ps and a magnitude of 1.2V when the output switch Z is load on 50Ohm. Moreover, Z is biased at $V_{DD}/2$ through the first LC resonator to achieve bipolar pulses and the capacitor of this resonator is sized to compensate the Cds of the MP2 and MN2 transistors.

B Broadband pulse generator for the ECC band

In the ECC case, the relative bandwidth is around 20% and the dispersion on the L values needed to achieve the

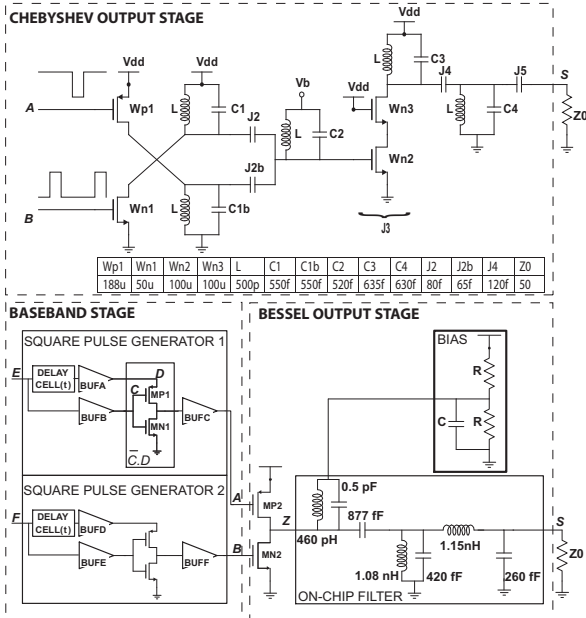


Fig. 3 : Pulse generators architectures for the FCC (Bessel output) and the ECC (chebyshev output) band

TABLE II
THEORETICAL PULSE GENERATOR MAIN CHARACTERISTICS

Band	A_{max}	τ	$He(f)$	BW GHz	Fo GHz	I dB	N
FCC	1.5v	70ps	Bessel	5.4	6.9	2	3
ECC	1.7v	70ps	Cheb_1dB ripple	1.3	7	3	4

filter prohibits the use of inductors with good quality factor. Using admittance inverter [10] to achieve the 4th order 1dB ripple Chebyshev filter allows to have the same value of inductors in each stages and to choose this value. Also, because of the 20% relative bandwidth, the filter order must be at least equal to 4 to satisfy the ECC frequency mask. Such high order leads to important losses. To overcome such losses a cascode amplifier is inserted in the filter as shown on Fig. 3. The Cgd of Wn2 and the Cds of Wn3 replace the J3 capacitance of the inverter and C2 and C3 must be resized to compensate the mismatch. This technique reduces the losses.

C Simulation and measurement results

Simulation results achieved with a standard CMOS design kit are presented on Fig. 4 and the main characteristics of the generator are summarized in Tab. 3. The FCC and ECC generators use the same baseband pulse generator. To reach the PSD_{max} the magnitude of the emitted pulse is 1.2V for the FCC generator and 0.45V for the ECC one. Simulations achieved with a standard CMOS design kit shows a S21 magnitude of 5dB instead of -9dB without the cascode stage.

The Bessel output stage of the Fig. 3 has been realized on a 0.13um CMOS std technology and is represented on Fig. 5.a. The pulse is measured with a DSO81204B Agilent oscilloscope using a 81133A Agilent pulse generator which provides a 100ps width square pulse at the input of the Bessel output stage. As shown on Fig. 5.b, the magnitude of the generated is 1Vpp.

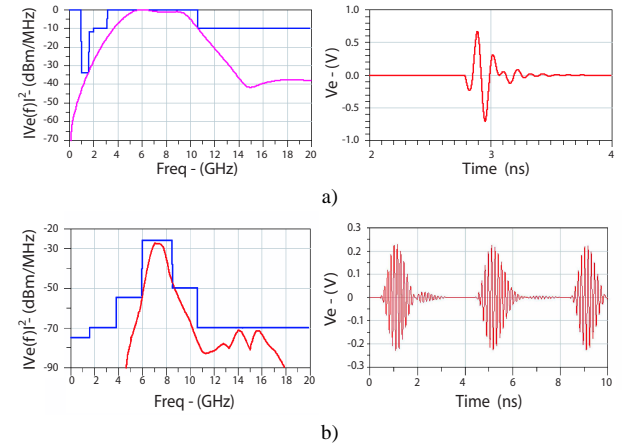


Fig. 4 : Frequency and time simulations of the generator output for FCC band a) and ECC band b).

TABLE III
SIMULATED PULSE GENERATOR MAIN CHARACTERISTICS.

	BW GHz	Ae	Area	DC Power Ds=500MHz	DC Power Ds=250MHz	I (dB)
FCC	5.4	1.2	600u*650u	13.6mW	11.7mW	3
ECC	1.3	0.45	850u*1200u	16.6mW	13.14mW	-5

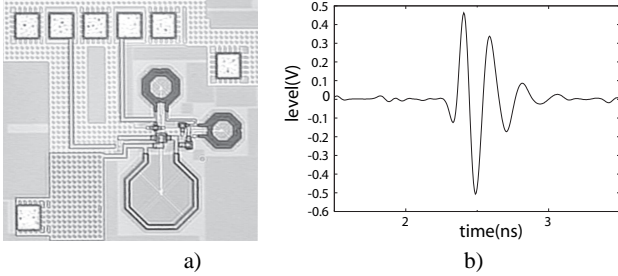


Fig. 5 : FCC output stage die photograph a) and pulse measurement b).

IV 1BIT / 20G.SAMPLE.S-1 ADC

To achieve coherent detection and channel estimation the received pulse is digitized with a 1 bit high speed ADC. As shown on Fig. 1 the ADC uses 32 D latches to detect the pulse. Each D latch is clocked by one phase of a multiphase oscillator. The frequency operation of the oscillator is $f_{osc} = 1.25\text{GHz}$ and the effective sampling frequency is $f_s = N \cdot f_{osc}$. This technique takes the digitized signal on a 32 bit bus which operates at f_{osc} . A buffer is then used to resynchronize the bus and to lower the clock frequency.

A D-latch

As exposed in section I, the D-latch sensitivity fixes the LNA voltage gain and noise factor. In another way, for a given voltage gain, it limits the range. To reach a high sensitivity at a high frequency, a differential structure (depicted on Fig. 7a) is preferred as a single-ended architecture [11]. Moreover, differential D-latch allows

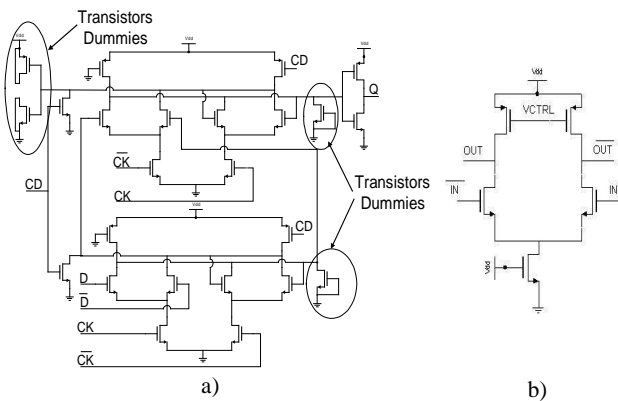


Fig. 7 : architecture of the ADC D-latch a) and oscillator delay cell b)

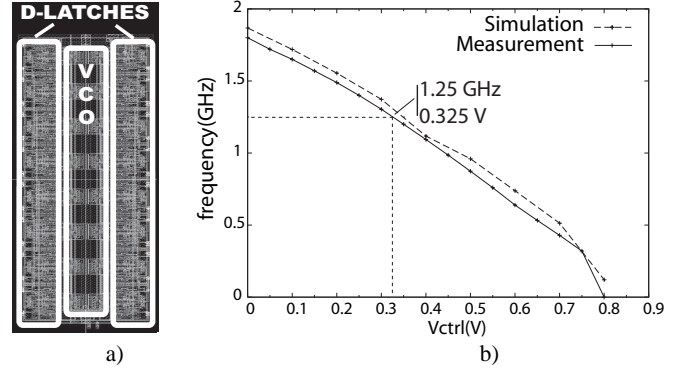


Fig. 8. VCO layout a) and VCO output frequency b)

detecting the pulse polarity. If the differential LNA outputs are inverted at the D-latch input, negative pulse can be detected. So, to discriminate the negative part of the pulse from the positive part, $N/2$ D-latch must be configured to detect negative pulses. This imply a diminution of the effective sampling frequency ($f_s = N \cdot f_{osc} / 2 = 20\text{GHz}$).

To reduce the input capacitive load achieved by the 32 parallel D-latches the input transistor at D, D/, CK and CK/ are sized at the minimum width admissible in the technology used. This also reduces the power consumption of the ADC. Moreover, dummies transistors are added to balance the loads on the differential output.

B Oscillator

To generate the 32 delayed phases, a ring-oscillator has been realized [12]. Instead of using a non-differential 32 stages oscillator which could have non-distinct phases, a 16 stages differential oscillator is preferred. This allows generating 32 distinct phases. One delay cell, represented on Fig. 7b, achieves the two complementary phases which are connected to the D-latch clock. The delay cell is designed to achieve a 25ps delay for a control voltage of 0.35V. As shown on Fig. 8 a) the design of the VCO is balanced to ensure the same capacitive load on each output to guarantee equidistant phases.

C Results

The input capacitive impedance of the 32 parallel D latches is 60fF and is evaluated using post-layout extraction to take into account the path between the LNA and the D-latch input. The simulation is made with a standard CMOS design kit. The simulated sensitivity is 30mV for a clock frequency of 1.25GHz.

The 32 phases VCO has been realized. The measured output frequency versus the voltage control is plotted on Fig. 8 b).

V LNA DESIGN AND IMPLEMENTATION IN STANDARD CMOS

Ideally the LNA must have a broadband match to a 50Ω antenna, and provide a high voltage gain on a capacitive output load given by the ADC. In addition a low noise figure is required for the signal bandwidth. Fully integrated UWB CMOS LNA designed by using several topologies have been reported in the literature: e.g. distributed amplifiers, shunt series feedback, or LC ladder filters matched LNA [13]. LC ladder filter matched LNA allow a good trade off between die area, power consumption, noise figure and gain. In addition this topology has an input filtering function which could be sufficient for many low cost applications.

The LNA output is loaded by a capacitive load where a high signal voltage is required comparatively to the noise output voltage. The capacitive load C_L formed by the 32 differential D latches and interconnects has a value of about 60fF in the $0.13\mu\text{m}$ CMOS process used. In order to reduce the area and power consumption the LNA input is single ended and the single to differential conversion is made at LNA output by adding a third stage (see Fig. 9.d). In this section we report the implementation in standard CMOS of such LNA for the 3-10GHz UWB frequency band.

A Broadband LNA architecture for large bandwidths

For the LNA input matching cell different case must be considered depending on the spectral occupancy of the transmitted signal. If the full 3.1-10.6 GHz UWB frequency band is used or if a large bandwidth is used, then the relative bandwidth b of the LC ladder input matching cell is around unity and the design method proposed in [13] gives inductors values which can be integrated in standard CMOS. However as shown in [14] a second order input matching cell allows to further reduce the losses and so to lower the LNA noise figure. The LNA architecture we use is shown in Fig. 9.a. The input matching cell uses only one series LC resonator in series with the active MOSFET gate. Furthermore the inductor of the series resonator is split into two inductors: the inductor L_S of the inductive source degeneration of the input MOS which allows synthesizing the desired value for the real part of the input impedance, and an inductor L_{S2} in series with the gate. The other LC resonator is a parallel one localised at the LNA input and which includes the input pad parasitic capacitor. Moreover by selecting a second order Tchebycheff response we have reduced the overall series inductor value ($L_{S2}+L_S$) and also the source inductor value L_S because the termination resistor is lower than 50Ω in this case. Consequently L_{S2} and L_S are low enough to have good features even in the whole 3.1-10.6 GHz frequency band. To achieve a large voltage gain a second stage voltage matched to the first one has been added. The single ended signal is converted in a differential signal in a third stage (see Fig. 9.d). So the proposed LNA

architecture uses about the same die area or power consumption than a fully single ended architecture.

B Broadband LNA architecture for medium bandwidths

When relative bandwidth is smaller than about 50%, the inductors values of input matching cell are much dispersed. This leads to low SFR values or low quality factors Q . For such narrower frequency band, like the new ECC UWB frequency band, we use an alternative LC input matching cell topology shown in Fig. 9.b [2]. This matching cell contains only parallel LC resonators and admittance inverters. These admittance inverters synthesized by lumped capacitors are used to transform the series LC resonators of the traditional LC ladder filter in parallel LC resonators with arbitrary inductors values. With such topology inductors values can be chosen to have the best Q -factor that the used technology could provide. Consequently low noise figure can be reached even for fully integrated LNA.

C Measurements results.

Many LNA prototypes have been implemented in a standard $0.13\mu\text{m}$ CMOS process. All the LNA outputs are loaded by a 60fF capacitor in order to emulate the ADC load. The measurements instruments (spectrum analyser for the noise characterization and network analyser for scattering parameters measurements) are isolated at LNA output by using the on chip capacitance divider C_{div1} C_{div2} (see Fig. 9.c). For accurate characterization of the prototypes, the on chip capacitance divider C_{div1} C_{div2} has been also characterized on the same wafer to retrieve the output voltage from S parameters. The noise figure measurement is made with a spectrum analyzer and a noise source taking into account the mismatch at LNA output. As an example the microphotograph of the 7-9 GHz LNA prototype is given in Fig. 10.

TABLE IV
SUMMARY OF LNA PROTOTYPES MEASUREMENTS RESULTS

BW (GHz)	Output	Area (mm ²)	DC Power	Gv (dB)	NF (dB)	S ₁₁ (max)
6.8-8.8	single	0.4	15mW	29.5	4.5	-10.1dB
6.8-8.8	differential	0.5	22mW	30.6	-	-7.5dB
6-10	single	0.4	16mW	27	3.9	-11dB
6-10	differential	0.5	23.9mW	28.6	-	-9.6dB
3.1-10.6	single	0.42	18mW	22	-	-9.7dB

TABLE V
VOLTAGE BUDGET LINK OF THE PROPOSED SYSTEM

Std	Ae (Vcc)	Beq (Ghz)	G _{LNA} (dB)	F _{LNA} (dB)	Se _D (mV)	V _{SLNA} (mV)	6*V _{nd} (mV)	Dmax (m)
ECC	0.45	2	30.6	4.5	30	1.8	5.7	0.83
FCC	1.2	6	22	3.5	30	4.8	3.7	0.85

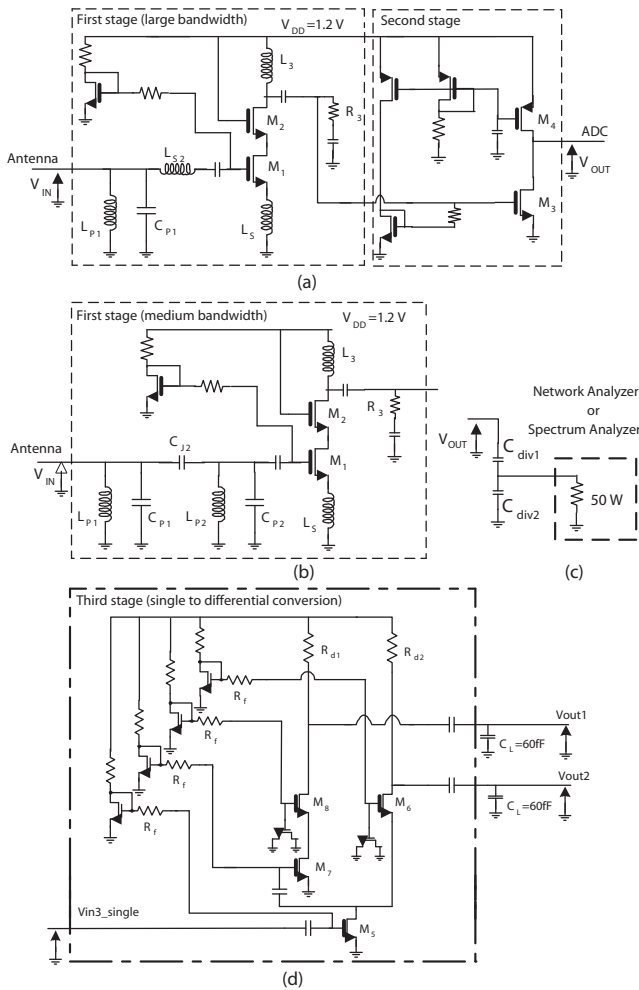


Fig. 9 : LNA architecture. a) LNA architecture for large bandwidth. b) First stage architecture for medium bandwidth. c) Output instrument isolation interface d) Single to differential conversion stage.

The measurement results obtained for the different LNA prototypes are summarized in Tab. 4. The noise figure and voltage gain values are average value in the bandwidth.

VI CONCLUSION

To validate the system architecture proposal, a budget link, given on Tab. 5, is achieved using the simulated or

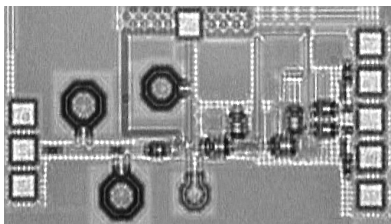


Fig. 10 : 7-9 GHz differential ended LNA die photograph

measured values of the main system parameters. For this estimation a 0dB antenna is assumed. Using Equ. (6) and (7) the maximal distance and the magnitude of the noise at the CAN input is evaluated. Tab. 5 shows that the designed elements target a range of 0.8m in both cases. Moreover, the LNA noise factor is not the limiting parameter because the signal to noise ratio at the CAN input is around 20dB. The D-Latch sensitivity appears to be the most limiting parameter. It could be lowered (down to 10mV in the ECC case) to improve the range without degrading the noise immunity.

REFERENCES

- [1] M. Bettayeb, S. F. Ali Shah, "State of the art UWB technology for communication systems : a review", IEEE international Conference on Electronics, Circuits and Systems, Sharjah UAE, 2003
- [2] Gaubert J., Egels M., Pannier Ph., Bourdel S., "Design Method For broadband CMOS RF LNA", Electronics Letters, 2005, 41, (7), pp. 383-384.
- [3] Bachelet, Y.; Bourdel, S.; Gaubert, J.; Bas, G.; Chalopin, H.; "Fully integrated CMOS UWB pulse generator", Electronics Letters, Volume 42, Issue 22, Oct. 26 2006, Page(s):1277 - 1278
- [4] Wentzloff, D.D.; Chandrakasan, A.P.; " Gaussian pulse Generators for subbanded ultra-wideband transmitters", IEEE Transactions on Microwave Theory and Techniques, Volume 54, Issue 4, Part 2, June 2006 Page(s):1647 - 1655
- [5] Stoica, L.; Tiuraniemi, S.; Oppermann, I.; Repo, H.; "An ultra wideband impulse radio low complexity transceiver architecture for sensor networks" IEEE International Conference on Ultra-Wideband ICU 2005, Page(s):55 - 59
- [6] O'Donnell, I.D.; Brodersen, R.W. "An ultra-wideband transceiver architecture for low power, low rate, wireless systems"; IEEE Transactions on Vehicular Technology, Volume 54, Issue 5, Sept. 2005 Page(s):1623 - 1631
- [7] Smaini, L.; Tinella, C.; Helal, D.; Stoecklin, C.; Chabert, L.; Devaucelle, C.; Cattenoz, R.; Rinaldi, N.; Belot, D.; "Single-chip CMOS pulse generator for UWB systems" IEEE Journal of Solid-State Circuits, Volume 41, Issue 7, July 2006 Page(s):1551 - 1561
- [8] J. G. Proakis, "Digital Communications", Ed. Mac Graw Hill, 3rd Ed 1995.
- [9] H. Kim, D. Park, Y. Joo, "All-digital low-power CMOS pulse generator for UWB system", Electronics Letters, 25th Nov 2004, Vol. 40, No. 24.
- [10] Anatol J. Zverev, "Handbook of FILTER SYNTHESIS", Ed. John Wiley and Sons, 1967.
- [11] S. Heo, R. Krashinsky, K. Asanovic, "Activity-sensitive flip-flop and latch selection for reduced energy", Conference on Advanced Research in VLSI, ARVLSI 2001, Page(s):59 - 74.
- [12] H-H. Chang, S-P Chen, S-I Liu, "A shifted-averaging VCO with precise multiphase outputs and low jitter operation". Proceedings of the 29th European Solid-State Circuits Conference, ESSCIRC 2003, Page(s):647 - 650
- [13] Bevilacqua A., Niknejad A. M.: "An Ultra-Wideband CMOS LNA for 3.1 to 10.6 GHz Wireless Receivers.", IEEE Journal Of Solid-State Circuits, 2004, 39 (12) , pp. 2259-2266.
- [14] A. Bevilacqua, and all "A Fully Integrated Differential CMOS LNA for 3-5GHz Ultra-Wideband Wireless Receivers.", IEEE Microwave and Wireless Components Letters, 2006, 39 (12) , pp. 2259-2266

Broadband and High Voltage Gain CMOS LNA For Integrated 6-8.5GHz UWB Carrierless Impulse Radio Receivers

Marc Battista, Jean Gaubert, *Member, IEEE*, Matthieu Egels, Sylvain Bourdel, *Member, IEEE*, Hervé Barthélémy, *Member, IEEE*.

Abstract — The design of fully integrated CMOS LNA for UWB carrierless impulse radio receivers is presented. An original LC input matching cell architecture enables percentage bandwidths of about 25% that match the new ECC 6-8.5-GHz UWB frequency band. A design method allowing low noise figure and high voltage gain is presented. Measurements results on a LNA prototype fabricated in a 0.13 μm standard CMOS process show average voltage gain and noise figure of 29.5dB and 4.5 dB respectively.

Index Terms — Low Noise Amplifiers, Ultra Wide Band, Carrierless impulse radio, CMOS integrated circuits.

I. INTRODUCTION

Ultra Wide Band carrierless Impulse Radio (IR-UWB) enables low power and simple architectures for wireless communication systems. In such systems the LNA of the receiver is followed by a very fast digitizer or by a pulse detector [1]. So the LNA remains one of the most important analog blocs of the receiver. To achieve low cost the LNA must be fully integrated and must consume low power and low die area. Ideally the LNA must be broadband matched to a 50Ω antenna, and provide a high voltage gain on a capacitive output load given by the digitizer or by the pulse detector. In addition a low noise figure is required in the signal bandwidth.

Fully integrated UWB CMOS LNAs designed by using several topologies have been already published. For example distributed amplifiers [2], shunt series feedback [3], common gate [4]-[5], or LC ladder filters matched LNA [6]-[7]. LC ladder filter matched LNA allow a good trade off between surface, power consumption, noise figure and gain. This topology, which integrates a band-pass filter with any off-chip components, is a good candidate in the low cost context for UWB impulse radio integrated systems. Different cases must be considered depending on the spectral occupancy of the transmitted signal. If the full 3.1-10.6-GHz UWB frequency band or a large bandwidth is used, then the percentage bandwidth b of the LC ladder input matching cell is around unity. In this case the design method proposed in [6] leads to inductors values which can be integrated in standard CMOS. On the other hand when relative bandwidth b is smaller than about 50%, the inductors values of input matching cell are much dispersed. Consequently, the integrated inductors have very low SFR values or low

The authors are with the L2MP UMR CNRS 6137 Polytech'Marseille, IMT Technopôle de Château Gombert, 13451 Marseille.

quality factors Q in this case.

In this paper we describe a design method for such narrower frequency band, like for example the new ECC 6-8.5-GHz UWB frequency band where the relative bandwidth is less than 35%. An alternative LC matching cell topology [8] which contains only parallel LC resonators and admittance inverters is used. With this topology, inductors values can be chosen to have the best Q-factor that the technology could provide in the UWB bandwidth. Consequently low noise figure can be reached even for fully integrated LNA with small percentage bandwidth. The proposed design method allows sizing the width of the input MOS device in order to minimize both the noise in the active device and the input matching cell losses. In addition a second stage allows maximizing the voltage gain for high impedance output loads in the integrated systems context. We address signal bandwidths, of around 25% percentage bandwidth. We report the measured results on a LNA implemented in a standard 0.13 μm CMOS process.

II. BROADBAND INPUT MATCHING CELL

A. Input matching cell architecture

The whole LNA architecture is given in Fig. 1 with the input matching cell enclosed in a dashed line box. A cascode stage follows the input matching cell and an active load second stage is added to supply a high output voltage.

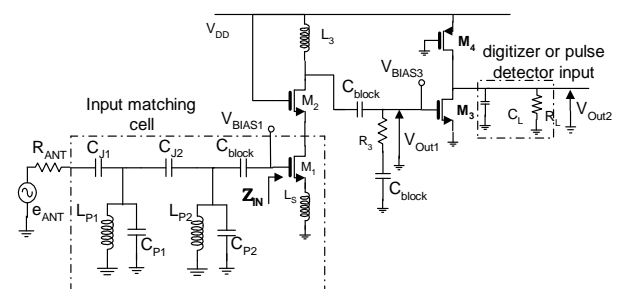


Fig. 1. LNA architecture.

This broadband matching cell enables relative bandwidths b of around 25% which are not feasible with classical LC ladder filter matching cells [8]. This input matching cell is equivalent to a second order band pass filter. A second order response is much useful for fully integrated LNA in order to reduce the losses and consequently the noise figure. But the input matching principle described here is suitable for greater filter orders. Greater orders may be interesting then off-chip matching elements are used or for packaged systems in order to build more efficient filters by using the parasitic

inductor of the package. On the other hand, first orders filter lead to a noise equivalent bandwidth much higher.

The inductive source degeneration of M_1 by L_S is used to adjust the real part of the input impedance Z_{IN} (see Fig 1). Neglecting the gate to drain capacitance C_{GD} , Z_{IN} can be approximated by:

$$Z_{IN} = \frac{g_{m1} L_S}{C_{GS1}} + j\omega L_S + \frac{1}{j\omega C_{GS1}} = R_{IN} + jX_{IN} \quad (1)$$

In the frequency range where the source inductor impedance magnitude is low in comparison to the gate-source capacitance impedance magnitude, the input impedance Z_{IN} of the active device can be approximated with the resistor R_{IN} in series with the gate-source capacitance C_{GS1} . Under this assumption, and if $R_{ANT} = 50\Omega$, the input matching cell is equivalent to the second order band pass filter shown in Fig. 2.a where the values are normalized by $R_0 = 50\Omega$ and by the middle frequency of the bandwidth ω_0 .

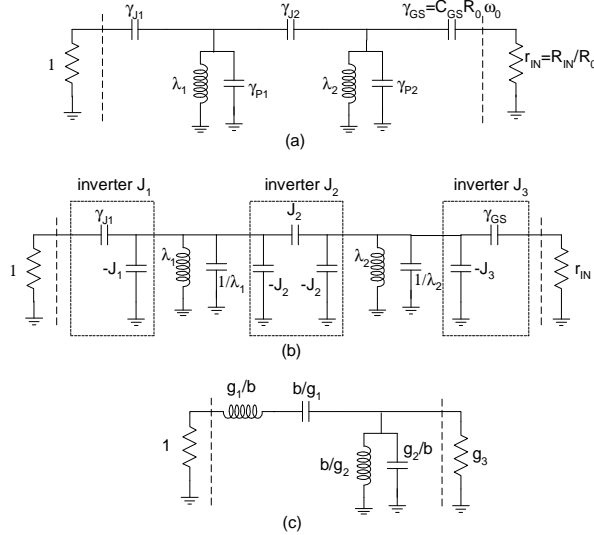


Fig. 2. Broadband input matching cell. (a) Input matching cell equivalent circuit normalised by $R_0=50\Omega$ and ω_0 . (b) Equivalent circuit showing admittance inverters. (c) Equivalent two section band-pass filter.

The circuit in Fig 2.a is equivalent to the circuit in Fig. 2.b where the enclosed capacitive networks work, around the frequency ω_0 , like admittance inverters.

Finally, under the same assumptions, the circuit in Fig. 2.b is equivalent to the two section LC band-pass filter shown in Fig. 2.c if the relations (2-9) are done and the values of J_1 and J_3 are low in comparison to unity.

$$J_1 = \sqrt{\frac{b}{g_1 \lambda_1}} \quad (2)$$

$$J_3 = \frac{b}{\sqrt{g_1 g_2 \lambda_1 \lambda_2}} \quad (3)$$

$$J_3 = \sqrt{\frac{b}{g_2 g_3 r_{IN} \lambda_2}} \quad (4)$$

$$\gamma_{J1} = J_1 (1 + J_1^2) \quad (5)$$

$$\gamma_{J2} = J_2 \quad (6)$$

$$\gamma_{GS1} = J_3 (1 + J_3^2 r_{IN}^2) \quad (7)$$

$$\gamma_{P1} = \frac{1}{\lambda_1} - J_1 - J_2 \quad (8)$$

$$\gamma_{P2} = \frac{1}{\lambda_2} - J_2 - J_3 \quad (9)$$

In these expressions $b=(f_{P2}-f_{P1})/f_0$ is the percentage bandwidth, f_{P1} and f_{P2} are respectively the lower and higher cut-off frequencies and f_0 the middle frequency of the input filter. g_1, g_2, g_3 are the normalized values of the low-pass equivalent filter, and J_1, J_2, J_3 are the normalized values of the admittance inverters. These admittance inverters are used to transform the series LC resonators of the traditional LC ladder filter in parallel LC resonators with arbitrary inductors values L_{P1} and L_{P2} . In such topology the parasitic capacitors of the inductors can be embedded in the parallel capacitor of the resonator. Consequently higher inductor values can be used with higher quality factors. Additionally these admittance inverters permit to synthesize the LC ladder filter load g_3 with an arbitrary value r_{IN} of the real part of the input impedance at M_1 gate. That gives more flexibility for choosing L_S and for M_1 biasing in order to minimize the active device noise at power matching.

B. Sizing for noise optimization

The input matching cell sizing is done as follow. The goal is to minimize the noise figure at power matching for a given current consumption I_{O1} for the LNA first stage.

(i) g_1, g_2, g_3 and b are set to shape the bandwidth in the aim to achieve a 2th order band-pass response with the desired ripple. Because of energy conservation the ripple is related to the input return loss in the bandwidth. So the maximum ripple sets the maximum S_{11} value for a lossless matching cell.

(ii) The inductors values λ_1 and λ_2 are chosen to achieve the higher Q-factor of the inductors in the technology used for the signal bandwidth. That allows minimizing the input matching losses which are the main contributor to the whole LNA noise figure in fully integrated LNA in standard CMOS technology. This is one of the major benefits of our matching cell topology with admittance inverters.

(iii) It is shown in [9] that the optimum noise impedance Z_{OPT} of the inductively degenerated common source topology is given by:

$$Z_{OPT} = \frac{A}{\omega C_{GS1}} - \frac{B}{j\omega C_{GS1}} - jL_S \omega \quad (10)$$

where A and B are two parameters that are only dependant of the MOS noise parameters α , δ , γ , c. From (1) and (10) we get:

$$Z_{OPT} - Z_{IN}^* = \frac{A}{\omega C_{GS1}} - R_{IN} + \frac{(1-B)}{j\omega C_{GS1}} \quad (11)$$

In order to minimize the noise figure at power matching we can null the real part of (11) at a given frequency f by setting M_1 width to ensure:

$$\gamma_{GS1} \Omega = \frac{A}{r_{IN}} \quad (12)$$

In (12) Ω is the normalized frequency f/f_0 . It is important to notice that the imaginary part of (11) cannot be null because B is a parameter which only depends on the process used and which is not a design parameter.

γ_{GS1} can be expressed as a function of J_3 by (7). Because J_3 must be chosen in order to be low in comparison to unity in the input matching cell design as mentioned above, (7) can be approximated by:

$$\gamma_{GS1} \approx J_3 \quad (13)$$

Reporting (13) and (12) in (4) gives (14) which allows computing the optimal MOSFET width as a function of the input filter characteristics and the inductor normalized value λ_2 .

$$\gamma_{GS1} = \frac{b\Omega}{g_2 g_3 \lambda_2 A} \quad (14)$$

(iii) Finally, for a given bias current I_{01} , the L_S value can be computed from (1) and (12) and must verify (15) to minimize the noise contribution of M_1 at a given frequency ω . By taking for C_{GS1} and L_S the values given by (14) and (15) at the center frequency f_0 , the discrepancy is less than (b/2)% in the whole LNA bandwidth.

$$L_{SOPT}(\omega) = \frac{A}{g_{m1}\omega} \quad (15)$$

III. VOLTAGE GAIN OPTIMIZATION

A. Noise figure and voltage gain optimization

In a UWB integrated system the LNA is terminated by a high impedance capacitive load where a high output voltage is required. In the bandwidth the LNA input is power matched to the antenna. Consequently the resistive termination R_{IN} of the input matching cell, provided by the MOSFET M_1 by means of inductive source degeneration, receives a power equal to the available power P_{AV} at antenna output.

$$P_{AV} = R_{IN} i_1^2 = \frac{e_{ANT}^2}{4 R_{ANT}} \quad (16)$$

e_{ANT} is the open voltage at the antenna and R_{ANT} his radiation resistance. Consequently, in the input filter bandwidth, assumed with a constant delay τ , we get:

$$i_1 = \frac{e_{ANT}}{\sqrt{4 R_{IN} R_{ANT}}} e^{-j\omega\tau} \quad (17)$$

The first stage equivalent circuit is given in Fig.3. M_2 is loaded by the parallel resonator L_3 , C_3 , R_3 , where C_3 is the overall capacitor at M_2 drain which is given by:

$$C_3 \cong c_{GD2} + c_{DB2} + C_{GS3} + C_{IN2} \quad (18)$$

C_{IN2} is the second stage input capacitance. Assuming the effect of C_{GD1} and C_{DB1} and C_{GS2} negligible in the cascode configuration, and neglecting the real part of the input impedance of the second stage, we get, when (12) holds:

$$\begin{aligned} \frac{V_{OUT1}}{e_{ANT}} &= \frac{g_{m1} e^{-j\omega\tau}}{\sqrt{4 R_{ANT}}} \sqrt{\frac{\omega_0}{C_{GS1} A}} \frac{L_3}{1 + \frac{j\omega}{Q_3 \omega_{03}} - \left(\frac{\omega}{\omega_{03}}\right)^2} \\ &= \frac{A_{V1}}{1 + \frac{j\omega}{Q_3 \omega_{03}} - \left(\frac{\omega}{\omega_{03}}\right)^2} \end{aligned} \quad (19)$$

where

$$Q_3 = \frac{R_3}{L_3 \omega_{03}} \quad \omega_{03} = \frac{1}{\sqrt{L_3 C_3}} \quad (20)$$

It should be pointed that (19) is available only in the LNA bandwidth where the LNA input is power matched to the antenna by the input matching cell. Outside the LNA bandwidth, the input matching cell provides a band-pass response which modifies the output voltage v_{out1} .

Tacking for g_{m1} and C_{GS1} the long channel devices expressions, (19) shows that the first stage amplification is proportional to the square root of the bias current I_{01} and is independent of M_1 width.

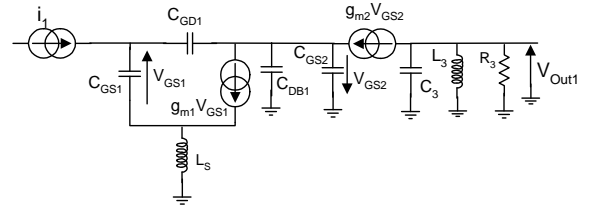


Fig. 3. First stage equivalent circuit.

The second stage equivalent circuit is given on Fig.4. The second stage voltage gain A_{V2} can be approximated by (21) where $1/r_{DS3}$ and $1/r_{DS4}$ are the output conductance of M_3 and M_4 .

$$\frac{V_{Out2}}{V_{Out1}} \cong \frac{-g_{m3} r_{EQ}}{1 + j\omega/\omega_{C3}} = \frac{A_{V2}}{1 + j\omega/\omega_{C3}} \quad (21)$$

where

$$r_{EQ} = r_{DS3} // r_{DS4} // R_L \quad (22)$$

$$c_{EQ} = (c_{DB3} + c_{GD3} + c_{DB4} + c_{GD4} + c_L) \quad (23)$$

$$\omega_{C2} = \frac{1}{r_{EQ} c_{EQ}} = 2\pi f_{C2} \quad (24)$$

R_L and C_L are the input impedance of the following stage (see Fig. 1).

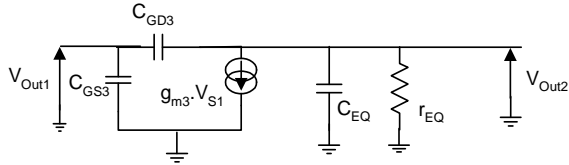


Fig. 4. Second stage equivalent circuit.

Finally the voltage amplification in the bandwidth is given by:

$$\frac{V_{OUT2}}{e_{ANT}} = \frac{A_{V1}}{1 + \frac{j\omega}{Q_3 \omega_{03}} - \left(\frac{\omega}{\omega_{03}}\right)^2} \frac{A_{V2}}{1 + \frac{j\omega}{\omega_{c2}}} \quad (25)$$

Equation (25) provides design insights for sizing the circuit components.

(25) shows that the voltage amplification in the LNA bandwidth results from the product of a second order low pass response by a first order low pass response given by the second stage. A high r_{EQ} value may be used in order to maximize the second stage gain A_{V2} . However a high r_{EQ} value leads to a second stage cut-off frequency f_{C2} lower than f_{P1} the lower cut-off frequencies of the LNA: $f_{C2} < f_{P1}$. The reduction with the frequency of the second stage voltage gain in the LNA bandwidth may be compensated by setting the quality factor Q_3 of the second order response greater than $1/\sqrt{2}$.

To maximize A_{V1} (19) shows that L_3 value must be maximum while maintaining the frequency resonance f_{03} of the parallel resonator just higher than the higher cut-off frequencies of the LNA: $f_{03} > f_{P2}$. So, in order to maximize L_3 , C_3 must be minimized. In this way we size M_3 width W_3 much smaller than M_2 width W_2 . In addition M_2 width is set to the minimal value allowing driving the DC current I_{01} in order to minimize C_{GD2} and C_{DB2} .

The sizing of the second stage is done as follow.

(i) M_3 length is set to the minimum value to maximize g_{m3} and to minimize the noise contribution of M_3 . C_{GS3} must be negligible in comparison with $c_{DB2} + c_{GD2}$ in order to maintain $f_{03} > f_{P2}$ the higher cut-off frequencies of the LNA. Thus W_3 is set to the maximum value that satisfies $W_3 \ll W_2$. Consequently the current consumption I_{02} of the second stage is much lower than first stage current consumption I_{01} .

(ii) I_{02} and M_4 length are set to achieve a r_{EQ} value leading to $f_{C2} < f_{P1}$. Consequently the output voltage will be maximized in the bandwidth if the second stage drop is compensated by an increase of Q_3 .

(iii) The width W_4 is set to a sufficient value to drive I_{02} .

(iiii) Finally R_3 is set to get the Q_3 value that achieves the frequency compensation of the second stage.

V. MEASUREMENT RESULTS

A LNA prototype has been fabricated in a 0.13 μm CMOS process. The LNA is designed to achieve a 1dB ripple 2th order Chebyshev band-pass response with a center frequency of 7.7 GHz and a 2 GHz bandwidth. The resulting percentage bandwidth is 25%. The value of input matching cell inductors L_{P1} and L_{P2} is 1.3nH in order to minimize the input matching cell losses. L_2 and L_S values are 1nH and 100pH respectively. The current consumption of the LNA including the second stage is 12mA. The LNA microphotograph is given in Fig. 5. For characterization of the LNA prototype presented here, the high impedance LNA output is isolated by using an on chip capacitance divider which has been also characterized on the same wafer to retrieve the output voltage from S parameters. The on chip capacitance divider builds a 60 fF capacitive load at LNA output. This load is representative of the input impedance of an on chip high speed digitizer for an IR UWB receiver. The noise figure measurement is made with a spectrum analyzer and a noise source taking into account the mismatch at LNA output. A comparison between measurements and simulation results are given in Fig. 6 and Fig. 7. Simulation results are obtained by using the design kit models for the active and passive lumped components. However in these simulations microstrip line interconnects are modeled by using physical TEM T-Line model available in A.D.S. software. The MS-Lines model parameters are extracted from 3D EM simulations. In Fig. 6 the measured LNA voltage gain G_V is calculated from the measured scattering parameters and the capacitor values of the voltage divider extracted on the same wafer.

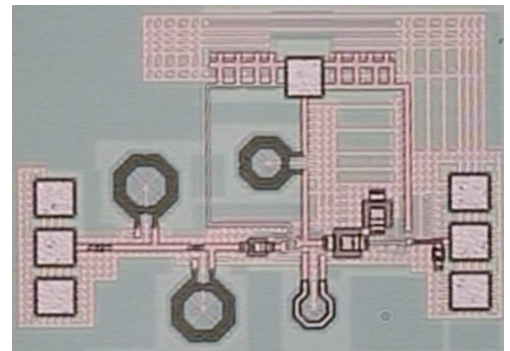


Fig. 5 Microphotograph of the single ended LNA

The measurement results are summarized in table 1. The noise figure and voltage gain reported are average values in the bandwidth.

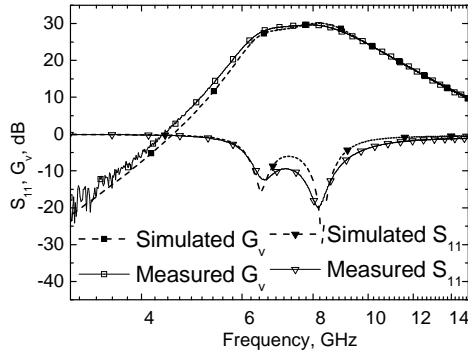


Fig. 6 Single ended LNA voltage gain and S11.

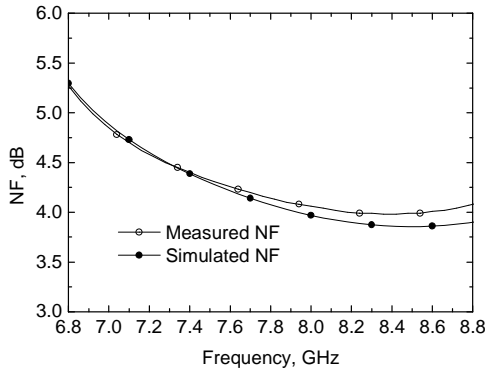


Fig. 7 Single ended LNA noise figure.

Table 1
Measured performance summary

BW (GHz)	Area (mm ²)	DC Power	Gv (dB)	NF (dB)	S ₁₁ (max)
6.8-8.8	0.4	15mW	29.5	4.5	-10.1dB

VII. CONCLUSION

A design method for fully integrated LNA for UWB carrierless impulse radio has been presented. The LNA uses an original input matching cell architecture that enables broadband matching with relative bandwidths around 25%. A sizing method allows minimizing the noise figure and

maximizing the voltage gain on capacitive output loads such like digitizer or pulse detector. This LNA topology will be helpful for broadband LNA design in the new 6-8.5 GHz ECC UWB frequency band.

ACKNOWLEDGEMENT

This work was supported by the General Council of Bouches-du-Rhône, convention number 2005-LAB2-PHASE3.

REFERENCES

- [1] P. Heydari, "Design Considerations for Low-Power Ultra Wideband Receivers", Proceedings of the Sixth International Symposium on Quality Electronic Design (ISQED'05), 2005, pp. 668-673
- [2] F. Zhang, P. Kinget, "Low Power Programmable-Gain CMOS Distributed LNA for Ultra-Wideband Applications", IEEE Journal of Solid-State Circuits, 2006, 41, (6), pp. 1333-1343.
- [3] C.-W. Kim, M.-S. Jung, S.-G. Lee, "Ultra-wideband CMOS low noise amplifier", Electronics Letters, 2005, 41, (7), pp. 384-385.
- [4] C-F. Liao, S-I Liu, "A Broadband Noise-Canceling CMOS LNA for 3.1–10.6-GHz UWB Receivers", IEEE Journal of Solid-State Circuits, 2007, 42, (2), pp 329-339.
- [5] K-H. Chen, J-H. Lu, B-J. Chen, S-I. Liu, "An Ultra-Wide-Band 0.4–10-GHz LNA in 0.18mm CMOS ", IEEE Transactions on Circuits and Systems-II: express briefs, 2007, 54, (3), pp. 217-221.
- [6] A. Bevilacqua, A. M. Niknejad, "An Ultrawideband CMOS Low Noise Amplifier For 3.1-10.6-GHz Wireless Receivers", IEEE Journal of Solid-State Circuits, 2004, 39, (12), pp. 2259-2268.
- [7] A. Bevilacqua, C. Sandner, A. Gerosa, A. Neviani, "A Fully Integrated Differential CMOS LNA for 3–5-GHz Ultrawideband Wireless Receivers", IEEE Microwave and Wireless Components Letters, 2006, 16, (3) pp. 134-136.
- [8] J. Gaubert, M. Egels, Ph. Pannier, S. Bourdel, "Design Method For broadband CMOS RF LNA", Electronics Letters, 2005, 41, (7), pp. 383-384.
- [9] T-K. Nguyen, C-H Kim, G-J Ihm, M-S Yang, S-G Lee, "CMOS Low-Noise Amplifier Design Optimization Techniques", IEEE Transactions on Microwave Theory and Techniques, 2004, 52, (5), pp 1433-1442.

6-10 GHz Ultra Wide-Band CMOS LNA

M. Battista, J. Gaubert, M. Egels, S. Bourdel and H. Barthelemy

A two stage LC matched UWB CMOS LNA is presented. The LNA is designed to achieve a low noise figure with a high voltage gain. The LNA fabricated in a 0.13 μm CMOS process shows a 3.9 dB average noise figure with a 27 dB voltage gain in the 6-10 GHz frequency band with a power consumption of 14mW.

Introduction : UWB CMOS LNA designed by using several topologies have been already published. For example distributed amplifiers [1], shunt series feedback [2], common gate [3, **Erreur ! Source du renvoi introuvable.**], or LC ladder filters matched LNA [**Erreur ! Source du renvoi introuvable.**]. Ideally the LNA must be broadband matched to a 50 Ω antenna, and provide a high voltage gain on a high impedance output load given by a digitizer or a pulse detector in Impulse Radio architectures, or by a mixer in OFDM architectures. In addition a low noise figure is required in the signal bandwidth. Compared to others architectures, LC ladder filter matched LNAs provide constant gain and group delay and reduce the noise bandwidth. However, the use of several inductors in the matching cell may lead to poor noise performance, particularly in the high frequency range of the UWB band. In this paper we propose a LC ladder filter matched LNA and its design method that allows high voltage gain and low noise figure. This architecture is suitable for relative bandwidths larger than about 50%. A LNA prototype for the upper side of the FCC UWB band is presented which demonstrates a 3.9 dB average noise figure with a 27 dB voltage gain.

Input matching cell: The whole LNA architecture is given in Fig. 1 with the input matching cell enclosed in a dashed line box. A cascode stage follows the input matching cell and a second stage with an active load is added to supply a high output voltage. The input matching cell uses a LC ladder filter topology [**Erreur ! Source du renvoi introuvable.**] but unlike [**Erreur ! Source du renvoi introuvable.**] a two section LC band pass filter is used in order to reduce losses. With this topology, where the parallel LC resonator is at the input side, and by selecting an even Tchebycheff response, we can reduce the overall series inductor value $L_{S2} + L_S$. Consequently L_{S2} and L_S are low enough to have good features in the high range of the UWB frequency band. The input matching cell is equivalent to the band pass filter shown in Fig. 2 where the values are normalized by $R_0 = 50\Omega$ and by the middle frequency of the bandwidth ω_0 . R_{IN} is the output termination of the equivalent filter, and r_{ant} , r_{in} , λ_{P1} , λ_{S2} , λ_S , γ_{P1} , γ_{S2} , γ_{GS1} , are respectively the normalized values of R_{ANT} , R_{in} , L_{P1} , L_{S2} , L_S , C_{P1} , C_{S2} , C_{GS1} . The Tchebycheff response imposes the relations given in (1) where g_i are the normalized values of the second order Tchebycheff low pass filter ladder network and b the percentage bandwidth:

$$\gamma_{P1} = \frac{g_1}{b} \quad \lambda_{P1} = \frac{b}{g_1} \quad \gamma_2 = \frac{b}{g_2} \quad \lambda_{S2} + \lambda_S = \frac{g_2}{b} \quad r_{IN} = \frac{1}{g_3} \quad (1)$$

A Tchebycheff response gives a low value for g_2 and thus by using a topology with the parallel resonator at the input side, the series inductor $\lambda_{S2} + \lambda_S$ value which is equal to g_2/b is minimized.

Noise optimization: It is shown in [**Erreur ! Source du renvoi introuvable.**] that the optimum noise impedance Z_{OPT} of the inductively degenerated common source topology is given by:

$$Z_{OPT} = \frac{A}{\omega C_{GS1}} - \frac{B}{j\omega C_{GS1}} - jL_S \omega \quad (2)$$

where A and B are two parameters that are only dependant of the MOS noise parameters α , δ , γ , c. Neglecting the gate to drain capacitance, the input impedance Z_{IN} can be approximated by:

$$Z_{IN} = \frac{g_{m1} L_S}{C_{GS1}} + j\omega L_S + \frac{1}{j\omega C_{GS1}} = R_{IN} + jX_{IN} \quad (3)$$

From (2) and (3) we get:

$$Z_{OPT} - Z_{IN}^* = \frac{A}{\omega C_{GS1}} - R_{IN} + \frac{(1-B)}{j\omega C_{GS1}} \quad (4)$$

In order to minimize the noise figure at power matching we can null the real part of (4) by setting M_1 width to ensure:

$$\gamma_{GS1} = \frac{A}{\Omega r_{IN}} \quad (5)$$

It is important to notice that the imaginary part of (4) cannot be null because B is a parameter which depends only on the process used. (5) with (1) and (3) give the optimal values for C_{GS1} and L_S which achieve the minimum noise figure:

$$C_{GS1OPT} = \frac{A g_3}{R_0 \omega} \quad L_{SOPT} = \frac{A}{g_{m1} \omega} \quad (6)$$

For a given bias current, the L_S value can be computed in order to minimize the noise contribution of M_1 at a given frequency ω . By taking $C_{GS1} = C_{GS1OPT}(\omega_0)$ and $L_S = L_{SOPT}(\omega_0)$ the discrepancy is less than (b/2)% in the whole LNA bandwidth

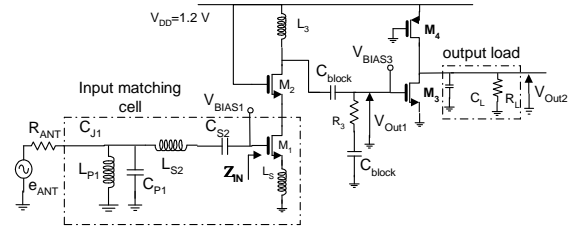


Fig. 1 : LNA architecture

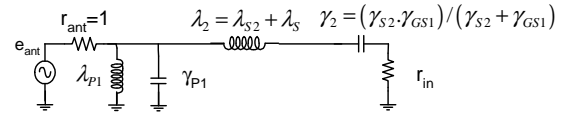


Fig. 2 Normalized equivalent circuit of the input matching cell

Voltage gain optimization: In an UWB integrated system the LNA is terminated by a high impedance load where a high output voltage is required. In the bandwidth the LNA input is power matched to the antenna. Consequently the resistive termination R_{IN} of the input matching cell receives a power equal to the available power at antenna output. Thus, in the input matching cell bandwidth, the magnitude of the gate input current i_1 is given by:

$$i_1 = \frac{e_{ANT}}{\sqrt{4 R_{IN} R_{ANT}}} \quad (7)$$

where e_{ANT} is the open voltage at the antenna and R_{ANT} the antenna radiation resistance. The first stage is loaded by the parallel resonator L_3 , C_3 , R_3 , where C_3 is the overall capacitor at M_2 drain. Assuming that the effect of C_{GD1} and C_{DB1} and C_{GS2} is negligible in the cascode configuration, and neglecting the real part of the input impedance of the second stage, we get, when (5) is fulfilled:

$$\frac{V_{OUT1}}{e_{ANT}} = \frac{g_{m1}}{\sqrt{4 R_{ANT}}} \sqrt{\frac{\omega_0}{C_{GS1} A}} \frac{L_3}{1 + \frac{j\omega}{Q_3 \omega_{03}} - \left(\frac{\omega}{\omega_{03}}\right)^2} \quad (8)$$

where Q_3 is the quality factor of the parallel resonator and ω_{03} its resonance frequency.

It should be pointed that (8) is available only in the LNA bandwidth where the LNA input is power matched to the antenna by the input matching cell. Outside the LNA bandwidth, the input matching cell provides a band-pass response which modifies the output voltage v_{out1} .

Taking for g_{m1} and C_{GS1} the long channel devices expressions, (8) shows that the first stage amplification is proportional to the square root of the bias current and is independent of M_1 width.

The voltage amplification in the LNA bandwidth results from the product of the second order low pass response (8) by a first order low pass response given by the second stage. To maximize the voltage gain of the first stage, the L_3 value must be maximum while maintaining the frequency resonance f_{03} of the parallel resonator just higher than the highest cut-off frequencies of the LNA. So, in order to maximize L_3 , C_3 must be minimized. In this way M_3 width is sized much smaller than M_2 width.

The voltage gain of the second stage is given by:

$$\frac{V_{Out2}}{V_{Out1}} \approx \frac{-g_{m3} \cdot r_{EQ}}{1 + j\omega \cdot r_{EQ} \cdot c_{EQ}} \quad (9)$$

$$\text{with } r_{EQ} = r_{DS3} // r_{DS4} // R_L$$

$$\text{and } c_{EQ} = (c_{DB3} + c_{GD3} + c_{DB4} + c_{GD4} + c_L)$$

where R_L and C_L are the input impedance of the following stage (see Fig. 1). In order to maximize the second stage gain, the bias current of the second stage and M_4 length are set to achieve a high r_{EQ} value. However a high r_{EQ} value leads to a second stage cut-off frequency lower than f_{P1} the lowest cut-off frequencies of the LNA. The reduction with the frequency of the second stage voltage gain in the LNA bandwidth is then compensated by setting the quality factor Q_3 of the second order response greater than $1/\sqrt{2}$.

Results: A LNA prototype has been fabricated in a 0.13 μm CMOS process for the upper side of the FCC UWB band. The LNA is designed to achieve a 1dB ripple 2th order 6-10 GHz Tchebycheff response. The LNA microphotograph is given in Fig. 3. The die area is 0.4 mm^2 . All inductors are on chip elements ($L_{P1}=440\text{pH}$, $L_{S2}=950\text{pH}$, $L_S=180\text{pH}$, $L_3=860\text{pH}$). The power consumption of the LNA including the second stage is 14mW. A comparison between measurement and simulation results is given in Fig. 4 and Fig. 5. The maximum voltage gain is 28.1 db with a ripple less than 1.5 dB in the 6-10 GHz bandwidth. The measured noise figure ranges from 3.45 to 4.8 dB.

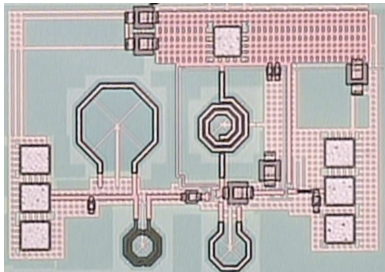


Fig. 3 Microphotograph of the LNA prototype

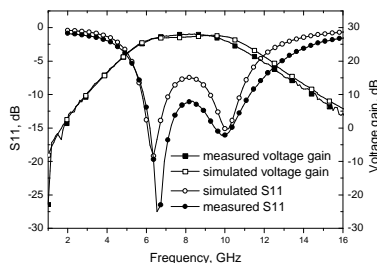


Fig. 4 Measured and simulated LNA voltage gain and S11

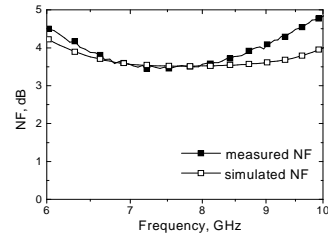


Fig. 5 Measured and simulated LNA noise figure

Conclusion: A two stage UWB CMOS LNA and its design method have been presented. With this design method low noise figure and high voltage gain are achieved even for LC ladder filter matched LNAs. A 3.9 dB average noise figure with 27 dB voltage gain is demonstrated in the 6-10 GHz bandwidth.

References:

- 1 Zhang, F., Kinget, P.: "Low Power Programmable-Gain CMOS Distributed LNA for Ultra-Wideband Applications", IEEE Journal of Solid-State Circuits, 2006, 41, (6), pp. 1333-1343.
- 2 Kim, C.-W., Jung, M.-S. Lee, S.-G.: "Ultra-wideband CMOS low noise amplifier", Electronics Letters, 2005, 41, (7), pp. 384-385.
- 3 Liao, C-F., Liu, S-I: "A Broadband Noise-Canceling CMOS LNA for 3.1–10.6-GHz UWB Receivers", IEEE Journal of Solid-State Circuits, 2007, 42, (2), pp 329-339.

Author affiliation :

L2MP UMR CNRS 6137 Polytech'Marseille, IMT Technopôle de Château Gombert, 13451 Marseille Cedex 20, France.

Curriculum Vitae

ETAT CIVIL : Sylvain BOURDEL, Maître de Conférences

- *Nom patronymique* : **BOURDEL**, Prénom : **Sylvain**
- *Date et lieu de naissance* : **26/10/1974 à l'Union**
- *Nationalité* : **Française** Situation de famille : **Vie Maritale, 2 enfants**
- *Adresse personnelle* : **13 b rue des poilus 13820 Ensues la Redonne**
- *Numéro de téléphone* : **04-91-05-47-88**
- *Fonctions et établissement actuel* : **MCF - IUT GEII saint Jérôme**

CURSUS

2001-2009 : MCF – IUT Marseille / IM2NP

2000-2001 : ATER – IUT Blagnac / LAAS

1997-2000 : Thèse de l'Institut National des Sciences Appliquées (INSA) de Toulouse sur la modélisation et simulation fonctionnelles d'un émetteur et d'un récepteur radiofréquence à étalement de spectre pour une application domotique, soutenue le 24/10/2000 au LAAS.

RECHERCHE : Responsable de thématique

- *Laboratoire* : IM2NP-UMR CNRS 6137
- *Thématique* : Conception de circuits et systèmes radiofréquences.
- *Mot Clef* : Conception de Circuits RF, UWB, SoC, SoP, SiP, CMOS,
- *Responsabilité* : Thématique RF de l'équipe CCI de l'IM2NP.
- *Activités* :
 - Conception de circuit et systèmes radiofréquences bandes étroites :
 - LNA / PA / MIXER pour la bande 2.45GHz en technologie CMOS pour des applications faibles coûts / faible consommation.
 - Circuit de synchronisation pour l'étalement de spectre
 - Intégration Système sur Puce (SoC)
 - Conception de circuit et systèmes radiofréquences UWB :
 - LNA / Détecteur / Filtre / Générateur Ultra large bande pour des applications de télécommunication par impulsion (IR-UWB) dans les bandes 3.1-10.6GHz et 6-8.5GHz en technologie CMOS.
 - Mise en boîtier et interconnexion (packaging). Intégration Système en Boîtier (SoP/SiP).
- *Contrat de recherche* : Coordinateur scientifique de 2 contrats de recherche.
 - Chaîne de communication 2.45GHz :
 - Rôle* : Animation du projet et encadrement d'une thèse (soutenue).
 - Partenaires* : Conseil Général des Bouches du Rhône, L2MP, ST-M
 - Durée* : Avril 2003-Avril 2007
 - Personnes Impliquées* : 14 (6 permanents L2MP, 3 ingénieurs ST-M, 4 Doctorants, 1 Post-Doctorant)
 - Conception d'un Emetteur Récepteur Intégré UWB en technologie CMOS
 - Rôle* : Animation du projet et encadrement d'une thèse.
 - Partenaires* : Conseil Général des Bouches du Rhône, L2MP, ST-M
 - Durée* : Avril 2004-Avril 2008
- Personnes Impliquées* : 9 (4 permanents L2MP, 2 ingénieurs ST-M, 3 Doctorants)
- Méthode d'Intégration et de Miniaturisation d'Objet Communicant (MIMOC)
 - Rôle* : Responsable scientifique de la section Emission

Partenaires : Conseil Général des Bouches du Rhône, LEAT, Insight-SIP, CIMPACA, IM2NP, Orange R&D.

Durée : Septembre 2007 – Septembre 2010

Personnes Impliquées : 10 (2 IM2NP, 2 LEAT, 2 Orange R&D, 2 Insight-SIP, 2 Doctorants)

CO-ENCADREMENT DOCTORAL

- *Thèses soutenues ou sur le point d'être soutenues*: 2 encadrées à 80%, 1 à 50% et 1 à 33%.

- *Thèse en cours* : 1 encadrée à 60% et 1 à 40%

ENSEIGNEMENT : Responsable de Licence Professionnelle

- *Spécialité* : **Télécommunication.**

- *Cours dispensés* :

Licence Professionnelle :

Transmissions Numériques / Traitement du signal Numérique

IUT (2eme Année)

Cours d'électronique

Master Recherche :

Conception RF / Systèmes UWB

- *Charge administrative* :

Mise en place d'une Licence Professionnelle (Electronique pour les télécommunications) :

- Mise en place du programme pédagogique

- Relation avec les professionnels (soutiens, implication dans la formation, Contrat de Professionnalisation...)

- Dossier d'habilitation (Habilitation pour 4 ans).

Responsable de formation : (Licence Professionnelle - Mention : Electronique pour les télécommunications).

DIVERS

- *Membre de Commissions de spécialiste (63) et d'un comité de sélection.*

- *AS et GDR du CNRS*

Participation à l'action spécifique 37 du CNRS (Radio Logicielle). Participation à la rédaction du rapport de sous-projet intitulé «Interface radio reconfigurable».

Membre du GDR Soc-SiP. Organisateur d'une journée thématique sur l'UWB

- *Conférence et Journaux*:

Membre du comité d'organisation de la conférence TAISA 2005.

Membre du comité de lecture des conférences : DCIS – TAISA – ISSSTA – ICUWB

Relecteur régulier pour IEE Letters.

Tutorial Invité à NEWCAS-TAISA 2008 et à ICECS2009

Editeur associé d'une édition spéciale de la revue AICSP, Ed. Springer

1 ACTIVITES D'ENSEIGNEMENT

1.1 RECAPITULATIF DES ENSEIGNEMENTS DISPENSES

Au cours de ma carrière, j'ai été amené à dispenser des enseignements essentiellement dans les filières suivantes : DUT, Licence Pro et 3^{ème} Année de cycle d'ingénieur et MASTER recherche. Mon domaine de compétence est principalement l'électronique et les télécommunications.

Le tableau ci-dessous résume mes différents enseignements :

Etablissement	Année	Matière	Heure/Etu
IUT-GEII	2A	Cours d'électronique	33
IUT-GEII	2A	TD d'électronique	42
IUT-GEII	2A	TP d'électronique	72
IUT-GEII	LP	Transmissions Numériques (C/TD)	40
IUT-GEII	LP	Traitement du Signal Numérique (C/TD)	20
IUT-GEII	LP	Techniques Numériques Avancées (C/TD)	20
IUT-GEII	LP	Systèmes RF (C/TD)	30
IUT-GEII	LP	TP CAO - RF	20
IUT-GEII	LP	TP Mesures - télécoms	20
Polytech'	Master-3A	Cours de Transmissions Numériques	20
Polytech'	Master-3A	Cours de Conceptions Circuits RF	10
Polytech'	Master-3A	Cours de Systèmes UWB	20

Certains de ces cours m'ont été confiés dans le but d'assurer la continuité dans un enseignement déjà en place ainsi que de renforcer les liens existants avec les équipes pédagogiques :

- Cours d'électronique de 2A
- Transmission Numérique en LP

Ces choix ont été motivés par ma connaissance des programmes ainsi que des équipes pédagogiques.

Par ailleurs, il m'a plusieurs fois été demandé de mettre en place des nouveaux enseignements comme :

- Modules de Transmission numérique et de Systèmes UWB de MASTER
- TP CAO de Licence Professionnelle (LP)
- Module de Techniques Numériques Avancées de LP

1.2 RESPONSABILITES LIEES A L'ENSEIGNEMENT

Au cours de ma carrière j'ai été amené à prendre part à la vie administrative de l'IUT GEII de Marseille à travers plusieurs tâches de responsabilité.

- Mise en place d'une Licence Professionnelle. J'ai eu la charge de mettre en place une licence Professionnelle intitulé « Electronique pour les Télécommunications ». Pour cela, avec l'appui du chef de département, mes principales missions ont été :
 - Réunir une équipe pédagogique et mettre en place le programme pédagogique permettant de compléter l'offre de formation du département au niveau des licences tout en assurant une continuité avec la formation du DUT.
 - Recruter des vacataires issus du milieu professionnel afin de réaliser 25% de l'enseignement de la formation
 - Mettre en place le support administratif pour une première ouverture (Inscription sur les bases de données APOGEE, CIELL, RNCP, SCUIO, ...)
 - Rédiger le dossier d'habilitation.
 - Obtenir le soutien d'industriels de rang national ou mondial (STMicroelectronics, GEMALTO, AGILENT, ...) ainsi que de PME.

- Responsable de la Licence Professionnelle « Electronique pour les Télécommunications ». Cette responsabilité inclue :
 - Animation de l'équipe pédagogique (Permanant et Vacataire)
 - Promotion, recrutement, suivit post-formation
 - Gestion des emplois du temps, des notes, des stages et des jurys
 - Gestion des besoins matériels pour les enseignements spécifiques
 - Gestion des contrats de professionnalisation et de la formation continue
 Pour réaliser ces taches, je suis assisté par une personne pour la promotion (salons, site web, ...), et par une personne pour le suivit des stages.

- Responsable des stages de la Licence Professionnelle « Réseaux et Télécommunications ». J'ai pris en charge cette mission de 2003 à 2007. Cette responsabilités comprends le suivit de la recherche des stages par les étudiants, le développement des relations avec les entreprises du secteur, et la mise en place des soutenances de stages.

- Responsable d'une la salle de manipulation dédiée aux télécommunications. J'ai pris en charge cette mission de 2004 à 2008. Cette tache consiste à gérer le bon fonctionnement du matériel (état des lieux régulier, maintenance, ...), assurer une évolution permanente du matériel pour éviter l'obsolescence et permettre la mise en place de nouveaux TP. A travers cette mission, j'ai peu faire réaliser un câblage complet de la salle pour distribuer des signaux RF sur les différentes paillasse afin de pouvoir utiliser simultanément des appareils très coûteux (Générateur de signaux arbitraire, synthétiseur de fréquence) permettant ainsi de moderniser certains TP.

1.3 ACTIVITES D'ENSEIGNEMENT DIVERSES

- Participation à la mise en place d'un programme de formation par la recherche sur le thème de l'UWB. Ce projet impliquait l'IM2NP, la filière ingénieur du département de Microélectronique et Télécommunications de Polytech' Marseille, le MASTER recherche MINELEC et la société Agilent Technologies (contact : Ernst Kaiserauer, Agilent Technologies, Herrenberger Strasse 130, 71034 Boeblingen). Ce projet a été

lauréat d'un concours international organisé par Agilent technologies, ce qui a donné lieu à une donation d'équipement au département pour une valeur de 50kEuros.

- Participation à la mise en application du nouveau programme pédagogique (PPN) des IUT avec en particulier la semestrialisation des enseignements et les parcours professionnels. Cette activité a consisté essentiellement à la participation à des réunions pédagogiques ainsi qu'à des groupes de travaux.
- J'anime un groupe de travail sur l'uniformisation des Licences Professionnelles du Département GEII de Marseille. En raison de l'historique propre à chacune, les trois licences professionnelles du département sont gérées de manière indépendante. Afin de réaliser des gains sur le temps de gestion administratif, il m'a été demandé de mettre en place et d'animer un groupe de travail afin de faire un état des lieux et de proposer une gestion harmonisée de ces licences.

2 TRAVAUX DE RECHERCHE

2.1 TRAVAUX DE RECHERCHE ANTERIEURS (THESE ET ATER)

Dans le cadre d'un contrat d'allocataire de recherche MERT j'ai préparé une thèse d'Université au sein du Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS. Intégrés au groupe MIS dirigé par A. M. GUE, j'ai effectué mes travaux de recherche dans l'équipe ICARE de l'IUT-B de Blagnac, sous la direction de Monsieur A. MARTINEZ et encadré par Monsieur E. CAMPO. Ces travaux ont porté sur la conception, la modélisation et la simulation de systèmes télécoms radiofréquences pour des applications domotiques.

Ce travail sur les systèmes télécoms appliqués aux communications « *indoor* » a débuté par une étude des différentes normes en vigueur (802.11) et à venir (UMTS) ainsi que sur les différentes méthodes d'accès (CDMA, FDMA...) et leurs protocoles associés. Ce travail s'est poursuivi par l'étude de toutes les fonctions mettant en œuvre le système dans sa globalité (de l'information binaire transmise à l'amplificateur d'antenne). Ces fonctions sont réparties selon leur méthode de réalisation : d'une part, les fonctions RF assurant la transposition entre la fréquence porteuse et une fréquence BF utilisable par le système de traitement, et d'autre part, les fonctions de traitement du signal intégrables numériquement devant permettre la démodulation ainsi que les fonctions nécessaires à l'accès multiple par répartition de code.

L'étude de la partie RF à été menée sur deux axes. Un model fonctionnel simple réalisé sous SABER nous a permis de valider le principe de l'étage permettant la transposition en fréquence (démodulateur I/Q) et surtout de l'intégrer au système global afin d'étudier l'influence de la porteuse sur le système. D'un autre coté nous avons réalisé une spécification détaillée de l'étage RF qui nous a permis de définir un schéma de principe d'un étage RF hétérodyne (LNA, mélangeurs, filtres, oscillateurs) ainsi qu'un cahier des charges complet (sensibilité, gain, facteur de bruit, bilan de liaison...).

Les fonctions de traitement du signal regroupant les modules de modulation/démodulation DBPSK et DQPSK, et les modules dédiés à l'étalement de spectre (corrélateurs/décorrélateurs, organes de synchronisation spécifique : DLL et synchroniseur type RASE) et les filtres (analogiques et numériques) ont tous été modélisés [CI-22]-[CI-26]. Cela nous a permis, dans un premier temps, de dimensionner chaque fonction de manière indépendante puis d'étudier leurs performances en environnement bruité (AWGN) ou en environnement multi-utilisateurs. Dans un second temps nous avons analysé l'interaction de certaines fonctions entre elles. Cette approche globale s'intègre dans une réflexion beaucoup plus générale sur la sûreté des spécifications menées dans l'équipe MIS.

Mes activités de recherche durant mon année d'ATER ont portés essentiellement sur la description en VHDL de l'organe de synchronisation en vue d'une implantation sur l'ASIC bande de base final [RI-12]. La description du dispositif en VHDL (structurelle, fonctionnelle, synchrone ou asynchrone) jouant directement sur les performances du circuit, plusieurs méthodes ont été investiguées pour accroître la précision de l'organe de synchronisation. Il est apparu qu'une méthode asynchrone relâche la contrainte sur l'horloge d'échantillonnage (qui limite directement la précision dans un fonctionnement synchrone).

2.2 TRAVAUX DE RECHERCHE ACTUELS

Depuis mon intégration à l'IM2NP (anciennement L2MP) en septembre 2001, mes activités de recherche s'articulent autour d'un thème central : la conception de circuits et systèmes Radiofréquences pour des applications faibles coûts et faible consommation. Dans ce thème, deux axes principaux se dégagent :

- Intégration de systèmes sur puce (SoC) Bandes Etroites.
- Intégration de systèmes sur boîtier (SoP/SiP) Ultra Large Bande.

2.2.1 Intégration de Systèmes sur Puce Bandes Etroites

Depuis les années 1990, l'évolution des procédés technologiques a permis aux filières silicium standards de type CMOS, de répondre aux besoins de certaines applications radiofréquences jusqu'alors fabriquées dans des technologies plus coûteuses (AsGa ou SiGe). Cette migration a permis de réduire drastiquement les coûts de production et a largement contribué à la démocratisation des terminaux portables sans fils (GSM, PDA, accessoire PC, ...). En outre, l'utilisation de la filière CMOS permet d'intégrer dans une même puce un système complet (SoC) comportant une section analogique pour les fonctions RF et une section digitale pour le traitement numérique et l'interfaçage. Cette tendance est largement justifiée par la maturité des architectures RF bandes étroites qui nécessitent moins de développement pour migrer d'une technologie bipolaire vers une technologie CMOS que des architectures innovantes de type UWB ou 60GHz. Actuellement, la plupart des circuits sur le marché des objets communicants grand public qui utilisent des signaux bandes étroites (norme GSM, Wifi, Bluetooth, ZigBee, ...) sont intégrés à 90% dans la même puce.

L'intérêt majeur d'un SoC étant son potentiel économique, la conception d'un tel système doit répondre à certains critères. Tout d'abord, le taux d'intégration doit être maximal. Cela signifie qu'il est nécessaire de réaliser un circuit n'utilisant pas de composant externe. Cette particularité est un défi pour les technologies CMOS qui disposent de composants passifs (notamment d'inductances) de qualité médiocre. Ensuite, la taille du circuit doit être minimale car le coût de production se résume à la surface de silicium occupée par le circuit. En technologie, CMOS, cette contrainte se traduit par une réduction du nombre d'inductances qui dans un SoC RF occupent en moyenne plus de 50% du circuit. Cette réduction est réalisée par l'optimisation des architectures (Zero-IF ou Low-IF) ou des topologies des circuits qui composent le système. Enfin, le temps de développement (Time to Market) doit être maîtrisé. Sur ce plan, l'inconvénient majeur d'un SoC réside dans le fait qu'un dysfonctionnement d'un seul élément met en péril tout le système et retarde de manière significative la mise en production. Il importe alors de mettre en place des méthodes de conception basées sur la modélisation la plus fine possible du système complet. Des approches descendantes partant de spécifications globales (sensibilité, taux d'erreur sur les bit - BER -, débit, ...) vers des spécifications détaillées des éléments (gain, facteurs de bruit, ...) doivent être confrontées à des approches montantes qui partent des caractéristiques des circuits élémentaires vers les caractéristiques générales du système.

Les travaux menés au sein de l'équipe CCI de l'IM2NP, en collaboration avec STMicroelectronics ([RC-2]-[RC-5]) ont permis de réaliser un SoC complet pour une application propriétaire proche du standard ZigBee [CI-16]. Afin de réduire la taille et la consommation du circuit, des études basées sur une approche système ainsi que sur une approche composant, ont été menées en parallèle. Sur le plan du système, des architectures originales ont été proposées au niveau de la section radiofréquence [RN-1][CI-8], ainsi qu'au niveau de l'architecture du démodulateur, avec comme objectif d'alléger au maximum les contraintes sur la section digitale. Ces travaux ont montrés que l'utilisation d'une modulation FSK permet de relâcher les contraintes sur la conception des architectures à conversion directe (Zero-IF). En effet, ces architectures affichent de très bonnes performances en termes de consommation et de surface mais sont sensibles à de nombreuses imperfections du système (IP2, Fuite des OL, variation DC, ...) rendant leurs intégrations dans un SoC périlleuse. L'utilisation de signaux FSK permet de mieux filtrer les IP2 et le DC tout en s'affranchissant des dérives des OL ainsi que des problèmes liés à la dynamique du signal d'entrée. En particulier, nous avons mis au point une nouvelle technique de démodulation dite AZCD (Asynchronous Zero Crossing Détection) qui fonctionne sans organe de récupération du temps symbole (PLL ou DLL) ni amplificateur à gain contrôlé (AGC) [CI-17][CI-18]. Ce démodulateur a pu être intégré à la section BF du système [CI-13], évitant ainsi l'utilisation de convertisseur analogique numérique, ce qui limite la taille et la consommation de la section digitale. Cette technique de démodulation, particulièrement adaptée aux systèmes faibles coûts, a fait l'objet d'un brevet international [BI-1]. D'autre part, toujours sur le plan du système, plusieurs plateformes de simulation, utilisant des approches montantes et descendantes, ont été développées [CI-19], afin de fiabiliser un processus de conception qui impliquait 12 personnes et deux équipes. Ces travaux, sur l'optimisation et la modélisation d'architectures RF ont été développés dans la thèse de Mr N.DEHAESE [TH-1]. Sur le plan des éléments constitutifs du système (LNA, PA, Chaîne BF, ...), d'importants travaux basés sur l'optimisation des circuits ont été menés dans le but de

réduire la taille et la consommation du système complet. Dans ce sens, des méthodes de conception permettant de diminuer le nombre d'inductances nécessaires à la réalisation des amplificateurs faible bruit (LNA) et de puissance (PA), ont été développées. Sur le plan du LNA, l'utilisation d'une structure à dégénération d'inductance couplée à une cellule d'adaptation optimisée pour les circuits intégrés CMOS a permis la réalisation de LNA sans adjonction de composants externes. Ces LNA n'utilisent que 2 inductances et affichent des performances en termes de taille et de consommation qui sont à l'état de l'art [RI-11]. Sur le plan du PA, une méthode basée sur l'optimisation du PAE par la taille du transistor de sortie a permis de réaliser des circuits n'utilisant qu'une seule inductance et dont les performances en terme de puissance et de consommation permettent de répondre à deux nombreux standards faibles coûts [RI-9] (Bluetooth, ZigBee, ...). Ces circuits ont permis aussi de réduire drastiquement la consommation et la taille totale de la section RF du système [CI-16].

2.2.2 Intégration de systèmes SoC et SoP Ultra Large Bande (UWB)

En 2002, la commission fédérale pour les communications (FCC) a autorisé l'utilisation d'une bande de fréquence Ultra Large (UWB) allant de 3,1 à 10,6 GHz (bande FCC). Quatre ans plus tard l'Europe libérait une bande de 6 à 8,5GHz (Bande ECC) dédiée aussi aux communications UWB. Cette libéralisation a engendré un important engouement pour les techniques de transmission UWB en raison de leur fort potentiel sur le plan du débit et de la consommation. En effet, l'utilisation d'impulsions très courtes pour communiquer dans cette bande permet de réaliser des systèmes très simples, qui ne consomment que durant l'émission d'une impulsion (quelque nanoseconde) et qui utilisent une simple détection d'énergie en réception. Des études prospectives basées sur la consommation d'un émetteur montrent que la puissance consommée peut être jusqu'à mille fois inférieure à celle d'un émetteur bande étroite fonctionnant avec le même débit, ce qui place cette technologie comme la candidate idéale pour les systèmes RFID de troisième génération. Il en est de même pour les puissances d'émission mises en jeu, ce qui engendre une forte neutralité vis-à-vis des tissus corporels. Cela rends cette technique de transmission très attractive pour la réalisation de systèmes de communication embarqués sur le corps humain (WBAN) ou pour les applications qui nécessitent une forte densité d'E/R comme les pico réseaux (pico-net).

Autant les architectures UWB impulsionnelles sont simples, autant leur réalisation est un défi technologique en raison de l'importante bande passante nécessaire à l'acheminement et au traitement du signal. Ceci d'autant que les technologies, utilisées pour la réalisation de ces systèmes, doivent être faibles coûts pour répondre aux applications visées (RFID, pico-net et WBAN). En raison des forts risques, liés à l'immaturité de cette technique de transmission, ainsi qu'aux nombreux verrous technologiques, il apparaît que l'intégration sur boîtier (SoP/SiP) est la plus appropriée. Avec cette méthode d'intégration, plusieurs puces (issues de technologies différentes) peuvent être assemblées sur un même support (chip carrier) puis mises dans un boîtier unique. Cela permet d'envisager l'intégration de l'antenne (de petite taille à ces fréquences) sur le support, et de limiter ainsi les interconnexions puce/boîtier qui affectent considérablement l'intégrité du signal à ces

fréquences. En outre, cette technologie d'intégration permet la réalisation, sur des supports économiques, d'éléments passifs distribués de bonne qualité. Ceci relâche la contrainte sur la conception de la puce qui peut alors être envisagée dans une technologie peu coûteuse (de type CMOS).

Un premier travail a été engagé, en collaboration avec la société STMicroelectronics, [RC-6][RC-7][RC-8], sur la réalisation d'émetteurs UWB (générateurs d'impulsion) en technologie CMOS, avec pour objectif de diminuer la consommation par impulsion tout en augmentant l'amplitude du signal émis. En effet, quand ces travaux de recherche ont débuté (en 2004) avec la thèse de Y. Bachelet [TH-2], la consommation moyenne des dispositifs rencontrés dans la littérature était de plusieurs centaines de pico joule par impulsion (pJ/P) pour des niveaux de l'ordre de quelques centaines de millivolts ce qui engendrait des rendements inférieurs au pourcent. L'approche retenue pour optimiser le rendement, repose sur l'excitation d'un filtre UWB par une impulsion de commande en courant, ceci afin de générer la réponse impulsionnelle du filtre [RI-8][RI-1]. Les filtres UWB pour la bande US (3,1-10,6GHz) nécessitent peu de composants passifs, ce qui permet de limiter les pertes et rends possible leur intégration complète sur silicium. De plus, cette technique est aussi compatible avec une intégration SoP/SiP, ce qui accroît son intérêt. En outre, elle permet la génération d'impulsions ultras courtes (400ps), ce qui limite le temps de conduction des circuits actifs, et par conséquent, la consommation. Ces travaux ont permis de réaliser des circuits consommant jusqu'à 2,5pJ/P pour des rendements de l'ordre de 20% et des niveaux de sortie supérieurs au volt [CI-2]. De plus, cette topologie a aussi été utilisée pour réaliser des générateurs compatibles avec la bande de fréquence autorisée en Europe (Bande ECC 6-8,5GHz). Dans cette bande, les générateurs réalisés utilisent des filtres à inversion d'admittance et une cellule d'amplification active pour compenser les pertes liées à l'augmentation de l'ordre du filtre [TH-2][CI-14]. Un deuxième travail a été mené sur la réalisation de générateurs programmables. L'intérêt de ce type de dispositif est double. Selon le degré de programmabilité, il devient possible d'adresser différentes bandes de fréquence et, ou, de modifier la forme de l'impulsion générée. Ceci permet de compenser les imperfections du système (déformations liées à l'antenne ou aux interconnexions) ou la dérive des procédés de fabrication. Un premier circuit, basé sur la synthèse de l'impulsion par combinaison d'impulsions élémentaires a démontré la faisabilité de cette approche et permet de générer des impulsions totalement programmables. L'amplitude des impulsions générées est de 200mVcc dans une bande de 3-5GHz et l'énergie consommée est de 202pJ/P. Le circuit n'intègre pas d'inductances et occupe 0,06mm² [RI-6]. Afin d'améliorer le rendement de ce type de circuit, une solution réalisant la combinaison d'impulsions élémentaires à partir de transistors commutés (pont H) a été développée. Cette technique permet notamment d'adresser un plus grand nombre de bandes de fréquence tout en modifiant la forme de l'impulsion. En outre, elle ne consomme pas de puissance entre deux impulsions ce qui simplifie sa mise œuvre [CI-1].

Sur le plan du récepteur, des premiers travaux ont été réalisés sur la base d'une architecture utilisant un échantillonneur faible résolution / haute fréquence d'échantillonnage (20Gsample.s⁻¹). L'échantillonnage utilisait N bascules D commandées par N horloges de fréquence F_e/N et décalées d'un retard égal à $1/F_e$ [CI-14]. Cette technique permet de réaliser un échantillonnage rapide avec une fréquence faible. Malgré l'efficacité de cette approche, la consommation du circuit

ainsi que la puissance de la section digitale ne permet pas d'adresser des applications portables. Une seconde approche, basée sur la détection d'énergie a été développée dans la thèse de M. BATTISTA [TH-4]. Dans ces travaux, un détecteur d'énergie directement couplé à un LNA large bande, permet de mettre en forme le train binaire transmis par l'intermédiaire d'une modulation OOK. Les études réalisées au niveau système montrent qu'il est possible d'atteindre des distances de communication de quelques mètres (nécessaires pour les applications WBAN et Pico-Net), en utilisant les générateurs déjà réalisés au laboratoire, si le seuil du détecteur d'énergie est de 50mV et le gain des LNA de 27dBV. En outre, des LNA ont été réalisés pour la bande FCC et ECC. Ces LNA utilisent une technique d'adaptation large bande optimisée pour l'intégration CMOS, ce qui permet d'atteindre les gains souhaités pour une consommation de quelques mA. Des méthodologies de conception basées sur la minimisation du facteur de bruit ont par ailleurs été développées permettant d'atteindre des facteurs de bruit inférieurs à 4dB [RI-10] [RI-1]. La réalisation d'un détecteur d'énergie utilisant un transistor polarisé sous le seuil permet d'atteindre des sensibilités de l'ordre de 40 mVp pour des signaux de bande passante comprise entre 3GHz et 10GHz.. Ce détecteur couplé à un comparateur à seuil au travers d'une chaîne d'amplification, permet de remettre en forme le signal pour une consommation de 2,4mW et une taille de 0,06mm². Ce détecteur couplé au LNA doit permettre d'atteindre une sensibilité de -87dBm@36mHz. L'ensemble des travaux réalisés sur cette chaîne de réception UWB dédiée aux applications faibles coûts, a été présenté conjointement avec J. Gaubert et M. BATTISTA lors d'un tutorial d'une demi-journée lors de la conférence NEWCAS-TAISA 2008 [CI-3].

En parallèle de ces activités, des travaux sur l'intégration d'un émetteur/récepteur (E/R) complet ont été menés. Sur l'impulsion de la société STMicroelectronics, une première étude sur la réalisation d'un SoC [CI-14] a montré les limites de cette approche. Le manque d'expertise sur les systèmes UWB, le manque de moyen de vérification sur le plan de la simulation système, et l'utilisation d'une technologie poussée à sa limite sont autant de facteurs qui ont finalement motivés l'utilisation d'une technologie SoP/SiP pour réaliser l'E/R. Dans le cadre d'un contrat de collaboration impliquant le LEAT, l'IM2NP et les sociétés Orange R&D et Insigth-SIP [RC-9], une étude sur la réalisation d'un E/R en technologie SoP/SiP est menée. La partie antennaire est supportée par le LEAT et Orange R&D alors que le développement des circuits et leur interfaçage est supporté par l'IM2NP et Insight-SIP.

Dans ce contexte, un premier travail a mis en évidence que l'interface circuit intégré/support peut être modélisée par un circuit CLC en π dans le cas d'interconnexion par « bonding » et pour des fréquences comprises dans la bande UWB [CI-11]. Il est alors possible d'optimiser la bande passante de l'interconnexion en réalisant un filtre passe-bas intégrant la capacité du pad de sortie du circuit et en réalisant une capacité sur le support en éléments distribués [RI-3]. Cette technique permet de connecter à l'antenne, tout type de circuits UWB intégrés dans une technologie donnée et adaptés sur 50 Ω . Nous avons aussi montré qu'il était possible de réaliser une transition passe bande compatible avec la bande UWB [CI-12]. Cette technique permet, dans le cas de topologies particulières, d'intégrer une partie du filtre d'émission du générateur dans cette transition. Cette approche de co-conception (co-design) permet de diminuer le nombre d'inductances intégrées sur le

circuit ce qui réduit sa taille mais aussi augmente les performances du système car l'inductance réalisée par l'interconnexion (essentiellement le bonding) est de meilleure qualité que celles disponibles en technologie CMOS [CI-2].

2.3 ENCADREMENT DOCTORAL

Depuis mon intégration dans l'IM2NP, j'ai eu l'occasion de co-encadrer six thèses dont 3 ont été soutenues et une quatrième est sur le point de l'être. Je bénéficie en outre de la prime d'encadrement doctoral et de recherche pour la période 2006-2009.

- **Encadrement et direction de thèses**

[TH-1] Thèse de doctorat de N.DEHAESE- « *Etude et simulation d'un système sur puce radiofréquence pour les applications faibles coûts et faible consommation.* »- Thèse de doctorat de l'Université, Université de Provence, 8 décembre 2005. Soutiens Financier : CG13. Collaboration STMicroelectronics. Taux d'encadrement 80%.

[TH-2] Thèse de doctorat de Bachelet Y. – « *Conception en technologie CMOS de générateurs de pulses Ultra Large Bande pour les normes américaine (FCC) et européenne (ECC)* » Thèse de doctorat de l'Université, Université de Provence, 28 Octobre 2008. Soutiens Financier : CIFRE. Collaboration STMicroelectronics. Taux d'encadrement 80%.

[TH-3] Thèse de doctorat de Joseph Romen CUBILLO : « *Méthodes d'assemblage et de mise en boîtier des systèmes intégrés pour applications radiofréquences. Application aux systèmes pour les applications UWB 3.1-10.6 GHz et 24-29 GHz* ». Thèse de doctorat de l'Université de Provence, soutenue juin 2008. Soutien financier : CIMPACA projet SSCO. Taux d'encadrement 50%.

[TH-4] Thèse de doctorat de M. Marc BATTISTA

Thèse de doctorat de l'Université de Provence, soutenance prévue en 2009. Soutiens Financier : CIFRE. Collaboration STMicroelectronics. Taux d'encadrement 33%.

- **Encadrement de stages de DEA et Master Recherche**

Stage de DEA de Cédric CRUCHÉ : DEA Physique Mécanique Systèmes Complexes, Option Micro et Nano Electronique, ISEN Toulon : « *Modélisation et simulation d'un émetteur/récepteur 2.45GHz sous ADS* », année 2003, taux d'encadrement : 100%

Stage de DEA de Amir FANAEL : DEA Matériaux, Technologie et Composants de l'Electronique Université Paul Sabatier Toulouse III – INSA de Toulouse, titre : « *Etude et réalisation d'une antenne à 915 MHz pour une application RFID* », année 2003, taux d'encadrement : 30%.

Stage de DEA de Yannick Bachelet : DEA, titre : « *Etude et conception d'un amplificateur de puissance (PA) pour un émetteur Radio Fréquence fonctionnant à 2.45GHz en technologie CMOS pour des applications faibles coûts / faible débit.* », année 2004, taux d'encadrement : 50%

Stage de MASTER de Damien RIMBAULT : Ecole Polytech' Marseille, titre : « *Optimisation d'une chaîne de lecture RFID 900MHz* », année 2008, taux d'encadrement 50%.

2.4 ACTIVITES DE TRANSFERT TECHNOLOGIQUE

Parallèlement à mon activité de recherche académique, j'ai participé à plusieurs projets de recherche industrielle. Ces partenariats ont permis de transférer nos compétences technologiques à de grandes entreprises du secteur mais aussi des PME.

2002-2003. Conception d'antennes pour systèmes sans contact à 900MHz.

Ce projet de collaboration avec la société [STMicroelectronics](#) avait pour but la conception d'antennes UHF pour des applications RFID. Ce projet impliquait 3 permanents du laboratoire et avait pour objet de définir une méthode de conception d'antennes plaquées et de fournir des moyens permettant d'évaluer une liaison radio (bilan de liaison) intégrant ces antennes.

2003-2007. Chaîne de communication RF 2.45GHz en technologie CMOS 0.13µm.

Ce travail de collaboration a été réalisé dans le cadre d'une convention pluriannuelle de recherche associant le conseil général des Bouches du Rhône, la société STMicroelectronics et le L2MP. Le but du projet était de réaliser un émetteur-récepteur (E/R) radiofréquence pour la bande de fréquence ISM-2.45GHz. Bien que le standard de communication devait rester la propriété de la société, les applications visées étaient celle du standard 802.15.4. Le système devait intégrer toutes les fonctions de bases (section RF, section digitale et processeur ARM pour gérer le protocole) dans un même circuit (SoC). En outre, la conception de type SoC dans une technologie CMOS devait permettre de réduire les coûts et la consommation du circuit, afin d'adresser des applications économiques (low-cost). Ce projet fut l'un des plus importants réalisés dans l'équipe CCI. Il impliquait 6 permanents IM2NP, 3 ingénieurs STMicroelectronics et 4 Doctorants. Ce projet a abouti à la fabrication de plusieurs circuits élémentaires pour du test sous pointe et à deux SoC mis en boîtier BGA. Les SoC intégraient la section RF, la section digitale et la PLL, alors que le processeur ARM fut finalement développé en externe, sur une carte d'évaluation.

Dans ce projet j'ai eu la charge des missions suivantes :

- Coordination et gestion administrative du projet de 2005 à 2007 pour le laboratoire.
- Responsabilité scientifique de l'étude système associant le front-end RF et la section digitale (spécification et validation).

- Développement de la partie test en boîtier.
- Conception du démodulateur et du PA.
- Encadrement d'une thèse [TH-1]

Année	Pers.*	Logiciel*	Invest*	Gestion*	Total*	Matériel	Thèses CDD
2003/2004	215	10	265	28,2	518,2	Banc RF-ST	4TH
2004/2005	270	10	150	27	457	Banc RF L2MP	4TH 1,5CDD
2005/2006	268	10	5	22,3	35,3	Consommable	4TH
2006/2007	370	10	19	30,8	429,8	Informatique	4TH 2P.Doc 2Cdd

* coût en k€

2004-2009. Conception d'un émetteur / récepteur UWB intégré en technologie CMOS 0,13µm.

Ce travail de collaboration a aussi été réalisé dans le cadre d'une convention pluriannuelle de recherche associant le conseil général des Bouches du Rhône, la société STMicroelectronics et le L2MP. L'objectif du projet était d'évaluer la potentialité des techniques de transmission UWB impulsives pour les applications faibles coûts. Les éléments constitutifs d'un E/R ainsi qu'un système complet, adapté aux normes européennes et US, devait être intégré dans une technologie CMOS 0,13µm. Cette étude a montré la faisabilité de réaliser certains blocs comme le générateur ou le LNA dans ce type de technologie, mais a aussi démontré les limites d'une approche SoC pour la réalisation de systèmes utilisant des techniques trop inventées pour lesquelles il existe peu d'expertise. Ce projet a abouti à la réalisation de plusieurs circuits pour le test sous pointe ainsi qu'à un SoC intégrant un générateur, un LNA, un VCO et un échantillonneur 20Gss⁻¹.

Dans ce projet qui a impliqué 4 permanents IM2NP, 2 ingénieurs ST-M et 2 Doctorants, j'ai eu la charge des missions suivantes :

- Coordination et gestion administrative du projet de 2005 à 2008 pour le L2MP.
- Responsabilité scientifique de la partie génération d'impulsion.
- Responsabilité scientifique de la partie détection et échantillonnage
- Encadrement de deux thèses [TH-2] [TH-4]

Année	Pers.*	Logiciel*	Invest*	Gestion*	Total*	Matériel	Thèses CDD
2004/2005	60,5 (CIFRE)	0	5	0	60,5	Informatique	2TH
2005/2006	90,75 (CIFRE)	10	80	3,5	173,75	Banc UWB L2MP	3TH
2006/2007	90,75 (CIFRE)	0	0	0	90,75		3TH
2007/2008	30,25 (CIFRE)	0	0	0	30,25		1TH

* coût en k€

2007-2009. MIMOC

Ce travail de collaboration a été initié dans le cadre du CIMPACA associant le conseil général des Bouches du Rhône, la société STMicroelectronics et le laboratoire. Le projet MIMOC a pour objectif principal de proposer des solutions technologiques permettant l'intégration et la miniaturisation de nouveaux objets communicants utilisant principalement des techniques UWB. Les méthodes proposées doivent déboucher sur la réalisation de prototypes démontrant les

objectifs précédents. Des prototypes d'antennes et de circuits intégrés existent déjà dans les laboratoires associés à ce projet. Le travail porte donc essentiellement sur la miniaturisation des antennes et leur interfaçage avec le circuit intégré. Une partie du travail de recherche consiste à définir une méthodologie de co-design antenne/puce/boîtier/support. Dans ce domaine du co-design, les possibilités de s'affranchir des différentes distorsions engendrées sur les signaux impulsionnels larges bandes par le canal et les antennes d'émission et de réception sont particulièrement étudiées. L'intégration de l'antenne sur le boîtier même du SoC est aussi l'un des principaux objectifs visés.

Dans ce projet, j'ai en charge les missions suivantes :

- Responsabilité scientifique de la section émission
- Co-encadrement d'une thèse

Partenaires	France Télécom R&D Insight SIP IM2NP (UMR CNRS-U1 6242) LEAT (UMR CNRS-UNSA 6071)	0,9 (0,5 doctorant + 0,4 Ing) 3xhan 0,3 (0,1 doctorant + 0,2 Ing) 3xhan 1,35 (0,9 doctorant + 0,45 Perm.) 3xhan 1,05 (0,5 doctorant + 0,55 Perm.) 3xhan Coût total : 574+626=1200 k€
Financements	CR PACA + CG06 (Equipements + prototypes sur silicium) CR PACA (2 BDE : 50 et 90 %)	Oscilloscope temps réel (Tektronix DP0 71604) Générateur arbitraire (Tektronix AWG7102) Analyseur vectoriel PNAX 5242A

2.5 CHARGE ADMINISTRATIVE ET ANIMATION SCIENTIFIQUE

2.5.1 Contexte Général

En Septembre 2001, j'ai intégré le **Laboratoire de Matériaux et de Microélectronique de Provence** (L2MP, UMR 6137). J'ai participé avec 3 autres Maîtres de Conférences (H. Barthélemy, J. Gaubert, P. Pannier) à la mise en place d'une nouvelle thématique de recherche sur la conception de circuits et systèmes RF en technologie CMOS. Cette thématique a été suscitée par nos différents cursus mais aussi par la potentialité du tissu industriel local (STMicronics, ATMEL) à un moment où l'évolution de la filière technologique CMOS commençait à permettre d'envisager la réalisation de circuit RF jusqu'alors réservée aux technologies SiGe ou AsGa. Depuis, l'augmentation de l'activité contractuelle ainsi que le recrutement de nouveaux Maîtres de Conférences ont motivé la création d'une équipe regroupant les différentes thématiques de conception du laboratoire : L'équipe Conception de Circuit Intégrés (CCI). Cette équipe, dirigée par H. Barthélemy, regroupe 17 permanents et est structurée selon 2 thématiques :

- Interface Analogiques et Numérique BF
- Conception de circuits et systèmes RF

2.5.2 Responsabilité de thématique

Je suis actuellement (depuis 2008) responsable de la thématique « conception de circuits et systèmes RF » de l'équipe CCI. Les principaux objectifs de cette thématique sont la levée de verrous technologiques limitant l'intégration et les performances des fonctions radiofréquences. Dans cette thématique, une très forte expertise a été développée dans le domaine des applications faible consommation et faibles coûts ainsi que dans l'intégration SoC-CMOS et SoP/SiP. Les compétences acquises couvrent aussi bien les systèmes bandes étroites (900MHz, 2.45GHz et 5GHz) que les systèmes UWB.

Nos actions sont focalisées autour de projets de recherches académiques ou industriels soutenus par différents organismes : le Ministère de la Recherche, le Conseil Général des Bouches du Rhône, le centre Intégré de Micro-électronique de la région PACA (CIM-PACA), l'Agence Nationale de la Recherche (ANR). Actuellement, 8 enseignants chercheurs participent à cette thématique autour de 3 projets de recherches.

Dans le cadre de cette responsabilité, j'ai porté cette année deux projets scientifiques :

- 1 projet Région-CIMPACA incluant une PME (DM-Radiocom). Accepté.
- 1 projet ANR incluant, le LETI et une PME (TAGSYS). En cours d'évaluation.

Mes principales missions en tant que responsable de thématique peuvent se résumer ainsi :

- Coordination scientifique
- Valorisation de la thématique
- Mise en place de Projet
- Organisation des moyens de mesure et de calcul
- Gestion budgétaire

2.5.3 Développement des moyens communs de recherche

A mon arrivé en 2001 au laboratoire, l'équipe ne disposait d'aucuns moyens propres de mesure haute fréquence. Au cours de mes activités de recherche et notamment a travers l'animation scientifique de certains projets, il m'a été demandé de mettre en place plusieurs bancs destinés à équiper une salle dédiée aux mesures Hyperfréquences. La mise en place de moyen de mesure comprend essentiellement :

- Réalisation d'un cahier des clauses techniques
- Publication d'un appel d'offre et choix de l'offre
- Mise en œuvre de procédures standards de mesure et formation des membres de l'équipe ou d'un technicien.
- Maintiens et évolution du banc (achat de consommable, d'accessoires et maintenance ...)

J'ai tout d'abords, en collaboration avec un autre maître de conférence, mis en place un banc de mesure (environ 160k€) pour les applications bandes étroites

comprenant un générateur de signaux arbitraires (6GHz), un analyseur de spectre 44GHz et un analyseur de modulations numériques (89600). Ce banc permet la caractérisation de systèmes complets d'émission/réception ou bien d'une sous partie du système. Des mesures au niveau composant (gain, facteur de bruit, linéarité) mais aussi au niveau système (Bit Error Rate, Error Vector Magnitude) sont possibles avec cet équipement, jusqu'à 6GHz et dans une bande de 100MHz. Ce banc est pilotable par le logiciel ADS utilisé au laboratoire pour la conception des circuits RF et a permis de valider un système d'E/R mis en œuvre dans un partenariat avec STMicroelectronics.

J'ai aussi mis en place un banc de mesure dédié aux applications UWB (environ 130 k€). Ce banc se compose d'un oscilloscope temps réel de 12GHz de bande passante et d'un générateur d'impulsions (100ps). L'acquisition de l'oscilloscope a été réalisée grâce à une subvention du Conseil Général dans le cadre d'un partenariat avec STMicroelectronics alors que le générateur est le prix d'un concours, dont le laboratoire et l'école Polytech' Marseille ont été lauréats. De ce fait, ce banc est disponible pour la formation des étudiants de Master. Il permet de caractériser temporellement des signaux très larges bandes et notamment de mesurer des impulsions inférieures à la centaine de picosecondes. Ce banc a été utilisé pour valider plusieurs dispositifs dans le cadre d'un partenariat avec STMicroelectronics et, est maintenant utilisé pour évaluer les émetteurs en technologie SoP/SiP, développés dans le cadre du projet MIMOC.

2.5.4 Autres Activités d'Animation Scientifique

En plus des activités développées précédemment, j'ai participé à diverses tâches d'animation récapitulées ci-dessous.

- **Commissions de spécialistes et comité de sélection**

J'ai été membre plusieurs commissions de spécialistes dans deux universités (U1 et U3) pour le recrutement d'ATER et de Maître de Conférence en 63^{ème} section.

Membre élu de la commission de l'IUT GEII (2004-2007)

Membre extérieur nommé de la commission mixte de polytech' Marseille (2004-2006)

Membre extérieur nommé de la commission de spécialiste de polytech' Marseille (2006-2008)

J'ai été membre d'un comité de sélection de l'université U3 en 2008 pour le recrutement d'un maître de conférence à l'IUT GEII de Marseille.

- **Conférence, tutoriaux et journées thématiques**

En 2005, le laboratoire et plus particulièrement l'équipe CCI a organisé la conférence TAISA (Traitement Analogique de l'Information, du Signal et ses Applications) qui a eu lieu à Marseille. Pour cette occasion, j'ai été membre du comité d'organisation de la conférence.

En 2008, j'ai organisé avec un Professeur du laboratoire et un Maître de Conférence, une journée thématique sur les dispositifs UWB dans le cadre du GDR SoC-SiP du CNRS.

J'ai réalisé une demi journée de tutorial sur les systèmes UWB Low Cost à la conférence NEWCAS-TAISA en 2008

J'ai été sollicité pour réaliser un tutorial sur les systèmes de géo localisation UWB dans les applications RFID à la conférence ICECS'2009.

- **Travail de relecture**

Je participe à l'évaluation et la relecture d'articles dans les journaux et conférences suivants :

- IEE Letters
- ICUWB
- DCIS
- NEWCAS-TAISA

J'ai été éditeur associé pour la réalisation d'une édition spéciale de la revue AICSP (Analog Integrated Circuits and Signal Processing - Springer).

- **Groupe de Réflexion et Action Spécifique du CNRS**

J'ai participé à l'action spécifique du CNRS sur la radio logicielle. J'ai notamment travaillé à la rédaction du rapport de sous-projet intitulé «Interface radio reconfigurable».

Je suis aussi membre du GDR SoC-SiP. J'ai notamment participé au colloque national en présentant deux articles et j'ai participé à l'organisation d'une journée thématique pour le GDR.

3 PROJET DE RECHERCHE

Dans le domaine des circuits RF faibles coûts faibles consommations qui sont développés dans l'équipe CCI, les applications RFID sont un terrain d'expérimentation du premier ordre. En effet, les contraintes en terme de coût et de consommation des systèmes RFID étant très fortes, un important travail de recherche est nécessaire à leur développement. Tout d'abords, cette thématique est fortement développée dans le tissu industriel local (Pole SCS) et a aussi été reconnue, récemment, d'intérêt majeur sur le plan national (CNR RFID). Il apparaît que l'évolution des circuits dans le domaine du coût et de la consommation repose principalement sur deux piliers.

- La recherche de nouveaux systèmes permettant de mieux répondre à ces problématiques.
- La mise en oeuvre de nouvelles méthodes d'intégration moins coûteuses et plus performantes

Sur le plan de l'intégration, mon parcours scientifique m'a permis d'acquérir une bonne connaissance des principales méthodes utilisées lors de la réalisation de circuits radiofréquences. Au delà des performances mises en jeu par ces différentes méthodes, elles se révèlent très déterminantes sur le coût de fabrication et de développement des circuits. Aujourd'hui, adapter les coûts aux applications visées (marché de masse, marché industriel, niche économique ...) est devenu un enjeu majeur dans la conception de circuits. Dans cette logique, il y a 10 ans, un effort important a été réalisé pour rendre possible l'intégration CMOS de systèmes RF, afin de réaliser des SoC. Toutefois, en raison de l'accroissement du prix des masques des technologies 65 ou 45 nm, l'intégration SoC est remise en cause pour certaines applications. Aujourd'hui, l'intégration de type SoP/SiP est la solution envisagée pour répondre à ces nouveaux enjeux mais demain, ces techniques devront évoluer pour pouvoir adresser de nouvelles applications. L'exemple de la RFID illustre bien cette tendance car, déjà aujourd'hui, le principal frein au développement de cette technique reste le coût de l'étiquette et son fonctionnement limité (lié à la capacité de stockage et de récupération d'énergie qui limite la portée). La réalisation de circuits ou de dispositifs en utilisant des technologies moléculaires ou polymères, permettrait de réduire les coûts des étiquettes tout en augmentant les performances en termes de stockage de l'énergie. De manière plus générale, l'intégration de systèmes complexes mettant en œuvre plusieurs filières technologiques, chacune adaptée en termes de coût et de performance à la fonction qu'elle permet de réaliser, apparaît en point de mire pour la recherche dans ce domaine pour les 10 années à venir.

Sur le plan du développement de nouveaux systèmes, les travaux que j'ai mené sur les techniques UWB, après avoir travaillé sur des techniques bandes étroites dans le cadre d'applications assez proches, m'ont montré l'importance de la recherche de nouveaux systèmes et de nouvelles architectures. Ces évolutions architecturales ou systémiques sont souvent liées à une avancée technologique dans les méthodes d'intégration. En effet, il y a seulement quelques années, les architectures à conversion directe qui, jusqu'alors, étaient technologiquement impensables, ont permis de réduire la consommation des circuits grâce à l'évolution de la filière CMOS. Aujourd'hui, ces architectures permettent difficilement d'aller plus loin et ont tendance à pénétrer des champs applicatifs différents (haut débit, multistandard,...). Pour diminuer encore le coût et la consommation, un saut technologique est nécessaire. L'UWB impulsionnel pourrait être le moyen de réaliser ce saut. En effet, une étude, basée sur la consommation des émetteurs en terme d'énergie par bit transmis montre qu'un système ZigBee consomme 1mW alors qu'un système UWB consomme 560nW pour le même débit.

Dans ce contexte, j'ai pour perspective de recherche d'approfondir la potentialité des systèmes UWB impulsionnels pour les télécommunications RF. L'une des voies envisagée repose sur l'utilisation de techniques d'intégrations nouvelles pour ces systèmes. En particulier, l'utilisation de technologies dites « mémoires », pour réaliser des générateurs d'impulsion UWB qui permettraient d'adresser le marché de la RFID. Cette migration est motivée par les besoins de la RFID en matière de localisation, que les signaux impulsionnels pourraient rendre très performante en raison de leur grande résolution temporelle. Toutefois, l'utilisation de techniques UWB en RFID n'est économiquement possible que si elles peuvent être intégrées

dans des systèmes utilisant des technologies mémoires (nécessaires pour stocker les informations d'indentification) ceci dans la perspective de réaliser des étiquettes jetables ayant un coût de production de quelques centimes d'euros. Actuellement, ces technologies ne disposent pas de composants passifs pour les applications radiofréquences, nécessaires à la génération d'impulsion UWB. Plusieurs voies sont envisageables pour dépasser ce verrou. La première consiste à réaliser ses propres composants passifs dans ces technologies, en utilisant des techniques de conception « full custom ». Cette approche permettrait de réaliser un SoC en technologie mémoire. Ceci conduirait à des coûts de production minime mais limiterait la migration technologique en raison de l'utilisation de composants « full custom ». Une autre approche serait de réaliser les éléments passifs grâce à une intégration de type SoP/SiP. Ceci est rendu possible car ces éléments se situent à l'interface. Cette approche aurait l'énorme avantage d'être réalisable rapidement (à l'horizon de deux ans). Une dernière voie, peut être la plus intéressante pour les fabricants de semi-conducteurs, consiste à réaliser des générateurs totalement numériques n'utilisant pas de composants passifs. Cette approche permet de réduire aux maximums les coûts, tout en étant plus flexible en terme de migration. Toutefois des efforts importants de recherche doivent être menés pour augmenter la dynamique des signaux générés.

En outre, cette perspective de recherche est particulièrement motivée par de récentes collaborations initiées avec le CEA-LETI, qui dispose d'une bonne expertise des systèmes UWB localisant et qui est fortement intéressé par le savoir faire développé par l'équipe au niveau des interfaces (générateur et LNA) en technologies SoP/SiP. En outre, cette thématique permettrait de renforcer la cohésion des équipes du laboratoire grâce à la mise en oeuvre de projets transverses avec en particulier l'équipe projet RFID-Capteurs.

Une autre perspective de recherche, qui peut être menée de manière conjointe à celle précédemment citée repose sur l'utilisation et le développement de nouvelles techniques d'intégration. En particulier, les techniques de récupération et de stockage d'énergie ont fortement progressé ces dernières années. Les cellules photos sensibles sur silicium, les récupérateurs d'énergie thermique, les batteries lithium-ion ou les batteries « papiers » sur support souple, sont autant de technologies qui permettent d'envisager des systèmes électronique sans piles. La quantité d'énergie nécessaire à un émetteur UWB est aujourd'hui compatible avec les capacités de récupération et de stockage de ces dispositifs et la perspective de réaliser un émetteur quasi-autonome est envisageable. Une première voie à explorer serait la réalisation d'un SoP/SiP mettant en oeuvre un générateur ultra low power, un ou plusieurs récupérateurs d'énergie et une batterie. Cette approche permettrait d'évaluer les performances de ces nouvelles technologies dans le cas d'applications radiofréquences et d'identifier les verrous qui limiteraient une meilleure intégration. L'étape suivante serait de définir de nouvelles méthodes d'intégrations basées sur l'utilisation d'un substrat ayant des capacités de stockage et utilisant des techniques d'interconnexions compatibles avec les technologies silicium classiques. L'intérêt de cette recherche pour la RFID est important car ces dispositifs permettraient de relâcher les contraintes sur la télé-alimentation. Or, aujourd'hui, la télé-alimentation est un frein pour l'utilisation de systèmes RFID dans des environnements denses en population, en raison des fortes puissances d'émission mise en jeu. Toutefois, un grand nombre d'applications autres que la RFID pourrait être impacté par la réalisation de systèmes énergétiquement autonomes, notamment dans le domaine

médical, pour lequel les techniques UWB sont utilisées en raison de leur faible impact sur les tissus corporels.

Ici aussi, ces perspectives de recherche sont particulièrement motivées par les relations établies entre l'équipe CCI et le CEA-LITEN qui possède une forte expertise dans le domaine de l'énergie et qui recherche des collaborateurs maîtres d'œuvre sur le plan des applications.

Ces deux approches permettraient à l'équipe CCI d'approfondir et de valoriser une thématique déjà présente (l'UWB) tout en développant des compétences dans le domaine des nouvelles technologies d'intégration.

Liste des Publications

THESE

[TH-5] SYLVAIN BOURDEL

Modélisation et simulation fonctionnelles d'un émetteur et d'un récepteur radiofréquence à étalement de spectre pour une application domotique.

Thèse de l'Institut National des Sciences Appliquées (INSA) de Toulouse soutenue le 24/10/2000 au LAAS.

REVUES INTERNATIONALES

[RI-1] S. BOURDEL, Y. BACHELET, J. GAUBERT, R. VAUCHÉ, O. FOURQUIN, N. DEHAESE, AND H. BARTHELEMY,

A 9pJ/Pulse 1.42Vpp OOK CMOS UWB Pulse Generator for the 3.1-10.6 GHz FCC Band

Microwave Theory and Techniques, IEEE Transaction on; To be published in the January issue of 2010

[RI-2] M. M.BATTISTA, M. J.GAUBERT, M. M.EGELS, M. S.BOURDEL, M. H.BARTHELEMY

High-Voltage-Gain CMOS LNA for 6–8.5-GHz UWB Receivers

Circuits and Systems II: Express Briefs, IEEE Transactions on Volume 55, Issue 8, Aug. 2008 Page(s):713 – 717

[RI-3] M. R.CUBILLO, M. J. GAUBERT, M. S.BOURDEL, M. H.BARTHELEMY

RF Low-Pass Design Guiding Rules to Improve PCB to Die Transition Applied to Different Types of Low-Cost Packages

Advanced Packaging, IEEE Transactions on Volume 31, Issue 3, Aug. 2008 Page(s):527 – 53

[RI-4] M. M.BATTISTA, M. J.GAUBERT, M. M.EGELS, M. S.BOURDEL, M. H.BARTHELEMY

6-10 GHz ultra-wideband CMOS LNA

Electronics Letters Volume 44, Issue 5, Feb. 28 2008 Page(s):343 - 344

[RI-5] M. EGELS, J. GAUBERT, P. PANNIER, S. BOURDEL,

A 52-GHz 8.5dB Travelling-Wave Amplifier in Standard CMOS Process

IEEE Trans on Microwave Theory and Techniques, Vol.56, No.5, pp 1226-1233, May 2008.

[RI-6] S. BOURDEL, Y. BACHELET, J. GAUBERT, M. BATTISTA, M. EGELS, AND N. DEHAESE

Low-cost CMOS pulse generator for UWB systems

Electronics Letters -- 6 December 2007 -- Volume 43, Issue 25, p. 1425-1427

[RI-7] H.BARTHÉLEMY, M.FILLAUD, S.BOURDEL, J.GAUBERT

CMOS inverters based positive type second generation current conveyor

Analog Integrated Circuits and Signal Processing, Vol. 50, Number 2, pp. 141-146, February 2007.

[RI-8] Y.BACHELET, S.BOURDEL, J. GAUBERT, G.BAS, H.CHALOPIN,
Fully integrated CMOS UWB pulse generator
Electronics Letters, Volume 42, Issue 22, Oct. 26 2006, Page(s):1277 – 1278

[RI-9] N.DEHAESE, S.BOURDEL, J.GAUBERT, Y. BACHELET AND H. BARTHÉLEMY
Design Method for CMOS Current-source Modes Power Amplifiers based on PAE Optimization
Analog Integrated Circuits and Signal Processing, Mixed Signal Letter, Vol. 49, n°2 November 2006.

[RI-10] J. GAUBERT, M. EGELS, PH. PANNIER, S. BOURDEL
Design Method for broadband CMOS RF LNA
Electronics Letters, 2005, 41, (24), pp. 1513-1514.

[RI-11] M. EGELS, J. GAUBERT, P. PANNIER, S. BOURDEL
Design Method for Fully Integrated CMOS RF LNA
Electronics Letters, 2004, 40, (7), pp. 382-384.

[RI-12] S.BOURDEL, E.CAMPO, L. ANDRIEUX, P.MELET
From modelling of a CDMA transceiver in indoor environment to an ASIC circuit synthesis
Journal Of Telecommunications And Information Technology, Special Issue On: Signal Processing for Communication Systems", pp36-45, Mars 2001, ISSN 1509-4553.

BREVETS INTERNATIONAUX

[BI-1] S. BOURDEL, G. BAS, Y. BACHELET, N. DEHAESE
Asynchronous ZCD decoder and demodulator
Brevet INP N°410324 - European Patent EP1675339 Application Number: EP20050292774, Publication Date: 06/28/2006, Filing Date: 12/22/2005, International Classes: H04L27/156

REVUES NATIONALES

[RN-1]S. BOURDEL, P. PANNIER, H. BARTHELEMY, N. DEHAESE
SoC topologies: some solutions for low consumption
Annals of telecommunications, Vol. 59 n°7-8, July-August 2004, Systems-on-chip for telecommunications.

CONFERENCES INTERNATIONALES

[CI-1] R. VAUCHE, S. BOURDEL, N. DEHAESE, O. FOURQUIN, J. GAUBERT
Fully Tunable UWB Pulse Generator with Zero DC Power Consumption

ICUWB 2009. IEEE International Conference on; In Press

[CI-2] S. BOURDEL, J. GAUBERT, O. FOURQUIN, R. VAUCHE and N. DEHAESE
CMOS UWB Pulse Generator Co-Designed with Package Transition,
IEEE Radio Frequency Integrated Circuits (RFIC) Symposium 2009, in press.

[CI-3] Jean GAUBERT, Sylvain BOURDEL, Marc BATTISTA
Design of IR-UWB Transceiver for Low Cost Applications
NEWCAS-TAISA'08, IEEE International Conference on; Half Day Tutorial.

[CI-4] T.DELERUYELLE, P.PANNIER, E.BERGERET, S.BOURDEL
Dual band UHF and microwave RFID antenna Wireless Technology,
2008. EuWiT 2008. European Conference on 27-28 Oct. 2008 Page(s):342 – 345

[CI-5] R.CUBILLO, J. GAUBERT , S.BOURDEL
Optimizing CPW to MSL transition in the mm domain thanks to the LP filter theory
Electronics System integration Technology Conference, 2008. ESTC 2008. 2nd 1-4
Sept. 2008 Page(s):531 – 534

[CI-6] T.DELERUYELLE, P. PANNIER, S.BOURDEL
Multi-standard slot antenna in 860–960 MHz and 2.45GHz RFID band.
Antennas and Propagation Society International Symposium, 2008. AP-S 2008.
IEEE 5-11 July 2008 Page(s):1 - 4

[CI-7] EGELS, M.; GAUBERT, J.; PANNIER, P.; BOURDEL, S.;
A 52 GHz, 8.5 dB Traveling Wave Amplifier in 0.13 μm standard CMOS process
Radio Frequency Integrated Circuits (RFIC) Symposium, 2007 IEEE 3-5 June 2007
Page(s):391 – 394

[CI-8] BARTHELEMY, H.; BOURDEL, S.; GAUBERT, J.; MEILLERE, S.;
OOK/NCP-FSK modulator based on coupled open-closed-loop VCOs
Circuit Theory and Design, 2007. ECCTD 2007. 18th European Conference on 27-30
Aug. 2007 Page(s):380 – 383

[CI-9] CUBILLO, J.R.; GAUBERT, J.; BOURDEL, S.; BARTHELEMY, H.; PANNIER, P.;
A simple filtering approach to improve the return loss of a PCB to DIE transition
through a PBGA package for over GHz applications
Signal Propagation on Interconnects, 2007. SPI 2007. IEEE Workshop on 13-16 May
2007 Page(s):159 - 162

[CI-10] BARTHELEMY, H.; BOURDEL, S.; GAUBERT, J.; BATTISTA, M.;
CMOS inverters based high frequency voltage controlled sinusoidal oscillator
Electronics, Circuits and Systems, 2007. ICECS 2007. 14th IEEE International
Conference on 11-14 Dec. 2007 Page(s):490 – 493

[CI-11] CUBILLO, J.R.; GAUBERT, J.; BOURDEL, S.; BARTHELEMY, H.;
Simulation study of characterization test plan for a PCB to DIE transition in a fcCBGA
application
Electronics, Circuits and Systems, 2007. ICECS 2007. 14th IEEE International
Conference on 11-14 Dec. 2007 Page(s):609 – 612

- [CI-12]** CUBILLO, J.R.; GAUBERT, J.; BOURDEL, S.; BARTHELEMY, H.; BATTISTA, M.; EGELS, M.;
Ultra Wide Band Band Pass filter embedding a MLF low cost package with wire bound attach process
Electronics, Circuits and Systems, 2007. ICECS 2007. 14th IEEE International Conference on 11-14 Dec. 2007 Page(s):939 – 942
- [CI-13]** BARTHELEMY, H.; BOURDEL, S.; DEHAESE, N.; GAUBERT, J.; BAS, G.;
Gm-C low-pass-filter designed for a Zero-IF base-band demodulator
Industrial Electronics, 2007. ISIE 2007. IEEE International Symposium on 4-7 June 2007 Page(s):2295 - 2300
- [CI-14]** S. BOURDEL, J. GAUBERT, M. BATTISTA, Y. BACHELET, GILLES BAS
CMOS UWB transceiver for Impulse Radio
The 2007 IEEE International Conference on Ultra-Wideband, ICUWB 2007, Singapore, September 24-26, 2007.
- [CI-15]** MATTHIEU EGELS, JEAN GAUBERT, PHILIPPE PANNIER AND SYLVAIN BOURDEL
A 52 GHz, 8.5 dB Traveling Wave Amplifier in 0.13 μm standard CMOS process
007 IEEE RFIC Symposium, 3 - 5 June, 2007, Honolulu, Hawaii
- [CI-16]** H. BARTHELEMY, S. BOURDEL, N. DEHAESE, M. EGELS, J. GAUBERT, P. PANNIER, G. BAS
RF CMOS transceiver for 802.15.4 SoC
IEEE Radio and Wireless Symposium (RWS 2006) - San-Diego, Janvier 2006.
- [CI-17]** N. DEHAESE, S. BOURDEL, H. BARTHÉLEMY, G. BAS
Simple Demodulator for 802.15.4 Low-Cost Receivers
IEEE Radio and Wireless Symposium (RWS 2006) - San-Diego, Janvier 2006.
- [CI-18]** N. DEHAESE, S. BOURDEL, H. BARTHÉLEMY, Y. BACHELET
FSK Zero-Crossing Demodulator for 802.15.4 Low-cost receivers
IEEE International Conference on Electronics, Circuits and Systems (ICECS 2005) - Tunisia , Décembre 2005,
- [CI-19]** N. DEHAESE, S. BOURDEL
System Modeling for 802.15.4 RF Architectures
IEEE ICM 2004 (International Conference on Microelectronics). - Tunis, Décembre 2004
- [CI-20]** BARTHELEMY, H.; MEILLERE, S.; BOURDEL, S.;
Single ended rail-to-rail CMOS OTA based variable-frequency ring-oscillator
Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on Volume 4, 23-26 May 2004 Page(s):IV - 537-40 Vol.4
- [CI-21]** S BOURDEL, P. PANNIER, H. BARTHELEMY, N. DEHAESE
Low-cost solutions for 802.15.4 RF architecture
in Proceedings of the 2004 IEEE International Symposium on Spread Spectrum Techniques and Applications, pp 967-971, August 2004, Sydney Australia.

[CI-22] BOURDEL S., E. CAMPO, L. ANDRIEUX, P. MELET
Modelling and comparative trial of baseband and IF DLL in a noisy environment.
Proceedings of ISSSTA 2000, IEEE 6th International Symposium on Spread Spectrum Technique and Application", Sheraton Tara, Parsippany, USA, p. 685-689, 2000

[CI-23] BOURDEL S, CAMPO E, ANDRIEUX L, MELET P
Modelling and simulation of a DLL in a BPSK DS-SS communication system
proceeding of PIMRC'99, 10th International Symposium on Personal, Indoor and Mobile Communication", Osaka, Japon, p. 388-394, 1999

[CI-24] CAMPO E., BOURDEL S., ANDRIEUX L., MELET P
An adaptive data rate spread spectrum communication system for home automation.
Business and work on information society : new technologie and applications, J.Y. Roger, B. Standord-Smith, P.T. Kidd (eds), IOS Press, isbn n° 90-5199-491-5, p. 737-743, 1999

[CI-25] MELET P., L. ANDRIEUX, S. BOURDEL, E. CAMPO, A. CAZARRE
Design and evaluation of on all-digital multi-rate BPSK Direct-Sequence Spread-Spectrum baseband transceiver architecture for indoor applications.
Proceedings of the 5th CDMA International Conference (CIC 2000)", Séoul, Corée, p. 19-23, 2000

[CI-26] MELET P., L. ANDRIEUX, S. BOURDEL, E. CAMPO, A. CAZARRE
Conception of a DS-SS Transceiver ASIC for Indoor Applications
Proceedings of the. 5th World Multi-Coference on Systemics, Cybernetics and Informatics (SCI 2001), Orlando, US, p. 386-390, 2001

CONFERENCES NATIONALES

[CN 1] O. FORQUIN, M. BATTISTA, R. CUBILLO, , J. GAUBERT, S. BOURDEL, N. DEHAESE
"Amplificateur faible bruit UWB 6-8.5GHz intégrant la transition puce/carte", O. 16èmes Journées Nationales Microondes, 27-28-29 Mai 2009 Grenoble.

[CN 2] MARC BATTISTA, JEAN GAUBERT, MATTHIEU EGELS, PHILIPPE PANNIER, SYLVAIN BOURDEL, HERVE BARTHELEMY, GILLES BAS, HERVE CHALLOPIN
Conception d'amplificateurs faible bruit pour des récepteurs intégrés ULB utilisant des modulations de type impulsionnel."
8ème colloque sur le Traitement Analogique de l'Information, du Signal et ses Applications, 18 et 19 octobre 2007 - Lyon France.

[CN 3] R. CUBILLO, M. EGELS, J. GAUBERT, M. BATTISTA, S. BOURDEL, P. PANNIER, H. BARTHÉLÉMY
Codesigning LNA IC and package for UWB application in the 6.5-8 GHz ECC UWB frequency band
European UWB Radio Technology Workshop, Grenoble, France, 10-11 May 2007.

[CN 4] JEAN GAUBERT, MARC BATTISTA, MATTHIEU EGELS, PHILIPPE PANNIER, SYLVAIN BOURDEL, HERVE BARTHELEMY
Amplificateurs faible bruit pour systèmes intégrés UWB utilisant des modulations de type impulsionnel
15èmes Journées Nationales Microondes, 23-24-25 Mai 2007 Toulouse.

[CN 5] JEAN GAUBERT, SYLVAIN BOURDEL, PHILIPPE PANNIER, HERVE BARTHELEMY, MARC BATTISTA, MATHIEU EGELS
Méthodes de conception pour amplificateurs faible bruit pour systèmes intégrés UWB 3.1-10.6 GHz
6^{ème} Colloque Traitement Analogique de l'Information, du Signal et ses Applications, Marseille, 13 et 14 octobre 2005.

[CN 6] SYLVAIN BOURDEL, JEAN GAUBERT, PHILIPPE PANNIER, HERVE BARTHELEMY, MARC BATTISTA, YANNICK BACHELET, GILLES BAS
Intégration d'un récepteur UWB en technologie CMOS pour les modulations PPM
6^{ème} Colloque Traitement Analogique de l'Information, du Signal et ses Applications, Marseille, 13 et 14 octobre 2005.

RAPPORTS DE CONTRATS

[RC-1] Convention STSI n°02-2-93-0702 STMicroelectronics– L2MP-Polytech
Marseille : 2002-2003. *Conception d'antennes pour systèmes sans contact à 900MHz.*

[RC-2] Convention L2MP-Conseil Général 13 - première année 01/04/2003-31/03-2004 - PS02 : *Chaîne de communication RF 2.45GHz en technologie CMOS 0.13µm.*

[RC-3] Convention L2MP-Conseil Général 13 - deuxième année 01/04/2004-31/03-2005 - PS02: *Chaîne de communication RF 2.45GHz en technologie CMOS 0.13µm.*

[RC-4] Convention L2MP-Conseil Général 13 - troisième année 01/04/2005-31/03-2006 - PS02: *Chaîne de communication RF 2.45GHz en technologie CMOS 0.13µm*

[RC-5] Convention L2MP-Conseil Général 13 - quatrième année 01/04/2006-31/03-2007 - PS02: *Chaîne de communication RF 2.45GHz en technologie CMOS 0.13µm et exploration UWB*

[RC-6] Convention L2MP-Conseil Général 13 - deuxième année 01/04/2005-31/03-2006 – PS55: *Conception d'un émetteur récepteur intégré Ultra Wide Band en technologie CMOS 0.13µm.*

[RC-7] Convention L2MP-Conseil Général 13 - troisième année 01/04/2006-31/03-2007– PS55: *Conception d'un émetteur récepteur intégré Ultra Wide Band en technologie CMOS 0.13µm.*

[RC-8] Convention L2MP-Conseil Général 13 - quatrième année 01/04/2007-31/03-2008– PS55: *Conception d'un émetteur récepteur intégré Ultra Wide Band en technologie CMOS 0.13µm.*

[RC-9] Rapport intermédiaire de suivi de projet CIMPACA. MIMOC : *Méthode d'Intégration et de Miniaturisation d'Objets Communicants.* 12/03/2009