



HAL
open science

Étude et Réalisation de circuits de récupération d'horloge et de données analogiques et numériques pour des applications bas débit et très faible consommation

Ndiogou Tall

► **To cite this version:**

Ndiogou Tall. Étude et Réalisation de circuits de récupération d'horloge et de données analogiques et numériques pour des applications bas débit et très faible consommation. Micro et nanotechnologies/Microélectronique. Aix-Marseille Université, 2013. Français. NNT: . tel-03339547

HAL Id: tel-03339547

<https://hal.science/tel-03339547>

Submitted on 9 Sep 2021

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

AIX-MARSEILLE UNIVERSITÉ



ÉCOLE DOCTORALE SCIENCES POUR L'INGÉNIEUR
MÉCANIQUE, PHYSIQUE, MICRO ET NANO-ÉLECTRONIQUE - E.D. 353

THÈSE

présentée pour obtenir le grade de

DOCTEUR d'AIX-MARSEILLE UNIVERSITÉ

Spécialité : Micro et Nano-électronique

par

Ndiogou TALL

Titre de la thèse :

**ÉTUDE ET RÉALISATION DE CIRCUITS DE RÉCUPÉRATION
D'HORLOGE ET DE DONNÉES ANALOGIQUES ET NUMÉRIQUES POUR
DES APPLICATIONS BAS DÉBIT ET TRÈS FAIBLE CONSOMMATION**

Sous la direction de M. Sylvain Bourdel

Soutenue le 10 Juin 2013

devant la commission d'examen formée de :

M. Jean-Baptiste	BÉGUERET	IMS Bordeaux I	PR	Rapporteur
M. Gilles	JACQUEMOD	Université de Nice	PR	Rapporteur
M. Vincent	FRICK	Université de Strasbourg	MCF HDR	Examineur
M. Hervé	BARTHÉLÉMY	Université du Sud-TV	PR	Examineur
M. Sylvain	BOURDEL	Aix-Marseille Université	MCF HDR	Directeur de thèse
M. Nicolas	DEHAESE	Aix-Marseille Université	MCF	Co-encadrant
M. Bernard	BONAT	Société DM RADIOCOM	Ingénieur	Invité (tuteur industriel)



Institut Matériaux Microélectronique Nanosciences de Provence
UMR 6242 CNRS, Universités Paul Cézanne, Provence et Sud Toulon-Var



Remerciements

Je remercie Monsieur Rachid BOUCHAKOUR, directeur de l'Institut Matériaux Microélectronique Nanosciences de Provence (IM2NP) de m'avoir accueilli à l'institut, sur le site de Château Gombert.

J'adresse mes remerciements à Monsieur Bernard BONAT, directeur de la société DM RADIOCOM, non seulement pour m'avoir accueilli au sein de l'entreprise, mais également pour sa sympathie, sa disponibilité et son implication dans ce projet de thèse. Ces remerciements s'adressent également à tout le personnel de DM RADIOCOM pour leur soutien durant ces trois années.

Mes remerciements vont également à Monsieur Jean-Baptiste BÉGUERET, Professeur à l'Université Bordeaux I ainsi qu'à Monsieur Gilles JACQUEMOD, Professeur à l'Université de Nice Sophia Antipolis, d'avoir accepté la charge de rapporter ce manuscrit. Merci également à Monsieur Hervé BARTHÉLÉMY, Professeur de l'Université du Sud-TV et Monsieur Vincent FRICK, Maître de Conférences HDR de l'Université de Strasbourg d'avoir bien voulu juger ce travail.

Je remercie chaleureusement Sylvain BOURDEL pour avoir dirigé cette thèse et pour ses orientations et conseils techniques. Mes vifs remerciements vont à Nicolas DEHAESE qui a co-encadré ces travaux de recherche avec une disponibilité, un engagement et un appui technique remarquables. Merci à tout le « groupe UWB », à toute l'équipe CCI ainsi qu'à tous les doctorants de l'IM2NPe pour toutes les informations techniques échangées et les moments passés ensemble.

Je ne saurais terminer sans remercier mes parents, ma famille et mes amis pour tout le soutien qu'ils m'ont apporté. En bref, merci à toute personne ayant contribué de près, ou de loin, à l'aboutissement de ce travail.

Table des matières

INTRODUCTION GENERALE	1
CHAPITRE I : SYNCHRONISATION DE BITS DANS LES SYSTEMES DE COMMUNICATION SANS FIL.....	4
INTRODUCTION DU CHAPITRE I.....	6
I.1. GENERALITES SUR LES CIRCUITS DE RECUPERATION D’HORLOGE ET DE DONNEES (CDR).....	7
I.1.1. NECESSITE ET PRINCIPE	7
I.1.2. CODAGE DES DONNEES ET CDR	9
I.1.3. CRITERES DE PERFORMANCES DES FONCTIONS DE SYNCHRONISATION DE DONNEES.....	11
I.1.3.1. <i>Temps d’accroche</i>	11
I.1.3.2. <i>Plage de capture, plage de verrouillage</i>	12
I.1.3.3. <i>Agilité, temps de réponse</i>	12
I.1.3.4. <i>Bruit de phase, « jitter »</i>	13
I.1.3.5. <i>Nombre de bits identiques consécutifs tolérés N_{BIC}</i>	17
<i>Bilan sur les critères de performances</i>	18
I.2. ETAT DE L’ART DES SOLUTIONS DE SYNCHRONISATION DANS LES COMMUNICATIONS SANS FIL	19
I.2.1. CDR A BASE DE SYSTEMES BOUCLES.....	19
I.2.1.1. <i>Boucle à verrouillage de phase PLL</i>	20
I.2.1.2. <i>Boucle à verrouillage de délai DLL</i>	44
I.2.1.3. <i>Synchronisateur de bits avance/retard ELGS</i>	46
I.2.1.4. <i>CDR par interpolation de phase CDR PI</i>	49
I.2.2. CDR A BASE DE SYSTEMES EN BOUCLE OUVERTE.....	52
I.2.2.1. <i>CDR basé sur le sur échantillonnage</i>	53
I.2.2.2. <i>le filtrage</i>	54
I.2.2.3. <i>CDR GRO</i>	56
I.2.2.4. <i>Injection dans un système oscillant</i>	58
<i>Bilan sur les modules CDR basés sur des systèmes en boucle ouverte</i>	59
CONCLUSION SUR L’ETAT DE L’ART DES CIRCUITS CDR	62
CONCLUSION DU CHAPITRE I	66
BIBLIOGRAPHIE DU CHAPITRE I	67
CHAPITRE II : CDR ANALOGIQUE DESTINE A LA GESTION D’ENERGIE DANS LE CADRE D’UN	72
RECEPTEUR ULTRA LARGE BANDE IMPULSIONNEL NON COHERENT	72
INTRODUCTION DU CHAPITRE II.....	75
II.1. CONCEPT DE LA GESTION D’ENERGIE.....	76
II.2. GENERALITES SUR LES COMMUNICATIONS SANS FIL ULTRA LARGE BANDE.....	77

II.2.1. HISTORIQUE ET REGLEMENTATIONS	77
II.2.2. CARACTERISTIQUES DES COMMUNICATIONS ULB IMPULSIONNELLES	79
II.2.2.1. Principe et avantages	79
II.2.2.2. Emission	80
II.2.2.3. Réception : détection cohérente et détection non cohérente	81
II.3. ETAT DE L'ART DES RECEPTEURS ULB IMPULSIONNELS NON COHERENTS	83
II.3.1. ARCHITECTURE GENERALE DES RECEPTEURS ULB IMPULSIONNELS NON COHERENTS	83
II.3.2. ETAT DE L'ART DES RECEPTEURS ULB IMPULSIONNELS NON COHERENTS	83
II.4. RECEPTEUR ULB IMPULSIONNEL NON COHERENT	90
II.4.1. ARCHITECTURE ET PERFORMANCES DU RECEPTEUR SANS GESTION D'ENERGIE	90
II.4.2. GESTION D'ENERGIE	90
II.5. CONCEPTION DE CIRCUITS CDR AU SEIN D'UN RECEPTEUR ULB IMPULSIONNEL NON COHERENT	92
II.5.1. CHOIX DE L'ARCHITECTURE DU MODULE CDR	92
II.5.2. ETUDE ET PARAMETRAGE D'UNE PLL A POMPE DE CHARGES D'ORDRE 3	93
II.5.2.1. Modélisation et dimensionnement du filtre	93
II.5.2.2. PLL du 3 ^{ème} ordre et jitter	98
II.5.2.3. Conclusions sur le dimensionnement : les principaux réglages possibles	99
II.5.3. CONCEPTION DE MODULES CDR A 54MHZ ET 1 MHZ	100
II.5.3.1. Le discriminateur de phase	101
II.5.3.2. Pompe de charges	105
II.5.3.3. VCO	107
II.5.3.4. Calcul du filtre de boucle	109
II.5.4. OPTIMISATION DES PERFORMANCES DES CIRCUITS	110
II.5.4.1. Marge de phase	110
II.5.4.2. Plage de capture	110
II.5.4.3. Jitter	111
II.5.4.4. Précharge de la tension de contrôle du VCO	112
II.5.4.5. Simulations corner	114
II.5.5. DESSIN DES MASQUES DE FABRICATION, RESULTATS DE MESURES	115
II.5.5.1. Layout et simulations post-layout	115
II.5.5.2. Mesures	118
II.5.5.3. Conclusion sur les performances des circuits réalisés	126
II.5.6. IMPACT DES PERFORMANCES DU MODULE CDR SUR LA CONSOMMATION DU RECEPTEUR IR-UWB	128
CONCLUSION DU CHAPITRE II	130
BIBLIOGRAPHIE DU CHAPITRE II	131
CHAPITRE III : ÉTUDE ET REALISATION DE SYNCHRONISATEURS DE BITS NUMERIQUES, IMPLANTATION SUR CIBLE FPGA	133
INTRODUCTION DU CHAPITRE III	136
III.1. DESCRIPTION DU FLOT DE CONCEPTION	137

III.1.1. LES CIRCUITS FPGA	137
III.1.2. LE LANGAGE VHDL.....	138
III.1.3. FLOT DE CONCEPTION.....	139
III.2. ETUDE ET REALISATION D'UNE PLL NUMERIQUE PROGRAMMABLE POUR EMETTEURS NUMERIQUES EN BANDE DE BASE	141
III.2.1. EMETTEUR SOQPSK	141
<i>III.2.1.1. Présentation globale du système</i>	<i>141</i>
<i>III.2.1.2. Nécessité d'un circuit CDR, cahier des charges</i>	<i>141</i>
III.2.2. CONCEPTION DU MODULE CDR.....	142
<i>III.2.2.1. Architecture du module CDR</i>	<i>143</i>
<i>III.2.2.2. Modélisation et dimensionnement de la boucle</i>	<i>145</i>
<i>III.2.2.3. Conception de la PLL numérique</i>	<i>149</i>
<i>III.2.2.4. Programmation FPGA et mesures</i>	<i>157</i>
<i>III.2.2.5. Optimisation.....</i>	<i>160</i>
<i>III.2.2.6. Mesures après optimisation, aspect programmable.....</i>	<i>163</i>
<i>III.2.2.7. Conclusion</i>	<i>165</i>
III.3. CONCEPTION D'UN ELGS NUMERIQUE PROGRAMMABLE DANS LE CADRE D'UN RECEPTEUR PCM/FM	166
III.3.1. RECEPTEUR PCM/FM ET CAHIER DU CHARGES DU CIRCUIT CDR	166
III.3.2. ETUDE ET REALISATION DU MODULE CDR.....	166
<i>III.3.2.1. Description du fonctionnement de l'ELGS</i>	<i>167</i>
<i>III.3.2.2. Modélisation et dimensionnement d'un ELGS numérique</i>	<i>171</i>
<i>III.3.2.3. Conception du circuit.....</i>	<i>176</i>
<i>III.3.2.4. Implantation FPGA et résultats de mesures</i>	<i>183</i>
<i>III.3.2.5. Améliorations</i>	<i>186</i>
CONCLUSION DU CHAPITRE III	189
BIBLIOGRAPHIE DU CHAPITRE III	190
CONCLUSION GENERALE.....	191
PUBLICATIONS (CONFÉRENCES INTERNATIONALES).....	193

Liste des acronymes

CDR	Clock and Data Recovery
CMOS	Complementary Metal-Oxide-Semiconductor
DCDL	Digitally Controlled Delay Line
DCO	Digitally Controlled Oscillator
DLL	Delay-Locked Loop
DSP	Densité Spectrale de Puissance
ELGS	Early Late Gate Synchronizer
FCC	Federal Communications Commission
FM	Frequency Modulation
FPGA	Field-Programmable Gate Array
IR-UWB	Impulse Radio - UltraWide Band
LNA	Low Noise Amplifier
N_{BIC}	Nombre de Bits Identiques Consécutifs tolérés
NCO	Numerically Controlled Oscillator
NRZ	Non-Return-to-Zero
NRZ-L	Non Return-to-Zero-Level
OOK	On Off Keying
PCM	Pulse Coded Modulation
PLL	Phase-Locked Loop
PRBS	Pseudo Random Binary Sequence
RNRZ-L	Randomized Non Return-to-Zero-Level
RTL	Register Transfer Level
RZ	Return-to-Zero
SOQPSK	Shaped Offset Quadrature Phase Shift Keying
TDC	Time-to-Digital Converter
TEB	Taux d'Erreur Bit
ULB	Ultra Large Bande
VCDL	Voltage-Controlled Delay Line
VCO	Voltage-Controlled Oscillator
VHDL	VHSIC Hardware Description Language
VHSIC	Very High Speed Integrated Circuit

Index des tableaux

TABLEAU I.1. TABLE DE VERITE DU COMPAREUR DE PHASE « ALEXANDER ».....	26
TABLEAU I.2. ETAT DE L'ART DES MODULES CDR REALISES A L'AIDE DE PLL ANALOGIQUES	37
TABLEAU I.3. ETAT DE L'ART DES MODULES CDR REALISES A L'AIDE DE PLL NUMERIQUES	44
TABLEAU I.4. ETAT DE L'ART DE MODULES CDR BASES SUR DES SYSTEMES ASSERVIS (PLL/DLL, DLL, PI, ELGS) (RESULTATS DE MESURE)	51
TABLEAU I.5. ETAT DE L'ART DES MODULES CDR BASES SUR DES SYSTEMES EN BOUCLE OUVERTE.....	61
TABLEAU I.6. FACTEUR DE MERITE DE QUELQUES CIRCUITS CDR.....	62
TABLEAU I.7. RESUME DES AVANTAGES ET INCONVENIENTS DES ARCHITECTURES CDR	63
TABLEAU II.1. ETAT DE L'ART DE RECEPTEURS ULB IMPULSIONNELS	88
TABLEAU II.2. COMPARAISONS ENTRE COMPAREUR DE PHASE DE HOGGE CLASSIQUE ET COMPAREUR DE HOGGE MODIFIE	104
TABLEAU II.3. TABLE DE VERITE DE LA POMPE DE CHARGES.....	106
TABLEAU II.4. CONSOMMATION DU VCO 54 MHZ EN FONCTION DU GAIN	108
TABLEAU II.5. RESUME DES PARAMETRES DES PLL 1MHZ ET 54 MHZ.....	109
TABLEAU II.6. JITTER ET TEMPS D'ACCROCHE EN FONCTION DE LA MARGE DE PHASE (CIRCUIT 54 MHZ)	110
TABLEAU II.7. SIMULATION MONTE CARLO DU VCO 54 MHZ	111
TABLEAU II.8. SIMULATION : JITTER EN FONCTION DE F_c	111
TABLEAU II.9. RESUME DES PARAMETRES DES PLL 1MHZ ET 54 MHZ APRES OPTIMISATION.....	112
TABLEAU II.10. INFLUENCE DES VARIATIONS PROCESS SUR L'ELARGISSEUR (PLL 1 MHZ).....	115
TABLEAU II.11. RESUME DES PERFORMANCES OBTENUES EN SIMULATION POST-LAYOUT	118
TABLEAU II.12. ELARGISSEMENT D'IMPULSIONS DE DIFFERENTES DUREES.....	120
TABLEAU II.13. PERFORMANCES DU MODULE CDR 54 MHZ	126
TABLEAU II.14. PERFORMANCES DU MODULE CDR 1 MHZ	126
TABLEAU II.15. COMPARAISON DES PERFORMANCES MEASUREES AVEC L'ETAT DE L'ART	127
TABLEAU II.16. COMPARAISON DES PERFORMANCES DU RECEPTEUR AVEC CELLES DE L'ETAT DE L'ART.....	129
TABLEAU III.1. MACHINE D'ETAT DU TDC (DECLENCHEE SUR FRONT MONTANT DE F_E).....	151
TABLEAU III.2. K_D EN FONCTION DU DEBIT DU SIGNAL D'ENTREE	153
TABLEAU III.3. RESUME DES PARAMETRES DE LA SIMULATION SUR ACTIVE HDL	156
TABLEAU III.4. RESUME DES RESULTATS DE MESURES SUR LE KIT STRATIX	159
TABLEAU III.5. SELECTION DU FILTRE DE BOUCLE EN FONCTION DU DEBIT DU SIGNAL D'ENTREE.....	164
TABLEAU III.6. RESULTATS DE MESURES SUR LE KIT STRATIX III, APRES OPTIMISATION DES PARAMETRES DE LA BOUCLE	165
TABLEAU III.7. GAINS (THEORIE ET SIMULATION) DU COMPAREUR DE PHASE	178
TABLEAU III.8. VALEURS DE B_N FIXEES POUR DIFFERENTES VALEURS DU DEBIT	181
TABLEAU III.9. RESULTATS DE SIMULATION ACTIVE HDL POUR DIFFERENTES VALEURS DU SIGNAL D'ENTREE	182
TABLEAU III.10. VALEURS DE $K\Phi$ POUR PLUSIEURS VALEURS DU DEBIT.....	187
TABLEAU III.11. PERFORMANCES MEASUREES DE L'ELGS POUR QUELQUES VALEURS DU DEBIT DU SIGNAL D'ENTREE.....	187

Introduction Générale

Ce travail de thèse a été réalisé dans le cadre d'une collaboration entre le laboratoire IM2NP (Institut Matériaux Microélectronique Nanosciences de Provence) et la société DM RADIOCOM. Le projet a été soutenu et financé en grande partie par la région PACA (Provence-Alpes-Côte d'Azur). Les travaux de recherche se sont déroulés au niveau de l'équipe CCI (Conception de Circuits Intégrés) de l'IM2NP et dans les locaux de DM RADIOCOM.

L'équipe CCI travaille dans le domaine de la microélectronique appliquée au traitement du signal analogique et numérique. Les activités et projets de recherche qui y sont menés couvrent un large spectre d'applications. L'équipe travaille sur la conception de circuits intégrés principalement en technologie CMOS standard. En particulier, la thématique ULB (Ultra Large Bande, UWB en anglais) y est développée depuis quelques années. Un des objectifs est la réalisation d'un démonstrateur (transmission d'un signal vidéo à 54 Mbit/s) constitué par un émetteur/récepteur ULB impulsionnel. Plusieurs fonctions (Générateurs d'impulsions, LNA, détecteurs, ...) de ce démonstrateur ont déjà été réalisées et mesurées. Dans le cadre de cette thèse, il s'agit de concevoir un circuit de récupération d'horloge et de données (CDR) au débit de 54 Mbit/s. Ce circuit intervient au niveau du récepteur pour générer, à partir des impulsions en sortie du détecteur d'énergie, un signal d'horloge synchrone du signal issu du détecteur. Le circuit CDR devra également reconstituer le plus fidèlement possible le signal à son entrée.

Egalement, l'équipe cherche à mettre au point un émetteur/récepteur ULB impulsionnel non cohérent à basse consommation et à bas débit. Une méthode de gestion d'énergie est envisagée au niveau du récepteur afin de réduire considérablement la consommation du système. Cette technique consiste à allumer certaines fonctions du récepteur durant la réception des impulsions puis à les éteindre le reste du temps. Pour cela, il est important d'avoir une maîtrise des instants de réception des impulsions, d'où l'utilisation d'un circuit CDR à 1 Mbit/s. Ce dernier a été étudié et conçu dans le cadre de cette thèse. La précision (jitter d'horloge) et la consommation seront les paramètres clés du dimensionnement de ce module. Ces circuits ont été conçus avec la technologie HCMOS9 0,13 μm de STMICROELECTRONICS.

Par ailleurs, la société DM RADIOCOM développe aujourd'hui une large gamme d'applications comme les systèmes de télémétrie, de télécommande, ou encore l'acquisition et la transmission de vidéo en temps réel. Les travaux effectués dans le cadre de cette thèse interviennent au sein d'une chaîne de télémétrie avion vers sol. Il s'agit de concevoir deux circuits CDR numériques programmables sur FPGA. L'émetteur utilise des modulations de types FM/SOQPSK. Il est constitué d'un encodeur PCM et d'une chaîne numérique (chaîne SOQPSK). Cette chaîne doit être pilotée par une horloge synchrone des données d'entrée d'où la nécessité d'un circuit de récupération d'horloge et de données pour extraire cette horloge à partir du signal en entrée de la chaîne numérique. Le

second circuit CDR intervient au niveau d'un récepteur PCM/FM. Ici, le circuit de récupération d'horloge reçoit à son entrée un signal bruité. Le choix de l'architecture ainsi que le dimensionnement du module CDR se feront alors principalement par rapport au bruit en entrée.

Les méthodes de dimensionnement utilisées dans ce travail de thèse seront explicitées dans ce manuscrit. Ces circuits CDR (numériques) sont décrits en langage VHDL et simulés sur le logiciel Active HDL d'Aldec®. Ces simulations permettront essentiellement de vérifier la fonctionnalité du système. Les circuits sont ensuite synthétisés, programmés sur une cible FPGA puis mesurés.

Plan du manuscrit

Ce manuscrit est constitué de trois chapitres.

Le chapitre I est relatif à l'étude générale des circuits de récupération d'horloge et de données dans les systèmes de communication sans fil. Il présente dans un premier temps une description du fonctionnement général de ces circuits ainsi que les principaux critères permettant de juger les performances d'un circuit CDR. Dans un second temps, nous présenterons un état de l'art des circuits CDR les plus présents à l'état actuel de la recherche ainsi que les avantages et inconvénients de chaque architecture. Cet état de l'art permettra de dégager quelques critères d'orientation qui, en fonction de l'application, du coût et des performances visées, aideront à aiguiller le choix du concepteur pour l'architecture la plus adaptée à son cahier des charges.

Le chapitre II est dédié à la réalisation d'un circuit CDR analogique à bas débit destiné à la gestion d'énergie dans un récepteur ULB impulsionnel non cohérent. D'abord, le concept de la gestion d'énergie dans ce type de récepteur sera étudié. Nous présenterons ensuite, de façon succincte, quelques généralités de la technologie ULB, en mettant l'accent sur les architectures impulsionnelles non cohérentes. Nous présenterons également l'architecture et les performances du récepteur ULB impulsionnel non cohérent dans lequel opère le circuit CDR conçu dans le cadre de cette thèse. Pour une gestion d'énergie efficace, il est nécessaire que le circuit de récupération d'horloge ait de très bonnes performances en termes de consommation et de jitter. Ces deux paramètres conditionneront alors le choix de l'architecture ainsi que le dimensionnement du circuit CDR. Nous présenterons dans ce chapitre les différentes étapes de la conception de ce circuit : dimensionnement, simulations, dessin des masques de fabrication (layout) et mesures sous pointes.

Enfin, le chapitre III est consacré à l'étude et la réalisation de circuits CDR numériques à bas et moyen débits. Il est scindé en trois sections. Tout d'abord, il sera décrit le flot de conception numérique utilisé dans le cadre de cette thèse. Nous décrirons ensuite un module CDR numérique réalisé et destiné à être implanté dans un émetteur utilisant une modulation SOQPSK opérant dans une chaîne de télémesure. Les différentes étapes de la conception de ce circuit (spécifications, codage VHDL, simulations, synthèse et programmation sur FPGA) seront détaillées dans ce chapitre.

La dernière section du chapitre III présente un autre circuit CDR numérique destiné à être utilisé dans un récepteur PCM/FM fonctionnant à bas débit. Après une présentation sommaire du récepteur en question, nous décrivons l'architecture ainsi que la méthode de dimensionnement du circuit CDR. S'en suivront le codage VHDL de la structure et la simulation complète sur Active HDL. Nous terminerons ce chapitre par la programmation du circuit sur FPGA et les performances obtenues en mesures.

Chapitre I : Synchronisation de bits dans les systèmes de communication sans fil

SOMMAIRE

INTRODUCTION DU CHAPITRE I	ERREUR ! SIGNET NON DEFINI.
I.1. GENERALITES SUR LES CIRCUITS DE RECUPERATION D’HORLOGE ET DE DONNEES (CDR) ERREUR ! SIGNET NON DEFINI.	
I.1.1. NECESSITE ET PRINCIPE	ERREUR ! SIGNET NON DEFINI.
I.1.2. CODAGE DES DONNEES ET CDR	ERREUR ! SIGNET NON DEFINI.
I.1.3. CRITERES DE PERFORMANCES DES FONCTIONS DE SYNCHRONISATION DE DONNEES.....	ERREUR ! SIGNET NON DEFINI.
I.1.3.1. <i>Temps d’accroche</i>	<i>Erreur ! Signet non défini.</i>
I.1.3.2. <i>Plage de capture, plage de verrouillage</i>	<i>Erreur ! Signet non défini.</i>
I.1.3.3. <i>Agilité, temps de réponse</i>	<i>Erreur ! Signet non défini.</i>
I.1.3.4. <i>Bruit de phase, « jitter »</i>	<i>Erreur ! Signet non défini.</i>
I.1.3.5. <i>Nombre de bits identiques consécutifs tolérés N_{BIC}</i>	<i>Erreur ! Signet non défini.</i>
<i>Bilan sur les critères de performances</i>	<i>Erreur ! Signet non défini.</i>
I.2. ETAT DE L’ART DES SOLUTIONS DE SYNCHRONISATION DANS LES COMMUNICATIONS SANS FIL	ERREUR ! SIGNET NON DEFINI.
I.2.1. CDR A BASE DE SYSTEMES BOUCLES.....	ERREUR ! SIGNET NON DEFINI.
I.2.1.1. <i>Boucle à verrouillage de phase PLL</i>	<i>Erreur ! Signet non défini.</i>
I.2.1.2. <i>Boucle à verrouillage de délai DLL</i>	<i>Erreur ! Signet non défini.</i>
I.2.1.3. <i>Synchronisateur de bits avance/retard ELGS</i>	<i>Erreur ! Signet non défini.</i>
I.2.1.4. <i>CDR par interpolation de phase CDR PI</i>	<i>Erreur ! Signet non défini.</i>
I.2.2. CDR A BASE DE SYSTEMES EN BOUCLE OUVERTE.....	ERREUR ! SIGNET NON DEFINI.
I.2.2.1. <i>CDR basé sur le sur échantillonnage</i>	<i>Erreur ! Signet non défini.</i>
I.2.2.2. <i>le filtrage</i>	<i>Erreur ! Signet non défini.</i>
I.2.2.3. <i>CDR GRO</i>	<i>Erreur ! Signet non défini.</i>
I.2.2.4. <i>Injection dans un système oscillant</i>	<i>Erreur ! Signet non défini.</i>
<i>Bilan sur les modules CDR basés sur des systèmes en boucle ouverte</i>	<i>Erreur ! Signet non défini.</i>
CONCLUSION SUR L’ETAT DE L’ART DES CIRCUITS CDR	ERREUR ! SIGNET NON DEFINI.
CONCLUSION DU CHAPITRE I	ERREUR ! SIGNET NON DEFINI.
BIBLIOGRAPHIE DU CHAPITRE I	ERREUR ! SIGNET NON DEFINI.

Introduction du chapitre I

Ce premier chapitre présente les généralités sur les circuits de récupération d'horloge et de données, *clock and data recovery* (CDR) en anglais. Il sera question d'abord de discuter de l'importance et du principe général de fonctionnement des modules CDR dans les circuits de réception des systèmes de communication sans fil. Ensuite, les critères de performances les plus présents dans la littérature seront introduits. Il s'agit là de critères quantitatifs généralement utilisés pour juger la qualité d'un module CDR donné.

Ce chapitre propose également une classification des modules CDR les plus présents dans la recherche actuelle. En effet, plusieurs types de circuits CDR existent aujourd'hui et il importe de les regrouper en catégories en fonction des architectures ou du principe de fonctionnement. Une description de l'architecture et du principe de fonctionnement de chaque catégorie de circuit CDR sera faite. Un accent particulier sera toutefois mis sur les boucles à verrouillage de phase (PLL) analogiques qui sont très prisées pour la réalisation de circuits CDR pour diverses applications.

Il sera également présenté dans ce chapitre les avantages et inconvénients de chaque module CDR, allant de la facilité/difficulté de conception du circuit aux performances attendues en passant par le coût. Parallèlement, un état de l'art de chaque catégorie de circuits CDR permettra de se faire une idée des performances atteintes à l'état de la recherche actuelle.

Enfin, on se proposera de faire un résumé des différents états de l'art afin de comparer les performances obtenues des différentes architectures de CDR. A partir de ce récapitulatif, il sera possible de dégager quelques critères d'orientation qui permettront, en fonction de l'application, du coût et des performances visées, d'aiguiller le choix du concepteur vers l'architecture la plus adaptée à son cahier des charges.

I.1. Généralités sur les circuits de récupération d'horloge et de données (CDR)

I.1.1. Nécessité et principe

Fondamentalement, un système de transmission de données comporte trois entités fonctionnelles : un bloc d'émission, un canal de transmission (câble, air, fibre optique, ...) et un bloc de réception. L'émetteur adapte le message à transmettre au support de communication et transmet le signal via le canal de transmission. Celui-ci est le support physique utilisé pour envoyer l'information de l'émetteur au récepteur, et il diffère selon le type d'application envisagé. Au niveau du récepteur, il existe en général des circuits de mise en forme du signal (amplification, filtrage) suivis de fonctions de traitement des données.



Figure I.1 : Synoptique d'une chaîne de communication

En particulier dans les communications sans fil, il existe des transmissions asynchrone et synchrone. Dans le premier cas, le problème de la transmission d'un signal d'horloge permettant de cadencer les données ne se pose pas. Par contre dans les transmissions synchrones, il est nécessaire de disposer au niveau du circuit de réception d'un signal d'horloge en phase avec les données démodulées pour que celles-ci soient convenablement traitées ensuite. Ainsi, ce signal de référence (horloge) peut être émis en même temps que le signal de données. Dans ce cas, les perturbations liées au canal (atténuation, distorsion, ...) font qu'à la réception les deux signaux transmis (donnée et horloge) sont déformés et le synchronisme n'est plus garanti. Pour se prémunir de telles complications et pour des raisons de disponibilité de bande passante, la trame de données est souvent transmise par l'émetteur au récepteur sans être accompagnée de signal de référence (horloge). Dans ce cas, pour traiter convenablement les informations reçues, un signal d'horloge synchrone avec ces données reçues doit être généré localement au niveau du circuit de réception.

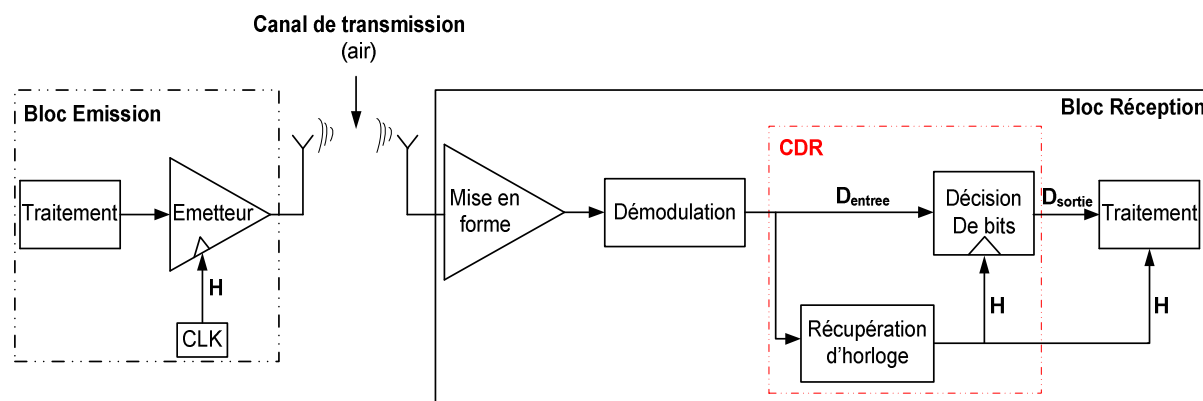


Figure I.2 : Transmission synchrone : Nécessité d'un bloc CDR dans le circuit de réception

Il est donc nécessaire, au niveau du récepteur, de mettre en œuvre un circuit qui permette de retrouver l'horloge à partir de la trame reçue, supposée aléatoire : c'est le module de récupération d'horloge et de données (CDR). Ce circuit traite généralement les données binaires en sortie du démodulateur. De manière générale, le module CDR remplit deux fonctions par l'intermédiaire de deux circuits associés, comme détaillé sur la figure I.2 :

- le circuit de récupération d'horloge (clock recovery) qui extrait, à partir du signal reçu démodulé, le signal d'horloge aligné en phase avec ces mêmes données.
- le circuit de décision (data recovery) effectue la décision de bits à l'aide de l'horloge générée par le premier circuit.

Sur la figure I.3, on considère que le circuit CDR reçoit à son entrée un signal D_{entree} à la fréquence F_b ($=1/T_b$). Les signaux H et D_{sortie} désignent respectivement le signal d'horloge et les données reconstituées par le module CDR.

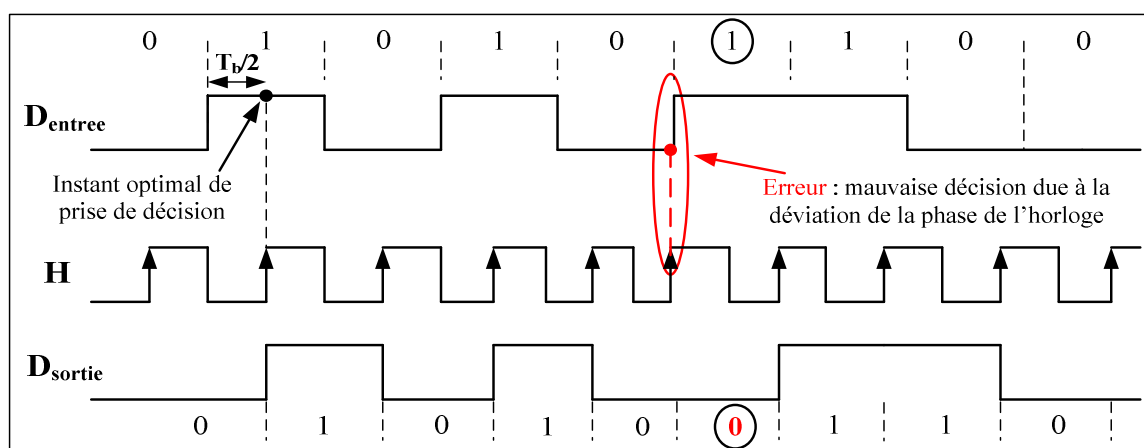


Figure I.3 : Graphe temporel d'un signal NRZ en entrée d'un module CDR, du signal d'horloge généré et du signal reconstitué

Pour minimiser le risque d'erreur, la décision de bit se fait généralement à la moitié du temps bit ($T_b/2$), comme illustré sur la figure I.3. Cela suppose une horloge très stable (période T_b constante) et parfaitement en phase avec le signal d'entrée. En pratique, on observe une déviation de la période de

l'horloge pouvant compromettre la fiabilité de la reconstitution des données. En effet on observe, par exemple sur la figure I.3 une erreur au niveau de la décision de bits due à cette déviation de la période du signal d'horloge. Cette gigue temporelle sur le signal d'horloge H (« jitter ») sera étudiée plus en détail dans le paragraphe I.1.3.4.

Avant d'aller plus loin dans l'étude et la mise en œuvre des circuits CDR, il convient d'analyser brièvement l'impact du codage des données transmises sur la complexité de ces circuits.

I.1.2. Codage des données et CDR

Le codage consiste à associer aux bits '0' et '1' un signal électrique. Plusieurs techniques de codage existent aujourd'hui. Toutefois, les deux formats de modulation de données les plus utilisés sont le format Non-Retour à Zéro (NRZ) et le format Retour à Zéro (RZ) [Raza_02]. En outre, d'autres types de codage tels que le code Manchester, le code AMI ou encore les codes HDBn sont également utilisés dans certaines applications spécifiques. Dans le cadre de cette thèse, seuls les codes NRZ et RZ ont été abordés.

Dans le codage NRZ (cf. fig. I.4), chaque bit est représenté par un niveau de tension qui reste constant pendant toute la durée du bit. Ce type de codage est assez facile à mettre en œuvre. Par contre, pour une série de bits identiques ('0' ou '1'), le signal reste sans transition, ce qui rend dans certains cas la conception du module CDR plus délicate. De plus, le spectre d'un signal codé NRZ ne présente pas de raie à la fréquence bit F_b (cf. fig. I.5), ce qui augmente davantage le degré de complexité du bloc CDR qui devra générer en interne l'horloge correspondant à la fréquence du signal NRZ reçu.

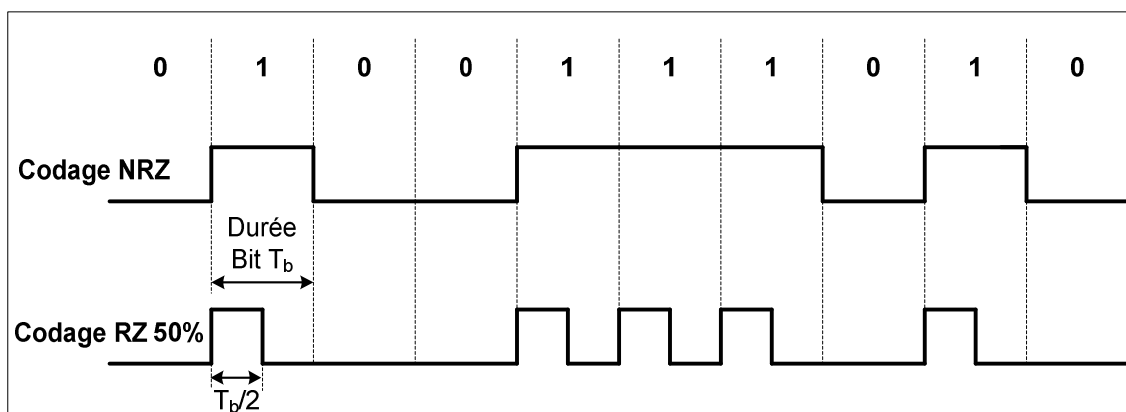


Figure I.4 : Chronogrammes de signaux codés NRZ et RZ 50% (rapport cyclique de 50%)

Quant au codage binaire RZ (unipolaire), le bit '0' est codé par 0V et le bit '1' par une certaine valeur de tension qui passe à 0V avant la fin de la durée bit. Sur l'exemple de la figure I.4, le signal RZ a un rapport cyclique de 50%. Le spectre d'un signal codé RZ a l'avantage de présenter une raie à la fréquence du signal (cf. fig. I.6), ce qui n'est pas le cas pour du NRZ.

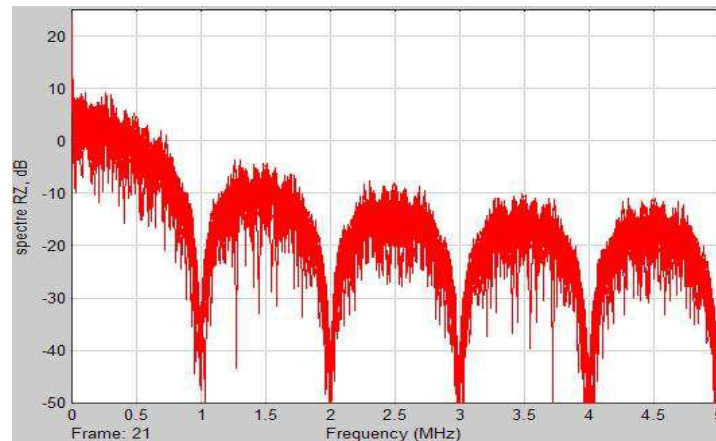


Figure I.5 : Spectre d'un signal codé NRZ (fréquence du signal = 1 MHz) : absence de raie à cette fréquence

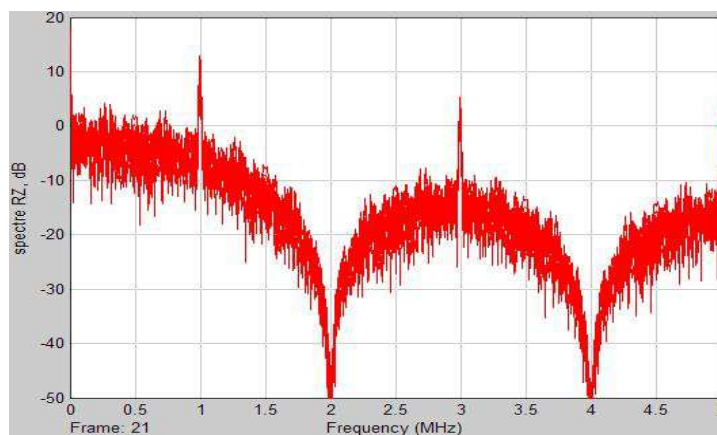


Figure I.6 : Spectre d'un signal codé RZ (fréquence du signal $F_b = 1$ MHz) : présence de raies de forte amplitude à F_b , $3F_b$, $5F_b$, ...

Un signal codé RZ contient donc l'information relative à l'horloge en son sein, ce qui permet, en théorie, une mise en œuvre du module CDR moins difficile dans le cas d'un signal codé RZ.

Toutefois, pour un débit donné, le codage NRZ présente moins de transitions que le codage RZ (cf. fig. I.4). Il possède donc une occupation spectrale réduite tout en transmettant la même quantité d'information utile. Ainsi, pour des raisons de simplicité du codage et d'optimisation de bande utile, le codage NRZ est souvent utilisé dans les systèmes de communication sans fil. Dans le cadre de cette thèse, des circuits CDR ont été conçus aussi bien pour des signaux codés NRZ que RZ.

En résumé, le type de codage (NRZ, RZ) influence généralement sur la complexité du module CDR. Ce dernier est, a priori, plus facile à mettre en œuvre pour des données codées en RZ. Cependant aujourd'hui, plusieurs techniques permettent de réaliser des modules CDR traitant des signaux NRZ avec de bonnes performances. Ces performances sont généralement évaluées à l'aide de critères quantitatifs.

I.1.3. Critères de performances des fonctions de synchronisation de données

Une vaste bibliographie sur l'état de l'art des circuits de récupération d'horloge et de données permet de classer ceux-ci en deux grandes familles : les modules CDR à base de systèmes en boucle ouverte et ceux dont l'architecture repose sur des systèmes asservis. Cette étude bibliographique débouche sur un état de l'art des fonctions CDR de chacune de ces catégories qui fera l'objet du paragraphe I.2.

Pour juger des performances et de la qualité des circuits de récupération d'horloge et de données, plusieurs critères sont utilisés. De manière générale, ces critères sont très dépendants de la famille (boucle ouverte ou système rebouclé) à laquelle appartient le module CDR. Dans ce paragraphe, nous décrivons les principaux critères que sont :

- Le temps d'accroche
- La plage de capture
- L'agilité
- Le bruit de phase, le « jitter »
- Le diagramme de l'œil
- Le Nombre de bits Identiques Consécutifs tolérés

I.1.3.1. Temps d'accroche

Aussi appelé « temps de verrouillage », « temps d'établissement » ou encore « temps d'acquisition » (« lock time », « settling time » ou « acquisition time » en anglais), le terme est plus souvent utilisé dans le cadre de boucles à verrouillage de phase mais le sens peut être étendu aux circuits de récupération d'horloge et de données en général. C'est lorsque le « temps d'accroche » est écoulé (état de verrouillage) que la décision de bit peut se faire avec le moins de risque d'erreurs (cf. figure I.7). C'est donc le temps que met le circuit CDR pour se stabiliser de sorte à ce que le signal d'horloge généré par le module CDR soit verrouillé en phase sur le signal d'entrée.

Dans les systèmes en boucle ouverte, le temps d'accroche est très faible, voire instantané dans certains cas. A contrario, dans les circuits CDR à base de systèmes asservis, le temps d'établissement est lié à la dynamique de la boucle. Dans cette catégorie de CDR, des compromis s'imposent généralement entre le temps d'accroche et d'autres paramètres de la boucle (dynamique, jitter, ...).

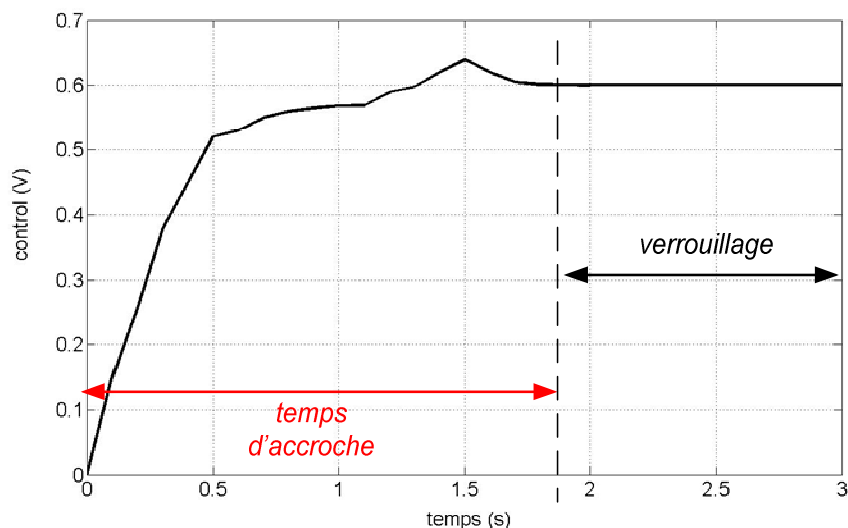


Figure I.7 : Temps d'accroche d'un module CDR

Cette grandeur s'exprimera parfois dans la littérature en nombre de bits. Une telle approche permet de quantifier la taille (en nombre de bits) d'une séquence de bits appelée *préambule* qui est insérée en début de la trame transmise. Le *préambule* doit obligatoirement contenir un nombre de bits suffisant pour « couvrir » le temps d'accroche du module CDR [Ste_01].

I.1.3.2. Plage de capture, plage de verrouillage

De manière générale, on dira que le module CDR est « verrouillé » lorsque le temps d'accroche est écoulé, c'est-à-dire lorsqu'il peut commencer à effectuer la décision de bit. Partant d'un état non verrouillé, le domaine de fréquence à l'intérieur duquel doit se trouver la fréquence du signal reçu pour que le module CDR passe à un état verrouillé s'appelle la plage de capture (*capture range* ou *acquisition range* en anglais). Une fois le système verrouillé, la plage de fréquence du signal d'entrée à l'intérieur duquel le module CDR reste verrouillé s'appelle plage de verrouillage (*tracking range* dans la littérature anglaise).

Ces deux paramètres sont souvent très grands dans les architectures en boucle ouverte. Dans les systèmes rebouclés, la plage de capture ne peut être très grande au risque de se verrouiller sur des fréquences non désirées. Dans ces systèmes, certains paramètres intrinsèques à la boucle (par exemple la plage de linéarité du comparateur de phase dans une boucle à verrouillage de phase) font qu'en principe la plage de capture est inférieure à la plage de verrouillage.

I.1.3.3. Agilité, temps de réponse

L'agilité peut être définie comme la rapidité avec laquelle le module CDR réagit à une variation du signal d'entrée : saut de phase ou saut de fréquence, par exemple. Cette notion est en général quantifiée par le temps de réponse. Si l'on cherche à concevoir un circuit CDR agile, il faut le dimensionner de sorte à avoir un faible temps de réponse.

Comme pour le temps d'accroche, le temps de réponse est très faible voire instantané pour les structures en boucle ouverte. Dans les systèmes asservis, le temps de réponse est directement lié au dimensionnement de la boucle (dynamique, fréquence de coupure, ...).

Pour mesurer le temps de réponse, on injecte généralement un signal de type échelon à l'entrée du module CDR et on mesure à l'oscilloscope (cf. fig. I.8) le temps que met le système à démarrer et à se stabiliser.

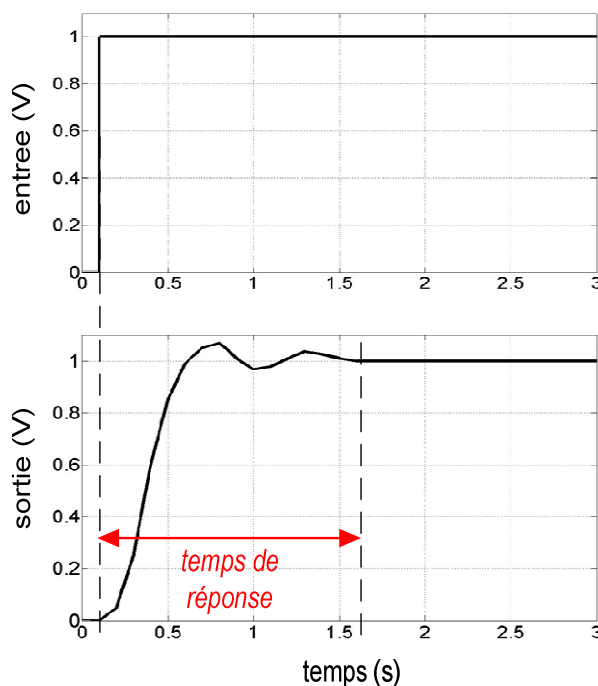


Figure I.8 : Illustration du temps de réponse d'un module CDR

Par ailleurs, une petite différence subsiste entre temps de réponse et temps d'accroche. Pour mesurer le temps d'accroche, le système part obligatoirement d'un état non verrouillé à un état verrouillé alors que pour ce qui est du temps de réponse, l'état initial du module CDR peut être un état verrouillé.

I.1.3.4. Bruit de phase, « jitter »

Bruit de phase et *jitter* sont 2 grandeurs utilisées pour décrire le même phénomène : la variation de la fréquence (période) d'un système oscillant. Des relations mathématiques existent pour passer de l'une de ces grandeurs à autre.

Le bruit de phase est une grandeur (domaine fréquentiel) que l'on peut retrouver dans plusieurs types de circuits : oscillateurs, boucles à verrouillage de phase, CDR, ... Il est caractérisé par une distribution de la puissance du signal d'horloge autour de la fréquence fondamentale d'oscillation f_0 à une certaine distance Δf de f_0 , dans une bande de fréquence de largeur 1 Hz (cf. figure I.9). Il s'exprime généralement en dBc/Hz.

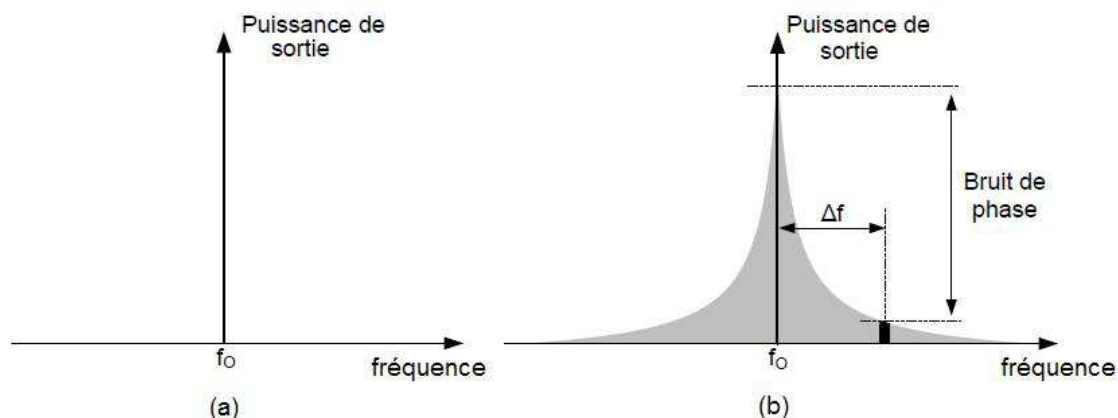


Figure I.9 : Spectre d'un signal d'horloge idéal (a) et d'un signal d'horloge avec du bruit de phase autour de la fréquence du signal (b)

Le bruit de phase traduit donc une modulation de phase, donc une variation de la fréquence instantanée. Le but pour le concepteur sera de réduire au maximum le bruit de phase de l'horloge de sortie du module CDR. Le bruit de phase est habituellement utilisé pour caractériser les oscillateurs et les boucles à verrouillage de phase (PLL) utilisées en synthèse de fréquence. Dans la conception de circuits CDR, c'est plutôt le critère temporel équivalent (*jitter*) qui est généralement utilisé.

Dans le domaine temporel, ces variations de la fréquence instantanée du signal se traduisent par une gigue temporelle (*jitter* en anglais). Idéalement, les fronts du signal d'horloge en question sont espacés de la moitié d'une période. En pratique, il y a une déviation temporelle plus ou moins importante de ces fronts par rapport à une position idéale, comme le montre le schéma de la figure I.10.

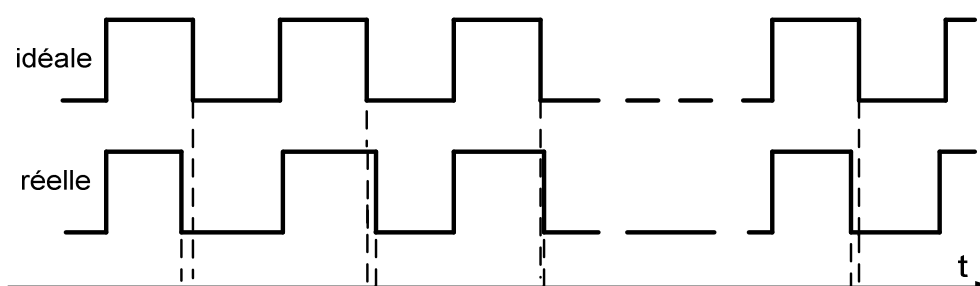


Figure I.10 : Chronogrammes d'un signal d'horloge carré idéal et d'un signal d'horloge avec une gigue temporelle

Dans les systèmes en boucle ouverte où la dynamique est très grande, le jitter est généralement très important. Dans les systèmes asservis, il augmente avec la dynamique de la boucle. Celle-ci devra donc être maîtrisée pour obtenir un faible jitter au gré d'une plage de capture et d'une agilité réduites.

On classe le jitter en deux grandes catégories :

- Le jitter déterministe qui est prévisible et qui se subdivise, à son tour en 3 types de jitter : le jitter dépendant de la donnée (DDJ), le jitter sinusoïdal ou jitter périodique (PJ) et le jitter lié au rapport cyclique (DCD) [Agi_03] [Tek_03].

- Le jitter aléatoire parfois appelé jitter gaussien. Ce type de jitter est par définition imprévisible et suit une distribution gaussienne. On justifie cela par le fait que le jitter aléatoire constitue la somme de plusieurs jitter (divers composants électriques, bruit de Johnson, ...) et que le Théorème Central Limite stipule que la composition de plusieurs sources de bruit décorrélées suit une loi normale. Dans le cadre des circuits de récupération d'horloge et de données, c'est le jitter aléatoire qui est considéré.

Généralement, trois grandeurs sont utilisées pour quantifier le « jitter » (aléatoire) d'un système oscillant [McC_03], [Her_98] :

- le jitter absolu ou « long-term jitter » (« absolute jitter », « n-period jitter » ou encore « n-cycle jitter »)
- le jitter par période appelé « period jitter » ou « cycle jitter »
- le jitter cycle à cycle ou « cycle-to-cycle jitter ».

Jitter absolu

Le jitter absolu définit la somme des dispersions temporelles autour de la période d'oscillation. Désignons par t_k les instants correspondant aux positions des fronts montants d'horloge et par T_k les périodes (durées) du signal d'horloge en question (fig. I.11). On peut alors poser : $T_k = t_{k+1} - t_k$, k étant un entier positif.

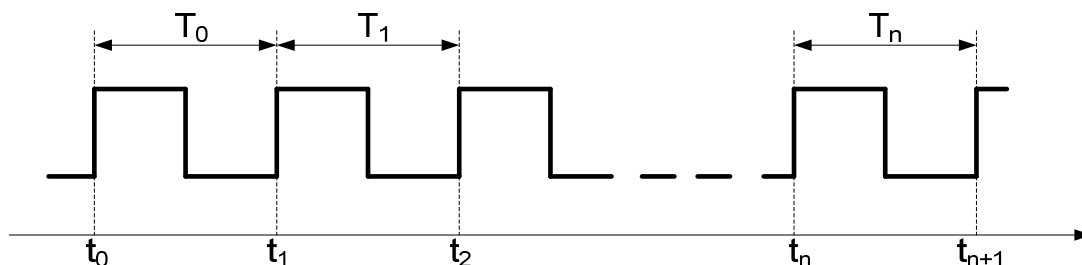


Figure I.11 : Définition des instants t_k et des périodes T_k

Le jitter absolu pour n cycles d'horloge, J_n , est défini par :

$$J_n = \sum_{k=1}^n (T_k - T_{\text{moy}})$$

T_{moy} étant la moyenne arithmétique des n périodes du signal d'horloge considéré.

Jitter par période

Le jitter par période J_c traduit l'écart qui existe entre la $k^{\text{ème}}$ période d'horloge donnée T_k et la période moyenne T_{moy} . Il est exprimé en valeur RMS (Root Mean Square) pour quantifier l'écart-type de la variation du jitter dans le temps. Dans ce cas, par abus de langage, on l'appellera parfois « jitter RMS » J_{rms} . Il est donné par :

$$J_c = \sqrt{\text{var}(t_{k+1} - t_k)} = \sqrt{\text{var}(T_k)} = \sqrt{\frac{1}{n} \sum_{k=1}^n (T_k - T_{\text{moy}})^2} = J_{\text{rms}}$$

On utilisera souvent le terme « jitter peak-to-peak » J_{pp} pour définir une superposition de toutes ces dispersions temporelles autour de la période d'oscillation.

Jitter cycle à cycle

Enfin, Le jitter cycle à cycle J_{cc} traduit l'incertitude temporelle entre 2 périodes adjacentes. Il traduit mieux les fluctuations instantanées sur le court terme. Il est décrit par :

$$J_{\text{cc}} = \sqrt{\text{var}(T_{k+1} - T_k)} = \sqrt{\frac{1}{n} \sum_{k=1}^n (\Delta T_k - T_{\text{mean}})^2}$$

Où :

$$\Delta T_k = T_{k+1} - T_k$$

$$T_{\text{mean}} = \frac{1}{n} \sum_{k=1}^n (T_{k+1} - T_k) = \frac{1}{n} \sum_{k=1}^n \Delta T_k$$

Le jitter est généralement mesuré grâce à un oscilloscope. Plusieurs méthodes peuvent être utilisées en fonction du type de jitter à analyser. Le jitter par période peut par exemple être quantifié à l'aide du tracé de l'histogramme (distribution gaussienne) sur la variation de la période du signal d'horloge (cf. fig. I.12).

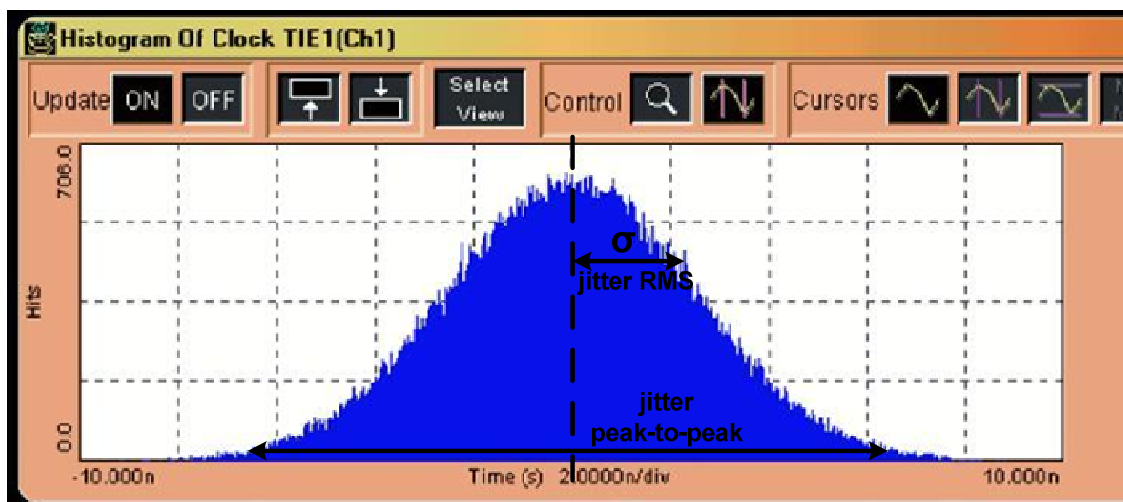


Figure I.12 : Exemple d'histogramme de la variation de la période d'un signal d'horloge

Sur le tracé de l'histogramme, la valeur σ de l'écart-type donne directement le jitter par période. Ce tracé permet également de mesurer le jitter peak-to-peak. Celui-ci peut également être mesuré grâce

au diagramme de l'œil. Ce dernier permet, d'une manière relativement simple, d'apprécier la qualité du signal en réception. C'est un oscillogramme obtenu par la superposition d'un train d'impulsions avec une périodicité donnée (multiple entier du débit du signal). C'est une approche qualitative qui permet d'observer en même temps toutes les transitions possibles du signal considéré (cf. fig. I.13).

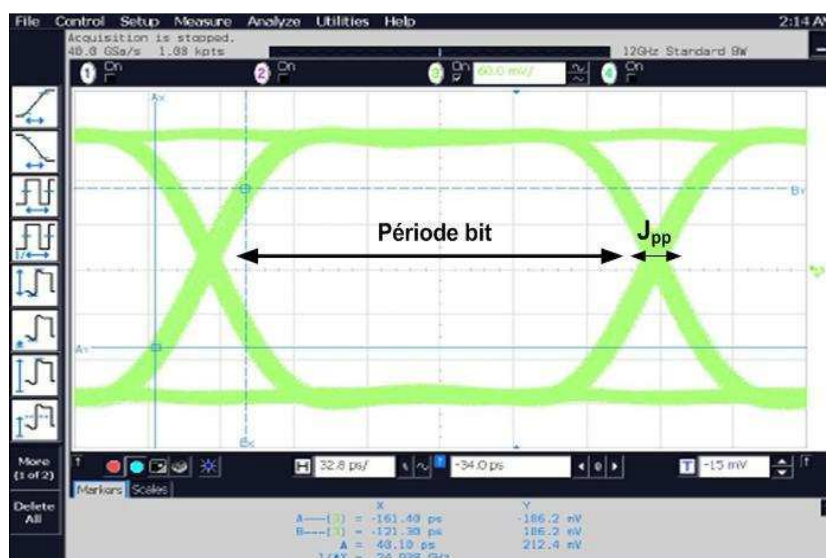


Figure I.13 : Allure du diagramme de l'œil sur les données reconstituées par le module CDR : capture d'écran d'un oscilloscope Agilent®

Le plus souvent, un oscilloscope est utilisé pour mesurer le jitter peak-to-peak (J_{pp}) grâce à la visualisation du diagramme de l'œil de l'horloge générée ou des données ré échantillonnées par le module CDR. Cet oscillogramme permet d'apprécier la qualité de la décision de bits. Pour le concepteur, l'ouverture de l' « œil » (en largeur) témoignera de la stabilité de l'horloge fournie par le bloc CDR et assurément du bon choix de l'instant de décision.

Comme le jitter, le Taux d'Erreur Bit (TEB) est également un critère de performance quantitatif très utilisé dans les télécommunications. Le TEB peut être évalué par le nombre de bits faux sur le nombre total de bits transmis. Dans le cadre d'un CDR, ce critère aura son importance dans la décision de bits dans la mesure où il renseigne sur la fidélité des données reconstituées. De ce fait, c'est le critère le plus parlant lorsque le signal d'entrée du module CDR est bruité. Dans ce cas, on caractérise l'efficacité du module de récupération d'horloge et de données en traçant l'évolution du TEB en fonction du rapport signal à bruit SNR du signal d'entrée du module CDR.

I.1.3.5. Nombre de bits identiques consécutifs tolérés N_{BIC}

Le nombre de bits identiques consécutifs tolérés (*Consecutive Identical Digits tolerance CID*) représente le nombre de bits identiques ('0' ou '1') consécutifs du signal d'entrée que peut tolérer le module CDR avant de générer une erreur d'échantillonnage des données. En fait, lorsqu'il n'y a aucune transition sur la donnée d'entrée D_{in} , la fréquence du signal d'horloge H généré a tendance à dériver (cf. fig. I.14). Sur cet exemple, le signal d'entrée D_{in} contient une suite de six zéros

consécutifs. La dérive de l'horloge causée par cette séquence fait qu'au niveau du ré échantillonnage seuls cinq bits à zéro sont reconstitués ($N_{BIC} = 5$).

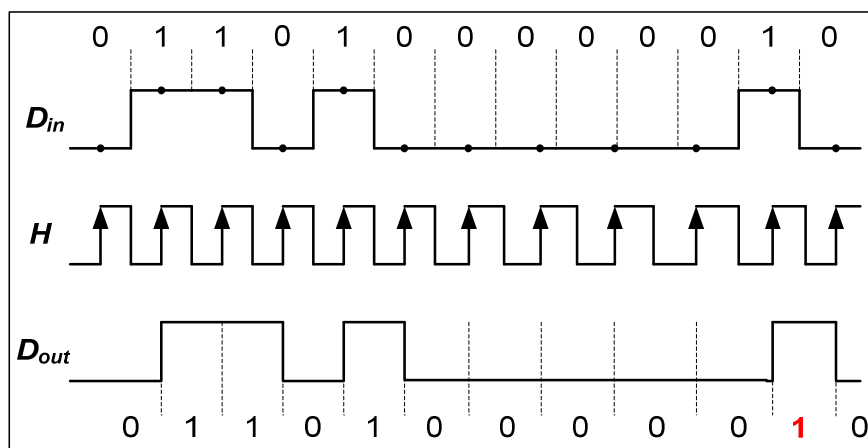


Figure I.14 : Allure des signaux d'un module CDR avec un $N_{BIC} = 5$

Le N_{BIC} dans les modules CDR varie principalement en opposition de l'agilité du système. Dans le cas des architectures de CDR en boucle ouverte, nous avons évoqué dans le paragraphe I.1.3.3 leur très faible temps de réponse. Ce qui implique un très mauvais N_{BIC} des circuits CDR à base de systèmes en boucle ouverte. Dans le cas des systèmes asservis, la perte en agilité (temps de réponse relativement grand) se traduira généralement par un N_{BIC} meilleur.

En outre, il n'est pas rare de trouver un brasseur (*scrambler* dans la littérature anglaise) en amont du module CDR. Le brasseur est généralement basé sur l'utilisation de séquences binaires pseudo-aléatoires (PRBS). Le but est de randomiser la donnée d'entrée de sorte à ce qu'il n'y ait pas de séquences de bits identiques trop longues. Par exemple, pour une séquence PRBS de longueur $2^{31} - 1$, il y aura au maximum une douzaine de bits identiques consécutifs, ce qui permet de relâcher considérablement les contraintes sur le N_{BIC} .

En somme, ces critères quantitatifs figurent généralement dans les spécifications du circuit à réaliser. Par conséquent, ils influencent le choix de l'architecture du module CDR.

Bilan sur les critères de performances

Il existe beaucoup d'autres critères liés à la technologie, au débit de travail, à la consommation, à la taille du circuit, entre autres. Ceux-ci pourraient permettre, associés aux critères définis précédemment, de définir un facteur de mérite pour un module CDR donné. Si le circuit est implémenté sur une cible ASIC, en plus des critères de performances cités précédemment, l'occupation en surface silicium est généralement minimisée et la consommation du module CDR est réduite car mieux contrôlée, comparée à l'implémentation sur une cible de type FPGA par exemple où, le circuit consomme généralement beaucoup. Par contre, le prototypage FPGA est très avantageux en termes de temps de développement et de flexibilité.

En définitive, il ne faut pas perdre de vue qu'il est impossible de maximiser simultanément tous les critères de performances présentés ici. Souvent, le concepteur fera face à des compromis qui vont tenir compte du cahier des charges, du domaine d'application, de la cible d'implantation et des performances attendues. Tous ces facteurs font que la conception même du module CDR peut différer selon les performances visées.

Il existe plusieurs architectures de circuits de récupération d'horloge et de données. Le paragraphe suivant dresse un état de l'art des différentes solutions qui s'offrent au concepteur du module CDR.

I.2. Etat de l'art des solutions de synchronisation dans les communications sans fil

Les modules de récupération d'horloge et de données peuvent être classés de différentes manières : les circuits analogiques par opposition aux circuits numériques, systèmes en boucle ouverte ou en boucle fermée, sur-échantillonnés ou non, implantation ASIC ou FPGA etc. Dans ce manuscrit, comme annoncé précédemment, nous classerons les modules CDR en deux grandes catégories (cf. fig. I.15) :

- Les circuits basés sur des systèmes asservis tels que la boucle à verrouillage de phase (PLL) et ses dérivées, la boucle à verrouillage de délai (DLL) et aussi l'interpolation de phase.
- Les modules CDR qui reposent essentiellement sur des systèmes en boucle ouverte (injection dans un système oscillant, filtrage, sur échantillonnage, ...).

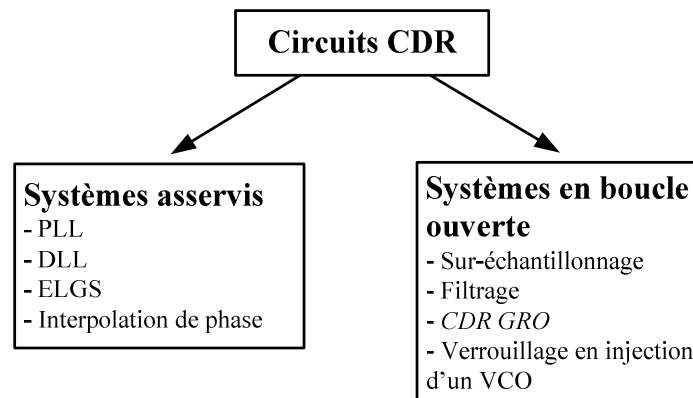


Figure I.15 : Classification des circuits CDR

Dans ce paragraphe, le principe, l'architecture, les avantages et inconvénients ainsi qu'un état de l'art de chaque catégorie de CDR seront discutés.

I.2.1. CDR à base de systèmes bouclés

Les circuits de récupération d'horloge et de données les plus utilisés sont de loin ceux basés sur des systèmes asservis, qui reposent généralement sur des boucles à verrouillage de phase ou PLL

(Phase-Locked Loop) [Rav_09], des boucles à verrouillage de délai DLL (Delay-Locked Loop) et des synchronisateurs de bits avance / retard. Il y a également les circuits basés sur le principe de l'interpolation de phase.

I.2.1.1. Boucle à verrouillage de phase PLL

Suivant la nature des composants du circuit et la cible d'implantation, on distinguera généralement deux grandes familles de PLL : PLL analogique et PLL numérique. La différence majeure réside dans les composants de la PLL en question. L'architecture générale, le principe de fonctionnement ainsi que les avantages et inconvénients de chaque type de PLL seront explicités dans ce paragraphe.

A. PLL analogique

A.1. Généralités

La boucle à verrouillage de phase (PLL) reste une architecture très populaire et très sollicitée pour plusieurs applications (restitution de porteuse, synthèse ou multiplication de fréquence, récupération d'horloge et de données, démodulation, ...), notamment dans les processus de traitement de l'information et de transmission des données [Best_03]. Dans le contexte de cette thèse, nous nous sommes focalisés uniquement sur les PLL utilisées comme circuits de récupération d'horloge et de données.

Globalement, la PLL est un système asservi qui permet de synchroniser la fréquence instantanée du signal de sortie sur la fréquence instantanée du signal d'entrée. Fondamentalement, une PLL analogique comprend 3 composants de base [Best_03], [Gar_79] :

- Un comparateur de phase
- Un filtre de boucle
- Un oscillateur commandé en tension (VCO)

Dans le cas des PLL utilisées comme module CDR, le signal d'entrée est directement appliqué sur le comparateur de phase, de même que le signal d'horloge issu du VCO, via un retour unitaire. Le schéma fonctionnel de base est présenté sur la figure I.16.

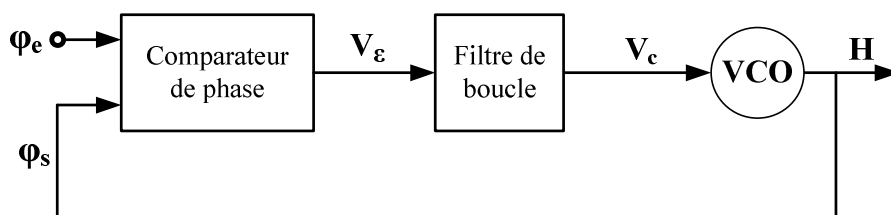


Figure I.16: Synoptique de base d'une PLL

Le comparateur de phase compare la phase instantanée φ_e du signal d'entrée à la phase φ_s du signal d'horloge H généré par le VCO. Il génère à sa sortie une tension (ou courant) V_ε proportionnelle au déphasage ($\Delta\varphi = \varphi_s - \varphi_e$) entre le signal d'entrée et le signal d'horloge généré par le VCO. Le comparateur de phase est généralement caractérisé par l'équation I.1 et le tracé de la valeur V_ε de la tension (ou du courant) de sortie en fonction du déphasage en entrée.

$$V_\varepsilon = K_d(\varphi_s - \varphi_e) \quad \text{eq. I.1}$$

La caractéristique $V_\varepsilon = f(\Delta\varphi)$ fournit deux paramètres importants dans le dimensionnement et les performances de la boucle : le gain K_d du comparateur de phase exprimé en $V.\text{rad}^{-1}$ ou en $A.\text{rad}^{-1}$ et la plage de linéarité (cf. fig. I.17).

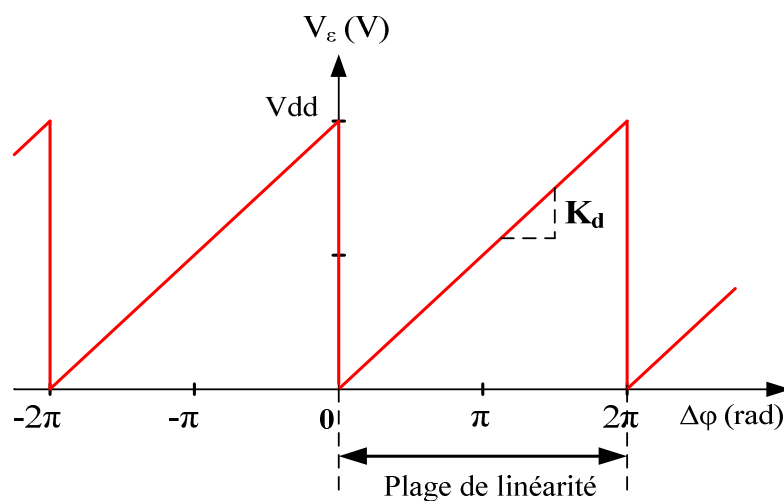


Figure I.17: Caractéristique d'un comparateur de phase

Le filtre de boucle permet ensuite de moyennner la tension (ou courant) d'erreur générée par le comparateur de phase et de fournir une tension continue $V_c (= \bar{V}_\varepsilon)$ proportionnelle au déphasage estimé. Pour une bonne stabilité de la boucle, le filtre doit supprimer efficacement les harmoniques issues du comparateur de phase, ce qui traduit une grande constante de temps τ compromettant ainsi la rapidité du système. Dans le dimensionnement des PLL, il convient de trouver le meilleur compromis entre la rapidité (τ faible) et la stabilité (τ grand).

Le signal filtré est ensuite envoyé au VCO qui génère alors un signal périodique dont la fréquence est proportionnelle à la tension d'entrée V_c du VCO. Pour caractériser le comportement du VCO dans la PLL, il est généralement « linéarisé » autour de sa fréquence propre f_0 . La fréquence f du signal généré peut alors être exprimée par :

$$f = f_0 + K_v V_c \quad \text{eq. I.2}$$

Le tracé de la caractéristique d'un VCO idéal est décrit sur la figure I.18.

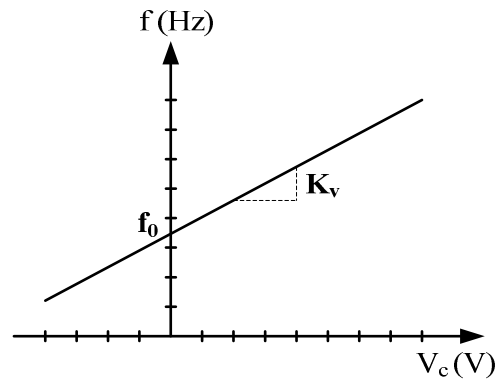


Figure I.18: Caractéristique d'un VCO idéal

Le gain K_v du VCO traduit la pente de sa caractéristique (linéaire dans la plage de fonctionnement du VCO). Il est exprimé ici en Hz/V.

Grâce à ces équations établies pour le comparateur de phase et le VCO, un modèle linéaire de la PLL peut être établi. Celui-ci sera détaillé dans le second chapitre de ce manuscrit. A partir de ce modèle, l'expression de la fonction de transfert de boucle sera déduite afin d'établir le lien entre les coefficients du filtre de boucle et les paramètres de la PLL.

Principe de fonctionnement de la PLL

De façon simplifiée, le fonctionnement de la PLL peut être résumé comme suit :

- En l'absence de signal injecté à l'entrée de la boucle, ou si la fréquence du signal injecté est en dehors de la plage de fonctionnement du VCO, la boucle est dite non verrouillée et le VCO oscille à sa fréquence libre.
- Si on injecte dans la boucle un signal de fréquence f_e voisine de f_0 , on aboutit au bout du temps d'accroche à un état stable. On observe en effet sur la figure I.19 la phase d'acquisition pendant laquelle la fréquence de l'horloge est inférieure à celle du signal d'entrée. L'écart de phase varie de moins en moins jusqu'à devenir constant au bout de cette phase d'acquisition, auquel cas le signal de commande du VCO ne varie presque plus et on dit que la PLL est verrouillée. C'est pendant cette phase de verrouillage que l'on mesure les performances (consommation, jitter) de la boucle.

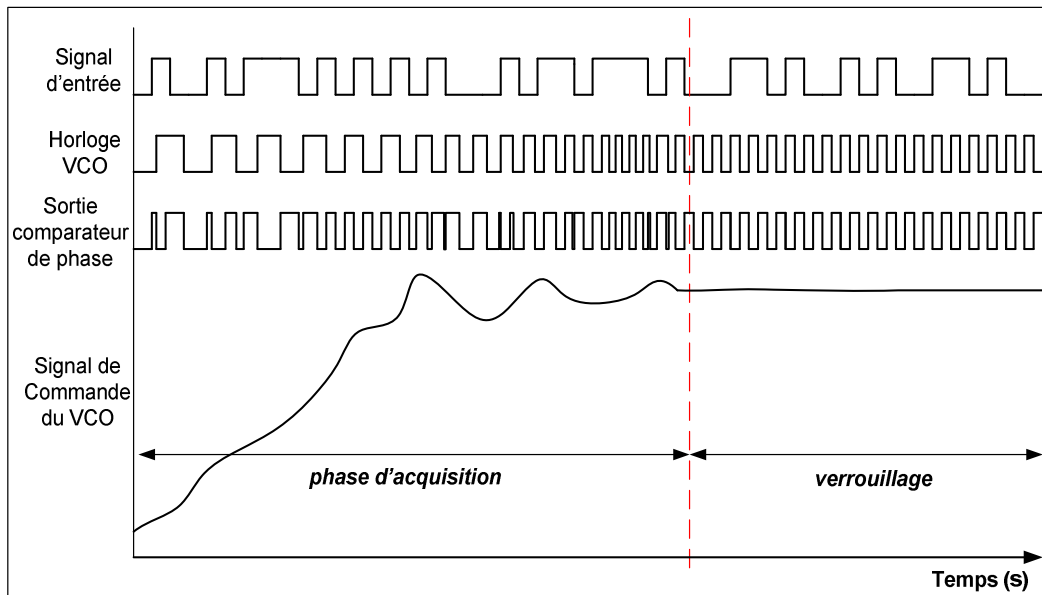


Figure I.19: Illustration du processus de verrouillage d'une PLL

- Une fois la boucle verrouillée, la fréquence d'entrée peut varier dans la plage de poursuite (plage de verrouillage) sans que la boucle ne décroche. La PLL reste encore verrouillée, le VCO suit le signal d'entrée, en fréquence et en phase.
- Si la fréquence d'entrée sort de la plage de verrouillage, la boucle décroche et on revient à la situation de boucle non verrouillée. Pour raccrocher la boucle, il faut alors revenir au voisinage de f_0 et pénétrer dans la plage de capture de la PLL (cf. fig. I.20).

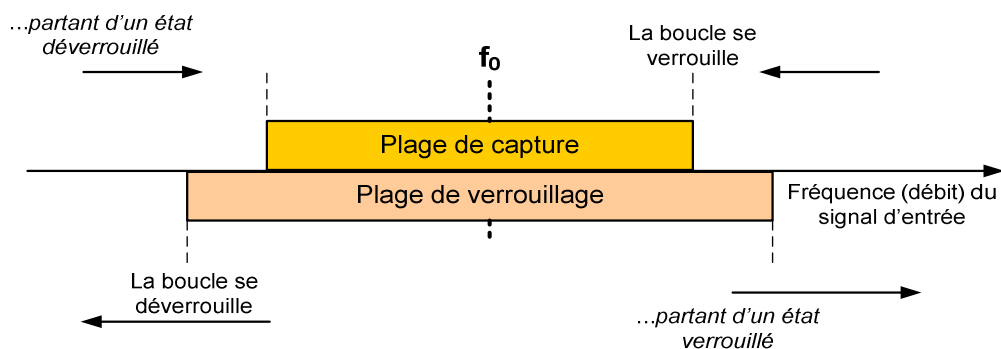


Figure I.20: plage de capture, plage de verrouillage

A.2. Constitution de la PLL

Traditionnellement, les PLL étaient réalisées avec les comparateurs de phase classiques : multiplieur analogique, porte ou exclusif, bascule RS, ... Mais depuis le début des années 80, les PLL à pompe de charges [Gar_80] sont très prisées notamment lorsqu'elles sont destinées à la réalisation de circuits CDR. La particularité de l'architecture de ce type de PLL réside essentiellement dans le comparateur de phase (cf. fig. I.21).

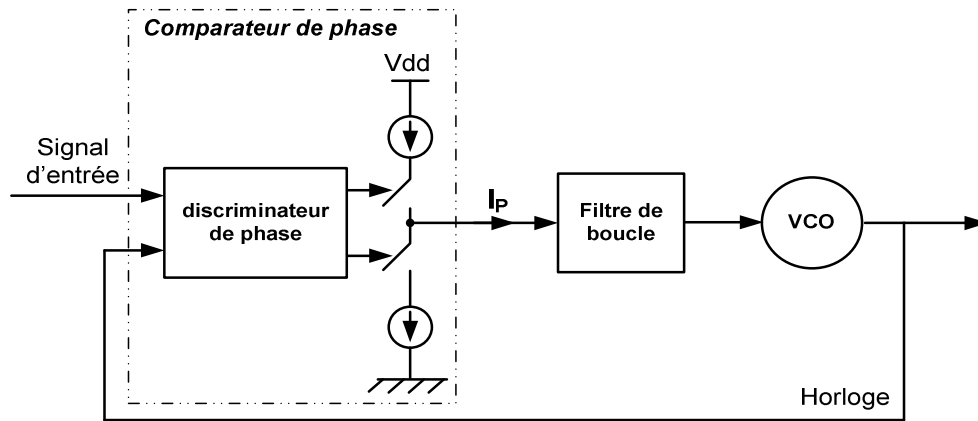


Figure I.21: PLL à pompe de charges

Dans ce paragraphe, les composants de la PLL à pompe de charges utilisée comme module de récupération d'horloge et de données vont être discutés.

A.2. 1. Le comparateur de phase

On peut classer aujourd'hui les comparateurs de phase en deux grandes catégories [Tan_00]:

- Les comparateurs de phase fonctionnant dans les PLL à synthèse de fréquence (le signal d'entrée est généralement une horloge très stable).
- Ceux pouvant, en plus, traiter des données aléatoires. Dans ce travail de thèse, nous nous sommes donc intéressés à cette catégorie de comparateurs de phase qui sont généralement des comparateurs à pompe de charges.

Comme le montre la figure I.21, le comparateur de phase à pompe de charges se compose de deux éléments essentiels :

- Le discriminateur de phase prend en entrée le signal d'entrée et l'horloge du VCO. Il fournit généralement deux impulsions dont la durée est fonction du déphasage entre les deux signaux en entrée.
- La pompe de charges convertit ensuite la différence de la durée des deux impulsions générées par le discriminateur de phase en courant.

La caractérisation du comparateur de phase est donc définie par l'expression de la valeur moyenne $\overline{I_P}$ du courant en fonction du déphasage en entrée du discriminateur de phase :

$$\overline{I_P} = K_d * \Delta\varphi \quad \text{eq. I.3}$$

K_d est alors exprimé en $A \cdot \text{rad}^{-1}$.

Discriminateurs de phase

Dans la conception de PLL utilisées pour la réalisation de modules CDR, trois discriminateurs de phase semblent les plus utilisés [Raz_02] :

- le discriminateur de type « Alexander », aussi appelé BBPD (*Bang-Bang Phase Detector*) dans la littérature
- le discriminateur de phase de type « Hogge »
- le discriminateur de phase dit « half-rate » et ses dérivées

Dans toute la suite du chapitre, ces discriminateurs seront appelés comparateurs de phase car nous les supposons associés à des pompes de charges. Nous nous proposons ici d'étudier l'architecture de chacun d'eux, ainsi que ses avantages et inconvénients.

A.2.1.1. Comparateur de phase de type « Alexander »

Ce comparateur de phase [Alex_75] génère un signal d'erreur correspondant au signe de l'erreur de phase instantanée. Cela veut dire que le signal d'erreur généré permet seulement de savoir si le signal d'horloge du VCO est en avance ou en retard par rapport au signal d'entrée : c'est un détecteur de phase binaire. Dans sa forme la plus simple, il est constitué de quatre bascules D et de deux portes OU exclusif (cf. fig. I.22).

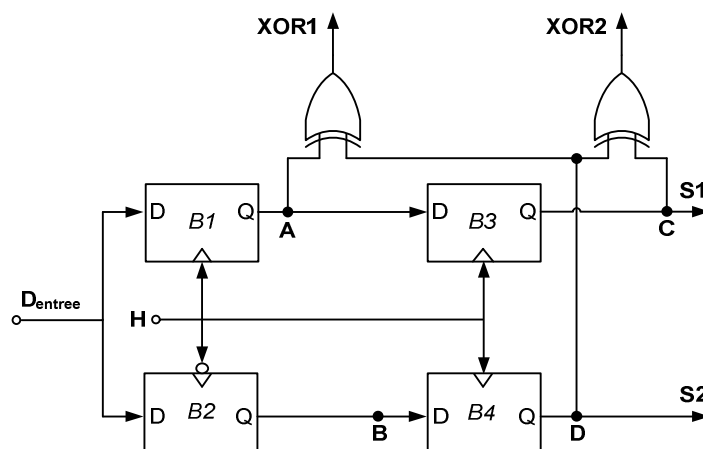


Figure I.22: Comparateur de phase Alexander

Le signal D_{entree} est envoyé simultanément aux bascules B1 et B2 qui sont synchronisées sur des fronts opposés du signal d'horloge H. Les signaux A et B aux sorties de B1 et B2 sont échantillonnés via les bascules B3 et B4 par le front montant du signal d'horloge pour générer C et D.

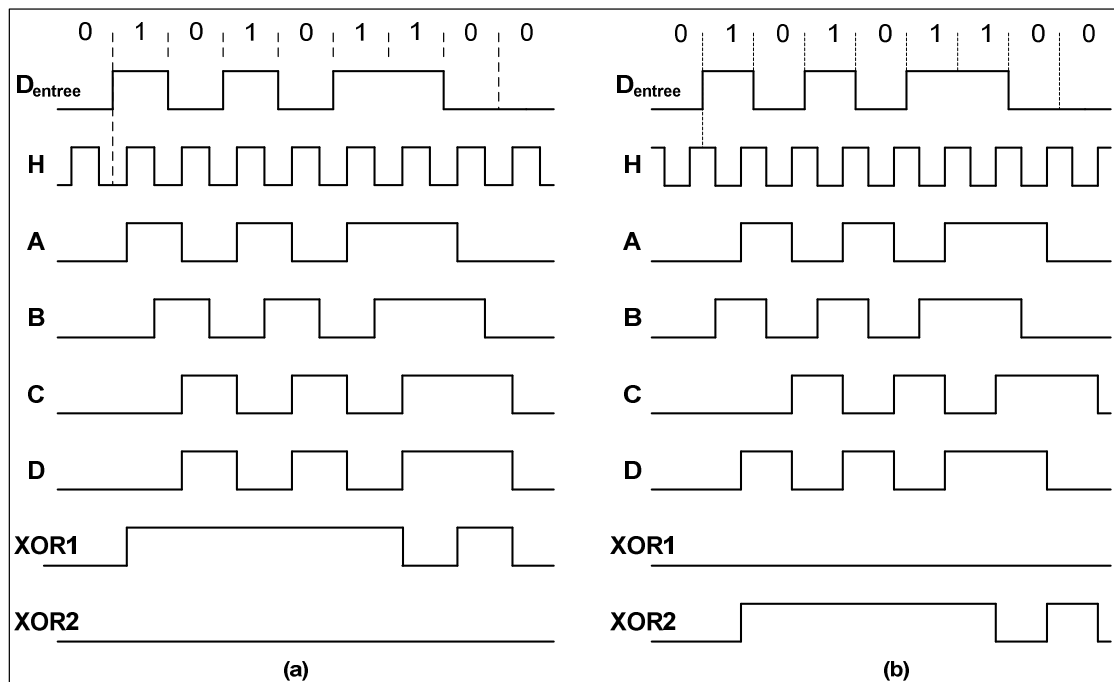


Figure I.23: Chronogrammes du comparateur de phase d'Alexander, (a) H en avance sur $D_{\text{entrée}}$, (b) H en retard sur $D_{\text{entrée}}$

Les signaux A et B sont des images du signal d'entrée dont la position l'un par rapport à l'autre va dépendre de la position du signal d'horloge par rapport au signal d'entrée. Si H est en avance (cf. fig. I.23.a) par rapport à $D_{\text{entrée}}$, alors le signal A est obtenu avant le signal B , ce qui implique le passage de $XOR1$ à '1' et de $XOR2$ à '0'. Dans le cas contraire, $XOR1$ reste à l'état bas et $XOR2$ passe à l'état haut. Cela signifie que l'horloge H est en retard de phase par rapport au signal d'entrée (cf. fig. I.23.b). Enfin, l'égalité entre $XOR1$ et $XOR2$ traduit l'absence de transition sur le signal d'entrée. Le tableau I.1 résume le fonctionnement global de ce comparateur de phase.

$XOR1$	$XOR2$	Position $H/D_{\text{entrée}}$
0	1	retard
1	0	avance
1	1	pas de transition sur $D_{\text{entrée}}$
0	0	pas de transition sur $D_{\text{entrée}}$

Tableau I.1. Table de vérité du comparateur de phase « Alexander »

Le comparateur de phase de type « Alexander » présente l'avantage de permettre la récupération des données sans l'ajout d'un circuit de décision de bits. En effet, une fois que la boucle est verrouillée, le signal A du comparateur de phase constitue directement les données ré échantillonnées par l'horloge. L'autre avantage concerne le temps d'acquisition de la PLL qui est réduit avec ce type de comparateur (gain du comparateur infini).

L'inconvénient majeur de ce type de comparateur de phase demeure sa non-linéarité (cf. fig. I.24). En fait, il ne donne aucune information sur la valeur du déphasage entre l'horloge et le signal d'entrée. Comme résumé dans le tableau I.1, on peut juste savoir si l'horloge est en retard ou en avance par rapport à l'entrée. En effet, l'équation de sa caractéristique s'écrit :

$$I_{\text{moy}} = I_{\text{REF}} * \text{signe}(\Delta\varphi)$$

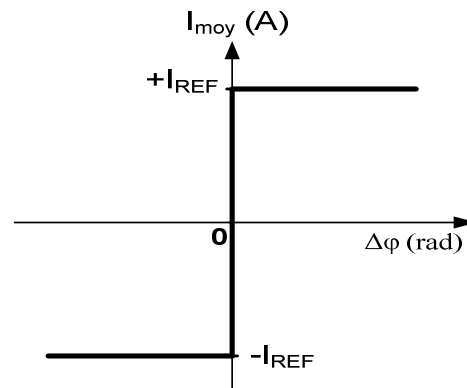


Figure I.24: Caractéristique du comparateur de phase d'Alexander (courant moyen en sortie de la pompe de charges en fonction du déphasage des 2 signaux en entrée du discriminateur)

Le gain de ce discriminateur de phase est, en principe, infini. Ce qui se traduit pour la PLL par une très grande dynamique synonyme d'un faible temps d'accroche mais également d'un jitter de l'horloge de sortie très grand.

A.2. 1. 2. Comparateur de phase de type « Hogge »

Le comparateur de phase de type « Hogge » [Hog_85] est également un bon candidat dans la réalisation de PLL destinées à la récupération d'horloge et de données. Il comporte, dans sa forme de base (cf. fig. I.25), deux bascules D pilotées l'une par l'horloge H (venant du VCO), l'autre par l'horloge complémentée \bar{H} et deux portes OU exclusif.

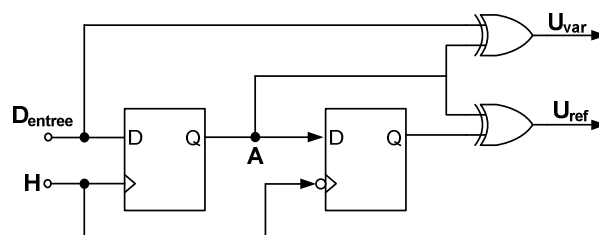


Figure I.25: Discriminateur de phase Hogge

Le comparateur de phase de type « Hogge » prend en entrée le signal D_{entree} et le signal d'horloge issu du VCO H et fournit en sortie deux impulsions : une impulsion U_{var} de durée variable, proportionnelle au déphasage entre D_{entree} et H . L'impulsion U_{ref} , quant à elle, a une durée constante, égale à la moitié du temps bit et ce, quelque soit le déphasage entre D_{entree} et H . Cette impulsion sert

de référence en termes de durée pour l'évaluation du déphasage entre les signaux en entrée du comparateur de phase.

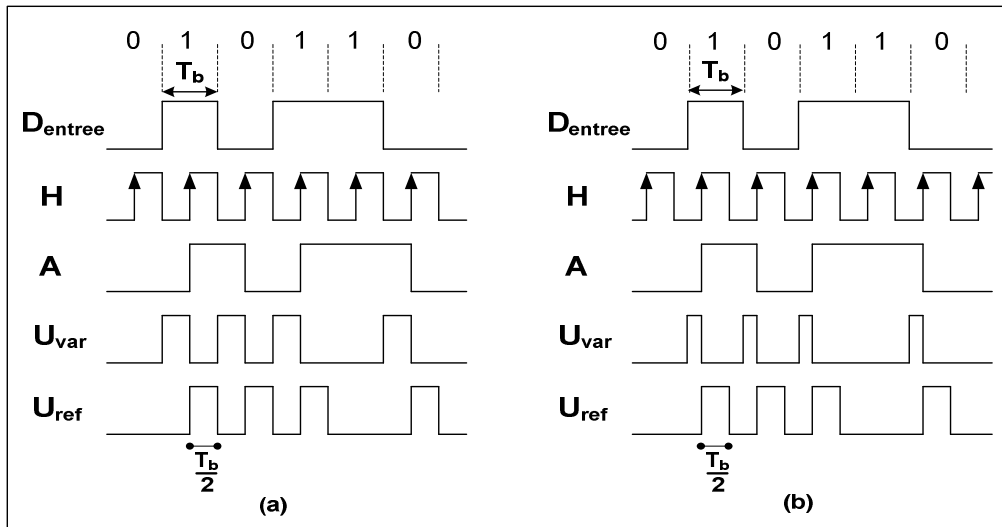


Figure I.26: Chronogrammes du discriminateur de phase Hogge, (a) H est en phase avec D_{entree} , (b) H en avance par rapport à D_{entree}

La figure I.26 permet d'illustrer le fonctionnement du détecteur de Hogge. Deux cas sont étudiés sur ce schéma. Dans le cas (a), le signal d'horloge H est en phase avec le signal d'entrée D_{entree} . Les impulsions U_{var} et U_{ref} ont exactement la même durée (égale à la moitié de la période d'horloge $T_b/2$), et comme expliqué plus tôt, la phase et la fréquence du signal d'horloge issu du VCO resteront inchangées dans le cadre de la PLL. Par contre, dans le cas (b), le signal d'horloge H étant en avance sur D_{entree} , l'impulsion U_{var} a une durée réduite comparée à U_{ref} et cette durée varie de façon linéaire en fonction du déphasage entre H et D_{entree} . Ce qui justifie la caractéristique linéaire du comparateur de phase de Hogge.

Tout comme le comparateur de phase d'Alexander, le détecteur de Hogge permet également, dans le cadre de la PLL, de récupérer automatiquement les données reconstituées (signal A) sans besoin de rajouter un circuit de décision de bits. Un autre avantage intéressant est la linéarité de ce type de comparateur de phase. De ce fait, l'erreur de phase est quantifiée avec beaucoup plus de précision qu'avec un comparateur de phase de type « Alexander » et l'horloge de sortie aura moins de jitter, ce qui est particulièrement intéressant pour certaines applications où l'on cherchera à minimiser le jitter de la PLL.

La caractéristique du comparateur de phase de Hogge est par ailleurs conditionnée par le train de données (pattern) en entrée. En effet, son gain s'exprime de manière générale par :

$$K_d = \frac{\alpha I_{REF}}{2\pi} \quad eq. I.4$$

Le coefficient α est fonction du nombre de transitions de la séquence du signal d'entrée :

$$\alpha = \frac{\text{nombre de transitions} + 1}{\text{nombre de bits}} \quad \text{eq. I.5}$$

Par exemple, si l'on considère un pattern 010101..., on dénombre $n - 1$ transitions (passages de '0' à '1' ou de '1' à '0') pour n bits, ce qui donne un coefficient $\alpha = \frac{(n-1)+1}{n} = 1$ pour ce pattern. Par contre pour un pattern 001100..., il y a, pour n bits transmis, seulement $n/2 - 1$ transitions, d'où $\alpha = 1/2$. La figure I.27 illustre la caractéristique du comparateur pour ces deux patterns.

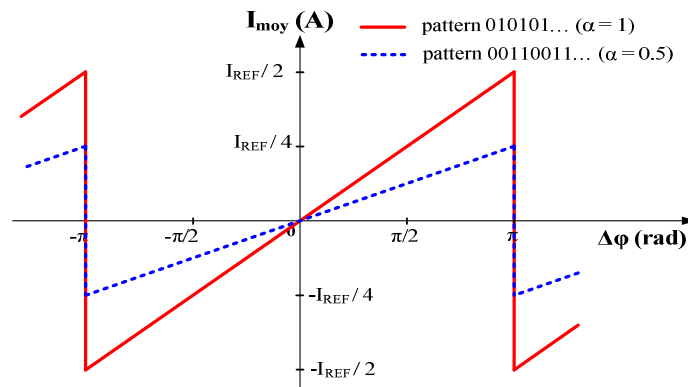


Figure I.27: Caractéristiques du comparateur de phase de Hogge pour 2 patterns différents

Le discriminateur de Hogge présente quelques inconvénients. En effet, le décalage entre les signaux (par exemple, entre D_{entree} et A sur la figure I.25) devient non négligeable en HF et il faudrait dans ce cas précis, rajouter des cellules de délai sur certaines branches pour que les deux signaux arrivent au même moment sur les portes XOR. Il faut, en plus, noter que ces cellules de retard rajoutées sont souvent sensibles aux variations process. Pour ces deux raisons essentiellement, le détecteur de Hogge n'est pas très prisé pour les hautes fréquences [Raz_02]. Cependant, d'autres solutions existent pour pallier à cette limitation en fréquences des comparateurs de phase et parmi elles, le comparateur de phase dit « Half_Rate » et ses variantes.

A.2. 1. 3. Comparateur de phase de type « Half-Rate » et variantes

En hautes fréquences (au-delà de quelques GHz), il devient plus difficile de mettre en œuvre une PLL pour la récupération d'horloge et de données. En effet, il devient plus délicat de mettre au point un VCO haute fréquence qui puisse avoir de très bonnes performances (linéarité, gain, plage de fonctionnement, bruit de phase, consommation...). De ce fait, certains modules CDR HF sont conçus avec un VCO qui oscille à la moitié de la fréquence (débit) du signal d'entrée. Cette approche permet de relâcher les contraintes HF qui peuvent peser sur le VCO. Toutefois, une telle topologie de circuit CDR nécessite un comparateur de phase qui « comprenne » que la fréquence du signal d'entrée est le double de la fréquence du signal d'horloge issu du VCO. Les détecteurs de Hogge et d'Alexander ne pouvant assurer une telle fonction, d'autres topologies de comparateurs de phase ont été développées pour fonctionner dans de telles PLL : le comparateur de phase de type « half-rate » (cf. fig. I.28) par exemple.

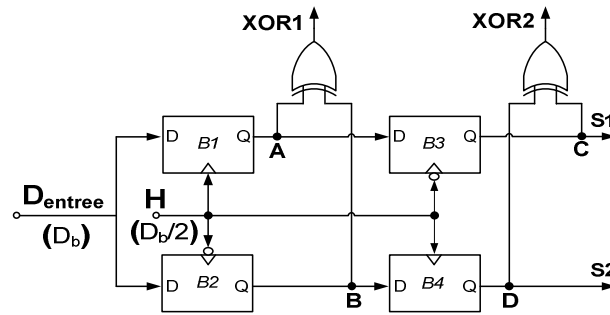


Figure I.28: Discriminateur de phase « Half-Rate » [Raza_02]

Le fonctionnement de ce comparateur de phase semble similaire à celui du détecteur de Hogge. Seulement, la grosse différence par rapport aux deux comparateurs de phase précédents tient à l'utilisation de « *D-latches* » au lieu de « *D-flip-flop* ». Contrairement aux *D-flip-flop*, les *D-latches* sont sensibles aux paliers (haut ou bas) du signal d'entrée. Ainsi sur la figure I.28, le latch B1 (respectivement B2) recopie le signal D_{entree} sur sa sortie A (respectivement B) tant que le signal d'horloge H (qui est à la moitié du débit $D_b/2$) reste à l'état haut (respectivement à l'état bas). La combinaison des signaux A et B via la porte OU exclusif donne une impulsion $XOR1$ dont la largeur est proportionnelle au déphasage entre le signal d'entrée et le signal d'horloge issu du VCO.

De la même manière, les signaux C et D combinés à travers l'autre porte XOR permettent de générer l'impulsion $XOR2$ qui elle, a une largeur fixe, égale à la durée bit T_b et sert donc de référence comme dans le cas du comparateur de phase de Hogge [Sav_01], [Raz_02], [Raza_02] (cf. fig. I.29).

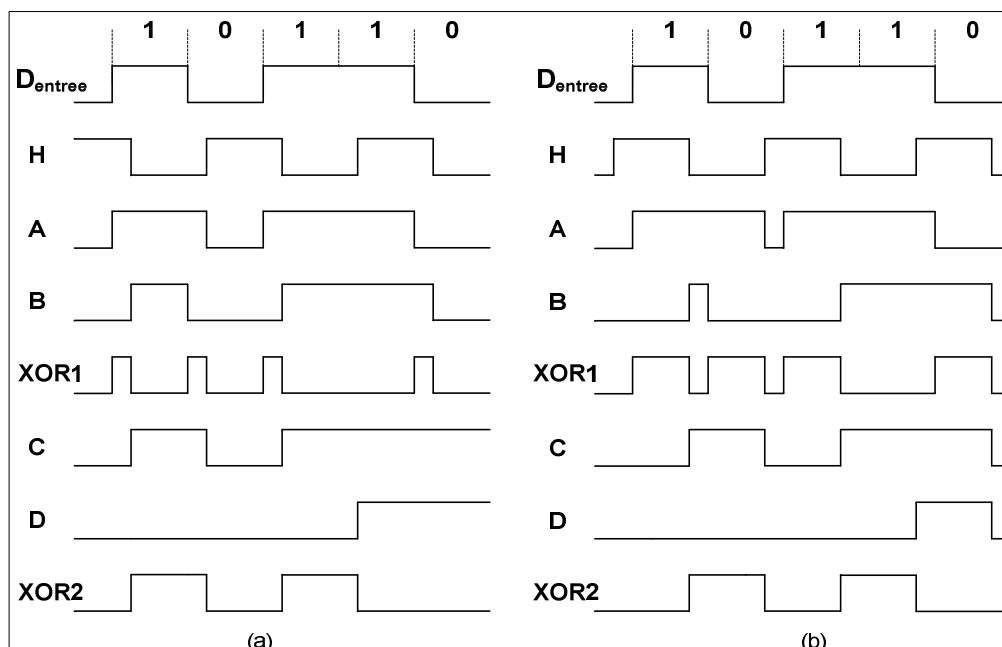


Figure I.29: Chronogrammes du discriminateur de phase « Half-Rate », (a) l'horloge en avance, (b) l'horloge en retard. Lors de la phase de décision de bits, les 2 fronts de H seront utilisés.

Sa caractéristique est en principe la même que celle du comparateur de Hogge présentée sur la figure I.27. Ayant la même valeur du coefficient α et la même plage de linéarité (2π), les deux comparateurs ont le même gain K_d (eq. I.4).

Ce comparateur de phase présente l'avantage d'être linéaire, ce qui tend à réduire le jitter de l'horloge en sortie de la PLL. Par contre, un circuit de décision de bits est nécessaire pour reconstituer les données en entrée. Pour cela, le signal d'entrée sera échantillonné sur les deux fronts du signal d'horloge.

Par ailleurs, il existe également une version binaire de comparateur de phase « Half-Rate ». Celui-ci fonctionne avec deux horloges l'une en phase, l'autre en quadrature de phase avec le signal en entrée. Son fonctionnement est similaire au comparateur de type « Alexander » [Raz_02].

Toujours dans le souci de relâcher les contraintes de vitesse sur le comparateur de phase et de réduire la fréquence et la consommation du VCO, des comparateurs de phase dits « Quarter-Rate » ont été conçus, aussi à base de bascules D et de portes XOR [Lee_03]. Dans ce cas, la fréquence d'oscillation du VCO est quatre fois plus petite que celle du signal d'entrée. Le principe de fonctionnement reste assez similaire au comparateur de phase « half-rate » et au détecteur de Hogge. Il existe également des comparateurs de phase « 1/8-rate Clock » permettant de réaliser des PLL qui fonctionnent avec un VCO dont la fréquence est huit fois inférieure à celle du signal d'entrée [Seo_02], [Sam_04]. De tels comparateurs de phase permettent de mettre au point des circuits CDR à base de PLL analogiques fonctionnant à des débits avoisinant les 40 Gbit/s.

Bilan sur les discriminateurs de phase

Trois types de discriminateur de phase ont été présentés dans ce paragraphe. Ils présentent tous leurs avantages, inconvénients et leurs domaines d'application privilégiés.

Le comparateur d'Alexander permet d'avoir un temps d'accroche très faible de la boucle. En plus, il permet de faire directement la décision de bits. Par contre sa principale limitation concerne sa caractéristique binaire, ce qui dégrade les performances de la PLL notamment en termes de jitter.

Le comparateur de Hogge permet également de faire la récupération des données sans rajouter un circuit de décision de bits. L'autre gros avantage constitue la linéarité de ce type de comparateur de phase. Toutefois, il présente des non-idéalités qui gênent son fonctionnement en hautes fréquences.

Enfin, les discriminateurs de type « Half-rate », « Quarter-rate » et « 1/8-rate clock » conviennent pour les hautes fréquences et permettent de relâcher des contraintes de vitesse et de consommation sur le VCO. Par contre, il faut prévoir un circuit de récupération de données adapté pour la décision de bits.

Dans tous les cas, ces discriminateurs de phase produisent deux impulsions dont la largeur est fonction du déphasage en entrée. Ces impulsions sont ensuite traitées par la pompe de charges.

Pompe de charges

La pompe de charges (cf. fig. I.30) traduit les données binaires issues du discriminateur de phase en une grandeur électrique (courant I_P).

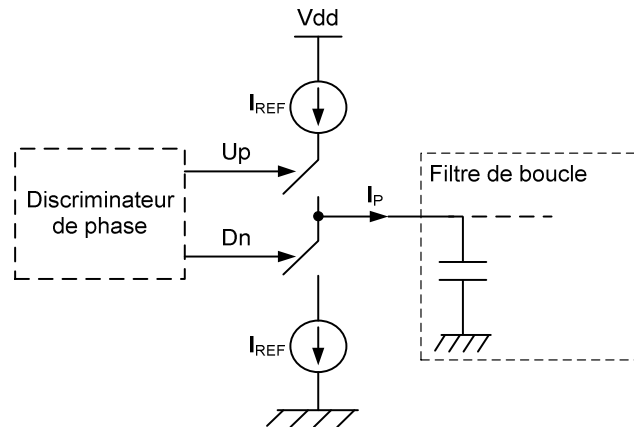


Figure I.30: Pompe de charges

Globalement, il y a trois étapes de fonctionnement d'une pompe de charges, dépendant de l'état des signaux issus du comparateur de phase [Best_03] (cf. fig. I.31):

- L'injection de charges dans le filtre ($U_p = 1, D_n = 0$). Dans ce cas, I_P prend la valeur $+ I_{REF}$.
- La conservation des charges ($U_p = D_n$). C'est l'état « haute impédance », le courant de sortie I_P est nul.
- Le retrait de charges du filtre de boucle ($U_p = 0, D_n = 1$). Dans ce cas, I_P prend la valeur $- I_{REF}$.

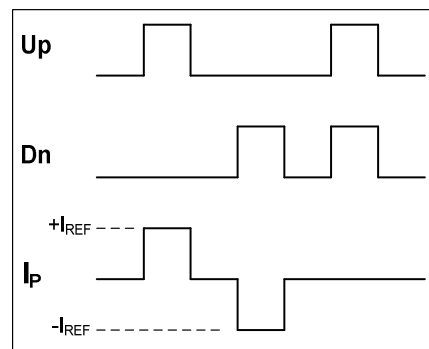


Figure I.31: Chronogrammes illustrant le fonctionnement de la pompe de charges

La valeur du courant I_{REF} est un paramètre important dans le dimensionnement de la boucle. Elle détermine le gain du comparateur de phase et donc influence la dynamique de la boucle, la plage de capture, la consommation entre autres.

Le rôle de la pompe de charges est d'assurer que la quantité de charges dans le filtre soit proportionnelle à l'erreur de phase détectée par le comparateur de phase. Cependant la réalisation au niveau transistor de ce circuit présente quelques difficultés majeures telles que :

- L'injection de courants de fuite qui induisent des erreurs de phase systématiques entre l'horloge de sortie de la PLL et le signal d'entrée, ce qui peut compromettre la décision de bits.
- Les variations technologiques qui induisent des problèmes de partage de charges et d'appariement entre les deux sources de courant de la pompe de charges (mismatch).

Plusieurs architectures de pompes de charges existent mais pour surmonter les difficultés liées aux courants de fuite et au mismatch notamment, des architectures différentielles associées à un certain nombre de miroirs de courant sont souvent utilisées [Lee_00], [Ter_04]. Nous présenterons dans le second chapitre de ce manuscrit une architecture de pompe de charges basée sur des miroirs de courant.

A.2. 2. Filtre de boucle

Le filtre de boucle joue un rôle de lissage. Il moyenne le courant de sortie de la pompe de charges et le transforme en une tension continue V_c qui servira à contrôler le VCO (cf. fig. I.32). Le filtre de boucle (souvent de type passe-bas) est une composante cruciale dans l'élaboration d'une PLL. En effet, il conditionne essentiellement les paramètres dynamiques de la boucle : stabilité, comportement transitoire, agilité, résistances aux bits identiques consécutifs, ... Le filtre de boucle peut être implémenté de plusieurs façons mais dans le cadre de PLL à pompe de charges, le plus souvent on fait appel aux filtres actifs analogiques ou aux filtres passifs. La consommation et certaines contraintes technologiques comme celle de la densité d'intégration peuvent intervenir dans le choix de l'architecture du filtre.

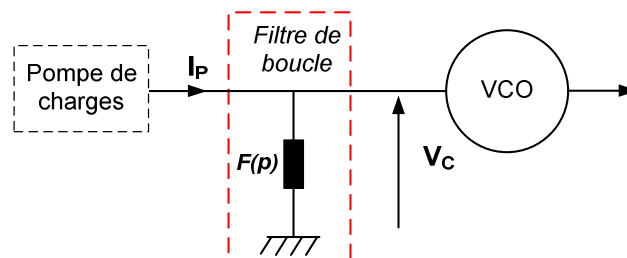


Figure I.32: Filtre de boucle passif attaqué en courant

Dans un contexte de réalisation de circuits CDR à basse consommation, nous nous sommes intéressés seulement aux filtres passifs à base de résistances et de capacités. Dans le second chapitre, nous détaillerons le dimensionnement du filtre de boucle utilisé dans une PLL à pompe de charges du 3^{ème} ordre.

A.2. 3. L'oscillateur contrôlé en tension (VCO)

Un VCO (Voltage Controlled Oscillator) est un oscillateur qui génère un signal dont la fréquence f dépend de la tension d'entrée V_{CTRL} ; f_0 est appelée fréquence propre ou fréquence libre du VCO. Idéalement, la caractéristique (fréquence en fonction de la tension de contrôle) est linéaire (cf. fig. I.18) et la pente de cette caractéristique définit le gain K_v du VCO exprimé en Hz/V ou en rad/s/V.

Le VCO est probablement le bloc le plus critique de la PLL. De manière générale, il est modélisé par un système bouclé, un formalisme qui permet notamment de déterminer les conditions d'oscillation [Raza_02]. Différentes architectures permettent de réaliser ce système bouclé tout en satisfaisant le critère de Barkhausen (qui garantit l'oscillation). Dans le cas des VCO totalement intégrés en technologie CMOS, il existe deux approches classiques :

- les VCO à circuit résonant LC
- les VCO en anneau (Ring VCO)

A.2. 3.1. VCO à circuit résonant LC

Ce type de VCO fonctionne sur la base d'un résonateur constitué d'éléments passifs L (inductance) et C (capacité). De manière générale, Il est formé par un circuit résonant LC en parallèle avec un circuit actif qui compense les pertes dans les éléments passifs. La combinaison entre l'inductance L et la capacité C forme le circuit bouchon qui donnera la pulsation d'oscillation :

$$\omega_0 = \frac{1}{\sqrt{LC}}$$

Les pertes dans la bobine essentiellement et dans la capacité sont généralement modélisées par une résistance R_p en parallèle avec le circuit bouchon, comme sur la figure I.33 [Raza_02] :

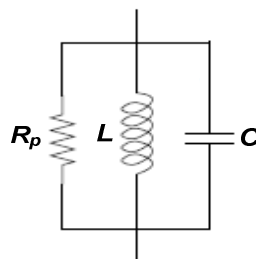


Figure I.33: Modélisation d'un résonateur LC

A la pulsation de résonance $\omega = \omega_0$, l'impédance équivalente du modèle est réduite à R_p . C'est l'influence de cette résistance parasite qui doit être supprimée en ajoutant des structures avec des éléments actifs qui présentent une résistance négative.

De nombreuses architectures de ce type de VCO existent dans la littérature, notamment quand il s'agit de hautes fréquences : oscillateur de Colpitts, oscillateur à simple paire croisée, oscillateur à double paire croisée, oscillateur Hartley (dual de celui de Colpitts), ...

Par exemple, le schéma de la figure I.34 montre la structure du VCO dit « simple paire croisée ». On distingue deux parties fonctionnelles [Sil_09]:

- le résonateur LC formé par les inductances L1, L2 et la capacité C.

- la partie « active » que forment les transistors NMOS M0, M1 et M2. Cette partie simule la résistance négative énoncée ci-dessus pour compenser les pertes dues à la résistance parasite, sinon les oscillations seraient amorties.

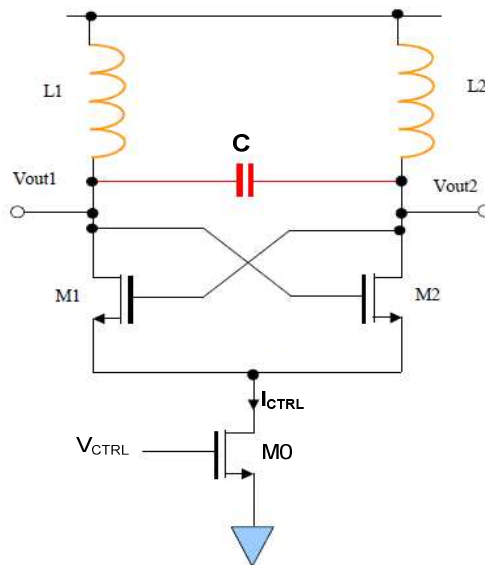


Figure I.34: VCO LC « simple paire croisée » [Sil_09]

La tension de contrôle V_{CTRL} de l'oscillateur appliquée sur la grille de M0 permet de moduler le courant I_{CTRL} qui ajuste la valeur de la résistance négative (g_m) vue des drains de M1 et M2.

Les VCO de type LC présentent l'avantage d'avoir de très bonnes performances en termes de bruit de phase notamment [Lee_66]. Cependant, l'inconvénient majeur réside dans l'intégration sur silicium. En fait, bien qu'on sache maintenant les intégrer, ce type d'oscillateur occupe une surface de silicium très grande (inductance). Cet inconvénient devient davantage gênant en basse fréquence où les valeurs des composants passifs (L et C) deviennent encore plus grandes. S'y ajoute la sensibilité des éléments passifs, donc la fréquence d'oscillation, aux variations process.

Il existe également les structures de VCO à double paire croisée qui présentent de meilleures performances en termes de bruit de phase mais elles consomment plus que celles à simple paire croisée.

A.2. 3.2. VCO en anneau

Un VCO en anneau (Ring VCO) est généralement formé d'un nombre impair (supérieur ou égal à 3) de cellules de délai identiques (cf. fig. I.35). La sortie est rebouclée sur l'entrée, la fréquence d'oscillation est fonction du nombre de cellules élémentaires et notamment du retard introduit par chaque cellule.

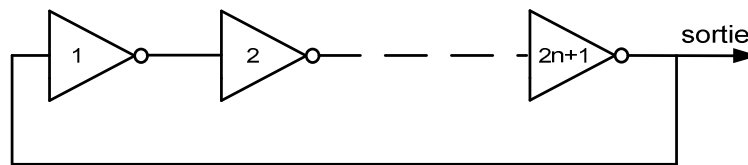


Figure I.35: VCO en anneau

Si l'on appelle par N ($N = 2n+1$) le nombre de cellules et par τ le retard introduit par chaque cellule, alors la période d'oscillation s'écrit :

$$T_0 = 2N\tau$$

Chaque étage peut être implémenté de différentes façons. Les structures les plus rencontrées demeurent les cellules à base d'amplificateurs sur charge RC et celles basées sur des architectures à base d'inverseurs CMOS classiques.

En plus d'être facile à mettre en œuvre, la deuxième solution se prête mieux à une intégration sur silicium en raison de l'absence de composants passifs. Cependant, l'absence d'inductance et de varactors dans ce type de VCO constitue à la fois un avantage en termes de densité d'intégration mais aussi un inconvénient en termes de performances en bruit de phase [Haj_98]. En effet, ce VCO en anneau présente un comportement passe bas et est peu sélectif. Ce caractère peu sélectif lui donne un bruit de phase plus important, comparé aux structures de VCO LC. Un autre inconvénient concerne la linéarité de la caractéristique de ce type de VCO : celle-ci sature souvent assez vite en hautes fréquences.

Toutefois, du fait notamment de sa simplicité et de sa facile intégration, ce type de VCO est très approprié pour les applications faible coût. L'architecture et la caractéristique d'un VCO en anneau seront étudiées dans le prochain chapitre.

En conclusion, les PLL analogiques utilisées aujourd'hui comme modules CDR sont le plus souvent des PLL à pompe de charges. Les différents composants d'une telle PLL sont choisis ou dimensionnés en fonction des performances attendues et des applications visées. Le tableau I.2 suivant montre l'état de l'art des PLL analogiques utilisées comme modules CDR.

Référence	[Ana_01]	[Che_11]	[Che_09]	[Jal_11]	[Lin_08]	[Pot_96]	[Yang_06]
Année	2001	2011	2009	2011	2008	1996	2006
Débit	2,5 Gbit/s	100 Mbit/s	3,2 Gbit/s	9,1 Gbit/s	3,125 Gbit/s	143 - 360 Mbit/s	155,52 Mbit/s - 3,125 Gbit/s
Application	NC	Systèmes FlexRay	« Sérializer/Désérializer » haute vitesse	NC	NC	Synchronisation de signaux vidéo	NC
Technologie	CMOS 0,4 µm	CMOS 0,18 µm	CMOS 0,18 µm	CMOS 0,13 µm	CMOS 0,18 µm	BiCMOS 0,8 µm	CMOS 0,18 µm
Comparateur de phase	"D flip-flop analogique"	Alexander	variante de Hogge	Hybride (Alexander-Hogge)	variante Alexander	variante de Hogge	Alexander
Alimentation	3,3 V	1,8 V	1,8 V	1,2 V	1,8 V	5 V	1,8 V
Résultats	Mesure	Simulation Post-Layout	Mesure	Simulation	Mesure	Mesure	Mesure
Jitter	17,4 ps (RMS) 167 ps (RMS)	199,66 ps (pk-pk)	2,12 ps (RMS)	10,99 ps (pk-pk)	4,2 ps (RMS) 30,2 ps (pk-pk)	19 ps (RMS) @ 177 Mbit/s	80,4 ps @ 155 Mbit/s (RMS) 467 ps @ 155 Mbit/s (pk-pk)
Jiiter pk-pk (en %UI)	41,75% UI	1,99% UI	-	10% UI	9,44% UI	-	7,24% UI @ 155 Mbit/s
Jiiter RMS (en %UI)	4,35%	-	0,68%	-	1,31%	0,34%	1,24%
Consommation	33,5 mW	6,649 mW	136 mW	36 mW	60 mW	500 mW	95 mW @ 3,125 Gbit/s
Temps d'accroche	650 ns (1625 bits)	4 µs (400 bits)	NC	30 ns (273 bits)	> 50 µs (> 156000 bits)	NC	NC
Plage de capture	15 MHz	NC	2,56 - 3,2 Gbit/s	8,3 - 9,6 GHz	NC	143 - 360 Mbit/s	155,52 Mbit/s - 3,125 Gbit/s
Surface silicium	0,8 mm x 0,4 mm	0,4 mm x 0,4 mm	0,8 mm x 1 mm	NC	0,17 mm x 0,78 mm	4 mm ²	1,1 mm x 0,8 mm

NC : Non communiqué

Tableau I.2. Etat de l'art des modules CDR réalisés à l'aide de PLL analogiques

Cet état de l'art tient compte des réalisations les plus récentes. Il confirme que les comparateurs de phase de Hogge et d'Alexander restent les plus présents dans la conception de tels modules CDR. Il existe aujourd'hui des comparateurs de phase dits hybrides ([Ja1_11]). Ceux-ci fonctionnent en deux phases. Dans la première phase, le comparateur se comporte littéralement comme celui d'Alexander. Ceci permet d'obtenir un temps de verrouillage réduit (seulement 273 bits dans [Ja1_11]). La 2^{ème} phase débute lorsque la PLL est verrouillée, le comparateur de phase se comporte comme celui de Hogge dans le but de réduire le jitter.

Globalement, à débits sensiblement proches, les circuits CDR utilisant le comparateur de Hogge ont un meilleur jitter grâce à leur linéarité. A titre d'exemple, on constate un jitter RMS (normalisé par rapport au débit) de 0,34% avec l'architecture proposée dans [Pot_96] (utilise une variante du discriminateur de Hogge) contre 1,24% dans l'architecture de [Yang_06] utilisant une structure d'Alexander.

Par ailleurs, ce tableau confirme que la consommation des circuits augmente avec le débit de fonctionnement du module CDR, tout le contraire de la surface occupée sur silicium.

Un autre point commun remarquable entre ces différentes publications est la bonne performance en termes de jitter (valeur peak-to-peak $\leq 10\%$ UI hormis [Ana_01]), ce qui caractérise les modules CDR basés sur des PLL analogiques.

B. PLL numérique

L'architecture et le principe de fonctionnement d'une PLL ayant été étudiés dans le paragraphe précédent, nous nous contenterons ici de mettre en évidence les différences majeures entre PLL analogique et PLL numérique. De façon simplifiée, une PLL numérique peut être vue comme une PLL analogique avec des composants digitalisés. Plusieurs architectures de PLL numériques ont été développées depuis quelques années mais de manière générale celles destinées à la réalisation de circuits CDR peuvent se résumer au synoptique présenté sur la figure I.36.

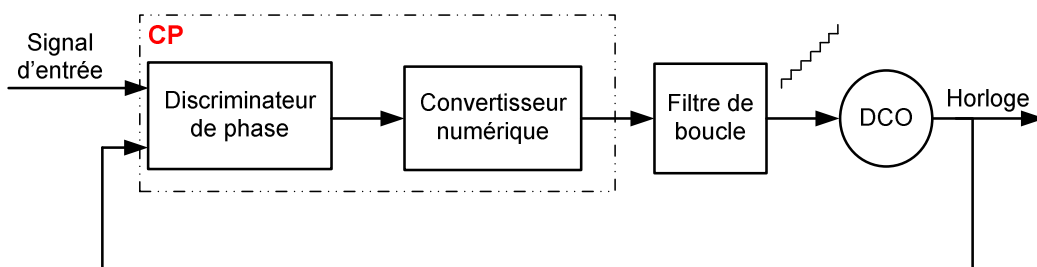


Figure I.36: Synoptique d'une PLL numérique

La composition d'une telle PLL ressemble beaucoup à celle d'une PLL analogique à pompe de charges :

- Le comparateur de phase CP est généralement composé d'un discriminateur de phase et d'un convertisseur numérique. Il joue un rôle équivalent à celui du comparateur de phase dans les PLL analogiques à pompe de charges.
- Le filtre de boucle (filtre numérique) moyenne le signal d'erreur issu du convertisseur numérique.
- Le DCO (*Digitally Controlled Oscillator*) joue le rôle du VCO dans la PLL analogique.

B.1. Le Comparateur de phase

Comme dans les PLL analogiques destinées aux circuits CDR, le discriminateur de phase est très souvent une architecture d'Alexander, de Hogge ou équivalente à ces deux. Ces deux structures ayant déjà été étudiées, il convient ici de se focaliser sur le bloc de conversion numérique. A l'image de la pompe de charges dans les PLL analogiques, le convertisseur numérique permet de trouver une image numérique du déphasage (durée) entre le signal d'entrée et l'horloge en entrée du discriminateur de phase (cf. fig. I.37).

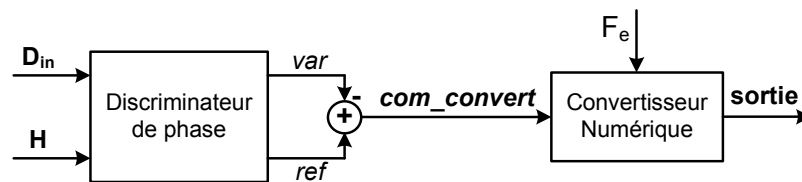


Figure I.37: Synoptique des comparateurs de phase de PLL numériques réalisant des fonctions CDR

D_{in} constitue le signal d'entrée et H le signal d'horloge fourni par le DCO. La figure I.38 décrit le fonctionnement de ce type de comparateur de phase, D_{in} étant pris en phase avec H . On suppose le discriminateur de phase linéaire. Il génère une impulsion var dont la largeur du pallier haut est directement l'image du déphasage entre D_{in} et H , et une impulsion de référence ref dont la durée demeure fixe, égale à $T_b/2$, T_b étant la durée bit. Une soustraction entre ces deux signaux permet d'obtenir un signal à trois états (-1 ; 0 ; 1). Le signal $com_convert$ est ensuite transmis au convertisseur numérique cadencé à une fréquence F_e . Le convertisseur fournit en sortie une valeur numérique, image du déphasage entre D_{in} et H . Sur la figure I.38, D_{in} étant en phase avec H , la sortie est à '0'.

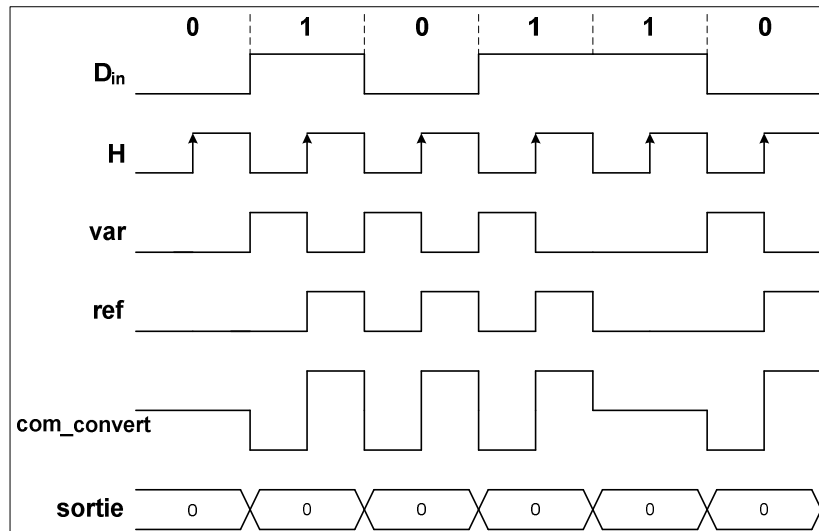


Figure I.38: Chronogrammes illustrant le fonctionnement des comparateurs de phase de PLL numériques réalisant des fonctions CDR. Sur cet exemple, la valeur du signal **sortie** est réévaluée à chaque front descendant du signal d'horloge

La fréquence d'échantillonnage F_e doit être très grande par rapport au débit car c'est elle qui définit la précision du comparateur de phase. Une perte en précision à ce niveau se traduirait par une imprécision de l'erreur de phase synonyme d'un jitter de l'horloge générée par la PLL plus important.

Par ailleurs, plusieurs structures existent pour la réalisation de la fonction convertisseur numérique. Dans tous les cas, la précision de la conversion numérique reste le point clé car impactant le jitter de l'horloge de sortie de la PLL. La valeur numérique issue du convertisseur est ensuite envoyée au filtre numérique.

B.2. Le filtre numérique

Le rôle du filtre est similaire à celui du filtre de boucle dans le cadre d'une PLL analogique. Dans ce paragraphe, seront présentés brièvement les types de filtre numérique présents dans la littérature, leurs avantages et inconvénients.

Parmi les architectures de filtres utilisés aujourd'hui dans la conception de PLL numériques, on trouve plus fréquemment :

- Les filtres à base de compteurs numériques
- Les filtres à réponse impulsionnelle finie RIF
- Les filtres obtenus par transformation de filtres analogiques (filtres à réponse impulsionnelle infinie RII).

B.2.1. Filtres à base de compteurs numériques

Les filtres à base de compteurs ont été largement abordés dans [Best_03] qui propose pas moins de trois architectures de filtres à base de compteurs. La plus simple est un compteur up / down, comme présenté sur la figure I.39.

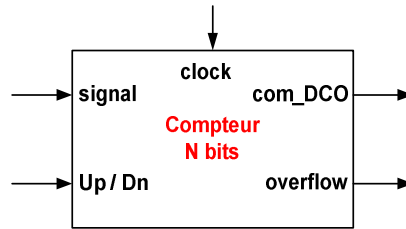


Figure I.39: filtre compteur [Best_03]

Ce type de filtre est basé sur un compteur N bits piloté par une horloge **clock** haute fréquence. L'entrée **Up/Dn** permet de décider du sens croissant ou décroissant du comptage. Le signal d'entrée **signal** correspond à la sortie du convertisseur numérique, traduisant l'erreur de phase. La sortie du compteur **com_DCO** correspond à la sortie du filtre (cf. fig. I.40), elle va commander le DCO pour ajuster sa fréquence en fonction de l'erreur de phase.

L'avantage de ce type de filtre concerne la simplicité et la facilité de mise en œuvre de l'architecture. Ensuite, contrairement aux filtres analogiques qui occupent des surfaces importantes sur silicium, un tel filtre est très intéressant en termes de densité d'intégration. C'est une topologie du 1^{er} ordre (intégrateur) et sa fonction de transfert est donnée par (T_e désigne la période d'échantillonnage) :

$$F(p) = \frac{1}{pT_e}$$

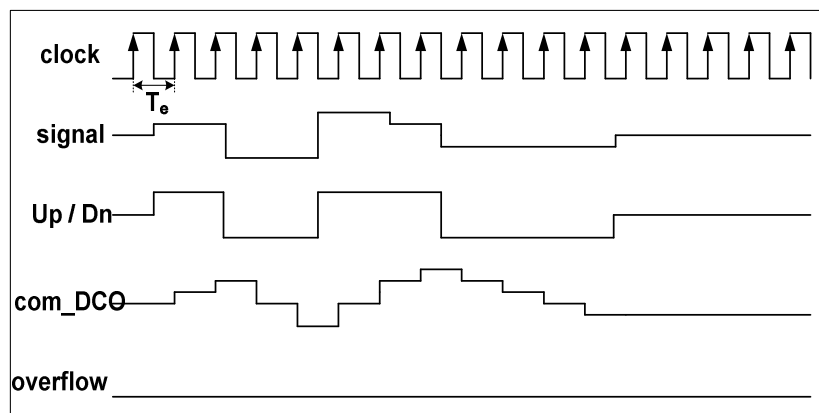


Figure I.40: Chronogrammes illustrant un filtre à base de compteur [Best_03]

Au vu de la fonction de transfert, le seul paramètre de cette architecture de filtre reste la fréquence d'échantillonnage. Ceci constitue un inconvénient majeur dans le sens où le concepteur n'a aucune maîtrise des paramètres dynamiques de la boucle, notamment en ce qui concerne l'étude de la stabilité de la boucle.

B.2.2. Filtres à réponse impulsionnelle finie RIF

Les filtres RIF présentent l'avantage d'être inconditionnellement stables. L'opération de filtrage est définie par un produit de convolution entre le signal numérique $x(n)$ en entrée et la réponse

impulsionnelle finie $h(k)$ du filtre, ce qui correspond à une multiplication dans le domaine fréquentiel. Le signal de sortie $y(n)$ du filtre est alors défini par l'équation aux différences :

$$y(n) = x(n) * h(k) = \sum_{k=0}^M h(k) \cdot x(n - k)$$

Ou encore :

$$Y(f) = H(f) \cdot X(f)$$

Le filtre est entièrement défini par les coefficients de la réponse impulsionnelle. Le nombre de ces coefficients ($M + 1$) donne directement l'ordre du filtre.

Au niveau de la conception, les filtres RIF peuvent être réalisés à l'aide de trois opérations de base : addition, multiplication et opérateur de retard unitaire (cf. fig I.41). Aujourd'hui, ils sont faciles à synthétiser grâce notamment aux outils logiciels qui existent.

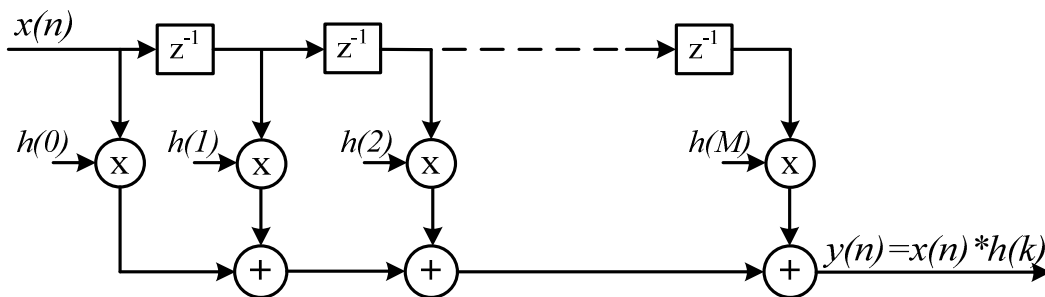


Figure I.41: Architecture d'un filtre RIF

Dans le cadre d'une PLL numérique, ils sont sollicités pour leur stabilité inconditionnelle [Bou_11]. Grâce à l'absence de récursivité, ces filtres sont moins sensibles aux erreurs de quantification que les filtres RII. Cependant dans le cadre de la PLL, les filtres RIF présentent le même inconvénient que les filtres à base de compteurs présentés précédemment : les seuls paramètres restent la fréquence d'échantillonnage et l'ordre à partir desquels sont déduits les coefficients du filtre RIF. Celui-ci devra donc être dimensionné empiriquement et dans ces conditions, on ne peut prévoir clairement le comportement dynamique de la boucle.

B.2.3. Filtres numériques obtenus par analogie aux filtres analogiques (filtres RII)

Ceux-ci découlent généralement de la transformation bilinéaire de filtres analogiques [Kim_12] [Kra_07] [Sha_89]. Ce type de filtre permet de rassembler des avantages des filtres analogiques et numériques. En effet d'une part, les coefficients (valeurs des résistances et capacités) sont d'abord calculés en analogique avant de faire la transformation bilinéaire. Ainsi, contrairement aux filtres RIF, il y a moins de coefficients à calculer, donc une complexité réduite. D'autre part, ces filtres occupent moins de surfaces silicium que leurs équivalents analogiques, ils permettent donc de relâcher les contraintes liées à la densité d'intégration des filtres analogiques et d'éviter les problèmes de dérive et de variations process que connaissent les composants passifs des filtres analogiques. Aussi, ils sont

flexibles : ils offrent la possibilité de pouvoir évoluer au cours du temps en réactualisant au besoin les valeurs des coefficients. Enfin, contrairement aux deux architectures précédentes, la détermination des coefficients du filtre prend en compte les paramètres dynamiques de la PLL numérique.

Toutefois, ce type de filtre présente quelques limites. Celles-ci concernent notamment la perte de précision liée au codage de ses coefficients. La récursivité de l'architecture fait qu'elle est très sensible aux erreurs d'arrondis des coefficients, contrairement aux filtres RIF. Ce type de filtre sera étudié plus en détail dans le troisième chapitre de ce mémoire.

B.3. Le DCO

L'oscillateur à commande numérique DCO est contrôlé par un mot binaire directement généré par le filtre de boucle numérique. Comme le VCO dans la PLL analogique, il fournit un signal d'horloge dont la fréquence est proportionnelle au mot binaire à son entrée. Il peut être vu, ou même implémenté comme un ensemble composé d'un convertisseur numérique analogique CNA et d'un VCO (cf. fig. I.42).

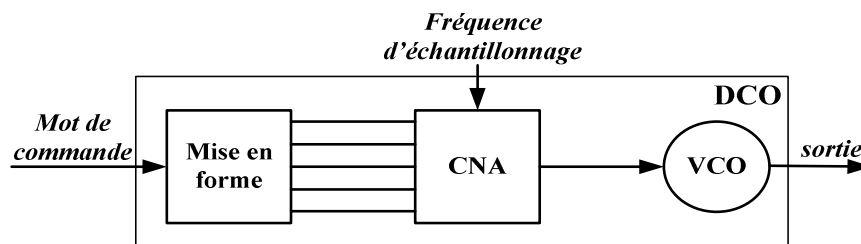


Figure I.42: Modèle DCO

Plusieurs architectures de DCO existent mais de façon générale on retrouve les mêmes catégories d'architectures que pour les VCO. Les DCO à base de cellules de délai [Che_05] [Kum_10] [Kum_12] (DCO en anneau) présentent quasiment les mêmes caractéristiques que les VCO en anneau. Aujourd'hui dans la littérature [Perr_09] [Kak_11], il est plus fréquent de trouver des architectures de DCO à base d'inductances et de varactors. Dans de telles structures, la fréquence est contrôlée par la valeur de capacités (les capacités MOS où les Cgs de transistors NMOS sont souvent utilisés).

Le tableau I.3 présente un état de l'art des circuits CDR réalisés avec des architectures de PLL numériques.

Référence	[All_04]	[Fuk_09]	[Oh_07]	[Yin_11]
Année	2004	2009	2007	2011
Débit	1 Gbit/s	10 Gbit/s	2,5 Gbit/s	2,5 Gbit/s
Application	Communication "chip-to-chip"	Interconnexions haute vitesse	NC	NC
Cible d'implantation	ASIC CMOS 0,18 μm	ASIC CMOS 90 nm	ASIC CMOS 0,13 μm	ASIC CMOS 0,13 μm
Comparateur de phase (CP)	CP 5 états sans TDC	CP linéaire + Modulateur $\Delta\Sigma$	Alexander + "Deserializer"	Alexander + Hogge
Résultats	Simulation post-layout	Mesure	Mesure	Mesure
Jitter	NC	14 ps (pk-pk)	47,2 ps (pk-pk) 7,2 ps rms	68 ps (pk-pk) 5,7 ps rms
Jitter pk-pk en %UI	-	14% UI	11,8% UI	15% UI
Consommation	< 2 mW	65 mW	13,2 mW	7 mW
Plage de capture	420 MHz - 1,3 GHz	NC	NC	500 MHz - 3,2 GHz
Surface silicium (ASIC)	60 μm x 50 μm	0,12 mm ²	430 μm x 300 μm	400 μm x 500 μm

NC : Non communiqué

Tableau I.3. Etat de l'art des modules CDR réalisés à l'aide de PLL numériques

A la lumière de cet état de l'art, la récupération d'horloge et de données à base de PLL numérique est principalement implantée sur ASIC. Une des raisons de ce choix est la limitation en fréquence des cibles FPGA. Cet état de l'art montre également que, comme en analogique, les comparateurs de phase de Hogge et Alexander sont également très prisés.

Par ailleurs, en comparant ces publications à l'état de l'art des PLL analogiques (cf. tableau I.2), on constate qu'à débit fixé, les PLL numériques utilisées comme modules CDR nécessitent moins de surface silicium (ASIC), consomment globalement moins que les versions analogiques. Par exemple, pour un débit de 2,5 Gbit/s, on constate des consommations inférieures à 15 mW [Oh_07] [Yin_11] pour des PLL numériques et de 33,5 mW [Ana_01] pour une structure analogique. Toutefois, selon les deux états de l'art, les PLL numériques ont généralement un jitter en valeur relative (% UI) plus important.

I.2.1.2. Boucle à verrouillage de délai DLL

De manière générale, l'architecture et le principe de fonctionnement d'une DLL sont assez proches de ceux de la PLL décrits plus haut. Au contraire d'une PLL qui assure la synchronisation en fréquence et en phase, la DLL travaille exclusivement sur la phase. Cela nécessite généralement une horloge de référence assez stable qui travaille à la fréquence du signal d'entrée. Comme pour la PLL, la DLL présente des architectures aussi bien analogiques que numériques. Dans sa forme la plus simple, une DLL est principalement constituée de (cf. fig. I.43) :

- Un comparateur de phase qui se comporte de la même façon que dans une PLL. Comme dans la PLL analogique, le comparateur de phase est très souvent associé à une pompe de charges dans certaines architectures de DLL [Che_07] [Zha_04] [Sid_97].
- Un filtre de boucle qui est généralement du 1^{er} ordre.
- Une ligne à retard contrôlée en tension (VCDL *Voltage Controlled Delay Line*) ou contrôlée numériquement (DCDL *Digitally Controlled Delay Line*). C'est là la différence architecturale majeure avec une PLL où il y a un VCO à la place d'un VCDL ou un DCO à la place d'un DCDL.

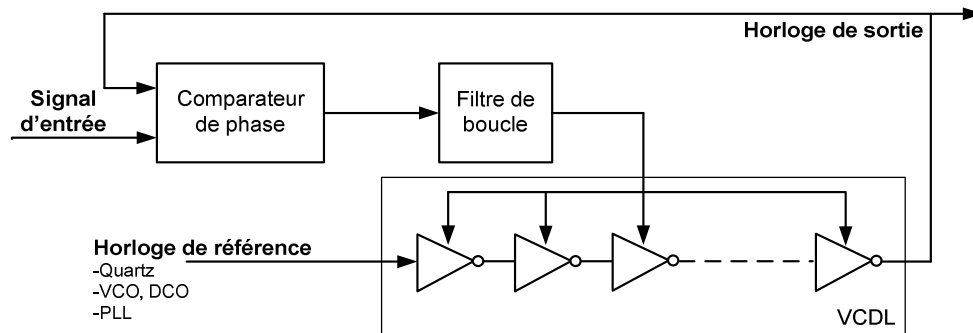


Figure I.43: Synoptique de base d'une DLL

Le comparateur de phase détecte l'erreur de phase entre le signal d'entrée et le signal d'horloge issu du VCDL. Ce signal d'erreur est ensuite moyenné par le filtre de boucle qui fournit une tension continue, image de l'erreur de phase, permettant de contrôler la valeur du délai dans les cellules du VCDL. Cette opération est répétée un certain nombre de fois jusqu'à réduire au maximum, voire annuler le déphasage des 2 signaux en entrée du comparateur de phase, auquel cas on dira que la DLL est verrouillée.

Le VCDL est le plus souvent formé de cellules de retard élémentaires dont le retard introduit est modifié par une tension de contrôle. Ces cellules sont souvent à base d'inverseurs CMOS [Jov_05] [Maj_10] dont on contrôle le temps de propagation et donc le délai introduit par la cellule. Cependant de telles cellules sont limitées par des disparités sur le délai introduit qui proviennent essentiellement des variations technologiques, notamment sur silicium. Alors, certains travaux [Che_07] ont mis en avant des cellules de délai différentielles pour être moins sensibles aux problèmes d'appariement (mismatch) et de variations process entre autres.

Un des avantages d'une DLL est d'être inconditionnellement stable car il s'agit généralement de système du premier ordre (avec un filtre qui se résume à une capacité) [Jov_05] [Che_07], ce qui permet un gain de place important. En effet, contrairement aux VCO qui se comportent comme des intégrateurs (et donc comme des filtres du 1^{er} ordre), les VCDL ne génèrent pas de pôle dans la fonction de transfert de la DLL. Le problème de l'étude de la stabilité ne se pose donc pas et ce système permet d'avoir une plage de capture assez large. Cela permet en outre d'avoir un temps d'acquisition réduit, comparé à celui de la PLL. De plus, les DLL étant composés d'une majorité

d'éléments numériques (comparateur de phase, VCDL), leur encombrement est particulièrement réduit.

L'inconvénient majeur réside dans la sensibilité du VCDL (cellules de délai) aux variations technologiques. Aussi, du fait que le VCDL ne constitue pas un pôle dans la fonction de transfert de la DLL, il ne se comporte pas alors comme un filtre vis-à-vis du signal en entrée. Ceci fait que la DLL ne filtre pas le bruit en entrée qui va être donc propagé à travers toute la ligne à retard (VCDL), ce qui va dégrader les performances de la DLL notamment en termes de jitter. C'est pourquoi la DLL n'est pas très utilisée dans les applications qui requièrent la récupération d'une horloge pure (faible jitter), par exemple. Par contre, elle convient très bien pour la synthèse de fréquence à partir d'une horloge très stable (généralement un quartz).

En outre, comme dans le cadre de la PLL, le comparateur de phase devra être bien choisi pour que la DLL puisse fonctionner comme un circuit CDR.

Par ailleurs, pour cumuler certains avantages de la PLL (filtrage du bruit en entrée) et de la DLL (faible temps d'acquisition), plusieurs travaux [Zha_04] [Lee_92] ont proposé d'allier les deux systèmes. La figure I.44 montre une architecture basée sur ce type de système, avec un nombre minimum de blocs fonctionnels.

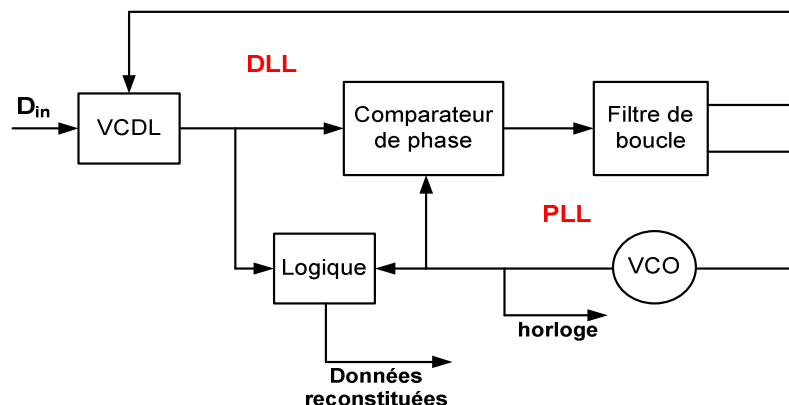


Figure I.44: Combinaison PLL / DLL

Dans cette architecture, la DLL permet de se verrouiller assez rapidement sur la fréquence du signal d'entrée D_{in} . La PLL affine (en phase) le verrouillage de la boucle et le module « logique » prend la décision de bit au moment optimum. Grâce à la PLL, cette structure permet d'avoir un bon jitter. Les principaux inconvénients de cette architecture sont la complexité qui en découle (deux boucles sont à étudier au lieu d'une seule), ainsi qu'une augmentation de la taille du circuit et de la consommation par rapport à une architecture de DLL classique.

I.2.1.3. Synchronisateur de bits avance/retard ELGS

Le synchronisateur de bits avance/retard ou ELGS (Early/Late Gate bit Synchronizer) est aussi un circuit assez populaire pour la réalisation de CDR [Gar_79]. L'ELGS est un système asservi qui a

un fonctionnement similaire à une PLL ou à une DLL dans certains cas. Les données traitées par l'ELGS sont généralement codées NRZ et bipolaires. La structure (cf. fig. I.45) est généralement constituée de [Zic_08] :

- Une branche « early » que forment un intégrateur et une fonction valeur absolue.
- Une branche « late » identique à la branche « early ».
- Un soustracteur qui permet de déduire l'erreur de phase à partir des sorties des deux fonctions valeur absolue.
- Un filtre de boucle permettant de moyennner l'erreur de phase, comme dans le cas des PLL et DLL.
- Un oscillateur commandé (VCO ou DCO) ou une ligne à retard (VCDL ou DCDL).
- Un bloc de contrôle qui, à partir du signal d'horloge généré par le VCO, dicte aux deux branches les périodes d'intégration.

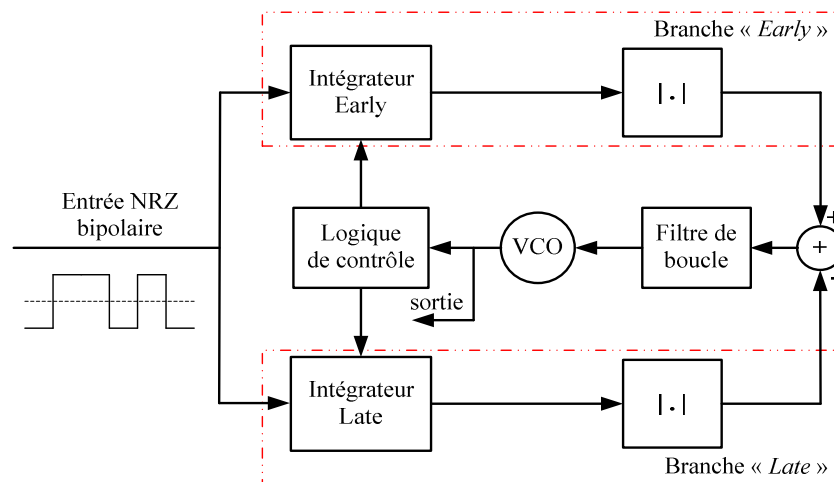


Figure I.45: Synchronisateur de bits avance / retard ELGS

Le signal d'entrée est intégré sur chaque branche pendant une durée dépendant du déphasage entre le signal d'horloge du VCO et le signal d'entrée. Les chronogrammes de la figure I.46 permettent de mieux comprendre le fonctionnement de la structure. Sur cet exemple, l'horloge du VCO est supposée en retard sur le train de données en entrée. Le signal d'entrée est intégré sur la branche early durant le pallier bas du signal d'horloge. Au prochain front montant d'horloge, la dernière valeur de la sortie de l'intégrateur early est maintenue et ce, durant tout le pallier haut de l'horloge. Au front descendant, une remise à zéro est faite et l'opération recommence. Si le pallier bas est entièrement contenu dans la durée bit (c'est le cas dans fig. I.46), alors la valeur maximale est obtenue en sortie de l'intégrateur, sinon la valeur finale de l'intégrale est réduite, proportionnellement au déphasage entre le signal d'entrée et l'horloge. Un raisonnement analogue s'applique sur la branche late.

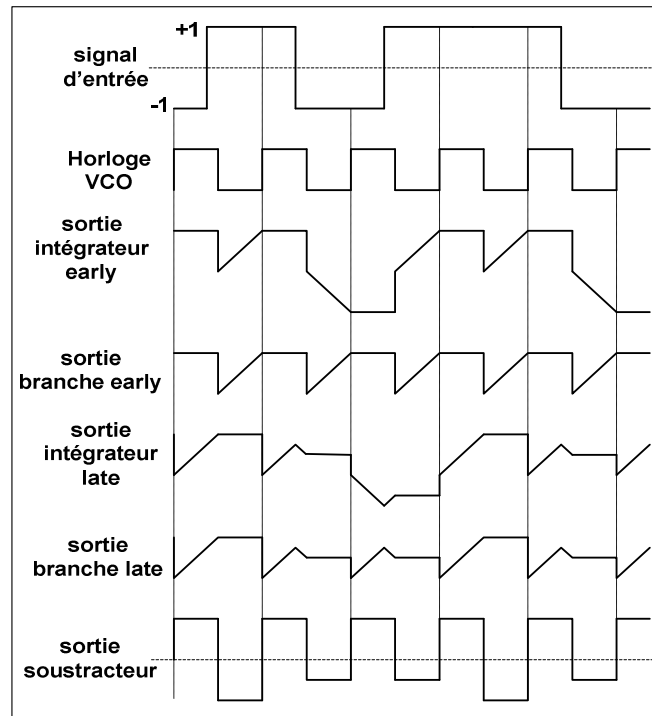


Figure I.46: Chronogrammes illustrant le fonctionnement synchronisateur de bits avance / retard ELGS

Les sorties des deux modules valeur absolue sont comparées au niveau du soustracteur qui fournit ainsi l'erreur de phase entre le signal d'horloge généré par le VCO et le signal d'entrée. Cette erreur de phase sera ensuite lissée par le filtre de boucle qui produit ainsi une tension permettant d'accélérer ou de retarder le VCO de sorte à réduire le déphasage entre le signal d'entrée et le signal d'horloge.

L'ELGS peut être modélisé comme une PLL (ou une DLL) avec un discriminateur de phase formé par les deux branches et le soustracteur, un filtre de boucle et un VCO (ou un VCDL). Cette modélisation linéaire permet de dimensionner le filtre de boucle et de prévoir le comportement dynamique de la structure.

L'ELGS peut être implémenté en analogique mais on ne trouve aujourd'hui pratiquement que des versions numériques implantées via un prototypage FPGA. Ce choix se justifie souvent par la flexibilité, la portabilité qu'offrent les circuits numériques en général. Il existe aujourd'hui beaucoup de fonctions numériques déjà réalisées et optimisées IP (*Intellectual Property*) qui facilitent l'implantation des circuits sur cible FPGA par exemple, ce qui permet un gain de temps important pour le concepteur. Dans ce cas où l'ELGS est implémenté en numérique, les intégrateurs sont souvent des compteurs ou accumulateurs et le VCO est remplacé par un DCO (NCO). Par contre, il y a un risque de perte de précision liée à l'utilisation de certaines IP, au codage du filtre de boucle entre autres et une limitation en fréquence de la structure lorsqu'elle est implantée sur FPGA.

En outre, une variante de cette architecture est utilisée dans certaines applications particulières. Comme dans les structures de DLL, le VCO est remplacé par un VCDL ou un module équivalent et dans ce cas le fonctionnement et la modélisation de la boucle sont assimilés à ceux d'une DLL. Ce

type d'architecture intervient par exemple dans la phase de poursuite de la synchronisation au niveau des récepteurs de systèmes à étalement de spectre de type DSSS (*Direct Sequence Spread Spectrum*) avec l'utilisation d'un corrélateur avance/retard pour chaque branche.

Par ailleurs, un des plus gros avantages de l'ELGS est la présence des deux intégrateurs *early* et *late* qui se comportent comme des filtres passe-bas vis-à-vis du signal d'entrée, ce qui rend l'ELGS particulièrement performant pour des signaux d'entrée à faible rapport signal à bruit. Par contre, cette architecture est plus gourmande qu'une PLL par exemple en termes de consommation, complexité, surface occupée sur silicium, nombre de cellules logiques, etc.

L'architecture, le dimensionnement et la modélisation d'un module ELGS numérique seront étudiés plus en détail dans le troisième chapitre.

I.2.1.4. CDR par interpolation de phase CDR PI

Ce type de circuit CDR est moins présent dans la littérature que les trois précédents. De manière générale, l'architecture d'un module CDR à base d'interpolation de phase présente beaucoup de similitudes avec celle d'une DLL. C'est généralement constitué de deux boucles [Rambus] [Hsi_08]:

- Une boucle de référence qui est généralement une PLL ou une DLL qui permet de générer un certain nombre de signaux d'horloge à la même fréquence, mais régulièrement déphasés.
- Une boucle dite CDR comportant un comparateur de phase PD, une pompe de charges CP, un filtre de boucle LPF et un bloc formé de fonctions de sélection et d'interpolation de phase (cf. fig. I.47).

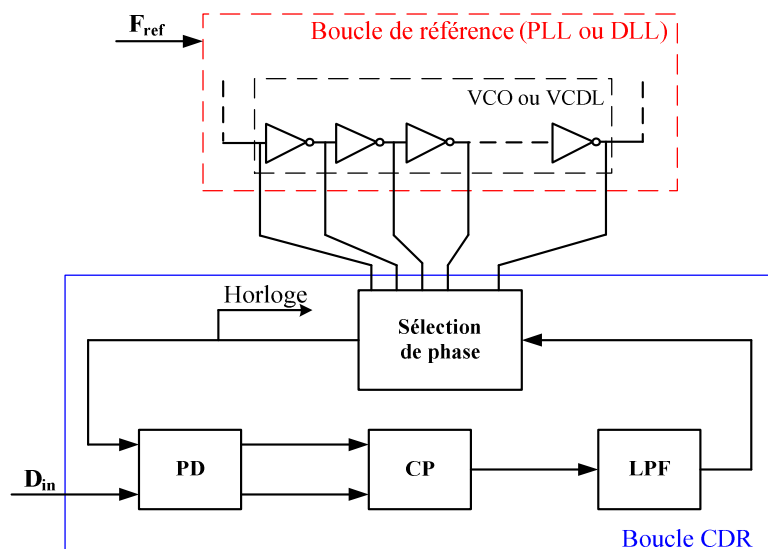


Figure I.47: Architecture d'un circuit CDR par interpolation de phase

Le jeu d'horloges généré par la boucle de référence est injecté sur le sélecteur de phase qui, grâce à la sortie du filtre de boucle LPF, sélectionne l'horloge dont la phase est plus proche de celle du signal d'entrée. La phase du signal d'horloge généré par le sélecteur est comparée à celle du signal d'entrée

au niveau du comparateur de phase qui fournit ainsi un signal d'erreur proportionnel au déphasage entre les deux signaux. Le filtre de boucle moyenne le signal d'erreur et génère une tension continue qui va permettre de réajuster la phase du signal d'horloge en choisissant la « bonne horloge » au niveau du sélecteur de phase. Plusieurs variantes de ce circuit existent, leur différence réside généralement au niveau de l'architecture du module de sélection de phase.

Le module CDR PI présente quelques avantages, comparé à la PLL, à la DLL ou à l'ELGS. En particulier, la séparation entre la boucle de référence d'horloge et la boucle CDR offre la possibilité d'optimiser séparément l'agilité de la boucle CDR et le jitter de la boucle de référence. Cette architecture présente tout de même beaucoup d'inconvénients. D'abord, cette structure nécessite à son entrée une horloge stable F_{ref} et précisément à la fréquence du signal d'entrée D_{in} (ou un multiple entier de cette fréquence). Ensuite, l'occupation en surface silicium et la consommation passent pratiquement au double (deux boucles utilisées sur l'exemple de la figure I.47), par rapport à une PLL ou une DLL classique. En somme, cette architecture de CDR ne semble pas adaptée à des applications à faible coût.

Globalement, les modules CDR basés sur des systèmes asservis fonctionnent sur le principe de poursuite de la phase du signal d'entrée et présentent l'avantage de fournir une horloge avec un bruit de phase relativement faible. Certaines architectures restent gourmandes en consommation et en surface occupée et le temps de verrouillage est souvent relativement long. Le tableau I.4 suivant présente l'état de l'art des modules CDR basés sur des systèmes bouclés (Les PLL numériques et analogiques ne sont pas prises en compte car développées plus en détail dans I.2.1.1.).

Référence	[Dal_05]	[Hua_12]	[Kre_05]	[Lee_06]	[Mai_02]	[Rav_09]	[Rhe_03]	[Zic_08]
Année	2005	2012	2005	2006	2002	2009	2003	2008
Type	PLL / DLL	"ELGS" avec CP d'Alexander	Interpolation de phase	Interpolation de phase	DLL	ELGS	PLL / DLL	ELGS
Débit	~ 2,5 Gbit/s	6 Gbit/s	10,8 Gbit/s	1 Gbit/s	900 Mbit/s	4 kbit/s	10 Gbit/s	52,5 Mbit/s (débit max)
Application	Communication optique	NC	Application multi-canaux	Applications "multi-link"	NC	Système de télécommande embarqué	NC	Radio logicielle restreinte
Cible d'implantation	ASIC (BICMOS 0,35 µm)	ASIC (CMOS 90 nm)	ASIC (CMOS 0,11 µm)	ASIC (CMOS 0,13 µm)	ASIC (CMOS 0,25 µm)	FPGA (Xilinx XC2V3000)	ASIC (CMOS 0,12 µm)	FPGA (Xilinx XC2V1000)
Jitter	8 ps (pk-pk) 0,4 ps (RMS)	13,3 ps (pk-pk) 1,68 ps (RMS)	3,2 ps RMS @ 2,7 Gbit/s	34,4 ps (pk-pk) 5,9 ps (RMS)	244 ps (pk-pk) 31,3 ps (RMS)	NC	18 ps (pk-pk)	NC
Jitter pk-pk en %UI	2% UI	7,98% UI	-	3,44% UI	21,96% UI	-	18% UI	-
Consommation	775,5 mW	44,4 mW	220 mW	9,7 mW	3 mW	NC	550 mW	NC
Temps d'accroche	1 ms (2500000 bits)	NC	NC	NC	NC	220 ms (880 bits)	NC	NC
Plage de capture	12,5 - 2700 Mbit/s	NC	~ 8,64 kHz	NC	NC	NC	NC	NC
Surface silicium (ASIC)	9 mm ²	0,054 mm ²	0,25 mm x 1,4 mm	290 µm x 230 µm	270 µm x 50 µm	-	1,1 mm x 1,75 mm (CDR+DMUX)	-
Nombre de cellules logiques (FPGA)	-	-	-	-	-	"2% du FPGA"	-	124 "LUT" + 73 "Flip-Flop"

NC : Non communiqué

Tableau I.4. Etat de l'art de modules CDR basés sur des systèmes asservis (PLL/DLL, DLL, PI, ELGS) (résultats de mesure)

A la lecture de ce tableau, on peut voir que les performances en termes de jitter, lorsqu'elles sont communiquées, sont généralement très bonnes (moins bonnes dans le cas de l'utilisation d'une DLL [Mai_02]). Par contre, la surface occupée sur silicium (ASIC) est réduite sauf quand il s'agit d'architectures PLL/DLL. Hormis les circuits à base de DLL, la consommation des modules CDR présentés dans ce tableau est bien plus importante que celle des circuits à base de PLL analogique ou numérique. A titre d'illustration à 2,5 Gbit/s, la PLL analogique dans [Ana_01] consomme 33,5 mW, la PLL numérique [Yin_11] 7 mW et l'architecture à base de PLL/DLL [Dal_05] 775,5 mW.

Cependant, le temps d'accroche, lorsqu'il est communiqué, est très grand (2500000 bits dans [Dal_05]) pour ces architectures de circuits CDR. On lit également dans ce tableau que lorsque le module CDR est implanté sur une cible FPGA [Rav_09] [Zic_08], peu d'informations relatives aux performances sont communiquées. Dans le cas échéant, l'accent est plutôt mis sur l'architecture du circuit, sur la rapidité ou encore sur la réduction de la taille du circuit.

En somme, les modules CDR basés sur des systèmes asservis présentent globalement de bonnes performances en termes de jitter. Certaines de ces architectures présentent des consommations intéressantes. Cette catégorie de CDR présente des performances moins bonnes en termes d'agilité (temps de réponse élevé), ce qui promet, néanmoins, un bon N_{BIC} .

Le paragraphe suivant dresse un état de l'art des circuits de récupération d'horloge et de données qui reposent sur des systèmes en boucle ouverte.

I.2.2. CDR à base de systèmes en boucle ouverte

Le principe de fonctionnement des modules CDR basés sur les systèmes en boucle ouverte repose essentiellement sur l'alignement de la phase du signal d'entrée avec celle d'un signal d'horloge généré localement. Dans cette catégorie de CDR, on trouve aujourd'hui principalement quatre architectures et quelques variantes :

- Les architectures basées sur un principe de sur échantillonnage
- Les modules CDR basés sur le filtrage
- Ceux basés sur la correction permanente de la phase d'un VCO en anneau (Gated Ring VCO based CDR)
- Les circuits CDR basés sur le verrouillage en injection d'un oscillateur.

Chacune de ces architectures va être discutée dans ce paragraphe.

I.2.2.1. CDR basé sur le sur échantillonnage

Les modules CDR à base de sur échantillonnage ou O-CDR (Oversampling based CDR) présentent moins de complexité que leurs analogues basés sur des systèmes asservis. Ce type de CDR (cf. fig. I.48) ne réalise qu'une fonction : la reconstitution des données, mais il n'y a pas de récupération d'horloge comme dans les autres modules CDR. Toutefois, il est classé dans les circuits CDR du fait de la similarité de son fonctionnement avec les modules CDR classiques [Kub_10].

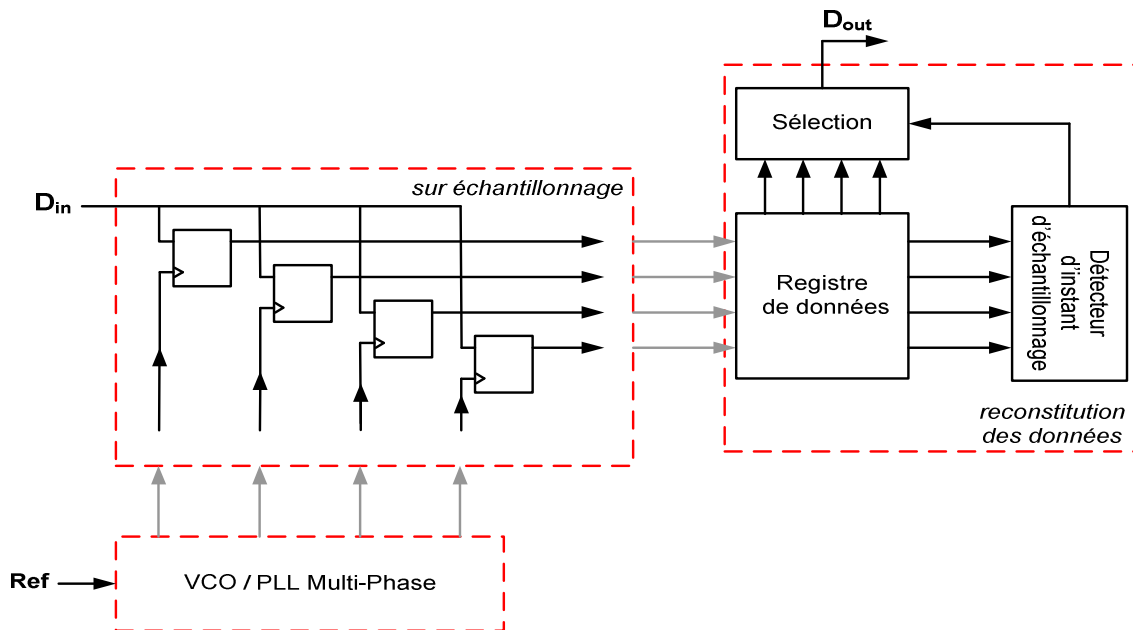


Figure I.48: Synchronisation par sur échantillonnage

Le principe de base d'un O-CDR consiste à échantillonner un certain nombre de fois chaque bit du signal d'entrée, à détecter les transitions du signal d'entrée et à faire une décision de bits optimale. De ce fait, au moins trois échantillons sont requis pour faire une récupération correcte de la donnée en entrée.

Le bloc VCO/PLL Multi-phase génère les horloges qui échantillonnent le signal d'entrée D_{in} à différents instants. Les échantillons sont ensuite stockés temporairement dans le registre de données qui est généralement un registre FIFO (« First In First Out »). Le détecteur d'instant d'échantillonnage détecte les transitions du signal d'entrée et comporte des algorithmes qui décèlent l'instant optimum d'échantillonnage du signal d'entrée [Kub_10] [Ahm_05]. Il dicte au bloc sélection la décision de bit convenable. L'instant de décision optimum est le plus proche du milieu du bit (cf. fig. I.49).

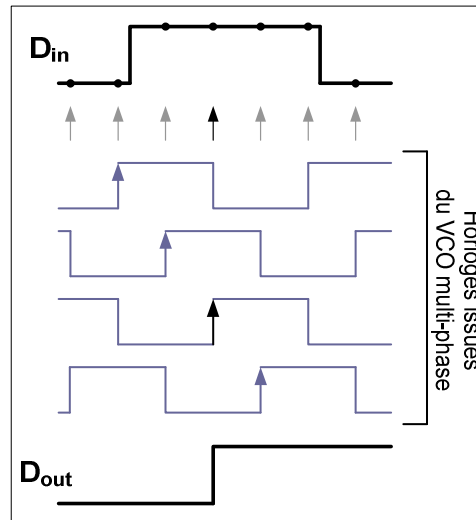


Figure I.49: Fonctionnement CDR basé sur le principe de sur échantillonnage

Les principaux avantages de cette architecture de CDR sont le très faible temps d'acquisition et une stabilité inconditionnelle inhérente à la structure même. Une implémentation numérique est également possible. Cependant, pour avoir une bonne précision, cette structure nécessite que le VCO ou la PLL multi-phase génère un signal à très haute fréquence, ce qui peut se traduire par une consommation importante. Ce type de module CDR est généralement implanté sur ASIC lorsque le débit de travail devient assez élevé. Pour les basses fréquences, il peut également être implanté sur prototype FPGA par exemple ([Kub_10]) pour pouvoir bénéficier de certains avantages des circuits numériques, notamment la flexibilité.

Un autre avantage de cette catégorie de CDR est son faible temps d'accroche. Malheureusement, les publications des modules CDR à base de sur échantillonnage présentées dans l'état de l'art (cf. tableau I.5) ne donnent pas de résultats concernant le temps de verrouillage.

I.2.2.2. Le filtrage

Les modules CDR à base de filtrage, comme le montre la figure I.50, se présentent sous une architecture assez simple. Ils sont généralement constitués de [Wal_02] :

- Un détecteur de fronts
- Un filtre passe bande qui possède un très grand facteur de qualité
- Une ligne à retard
- Une bascule D pour retrouver les données.

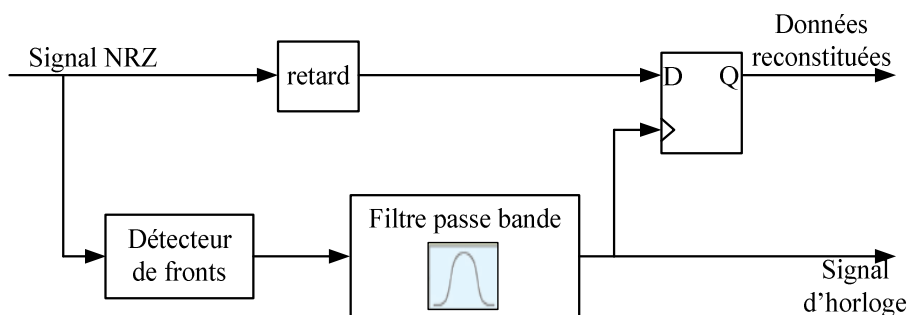


Figure I.50: Architecture de CDR basé sur le filtrage

Le signal d'entrée de type NRZ est injecté dans le détecteur de fronts qui génère une impulsion à chaque front du signal d'entrée. Le signal résultant est équivalent à un signal RZ image du signal d'entrée NRZ. Le filtre passe bande, nécessairement centré sur la fréquence (débit) du signal d'entrée, permet, à partir du signal résultant de la détection de fronts, de générer le signal d'horloge. Le signal d'entrée est ensuite retardé de sorte à ce qu'il soit échantillonné convenablement par le signal d'horloge.

L'architecture peut davantage être simplifiée lorsque les données en entrée sont codées RZ. En effet, comme expliqué dans le paragraphe I.1.2 du premier chapitre, le spectre d'un tel signal présente une raie de forte amplitude à la fréquence d'horloge. Dans ce cas, le détecteur de fronts peut tout simplement être supprimé car le signal d'entrée RZ peut attaquer directement le filtre.

Le premier avantage de cette structure est qu'elle consomme très peu, notamment si le filtre est passif. L'architecture est assez simple à mettre en œuvre et est très intéressante en termes de temps de développement car ne nécessitant pas beaucoup de composants. En plus, le temps d'acquisition est très faible, comparé aux architectures à base de systèmes asservis. Cependant, ce type de CDR présente un certain nombre d'inconvénients. D'abord, un filtre avec un très grand facteur de qualité (nécessaire pour obtenir un bon jitter d'horloge) peut être difficile à réaliser et son intégration sur silicium peut présenter des difficultés. De plus, le filtre est généralement sensible aux variations technologiques, ce qui risque de créer une erreur de fréquence sur le signal d'horloge. Aussi, l'architecture ne peut fonctionner correctement lorsqu'il y a une suite de bits identiques sur le signal d'entrée. En effet, l'amplitude du signal d'horloge à la sortie du filtre continue de décroître (perte d'énergie) tant qu'il n'y a pas un nouveau front du signal d'entrée, ce qui peut entraîner l'extinction temporaire du signal d'horloge si la séquence de bits identiques en entrée est très longue.

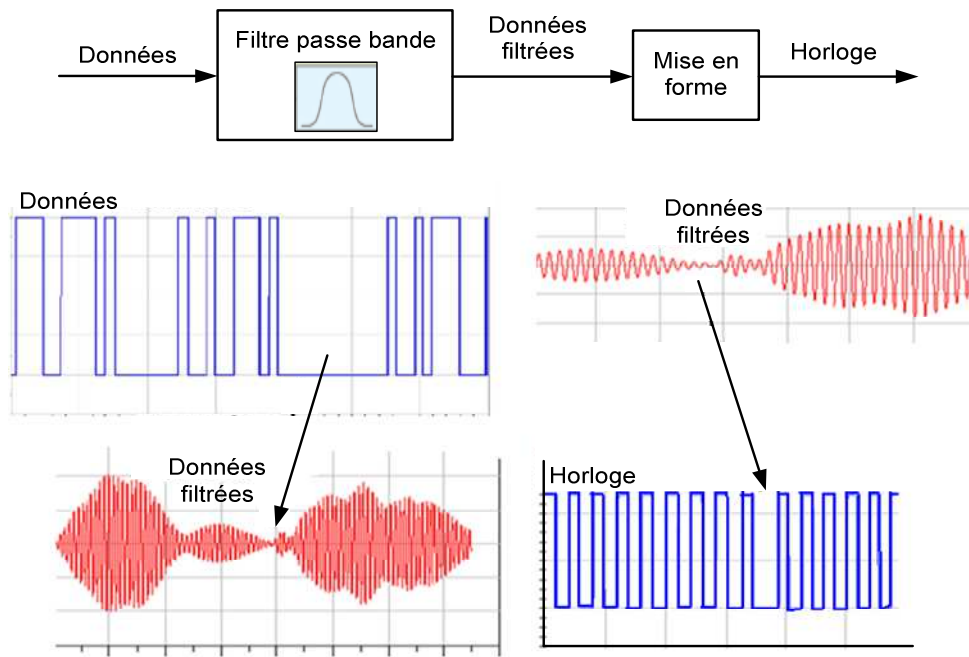


Figure I.51: Exemple d'une perte de synchronisation due à une séquence de bits identiques

Sur la figure I.51, une succession d'une dizaine de zéros provoque de cette manière l'extinction du signal d'horloge pendant une demi-période. Le ré échantillonnage des données d'entrée avec une telle horloge peut ainsi générer beaucoup d'erreurs.

Enfin, le jitter sur le signal d'entrée n'est pas filtré par la structure, ce qui peut causer des erreurs au niveau de la reconstitution des données.

I.2.2.3. CDR GRO

Ce type d'architecture dit (« Gated Ring Oscillator based CDR ») ou CDR GRO repose sur une correction de la phase instantanée du signal d'horloge pour effectuer une décision de bits convenable. Le synoptique de base d'un CDR GRO est présenté sur la figure I.52 [Hsi_08] [Mul_07].

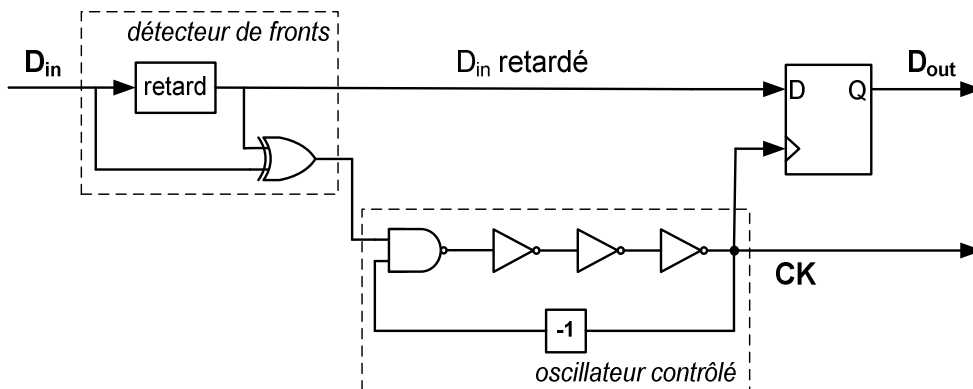


Figure I.52: CDR GRO

C'est une architecture assez simple constituée principalement d'un détecteur de fronts, d'un oscillateur en anneau et d'un échantillonneur (bascule D fonctionnant sur front montant) qui prend la décision idéalement à la moitié du temps bit.

Quand aucun front du signal d'entrée D_{in} n'est détecté (cas d'une suite de bits identiques), l'oscillateur fournit idéalement une horloge à la fréquence du signal d'entrée. Dans ce cas, l'horloge CK est directement à la fréquence libre de l'oscillateur en anneau. A chaque front de D_{in} détecté, le système force l'oscillateur à repartir en alignant le front descendant de CK avec le front de D_{in} détecté.

Ce système a l'avantage de la simplicité de sa réalisation avec une surface occupée sur silicium pas très importante. Aussi, comme l'architecture précédente, le temps d'acquisition est très faible (temps de démarrage de l'oscillateur) et il n'y a pas de problème de stabilité. Toutefois, l'inconvénient majeur concerne les dérives de la fréquence propre de l'oscillateur lorsqu'il y a une longue suite de bits identiques en entrée, ce qui génère des erreurs d'échantillonnage. Sur cet aspect, cette architecture est plus sensible qu'une PLL par exemple et présente donc un N_{BIC} moins bon.

Considérons le circuit CDR GRO étudié dans [Tall_09] comportant un oscillateur en anneau centré sur 54 MHz avec une dérive de +/- 11% (~ min 48 MHz – max 60 MHz) de cette fréquence. Cette dérive a été déterminée après des simulations statistiques de type Monte Carlo sur l'oscillateur. Une étude de ce circuit CDR a ensuite été faite pour déterminer l'effet de cette dérive en fréquence due aux variations technologiques. Sur la figure I.53, on peut voir que le signal d'entrée D_{in} comporte une séquence de cinq '1' consécutifs. Ce signal est échantillonné par l'horloge CK que l'on prend à sa fréquence maximale (60 MHz).

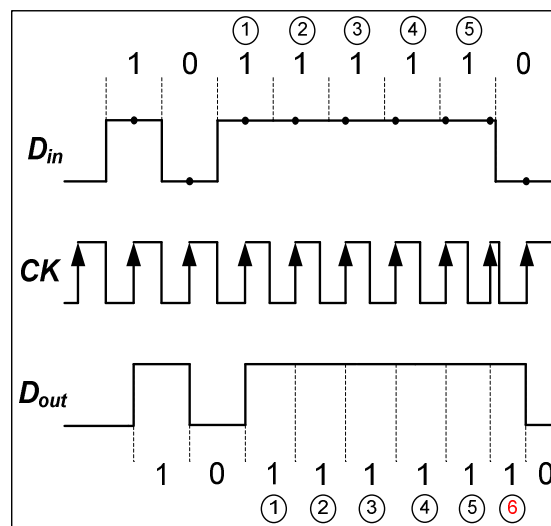


Figure I.53: CDR GRO : Impact de la dérive de l'oscillateur sur le ré échantillonnage des données

Sur cet exemple, on remarque qu'un échantillon supplémentaire est créé après le 5^{ème} '1' consécutif lors du ré échantillonnage. Le résultat aurait été le même avec une suite de cinq '0' consécutifs. En effet, avec une déviation de +/- 11% de la fréquence propre de l'oscillateur, au bout de cinq bits consécutifs, l'erreur d'échantillonnage accumulée devient supérieure à 50% (5 x 11%) du temps bit, ce

qui crée systématiquement une erreur de ré échantillonnage d'où un $N_{\text{BIC}} = 5$. De même si le VCO oscillait à la fréquence minimale (48 MHz), il y aurait un échantillon en moins sur le signal D_{out} au bout de cinq bits identiques consécutifs.

Pour augmenter cette faible valeur du N_{BIC} due aux problèmes de variations process, certaines architectures [Yan_07] proposent d'asservir la fréquence de l'oscillateur sur une PLL. Cependant, on perd tous les avantages liés à la surface occupée si l'implantation se fait sur ASIC, au faible temps d'acquisition, à la stabilité inconditionnelle du système, ... Une telle architecture est assez proche de celle qui va être présentée dans le paragraphe suivant.

I.2.2.4. Injection dans un système oscillant

Le verrouillage en injection d'un oscillateur est un phénomène non linéaire abondamment étudié dans la littérature. Il est démontré [Adl_73] que lorsqu'un signal d'horloge est appliqué sur un oscillateur, ce dernier va voir sa fréquence dévier vers la fréquence du signal injecté, sous certaines conditions (cf. fig. I.54). Une fois que les deux oscillateurs sont placés dans le même environnement, la principale condition pour que le verrouillage ait lieu est que la différence de fréquence entre les oscillateurs ne soit pas très grande.

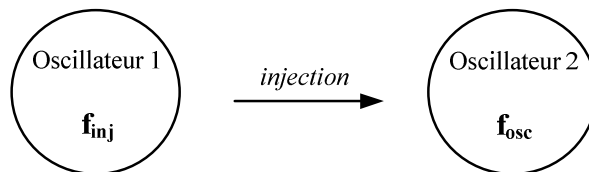


Figure I.54: Principe de l'injection dans un oscillateur

Si la différence $|f_{inj} - f_{osc}|$ n'est pas très grande, l'oscillateur 2 (oscillateur esclave) se verrouille sur l'oscillateur 1 (référence), autrement dit $f_{osc} = f_{inj}$. Cette technique est parfois utilisée pour réduire le bruit de phase de l'oscillateur esclave. Elle est également utilisée pour la récupération d'horloge et de données. Un certain nombre de travaux [Edw_03] [Lee_03] proposent une architecture de CDR (cf. fig. I.55) constituée d'une boucle (PLL ou DLL) qui sert de référence et d'un oscillateur qui se verrouille sur l'horloge issue de la boucle de référence.

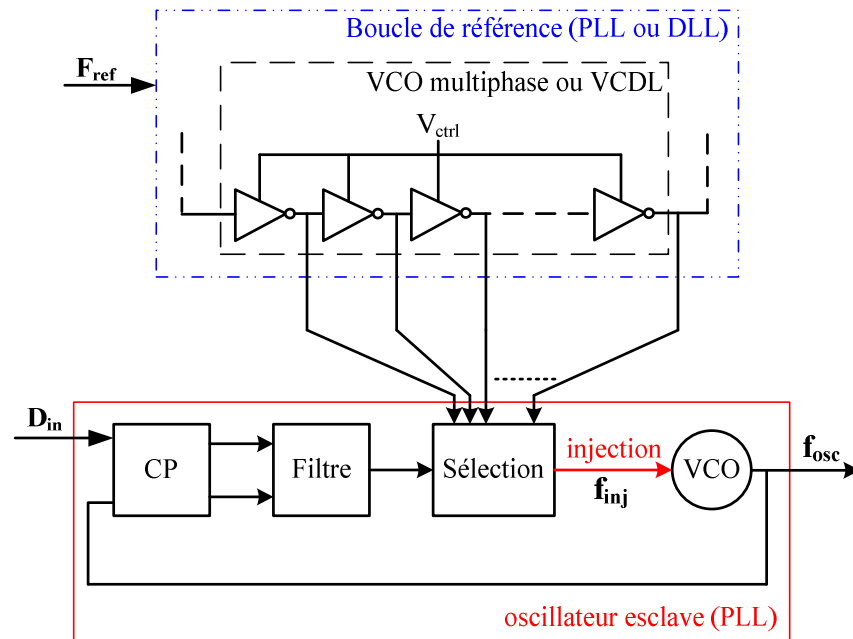


Figure I.55: CDR basé sur le principe de l'injection dans un oscillateur

La boucle de référence est souvent une DLL ou une PLL (avec un VCO multi phase) asservie sur une référence fixe F_{ref} . Elle génère plusieurs signaux d'horloge stables et régulièrement déphasés. Leur fréquence f_{inj} est sensiblement égale à la fréquence f_{osc} de l'oscillateur esclave. Une de ces horloges est ensuite sélectionnée (en fonction de la phase du signal d'entrée D_{in}) et va être injectée dans le VCO dit esclave. De cette manière, le verrouillage est atteint rapidement, d'où un avantage de cette structure en termes de temps d'acquisition.

Par ailleurs, le phénomène du verrouillage en injection a été étudié aussi bien pour des oscillateurs LC [Raz_04] que pour des oscillateurs en anneau [Mes_05], ce qui permet un choix plus large du type d'oscillateur à implémenter suivant l'application visée. L'avantage de l'utilisation d'oscillateurs LC est lié à un bruit de phase réduit, comparé aux oscillateurs en anneau. Toutefois, ces derniers se prêtent mieux à une intégration sur silicium, notamment aux bas débits.

Bilan sur les modules CDR basés sur des systèmes en boucle ouverte

En résumé, cette catégorie de circuits CDR se caractérise généralement par la simplicité de sa réalisation et un coût réduit, comparé à celui des circuits CDR à base de systèmes asservis. Le tableau I.5 suivant dresse un état de l'art des modules CDR réalisés à l'aide de systèmes en boucle ouverte.

Cet état de l'art de ces circuits permet de voir rapidement que les performances sont nettement en deçà de celles qu'on pourrait atteindre avec les circuits CDR conçus avec des systèmes asservis en termes de jitter notamment. En effet, on obtient des valeurs de jitter en valeur relative proches de 2% UI [Che_11] [Dal_05] pour les architectures reposant sur des systèmes asservis. A contrario, en ce qui

concerne les systèmes en boucle ouverte, l'état de l'art (cf. tableau I.5) montre des valeurs de jitter supérieures à 7%.

Ce tableau confirme aussi le très faible temps d'accroche des circuits CDR en boucle ouverte (seulement 50 bits dans [Lia_08] et [Rad_03]).

En outre à débit égal, la consommation de cette catégorie de CDR est globalement plus basse que celle des circuits à base de systèmes asservis. A titre d'exemple à 2,5 Gbit/s, on constate une consommation de 775,5 mW [Dal_05] (système asservi) et de seulement 7,08 mW [Lia_09] (boucle ouverte). Cette faible consommation des systèmes en boucle ouverte est essentiellement due à la simplicité des architectures. Il en est de même pour la surface silicium occupée.

Référence	[Bro_07]	[Edw_03]	[Han_07]	[Kub_10]	[Lee_07]	[Lia_08]	[Lia_09]	[Rad_03]	[Taj_05]
Année	2007	2003	2007	2010	2007	2008	2009	2003	2005
Débit	3,2 Gbit/s	3,125 Gbit/s	1,25 Gbit/s	125 Mbit/s	20 Gbit/s	10 Gbit/s	2,5 Gbit/s	125 Mbit/s	20 Gbit/s
Type	Sur échantillonnage	Verrouillage par injection	CDR GRO	Sur échantillonnage	Verrouillage par injection	CDR GRO	CDR GRO	Filtrage	CDR GRO
Application	NC	NC	NC	NC	Réseaux optiques passifs (PONS)	Communication optique	NC	Réseau local LAN	Interconnexions haute densité
Cible d'implantation	ASIC (CMOS 0,13 µm)	ASIC CMOS 0,18 µm	ASIC CMOS 0,18 µm	FPGA (Xilinx Spartan 3)	ASIC CMOS 90 nm	ASIC CMOS 0,18 µm	ASIC CMOS 55 nm	Fibre optique	ASIC CMOS 0,18 µm
Résultats	Mesure	Mesure	Mesure	Mesure	Mesure	Mesure	Mesure	Mesure	Simulation
Jitter	85,6 ps (pk-pk) 13,2 ps (RMS)	NC	100 ps (pk-pk)	NC	13,77 ps (pk-pk) 1,87 ps RMS	42,7 ps (pk-pk) 8,5 ps RMS	28,89 ps (pk-pk)	NC	NC
Jiiter (pk-pk) en %UI	27,39% UI	-	12,5% UI	-	27,54% UI	42,7% UI	7,22% UI	-	-
Consommation	19,5 mW	80 mW	110 mW	51 mW	175 mW	36 mW	7,08 mW	NC	70,2 mW
Temps d'accroche	NC	NC	NC	NC	"< 500 bits"	< 5 ns (50 bits)	2 µs (5000 bits)	400 ns (50 bits)	1,3 µsec (3250 bits)
NBIC	NC	NC	> 7	NC	NC	> 11	> 253	NC	NC
Plage de capture	NC	NC	1,1 - 1,35 Gbit/s	NC	800 MHz	NC	1,9 - 3,5 GHz	NC	NC
Surface silicium	275 µm x 295 µm	1 mm x 160 µm	~ 470 µm x 250 µm	NC	0,8 mm x 1,2 mm	450 µm x 350 µm	0,69 mm ² (Pads inclus)	-	0,045 mm ²

NC : Non communiqué

Tableau I.5. Etat de l'art des modules CDR basés sur des systèmes en boucle ouverte

Conclusion sur l'état de l'art des circuits CDR

En définitive, les deux catégories de CDR (boucle ouverte et système asservi) présentent chacune leurs avantages et inconvénients.

Dans le 2nd chapitre de ce manuscrit, nous présenterons une réalisation de circuits CDR visant de très bonnes performances en termes de jitter et de consommation. Pour cela, il est important de classifier les différents états de l'art présentés dans ce chapitre en mettant l'accent particulièrement sur le jitter et la consommation. Les deux catégories de circuits CDR (systèmes asservis et boucle ouverte) sont prises en compte dans cette étude. Sur la figure I.56, nous traçons le jitter en valeur relative en fonction de la consommation ramenée au débit ($\frac{P_{DC}}{D_b}$) de quelques circuits des différents états de l'art.

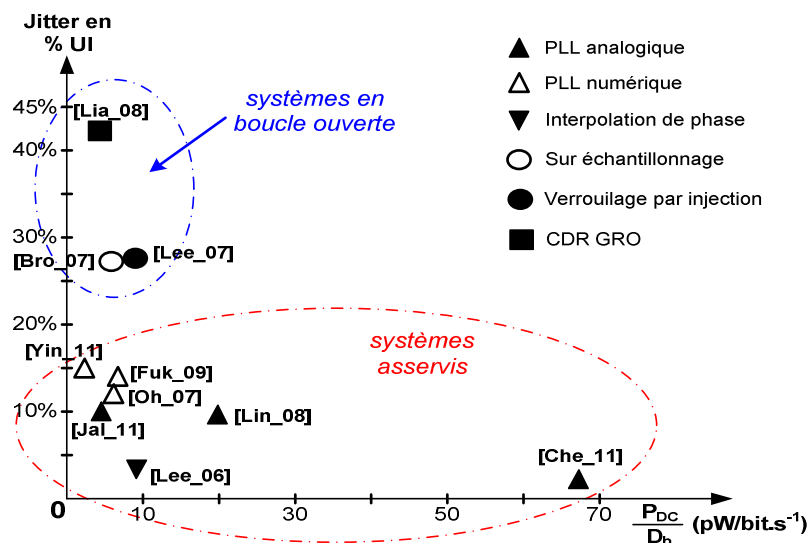


Figure I.56: Performances (jitter en fonction de la consommation) de différents modules CDR

La figure I.56 confirme que les circuits CDR à base de systèmes asservis présentent un meilleur jitter. Les systèmes en boucle ouverte consomment globalement très peu mais ont un jitter très important. De cette étude, on peut établir un facteur de mérite F_m prenant en compte le jitter (en %UI) J_{UI} et la consommation (ramenée au débit). Soient J_{pp} le jitter d'horloge peak-to-peak, P_{DC} la consommation globale du circuit CDR, on pose (P_{DC} est exprimée en mW et J_{pp} en ns) :

$$F_m = \frac{1}{J_{UI}} * \frac{1}{\frac{P_{DC}}{D_b}} = \frac{D_b}{J_{pp} * D_b * P_{DC}} = \frac{1}{J_{pp} * P_{DC}}$$

Le tableau I.6 donne le facteur de mérite des modules CDR comparés sur la figure I.56.

Publication	[Bro_07]	[Che_11]	[Fuk_09]	[Jal_11]	[Lee_06]	[Lee_07]	[Lia_08]	[Lin_08]	[Oh_07]	[Yin_11]
Catégorie	BO	SA	SA	SA	SA	BO	BO	SA	SA	SA
F_m (mW ⁻¹ .ns ⁻¹)	0,60	0,75	1,10	2,53	2,99	0,41	0,65	0,55	1,61	2,10

BO = Boucle ouverte, SA = Système asservi

Tableau I.6. Facteur de mérite de quelques circuits CDR

Globalement, les circuits à base de systèmes asservis présentent un meilleur facteur de mérite (cf tableau I.6). Cela se justifie essentiellement par le fait que d'une part, le temps d'accroche ne soit pas pris en compte dans la définition de F_m . D'autre part, les circuits CDR basés sur des systèmes bouclés présentent d'excellentes performances en termes de jitter. Ce comparatif aiguillera particulièrement le choix de l'architecture du module CDR présenté dans le second chapitre de ce manuscrit.

De façon plus générale, il convient, en fonction des applications visées et des performances attendues (jitter, consommation, temps d'accroche, N_{BIC} , ...), de choisir l'architecture de CDR la plus convenable. Le tableau I.7 est établi à partir des états de l'art des modules CDR présentés dans ce chapitre. Il résume essentiellement les avantages et inconvénients des circuits CDR discutés dans ce paragraphe.

		Avantages	Inconvénients
Systèmes bouclés	PLL	Grand N_{BIC} Faible jitter	Temps d'acquisition élevé Intégration des composants passifs (filtre de boucle) Plage de capture limitée, Agilité moyenne
	DLL	Faible temps d'acquisition Agilité, plage de capture Stabilité	Jitter important Faible N_{BIC} Intégration des composants passifs
	PLL / DLL	Temps d'acquisition Faible jitter	Taille circuit, consommation Complexité, étude séparée des 2 boucles Intégration des composants passifs
	ELGS	Comportement / bruit N_{BIC} grand Jitter faible	Taille circuit, consommation importante Plage de capture faible Agilité moyenne
	Interpolation de phase	Bon N_{BIC} Temps d'acquisition faible Faible jitter	Grosse Consommation Nécessite souvent PLL ou DLL de référence
Boucle ouverte	Sur échantillonnage	Stabilité inhérente Temps d'acquisition faible Grande agilité	Nécessite VCO / PLL multi-phase Taille circuit, consommation Faible N_{BIC}
	CDR GRO	Architecture simple Temps d'acquisition faible Faible taille du circuit Stabilité	Faible N_{BIC} Très sensible aux variations process Jitter important
	Filtrage	Architecture simple Faible temps d'acquisition Stabilité	Nécessite un filtre à très haut facteur de qualité Faible N_{BIC} , Jitter important Sensibilité du filtre aux variations process
	Verrouillage par injection	Faible temps d'acquisition Grande agilité Stabilité	Faible N_{BIC} , Jitter moyen Plage de capture moyenne Sensibilité aux variations process

Tableau I.7. Résumé des avantages et inconvénients des architectures CDR

A la lumière de ce tableau de synthèse et des différents états de l'art discutés dans ce chapitre, il ressort des critères qui permettent d'aiguiller le choix de l'architecture de CDR adéquate.

La cible d'implantation du circuit (ASIC ou FPGA) donne des orientations quant à la structure de CDR à adopter. En effet, l'implantation sur cible FPGA implique l'utilisation d'un circuit entièrement numérique qui soit synthétisable par les outils de synthèse existants. Cela réduit alors le choix des architectures de CDR qui se limitent alors le plus souvent aux PLL, DLL et ELGS numériques. A l'opposé, l'implantation sur ASIC offre plus de possibilités du fait qu'aussi bien les circuits analogiques que les circuits numériques peuvent être pris en charge. Dans ce cas, ce sont les autres critères qui vont déterminer le choix de l'architecture qui convient le mieux.

Le débit de transmission est aussi un critère assez déterminant. En effet, si certaines architectures de CDR sont plus performantes en basses fréquences, d'autres sont très vite limitées en hautes fréquences. La PLL analogique, lorsque des comparateurs de phase de type « Half-rate » ou « quarter-rate » sont utilisés, peut fonctionner avec des débits de transmission qui peuvent monter jusqu'à 40 Gbit/s [Lee_03]. Les circuits CDR numériques, lorsqu'ils sont implantés sur FPGA, sont limités en hautes fréquences car ils nécessitent une fréquence d'échantillonnage très élevée pour fonctionner correctement et garantir des performances optimales.

Les performances visées par le concepteur constituent le critère de sélection le plus en vue. Cela concerne généralement tous les critères de performances présentés dans I.1.3. Nous discutons ici seulement des critères qui sont les plus mis en avant à l'état actuel de la recherche tout en gardant à l'esprit que tous les critères ne peuvent être optimisés et que des compromis s'imposent dans tous les cas.

- Le jitter (bruit de phase) sur l'horloge de sortie du circuit CDR est généralement plus faible dans les architectures à bases de systèmes asservis de type PLL ou ELGS du fait que le bruit en entrée est filtré par la boucle. A l'opposé, les modules CDR basés sur des systèmes en boucle ouverte souffrent souvent d'un jitter important. En particulier dans les architectures de CDR basées sur le sur échantillonnage, c'est généralement la fréquence d'échantillonnage et le déphasage élémentaire entre les horloges générés par le bloc VCO/PLL multi-phase qui conditionne la résolution du module CDR, donc le jitter.
- La plage de capture est généralement plus faible dans les CDR basés sur des systèmes asservis, car limitée par la plage de linéarité du comparateur de phase. Les systèmes en boucle ouverte ne connaissent pas cette limitation et possèdent donc généralement une meilleure plage de capture. Il en est de même pour le temps d'acquisition et le temps de réponse.
- Les performances vis-à-vis du bruit sont généralement caractérisées par l'évolution du taux d'erreur bit TEB en fonction du rapport signal à bruit SNR du signal d'entrée. Sans aucun doute, les circuits CDR à base de systèmes asservis sont les meilleurs candidats pour réaliser de meilleures performances dans le bruit, car ils constituent un filtre vis-à-vis du bruit en entrée. En

particulier, l'ELGS constitue le module CDR le plus convenable pour réaliser un bon TEB pour des rapports signal à bruit assez faibles du signal d'entrée.

- Le nombre de bits de maintien tolérés (N_{BIC}) est largement meilleur dans les architectures de systèmes asservis. Les modules CDR à base de système en boucle ouverte ont de manière générale une très agilité (faible temps de réponse), ce qui justifie leur mauvais N_{BIC} .
- Enfin, la consommation, la surface occupée sur silicium ou encore le nombre de cellules logiques utilisées évoluent dans le même sens. Les CDR basés sur des systèmes asservis consomment globalement plus que ceux en boucle ouverte qui sont également moins gros en termes de taille de circuit.

Conclusion du chapitre I

Ce chapitre permet d'avoir une vue globale des circuits CDR mis en œuvre dans les communications sans fil. Les critères de performances (jitter, temps d'accroche, plage de capture, agilité, N_{BIC} , consommation, ...) décrits en début de chapitre permettent de comparer les différentes architectures de CDR présentées.

Deux catégories de fonctions CDR ont été discutées dans ce chapitre : les circuits basés sur les systèmes asservis et ceux reposant sur des systèmes en boucle ouverte. La première catégorie demeure la plus utilisée à l'état actuel de la recherche. Plusieurs structures ont été présentées dans cette catégorie : PLL analogique, PLL numérique, ELGS, interpolation de phase. Ces circuits CDR offrent notamment de bonnes performances en termes de jitter et de bits de maintien (N_{BIC}). Au cours de ce chapitre, un accent particulier a été mis sur ce type de CDR. Plusieurs raisons expliquent ce choix. D'abord, l'état de l'art montre que ce sont les modules CDR les plus prisés aujourd'hui dans les systèmes de communication sans fil. Ensuite dans le cadre de cette thèse, ce sont ces circuits qui ont été les plus étudiés.

La deuxième catégorie (systèmes en boucle ouverte) comprend essentiellement les circuits basés sur le sur échantillonnage, le filtrage, le verrouillage en injection, les fonctions CDR GRO. Ce type de circuit CDR présente également ses avantages. En effet, elle se distingue généralement par la simplicité des architectures et très souvent par son aspect faible coût. Ses performances moins bonnes en termes de jitter et de N_{BIC} sont compensées par un très faible temps de verrouillage et une consommation réduite.

Le chapitre suivant propose l'étude et la conception d'un module CDR basé sur une PLL analogique. Cette architecture a été développée dans le cadre de la synchronisation de données au sein d'un récepteur Ultra Large Bande (ULB) impulsionnel non cohérent.

Bibliographie du Chapitre I

- [Adl_73] R. Adler "A Study of Locking Phenomena in Oscillators", Proc. IEEE, vol. 61, pp. 1380-1385, Oct. 1973.
- [Agi_03] Agilent® "Jitter Analysis Techniques for High Data Rates", Application Note 1432, Agilent Technologies, Inc. 2003.
- [Ahm_05] S. I. Ahmed, T. A. Kwasniewski "Overview of Oversampling Clock and Data Recovery Circuits", Canadian Conference on Electrical and Computer Engineering, 2005.
- [Alex_75] J. D. H. Alexander "Clock Recovery from Random Binary Signals", Electronic Letters, vol. 11, pp.541-542, October, 1975.
- [All_04] G. Allan, J. Knight "Low Complexity Digital PLL for Instant Acquisition CDR", Proceedings of the 2004 International Symposium on Circuits and Systems ISCAS '04, May 2004.
- [Ana_01] S. B. Anand, B. Razavi "A CMOS Clock Recovery Circuit for 2.5-Gb/s NRZ Data", IEEE Journal Of Solid-State Circuits, Vol. 36, No. 3, March 2001.
- [Best_03] R. E. Best "Phase-Locked Loops: design, simulation ans applications", Fifth Edition McGraw-Hill, 2003.
- [Bou_11] J. Bouloc, L. Nony, C. Loppacher, W. Rahajandraibe, F. Bocquet, L. Zaid "FPGA-Based Programmable Digital PLL with Very High Frequency Resolution", 18th IEEE International Conference on Electronics, Circuits and Systems (ICECS), 2011.
- [Bro_07] M. Brownlee, P. K. Hanumolu, U. Moo "A 3.2Gb/s Oversampling CDR with Improved Jitter Tolerance", IEEE Custom Integrated Circuits Conference, pp. 353-356, Sept. 2007.
- [Che_05] P. Chen, C. Chung, C. Lee "A Portable Digitally Controlled Oscillator Using Novel Varactors", IEEE transactions on circuits and systems-II: Express briefs, Vol. 52, No. 5, May 2005.
- [Che_07] C. Chen, J. Chang, S. Liu "A DLL-Based Variable-Phase Clock Buffer", IEEE Transactions on Circuits and Systems —II: Express Briefs, Vol. 54, No. 12, December 2007.
- [Che_09] F. -T. Chen, J. -M. Wu "An extended phase detector 2.56/3.2 Gb/s clock and data recovery design with digitally assisted lock detector", in Proc. IEEE International Symposium on Circuits and Systems, May 2009, pp. 1831-1834.
- [Che_11] C. Chen, C. Wang, C. Juan "A Fast-locking Clock and Data Recovery Circuit with A Lock Detector Loop", 13th International Symposium on Integrated Circuits (ISIC), December 2011.
- [Dal_05] D. Dalton, K. Chai, E. Evans, M. Ferriss, D. Hitchcox, P. Murray, S. Selvanayagam, P. Shepherd, L. DeVito, "12.5-Mb/s to 2.7-Gb/s Continuous-Rate CDR with Automatic Frequency Acquisition and Data-Rate Readback", IEEE Journal of Solid-State Circuits, vol. 40, no.12, pp.2713–2725, Dec. 2005.
- [Edw_03] M.-J. Edward Lee et al. "A Second-Order Semi-Digital Clock Recovery Circuit Based on Injection Locking", IEEE International Solid-State Circuits Conference, vol 1, pp 74 – 75, 2003.
- [Fah_10] F. Ben Abdeljelil "Contribution à la conception et à la réalisation de synthétiseurs de fréquences pour communications satellitaires", Thèse de doctorat, Université de Nice-Sophia Antipolis, Juillet 2010.
- [Fuk_09] K. Fukuda, H. Yamashita, F. Yuki, G. Ono, R. Nemoto, E. Suzuki, T. Takemoto, M. Kono, T. Saito "A 10-Gb/s Receiver with Track-and-Hold-Type Linear Phase Detector and Charge-Redistribution First-Order $\Delta\Sigma$ Modulator in 90-nm CMOS", IEEE Journal of Solid-State Circuits, vol. 44, Issue 12, pp. 3539 – 3546, Dec. 2009.
- [Gar_79] F. M. Gardner "Phaselock Technique", Second Edition Wiley, 1979.

- [Gar_80] F. M. Gardner "Charge-Pump Phase-Lock Loops", IEEE transactions on communications, VOL. COM-28, NO. 11, Nov. 1980.
- [Haj_98] A. Hajimiri, "Jitter and phase noise in electrical oscillators", PhD thesis, Stanford University, 1998.
- [Han_07] P. -S. Han, W. -Y. Choi "1.25/2.5-Gb/s Dual Bit-Rate Burst-Mode Clock Recovery Circuits in 0.18- μ m CMOS Technology", IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 54, issue: 1, pp. 38 – 42, Jan. 2007.
- [Her_98] F. Herzel "An Analytical Model for the Power Spectral Density of a Voltage-Controlled Oscillator and its Analogy to the Laser Line width Theory", IEEE Trans. On Circuits and Systems I, vol. 45, pp. 904-908, Sept. 1998.
- [Hog_85] C. R. Hogge "A self-correcting clock recovery circuit", IEEE J. Lightwave Technol., vol. LT-3, pp. 1312-1314, Dec. 1985.
- [Hsi_08] M. Hsieh, G. E. Sobelman "Architectures for Multi-Gigabit Wire-Linked Clock and Data Recovery", IEEE Circuits and Systems Magazine, fourth quarter 2008.
- [Hsu_08] C. Hsu "Techniques for High-Performance Digital Frequency Synthesis and Phase Control", PhD thesis, Massachusetts Institute of Technology, September 2008.
- [Hua_12] Y. Huang, P. Wang, S. Liu "An All-Digital Jitter Tolerance Measurement Technique for CDR Circuits", IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 59, pp. 148-152, March 2012.
- [Jal_11] M. S. Jalali, A. S. Diakhtar, S. Mirabbasi "A Hybrid Phase-Locked Loop for CDR Applications", IEEE International Symposium on Circuits and Systems (ISCAS), May 2011.
- [Jov_05] G. Jovanović, M. Stojčev, D. Krstić "Delay Locked Loop with Linear Delay Element", 7th International Conference on Telecommunications in Modern Satellite, Cable and Broadcasting Services, September 2005.
- [Kak_11] V. Kakani, F. F. Dai "A 4.2-4.7GHz, 3.7mW Digitally Controlled Oscillator RFIC", Symposium on IEEE International Circuits and Systems (ISCAS), May 2011.
- [Kim_12] M. S. Kim, Y. Kim "All-Digital Phased-Locked Loop with Local Passive Interpolation Time-to-Digital Converter Based on a Tristate Inverter", 55th International Midwest Symposium on Circuits and Systems, August 2012.
- [Kra_07] V. Kratyuk, P. Hanumolu, U. Moon, K. Mayaram "A Design Procedure for All-Digital Phase-Locked Loops Based on a Charge-Pump Phase-Locked-Loop Analogy", IEEE transactions on circuits and systems-II: Express briefs, Vol. 54, No. 3, March 2007.
- [Kre_05] R. Kreienkamp, U. Langmann, C. Zimmermann, T. Aoyama, and H. Siedhoff, "A 10-Gb/s CMOS Clock and Data Recovery Circuit with an Analog Phase Interpolator", IEEE Journal of Solid-State Circuits, vol. 40, No. 3, pp. 736–743, Mar. 2005.
- [Kub_10] M. Kubiček, Z. Kolka "Blind Oversampling Data Recovery with Low Hardware Complexity", Radio engineering, Vol. 19, No. 1, April 2010.
- [Kum_10] M. Kumar, S. K. Arya, S. Pandey, Timsi "Low Power CMOS Digitally Controlled Oscillator", International Journal of Engineering and Technology Vol. 2 (4), pp. 240-244, 2010.
- [Kum_12] M. Kumar, S. K. Arya, S. Pandey "Digital Controlled Oscillator Design with Novel 3 Transistors XOR Gate", International Journal of Smart Home Vol. 6, No. 1, January, 2012.
- [Lee_00] J. Lee, M. Keel, S. Lim "Charge pump with perfect current matching characteristics in phase-locked loops", [Electronics Letters](#), 2000.

- [Lee_03] J. Lee and B. Razavi, "A 40-Gb/s clock and data recovery circuit in 0.18 μ m CMOS technology", *Solid-State Circuits, IEEE Journal of*; Vol. 38, Issue 12, pp.2181- 2190, Dec. 2003.
- [Lee_06] S. Lee, C. Seong, W. Choi, B. Lee "Clock and Data Recovery Circuit Using Digital Phase Aligner and Phase Interpolator" 49th IEEE International Midwest Symposium on Circuits and Systems, MWSCAS '06, Aug. 2006.
- [Lee_07] J. Lee, M. Liu "A 20Gb/s Burst-Mode CDR Circuit Using Injection-Locking Technique", IEEE International Solid-State Circuits Conference, pp. 46-586, Feb. 2007.
- [Lee_66] D. B. Leeson, "A Simple Model of Feedback Oscillator Noise Spectrum" *Proc. IEEE*, vol.54, pp. 329-330, Feb. 1966.
- [Lee_92] T. H. Lee, J. F. Bullzachelli "A 155-MHz Clock Recovery Delay- and Phase-Locked Loop", *IEEE Journal of Solid-State Circuits*, Vol. 27, No. 12, December 1992.
- [Lia_08] C. -F. Liang, H. -L. Chu, S. -I. Liu "10-Gb/s Inductorless CDRs with Digital Frequency Calibration" , *IEEE Trans. on Circuits Syst. I*, pp. 2514 – 2524, Oct. 2008.
- [Lia_09] C. Liang, S. Hwu, Y. Tu, Y. Yang, H. Li "A Reference-Free, Digital Background Calibration Technique for Gated-Oscillator-Based CDR/PLL", *Symposium on VLSI Circuits*, June 2009.
- [Lin_08] S.-H. Lin, S.-I. Liu, "Full-rate bang bang phase/frequency detectors for unilateral continuous-rate CDRs," *IEEE Transactions on Circuits and Systems II*, vol. 55, no. 12, pp. 1214-1218, Dec. 2008.
- [Mai_02] X. Maillard, F. Devisch, and M. Kuijk, "A 900-Mb/s CMOS Data Recovery DLL Using Half-Frequency Clock", *IEEE Journal of Solid-State Circuits*, vol. 37, no. 6, pp. 711–715, Dec. 2002.
- [Maj_10] C. Majek, , P.L. Peslouan, A. Mariano, H. Lapuyade , Y. Deval, J. Bégueret "Voltage Controlled Delay Line with Phase Quadrature Outputs for [0.9-4]GHz Factorial Delay Locked Loop Dedicated to Zero-IF Multi-Standard Local Oscillator", *Journal Integrated Circuits and Systems* 2010.
- [Mes_05] B. Mesgarzadeh, A. Alvandpour "A Study of Injection Locking in Ring Oscillators", *IEEE International Symposium on Circuits and Systems*, Vol. 6, pp. 5465 – 5468, May 2005.
- [McC_03] M. S. McCorquodale, M. K. Ding, R. B. Brown "Study and Simulation of CMOS LC Oscillator Phase Noise and Jitter", *Proceedings of the International Symposium on Circuits and Systems*, May 2003.
- [Mul_07] P. Muller, Y. Leblebici "CMOS Multichannel Single-Chip Receivers for Multi-Gigabit Optical Data Communications", *Springer* 2007.
- [Nat_01] National Semiconductor "An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump PLL's", *Application Note 1001*, July 2001.
- [Oh_07] D. -H. Oh, D. -S. Kim, S. Kim, D. -K. Jeong "A 2.8 Gb/s All-Digital CDR with a 10b Monotonic DCO", *IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers*, pp. 222 – 598, Feb. 2007.
- [Per_09] M. H. Perrott, "Making Better Use of Time in Mixed-Signal Circuits", *Center for Integrated Circuits and Systems, Massachusetts Institute of Technology*, July 2009.
- [Perr_09] M. H. Perrott, "Tutorial on Digital Phase-Locked Loops", *IEEE Custom Integrated Circuits Conference*, September 2009.
- [Pot_96] D. Potson and A. Buchholz, "A 143-360 Mb/s auto-rate selecting data-retimer chip for serial-digital video signals", *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 1996, pp. 196–197.

- [Rambus] Rambus ® “Phase Interpolator Based CDR”, http://www.rambus.com/in/technology/innovations/detail/phase_interpolator.html
- [Rad_03] I. Radovanovic, W. Etten, H. Freriks, “Ethernet-Based Passive Optical Local-Area Networks for Fiber to the Desk Application”, IEEE Journal of Lightwave Technology, vol. 21, no. 11, pp. 2534–2545, Nov.2003.
- [Rav_09] P. N. Ravichandran, S. Sharma, S. Kulkarni, P. Lakshminarsimhan “Design and Implementation of Early-Late Gate Bit Synchronizer for Satellite Communication”, NCC 2009, January 16-18, IIT Guwahati.
- [Raz_02] B. Razavi “Challenges in the Design of High-Speed Clock and Data Recovery Circuits”, IEEE Communications Magazine, August 2002.
- [Raz_04] B. Razavi “A study of injection locking and pulling in oscillators”, IEEE Journal of Solid-State Circuits, vol. 39, pp. 1415-1424, Sept. 2004.
- [Raza_02] B. Razavi “Design of Integrated Circuits for Optical Communications”, First Edition McGraw-Hill Science/Engineering, September 2002.
- [Rhe_03] W. Rhee, H. Ainspan, S. Rylov, A. Rylyakov, M. Beakes, D. Friedman, S. Gowda, M. Soyuer “A 10-Gb/s CMOS clock and data recovery circuit using a secondary delay-locked loop”, Proceedings of the IEEE Custom Integrated Circuits Conference, Sept. 2003.
- [Sam_04] P. Sameni, S. Mirabbasi “A 1/8-rate clock and data recovery architecture for high-speed communication systems”, Proceedings of the International Symposium on [Circuits and Systems, 2004](#).
- [Sav_01] J. Savoj and B. Razavi, “A 10-Gb/s CMOS Clock and Data Recovery Circuit with a Half Rate Linear Phase Detector”, IEEE J. Solid-State Circuits, vol. 36, May 2001, pp. 761 – 768.
- [Seo_02] S. Song, J. Lee, S. M. Park, H. Yoo “A 4-Gb/s Clock and Data Recovery Circuit Using Four-Phase 1/8-Rate Clock”, [Proceedings of the 28th European Solid-State Circuits Conference, 2002](#).
- [Sha_89] Y. R. Shayan, T. Le-Ngoc “All-digital phase-locked-loop: conception, design and applications”, IEEE proceedings, Vol. 136, Pt. F, No. 1, February 1989.
- [Sid_97] S. Sidiropoulos, M. A. Horowitz “A Semi digital Dual Delay-Locked Loop”, IEEE Journal of Solid-State Circuits, Vol. 32, No. 11, November 1997.
- [Sil_09] J. P. Silver “LC Oscillator Tutorial”, www.rfic.co.uk, 2009.
- [Sta_05] R. B. Staszewski, et al. “All-Digital PLL and Transmitter for Mobile Phones”, IEEE J. Solid-State Circuits, vol. 40, no. 12, pp. 2469-2480, Dec. 2005.
- [Ste_01] D. R. Stephens “Phase-Locked Loops for Wireless Communications: Digital, Analog and Optical Implementations”, Second Edition Springer, November 2001.
- [Str_09] M.Z. Straayer, M.H. Perrott, “A Multi-Path Gated Ring Oscillator TDC With First-Order Noise Shaping”, IEEE J. Solid-State Circuits, vol. 44, , pp. 1089-1098, April 2009.
- [Tall_09] N. Tall “Réalisation d’un intégrateur numérique et mise en œuvre de la synchronisation dans un récepteur UWB impulsif non cohérent”, Rapport de stage IM2NP, Juillet 2009.
- [Taj_05] A. Tajalli, P. Muller, M. Atarodi, Y. Leblebici “A low-power, multichannel gated oscillator-based CDR for short-haul applications”, Proceedings of the 2005 International Symposium on Low Power Electronics and Design (ISLPED), Aug. 2005.
- [Tan_00] Y. Tang, R. L. Geiger “A non-sequential phase detector for PLL-based high-speed data/clock recovery”, [Proceedings of the 43rd IEEE Midwest Symposium on Circuits and Systems](#), pp. 428 – 431, vol. 1, 2000.

- [Tek_03] Tektronix® "*Understanding and Characterizing Timing Jitter*", Tektronix, 2003.
- [Ter_04] J. Lee, M. Keel, S. Lim "The design of a differential CMOS charge pump for high performance phase-locked loops", Proceedings of the 2004 [International Symposium on Circuits and Systems, 2004.](#)
- [Wal_02] R. Walker, P. Alto "*Clock and Data Recovery for Serial Digital Communications*", *IEEE International Solid-State Circuits Conference—Short Course*, <http://www.omnisterra.com/walker/pdfs.talks/ISSCC2002.pdf>, Feb.2002.
- [War_03] C. Ware "*Récupération d'horloge par boucle à verrouillage de phase utilisant le mélange à quatre ondes dans un amplificateur optique à semi-conducteurs*", Thèse de doctorat, Telecom Paris, Décembre 2003.
- [Yan_07] D. L. Yan, M. K. Raja, A. B. Ajikuttira "A Gated-Oscillator based Burst-Mode Clock and Data Recovery (CDR) Circuit", IEEE International Workshop on Radio-Frequency Integration Technology, Singapore, Dec. 9-11, 2007.
- [Yin_11] D. L. Yan, M. K. Raja, A. B. Ajikuttira "A TDC-less 7 mW 2.5Gb/s digital CDR with linear loop dynamics and offset-free data recovery", IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC), Feb. 2011.
- [Yang_06] R.-J. Yang, K.-H. Chao, S.-C. Hwu, C.-K. Liang, S.-I. Liu, "A 155.52 Mbps-3.125 Gbps continuous-rate clock and data recovery circuit", *IEEE Journal Solid-State Circuits*, vol. 41, no. 6, pp. 1380-1390, June 2006.
- [Zha_04] R. Zhang "*Clock and Data Recovery circuits*", PhD thesis, Washington State University, August 2004.
- [Zic_08] P. Zicari, P. Corsonello, S. Perri "A high flexible Early-Late Gate Bit Synchronizer in FPGA-Based Software Defined Radios", 4th European Conference on Circuits and Systems for Communications, pp. 252-255, July 2008.

**Chapitre II : CDR analogique destiné à la gestion d'énergie
dans le cadre d'un récepteur ultra large bande
impulsionnel non cohérent**

SOMMAIRE

INTRODUCTION DU CHAPITRE II	ERREUR ! SIGNET NON DEFINI.
II.1. CONCEPT DE LA GESTION D'ENERGIE	ERREUR ! SIGNET NON DEFINI.
II.2. GENERALITES SUR LES COMMUNICATIONS SANS FIL ULTRA LARGE BANDE	ERREUR ! SIGNET NON DEFINI.
II.2.1. HISTORIQUE ET REGLEMENTATIONS	ERREUR ! SIGNET NON DEFINI.
II.2.2. CARACTERISTIQUES DES COMMUNICATIONS ULB IMPULSIONNELLES	ERREUR ! SIGNET NON DEFINI.
II.2.2.1. Principe et avantages	Erreur ! Signet non défini.
II.2.2.2. Emission.....	Erreur ! Signet non défini.
II.2.2.3. Réception : détection cohérente et détection non cohérente	Erreur ! Signet non défini.
II.3. ETAT DE L'ART DES RECEPTEURS ULB IMPULSIONNELS NON COHERENTS ..	ERREUR ! SIGNET NON DEFINI.
II.3.1. ARCHITECTURE GENERALE DES RECEPTEURS ULB IMPULSIONNELS NON COHERENTS	ERREUR ! SIGNET NON DEFINI.
II.3.2. ETAT DE L'ART DES RECEPTEURS ULB IMPULSIONNELS NON COHERENTS	ERREUR ! SIGNET NON DEFINI.
II.4. RECEPTEUR ULB IMPULSIONNEL NON COHERENT	ERREUR ! SIGNET NON DEFINI.
II.4.1. ARCHITECTURE ET PERFORMANCES DU RECEPTEUR SANS GESTION D'ENERGIE	ERREUR ! SIGNET NON DEFINI.
II.4.2. GESTION D'ENERGIE	ERREUR ! SIGNET NON DEFINI.
II.5. CONCEPTION DE CIRCUITS CDR AU SEIN D'UN RECEPTEUR ULB IMPULSIONNEL NON COHERENT	ERREUR ! SIGNET NON DEFINI.
II.5.1. CHOIX DE L'ARCHITECTURE DU MODULE CDR.....	ERREUR ! SIGNET NON DEFINI.
II.5.2. ETUDE ET PARAMETRAGE D'UNE PLL A POMPE DE CHARGES D'ORDRE 3	ERREUR ! SIGNET NON DEFINI.
II.5.2.1. Modélisation et dimensionnement du filtre	Erreur ! Signet non défini.
II.5.2.2. PLL du 3 ^{ème} ordre et jitter	Erreur ! Signet non défini.
II.5.2.3. Conclusions sur le dimensionnement : les principaux réglages possibles... ..	Erreur ! Signet non défini.
II.5.3. CONCEPTION DE MODULES CDR A 54MHZ ET 1 MHZ	ERREUR ! SIGNET NON DEFINI.
II.5.3.1. Le discriminateur de phase.....	Erreur ! Signet non défini.
II.5.3.2. Pompe de charges	Erreur ! Signet non défini.
II.5.3.3. VCO.....	Erreur ! Signet non défini.
II.5.3.4. Calcul du filtre de boucle	Erreur ! Signet non défini.
II.5.4. OPTIMISATION DES PERFORMANCES DES CIRCUITS.....	ERREUR ! SIGNET NON DEFINI.
II.5.4.1. Marge de phase.....	Erreur ! Signet non défini.
II.5.4.2. Plage de capture.....	Erreur ! Signet non défini.
II.5.4.3. Jitter	Erreur ! Signet non défini.
II.5.4.4. Précharge de la tension de contrôle du VCO	Erreur ! Signet non défini.
II.5.4.5. Simulations corner.....	Erreur ! Signet non défini.
II.5.5. DESSIN DES MASQUES DE FABRICATION, RESULTATS DE MESURES	ERREUR ! SIGNET NON DEFINI.
II.5.5.1. Layout et simulations post-layout	Erreur ! Signet non défini.
II.5.5.2. Mesures	Erreur ! Signet non défini.
II.5.5.3. Conclusion sur les performances des circuits réalisés	Erreur ! Signet non défini.
II.5.6. IMPACT DES PERFORMANCES DU MODULE CDR SUR LA CONSOMMATION DU RECEPTEUR IR-UWB	ERREUR ! SIGNET NON DEFINI.

CONCLUSION DU CHAPITRE II ERREUR ! SIGNET NON DEFINI.

BIBLIOGRAPHIE DU CHAPITRE II ERREUR ! SIGNET NON DEFINI.

Introduction du chapitre II

Ce chapitre propose la réalisation d'un circuit CDR destiné à la gestion d'énergie dans un récepteur ultra large bande (ULB) impulsionnel non cohérent. Après avoir présenté rapidement le concept de la gestion d'énergie dans les récepteurs ULB impulsionnels, il sera question d'une description sommaire de la technologie ULB en général. Ensuite, le concept et les avantages des récepteurs ULB impulsionnels non cohérents à faible débit seront introduits. Un état de l'art de ce type de récepteur permettra d'avoir une idée des performances atteintes, notamment en termes de consommation.

Il sera également présenté dans ce chapitre l'architecture et les performances du récepteur ULB impulsionnel non cohérent dans lequel opère le circuit CDR conçu dans le cadre de cette thèse. Ce module CDR a été mis au point dans l'optique d'une réduction importante de la consommation de ce récepteur. De bonnes performances en termes de jitter et de consommation s'imposent au module CDR pour une gestion d'énergie efficiente.

Les différents états de l'art des circuits CDR présentés dans le précédent chapitre permettent un choix judicieux quant à la structure de CDR adoptée. L'architecture et le dimensionnement du module CDR seront développés dans ce chapitre. Les différentes simulations effectuées, notamment les simulations statistiques prenant en compte les variations technologiques seront également expliquées dans ce chapitre. Les résultats de simulation post-layout seront présentés avant le dessin des masques de fabrication ainsi que les performances mesurées du module CDR.

Nous terminerons ce chapitre par l'étude de l'impact des performances (consommation, jitter) du circuit CDR sur le récepteur ULB en question.

II.1. Concept de la gestion d'énergie

Ce paragraphe explique le concept de la gestion d'énergie dans les récepteurs ULB impulsionnels à faible rapport cyclique sans trop entrer dans les détails du fonctionnement des systèmes ultra large bande (ULB) radio impulsionnels. Dans le paragraphe II.2, nous présenterons quelques généralités sur la technologie ULB impulsionnelle. Nous considérons ici une transmission d'impulsions ULB de durée τ à un débit $D_b = 1/T_b$ (cf. fig. II.1).

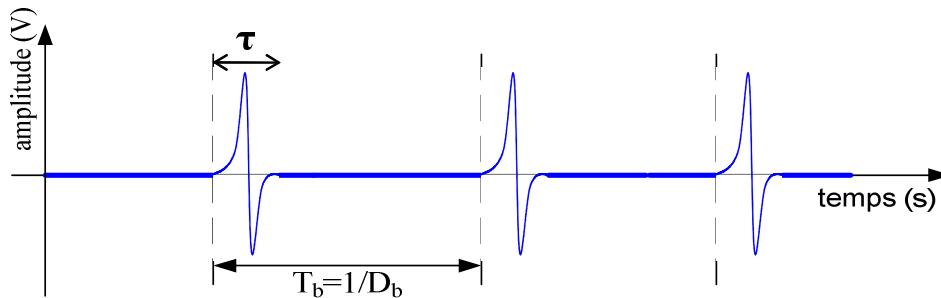


Figure II.1. Réception d'impulsions ULB

La puissance instantanée $P(t) = v_{dd} * i(t)$ est la somme de la puissance statique et de la puissance dynamique consommées par le récepteur. L'évaluation de cette puissance peut être illustrée par le schéma de la figure II.2.

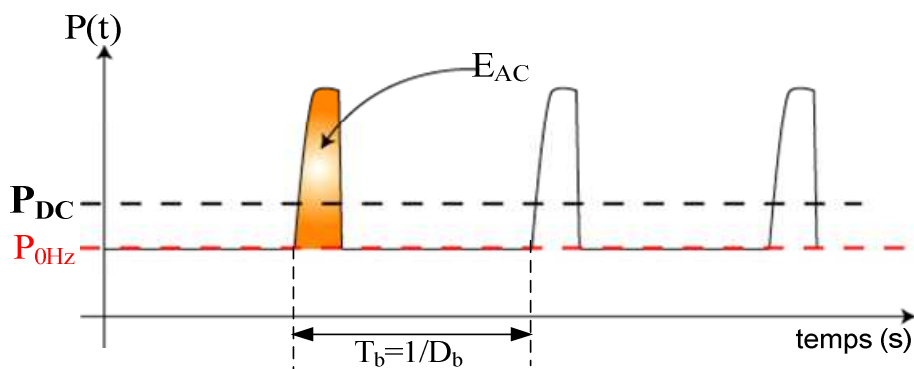


Figure II.2. Puissance consommée par un récepteur ULB impulsionnel

Sur la figure II.2, P_{0Hz} représente la puissance consommée du système lorsqu'aucune impulsion n'est transmise. Cette puissance est indépendante du débit de transmission. E_{AC} désigne l'énergie dynamique par impulsion transmise. Elle est fonction de la durée τ de l'impulsion.

Comme P_{0Hz} , E_{AC} est également indépendante de D_b . P_{DC} est la puissance moyenne consommée par le récepteur. La relation liant ces différentes grandeurs (E_{AC} , P_{0Hz} , D_b) s'écrit :

$$P_{DC} = P_{0Hz} + \frac{E_{AC}}{T_b} = P_{0Hz} + E_{AC} * D_b \quad eq. II.1$$

Le second terme de l'équation $E_{AC} * D_b$ peut être réduit dans le cas d'un faible rapport cyclique $\frac{\tau}{T_b}$. En conséquence, il ressort de *eq.II.1* que la puissance consommée P_{DC} est directement fonction du débit D_b et du rapport cyclique $\frac{\tau}{T_b}$. C'est ce qui explique les potentialités basse consommation des récepteurs ULB impulsionnels à faible rapport cyclique. En effet, le principe de la gestion d'énergie dans de tels récepteurs consiste généralement à travailler à des débits assez bas et à profiter du faible rapport cyclique de sorte à réduire au maximum l'énergie consommée par le récepteur. Dans le contexte de cette thèse, nous travaillons dans le cadre d'un récepteur ULB impulsionnel à un bas débit. La figure II.3 représente l'évolution de la puissance consommée P_{DC} en fonction du débit D_b (*eq.II.1*) pour différentes valeurs de P_{0Hz} (1 μW , 50 μW , 1 mW, 5 mW). Sur cet exemple, l'énergie dynamique E_{AC} est constante et choisie de façon arbitraire ($E_{AC} = 10 \mu J$).

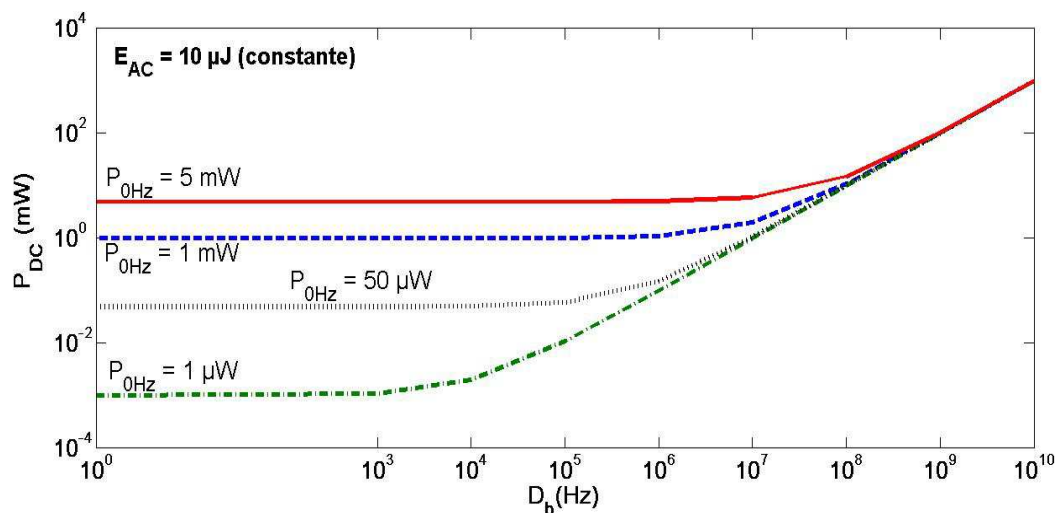


Figure II.3. Puissance consommée P_{DC} en fonction du débit D_b pour différentes valeurs de P_{0Hz} , E_{AC} constante

On constate qu'à haut débit, la puissance globale consommée est quasiment indépendante de la puissance P_{0Hz} . Cependant, dans le cas qui nous intéresse (bas débit), la figure II.3 montre que P_{DC} est conditionnée par P_{0Hz} . C'est pourquoi dans le cadre de cette thèse, l'objectif va être d'obtenir la puissance P_{0Hz} la plus faible possible.

La section suivante propose quelques généralités sur la technologie ULB.

II.2. Généralités sur les communications sans fil ultra large bande

II.2.1. Historique et réglementations

Historiquement dans les radiocommunications, la transmission d'informations est le plus souvent basée sur la modulation d'une porteuse sinusoïdale. En 1952, Pierce et Hopper [Pie_52]

évoquent la transmission d'un signal au moyen d'impulsions. A partir de là, plusieurs travaux ont été menés dans la transmission d'impulsions mais ils étaient particulièrement destinés aux radars et aux communications militaires notamment. Le terme Ultra Wide Band (UWB), Ultra Large Bande (ULB) en français, a été introduit pour la première fois par le département américain de la défense en 1989. Le début des années 2000 marque un tournant important dans l'évolution de cette technologie. En effet, plusieurs « startups » se sont développées et ont commencé à proposer sur le marché des produits « UWB ». De plus, le 14 février 2002, la FCC (Federal Communication Commission) qui s'occupe de la législation et de l'agencement des bandes radiofréquences aux Etats-Unis décide d'allouer la bande [3.1 – 10.6 GHz], soit une largeur de 7.5 GHz, utilisable sans licence [FCC_02] avec une Puissance Isotrope Rayonnée Equivalente (PIRE) moyenne et une PIRE pic régies par un masque. On considère que la PIRE moyenne représente la puissance du signal émis contenue dans une bande de 1 MHz et la PIRE pic, cette même puissance intégrée sur une largeur de bande de 50 MHz.

La technologie ULB désigne désormais tout système occupant une bande de fréquence B supérieure à 500 MHz dont la bande fractionnelle B/f_c est supérieure à 20%, f_c étant la fréquence centrale du système. La figure II.4 présente le masque des PIRE moyennes définies par la FCC.

Plus tard en février 2007, l'ECC (European Communications Committee) régle à son tour le spectre d'un signal ULB. La bande de fréquences allouée s'étend de 6 à 8.5 GHz, soit 2.5 GHz de bande. Le spectre imposé par la commission européenne est donc plus restrictif que celui défini par la norme américaine. Cependant dans ces deux réglementations, la PIRE du signal émis ne peut dépasser -41.3 dBm/MHz dans la bande autorisée. Les masques définis par les différentes réglementations définissent les valeurs pic et moyenne de la puissance des signaux émis ainsi que la bande passante tolérée. A noter que le masque établi par ces réglementations diffère selon le contexte applicatif (intérieur, extérieur, radars automobiles, imagerie, ...).

Par ailleurs, d'autres réglementations ont été mises au point, notamment en Asie (Japon, Singapour).

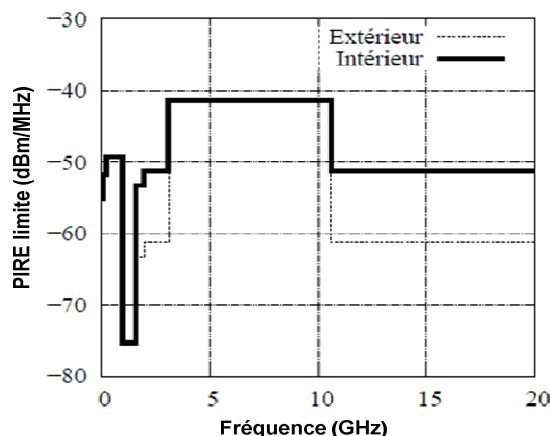


Figure II.4. Masque des PIRE moyennes (indoor et outdoor) autorisées aux Etats-Unis.

Par ailleurs, depuis la réglementation de la FCC en 2002 sur les bandes ULB, deux techniques destinées à être utilisées sur ces bandes ont été en concurrence : la communication radio impulsionnelle (Impulse Radio UltraWide Band, IR-UWB), et l'UWB-OFDM (Orthogonal Frequency Division Multiplexing). L'IR-UWB repose sur la transmission d'impulsions de très courte durée. L'émetteur/récepteur ULB impulsionnel présente souvent des architectures relativement simples et nécessite peu d'éléments pour sa mise en œuvre. L'UWB-OFDM est quant à elle basée sur un principe de multiplexage fréquentiel. Elle repose sur une transmission multi-bande et le spectre du signal émis est divisé en plusieurs sous-porteuses (cf. fig. II.5).

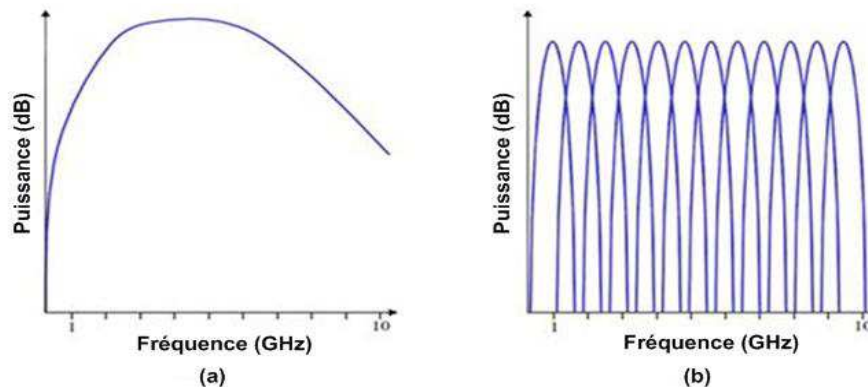


Figure II.5. Exemples de spectres d'un (a) signal IR-UWB et d'un (b) signal UWB-OFDM.

Dans toute la suite de ce chapitre, nous nous intéresserons particulièrement à la communication ULB impulsionnelle.

II.2.2. Caractéristiques des communications ULB impulsionnelles

II.2.2.1. Principe et avantages

La technique ULB impulsionnelle découle directement de celle utilisée dans les radars militaires des années 60, consistant en la transmission d'impulsions très brèves en durée. Les principales caractéristiques temporelles d'un tel signal sont la durée de l'impulsion et la plus courte durée entre deux impulsions émises qui définit le débit de transmission (cf. fig. II.6).

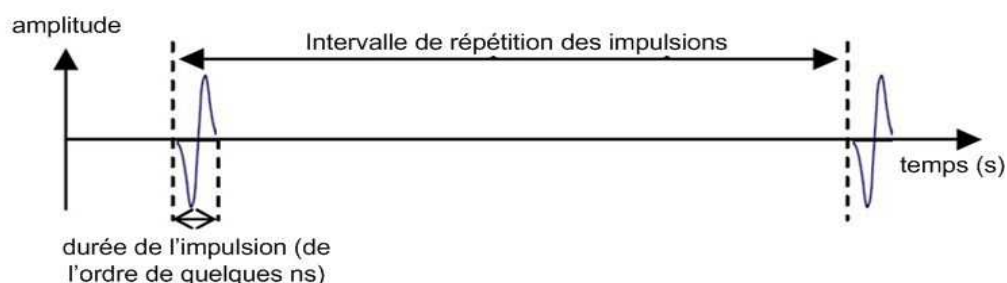


Figure II.6. Caractéristique d'un train d'impulsions ULB

Dans les systèmes ULB impulsionnels, le signal peut être transmis directement dans sa bande de fréquence (sans aucune transposition en fréquence), d'où une simplification d'architecture majeure. La technologie ULB impulsionnelle présente d'autres avantages.

En effet, la technologie ULB impulsionnelle présente des architectures moins complexes comparée à d'autres technologies de communication sans fil, d'où sa destination particulière aux applications à faible coût. En plus, la très courte durée des impulsions diminue fortement la probabilité que des impulsions issues de différents trajets se superposent, ce qui renforce l'immunité du système aux multi trajets.

Aussi, les signaux ULB sont de faible DSP (Densité Spectrale de Puissance), ils engendrent alors peu d'interférences avec d'autres systèmes à proximité.

Enfin, la communication ULB impulsionnelle offre d'excellentes potentialités d'économie d'énergie. En effet comme expliqué dans le paragraphe II.1, la puissance dynamique consommée de tels systèmes est fonction du débit de transmission. En travaillant à des débits relativement bas, la très faible durée des impulsions (rapports cycliques très faibles) permet d'obtenir des consommations très faibles.

II.2.2.2. Emission

L'émetteur ULB impulsionnel est essentiellement constitué du générateur d'impulsions. L'impulsion étant l'élément de base d'une chaîne de transmission ULB, une grande variété de modèles mathématiques d'impulsions a été étudiée afin de tendre vers le compromis idéal entre complexité de la forme de l'impulsion et occupation spectrale (respectant les masques de la réglementation). On note aujourd'hui plusieurs architectures de générateurs d'impulsions [Bac_08], entre autres [Vau_11] :

- Les générateurs d'impulsions gaussiennes
- Les générateurs d'impulsions à réponse impulsionnelle de filtre
- Les générateurs synthétisant l'impulsion
- Les générateurs d'impulsions à oscillateurs commutés

Cette partie de la thèse étant focalisée exclusivement sur le circuit de réception, l'architecture de ces générateurs ne sera pas développée dans ce manuscrit. Toutefois, les principales techniques de modulation des impulsions ULB existantes vont être brièvement présentées. En effet, de la même manière que dans les systèmes de transmission qui utilisent la modulation d'une porteuse sinusoïdale, il existe dans les communications ULB impulsionnelles différentes techniques de modulation des impulsions. Quatre schémas de modulation sont notamment présents :

- La modulation de l'amplitude de l'impulsion (PAM, Pulse Amplitude Modulation) consiste à attribuer une amplitude à l'impulsion transmise en fonction de la donnée à transmettre.
- La modulation tout ou rien (OOK, On/Off Keying) peut être vue comme un cas particulier de la modulation PAM. Dans sa forme la plus simple, elle consiste à émettre une (ou plusieurs)

impulsion pour un « 1 », le « 0 » se traduisant par l'absence d'impulsion. Elle est plus facile à mettre en œuvre que la modulation PAM de façon générale puisqu'il n'y a qu'un seul niveau d'amplitude à coder (cf. fig. II.7). La modulation OOK est très intéressante pour sa simplicité intrinsèque.

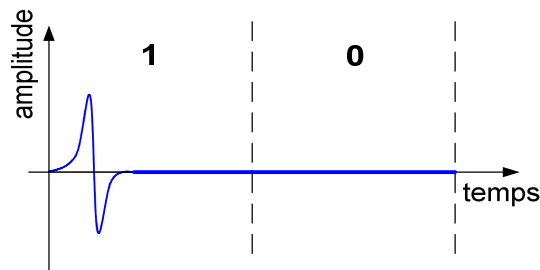


Figure II.7. Modulation OOK

- La modulation à deux états de phase (BPSK, Binary Phase Shift Keying) repose sur l'utilisation de l'information de phase (le signe) pour coder l'impulsion.
- Dans le cas de la modulation de la position de l'impulsion (PPM, Pulse Position Modulation), l'information est codée par la position temporelle de l'impulsion et non par son amplitude ou sa phase.

Il existe par ailleurs des modulations dites hybrides, combinaisons de certaines des quatre modulations présentées ci-dessus, par exemple PPM + BPSK.

Par ailleurs au niveau de la réception, de manière générale deux approches existent dans la mise en œuvre des récepteurs ULB impulsionnels : les récepteurs cohérents et les récepteurs non cohérents. Chacune de ces deux approches présente ses avantages et inconvénients et elles sont ainsi potentiellement adaptées à des domaines d'application différents.

II.2.2.3. Réception : détection cohérente et détection non cohérente

Les récepteurs cohérents reposent en principe sur la reconnaissance de la phase du signal et utilisent pour cela des architectures de corrélation glissante afin d'obtenir des performances optimales. Le principe de la détection cohérente repose sur l'analyse des pics de corrélation entre le signal ULB reçu et une impulsion de référence (template) générée localement (cf. fig. II.8). Cependant, il est très probable que les impulsions transmises soient distordues (forme, durée, ...) à la traversée du canal de transmission [Lec_09]. Un modèle de canal rigoureux s'impose alors pour prévoir de telles modifications du signal. A partir de ce modèle, un égaliseur sera nécessaire pour compenser la réponse du canal. Ce qui complique davantage la conception du récepteur, notamment lors des phases de synchronisation et de reconstitution des données émises.

En effet, dans ce type de récepteur, la récupération de la synchronisation du signal est particulièrement difficile du fait de la très courte durée (de l'ordre de quelques nanosecondes) des

impulsions reçues. En fait, la synchronisation devra être extrêmement fine pour obtenir une précision suffisamment grande pour la démodulation cohérente du signal ULB.

En raison de son coût élevé en termes de complexité de mise en œuvre et de consommation, entre autres, ce type de récepteur est généralement destiné aux applications à haut débit et à hautes performances.

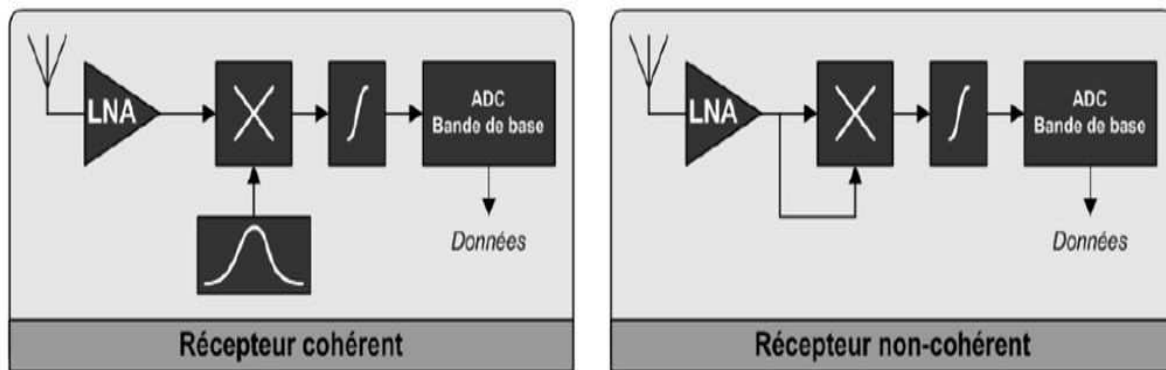


Figure II.8. Architectures de base des récepteurs cohérents et non cohérents [Mar_07]

Contrairement à la réception cohérente, la détection non cohérente s'affranchit de l'information sur la phase du signal reçu. Il n'y a pas d'impulsion générée localement au niveau du récepteur, le principe du fonctionnement repose globalement sur la détection de l'énergie des impulsions (par exemple par une mise au carré du signal reçu). Grâce à cette approche plus simple, la synchronisation devient moins contraignante et un égaliseur de canal de transmission n'est pas nécessaire. Par contre, l'absence de l'information sur la phase limite l'utilisation de modulations basées sur la phase du signal. Une telle architecture est principalement destinée aux applications à moindre coût et à bas débit.

Dans le cadre de cette thèse, la conception de circuits de récupération d'horloge et de données intervient au niveau d'un récepteur ULB impulsionnel non cohérent. Le paragraphe suivant propose un état de l'art de ce type de récepteur.

II.3. Etat de l'art des récepteurs ULB impulsionnels non cohérents

Ce paragraphe présente l'architecture globale des récepteurs ULB impulsionnels non cohérents avant de terminer par un état de l'art de ce type de récepteur.

II.3.1. Architecture générale des récepteurs ULB impulsionnels non cohérents

Les récepteurs ULB impulsionnels non cohérents se composent généralement de :

- Un amplificateur faible bruit (LNA, Low Noise Amplifier) qui doit en principe fonctionner dans une très large bande de fréquence. La difficulté consiste généralement à fournir un gain important avec le moindre facteur de bruit tout en opérant dans une très large bande.
- Un détecteur d'énergie qui est souvent formé d'une fonction « mise au carré » (“squarer”) et d'un intégrateur, ou un filtre (détecteur d'enveloppe). Une autre approche de la détection d'énergie consiste à l'utilisation de mélangeurs associés à des fonctions de filtrage.
- Une fonction de démodulation ou circuit de décision permettant de décider si c'est un « 1 » ou un « 0 » qui a été transmis. Ce bloc peut être implémenté en numérique avec la mise en œuvre d'un CAN (Convertisseur Analogique/Numérique). La démodulation peut également être réalisée en analogique où un comparateur à seuil est souvent utilisé. Ce comparateur agit en fait comme un CAN codé sur 1 bit [Deh_10], [Dok_10].
- Une fonction de synchronisation qui est dans certains cas associée au circuit de démodulation. Ce bloc a pour principal rôle de fournir, à partir des impulsions démodulées, l'horloge en phase avec ces données et le signal reconstitué correspondant à celui issu de l'émetteur, avec le moins d'erreurs possible.

Les récepteurs ULB impulsionnels non cohérents ont été particulièrement sollicités ces dernières années pour leurs potentialités faible coût, faible consommation et leur complexité réduite. Un état de l'art de ces récepteurs est présenté dans le paragraphe qui suit.

II.3.2. Etat de l'art des récepteurs ULB impulsionnels non cohérents

Dans cet état de l'art, plus que l'architecture des fonctions RF et analogiques (LNA, détecteur, démodulateur), nous mettrons en avant le principe de la gestion d'énergie utilisée ainsi que la fonction de synchronisation mise en œuvre dans de récentes publications de récepteurs ULB impulsionnels non cohérents présentant de bonnes performances en termes de consommation. Un accent particulier est mis sur les architectures à bas débit dont la gestion d'énergie est optimisée par le faible rapport cyclique des impulsions reçues.

L'essentiel de la consommation de ces récepteurs est à imputer aux LNA et détecteur d'énergie. Une manière très prisée d'optimiser cette consommation est d'éteindre les fonctions LNA, détecteur et démodulateur entre deux impulsions transmises. Dans ce contexte, Lee et Chandrakasan [Lee_07] proposent une architecture de récepteur ULB non cohérent fonctionnant dans des sous-bandes de 500 MHz dans la bande [3 – 5 GHz]. La structure comprend notamment un LNA à sortie différentielle, six étages de gain différentiels ajustables, un mélangeur passif. Une modulation de type PPM est utilisée (cf. fig. II.9).

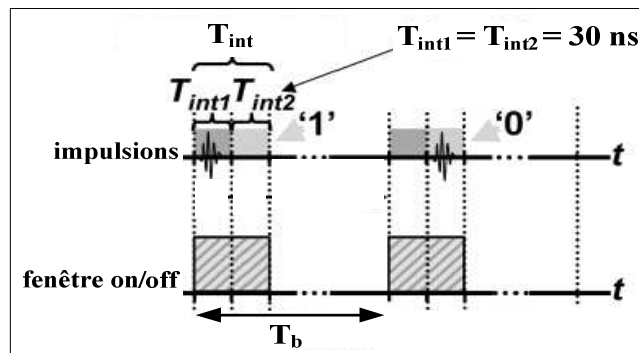


Figure II.9. Gestion d'énergie dans un récepteur ULB impulsionnel non cohérent avec une modulation PPM

Ce récepteur travaille avec des impulsions de durée 2 ns (bande de 500 MHz). La position de l'impulsion reçue détermine le bit '1' (T_{int1}) ou '0' (T_{int2}) qui a été transmis. La durée des intervalles T_{int1} et T_{int2} a été prise égale à 30 ns pour prendre en considération les pires cas de retard de l'impulsion et le temps d'allumage des fonctions RF (2 ns seulement). Ce choix fixe par ailleurs le débit maximum de transmission $\frac{1}{T_{int1} + T_{int2}} \sim 16.7$ Mbit/s.

99% de la consommation de ce récepteur est à imputer au LNA et aux six étages de gain. Comme le montre la figure II.9, le principe de la gestion d'énergie se base sur le très faible rapport cyclique des données reçues. Il consiste à allumer le récepteur seulement pendant une durée de 60 ns ($T_{int1} + T_{int2}$) et de l'éteindre le reste du temps. Pour cela, la conception des circuits du récepteur prévoit que celui-ci soit éteint et rallumé rapidement de sorte à minimiser la consommation globale. Le système utilise un quartz (externe) fonctionnant à 33 MHz.

La fenêtre de commande d'allumage et d'extinction est générée par un circuit numérique implémenté sur un FPGA (Xilinx). La synchronisation de cette fenêtre avec le FPGA est donc externe au récepteur et elle se fait manuellement (visualisation et ajustement à l'oscilloscope en temps réel de cette fenêtre on/off et des impulsions reçues). Le jitter de la fonction de synchronisation est alors négligé dans le bilan de la consommation.

La consommation indiquée est de 35,8 mW à un débit de 100 kbit/s sans gestion d'énergie. Avec la gestion d'énergie, la consommation annoncée est de 250 μ W. Toutefois, la consommation de la fonction de synchronisation (idéale) n'est pas prise en compte. Par ailleurs, la durée de la fenêtre d'allumage de ce récepteur pourrait être réduite de moitié (débit maximum multiplié par 2) si une

modulation de type OOK avait été utilisée au lieu de la modulation PPM. La conséquence serait la suppression de T_{int2} et une réduction importante de la consommation.

Une gestion d'énergie similaire est utilisée dans [Cre_11]. Ce travail propose un récepteur comprenant trois LNA ajustables, un mélangeur, des filtres, un comparateur à seuil et un bloc dit de synchronisation et de démodulation (cf. fig. II.10).

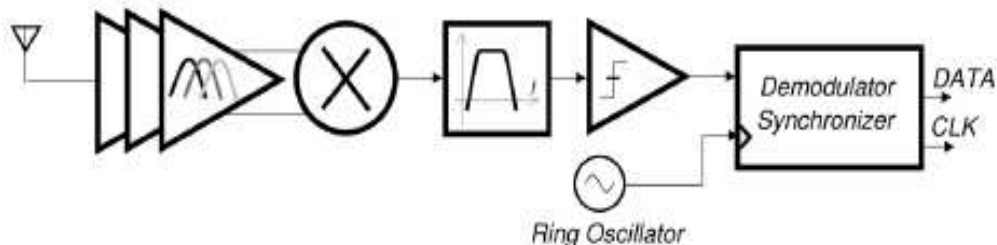


Figure II.10. Architecture de récepteur impulsionnel avec une modulation S-OOK [Cre_11]

Cette architecture utilise une modulation dite S-OOK (Synchronized-OOK). Ce type de modulation (cf. fig. II.11) prévoit la transmission d'impulsions de synchronisation régulièrement espacées d'un intervalle de temps exactement égal à la durée bit T_b . Une durée idéalement fixe (T_s) sépare ces impulsions des impulsions de données. Cette répétition périodique des impulsions de synchronisation permet une récupération d'horloge plus aisée avec une acquisition très rapide sans l'utilisation d'un préambule. Par contre, cette modulation présente l'inconvénient d'une moyenne de transmission de 1,5 impulsion/bit (0,5 impulsion/bit pour une modulation OOK de base définie sur la figure II.6 avec une impulsion transmise par bit), se traduisant par une augmentation de la consommation dynamique du système.

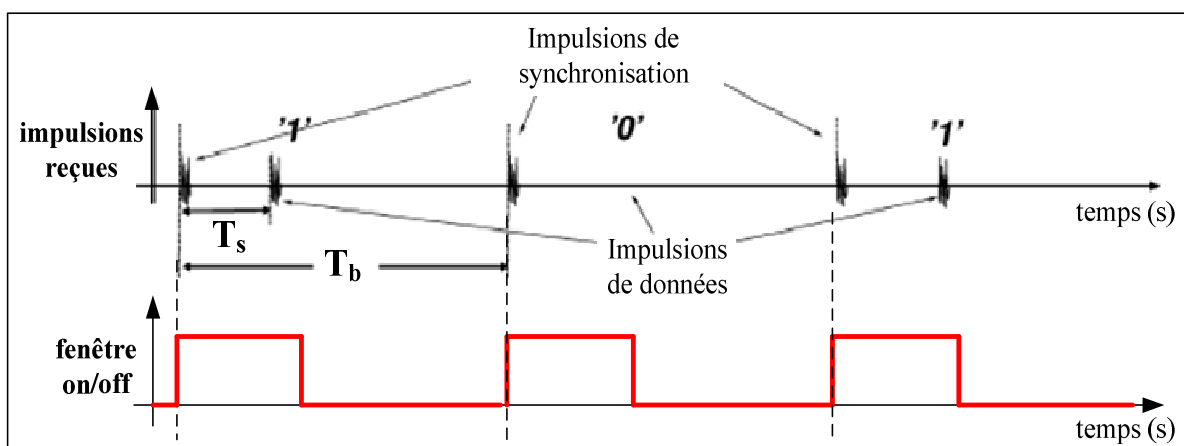


Figure II.11. Gestion d'énergie dans un récepteur impulsionnel non cohérent utilisant une modulation S-OOK

La structure propose deux modes de fonctionnement :

- Dans le premier mode (*listening mode*), il n'y a pas de gestion d'énergie. Le système consomme en moyenne 2,9 mW (valeur nominale).

- Dans le second mode de fonctionnement (*reception mode*), une gestion d'énergie basée sur l'allumage et l'extinction des fonctions RF est mise en œuvre. Dans ce cas, une fenêtre avec un rapport cyclique de 40% est définie. Cette fenêtre est alignée avec les impulsions de synchronisation grâce à la modulation S-OOK utilisée (cf. fig. II.10). Grâce à cette technique de gestion d'énergie, la consommation moyenne du récepteur passe de 2,9 mW à 1,64 mW, soit une réduction de près de 43%.

Le module de récupération d'horloge et de données proposé dans cette structure utilise un VCO en anneau qui vient piloter une fonction de synchronisation dont l'architecture est basée sur une logique numérique (compteurs, bascules). Il est toutefois certain que la faible pureté spectrale de l'oscillateur en anneau ainsi que sa grande sensibilité aux variations process (voir état de l'art des modules CDR en boucle ouverte dans le chapitre I) contribuent à la limitation des performances (en termes de jitter notamment) de la fonction de synchronisation.

D'autre part, un récepteur présentant d'excellentes performances en termes de consommation a été publié dans [Doka_10]. Ce circuit supporte des modulations de type OOK et BPSK. Le principe de la gestion d'énergie ressemble beaucoup à celles des deux précédentes architectures. Un fenêtrage est défini pour commander l'allumage (pallier haut) et l'extinction des circuits. Ceux-ci ont été conçus de sorte à minimiser leur temps d'allumage t_{setup} (~ 3 ns). La durée des impulsions traitées t_{pulse} est de 2 ns. Une fonction de synchronisation est nécessaire dans cette structure pour générer, puis bien positionner la fenêtre on/off suivant l'instant d'arrivée des impulsions. Dans ce travail, il est proposé un synchronisateur externe pour démontrer la fonctionnalité du récepteur. La précision (jitter pk-pk) de cette synchronisation est supposée égale à $t_{\text{jitter}} = 5$ ns. Au final, le système n'est allumé que pendant 10 ns ($t_{\text{setup}} + t_{\text{pulse}} + t_{\text{jitter}}$) (cf. fig. II.12).

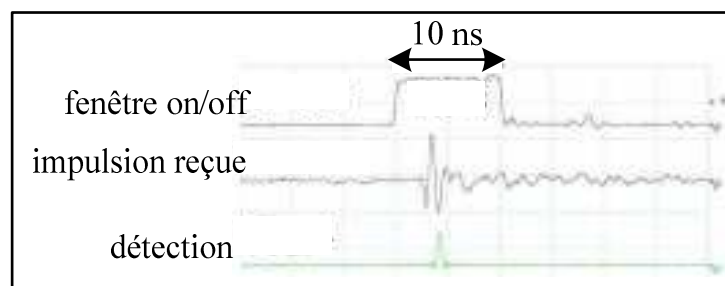


Figure II.12. Mesure d'une détection d'impulsions avec gestion d'énergie [Doka_10]

Au débit de 100 kbit/s, le rapport cyclique du signal on/off est très faible (0,1 %). Ce qui permet de réduire considérablement la consommation du récepteur qui passe de 10,5 mW (sans gestion d'énergie) à seulement 14,3 μ W.

Cependant, la fonction de synchronisation étant externe, sa consommation n'est pas prise en compte dans ce bilan de consommation. En plus, la précision supposée de ce module à 100 kbit/s (seulement 5 ns ou 0,05 % UI) semble très difficile à obtenir. En effet, quand on regarde l'état de l'art sur tous les

types de modules CDR établi dans le chapitre I, les meilleures performances en termes de jitter pk-pk sont voisines de 2% UI (cf. tableau I.2). Le tableau II.1 dresse un état de l'art des publications de ces dernières années sur les récepteurs ULB impulsionnels non cohérents.

Référence	[Cre_11]	[Doka_10]	[Ham_11]	[Lee_07]
Année	2011	2010	2011	2007
Bande de fréquence	3,6 - 4,3 GHz	1 - 2 GHz	3,1 - 10,6 GHz	Sous-bandes de 500 MHz dans la bande 3 – 5 GHz
Technologie	CMOS 90 nm	CMOS 90 nm	CMOS 0,13 µm	CMOS 90 nm
Débit	1 Mbit/s	100 kbit/s	10 Mbit/s	0 – 16,7 Mbit/s
Modulation	S-OOK	OOK - BPSK	OOK (3 impulsions par bit)	PPM
Détecteur d'énergie	Mélangeur + filtres	Détecteur de polarité	Squarer + intégrateur	Mélangeur + filtres
Démodulation	Logique numérique	Bipolaire	Comparateur à seuil configurable	Intégrateur + capacités + latches
Schéma de synchronisation	Oscillateur en anneau + logique numérique	Non détaillé. Externe avec une précision (jitter) de 5 ns supposée	NC	Externe. Réglage manuel via un FPGA (xilinx)
Résultats	Mesure	Mesure	Simulation	Mesure
Consommation initiale du récepteur	2,9 mW	10,5 mW	15,2 mW	35,8 mW @ 100 kbit/s
Rapport cyclique de la fenêtre on/off	40 %	0,1 %	-	0,6 % @ 100 kbit/s
Consommation du récepteur (avec gestion d'énergie)	1,64 mW	14,3 µW	4,5 mW	250 µW
Précision de la synchronisation (jitter pk-pk)	NC	~ 5 ns	NC	NC
Surface silicium	1 mm ² (PADS inclus)	1,5 mm x 1,1 mm	-	1 mm x 2,2 mm
Spécificité	Robustesse vis-à-vis des interférences bande étroite	Inclut l'antenne dans la conception du circuit, notamment dans la gestion d'énergie.	-	Excellent temps d'allumage des fonctions RF ~ 2 ns

NC : Non communiqué

Tableau II.1. Etat de l'art de récepteurs ULB impulsions

On trouve dans ce tableau une présence quasi-permanente de la modulation OOK qui offre véritablement des possibilités d'une gestion d'énergie efficace en plus d'une démodulation plus aisée. En outre, le principal point commun entre ces différents travaux est le souci de profiter du très faible rapport cyclique des impulsions ULB (bas débits) pour réduire drastiquement la consommation totale du récepteur. Cette technique de gestion d'énergie nécessite la définition d'une fenêtre on/off caractérisée par trois paramètres temporels :

- La durée de l'impulsion ULB. Celle-ci vaut généralement quelques nanosecondes (2 ns par exemple dans [Doka_10]). Cette durée est indépendante du débit de transmission.
- Le temps d'allumage des fonctions LNA et détecteur notamment. C'est un paramètre pris en compte dans la conception de ces circuits. Il vaut 3 ns dans [Doka_10] et seulement 2 ns dans [Lee_07].
- Le dernier paramètre est la précision du positionnement de la fenêtre on/off par rapport aux impulsions reçues. En effet, une fonction de synchronisation s'impose pour s'assurer que l'impulsion arrive durant le pallier haut du signal on/off. L'imprécision (jitter pk-pk) du signal d'horloge généré par cette fonction de synchronisation affecte donc la durée du pallier haut de la fenêtre on/off. Ce jitter (en valeur absolue) est, de façon générale, inversement proportionnel au débit. La valeur de cette imprécision est par exemple supposée égale à 5 ns dans [Doka_10].

Les travaux présentés dans cet état de l'art présentent d'excellentes performances mais certaines de ces travaux ont leur fonction de synchronisation externe. La grande précision supposée de telles fonctions est difficile à obtenir et le cas échéant, nécessite un circuit CDR qui consomme beaucoup. Comme énoncé plutôt, la meilleure précision (jitter pk-pk en valeur relative) dans l'état de l'art des modules CDR établi dans le premier chapitre vaut environ 2% UI. Ramené à 100 kbit/s, ce jitter produit par le circuit de synchronisation avoisinerait les 200 ns, ce qui modifierait considérablement les rapports cycliques des fenêtres on/off (2,05% au lieu de 0,1% dans [Doka_10], au moins 2% au lieu de 0,6% dans [Lee_07]) et donc les valeurs de consommation annoncées. Dans [Doka_10] par exemple, conformément à *eq. II.1*, la consommation du récepteur serait d'au moins 215 μ W au lieu de 14,3 μ W, sans compter la consommation du circuit de synchronisation.

Dans le cadre de cette thèse, la fonction de synchronisation réalisée sera interne au récepteur ULB non cohérent. L'architecture et les performances de ce récepteur font l'objet du paragraphe qui suit.

II.4. Récepteur ULB impulsionnel non cohérent

Dans ce paragraphe, les détails de la conception des différents circuits ne seront pas explicités. Il s'agit dans un premier temps de présenter très brièvement l'architecture du récepteur ainsi que les performances obtenues, notamment en termes de consommation. Dans un second temps, nous expliquerons le principe de la gestion d'énergie envisagée.

II.4.1. Architecture et performances du récepteur sans gestion d'énergie

Le récepteur ULB développé au sein de l'équipe CCI (Conception de Circuits Intégrés) du laboratoire IM2NP fonctionne dans la bande FCC (3,1 – 10,6 GHz) avec une modulation de type OOK (une impulsion par bit). Il est constitué d'un LNA FCC [Bou_07] et d'un détecteur d'énergie regroupant trois fonctions : mise au carré (« squarer »), détecteur d'enveloppe et comparateur [Deh_10]. La figure II.13 présente l'architecture du récepteur.

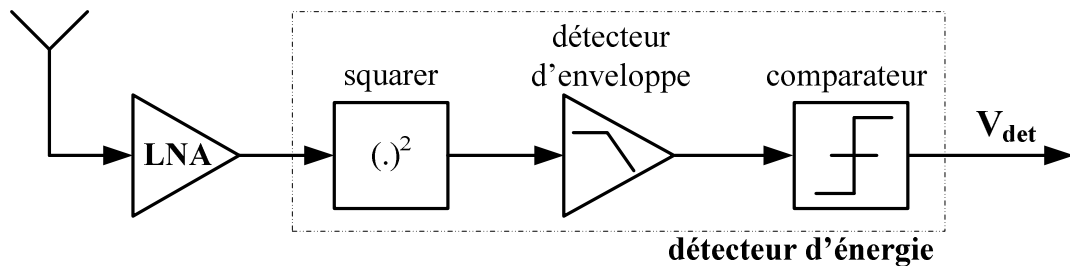


Figure II.13. Architecture du récepteur (sans gestion d'énergie)

Le LNA amplifie les impulsions reçues afin de fournir un niveau d'amplitude suffisant pour la détection des impulsions. Après l'amplification, le « squarer » effectue une mise au carré du signal. Le détecteur d'enveloppe permet ensuite de filtrer les composantes hautes fréquences et de récupérer l'enveloppe du signal mis au carré. Enfin, un comparateur à seuil est utilisé comme démodulateur. Il permet de décider du bit '0' ou '1' qui a été transmis.

Le gain du LNA est de 22 dB pour une consommation de 18 mW. Quant au détecteur d'énergie, il consomme 7 mW, ce qui résulte d'une consommation totale du récepteur de 25 mW.

II.4.2. Gestion d'énergie

Dans le but de réduire considérablement la consommation du récepteur, une gestion d'énergie similaire à celles présentées dans l'état de l'art a été étudiée. Elle consiste à allumer les blocs LNA et détecteur pendant la réception d'une impulsion (durée t_{ON}) et à les éteindre le reste du temps. Le principe de cette gestion d'énergie est illustré sur la figure II.14.

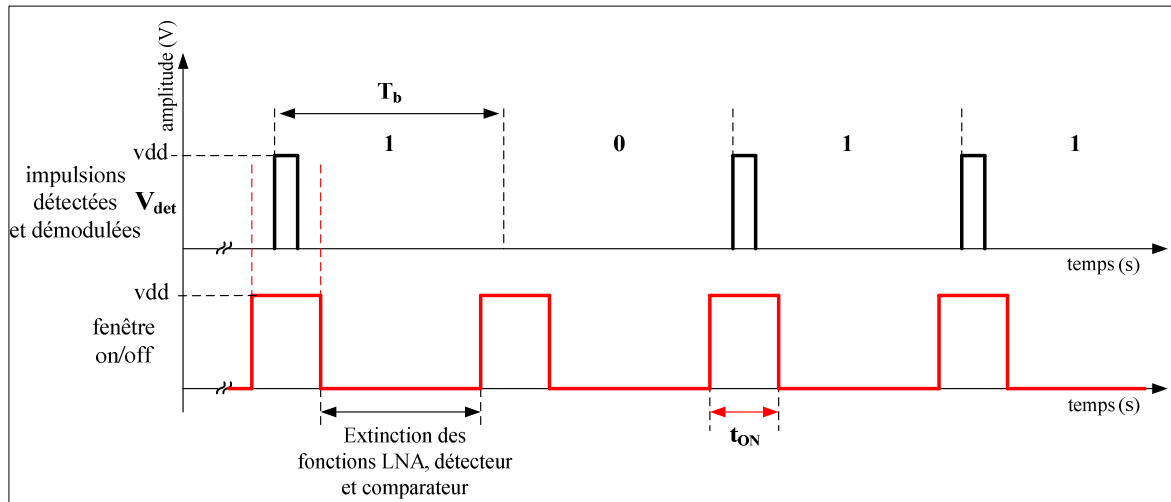


Figure II.14. Principe de fonctionnement de la gestion d'énergie du récepteur

Comme le montre la figure II.14, le principe de cette gestion d'énergie nécessite la maîtrise du fenêtrage (on/off). En effet, la fenêtre on/off doit être la plus courte possible en durée pour optimiser l'économie d'énergie. Cependant, elle doit être suffisamment large et synchrone aux impulsions pour éviter que l'impulsion n'arrive en dehors du fenêtrage. Comme expliqué dans l'état de l'art, la durée du pallier haut t_{ON} de la fenêtre on/off dépend aussi du temps d'allumage t_{setup} des fonctions LNA et détecteurs et de la précision t_{jitter} du circuit de synchronisation.

$$t_{ON} = t_{pulse} + t_{setup} + t_{jitter} \quad eq. II.2$$

Où t_{pulse} est la durée de l'impulsion en sortie du détecteur. A bas débit, le défi majeur consiste à réduire l'imprécision t_{jitter} de la fonction de synchronisation.

Pour répondre à cette demande, une solution est de mettre en œuvre un module CDR qui fournisse un signal d'horloge aligné en phase avec les impulsions reçues, et qui servira à la constitution de la fenêtre on/off. Cette dernière indiquera ensuite les moments d'allumage et d'extinction des blocs en amont. La figure II.15 présente le schéma de principe d'une telle architecture.

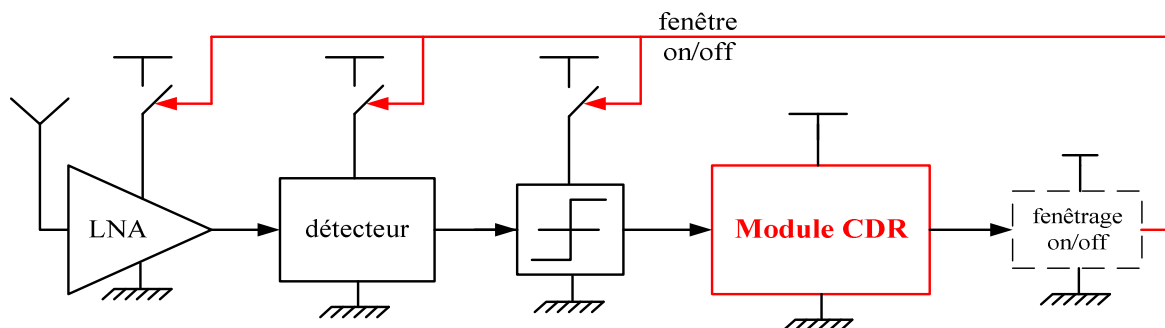


Figure II.15. Synoptique de la gestion d'énergie envisagée

D'autre part, comme le module CDR ne peut être éteint entre la réception d'impulsions consécutives, sa consommation statique et dynamique est alors continuellement comptabilisée dans le bilan de

consommation du récepteur. Il importe alors que le module CDR consomme très peu pour rendre cette gestion d'énergie efficace.

Pour donner une idée de l'impact des performances du module CDR sur la consommation totale du récepteur, prenons un exemple. Considérons le récepteur présenté dans la section II.4.1 consommant une puissance $P_{\text{RECEPTEUR}} = 25$ mW avec un module CDR fonctionnant à un débit D_b de 16 Mbit/s (la période T_b vaut 62.5 ns) avec une précision de 2 ns (jitter peak-to-peak de l'horloge générée), et une consommation d'environ $P_{\text{CDR}} = 0.33$ mW (on prend ici les performances de la fonction de synchronisation publiée dans [Dal_10]).

A supposer que la durée de l'impulsion vaille 1 ns et que l'allumage des fonctions LNA et détecteur se fasse pendant une durée égale à 2 ns [Lee_07], alors, à l'image de l'équation *eq.II.1* établie dans le paragraphe II.1, la puissance moyenne consommée par le récepteur serait calculée par :

$$P_{\text{GLOBALE}} = P_{\text{CDR}} + \frac{t_{\text{ON}}}{T_b} \cdot P_{\text{RECEPTEUR}} \quad \text{eq.II.3}$$

Ce qui donnerait, une puissance consommée d'environ $P_{\text{GLOBALE}} = 2.33$ mW (au lieu de 25 mW initialement), soit une réduction de plus de 90 % de la consommation totale du récepteur. Cette réduction peut être davantage intéressante si le module CDR fonctionne à un débit encore plus bas en réduisant deux paramètres de l'équation *eq.II.3* : P_{CDR} et $\frac{t_{\text{ON}}}{T_b}$.

En définitive, pour une gestion d'énergie efficace, il convient de mettre en œuvre un circuit CDR bas débit à très basse consommation et au jitter de l'horloge générée le plus faible possible. L'étude et la conception de cette fonction sont le propos du paragraphe suivant.

II.5. Conception de circuits CDR au sein d'un récepteur ULB impulsionnel non cohérent

Avant d'entrer dans les détails de la conception des circuits, un premier paragraphe est consacré aux principales raisons qui justifient le choix de l'architecture du module CDR réalisé.

II.5.1. Choix de l'architecture du module CDR

Une structure de module CDR analogique a été adoptée pour diverses raisons. Comme le montre l'architecture du récepteur dans le paragraphe II.4.1, la fonction de démodulation est effectuée par un comparateur à seuil analogique. En outre, nous avons défini dans le chapitre précédent un facteur de mérite F_m prenant en compte le jitter et la consommation. Nous avons également constaté (cf. tableau I.6) que les circuits à base de systèmes asservis présentent de meilleurs facteurs de mérite. En particulier, les circuits à base de PLL présentent de bonnes performances en termes de jitter et de N_{BIC} . Il reste à déterminer la nature analogique ou numérique de la PLL à implémenter.

Dans le cas de l'utilisation d'un circuit numérique pour le module CDR, la contrainte faible jitter imposerait une horloge pilote haute fréquence. Il faudrait alors concevoir, en plus, un oscillateur pour générer cette horloge d'où une augmentation considérable de la consommation.

Par ailleurs, l'étude menée dans le chapitre I (cf. fig. I.56) montre que les circuits CDR à base de PLL analogique (à pompe de charges) présentent de meilleures performances en termes de jitter relatif ramené à la consommation.

Toutes ces raisons ont aiguillé notre choix vers une PLL analogique à pompe de charges pour la réalisation du module CDR. Le dimensionnement et, par l'occasion, la justification du choix de l'ordre de la PLL vont être détaillés.

II.5.2. Etude et paramétrage d'une PLL à pompe de charges d'ordre 3

II.5.2.1. Modélisation et dimensionnement du filtre

Le bon dimensionnement des circuits et l'étude dynamique d'une PLL nécessitent de connaître l'expression du gain de la boucle. Un modèle très populaire (cf. fig. II.16) pour de faibles variations de la phase du signal d'entrée de la PLL permet de calculer facilement ce gain.

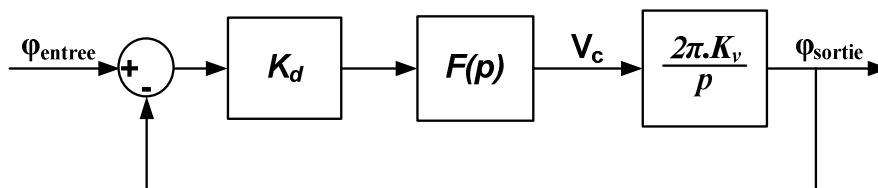


Figure II.16. Modèle linéaire simplifié de la PLL

Ce modèle prend la phase comme variable et suppose l'association de la pompe de charges au comparateur de phase, via le terme K_d exprimé en $A \cdot rad^{-1}$. $F(p)$ est la fonction de transfert (en p) du filtre de boucle et K_v le gain du VCO exprimé en Hz/V . Les variables Φ_{entree} et Φ_{sortie} représentent la phase du signal d'entrée et de l'horloge de sortie, respectivement.

La fréquence instantanée du signal d'horloge généré par le VCO peut s'écrire alors :

$$f_{sortie} = K_v * V_c, \text{ avec } V_c = \Delta\varphi * K_d * F(p), \Delta\varphi = \varphi_{entree} - \varphi_{sortie}$$

La phase instantanée φ_{sortie} s'exprime en fonction de f_{sortie} par :

$$\varphi_{sortie} = 2\pi \int f_{sortie} dt = 2\pi \int (K_v * V_c) dt$$

Pour de faibles variations de la phase du signal d'entrée, le gain de boucle de PLL peut être exprimé par :

$$G_{loop} = K_d * F(p) * \frac{2\pi * K_v}{p} \quad eq. II. 4$$

Comme expliqué dans le premier chapitre, le degré (ou l'ordre) d'une PLL est fonction de l'ordre de son filtre de boucle. De manière générale, si ce dernier est d'ordre n , la PLL sera d'ordre $n+1$, le VCO constituant lui-même un pôle dans la fonction de transfert de boucle (expression du gain en boucle ouverte *eq.II.4*). Le comportement dynamique de la boucle dépend principalement de l'ordre du filtre adopté. Il existe plusieurs catégories de filtres : les filtres passifs, actifs, à capacités commutées, etc. Bien entendu, dans ce contexte faible consommation, on s'intéressera particulièrement aux premiers nommés bien qu'ils occupent très souvent une surface silicium importante.

Un paramètre dynamique important de la PLL est la stabilité. Elle est très souvent quantifiée par la marge de phase φ_m qui est définie comme étant 180° plus l'argument de la fonction de transfert G_{loop} (en boucle ouverte) lorsque le gain de boucle est unitaire (0 dB) (cf. fig. II.17).

$$\varphi_m = 180^\circ + \arg(G_{loop}) \quad \text{eq.II.5}$$

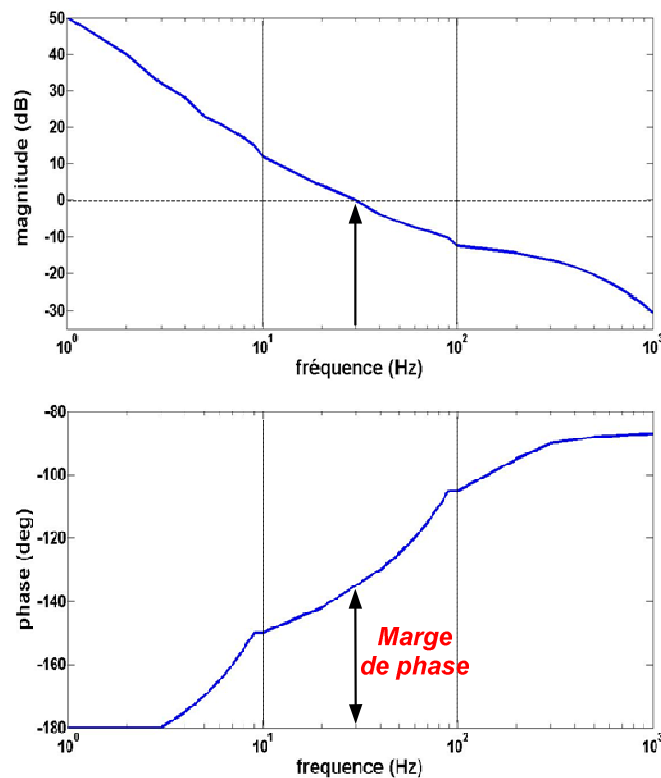


Figure II.17. Définition de la marge de phase

La marge de phase doit être positive pour que la boucle soit stable. Elle ne doit pas être très grande au risque d'une gigue temporelle importante sur l'horloge de sortie. Elle ne doit pas être trop faible non plus au risque de compromettre la rapidité du système. Généralement, elle est prise proche de 60° pour gérer ce compromis de façon optimale.

Dans les PLL à pompe de charges, la sortie du comparateur de phase (discriminateur de phase + pompe de charges) est un courant, image du déphasage en entrée. Par conséquent, la structure de filtre passif la plus simple est une capacité (cf. fig. II.18) qui intègre ce courant I_p pour fournir une tension V_{ctrl} qui va piloter le VCO.

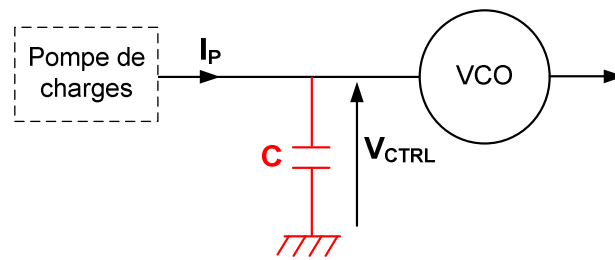
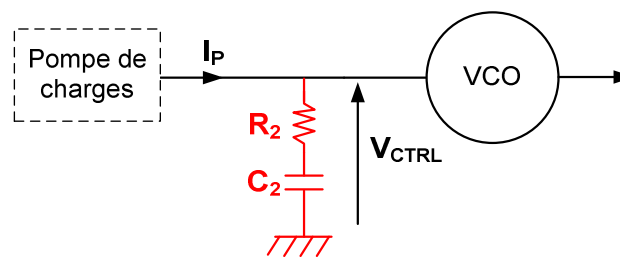


Figure II.18. Filtre capacité

La fonction de transfert de ce filtre s'écrit :

$$F(p) = \frac{1}{C_p}$$

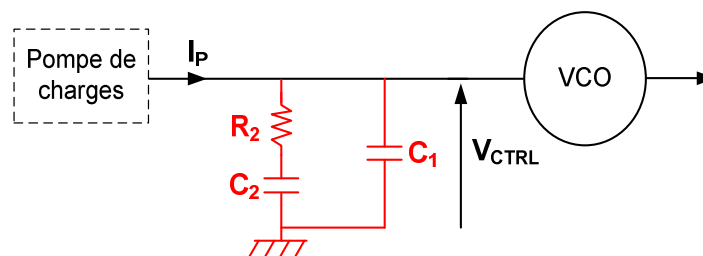
L'argument de la fonction de transfert en boucle ouverte étant égale à -180° , la marge de phase est donc nulle (cf. *eq.II.5*). La PLL est alors instable et ne peut fonctionner. Il est nécessaire d'ajouter un zéro à la fonction de transfert pour stabiliser la boucle. Pour cela, une résistance est rajoutée en série avec la capacité, comme le montre la figure II.19.

Figure II.19. Filtre du 1^{er} ordre avec un zéro

Pour cette topologie de filtre (1^{er} ordre), on peut établir :

$$F(p) = R_2 + \frac{1}{C_2 p} = \frac{1 + R_2 C_2 p}{C_2 p}$$

Ce filtre est peu utilisé. On lui préfère très souvent le suivant qui permet d'avoir une meilleure réjection de la fréquence du signal d'entrée, synonyme d'un jitter d'horloge réduit.

Figure II.20. Filtre du 2nd ordre

Cette structure (cf fig. II.20) est obtenue en rajoutant un pôle supplémentaire à la topologie du 1^{er} ordre présenté ci-dessus (cf. fig. II.19) pour avoir un meilleur filtrage. Ce filtre du second ordre est très

utilisé dans les PLL à pompe de charges (3^{ème} ordre) [Nat_01]. Toujours pour améliorer le filtrage (réjection de la fréquence du signal d'entrée et des raies parasites), une topologie de filtre du 3^{ème} ordre ou plus peut également être utilisée mais cela entraîne un temps de verrouillage de la PLL plus long et un risque plus important d'instabilité de la boucle. Dans notre cas, la structure du second ordre présentée sur la fig. II.20 a été adoptée. La fonction de transfert de ce filtre s'établit comme suit :

$$F(p) = \left(R_2 + \frac{1}{C_2 p} \right) // \frac{1}{C_1 p} = \frac{1}{(C_1 + C_2)p} * \frac{1 + \frac{p}{\omega_z}}{1 + \frac{p}{\omega_p}} \quad eq. II.6$$

Avec :

$$\omega_z = \frac{1}{R_2 C_2} \text{ et } \omega_p = \frac{1}{R_2 * \frac{C_1 C_2}{C_1 + C_2}} \quad eq. II.7$$

Pour calculer les coefficients du filtre (valeurs de C_1 , C_2 et R_2), on reprend l'expression du gain en boucle ouverte (eq.II.4) afin de déterminer la marge de phase de la PLL.

$$G_{loop} = K_d * F(p) * \frac{2\pi \cdot K_v}{p} = K_d * \frac{1}{(C_1 + C_2)p} * \frac{1 + \frac{p}{\omega_z}}{1 + \frac{p}{\omega_p}} * \frac{2\pi \cdot K_v}{p}$$

Ou alors :

$$G_{loop} = - \frac{2\pi K_d K_v}{(C_1 + C_2)\omega^2} * \frac{1 + \frac{p}{\omega_z}}{1 + \frac{p}{\omega_p}} \quad eq. II.8$$

La phase s'écrit alors plus facilement :

$$\varphi(G_{loop}) = \arg(G_{loop}) = 180^\circ + \arctan\left(\frac{\omega}{\omega_z}\right) - \arctan\left(\frac{\omega}{\omega_p}\right) \quad eq. II.9$$

Pour une meilleure stabilité de la boucle, on cherche à avoir la phase maximale ($\omega = \omega_c$) lorsque le gain de boucle est unitaire ($|G_{loop}| = 1$), ce qui se traduit par :

$$\frac{d\varphi(G_{loop})}{d\omega} = \frac{d}{d\omega} \left(\arctan\left(\frac{\omega}{\omega_z}\right) \right) - \frac{d}{d\omega} \left(\arctan\left(\frac{\omega}{\omega_p}\right) \right) = 0 \text{ pour } \omega = \omega_c$$

Alors,

$$\frac{\frac{1}{\omega_z}}{1 + \left(\frac{\omega_c}{\omega_z}\right)^2} - \frac{\frac{1}{\omega_p}}{1 + \left(\frac{\omega_c}{\omega_p}\right)^2} = 0$$

La résolution de cette équation aboutit à une expression de ω_c relativement simple :

$$\omega_c = \sqrt{\omega_z * \omega_p} \quad eq. II. 10$$

Les valeurs de ω_c (pulsation de coupure de la PLL) et de φ_m sont fixées par le concepteur en fonction de l'application. On démontre [Ban_98], [Nat_01] pour un tel filtre (second ordre) l'expression de ω_p suivante :

$$\omega_p = \omega_c * \frac{\cos \varphi_m}{1 - \sin \varphi_m} \quad eq. II. 11$$

On en déduit l'expression de ω_z grâce à l'expression de ω_c établie dans l'équation *eq.II.7*.

$$\omega_z = \frac{\omega_c^2}{\omega_p} \quad eq. II. 12$$

En posant $|G_{loop}| = 1$ et $\omega = \omega_c$, les coefficients du filtre sont alors déterminés par :

$$C_1 = \frac{\omega_z}{\omega_p} * \frac{2\pi K_d K_v}{\omega_c^2} * \frac{\sqrt{1 + \left(\frac{\omega_c}{\omega_z}\right)^2}}{\sqrt{1 + \left(\frac{\omega_c}{\omega_p}\right)^2}} \quad eq. II. 13$$

$$C_2 = C_1 * \left(\frac{\omega_p}{\omega_z} - 1\right) \quad eq. II. 14$$

$$R_2 = \frac{1}{C_2 \omega_z} \quad eq. II. 15$$

Les gains du comparateur de phase et du VCO, la marge de phase et la pulsation de coupure de la boucle sont les quatre principaux paramètres sur lesquels peut jouer le concepteur pour ajuster la valeur des coefficients du filtre. En résumé, le dimensionnement consiste en quatre principales étapes :

1. Dimensionner les gains du comparateur de phase et du VCO qui déterminent le gain statique de la boucle $K_d \times K_v$. L'augmentation de ce produit entraîne une grande dynamique et une plage de capture importante, mais elle se traduit par un jitter important et une consommation élevée. A l'opposé, un faible gain statique promet une faible consommation au détriment d'une très faible plage de capture.
2. Fixer les valeurs de la marge de phase φ_m et de la fréquence (pulsation) de coupure de la boucle f_c ($\omega_c = 2\pi f_c$). Pour avoir un bon compromis entre la stabilité et la rapidité, la marge de phase est généralement prise proche de 60° . Nous la fixerons donc à cette valeur dans un premier temps. La fréquence de coupure est typiquement prise inférieure au dixième du débit. Un f_c faible permet d'avoir un bon jitter mais le système perd en rapidité et la taille des composants du filtre devient très grande.
3. Calculer les valeurs des pôles ω_p et ω_z respectivement à l'aide des équations *eq.II.11* et *eq.II.12*.

4. Dédire les valeurs des composants du filtre C_1 , C_2 et R_2 grâce à *eq.II.13*, *eq.II.14* et *eq.II.15*.

Des compromis s'imposeront alors entre la plage de capture (qui augmente avec la dynamique) et le jitter, entre la dynamique et la consommation. Le jitter dans ce type de PLL est étudié dans la section suivante.

II.5.2.2. PLL du 3^{ème} ordre et jitter

Le but de cette partie n'est pas de mettre au point un modèle en bruit de la PLL. Il est question d'utiliser un modèle pour étudier les grandes tendances de l'évolution du jitter de la PLL en fonction des paramètres de la boucle. Des travaux [Lim_00] ont été effectués dans le but de proposer et de valider un modèle de bruit d'une PLL du 3^{ème} ordre. Il s'agit de considérer les différentes sources de bruit de la PLL (cf. fig. II. 21) et de déterminer une expression du jitter de l'horloge de sortie de la PLL en fonction de ces différentes contributions et des paramètres de la boucle.

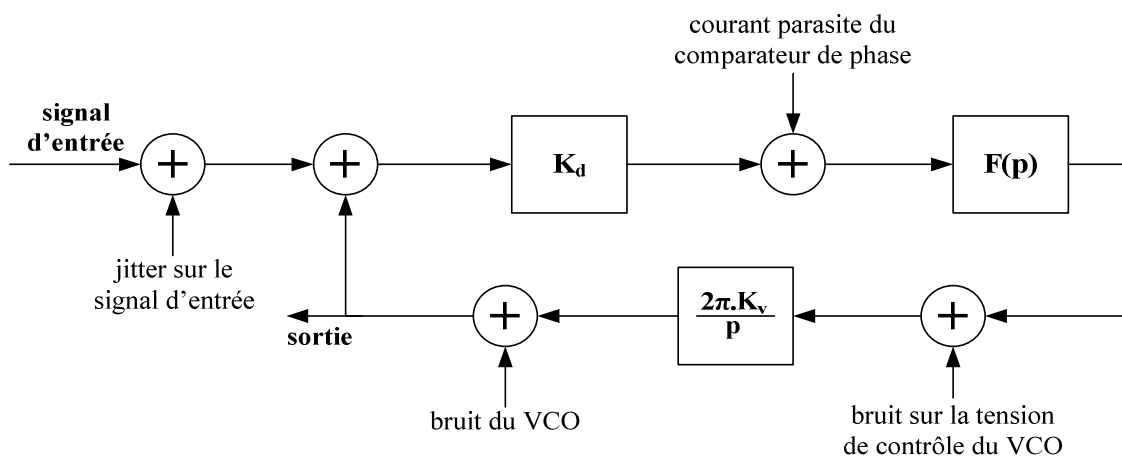


Figure II.21. Modélisation simplifiée d'une PLL dans le bruit

Quatre sources de bruit sont prises en compte dans ce modèle :

- Le bruit de source ou le jitter du signal d'entrée de la PLL. La valeur rms de cette contribution est notée $\delta\tau_{rms1}$.
- Le bruit du comparateur de phase est modélisé par un courant parasite ΔI_{rms} qui perturbe le comportement de la pompe de charges.
- Une tension parasite ΔV_{rms} qui se rajoute à la tension de contrôle du VCO.
- Le jitter propre au VCO noté $\delta\tau_{rms2}$.

Ce modèle suppose, entre autres, que la bande passante de la boucle ω_c soit largement inférieure au débit du signal ($1/T_b$) d'entrée. Le jitter en valeur rms $\Delta\tau_{rms}$ de l'horloge de sortie de la PLL est alors donné par [Lim_00] :

$$\Delta\tau_{\text{rms}} = \left(\delta\tau_{\text{rms}1} + \frac{T_b^2}{4\pi^2} K_v \cdot \Delta V_{\text{rms}} \right) * \sqrt{\frac{1}{2\omega_c T_b}} + \left(\delta\tau_{\text{rms}2} + \frac{T_b}{2\pi} \frac{\Delta I_{\text{rms}}}{K_d} \right) * \sqrt{\frac{\omega_c T_b}{2}} \quad \text{eq. II.16}$$

Cette équation permet de comprendre l'évolution du jitter en fonction des différentes contributions en bruit mais aussi en fonction des paramètres de la PLL. D'abord, on retrouve que le jitter augmente lorsque le débit diminue (T_b augmente). Aussi, l'augmentation du gain du comparateur de phase K_d tend à réduire le jitter. Par contre, une hausse du paramètre K_v tend à augmenter $\Delta\tau_{\text{rms}}$.

Pour optimiser le jitter $\Delta\tau_{\text{rms}}$, il convient de bien choisir la valeur de ω_c . La figure II.22 montre, à titre d'exemple, l'évolution du jitter $\Delta\tau_{\text{rms}}$ en fonction de la pulsation de coupure ω_c [Lim_00] (Sur cet exemple, le débit est de 300 Mbit/s).

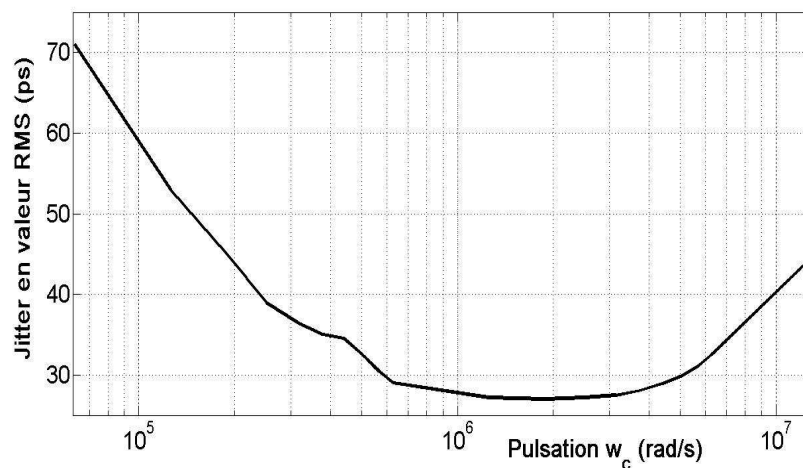


Figure II.22. Jitter RMS en fonction de ω_c [Lim_00]

La figure II.22 montre que la valeur de f_c doit être prise dans une plage permettant d'optimiser le jitter. Sur cet exemple [Lim_00], la PLL est utilisée en synthèse de fréquence. Cependant, le bruit du signal d'entrée est bien pris en compte. Par conséquent, le raisonnement est également valable dans le cadre de notre étude (PLL utilisée en synchronisation de données).

II.5.2.3. Conclusions sur le dimensionnement : les principaux réglages possibles

En résumé, différents réglages peuvent être dégagés.

- La dynamique de la boucle est proportionnelle au produit des gains $K_d \times K_v$. L'augmentation de ce produit permet une meilleure plage de capture, mais entraîne une hausse du jitter et de la consommation.
- La marge de phase doit être suffisamment grande pour éviter l'instabilité de la boucle mais elle est limitée par le jitter.

- La bande passante de la PLL influe sur le jitter et la rapidité de la boucle. Si elle est très faible, le système produit une horloge avec moins de jitter mais il devient très lent et la taille des composants du filtre devient importante (grande surface silicium).

Des compromis devront donc être faits en fonction des performances visées. Dans notre cas, le but est d'obtenir une faible consommation et un jitter très faible.

Le dimensionnement présenté dans ce paragraphe est appliqué à la PLL réalisée comme module CDR au sein du récepteur ULB. L'architecture des différents blocs et les performances (simulations et mesures) de ce module sont présentées dans le paragraphe qui suit.

II.5.3. Conception de modules CDR à 54MHz et 1 MHz

Comme annoncé précédemment, le module CDR conçu est une PLL analogique du 3^{ème} ordre dont la figure II.23 rappelle l'architecture. Deux versions (1 MHz et 54 MHz) de ce circuit ont été réalisées dans le cadre de cette thèse. La version 54 MHz est destinée à être utilisée dans le cadre d'un démonstrateur visant une transmission vidéo. Le circuit 1 MHz sera utilisé pour la gestion d'énergie. Les deux versions sont dimensionnées dans le même souci d'optimiser les performances en termes de jitter et de consommation. Tous les circuits ont été conçus avec la technologie HCMOS9 0,13 μm de STMicroelectronics avec une tension d'alimentation de 1,2 V.

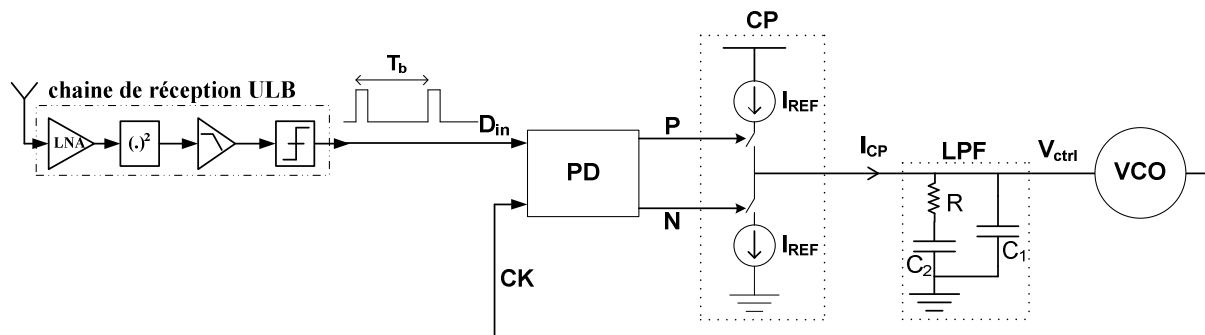


Figure II.23. Architecture du module CDR (PLL du 3^{ème} ordre)

Une telle PLL est essentiellement constituée de :

- Un discriminateur de phase (PD) capable de traiter des impulsions aléatoires et de très courte durée (faible rapport cyclique).
- Une pompe de charges (CP) dimensionnée pour une réduction de la consommation du circuit notamment.
- Un filtre de boucle passif du second ordre (LPF) dont l'architecture et le dimensionnement ont été détaillés dans le paragraphe précédent.
- Un VCO à très faible consommation. En effet, cette fonction étant généralement la plus gourmande en consommation dans une PLL analogique, il convient de prêter une attention particulière au choix de l'architecture et au dimensionnement de l'oscillateur (gain, linéarité).

A présent, l'architecture et le principe de fonctionnement de tous les blocs de cette PLL vont être détaillés.

II.5.3.1. Le discriminateur de phase

Comme dans le premier chapitre, nous entendrons par le terme comparateur de phase l'association d'un discriminateur de phase avec une pompe de charges. La caractéristique du comparateur de phase sera donc le courant de sortie de la pompe de charges en fonction du déphasage entre les deux signaux en entrée du discriminateur de phase.

Le discriminateur de phase constitue une particularité essentielle de la PLL conçue. En effet, la très courte durée des impulsions ULB impose un traitement particulier du signal d'entrée de la PLL. Par ailleurs, les comparateurs de phase de Hogge et d'Alexander étudiés au chapitre I sont les plus présents dans les PLL fonctionnant comme modules CDR. Dans notre étude, la contrainte faible jitter nous pousse à explorer plutôt la structure de Hogge pour sa linéarité synonyme d'un jitter d'horloge réduit, comparé au comparateur binaire d'Alexander.

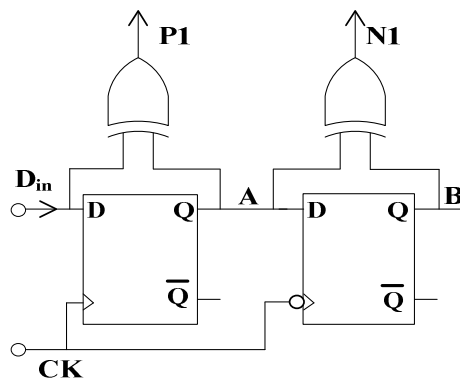


Figure II.24. Discriminateur de Hogge classique [Hog_85]

Le comparateur de phase de Hogge dont la figure II.24 rappelle la structure fonctionne convenablement avec des signaux de type NRZ à son entrée. Cependant, étudions son comportement vis-à-vis de signaux RZ. La figure II.25 compare les chronogrammes illustrant le fonctionnement du comparateur de Hogge avec ces deux types de signaux. Nous entendons par RZ 75% un signal RZ dont la largeur du pallier haut vaut 75% de la durée bit.

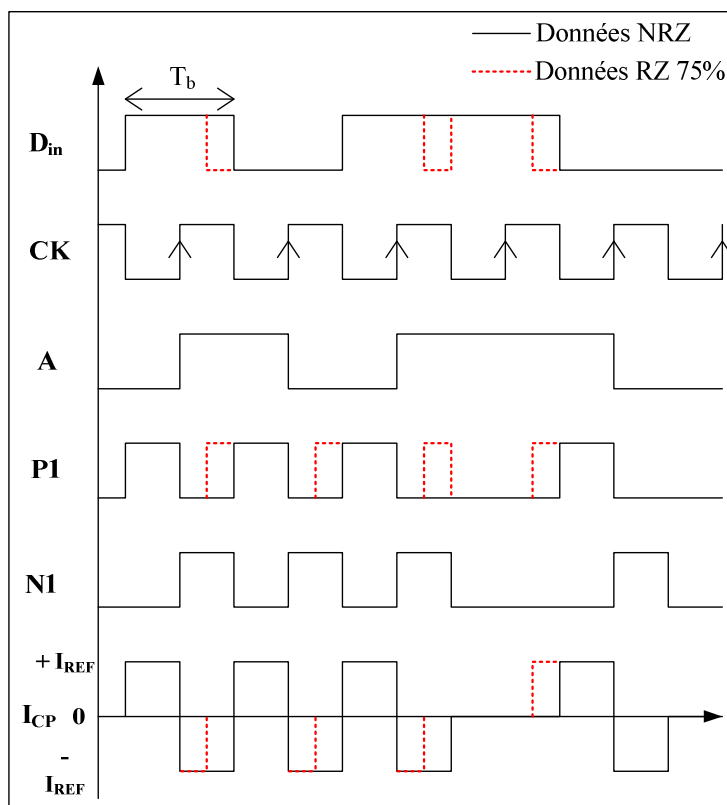


Figure II.25. Chronogrammes comparatifs du fonctionnement du comparateur de phase de Hogge avec un signal NRZ en entrée (trait continu) et un signal RZ 75% (en trait discontinu)

Le tracé des signaux sur la figure II.25 suppose que la PLL soit verrouillée, I_{REF} représente la valeur du courant de polarisation de la pompe de charges. Le fonctionnement du comparateur de Hogge avec des données NRZ (en trait continu) a été détaillé dans le premier chapitre. Dans ce cas, la moyenne du courant de sortie de la pompe de charges est nulle. A contrario, avec un signal RZ en entrée, le front descendant de D_{in} arrive avant la fin de la durée bit T_b et impacte directement la durée du signal P1 en sortie du comparateur de phase. Contrairement au signal P1, N1 reste insensible aux fronts descendants de D_{in} , ce qui résulte d'une moyenne non nulle du courant en sortie de la pompe de charges. Ceci entraîne une variation quasi-permanente et non désirée de la tension de contrôle V_{ctrl} du VCO qui se traduit au mieux par un jitter très important sur l'horloge, au pire par une perte de la synchronisation. Cette limite du comparateur de Hogge devient davantage importante si le rapport cyclique de D_{in} est encore plus faible, ce qui est le cas des impulsions ULB.

En résumé, le comparateur de Hogge ne convient pas pour des signaux RZ, a fortiori pour des impulsions issues d'une chaîne de réception ULB impulsionnelle. Pour cette raison, nous avons proposé un comparateur de phase qui soit insensible aux fronts descendants du signal D_{in} afin de travailler efficacement avec des signaux RZ à très faible rapport cyclique. Ce comparateur de phase (cf. fig. II.26) est composé de deux fonctions essentielles [Tall_12] :

- Un premier circuit (élargisseur) permet d'élargir les impulsions démodulées jusqu'à peu près 75% de T_b .

- Ensuite, une modification du comparateur de Hogge intervient pour travailler avec les signaux élargis de façon efficace.

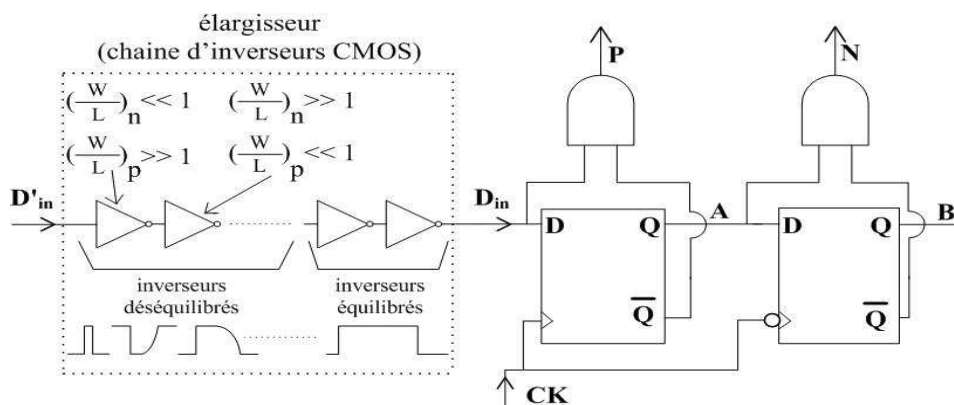


Figure II.26. Comparateur de phase adapté au traitement d'impulsions ULB

L'élargissement des impulsions est assuré par une chaîne d'inverseurs CMOS déséquilibrés. En fait, le premier inverseur de la chaîne est dimensionné de sorte que le rapport W/L du transistor PMOS soit beaucoup très grand devant celui du NMOS (cf. fig. II.26). Ainsi le signal est inversé avec un temps de montée très grand. Ensuite pour le second inverseur, le NMOS est dimensionné beaucoup plus gros que le PMOS de sorte à augmenter le temps de descente du signal ré inversé. Ainsi, la chaîne se poursuit et la largeur de l'impulsion initiale D'_{in} augmente de plus en plus. Au bout de la chaîne, quelques inverseurs équilibrés sont rajoutés pour remettre en forme le signal afin de fournir un signal D_{in} dont la durée du pallier haut devra varier entre $T_b/2$ et T_b . Les inverseurs sont dimensionnés pour que cette durée vaille $3T_b/4$.

Avec les variations process, il est certain que la durée de D_{in} subira des variations. Pour s'assurer que cette durée reste comprise entre $T_b/2$ et T_b , des simulations corner ont été effectuées. Les résultats obtenus seront présentés plus tard (paragraphe II.5.4.5).

Le signal élargi D_{in} est ensuite envoyé au détecteur de Hogge modifié (cf. fig. II.26). Les modifications interviennent essentiellement au niveau des portes logiques. En effet, si l'on considère le comparateur de Hogge (fig. II.24), on exprime les signaux logiques de sortie P1 et N1 par :

$$P1 = D_{in} \oplus A = D_{in} \cdot \bar{A} + \overline{D_{in}} \cdot A \quad eq.II.17$$

$$N1 = A \oplus B = A \cdot \bar{B} + \bar{A} \cdot B \quad eq.II.18$$

On voit clairement, à partir de la figure II.26 et de l'équation *eq.II.17*, que le second terme $\overline{D_{in}} \cdot A$ ne peut valoir '1' que si un front descendant de D_{in} arrive. En supprimant ce terme de l'équation, on s'assure que le signal P1 devient insensible aux fronts descendants de D_{in} . Le même raisonnement est appliqué au signal N, ce qui permet d'obtenir les expressions des signaux P et N :

$$P = D_{in} \cdot \bar{A} \quad eq.II.19$$

$$N = A \cdot \bar{B} \quad \text{eq. II.20}$$

Ces deux équations traduisent le schéma du comparateur de phase proposé sur la figure II.26. A l'image du détecteur de Hogge, ce comparateur a l'avantage d'être également linéaire avec une plage de linéarité assez grande. Par contre, comme seuls les fronts montants du signal d'entrée sont pris en compte, le gain est réduit de moitié comme le montre la caractéristique idéale sur la figure II.27.

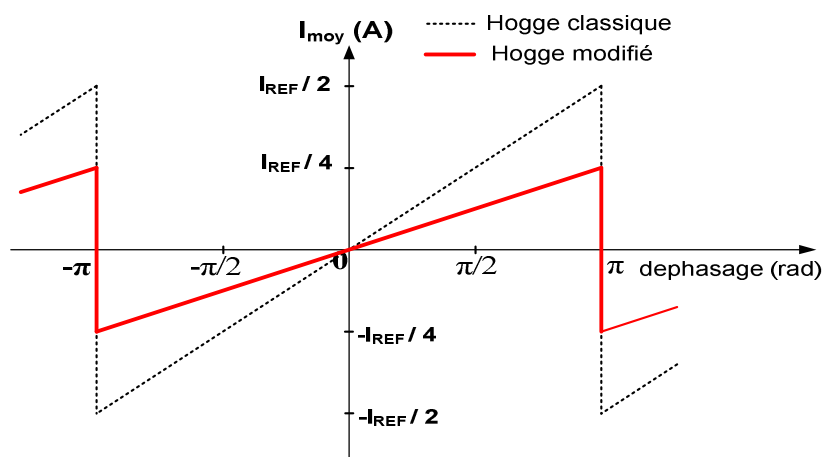


Figure II.27. Caractéristiques idéales comparées du comparateur de Hogge classique et du comparateur de Hogge modifié (pattern 0101...)

Le tableau II.2 présente les principales différences entre ce comparateur de phase et le comparateur de Hogge classique.

	Gain (pattern 0101...)	Plage de linéarité	Fonctionnement avec des données NRZ	Fonctionnement avec des données RZ
Hogge classique	$K_d = \frac{I_{REF}}{2\pi}$	$[-\pi ; +\pi]$	++++	+
Hogge modifié	$K_d = \frac{I_{REF}}{4\pi}$	$[-\pi ; +\pi]$	+++	++++

Tableau II.2. Comparaisons entre comparateur de phase de Hogge classique et comparateur de Hogge modifié

Le désavantage du comparateur de Hogge modifié est la réduction du gain mais cela peut être corrigé en doublant la valeur du courant de la pompe de charges, au prix d'une augmentation de la consommation statique de la boucle. Cette augmentation de la consommation statique est, en partie, compensée par une réduction de la consommation dynamique. En effet, avec le comparateur de phase proposé, les fronts descendants du signal d'entrée ne sont pas pris en compte dans le traitement. Enfin, ce comparateur conserve la même plage de linéarité que le détecteur de Hogge classique. La figure II.28 illustre le fonctionnement global de la PLL utilisant le comparateur de Hogge modifié. Deux cas de figure y sont étudiés.

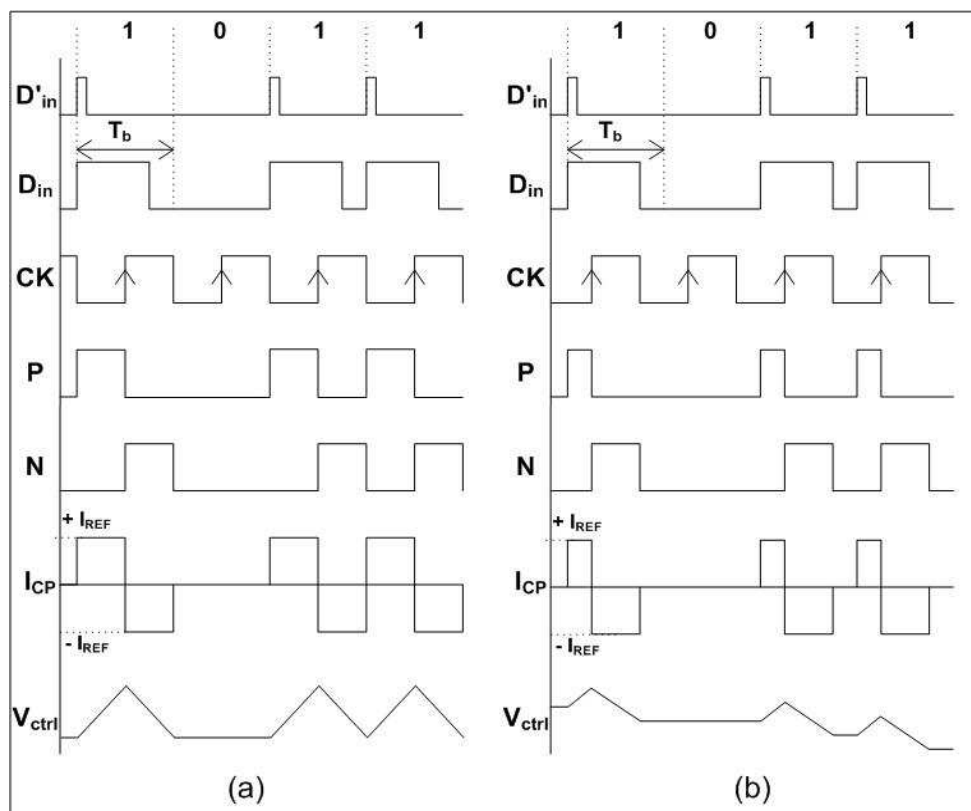


Figure II.28. Chronogrammes illustrant le fonctionnement idéal de la boucle avec 2 cas de figure : en (a), les données D_{in} et l'horloge CK sont alignés en phase (c'est le cas lorsque la PLL est verrouillée) ; en (b), CK est en avance sur D_{in} .

Dans le premier cas (a), les signaux D_{in} et CK sont alignés en phase. Les signaux P et N ont leurs durées de pallier haut exactement égales, ce qui implique une moyenne du courant I_{CP} nulle. Par contre dans le cas (b), le signal d'horloge CK est en avance de $T_b/4$, la durée du pallier haut de P est réduite de moitié d'où une moyenne de I_{CP} égale à $-I_{REF}/8$. Ainsi, la tension V_{ctrl} diminue progressivement de sorte à ralentir le VCO.

II.5.3.2. Pompe de charges

L'architecture de la pompe de charges est choisie pour sa simplicité et sa faible consommation. Elle repose sur une source de courant et des miroirs de courant. Le courant I_{REF} fourni par la source est recopié sur les quatre autres branches via les différents miroirs. En plus du courant fourni par la source, la pompe de charges (cf. fig. II.29) prend en entrée les compléments \bar{P} et \bar{N} des signaux en sortie du comparateur de Hogge modifié.

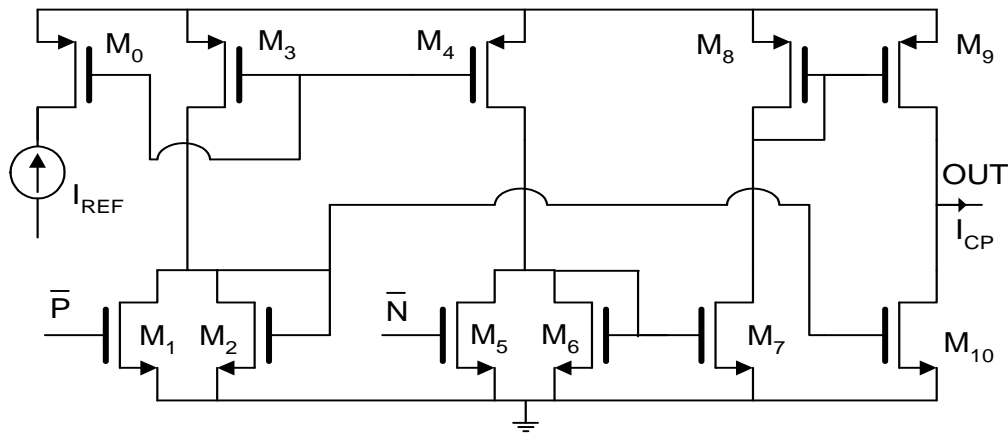


Figure II.29. Pompe de charges [Van_09]

Le courant de sortie I_{CP} de la pompe de charges peut prendre trois valeurs (0, $+I_{REF}$ et $-I_{REF}$) suivant les quatre combinaisons possibles des états logiques de \bar{P} et \bar{N} .

- Si $\bar{P} = 0$ et $\bar{N} = 0$, les transistors M_1 et M_5 sont bloqués et les miroirs de courant constitués par M_0 - M_3 - M_4 recopient tout le courant I_{REF} sur les branches M_2 - M_3 et M_4 - M_6 . Ensuite, les miroirs M_2 - M_10 et M_6 - M_7 - M_8 - M_9 recopient I_{REF} respectivement sur les transistors M_10 et M_9 . Au nœud de sortie OUT du circuit, arrivent deux courants de même valeur (I_{REF}), d'où $I_{CP} = 0$.
- Pour $\bar{P} = 0$ (M_1 bloqué) et $\bar{N} = 1$ (M_5 passant), le courant I_{REF} est recopié sur les branches M_2 - M_3 et M_4 - M_5 . Aucun courant ne passe en M_6 , donc en M_9 . I_{REF} de la branche M_2 - M_3 est recopié sur M_10 , ce qui résulte au final de $I_{CP} = -I_{REF}$.
- $\bar{P} = 1$ et $\bar{N} = 0$ est le dual du cas précédent. Un raisonnement analogue conduit à $I_{CP} = I_{REF}$.
- Enfin pour $\bar{P} = 1$ et $\bar{N} = 1$, la même analyse qu'au premier cas mène facilement à $I_{CP} = 0$.

Le tableau II.3 résume ces quatre états. Il donne la valeur du courants I_{REF} pour les différents états logiques des signaux P et N.

\bar{P}	\bar{N}	I_{CP}
0	0	0
0	1	$-I_{REF}$
1	0	I_{REF}
1	1	0

Tableau II.3. Table de vérité de la pompe de charges

Cette topologie de pompe de charges consomme environ $5 \cdot I_{REF}$ (5 branches). Le choix du courant I_{REF} est principalement lié au gain du comparateur de phase qui lui est proportionnel et à la consommation. Le courant I_{REF} est donc pris très faible pour minimiser la consommation. Il vaut $2\mu A$ pour le circuit 54 MHz, ce qui correspond à un gain $K_d = 159,15 \text{ nA/rad}$ et une consommation de la pompe de charges d'environ $10 \mu A$.

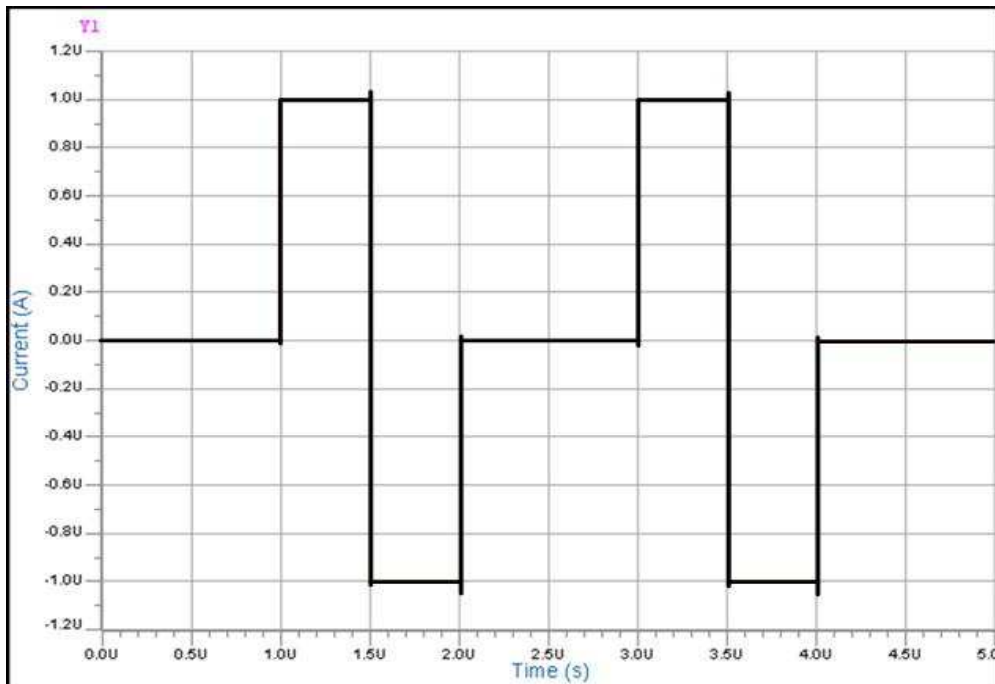


Figure II.30. Courant de sortie de la pompe de charges pour la version 1 MHz (simulation sous Cadence)

Pour la version 1 MHz, on obtient un gain de 79,58 nA/rad pour un I_{REF} de $1\mu\text{A}$ (cf. fig. II.30), donc une consommation de la pompe de charges de $5\mu\text{A}$. En deçà d' $1\mu\text{A}$ pour I_{REF} , la perturbation due aux courants parasites peut très vite modifier la caractéristique du comparateur de phase.

II.5.3.3. VCO

Comme étudié au premier chapitre, un VCO en anneau convient mieux qu'un VCO LC dans un contexte faible coût et faible consommation, a fortiori en bas débit. C'est la raison du choix ici d'une architecture de VCO en anneau (cf. fig. II.31) constitué de seulement trois cellules de retard et d'un buffer formé de quatre inverseurs CMOS.

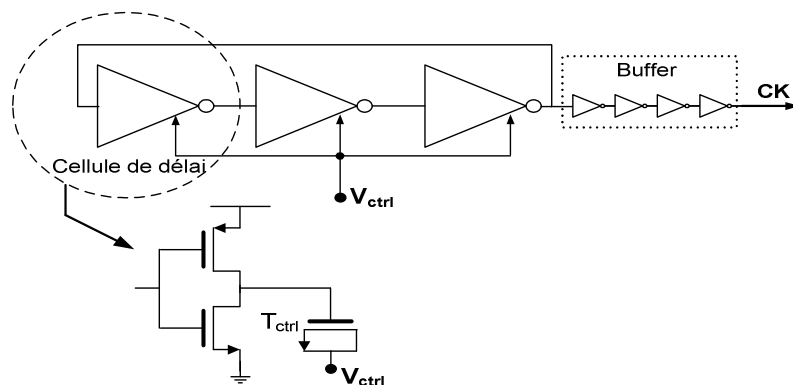


Figure II.31. Topologie du VCO en anneau

La cellule élémentaire se compose d'un inverseur CMOS chargé par un transistor T_{ctrl} monté en capacité MOS. Le temps de propagation de la cellule est contrôlé par la tension de contrôle V_{ctrl} qui permet de changer la valeur du courant traversant la capacité MOS et ainsi de modifier la fréquence du VCO.

La part du VCO est généralement très importante dans le bilan de consommation de la PLL. Pour cela, nous avons étudié par la simulation l'évolution de la consommation du VCO en fonction du gain K_v (cf. tableau II.4). La simulation est faite avec une tension de contrôle V_{ctrl} de 0,6 V ($v_{dd}/2$) en entrée du VCO.

Gain VCO (MHz/V)	Consommation (μ W)
50	64,51
60	65,52
70	69,83
76,6	74,53
84	81,11
95	98,82

Tableau II.4. Consommation du VCO 54 MHz en fonction du gain

Cette évolution de la consommation peut être mieux appréhendée à l'aide de la figure II.32.

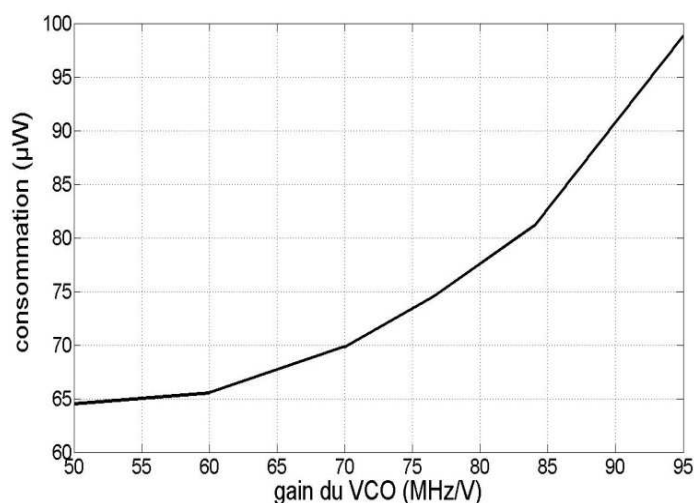


Figure II.32. VCO 54 MHz : consommation en fonction de K_v

On constate sur la figure II.32 que la consommation du VCO augmente très rapidement lorsque le gain dépasse 60 MHz/V. Il semble a priori plus judicieux de concevoir le VCO avec un gain ne dépassant pas cette valeur. Ainsi la consommation du VCO reste voisine de 65 μ W.

La même étude a ensuite été réalisée sur le VCO 1 MHz. La caractéristique simulée de ce VCO est présentée sur la figure II.33.

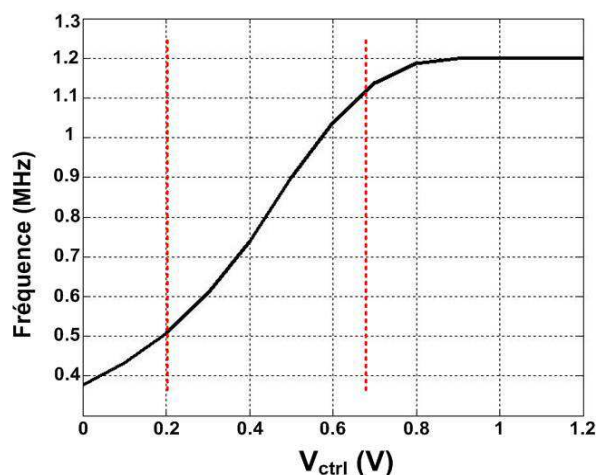


Figure II.33. Caractéristique du VCO 1 MHz (simulation)

Comme le montre cette caractéristique, la plage de linéarité s'étend environ de 0.2 V à un peu plus de 0.65 V. Dans cette zone et particulièrement autour de 1 MHz, le gain du VCO vaut 1,1 MHz/V. Un tel dimensionnement permet d'obtenir une consommation du VCO de 4,2 μ W.

II.5.3.4. Calcul du filtre de boucle

Les circuits ont été dimensionnés avec la méthode de dimensionnement d'une PLL du 3^{ème} ordre détaillée précédemment. En résumé :

1. L'architecture du discriminateur de phase et la valeur du courant I_{REF} fixent K_d . Le gain K_v est déterminé lors de la conception du VCO. Les valeurs des gains sont données dans les paragraphes précédents ($K_d = 159,15$ nA/rad et $K_v = 60$ MHz/V pour la version 54 MHz, $K_d = 79,58$ nA/rad et $K_v = 1,1$ MHz/V pour le circuit 1 MHz).
2. Nous fixons φ_m à 60° dans un premier temps. La fréquence de coupure est typiquement prise inférieure au dixième du débit. Nous l'avons fixée très basse (près de 2 MHz pour le circuit 54 MHz, autour de 50 kHz pour la version 1 MHz) pour minimiser le jitter.
3. Les pôles ω_p et ω_z sont ensuite calculés respectivement à l'aide des équations *eq.II.11* et *eq.II.12*.
4. Enfin, on déduit les valeurs des composants du filtre C_1 , C_2 et R_2 grâce à *eq.II.13*, *eq.II.14* et *eq.II.15*.

Les paramètres du dimensionnement des deux versions sont récapitulés dans le tableau II.5.

	Marge de phase φ_m	f_c	I_{REF}	K_d (nA.rad ⁻¹)	K_v	C_1	C_2	R_2
Circuit 1 MHz	60°	50 kHz	1 μ A	79,58	1,1 MHz/V	1,49 pF	19,3 pF	615,38 k Ω
Circuit 54 MHz	60°	2 MHz	2 μ A	159,15	60 MHz/V	0,102 pF	1,32 pF	225,64 k Ω

Tableau II.5. Résumé des paramètres des PLL 1MHz et 54 MHz

Une série de simulations sur Cadence a suivi ce dimensionnement afin d'estimer les performances notamment en termes de temps d'accroche, de jitter et de consommation des circuits. Les deux PLL se verrouillent bien sur la donnée d'entrée.

Avec ce dimensionnement, les résultats obtenus en simulation pour le circuit 1 MHz sont un temps d'accroche de près de 120 μs , un jitter d'horloge pk-pk de 130 ns et une consommation avoisinant 15 μW . Quant à la version 54 MHz, le jitter pk-pk vaut environ 2,09 ns, la consommation 80 μW et le temps d'accroche 35 μs .

Les consommations obtenues sont très bonnes. Cependant, la plage de capture obtenue en simulation pour les deux circuits reste très faible (930 kHz - 1,06 MHz pour la version 1 MHz, 52 MHz - 56 MHz pour la version 54 MHz). En plus de cette très faible plage de capture, on constate un jitter important : 12% UI pour la version 1 MHz et 11,3% UI pour la version 54 MHz. Il convient alors de reconsidérer certains aspects du dimensionnement afin d'optimiser les performances (notamment le jitter et la plage de capture) des deux modules CDR.

II.5.4. Optimisation des performances des circuits

II.5.4.1. Marge de phase

Comme annoncé précédemment, la marge de phase a d'abord été prise égale à 60° . Une série de simulations a ensuite été lancée pour déterminer l'évolution du jitter d'horloge en fonction de la marge de phase. Le tableau suivant présente l'impact de la marge de phase sur les performances de la boucle.

φ_m	30°	45°	60°
jitter pk-pk	1,74 ns	1,4 ns	2,09 ns
temps d'accroche	7 μs	11 μs	35 μs

Tableau II.6. Jitter et temps d'accroche en fonction de la marge de phase (circuit 54 MHz)

La réduction de la marge de phase permet d'avoir un système plus rapide. Des simulations statistiques nous ont permis de constater qu'en dessous d'un φ_m de 30° , le verrouillage de la PLL n'est plus garanti pour toutes les variations process. Par ailleurs, l'évolution du jitter (cf. tableau II.6) en fonction de φ_m nous amène à fixer une marge de phase de 45° au lieu de 60° pour les deux versions. Nous avons ensuite vérifié la stabilité des deux boucles pour $\varphi_m = 45^\circ$.

II.5.4.2. Plage de capture

Comme annoncé précédemment, la plage de capture obtenue en simulation semble très faible. Nous avons étudié l'évolution de la fréquence d'oscillation du VCO autour de 0,6 V en fonction des variations technologiques. Pour cela, une simulation statistique de type Monte Carlo a été effectuée sous Cadence. Elle a consisté à simuler le VCO pour différentes variations process. La simulation a,

dans un premier temps, été faite pour 20 itérations. Ensuite, nous avons progressivement augmenté le nombre de tirages de sorte à déterminer le nombre d'itérations suffisantes pour caractériser les variations de la fréquence du VCO (cf. tableau II.7).

Nombre de tirages	20	50	80	100
f_{\min}	51,88 MHz	50,95 MHz	49,85 MHz	50,04 MHz
f_{typ}	54 MHz	54 MHz	54 MHz	54 MHz
f_{\max}	56 MHz	57,1 MHz	57,9 MHz	58 MHz

Tableau II.7. Simulation Monte Carlo du VCO 54 MHz

Comme le montre ce tableau, au bout de la centaine d'itérations, les variations de la fréquence du VCO se stabilisent. On constate alors une variation de la fréquence de ± 4 MHz. Or, la plage de capture de la PLL s'étend seulement de 52 à 56 MHz. Il faut alors augmenter cette plage de sorte à ce qu'elle contienne les variations de fréquence du VCO (50 MHz – 58 MHz).

Pour augmenter la plage de capture, une solution est d'augmenter le gain du VCO, au détriment d'une consommation plus grande. Conformément à la figure II.30, en passant à un K_v de 70 MHz/V, la consommation du VCO n'augmente que de 5 μW . Cette augmentation du gain fait passer la plage de capture (simulation) à 49,2 MHz – 59,2 MHz. Cependant, les variations process sur la fréquence du VCO ont légèrement évolué (49,8 MHz – 58,3 MHz) mais restent bien comprises dans la nouvelle plage de capture.

Le même raisonnement sur la version 1 MHz permet également, avec un K_v de 1,2 MHz/V, d'obtenir une plage de capture plus importante (780 kHz – 1,3 MHz).

Cependant, cette augmentation de K_v a entraîné une dynamique plus importante, synonyme d'une augmentation du jitter (près de 1,7 ns pour la version 54 MHz).

II.5.4.3. Jitter

Avec un jitter pk-pk de plus de plus de 10% UI, la gestion d'énergie envisagée ne sera pas efficace. Puisque les paramètres K_v , K_d et φ_m sont fixés, la réduction du jitter passe par une réduction de la fréquence de coupure f_c du filtre de boucle. Pour cela, l'évolution du jitter en fonction de f_c a été étudiée en simulation. Les résultats de cette étude sont présentés sur le tableau II.8.

f_c	800 kHz	900 kHz	1 MHz	1,25 MHz	1,5 MHz	1,8 MHz	2 MHz
jitter pk-pk	0,66 ns	0,69 ns	0,92 ns	1,04 ns	1,19 ns	1,34 ns	1,69 ns

Tableau II.8. Simulation : jitter en fonction de f_c

Cette simulation a été faite pour la version 54 MHz avec $K_v = 70$ MHz/V, $I_{\text{REF}} = 2$ μA et $\varphi_m = 45^\circ$. Conformément aux équations *eq.II.13* et *eq.II.14*, la réduction de f_c entraîne une augmentation considérable de la taille des capacités C1 et C2 du filtre de boucle, donc une hausse importante de la

surface occupée sur silicium. Nous avons donc essayé de trouver un bon compromis entre le jitter (inférieur à la nanoseconde pour la version 54 MHz) et une taille des éléments passifs raisonnable. Au vu des résultats de simulation obtenus (cf. tableau II.8), nous avons fixé f_c à 1 MHz au lieu de 2 MHz (20 kHz au lieu de 50 kHz pour la version 1 MHz). La figure II.34 présente le tracé des diagrammes de l'œil obtenus en simulations des circuits 1 MHz et 54 MHz.

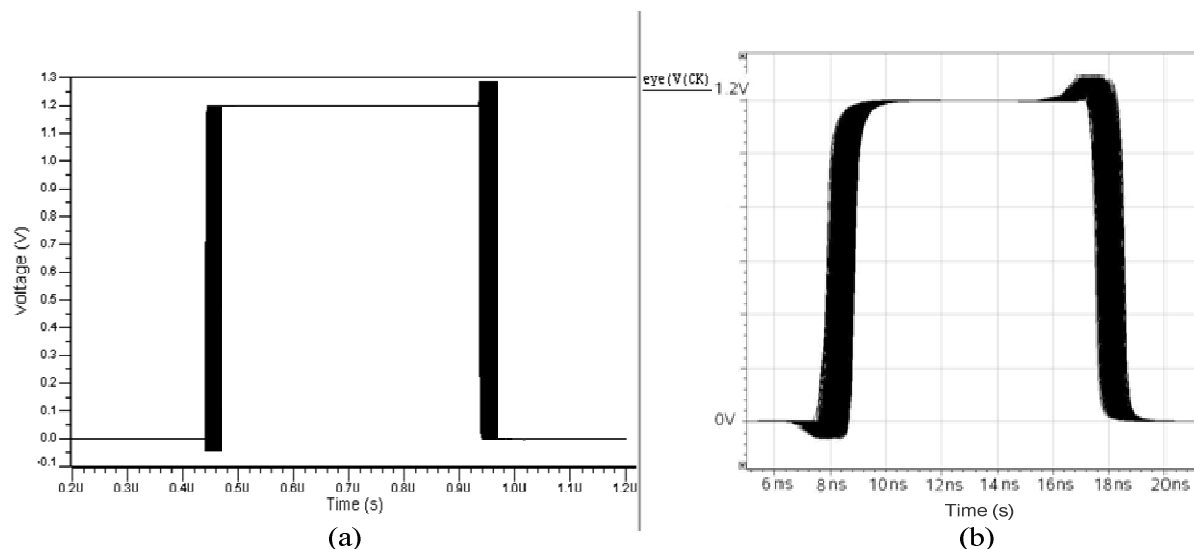


Figure II.34. Résultats de simulation : diagramme de l'œil de l'horloge générée (a) 1 MHz, (b) 54 MHz.

Ainsi, nous obtenons de meilleurs résultats en termes de jitter (peak-to-peak) : 0,92 ns (4,96% UI) pour la PLL 54 MHz et près de 22 ns (2,2% UI) pour la version 1 MHz. Le circuit 1 MHz présente un meilleur jitter (en % UI) car possédant un rapport K_d/D_b ($1\mu\text{A}/\text{MHz}$) plus grand ($1\mu\text{A}/\text{MHz}$ pour la PLL 1 MHz et $0,037\mu\text{A}/\text{MHz}$ pour la version 54 MHz). A l'opposé, la PLL 54 MHz présentera un meilleur rapport consommation/débit. Le tableau II.9 résume les paramètres des deux PLL après les ajustements effectués.

	Marge de phase φ_m	fréquence de coupure f_c	I_{REF}	K_d ($\text{nA}\cdot\text{rad}^{-1}$)	K_v	C_1	C_2	R_2
Circuit 1 MHz	45°	20 kHz	1 μA	79,58	1,2 MHz/V	15,74 pF	76 pF	252,82 k Ω
Circuit 54 MHz	45°	1 MHz	2 μA	159,15	70 MHz/V	0,73 pF	3,54 pF	108,35 k Ω

Tableau II.9. Résumé des paramètres des PLL 1MHz et 54 MHz après optimisation

La réduction de f_c entraîne toutefois l'augmentation des temps d'accroche (200 μs au lieu de pour la version 1 MHz, 19 μs pour la version 54 MHz).

II.5.4.4. Précharge de la tension de contrôle du VCO

D'après le récapitulatif sur les avantages et inconvénients des modules CDR établi au chapitre I, un des principaux désavantages des circuits CDR basés sur les systèmes asservis et notamment sur

la PLL analogique est leur agilité moyenne. Ce qui se traduit par un temps d'établissement et un temps de réponse généralement très élevés. Habituellement un compromis s'impose entre une bonne agilité et un faible jitter.

L'optimisation du jitter par la réduction de la fréquence de coupure de boucle compromet la rapidité du système. En effet, les temps d'accroche des deux PLL ont considérablement augmenté et sont passés à près de 200 μs (200 bits de synchronisation) pour la PLL 1 MHz et 19 μs (près de 1000 bits de synchronisation) pour la version 54 MHz.

Dans le but de réduire le temps d'établissement de la PLL sans augmenter le jitter sur l'horloge de sortie, un circuit de précharge a été rajouté en entrée du VCO.

Idéalement lorsque la PLL est verrouillée, la tension d'entrée du VCO V_{ctrl} vaut $V_{\text{dd}}/2$. Avec les variations process, cette tension peut légèrement dévier de cette valeur ($V_{\text{dd}}/2$) mais celle-ci reste la valeur la plus probable de V_{ctrl} lorsque la boucle est accrochée. Or au démarrage de la PLL, cette tension de commande V_{ctrl} est habituellement à 0V ou V_{dd} .

Le but du circuit de précharge est d'initialiser V_{ctrl} à $V_{\text{dd}}/2$ au lieu de 0V ou V_{dd} au démarrage de la PLL. Comme le montre la figure II.35, le circuit est constitué de trois interrupteurs (transistors NMOS) et d'un pont de deux résistances R_0 - R_1 . Ainsi au démarrage de la PLL, le signal $V_{\text{precharge}}$ est à l'état haut et les trois interrupteurs sont fermés pendant une durée $t_{\text{precharge}}$ suffisante pour charger la capacité C_2 du filtre. Au bout de $t_{\text{precharge}}$, V_{ctrl} est environ à $V_{\text{dd}}/2$ et $V_{\text{precharge}}$ passe à l'état bas et les interrupteurs s'ouvrent. La PLL se verrouille plus rapidement et le circuit de précharge n'intervient plus après la durée $t_{\text{precharge}}$ et ne fera pas partie du bilan de la consommation de la boucle une fois celle-ci verrouillée ($t_{\text{precharge}}$ a été choisi égal à 40 μs pour le circuit 1 MHz et 1 μs pour le circuit 54 MHz grâce à la simulation).

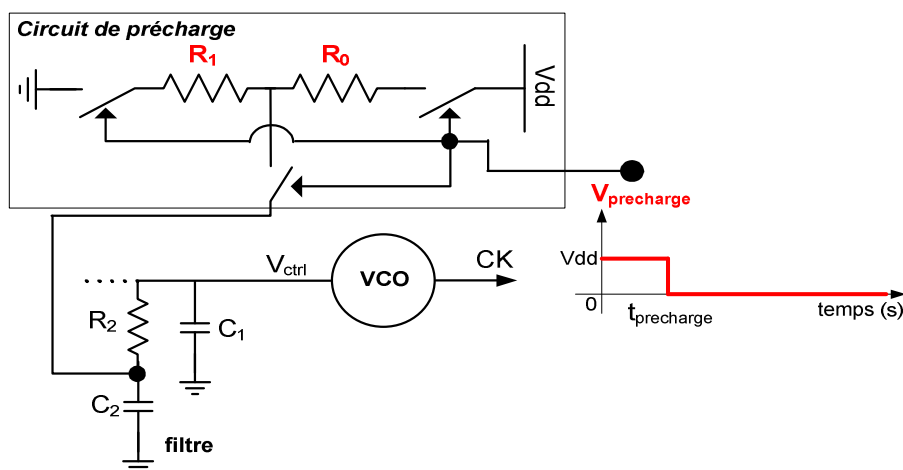


Figure II.35. Circuit de précharge

La figure II.36 compare la tension de contrôle du VCO lorsque la boucle (version 1 MHz) fonctionne avec et sans le circuit de précharge.

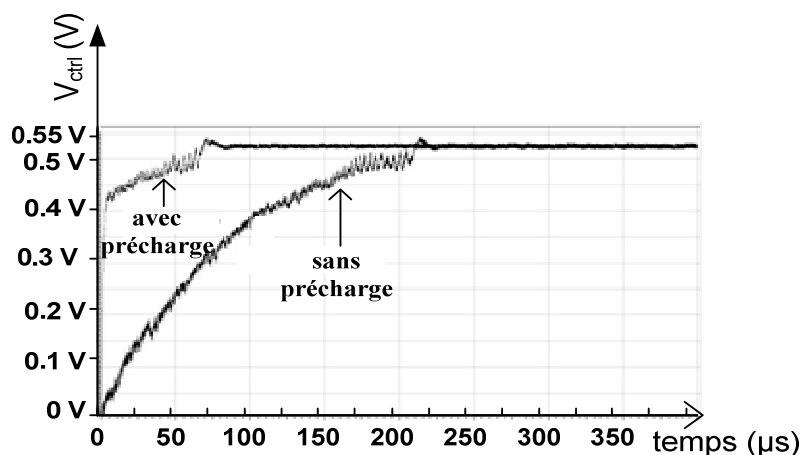


Figure II.36. Temps d'accroche de la PLL (1 MHz) avec et sans le circuit de précharge

Les résultats de cette simulation montrent un temps d'établissement d'environ 100 μs (100 bits de synchronisation) lorsque le circuit de précharge est rajouté et de 230 μs (230 bits) lorsque ce circuit n'intervient pas. Cette technique de précharge, relativement simple, permet donc de réduire le temps d'accroche de la boucle de plus de la moitié. On obtient un résultat presque similaire pour la PLL 54 MHz. Le temps d'accroche obtenu grâce au circuit de précharge permet d'obtenir de meilleures performances, si l'on compare ce résultat (100 bits) à ceux des PLL analogiques de l'état de l'art (cf. tableau I.2) (273 bits dans [Jal_11], 400 bits dans [Che_11]).

II.5.4.5. Simulations corner

Avant la réalisation du dessin des masques de fabrications, plusieurs simulations tenant compte des variations process ont été effectuées pour s'assurer du bon fonctionnement des deux boucles. Il s'agit de simulations statistiques qui ont principalement concerné le circuit d'élargissement du comparateur de phase et le verrouillage de la boucle quels que soient les paramètres corner.

En effet, le circuit d'élargissement du comparateur de phase proposé (cf. fig. II.26) est particulièrement sensible aux variations process car formé de cellules de retard. Il est donc important d'effectuer des simulations corner qui prennent en compte ces variations pour s'assurer que la durée du pallier haut du signal élargi D_{in} soit comprise entre T_b et $T_b/2$. La simulation consiste à injecter des impulsions de largeur 2 ns espacées de 1 μs et à mesurer la largeur de l'impulsion en sortie des élargisseurs (cf. fig. II.37) pour différents paramètres process.

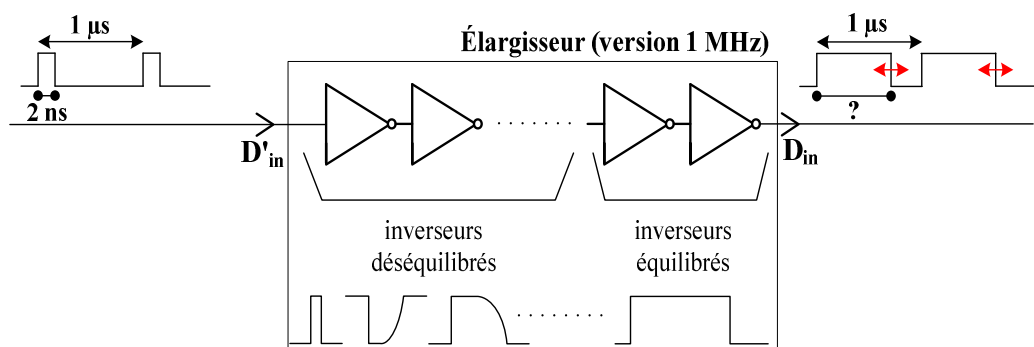


Figure II.37. Test des élargisseurs (version 1 MHz)

Les résultats des simulations corner sur l'élargisseur sont résumés dans le tableau II.10. Cette simulation a été faite avec des impulsions (signal D'_{in} fig. II.26) de largeur 2 ns en entrée dans le cadre de la PLL fonctionnant à 1 MHz ($T_b = 1\mu s$).

Paramètres corner	FF	SF	TT	FS	SS
Largeur de D_{in}	667 ns	753 ns	773 ns	796 ns	905 ns

Tableau II.10. Influence des variations process sur l'élargisseur (PLL 1 MHz)

Les résultats obtenus en simulation montrent que la durée du pallier haut de D_{in} reste dans la plage [500 ns ; 1 μs] même pour les pires cas de process : 667 ns pour FF (Fast NMOS, Fast PMOS) et 905 ns pour SS (Slow NMOS, Slow PMOS). Une vérification similaire a été faite pour le circuit 54 MHz.

Les deux boucles se verrouillent dans un premier temps pour les paramètres FF, FS (Fast NMOS, Slow PMOS) et SF (Slow NMOS, Fast PMOS), mais pas pour SS. Il a fallu rabaisser de peu la caractéristique du VCO (0,56 V au lieu de 0.6 V pour 54 MHz) pour que les PLL se verrouillent enfin pour les quatre paramètres corner.

Le dessin des masques de fabrication des deux circuits a ensuite été réalisé sous Cadence ©.

II.5.5. Dessin des masques de fabrication, résultats de mesures

II.5.5.1. Layout et simulations post-layout

Les dessins des masques (« layout ») des modules CDR 1 MHz et 54 MHz sont présentés sur les figures II.38 et II.39 suivantes.

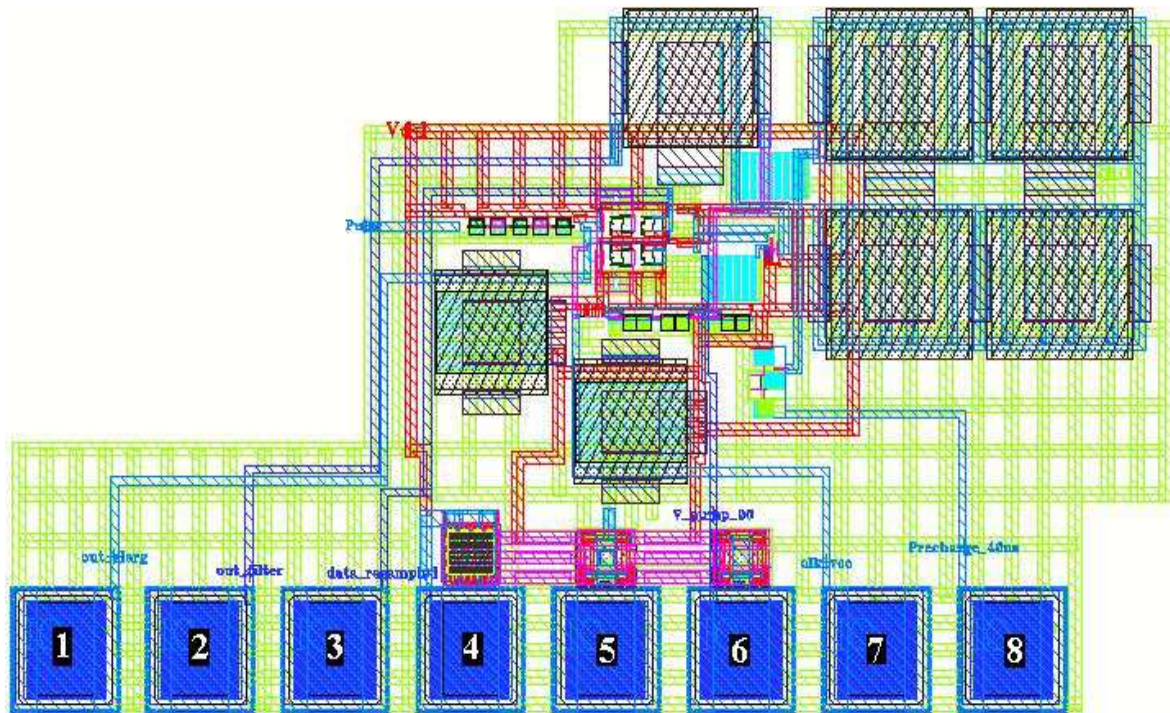


Figure II.38. Vue layout du module CDR 1 MHz

Les circuits 1 MHz et 54 MHz occupent respectivement une surface silicium de $827 \mu\text{m} \times 460 \mu\text{m}$ et $520 \mu\text{m} \times 377 \mu\text{m}$. Les PADS occupent une surface assez importante du layout, la zone utile est estimée à $580 \mu\text{m} \times 380 \mu\text{m}$ pour la version 1 MHz et $270 \mu\text{m} \times 240 \mu\text{m}$ pour le module CDR 54 MHz.

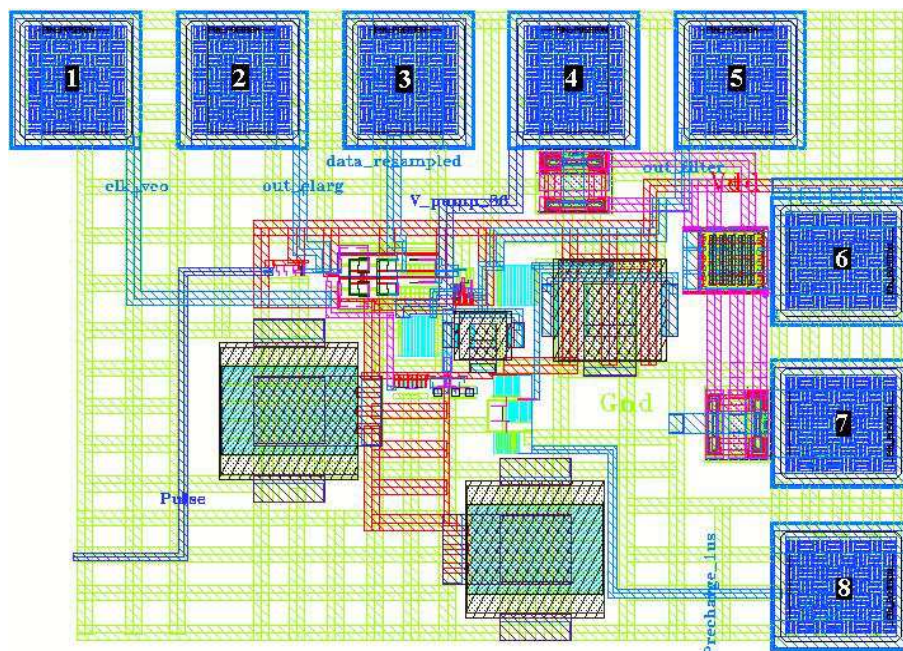


Figure II.39. Vue layout du module CDR 54 MHz

Des simulations post-layout associées à des simulations statistiques ont ensuite été effectuées après le layout des circuits afin de valider et d'ajuster au besoin certains paramètres. Entre autres, il faut s'assurer avant la fabrication que les deux PLL se verrouillent pour tous les paramètres corners

possibles. Par exemple, la figure II.40 montre le tracé de la tension de commande du VCO de la PLL 1 MHz obtenu en simulation post-layout pour différents paramètres corners (SS, SF, FS, FF et TT (Typical NMOS, Typical PMOS)).

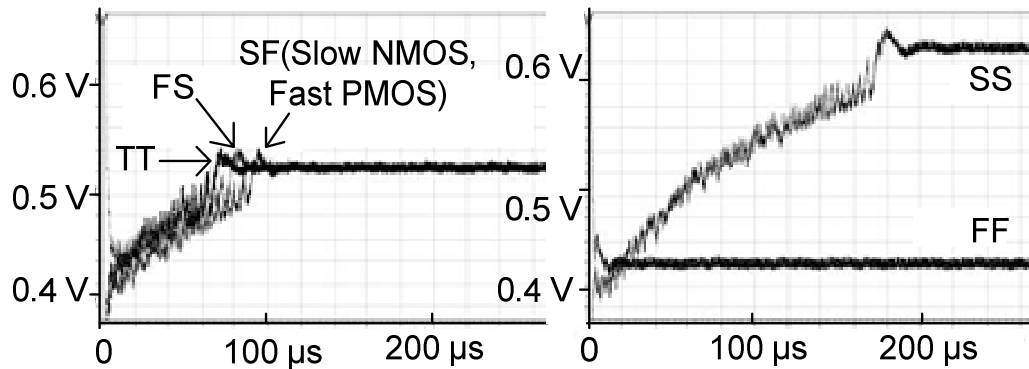


Figure II.40. Tension de contrôle du VCO (post-layout) pour différentes variations process (PLL 1 MHz)

La figure II.40 montre que la PLL (1 MHz) se verrouille pour tous les paramètres process. Le même travail a été effectué pour la version 54 MHz. Cette fois, la valeur finale de la précharge a dû être légèrement modifiée pour obtenir le verrouillage de la PLL en simulation post-layout pour les différentes variations process.

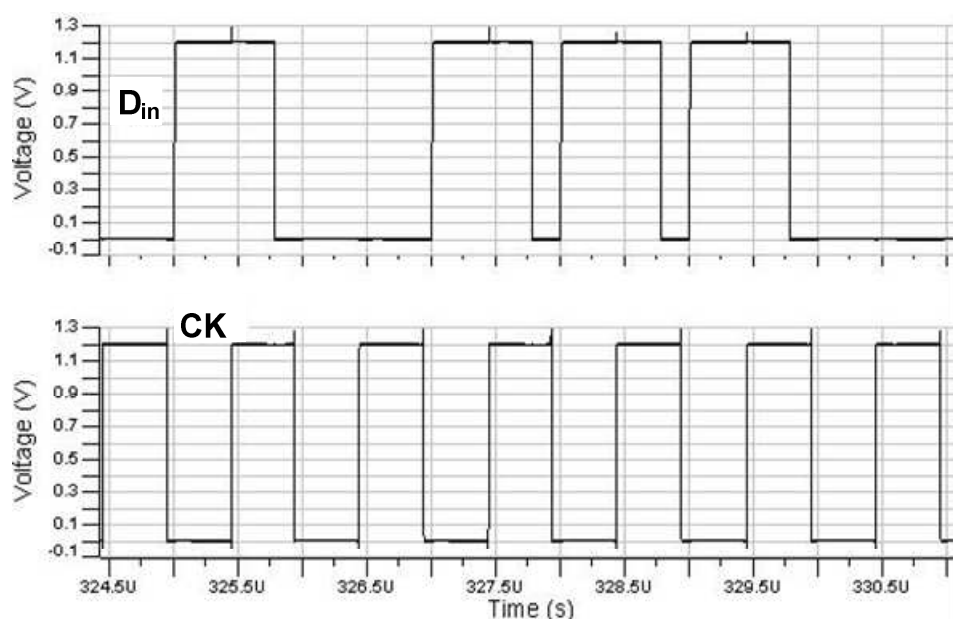


Figure II.41. Simulation post-layout : Donnée élargie D_{in} et horloge CK 1 MHz en phase

La figure II.41 montre le signal D_{in} (sortie élargisseurs du comparateur de phase) aligné avec l'horloge CK en sortie de la PLL 1 MHz. La boucle se verrouille au bout de 100 μ s avec un jitter d'horloge pk-pk de 23 ns (2,3% UI) et une consommation totale de 16 μ W. Pour la version 54 MHz, les résultats de simulation post-layout donnent un temps d'accroche de 5 μ s (270 bits), un jitter pk-pk

de 1 ns (5,4% UI) pour une consommation de 95 μ W. Le tableau II.11 récapitule les principaux résultats obtenus en simulation post-layout.

	Consommation	Temps d'accroche	Plage de capture	Jitter pk-pk	Jitter (en % UI)
CDR 1 MHz	16 μ W	100 μ s (100 bits)	780 kHz - 1,3 MHz	23 ns	2,3% UI
CDR 54 MHz	95 μ W	5 μ s (270 bits)	49,3 MHz - 59,2 MHz	1 ns	5,4% UI

Tableau II.11. Résumé des performances obtenues en simulation post-layout

II.5.5.2. Mesures

Après plusieurs séries de simulations et vérifications post-layout, les circuits ont ensuite été fabriqués. Différents circuits ont été reportés sur la puce de test (cf. fig. II.42) : LNA FCC, détecteur, module CDR 54 MHz, module CDR 1 MHz. L'élargisseur du comparateur de phase a été testé sur le module 54 MHz. Le circuit 1 MHz lui, prend en entrée un signal RZ (75%) injecté en sortie des élargisseurs. Les dimensions de la puce sont d'environ 2 mm x 1 mm.

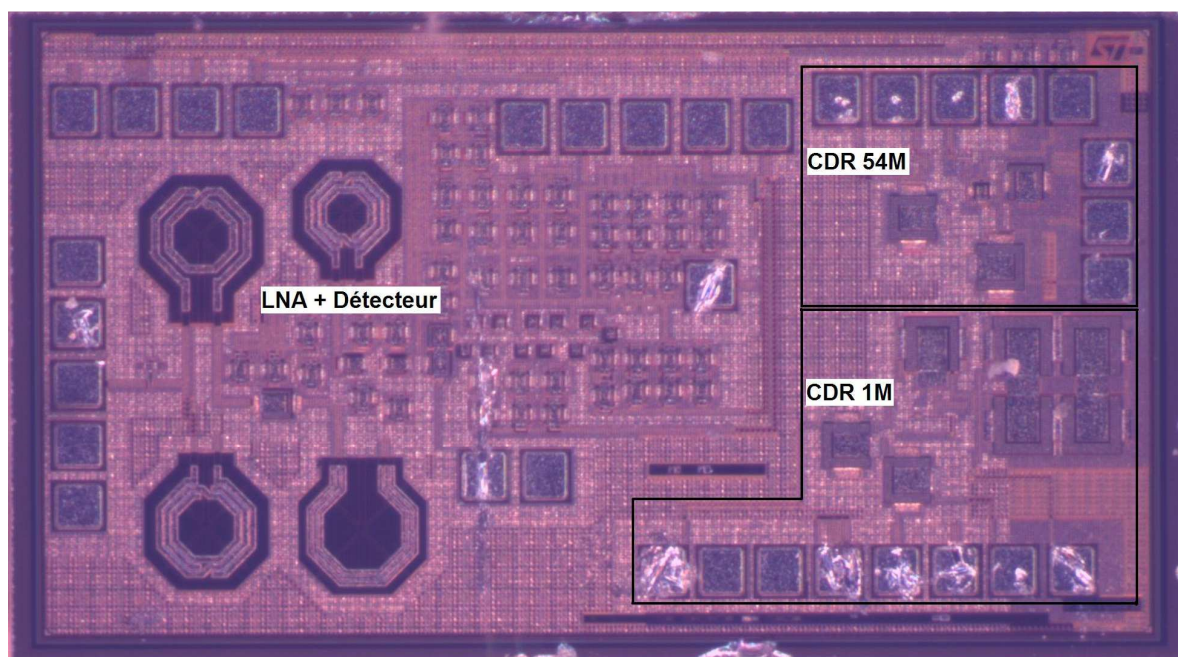


Figure II.42. Vue globale puce LNA + Détecteur – Modules CDR 54 MHz, CDR 1 MHz

Les circuits ont été testés sous pointes, directement sur la puce. Le banc de mesure (cf. fig. II.43) est essentiellement constitué de générateurs de signaux carrés, d'un générateur de tension continue, d'oscilloscope, de pointes passives et actives. Les générateurs de signaux carrés (Agilent, Tektronix) permettent de fournir aux modules CDR les signaux d'entrée (D'_{in} ou D_{in}) et la tension de précharge. La tension d'alimentation et le courant de polarisation de la pompe de charges sont générés par un générateur de tension continue. Tous ces signaux sont emmenés sur la puce via des pointes passives ou SG (« Signal – Ground ») suivant la disposition des pads et la fréquence du signal en question. Ensuite, deux pointes actives permettent de récupérer l'horloge et le signal ré échantillonné pour leur

visualisation sur l'oscilloscope. Celui-ci permet, entre autres, la mesure du jitter d'horloge grâce au tracé de l'histogramme.

En outre, le nombre assez important des plots de mesures (huit au total pour chaque circuit CDR) impose un grand soin notamment lors de la pose des pointes sur leurs plots respectifs. Les résultats de mesure des modules CDR 54 MHz et 1 MHz vont être détaillés par la suite.

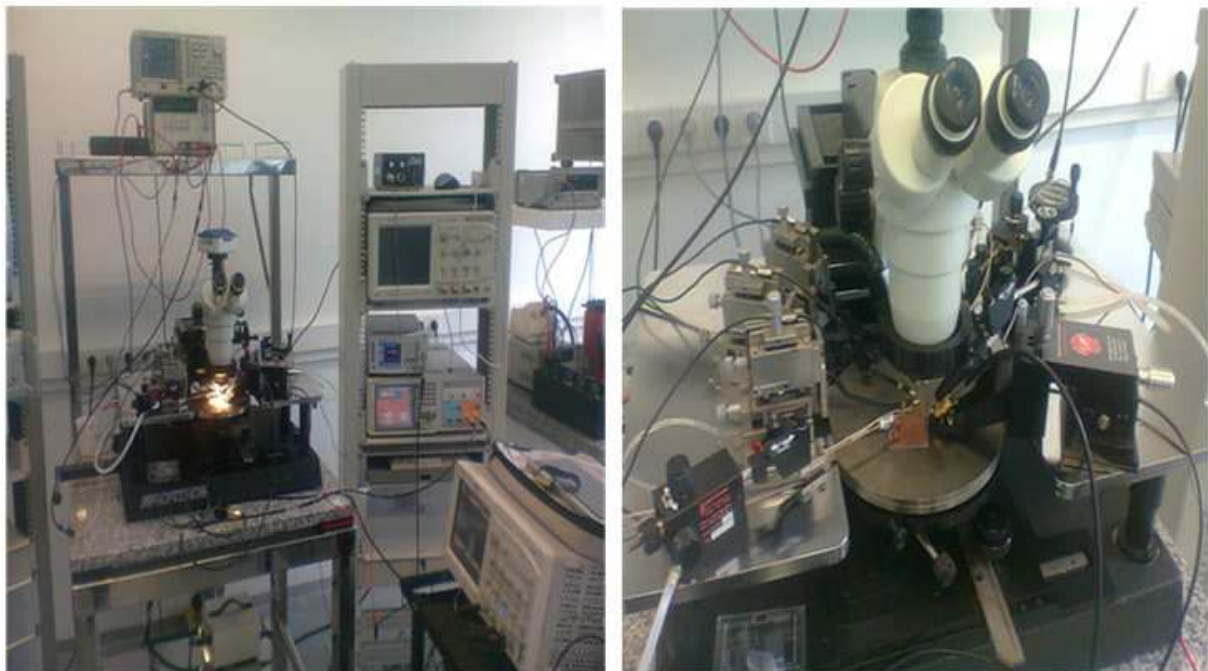
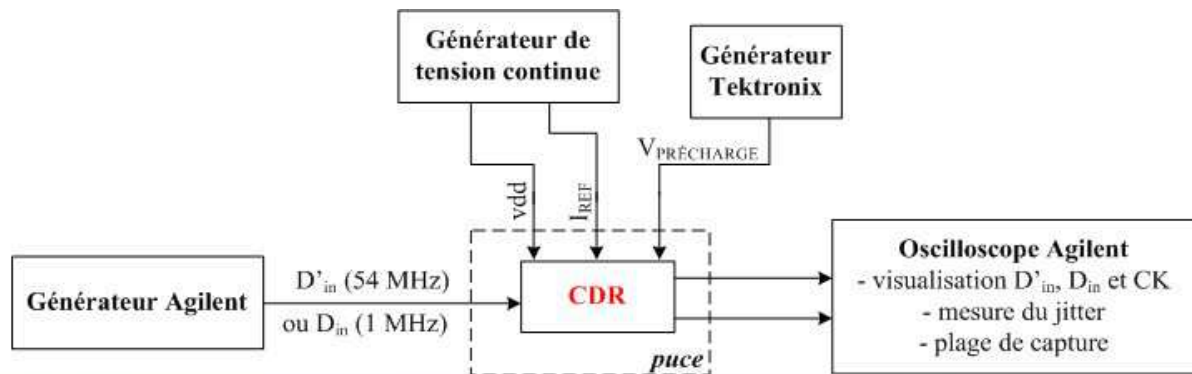


Figure II.43. Banc de mesure – dispositif de test sous pointes

II.5.5.2.1. Module CDR 54 MHz

Le circuit 54 MHz a été testé en injectant à son entrée une séquence pseudo-aléatoire d'impulsions (D'_{in}) de durée 2 ns. Quelques fonctions de la PLL ont également été testées séparément pour valider leur fonctionnement.

II.5.5.2.1.1 Mesure du VCO

Le VCO a été caractérisé en mesure pour comparer le gain et la caractéristique simulés aux résultats de mesure (cf. fig. II.44). Bien que la fréquence du VCO (mesure) soit plus basse qu'en simulation et

que la caractéristique sature plus tôt, on constate que le gain du VCO mesuré autour de 54 MHz est très proche de la valeur obtenue en simulation (68 MHz/V en mesure, 70 MHz/V en simulation).

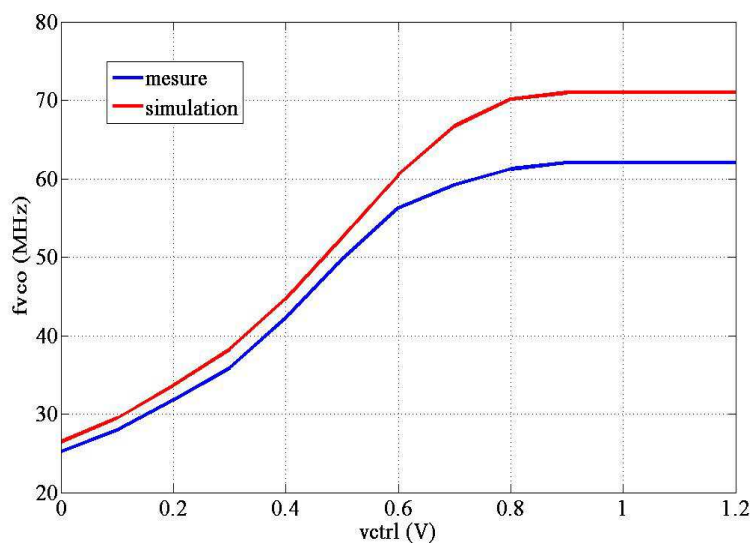


Figure II.44. Caractéristiques du VCO 54 MHz (Simulation vs Mesure)

II.5.5.2.1.2 Test des élargisseurs

Les élargisseurs ont été testés pour une durée des impulsions en entrée allant de 200 ps à 4 ns ($T_b = 18,52$ ns). Il faut garder à l'esprit que la durée des impulsions élargies doit être comprise entre $T_b/2$ et T_b . A noter qu'au-delà de 3 ns, les impulsions sont élargies à plus de T_b (cf. tableau II.12).

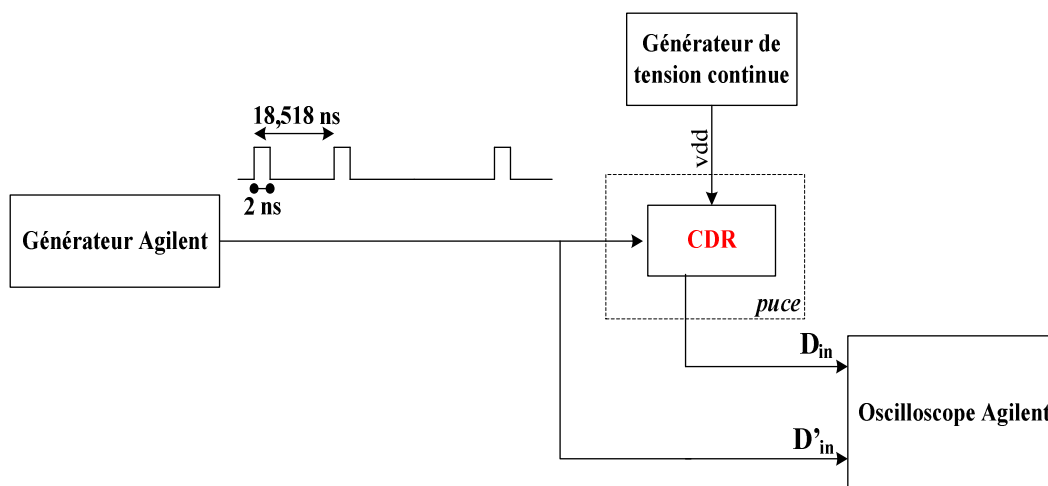


Figure II.45. Banc de test des élargisseurs 54 MHz

Durée Pulse D'_{in} (ns)	0,2	0,4	0,5	1	1,5	2	3	3,1	4
Durée sortie Elargisseur (ns)	15,55	15,66	15,77	16,33	16,88	17,52	18,38	18,67	19,42

Tableau II.12. Elargissement d'impulsions de différentes durées

La durée de l'impulsion FCC étant estimée entre 0,7 et 2 ns, les mesures ont ensuite été faites avec des impulsions de largeur 2 ns (cf. fig. II.45).

La figure II.46 montre un train d'impulsions (complémenté) de largeur 2 ns et le signal mesuré à la sortie de l'élargisseur du comparateur de phase. La durée mesurée des impulsions élargies vaut environ 17,52 ns. Elle est alors comprise entre $T_b/2$ (9,26 ns) et T_b (18,52 ns).



Figure II.46. Elargissement d'impulsions de largeur 2 ns. La représentation du signal d'entrée (en jaune) est complétée

II.5.5.2.1.3 Mesures de la PLL

Consommation

Le signal d'entrée est une séquence pseudo-aléatoire d'un train d'impulsions de durée 2 ns.



Figure II.47. (a) Vue chip et (b) Consommation du module CDR 54 MHz

Le circuit consomme globalement $84,2 \mu\text{A}$ @ $1,2 \text{ V}$ (cf. fig. II.47), soit $101,04 \mu\text{W}$ lorsque la boucle est verrouillée.

Jitter

La visualisation simultanée à l'oscilloscope des impulsions en entrée (pattern 0101...) et de l'horloge générée par la PLL 54 MHz est présentée sur la figure II.48.



Figure II.48. Boucle verrouillée : impulsions en entrée (pattern 0101...) du module CDR 54 MHz et horloge de sortie (signal temporel + histogramme sur la période d'horloge)

La représentation des impulsions en entrée de la PLL est complétée. Il y a un léger décalage (constant) entre ces impulsions et l'horloge générée mais la boucle reste bien verrouillée. Le tracé de l'histogramme sur la période du signal d'horloge montre un jitter peak-to-peak de 1,352 ns et un jitter RMS de 209,5 ps (cf. fig. II.48).

A l'état verrouillé de la PLL, on peut également mesurer le signal d'entrée ré échantillonné par l'horloge du VCO. Sur la figure II.49, on peut voir une séquence PRBS de longueur $2^5 - 1$ d'impulsions (complémentées) en entrée du module CDR et le signal reconstitué par l'horloge. Ce signal est fidèle au train d'impulsions en entrée $\overline{D'_{in}}$ du module CDR.

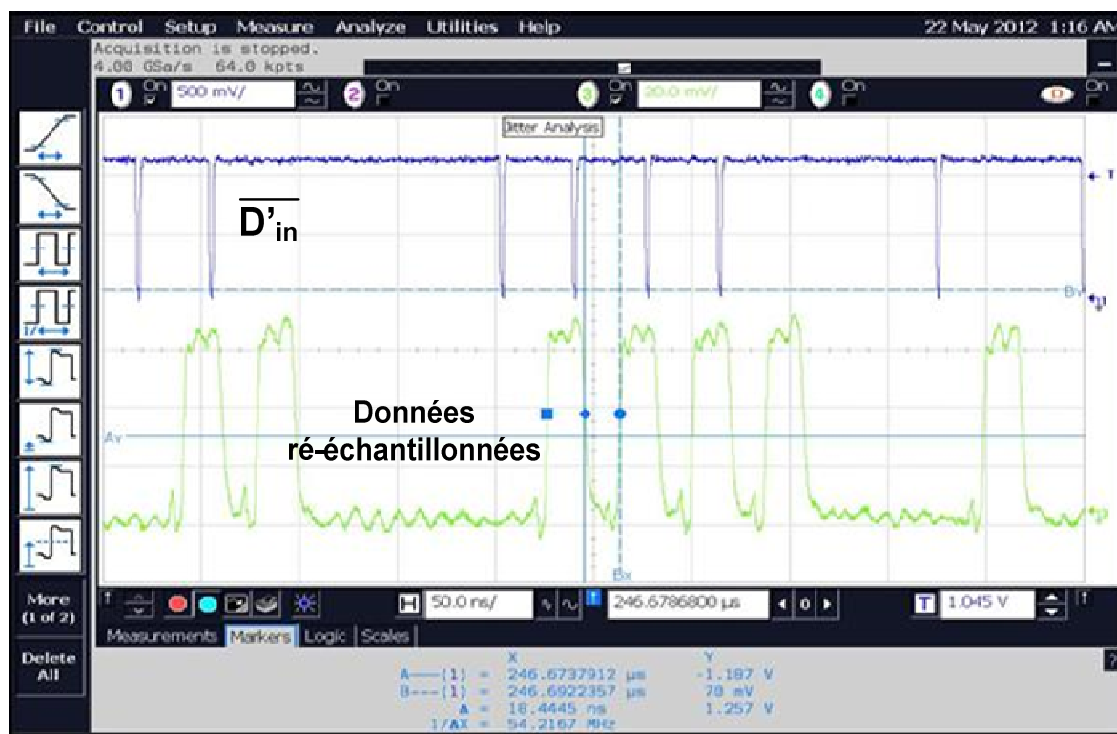


Figure II.49. Boucle 54 MHz verrouillée : impulsions en entrée (PSA de longueur $2^5 - 1$) + données ré échantillonnées par l'horloge du VCO

Plage de capture et temps de réponse

La plage de capture mesurée [49,12 ; 59,05 MHz] est très proche de la valeur simulée post-layout ([49,3 ; 59,2 MHz]). En outre, on mesure un temps de réponse du système égal à 11,22 μ s. Nous montrerons l'influence du circuit de précharge sur le temps de réponse pour le module CDR 1 MHz.

II.5.5.2.2. Module CDR 1 MHz

Pour la version 1 MHz, l'élargisseur du comparateur de phase n'est pas pris en compte parce que le plot prévu pour l'entrée de l'élargisseur n'est pas utilisé. Ici, le signal d'entrée est directement une séquence pseudo-aléatoire d'un signal RZ (75%) (Durée du pallier haut = 750 ns). Ce signal attaque directement la bascule D du comparateur de phase (D_{in}).

Consommation

Le circuit consomme globalement 45.1 μ A @ 1,2 V (cf. fig. II.50), soit 54.12 μ W lorsque la boucle est verrouillée (en négligeant la consommation dynamique de l'élargisseur).

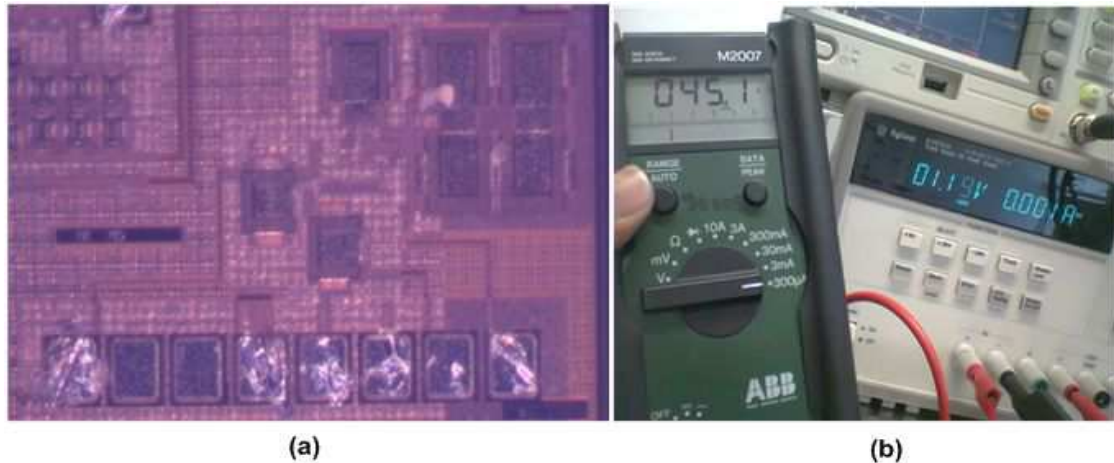


Figure II.50. (a) Vue chip et (b) consommation du module CDR 1 MHz

Jitter

Comme pour la version 54 MHz, l'horloge **CK** du VCO (cf. fig. II.51) se verrouille bien sur la donnée RZ **D_{in}** en entrée malgré un léger décalage entre les deux signaux. L'histogramme montre un jitter peak-to-peak de 22,52 ns et un jitter RMS de 7,91 ns.



Figure II.51. Boucle 1 MHz verrouillée : impulsions en entrée (pattern 0101...) et horloge de sortie (signal temporel + histogramme sur la période d'horloge)

Contrairement à la version 54 MHz, ce circuit n'a pu être testé avec une PRBS. Le générateur Agilent présentant cette option ne peut générer un signal avec une fréquence inférieure à 20 MHz.

Plage de capture

On mesure une plage de capture comprise entre 720 kHz et 1,12 MHz, cohérente vis-à-vis des valeurs obtenues en simulation (780 kHz – 1,3 MHz).

Temps de réponse

L'influence du circuit de précharge sur l'agilité de la boucle a été étudiée en simulation où les résultats (cf. fig. II.36) ont montré que le temps d'accroche de la boucle était réduit de plus de la moitié grâce à la précharge. Cet effet de la précharge a été confirmé en mesure. Il s'agit là de mesurer ce temps de réponse avec et sans le circuit de précharge (cf. fig. II. 52). La mesure sans la précharge s'est faite en laissant l'entrée $V_{\text{precharge}}$ en l'air.

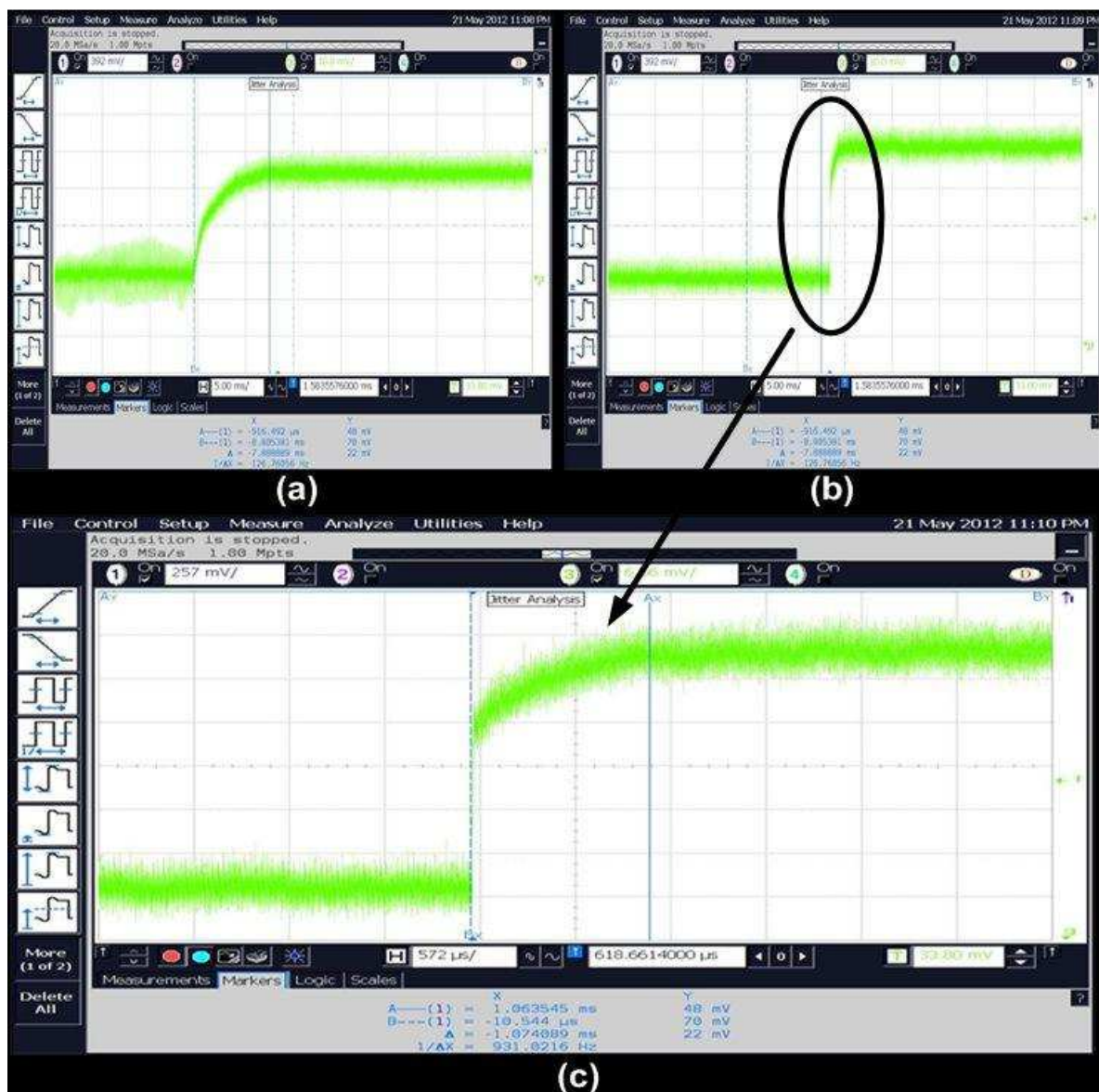


Figure II.52. Temps de réponse de la PLL 1 MHz (a) sans la précharge et (b) avec la précharge + (c) zoom sur la réponse avec la précharge

On constate sur la figure II.52 que le temps réponse du système avoisine les 7 ms lorsque le circuit de précharge n'entre pas en jeu. A contrario, quand la précharge est prise en compte, le temps de réponse tourne autour de 1.07 ms, soit environ sept fois moins.

II.5.3.6. Conclusion sur les performances des circuits réalisés

Les tableaux suivants dressent un récapitulatif des performances (simulation post-layout, mesure) des modules CDR 54 MHz et 1 MHz réalisés.

Paramètres		
Entrée	Précharge	
PRBS d'impulsions de largeur 2 ns	Impulsion de largeur 1 μ s ($t_{precharge}$)	
Résultats		
	Simulation Post-Layout	Mesure
Gain VCO	70 MHz/V	68 MHz/V
Consommation globale CDR	95 μ W	101,04 μ W
Plage de capture	[49,3 MHz – 59,2 MHz]	[49,12 MHz – 59,05 MHz]
Jitter peak-to-peak	1 ns	1,35 ns
Jitter pk-pk en %UI	5,4% UI	7,29% UI
Jitter rms	-	209,5 ps
Temps de réponse	-	11,22 μ s
Temps d'accroche	5 μ s	-
	~ 270 bits	-

Tableau II.13. Performances du module CDR 54 MHz

Paramètres		
Entrée	Précharge	
Signal RZ 75% (durée pallier haut 750 ns)	Impulsion de largeur 40 μ s ($t_{precharge}$)	
Résultats		
	Simulation Post-Layout	Mesure
Consommation globale CDR	16 μ W	54 μ W
Plage de capture	[780 kHz – 1,3 MHz]	[720 kHz – 1,12 MHz]
Jitter peak-to-peak	23 ns	22,52 ns
Jitter pk-pk en %UI	2,3% UI	2,25% UI
Jitter RMS	-	7,91 ns
Temps de réponse	-	1,07 ms
Temps d'accroche	100 μ s	-
	~ 100 bits	-

Tableau II.14. Performances du module CDR 1 MHz

Les performances en termes de jitter et de consommation des deux circuits sont très intéressantes, quand on les compare à celle des autres modules CDR présentés dans l'état de l'art (cf. tableau II.15). La comparaison est faite avec seulement les circuits CDR à base de systèmes asservis qui présentent les meilleurs facteurs de mérite.

	Débit	Consommation/débit (pW/bit.s ⁻¹)	Jitter (en % UI)	Facteur de mérite F _m
[Che_11]	100 Mbit/s	66,49 pW/bit.s ⁻¹	1,99% UI	0,75
[Jal_11]	9,1 Gbit/s	3,95 pW/ bit.s ⁻¹	10% UI	2,53
[Lee_06]	1 Gbit/s	9,7 pW/ bit.s ⁻¹	3,44% UI	2,99
[Lin_08]	3,125 Gbit/s	19,2 pW/ bit.s ⁻¹	9,44% UI	0,55
[Oh_07]	2,5 Gbit/s	5,28 pW/ bit.s ⁻¹	11,8% UI	1,6
[Yin_11]	2,5 Gbit/s	2,8 pW/ bit.s ⁻¹	17% UI	2,1
CDR 1 MHz	1 Mbit/s	54 pW/bit.s⁻¹	2,25% UI	0,82
CDR 54 MHz	54 Mbit/s	1,87 pW/ bit.s⁻¹	7,29% UI	7,33

Tableau II.15. Comparaison des performances mesurées avec l'état de l'art

A l'image du tableau II.15, la PLL 1 MHz a un facteur de mérite faible à cause de la consommation ramenée au débit (54 pW/bit.s⁻¹). En fait, on peut constater que la consommation mesurée (54 μW) s'éloigne de la valeur simulée (16 μW) post-layout. Cet écart est à l'origine du faible facteur de mérite obtenu. Toutefois, ce circuit présente un jitter très faible (2,25% UI) comparé aux autres publications. La version 54 MHz présente un excellent rapport consommation/débit (seulement 1,87 pW/bit.s⁻¹), ce qui lui vaut une valeur de F_m (7,33) de loin meilleure que toutes les autres présentes dans l'état de l'art. Nous reprenons, le graphe comparatif de différents modules CDR établi au chapitre I où nous insérons les circuits 1 MHz et 54 MHz (cf. fig. II. 53).

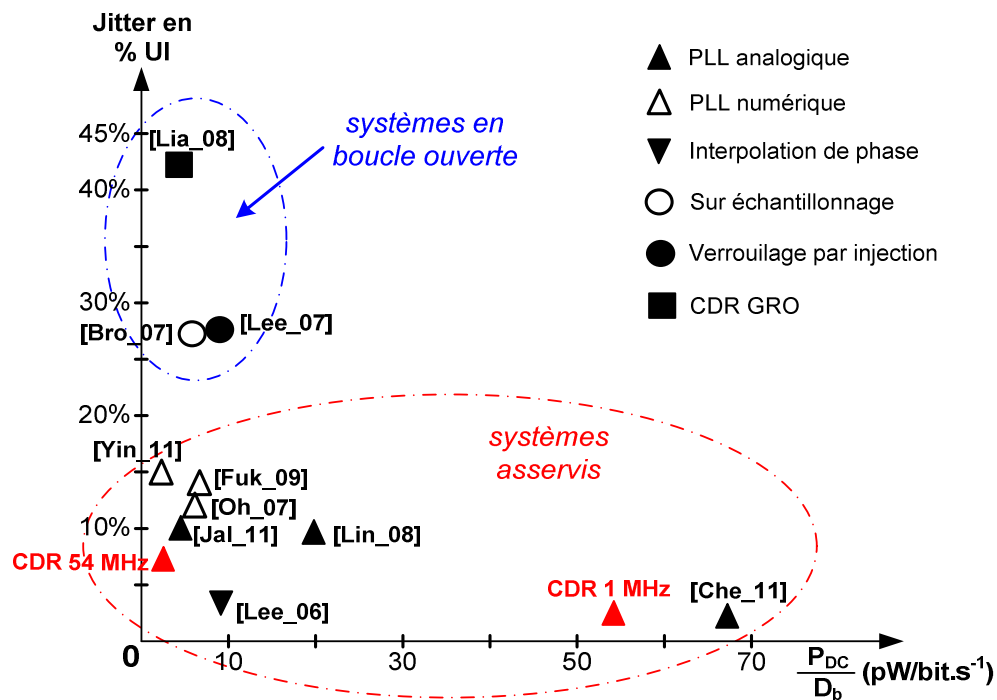


Figure II.53. Jitter (en % UI) en fonction du rapport consommation/débit de différents circuits CDR

Ce graphe confirme les bonnes performances en termes de jitter et de consommation des deux circuits réalisés. L'impact des performances mesurées du module CDR 1 MHz sur le récepteur va être abordé dans le dernier paragraphe de ce chapitre.

II.5.6. Impact des performances du module CDR sur la consommation du récepteur IR-UWB

Sans le module CDR et la gestion d'énergie, la consommation totale du récepteur vaut 25 W ($P_{RECEPTEUR}$). Nous pouvons estimer la consommation globale du récepteur ($P_{GLOBALE}$) en supposant la gestion d'énergie présentée sur la figure. II.14 utilisant le module CDR 1 MHz.

Pour cela, nous appliquons les performances mesurées (jitter de 22,52 ns (t_{jitter}), consommation de 54 μW (P_{CDR})) de cette fonction CDR aux équations eq.II.2 et eq.II.3. Rappelons ces deux équations :

$$t_{ON} = t_{pulse} + t_{setup} + t_{jitter}$$

$$P_{GLOBALE} = P_{CDR} + \frac{t_{ON}}{T_b} \cdot P_{RECEPTEUR}$$

Nous supposons un temps d'allumage des fonctions LNA et détecteur de 2 ns (t_{setup}) et une durée de 2 ns (t_{pulse}) des impulsions en sortie du détecteur d'énergie.

On obtient alors un $t_{ON} = 2 \text{ ns} + 22,52 \text{ ns} + 2 \text{ ns} = 26,52 \text{ ns}$ et donc $P_{GLOBALE} = 717 \mu\text{W}$, soit une réduction de plus de 97% de la consommation du récepteur. C'est une très bonne performance quand on fait la comparaison avec les performances des récepteurs présentées dans l'état de l'art (cf.

tableau. II.1). En plus, contrairement à notre solution, la consommation annoncée dans beaucoup de ces récepteurs ne tient pas compte de celle de la fonction de synchronisation (externe). Sur le tableau II.16, nous présentons la consommation (extrapolée) de notre récepteur en comparant ces principales caractéristiques avec celles des récepteurs ULB de l'état de l'art. Dans notre système, le bilan de la consommation ne tient pas compte du circuit de fenêtrage (on/off) qui suit le circuit CDR (cf. fig. II.15).

	[Cre_11]	[Doka_10]	[Lee_07]	Récepteur CCI + CDR 1 MHz
Bande de fréquence	3,6 - 4,3 GHz (0,7 GHz de bande)	3 - 5 GHz (2 GHz de bande)	3 - 5 GHz (2 GHz de bande)	3,1 - 10,6 GHz (7,5 GHz de bande)
Technologie	CMOS 90 nm	CMOS 90 nm	CMOS 90 nm	CMOS 130 nm
Débit	1 Mbit/s	100 kbit/s	100 kbit/s	1 Mbit/s
Consommation initiale du récepteur	2,9 mW	10,5 mW	35,8 mW	25 mW
Schéma de synchronisation	Interne (Oscillateur en anneau + logique numérique)	Externe (Idéale)	Externe (Réglage manuel)	Interne (PLL analogique)
Précision de la synchronisation (jitter en % UI)	NC	0,05 % UI (supposée)	NC	2,25 % UI
Rapport cyclique de la fenêtre on/off	40 %	0,1 %	0,6 %	2,65 % (extrapolée)
Consommation du récepteur (avec gestion d'énergie)	1,64 mW	14,3 μ W	250 μ W	717 μW (extrapolée)

Tableau II.16. Comparaison des performances du récepteur avec celles de l'état de l'art

La consommation finale du récepteur est estimée inférieure au milliwatt. Dans ce calcul, les performances mesurées (jitter et consommation) de la fonction de synchronisation sont prises en compte. A contrario, dans [Doka_10] et [Lee_07], plusieurs raisons expliquent les consommations annoncées. En effet dans [Doka_10], le circuit fonctionne dans une bande de largeur 2 GHz, ce qui justifie une consommation initiale (10,5 mW) relativement faible du récepteur. Ensuite, comme expliqué précédemment, l'utilisation d'une synchronisation externe idéale avec une précision très optimiste (0,05 % UI) ainsi que l'absence de la consommation de la fonction de synchronisation dans le bilan final expliquent en partie le très faible rapport cyclique de la fenêtre on/off (seulement 0,1 %), d'où la faible consommation (14,3 μ W) annoncée. De la même manière, un rapport cyclique de 0,6 % est obtenu dans [Lee_07] d'où la consommation finale de 250 μ W.

Conclusion du chapitre II

L'objectif de ce chapitre était de présenter la conception d'un module CDR destiné à la gestion d'énergie dans un récepteur ULB impulsionnel non cohérent.

Le concept de la gestion d'énergie dans les architectures de récepteurs ULB impulsionnels à faible rapport cyclique a été présenté. Nous avons montré par là les potentialités en termes de faible consommation de tels récepteurs aux bas débits. Une présentation succincte des généralités sur les communications ULB a également été faite. Dans ce contexte, l'accent a été particulièrement mis sur les récepteurs ULB impulsionnels non cohérents.

Un état de l'art de ce type de récepteur a ensuite été établi dans le but de comparer les différentes architectures et performances. Le principal point commun entre ces structures est leur faible consommation généralement obtenue grâce à une gestion d'énergie basée sur le très faible rapport cyclique des impulsions ULB. Nous avons ensuite présenté l'architecture du récepteur ULB développé au sein de l'équipe CCI de l'IMN2P et destiné à accueillir le module CDR conçu dans le cadre de cette thèse.

Un module CDR basé sur une PLL analogique a été conçu. Deux versions (1 MHz et 54 MHz) ont été réalisées, allant de l'étude théorique de l'architecture à la mesure sous pointes. Un comparateur de phase adapté aux impulsions ULB a été proposé ainsi qu'un circuit de précharge permettant de réduire considérablement le temps d'accroche du circuit sans compromettre le jitter. La boucle a été dimensionnée pour offrir de bonnes performances en termes de consommation et de jitter. Grâce aux simulations corner et post-layout, une optimisation de ces performances a été possible.

Les performances obtenues pour le module CDR 1 MHz permettent d'envisager une gestion d'énergie efficace. En effet, de 25 mW, la consommation du récepteur est estimée à moins du milliwatt avec le principe de gestion d'énergie présenté dans ce chapitre.

Par ailleurs, la mesure de la chaîne de réception complète (LNA – détecteur – CDR) est envisagée ainsi que la conception du circuit de fenêtrage on/off à partir de l'horloge générée par le bloc CDR. Le circuit de fenêtrage devra être très précis et consommer très peu pour ne pas compromettre la gestion d'énergie.

Bibliographie du Chapitre II

- [Bac_08] Y. Bachelet "Conception en technologie CMOS de générateurs d'impulsions Ultra Large Bande pour la norme américaine (FCC) et la norme européenne (ECC)", thèse de doctorat, Université d'Aix-Marseille I, 2008.
- [Ban_98] D. Banerjee "PLL, performance, Simulation and Design", National Semiconductor, 1998.
- [Bou_07] S. Bourdel, J. Gaubert, M. Battista, Y. Bachelet, G. Bas, "CMOS UWB transceiver for impulse radio", IEEE International Conference on Ultra-WideBand (ICUWB), pp. 188-193, September 2007.
- [Cre_11] M. Crepaldi, C. Li, J. R. Fernandes, P.R. Kinget "An Ultra-Wideband Impulse-Radio Transceiver Chipset Using Synchronized-OOK Modulation" IEEE Journal of Solid-State Circuits, Vol. 46, No. 10, October 2011.
- [Dal_10] D. C. Daly, P. P. Mercier, M. Bhardwaj, A. L. Stone, Z. N. Aldworth, T. L. Daniel, J. Voldman, J. G. Hildebrand, A. P. Chandrakasan "A Pulsed UWB Receiver SoC for Insect Motion Control", IEEE Journal of Solid-State Circuits, Vol. 45 issue 1, pp. 153-166, Jan 2010.
- [Deh_10] N. Dehaese, M. Battista, R. Vauche., S. Bourdel, J. Gaubert, O. Fourquin, N. Tall "Low-Power CMOS Energy Detector for Non-Coherent Impulse Radio UWB Receivers", Proc. Int. Conf on UWB, pp. 1-4, Sept 2010.
- [Dok_10] R. Dokania, X. Wang, S. Tallur, C. Dorta-Quinones, A. Apsel "An Ultralow-Power Dual-Band UWB Impulse Radio", IEEE Trans. on Circuits and Systems- II, Vol. 57, n°7, pp. 541-545, July 2010.
- [Doka_10] R. Dokania, X. Wang, S. Tallur, A. Apsel "A 19 μ W, 100kbps Impulse Radio Transceiver for Body-Area-Networks", Proceedings of 2010 IEEE International Symposium on Circuits and Systems (ISCAS), pp. 325-328, May 2010.
- [ECMA_05] ECMA International "Standard ECMA-368 – High Rate Ultra Wideband PHY and MAC Standard", 1st Edition, December 2005.
- [FCC_02] FCC "Revision of part 15 of the commission's rules regarding ultra-wideband transmission systems", 2002.
- [Ham_11] R. Hamdi, A. Bounif, A. Desmarais, D. Deslandes, F. Nabki "A Low-Power OOK Ultra-Wideband Receiver with Power Cycling", 9th IEEE International New Circuits and Systems Conference (NEWCAS), pp. 430-433, June 2011.
- [Hog_85] C. R. Hogge "A self-correcting clock recovery circuit", IEEE J. Lightwave Technol., vol. LT-3, pp. 1312-1314, Dec. 1985.
- [IEEE_07] IEEE "802.15.4a: Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (LR-WPANs) –Amendment 1: Add Alternate PHYs", August 2007.
- [Lec_09] A. Lecointre, D. Dragomirescu, R. Plana "Interface Radio IR-UWB pour les Réseaux de Microsystèmes Communicants", Journée National du Réseau Doctoral de Microélectronique, JNRDM France, 2009.
- [Lee_07] F. S. Lee, A. P. Chandrakasan "A 2.5 nJ/bit 0.65 V Pulsed UWB Receiver in 90 nm CMOS", IEEE Journal of Solid-State Circuits, Vol. 42, Issue. 12, pp. 2851-2859, December 2007.
- [Lim_00] K. Lim, C. H. Park, D. -S, Kim, B. Kim "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization", IEEE Journal of Solid-State Circuits, Vol. 35, No. 6, pp. 807-815, June 2000.

- [Mar_07] D. Marchaland "Architectures et Circuits dédiés aux Émetteurs Ultra Large Bande Bas Débit", thèse de doctorat, Université de Marne-La-Vallée, 2007.
- [Nat_01] National Semiconductor "An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump PLL's", Application Note 1001, July 2001.
- [Pie_52] J. R. Pierce, A. L. Hopper "Nonsynchronous time division with holding and with random sampling", Proceedings of the IRE, Vol. 40, No. 9, pp. 1079-1088, 1952.
- [Tall_12] N. Tall, N. Dehaese, S. Bourdel, O. Fourquin, R. Vauche, J. Gaubert "Low-Power Clock and Data Recovery Circuit for IRUWB Receiver Power Management", 9th International Multi-Conference on Systems, Signals and Devices (SSD), March 2012.
- [Van_09] N. Van Helleputte, G. Gielen "A 70 pJ/Pulse Analog Front-End in 130 nm CMOS for UWB Impulse Radio Receivers", IEEE J. Solid-State Circuits, Vol. 44, n°7, pp. 1862–1871, July 2009.
- [Vau_11] R. Vauché "Conception de générateurs d'impulsions Ultra Large Bande en technologie CMOS", thèse de doctorat, Université d'Aix-Marseille I, 2011.
- [Win_00] M. Win, R. Scholtz "Ultra-wide Bandwidth Time-Hopping Spread Spectrum Impulse Radio for Wireless Multiple Access Communications", IEEE Trans. on Comm. Vol. 48, No. 4, pp. 679 – 691, April 2000.
- [Zha_09] J. Zhang, P. V. Orlik, Z. Sahinoglu, A. F. Molisch, P. Kinney "UWB Systems for Wireless Sensor Networks" Proceedings of the IEEE, vol. 97, no. 2, pp. 313-331, Feb. 2009.

Chapitre III : Étude et réalisation de synchronisateurs de bits numériques, implantation sur cible FPGA

SOMMAIRE

INTRODUCTION DU CHAPITRE III	ERREUR ! SIGNET NON DEFINI.
III.1. DESCRIPTION DU FLOT DE CONCEPTION	ERREUR ! SIGNET NON DEFINI.
III.1.1. LES CIRCUITS FPGA	ERREUR ! SIGNET NON DEFINI.
III.1.2. LE LANGAGE VHDL.....	ERREUR ! SIGNET NON DEFINI.
III.1.3. FLOT DE CONCEPTION.....	ERREUR ! SIGNET NON DEFINI.
III.2. ETUDE ET REALISATION D'UNE PLL NUMERIQUE PROGRAMMABLE POUR EMETTEURS NUMERIQUES EN BANDE DE BASE	ERREUR ! SIGNET NON DEFINI.
III.2.1. EMETTEUR SOQPSK	ERREUR ! SIGNET NON DEFINI.
III.2.1.1. <i>Présentation globale du système</i>	<i>Erreur ! Signet non défini.</i>
III.2.1.2. <i>Nécessité d'un circuit CDR, cahier des charges</i>	<i>Erreur ! Signet non défini.</i>
III.2.2. CONCEPTION DU MODULE CDR.....	ERREUR ! SIGNET NON DEFINI.
III.2.2.1. <i>Architecture du module CDR</i>	<i>Erreur ! Signet non défini.</i>
III.2.2.2. <i>Modélisation et dimensionnement de la boucle</i>	<i>Erreur ! Signet non défini.</i>
III.2.2.3. <i>Conception de la PLL numérique</i>	<i>Erreur ! Signet non défini.</i>
III.2.2.4. <i>Programmation FPGA et mesures</i>	<i>Erreur ! Signet non défini.</i>
III.2.2.5. <i>Optimisation</i>	<i>Erreur ! Signet non défini.</i>
III.2.2.6. <i>Mesures après optimisation, aspect programmable</i>	<i>Erreur ! Signet non défini.</i>
III.2.2.7. <i>Conclusion</i>	<i>Erreur ! Signet non défini.</i>
III.3. CONCEPTION D'UN ELGS NUMERIQUE PROGRAMMABLE DANS LE CADRE D'UN RECEPTEUR PCM/FM	ERREUR ! SIGNET NON DEFINI.
III.3.1. RECEPTEUR PCM/FM ET CAHIER DU CHARGES DU CIRCUIT CDR	ERREUR ! SIGNET NON DEFINI.
III.3.2. ETUDE ET REALISATION DU MODULE CDR.....	ERREUR ! SIGNET NON DEFINI.
III.3.2.1. <i>Description du fonctionnement de l'ELGS</i>	<i>Erreur ! Signet non défini.</i>
III.3.2.2. <i>Modélisation et dimensionnement d'un ELGS numérique</i>	<i>Erreur ! Signet non défini.</i>
III.3.2.3. <i>Conception du circuit</i>	<i>Erreur ! Signet non défini.</i>
III.3.2.4. <i>Implantation FPGA et résultats de mesures</i>	<i>Erreur ! Signet non défini.</i>
III.3.2.5. <i>Améliorations</i>	<i>Erreur ! Signet non défini.</i>
CONCLUSION DU CHAPITRE III	ERREUR ! SIGNET NON DEFINI.
BIBLIOGRAPHIE DU CHAPITRE III	ERREUR ! SIGNET NON DEFINI.

Introduction du chapitre III

Ce dernier chapitre est consacré à l'étude et la réalisation de circuits CDR numériques implantés sur FPGA pour des applications de la société Dm RADIOCOM. Dans un premier temps, sera décrit le flot de conception numérique utilisé dans le cadre de cette thèse. Ce flot détaille les différentes étapes de la conception des circuits de l'élaboration du cahier des charges à l'implantation sur cible FPGA. Dans cette partie, nous ferons une description sommaire des circuits FPGA et du langage de description matérielle VHDL.

Nous présenterons ensuite un module CDR numérique destiné à être implanté dans un émetteur utilisant une modulation SOQPSK (Shaped Offset Quadrature Phase Shift Keying) opérant dans une chaîne de télémétrie. Le circuit est une boucle à verrouillage de phase (PLL) numérique programmable, utilisable à plusieurs débits du signal d'entrée. D'abord, l'émetteur sera brièvement décrit ainsi que le cahier des charges du circuit CDR à concevoir. Ensuite, l'architecture, la modélisation et le dimensionnement du circuit seront présentés. Puis, les résultats de simulation vont permettre de vérifier la fonctionnalité du système et d'optimiser le circuit. Une étape d'optimisation des performances précède la programmation sur FPGA et les mesures réalisées.

Dans le cadre de cette thèse, un second circuit CDR numérique a également été conçu. Ce circuit intervient au sein d'un récepteur utilisant des modulations de type PCM/FM (Pulse Coded Modulation/Frequency Modulation). Le signal d'entrée du circuit CDR étant bruité, l'architecture devra être choisie et dimensionnée en conséquence. Après avoir expliqué la méthode de dimensionnement du circuit, nous détaillerons la conception et le codage en VHDL de l'architecture. La simulation permettra ensuite de valider la fonctionnalité du système et d'optimiser certains paramètres afin d'obtenir les performances dictées par les spécifications du cahier des charges. Enfin, la programmation sur FPGA, les améliorations apportées ainsi que les résultats de mesures seront présentés.

III.1. Description du flot de conception

Contrairement aux circuits présentés dans le chapitre II qui ont été réalisés sur cible ASIC, les fonctions CDR numériques présentées dans ce chapitre ont été prototypées sur cible FPGA. Dans le cadre de cette thèse, les circuits sont codés en VHDL et programmés sur des cibles FPGA (Stratix, Stratix III) fabriqués par Altera®. Le prototypage sur FPGA présente beaucoup d'avantages. En effet, la technologie FPGA représente une solution souple offrant des capacités de prototypage rapide. Le temps de développement est considérablement réduit, comparé à celui des circuits ASIC. Les cellules logiques sont déjà préconfigurées et optimisées. En plus, il existe aujourd'hui des méga fonctions ou IP (« Intellectual Property ») disponibles et susceptibles d'être instanciées plusieurs fois par l'utilisateur. Ce sont des fonctions numériques déjà conçues et optimisées, disponibles dans certaines bibliothèques des logiciels de synthèse. En plus d'un faible temps de développement, la flexibilité est un avantage considérable des circuits FPGA. Le circuit réalisé peut être modifié, amélioré, reprogrammé à souhait, directement par l'utilisateur. Cette flexibilité ouvre la porte à une réalisation plus facile de circuits numériques programmables. Cependant, les circuits FPGA peuvent être limités en termes de performances contrairement au concept ASIC qui assure une optimisation maximale (complexité, vitesse, consommation, taille) du circuit à réaliser.

Avant de décrire le flot de conception et les outils logiciels utilisés, nous allons faire une présentation sommaire des circuits FPGA.

III.1.1. Les circuits FPGA

Un FPGA (*Field Programmable Gate Arrays*) est un circuit intégré entièrement programmable par l'utilisateur. De manière générale, la structure interne d'un FPGA est constituée de cellules logiques configurables ou CLB (« Configurable Logic Block »). Il appartient à l'utilisateur de programmer la fonction réalisée par chaque CLB. Le FPGA comporte aussi des blocs d'entrée/sortie IOB (« Input/Output Block ») associés aux broches du circuit. Les IOB permettent la communication avec l'extérieur et sont également programmables (cf. fig. III.1). Des lignes d'interconnexions, également programmables, permettent la communication entre les différentes CLB et entre CLB et IOB.

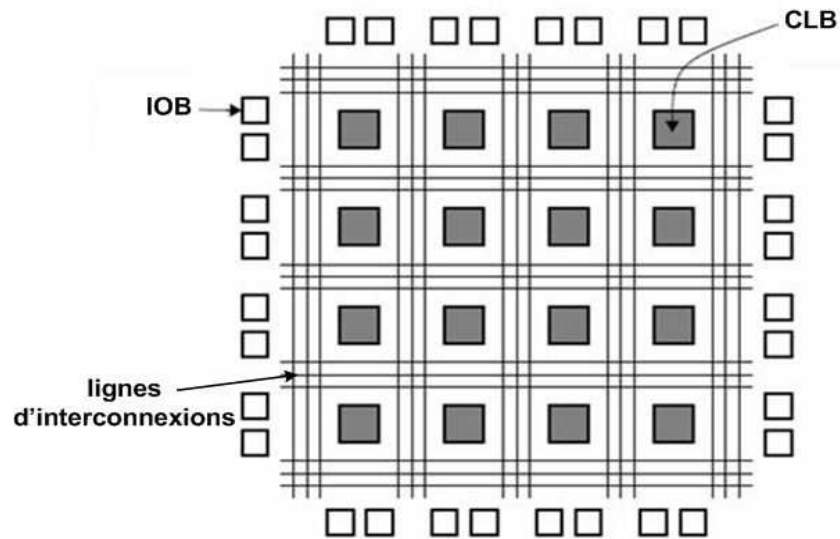


Figure III.1. Structure générale d'un FPGA

Par ailleurs, le marché du FPGA connaît aujourd'hui plusieurs fabricants : Xilinx, Altera, Actel,... Chaque fabricant fournit au concepteur des outils logiciels (logiciels de synthèse, de simulation) et matériels (kit de développement, câbles, documentation) nécessaires à l'utilisation du FPGA. En effet pour finaliser un circuit FPGA, il est nécessaire d'utiliser un langage de description matérielle ou un outil de saisie graphique. Un fichier de configuration pour le FPGA choisi est généré après compilation de la dite description. Aujourd'hui, le Verilog et le VHDL sont les deux langages de description les plus répandus. Le langage Verilog est majoritairement utilisé sur le continent américain alors que du côté des entreprises européennes, le VHDL lui est le plus souvent préféré.

III.1.2. Le langage VHDL

Sur commande du département américain de la défense, le VHDL (*Very high speed integrated circuit Hardware Description Language*) a été développé en 1983. Il a été normalisé par l'institut IEEE sous le standard IEEE-1076 et a subi plusieurs révisions au fil des années.

Le VHDL permet une description comportementale d'architectures numériques. Il permet également l'utilisation de simulateurs dont le rôle est de tester le fonctionnement décrit par le concepteur. Cette description matérielle traduit un composant réalisant les fonctions désirées, à l'aide d'éléments logiques concrets (portes logiques, bascules, registres, ...) [IEEE_87]. Suivant la technologie utilisée, ces fonctions logiques seront ensuite implémentées, soit directement en transistors (dans le cas d'un ASIC), soit sur la base d'éléments programmables d'un FPGA. Cette phase s'appelle la synthèse. Elle est réalisée par des outils logiciels adaptés (ISE de Xilinx, Quartus d'Altera, Libero d'Actel, ...).

L'étape de simulation du code VHDL peut permettre de vérifier le fonctionnement de l'architecture décrite avant l'étape de synthèse. Il existe aujourd'hui des outils logiciels (ModelSim de Mentor graphics, Active HDL d'Aldec, ...) permettant de réaliser cette phase de simulation.

Cependant, toute description VHDL n'est pas synthétisable. La simulation ne permet pas de savoir si l'architecture décrite peut être synthétisée ou non. Il importe alors au concepteur (documentation, expérience) de produire une description VHDL synthétisable de son système. Les logiciels de programmation (Quartus dans notre cas) informent le concepteur en générant un message d'erreur si le code écrit n'est pas synthétisable.

Le paragraphe suivant détaille le flot de conception que nous avons utilisé pour la réalisation de circuits CDR numériques.

III.1.3. Flot de conception

La conception débute nécessairement par l'établissement des spécifications du système à concevoir parmi lesquelles figurent : la fonctionnalité, la fréquence de fonctionnement, les performances attendues etc. Dans le cas d'une implantation sur FPGA, l'aboutissement de la conception consiste à la programmation du composant sur le FPGA en question. Nous allons décrire le flot de conception numérique utilisé dans la réalisation des circuits numériques dans le cadre de ce travail de thèse.

A partir des spécifications, l'architecture du circuit CDR est déterminée à l'aide des différents états de l'art établis dans le chapitre I. Après le choix de l'architecture du système, l'étude, le dimensionnement du circuit ainsi que les différents calculs ont été réalisés, en partie sur le logiciel Matlab. Ensuite, le système est décrit, bloc par bloc, en langage VHDL. Nous avons simulé chaque bloc isolément pour vérifier sa fonctionnalité avant d'assembler les différentes briques en vue d'une simulation globale du module CDR. Toutes les simulations ont été faites sur le logiciel Active HDL (cf. fig. III.2).

Après l'étape de la simulation, le code VHDL est exporté vers le logiciel de synthèse pour les étapes de synthèse, placement, routage et programmation. Durant ces travaux de thèse, nous avons utilisé le logiciel Quartus pour la réalisation de ces étapes. Ce logiciel dispose en effet de beaucoup d'outils importants pour le suivi, le débogage et l'optimisation de la synthèse des circuits. L'outil *RTL viewer* fournit une vue du système au niveau RTL si le code VHDL est synthétisable. Il permet ainsi au concepteur de vérifier après la synthèse si le circuit synthétisé correspond bien à celui qu'il veut décrire. Après cette vérification, le circuit peut être programmé et testé via un kit de développement. Nous avons utilisé les cartes de développement Stratix et Stratix III d'Altera®.

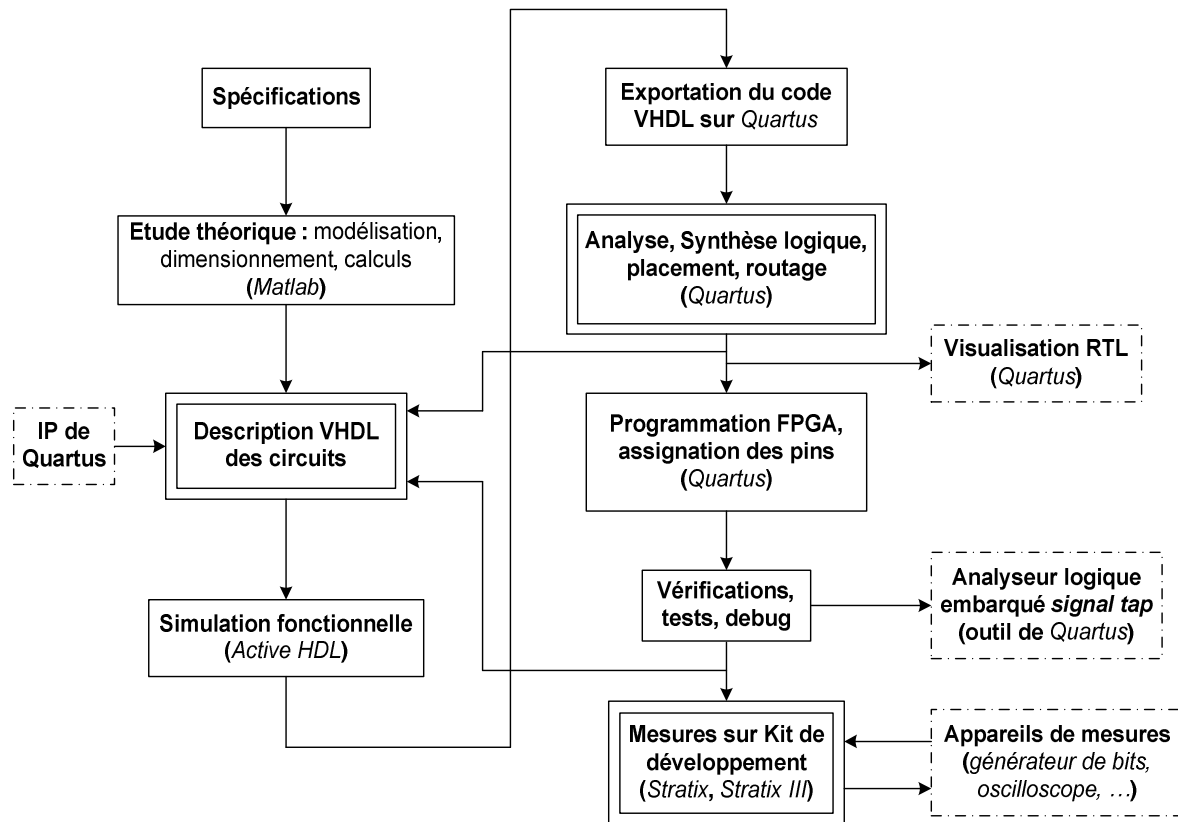


Figure III.2. Flot de conception utilisé

Le logiciel Quartus dispose par ailleurs d'un analyseur logique embarqué *signal tap*. Cet outil permet de stocker et de mesurer des signaux internes du circuit conçu. Il est généralement utilisé pour le débogage du système mais il peut permettre également de mesurer certains signaux difficiles à « router » sur les pins de sortie du kit de développement. Il intervient après les étapes de synthèse, placement et routage et présente à cet effet, un degré de fiabilité supérieur à celui de la simulation.

Après la phase de programmation du circuit sur le FPGA choisi, la dernière étape consiste à tester et mesurer le circuit conçu en utilisant les appareils de mesure adéquats. Dans le cadre de la conception de modules CDR, nous avons surtout besoin d'un générateur de bits pseudo-aléatoires pour fournir le signal d'entrée et d'un oscilloscope pour mesurer les performances (verrouillage, jitter, N_{BIC} , ...) du système. La section suivante présente une PLL numérique implémentée conformément au flot de conception décrit dans ce paragraphe.

III.2. Etude et réalisation d'une PLL numérique programmable pour émetteurs numériques en bande de base

Dans le cadre de la réalisation d'un émetteur FM/SOQPSK (projet de la société DM RADIOCOM), un circuit CDR numérique programmable a été réalisé. Avant de présenter l'architecture et les détails du module CDR, nous proposons une description succincte de l'émetteur en question et de la nécessité d'une fonction CDR.

III.2.1. Emetteur SOQPSK

III.2.1.1. Présentation globale du système

L'émetteur intervient dans une chaîne de télémétrie avion (émission) vers sol (réception). La figure III.3 décrit, de façon simplifiée, le synoptique d'une telle chaîne de transmission.

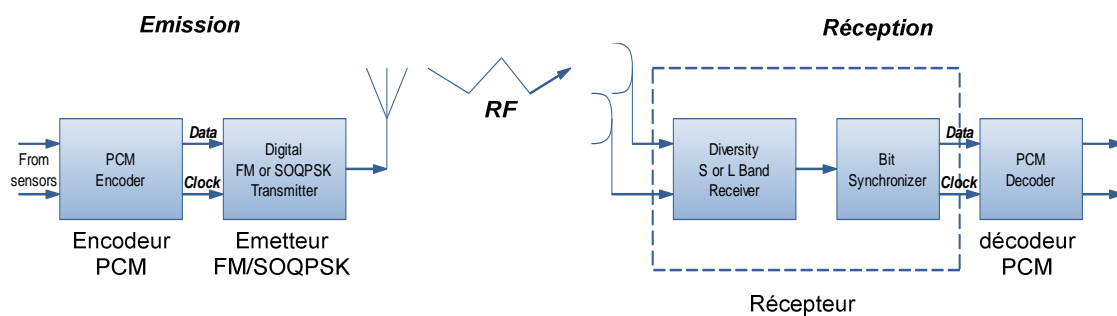


Figure III.3. Synoptique simplifié d'une chaîne de télémétrie avion vers sol

Dans cette partie de la thèse, nous nous intéresserons uniquement à l'émetteur. Il est constitué de :

- Un encodeur PCM (Pulse Coded Modulation).
- Un émetteur numérique FM/SOQPSK (Frequency Modulation / Shaped Offset Quadrature Phase Shift Keying).

III.2.1.2. Nécessité d'un circuit CDR, cahier des charges

De manière simplifiée, l'encodeur PCM code les données qui sont des signaux analogiques en provenance de différents capteurs. Pour un fonctionnement correct de l'émetteur FM/SOQPSK, il est important qu'en sortie de l'encodeur, le signal PCM *Data*, codé en NRZ-L (Non Return to Zero-Level) ou en RNRZ-L (Randomized Non Return to Zero-Level), soit aligné en phase avec un signal d'horloge *Clock* généré aussi par l'encodeur. Cependant, on rencontre très souvent un cas non standard d'encodeurs PCM d'anciennes générations ne possédant pas cette sortie *Clock*. Cela est dû au fait que les émetteurs étaient analogiques avec principalement une modulation (après filtrage) d'un VCO (dans le cas d'une modulation FM). Or, les émetteurs numériques doivent avoir en entrée une horloge

Clock synchrone des données *Data* afin de remplir correctement la fonction de modulation. Il est alors nécessaire d'intercaler un étage de synchronisation de bits dont le rôle est d'extraire l'horloge *Clock* parfaitement synchrone de la donnée reconstituée *Data_rec* (cf. fig. III.4).

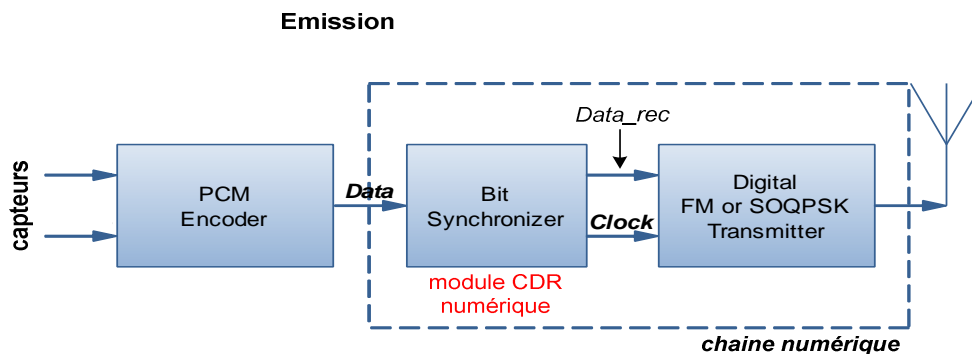


Figure III.4. Emission : module CDR numérique nécessaire pour synchroniser les signaux de la chaîne FM/SOQPSK

Le signal d'entrée *Data* du module CDR n'est pas bruité. Le cahier des charges spécifie essentiellement quatre aspects :

- Le débit du signal d'entrée (connu) varie entre 1 et 30 Mbit/s. Le synchronisateur de bit devra donc être programmable.
- Le Taux d'Erreur Bit du module CDR doit être nul. Cela signifie que la donnée reconstituée *Data_rec* doit être identique au signal d'entrée *Data*.
- Le circuit devra supporter de longues suites de bits identiques ($N_{\text{BIC}} \geq 256$ bits).
- La précision (jitter) de l'horloge restituée doit être suffisante pour ne pas altérer le spectre du signal transmis.

Ces spécifications vont aiguiller le choix de l'architecture et le dimensionnement du circuit de récupération d'horloge et de données.

III.2.2. Conception du module CDR

Le choix de l'architecture du module CDR se fait grâce à l'étude et aux états de l'art établis dans le chapitre I. La contrainte liée au fort N_{BIC} (cahier des charges) exclut les architectures de CDR basées sur des systèmes en boucle ouverte.

Il convient donc de se focaliser sur les circuits de récupération d'horloge numériques à base de systèmes asservis. Nous savons depuis le chapitre I que les structures de CDR à base de DLL ne sont pas très performantes en termes de N_{BIC} . Finalement, le choix se limite aux architectures à base de PLL, ELGS ou interpolation de phase.

Le signal d'entrée du circuit CDR est un signal NRZ non bruité. Il n'y a donc pas besoin d'utiliser une boucle ELGS qui est plus complexe qu'une PLL par exemple. Aussi, les circuits à base d'interpolation de phase présentent une grande complexité dans la mesure où ils nécessitent un circuit de type PLL

(cf. Chapitre I) pour générer une horloge de référence stable. Un circuit de type PLL semble une bonne solution car permettant d'obtenir de bonnes performances notamment en termes de jitter et de N_{BIC} .

Pour toutes ces raisons, nous avons choisi d'implémenter une PLL numérique pour réaliser cette fonction CDR. L'architecture, le dimensionnement ainsi que l'implantation sur FPGA de cette PLL vont être présentés.

III.2.2.1. Architecture du module CDR

Comme expliqué dans le premier chapitre de ce manuscrit, les architectures de CDR à base de PLL numérique sont généralement constituées d'un comparateur de phase, d'un filtre numérique et d'un oscillateur contrôlé numériquement. La figure III.5 présente le synoptique de la PLL numérique implémentée.

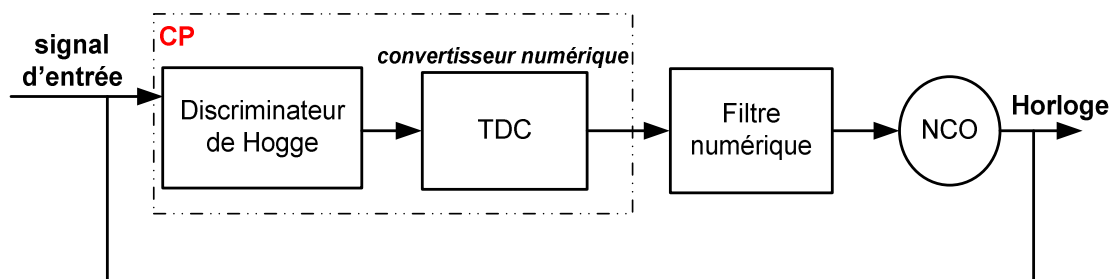


Figure III.5. Synoptique de la PLL numérique proposée

Dans de telles architectures, le comparateur de phase CP est généralement composé d'un discriminateur de phase et d'un convertisseur numérique (cf. fig. III.5) qui génère une image numérique du déphasage entre les deux signaux en entrée.

Nous avons également vu dans l'état de l'art de ce type de module CDR que les discriminateurs de phase les plus utilisés étaient les structures de Hogge et d'Alexander. Pour les mêmes raisons qu'au chapitre II (linéarité du discriminateur synonyme d'un faible jitter), nous avons porté notre choix sur l'architecture de Hogge [Hog_85].

Il faut ensuite choisir une architecture de convertisseur numérique adéquate. Une bibliographie sur ces fonctions nous montre que les architectures les plus simples sont les TDC (Time-to-Digital Converter). Un TDC convertit l'erreur temporelle (impulsion en sortie du discriminateur de phase) en une valeur numérique, image du déphasage. Une étude avancée sur les structures de TDC actuelles révèle l'existence de trois architectures souvent utilisées : le TDC dit « classique », le TDC dit de Vernier et le TDC GRO (*Gate Ring Oscillator*).

Le TDC classique, encore appelé TDC de Staszewski (cf. fig. III.6), est souvent désigné comme la référence dans l'étude et la conception des TDC. Il est composé de deux parties essentielles : une ligne à retard (N cellules de délai) et un bloc numérique formé de bascules et d'un décodeur [Sta_05].

Ce TDC fournit en sortie un mot de N bits proportionnel au déphasage entre les deux signaux en entrée. La précision du TDC est principalement conditionnée par le temps de propagation des cellules de délai.

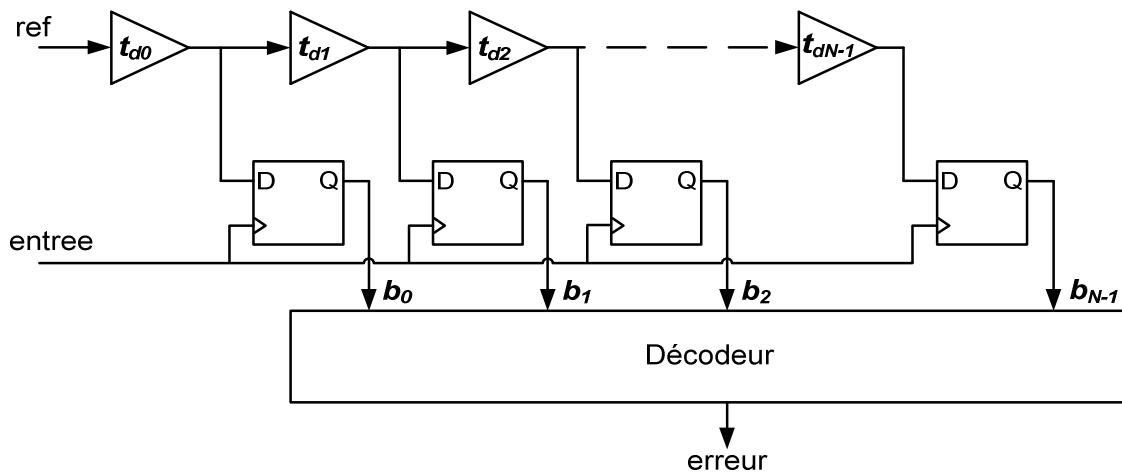


Figure III.6. TDC classique

L'inconvénient du TDC classique est lié à la sensibilité de ce temps de propagation aux variations technologiques. Pour s'en affranchir, dans l'architecture dite de Vernier, une seconde ligne en retard est rajoutée de sorte à appairer les cellules de délai. Toutefois, ce type de TDC présente le désavantage d'utiliser $2N$ cellules de délai, d'où une complexité et une consommation plus importantes. Enfin, dans des publications un peu plus récentes [Per_09] [Str_09], il est proposé une architecture de TDC (TDC GRO) qui ne nécessite plus une chaîne de retard possédant un grand nombre de cellules. Le TDC GRO nécessite à la place un oscillateur en anneau. Ce qui réduit déjà considérablement le nombre de cellules de délai utilisé quand on compare l'architecture à celle des deux TDC précédents.

En somme, ces architectures de TDC sont conçues à l'aide de lignes à retard (ou d'un oscillateur en anneau) qui sont une concaténation de cellules de délai élémentaires. Le temps de propagation τ des cellules élémentaires définit la résolution du TDC. Cette résolution impacte directement le jitter de l'horloge en sortie de la PLL. Il importe donc de maîtriser la valeur de τ dans la conception du TDC. Ce contrôle de la durée des cellules de délai est possible pour une implémentation sur ASIC, comme nous l'avons fait pour la réalisation du VCO (cf. paragraphe II.5.3.3 du chapitre II). Cependant, l'implantation sur FPGA ne permet pas la maîtrise et le contrôle de la valeur de τ , les cellules logiques sont figées et leur durée de propagation n'est pas modifiable.

Pour toutes ces raisons, nous avons proposé une autre architecture de TDC basée sur un compteur numérique. L'avantage de cette structure par rapport aux trois précédentes est que la période d'échantillonnage du compteur correspond exactement à la résolution τ du TDC et ce paramètre est très facilement maîtrisé.

Par ailleurs, le filtre de boucle (cf. fig. III.5) est une structure RII obtenue par la transformation bilinéaire d'un filtre analogique RC du 1^{er} ordre. En effet, parmi les trois architectures de filtre numérique présentées dans le chapitre I, celle-ci reste la seule qui offre la possibilité de lier le dimensionnement du filtre de boucle au comportement dynamique de la PLL numérique.

Enfin, l'oscillateur numérique est un NCO (*Numerically Controlled Oscillator*). C'est une méga fonction de Quartus dont nous présenterons le paramétrage dans le paragraphe suivant, relatif à la conception et au dimensionnement des différentes fonctions de la boucle.

III.2.2.2. Modélisation et dimensionnement de la boucle

Comme annoncé précédemment, le module CDR conçu est une PLL numérique du 2nd ordre (filtre du 1^{er} ordre). Le dimensionnement de la boucle repose sur une analogie entre la PLL numérique et une PLL analogique à pompe de charges du 2nd ordre.

La méthode consiste à partir d'un modèle linéaire d'une PLL analogique à pompe de charge avec une variable en p . Il s'agira dans un second temps de décrire le modèle numérique équivalent. En faisant l'analogie entre modèles analogique et numérique, on peut établir des relations mathématiques liant ces deux modèles. A partir de ces équations, le modèle numérique est parfaitement connu. On utilise alors une transformation bilinéaire pour obtenir l'équivalent du modèle numérique avec une variable en z dans le but de calculer les coefficients du filtre numérique équivalent au filtre analogique. Connaissant les coefficients du filtre de boucle, la PLL peut alors être dimensionnée. Cette méthode est décrite plus en détail dans les paragraphes qui suivent.

III.2.2.2.1. Modèle analogique

La modélisation de la boucle découle directement de celle de la PLL analogique équivalente. Les travaux effectués dans [Kra_07] étudient l'analogie entre une PLL analogique à pompe de charges du 2nd ordre (cf. fig. III.7) et une PLL numérique du même ordre.

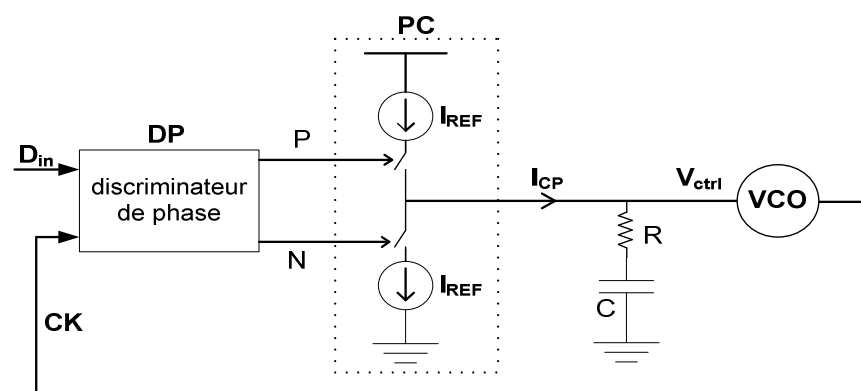


Figure III.7. PLL analogique à pompes de charges du 2nd ordre

La figure III.8 représente le modèle linéaire simplifié de la PLL analogique présentée ci-dessus. I_{REF} représente le courant de polarisation de la pompe de charges PC, $F(p)$ est la fonction de transfert du

filtre RC et K_{VCO} le gain du VCO. Dans les PLL à pompe de charges, le gain du comparateur de phase (DP+PC) s'écrit $I_{REF}/n\pi$, où n dépend de l'architecture du discriminateur de phase DP et de la séquence (pattern) en entrée.

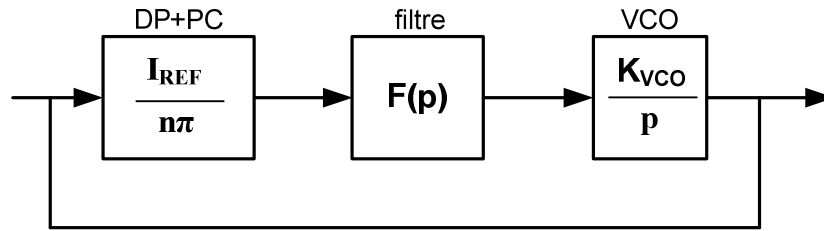


Figure III.8. Modèle simplifié de la PLL à pompes de charges du 2nd ordre ($n=2$ pour le comparateur de phase si l'on utilise le discriminateur de Hogge).

La fonction de transfert du filtre RC vaut :

$$F(p) = R + \frac{1}{Cp} = R * \frac{p + \omega_z}{p}, \text{ avec } \omega_z = \frac{1}{RC} \quad eq.III.1$$

Le gain en chaîne directe, pour ce modèle, s'écrit:

$$G_{bo}(p) = \frac{I_{REF}}{n\pi} * \frac{K_{VCO}}{p} * F(p)$$

Soit :

$$G_{bo}(j\omega) = \frac{-R * K_{VCO} * I_{REF}}{2\pi\omega^2} * (\omega_z + j\omega) \quad eq.III.2$$

III.2.2.2.2. Modèle numérique

De la même manière, le modèle équivalent de la PLL numérique présentée précédemment (cf. fig. III.5) est décrit sur la figure III.9. Contrairement au modèle analogique qui regroupe discriminateur de phase et pompe de charges, ce modèle sépare bien le discriminateur du TDC pour une meilleure compréhension.

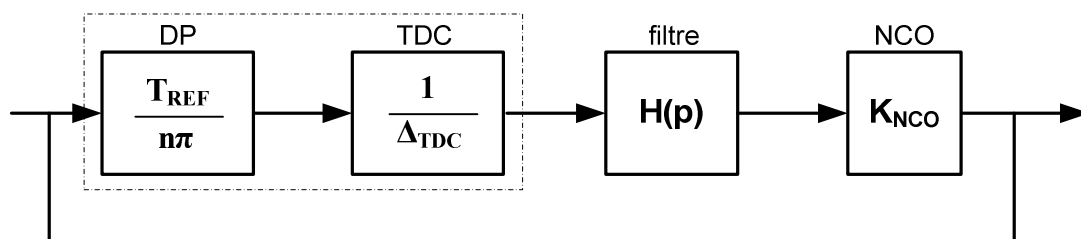


Figure III.9. Modèle simplifié d'une PLL numérique du 2nd ordre ($n=2$ pour la structure de Hogge avec un pattern 0101...).

Dans ce modèle, T_{REF} représente la période de l'horloge du discriminateur de phase. Dans notre cas (structure de Hogge), T_{REF} est égal à la période d'horloge du NCO lorsque la boucle est verrouillée,

donc à la période du signal d'entrée. Δ_{TDC} est la résolution du TDC qui est ici la période T_E de l'horloge d'échantillonnage du TDC. $H(p)$ est la fonction de transfert du filtre numérique et K_{NCO} le gain du NCO.

III.2.2.2.3. Du modèle analogique au modèle numérique

En faisant l'analogie entre les deux modèles, on peut établir par identification :

$$K_{VCO} = K_{NCO}$$

$$F(p) = H(p)$$

$$I_{REF} = \frac{T_{REF}}{\Delta_{TDC}}$$

Le gain K_d du comparateur de phase s'écrit :

$$K_d = \frac{T_{REF}}{2\pi\Delta_{TDC}}$$

Nous reprenons la fonction de transfert en boucle ouverte (eq.III.2) du modèle. Appelons par ω_0 la pulsation de gain unité ($|G_{bo}(j\omega_0)| = 1$) et par φ_m la marge de phase de la boucle, on peut alors écrire :

$$\tan \varphi_m = \tan(\arg(G_{bo}(j\omega_0))) = \frac{\omega_0}{\omega_z} \text{ ou } \omega_z = \frac{\omega_0}{\tan(\varphi_m)} \quad \text{eq.III.3}$$

Nous avons vu dans le chapitre II que la valeur 45° représente un bon compromis entre la stabilité, la rapidité et le jitter d'horloge. La fixation de φ_m et de ω_0 permet ensuite de déterminer les valeurs des coefficients du filtre RC. En effet, en reconsidérant $|G_{bo}(j\omega_0)| = 1$, on peut établir :

$$|G_{bo}(j\omega_0)| = \frac{R * K_{VCO} * I_{REF}}{2\pi\omega_0^2} * \sqrt{\omega_z^2 + \omega_0^2} = 1$$

On en déduit alors la valeur de la résistance :

$$R = \frac{2\pi\omega_0^2}{K_{VCO} * I_{REF} * \sqrt{\omega_z^2 + \omega_0^2}} \quad \text{eq.III.4}$$

En combinant eq.III.1 et eq.III.3, on en déduit la valeur de la capacité :

$$C = \frac{\tan(\varphi_m)}{R\omega_0} \quad \text{eq.III.5}$$

En calculant la valeur de ces coefficients, le modèle analogique est entièrement connu. Il reste à déterminer le filtre numérique équivalent.

Le filtre numérique équivalent au filtre RC analogique est synthétisé comme étant la somme d'un coefficient α avec une intégrale (modélisée par un additionneur et une bascule D) que multiplie un

second coefficient β (cf. fig. III.10) [Kra_07]. Afin de trouver les valeurs de α et β , on procède en trois étapes : d'abord, on établit la fonction de transfert en Z $H(z)$ du filtre numérique. Ensuite, on reprend la fonction de transfert en p du filtre analogique à laquelle on applique la transformation bilinéaire pour trouver l'équivalent $F(z)$ de $F(p)$. Enfin, en identifiant $F(z)$ à $H(z)$, on trouve α et β .

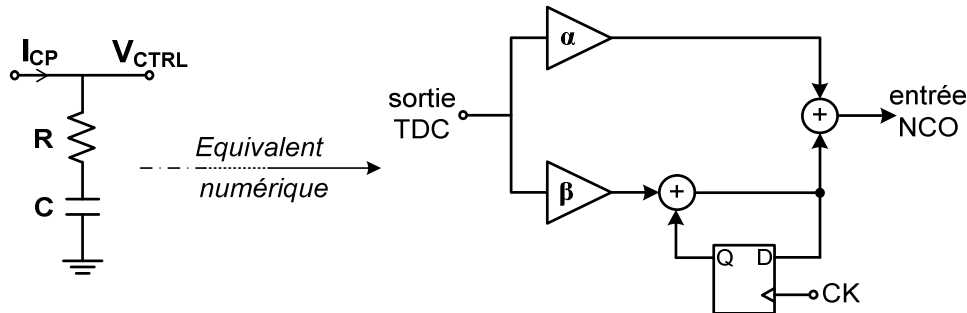


Figure III.10. Transformation bilinéaire : passage du filtre analogique au filtre numérique

Cette transformation permet le passage d'une fonction de transfert dans le domaine de Laplace ($\mathbf{F(p)}$ analogique) à une fonction de transfert en Z ($\mathbf{H(z)}$ numérique). On pose, pour cela :

$$p = \frac{2}{T_e} * \frac{1 - z^{-1}}{1 + z^{-1}} \quad \text{eq.III.6}$$

T_e est la période d'échantillonnage dans le domaine numérique. Elle correspond à la période de l'horloge CK (cf. fig. III.10). La sortie du filtre numérique doit être actualisée à chaque bit du signal d'entrée. Il importe alors que l'horloge CK soit à la fréquence du signal d'entrée ($T_e = T_{REF}$ lorsque la boucle est accrochée). Nous prenons directement le signal d'horloge issu du NCO pour jouer le rôle de CK.

La fonction de transfert du filtre numérique (cf. fig. III.10) s'écrit :

$$H(z) = \alpha + \beta * \frac{1}{1 - z^{-1}} = \frac{(\alpha + \beta) - \alpha z^{-1}}{1 - z^{-1}} \quad \text{eq.III.7}$$

Maintenant, reprenons l'expression de $F(p)$ (eq.III.1) à laquelle on applique la transformation bilinéaire (eq.III.6), on trouve :

$$F(z) = R + \frac{T_e(1 + z^{-1})}{2C(1 - z^{-1})}$$

Et donc :

$$F(z) = \frac{\left(\frac{T_e}{2C} + R\right) + \left(\frac{T_e}{2C} - R\right) * z^{-1}}{1 - z^{-1}} \quad \text{eq.III.8}$$

Finalement, en identifiant $F(z)$ (eq.III.8) à $H(z)$ (eq.III.7), on trouve :

$$\alpha = R - \frac{T_e}{2C} \quad \text{eq.III.9}$$

$$\beta = \frac{T_e}{C} \quad \text{eq. III.10}$$

On trouve les valeurs des coefficients du filtre numérique qui peut alors être codé et implanté. Nous reviendrons sur le codage du filtre plus loin.

Conclusions sur le dimensionnement de la PLL numérique

En résumé, le dimensionnement de la boucle requiert trois principales étapes :

1. Fixer les valeurs de la marge de phase φ_m et des autres paramètres de la boucle (F_{REF} , Δ_{TDC} , K_{NCO} , et f_0).

F_{REF} ($=1/T_{REF}$) correspond au débit du signal d'entrée. La dynamique de la boucle est déterminée par le produit $K_{NCO} * \frac{T_{REF}}{\Delta_{TDC}}$. Dans le dimensionnement d'une PLL analogique (comme au chapitre II),

cette dynamique doit être contrôlée pour qu'elle ne soit pas trop grande, au risque d'un jitter trop important. Dans notre cas où le circuit est implanté sur FPGA, cette dynamique est limitée par la fréquence maximale de fonctionnement des fonctions logiques du FPGA. Cette limitation affecte la résolution du TDC qui impacte directement le jitter de l'horloge en sortie de la PLL. Concrètement, il convient de fixer une fréquence d'échantillonnage f_E très grande devant le débit afin de réduire Δ_{TDC} . Cette fréquence doit toutefois être tolérable par les composants du FPGA ciblé.

Enfin, f_0 fixe le temps de réponse et son choix impose généralement un compromis entre la rapidité du système et le jitter. Nous avons vu dans le précédent chapitre que ce paramètre influe sur la taille des composants passifs du filtre de boucle dans une PLL analogique. Dans ce contexte de prototypage sur FPGA, il ne sera pas question de taille des composants mais de la précision des coefficients α et β . Si ces coefficients sont trop faibles, la précision du filtre est compromise, et par conséquent le fonctionnement de la boucle.

2. Calculer la valeur des composants du filtre RC en se servant des équations *eq.III.4* et *eq.III.5*.
3. Déduire de R et C la valeur des coefficients α et β du filtre numérique avec *eq.III.9* et *eq.III.10*.

Par ailleurs, nous verrons dans le prochain paragraphe que d'autres éléments comme la taille des bus d'entrée et de sortie de certains blocs doivent être pris en compte dans le dimensionnement. Celui-ci est appliqué à la conception d'une PLL numérique programmable.

III.2.2.3. Conception de la PLL numérique

Le synoptique de la PLL implémentée est présenté sur la figure III.5. Le module CDR doit être programmable car le débit du signal d'entrée varie entre 1 et 30 Mbit/s. Dans un premier temps, le dimensionnement de la boucle est fait pour un débit de 1 Mbit/s. Il sera ensuite étendu aux autres valeurs de débit. L'architecture et le fonctionnement des différentes fonctions de la PLL vont être détaillés.

III.2.2.3.1. Comparateur de phase

Comme le montre le synoptique (cf. fig. III.5), le comparateur de phase de la PLL implémentée est formé du discriminateur de Hogge et d'un TDC à base de compteur numérique. Dans cette étude, l'emploi de la structure de Hogge présente la particularité de générer un seul signal en sortie au lieu de deux habituellement. Le signal de sortie *temp_error* est la combinaison (soustraction) des signaux *var* et *ref*. Il est signé et codé sur deux bits (cf. fig. III.11).

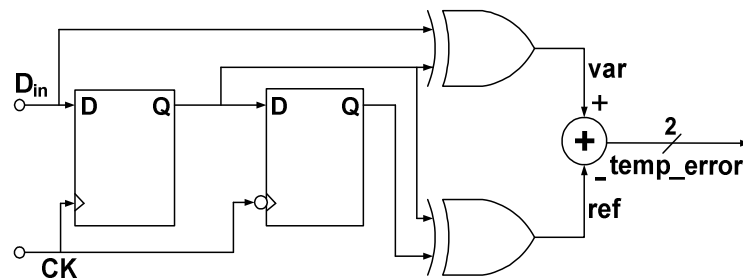


Figure III.11. Structure du discriminateur de Hogge implémentée

Le fonctionnement du discriminateur de Hogge a été abordé en détail dans les précédents chapitres, nous présenterons la caractéristique du comparateur de phase après avoir discuté de la structure de TDC proposée.

Le TDC est basé sur un compteur numérique piloté par un signal d'horloge dont la fréquence a été prise dans un premier temps égale à 200 MHz, ce qui correspond à une résolution $\Delta_{TDC} = 5$ ns quel que soit le débit du signal d'entrée. Le TDC proposé comprend aussi une fonction de contrôle numérique (cf. fig. III.12) qui fournit deux signaux de contrôle *up_dn* et *enable* au compteur. La précision du compteur (nombre de bits N_b) doit être suffisamment grande pour qu'il n'y ait pas d'« overflow » sur la sortie *digitized_error* du compteur. Dans un premier temps, le compteur a été dimensionné sur $N_b = 12$ bits.

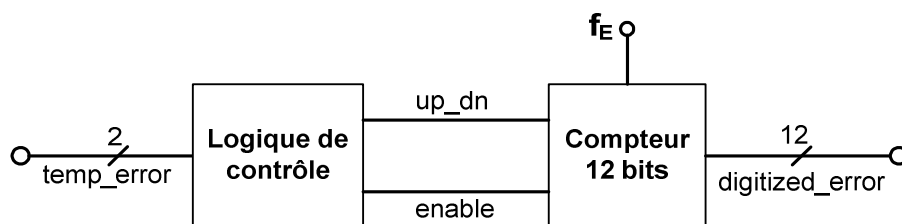


Figure III.12. Synoptique du TDC

Le discriminateur de phase fournit au TDC le signal *temp_error* signé codé sur 2 bits. La fonction de contrôle du TDC fournit le signal *enable* qui autorise (*enable* = '1') le comptage ou le décomptage. Le signal *up_dn* dicte le signe du signal *temp_error* au compteur. Si *up_dn* = '1', la sortie du compteur *digitized_error* est incrémentée à chaque front montant d'horloge (f_E). A contrario, la valeur de *digitized_error* est décrétementée dans le cas où *up_dn* = '0'. La sortie du compteur est maintenue à sa

dernière valeur lorsqu'il n'y a pas de transition du signal d'entrée ($enable = '0'$). Le tableau III.1 résume le fonctionnement du TDC.

temp_error	enable	up_dn	Action effectuée par le TDC
> 0	1	1	incrémementation
< 0	1	0	décrémementation
= 0	0	-	maintient la dernière valeur

Tableau III.1. Machine d'état du TDC (déclenchée sur front montant de f_E)

Pour résumer le fonctionnement du comparateur de phase, la figure III.13 propose le tracé des signaux pour deux cas de figure.

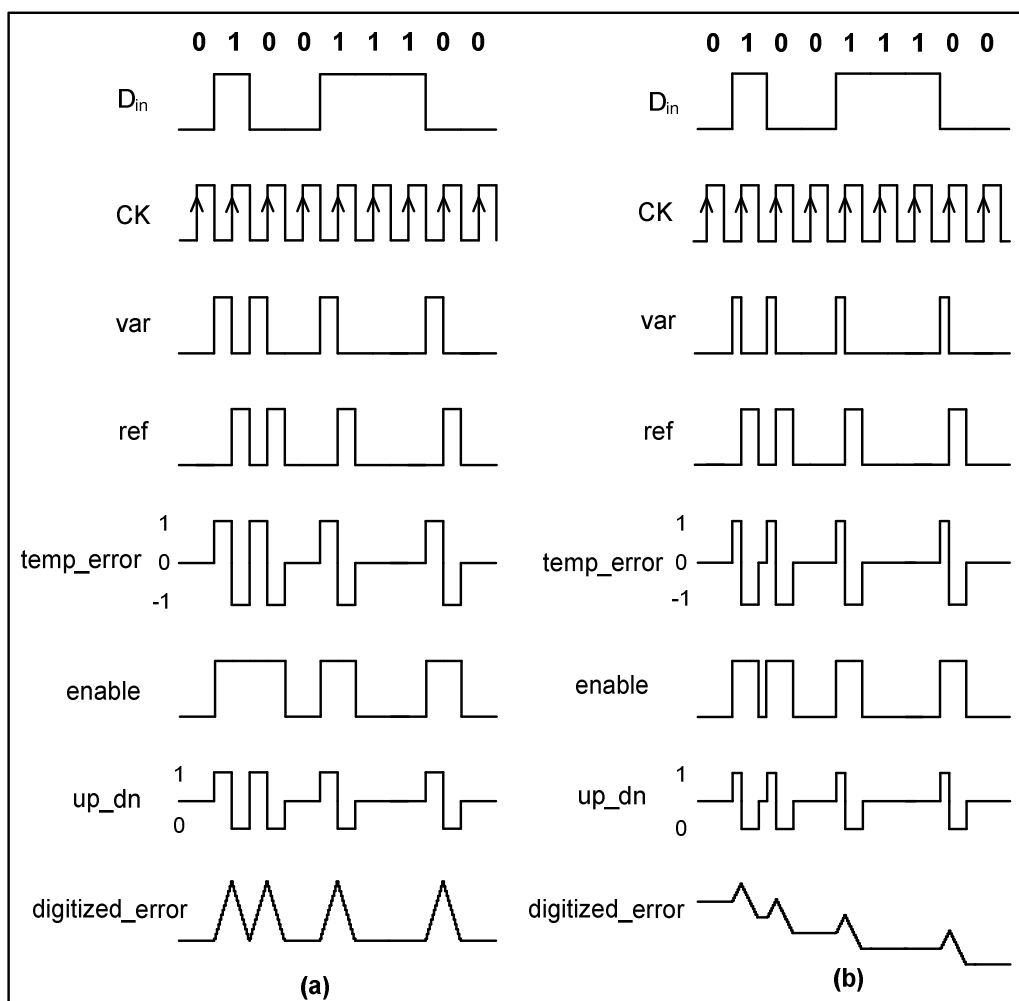


Figure III.13. Chronogrammes illustrant le fonctionnement du comparateur de phase : (a) le signal d'entrée D_{in} et l'horloge CK sont parfaitement en phase, (b) CK est en avance sur D_{in}

Dans le cas (a) de la figure III.13, le signal d'entrée D_{in} et l'horloge CK sont en phase, le déphasage entre les deux signaux est nul, $\Delta\phi = 0$. Dans le second cas (b), $\Delta\phi = -\frac{\pi}{2}$, le signal d'horloge est en

avance sur D_{in} . Dans les deux cas, l'impulsion *ref* a une durée constante, égale à la moitié du temps bit ($T_{REF}/2$).

Pour $\Delta\varphi = 0$, la valeur moyenne du signal *temp_error* est nulle. Dans ce cas, après chaque transition du signal d'entrée, la valeur moyenne du signal *up_dn* est nulle. Le nombre d'incrément du compteur du TDC est exactement égal au nombre de décréments. Par conséquent, la sortie *digitized_error* revient à sa précédente valeur après chaque front de D_{in} et la phase de l'horloge CK reste constante, c'est le cas lorsque la PLL est verrouillée.

Dans le cas où $\Delta\varphi = -\frac{\pi}{2}$, la valeur moyenne de *temp_error* est égale à $-1/4$, le nombre de fois où la sortie du TDC est incrémentée est réduit de moitié par rapport au nombre de fois où elle est décrémentée. Cette différence par rapport au cas (a) aura pour conséquence de retarder l'horloge CK issue du NCO de sorte à corriger son avance de phase. Le comportement de la boucle serait similaire si CK était en retard sur D_{in} .

De manière analogue à la PLL à pompe de charges étudiée au chapitre II, la caractéristique du comparateur de phase traduit la variation du signal de sortie du TDC en fonction du déphase entre D_{in} et CK (φ_e et φ_s sont respectivement les phases des signaux D_{in} et CK) :

$$\text{digitized_error} = K_d * (\varphi_s - \varphi_e) = \frac{T_{REF}}{2\pi\Delta_{TDC}} * (\varphi_s - \varphi_e) \quad \text{eq. III.11}$$

La figure III.14 présente la caractéristique du comparateur de phase, $\Delta\varphi = \varphi_s - \varphi_e$.

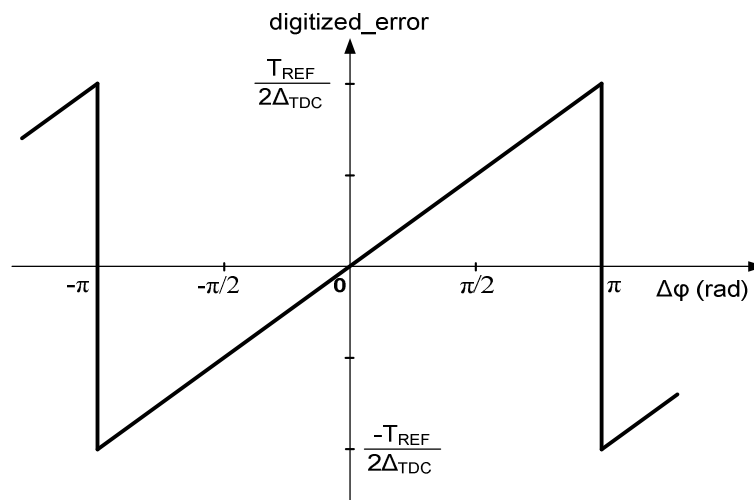


Figure III.14. Caractéristique du comparateur de phase (discriminateur de phase + TDC)

Le gain $K_d = \frac{T_{REF}}{2\pi\Delta_{TDC}}$ du comparateur de phase est donc fonction du débit et de la résolution du TDC.

Cette dernière est fixée à 5 ns ($f_E = 200$ MHz) alors que le débit varie de 1 à 30 Mbit/s. Le tableau suivant donne une idée de cette variation du gain K_d en fonction du débit pour $f_E = 200$ MHz.

Débit de D_{in}	1 Mbit/s	2 Mbit/s	10 Mbit/s	15 Mbit/s	30 Mbit/s
K_d	31,83 rad ⁻¹	15,92 rad ⁻¹	3,18 rad ⁻¹	2,12 rad ⁻¹	1,06 rad ⁻¹

Tableau III.2. K_d en fonction du débit du signal d'entrée

Cette décroissance du gain en fonction du débit limite, en partie, le fonctionnement de la boucle pour les plus hauts débits. En effet, le gain en boucle ouverte étant proportionnel à K_d , la diminution de K_d pour les hauts débits est synonyme d'une faible plage de capture.

D'autre part, la sortie du comparateur de phase est lissée par le filtre de boucle qui fournit une valeur numérique permettant de contrôler la fréquence du signal d'horloge CK. Nous avons vu précédemment que le dimensionnement du filtre nécessitait, entre autres, la connaissance du gain du NCO. Nous allons donc nous intéresser au NCO avant de détailler le calcul du filtre de boucle.

III.2.2.3.2. NCO

Le NCO ici joue un rôle équivalent à celui du VCO dans une PLL analogique. Nous avons utilisé la méga fonction (IP) NCO de Quartus.

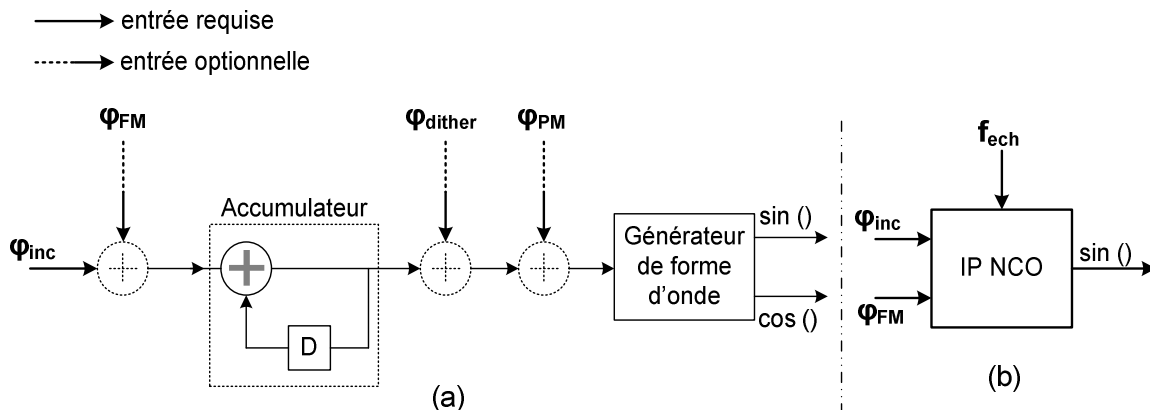


Figure III.15. (a) Architecture de la méga fonction NCO de Quartus, (b) schéma bloc du NCO utilisé

La figure III.15 (a) présente l'architecture de la méga fonction NCO utilisée. En dehors de la fréquence d'échantillonnage f_{ech} , ce NCO comprend quatre entrées (Φ_{INC} , Φ_{FM} , Φ_{dither} et Φ_{PM}) dont trois optionnelles (Seule l'entrée Φ_{INC} est requise). Les deux seules entrées qui vont être utilisées dans notre cas sont Φ_{INC} et Φ_{FM} : Φ_{INC} constitue l'incrément de phase et Φ_{FM} l'entrée de modulation de fréquence. Nous calculons, en fonction du débit (f_{REF}) du signal d'entrée, la valeur de Φ_{INC} selon l'équation suivante [Alt_10] :

$$f_{REF} = \frac{\Phi_{INC} * f_{ech}}{2^M} \quad eq. III. 12$$

M représente la résolution de l'accumulateur, Φ_{INC} et Φ_{FM} devront être codés sur M bits. Dans une première approche, nous avons pris M égal à 32.

L'utilisateur peut choisir en sortie un signal de type cosinus ou sinus (les deux signaux générés sont identiques mais seulement déphasés de $\frac{\pi}{2}$). Nous avons choisi arbitrairement la sortie sinus. En résumé, le synoptique du NCO utilisé sans la PLL conçue est décrit sur la figure III.14 (b). La fréquence d'échantillonnage f_{ech} doit certes respecter la condition de Shannon ($f_{ech} > 2 f_{REF}$) mais elle doit surtout être très grande devant f_{REF} pour une bonne précision de la sinusoïde générée. Pour cette raison et pour simplifier l'architecture, nous avons pris $f_{ech} = f_E$ (200 MHz).

Si l'on considère que $\varphi_{dither} = 0$ et $\varphi_{PM} = 0$ (cf. fig.III.14 (a)), alors, le signal de sortie du NCO s'exprime ainsi :

$$s(nT) = A * \sin(2\pi(f_{REF} + f_{FM})nT) \quad eq.III.13$$

Avec $A = 2^{\text{Magnitude Precision} - 1}$.

La figure III.16 montre le paramétrage du NCO lors de la création de la méga fonction.

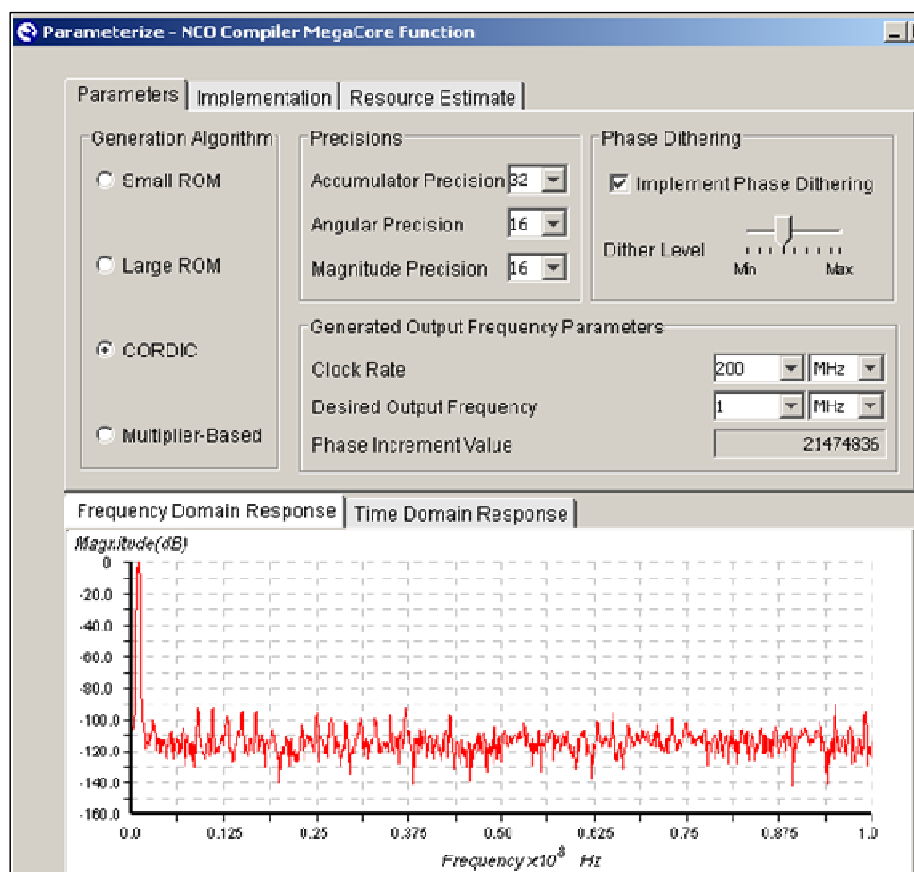


Figure III.16. Paramétrage de la méga fonction NCO

Sur la figure III.16, on constate que $M = 32$ bits, $f_{REF} = 1$ MHz et $f_{ech} = 200$ MHz, on obtient $\varphi_{INC} = 21474836$; en faisant le calcul avec l'équation (eq.III.12), on obtient la même valeur de φ_{INC} . Avec ce dimensionnement, on obtient un gain $K_{NCO} = \frac{f_{ech}}{2^M} = 465,66 \cdot 10^{-4}$ Hz/LSB (pour $f_{REF} = 1$ MHz). En termes de ressources, ce NCO utilise près de 2000 éléments logiques.

Pour un débit donné, l'entrée φ_{INC} est calculée et injectée dans le NCO. Par contre, c'est l'entrée φ_{FM} (codée sur le même nombre de bits que φ_{INC}) qui correspond à la sortie du filtre de boucle. C'est donc φ_{FM} qui est ajustée à chaque front du signal d'entrée de la PLL.

Le signal de sortie, codée sur 16 bits, est une sinusoïde pure. Nous prenons le bit le plus significatif (MSB) (ou bit de signe) complémenté qui correspond à l'horloge de sortie de la boucle (CK). Comme expliqué plus tôt, le signal CK est injecté sur le comparateur de phase, il est aligné en phase avec D_{in} lorsque la boucle est accrochée.

III.2.2.3.3. Calcul du filtre de boucle

Le calcul des coefficients du filtre de boucle obéit à la méthode de dimensionnement définie dans le paragraphe III.2.2.2.3. Comme dans le précédent chapitre, la marge de phase φ_m est fixée à 45° . La fréquence f_{REF} est égale au débit du signal d'entrée. Comme expliqué dans les précédents paragraphes, pour $f_E = 200$ MHz, on a $\Delta_{TDC} = 5$ ns et $K_{NCO} = 465,66 \cdot 10^{-4}$ Hz/LSB (pour $f_{REF} = 1$ MHz). Pour obtenir de bonnes performances en termes NBIC et de jitter, il convient de fixer f_0 la plus faible possible. Toutefois, ce dimensionnement est limité par l'imprécision des coefficients du filtre. En effet, si f_0 est trop faible, on obtient une valeur du coefficient β très faible. L'imprécision sur le codage de β devient davantage importante et la boucle risque de ne pas se verrouiller. Dans la pratique, le choix de f_0 se fait empiriquement (simulation ou mesure) afin d'obtenir le verrouillage de la boucle pour la plus petite valeur de f_0 possible. Ainsi, après quelques simulations sur Active HDL, nous avons fixé f_0 à 400 Hz (plusieurs valeurs ont été testées) pour $f_{REF} = 1$ MHz. Avec ces valeurs des paramètres, nous obtenons pour le filtre analogique (eq.III.4, eq.III.5), $R = 1198,96 \Omega$, $C = 331,86$ nF. De ces valeurs de R et C, les équations (eq.III.9 et eq.III.10) permettent de trouver les coefficients du filtre numérique $\alpha = 1198,95$ et $\beta = 1,51 \cdot 10^{-2}$.

III.2.2.3.4. Codage des coefficients, simulation

Contrairement à l'implémentation analogique (CDR du chapitre II par exemple) où l'on simule directement les valeurs de R et C trouvées, le codage des coefficients α et β du filtre numérique influence le comportement de la boucle. Certains travaux [Kra_07] proposent d'arrondir les valeurs de ces coefficients à la puissance de 2 la plus proche. L'avantage de cette approximation est de pouvoir coder α et β en binaire sans grande difficulté. Par contre, cela risque de modifier les paramètres de la boucle, notamment φ_m et f_0 . Et comme dans notre cas, nous cherchons à faire fonctionner la boucle pour plusieurs valeurs du débit, cette approche ne nous a pas semblé efficace. Nous avons, dans un premier temps, codé α et β en virgule fixe.

Nous avons utilisé le format Q (**a.b**). C'est un format de nombres codés en virgule fixe où **a** représente le nombre de bits utilisés pour coder la partie entière et **b** le nombre de bits pour la partie fractionnaire.

La somme $a + b$ donne le nombre de bits de codage des coefficients. Cette valeur doit être la plus grande possible pour avoir une meilleure précision du codage.

En entrée du NCO, la taille de bus des signaux φ_{INC} et φ_{FM} est fixée à 32 bits, comme la sortie du TDC est codée sur 12 bits, il reste 20 bits que nous avons donc attribués aux coefficients. Le filtre est implémenté avec deux additionneurs, deux multiplieurs et une bascule D flip-flop (cf. fig. III.17).

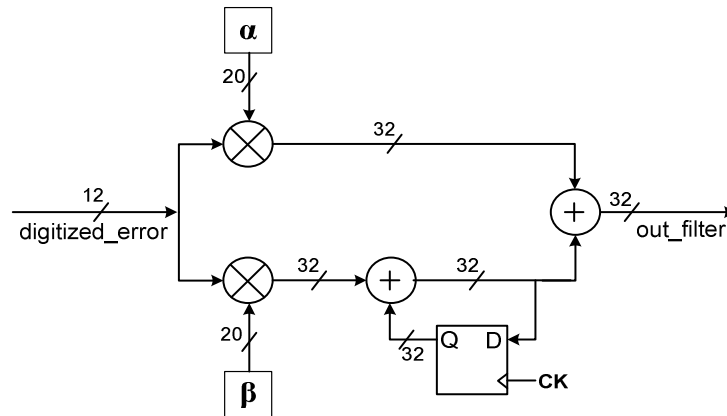


Figure III.17. Implémentation du filtre

Après plusieurs simulations (elles sont rapides) sur Active HDL pour fixer les valeurs de a et b , nous avons codé α et β au format Q (14.6) (14 bits pour la partie entière, 6 bits pour la partie fractionnaire). La valeur de a se déduit de la valeur maximale (débit maximum) que prend le coefficient α et b se déduit de la valeur de a (20 bits – la valeur de a).

Avec ce type de codage et le dimensionnement présenté dans les précédents paragraphes, le système a été simulé sur Active HDL. Nous avons injecté en entrée du module CDR un signal NRZ pseudo-aléatoire (PRBS de longueur $2^{15} - 1$). Le tableau III.3 résume les paramètres de la simulation pour un débit de 1 Mbit/s du signal d'entrée.

Signal d'entrée D_{in}				
NRZ PRBS ($2^{15} - 1$) @ 1Mbit/s				
Paramètres de la boucle				
Marge de phase φ_m	f_{REF}	K_{NCO}	f_0	f_E
45°	1 MHz	466.10^{-4} Hz/LSB	400 Hz	200 MHz
Coefficients du filtre RC				
R		C		
1198,96 Ω		331,86 nF		
Coefficients du filtre numérique				
α		β		
1198,95		$1,51.10^{-2}$		

Tableau III.3. Résumé des paramètres de la simulation sur Active HDL

La figure III.18 montre le tracé de la sortie du filtre de boucle obtenu avec les paramètres de la boucle résumés dans le tableau III.3.

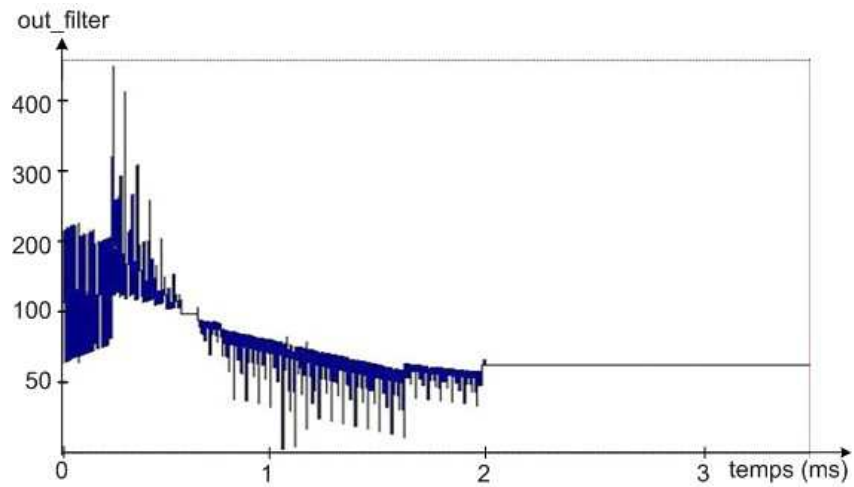


Figure III.18. Réponse du filtre de boucle (simulation Active HDL)

La boucle se verrouille pour 1 Mbit/s en entrée. On obtient un temps d'accroche de près de 2 ms. L'étape suivante consiste à programmer le circuit sur FPGA et à le tester à ce débit et aux autres débits.

III.2.2.4. Programmation FPGA et mesures

Le circuit a été prototypé sur une carte développement portant le FPGA Stratix EP1S25 DSP d'Altera (cf. fig. III.19).

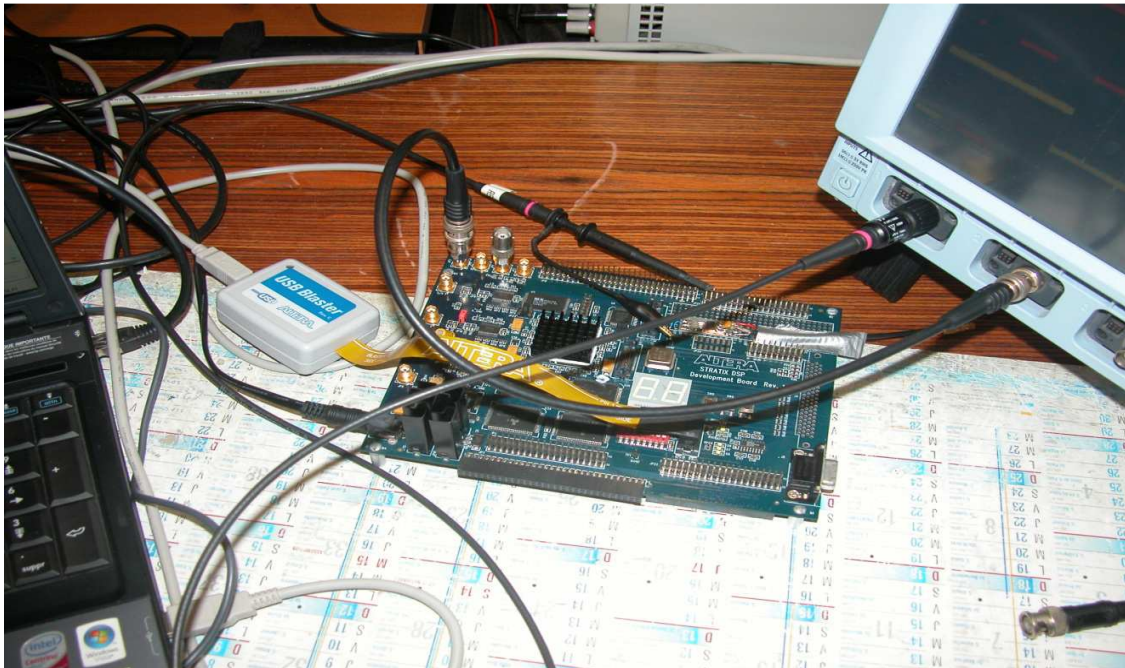


Figure III.19. Kit de développement Stratix d'Altera

Nous avons utilisé une méga fonction PLL pour générer, à partir du quartz 80 MHz que possède le kit de développement, une horloge à 200 MHz (f_E) permettant de piloter le compteur du TDC et le NCO. L'architecture complète du module CDR implémenté est présentée sur la figure III.20.

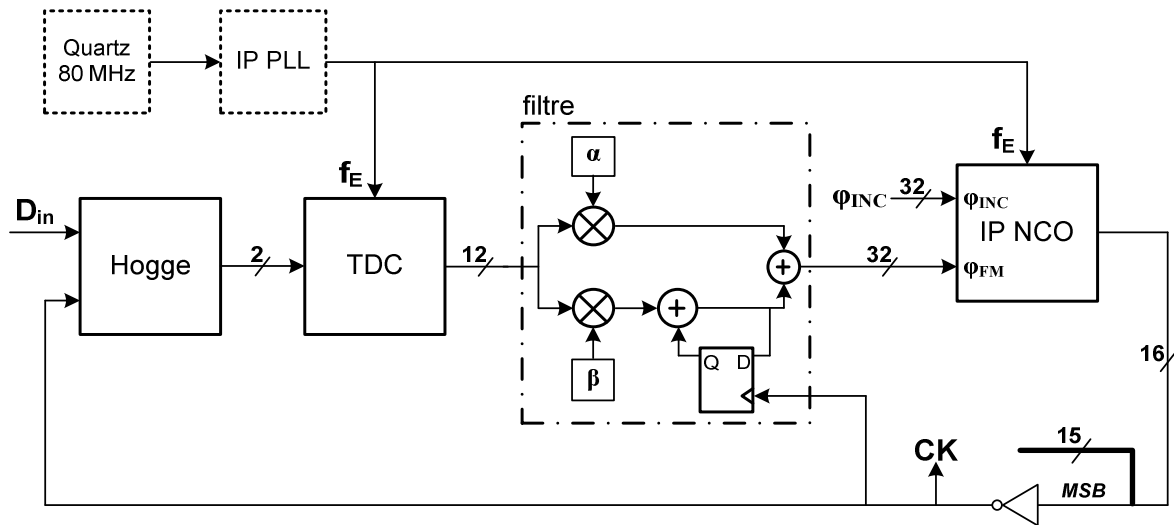


Figure III.20. Architecture complète de la PLL implémentée

Comme en simulation, le circuit se verrouille sur la donnée d'entrée (PRBS de différentes longueurs). Dans un premier temps, le test a été fait pour un débit de 1 Mbit/s (cf. fig. III. 21). En traçant le diagramme de l'œil sur le signal d'horloge CK, nous obtenons un jitter peak-to-peak de 10 ns (+/- 5 ns) (cf. fig. III. 22).



Figure III.21. Résultat de mesure : le signal d'entrée D_{in} aligné en phase avec l'horloge CK

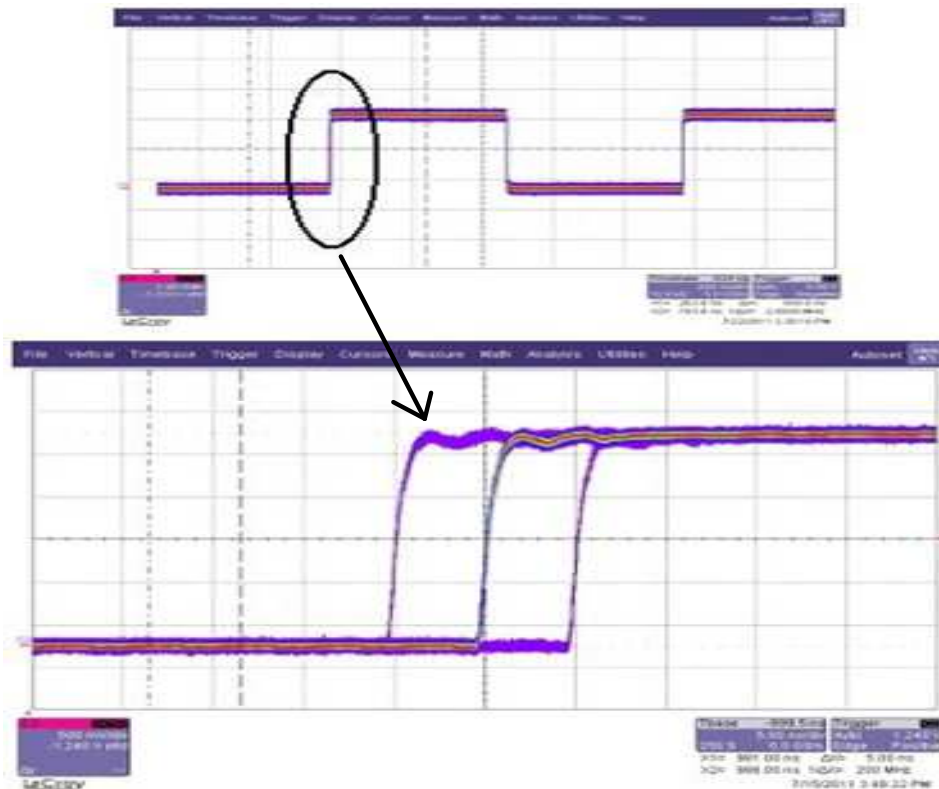


Figure III.22. Diagramme de l'œil de l'horloge CK, zoom sur le front montant (jitter de +/- 5 ns)

A 1 Mbit/s, nous obtenons une bonne valeur du jitter (10 ns, soit 1% UI) mais la plage de capture ne dépasse pas 40 kHz (+/- 20 kHz).

Nous avons ensuite testé ce module CDR pour d'autres valeurs du débit. Les principaux résultats obtenus sont résumés dans le tableau III.4.

Débit de D_{in}	1 Mbit/s	2 Mbit/s	3,42 Mbit/s	5 Mbit/s	8 Mbit/s	12 Mbit/s	13 Mbit/s
boucle verrouillée ?	oui	oui	oui	oui	oui	oui	non
jitter pk-pk	10 ns	10 ns	10 ns	10 ns	10 ns	10 ns	-
jitter pk-pk (en % UI)	1% UI	2% UI	3,42% UI	5% UI	8% UI	12% UI	-
Plage de capture	40 kHz	22 kHz	13 kHz	8 kHz	5 kHz	2,4 kHz	-
Plage de capture (en % du débit)	4%	1,1%	0,38%	0,16%	0,06%	0,02%	-

Tableau III.4. Résumé des résultats de mesures sur le kit Stratix

Au vu des performances présentées dans ce tableau, le premier constat est que, quel que soit le débit du signal d'entrée, le jitter peak-to-peak en valeur absolue est constant (10 ns, +/- 5 ns). Cette valeur est précisément égale à deux fois la résolution du TDC. En changeant la fréquence f_E (50 MHz, puis 100 MHz), nous obtenons toujours un jitter égal à $2 \cdot \Delta_{TDC}$ (le système est échantillonné par une horloge dont la fréquence vaut $1 / \Delta_{TDC}$).

Le circuit a été testé pour plusieurs débits allant de 1 à 30 Mbit/s. La boucle fonctionne seulement jusqu'à 12 Mbit/s [Tall_11]. Cela se justifie par la décroissance de la plage de capture en fonction du débit (seulement 2,4 kHz à 12 Mbit/s) et par l'imprécision du type (virgule fixe) de codage des coefficients α et β .

Par ailleurs, le circuit implémenté doit être programmable (changements du débit du signal d'entrée). Avec le type de codage utilisé (virgule fixe en format Q), il faut recalculer les coefficients du filtre à chaque changement de débit. Concrètement, il est prévu une table de 16 valeurs de débit du signal d'entrée. Dans cette configuration, il serait nécessaire de générer 16 filtres différents.

Afin d'atteindre des débits plus importants, le dimensionnement de la boucle a été optimisé. Les principales modifications apportées concernent la fréquence f_E d'échantillonnage du TDC (si f_E augmente, le gain du comparateur de phase augmente, de même que la plage de capture) et la précision du codage des coefficients α et β .

III.2.2.5. Optimisation

Dans toute la suite de ces travaux de thèse, les circuits ont été implémentés sur un kit Stratix III d'Altera®.

III.2.2.5.1 Plage de capture

La décroissance de la plage de capture en fonction du débit (cf. tableau III.4) laisse croire que si celle-ci augmente, la boucle fonctionnera pour des débits supérieurs à 12 Mbit/s. Cette plage de capture est notamment proportionnelle au gain $K_d = \frac{T_{REF}}{2\pi\Delta_{TDC}}$, elle augmente donc avec la fréquence d'échantillonnage $f_E (=1/\Delta_{TDC})$ et diminue avec le débit. La carte de développement (Stratix III) supporte des fréquences de signaux très élevées. Nous avons alors augmenté f_E à 400 MHz ($\Delta_{TDC} = 2,5$ ns). L'autre avantage de cette augmentation de f_E sera la réduction du jitter d'horloge.

La plage de capture est également proportionnelle au gain $K_{NCO} = \frac{f_E}{2^M}$. La réduction de la précision M de l'accumulateur du NCO permet d'augmenter K_{NCO} et donc la plage de capture. Après plusieurs tests (directement sur le kit de développement), nous avons fixé la précision de l'accumulateur M à 24 bits (au lieu de 32 initialement).

En outre, la taille de bus du signal de sortie du TDC a été modifiée. En fait, pour $f_E = 400$ MHz, la valeur maximale du compteur est obtenue pour le plus faible débit (1 Mbit/s). Cette valeur vaut $400 \text{ MHz}/1 \text{ MHz} = 400$ ($2^9 = 512$). Nous avons donc codé la sortie **digitized_error** sur 10 bits au lieu de 12 initialement.

III.2.2.5.2 Codage en virgule flottante

Pour augmenter la précision du codage des coefficients du filtre, nous avons exploré le codage en virgule flottante. Ce type de codage a été normalisé sous le standard IEEE-754 [IEEE_85]. La norme IEEE 754 a été définie pour la représentation des nombres décimaux à virgule flottante en binaire. La version 1985 (IEEE 754-1985) définit quatre formats pour représenter des nombres à virgule flottante :

- Le format simple précision (mots de 32 bits) (ou « single precision »)
- Simple précision étendue (mots de plus de 43 bits) : ce format est aujourd'hui obsolète.
- Le format Double précision (64 bits)
- Le format Double précision étendue (mots de plus de 79 bits).

Dans le cas de notre étude, la taille de bus des signaux d'entrée et de sortie du filtre ne dépasse pas 32 bits. Nous nous donc uniquement intéressés au format simple précision (32 bits).

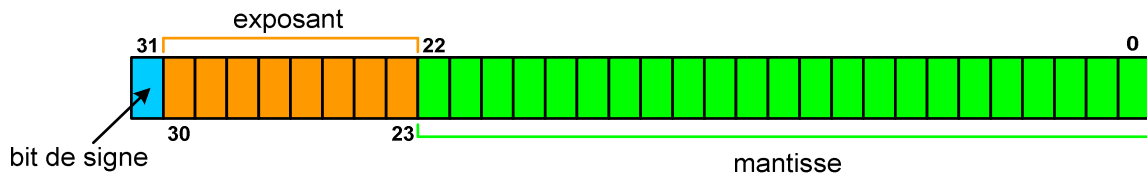


Figure III.23. Codage en virgule flottante simple précision d'un nombre décimal

Un nombre binaire codé en simple précision est composé d'un bit de signe qui vaut '0' si le nombre à coder est positif et '1' dans le cas contraire, 8 bits pour coder l'exposant et 23 bits alloués au codage de la mantisse (cf. fig. III.23).

Il existe des méga fonctions d'Altera (additionneurs, multiplieurs, ...) qui prennent en compte ce type de codage. Ces fonctions travaillent avec des signaux (entrée et sortie) 32 bits. La figure III.24 montre par exemple le dimensionnement d'un multiplieur travaillant avec des signaux codés en simple précision.

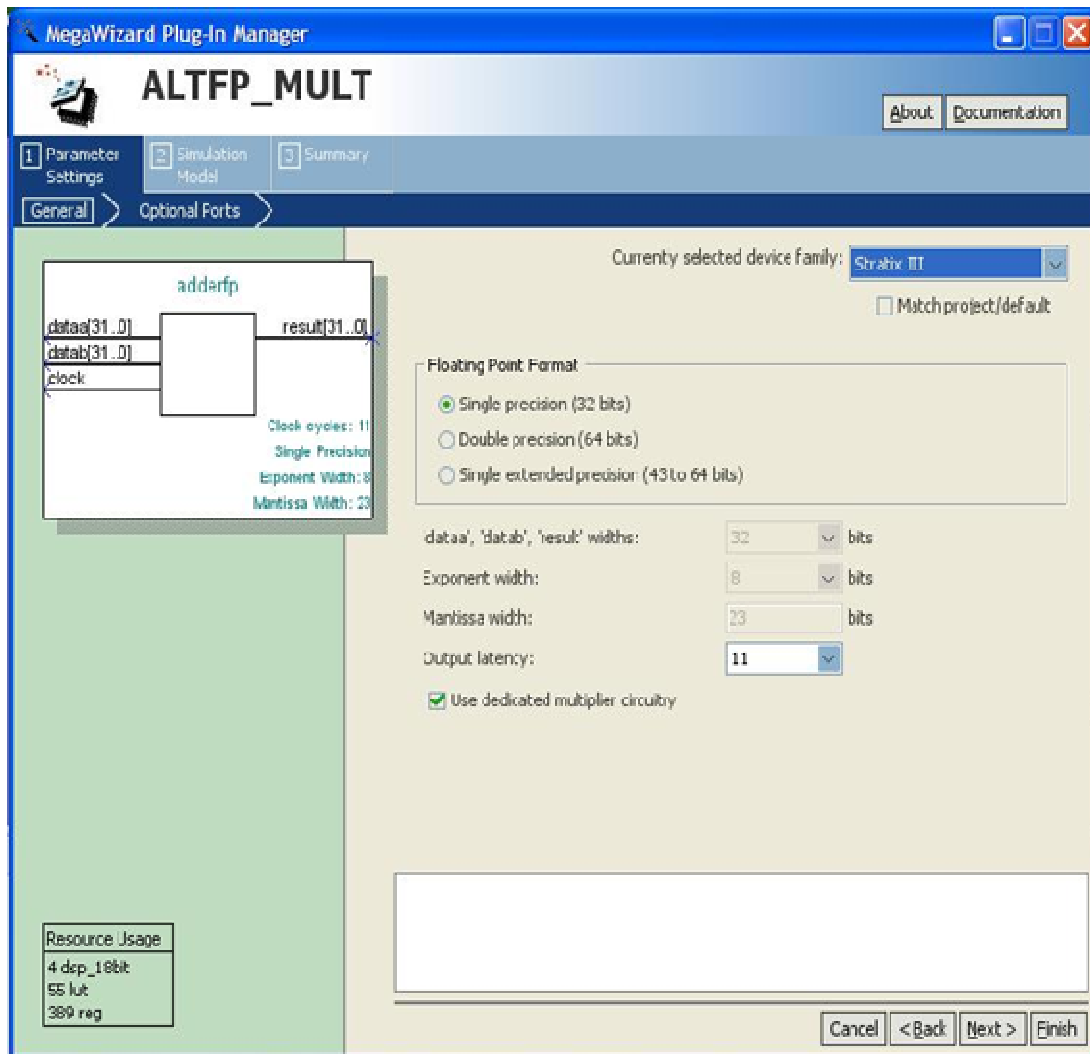


Figure III.24. Création et paramétrage d'une méga fonction « multiplieur » en virgule flottante simple précision

Nous avons donc pu implémenter le filtre en simple précision dans sa globalité en utilisant ce type de méga fonctions. Cependant, des conversions sont nécessaires pour passer de la sortie du TDC (10 bits) aux multiplieurs du filtre (32 bits), et pour passer de 32 bits en sortie du filtre à l'entrée du NCO (24 bits). En calculant, la valeur maximale en sortie du filtre (pour le pire cas, c'est-à-dire le débit maximum), on se rend compte que la valeur du signal *out_filter* n'excède pas 2^{23} , d'où le choix de coder ce signal sur 24 bits.

Finalement, les coefficients du filtre peuvent être codés sur 32 bits (au lieu de 20 bits), donc avec une précision beaucoup plus importante (cf. fig. III. 25).

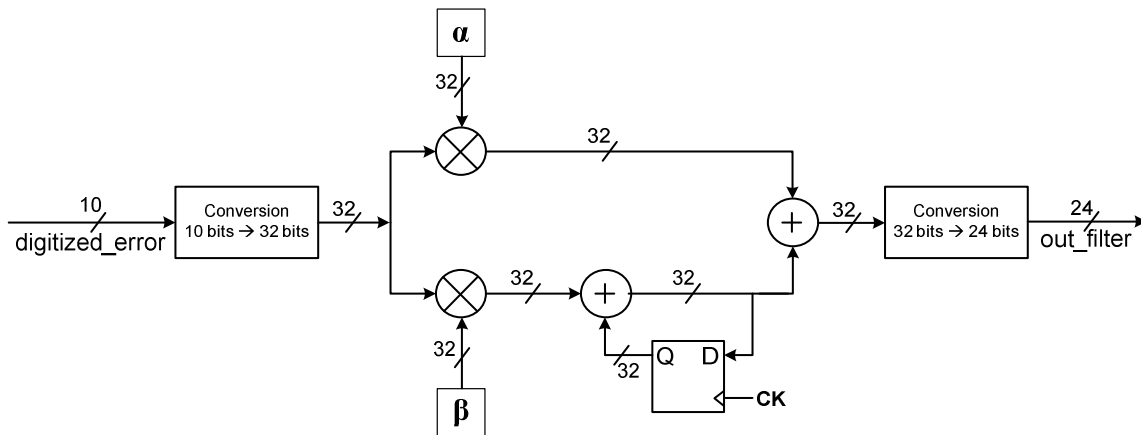


Figure III.25. Codage du filtre en virgule flottante avec l'utilisation de méga fonctions d'Altera

Ces différentes modifications apportées au système ont permis d'améliorer les performances obtenues. Celles-ci vont être présentées dans le paragraphe suivant.

III.2.2.6. Mesures après optimisation, aspect programmable

III.2.2.6.1. Mesures

Comme annoncé précédemment, la programmation et les différentes mesures ont été effectuées sur le kit Stratix III. La boucle fonctionne maintenant pour des débits supérieurs à 12 Mbits. La figure III.26 montre par exemple les résultats de mesure pour un débit de 28 Mbit/s.

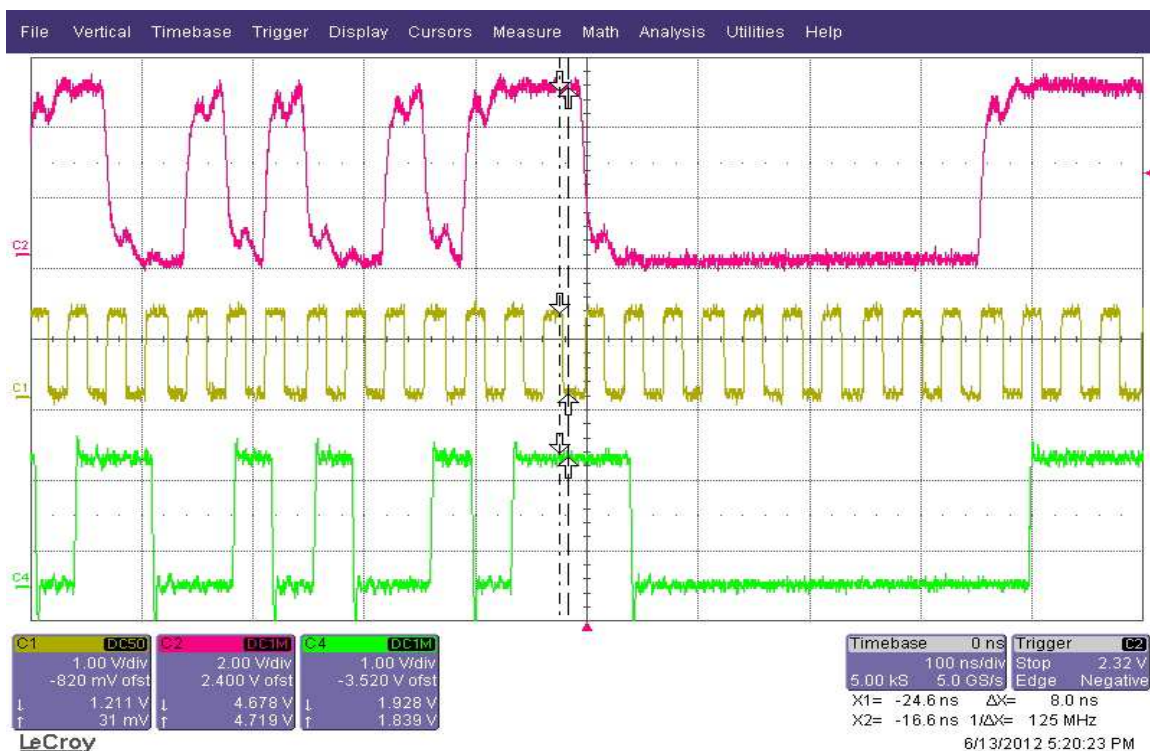


Figure III.26. Signal d'entrée, horloge et données ré échantillonnées à 28 Mbit/s

L'horloge générée est alignée en phase avec le signal d'entrée (PRBS de longueur $2^{23} - 1$). Les données ré échantillonnées par l'horloge CK sont parfaitement identiques au train de données en entrée du module CDR (TEB nul). Les résultats de mesure du circuit montrent un jitter peak-to-peak du signal d'horloge d'environ 5 ns (+/- 2,5 ns) (cf. tableau III.6).

En plus de l'amélioration du jitter, l'augmentation de la fréquence f_E a permis, comme attendu, d'améliorer la plage de capture de la boucle. Les principaux résultats de mesures, après optimisation, sont résumés dans le tableau III.6.

III.2.2.6.2. Aspect programmable

Le circuit a été testé avec succès pour des débits du signal d'entrée allant de 1 à 40 Mbit/s. Ces mesures ont été effectuées sur la base d'une table de 16 valeurs de débit, sélectionnables via des bits de sélection commandant un multiplexeur.

Le codage en virgule flottante des coefficients du filtre de boucle a permis un gain important de précision. En effet, au lieu de 16 filtres correspondant aux 16 valeurs du débit, seuls quatre filtres (appelés F1, F2, F3 et F4) permettent de couvrir toute la bande de fréquence [1 – 40 MHz]. Ces filtres sont calculés et sauvegardés en mémoire. Ensuite, à l'aide d'un multiplexeur commandé par deux bits de sélection, on vient sélectionner le filtre adéquat en fonction du débit.

RS (1)	RS (2)	RS (3)	RS (4)	Débit	FS (7)	FS (8)	Filtre
0	0	0	0	1 Mbit/s	0	0	F1
0	0	0	1	1,3 Mbit/s			
0	0	1	0	2 Mbit/s			
0	0	1	1	2,5 Mbit/s	0	1	F2
0	1	0	0	3 Mbit/s			
0	1	0	1	5 Mbit/s			
0	1	1	0	10 Mbit/s	1	1	F3
0	1	1	1	12 Mbit/s			
1	0	0	0	15 Mbit/s			
1	0	0	1	17 Mbit/s			
1	0	1	0	20 Mbit/s			
1	0	1	1	25 Mbit/s			
1	1	0	0	28 Mbit/s	1	1	F4
1	1	0	1	30 Mbit/s			
1	1	1	0	32 Mbit/s			
1	1	1	1	40 Mbit/s			

Tableau III.5. Sélection du filtre de boucle en fonction du débit du signal d'entrée

Pour le test complet de la fonctionnalité du système, les bits de sélections de débit et de filtre ont été routés sur des interrupteurs contenus dans la carte de développement. Quatre bits de sélection RS(1)

(« **Rate_Select** »), RS(2), RS(3) et RS(4) sont nécessaires pour la sélection du débit du signal en entrée. Quant au choix du filtre, seuls deux bits FS(7) (« **Filter_Select** ») et FS(8) seront utilisés.

Les filtres ont été calculés avec la même méthode de dimensionnement détaillée plus tôt. Le principal paramètre qui change d'un filtre à un autre est la fréquence f_0 , choisi empiriquement pour chaque bande de fréquence. Elle est prise égale à 400 Hz pour F1, 500 Hz (F2), 700 Hz (F3) et 1 kHz (F4). Cette faible valeur de f_0 se justifie aussi par la volonté d'obtenir un très bon N_{BIC} , au détriment d'un temps de réponse grand. Par exemple, la boucle tolère un NBIC de 382 bits pour un débit de 1,3 Mbit/s.

Par ailleurs, d'autres paramètres de la boucle comme la valeur de φ_{INC} à l'entrée du NCO sont mis à jour pour chaque débit du signal d'entrée. Le tableau III.6 montre les valeurs des débits ainsi que le filtre correspondant à chacun de ces débits.

III.2.2.7. Conclusion

Le tableau III.6 résume les performances mesurées pour quelques valeurs de débit du signal d'entrée.

Débit	1 Mbit/s	1,3 Mbit/s	5 Mbit/s	10 Mbit/s	25 Mbit/s	32 Mbit/s	40 Mbit/s
Boucle verrouillée ?	oui	oui	oui	oui	oui	oui	oui
Jitter pk-pk	5,028 ns	5,188 ns	5,152 ns	5,15 ns	5,179 ns	5,148 ns	5,202 ns
Jitter pk-pk (en %UI)	0,5 % UI	0,67 % UI	2,56 % UI	5,15 % UI	12,95 % UI	16,47 % UI	20,8 % UI
Jitter RMS	600 ps	530 ps	520 ps	480 ps	400 ps	340 ps	310 ps
Plage de capture	86 kHz	55 kHz	64 kHz	73 kHz	44 kHz	58 kHz	14 kHz
N_{BIC}	166	382	650	1200	2500	3300	4800

Tableau III.6. Résultats de mesures sur le kit Stratix III, après optimisation des paramètres de la boucle

La boucle se verrouille sur la donnée d'entrée pour toutes les valeurs du débit du signal d'entrée. Le jitter peak-to-peak est voisin de 5 ns ($2 \cdot \Delta_{TDC}$) et on obtient une meilleure plage de capture grâce à l'augmentation de la fréquence d'échantillonnage f_E et à la réduction de la précision de l'accumulateur du NCO. Le choix de faibles valeurs de f_0 a aussi permis d'obtenir de très bonnes performances en termes de N_{BIC} (plus de 1000 bits à 10 Mbit/s).

En conclusion, les performances obtenues satisfont globalement au cahier des charges. En effet, pour les débits de 1 à 20 Mbit/s, les valeurs de jitter obtenues sont très largement en dessous de 10% UI. Au delà de 20 Mbit/s, la limitation technologique en fréquence justifie les valeurs de jitter supérieures à cette valeur. Aussi, le N_{BIC} de 256 bits imposé par le cahier des charges est largement atteint sauf dans le cas où le débit vaut 1 Mbit/s. Le circuit fonctionne correctement entre 1 et 40 Mbits (entre 1 et 30 Mbit/s dans le cahier des charges).

III.3. Conception d'un ELGS numérique programmable dans le cadre d'un récepteur PCM/FM

Dans le cadre d'un récepteur utilisant des modulations de type PCM/FM (Pulse Code Modulation / Frequency Modulation) (projet de DM RADIOCOM), un circuit CDR numérique programmable a été réalisé. Une description succincte du récepteur est faite dans un premier temps. Elle sera suivie du cahier des charges et de la conception du circuit de récupération d'horloge et de données.

III.3.1. Récepteur PCM/FM et cahier des charges du circuit CDR

Nous nous intéressons à la réception d'un signal PCM/FM. De manière simplifiée, un tel récepteur (cf. fig. III.3) comprend une fonction de traitement RF, un synchronisateur de bit et un décodeur PCM. L'objectif, dans le cadre de cette thèse, est de concevoir la fonction de synchronisation qui doit fournir, à partir du signal codé PCM, une horloge synchrone de ces données. La conception du circuit CDR (numérique) devra tenir compte du cahier des charges spécifié comme suit :

- Le signal PCM en entrée du synchronisateur de bits est codé en NRZ-L ou en RNRZ-L.
- Le circuit devra idéalement fonctionner pour tous les débits entre 1 et 28 Mbit/s.
- La précision (jitter) de l'horloge restituée doit être suffisante pour ne pas altérer le spectre du signal reçu pour $E_b/N_0 = 0$ dB.
- Le nombre de bits de maintien (N_{BIC}) doit être égal (ou supérieur) à 256 bits.
- La plage de capture doit être comprise entre 0,04% et 8% de la valeur du débit.
- La bande équivalente de bruit restera comprise entre 0,1% et 3% du débit.

Ces spécifications conditionnent le choix de l'architecture et le dimensionnement de la fonction de synchronisation. La section suivante présente la conception de ce circuit.

III.3.2. Etude et réalisation du module CDR

L'étude comparative établie au chapitre I sur les architectures de CDR existantes montre que les circuits ELGS (« Early/Late Gate Synchronizer ») sont les meilleurs candidats lorsque le signal d'entrée est bruité. En effet, de par sa structure intrinsèque (présence d'intégrateurs en entrée), l'ELGS filtre le bruit en entrée.

Dans ce travail de thèse, nous avons dans un premier temps considéré la description de l'ELGS sous sa forme analogique. En effet, la description analogique permet de maîtriser le dimensionnement, et donc le comportement dynamique de la boucle. Aussi, dans la littérature, nous n'avons pas trouvé de modèle numérique de l'ELGS. Dans un second temps, il a été question, à partir du modèle analogique existant, de trouver le modèle numérique équivalent afin de pouvoir dimensionner puis implémenter la

structure sur FPGA. Avant de détailler la méthode de dimensionnement utilisée, nous allons décrire le fonctionnement de l'ELGS dans le paragraphe qui suit.

III.3.2.1. Description du fonctionnement de l'ELGS

De manière générale, la description de l'architecture (cf. fig. III.27) est analogique mais l'implémentation peut être entièrement numérique [Gar_79]. Le signal d'entrée $s(t)$ du circuit est au format NRZ bipolaire.

$$s(t) = V_s \sum_i a_i * g(t - iT) dt \quad eq.III.14$$

Où V_s est l'amplitude du signal d'entrée, $g(t)$ la fonction porte, les a_i prennent leurs valeurs dans l'alphabet $\{+1, -1\}$.

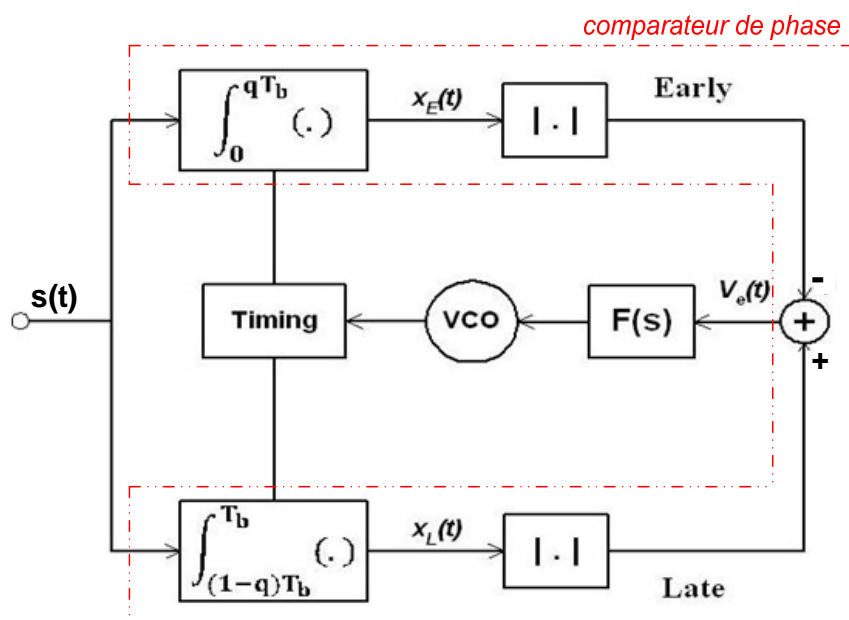


Figure III.27. Architecture (analogique) de l'ELGS

Comme annoncé dans le chapitre I, cette structure est formée de deux branches (*early* et *late*) constituées chacune d'intégrateur et d'une fonction valeur absolue. Elle comprend aussi un soustracteur, un filtre de boucle, un VCO et une logique de contrôle permettant de gérer la durée d'intégration du signal d'entrée sur chaque branche ainsi que les instants de remise à zéro des intégrateurs.

Le signal d'entrée est intégré sur la branche *early* pendant une durée dépendant du déphasage entre le signal $s(t)$ et l'horloge et d'un nombre q qui est un réel compris entre 0,5 et 1 (cf. fig. III.27). En sortie des deux fonctions valeur absolue, le soustracteur permet de générer une tension d'erreur $V_e(t)$, image du déphasage entre l'horloge générée par le VCO et le signal d'entrée. Ensuite le reste du fonctionnement est similaire à celui d'une PLL : le filtre de boucle moyenne la tension d'erreur et fournit une tension de contrôle au VCO qui voit sa fréquence (phase) augmenter ou diminuer, suivant

la valeur de cette tension de contrôle. Nous ne détaillerons pas dans ce paragraphe le fonctionnement du filtre de boucle et du VCO. Nous nous contenterons d'expliquer le fonctionnement des autres fonctions (intégrateurs, valeur absolue, logique de contrôle, ...).

Nous allons détailler le fonctionnement de la structure suivant deux cas d'étude. Dans un premier temps, nous considérons le cas où la boucle est verrouillée ($s(t)$ en phase avec l'horloge H). Dans le second cas, l'horloge H est en avance sur le signal d'entrée $s(t)$. Le cas où le signal est en retard sur la donnée d'entrée est similaire au second cas.

III.3.2.1.1. Donnée et horloge en phase

Dans ce cas, la période d'intégration est la même sur les deux branches. Elle est idéalement égale à qT_b ($0.5 \leq q \leq 1$). Appelons par $x_E(t)$ et $x_L(t)$ les sorties des intégrateurs respectivement sur les branches *early* et *late*, T_b est la durée bit (cf. fig. III.28).

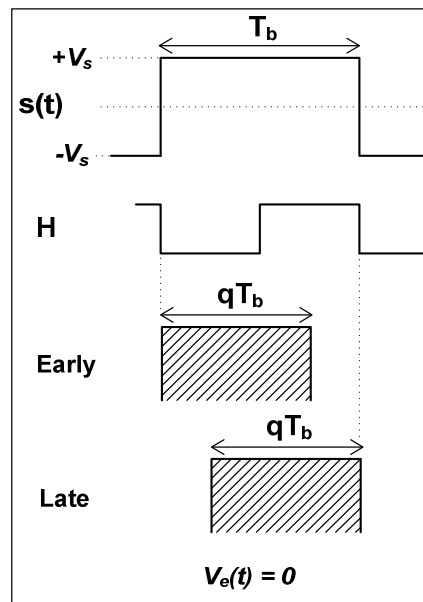


Figure III.28. Horloge H et donnée $s(t)$ alignées en phase

En sortie de l'intégrateur « early », on peut écrire :

$$x_E(t) = \int_0^{qT_b} s(t) dt = V_s \int_0^{qT_b} \sum_i a_i g(t - iT) dt, t \in [kT_b; (k+1)T_b]$$

Ce qui donne pour un $k^{\text{ème}}$ bit donné :

$$x_E(t) = a_k V_s (qT_b - 0) = q a_k V_s T_b$$

Et en sortie de la fonction valeur absolue ($a_k = +/-1$) :

$$|x_E(t)| = q V_s T_b$$

En raisonnant de la même manière sur l'autre branche, on obtient :

$$x_L(t) = \int_{(1-q)T_b}^{T_b} s(t) dt = \int_{(1-q)T_b}^{T_b} \sum_i a_i g(t - iT) dt$$

Et donc :

$$x_L(t) = a_k V_s (T_b - T_b + qT_b) = qa_k V_s T_b$$

D'où :

$$|x_L(t)| = qV_s T_b$$

Ainsi la tension $V_e(t)$ à la sortie du soustracteur est donnée par :

$$V_e(t) = |x_L(t)| - |x_E(t)| = 0$$

Comme dans le cas d'une PLL idéale, la tension d'erreur $V_e(t)$ est alors nulle si donnée et horloge sont en phase. La phase et la fréquence de l'horloge du VCO restent inchangées : c'est le cas lorsque la boucle est accrochée.

III.3.2.1.2. H en avance de phase sur $s(t)$

Dans ce second cas, on considère que l'horloge H est avancée d'une durée Δt par rapport au signal $s(t)$. Dans ce cas, le signal est intégré pendant une durée qT_b sur la branche *late* mais pendant une durée dépendant du bit précédent et de q sur la branche « early ».

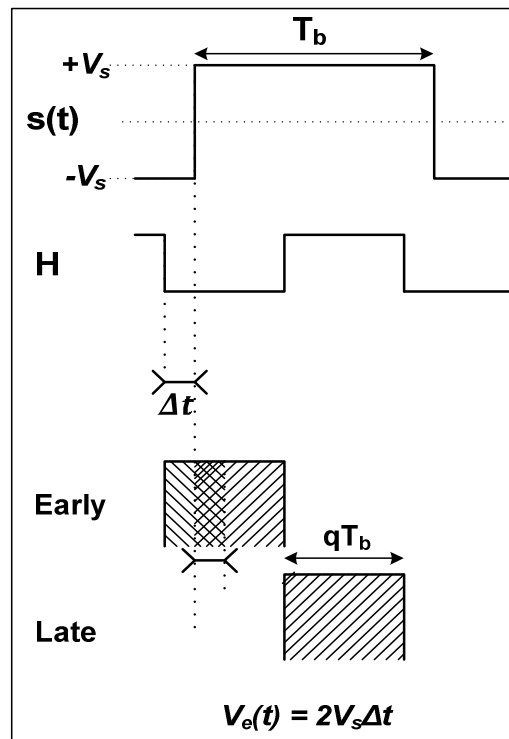


Figure III.28. Horloge H en avance de Δt sur la donnée $s(t)$

L'expression de $x_E(t)$ peut se décomposer en une somme de deux intégrales :

$$\begin{aligned} x_E(t) &= \int_{-\Delta t}^{qT_b - \Delta t} s(t) dt = \int_{-\Delta t}^0 s(t) dt + \int_0^{qT_b - \Delta t} s(t) dt \\ &= V_S \int_{-\Delta t}^0 \sum_i a_i g(t - iT) dt + V_S \int_0^{qT_b - \Delta t} \sum_i a_i g(t - iT) dt \end{aligned}$$

Ce qui donne, pour un $k^{\text{ème}}$ bit :

$$x_E(t) = a_{k-1} V_S \Delta t + a_k V_S (qT_b - \Delta t) = a_k V_S qT_b + \Delta t * V_S (a_{k-1} - a_k) \quad \text{eq. III. 15}$$

A partir de là, suivant que le bit précédent a_{k-1} soit identique ou non au bit a_k , deux cas de figures peuvent se présenter.

- Si $a_{k-1} = a_k$, l'erreur est transparente. En effet, comme le montre la figure III.29, le signal $s(t)$ est intégré pendant une même durée qT_b sur les deux branches. On revient donc au cas précédent avec une tension d'erreur $V_e(t) = 0$.

$$x_E(t) = a_k V_S qT_b$$

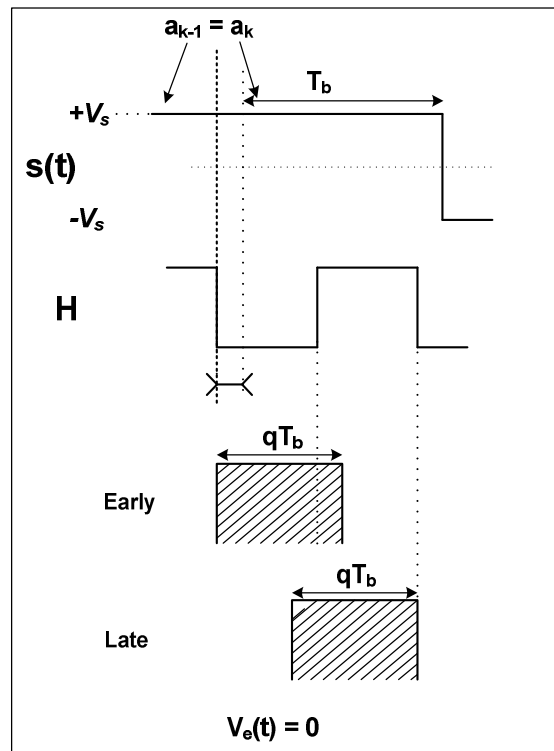


Figure III.29. Erreur transparente pour deux bits consécutifs identiques

- Si $a_{k-1} \neq a_k$, supposons que $a_k = 1$ ($a_{k-1} = -1$), alors l'équation (eq. III. 15) devient :

$$x_E(t) = qV_S T_b - 2\Delta t V_S \quad \text{eq. III. 16}$$

En procédant de la même manière sur la branche « late », on trouve :

$$\begin{aligned}
 x_L(t) &= \int_{-\Delta t + (1-q)T_b}^{T_b - \Delta t} s(t) dt = \int_{-\Delta t + (1-q)T_b}^{(1-q)T_b} s(t) dt + \int_{(1-q)T_b}^{T_b - \Delta t} s(t) dt \\
 &= V_s \int_{-\Delta t + (1-q)T_b}^{(1-q)T_b} \sum_i a_i g(t - iT) dt + V_s \int_{(1-q)T_b}^{T_b - \Delta t} \sum_i a_i g(t - iT) dt
 \end{aligned}$$

On considère que $\Delta t \leq (1 - q)T_b \rightarrow (1 - q)T_b - \Delta t \geq 0$ (dans le cas contraire, on pourrait considérer que H est en avance sur s(t) et le calcul serait similaire). Dans ce cas, on obtient :

$$\begin{aligned}
 x_L(t) &= a_k V_s [T_b - qT_b + \Delta t - T_b + qT_b] + a_k V_s [T_b - \Delta t - T_b + qT_b] = qa_k V_s T_b \\
 x_L(t) &= qa_k V_s T_b \quad \text{eq. III.17}
 \end{aligned}$$

Les équations (eq.III.16) et (eq.III.17) permettent d'établir l'expression de la tension d'erreur en sortie du soustracteur:

$$V_e(t) = |x_L(t)| - |x_E(t)| = \begin{cases} 2V_s \Delta t, & \text{pour } \Delta t \leq \frac{q}{2} T_b \\ -2V_s \Delta t, & \text{pour } \Delta t > \frac{q}{2} T_b \end{cases} \quad \text{eq. III.18}$$

Comme prévu, on constate que la tension d'erreur $V_e(t)$ est proportionnelle au déphasage Δt entre le signal d'entrée $s(t)$ et l'horloge H. Cette relation (eq.III.18) va être utilisée dans la modélisation du discriminateur de phase et le dimensionnement de la boucle.

III.3.2.2. Modélisation et dimensionnement d'un ELGS numérique

Comme annoncé dans le chapitre I, l'ELGS peut être modélisé comme une PLL. L'objectif est d'arriver à définir une méthode de dimensionnement équivalente à celle d'une PLL analogique. Pour cela, nous repartons du schéma général (cf. fig. III.27) de l'ELGS pour définir le modèle présenté sur la figure III.30.

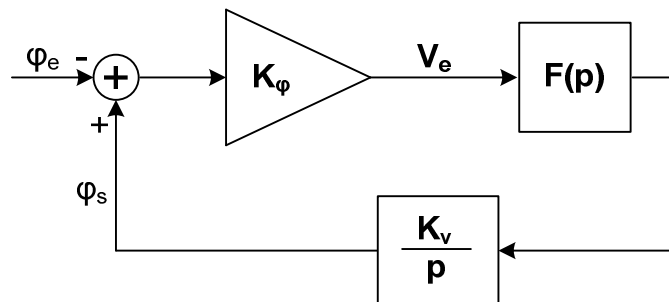


Figure III.30. Modélisation de l'ELGS équivalente à celle d'une PLL analogique

Cette PLL équivalente est constituée de :

- Un comparateur de phase composé des branches *early* et *late* et du soustracteur. Le gain du comparateur de phase, noté K_φ , est égal au rapport de la tension d'erreur $V_e(t)$ sur le déphasage $\Delta\varphi = \varphi_s - \varphi_e$ en entrée.

- Le filtre de boucle, $\mathbf{F(p)}$ est la fonction de transfert du filtre.
- Le VCO de gain $\mathbf{K_0}$, exprimé en rad/s/V.

Nous partons de ce modèle analogique de l'ELGS pour essayer de trouver son équivalent numérique. La première étape de cette étude consiste à trouver le modèle numérique du comparateur de phase.

III.3.2.2.1. Modélisation du comparateur de phase

Le but de ce paragraphe est de trouver un modèle numérique permettant de maîtriser le gain du comparateur de phase. La relation établie dans (eq.III.18) laisse présager un gain du comparateur de phase dont le signe dépend de la valeur du déphasage Δt . Dans toute la suite de l'étude, nous prenons $\mathbf{q} = 1/2$, ce choix permet d'avoir une caractéristique du comparateur de phase symétrique. Pour $\mathbf{q} = 1/2$, l'équation (eq.III.18) devient :

$$V_e(t) = \begin{cases} 2V_s \Delta t, & \text{pour } \Delta t \leq \frac{T_b}{2} \\ -2V_s \Delta t, & \text{pour } \Delta t > \frac{T_b}{2} \end{cases} \quad \text{eq.III.19}$$

Sachant que :

$$\Delta t = \frac{T_b}{2\pi} \Delta \varphi$$

Alors :

$$V_e(t) = \begin{cases} 2V_s \frac{T_b}{2\pi} \Delta \varphi, & \Delta t \leq \frac{T_b}{2} \\ -2V_s \frac{T_b}{2\pi} \Delta \varphi, & \Delta t > \frac{T_b}{2} \end{cases}$$

Le gain du comparateur de la phase s'exprime alors par :

$$K_\varphi = \frac{V_e(t)}{\Delta \varphi} = \begin{cases} \frac{V_s T_b}{\pi}, & \Delta t \leq \frac{T_b}{2} \\ -\frac{V_s T_b}{\pi}, & \Delta t > \frac{T_b}{2} \end{cases} \text{ ou plus simplement } |K_\varphi| = \frac{V_s T_b}{\pi}$$

Le gain K_φ est donc fonction de l'amplitude du signal et du débit du signal d'entrée. Pour trouver le modèle numérique équivalent, on peut écrire, à partir de l'équation (eq.III.19) :

$$|V_e(nT_e)| = 2 * (2^{N-1} - 1) * \frac{\Delta t}{T_e}$$

Dans cette relation, T_e est la période d'échantillonnage des intégrateurs numériques et l'amplitude vaut $V_s = 2^{N-1} - 1$, N étant le nombre de bits de codage du signal d'entrée $\mathbf{s(nT_e)}$. Cela donne :

$$|V_e(nT_e)| = 2 * (2^{N-1} - 1) * \frac{T_b}{2\pi T_e} \Delta \varphi$$

D'où le modèle numérique du comparateur de phase :

$$|K_{\varphi n}| = \frac{2^{N-1} - 1}{\pi} * \frac{T_b}{T_e} \quad \text{eq.III.20}$$

Il apparaît que trois paramètres conditionnent le dimensionnement du comparateur de phase. Comme dans le cas de la PLL numérique étudiée dans la première partie de ce chapitre, le gain K_{φ} sera limité par la fréquence maximale de fonctionnement ($F_e = 1/T_e$) des composants de la carte de développement et du FPGA sur lequel sera implanté l'ELGS. Aussi, ce gain évolue de manière décroissante suivant le débit ($F_b = 1/T_b$), d'où une limitation de la boucle pour les plus hauts débits.

Par ailleurs, comme annoncé dans le cahier des charges, le signal d'entrée est bruité. Le dimensionnement du circuit doit donc tenir compte du bruit en entrée. Le paragraphe suivant présente l'étude du comportement de la boucle vis-à-vis du bruit à son entrée.

III.3.2.2.2. Comportement vis-à-vis du bruit

L'objectif de cette étude n'est pas de mettre au point un modèle de bruit numérique de la boucle qui va ensuite être validé par la simulation ou la mesure. Nous cherchons à exprimer le jitter de l'horloge de sortie de l'ELGS en fonction du bruit en entrée et des paramètres de la boucle, ce qui permettra de dégager des tendances claires quant au dimensionnement de la structure. Pour cela, on considère maintenant qu'à l'entrée de chacun des intégrateurs (*early* et *late*), le bruit se superpose au signal d'entrée. Alors, le signal en entrée des intégrateurs s'écrira $\mathbf{s(t)} + \mathbf{n(t)}$ où $\mathbf{s(t)}$ est décrite dans l'équation (eq.III.14) ; $\mathbf{n(t)}$ est supposé être du bruit blanc gaussien à moyenne nulle et de DSP égale à \mathbf{N}_0 (V^2/Hz).

Partant de ces considérations, Gardner [Gar_79] établit l'expression de la variance du jitter d'horloge (normalisé par rapport au temps bit), d représente la densité de transition du signal d'entrée.

$$E \left[\left(\frac{\Delta\tau}{T_b} \right)^2 \right] = \frac{N_0 B_n}{2V_s^2 d^2}$$

En écrivant l'amplitude du signal $V_s = 2^{N-1}$ et en prenant $d = 0,5$ la relation peut s'écrire comme suit :

$$E \left[\left(\frac{\Delta\tau}{T_b} \right)^2 \right] = \frac{N_0 B_n}{2^{2N-3}} \quad \text{eq.III.21}$$

Cette relation traduit la variation du jitter de l'horloge de sortie en fonction de la DSP du bruit en entrée et de certains paramètres de la boucle.

- Le dimensionnement de la boucle se fera donc en minimisant la valeur de la bande équivalente de bruit \mathbf{B}_n au détriment d'un long temps d'accroche.
- La valeur de \mathbf{N} (nombre de bits de codage de $\mathbf{s(t)}$) devra être prise très grande. Elle peut cependant être limitée par les méga fonctions utilisées (intégrateurs) lors de l'implémentation sur FPGA.

Ces paramètres permettent donc d'optimiser les performances de l'ELGS, notamment dans le bruit. Ils entrent également en jeu dans le dimensionnement du filtre de boucle.

III.3.2.2.3. Dimensionnement du filtre de boucle

Comme dans le cas de la PLL numérique présentée dans la première partie de ce chapitre, le calcul des coefficients du filtre de l'ELGS repose sur une analogie entre modèles de PLL analogique et numérique.

Le point de départ est le modèle analogique linéaire d'une PLL du 2nd ordre (cf. fig. III.31 (a)). La méthode de calcul du filtre consiste dans un premier temps à faire la transformation bilinéaire de la fonction de transfert de ce modèle afin d'obtenir le modèle numérique équivalent (cf. fig. III.31 (b)).

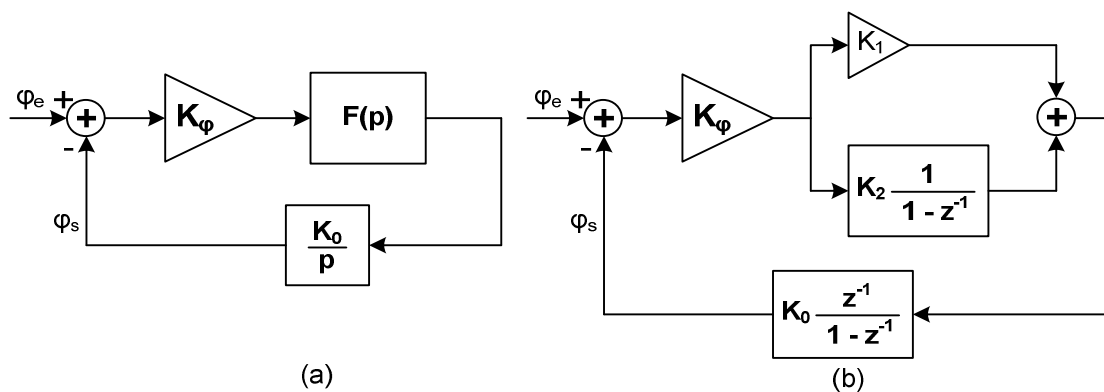


Figure III.31. (a) Modèle analogique d'une PLL du 2nd ordre (b) Modèle numérique équivalent

La fonction de transfert $H(p)$ du modèle analogique (2nd ordre) est donnée par :

$$H(p) = \frac{\varphi_s(p)}{\varphi_e(p)} = \frac{2\xi\omega_n p + \omega_n^2}{p^2 + 2\xi\omega_n p + \omega_n^2}$$

ξ est le coefficient d'amortissement de la boucle, ω_n est la pulsation naturelle.

La bande passante de la boucle se définit comme la fréquence de coupure (à -3 dB) de la fonction de transfert en boucle fermée, c'est-à-dire f_0 tel que $|H(f_0)|^2 = \frac{1}{2}$. Elle est, en pratique, approchée par la bande équivalente de bruit B_n qui est la bande passante d'un filtre passe-bas idéal qui aurait la même aire ($\int_{-\infty}^{\infty} |H(f)|^2$) que la réponse en fréquence de la boucle [Rice_09]. L'expression de B_n dépend de l'architecture du filtre de boucle utilisé. Pour la structure du filtre du modèle étudié, elle est donnée par [Rice_09]:

$$B_n = \frac{\omega_n}{2} \left(\xi + \frac{1}{4\xi} \right)$$

Pour des raisons de simplification d'écriture, on pose également :

$$\theta_n = \frac{B_n T_b}{\xi + \frac{1}{4\xi}} \quad \text{eq. III.22}$$

On note par $H_d(z)$ la fonction de transfert en Z du modèle digital (cf. fig. III.33 (b)). $H_a(z)$ la transformée bilinéaire de $H(p)$, fonction de transfert du modèle analogique. On a :

$$H_d(z) = \frac{K_\varphi K_0 (K_1 + K_2) z^{-1} - K_\varphi K_0 K_1 z^{-2}}{1 - 2\left(1 - \frac{K_\varphi K_0 (K_1 + K_2)}{2}\right) z^{-1} + (1 - K_\varphi K_0 K_1) z^{-2}}$$

$$H_a(z) = F\left(\frac{2}{T_e} \frac{1 - z^{-1}}{1 + z^{-1}}\right) = \frac{\frac{2\xi\theta_n + \theta_n^2}{1 + 2\xi\theta_n + \theta_n^2} + 2\frac{\theta_n^2 - \xi\theta_n}{1 + 2\xi\theta_n + \theta_n^2} z^{-1} + \frac{\theta_n^2}{1 + 2\xi\theta_n + \theta_n^2} z^{-2}}{1 - 2\frac{\theta_n^2 - 1}{1 + 2\xi\theta_n + \theta_n^2} z^{-1} + \frac{1 - 2\xi\theta_n + \theta_n^2}{1 + 2\xi\theta_n + \theta_n^2} z^{-2}}$$

On part de l'hypothèse que les fonctions de transfert de boucle des deux modèles sont équivalentes, on pose alors l'égalité $H_a(z) = H_d(z)$. Cette égalité permet, par identification, de trouver les coefficients K_1 et K_2 en fonction des paramètres de la boucle :

$$K_1 = \frac{4\xi\theta_n}{K_0 K_\varphi (1 + 2\xi\theta_n + \theta_n^2)} \quad \text{eq. III.23}$$

$$K_2 = \frac{4\theta_n^2}{K_0 K_\varphi (1 + 2\xi\theta_n + \theta_n^2)} \quad \text{eq. III.24}$$

En résumé, le dimensionnement du filtre est réalisé en trois étapes :

1. Fixation des paramètres statiques de la boucle K_φ et K_0 .

Le gain du comparateur de phase K_φ est dimensionné à l'aide de l'équation (eq.III.20). La difficulté réside dans le choix de N, précision du signal d'entrée. D'une part, N doit être très grand (K_φ grand) pour que la boucle puisse fonctionner pour les hauts débits ; d'autre part, il ne doit pas dépasser une certaine valeur, au risque d'*overflow* en sortie des intégrateurs *early* et *late* pour les bas débits. Enfin, le gain du NCO K_0 sera essentiellement fonction de la précision de l'accumulateur.

2. Fixation des paramètres dynamiques ξ et B_n (et donc de θ_n).

A l'image de la marge de phase dans les PLL à pompe de charges, le coefficient d'amortissement ξ conditionne la stabilité de la boucle. Pour mieux gérer le compromis entre le temps de réponse et la stabilité de la boucle, il est généralement pris environ égal à 0,7.

La bande équivalente de bruit B_n répond généralement au compromis jitter – temps de réponse. Dans cette étude, nous la dimensionnons conformément à l'équation (eq.III.21), c'est-à-dire très faible au prix d'un temps de réponse important. Toutefois, dans le cadre de cette étude (implantation sur cible FPGA), la limitation liée à la précision du codage des coefficients du filtre interdit des valeurs trop

faibles de B_n . Concrètement, la simulation (ou la mesure) permettra (de façon empirique) de trouver la meilleure valeur de B_n répondant à ce compromis.

3. Déduction des coefficients K_1 et K_2 à partir des équations (eq.III.23) et (eq.III.24)

Ce dimensionnement a été appliqué à l'ELGS conçu dans la plage [1 – 28 Mbit/s] et prototypé sur FPGA.

III.3.2.3. Conception du circuit

L'ELGS doit être programmable car le débit du signal d'entrée varie entre 1 et 28 Mbit/s. L'architecture et la conception des différentes fonctions de l'ELGS vont être détaillées.

III.3.2.3.1. Comparateur de phase

Comme expliqué plus tôt, le comparateur de phase est formé des deux branches et du soustracteur (cf. fig. III.32).

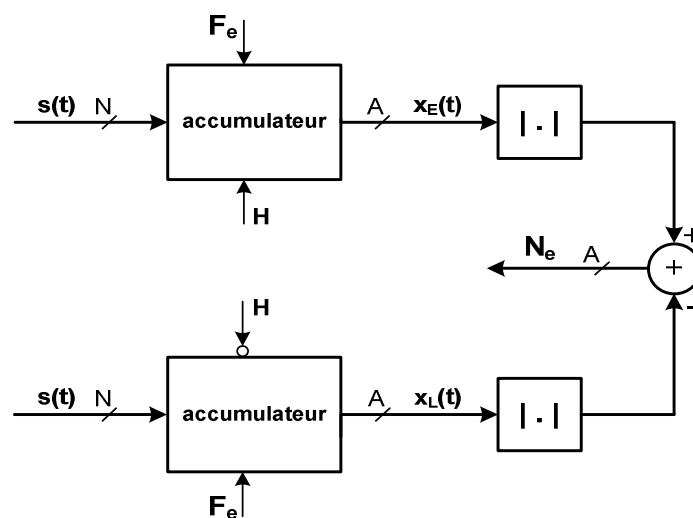


Figure III.32. Comparateur de phase de l'ELGS numérique

Des compteurs numériques ont été implémentés pour jouer le rôle des intégrateurs sur les deux branches *early* et *late*. Ces compteurs sont réalisés à l'aide d'accumulateurs, méga fonctions d'Altera. Ces accumulateurs ont leur taille de bus des signaux d'entrée et de sortie constante (paramétrée par l'utilisateur) et sont pilotés par une horloge F_e prise égale à 400 MHz. Les modules *valeur absolue* sont des méga fonctions d'Altera déjà existantes dans les bibliothèques de Quartus. La soustraction est synchronisée sur le front descendant de l'horloge H. Les compteurs sont dimensionnés de sorte à ce qu'il n'y ait pas d'*overflow* en sortie pour le débit minimum ($F_b = 1$ MHz). Dans ce cas, la valeur maximale du compteur ($F_e/2F_b \times (2^{N-1} - 1)$) doit être inférieure à la valeur maximale tolérée par le signal de sortie ($2^{A-1} - 1$) :

$$\frac{F_e}{2F_b} * 2^{N-1} - 1 \leq 2^{A-1} - 1$$

Concrètement, nous avons codé les sorties des intégrateurs sur 16 bits ($A = 16$). Avec $F_e = 400$ MHz, la taille de bus du signal d'entrée a été fixée à $N = 8$ bits. La figure III.33 montre l'allure des signaux obtenus en simulation sur Active HDL.

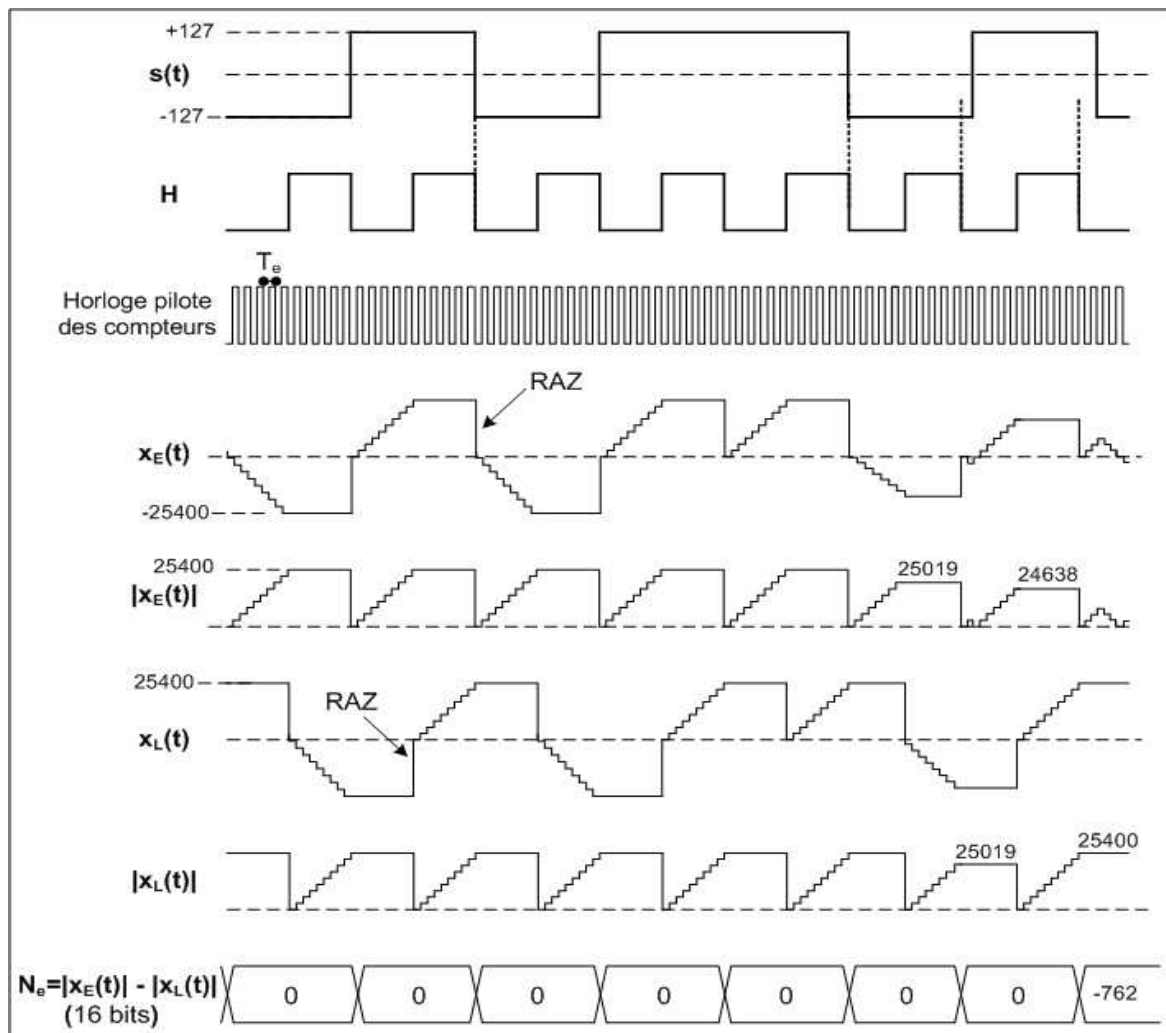


Figure III.33. Allure des signaux du comparateur de phase implémenté

Le fonctionnement du comparateur de phase implémenté est décrit sur la figure III.35.

Sur le front montant de l'horloge H, la sortie de l'intégrateur *early* $x_E(t)$ est maintenue à la dernière valeur du compteur jusqu'au prochain front montant d'horloge. La sortie $x_L(t)$ est quant à elle remise à zéro (RAZ) et le comptage peut démarrer sur la branche *late*.

Sur le pallier haut de H, $x_E(t)$ est maintenue à sa dernière valeur. Par contre, si le bit courant de $s(t)$ est positif (+127), alors $x_L(t)$ est incrémenté de 127 ($2^{8-1} - 1$) à chaque front montant de l'horloge pilote des compteurs (F_e). Si le bit courant est négatif (-127) $x_L(t)$ est décrémenté de 127.

Sur le front descendant de H, les valeurs des sorties $x_E(t)$ et $x_L(t)$ sont mémorisées et l'opération de soustraction sur les sorties des fonctions *valeur absolue* a lieu à cet instant précis. Ensuite, la sortie *early* est remise à zéro (RAZ) alors que le signal $x_L(t)$ reste bloqué à sa dernière valeur.

Sur le pallier bas de H, $x_L(t)$ est maintenue à sa dernière valeur alors que $x_E(t)$ est incrémenté de 127 ($2^{8-1} - 1$) à chaque front montant de l'horloge pilote des compteurs (F_e) si le bit courant du signal d'entrée est positif (+127), sinon il est décrémenté de 127.

Sur l'exemple de la figure III.35, dans un premier temps, $s(t)$ est en phase avec l'horloge H, les sorties $|x_E(t)|$ et $|x_L(t)|$ sont à la même valeur ($25400 = 127 \times 200$) et donc la sortie du comparateur de phase N_e vaut 0. Ensuite, lorsque H est en avance de trois périodes d'horloge, $|x_E(t)|$ et $|x_L(t)|$ sont à 25019. Egalement dans ce cas, N_e vaut 0. Enfin, H est en avance de six périodes d'horloge sur $s(t)$, on constate que $|x_E(t)|$ vaut 24638 ($25400 - 6 \times 127$) et $|x_L(t)|$, 25400. Ce qui résulte d'une sortie du comparateur de phase N_e égale à -762 ($24638 - 25400$).

Lorsque la boucle est verrouillée, le ré échantillonnage des données par l'horloge H se fera sur le front montant.

En outre, nous avons simulé le comparateur de phase (Active HDL) avec en entrée un pattern 0101... afin de vérifier si la caractéristique obtenue correspond au modèle du comparateur de phase décrit par l'équation (eq.III.20). Sur cet exemple, le débit en entrée est de 1 Mbit/s.

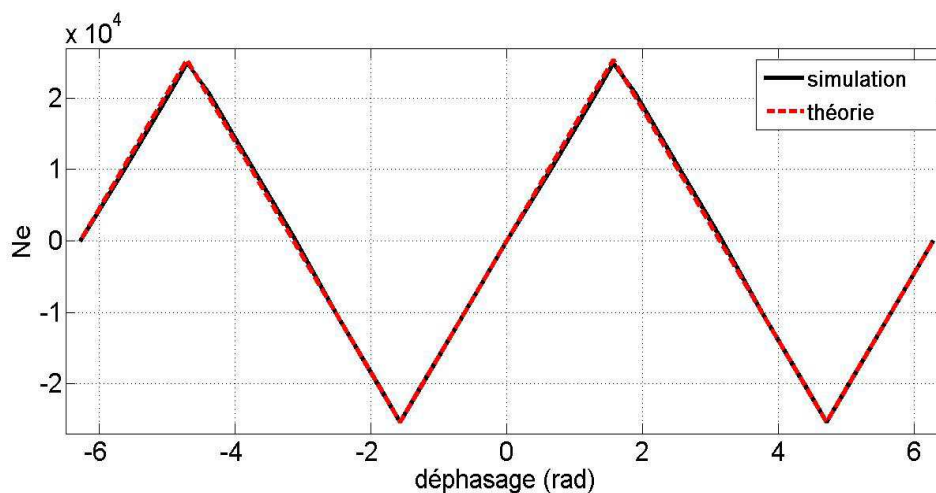


Figure III.34. Caractéristiques théorique et simulée du comparateur de phase

La figure III.34 montre que les caractéristiques théorique et simulée du comparateur de phase sont quasiment confondues. Les gains K_ϕ théorique (eq.III.20) et simulé valent respectivement $16170,14 \text{ rad}^{-1}$ et $16170,62 \text{ rad}^{-1}$. Cette simulation permet donc de valider le modèle du comparateur de phase proposé. De la même manière, le modèle a été validé en simulation pour plusieurs autres débits du signal d'entrée. Le tableau suivant compare la valeur du gain obtenu en théorie et en simulation.

Fréquence (débit)	1 MHz	2 MHz	10 MHz	20 MHz
K_ϕ théorique	$16170,14 \text{ rad}^{-1}$	$8085,07 \text{ rad}^{-1}$	$1617,01 \text{ rad}^{-1}$	$808,5 \text{ rad}^{-1}$
K_ϕ simulé	$16170,62 \text{ rad}^{-1}$	$8085,31 \text{ rad}^{-1}$	$1617,06 \text{ rad}^{-1}$	$808,53 \text{ rad}^{-1}$

Tableau III.7. Gains (théorie et simulation) du comparateur de phase

Ce modèle du comparateur de phase sera également validé par la mesure.

III.3.2.3.2. Calcul du filtre de boucle

Les coefficients du filtre sont calculés pour chaque valeur du débit du signal d'entrée. Il y a donc autant de filtres que de valeurs (16) du débit du signal d'entrée. Le choix du filtre se fera via un multiplexeur commandé par 4 interrupteurs. Ces filtres ont été codés en virgule flottante suivant la norme IEEE-754. L'architecture du filtre (cf. fig. III.35) étant similaire à celle de la PLL numérique présentée dans la première partie de ce chapitre, nous nous contenterons juste de présenter la structure du filtre avec la taille des bus d'entrée et de sortie, le choix de ξ et de la bande équivalente de boucle B_n .

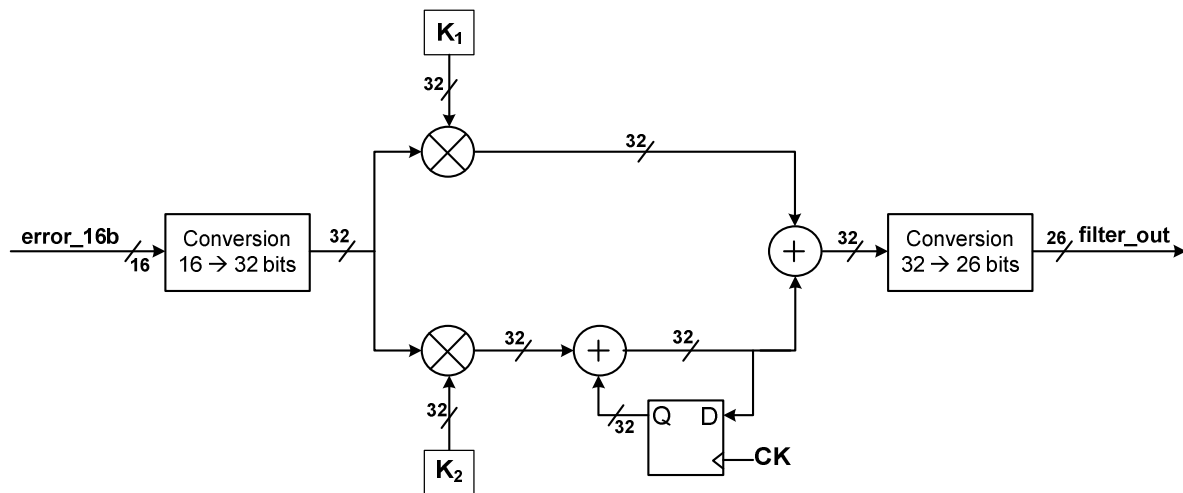
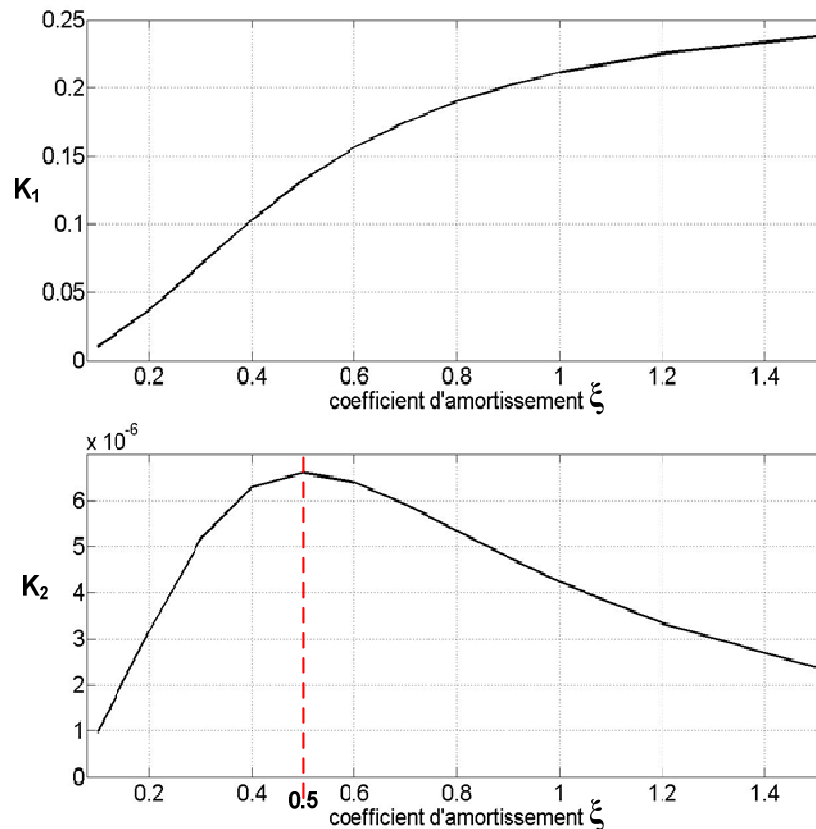


Figure III.35. Filtre de boucle implémenté

Le coefficient d'amortissement ξ est généralement pris proche de 0,7 pour avoir un bon compromis stabilité - rapidité. Cependant, l'implémentation sur FPGA doit, en plus de la stabilité notamment, tenir compte de la précision du codage des coefficients K_1 et K_2 . Pour étudier le comportement de ces coefficients en fonction de ξ , nous illustrons sur la figure III.38 l'évolution de K_1 et K_2 en fonction de ξ . Sur ce tracé, le signal d'entrée est au débit de 1 Mbit/s, avec $N = 8$, $F_e = 400$ MHz et la bande équivalente de bruit B_n vaut 10 kHz.

On constate que, suivant les valeurs croissantes de ξ , le coefficient K_1 est croissant et ses valeurs sont de l'ordre de 10^{-1} . Par contre, K_2 prend des valeurs beaucoup plus faibles (de l'ordre de 10^{-6}) et est donc plus sensible à la perte de précision liée au codage. Sur la figure 36, la valeur maximale de K_2 correspond à $\xi = 0,5$. Cette différence entre les valeurs de K_2 (pour différentes valeurs de ξ) est plus flagrante pour les plus hauts débits. Nous avons, pour cette raison, fixé le coefficient d'amortissement à 0,5 dans le dimensionnement du filtre de boucle.

Figure III.36. Coefficients K_1 et K_2 en fonction de ξ

Par ailleurs, pour $B_n < 1\%$, la valeur de K_2 reste inférieure à 10^{-7} et la boucle ne se verrouille pas (simulation). Ainsi, pour un débit de 1 Mbit/s, la bande équivalente de bruit B_n a été prise égale à 1% de la valeur du débit ($B_n = 10$ kHz). Cette valeur constitue un bon compromis (simulation) entre la nécessité de réduire B_n pour minimiser l'impact du bruit d'entrée et une précision suffisante liée au codage de K_1 (0,132) et K_2 ($6,6 \cdot 10^{-6}$). De la même manière, pour les débits supérieurs à 1 Mbit/s, les valeurs de B_n arrêtées sont comprises entre 0,1% et 1% du débit.

III.3.2.3.3. NCO

Comme dans l'implémentation de la PLL numérique en début de chapitre, le NCO est une méga fonction d'Altera. La précision M de l'accumulateur doit, d'une part, être suffisamment grande pour supporter la valeur numérique en sortie du filtre (de l'ordre de $2 \cdot 10^7$ à 26 Mbit/s). D'autre part, M doit être minimisé pour avoir une bonne plage de capture ($K_0 \propto 2^{-M}$). La valeur $M = 26$ ($2^{25} > 2 \cdot 10^7$) constitue un bon compromis (simulation) entre la précision de la sortie du filtre et la plage de capture de la boucle.

Après le dimensionnement des paramètres statiques et dynamiques, l'ELGS a été simulé sur Active HDL. Le paragraphe suivant présente les principaux résultats obtenus.

III.3.2.3.4. Résultats de simulation de la boucle

Les simulations ont été faites sur Active HDL en injectant un signal NRZ bipolaire en entrée du circuit avec des valeurs du débit variant entre 1 à 28 Mbit/s. L'architecture de l'ELGS simulé est décrite sur la figure III.37.

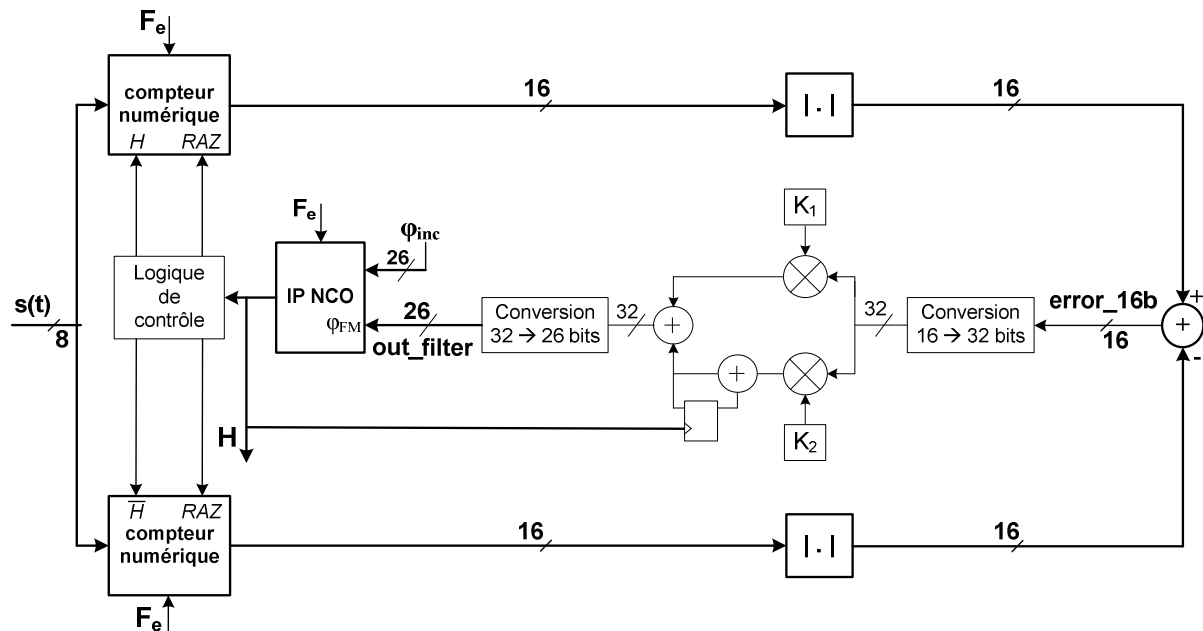


Figure III.37. Architecture de l'ELGS simulé

Le signal d'entrée $s(t)$ est une séquence pseudo-aléatoire générée par un code VHDL. Comme le montrent la figure III.37 et le dimensionnement présenté dans les paragraphes précédents, la simulation a été faite avec une taille du bus $N = 8$ du signal d'entrée, et une taille $M = 26$ de l'accumulateur du NCO. La bande équivalente de bruit B_n a été choisie empiriquement, comme expliqué dans le paragraphe III.3.2.3.2. Le tableau III.8 montre les valeurs de B_n arrêtees en simulation, en fonction du débit.

Débit	1 Mbit/s	2,45 Mbit/s	5 Mbit/s	10 Mbit/s	20 Mbit/s	28 Mbit/s
B_n en % du débit	1%	0,8%	0,7%	0,5%	0,3%	0,1%
B_n en valeur absolue	10 kHz	19,6 kHz	35 kHz	50 kHz	60 kHz	28 kHz

Tableau III.8. Valeurs de B_n fixées pour différentes valeurs du débit

La figure III.38 montre quelques résultats obtenus à un débit de 1 Mbit/s. Elle montre la sortie du soustracteur $error_16b$ (sortie comparateur de phase) et la sortie du filtre de boucle $filter_out$ en fonction du temps. La boucle se verrouille avec un temps d'accroche voisin de 300 μ s.

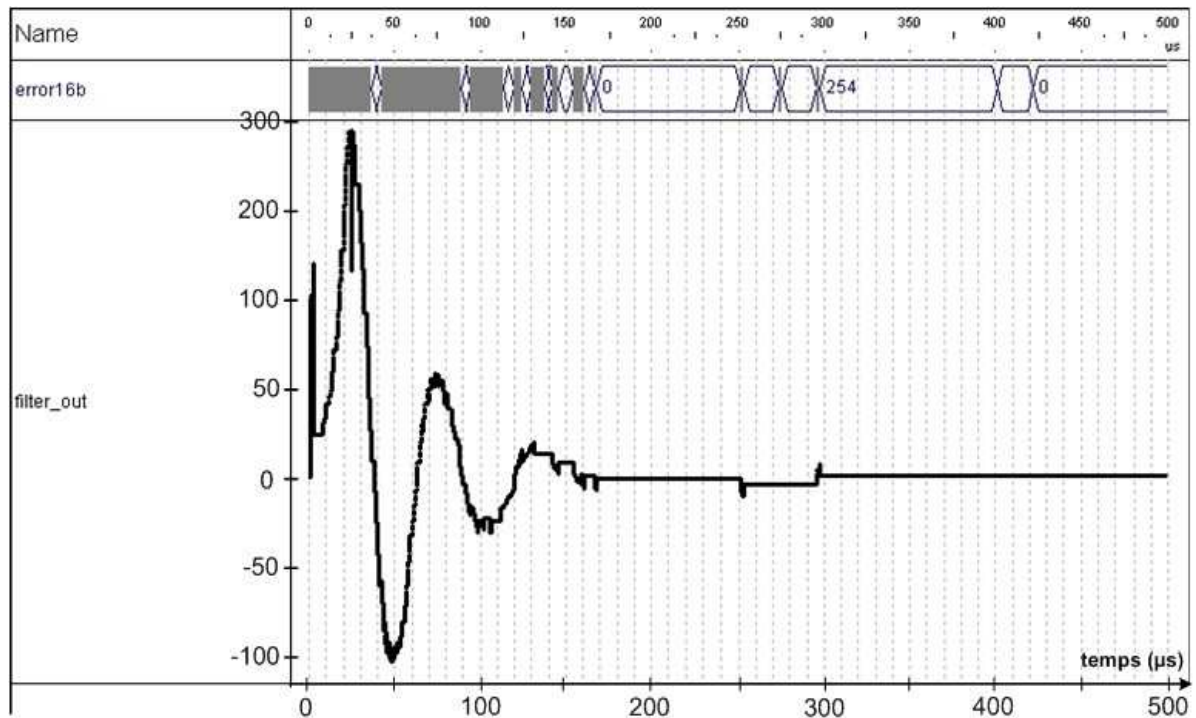


Figure III.38. Signal en sortie du filtre pour un débit de 1 Mbit/s

Avec les mêmes paramètres de la boucle, cette simulation a été effectuée pour plusieurs débits du signal d'entrée (un filtre pour chaque valeur de débit). La boucle se verrouille sur la donnée d'entrée jusqu'à 20 Mbit/s. Pour les débits supérieurs à 20 Mbit/s, l'ELGS ne se verrouille pas quelle que soit la valeur de B_n . Les résultats de simulation obtenus pour quelques valeurs de débit sont résumés sur le tableau III.9.

Débit	1 Mbit/s	2,45 Mbit/s	5 Mbit/s	20 Mbit/s	25 Mbit/s	28 Mbit/s
K_ϕ (rad ⁻¹)	16170,14	6600	3234	805,5	646,8	577,5
verrouillage ?	oui	oui	oui	oui	non	non
temps d'accroche	300 µs	235 µs	188 µs	97 µs	-	-
plage de capture	35 kHz	29 kHz	24 kHz	20 kHz	-	-
plage de capture (en % du débit)	3,5%	1,18%	0,48%	0,1%	-	-

Tableau III.9. Résultats de simulation Active HDL pour différentes valeurs du signal d'entrée

Au-delà de 20 Mbit/s, la boucle ne se verrouille pas. Cela est lié à la décroissance du gain du comparateur de phase K_ϕ en fonction du débit (eq.III.20). La simulation permet de trouver empiriquement la valeur du gain de boucle ($K_{cible} = K_\phi \times K_0 \sim 3.10^4$) minimale. En effet, on constate qu'au delà 20 Mbit/s, le gain de boucle devient inférieur à K_{cible} et la plage de capture inférieure à 0,1% du débit, la boucle ne se verrouille plus.

Nous avons programmé le système sur FPGA afin d'effectuer les premières mesures. Ensuite, des améliorations seront apportées au système notamment pour qu'il fonctionne au-delà de 20 Mbit/s.

III.3.2.4. Implantation FPGA et résultats de mesures

Le circuit a été prototypé sur une carte développement portant un FPGA Stratix III d'Altera. Le banc de mesure est essentiellement constitué de (cf. fig. III.39) :

- Un générateur de bits « HP Digital Transmission Analyzer 3784A ». Il permet de fournir le signal d'entrée de l'ELGS. L'appareil permet de générer des PRBS de différentes longueurs (6, 9, 11, 17 et 23) ainsi que des mots (patterns) de 2 à 16 bits programmables. Le signal généré est ensuite mis en forme en entrée (codé en bipolaire sur 8 bits).
- Le kit Stratix III sur lequel est programmé le circuit.
- Un oscilloscope LeCroy 500 MHz (5 Gsamples/s) permettant de mesurer les performances du système (verrouillage, jitter, ...).
- Le logiciel Quartus portant le code VHDL à partir duquel le circuit est programmé.

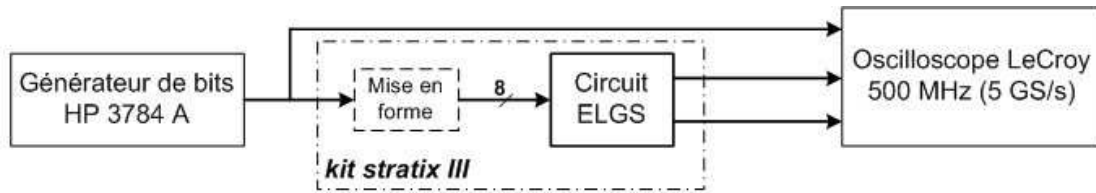


Figure III.39. Banc de mesure de l'ELGS implémenté

Validation du modèle du comparateur de phase

Dans un premier temps, les mesures ont été faites en boucle ouverte afin de valider le modèle du discriminateur de phase proposé (eq.III.20). Comme en simulation, la manipulation consiste à injecter un mot -11-11... en entrée du circuit ELGS et le signal d'horloge H permettant de contrôler les compteurs numériques. Ensuite, la caractéristique du comparateur de phase est obtenue en traçant la valeur mesurée sur la sortie `error_16b` en fonction du déphasage entre le signal d'entrée et l'horloge.

Cependant, pour faire ces mesures, se présente la difficulté de visualiser la sortie `error_16b` du comparateur de phase. En effet, ce signal est codé sur 16 bits et une visualisation sur l'oscilloscope impliquerait une conversion analogique (via un CNA 14 bits). La perte en précision (16 bits \rightarrow 14 bits) et la conversion analogique risque de fausser le tracé de la caractéristique du comparateur de phase. Pour surmonter cette difficulté, nous avons utilisé l'analyseur logique embarqué *signal tap* qui permet de visualiser les chronogrammes des signaux internes du circuit en temps réel, quelle que soit la taille du bus portant ces signaux. Cet outil logiciel est essentiellement constitué de blocs mémoire qui se remplissent à une vitesse donnée. Pour visualiser les signaux mémorisés, l'analyseur logique *signal tap* nécessite une horloge à une fréquence qui soit plusieurs fois supérieure à celle du signal à afficher. Les signaux de sortie des compteurs étant échantillonnés à 400 MHz (F_e), il est nécessaire d'utiliser une horloge dont la fréquence est supérieure au gigahertz (trop élevée pour l'outil *signal tap*) pour visualiser correctement ces signaux.

Compte tenu de toutes ces contraintes, nous avons baissé la fréquence F_e à 50 MHz pour visualiser correctement les signaux sur *signal tap* afin de tracer la caractéristique du comparateur de phase. La figure III.40 montre l'allure des chronogrammes visualisés.

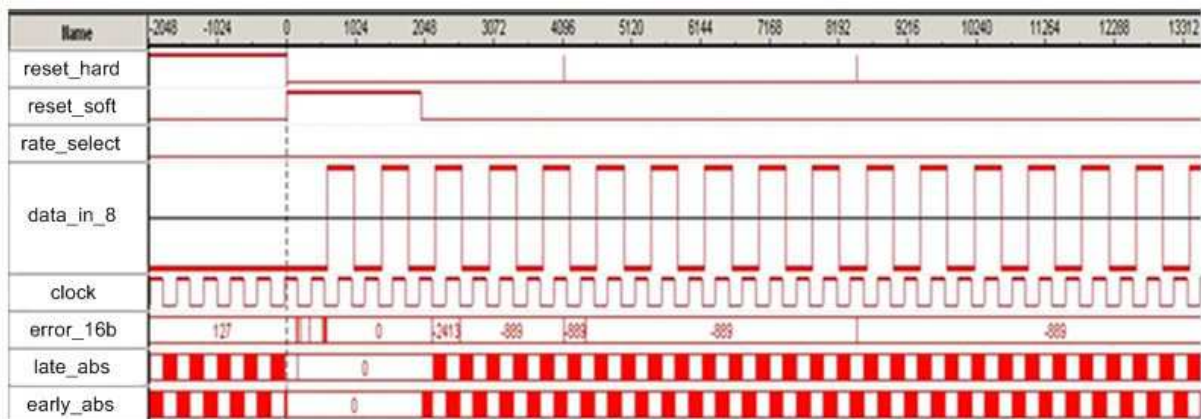


Figure III.40. Chronogrammes sur *signal tap*

Cette mesure est faite avec un signal d'entrée à 1 MHz. Dans ce cas, le gain théorique du comparateur de phase (eq.III.20) est de $1909,85 \text{ rad}^{-1}$. Le gain K_ϕ mesuré vaut $1907,77 \text{ rad}^{-1}$, sensiblement égal à la valeur théorique. La caractéristique mesurée est comparée avec le modèle théorique sur la figure III.41. Elle confirme la validité du modèle.

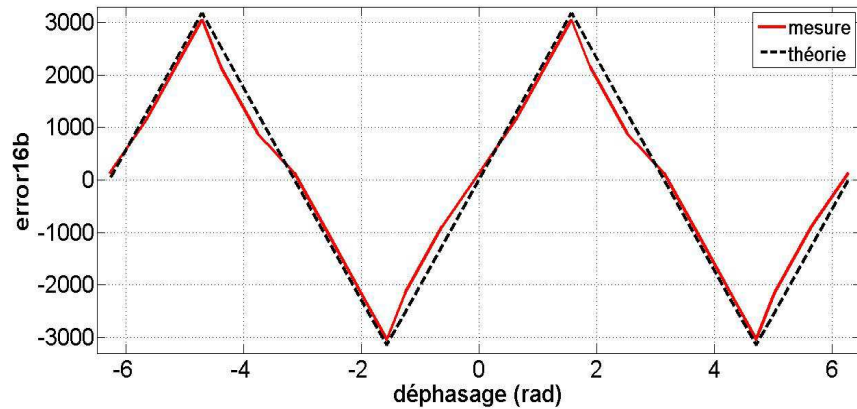


Figure III.41. Caractéristiques théorique et mesurée du comparateur de phase $F_b = 1$ MHz, $F_e = 50$ MHz

Mesures en boucle fermée

Par la suite, l'outil *signal tap* est désactivé ($F_e = 400$ MHz) pour les mesures en boucle fermée. Le signal d'entrée est une séquence PRBS de longueur $2^{23} - 1$. Il est mis en forme pour avoir un format 8 bits bipolaire à l'entrée de l'ELGS (cf. fig. III.39).

Le circuit a été testé pour plusieurs débits du signal d'entrée de 1 à 20 Mbit/s. Il se verrouille jusqu'à 17 Mbit/s (20 Mbit/s en simulation).

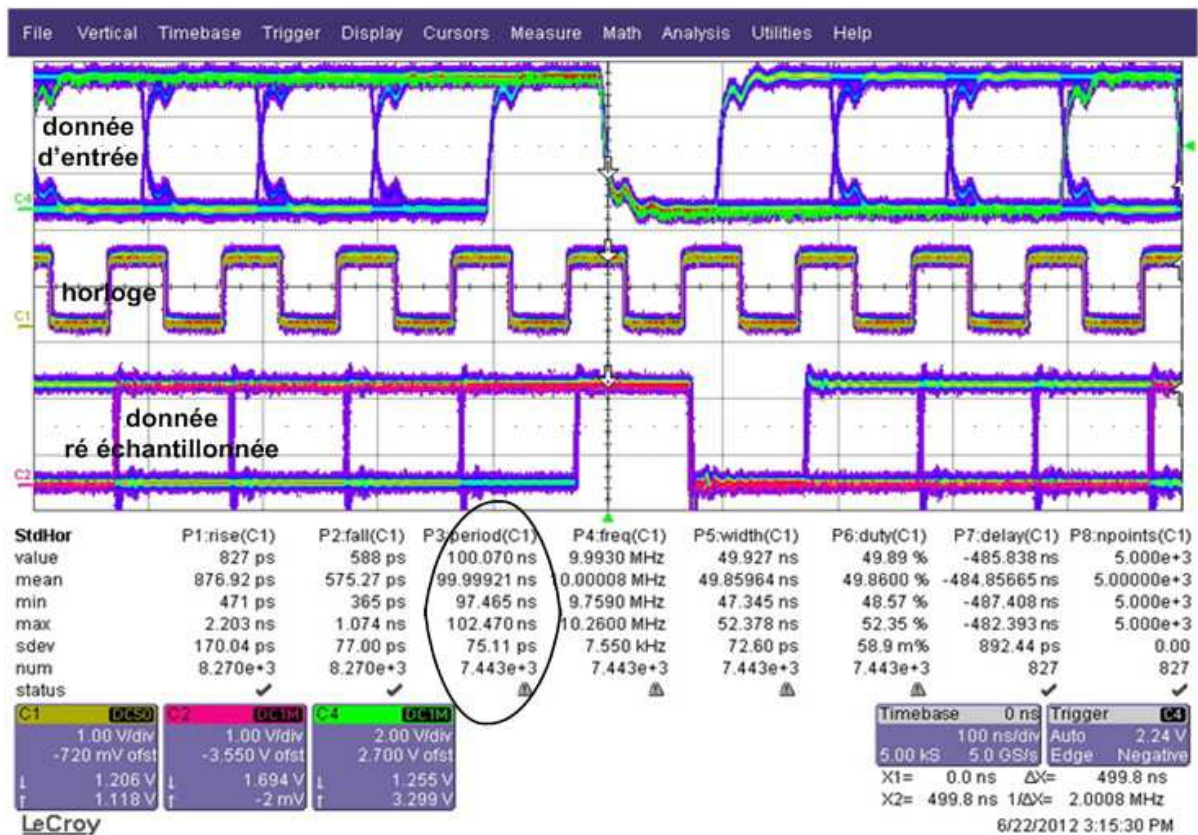


Figure III.42. Signal d'entrée de l'ELGS, horloge et données ré échantillonnées (persistance à 10 Mbit/s)

La figure III.42 montre le diagramme de l'œil (persistance) du signal d'entrée, de l'horloge et des données ré échantillonnées par l'horloge pour un débit de 10 Mbit/s. L'ouverture des diagrammes de l'œil de l'horloge et du signal ré échantillonnés montre que la boucle se verrouille bien à ce débit (avec un décalage de 15 ns entre le signal d'entrée et l'horloge). Le jitter de l'horloge générée vaut 5,005 ns peak-to-peak ($\sim 2 \cdot T_e$), 75,11 ps en valeur rms (cf. fig. III.42). Cette valeur de jitter mesuré est sensiblement constante pour tous les débits (1 – 17 Mbit/s) du signal d'entrée.

Au-delà de 17 Mbit/s, la boucle ne se verrouille plus. A l'image de la simulation, ce résultat est dû au faible gain de boucle de l'ELGS (inférieur à K_{cible}). Ce qui s'explique par le faible gain du comparateur de phase pour les hauts débits (> 15 Mbit/s). Des améliorations ont été apportées dans ce sens.

III.3.2.5. Améliorations

Nous voulons augmenter le gain du discriminateur de phase pour les hauts débits. Ce gain dépend de trois paramètres N , T_e et T_b (eq.III.20). La limitation en fréquence du kit de développement interdit l'augmentation de la fréquence F_e . Le débit étant fixé par le signal d'entrée, il ne reste plus que N (taille du bus du signal d'entrée) à paramétrer pour augmenter K_{ϕ} . Seulement, comme expliqué dans le paragraphe III.3.2.3.1 relatif au dimensionnement du comparateur de phase, si N est pris supérieur à 8, il y aura un *overflow* sur les sorties des accumulateurs (ces sorties sont codées 16 bits).

La solution proposée est de travailler sur la branche *early* avec deux valeurs de N : N_1 pour les bas débits et N_2 pour les hauts débits. Un interrupteur sur le kit de développement permet de sélectionner la valeur de N convenable. Le schéma de principe est présenté sur la figure III.43. Le même principe est appliqué sur la branche *late*.

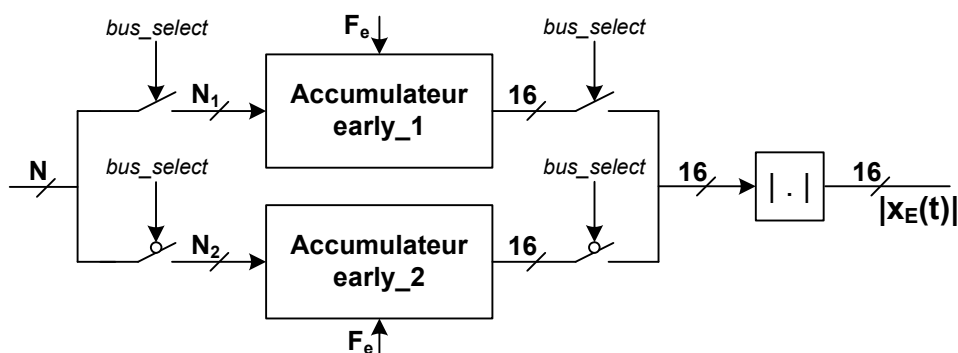


Figure III.43. Modifications apportées sur la taille de bus du signal d'entrée (branche *early*)

Deux accumulateurs sont utilisés sur chaque branche. Sur la branche *early*, l'*accumulateur early_1* a son entrée codée sur N_1 bits alors que l'entrée de l'*accumulateur early_2* est codée sur N_2 bits. Les interrupteurs sont commandés par un bit de sélection bus_select . Pour les bas débits ($N = N_1$), les interrupteurs en entrée et en sortie de l'*accumulateur early_1* se ferment ($bus_select = 1$) et les deux autres ouverts. Pour les hauts débits, les interrupteurs de l'*accumulateur early_2* se ferment ($bus_select = 0$) et ceux de l'*accumulateur early_1* autres fermés. Le signal de sortie des

accumulateurs est codé sur 16 bits et attaque la fonction *valeur absolue*. Les autres fonctions de la boucle restent inchangées. N_1 est pris égal à 8 pour éviter un *overflow* pour les plus bas débits (notamment pour 1 Mbit/s). Pour les débits supérieurs à 8 Mbit/s, N_2 est fixé à 11. Le tableau III.10 résume l'impact des modifications apportées sur le gain du comparateur de phase pour les hauts débits.

Débit	1 Mbit/s	2,45 Mbit/s	6 Mbit/s	8 Mbit/s	17 Mbit/s	28 Mbit/s
	Avant modification ($N_1 = N_2 = N = 8$)					
K_ϕ	16170,14	6600	2695,02	2021,27	951,18	577,5
	Après modification					
	N = 8			N = 11		
"Nouveau" K_ϕ	16170,14	6600	2695,02	16281,55	7661,9	4651,87

Tableau III.10. Valeurs de K_ϕ pour plusieurs valeurs du débit

En deçà de 6,25 Mbit/s, il y a *overflow* sur la sortie de l'*accumulateur_early_2* pour $N_2 = 11$. En fait, le débit minimum F_{bmin} répond à l'équation ($F_e = 400$ MHz, $N = 11$, $A = 16$) :

$$F_{bmin} \sim \frac{F_e * 2^{N-1}}{2 * 2^{A-1}} = 6,25 \text{ Mbit/s}$$

Cela justifie le changement de la valeur de N au-delà de 6 Mbit/s. Ces améliorations ont permis d'augmenter considérablement le gain K_ϕ (cf. tableau III.10). Cette augmentation de K_ϕ permet d'améliorer les performances de l'ELGS qui se verrouille maintenant sur la donnée d'entrée pour les débits allant de 1 à 28 Mbit/s. le tableau III.11 résume les performances mesurées du circuit pour quelques valeurs du débit.

Débit	1 Mbit/s	2,45 Mbit/s	6 Mbit/s	10 Mbit/s	17 Mbit/s	25 Mbit/s	28 Mbit/s
Boucle verrouillée ?	oui	oui	oui	oui	oui	oui	oui
Jitter pk-pk	5,009 ns	5,108 ns	5,132 ns	5,005 ns	5,29 ns	2,672 ns	2,857 ns
Jitter pk-pk en %UI	0,5 % UI	1,25 % UI	3,08 % UI	5,005 % UI	8,99 % UI	6,68 % UI	7,99 % UI
Plage de capture	64 kHz	68 kHz	70 kHz	76 kHz	92 kHz	100 kHz	100 kHz
Plage de capture (en % du débit)	6,4%	2,77%	1,17%	0,76%	0,54%	0,4%	0,36%
N_{BIC}	300	520	770	930	>1000	>1000	> 1000

Tableau III.11. Performances mesurées de l'ELGS pour quelques valeurs du débit du signal d'entrée

On constate (cf. tableau III.11) un jitter peak-to-peak inférieur à 10% UI pour tous les débits testés (signal d'entrée non bruité). Pour les débits de 1 à 20 Mbit/s, le jitter est sensiblement égal à $2 * T_e$ ($T_e = 2,5$ ns). Au-delà de 20 Mbit/s, on constate que des valeurs du jitter plus proches de T_e . Aussi, le choix de faibles valeurs de bande équivalente de bruit a permis d'obtenir un N_{BIC} (Nombre de Bits Identiques Consécutifs tolérés) très intéressant, notamment pour les hauts débits ($N_{BIC} > 1000$ bits).

Le circuit utilise 4300 éléments logiques, soit 4% des ressources du FPGA. La figure III.44 montre les diagrammes de l'œil du signal d'entrée, de l'horloge et du signal ré échantillonné au débit de 28 Mbit/s. Elle confirme que la boucle se verrouille à ce débit, on peut lire un jitter d'horloge peak-to-peak de 2,857 ns (soit 0,36% UI), 1,129 ns en valeur rms.

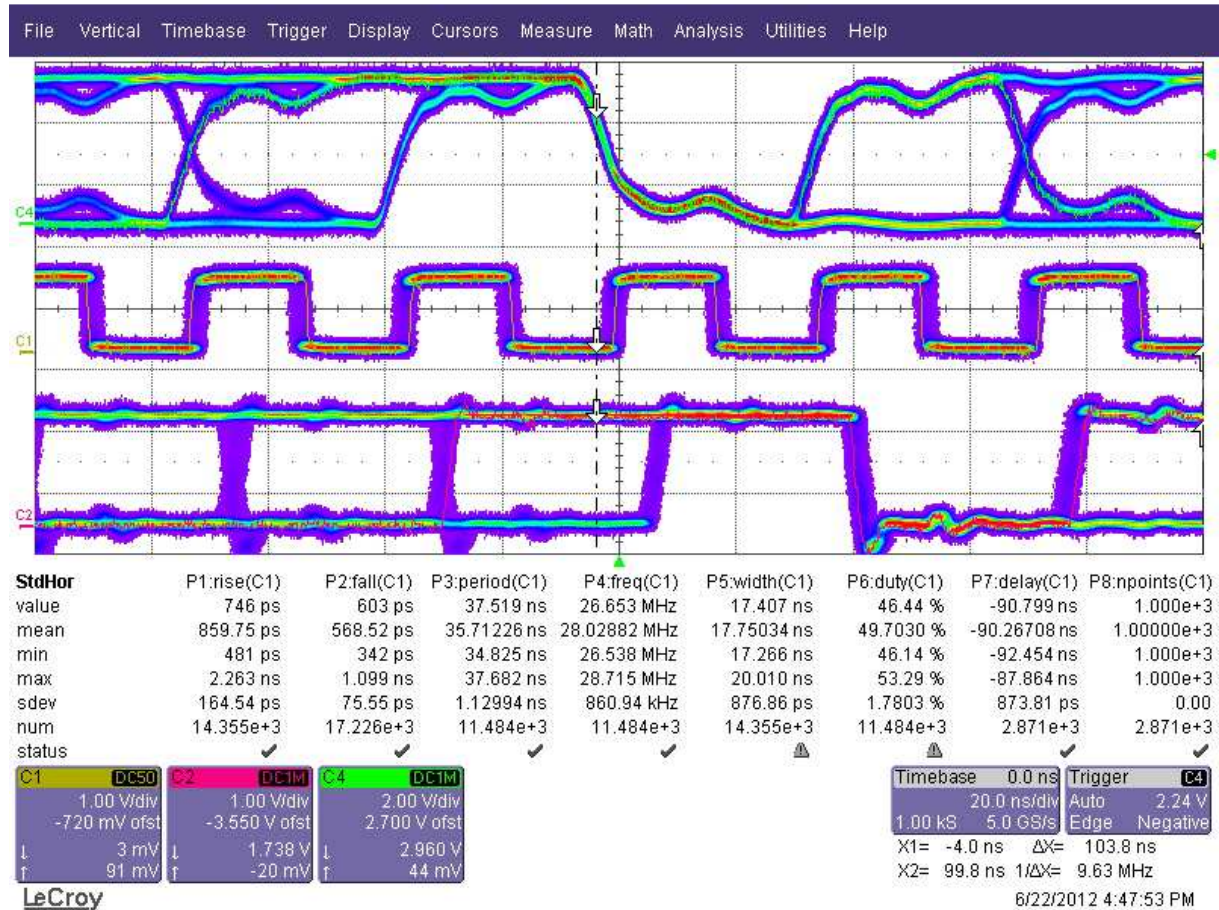


Figure III.44. Diagramme de l'œil du signal d'entrée de l'ELGS, de l'horloge et des données ré échantillonnées à 28 Mbit/s

En conclusion, les performances mesurées de l'ELGS satisfont globalement aux spécifications du cahier des charges. En effet, le jitter peak-to-peak reste inférieur à 10% UI pour tous les débits entre 1 et 28 Mbit/s. Aussi, le nombre de bits de maintien mesuré est largement supérieur aux 256 bits initialement visés. La plage de capture imposée par le cahier des charges (comprise en 0,04% et 8% du débit) est également atteinte. Par contre, il resterait à caractériser le jitter de l'horloge générée en fonction du rapport E_b/N_0 en entrée ou en fonction de la sensibilité du récepteur.

Conclusion du chapitre III

Le but de ce chapitre était de présenter l'étude et la réalisation de modules CDR numériques programmables pour des projets industriels de DM RADIOCOM. Dans un premier temps, nous avons fait une présentation sommaire de la technologie FPGA et du langage VHDL. Ensuite, nous avons décrit le flot de conception numérique utilisé dans le cadre de cette thèse. Il s'agit des différentes étapes de la réalisation des circuits CDR numériques conçus : cahier des charges, modélisation et dimensionnement, description VHDL, simulation, implantation FGPA et mesures. L'essentiel de la simulation des systèmes présentés dans ce chapitre a été fait sous le logiciel Active HDL d'Aldec®. Les circuits ont ensuite été prototypés puis testés via un kit de développement portant un FPGA de type Stratix ou Stratix III d'Altera®.

Un module CDR programmable basé sur une PLL numérique du second ordre a été développé dans ce chapitre. Il intervient au sein d'un émetteur FM/SOQPSK implanté dans une chaîne de télémétrie. La PLL utilise un discriminateur de phase de Hogge et un TDC reposant sur un compteur numérique. Le dimensionnement de la boucle est essentiellement basé sur l'analogie avec une PLL analogique à pompe de charges du second ordre. L'avantage de ce type de dimensionnement est l'utilisation d'un filtre numérique de type RII dont le dimensionnement est lié aux paramètres dynamiques de la PLL. Le circuit a ensuite été codé en VHDL, simulé sur Active HDL puis mesuré. Les résultats présentés montrent de très bonnes performances, notamment en termes de jitter ($< 10\%$ UI pour plusieurs valeurs du débit) et N_{BIC} (≥ 300 bits). Ces résultats répondent au cahier des charges établi.

Dans ce chapitre, nous avons également présenté un circuit ELGS destiné à la reconstitution d'horloge et de données au sein d'un récepteur PCM/FM. L'architecture et le fonctionnement du récepteur en question ont été sommairement abordés. Ensuite, le cahier des charges du circuit CDR a été présenté. Il s'agissait principalement de concevoir un circuit programmable avec des débits du signal d'entrée de 1 à 28 Mbit/s, fonctionnant dans le bruit. Nous avons proposé et validé une modélisation numérique de l'ELGS à partir de modèles analogiques existants. Ensuite, le comportement du circuit vis-vis du bruit en entrée a été étudié afin de dimensionner convenablement la boucle. Après les étapes de modélisation et de dimensionnement de l'ELGS numérique proposé, la description VHDL du système a été simulée, implantée sur FPGA puis mesurée avec des appareils de mesures adaptés. Comme l'a imposé le cahier des charges, le circuit a été testé avec succès pour plusieurs valeurs du débit du signal d'entrée (1 à 28 Mbit/s). Le système présente un très bon N_{BIC} à tous les débits testés ainsi qu'un faible jitter d'horloge (inférieur à 10% UI quelque soit le débit). Il reste toutefois à tester le circuit avec le récepteur PCM/FM afin de caractériser le jitter de l'horloge en sortie du circuit CDR en fonction de la sensibilité du récepteur.

Bibliographie du Chapitre III

- [Alt_10] ALTERA® “*NCO Mega Core Function User Guide*”, 2010.
- [Gar_79] F. M. Gardner “*Phase lock Technique*”, Second Edition Wiley, 1979.
- [Hog_85] C. R. Hogge “*A self-correcting clock recovery circuit*”, IEEE J. Lightwave Technol., vol. LT-3, pp. 1312-1314, Dec. 1985.
- [IEEE_85] IEEE “*IEEE Standard for Binary Floating-Point Arithmetic*”, ANSI/IEEE Std 754-, IEEE, 1985.
- [IEEE_87] IEEE “*IEEE Standard VHDL Language Reference Manual*”, IEEE Std 1076-1987.
- [Kra_07] V. Kratyuk, P. Hanumolu, U. Moon, K. Mayaram “*A Design Procedure for All-Digital Phase Locked Loops Based on a Charge-Pump Phase-Locked-Loop Analogy*”, IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 54, No. 3, pp. 247-251, March 2007.
- [Per_09] M. H. Perrott, “*Making Better Use of Time in Mixed-Signal Circuits*”, Center for Integrated Circuits and Systems, Massachusetts Institute of Technology, July 2009.
- [Rice_09] M. Rice “*Digital Communications: A Discrete-Time Approach*”, Pearson International Edition, 2009.
- [Sta_05] R. B. Staszewski, et al. “*All-Digital PLL and Transmitter for Mobile Phones*”, IEEE J. Solid-State Circuits, vol. 40, no. 12, pp. 2469-2480, Dec. 2005.
- [Str_09] M.Z. Straayer, M.H. Perrott, “*A Multi-Path Gated Ring Oscillator TDC With First-Order Noise Shaping*”, IEEE J. Solid-State Circuits, vol. 44, , pp. 1089-1098, April 2009.
- [Tall_11] N.Tall, N. Dehaese, S. Bourdel, B. Bonat “*An all-digital clock and data recovery circuit for low-to-moderate data rate applications*”, 18th IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp. 37 - 40, December 2011.

Conclusion Générale

Les travaux de thèse présentés dans ce mémoire s'inscrivent dans le développement et la mise au point de circuits de récupération d'horloge et de données. Ces travaux peuvent se scinder en deux grandes catégories. Il s'agissait d'une part de concevoir des circuits CDR analogiques à 1 Mbit/s et 54 Mbit/s au niveau de l'équipe CCI du laboratoire IM2NP. Ces circuits interviennent dans le cadre d'un récepteur ULB impulsionnel non cohérent. D'autre part, nous devons mettre au point des modules CDR numériques programmables (débit du signal d'entrée variable) dans le cadre d'une chaîne d'émission numérique et d'un récepteur PCM/FM.

Dans ce manuscrit, nous avons classifié au chapitre I les circuits de récupération d'horloge et de données les plus utilisés à l'état actuel de la recherche en deux grandes catégories : les circuits CDR à base de systèmes asservis et ceux qui reposent sur des systèmes en boucle ouverte. Nous avons étudié les architectures les plus connues dans chaque catégorie, ainsi que leurs principaux avantages et inconvénients. Nous avons également dressé un état de l'art de chaque catégorie de circuit CDR et comparé les performances obtenues. Aussi, le concept de la gestion d'énergie dans les récepteurs ULB radio impulsionnels a été présenté. Nous avons montré en début du second chapitre que la consommation de tels circuits pouvait être drastiquement réduite grâce au très faible rapport cyclique des impulsions détectées.

Dans le cadre de cette thèse, deux circuits CDR analogiques à 1 MHz et 54 MHz ont été conçus sur la base d'une PLL analogique à pompe de charges du troisième ordre (technologie HCMOS9 130 nm de STMICROELECTRONICS). Le défi majeur était d'obtenir de très bonnes performances notamment en termes de consommation et de jitter. La version 54 MHz est destinée à être utilisée dans le cadre d'un démonstrateur visant une transmission vidéo. Le circuit 1 MHz est conçu en vue de la gestion d'énergie d'un récepteur ULB dont nous avons présenté le fonctionnement général et les performances essentielles. Ces PLL interviennent en sortie du détecteur d'énergie qui présente à sa sortie des impulsions de très courte durée (de l'ordre de quelques nanosecondes). Il fallait donc mettre au point un discriminateur de phase adapté à ce type de signal. Pour cela, nous avons proposé un discriminateur linéaire obtenu à partir de l'architecture classique de Hogge. Nous avons montré que la plage de linéarité de la structure proposée est la même que celle du discriminateur de Hogge.

Nous avons ensuite dimensionné ces circuits avec des VCO à faible gain et une faible fréquence de coupure de boucle de sorte à minimiser la consommation et le jitter. Le prix à payer est essentiellement un temps d'accroche très long. Nous avons alors proposé un circuit de précharge qui a permis de réduire considérablement le temps de verrouillage des PLL. Le dessin des masques de fabrication des circuits a été réalisé sous Cadence et des mesures sous pointes ont été effectuées. Les performances obtenues sont très bonnes quand on les compare à celles de l'état de l'art. En particulier, nous mesurons sur le circuit 1 MHz une consommation de 54 μ W et un jitter peak-to-peak

de 22,52 ns (soit 2,25% UI). Ces résultats permettent, avec le schéma de gestion d'énergie présenté, d'envisager une consommation globale du récepteur de seulement 717 μ W au lieu de 25 mW initialement, soit une réduction de plus de 97%. Il resterait, à partir de l'horloge fournie par le circuit CDR 1 MHz, à concevoir une logique de fenêtrage permettant d'allumer/d'éteindre les fonctions LNA et détecteur du récepteur.

Le dernier chapitre de ce manuscrit décrit l'étude et la réalisation de modules CDR numériques. Ces circuits sont utilisés dans une chaîne de télémesure avion vers sol. Ils sont codés en langage VHDL, simulés sur Active HDL puis synthétisés et programmés sur des FPGA de types Stratix et Stratix III d'Altera®.

Dans un premier temps, il fallait mettre en œuvre un circuit CDR permettant de piloter une chaîne d'émission SOQPSK (entièrement numérique). Les spécifications du cahier des charges relatives à la cible d'implantation (FPGA) et aux performances visées notamment en termes de jitter et de N_{BIC} nous amènent à choisir une architecture de PLL digitale. La structure utilise un discriminateur de Hogge et une architecture de TDC basée sur un compteur numérique 10 bits. Nous avons présenté le dimensionnement du circuit en faisant l'analogie avec une PLL analogique du second ordre. Le codage des coefficients du filtre de boucle en virgule flottante (Normalisation IEEE-754) permet d'obtenir une grande précision et ainsi de couvrir la plage de débit imposée par le cahier des charges (1 – 30 Mbit/s). Le circuit a été programmé sur un kit de développement Stratix d'Altera®. Les résultats de mesures montrent, pour différents débits du signal d'entrée, des performances (jitter, maintien) qui répondent aux spécifications du cahier des charges.

Dans un second temps, il s'agissait de mettre au point un circuit CDR numérique programmable. Le signal d'entrée est bruité et son débit varie entre 1 et 28 Mbit/s. Nous avons alors conçu une structure d'ELGS numérique pour avoir une bonne résistance vis-à-vis du bruit en entrée. Nous avons proposé et validé (simulation et mesure) une modélisation numérique du comparateur de phase de l'ELGS. De plus, l'expression de la variation du jitter d'horloge vis-à-vis du bruit en entrée a permis d'opérer des choix cohérents des paramètres de la boucle lors du dimensionnement. Les paramètres clés sont la bande équivalente de bruit B_n et la taille N du bus du signal d'entrée de l'ELGS. Les résultats de mesure montrent que le circuit fonctionne pour des débits de 1 à 28 Mbit/s avec des valeurs de jitter inférieures à 10% UI et de N_{BIC} très grands (supérieurs à 1000 bits pour plusieurs valeurs de débit). La suite de ces travaux serait d'inclure le circuit dans le récepteur et de caractériser le jitter de l'horloge de sortie en fonction de la sensibilité du récepteur.

En résumé, les travaux effectués dans le cadre de cette thèse nous auront permis de balayer un large spectre de connaissances et de côtoyer en parallèle le domaine de la recherche et le monde de l'entreprise. En profitant de l'expertise de l'IM2NP, nous avons eu à explorer toutes les étapes de la conception de circuits analogiques (étude, simulation, dessin des masques, mesures sous pointes). Il en est de même de la programmation de circuits sur cible FPGA avec DM RADIOCOM.

Publications (conférences internationales)

N. Tall, N. Dehaese, S. Bourdel, O. Fourquin, R. Vauche, J. Gaubert “*Low-Power Clock and Data Recovery Circuit for IRUWB Receiver Power Management*”, 9th International Multi-Conference on Systems, Signals and Devices (SSD), Mars 2012, Chemnitz (Allemagne).

N.Tall, N. Dehaese, S. Bourdel, B. Bonat “*An all-digital clock and data recovery circuit for low-to-moderate data rate applications*”, 18th IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp. 37 - 40, Décembre 2011, Beyrouth (Liban).

N. Dehaese, M. Battista, R. Vauche., S. Bourdel, J. Gaubert, O. Fourquin, N. Tall “*Low-Power CMOS Energy Detector for Non-Coherent Impulse Radio UWB Receivers*”, Proc. Int. Conf on UWB, pp. 1-4, Septembre 2010, Nanjing (Chine).

Étude et réalisation de circuits de récupération d'horloge et de données analogiques et numériques à bas débit, implémentation sur cibles ASIC et FPGA

Mots Clés : Récupération d'horloge et de données (CDR), Boucle à verrouillage de phase (PLL), Gigue temporelle, Basse consommation, Technologie Ultra Large bande Radio Impulsionnelle (IR-UWB), Early/Late Gate Synchronizer (ELGS), Gestion d'énergie.

Les circuits de récupération d'horloge et de données sont nécessaires au bon fonctionnement de plusieurs systèmes de communication sans fil. Les travaux effectués dans le cadre de cette thèse concernent le développement de ces circuits avec d'une part la réalisation, en technologie HCMOS9 0,13 μm de STMICROELECTRONICS, de circuits CDR analogiques à 1 et 54 Mbit/s, et d'autre part, la mise en œuvre de fonctions CDR numériques programmables à bas débit.

Dans l'optique de la réalisation d'un émetteur/récepteur (démonstrateur) ULB impulsionnel visant une transmission vidéo, un circuit CDR à 54 Mbit/s a été réalisé pour générer un signal d'horloge synchrone des impulsions de très courte durée (quelques nanosecondes) en sortie du détecteur d'énergie. Un autre circuit CDR fonctionnant à plus bas débit (1 Mbit/s) a été conçu dans le cadre de la gestion d'énergie d'un récepteur ULB impulsionnel non cohérent. Ces deux structures ont été réalisées à l'aide de PLL analogiques du 3^{ème} ordre. Un comparateur de phase adapté aux impulsions issues du détecteur d'énergie a été proposé dans cette étude. Les circuits ont ensuite été dimensionnés dans le but d'obtenir de très bonnes performances en termes de jitter et de consommation. En particulier, les performances mesurées (sous pointes) du circuit CDR à 1 Mbit/s permettent d'envisager une gestion d'énergie efficace (réduction de plus de 97% de la consommation du récepteur).

Dans le cadre d'une chaîne de télémétrie avion vers sol, deux circuits CDR numériques ont également été réalisés durant cette thèse. Une PLL numérique du second degré a été implémentée en vue de fournir des données et une horloge synchrone de celles-ci afin de piloter une chaîne SOQPSK entièrement numérique. Un circuit ELGS a également mis au point pour fonctionner au sein d'un récepteur PCM/FM. Pour ces deux structures, le débit du signal d'entrée est programmable et varie globalement entre 1 et 30 Mbit/s. Les circuits ont été décrits en langage VHDL et programmés sur FPGA.

Study and realization of analog and digital clock and data recovery circuits at low rates, implementation on ASIC and FPGA targets

Keywords : Clock and Data Recovery (CDR), Phase-Locked Loop (PLL), Timing jitter, Low power, Impulse Radio Ultra Wide Band (IR-UWB), Early/Late Gate Synchronizer (ELGS), Power management.

Clock and data recovery circuits are required in many wireless communication systems. This thesis is about development of such circuits with: firstly, the realization, in HCMOS9 0.13 μm of STMICROELECTRONICS technology, of 1 and 54 Mb/s analog CDR circuits, and secondly, the implementation of programmable digital circuits at low rates.

In the aim of an impulse UWB transceiver dealing with video transmission, a CDR circuit at 54 Mb/s rate has been realized to provide clock signal synchronously with narrow pulses (their duration is about a few nanoseconds) from the energy detector. Another CDR circuit has been built at 1 Mb/s rate in a non-coherent IR-UWB receiver power management context. Both circuits have been implemented as 3rd order analog PLL. In this work, a phase comparator suitable for "RZ low duty cycle" data from the energy detector has been proposed. Circuits have been sized to obtain very good performances in terms of jitter and power consumption. Particularly, measured performances of the 1 Mb/s CDR circuit allow to plan an efficient power management (a decrease of more than 97% of the receiver total power consumption).

In the context of a telemetry system from aircraft to ground, two digital CDR circuits have also been implemented. A second order digital PLL has been adopted in order to provide synchronous clock and data to an SOQPSK digital transmitter. Also, a digital ELGS circuit has been proposed to work in a PCM/FM receiver. For both CDR structures, the input signal rate is programmable and varies globally from 1 to 30 Mb/s. Circuits have been described in VHDL and synthesized in FPGA target.