



**HAL**  
open science

# Pilotage et surveillance de MOSFET SiC : intégration de fonctions intelligentes dans les gate drivers

Julien Weckbrodt

## ► To cite this version:

Julien Weckbrodt. Pilotage et surveillance de MOSFET SiC : intégration de fonctions intelligentes dans les gate drivers. Electronique. UNIVERSITE DE NANTES, 2020. Français. NNT : . tel-02980069

**HAL Id: tel-02980069**

**<https://hal.science/tel-02980069v1>**

Submitted on 27 Oct 2020

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THESE DE DOCTORAT DE

L'UNIVERSITE DE NANTES

COMUE UNIVERSITE BRETAGNE LOIRE

ECOLE DOCTORALE N° 601

*Mathématiques et Sciences et Technologies  
de l'Information et de la Communication*

Spécialité : Électronique - Génie Électrique

Par

**Julien WECKBRODT**

## **Pilotage et surveillance de MOSFET SiC : Intégration de fonctions intelligentes dans les gate drivers**

Thèse présentée et soutenue à Nantes, le 22 septembre 2020

Unité de recherche : IETR UMR CNRS 6164

### **Rapporteurs avant soutenance :**

Bruno ALLARD      Professeur, INSA Lyon  
Marc COUSINEAU      Maître de Conférences/HDR, Toulouse INP/ENSEEIH

### **Composition du Jury :**

Président :	Stéphane LEFEBVRE	Professeur, CNAM Paris
Examineurs :	Bruno ALLARD	Professeur, INSA Lyon
	Marc COUSINEAU	Maître de Conférences/HDR, Toulouse INP/ENSEEIH
	Nadir IDIR	Professeur, Université de Lille
	Pierre LEFRANC	Maître de Conférences/HDR, Grenoble INP

Dir. de thèse :	Nicolas GINOT	Professeur, Université de Nantes
Co-dir. de thèse :	Christophe BATARD	Maître de Conférences/HDR, Université de Nantes
Co-encadrant :	Stéphane AZZOPARDI	Ingénieur de Recherche, Safran Tech Paris

### **Invité**

Thanh Long LE      Ingénieur de Recherche, Safran Tech Paris



---

## REMERCIEMENTS

Je tiens à remercier en premier lieu mes encadrants Nicolas Ginot et Christophe Batard pour leur grande implication, leur soutien indéfectible et pour tout ce qu'ils m'ont appris au cours de ces 3 années de thèse. J'ai pris un grand plaisir à travailler à leur contact au quotidien.

Je tiens également à remercier tout particulièrement Stéphane Azzopardi qui m'a proposé spontanément cette thèse et qui s'est fortement impliqué dans le suivi de mon travail bien que très occupé par ses responsabilités à Safran Tech. Il m'a été d'un grand soutien.

Un grand merci à Christophe Bouguet pour ses explications qui m'ont permis de mieux appréhender mon sujet en début de thèse.

Merci à l'ensemble du personnel du laboratoire IETR pour leur support et l'ensemble des moyens mis à disposition pour permettre un travail dans les meilleures conditions. Je tiens également à saluer mes collègues doctorants David Roszczypala, Nabil Zaraneh, Yunniel Arencibia, Ali Mohydeen, Fu Zhe, Taoufik Bouguera entre autres.

Je remercie également Thanh Long Le pour son implication dans le projet ainsi que toute l'équipe de Safran Tech, notamment Toni Youssef, Donatien Martineau, Rabih Khazaka pour leur accueil et leur sympathie. Je tiens aussi à remercier l'ensemble des experts en conversion d'énergie du groupe Safran avec qui j'ai pu échanger en plusieurs occasions pour leur avis technique.

Je tiens aussi à remercier les rapporteurs et membres du jury pour leur lecture attentive du manuscrit et leurs remarques pertinentes. Je souhaiterais à ce titre, remercier plus particulièrement Stéphane Lefebvre du laboratoire SATIE, également membre de mon comité de suivi de thèse pour son aide et notamment la fourniture de composants vieilliss.

Je remercie bien évidemment ma famille et mes amis pour leur soutien inconditionnel et particulièrement Marie Hagenburg qui m'a été d'un très grand soutien moral tout au long de cette thèse.

Plus généralement, je souhaiterais adresser un grand merci à toutes les personnes qui m'ont soutenue lors de mes trois années de thèse. Ce travail a été très épanouissant tant intellectuellement que professionnellement. Je ne regrette pas un seul instant mon choix de faire cette thèse qui m'a permis d'appréhender le milieu de la recherche et les problématiques de l'industrie aéronautique.

---





CE TRAVAIL DE RECHERCHE EST ISSU D'UNE COLLABORATION  
ETROITE ENTRE LE LABORATOIRE IETR ET SAFRAN GROUP



# TABLE DES MATIERES

<b>GLOSSAIRE .....</b>	<b>7</b>
<b>CHAPITRE I : INTRODUCTION.....</b>	<b>9</b>
<b>A. ARCHITECTURE DES CONVERTISSEURS D'ENERGIE .....</b>	<b>9</b>
A.1 TOPOLOGIES .....	9
A.1.1 Généralités sur les convertisseurs de puissance .....	9
A.1.2 Bras de pont .....	10
A.1.3 Onduleur triphasé.....	12
A.1.4 Structures multi-niveaux .....	12
A.2 LA CELLULE DE COMMUTATION .....	13
A.2.1 Composants à semi-conducteurs de puissance .....	13
A.2.2 Technologies.....	15
A.2.3 Modules de puissance .....	17
<b>B. CIRCUIT DE COMMANDE DE GRILLE CONVENTIONNEL .....</b>	<b>18</b>
B.1 DESCRIPTION FONCTIONNELLE.....	18
B.2 TRANSMISSION DES ORDRES DE COMMUTATION PAR VOIE ISOLEE.....	21
B.3 ALIMENTATION DU CIRCUIT DE COMMANDE RAPPROCHEE .....	25
B.4 AMPLIFICATION DE SORTIE.....	27
B.5 PROTECTIONS ADDITIONNELLES .....	30
B.5.1 Détection de court-circuit.....	30
B.5.2 Blocage en douceur (SSD).....	32
B.5.3 Active Clamping.....	34
B.5.4 Autres circuits de protection fréquemment utilisés.....	35
<b>C. PROBLEMATIQUE CIBLEE .....</b>	<b>35</b>
C.1 FIABILITE DES MOSFET SiC .....	35
C.2 CONTRAINTES DE COMPATIBILITE ELECTROMAGNETIQUE (CEM).....	37
C.3 CONTRAINTES SECURITAIRES / ASPECT NORMATIF.....	38
C.4 AUTRES CONTRAINTES .....	39
<b>D. STRATEGIE PROPOSEE.....</b>	<b>40</b>
D.1 IDENTIFICATION DES INDICATEURS DE VIEILLISSEMENT .....	40
D.2 MISE AU POINT DE SYSTEMES DE MESURE EMBARQUES.....	42
D.3 AJOUT DE MOYENS DE COMMUNICATION SPECIFIQUES .....	44
D.4 CONCEPTION D'UN DEMONSTRATEUR DE DRIVER DE GRILLE INTELLIGENT .....	45
<b>E. CONCLUSIONS .....</b>	<b>46</b>
<b>F. BIBLIOGRAPHIE.....</b>	<b>46</b>
<b>CHAPITRE II : SYSTEME DE MESURE EMBARQUE .....</b>	<b>51</b>
<b>A. MESURE DE LA TENSION DRAIN-SOURCE A L'ETAT PASSANT <math>V_{DS(ON)}</math> .....</b>	<b>51</b>
A.1 ÉTAT DE L'ART .....	51
A.2 SYNCHRONISATION DE LA MESURE.....	54
A.3 CIRCUIT IMPLEMENTE.....	56
A.4 SIMULATIONS.....	58
A.5 DIFFICULTES RENCONTREES .....	60
A.6 ESSAIS .....	62
<b>B. ESTIMATION DU COURANT DE FUITE DE GRILLE <math>I_{GSS}</math>.....</b>	<b>66</b>
B.1 ÉTAT DE L'ART .....	66
B.2 CIRCUIT DE COMMANDE RAPPROCHEE USUEL POUR MOSFET SiC .....	67
B.3 METHODE PROPOSEE .....	68
B.4 ESSAIS .....	71
B.4.1 Emulation du courant de fuite de grille par ajout d'une résistance grille-source .....	72

## Table des matières

B.4.2	Validation de l'hypothèse d'un comportement résistif en utilisant un composant « vieilli » .....	75
B.4.3	Essais en configuration onduleur .....	77
B.4.4	Influence de la température de fonctionnement.....	79
C.	COMPATIBILITE DES CIRCUITS DE SURVEILLANCE.....	80
D.	CONCLUSIONS .....	81
E.	BIBLIOGRAPHIE.....	82
<b>CHAPITRE III : SYSTEME DE COMMUNICATION ADAPTE.....</b>		<b>83</b>
A.	ÉTAT DE L'ART SUR LA COMMUNICATION DE DONNEES DANS LES DRIVERS DE GRILLE.....	83
B.	TRANSMISSION DE REQUETES SYNCHRONES .....	87
B.1	PRINCIPE DE TRANSMISSION DE REQUETES PAR IMPULSIONS COURTES .....	87
B.2	SIMULATIONS.....	91
B.2.1	Modèle comportemental du transformateur d'impulsions .....	91
B.2.2	Modélisation des courants de mode commun.....	94
B.3	ESSAIS.....	97
B.3.1	Conformité des signaux.....	97
B.3.2	Tests d'immunité aux dv/dt.....	99
B.4	ROLE DES ECRANS ELECTROSTATIQUES .....	101
C.	ALIMENTATION ISOLEE COMMUNICANTE.....	104
C.1	ANALYSE DE QUELQUES CIRCUITS D'ALIMENTATION ISOLEE FREQUEMMENT UTILISES DANS LES CARTES DRIVER .....	104
C.2	PRINCIPE DE COMMUNICATION BIDIRECTIONNELLE SUR LE CANAL D'ALIMENTATION .....	106
C.3	SIMULATIONS .....	109
C.4	ESSAIS .....	111
C.4.1	Conformité des signaux.....	111
C.4.2	Tests d'immunité aux dv/dt.....	113
D.	PROTOCOLE DE COMMUNICATION .....	114
E.	CONCLUSIONS .....	115
F.	BIBLIOGRAPHIE.....	116
<b>CHAPITRE IV : CONCEPTION DU DEMONSTRATEUR .....</b>		<b>119</b>
A.	INTEGRATION DE COMPOSANTS PROGRAMMABLES .....	119
A.1	CHOIX DU FPGA .....	119
A.2	DIMENSIONNEMENT DU CIRCUIT D'ALIMENTATION DU FPGA .....	121
A.3	MEMORISATION DU PROGRAMME.....	123
A.4	BOUCLE DE SECURITE .....	124
B.	DESIGN DU DEMONSTRATEUR.....	126
B.1	CARTE « MERE » .....	126
B.2	CARTE « FILLE » .....	128
C.	CARACTERISTIQUES TECHNIQUES DU DEMONSTRATEUR .....	131
D.	DEVELOPPEMENT LOGICIEL.....	133
E.	VALIDATION FONCTIONNELLE DU DEMONSTRATEUR .....	136
E.1	ESSAIS A VIDE .....	136
E.2	ESSAIS EN DOUBLE PULSE.....	137
E.3	ESSAIS EN MODE ONDULEUR .....	139
E.4	MECANISME DE PROTECTION RAPIDE .....	140
F.	CONCLUSIONS .....	144
<b>CONCLUSION GENERALE ET PERSPECTIVES .....</b>		<b>145</b>

## Table des matières

---

PUBLICATIONS .....	148
ANNEXES .....	149

## GLOSSAIRE

$\alpha$	Rapport cyclique du signal MLI
$\beta$	Gain dynamique en courant du transistor bipolaire
$\Delta V_{GS}$	Plage de variation de la tension $V_{GS}$ (+20V/-5V $\rightarrow \Delta V_{GS} = 25V$ )
$\Delta V_{OUT}$	Variation de tension en sortie du circuit d'alimentation
$\Delta V_S$	Variation du potentiel de source par rapport au potentiel de référence du circuit secondaire
$\epsilon i_L$	Courant de fuite de grille élémentaire (nA)
$\varphi$	Déphasage entre le courant et la tension dans la charge (rad)
$\mu_n$	Mobilité des électrons (cm <sup>2</sup> /V.s)
$\mu_p$	Mobilité des trous (cm <sup>2</sup> /V.s)
$C_{GD}$	Capacité parasite Grille-Drain (Capacité Miller) d'un MOSFET (nF)
$C_{GS}$	Capacité Grille-Source d'un MOSFET (nF)
$C_{iss}$	Capacité totale vue par la grille d'un MOSFET (= $C_{GS} + C_{GD}$ )
$C_{MC}$	Capacité de mode commun équivalente (nF)
$C_{OUT}$	Capacité de sortie du circuit d'alimentation (nF)
$C_{spire}$	Capacité inter-spikes ramenée au primaire (nF)
$di/dt$	Variation de courant par unité de temps (kA/ $\mu$ s)
$dv/dt$	Variation de potentiel par unité de temps (kV/ $\mu$ s)
$E_{1\ pulse}$	Energie dissipée par une impulsion élémentaire (J)
$I_{L,COMP}$	Courant d'entrée du comparateur du circuit d'estimation de fuite de grille (nA)
$I_D$	Courant de drain d'un MOSFET (A)
$I_G$	Courant de grille d'un MOSFET (A)
$I_{GSS}$	Courant de fuite de grille à l'état passant ( $V_{GS} = 20V$ ) (nA)
$I_{L,DRIVER}$	Courant de fuite lié aux éléments du circuit driver (nA)
$I_{L,DUT}$	Courant de fuite de grille en cours de fonctionnement dans le composant testé (nA)
$I_{L,MES}$	Courant de fuite mesuré (nA)
$I_{L,TH}$	Courant de fuite théorique (nA)
$I_{MC}$	Courant de mode commun (nA)
$L_{f1}$	Inductances série parasite au primaire du transformateur (nH)
$L_{f2}$	Inductances série parasite au secondaire du transformateur (nH)
$L_m$	Inductances magnétisante ( $\mu$ H)
$P_{RXD}$	Puissance consommée lors de la phase B (W)
$Q_G$	Charge totale de la grille (nC)
$Q_{ssd}$	Transistor permettant d'actionner le blocage en douceur (SSD)
$R_{DS(on)}$	Résistance à l'état passant d'un MOSFET (m $\Omega$ )
$R_{fer}$	Résistance modélisant les pertes fer du transformateur ( $\Omega$ )
$R_{GS}$	Résistance modélisant les fuites de grille d'un MOSFET (M $\Omega$ )
$R_{L,P}$	Résistances de charge connectées aux enroulements primaires du transformateur ( $\Omega$ )

## Glossaire

---

$R_{off}$	Résistance de grille vue au blocage ( $\Omega$ )
$R_{on}$	Résistance de grille vue à l'amorçage ( $\Omega$ )
$R_{S1}$	Résistance série parasite au primaire du transformateur ( $m\Omega$ )
$R_{S2}$	Résistance série parasite au secondaire du transformateur ( $m\Omega$ )
$RxD$	Données renvoyées au circuit primaire
$T$	Période MLI ( $\mu s$ )
$t_0$	Instant de mesure $V_{DS(on)}$ (temps entre l'amorçage et l'acquisition du $V_{DS(on)}$ ) (s)
$t_{bit}$	Temps bit (ns)
$t_{d(off)}$	Retard au blocage du composant de puissance (ns)
$t_{d(on)}$	Retard à l'amorçage du composant de puissance (ns)
$t_{mort}$	Temps mort (ns)
$T_j$	Température de jonction ( $^{\circ}C$ )
$T_L$	Durée du processus d'estimation du courant de fuite de grille (s)
$T_{L,CAL}$	Durée du processus d'estimation du courant de fuite de grille lors de la calibration (s)
$T_{SINUS}$	Période du signal modulant (s)
$TxD$	Données envoyées au circuit secondaire
$V_{CCAUX}$	Tension d'alimentation nécessaire aux fonctions annexes du FPGA (XADC, mémoire)
$V_{CCINT}$	Tension d'alimentation du cœur du FPGA (V)
$V_{CCO}$	Tension d'alimentation des buffers entrées/sorties du FPGA (V)
$V_{CE}$	Tension Collecteur-Emetteur d'un transistor bipolaire ou IGBT (V)
$V_{CE(on)}$	Tension Collecteur-Emetteur à l'état passant d'un IGBT (V)
$V_{DC}$	Tension de bus du circuit de puissance (V)
$V_{DD}$	Tension d'alimentation du circuit secondaire (V)
$V_{DS}$	Tension Drain-Source d'un MOSFET (V)
$V_{DS(on)}$	Tension Drain-Source à l'état passant d'un MOSFET (V)
$V_{GS}$	Tension Grille-Source d'un MOSFET (V)
$V_{GS,off}$	Tension Grille-Source à l'état bloqué (V)
$V_{GS,on}$	Tension Grille-Source à l'état passant (V)
$V_L$	Tension d'alimentation des circuits logiques (V)
$V_n$	Potentiel négatif (V)
$V_p$	Potentiel positif (V)
$V_S$	Potentiel de source par rapport au potentiel de référence du circuit secondaire
$V_{TH}$	Tension de seuil du composant de puissance (V)
$X_m$	Impédance complexe du magnétisant

## CHAPITRE I : INTRODUCTION

### A. ARCHITECTURE DES CONVERTISSEURS D'ENERGIE

#### A.1 Topologies

##### A.1.1 Généralités sur les convertisseurs de puissance

Les convertisseurs de puissance désignent l'ensemble des circuits électroniques permettant de transformer les caractéristiques électriques d'un potentiel issu d'une source d'énergie électrique. Une source d'énergie électrique pouvant être de type continue (DC) ou alternative (AC), il existe 4 classes de conversions d'énergie électrique : AC/AC, AC/DC, DC/AC ou DC/DC.

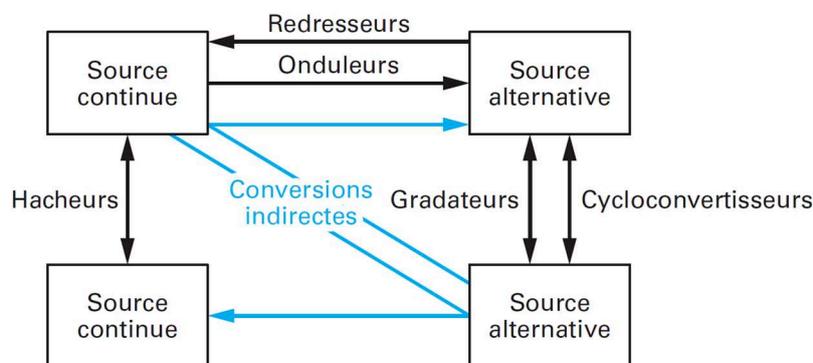


Figure I-1 : Classes de conversion d'énergie en fonction de la nature des sources et récepteurs [1]

On retrouvera notamment les circuits redresseurs dans la famille des convertisseurs AC/DC avec par exemple les montages à pont de diodes. Les circuits hacheurs sont quant à eux des circuits de conversion de classe DC/DC. Comme son nom l'indique, le principe de ce circuit consiste à hacher de manière périodique une source de tension continue de manière à obtenir une source de tension continue de valeur inférieure ou supérieure en sortie, la tension de sortie pouvant être ajustée en modifiant la loi de commande associée. Ce type de circuit est composé d'au moins un composant à semi-conducteur de puissance pilotable ( $Q$ ) et/ou un ou plusieurs composants à amorçage spontané (ex : diode  $D$ ). Les hacheurs sont par exemple utilisés pour fournir une tension d'alimentation stabilisée ou convertir de la puissance électrique en vue de la stocker dans des batteries. Les hacheurs permettent également la variation de vitesse des machines à courant continu. Le circuit hacheur est dit « dévolteur » si la tension de sortie est inférieure à la tension d'entrée et « survolteur » si la tension de sortie est supérieure à la tension d'entrée. L'association de ces deux circuits permet la réversibilité en courant. La réversibilité en courant est particulièrement utile pour la commande de moteur puisqu'il permet d'obtenir un fonctionnement moteur ou frein selon la loi de commande appliquée.

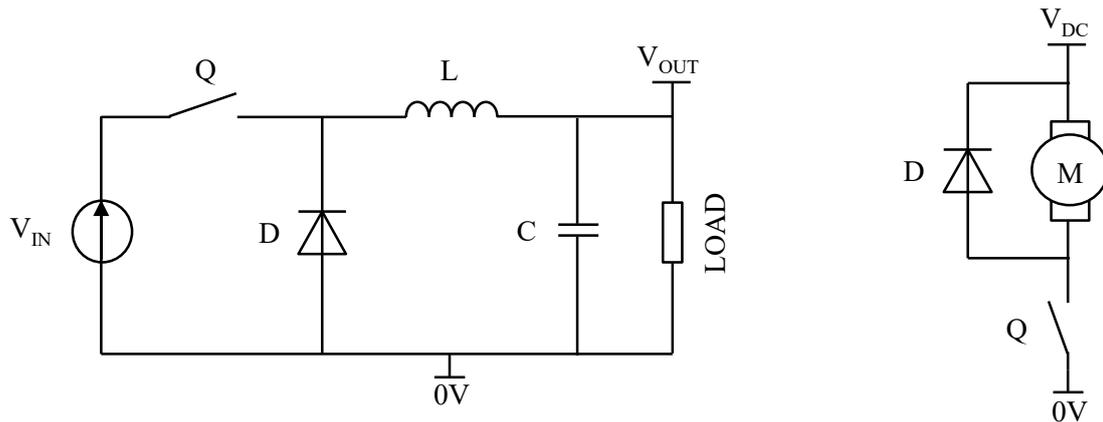


Figure I-2 : Exemples de convertisseur de type hacheur : hacheur dévolteur « Buck » (à gauche) et commande de moteur à courant continu (à droite)

Dans le cadre de cette thèse, nous nous intéresserons plus particulièrement à la classe de conversion DC/AC et notamment aux circuits de type onduleur de tension permettant par exemple le pilotage d'une machine électrique telle qu'un moteur synchrone. Les onduleurs permettent de générer des tensions/courants alternatifs à partir d'une source de tension continue fixe comme par exemple une batterie. Comme le montre la figure I-3, un onduleur monophasé à deux niveaux ou « pont en H » est constitué de deux cellules de commutation réversibles en courant, c'est pourquoi il est également appelé « hacheur réversible en courant et en tension ». En effet, le courant dans la charge est assimilable à une source de courant alternative.

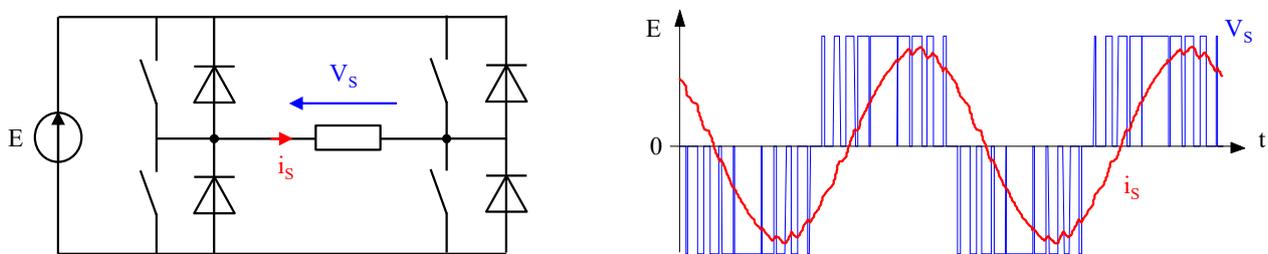


Figure I-3 : Onduleur monophasé et formes d'ondes associées

### A.1.2 Bras de pont

Un bras de pont ou demi-pont (half-bridge) est une cellule de commutation élémentaire dont les interrupteurs sont unidirectionnels en tension et bidirectionnels en courant, les interrupteurs sont commandés à l'amorçage et au blocage. L'architecture permettant la commande d'un bras de pont à transistors à effet de champ à grille isolée, plus couramment appelés MOSFET (Metal Oxide Semiconductor Field Effect Transistor), est donnée à la figure I-4. Les circuits de puissance plus complexes nécessitent souvent l'utilisation d'une pluralité de bras de pont.

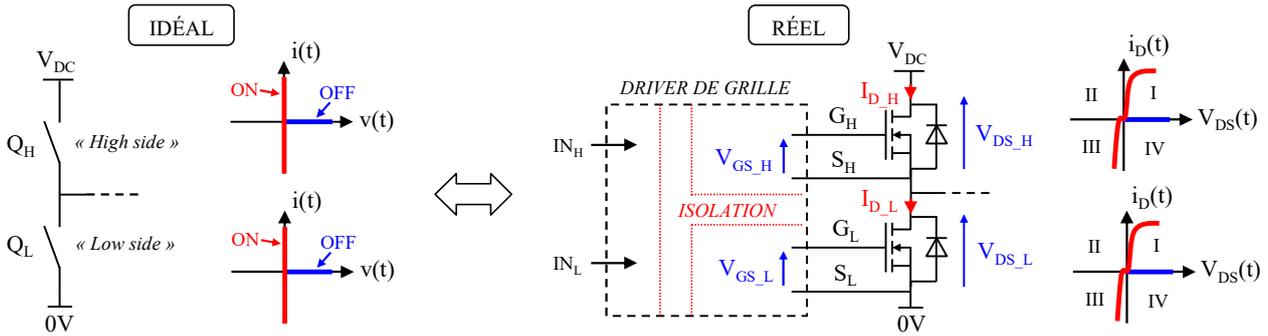


Figure I-4 : Exemple de cellule de commutation élémentaire à transistors N-MOSFET

Il existe différents types de composants pilotables susceptibles d'être utilisés (relais, thyristors, IGBT, MOSFET...). Dans le cas de transistors de puissance de type N-MOSFET, la commande d'un bras de pont nécessite l'utilisation de deux voies isolées galvaniquement permettant le pilotage de chaque transistor indépendamment de l'autre. En effet, l'électronique de commande étant référencée par rapport au potentiel de source de chaque transistor, deux circuits distincts sont nécessaires. Cette isolation électrique est donc fonctionnelle. En électronique de puissance, la technologie CMOS (basée sur la complémentarité NMOS et PMOS) n'est pas envisageable à cause du manque de performances des MOSFETs à canal P en termes de densité de puissance et de rapidité. D'autre part, la cellule de commutation doit nécessairement être protégée contre le court-circuit de bras. Il est donc courant d'intégrer une temporisation appelée « temps mort » entre la phase de blocage et d'amorçage des composants afin de compenser la différence entre le temps d'amorçage et de blocage.

Il existe deux régimes de fonctionnement des transistors MOSFET, dits « 1<sup>er</sup> quadrant » et « 3<sup>ème</sup> quadrant » correspondant respectivement aux phases de fonctionnement lorsque ( $V_{DS} > 0, I_D > 0$ ) et ( $V_{DS} < 0, I_D < 0$ ). En électronique de puissance, la diode représentée en parallèle des transistors est bien souvent une diode externe possédant de meilleures caractéristiques électriques que la diode intrinsèque des transistors MOSFET comme le montre la figure I-5. Quelle que soit la phase de fonctionnement, une résistivité minimale à l'état passant est recherchée. On privilégiera donc une tension  $V_{GS(on)}$  maximale afin de minimiser la chute de tension  $V_{DS(on)}$  en phase de conduction (ex :  $V_{GS(on)} = 20V$  dans le cas d'un MOSFET SiC).

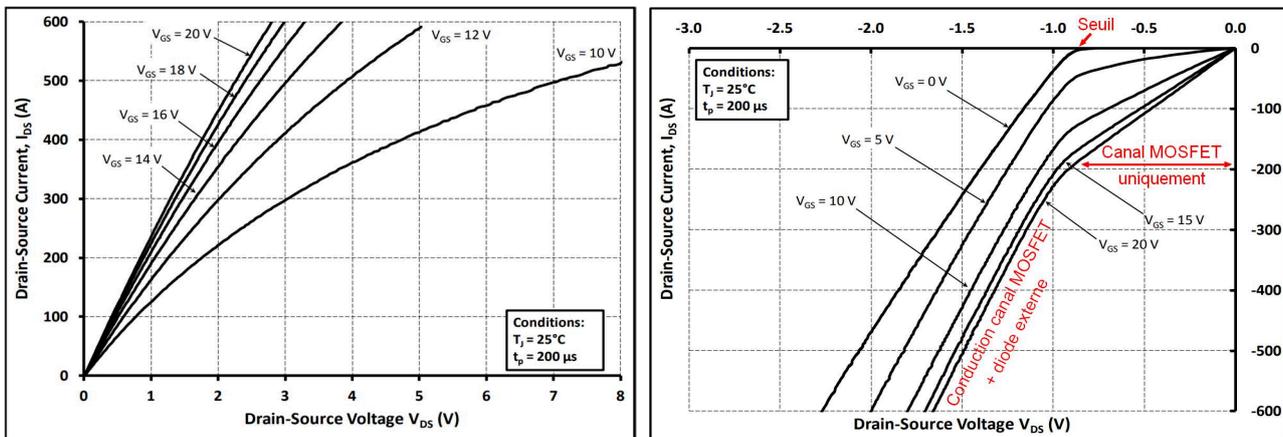


Figure I-5 : Exemple de courbes caractéristiques d'un module MOSFET SiC 1200V (CAS300M12BM2)

## A.1.3 Onduleur triphasé

Un onduleur triphasé 2 niveaux est constitué de 3 cellules de commutation élémentaires en parallèle, permettant de piloter les trois enroulements d'une machine électrique triphasée comme, par exemple, un moteur à induction. Comme indiqué à la figure I-6, les signaux de commandes appliqués sont classiquement de type MLI (modulation de largeur d'impulsions). Le rapport cyclique varie donc au cours du temps tandis que la fréquence de découpage est fixe. Cette configuration permet de recréer en sortie d'onduleur une forme d'onde quelconque aux bornes de la charge en fonction de la loi de commande appliquée.

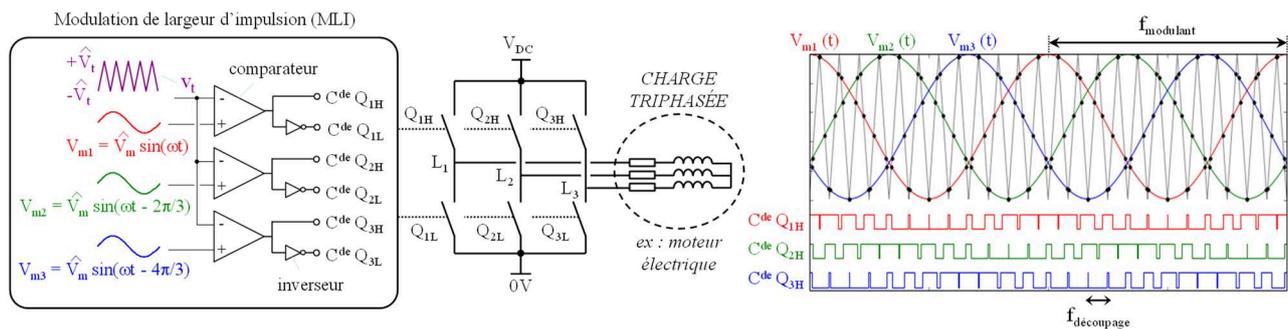


Figure I-6 : Onduleur triphasé avec charge inductive câblée en étoile et loi de commande associée

On notera ici que chaque interrupteur doit être dimensionné de manière à pouvoir supporter la tension de bus  $V_{DS}$ . En outre, la multiplication des bras nécessite une pluralité de circuits driver pour la gestion des ordres de commande, il apparaît ici que ces circuits doivent être parfaitement synchronisés. En pratique, les circuits de commande n'étant pas parfaitement identiques notamment vis-à-vis des tolérances des composants passifs utilisés, on définit le temps de « Jitter » comme étant la tolérance temporelle sur les signaux de commande entre chaque bras. Le besoin de synchronisation doit ainsi être pris en compte dès la conception des circuits drivers.

## A.1.4 Structures multi-niveaux

Afin d'améliorer la forme d'onde des signaux de sortie ou connecter les convertisseurs DC/AC à des réseaux continus de forte tension ( $>1kV$ ), les onduleurs dits multi-niveaux ont été développés. Dans ce cas, les cellules de commutation sont composées d'une pluralité d'interrupteurs commandables, la tension de sortie peut donc présenter plusieurs niveaux. L'un des avantages de ces structures plus complexes est la possibilité de fournir une tension de sortie supérieure à la tenue en tension de chaque composant à semi-conducteur de puissance. Ce type de structures est donc généralement réservé aux applications haute tension. En outre, les convertisseurs multi-niveaux permettent de générer des formes d'ondes de très bonne qualité grâce à la variabilité des niveaux de tension en sortie. Ils permettent donc un haut rendement énergétique et une diminution des contraintes appliquées aux composants statiques. A titre d'exemple, le pont NPC (Neutral-Point Clamped) à 3 niveaux est fréquemment utilisé dans le domaine de l'énergie éolienne notamment. Cependant,

l'utilisation d'un point milieu capacitif peut faire apparaître des problèmes d'équilibrage. Le potentiel de celui-ci peut alors onduler avec une amplitude importante, voire diverger dans certains cas. La figure I-7 présente le schéma structurel d'un onduleur NPC triphasé.

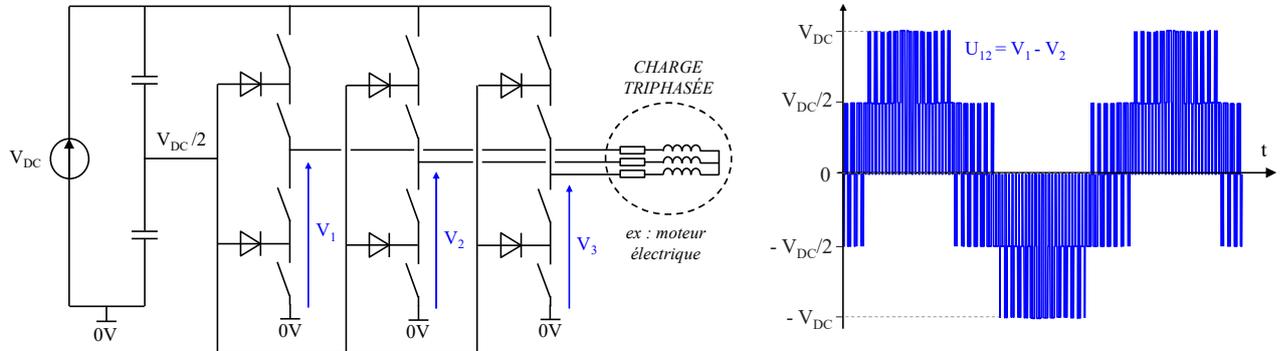


Figure I-7 : Exemple d'un onduleur NPC triphasé avec charge inductive câblée en étoile

## A.2 La cellule de commutation

### A.2.1 Composants à semi-conducteur de puissance

Il existe de nombreux types de composants à semi-conducteur de puissance qui peuvent s'apparenter à des interrupteurs commandables. Chaque type de composant possède ses propres caractéristiques électriques. Le thyristor a longtemps été le seul composant haute tension (HT) à la technologie parfaitement maîtrisée. Toutefois, son domaine d'application est restreint à cause de l'impossibilité de le commander au blocage. En effet, une fois l'amorçage du thyristor déclenché, l'ouverture ne peut s'effectuer que lorsque le courant principal s'annule. Il est aujourd'hui réservé à des applications très fortes puissances et à faible fréquence. Au cours des années 90, des composants commandables à l'amorçage et au blocage firent leur apparition : le thyristor blocable par la gâchette GTO (Gate Turn-Off Thyristor) et le transistor bipolaire à grille isolée IGBT (Insulated Gate Bipolar Transistor). Le GTO est une amélioration de la technologie du thyristor : il permet la commande au blocage par un courant de commande négatif. L'apparition des premiers composants IGBT marque une révolution : il est issu d'une combinaison des technologies de l'électronique classique, le transistor bipolaire BJT (Bipolar Junction Transistor) et le transistor à effet de champ à grille isolée MOSFET. Le transistor bipolaire présentant une bonne tenue en tension est utilisé comme canal de puissance tandis que la commande est assurée par un transistor MOSFET permettant une commande en tension par grille isolée.

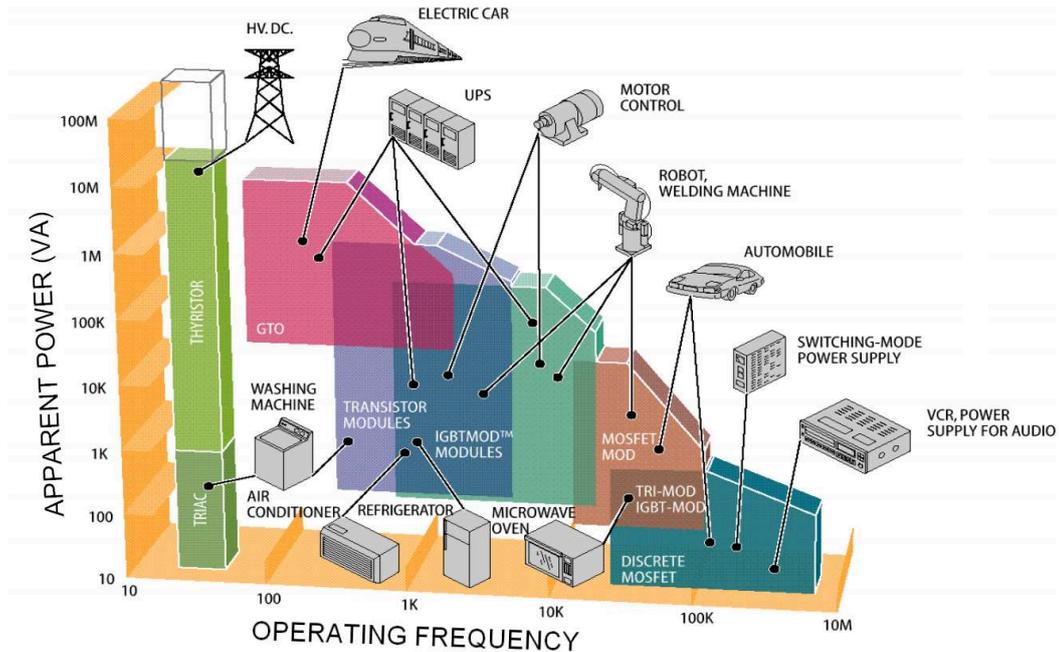


Figure I-8 : Domaines d'application des convertisseurs de puissance [2]

Cependant, l'arrivée récente sur le marché de composants MOSFET à substrat SiC (Carbure de Silicium) vient concurrencer l'hégémonie des composants IGBT traditionnels sur un nombre croissant d'applications. La très haute densité d'intégration des MOSFETs combinée à la réduction des pertes proposée par la technologie SiC attire de plus en plus d'industriels. Dans ce contexte, nous nous intéresserons plus particulièrement aux composants MOSFET SiC.

Les composants MOSFET sont des transistors à effet de champ. Cela signifie qu'un champ électrique appliqué sur la grille permet le passage des porteurs de charges dans le canal situé en-dessous. Comme le montre les schémas de la figure I-9, l'électrode de grille est isolée par l'intermédiaire d'une couche mince d'Oxyde de Silicium ( $\text{SiO}_2$ ). Dans le cas du matériau SiC, une faible concentration d'atomes de carbone est insérée entre les mailles cristallines du substrat Silicium.

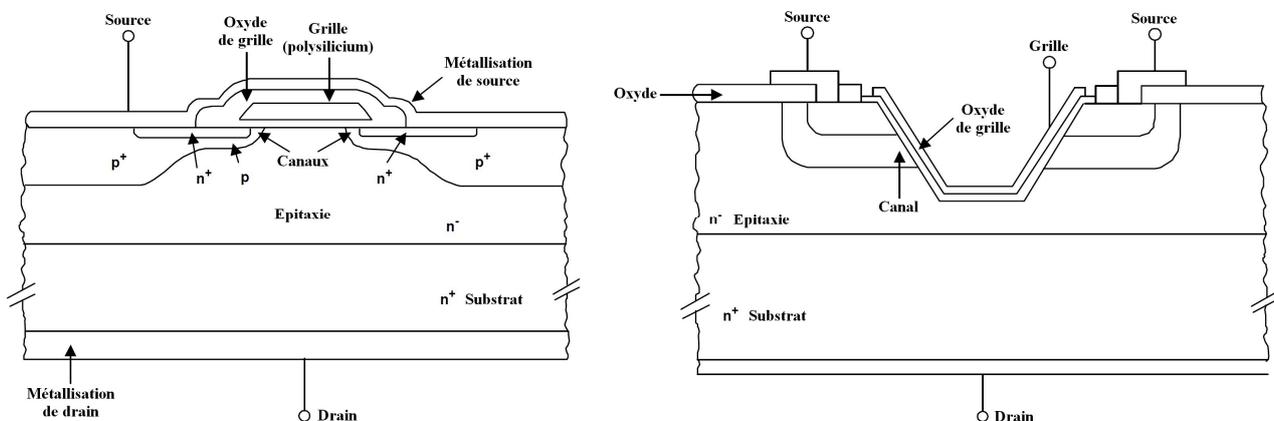


Figure I-9 : Coupes transversales d'un transistor MOSFET planaire (à gauche) et d'un Trench MOSFET (à droite)

Les composants de puissance se distinguent des transistors classiques par leurs puces de grandes dimensions, permettant ainsi la circulation de courants importants. Dans le cas des transistors MOSFET comme des IGBT, la surface supérieure représente la métallisation de source tandis que le drain est raccordé au substrat permettant la circulation d'un courant transversal dans la puce. Comme le montre la figure I-10, la multiplication de cellules élémentaires permet une répartition surfacique homogène du courant dans la puce.

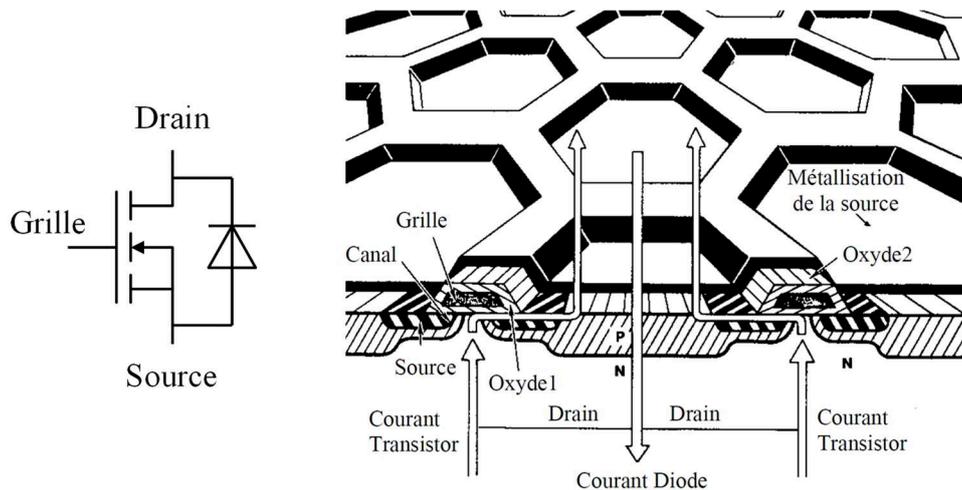


Figure I-10 : Exemple de métallisation de surface d'une puce de puissance [3]

### A.2.2 Technologies

Historiquement, le Silicium a longtemps été le substrat incontournable en électronique de puissance. La situation a cependant évolué grâce aux récents progrès accomplis en procédé de fabrication de composants « grand gaps ». Les composants de puissance à base de Silicium (Si) sont généralement limités en température de jonction à 150°C voire 175°C et ont plusieurs caractéristiques les rendant inadaptés aux régimes de plus en plus sévères imposés par l'électronique de puissance moderne. Comme l'illustre la figure I-11, les composants à semi-conducteur de puissance grand gap tel que le SiC, le GaN (Nitrure de Gallium) ou encore la technologie Diamant ont l'avantage de pouvoir surclasser la technologie Silicium classique [4]–[7]. En effet, les caractéristiques de ces nouveaux matériaux autorisent des fonctionnements à des tensions plus élevées, avec des temps de commutation réduits et/ou à plus hautes températures dans le cas de la technologie SiC. Aujourd'hui, c'est la fiabilité de l'oxyde de grille et aussi le packaging qui limitent leur utilisation à haute température ( $T_j > 175^\circ\text{C}$ ). L'utilisation de composants à semi-conducteur de puissance grand gap tel que le SiC pour l'électronique de puissance fait l'objet de nombreux travaux de recherche [7]–[10]. Récemment, ces études ont conduit à la commercialisation de diodes et de transistors MOSFET SiC. Ces composants sont désormais disponibles tant dans des boîtiers dédiés aux systèmes sur PCB que sous la forme de modules pour des convertisseurs de fortes puissances.

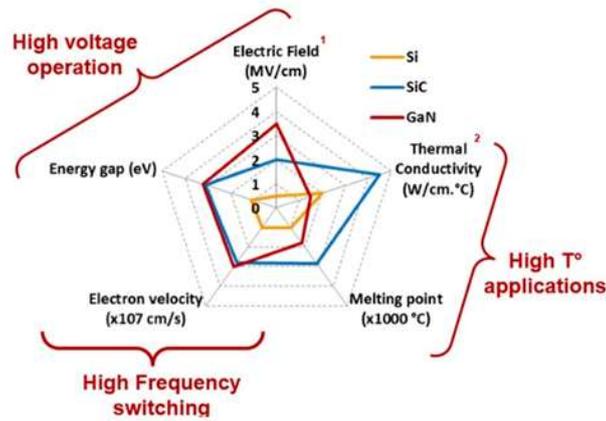


Figure I-11 : Comparaison des technologies Si, SiC et GaN [7]

Les transistors de puissance à base de SiC et GaN s'avèrent donc très prometteurs à moyen et long terme à l'instar des diodes Schottky. Contrairement à la technologie GaN, les semi-conducteurs de puissance de type SiC sont déjà largement commercialisés comme le montre la figure I-12.

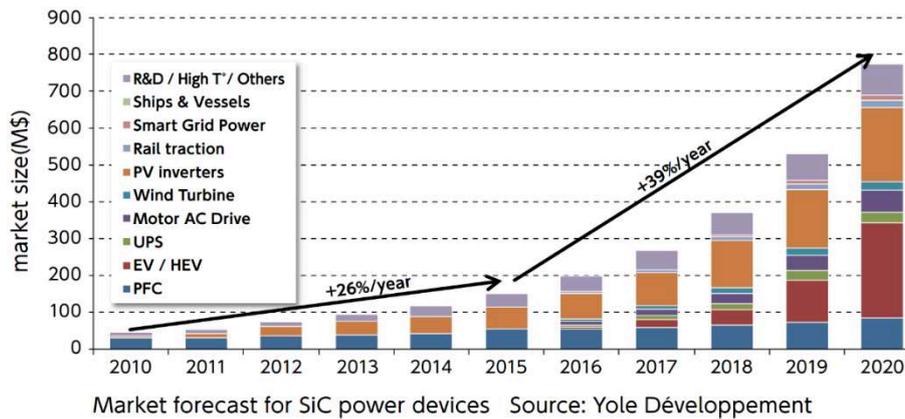


Figure I-12 : Evolution du marché de la technologie Carbure de Silicium<sup>1</sup>

A présent, le Carbure de Silicium est considéré comme le meilleur compromis entre propriétés intrinsèques et maturité commerciale, apportant une considérable valeur ajoutée pour les applications haute température sur les calibres 1200V. Les améliorations apportées en termes de temps de commutation et de fréquence de découpage contribuent inexorablement à l'essor industriel de cette nouvelle technologie. Le Carbure de Silicium peut également apporter des avancées significatives en termes de densité de puissance et en efficacité des convertisseurs d'énergie. En effet, ce type de composants réduit considérablement les pertes occasionnées lors de la commutation grâce à leur rapidité de commutation, comme le montre la figure I-13. Les circuits de puissance utilisant des transistors de type MOSFET SiC peuvent donc opérer à plus haute fréquence. Bien que le coût actuel d'un transistor SiC soit plus élevé que son concurrent Silicium, leur bonne tenue en température permet des économies significatives sur le dimensionnement des dissipateurs thermiques nécessaires

<sup>1</sup> [http://www.rohm.com/documents/11405/2996964/SiC\\_power\\_device-catalog.pdf](http://www.rohm.com/documents/11405/2996964/SiC_power_device-catalog.pdf)

au circuit de puissance. D'autre part, les coûts de fabrication diminuent avec la production de masse de wafers SiC, des wafers 6'' sont aujourd'hui utilisés pour la fabrication série et le marché ne cesse de croître. La technologie SiC est aujourd'hui très attrayante en termes de densité de puissance, elle est donc toute indiquée pour des applications aéronautiques. L'inconvénient majeur est le manque de fiabilité de ces nouveaux composants.

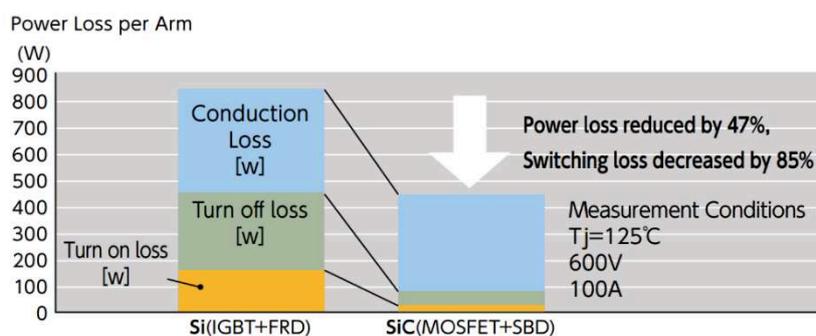


Figure I-13 : Performances énergétiques d'un module MOSFET SiC en comparaison avec un IGBT Si<sup>2</sup>

Depuis les années 2000, l'intérêt de développer des systèmes de conversion d'énergie SiC est évident aux yeux de la communauté spécialisée [7]. De plus en plus de composants de puissance SiC sont désormais disponibles. Il y a donc un réel besoin d'innovation sur les circuits de commande de tels composants afin de suivre l'évolution du marché. Le développement de circuits de commande fiables spécifiquement conçus pour exploiter au maximum les propriétés intrinsèques de ces nouveaux composants représente donc aujourd'hui un enjeu stratégique.

### A.2.3 Modules de puissance

Plusieurs types de composants de puissance sont utilisés, qu'ils soient discrets (vendus sous boîtier TO-247 ou D<sup>2</sup>PAK par exemple) ou associés dans des modules de puissance comme à la figure I-14. Les composants discrets ne sont utilisés que pour les applications faible puissance car les caractéristiques thermiques des boîtiers ne sont pas optimales. Nous nous intéresserons ici plus particulièrement aux applications moyennes à fortes puissances.



Figure I-14 : Module de puissance MOSFET SiC 1200V CAS325M12HM2 (Wolfspeed-Cree)<sup>3</sup>

<sup>2</sup> [http://www.rohm.com/documents/11405/2996964/SiC\\_power\\_device-catalog.pdf](http://www.rohm.com/documents/11405/2996964/SiC_power_device-catalog.pdf)

<sup>3</sup> <https://www.systemplus.fr/fr/reverse-costing-reports/wolfspeed-cas325m12hm2-all-sic-1200v-power-module/>

Sur la photographie de droite de la figure I-14, on aperçoit des puces MOSFET SiC avec leurs fils de câblage aluminium (Wire Bonding). Le substrat DBC (Direct Bonded Copper) assure une excellente conductivité thermique afin de diffuser un maximum de chaleur dans un dissipateur thermique tel que décrit à la figure I-15. Un gel diélectrique est appliqué à l'intérieur du boîtier pour empêcher le claquage sous haute tension.

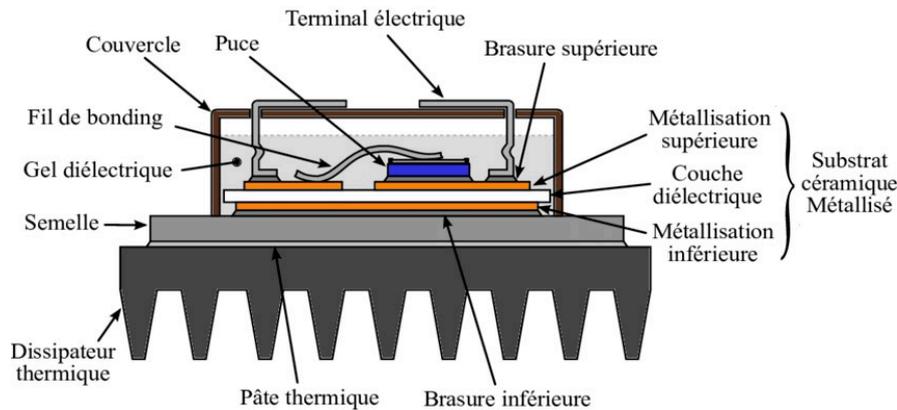


Figure I-15 : Technologie Direct Copper Bonding (DCB) – packaging d'un composant à semi-conducteur de puissance

Le fort courant commuté par les puces de puissance (jusqu'à  $5\text{A}/\text{mm}^2$ ) nécessite des interconnexions très faiblement résistives. Pour cela, on utilise généralement de nombreux fils de bondings de grande section connectés en parallèle ( $\varnothing \leq 500\mu\text{m}$ ). Puisque la quantité de métal utilisée par ces fils est relativement importante, les fils d'aluminium sont très largement préférés aux fils d'or en raison de leurs coûts. La fixation des bondings sur les surfaces métallisées est assurée par soudure ultrasonique. Néanmoins, la tenue mécanique de ce type de câblage a ses limites en termes de vieillissement et de nouvelles techniques de câblage alternatives sont aujourd'hui à l'étude pour les composants à forte densité de puissance [11].

## B. CIRCUIT DE COMMANDE DE GRILLE CONVENTIONNEL

### B.1 Description fonctionnelle

Le pilotage des modules de puissance est assuré par un circuit de commande rapprochée (nommé « Driver » ou « Gate Driver ») raccordé au plus proche du module de puissance. La proximité de la carte driver est indispensable au bon fonctionnement du module. En effet, les effets inductifs indésirables du câblage ne sont pas négligeables dans le domaine de l'électronique de puissance. Par exemple, le potentiel de source des MOSFET doit être pris au plus proche de la puce, c'est pourquoi il existe une connectique spécifique baptisée « source Kelvin » dédiée à la commande de grille. Le driver assure la liaison entre d'une part, le système de commande gérant les commutations dans le

convertisseur d'énergie (basse tension) et d'autre part, le module de puissance (haute tension). La carte est généralement pourvue d'une isolation galvanique adéquate assurant l'intégrité du matériel et la sécurité des utilisateurs.

Le circuit driver peut se présenter sous diverses formes, l'appellation « gate driver » ou « driver de grille » fait généralement référence à l'étage d'amplification nécessaire à la commande de grille, ces composants discrets intègrent souvent une voie de transmission isolée pour les ordres de commande (par optocoupleur, transformateurs « coreless » ou liaisons capacitives). Cependant, ce type de composant nécessite une voie d'alimentation isolée externe. Les cartes drivers pour la commande de composants à semi-conducteur de moyennes à fortes puissances sont donc généralement pourvues d'un circuit d'alimentation isolé. La figure I-16 présente un exemple de montage d'une carte driver sur un module MOSFET SiC 62mm. Le driver se caractérise par 4 éléments essentiels : son isolation galvanique, son étage de sortie (aussi appelée buffer ou parfois directement « driver de grille »), son circuit d'alimentation permettant d'alimenter en énergie le circuit secondaire et les diverses fonctions de protection qui y sont ajoutées [12].



Figure I-16 : Assemblage d'un module SiC Econo-Dual avec sa carte driver EDEM34<sup>4</sup>

Il existe plusieurs catégories de drivers pour les composants de puissance. Un aperçu des principales caractéristiques d'une carte driver est présenté à la figure I-17. La terminologie « driver de grille » fait référence aux composants permettant la charge de la grille des transistors MOSFET et par extension, l'ensemble des éléments permettant d'assurer cette fonction. Dans tous les cas, les circuits drivers évoluent dans un environnement très contraignant de par leur proximité avec les composants à semi-conducteur de puissance.

---

<sup>4</sup> <https://www.powerelectronicsnews.com/technology/driving-silicon-carbide-power-modules>

# Chapitre I : Introduction

TABLEAU 1  
Principaux critères discriminatoires des cartes driver

COMPOSANT PILOTÉ	Technologie Silicium		Technologie SiC		Technologie GaN			
		<ul style="list-style-type: none"> <li>- Thyristor</li> <li>- BJT / IGBT</li> <li>- HEMT / JFET</li> <li>- MOSFET / CoolMOS</li> </ul>		<ul style="list-style-type: none"> <li>- BJT (2010+)</li> <li>- HEMT / JFET (2010+)</li> <li>- MOSFET (2010+)</li> </ul>		<ul style="list-style-type: none"> <li>- HEMT / JFET (2015+)</li> <li>- MOSFET (2017+)</li> </ul>		
TYPE DE DRIVER	Plug-and-Play		Cœur Driver + carte (passifs)		Drivers de grille intégrés (IC)			
	 <ul style="list-style-type: none"> <li>- Carte au plus proche</li> <li>- Spécifique au module</li> <li>- Applications <math>\geq 100</math> kW</li> </ul>		 <ul style="list-style-type: none"> <li>- Module Driver générique</li> <li>- Faible coût</li> <li>- Applications <math>\geq 100</math> kW</li> </ul>		 <ul style="list-style-type: none"> <li>- Compact</li> <li>- Alimentation externe</li> <li>- Comportement défaillance ?</li> </ul>			
ISOLATION GALVANIQUE	Transformateurs		Opto-coupleurs		Fibre optique		Couplage capacitif	
	<ul style="list-style-type: none"> <li>- Fiabilité</li> <li>- Permet le transfert d'énergie</li> </ul>		<ul style="list-style-type: none"> <li>- Comportement défaillance ?</li> <li>- Vigilance capacités parasites</li> <li>- Applications <math>\leq 1,7</math> kV</li> </ul>		<ul style="list-style-type: none"> <li>- Immunité CEM</li> <li>- Coût élevé</li> <li>- Applications <math>\geq 1,7</math> kV</li> </ul>		<ul style="list-style-type: none"> <li>- Capacités parasites !</li> <li>- Applications BT / low cost</li> </ul>	
ETAGE DE SORTIE (GATE DRIVER)	À transistors bipolaires		À transistors MOSFET		Source de courant			
	<ul style="list-style-type: none"> <li>- Fonctionnement linéaire</li> <li>- Nécessite courant de base</li> <li>- Simplicité de gestion SSD</li> </ul>		<ul style="list-style-type: none"> <li>- Fonctionnement tout-ou-rien (attention aux courts-circuits de bras)</li> <li>- Excursion en sortie maximale</li> </ul>		<ul style="list-style-type: none"> <li>- Commutation plus lente</li> <li>- Possibilité de moduler la pente de commutation</li> </ul>			
FONCTIONS DE PROTECTION CLASSIQUES	Détection CC (DESAT)		Soft Shut Down (SSD)		Active Clamping		2-Levels Turn-Off (TLTO)	
	<ul style="list-style-type: none"> <li>- Surveillance <math>V_{DS}/V_{CE}</math></li> <li>- Augmentation de la tension à l'état passant lors d'un CC</li> <li>- Détection de seuil</li> </ul>		<ul style="list-style-type: none"> <li>- Mesure de sécurité après détection CC</li> <li>- Blocage en douceur</li> <li>- Impédance de grille plus importante</li> </ul>		<ul style="list-style-type: none"> <li>- Protection en surtension</li> <li>- Ne nécessite pas de circuit de détection</li> </ul>		<ul style="list-style-type: none"> <li>- Mesure de sécurité après détection CC</li> <li>- Blocage en deux temps</li> </ul>	

Les fonctions mentionnées dans le tableau 1 sont détaillées dans les sections I.B.2 à I.B.5. Des informations complémentaires sur les différents types de drivers existants sont fournies en [13].

Un grand nombre de fabricants commercialisent des drivers de grille intégrés parmi lesquels Texas Instruments, STmicroelectronics, Infineon, On-semiconductor, Analog Devices, MicroChip, Power Integrations-Concept, Rohm Semiconductor, CISSOID... Le marché des cartes driver pour les modules de forte puissance est cependant détenu par Cree-Wolfspeed, Power Integrations-Concept, Semikron et Infineon-Eupec.

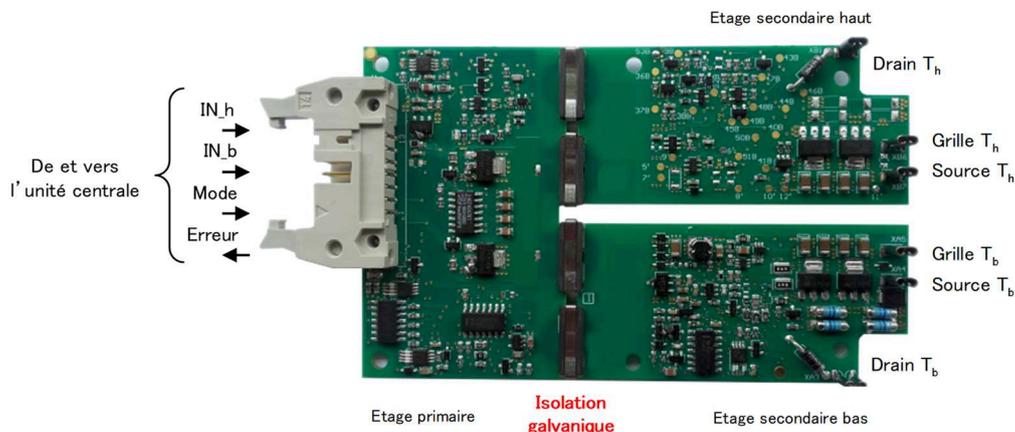


Figure I-17 : Carte driver YEC0375 réalisée par l'IETR en collaboration avec ECA group [14]

Le circuit driver est un élément capital d'une chaîne de commande électrique, il assure l'interface entre les circuits de commande et circuits de puissance. Il constitue donc un élément de protection indispensable à l'avionique moderne et permet l'électrification des actionneurs à bord des aéronefs en toute sécurité. Le circuit driver n'est pas un organe décisionnel (sauf dans le cas d'un court-circuit), il permet une commutation appropriée des composants de puissance en exécutant un ordre de commande provenant du contrôle-commande du système (connecté côté primaire). Toutefois, le driver de grille permet également l'implantation de nombreuses fonctionnalités additionnelles.

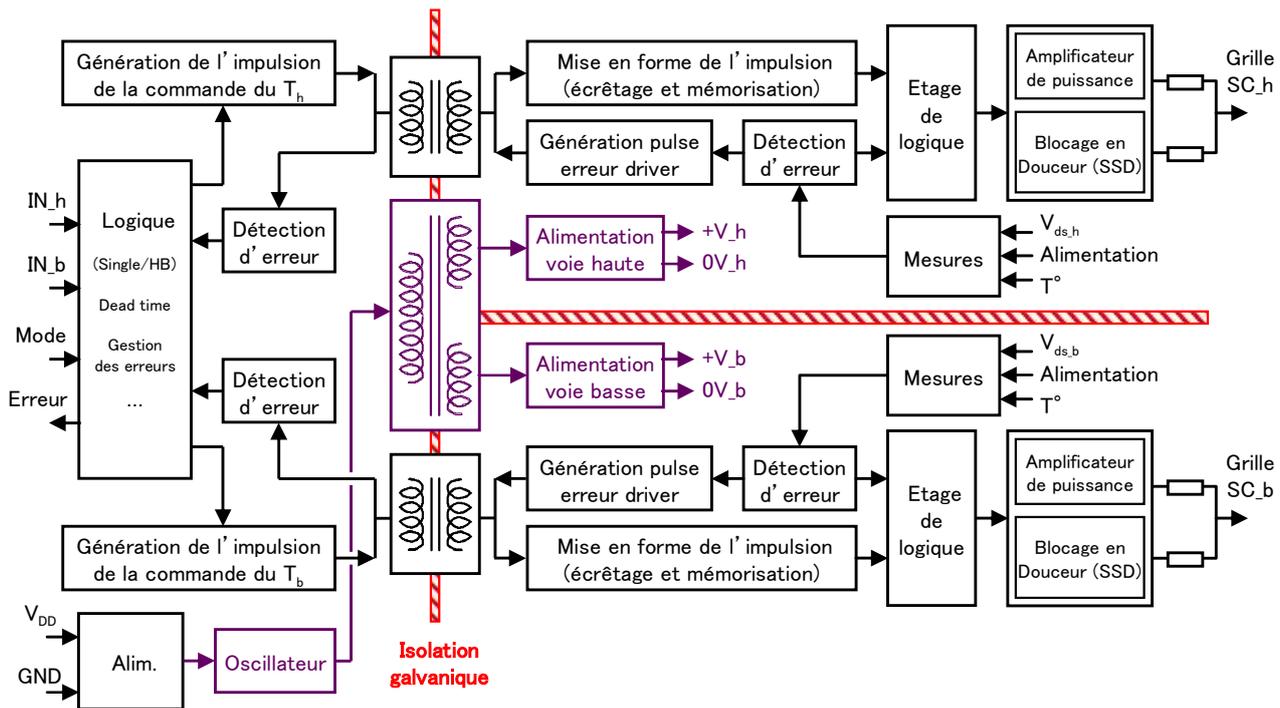


Figure I-18 : Synoptique d'un driver conventionnel  
(transmission des ordres de commande par transformateurs d'impulsions)

Sur le synoptique de la figure I-18, on distingue l'étage primaire (à gauche) et 2 étages secondaires (à droite) rigoureusement symétriques permettant un pilotage approprié des 2 transistors de puissance d'un bras de pont. Dans le cas du MOSFET, ces deux derniers blocs sont référencés par rapport au potentiel de source de chaque transistor.

### B.2 Transmission des ordres de commutation par voie isolée

L'isolation galvanique permet d'isoler électriquement les circuits primaires et secondaires. Elle joue un rôle fonctionnel (séparation des potentiels de source des transistors de puissance) et sécuritaire en cas de défaillance du composant de puissance. Le type d'isolation est choisi en fonction de la gamme de tension utilisée. L'isolation galvanique concerne la transmission des ordres de commande mais aussi le circuit d'alimentation de la carte. L'alimentation en énergie du circuit secondaire est très souvent réalisée par un transformateur.

Comme décrit dans le tableau 1, la transmission des ordres de commande à travers l'isolation galvanique peut être réalisée par quatre technologies différentes :

- Optocoupleur
- Transformateur (avec ou sans ferrite)
- Fibre optique
- Liaison capacitive
- Couplage piézo-électrique [15]

Les optocoupleurs sont largement utilisés dans les applications de faible à moyenne puissance. A titre d'exemple, l'usage d'optocoupleurs est très courant pour des applications automobiles. Ils sont peu onéreux et peu volumineux mais présentent parfois une capacité parasite non négligeable introduisant ainsi une circulation de courants de mode commun entre les circuits primaire et secondaires (perturbations électromagnétiques). D'autre part, le mode de claquage de ces éléments encapsulés n'est pas maîtrisé et peut potentiellement court-circuiter les circuits primaires et secondaires. Leur utilisation est donc généralement limitée au domaine de la basse tension (<1000V).

Les transformateurs d'impulsions sont couramment utilisés pour les applications de moyenne à forte puissance (type ferroviaire). Ils présentent un faible couplage capacitif entre circuits primaire et secondaire mais nécessitent une électronique dédiée pour la mise en forme des impulsions. En outre, le mode de claquage est parfaitement maîtrisé puisqu'il est directement fonction de la tenue en tension entre les enroulements primaires et secondaires. Les transformateurs de type planaires (avec ferrites ou « coreless ») présentent en outre, une bonne fiabilité et une excellente reproductibilité ainsi qu'une tenue en tension qui est directement fonction de l'épaisseur de diélectrique entre les différents enroulements.

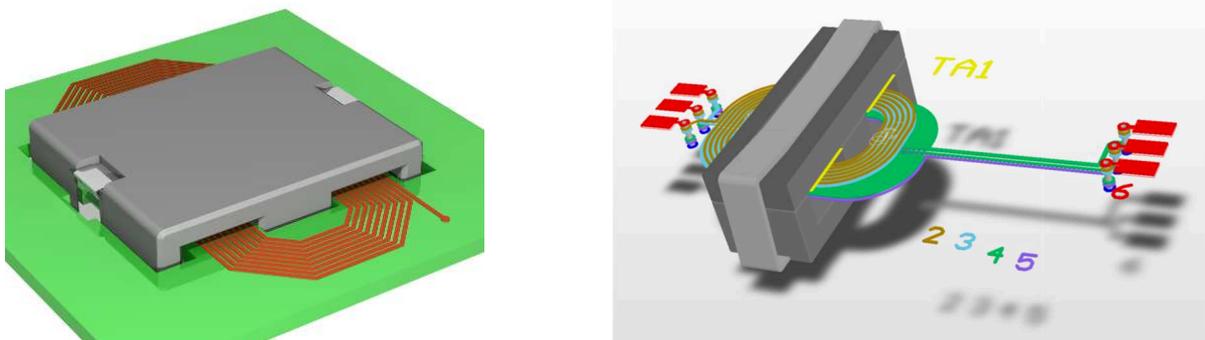


Figure I-19 : Exemples de design de transformateurs planaires

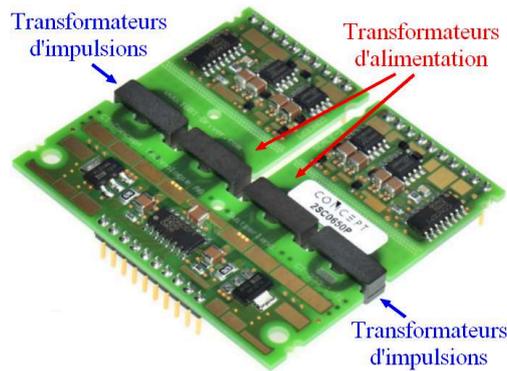


Figure I-20 : Cœur driver 2SC0650P de Concept (Demi-pont)

En dehors des applications à fortes puissances, l'utilisation de fibre optique est relativement marginale en raison de son coût et des contraintes d'intégration d'éléments optroniques. Elle permet néanmoins une isolation électrique optimale ainsi qu'une immunité face aux perturbations électromagnétiques.

Les liaisons par couplage capacitif sont très peu onéreuses et réservées aux applications basses tensions. Le recours à ce type d'isolation est de moins en moins courant et réservé à des applications très spécifiques. Le couplage par transformateur piézo-électrique présente également des capacités parasites non-négligeables [15].

Le dimensionnement de la barrière d'isolation galvanique dans le driver doit être optimisé de manière à éviter la circulation de courants de mode commun. Dans tous les cas, il existe deux circuits isolés au sein du driver : le circuit primaire qui est relié à l'électronique de commande (dite « basse tension ») et le circuit secondaire relié au composant de puissance qui constitue un élément d'une chaîne de conversion d'énergie.

Compte-tenu de l'incertitude quant au mode de claquage des optocoupleurs et les difficultés d'intégration de fibres optiques dans les avions, l'utilisation de transformateurs d'impulsions dans les drivers de grille est pertinente pour des applications aéronautiques. Dans notre système, la transmission des ordres de commande à travers l'isolation galvanique du driver sera ainsi réalisée par transformateur d'impulsions : une impulsion positive provoque un amorçage du composant tandis qu'une impulsion négative provoque le blocage du semi-conducteur de puissance (voir figures I-22 et I-23). Bien souvent un usinage additionnel est réalisé entre les deux voies secondaires dans le cas d'un bras de pont (half-bridge). Elle permet de limiter les risques de claquage liés notamment au dépôt de poussières et à l'humidité sur la carte driver. Les lignes de fuite et les distances d'isolement à respecter sont différentes d'une application à l'autre et sont clairement définies par les normes en vigueur (ex : IPC2221).

On remarque sur la carte présentée à la figure I-20, la présence de quatre transformateurs planaires pour un driver de grille pilotant 2 semiconducteurs dans une structure demi-pont. Chaque voie contient un transformateur dédié à l'alimentation des circuits électroniques et un transformateur d'impulsions dédié à la transmission des ordres de commutation au composant de puissance.

Les transformateurs d'impulsions nécessitent des circuits de mise en forme spécifiques à la transmission du signal de commande. La figure I-21 présente deux exemples de circuits permettant

la génération et la transmission d'une impulsion de commande du circuit primaire au circuit secondaire.

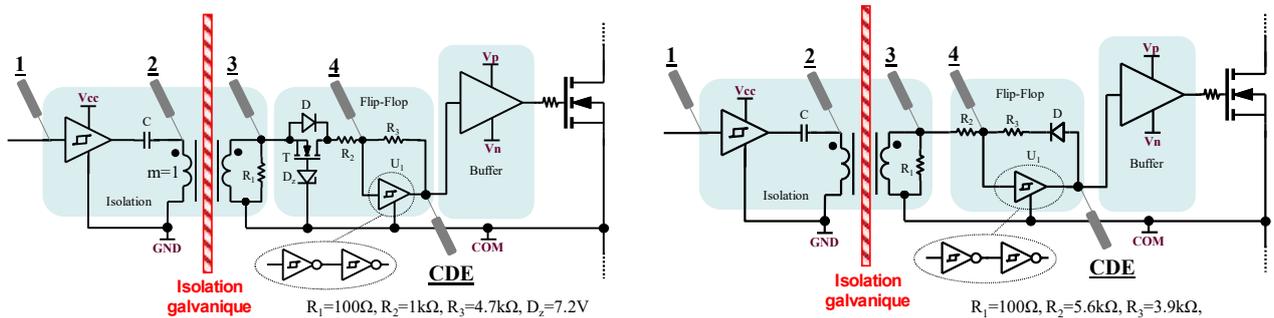


Figure I-21 : Circuits de transmission par impulsions simplifiés de l'Infineon 2ED300C17 (à gauche) et du SKYPER32RPRO de Semikron (à droite) [12]

Les ordres de commande sont véhiculés par la transmission d'impulsions positives ou négatives selon s'il s'agit d'un ordre d'amorçage ou de blocage. Dans le cas des circuits présentés à la figure I-21, les impulsions sont générées par un front montant ou descendant au travers un circuit oscillant constitué du condensateur C, de l'inductance magnétisante du transformateur et de la résistance ramenée au primaire. Les figures I-22 et I-23 présentent les relevés effectués lors de l'analyse approfondie des drivers de grille Infineon 2ED300C17 et Semikron SKYPER32PRO effectué au laboratoire IETR.

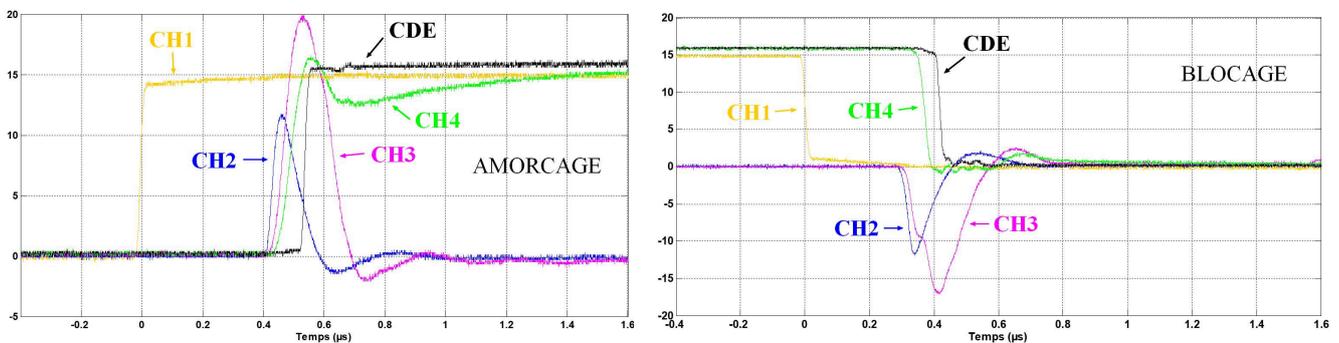


Figure I-22 : Relevés de transmission des ordres d'amorçage (à gauche) et de blocage (à droite) sur 2ED300C17 d'Infineon

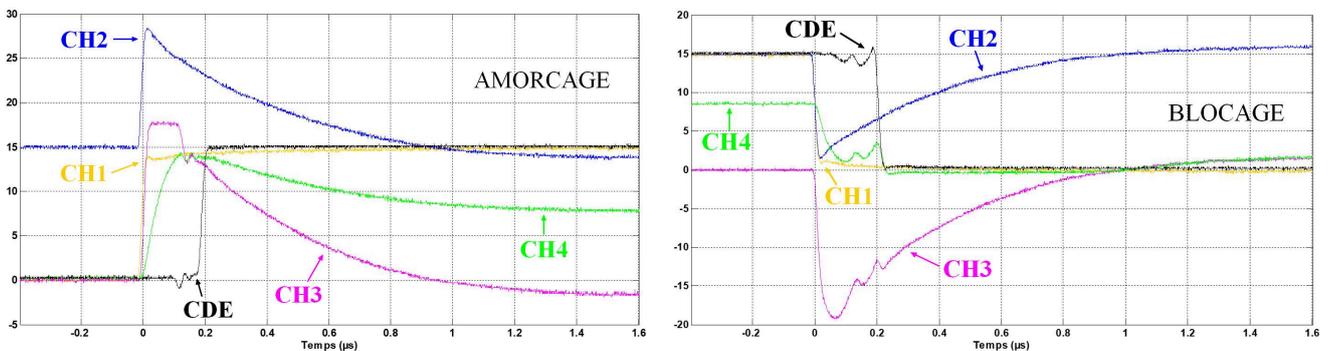


Figure I-23 : Relevés de transmission des ordres d'amorçage (à gauche) et de blocage (à droite) sur SKYPER32RPRO de Semikron

Depuis plusieurs années, le laboratoire IETR s'intéresse à la commande des composants à semi-conducteur de puissance de type MOSFET SiC et a déjà fait l'objet d'une thèse sur l'intégration de moyens de communication sur les cartes driver [9].

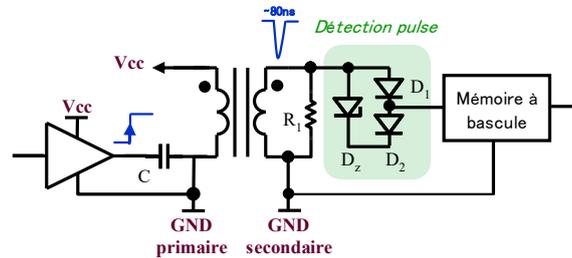


Figure I-24 : Circuit de transmission par impulsion du driver YEC0375 (ECA group / IETR)

En ce qui concerne le driver YEC0375, les impulsions sont relativement courtes en comparaison des drivers Infineon et Semikron (quelques dizaines de nanosecondes). Dans ce cas, le délai de propagation dans l'étage de transmission de commande par impulsions est réduit. D'autre part, l'utilisation d'impulsions courtes est avantageuse pour le pilotage de composants grands gaps qui permettent un fonctionnement à plus haute fréquence de découpage.

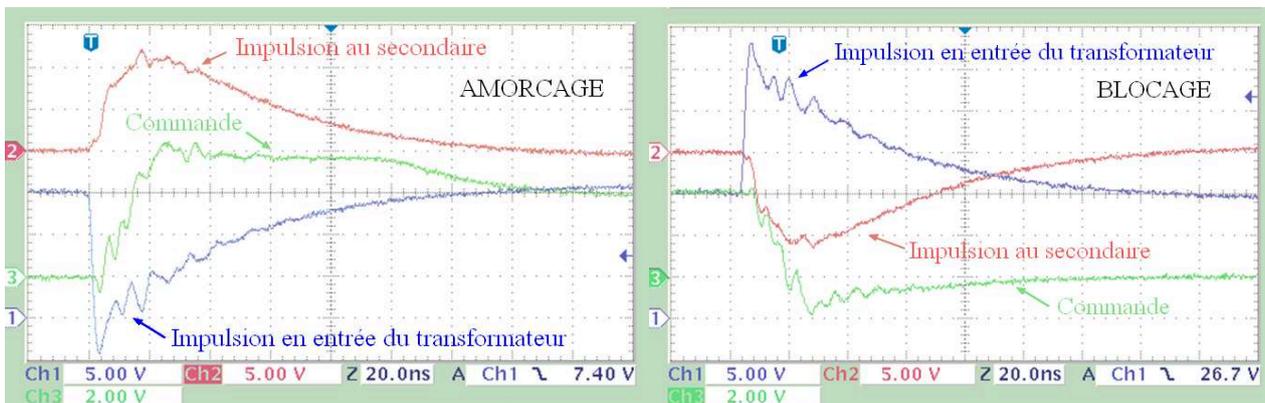


Figure I-25 : Transmission de commande par impulsion du driver YEC0375 (ECA group / IETR)

### B.3 Alimentation du circuit de commande rapprochée

L'alimentation en énergie d'un driver de grille peut être réalisée par un convertisseur isolé faible puissance ou un circuit bootstrap pour les applications low-cost/basse tension [16]. Quelques études ont été menées sur l'alimentation isolée par voie optique ou par prélèvement sur la tension de bus dans le cadre de l'application driver. Des détails sont fournis à la section III.C.1. D'une part, les composants MOSFET SiC pouvant fonctionner à fréquence plus élevée, l'alimentation en énergie des drivers doit permettre d'acheminer plus d'énergie que leurs équivalents IGBT (quelques Watts supplémentaires). D'autre part, la problématique des courants de mode commun est beaucoup plus

contraignante de par la rapidité de commutation des composants SiC, une vigilance particulière doit donc être accordée aux capacités parasites introduites par les éléments nécessaires à l'alimentation.

Dans les cartes driver, le circuit secondaire est la plupart du temps alimenté en énergie depuis le circuit primaire par l'intermédiaire d'un convertisseur DC-DC isolé. Cette structure exploite dans tous les cas un transformateur, la plupart du temps associé à un pont de diode (faible puissance requise). Une association de type push-pull non-régulée permet un fonctionnement stable en boucle ouverte de l'alimentation. En effet, une régulation de la tension de sortie nécessite un élément d'isolation additionnel (ex : optocoupleur), ce qui n'est pas avantageux dans le cas des circuits drivers. Deux exemples de circuit d'alimentation sont donnés à la figure I-26.

La consommation en énergie du circuit secondaire est fortement tributaire de la fréquence de commutation du composant de puissance et l'énergie nécessaire à la charge de la grille. En effet, l'étage de sortie permet d'injecter des courants de grille impulsionnels importants sur les phases transitoires afin de permettre une commutation rapide du transistor de puissance. Les courants impulsionnels étant fournis par des capacités de découplage, l'étage de sortie présente cependant une consommation relativement faible en régime statique ( $< 5W$ ). Dans le circuit driver, on peut donc qualifier le circuit d'alimentation de faible puissance, ce qui permet quelques souplesses architecturales car le rendement n'est pas un facteur limitant en regard des niveaux de puissance mis en jeu dans le composant de puissance adressé. Les structures présentées à la figure I-26 sont très largement utilisées dans les circuits drivers malgré l'aspect non-conventionnel de ces convertisseurs d'énergie.

Dans notre notation, la borne COM ( $V_{COM} = 0V$ ) indique toujours le potentiel de référence des circuits logiques.  $V_p$  et  $V_n$  désignent respectivement une tension d'alimentation positive et négative,  $V_S$  désignera toujours le potentiel de source du transistor de puissance (cas du MOSFET).

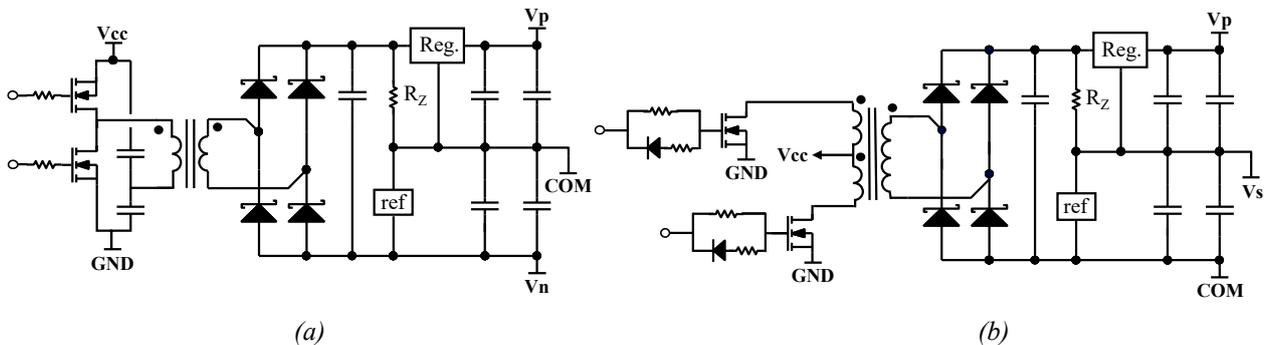


Figure I-26 : Alimentation circuit secondaire du driver Semikron SKYPER32PRO (a) et Concept 2SC0650P (b) [12]

La tension de sortie de l'alimentation isolée d'un driver correspond à l'excursion maximale en tension nécessaire à la commande de grille du composant de puissance ( $V_{GS}$ ). Le potentiel COM peut être référencé à la source du MOSFET de puissance ( $COM=V_S$ ) ou être choisi au potentiel le plus bas du circuit ( $COM=V_n$ ). Les caractéristiques de ces deux topologies sont détaillées dans la première partie du tableau 3. Dans les deux cas, la tension de commande  $V_{GS}$  est la même (classiquement pour un MOSFET SiC :  $V_{GS,on} = +20V$  et  $V_{GS,off} = -5V \rightarrow V_{DD} = 25V$ ).

D'un fabricant à l'autre, les niveaux de tension d'alimentation des circuits logiques varient également. Les circuits drivers pour composants IGBT sont munis d'alimentation symétriques +15V/-15V et ont donc déjà la possibilité d'alimenter la partie logique en 15V ( $V_p$ ). La logique 5V est une logique plus rapide avec des temps de propagation plus faibles (portes logiques faiblement capacitives) mais elle nécessite l'implémentation d'un régulateur supplémentaire spécifique aux circuits logiques. Le tableau 3 présente les résultats d'analyse de quelques drivers de grille étudiés par l'équipe de l'IETR.

*TABLEAU 3  
Stratégies adoptées par les fabricants de drivers*

Potentiel de référence des circuits logiques (COM) par rapport à $V_s$	$V_s = \text{COM} = 0V$	$\text{COM} < V_s$
Références	Semikron SKYPER32RPRO Semikron SKHI27W Eupec / Infineon 2ED300C17 Cree PT62SCMD12-17 (SiC)	Concept 2SC0650 YEC0375 (SiC) <b>Démonstrateur Safran / IETR</b>
Caractéristiques	- 2 alimentations ( $V_p$ et $V_n$ ) - Gestion tensions négatives - Potentiel de référence stable	- Une seule alimentation ( $V_p$ ) - Potentiel de référence pouvant varier légèrement
<b>Alimentation des circuits logiques du secondaire</b>	<b>+15V</b>	<b>+5V</b>
Références	Semikron SKYPER32RPRO Semikron SKHI27W Eupec / Infineon 2ED300C17 Concept 2SC0650*	Cree PT62SCMD12-17 (SiC) YEC0375 (SiC)
Caractéristiques	- Temps de propagation élevés - Simplicité / Fiabilité - Bon rapport signal / bruit	- Latences réduites - Alimentation régulée supplémentaire - Rapport signal / bruit plus faible

\* ASIC alimenté en 15V (circuit intégré)

On remarque que la logique 5V est préférée pour le pilotage de composants SiC car le Carbure de Silicium permet un fonctionnement à plus haute fréquence. Les temps de propagation des portes logiques sont minimisés avec de la logique basse tension.

### B.4 Amplification de sortie

L'étage de sortie (ou plus communément « gate driver ») permet d'apporter le courant de grille nécessaire à la charge des capacités  $C_{GS} + C_{GD}$  ( $= C_{iss}$ ) du composant de puissance. Actuellement, deux types de buffers de sortie sont largement utilisés : le montage à transistor bipolaire et le montage à transistor MOSFET.

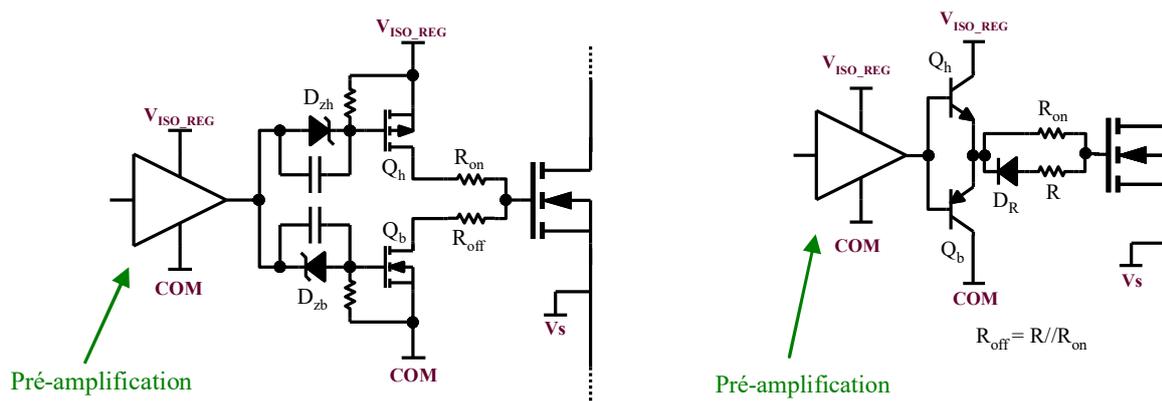


Figure I-27 : Montage à transistor MOSFET (à gauche) et montage à transistor bipolaire (à droite)

Les résistances de grille  $R_{on}$  et  $R_{off}$  permettent le réglage de la pente de commutation à l’amorçage et au blocage car elles limitent le courant injecté et extrait dans la grille. Avec une résistance faible, la commutation est rapide et les pertes sont minimales mais les perturbations électromagnétiques engendrées à la commutation sont maximisées. Il s’agit donc ici de trouver le meilleur compromis possible entre pertes et impact CEM (Compatibilité ÉlectroMagnétique). On notera sur les schémas de la figure I-27 une différence structurelle dans le câblage des résistances  $R_{on}$  et  $R_{off}$ . Cette différence est liée au régime de fonctionnement des deux montages.

Le montage à transistor MOSFET fonctionne en régime de commutation (rail-to-rail). Si aucun temps mort n’est implémenté, la différence de rapidité entre PMOS et NMOS introduit un bref court-circuit de bras à la commutation. Les résistances  $R_{on}$  et  $R_{off}$  ont ici une double fonction : elles limitent les appels de courant dans la grille ainsi que le courant de court-circuit de bras de l’amplificateur. Dans le domaine de l’électronique de puissance, les appels de courant dans la grille peuvent être importants (jusqu’à 20A impulsionnels). De plus, les résistances  $R_{on}$  et  $R_{off}$  ont des valeurs relativement faibles (quelques ohms). On utilise donc généralement plusieurs résistances de type MELFs (Metal Electrode Leadless Face) afin de répartir correctement les pertes par effet Joule. Les résistances MELFs sont connues pour leur fiabilité et possèdent des caractéristiques électriques particulièrement stables sous l’effet de l’humidité ou de la température. Un autre inconvénient de ce montage est le décalage en tension nécessaire à la commande du transistor à canal P.

Le montage à base de transistors bipolaires fonctionne en régime linéaire et assure une amplification du signal de commande généré par le pré-amplificateur. Les inconvénients de ce dernier montage sont le gain dynamique en courant ( $\beta$ ) non-maîtrisé et une excursion de la tension de sortie limitée par les chutes de tensions de l’amplificateur.

Il existe d’autres structures permettant de réaliser l’étage de sortie d’un Driver. Le pont en H (H-bridge) est un circuit utilisant 2 transistors NMOS et 2 transistors PMOS. Il a l’avantage de pouvoir appliquer des signaux de commande symétriques en utilisant une seule alimentation. Toutefois, l’utilisation d’un potentiel de source non stabilisé augmente la complexité de la commande et diminue la fiabilité du driver. Ce montage peut s’avérer très pratique dans le cas d’une commande symétrique où  $V_{GS,on} = -V_{GS,off}$  (cas des IGBT), ce qui n’est pour l’instant pas le cas des composants de puissance WBG (Wide Band Gap). Il rend également très complexe la gestion de la surveillance de la tension

$V_{DS}$  (ou  $V_{CE}$  pour un IGBT) car le potentiel de source du transistor de puissance n'est pas fixe par rapport à la tension de commande (GND).

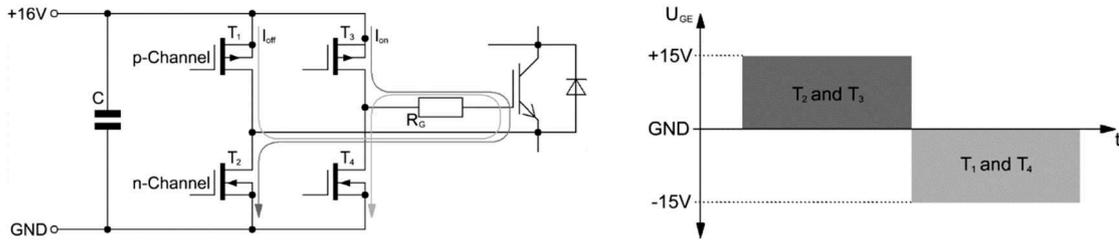


Figure I-28 : Commande d'IGBT par pont en H [16]

La commande par étage de sortie résonnant a fait l'objet de nombreuses recherches [17]–[26] mais est très peu implémentée à l'échelle industrielle, la diminution des pertes dans le circuit de commande rapprochée n'étant pas une priorité. La commande à étage de sortie résonnant désigne l'insertion d'un élément inductif à la place de la résistance de grille afin d'emmagasiner de l'énergie en prévision d'une commutation. Un exemple est donné à la figure I-29.

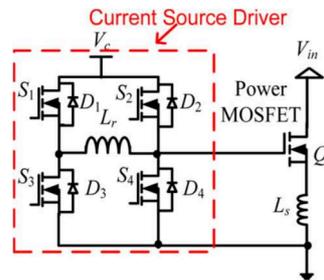


Figure I-29 : Driver de grille résonnant [27]

Cette structure est assimilée à une source de courant puisqu'en régime dynamique (lors de la commutation), l'inductance fonctionne en générateur de courant pendant un temps court. Si le dimensionnement est correct, l'inductance permet de fournir le courant impulsionnel nécessaire à la charge de la capacité Grille-Source. Ce montage permet en théorie le pilotage d'un MOSFET sans résistance de grille pour limiter le courant. En pratique, il existe toujours au minimum la résistance d'accès à la métallisation de grille de la puce et surtout les résistances  $R_{DS(on)}$  des transistors du pont en H.

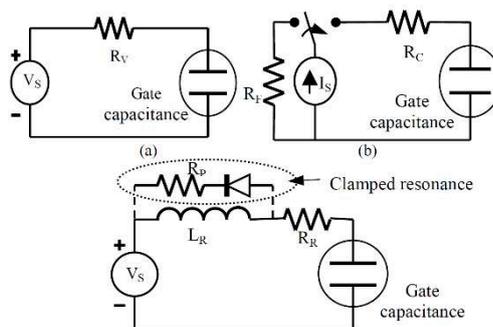


Figure I-30 : Comparaison de la commande de grille (a) en tension, (b) en courant et (c) par circuit résonnant [28]



- L'augmentation de la tension aux bornes du canal de conduction du MOSFET par accroissement du courant de drain ;
- L'apparition d'une tension aux bornes des inductances de câblage internes aux modules [12].

Il ne s'agit donc pas d'une mesure du courant mais bien de la détection d'une tension  $V_{DS}$  anormale liée à un courant de court-circuit. La méthode de détection la plus simple consiste à fixer un seuil de tension à ne pas dépasser mais il est également possible d'utiliser une courbe de gabarit. La détection de court-circuit par désaturation nécessite l'implémentation d'un temps de masquage (blanking time) après l'amorçage du transistor de puissance pendant lequel le régime de commutation chaotique impose d'inhiber la détection de court-circuit. Dans le cas de l'utilisation d'un « gabarit de courbe », lorsque  $T$  est passant, la tension Drain-Source est comparée à un régime transitoire du premier ordre ( $R_s C_s$ ). L'utilisation d'un gabarit permet de diminuer fortement le blanking time. Cependant, l'implémentation de cette technique peut induire des risques de déclenchement intempestifs des circuits de protection. Pire, la lenteur du régime transitoire  $R_s C_s$  peut impliquer un retard non-maîtrisé dans le mécanisme de détection de court-circuit lors de la croissance du  $V_{DS}$  (seuil de déclenchement variable). Une analyse des choix des concepteurs de driver est proposée dans le tableau 4.

TABLEAU 4  
Analyse du choix de la méthode de détection de court-circuit utilisée

Détection de courts-circuits	Référence fixe + blanking time	Gabarit de courbe
Références produits	Cree PT62SCMD12-17 (SiC) Concept 2SC0650 YEC0375 (SiC) <b>Démonstrateur Safran / IETR</b>	Eupec / Infineon 2ED300C17 Semikron SKYPER32RPRO Semikron SKHI27W
Caractéristiques	- CC non-délectable pendant le temps de masquage - Seuil fixe parfaitement maîtrisé	- Mise en œuvre plus complexe - Risques de déclenchements intempestifs - Nécessite généralement aussi un petit temps de masquage

Il existe alors deux cas : le court-circuit apparaît pendant la phase de commutation, avant la fin du temps de masquage (CC de type I) ou pendant la phase de pleine conduction (CC de type II). Dans le premier cas, le plus défavorable, la détection de court-circuit ne peut se faire qu'à la fin du blanking time pouvant ainsi occasionner le passage de forts courants de court-circuit. Le temps de masquage doit donc être paramétré au plus juste. S'il est trop court, des détections d'erreurs intempestives sont à prévoir, tandis que s'il est trop long, il y a risque de casse du composant de puissance par sur-échauffement. Le paramétrage du blanking time doit tenir compte du temps de commutation des transistors et de la durée du régime transitoire sur  $V_{DS}$  lié à la commutation (phase chaotique). Dans les schémas de la figure I-31, le transistor  $Q_{ci}$  permet d'inhiber la détection de court-circuit pendant le temps de masquage (blanking time) en imposant un potentiel nul en entrée du comparateur.

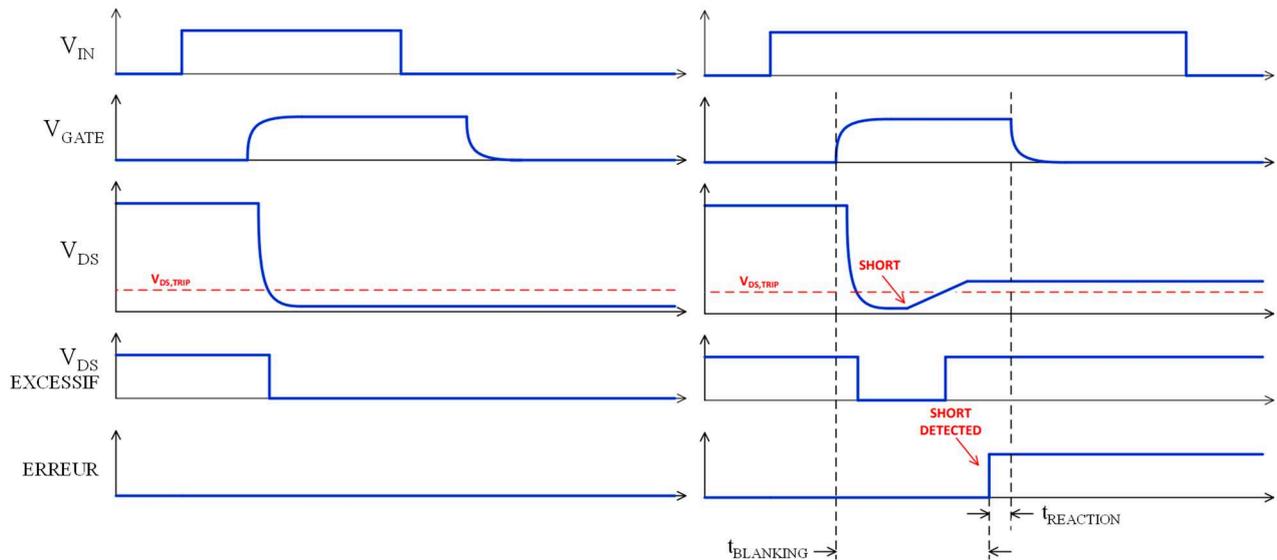


Figure I-32 : Chronogrammes en fonctionnement normal (à gauche) et lors d'un court-circuit de type I (à droite) du driver<sup>5</sup>

Le mécanisme de détection de court-circuit par désaturation nécessite donc obligatoirement un temps de masquage. Cependant, les mécanismes de mise en protection (une fois le court-circuit détecté) nécessitent également un temps de réaction que l'on souhaite le plus faible possible. La combinaison de ces deux durées doit être considérée lors du dimensionnement des systèmes de protection.

D'autre part, la détection de court-circuit s'accompagne du renvoi d'un message d'erreur vers le circuit primaire. Dans le cas de la transmission des commandes par transformateur d'impulsions, le message d'erreur est opéré par une longue impulsion appliquée sur l'enroulement secondaire [12].

### B.5.2 Blocage en douceur (SSD)

Le Soft Shut Down (SSD) ou blocage en douceur est une technique limitant le  $di/dt$  dans le transistor de puissance pendant le blocage. Ce circuit s'active si une erreur est détectée (court-circuit, sous-alimentation...). Une impédance de grille plus élevée est alors exceptionnellement utilisée permettant une ouverture plus lente du transistor (et donc avec plus de pertes) [12]. Ceci permet d'éviter l'apparition d'une tension excessive aux bornes du composant (phénomène lié aux inductances parasites dans la cellule de commutation). Ce dispositif permet donc de prévenir un éventuel claquage du composant de puissance en cas de blocage sous court-circuit.

<sup>5</sup> Prodrive Technologies – Cree, « Dual 1200-V SiC MOSFET Driver ». Disponible sur: <http://www.wolfspeed.com/media/downloads/569/PT62SCMD12.pdf>

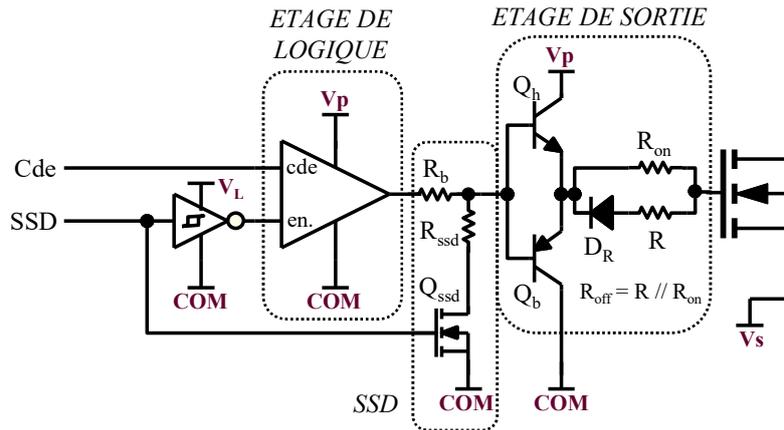


Figure I-33 : Etage de sortie et gestion SSD sur un étage de sortie à transistors bipolaires

Un exemple d'implémentation de la fonction SSD est présenté à la figure I-33. On profite ici du facteur  $\beta$  des transistors bipolaires pour augmenter l'impédance de grille vue par le composant de puissance lors du Soft Shut Down. Toutefois, le paramètre  $\beta$  varie d'un transistor à l'autre et est surtout difficile à quantifier en régime dynamique et sur une plage de tension importante. Cette méthode ne permet donc pas de prédéfinir parfaitement la pente de cette commutation. En outre, cette pente est susceptible de varier d'un driver à l'autre. Le réglage de la résistance  $R_{SSD}$  est donc généralement réalisé par une série d'essais.

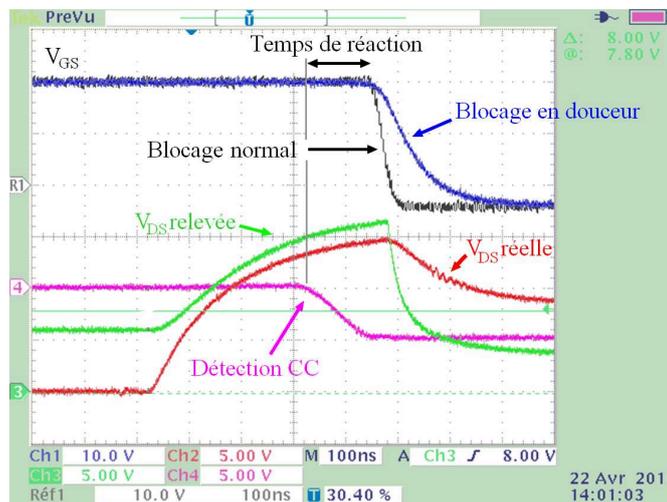


Figure I-34 : Activation du blocage en douceur (SSD) d'un driver conventionnel (YEC0375)

La figure I-34 présente une ouverture lente grâce à la fonction SSD. La différence de pente et de forme d'onde peut être facilement identifiée en comparant les courbes bleue et noire. On notera l'absence de plateau de Miller puisque les essais ont été effectués en remplaçant la jonction grille-source d'un MOSFET par un condensateur. Généralement, le contrôle commande est paramétré de manière à pouvoir tolérer quelques ouvertures par SSD avant de tout arrêter.

L'ajout de la fonction SSD sur l'étage de sortie à transistors MOSFET est présenté à la figure I-35. Le transistor  $Q_{ssd}$  est toujours passant sauf lors de l'activation du SSD. En fonctionnement normal,

on se ramène donc au montage de sortie Push-pull classique. La mise en conduction de  $Q_h$  entraîne l'amorçage du MOSFET de puissance au travers de la résistance de grille  $R_{on}$ . A l'inverse, lors du blocage, le transistor  $Q_b$  conduit et permet la décharge des capacités intrinsèques du MOSFET via la résistance  $R_{off}$ . L'ensemble  $Q_b$  et  $R_{SSD}$  forme un générateur de courant assurant une décharge contrôlée de la capacité de grille du MOSFET durant le mode SSD [12].

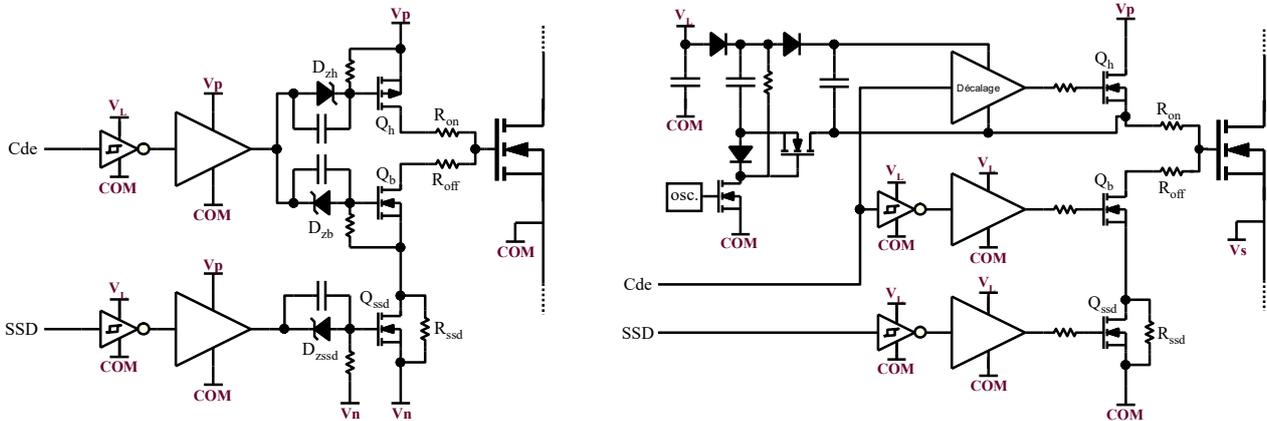


Figure I-35 : Etage de sortie et fonction SSD du driver SKYPERPRO32 de Semikron (à gauche) et 2SC0650 de Concept (à droite)

### B.5.3 Active Clamping

Le verrouillage Drain-Source (ou Active Clamping) permet de restreindre la tension Drain-Source ( $V_{DS}$ ) à une valeur ajustable. Il se décline en de nombreux montages. Dans sa version la plus simple des diodes sont câblées en écrêteur. Lorsqu'une surtension est détectée à l'ouverture du MOSFET, l'élément écrêteur permet le passage d'une partie du courant vers le driver. Ceci provoque l'élévation du potentiel de grille et ainsi la re-fermeture partielle du transistor de puissance. Cette re-fermeture contrôlée permet de ralentir l'ouverture du MOSFET ce qui provoque une limitation de la surtension et protège le composant. En d'autres termes, on exploite ici la surtension générée pour ré-injecter un courant dans le circuit de commande et ainsi auto-réguler le courant de grille par rétroaction.

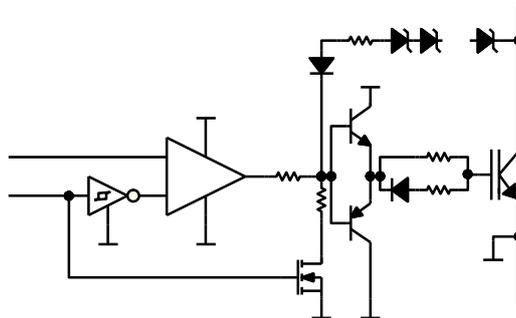


Figure I-36 : Active Clamping pour étage de sortie bipolaire

Les nombreuses déclinaisons de ce type de montage sont largement utilisées dans l'industrie [10] : *Conditional Active Clamping*, *Dynamic voltage rise control (DVRC)*, *Dynamic Active Clamping*...

### B.5.4 Autres circuits de protection fréquemment utilisés

Le « Two Level Turn-Off (TLTO) » est une fonction permettant le blocage en deux temps via une tension intermédiaire. Cette fonctionnalité est souvent mise en œuvre dans les topologies de circuits intégrés. Toutefois, elle n'est pas restreinte à ce domaine d'application. Le TLTO est souvent utilisé en complément d'autres mesures de protection. On peut voir à la figure I-37 que l'utilisation d'un niveau de tension intermédiaire lors du blocage permet de prévenir les fortes oscillations de la tension drain-source à la commutation.

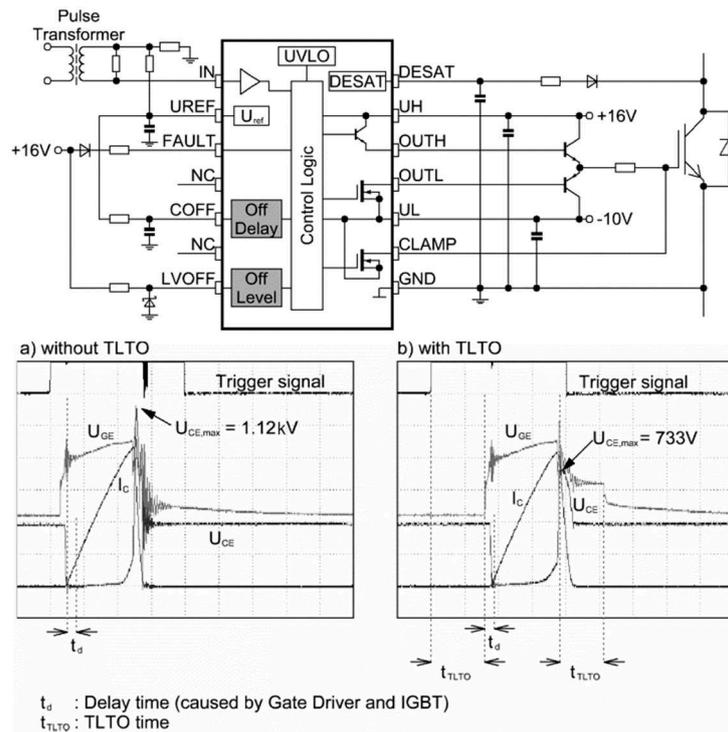


Figure I-37 : Schéma d'un driver IC avec TLTO intégré (TD350 de STmicroelectronics) et courbes de blocage normal (à gauche) et avec TLTO (à droite) [16]

D'autres moyens de surveillance innovants ont fait leur apparition comme l'intégration de boucles de Rogowski pour la mesure du courant de drain [27], la mesure de tension à l'état passant [32], la mesure de température à l'intérieur du module (capteur déporté de type thermistance NTC) ou encore l'estimation de la température de jonction [32]–[35]. La plupart de ces nouvelles fonctions sont implémentées dans des circuits driver pour le pilotage de composants IGBT et visent à permettre d'augmenter la fiabilité des convertisseurs de puissance.

## C. PROBLEMATIQUE CIBLEE

### C.1 Fiabilité des MOSFET SiC

Les performances électriques des MOSFET SiC rendent ces transistors extrêmement prometteurs pour le futur de l'électronique de puissance. Cependant, la faible maturité de cette nouvelle

technologie n'est pas sans poser de problèmes de fiabilité. De nombreuses études de robustesse sont donc actuellement menées pour définir les limites de la technologie SiC en termes de durée de vie pour améliorer la fiabilité de ces composants. Ces recherches, réalisées par vieillissement accéléré, doivent également permettre de définir des indicateurs de vieillissement. Au cours de ces essais, les composants sont soumis à des cycles de stress électrique et/ou thermique répétés et leur comportement à la défaillance est analysé.

Les composants à semi-conducteurs de puissance apparaissent comme l'un des facteurs de défaillance les plus critiques au sein d'une chaîne de conversion d'énergie [36]. Une première source de défaillance concerne le packaging et notamment le raccordement de la puce par « wire-bonding ». En effet, la rupture ou le décollement de ces fils de câblage est un problème bien connu des spécialistes de la fiabilité. Heureusement, de plus en plus d'alternatives existent pour fiabiliser la connectique [37]. Toutefois, le wire-bonding est encore très utilisé pour minimiser les coûts de fabrication. D'autre part, la résistance de canal des MOSFET SiC est plus importante que celle des MOSFET Si à géométrie équivalente. Ceci est dû à la faible mobilité des porteurs de charge ( $\mu_n, \mu_p$  : tableau 5) à l'interface SiC/SiO<sub>2</sub> et au phénomène de piégeage de charges à l'interface des mailles cristallines. Dans le but de minimiser la résistivité du canal, les MOSFET SiC ont donc été conçus avec une épaisseur d'oxyde de grille plus faible que leurs concurrents Silicium ( $\leq 50\text{nm}$ ) [38]. Toutefois, cette caractéristique engendre un effet tunnel plus important à travers l'oxyde de grille [38]–[41] et accroît le phénomène de piégeage de charges à proximité de la grille [42], [43]. Le phénomène de piégeage de charge est sans aucun doute lié à l'introduction de Carbone et à l'interfaçage des mailles cristallines SiC/SiO<sub>2</sub>. La qualité de l'interface entre l'oxyde de grille et le Carbure de Silicium semble donc être l'un des enjeux majeurs de cette nouvelle technologie.

TABLEAU 5

*Propriétés physiques de plusieurs matériaux semi-conducteurs utilisés dans les composants de puissance [44]*

Material	$E_g$ (eV) @300K	$\mu_n$ (cm <sup>2</sup> /V.s)	$\mu_p$ (cm <sup>2</sup> /V.s)	$v_{sat}$ (cm/s)	$E_c$ (V/cm)	$\lambda$ (W/cm.K)	$\epsilon_r$
Si	1.12	1 450	450	10 <sup>7</sup>	3×10 <sup>5</sup>	1.3	11.7
GaAs	1.4	8 500	400	2×10 <sup>7</sup>	4×10 <sup>5</sup>	0.54	12.9
3C – SiC	2.3	1000	45	2.5×10 <sup>7</sup>	2×10 <sup>6</sup>	5	9.6
6H – SiC	2.9	415	90	2×10 <sup>7</sup>	2.5×10 <sup>6</sup>	5	9.7
4H – SiC	3.2	950	115	2×10 <sup>7</sup>	3×10 <sup>6</sup>	5	10
GaN	3.39	1000	35	2×10 <sup>7</sup>	5×10 <sup>6</sup>	1.3	8.9
GaP	2.26	250	150		10 <sup>7</sup>	1.1	11.1
Diamond	5.6	2200	1800	3×10 <sup>7</sup>	5.6×10 <sup>7</sup>	20	5.7

L'utilisation optimale de composants SiC passe par le développement de circuits de commande adaptés et tenant compte des spécificités de cette nouvelle technologie [45]–[48]. Les premiers drivers pour MOSFET SiC disponibles sur le marché intègrent des fonctions déjà présentes dans les drivers d'IGBT ou MOSFET Si. L'implémentation de la surveillance de la tension drain-source ( $V_{DS}$ ) est fréquente dans les drivers et permet d'assurer l'intégrité du semi-conducteur dans le cas d'un court-circuit peu inductif. Les méthodes de détection usuelles présentent l'inconvénient d'être relativement lentes, supérieures à 600ns. Durant le court-circuit, la croissance du courant est extrêmement rapide

et ce délai est potentiellement problématique pour des applications où les modules de puissance SiC sont dimensionnés au plus juste. D'autres paramètres, témoignant du vieillissement du composant à semi-conducteur de puissance, peuvent être identifiés à travers les recherches académiques existantes. La dérive de ces paramètres devrait permettre de définir des indicateurs de vieillissement que le driver pourra surveiller. Ces mesures devraient permettre d'anticiper certaines défaillances pour des applications de haute fiabilité. Les solutions d'implémentation proposées doivent être compatibles avec la forte contrainte d'intégration du circuit driver et l'environnement sévère qui l'entoure.

### C.2 Contraintes de compatibilité électromagnétique (CEM)

Les contraintes de compatibilité électromagnétiques représentent un problème majeur dans la conception des drivers de grille. Ces contraintes sont d'autant plus importantes avec l'introduction de composants grands Gap tels que le SiC. En effet, la diminution des pertes dans ces composants nécessite des commutations de plus rapides. La commutation d'un composant à semi-conducteur de puissance s'accompagne donc d'une forte variation de potentiel drain-source en un temps très court ( $dv/dt$  jusqu'à  $100\text{kV}/\mu\text{s}$ ) [49]. L'électronique du circuit secondaire étant référencé par rapport à la source du composant piloté, cette forte variation de potentiel peut se retrouver entre les masses primaire et secondaire, selon l'état du transistor voisin. Comme le montre la figure I-38, les  $dv/dt$  ainsi générés lors de la commutation induisent le passage de courants de mode commun ( $I_{MC}$ ) à travers les capacités parasites des éléments d'isolation [50]–[53]. Ces capacités parasites doivent donc être minimisées et/ou les chemins de circulation des courants doivent être maîtrisés. La qualité de l'isolation électrique est donc un point essentiel dans la validation d'une carte driver. L'immunité aux bruits de mode commun peut-être validée par vérification de l'intégrité des signaux en présence d'une forte variation de potentiel ( $dv/dt$ ) [14].

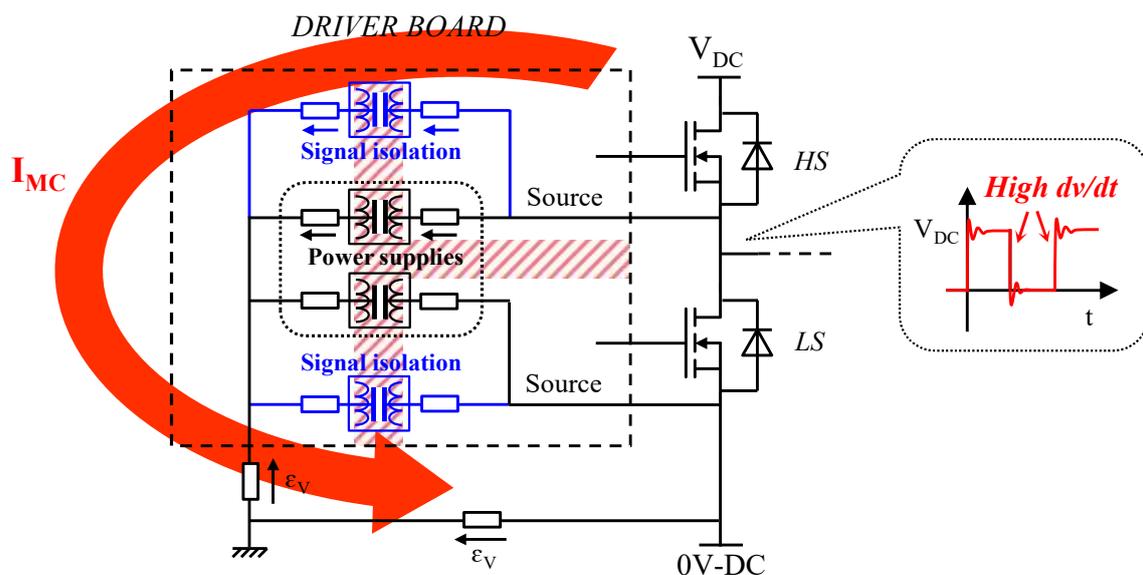


Figure I-38 : Modélisation des courants de mode commun à travers l'isolation électrique des cartes driver

En outre, la carte driver étant localisée au plus proche du circuit de puissance, le driver évolue dans un environnement perturbé par les champs générés par les fortes variations de courant ( $di/dt$ ). Le circuit driver de grille est donc soumis à de fortes contraintes électromagnétiques.

### C.3 Contraintes sécuritaires / aspect normatif

Même s'il ne s'agit que d'un évaluateur technologique, le démonstrateur présenté au chapitre IV a été conçu en tenant compte d'un certain nombre de contraintes liées aux normes d'isolation. Les modules ciblés sont de type MOSFET SiC 1200V, le terme 1200V (ou 1.2kV) fait référence à la tension maximale supportée par le composant de puissance. Les tensions nominales appliquées sur ce type de composant dépassent rarement 850V. La haute densité d'intégration nécessaire dans notre démonstrateur a été obtenue au prix de certaines concessions : des diodes d'isolement haute tension de type CMS ont permis un gain d'espace non négligeable mais la tension supportée par ces diodes est limitée à 1kV. Lors de la conception de l'évaluateur technologique, une tenue en tension de drain minimale de 1kV a donc été ciblée. Un isolement électrique est qualifié par deux grandeurs : les distances d'isolement (chemin le plus court dans l'air) et les lignes de fuites (lignes de circulation du courant en cas de dépôt de poussière sur la carte).

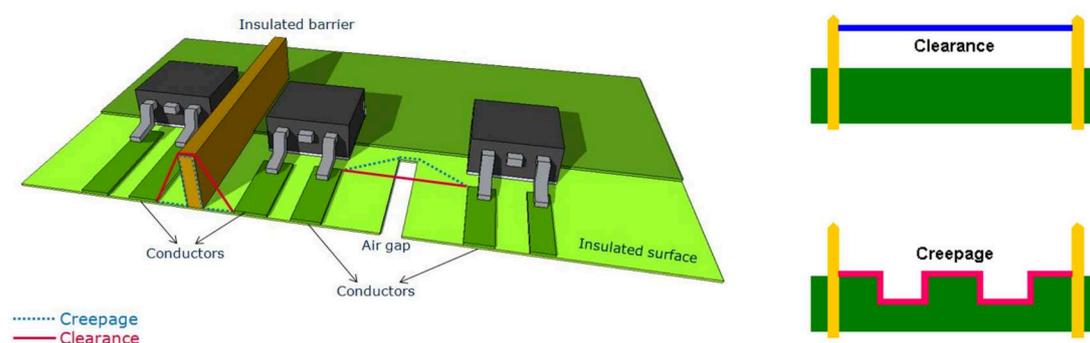


Figure I-39 : Définition des distances d'isolement (clearance) et des lignes de fuite (creepage)

A cela s'ajoute l'isolement entre les couches internes du PCB notamment dans le cas de transformateurs d'isolement planaires, cet isolement est en général peu contraignant grâce à la bonne tenue en tension des diélectriques de type Epoxy FR-4. Cette tenue en tension est définie par la rigidité diélectrique (FR-4 :  $>20\text{kV/mm}$ ). Toutefois, les normes d'isolement imposent des restrictions beaucoup plus contraignantes pour tenir compte du phénomène de décharges partielles en environnement aéronautique entre autres. Par exemple, les normes imposent une épaisseur de FR-4 de l'ordre de  $500\mu\text{m}$  pour des tensions de bus DC de l'ordre de 1500V. Le design d'une carte driver est aussi contraint par les distances d'isolement liées au claquage dans l'air ou "clearance". Selon la norme IPC-2221, les distances d'isolement à respecter sont données dans le tableau de la figure I-40.

Voltage Between Conductors (DC or AC Peaks)	Minimum Spacing						
	Bare Board				Assembly		
	B1	B2	B3	B4	A5	A6	A7
0-15	0.05 mm [0.00197 in]	0.1 mm [0.0039 in]	0.1 mm [0.0039 in]	0.05 mm [0.00197 in]	0.13 mm [0.00512 in]	0.13 mm [0.00512 in]	0.13 mm [0.00512 in]
16-30	0.05 mm [0.00197 in]	0.1 mm [0.0039 in]	0.1 mm [0.0039 in]	0.05 mm [0.00197 in]	0.13 mm [0.00512 in]	0.25 mm [0.00984 in]	0.13 mm [0.00512 in]
31-50	0.1 mm [0.0039 in]	0.6 mm [0.024 in]	0.6 mm [0.024 in]	0.13 mm [0.00512 in]	0.13 mm [0.00512 in]	0.4 mm [0.016 in]	0.13 mm [0.00512 in]
51-100	0.1 mm [0.0039 in]	0.6 mm [0.024 in]	1.5 mm [0.0591 in]	0.13 mm [0.00512 in]	0.13 mm [0.00512 in]	0.5 mm [0.020 in]	0.13 mm [0.00512 in]
101-150	0.2 mm [0.0079 in]	0.6 mm [0.024 in]	3.2 mm [0.126 in]	0.4 mm [0.016 in]	0.4 mm [0.016 in]	0.8 mm [0.031 in]	0.4 mm [0.016 in]
151-170	0.2 mm [0.0079 in]	1.25 mm [0.0492 in]	3.2 mm [0.126 in]	0.4 mm [0.016 in]	0.4 mm [0.016 in]	0.8 mm [0.031 in]	0.4 mm [0.016 in]
171-250	0.2 mm [0.0079 in]	1.25 mm [0.0492 in]	6.4 mm [0.252 in]	0.4 mm [0.016 in]	0.4 mm [0.016 in]	0.8 mm [0.031 in]	0.4 mm [0.016 in]
251-300	0.2 mm [0.0079 in]	1.25 mm [0.0492 in]	12.5 mm [0.4921 in]	0.4 mm [0.016 in]	0.4 mm [0.016 in]	0.8 mm [0.031 in]	0.8 mm [0.031 in]
301-500	0.25 mm [0.00984 in]	2.5 mm [0.0984 in]	12.5 mm [0.4921 in]	0.8 mm [0.031 in]	0.8 mm [0.031 in]	1.5 mm [0.0591 in]	0.8 mm [0.031 in]
> 500 See para. 6.3 for calc.	0.0025 mm /volt	0.005 mm /volt	0.025 mm /volt	0.00305 mm /volt	0.00305 mm /volt	0.00305 mm /volt	0.00305 mm /volt

B1 - Internal Conductors  
 B2 - External Conductors, uncoated, sea level to 3050 m [10,007 feet]  
 B3 - External Conductors, uncoated, over 3050 m [10,007 feet]  
 B4 - External Conductors, with permanent polymer coating (any elevation)  
 A5 - External Conductors, with conformal coating over assembly (any elevation)  
 A6 - External Component lead/termination, uncoated, sea level to 3050 m [10,007 feet]  
 A7 - External Component lead termination, with conformal coating (any elevation)

Figure I-40 : Distances d'isolement définies dans la norme IPC2221

## C.4 Autres contraintes

À bord d'un avion, on distingue deux grandes familles d'actionneurs : les systèmes propulsifs et les fonctions non-propulsives (pressurisation, dégivrage, démarrage des moteurs, commandes de vol, actionnement des trains d'atterrissage, etc.). Avant les années 2000 et l'arrivée sur le marché de l'Airbus A320, la totalité de ces systèmes faisaient appels à des circuits mécaniques, hydrauliques ou pneumatiques. De nos jours, la tendance à l'électrification des systèmes non-propulsifs est de rigueur. L'électrification des systèmes permet effectivement des gains en termes de maintenance et de poids. En outre, la propulsion électrique est un axe de recherche majeur dans un contexte de prise de conscience écologique.

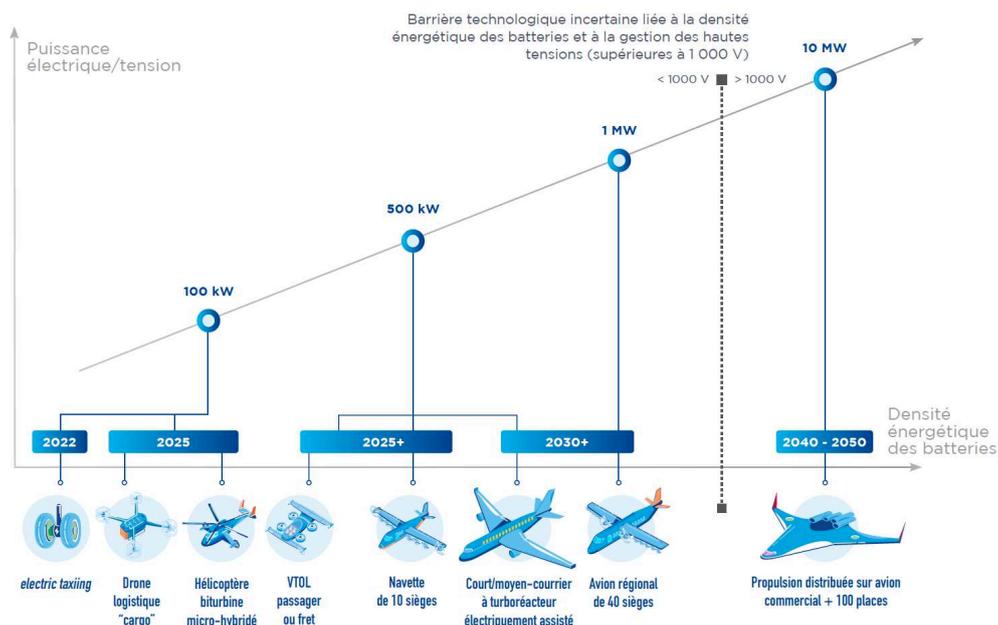


Figure I-41 : Perspectives futures pour l'électrification des systèmes aéronautiques selon Safran group [54]

Toutefois, en aéronautique, l'accroissement des performances ne peut se faire au détriment de la fiabilité des systèmes. En effet, les problématiques liées à la maintenance d'un aéronef sont nombreuses. D'autre part, les contraintes d'encombrement et de poids sont omniprésentes. Dans un aéronef, il y a corrélation directe entre la masse et la consommation de carburant.

En électronique de puissance, le refroidissement des composants est relativement coûteux en termes d'encombrement et de poids, c'est pourquoi les caractéristiques thermiques des MOSFET SiC sont très intéressantes dans le cadre d'une application aéronautique. En effet, ces derniers permettent un fonctionnement à haute température ( $>100^{\circ}\text{C}$ ), ce qui nécessite moins de refroidissement. Les dissipateurs thermiques peuvent alors être sous-dimensionnés, un refroidissement par convection naturelle peut être envisagé... Cependant, la proximité des circuits de commande rapproché (drivers de grille) impose également une bonne tenue en température de la carte driver. Plusieurs exemples d'intégration de carte driver sont donnés à la figure I-42. Dans le cas de notre évaluateur technologique, cette dernière contrainte n'a été que partiellement prise en compte ( $T \leq 85^{\circ}\text{C}$ ).



Figure I-42 : Assemblage des cartes driver au plus proche des modules de puissance

## D. STRATEGIE PROPOSEE

### D.1 Identification des indicateurs de vieillissement

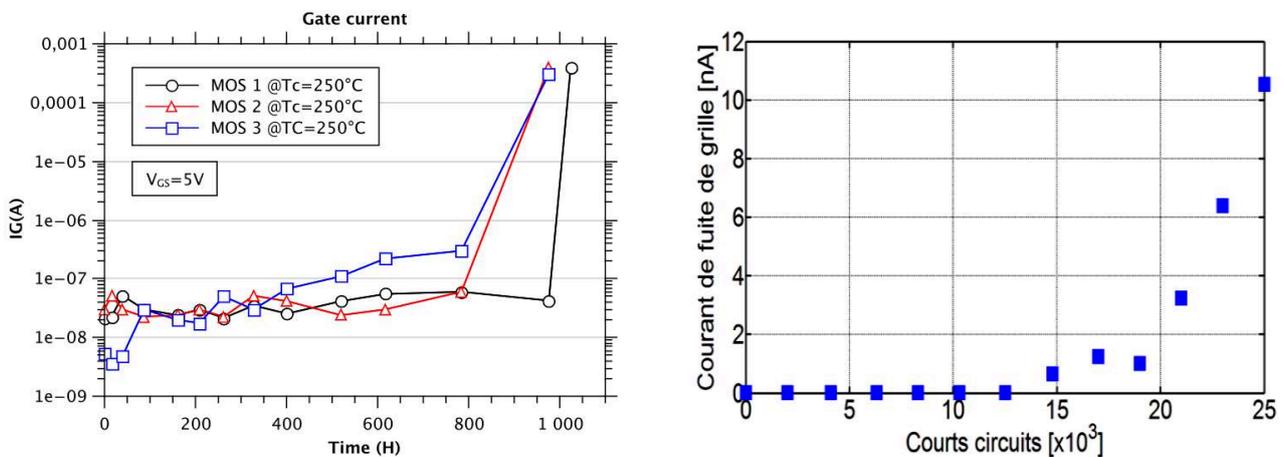
De nombreuses études sur la fiabilité des composants MOSFET SiC [55]–[60] ont été menées pour identifier les mécanismes de dégradation et définir des indicateurs de vieillissement. Ces recherches sont basées sur des méthodes de vieillissement accéléré en environnement sévère. Le composant testé est alors soumis à des cycles de stress thermique et/ou électrique (cyclages en court-circuit ou en mode d'avalanche) dans le but d'étudier son comportement à la défaillance. Concernant les tests de vieillissement, la répétition de courts-circuits est certainement l'un des plus sévères pour les composants de type MOSFET SiC. Dans [61], la température de destruction d'un composant SiC a été estimée à approximativement  $650^{\circ}\text{C} \pm 100^{\circ}\text{C}$ , très proche de la température de fusion de l'aluminium, confirmant une excellente tenue en température des composants à Carbone de Silicium. Comme décrit dans [62], deux mécanismes de défaillance ont été identifiés sur les essais par répétition de courts-circuits. Le premier mécanisme est lié à l'augmentation de courants de fuite à la mise en conduction du transistor NPN parasite. Le second porte sur la dégradation de l'interface substrat/oxyde de grille ( $\text{SiC}/\text{SiO}_2$ ) et de la métallisation de source. Ces dégradations sont liées aux niveaux de température atteints pendant les cycles de court-circuit et peuvent mener à des dommages

permanents [63]. D'autre part, les modes de défaillance liés au packaging doivent être également considérés.

*TABLEAU 6*  
*I<sub>GSS</sub> – EXEMPLE DE QUELQUES MOSFET SiC*

Type	Reference	Manufacturer	I <sub>GSS</sub> datasheet
1.2kV / 12A (TO-247)	SCT10N120	STmicroelec.	< 100 nA
1.2kV / 25A (TO-247)	LSIC1MO120E0080	Littlefuse	< 100 nA
1.2kV / 40A (TO-247)	SCH2080KE	Rohm Co.	< 100 nA
1.2kV / 40A (TO-247)	APT40SM120	Microsemi	< 100 nA
1.2kV / 60A (TO-247)	C2M0040120D	Cree Inc.	< 250 nA
1.2kV / 180A (module)	BSM180D12P3C007	Rohm Co.	< 500 nA
1.2kV / 300A (module)	CAS300M12BM2	Cree Inc.	< 100 nA

La plupart des études d'endurance menées ont rapporté une faiblesse au niveau de la grille des composants MOSFET SiC de première et deuxième génération [38], [57]–[60], [64], [65]. Comme le montre les graphes de la figure I-43, une remarquable évolution des courants de fuite de grille a été observée peu avant la défaillance des composants (jusqu'à quelques mA) [57]–[59]. Le paramètre  $I_{GSS}$  représente le courant de fuite de grille lorsque le drain et la source sont court-circuités. En se référant au tableau 6, ce paramètre est typiquement de l'ordre de la centaine voire quelques dizaines de nA. L'interprétation physique de ces observations est principalement la détérioration de l'oxyde de grille ( $\text{SiO}_2$ ). Après répétition de plusieurs court-circuits avec de fortes variations en température, des analyses de défaillance ont mis en évidence des fissures à proximité de l'oxyde de grille mais pas dans l'oxyde lui-même [66], [67]. Il en résulte à la défaillance, un comportement de type résistif entre grille et source qui peut être expliqué par la fusion de la métallisation de l'aluminium au niveau de l'interface grille-source comme décrit dans [68]. Une évolution des courants de fuite de drain ( $I_{DSS}$ ) a également été identifié dans certaines études [69]. En raison d'une forte évolution au cours des essais de robustesse, l'évolution des courants de fuite de grille est proposé comme un indicateur de vieillissement pour la surveillance de l'état de santé des composants MOSFET SiC.



*Figure I-43 : Evolution du paramètre  $I_{GSS}$  au cours de tests par vieillissement accéléré des MOSFET SiC [57], [58]*  
*Exemples d'essais par cyclage thermique (à gauche), et par stress électrique (à droite)*

Dans le cas de composants MOSFET SiC 10kV, une augmentation de la résistance à l'état passant  $R_{DS(on)}$  a été observée sans évolution significative du courant de fuite de grille ou de tension de seuil  $V_{TH}$ . Le mécanisme de défaillance est ici très différent, il implique la transformation de la métallisation de surface du composant laissant apparaître des trous à sa surface [68], [70]. L'augmentation de la résistivité du composant de puissance n'est pas imputable à la technologie SiC mais plutôt au câblage de la puce de puissance. En effet, il semblerait que les essais par vieillissement accéléré ont un impact significatif sur l'échauffement des fils de câblage (wire-bonding) et la détérioration du contact entre les bondings et la métallisation de surface [71]. Comme expliqué en section I.A.2.3., le décollement des bondings est une cause de défaillance avérée des composants de puissance. Dans [59], des essais de vieillissement à l'intérieur de la zone d'opération sûre (SOA : Safe Operating Area) ont été réalisés et les auteurs ont montré une évolution de  $R_{DS(on)}$  lors du vieillissement du composant. Comme le montre la figure I-44, plusieurs études de ce type ont également relevé une évolution relativement linéaire de la résistivité à l'état passant au cours de la durée de vie du composant [56], [58]–[60].

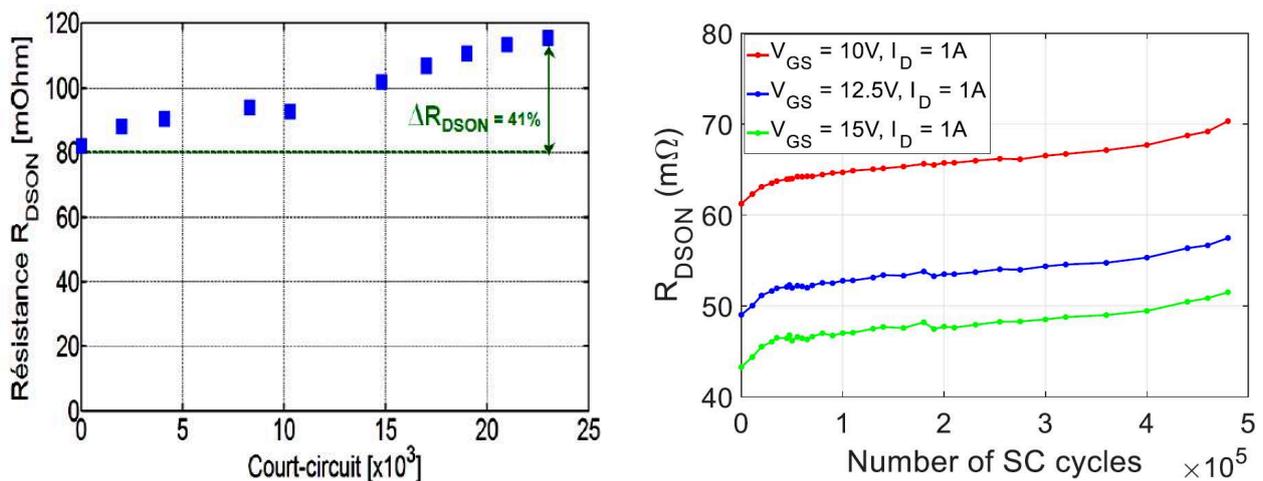


Figure I-44 : Evolution du paramètre  $R_{DS,ON}$  au cours d'un cyclage thermique sur MOSFET SiC [58]–[60]

Quelques études [42], [43] pointent aussi une évolution de la tension de seuil du composant en fonction du vieillissement. Néanmoins, ce paramètre paraît difficilement mesurable in situ par le circuit driver. C'est la raison pour laquelle, le choix s'est porté sur l'évolution des courants de fuite de grille et sur l'augmentation du  $R_{DS(on)}$  comme indicateurs de vieillissement pour la surveillance de l'état de santé par l'intermédiaire de la carte driver.

## D.2 Mise au point de systèmes de mesure embarqués

Le module de puissance (quel qu'il soit) est soumis à de fortes contraintes thermomécaniques et électriques pouvant induire des dégradations. Ces dégradations peuvent à long terme endommager le circuit de puissance. Jusqu'à présent, les circuits drivers du commerce ne permettent pas d'assurer la

surveillance de l'état de santé des composants de puissance. La surveillance du composant de puissance a ici pour but la prédiction de défaillances et une maintenance simplifiée pour une meilleure fiabilité des éléments de la chaîne de conversion d'énergie. Comme vu précédemment, de récentes études basées sur la méthode du vieillissement accéléré sur les composants de puissance MOSFET SiC tendent à montrer une évolution de la résistivité à l'état passant ainsi qu'une augmentation des courants de fuite de grille au cours du vieillissement des transistors de puissance de type MOSFET SiC 1.2kV. Il convient donc d'implémenter sur le système driver de nouvelles fonctions permettant le suivi de ces indicateurs de vieillissement.

Les études sur la fiabilité des MOSFET SiC ont permis de démontrer une remarquable évolution des courants de fuite de grille en fin de vie du composant de puissance (jusqu'à quelques 100 $\mu$ A voire plus). Le courant de fuite de grille noté  $I_{GSS}$  est généralement bien trop faible (<100nA) pour être mesuré directement sur le circuit driver dans un environnement d'électronique de puissance, c'est pourquoi une méthode d'estimation par mesure indirecte a été proposée. Le circuit d'estimation proposé est détaillé en section II.B.

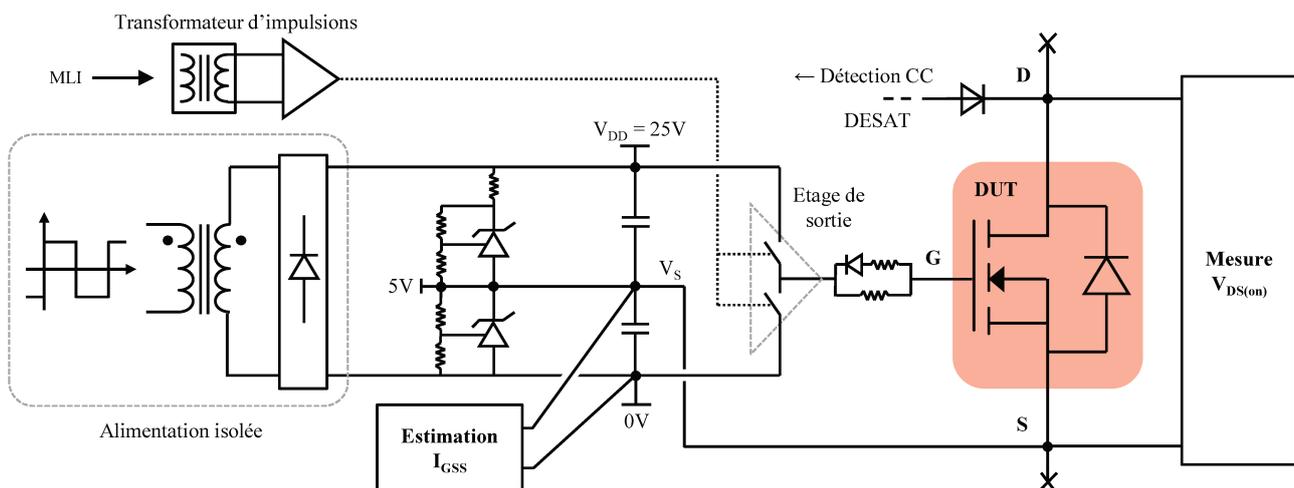


Figure I-45 : Stratégie de mesure embarquée de la fuite de grille et de  $V_{DS(on)}$

D'autre part, la mesure en fonctionnement de la résistance à l'état passant représente également un défi de par la sensibilité requise, l'environnement de mesure et les contraintes d'intégration mécaniques. En effet, la mesure de cette résistance nécessite une double mesure ( $V_{DS(on)}$ ,  $I_{D(on)}$ ) réalisées simultanément. Bien que l'intégration d'une mesure de courant par le driver paraisse extrêmement contraignante (sondes de courant difficilement intégrables, résistances shunts dégradant le rendement du convertisseur), la mesure de la tension drain-source est parfaitement envisageable sur le circuit de commande rapproché. Néanmoins, la mise en place d'une telle mesure doit impérativement s'accompagner d'autres mesures (courant, température). A ce sujet, des précisions sont apportées en section II.A. Comme le montre la figure I-45, le choix a été fait de dissocier le circuit de mesure  $V_{DS(on)}$  et système de détection de court-circuit malgré la similarité de leur fonctionnement.

### D.3 Ajout de moyens de communication spécifiques

Les circuits drivers actuellement commercialisés ne permettent pas la communication de données entre le circuit primaire et secondaire. Dans l'état de l'art industriel, un unique message d'erreur est remonté en cas d'incident technique (détection de court-circuit, dépassement d'un seuil de température...). Pourtant, l'augmentation du nombre de composants à semi-conducteur de puissance dans les convertisseurs statiques, l'intégration mécanique toujours plus poussée et la numérisation des drivers motivent l'échange d'informations entre le coté puissance, aux secondaires du driver, et le contrôle-commande connecté au primaire. Que ce soit dans les structures à basse, moyenne ou haute tension, le renvoi de messages d'erreurs détaillés, la mesure de tensions dans la cellule de commutation, le monitoring de la puce ou encore le paramétrage dynamique du driver sont de nouvelles fonctionnalités qui pourront faire partie des drivers de demain. La mise en place d'un canal de communication adapté à l'environnement sévère de l'électronique de puissance et bénéficiant de la barrière d'isolation galvanique du driver doit donc permettre de répondre à ce besoin.

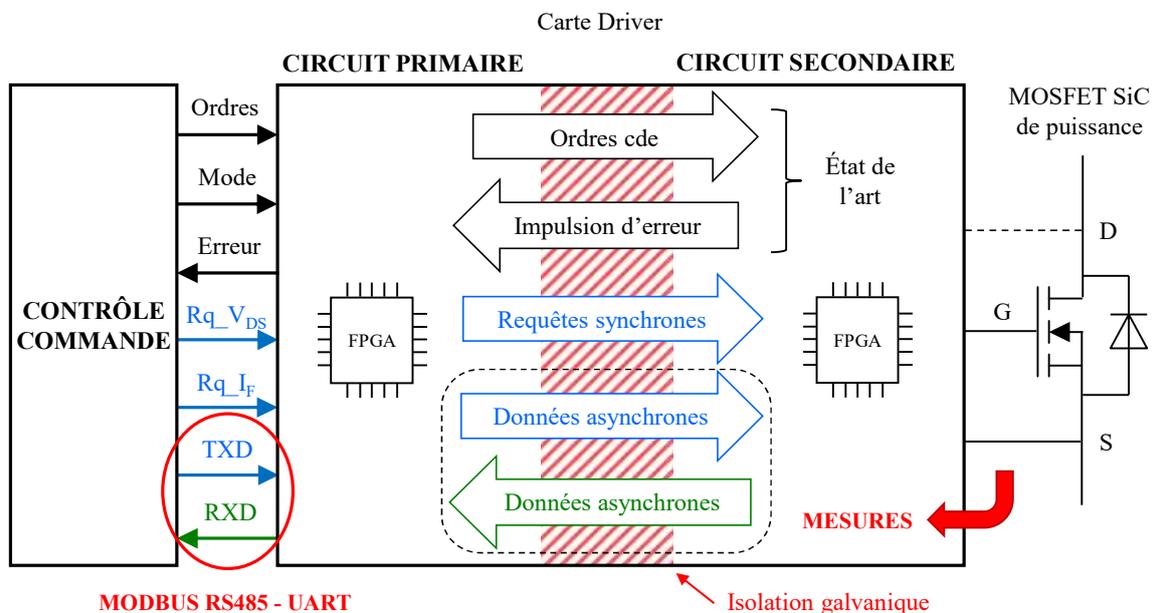


Figure I-46 : Stratégie de communication

Dans cette optique, 3 flux de communication ont été imaginés : un flux de données synchrone (TxD) aux ordres de commande, ainsi qu'un flux de données bidirectionnel asynchrone (TxD & RxD). La stratégie de communication est présentée à la figure I-46. Ces flux de données sont véhiculés par des supports physiques différents, spécifiquement conçus pour le circuit driver. Les solutions de communication rapportées dans la littérature nécessitent la multiplication d'éléments d'isolation pouvant conduire à la circulation de courants de mode communs supplémentaires. Le système de communication proposé dans le chapitre III est basé sur le détournement des éléments d'isolation existants afin d'y greffer des données de surveillance.

### D.4 Conception d'un démonstrateur de driver de grille intelligent

Afin de répondre à la problématique de suivi de vieillissement en utilisant le circuit de commande de grille, un évaluateur technologique est proposé. Ce démonstrateur intègre un certain nombre de fonctions de base ainsi que diverses fonctionnalités de protections classiques : gestion des temps morts, détection de court-circuit, mise en protection en cas de court-circuit, renvoi de message d'erreur. A cela, s'ajoute de nouvelles fonctions de communication et les fonctions de surveillance du vieillissement telles que définies précédemment. L'intégration de composants programmables devient donc une évidence dans le cadre de ce démonstrateur. Le choix de composants de type FPGA a été réalisé pour fiabiliser au maximum le circuit driver qui devient dès lors de plus en plus complexe d'une part et maîtriser parfaitement la synchronisation temporelle des signaux d'autre part. En effet, les FPGA se caractérisent par leur grande polyvalence ainsi qu'une configuration interne basée sur des portes logiques élémentaires, ils offrent donc la possibilité de paralléliser les actions à effectuer dans la structure implémentée. Cette grande polyvalence et cette structure interne basée sur de la logique câblée se paient généralement par un coût relativement important de ces composants mais permettent en général d'identifier l'architecture numérique nécessaire au fonctionnement d'un système afin d'envisager à terme une version plus optimisée en ré-exploitant l'architecture numérique proposée par la composant FPGA. Une conception sous forme d'ASIC peut ensuite être considérée : composant intégré sur Silicium spécifiquement conçu pour l'application considérée.

Néanmoins, l'utilisation de composants programmables pose de nombreuses contraintes en termes d'encombrement sur notre démonstrateur qui comporte des circuits d'électronique analogique et dont on souhaite pouvoir vérifier le fonctionnement par oscilloscope. En effet, s'agissant d'un système isolé que l'on souhaite à double sortie (fonctionnement demi-pont), trois parties isolées peuvent être distinguées : le circuit primaire et les deux circuits secondaires. Chacun de ces circuits possédant un potentiel de masse qui leur est propre, l'ajout de plusieurs composants programmables paraît inévitable.

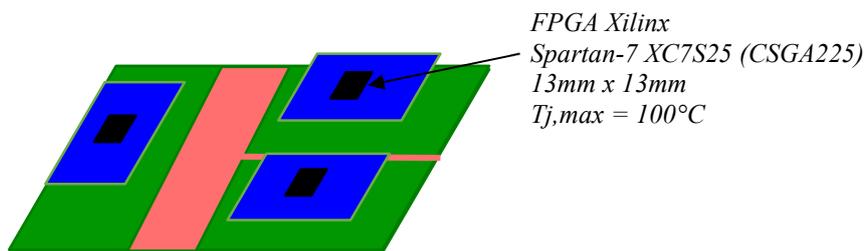


Figure I-47 : Stratégie pour le design du démonstrateur

Le choix d'utiliser deux cartes différentes, une carte « mère » (en vert sur la figure I-47) et carte « fille » (en bleu sur la figure I-47) a été envisagé pour plusieurs raisons : d'abord afin de garantir une carte driver la plus compacte possible (modules SiC ciblés de type 62mm) ; dans le but de simplifier au maximum la conception de notre démonstrateur en réalisant une carte fille « générique » ; enfin, puisque l'intégration FPGA n'ayant jamais été mis en œuvre au sein de

l'équipe, un grand doute subsistait sur notre capacité à mener à bien une telle conception (doutes qui se sont finalement dissipés). La solution trouvée a donc permis une densité d'intégration maximale tout en permettant le remplacement des cartes FPGA.

### E. CONCLUSIONS

Les composants à semi-conducteur de puissance SiC ont un fort potentiel. Aujourd'hui, la problématique de la fiabilité est le principal frein à l'essor de cette technologie. Le circuit de commande rapproché, aussi appelé driver de grille dans le cas du MOSFET ou de l'IGBT, est un élément capital dans la chaîne de conversion d'énergie. Il permet une commande adaptée d'un composant à semi-conducteur de puissance. Les cartes drivers intègrent de plus en plus de fonctionnalités liées à la protection du composant de puissance. Ces circuits évoluent toutefois dans un environnement très contraint de par leur proximité avec le circuit de puissance. De récentes études de fiabilité sur les MOSFETs SiC ont permis d'identifier des paramètres susceptibles d'évoluer au cours du temps. Parmi ces paramètres, les courants de fuites de grille et la résistivité à l'état passant ont été proposés comme des indicateurs de vieillissement mesurables par l'intermédiaire de la carte driver. Une stratégie basée sur la proposition de circuits de mesure embarqués et l'intégration d'un système de communication ont été formulées dans le cadre de cette thèse. Le chapitre II porte sur les circuits de mesures proposés. Le chapitre III détaille le système de communication implémenté. Enfin, la conception d'un démonstrateur compact est abordée dans le chapitre IV.

### F. BIBLIOGRAPHIE

- [1] B. Allard, « Électronique de puissance – Bases, perspectives, guide de lecture », *Tech. Ing.*, févr. 2016.
- [2] Mitsubishi electric, « Application note : Mitsubishi Semiconductors Power Modules MOS - Introduction ». 1998.
- [3] M. Correvon, « Chapitre 7 - Les semi-conducteurs de puissance : le MOSFET », in *Electronique de puissance*, 2011.
- [4] H. Sheng, Z. Chen, F. Wang, et A. Millner, « Investigation of 1.2 kV SiC MOSFET for high frequency high power applications », in *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2010, p. 1572-1577, doi: 10.1109/APEC.2010.5433441.
- [5] C. DiMarino, Z. Chen, M. Danilovic, D. Boroyevich, R. Burgos, et P. Mattavelli, « High-temperature characterization and comparison of 1.2 kV SiC power MOSFETs », in *2013 IEEE Energy Conversion Congress and Exposition*, 2013, p. 3235-3242, doi: 10.1109/ECCE.2013.6647125.
- [6] J. S. Glaser *et al.*, « Direct comparison of silicon and silicon carbide power transistors in high-frequency hard-switched applications », in *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2011, p. 1049-1056, doi: 10.1109/APEC.2011.5744724.
- [7] J. Millán, P. Godignon, X. Perpiñà, A. Pérez-Tomás, et J. Rebollo, « A Survey of Wide BandGap Power Semiconductor Devices », *IEEE Transactions on Power Electronics*, 2014.
- [8] L. Stevanovic *et al.*, « Realizing the full potential of silicon carbide power devices », in *2010 IEEE 12th Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2010, p. 1-6, doi: 10.1109/COMPEL.2010.5562412.
- [9] P. Vaculik, « The properties of SiC in comparison with Si semiconductor devices », in *2013 International Conference on Applied Electronics*, 2013, p. 1-4.
- [10] G. Wang, F. Wang, G. Magai, Y. Lei, A. Huang, et M. Das, « Performance comparison of 1200V 100A SiC MOSFET and 1200V 100A silicon IGBT », in *2013 IEEE Energy Conversion Congress and Exposition*, 2013, p. 3230-3234, doi: 10.1109/ECCE.2013.6647124.
- [11] C. Chen, F. Luo, et Y. Kang, « A Review of SiC Power Module Packaging: Layout, Material System and Integration », *CPSS Trans. Power Electron. Appl.* VOL 2 NO 3, sept. 2017.

- [12] N. Ginot, C. Batard, et P. Lahaye, « MOSFET et IGBT : circuits de commande, sécurisation et protection du composant à semi-conducteur », *Tech. Ing.*, vol. V1, n° D3234, août 2017.
- [13] PI-Q, « Product Catalog », 05-mai-2015. [En ligne]. Disponible sur: <https://igbt-driver.power.com/products/product-documents/product-catalog>. [Consulté le: 29-nov-2016].
- [14] C. Bouguet, « Design of a communicating gate driver for SiC MOSFET », Thèse, Université de Nantes, 2017.
- [15] D. Vasic, F. Costa, et E. Sarraute, « Piezoelectric transformer for integrated MOSFET and IGBT gate driver », *IEEE Trans. Power Electron.*, vol. 21, n° 1, p. 56-65, janv. 2006, doi: 10.1109/TPEL.2005.861121.
- [16] A. Volke, M. Hornkamp, et J. Wendt, « IGBT Driver », in *IGBT modules. Technologies, Driver and application*, Infineon Technologies, 2017.
- [17] Z. Zhang, W. Eberle, P. Lin, Y. F. Liu, et P. C. Sen, « A 1-MHz High-Efficiency 12-V Buck Voltage Regulator With a New Current-Source Gate Driver », *IEEE Trans. Power Electron.*, vol. 23, n° 6, p. 2817-2827, nov. 2008, doi: 10.1109/TPEL.2008.2005387.
- [18] Z. Zhang, W. Eberle, Z. Yang, Y. F. Liu, et P. C. Sen, « Optimal Design of Current Source Gate Driver for a Buck Voltage Regulator Based on a New Analytical Loss Model », in *2007 IEEE Power Electronics Specialists Conference*, 2007, p. 1556-1562, doi: 10.1109/PESC.2007.4342227.
- [19] Z. Zhang, J. Fu, Y. F. Liu, et P. C. Sen, « Adaptive Current Source Drivers for Efficiency Optimization of High-Frequency Synchronous Buck Converters », *IEEE Trans. Power Electron.*, vol. 27, n° 5, p. 2462-2470, mai 2012, doi: 10.1109/TPEL.2011.2175453.
- [20] Z. Zhang, F. F. Li, et Y. F. Liu, « A High-Frequency Dual-Channel Isolated Resonant Gate Driver With Low Gate Drive Loss for ZVS Full-Bridge Converters », *IEEE Trans. Power Electron.*, vol. 29, n° 6, p. 3077-3090, juin 2014, doi: 10.1109/TPEL.2013.2272662.
- [21] X. Li, H. Zhang, et A. Bhalla, « Gate Drive Strategies of SiC Cascodes », in *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2016, p. 1-7.
- [22] H. Fujita, « A Resonant Gate-Drive Circuit Capable of High-Frequency and High-Efficiency Operation », *IEEE Trans. Power Electron.*, vol. 25, n° 4, p. 962-969, avr. 2010, doi: 10.1109/TPEL.2009.2030201.
- [23] M. M. Swamy, T. Kume, et N. Takada, « An Efficient Resonant Gate-Drive Scheme for High-Frequency Applications », *IEEE Trans. Ind. Appl.*, vol. 48, n° 4, p. 1418-1431, juill. 2012, doi: 10.1109/TIA.2012.2200227.
- [24] P. Anthony, N. McNeill, et D. Holliday, « High-Speed Resonant Gate Driver With Controlled Peak Gate Voltage for Silicon Carbide MOSFETs », *IEEE Trans. Ind. Appl.*, vol. 50, n° 1, p. 573-583, janv. 2014, doi: 10.1109/TIA.2013.2266311.
- [25] A. Sebastian Mitchison, « High Efficiency Resonant Gate Driver for High Frequency Switching of SiC Power MOSFET ». ISDRS, déc-2013.
- [26] C. M. Wang, « A Revisit to Resonant Gate Driver and a Hybrid Driver to Improve EMI vs. loss Tradeoff for SiC MOSFET », in *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2016, p. 1-7.
- [27] J. Fu, Z. Zhang, Y. F. Liu, P. C. Sen, et L. Ge, « A New High Efficiency Current Source Driver With Bipolar Gate Voltage », *IEEE Trans. Power Electron.*, vol. 27, n° 2, p. 985-997, févr. 2012, doi: 10.1109/TPEL.2010.2077741.
- [28] J. T. Strydom, M. A. de Rooij, et J. D. van Wyk, « A comparison of fundamental gate-driver topologies for high frequency applications », in *Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2004. APEC '04*, 2004, vol. 2, p. 1045-1052 vol.2, doi: 10.1109/APEC.2004.1295951.
- [29] Z. Wang, X. Shi, Y. Xue, L. M. Tolbert, F. Wang, et B. J. Blalock, « Design and Performance Evaluation of Overcurrent Protection Schemes for Silicon Carbide (SiC) Power MOSFETs », *IEEE Trans. Ind. Electron.*, vol. 61, n° 10, p. 5570-5581, oct. 2014, doi: 10.1109/TIE.2013.2297304.
- [30] A. Kumar, A. Ravichandran, S. Singh, S. Shah, et S. Bhattacharya, « An intelligent medium voltage gate driver with enhanced short circuit protection scheme for 10kV 4H-SiC MOSFETs », in *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2017, p. 2560-2566, doi: 10.1109/ECCE.2017.8096486.
- [31] Power integrations, « AN-1101: Application with SCALE-2 and SCALE-2+ Gate Driver Cores », 2016. [En ligne]. Disponible sur: [https://igbt-driver.power.com/sites/default/files/product\\_document/application\\_note/AN-1101\\_Application\\_with\\_SCALE-2\\_Gate\\_Driver\\_Cores.pdf](https://igbt-driver.power.com/sites/default/files/product_document/application_note/AN-1101_Application_with_SCALE-2_Gate_Driver_Cores.pdf). [Consulté le: 05-déc-2016].
- [32] P. Ghimire, A. R. de Vega, S. Beczkowski, B. Rannestad, S. Munk-Nielsen, et P. Thogersen, « Improving Power Converter Reliability: Online Monitoring of High-Power IGBT Modules », *IEEE Ind. Electron. Mag.*, vol. 8, n° 3, p. 40-50, sept. 2014, doi: 10.1109/MIE.2014.2311829.
- [33] P. Ghimire, « Real time monitoring and Wear Out of Power Modules », Aalborg University, 2015.
- [34] Z. Zhang *et al.*, « Online Junction Temperature Monitoring Using Intelligent Gate Drive for SiC Power Devices », *IEEE Trans. Power Electron.*, vol. 34, n° 8, p. 7922-7932, août 2019, doi: 10.1109/TPEL.2018.2879511.

- [35] H. Chen, B. Ji, V. Pickert, et W. Cao, « Real-Time Temperature Estimation for Power MOSFETs Considering Thermal Aging Effects », *IEEE Trans. Device Mater. Reliab.*, vol. 14, n° 1, p. 220-228, mars 2014, doi: 10.1109/TDMR.2013.2292547.
- [36] J. Falck, C. Felgelmacher, A. Rojko, M. Liserre, et P. Zacharias, « Reliability of Power Electronic Systems: An Industry Perspective », *IEEE Ind. Electron. Mag.*, vol. 12, n° 2, p. 24-35, juin 2018, doi: 10.1109/MIE.2018.2825481.
- [37] C. Buttay, « Modules et boîtiers de puissance (packaging) », *Tech. Ing.*, 2010.
- [38] T. T. Nguyen, A. Ahmed, T. V. Thang, et J. H. Park, « Gate Oxide Reliability Issues of SiC MOSFETs Under Short-Circuit Operation », *IEEE Trans. Power Electron.*, vol. 30, n° 5, p. 2445-2455, mai 2015, doi: 10.1109/TPEL.2014.2353417.
- [39] R. Singh et A. R. Hefner, « Reliability of SiC MOS devices », *Solid-State Electron.*, vol. 48, n° 10, p. 1717-1720, oct. 2004, doi: 10.1016/j.sse.2004.05.005.
- [40] F. Boige et F. Richardeau, « Gate leakage-current analysis and modelling of planar and trench power SiC MOSFET devices in extreme short-circuit operation », *Microelectron. Reliab.*, vol. 76-77, p. 532-538, sept. 2017, doi: 10.1016/j.microrel.2017.06.084.
- [41] M. Riccio, V. d'Alessandro, G. Romano, L. Maresca, G. Breglio, et A. Irace, « A Temperature-Dependent SPICE Model of SiC Power MOSFETs for Within and Out-of-SOA Simulations », *IEEE Trans. Power Electron.*, vol. 33, n° 9, p. 8020-8029, sept. 2018, doi: 10.1109/TPEL.2017.2774764.
- [42] X. Zhou, H. Su, Y. Wang, R. Yue, G. Dai, et J. Li, « Investigations on the Degradation of 1.2-kV 4H-SiC MOSFETs Under Repetitive Short-Circuit Tests », *IEEE Trans. Electron Devices*, vol. 63, n° 11, p. 4346-4351, nov. 2016, doi: 10.1109/TED.2016.2606882.
- [43] J. Wei, S. Liu, S. Li, J. Fang, T. Li, et W. Sun, « Comprehensive Investigations on Degradations of Dynamic Characteristics for SiC Power MOSFETs Under Repetitive Avalanche Shocks », *IEEE Trans. Power Electron.*, vol. 34, n° 3, p. 2748-2757, mars 2019, doi: 10.1109/TPEL.2018.2843559.
- [44] J. Millán, P. Godignon, et A. Pérez-Tomás, « Wide Band Gap Semiconductor Devices for Power Electronics ». AUTOMATIKA, 2012.
- [45] J. Colmenares, D. Pefitis, J. Rabkowski, D. Sadik, et H. Nee, « Dual-Function Gate Driver for a Power Module With SiC Junction Field-Effect Transistors », *IEEE Trans. Power Electron.*, vol. 29, n° 5, p. 2367-2379, mai 2014, doi: 10.1109/TPEL.2013.2277616.
- [46] C. Bouguet, N. Ginot, et C. Batard, « Communicating Gate Driver for SiC MOSFET », in *PCIM Europe 2016: International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2016, p. 1-8.
- [47] Wang, Chi-Ming, « A Revisit to Resonant Gate Driver and a Hybrid Driver to Improve EMI vs. loss Tradeoff for SiC MOSFET », in *PCIM Europe 2016 - International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, 2016.
- [48] Soldati, Alessandro, Pietrini, Giorgio, Barater, Davide, et Concari, Carlo, « Stability and Performance Analysis of a Voltage Controlled Resistor Circuit for Wide Band-gap Device Gate Drivers », in *PCIM Europe 2016*, Nuremberg, 2016.
- [49] A. Anurag, S. Acharya, Y. Prabowo, G. Gohil, et S. Bhattacharya, « Design Considerations and Development of an Innovative Gate Driver for Medium-Voltage Power Devices With High dv/dt », *IEEE Trans. Power Electron.*, vol. 34, n° 6, p. 5256-5267, juin 2019, doi: 10.1109/TPEL.2018.2870084.
- [50] J. Friebe, O. Prior, et M. Kacki, « High-Side Driver Supply With Reduced Coupling Capacitance », in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2018, p. 1-8.
- [51] J. Wang, Z. Shen, C. DiMarino, R. Burgos, et D. Boroyevich, « Gate driver design for 1.7kV SiC MOSFET module with Rogowski current sensor for shortcircuit protection », in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2016, p. 516-523, doi: 10.1109/APEC.2016.7467921.
- [52] V. Nguyen, L. Kerachev, P. Lefranc, et J. Crebier, « Characterization and Analysis of an Innovative Gate Driver and Power Supplies Architecture for HF Power Devices With High dv/dt », *IEEE Trans. Power Electron.*, vol. 32, n° 8, p. 6079-6090, août 2017, doi: 10.1109/TPEL.2016.2619859.
- [53] V. Nguyen, P. Lefranc, et J. Crebier, « Gate Driver Supply Architectures for Common Mode Conducted EMI Reduction in Series Connection of Multiple Power Devices », *IEEE Trans. Power Electron.*, vol. 33, n° 12, p. 10265-10276, déc. 2018, doi: 10.1109/TPEL.2018.2802204.
- [54] B. Revol *et al.*, « Overview and new trends in technology bricks for reliability enhancement in future wide band gap power converters for More Electrical Aircraft (MEA) and More Electrical Propulsion (MEP) systems », in *IECON 2019 - 45th Annual Conference of the IEEE Industrial Electronics Society*, 2019, vol. 1, p. 7128-7134, doi: 10.1109/IECON.2019.8927816.
- [55] T. Santini, M. Sebastien, M. Florent, L. V. Phung, et B. Allard, « Gate oxide reliability assessment of a SiC MOSFET for high temperature aeronautic applications », in *2013 IEEE ECCE Asia Downunder*, 2013, p. 385-391, doi: 10.1109/ECCE-Asia.2013.6579125.

- [56] S. Dusmez et B. Akin, « Remaining useful lifetime estimation for degraded power MOSFETs under cyclic thermal stress », in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2015, p. 3846-3851, doi: 10.1109/ECCE.2015.7310203.
- [57] R. Ouaida *et al.*, « Gate Oxide Degradation of SiC MOSFET in Switching Conditions », *IEEE Electron Device Lett.*, vol. 35, n° 12, p. 1284-1286, déc. 2014, doi: 10.1109/LED.2014.2361674.
- [58] D. Othman, « Etude de la robustesse de transistors MOSFET SiC pour des applications aéronautiques », in *Journées JCGE'2014 - SEEDS*, Saint-Louis, France, 2014.
- [59] T. A. Nguyen, S. Lefebvre, et S. Azzopardi, « Effect of short circuit aging on safe operating area of SiC MOSFET », *Microelectron. Reliab.*, vol. 88-90, p. 645-651, sept. 2018, doi: 10.1016/j.microrel.2018.06.040.
- [60] D. Othman, S. Lefebvre, M. Berkani, Z. Khatir, A. Ibrahim, et A. Bouzourene, « Robustness of 1.2kV SiC MOSFET devices », *Microelectron. Reliab.*, vol. 53, n° 9, p. 1735-1738, sept. 2013, doi: 10.1016/j.microrel.2013.07.072.
- [61] T. H. Duong, J. M. Ortiz, D. W. Berning, A. R. Hefner, S.-Ryu, et J. W. Palmour, « Electro-thermal simulation of 1200 V 4H-SiC MOSFET short-circuit SOA† », in *2015 IEEE 27th International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2015, p. 217-220, doi: 10.1109/ISPSD.2015.7123428.
- [62] G. Romano *et al.*, « Short-circuit failure mechanism of SiC power MOSFETs », in *2015 IEEE 27th International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2015, p. 345-348, doi: 10.1109/ISPSD.2015.7123460.
- [63] Z. Wang *et al.*, « Temperature-Dependent Short-Circuit Capability of Silicon Carbide Power MOSFETs », *IEEE Trans. Power Electron.*, vol. 31, n° 2, p. 1555-1566, févr. 2016, doi: 10.1109/TPEL.2015.2416358.
- [64] C. Chen, D. Labrousse, S. Lefebvre, M. Petit, C. Buttay, et H. Morel, « Study of short-circuit robustness of SiC MOSFETs, analysis of the failure modes and comparison with BJTs », *Microelectron. Reliab.*, vol. 55, n° 9, p. 1708-1713, août 2015, doi: 10.1016/j.microrel.2015.06.097.
- [65] A. Castellazzi, A. Fayyaz, L. Yang, M. Riccio, et A. Irace, « Short-circuit robustness of SiC Power MOSFETs: Experimental analysis », in *2014 IEEE 26th International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2014, p. 71-74, doi: 10.1109/ISPSD.2014.6855978.
- [66] F. Boige, F. Richardeau, D. Trémouilles, S. Lefebvre, et G. Guibaud, « Investigation on damaged planar-oxide of 1200V SiC power MOSFETs in non-destructive short-circuit operation », *Microelectron. Reliab.*, vol. 76-77, p. 500-506, sept. 2017, doi: 10.1016/j.microrel.2017.06.085.
- [67] P. D. Reigosa, F. Iannuzzo, et L. Ceccarelli, « Failure Analysis of a Degraded 1.2 kV SiC MOSFET after Short Circuit at High Temperature », in *2018 IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, 2018, p. 1-5, doi: 10.1109/IPFA.2018.8452575.
- [68] C. Chen, « Studies of SiC power devices potential in power electronics for avionic applications », thesis, Paris Saclay, 2016.
- [69] F. Erturk, E. Ugur, J. Olson, et B. Akin, « Real-Time Aging Detection of SiC MOSFETs », *IEEE Trans. Ind. Appl.*, vol. 55, n° 1, p. 600-609, janv. 2019, doi: 10.1109/TIA.2018.2867820.
- [70] E. Eni *et al.*, « Short-Circuit Degradation of 10-kV 10-A SiC MOSFET », *IEEE Trans. Power Electron.*, vol. 32, n° 12, p. 9342-9354, déc. 2017, doi: 10.1109/TPEL.2017.2657754.
- [71] H. Luo, N. Baker, F. Iannuzzo, et F. Blaabjerg, « Die degradation effect on aging rate in accelerated cycling tests of SiC power MOSFET modules », *Microelectron. Reliab.*, vol. 76-77, p. 415-419, sept. 2017, doi: 10.1016/j.microrel.2017.07.004.



## CHAPITRE II : SYSTEME DE MESURE EMBARQUE

Les modules de puissance sont soumis à de fortes contraintes thermomécaniques et électriques induisant des dégradations. Ces dégradations peuvent à terme endommager le circuit de puissance voire conduire à sa destruction. Dans un contexte aéronautique, cette problématique est d'autant plus critique. Jusqu'à présent, les circuits drivers ne permettent pas d'assurer un diagnostic en temps réel du circuit de puissance. La défaillance d'un module de puissance peut causer de sévères dommages au système. La surveillance du composant de puissance a pour but la prédiction de défaillances et une maintenance simplifiée pour une meilleure fiabilité des systèmes de conversion d'énergie.

Les études de fiabilité présentées dans le chapitre I ont montré une évolution de la résistance à l'état passant ainsi qu'une augmentation significative des courants de fuite de grille en fonction des cycles de vieillissement accéléré sur des composants MOSFET SiC. Les causes de ces dérives sont principalement la détérioration de l'oxyde de grille et le décollement des fils de câblage (bondings) au sein du composant. Il est donc proposé d'implémenter sur le système driver de nouvelles fonctions permettant le suivi des paramètres critiques tels que les courants de fuite ou encore la résistivité à l'état passant du module subissant les dégradations. Un suivi précis de ces paramètres doit ainsi permettre un diagnostic en temps réel du composant de puissance.

### A. MESURE DE LA TENSION DRAIN-SOURCE A L'ETAT PASSANT

#### $V_{DS(ON)}$

#### A.1 État de l'art

La première source de défaillance des modules de puissance concerne le packaging et notamment le raccordement de la puce par « wire-bonding » tel que décrit à la section I.C.1. Les forces de Laplace exercées dans les fils ainsi que la différence de température de part et d'autre des bondings induisent des contraintes thermomécaniques qui peuvent provoquer à terme un décollement ou des fissures sur ces fils de câblage [72]. La métallisation de surface des puces peut aussi subir des modifications par cyclage thermique [73]. Les études présentées à la section I.D.1. ont ainsi démontré une évolution de la résistivité à l'état passant au cours du vieillissement des composants de puissance. En supposant un courant invariant à température fixée, la mesure de la résistance à l'état passant du composant peut être réalisée par mesure de la chute de tension à l'état passant. Les contraintes engendrées par la mesure en ligne (online monitoring) à courant et température variables sont détaillées dans les sections II.A.2. et II.A.5.

Des méthodes de surveillance de la chute de tension à l'état passant en cours de fonctionnement ont été rapportées sur des composants IGBT [73]–[79]. Smet et al. [73] ont conclu que la mesure de  $V_{CE(on)}$  peut être utilisée comme un indicateur de vieillissement pertinent à condition de réaliser un échantillonnage adapté. En effet, comme expliqué dans [74], le déphasage du courant par rapport à la tension appliquée est dépendant de la nature de la charge. Il est donc important de bien choisir l'instant de mesure. La figure II-1 présente l'évolution de la chute de tension à l'état passant au cours du

vieillessement d'un transistor IGBT. On remarque dans un premier temps un accroissement régulier puis une augmentation rapide en fin de vie. Ce dernier phénomène est vraisemblablement dû à une casse ou à un décollement d'un ou plusieurs bondings.

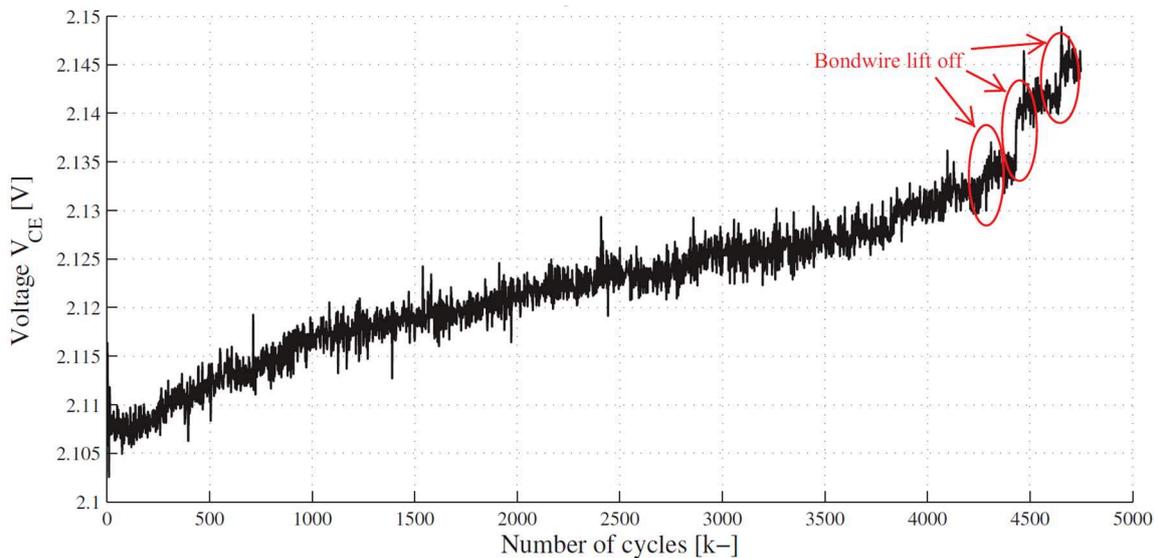


Figure II-1 : Evolution du  $V_{CE(on)}$  d'un transistor IGBT au cours d'un test de vieillissement [74]

Un circuit de mesure de la chute de tension à l'état passant peut aisément s'intégrer sur un driver de grille en exploitant les connectiques de drain/collecteur et source/émetteur. La connectique de drain ou collecteur (dans le cas des IGBT) est nécessaire au circuit de protection en court-circuit tel que décrit dans le chapitre I. Elle est donc préexistante sur la plupart des cartes de commande rapprochée. La principale contrainte ici est l'isolement du bus haute tension tout en garantissant une précision de mesure suffisante à l'état passant. En effet, le potentiel de référence du driver étant imposé par la connectique de source/émetteur, lorsque le composant à semi-conducteur de puissance est bloqué, le potentiel de drain/collecteur vu par le driver est maximal.

Afin de réaliser une mesure fiable de la chute de tension à l'état passant  $V_{DS(on)}$ , deux types de mesure peuvent être envisagées : la mesure en fonctionnement (« online ») ou la mesure à vide (« offline ») [79]. La mesure « offline » est la plus simple à réaliser techniquement mais nécessite un arrêt du système ou une phase à vide pour être opérée. La mesure « online » est physiquement plus complexe à mettre en œuvre mais permet un suivi en temps réel. Nous nous intéresserons uniquement aux solutions permettant un suivi des paramètres critiques du composant de puissance lors de son fonctionnement.

Ghimire et al. [75]–[79] ont proposé un circuit permettant de répondre à cette problématique dans le cas de l'IGBT. Un schéma de la solution est présenté à la figure II-2. La mesure est basée sur le principe de compensation de la chute de tension liée à la diode d'isolation  $D_1$ . En effet, si  $D_1$  et  $D_2$  sont identiques ou similaires, tant que le même courant  $i_{d1}$  circule dans  $D_1$  et  $D_2$ , la tension de sortie est l'image de la tension  $V_{CE(on)}$ . Lorsque le composant est bloqué, la diode  $D_1$  n'est plus passante. La solution illustrée à la figure II-2 intègre une double mesure sur un bras de pont entier. Une source de courant est utilisée pour la polarisation des diodes  $D_1$  et  $D_2$ . Une analyse de ce circuit est proposée à

la figure II-3. Les diodes  $D_3$  et  $D_4$  permettent de protéger le circuit de mesure lors des variations rapides de potentiels. La chaîne d'acquisition comporte un signal CNVST permettant la synchronisation de la mesure en concordance avec la loi de commande appliquée.

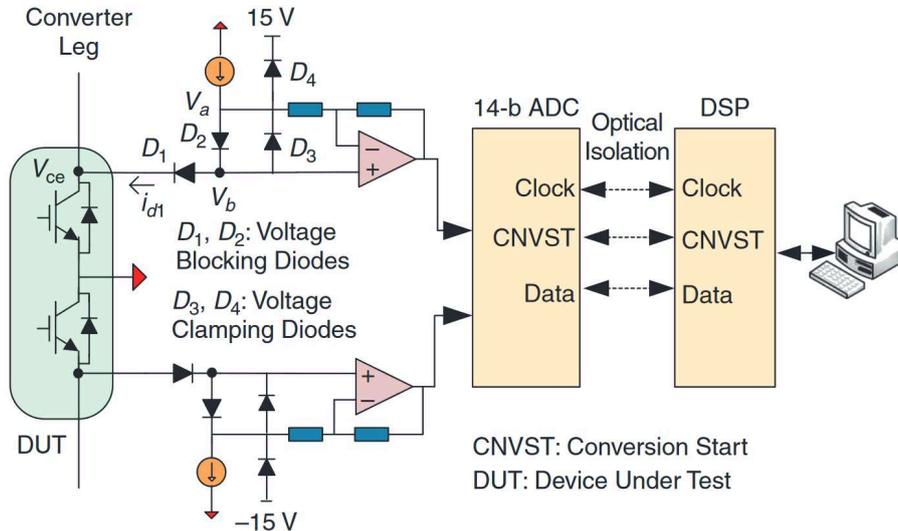
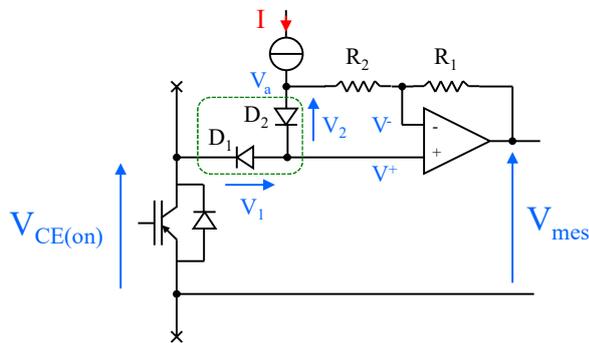


Figure II-2 : État de l'art – Circuit de mesure de  $V_{CE(on)}$  en ligne [79]



$R_1, R_2 \gg$  résistance à l'état passant de l'IGBT :  $I_{d1} = I_{d2} = I$

$D_1, D_2$  identiques ou similaires :

$$V_1 = \frac{n \cdot k \cdot T}{q} \ln \left( 1 + \frac{I_{d1}}{I_0} \right) \approx \frac{n \cdot k \cdot T}{q} \ln \left( 1 + \frac{I_{d2}}{I_0} \right) = V_2$$

$$\Rightarrow V_{mes} = V_{CE(on)} + V_1 \left( 1 - \frac{R_1}{R_2} \right) \approx V_{CE(on)} \quad , \text{ si } R_1=R_2$$

Figure II-3 : Analyse du circuit de mesure de  $V_{CE(on)}$

$k$  : constante de Boltzman ( $m^2 \cdot kg \cdot s^{-2} \cdot K^{-1}$ )  
 $n$  : facteur de qualité de la diode ( $1 < n < 2$ )  
 $q$  : charge d'un électron (C)  
 $T$  : température (K)  
 $I_0$  : courant de saturation de la diode (A)

Un comparatif des méthodes permettant la mesure de  $V_{CE(on)}$  a été rapporté [76], [80]. Un résumé des solutions alternatives est présenté à la figure II-4. En outre, Nielsen et al. ont proposé une solution à base de relais à commutation rapide [81].

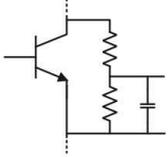
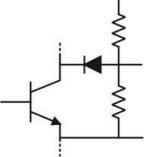
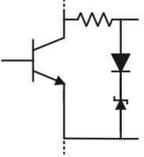
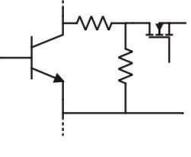
Resistive Voltage Divider	HV Decoupling Diode	Zener Limiting Diode	LV Decoupling MOSFET
			
<ul style="list-style-type: none"> <li>+ No high voltage components</li> <li>+ No additional voltage supply required</li> <li>- High amplification gain required</li> <li>- Noise sensitive</li> </ul>	<ul style="list-style-type: none"> <li>- High voltage diode needed</li> <li>- Additional voltage supply required</li> <li>+ Smaller amplification gain requirement</li> <li>+ Less noise sensitive</li> <li>- Switching of diode can affect measurements</li> </ul>	<ul style="list-style-type: none"> <li>+ No high voltage components</li> <li>+ No additional voltage supply required</li> <li>+ Smaller amplification gain requirement</li> <li>+ Less noise sensitive</li> <li>- Slow turn-off of Zener diode affects measurements</li> </ul>	<ul style="list-style-type: none"> <li>+ No high voltage components</li> <li>+ No additional voltage supply required</li> <li>+ Smaller amplification gain requirement</li> <li>+ Less noise sensitive</li> <li>- Control signal for LV MOSFET</li> </ul>

Figure II-4 : Autres possibilités pour la mesure de  $V_{CE(on)}$  [80]

Les solutions rapportées ont été testées sur des composants IGBT ou BJT SiC [80]. Toutefois, la faible résistivité des MOSFET SiC et leur rapidité de commutation engendre de nouvelles contraintes. La mesure doit donc être d'une grande précision et les bruits de mesures doivent être minimisés. Dans le cadre de cette thèse, le choix s'est porté sur un montage à diode d'isolation pour sa simplicité de mise en œuvre, sa faible susceptibilité aux bruits et sa sûreté de fonctionnement. En effet, l'utilisation d'une diode d'isolation haute tension permet de s'assurer qu'en aucun cas la tension de bus ne puisse être appliquée sur l'étage de mesure. Le montage retenu est décrit à la section II.A.3.

## A.2 Synchronisation de la mesure

Dans le cas du suivi de l'évolution du  $R_{DS(on)}$ , deux mesures doivent être couplées : la tension drain-source à l'état passant  $V_{DS(on)}$  et le courant de drain  $I_{D(on)}$  doivent être évalués avec précision au même instant  $t_0$ .

$$R_{DS(on)} = \frac{V_{DS(on)}|_{t=t_0}}{I_{D(on)}|_{t=t_0}} \quad (1)$$

La tension drain-source à l'état passant est mesurable sur le circuit driver mais la mesure du courant de drain est très contraignante dans un driver de grille. L'intégration d'une sonde de type Rogowski sur un driver de grille a toutefois été envisagée par Wang et al. [51]. Une mesure par introduction d'une résistance shunt peut aussi être envisagée. Une autre solution consiste à coupler la mesure de  $V_{DS(on)}$  sur le circuit driver au courant  $I_L$  mesuré en sortie d'onduleur. Comme illustré à la figure II-5, cette dernière mesure est déjà préexistante dans les systèmes de conversion d'énergie. L'organe de contrôle système est capable d'identifier le chemin de circulation du courant en fonction de la loi de commande appliquée. A un instant  $t$  donné, les courants  $I_{Li}$  circulent dans l'interrupteur inférieur ou supérieur du bras d'onduleur correspondant. Le signe du courant de sortie doit être pris en compte. Par exemple, si  $I_{L1}(t_1) < 0$ , il s'agit soit d'une conduction du transistor du bas, soit d'une conduction en inverse via la diode de l'interrupteur du haut. Cette solution nécessite donc une parfaite synchronisation des mesures ainsi qu'une bonne gestion algorithmique [82].



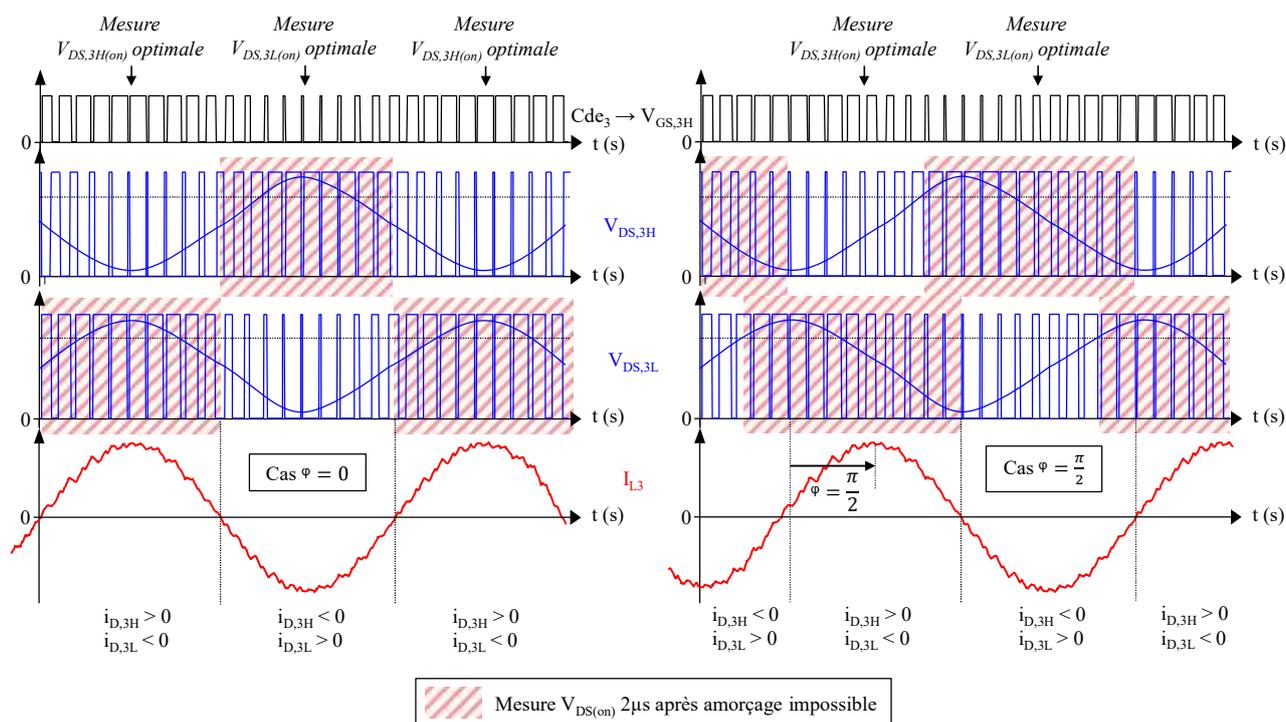


Figure II-6 : Contraintes temporelles liées à l'instant de mesure de  $V_{DS(on)}$

Le principal inconvénient de cette méthode d'évaluation du vieillissement par calcul du  $R_{DS(on)}$  est l'influence de la température de jonction sur ce paramètre. Pour résoudre le problème de la température, l'intégration d'un capteur de température au plus proche du composant testé peut être envisagée (ex : capteur NTC à l'intérieur du module). En effet, les mesures liées au diagnostic du composant de puissance doivent être réalisées en tenant compte de la température de la cellule de commutation. La méthode proposée peut également servir à la mesure de température, cette possibilité est évoquée plus en détail à la section II.A.4. En pratique, il conviendrait donc de choisir une température de fonctionnement usuelle à laquelle le diagnostic se déclencherait. Le phénomène de vieillissement étant particulièrement long, de telles mesures ne sont pas nécessaires à chaque instant. Une mesure par jour ou par semaine peut suffire.

Dans tous les cas, une stratégie de transmission de requête synchrone aux ordres de commande doit être envisagée pour permettre la synchronisation de la mesure avec la loi de commande appliquée [83]. Les mesures de  $V_{DS(on)}$  sont ici horodatées pour permettre un calcul fiable de  $R_{DS(on)}$ . Une telle transmission de données est abordée plus en détail dans le chapitre III. Nous appellerons ce type de mesure une « mesure synchrone ».

### A.3 Circuit implémenté

Quel que soit le montage de mesure utilisé, une mesure différentielle doit être opérée afin de garantir une qualité de mesure suffisante à la mesure de tensions relativement faibles dans un environnement bruité. Une attention particulière doit être portée à la rejection de mode commun de

l'amplificateur différentiel. Dans ce contexte, un montage de type amplificateur d'instrumentation paraît tout à fait pertinent.

Dans un souci d'encombrement réduit, le convertisseur analogique peut être intégré dans le circuit programmable de type FPGA. Il convient donc de choisir un FPGA intégrant cette fonctionnalité. La quasi-totalité des convertisseurs analogiques intégrés dans les circuits FPGA de Xilinx fonctionnent à des niveaux de tensions inférieurs à 1V comme le montre la figure II-7. Il convient donc de réaliser un décalage de niveau pour permettre l'intégration de cette fonctionnalité, sachant que le FPGA est référencé au potentiel le plus bas du circuit driver. La tension  $V_{DS(on)}$  étant donc mesurée entre  $V_S = +5V$  et  $V_S + V_{DS}$ , il paraît donc particulièrement pertinent de réaliser une mesure de type différentielle, l'entrée du convertisseur analogique-numérique pouvant être configurée pour évaluer la différence de potentiel entre les broches  $V_P$  et  $V_N$ .

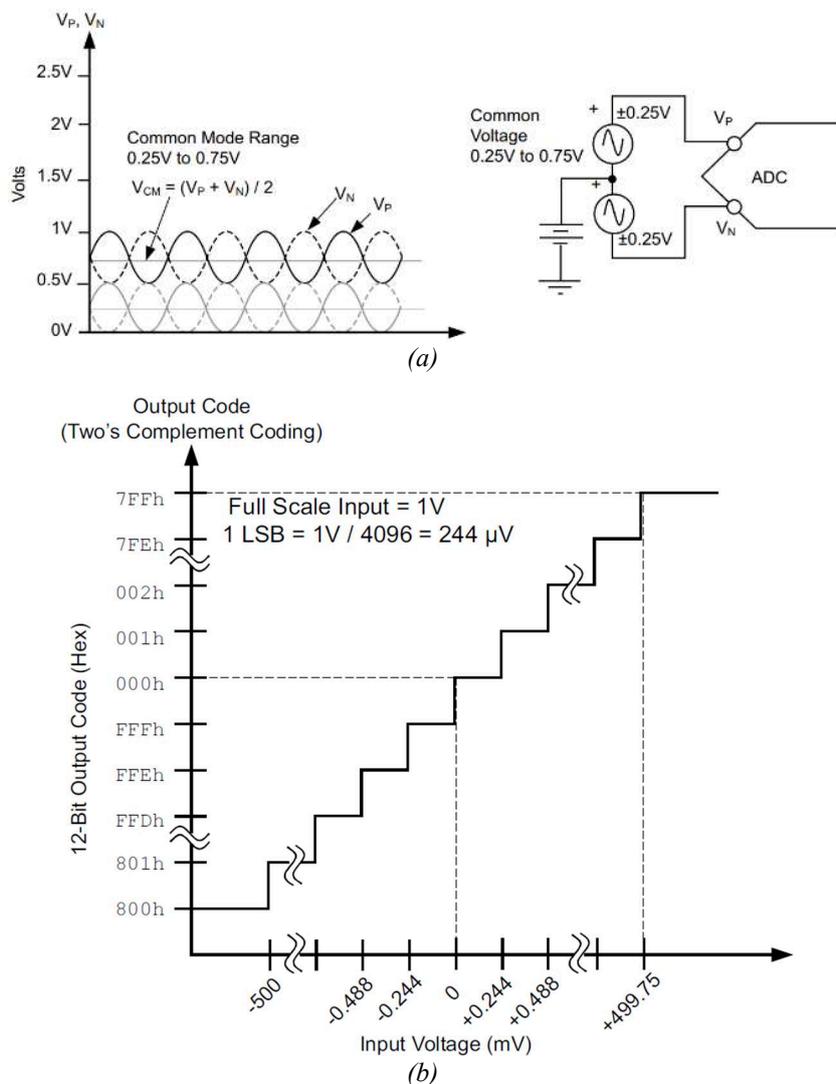


Figure II-7 : Extraits de la note d'application UG480 portant sur l'XADC de Xilinx (7-series)<sup>1</sup>  
Tension maximale admissible (a) et résolution (b) de l'XADC

<sup>1</sup> XADC User Guide UG450 (v1.10.1). Disponible : [https://www.xilinx.com/support/documentation/user\\_guides/ug480\\_7Series\\_XADC.pdf](https://www.xilinx.com/support/documentation/user_guides/ug480_7Series_XADC.pdf)

Après l'analyse du circuit présenté à la figure II-3, il a été choisi de remplacer la source de courant par une simple résistance de tirage. En effet, le principe consiste à faire circuler le même courant dans les diodes  $D_1$  et  $D_2$ . La tension de polarisation étant fixée à 25V, le courant dans les diodes est très peu impacté par la variation de  $V_{DS}$  lors de la conduction du MOSFET. Ce courant de polarisation est fixé à environ 1mA. Tant que la résistivité du composant de puissance à l'état passant est très faible devant  $R_1$  et  $R_2$ , un courant de polarisation identique s'établit dans  $D_1$  et  $D_2$ . Cependant, la condition  $R_1=R_2$  est très importante compte tenu des équations présentées à la figure II-3, les résistances  $R_1$  et  $R_2$  sont intégrées dans le même boîtier afin de garantir une valeur identique. De la même façon, un double amplificateur opérationnel a été choisi pour garantir une intégrabilité maximale et des chemins de propagation identiques. Le signal résultant est ensuite traité en mode différentiel pour garantir la compatibilité des signaux avec le convertisseur analogique-numérique. Le circuit implémenté est présenté à la figure II-8.

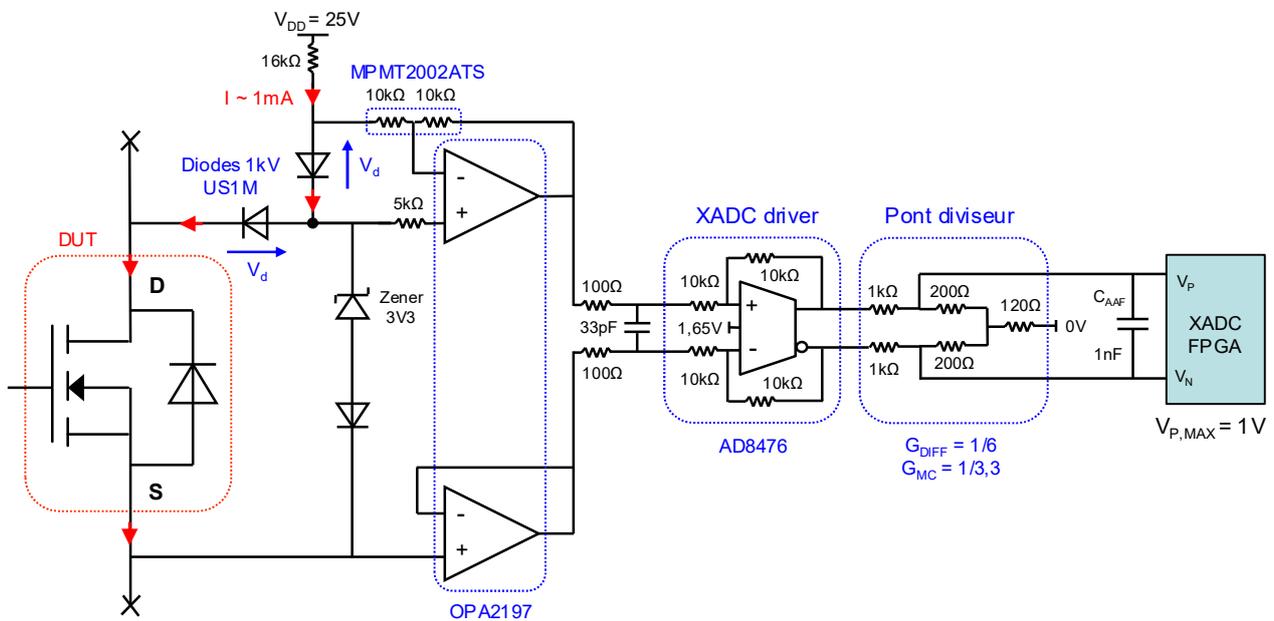
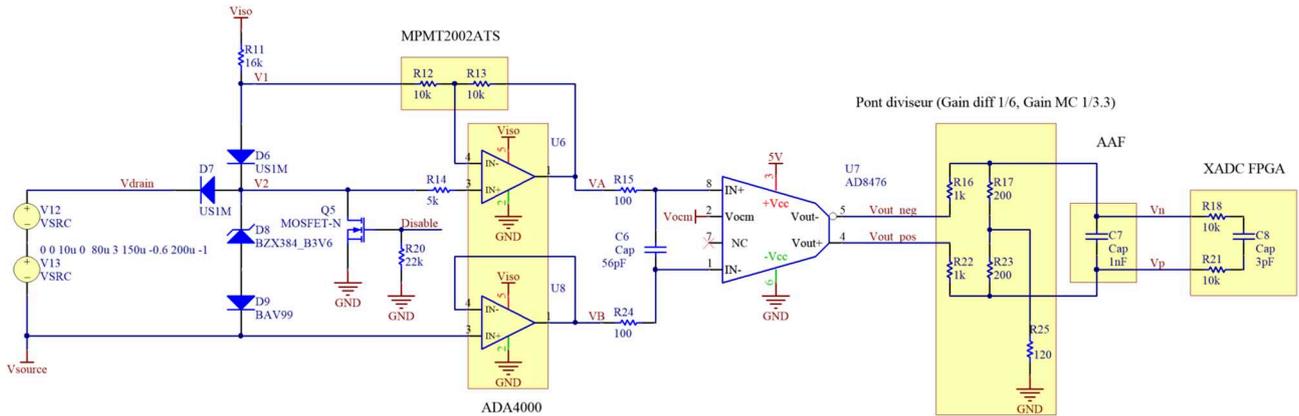


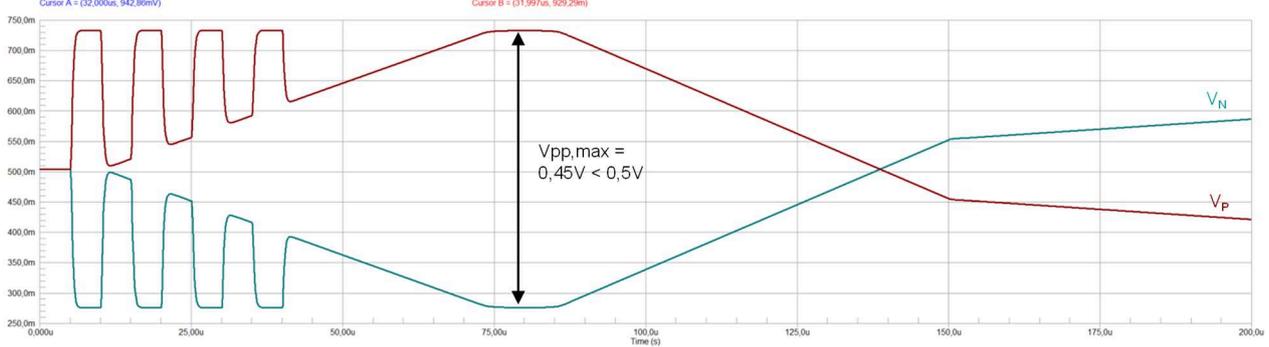
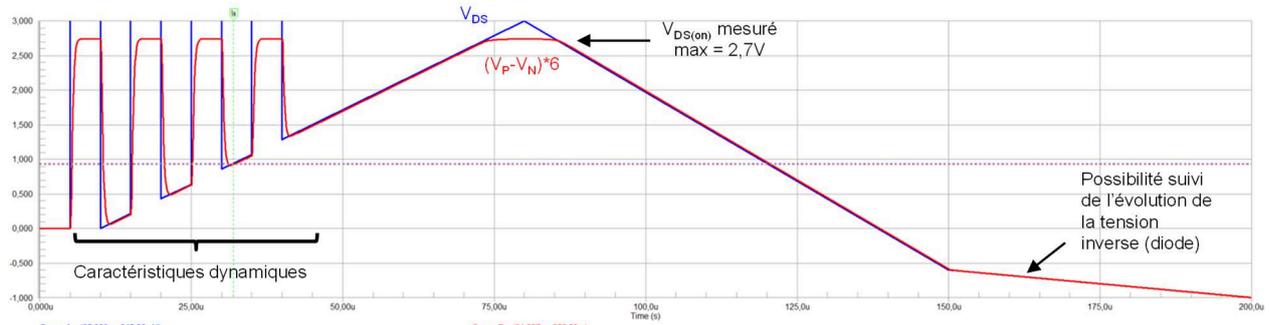
Figure II-8 : Circuit de mesure du  $V_{DS(on)}$  proposé

## A.4 Simulations

Les figures II-9 et II-10 présentent les simulations effectuées en utilisant les modèles SPICE des composants envisagés. Un écrêtage est réalisé pour protéger le FPGA contre une surtension à ses bornes (diode Zener 3V3). Un pont résistif est utilisé pour adapter les niveaux de sortie à la tension admissible sur les broches  $V_P$  et  $V_N$  du FPGA tel que présenté à la figure II-7.



(a)



(b)

Figure II-9 : Simulation sous Altium Designer (modèles SPICE)  
Schéma de simulation (a) et simulation temporelle (b)

Comme le montre les simulations présentées à la figure II-9 (b), le circuit proposé permet la mesure d'une tension drain-source négative, il est donc également possible d'obtenir une mesure de température par mesure du  $V_{DS(on)}$  lorsque le composant n'est pas piloté et que sa diode externe conduit (courant négatif). Par exemple, la loi de commande peut imposer un blocage simultané des deux transistors composant un bras de pont lors d'une alternance négative du courant de la charge. La circulation du courant est ici assurée par continuité du courant aux bornes de la charge et le courant n'a d'autre choix que de traverser la diode externe du composant du haut (High Side). Cette mesure de température ne peut pas être menée lors de la conduction des transistors de puissance car un courant de drain négatif engendre une répartition du courant dans le canal de conduction du transistor et dans

la diode externe. Ce phénomène intrinsèque à la technologie MOSFET est visible sur la courbe caractéristique  $I_D = f(V_{DS})$  à la figure I-5 (3<sup>ème</sup> cadran).

La mesure de  $V_{DS(on)}$  est traitée en mode différentiel pour permettre une grande précision en environnement bruité. Le filtrage a été dimensionné d'abord par simulation pour permettre une mesure correcte  $2\mu\text{s}$  après la commutation. Les essais présentés à la section II.A.6 permettent de valider ce choix. Cela signifie également que l'échantillonnage de cette grandeur doit être synchronisé avec les ordres de commande.

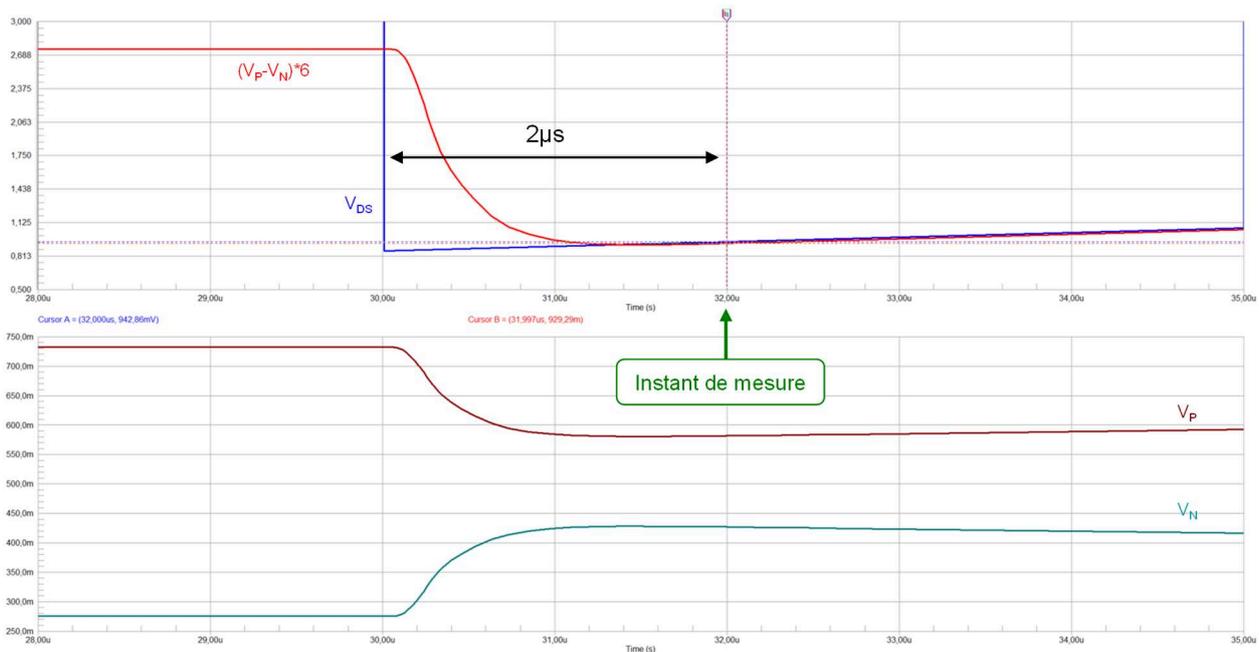


Figure II-10 : Simulation sous Altium Designer (en régime dynamique)

### A.5 Difficultés rencontrées

Des essais ont permis de déterminer la principale limite du circuit de mesure proposé à la figure II-8. Cette contrainte est liée à la connectique de source utilisée pour la mesure. Dans les circuits de commande rapprochée, il est fréquent d'utiliser une connectique dédiée pour le potentiel de source : la source Kelvin ( $Sk$ ). Dans le cas d'un composant IGBT, on parle aussi d'émetteur Kelvin ( $Ek$ ), comme illustré à la figure II-11. Ce connecteur, raccordé au plus proche de la métallisation de source du composant à semi-conducteur de puissance, permet de minimiser la différence de potentiel liée au passage d'un fort courant sur le canal de puissance. En effet, la moindre inductance parasite peut induire une différence de potentiel à l'établissement du courant ( $dv/dt$ ) et donc corrompre le signal de commande.

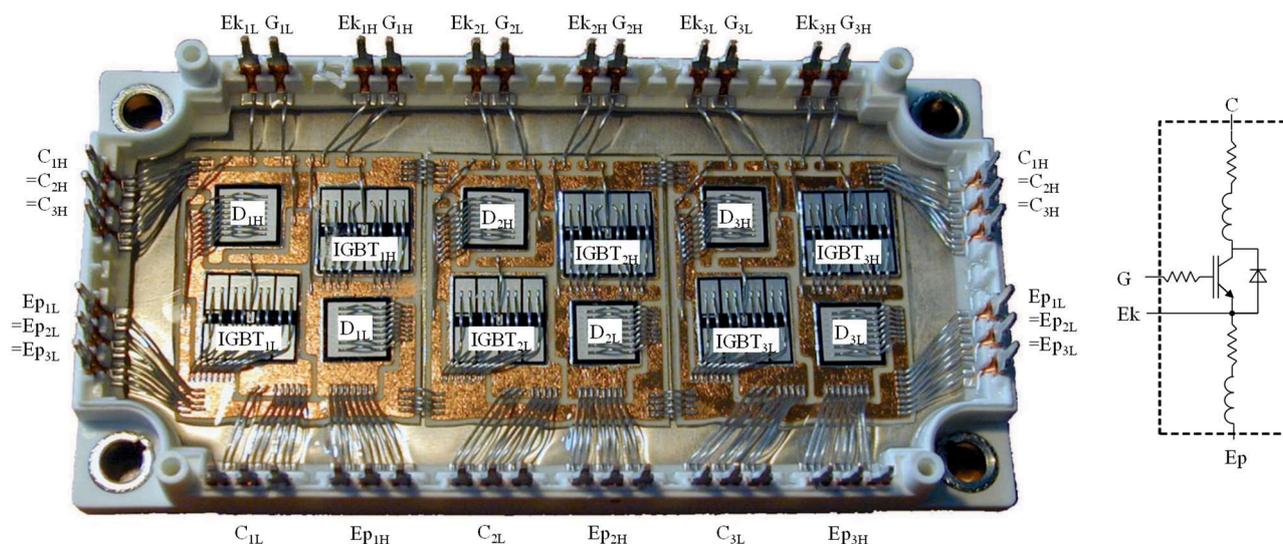


Figure II-11 : Connectique d'un module IGBT Econopack 1200V / 200A

Pour illustrer ce propos, des essais ont été réalisés pour mettre en évidence la tension induite sur la connectique de source par le passage d'un fort courant (400A). On remarque l'apparition d'une surtension de 50V entre la source Kelvin (*Sk*) et la source de puissance (*Sp*). Cette surtension, liée aux inductances parasites, prouve la nécessité d'une connectique dédiée à la commande de grille. En outre, le comportement résistif de la connectique de source a des conséquences sur la mesure de  $V_{DS(on)}$  par l'intermédiaire du circuit driver. La chute de tension mesurée par le circuit proposé à la figure II-8 ne permet pas la mesure de  $V_{DS(on)}$  tel que défini dans le datasheet. En effet, comme illustré à la figure II-12, la chute de tension mesurée par le circuit driver correspond au  $V_{DSk(on)}$ , cela signifie que la connectique de source ne peut pas être surveillée par la méthode proposée. En d'autres termes, une rupture ou un décollement de bondings entre la source Kelvin (*Sk*) et la connectique de source côté puissance (*Sp*) ne serait pas détectée par la méthode proposée.

Pour résoudre ce problème, le raccordement du circuit de mesure sur la source de puissance (*Sp*) a été envisagée. Malheureusement, la variation de potentiel  $V_{SkSp}$  sature les étages de mesure car le potentiel de référence du circuit driver est lié à la source Kelvin. Il en résulte donc une mesure erronée. La seule possibilité consiste donc à utiliser la source Kelvin pour la mesure de  $V_{DS(on)}$ . La valeur de  $R_{DS(on)}$  obtenue par la méthode proposée correspond donc à la résistivité de la jonction Drain-Source Kelvin uniquement.

Les formes d'ondes de la figure II-12 ont été obtenues par des essais de type double pulse sur un module MOSFET SiC 1,2kV (CAS300M12BM2). L'autre problématique soulevée par ces essais est la difficulté de la vérification des mesures de  $V_{DS(on)}$  réalisées. En effet, il est impossible d'obtenir une valeur fiable de  $V_{DS(on)}$  à l'oscilloscope à la suite d'une commutation à tension élevée. C'est la raison pour laquelle une validation étape par étape a été entreprise.

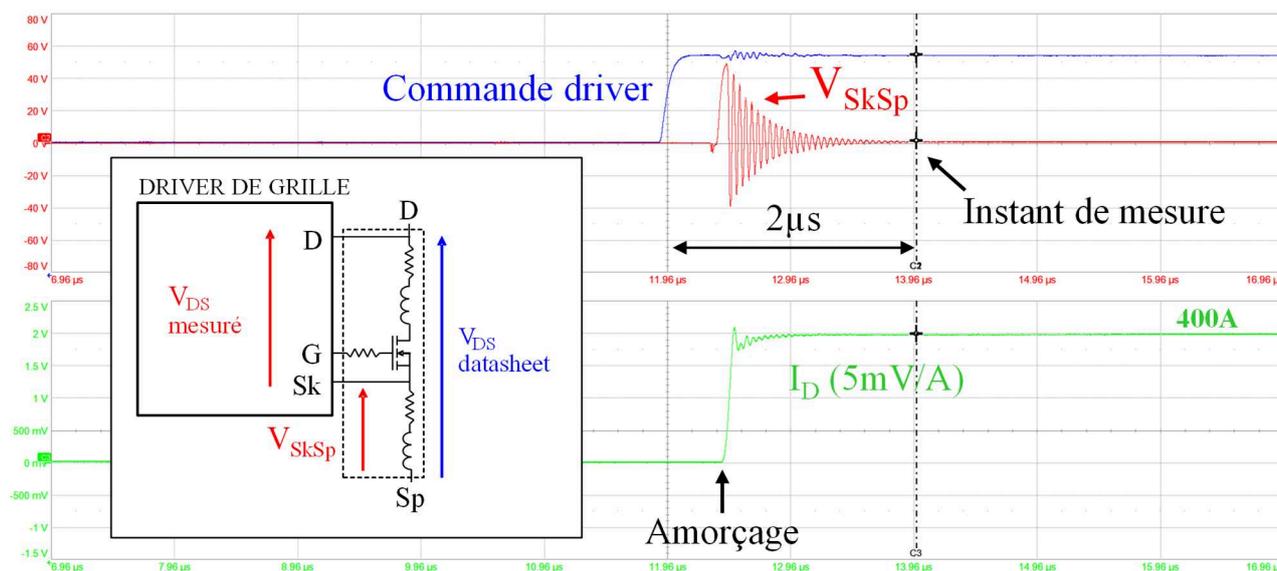


Figure II-12 : Mise en évidence de l'influence de la connectique de source sur la mesure de  $V_{DS}$

### A.6 Essais

Dans un premier temps, des essais à vide en régime statique ont été effectués. Une tension fixe est alors imposée entre les connectiques de drain et de source du driver puis comparée à la valeur obtenue par le circuit de mesure embarqué. Ces essais préliminaires ont permis de démontrer une erreur relative inférieure à 1% sur la plage d'intérêt [-1V ; 2V]. Afin de tester le circuit de mesure, des essais ont été conduits sur un banc d'essais double pulse. Ce type d'essais permet la validation en régime de commutation. Le montage expérimental est présenté à la figure II-13, un descriptif plus détaillé de ce banc d'essai est également donné dans le chapitre IV.

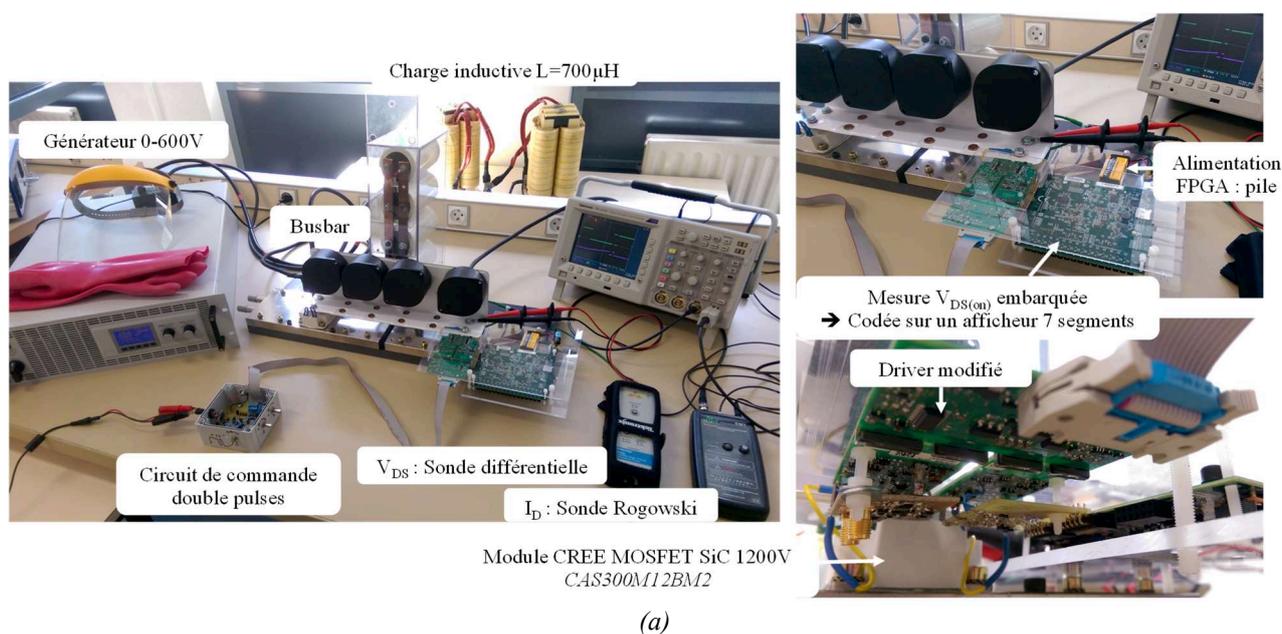






Figure II-14 : Caractérisation d'un module SiC au traceur B1505A (Power Device Analyzer)

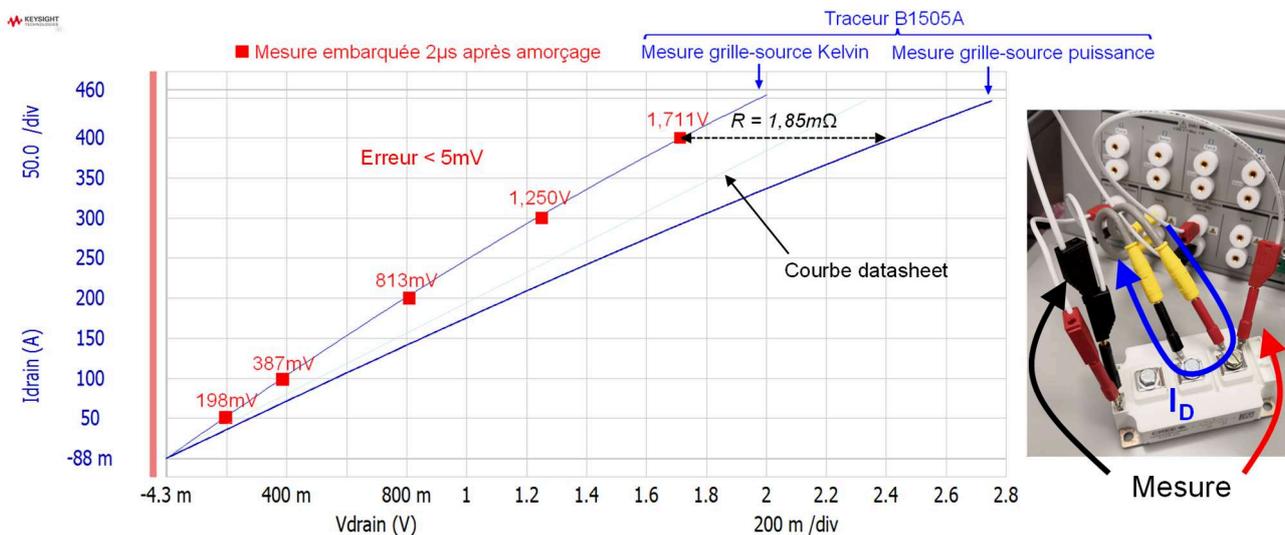


Figure II-15 : Caractérisation  $I_D=f(V_{DS})$  du module SiC CAS300M12BM2

Enfin, des essais en température ont été réalisés pour démontrer l'influence de la température de jonction sur la chute de tension à l'état passant (et par extension sur le  $R_{DS(on)}$ ). Pour se faire, un cryothermostat a été raccordé sur les plaques à eau permettant la régulation en température du module. Les essais étant de type double pulse (impulsionnels), on considère qu'après un temps suffisant,  $T_{semelle} = T_j$  car l'échauffement lié à une double commutation est négligeable. La température est donc

considérée homogène à l'intérieur du module. On remarque sur les courbes de la figure II-17, une augmentation du  $V_{DS(on)}$  allant jusqu'à 2,4V sous 400A à 85°C. Dans ces essais, la température est mesurée par l'intermédiaire d'un thermocouple au niveau de la semelle du module.

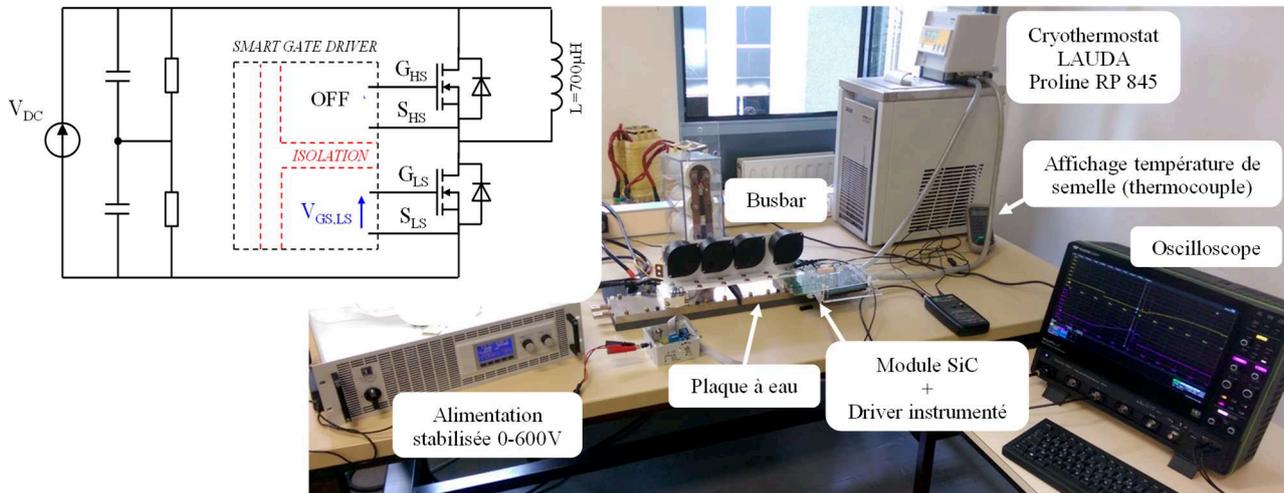


Figure II-16 : Montage double pulse permettant des essais en température

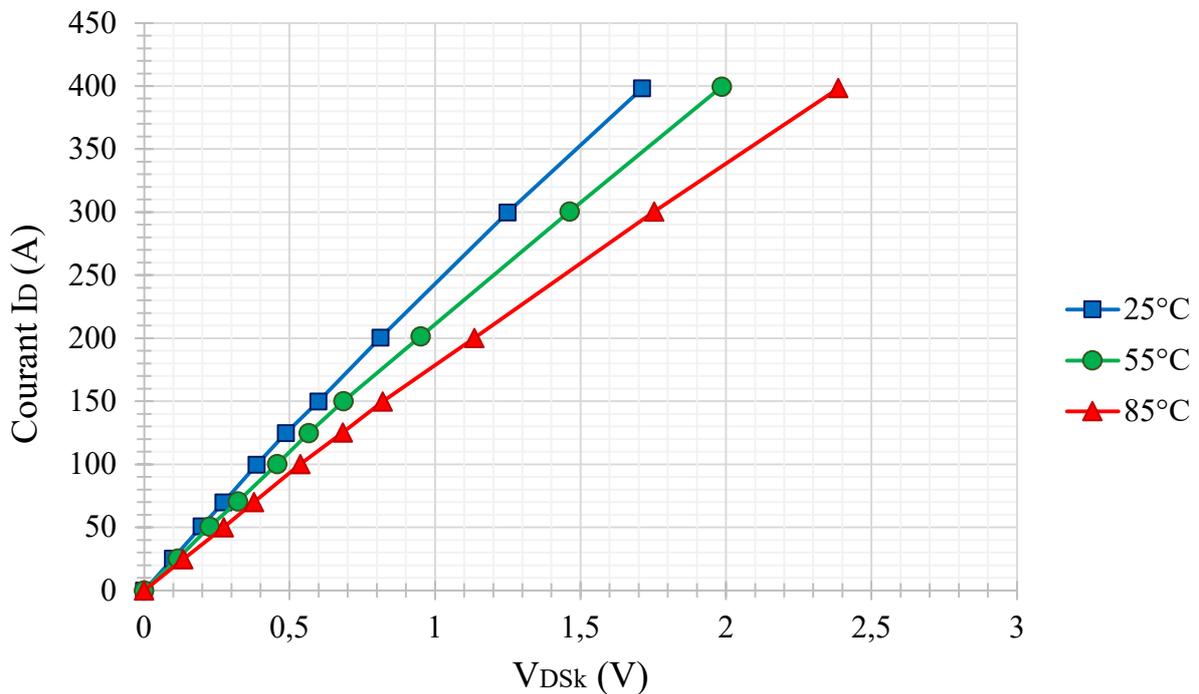


Figure II-17 : Résultats de mesure du  $V_{DS(on)}$  sous différentes températures

Le fluide utilisé ici étant de l'eau glycolée, la température de consigne maximale est de 100°C. Ce protocole de manipulation ne permet donc pas une mesure au-delà de  $T_{semelle}=85^{\circ}\text{C}$  à cause du refroidissement dans les tuyaux et la plaque à eau.

Les essais ont permis de démontrer la pertinence du circuit de mesure embarqué présenté à la figure II-8, une mesure précise du  $V_{DS(on)}$  synchronisée à la courant en sortie d'onduleur permet donc un suivi en temps réel de la résistance à l'état passant du composant. Néanmoins, ce système de mesure doit être complété par une mesure de température au plus proche du semi-conducteur (ex : type NTC à l'intérieur du module). Le suivi d'un deuxième indicateur de vieillissement tel que le courant de fuite de grille peut également éviter la détection d'erreurs intempestives et rendre plus robuste le système de diagnostic.

## B. ESTIMATION DU COURANT DE FUITE DE GRILLE $I_{GSS}$

### B.1 État de l'art

Les composants à semi-conducteurs de puissance SiC sont de plus en plus utilisés dans les systèmes de conversion d'énergie. Cependant, la maturité de la technologie SiC est modérée en comparaison des composants à base de Silicium. La surveillance d'indicateurs de vieillissement pendant le fonctionnement normal permettrait de prédire des défaillances et simplifier la maintenance des systèmes de conversion d'énergie. Grâce à une forte évolution pendant le processus de vieillissement, les courants de fuite de grille ont été proposés comme un indicateur de vieillissement pratique pour le diagnostic en temps réel des composants MOSFET SiC.

Le paramètre  $I_{GSS}$  représente le courant de fuite entre la grille et la source lorsque le drain est connecté à la source (composant passant). Ce courant à l'échelle du nA est très faible en comparaison du courant de drain circulant dans le composant. A cause de la faible amplitude du courant de fuite, sa mesure directe est difficile même dans des conditions de laboratoire et requiert une caractérisation hors-ligne. En effet, le paramètre  $I_{GSS}$  est généralement obtenu par une mesure à vide en utilisant un traceur de courbe ou un fA-mètre [84]. La mesure des courants de fuite de grille pendant le fonctionnement normal du composant représente donc un réel défi. Des études [85]–[87] ont rapporté une méthode de détection des courants de fuite de grille sur des composants de type MOSFET SiC. Cette technique consiste à mesurer la tension aux bornes de la résistance de grille en utilisant un amplificateur différentiel à grand gain et faible bruit. Comme le montre la figure II-18, cette technique peut facilement être embarquée sur une carte driver et permet une mesure instantanée. Cependant, elle permet uniquement la mesure de courants de l'ordre du mA. Cette limitation est due à la faible valeur de la résistance de grille, à l'environnement fortement bruité et aux caractéristiques de l'amplificateur différentiel.

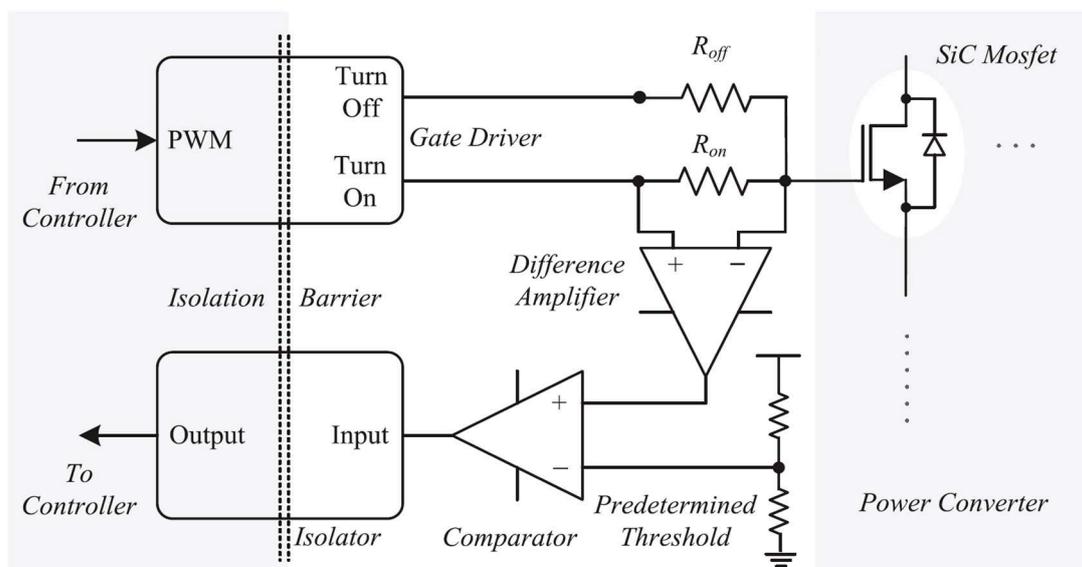


Figure II-18 : État de l'art – Mesure directe du courant de fuite de grille [87]

Comme détaillé à la section I.D.1, l'évolution du courant de fuite de grille au cours du vieillissement est de l'ordre de la centaine de nA voire  $\mu\text{A}$ . Les défaillances rapportées apparaissent généralement lorsque les courants de fuite excèdent la centaine de  $\mu\text{A}$  parfois même avant. Dans ces conditions, une mesure à 1mA près n'est pas suffisante.

## B.2 Circuit de commande rapprochée usuel pour MOSFET SiC

La plupart des modules de puissance MOSFET SiC de première et deuxième générations nécessitent une tension grille-source de +20V/-5V pour une commutation optimale. Une tension d'alimentation de 25V est donc nécessaire pour piloter un composant MOSFET SiC. Un étage de sortie (aussi appelé buffer ou gate driver) permet de charger la capacité grille-source  $C_{GS}$  et la capacité Miller  $C_{GD}$  pour permettre une commutation optimale du composant SiC. Un signal de commande de type MLI est appliqué à l'étage de sortie. Dans le circuit présenté à la figure II-19, les appels de courant sont fournis par les condensateurs  $C_1$  et  $C_2$ , aussi appelés condensateurs de découplage.

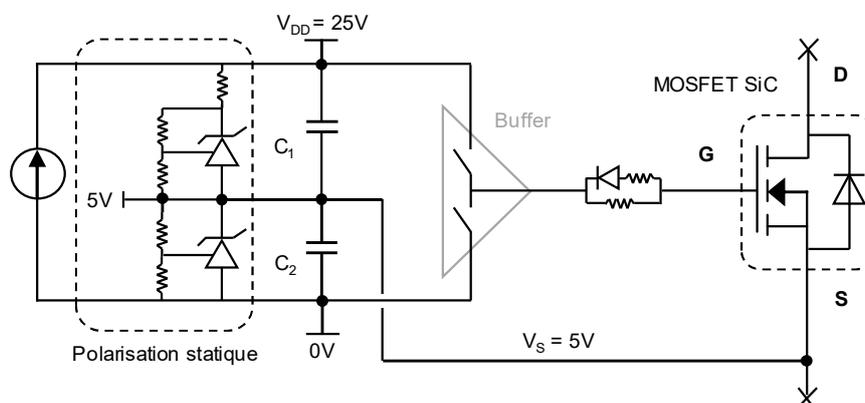


Figure II-19 : Circuit de commande rapprochée adapté à la commande de MOSFET SiC

Le courant de grille moyen est nul dans un transistor MOSFET idéal grâce au comportement capacitif de l'interface grille-source. Si le potentiel de référence du driver (0V) est défini comme le potentiel le plus bas du circuit comme à la figure II-19 alors le potentiel de source du composant doit être polarisé à 5V. La tension d'alimentation de 25V est généralement obtenue par l'utilisation d'un convertisseur DC-DC isolé.

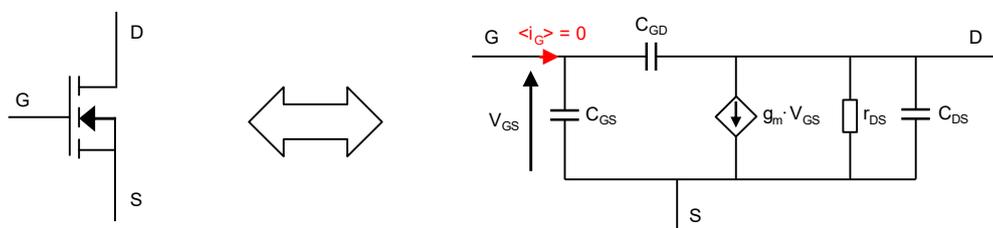


Figure II-20 : Modèle classique d'un transistor MOSFET

### B.3 Méthode proposée

Puisque la mesure directe du courant de fuite de grille n'est pas possible pour des courants sub-mA, une méthode d'estimation par mesure indirecte a été envisagée. L'objectif ici n'est pas de mesurer précisément un courant de fuite  $I_{GSS}$  mais bien d'observer une évolution de cette grandeur. La méthode proposée exploite la structure classique de commande rapprochée telle que définie à la figure II-19. Pendant le processus d'estimation, le point de polarisation statique (5V) est déconnecté du pont capacitif formé par les condensateurs  $C_1$  et  $C_2$ . Le principe consiste à quantifier la dérive en tension au niveau du point milieu du pont capacitif pendant le processus d'estimation. Le potentiel de source  $V_S$  est donc surveillé pour en déduire le courant de fuite de grille. Comme illustré aux figures II-21 et II-22, la dérive du potentiel de source est autorisée dans une plage de  $\Delta V_S = \pm 0,5V$  autour de sa tension de polarisation 5V. Connaissant  $C_1$  et  $C_2$ , le temps  $T_L$  nécessaire pour atteindre la butée à  $\pm 0,5V$  permet de déduire la valeur du courant de fuite. Le processus d'estimation est donc basé sur l'intégration dans le temps d'un faible courant sur une longue durée  $T_L$ . Cette durée peut atteindre plusieurs minutes selon la valeur du courant et la précision recherchée.

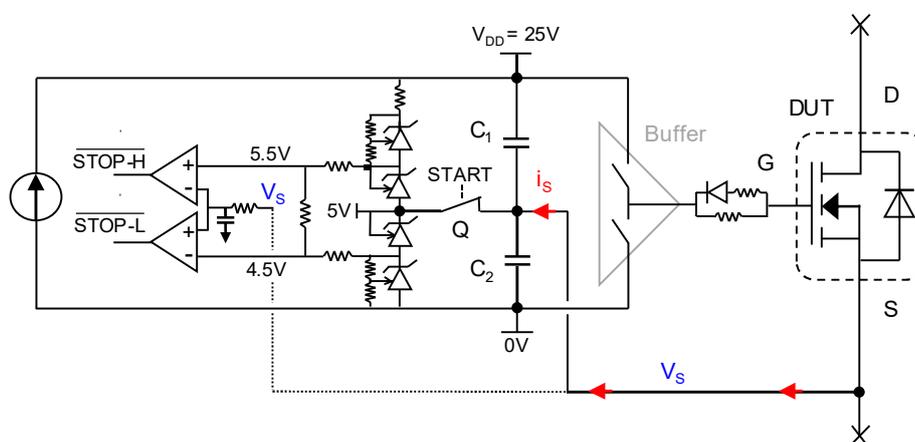


Figure II-21 : Circuit d'estimation du courant de fuite de grille proposé

Une analyse du courant de fuite de grille par approche dynamique est proposée à la figure II-22, cela conduit aux équations (1) et (2).

$$i_{C1}(t) = C_1 \frac{d(V_{DD}-V_S)}{dt} = -C_1 \frac{dV_S}{dt} \quad (1)$$

$$i_S(t) = i_{C2}(t) - i_{C1}(t) = (C_1 + C_2) \frac{dV_S}{dt} \quad (2)$$

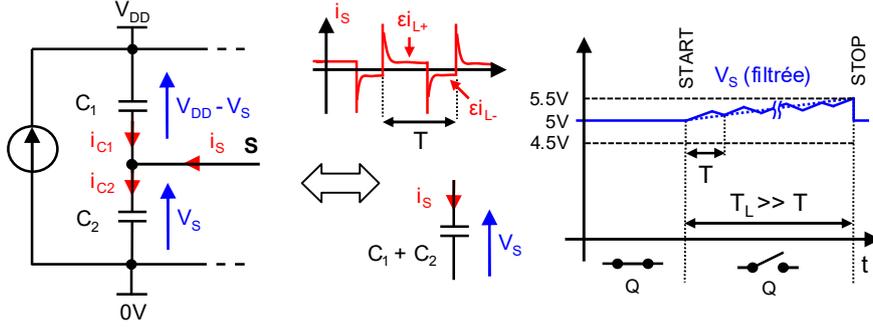


Figure II-22 : Approche dynamique pour la modélisation de la fuite de grille

Le courant  $i_S$  peut s'exprimer comme une fonction du courant de fuite  $I_{L,DUT}$ . Dans l'équation (3), le courant de grille  $i_G$  est défini comme le courant réellement utile à la commande du transistor tandis que le terme  $I_{L,DUT}$  désigne les fuites parasites dans la grille.

$$i_S(t) = i_G(t) + i_{L,DUT}(t) , \langle i_G \rangle = 0 \quad (3)$$

$$V_S(t) = \frac{1}{C_1+C_2} \int_0^{T_L} i_{L,DUT}(t) dt \quad (4)$$

Le calcul intégral de l'équation (4) nécessite un modèle comportemental du courant de fuite de grille. En considérant l'hypothèse d'un modèle résistif, la dérive en tension après n périodes T du signal MLI peut s'exprimer comme suit :

$$\Delta V_{S,n} = \frac{1}{C_1+C_2} \left[ n \int_0^{\alpha T} \varepsilon i_{L+} dt + n \int_{\alpha T}^T \varepsilon i_{L-} dt \right] \quad (5)$$

$$\Delta V_{S,n=T_L/T} = \frac{n T}{C_1+C_2} \underbrace{[\alpha \varepsilon i_{L+} + (1 - \alpha) \varepsilon i_{L-}]}_{\langle i_S \rangle} \quad (6)$$

Où  $\varepsilon i_{L+}$  et  $\varepsilon i_{L-}$  sont respectivement les courants de fuite élémentaires pendant l'amorçage et le blocage. En conséquence, après  $T_L = n T$ , le courant de fuite moyen mesuré  $I_{L,MES}$  par la méthode proposée s'obtient en utilisant l'équation (7).

$$\langle i_S \rangle = I_{L,MES} = I_{L,DRIVER} + I_{L,DUT} = (C_1 + C_2) \frac{\Delta V_S}{T_L} \quad (7)$$

Où  $I_{L,DRIVER}$  est le courant de fuite parasite dû aux fuites des composants utilisés dans le driver.

Pour des courants très faibles, le temps de mesure  $T_L$  est relativement long tandis qu'un courant de fuite excessif induit un temps de mesure plus rapide.

Comme l'illustre la figure II-23, le courant de fuite résultant  $I_{L,MES}$  représente le courant de fuite total vue par la source (S) en incluant les fuites liées au système  $I_{L,DRIVER}$ . Les courants de fuite du système sont principalement dus aux courants de fuite dans les condensateurs  $C_1$  et  $C_2$  et dans l'interrupteur  $Q$  ainsi qu'aux courants d'entrée des comparateurs ( $I_{L,COMP}$ ) et les fuites dans le PCB. Par conséquent, une calibration en courant (CAL) est nécessaire pour atteindre une précision à l'échelle du nA. La valeur obtenue à la calibration est ensuite utilisée comme référence pour toute la durée de vie du composant testé (DUT). Evidemment, les courants de fuite du système ainsi que la valeur des capacités  $C_1$  et  $C_2$  peuvent également varier au cours du processus de vieillissement. C'est la raison pour laquelle la valeur de fuite obtenue par l'équation (7) peut seulement permettre une estimation ou approximation de la valeur réelle de fuite de grille  $I_{GSS}$  du composant testé. On rappelle que l'objectif n'est pas la mesure absolue du courant de fuite mais bien le suivi de la variation relative de cette grandeur. Par exemple, pouvoir dissocier un composant usé qui fuit à hauteur de  $100\mu A$  d'un composant neuf dont la fuite est inférieure à  $100nA$  ne nécessite pas une mesure précise au nA près, un ordre de grandeur est suffisant.

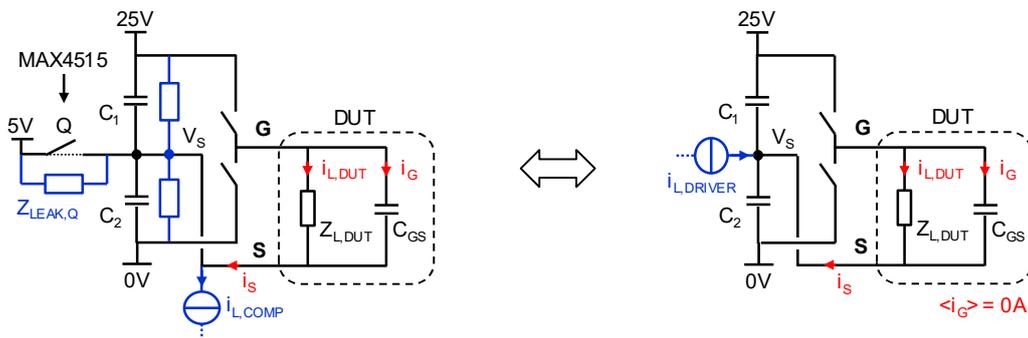


Figure II-23 : Modélisation des courants de fuite dans le driver de grille

La méthode proposée peut être implémentée comme une méthode de surveillance hors-ligne aussi bien qu'en cours de fonctionnement. L'évaluation des courants de fuite hors-ligne peut s'effectuer lorsque le convertisseur est à l'arrêt. Pendant  $T_L$ , si  $I_{L,DRIVER}$  est nul, le potentiel de source  $V_S$  augmente naturellement si le composant testé est passant ( $V_{GS,ON} = +20V$ ) et diminue naturellement si le composant testé est bloqué ( $V_{GS,OFF} = -5V$ ). La variation linéaire de  $V_S$  s'explique par la charge/décharge de  $C_1 + C_2$  à courant constant. Par exemple, lorsque le composant testé (DUT) est passant,  $C_1$  se décharge tandis que  $C_2$  se charge pendant la phase d'estimation.

Bien que la surveillance hors-ligne est intéressante pour une évaluation précise du courant de fuite de grille, l'application la plus pertinente de la méthode proposée est la surveillance en cours de fonctionnement. Pendant le fonctionnement normal, le composant testé (DUT) est commandé en utilisant une loi de commande propre à chaque application. On distinguera dans cette étude le

fonctionnement en mode hacheur et en mode onduleur. En considérant l'hypothèse d'un comportement résistif entre grille et source ( $R_{GS}$ ) au cours du vieillissement, le courant de fuite moyen théorique peut s'exprimer comme suit :

$$I_{L,TH} = \frac{1}{R_{GS}} (\alpha(t) \cdot V_{DD} + V_{GS,OFF}) \quad (8)$$

Où  $\alpha(t)$  est le rapport cyclique instantané du signal de tension grille-source  $V_{GS}$  et  $V_{DD}$  est la tension d'alimentation (ici  $V_{DD} = 25V$ ).

Par conséquent, on remarque que pour  $\alpha=20\%$  les courants de fuite se compensent sur une période de découpage donnée et le potentiel  $V_S$  reste stable à 5V. Pour toute autre valeur, une variation positive ou négative peut être observée sur le potentiel de source. Le rapport cyclique et donc la loi de commande appliquée ont donc une incidence sur le système d'estimation du courant de fuite de grille. Toutefois, dans le cas d'une application onduleur, le rapport cyclique est défini par :

$$\alpha(t) = \frac{1+m \cdot \cos(2\pi ft)}{2} \quad (9)$$

Où  $m$  est le taux de modulation et  $f$  la fréquence du signal modulant.

Dans ce cas, le rapport cyclique moyen est de 50% et le courant de fuite théorique s'exprime comme une constante puisque  $T_L \gg T$ .

$$I_{L,TH} = \frac{V_{GS,ON} + V_{GS,OFF}}{2 \cdot R_{GS}} = \frac{15}{2 \cdot R_{GS}} \quad (10)$$

La méthode proposée permet donc une caractérisation hors-ligne ou en cours de fonctionnement pour une application onduleur. Dans le cas d'un fonctionnement en mode hacheur, la valeur du rapport cyclique doit être prise en compte dans le calcul, ce qui rend la méthode proposée moins attractive. La méthode proposée est donc particulièrement adaptée au fonctionnement en mode onduleur mais la principale contrainte est la nécessité d'une calibration en courant à l'état « neuf ». En pratique, cette calibration devra être effectuée lors de la première mise en service du convertisseur d'énergie et servira de référence pour toute la durée de vie du composant testé.

### B.4 Essais

Des essais ont été menés pour valider la méthode proposée. Dans un premier temps, une résistance a été ajoutée entre la grille et la source pour simuler un courant de fuite de grille sur le composant testé (DUT). Pour ces premiers essais, le composant testé est un composant MOSFET SiC discret C2M0040120. Un composant « veilli » (même référence) a ensuite été soumis au processus d'estimation de manière à pouvoir valider l'hypothèse d'un comportement globalement résistif de la jonction grille-source lors du vieillissement du composant. Enfin, des essais en environnement de puissance ont été menés sur un module de puissance SiC 1,2kV. Une discussion sur l'influence de la température sur les courants de fuite a également été initiée.

### B.4.1 Emulation du courant de fuite de grille par ajout d'une résistance grille-source

Le circuit présenté à la figure II-21 a été greffé sur une driver de grille conventionnel utilisé pour la commande rapprochée de modules SiC. Comme le montre la figure II-24, deux signaux sont nécessaires au circuit d'estimation de fuite de grille : un signal START permettant d'actionner l'interrupteur  $Q$  et un signal de déclenchement de seuil (STOP) qui permet d'interrompre le processus d'estimation lorsque  $V_S$  atteint 4,5V ou 5,5V.

La mesure en fonctionnement a été testée avec un signal de commande modulé correspondant à une application onduleur (tel que défini dans l'équation 9). Comme illustré à la figure II-25(a), un circuit basique de type hacheur a été utilisé pour tester la cellule de commutation car la mesure de la fuite de grille est indépendante de la configuration du circuit de puissance. Dans ce cas, un signal MLI de 100kHz a été utilisé pour commander le composant. Le signal modulant est un signal sinusoïdal de fréquence 1kHz. Le courant dans la charge est sinusoïdal car le signal  $V_{GS}$  appliqué correspond à une application onduleur. La meilleure précision est obtenue lorsque  $T_{SINUS} \ll T_L$  où  $T_{SINUS}$  est la période du signal modulant.  $T_L$  est typiquement de l'ordre de la seconde mais il peut être inférieur à 1s lorsqu'un courant de fuite excessif est détecté ( $I_{L,MES} > 10\mu A$ ).

$C_1$  et  $C_2$  sont composées chacun de 4 condensateurs de 4,7 $\mu F$  ce qui équivaut à  $C_1 + C_2 = 37,6\mu F$  ( $\pm 10\%$ ). Cependant, la valeur de capacité dépend de la qualité des condensateurs, de la température et de la tension appliquée (derating), la valeur nominale est donc utilisée comme une approximation dans le processus d'estimation. C'est pourquoi on parlera d'une méthode d'estimation plutôt que d'une méthode de mesure précise.

La plage de variation autorisée du potentiel de source est de  $\Delta V_S = \pm 0,5V$  pour garantir un tension  $V_{GS}$  entre -5,5V et +20,5V dans le pire des cas. La tension de seuil doit être choisie en tenant compte des performances souhaitées du circuit d'estimation et des conditions de sécurité pour le signal  $V_{GS}$ .

Une calibration a été effectuée sur un composant MOSFET SiC 1,2kV « neuf » (C2M0040120). Puisque le paramètre  $I_{GSS}$  d'un composant « neuf » est typiquement de quelques fA ou pA, la variation du potentiel de source durant la calibration est entièrement due aux fuites du circuit de commande rapprochée  $I_{L,DRIVER}$ . Comme le montre la figure 24, le potentiel de source diminue pendant  $T_{L,CAL} = 45.5s$ , ce qui correspond à un courant de  $I_{L,DRIVER} = -413nA$ . Une vingtaine de calibrations ont été réalisées pour vérifier la reproductibilité de la mesure :  $43s < T_{L,CAL} < 46,2s$ . Ces essais correspondent à un courant de fuite lié au système entre -437nA et -407nA. On peut donc estimer une précision maximale de la méthode proposée de l'ordre de 30nA à faible courant. La valeur obtenue à la calibration  $I_{L,DRIVER}$  est différente d'un circuit à l'autre en fonction des courants parasites des composants utilisés. Une calibration à l'état « neuf » est donc nécessaire pour atteindre une précision de l'ordre de quelques dizaines de nA.

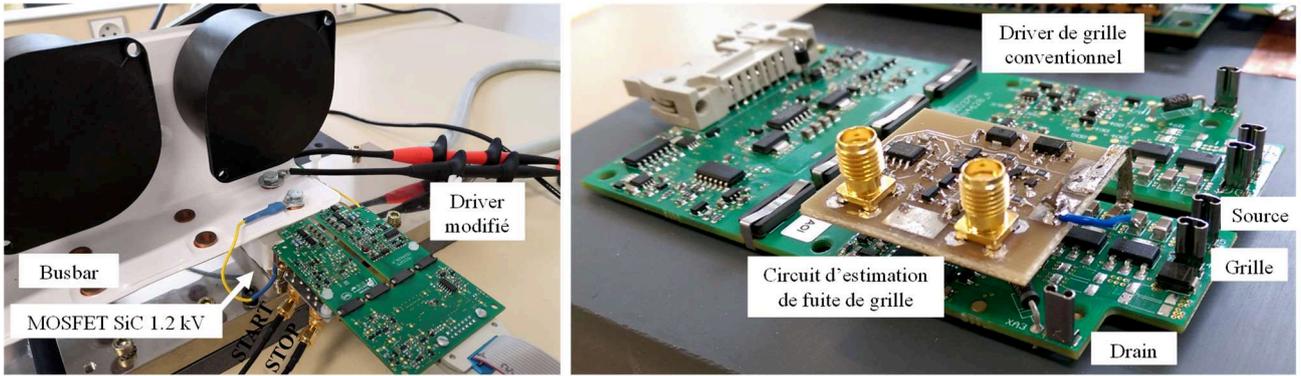


Figure II-24 : Montage expérimental pour l'estimation de la fuite de grille

Une résistance externe  $R_{GS}$  a été ajoutée entre la grille et la source du composant pour reproduire le vieillissement du composant testé. Les valeurs de courant correspondant aux courbes des figures II-25 et II-26 sont résumées dans le tableau 7. Par exemple, l'ajout d'une résistance de  $150M\Omega$  correspond à un courant introduit de  $I_{L,TH} = 50nA$ . Les résultats expérimentaux montrent une variation négative du potentiel  $V_S$  pendant 53s pour atteindre la butée à  $-0,5V$ . Après soustraction de la valeur de fuite obtenue à la calibration, on obtient  $I_{L,DUT} = 58nA$ . Dans le cas d'un courant de fuite de grille introduit de  $1,05\mu A$ , une dérive positive de 25,8s est observée sur  $V_S$ , ce qui correspond à  $I_{L,DUT} = 1,14\mu A$ . Un courant de fuite de  $50nA$  peut donc être aisément détecté en utilisant la méthode proposée. Toutefois, une variation positive ou négative du potentiel  $V_S$  signifie également que pour une valeur de courant particulière, la durée d'acquisition est très longue ( $T_L > 90s$ ). Il en résulte une zone d'incertitude dans laquelle la valeur du courant de fuite peut être encadrée mais ne peut pas être déterminée précisément. Dans l'exemple présenté à la figure II-25, les courants de fuite entre  $200nA$  et  $500nA$  ne peuvent pas être automatiquement différenciés. A la figure II-27, les points correspondants ont été obtenus en tenant compte par mesure du  $\Delta V_S$  après 90s, les butées n'ayant pas été atteintes dans le temps imparti. Cette zone d'incertitude  $\Delta i_{L,min}$  dépend du temps de mesure maximal autorisé et de la plage de variation  $\Delta V_S$  selon l'équation (11).

$$\Delta i_{L,min} = i_{L,min+} - i_{L,min-} = 2 \cdot (C_1 + C_2) \cdot \frac{|\Delta V_S|}{T_{L,max}} = 2 \cdot (C_1 + C_2) \cdot \frac{|\Delta V_S|}{cpt \cdot dt} \quad (11)$$

Où  $dt$  est le pas temporel élémentaire (en secondes) et  $cpt$  la taille du compteur alloué pour le calcul du courant de fuite.

Ce problème peut être contourné par l'introduction d'une résistance  $R_{GS}$  destinée à compenser la dérive liée aux courants parasites dans le circuit de mesure proposé. Dans ce cas, la variation de potentiel serait dans tous les cas positive ( $\Delta V_S = 0,5V$ ) et l'accroissement du courant de fuite ne pourrait résulter qu'en un temps de mesure plus court.

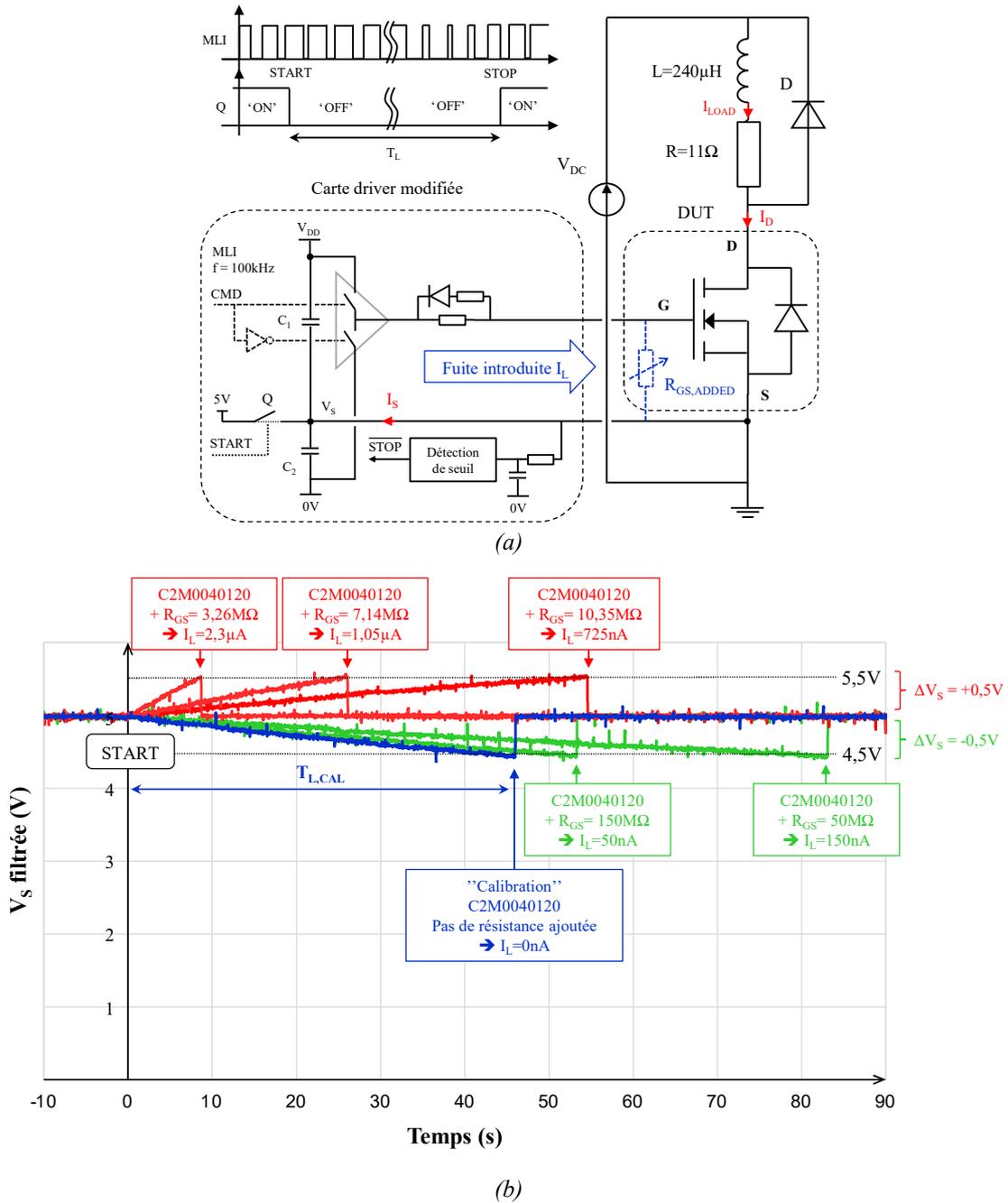


Figure II-25 : Résultats d'essais avec émulation du courant de fuite par ajout de résistance grille-source Montage expérimental (a) et formes d'ondes (b)

Le dimensionnement du pas temporel de calcul  $dt$  et la taille du compteur  $cpt$  peut être réalisé en utilisant les équations (12) et (13).

$$dt = (C_1 + C_2) \cdot \frac{|\Delta V_s|}{i_{L,max}} \cdot \frac{Res}{1+Res} \quad (12)$$

$$cpt = \frac{i_{L,max}}{i_{L,min}} \cdot \frac{1+Res}{1-Res} \cdot \frac{1}{Res} \quad (13)$$

Où le terme  $Res$  désigne la résolution de la mesure (en %).

**B.4.2 Validation de l’hypothèse d’un comportement résistif en utilisant un composant « vieilli »**

Comme mentionné plus haut, un composant « vieilli » (C2M0040120) a été soumis à la méthode d’estimation proposée afin de vérifier le modèle résistif d’une interface grille-source détériorée. Cet échantillon a été fourni par le laboratoire SATIE. Ce composant « vieilli » a été obtenu par vieillissement accéléré après un cyclage en court-circuit de 480k cycles. L’énergie dissipée dans le composant à chaque court-circuit est de 0,27J, inférieure à l’énergie critique correspondante à une destruction instantanée du composant. Pour se faire, des courts-circuits d’une durée de 1,5µs ont été appliqués toutes les 1,5s (facteur 1/10) dans le but d’éviter l’emballement thermique du composant. Ce processus est donc très lent et doit être réalisé avec soin. Le stress électrique répété a permis de vieillir artificiellement l’interface grille-source comme expliqué à la section I.D.1. A la fin de ce processus de vieillissement, un courant de fuite excessif  $I_{GSS} = 2,01mA$  a été mesuré en utilisant un fA-mètre. L’échantillon ainsi obtenu a donc été sélectionné pour vérifier l’hypothèse d’un comportement résistif de la jonction grille-source lors du vieillissement tel que défini précédemment.

TABLEAU 7  
RESULTATS DES ESSAIS D’ESTIMATION DE FUITE DE GRILLE

$R_{GS}$ ajoutée ( $\Omega$ )	$I_L$ introduit	$T_L$ ( $\Delta V_S$ +/-)	$I_{L,MES} = I_{L,DRIVER} + I_{L,DUT}$	$I_{L,DUT}$ estimée
CAL ( $R_{GS} \rightarrow \infty$ )	0 nA	45,5s (-)	-413 nA	0 nA
150 M $\Omega$	50 nA	53s (-)	-355 nA	58 nA
50 M $\Omega$	150 nA	82,3s (-)	-229 nA	184 nA
10,35 M $\Omega$	725 nA	54,5s (+)	+345 nA	758 nA
7,14 M $\Omega$	1,05 µA	25,8s (+)	+729 nA	1,14 µA
3,26 M $\Omega$	2,3 µA	8,6s (+)	+2,19µA	2,6 µA
Composant «vieilli» (sans $R_{GS}$ )	2,01 mA*	11,88ms (+)	+1,58 mA	1,58 mA

\*  $I_{GSS} = 2,01mA$  mesuré à l’ampèremètre ( $V_{GS}=20V$ ); forme d’onde à la figure II-26

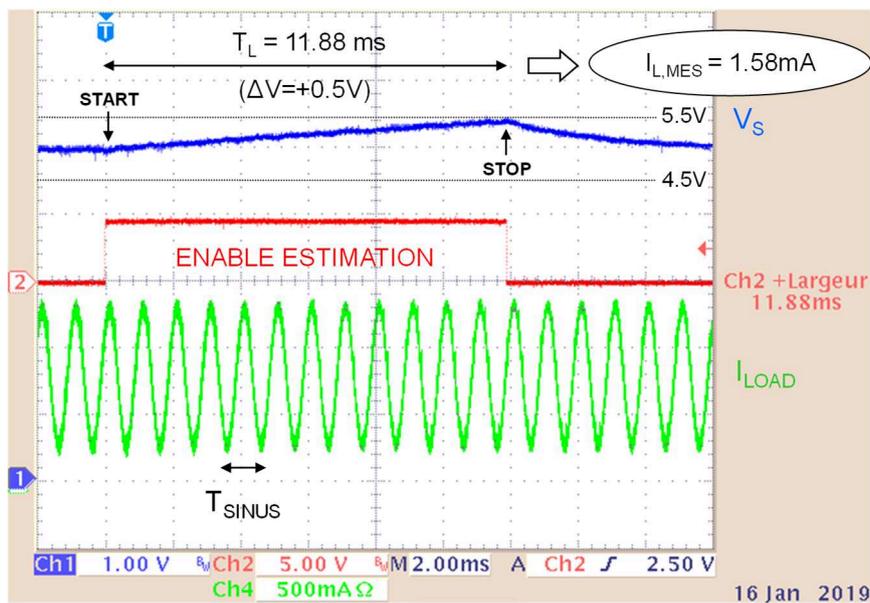


Figure II-26 : Validation de l’hypothèse d’un comportement résistif

La valeur mesurée  $I_{L,DUT}$  évolue de la même manière que le paramètre  $I_{GSS}$  mais les conditions de mesure n'étant pas strictement les mêmes, leurs valeurs diffèrent. En effet, une caractérisation hors-ligne est nécessaire dans le cas de la mesure de  $I_{GSS}$  ( $V_{GS} = constante = 20V$ ), tandis qu'une estimation en cours de fonctionnement est réalisée pour obtenir le courant  $I_{L,DUT}$  ( $V_{GS}$  variable). L'essai présenté à la figure II-26 a permis d'évaluer un courant de  $I_{L,DUT} = 1,58mA$  en utilisant la méthode proposée. Dans ce cas, la dérive du potentiel de source  $V_S$  est positive et le temps d'acquisition est très rapide ( $T_L = 11,88ms$ ) en comparaison du temps de calibration  $T_{L,CAL} \approx 45,5s$ . L'erreur de mesure est d'environ 20% mais la valeur absolue du courant de fuite n'est pas nécessaire, seule la valeur relative par rapport à la calibration est pertinente. De plus, les variations de courant observées sont considérables (de quelques nA au mA). Une mesure précise de la valeur absolue de la fuite n'est pas l'objectif de ce travail, seule la variation du courant de fuite de grille est surveillée. Par exemple, une première alerte pourrait être lancée lorsque le courant de fuite atteint  $10\mu A$  puis un signal d'erreur pourrait être activé lors du dépassement d'un seuil à  $100\mu A$ . Dans ces conditions, une erreur de 20% est donc parfaitement acceptable. Les seuils d'alertes doivent être choisis en fonction des tests d'endurance du composant considéré.

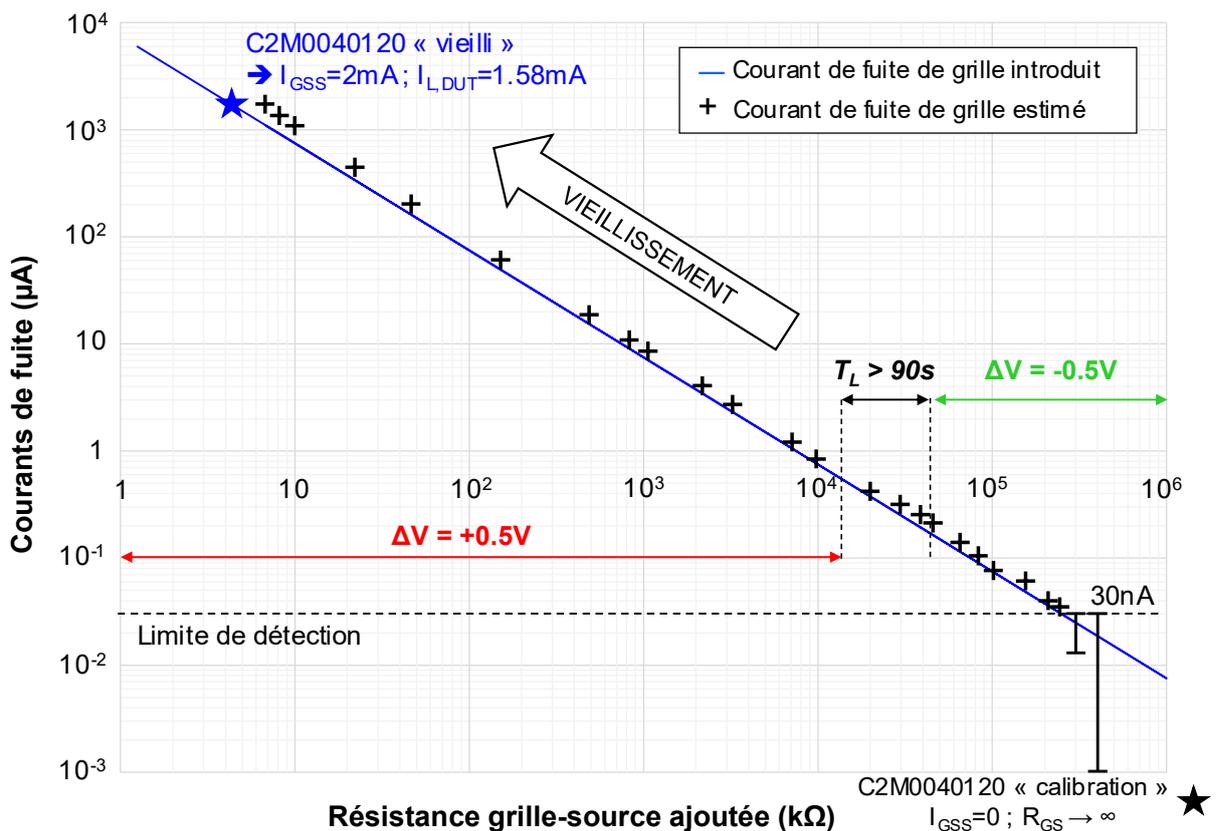


Figure II-27 : Synthèse des résultats d'estimation de courant de fuite de grille

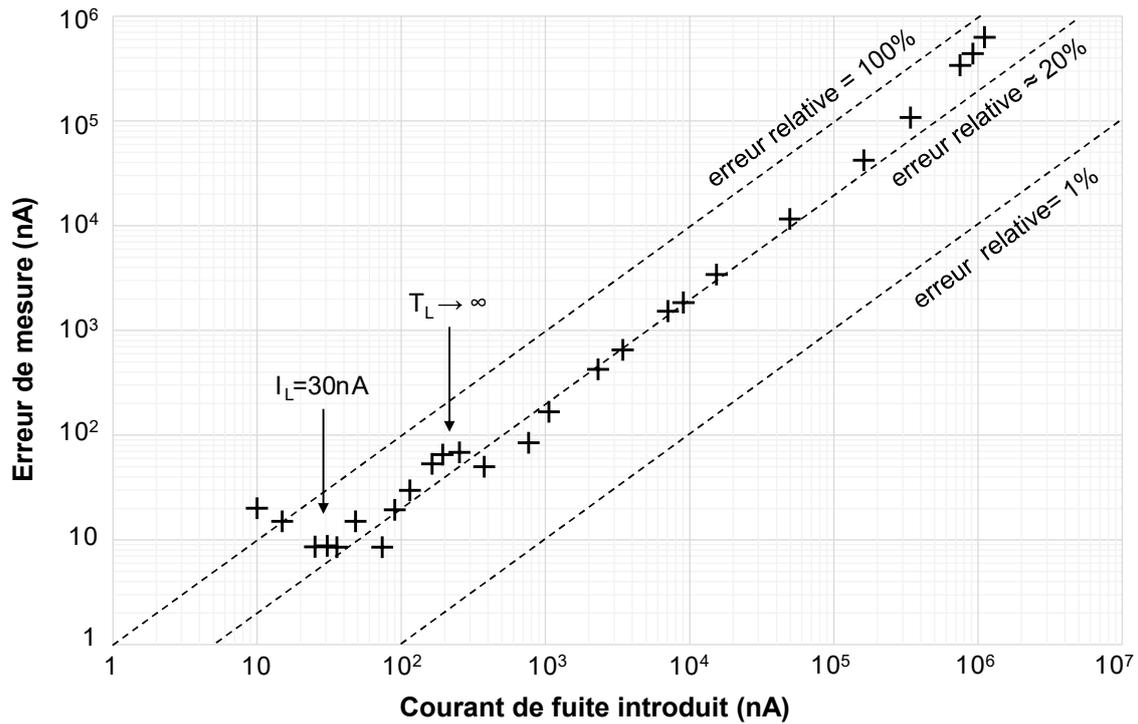


Figure II-28 : Erreur de mesure sur le courant de fuite de grille

Comme illustré à la figure II-29, le circuit proposé est facilement intégrable dans une carte driver car cette méthode ne nécessite pas de convertisseur analogique-numérique (CAN). La première limite de cette approche concerne le comportement en température des courants de fuite, cette problématique est évoquée à la section II.B.4. Une autre limitation concerne le vieillissement du circuit de mesure lui-même, en particulier le vieillissement des condensateurs  $C_1$  et  $C_2$ .

### B.4.3 Essais en configuration onduleur

Le circuit proposé a été implémenté dans un démonstrateur de driver de grille intelligent qui intègre, entre autres, des composants programmables de type FPGA. Ce démonstrateur permet le calcul automatique du courant de fuite de grille en exploitant l'équation (7). La conception de cet évaluateur technologique et la gestion des données de surveillance sont abordés plus en détail dans le chapitre IV. Ce démonstrateur a été testé en configuration onduleur à 50kVA sous une tension de bus  $V_{DC} = 540V$  en utilisant un signal de commande MLI de 100kHz avec un coefficient de modulation de  $m=90\%$ . L'estimation de la fuite de grille étant un processus pouvant durer plusieurs minutes, des essais à puissance réduite (100W) ont été réalisés pour garantir la stabilité en température du module pendant la mesure.

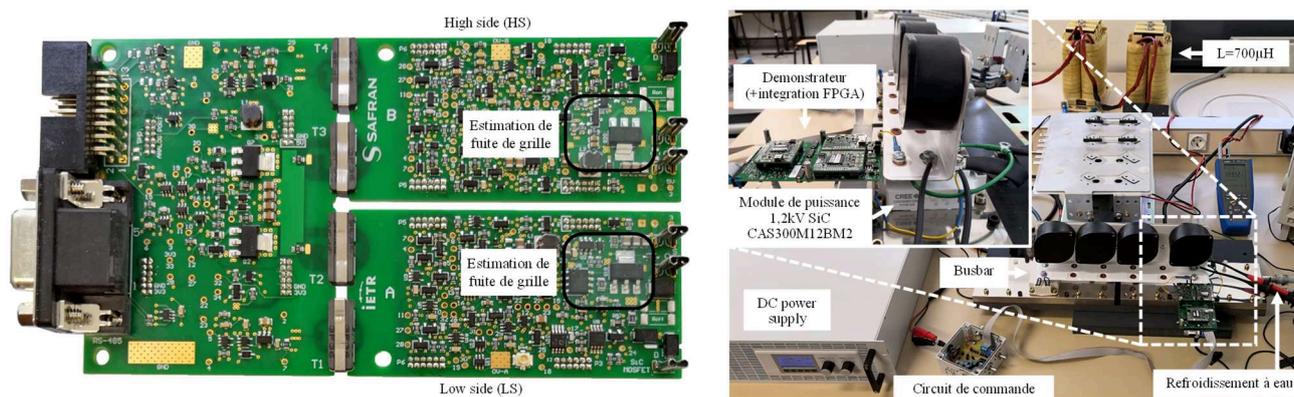


Figure II-29 : Montage expérimental pour l'estimation de la fuite de grille en environnement de puissance

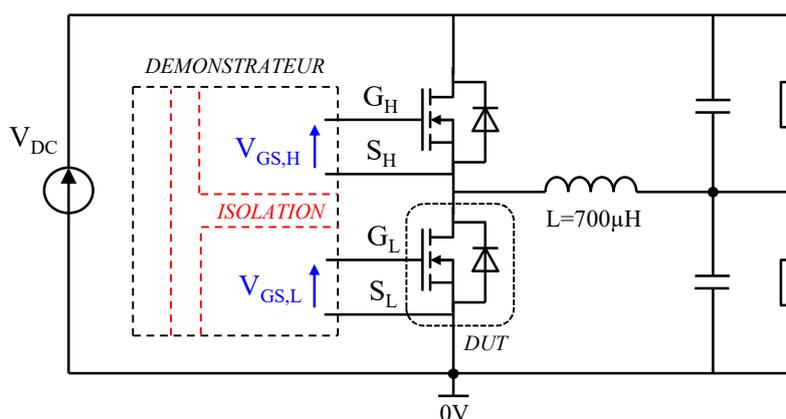


Figure II-30 : Circuit onduleur à point milieu capacitif

Puisque l'hypothèse d'un comportement résistif de l'interface grille-source a été confirmée, le même protocole expérimental a été mis en œuvre sur un module SiC 1,2kV (CAS300M12BM2). Une résistance  $R_{GS}$  externe a été ajoutée pour émuler un courant de fuite de grille pendant le fonctionnement en environnement de puissance. En effet, il est extrêmement difficile de faire varier le courant de fuite de grille d'un tel module sans utiliser de résistance. Les mesures présentées à la figure II-31 confirment une limite de détection de 30nA et une erreur relative de 20% pour la mesure en fonctionnement (online monitoring). Les mesures effectuées hors-ligne par la même méthode sont plus précises (erreur relative d'environ 2%). La méthode proposée permet donc bien une estimation des courants de fuite de grille que ce soit en cours de fonctionnement ou à l'arrêt.

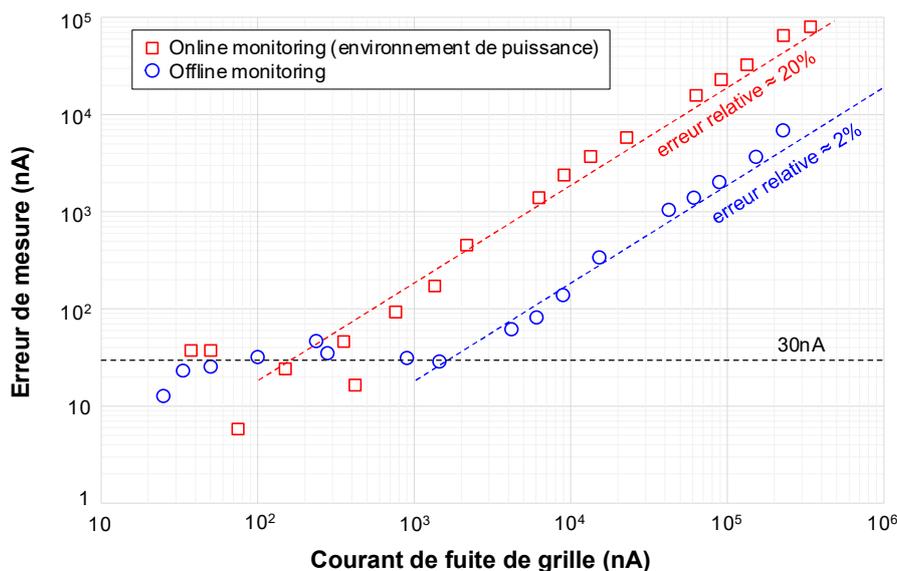


Figure II-31 : Comparaison de la précision de la méthode proposée en cours de fonctionnement et hors-ligne (essai sous puissance réduite à 100W)

### B.4.4 Influence de la température de fonctionnement

La reproductibilité de la calibration sous différentes températures a également été testée. La courbe présentée à la figure II-32 permet de mettre en évidence le comportement non-linéaire des courants de fuite liés au circuit de mesure. En effet, cet essai a été mené à vide, c'est-à-dire sans composant de puissance à piloter. Les valeurs obtenues à la figure II-32 ne sont pas reproductibles d'une carte à l'autre. Il apparaît qu'une calibration en température est nécessaire pour atteindre la précision maximale de 30nA. A défaut, la précision dépendra des courants de fuite parasites des composants choisis pour le circuit de mesure. Dans tous les cas, les courants de fuite de  $C_1$ ,  $C_2$  et de l'interrupteur  $Q$  doivent être minimisés.

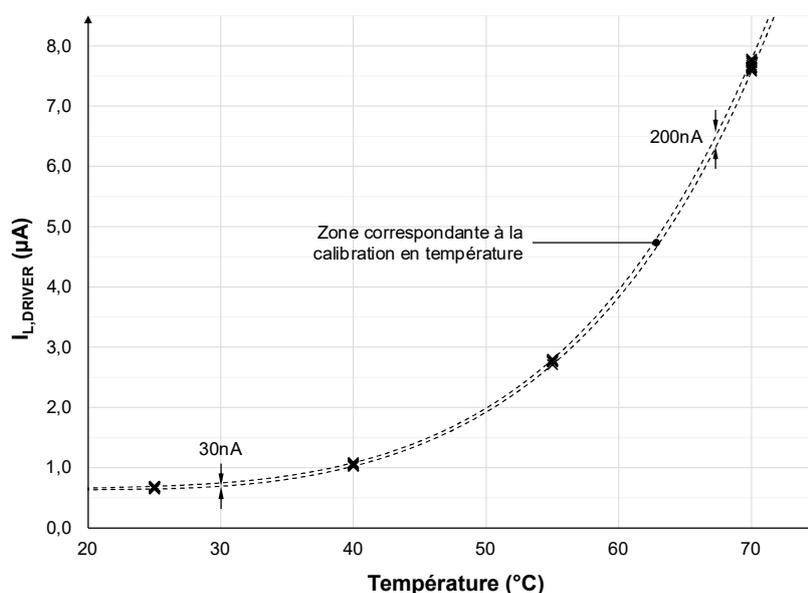


Figure II-32 : Influence de la température sur les fuites parasites liées aux composants choisis

### C. COMPATIBILITE DES CIRCUITS DE SURVEILLANCE

Les principes de fonctionnement du circuit de mesure de  $V_{DS(on)}$  et du circuit de détection de court-circuit (DESAT) sont similaires. Ces deux circuits injectent un faible courant de polarisation par le drain du composant testé, ce courant circule donc également dans la connectique de source (source Kelvin). Ces deux circuits ne peuvent donc pas être activés en même temps que le circuit d'estimation de fuite de grille. En principe, il convient donc d'inhiber les fonctions de surveillance drain-source lors d'une requête d'évaluation de la fuite de grille. C'est pourquoi, un signal /EN-MES-VDS permet d'actionner un transistor permettant une réorientation des courants de polarisation dans l'étage de mesure de  $V_{DS(on)}$ . L'activation de ce signal permet donc le blocage en toute circonstances de la diode d'isolation US1M. Un protocole identique doit être envisagé sur le circuit de détection de court-circuit. Un schéma de la solution complète est proposé à la figure II-33. La désactivation du circuit de protection en court-circuit est possible mais ne doit pas être opérée à la légère. En effet, sur un bras de pont, la détection de court-circuit est réalisée sur les deux cellules de commutation. En théorie, cette double surveillance n'est pas nécessaire. Il convient donc de ne désactiver qu'un seul étage de protection à chaque fois afin de garantir une sécurité maximale même pendant les phases de diagnostic. Cela revient à effectuer des requêtes d'estimation de fuite de grille de manière séquentielles sur le circuit de puissance, deux composants ne pouvant pas être diagnostiqués au même instant.

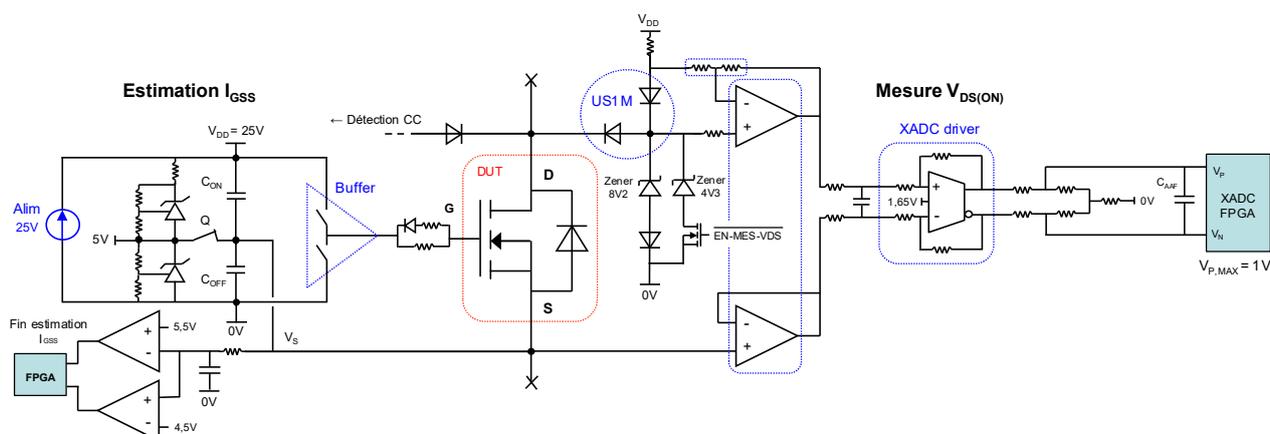


Figure II-33 : Intégration des moyens de mesure dans le circuit de commande rapprochée

Les essais de fuite de grille en conditions réelles ont malheureusement démontré un problème de compatibilité inattendu entre les circuits de surveillance. En effet, bien que désactivés, les étages de mesure  $V_{DS(on)}$  et de détection de court-circuit présentent des courants de fuites non-négligeables. En effet, les diodes d'isolation utilisées US1M présentent un courant de conduction en inverse de l'ordre de quelques  $\mu A$ . Ces diodes limitent donc les performances du circuit d'estimation de fuite de grille qui ne permet plus d'atteindre une résolution de 30nA. Le courant de conduction en inverse des diodes des circuits de surveillance drain-source apparaît donc comme un facteur limitant du circuit d'estimation des courants de fuite de grille.

Pour résoudre ce problème, il convient de choisir une diode à faible courant de fuite. Si ce n'est pas possible, il est possible de limiter légèrement le courant de fuite en minimisant la tension inverse

de la diode. Cela équivaut à se rapprocher du point de fonctionnement  $0V / 0A$ . Cependant, le seul moyen de résoudre définitivement ce problème est l'intégration d'un micro-switch permettant l'ouverture des chemins de circulation des courants parasites.

### D. CONCLUSIONS

Deux circuits de mesure ont été proposés, simulés et testés pour permettre la surveillance de la résistivité à l'état passant et des courants de fuite de grille par l'intermédiaire du circuit driver.

Un circuit de mesure  $V_{DS(on)}$  initialement développé pour une application IGBT a été adapté à une application MOSFET SiC. L'utilisation d'une mesure par voie différentielle et d'une adaptation de niveau ont permis la compatibilité avec un convertisseur analogique-numérique intégré dans un composant FPGA de Xilinx. La mesure n'est pas possible à chaque instant : d'une part, le rapport cyclique doit être suffisant pour permettre une mesure  $2\mu s$  après amorçage ; d'autre part, le courant de drain doit être positif. Vis-à-vis de cette double contrainte, il apparaît opportun d'effectuer cette mesure lors d'un pic de courant maximal. Les essais ont permis de démontrer une erreur de mesure inférieure à  $5mV$ . Des essais en double pulse ont été menés sur un module de puissance jusqu'à  $400A$ . Toutefois, la mesure réalisée ne reflète pas l'intégralité de la tension drain-source du module mais uniquement la tension drain-source Kelvin. La connectique liée au packaging au niveau de la source ne peut donc pas être surveillée par la méthode proposée.

Le courant de fuite de grille est considéré comme un indicateur de vieillissement pertinent pour les composants MOSFET SiC. Le paramètre  $I_{GSS}$  est normalement inférieur à  $100nA$  dans des composants neufs mais peut atteindre plusieurs  $\mu A$  voire  $mA$  en fin de vie. La finesse de l'oxyde de grille, le piégeage de charges à l'interface grille-source et le caractère grand gap de ces composants tendent à expliquer ce comportement. Une mesure directe de ce paramètre sensible est impossible pendant le fonctionnement normal du convertisseur à cause de la faible valeur des courants de fuite et de l'environnement sévère de l'électronique de puissance. C'est pourquoi une méthode d'estimation par intégration a été proposée et embarquée sur un démonstrateur de driver de grille intelligent. Les essais ont permis d'identifier des courants de grille de  $50nA$  par rapport à la valeur de référence obtenue à la calibration. La valeur obtenue ne correspond pas à une mesure absolue du paramètre  $I_{GSS}$  à cause des approximations réalisées et des conditions d'essais différentes. Néanmoins, la méthode proposée permet une estimation en temps réel des courants de fuite de grille d'un composant en cours de fonctionnement. La précision de la mesure est de l'ordre de  $20\%$  (on-line) et  $2\%$  (off-line), cela est suffisant pour détecter un vieillissement. D'autre part, la solution présentée est facilement intégrable sur une carte driver car elle nécessite peu de composants. La principale contrainte sur ce circuit est la nécessité d'une calibration à l'état « neuf » ainsi que d'une table de calibration en température. Ce processus de calibration peut néanmoins s'automatiser au moyen de composants programmables et d'une sonde de température. Le circuit de commande rapproché pourrait en quelques sortes apprendre à reconnaître les signes d'un fonctionnement normal du circuit et déclencher un protocole d'alerte en cas de dérive significative des indicateurs de vieillissement.

**E. BIBLIOGRAPHIE**

- [51] J. Wang, Z. Shen, C. DiMarino, R. Burgos, et D. Boroyevich, « Gate driver design for 1.7kV SiC MOSFET module with Rogowski current sensor for shortcircuit protection », in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2016, p. 516-523, doi: 10.1109/APEC.2016.7467921.
- [72] U. M. Choi, F. Blaabjerg, S. Jørgensen, S. Munk-Nielsen, et B. Rannestad, « Reliability Improvement of Power Converters by Means of Condition Monitoring of IGBT Modules », *IEEE Trans. Power Electron.*, vol. 32, n° 10, p. 7990-7997, oct. 2017, doi: 10.1109/TPEL.2016.2633578.
- [73] V. Smet, F. Forest, J. J. Huselstein, A. Rashed, et F. Richardeau, « Evaluation of Vce Monitoring as a Real-Time Method to Estimate Aging of Bond Wire-IGBT Modules Stressed by Power Cycling », *IEEE Trans. Ind. Electron.*, vol. 60, n° 7, p. 2760-2770, juill. 2013, doi: 10.1109/TIE.2012.2196894.
- [74] J. Due, S. Munk-Nielsen, et R. Nielsen, « Lifetime investigation of high power IGBT modules », in *Proceedings of the 2011 14th European Conference on Power Electronics and Applications*, 2011, p. 1-8.
- [75] P. Ghimire, A. R. de Vega, S. Beczkowski, S. Munk-Nielsen, B. Rannestad, et P. B. Thøgersen, « An online Vce measurement and temperature estimation method for high power IGBT module in normal PWM operation », in *2014 International Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE ASIA)*, 2014, p. 2850-2855, doi: 10.1109/IPEC.2014.6870085.
- [76] P. Ghimire, S. Bęczkowski, S. Munk-Nielsen, B. Rannestad, et P. B. Thøgersen, « A review on real time physical measurement techniques and their attempt to predict wear-out status of IGBT », in *2013 15th European Conference on Power Electronics and Applications (EPE)*, 2013, p. 1-10, doi: 10.1109/EPE.2013.6634419.
- [77] S. Bęczkowski, P. Ghimre, A. R. de Vega, S. Munk-Nielsen, B. Rannestad, et P. Thøgersen, « Online Vce measurement method for wear-out monitoring of high power IGBT modules », in *2013 15th European Conference on Power Electronics and Applications (EPE)*, 2013, p. 1-7, doi: 10.1109/EPE.2013.6634390.
- [78] A. R. de Vega *et al.*, « Test setup for accelerated test of high power IGBT modules with online monitoring of Vce and Vf voltage during converter operation », in *2014 International Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE ASIA)*, 2014, p. 2547-2553, doi: 10.1109/IPEC.2014.6869948.
- [79] P. Ghimire, A. R. de Vega, S. Beczkowski, B. Rannestad, S. Munk-Nielsen, et P. Thøgersen, « Improving Power Converter Reliability: Online Monitoring of High-Power IGBT Modules », *IEEE Ind. Electron. Mag.*, vol. 8, n° 3, p. 40-50, sept. 2014, doi: 10.1109/MIE.2014.2311829.
- [80] A. P. Arribas et M. Krishnamurthy, « SiC BJT proportional base driver with collector-emitter voltage measurement and a switching regulator », in *2016 IEEE Transportation Electrification Conference and Expo (ITEC)*, 2016, p. 1-6, doi: 10.1109/ITEC.2016.7520238.
- [81] R. Ø. Nielsen, J. Due, et S. Munk-Nielsen, « Innovative measuring system for wear-out indication of high power IGBT modules », in *2011 IEEE Energy Conversion Congress and Exposition*, 2011, p. 1785-1790, doi: 10.1109/ECCE.2011.6064000.
- [82] J. M. Anderson et R. W. Cox, « On-line condition monitoring for MOSFET and IGBT switches in digitally controlled drives », in *2011 IEEE Energy Conversion Congress and Exposition*, 2011, p. 3920-3927, doi: 10.1109/ECCE.2011.6064302.
- [83] J. Weckbrodt, N. Ginot, C. Batard, et S. Azzopardi, « Short Pulse Transmission for SiC Communicating Gate Driver Under High Dv/Dt », in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2018, p. 1-6.
- [84] T. A. Nguyen, S. Lefebvre, et S. Azzopardi, « Effect of short circuit aging on safe operating area of SiC MOSFET », *Microelectron. Reliab.*, vol. 88-90, p. 645-651, sept. 2018, doi: 10.1016/j.microrel.2018.06.040.
- [85] F. Erturk et B. Akin, « A method for online ageing detection in SiC MOSFETs », in *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2017, p. 3576-3581, doi: 10.1109/APEC.2017.7931211.
- [86] L. Chen, F. Z. Peng, et D. Cao, « A smart gate drive with self-diagnosis for power MOSFETs and IGBTs », in *2008 Twenty-Third Annual IEEE Applied Power Electronics Conference and Exposition*, 2008, p. 1602-1607, doi: 10.1109/APEC.2008.4522939.
- [87] F. Erturk, E. Ugur, J. Olson, et B. Akin, « Real-Time Aging Detection of SiC MOSFETs », *IEEE Trans. Ind. Appl.*, vol. 55, n° 1, p. 600-609, janv. 2019, doi: 10.1109/TIA.2018.2867820.

## CHAPITRE III : SYSTEME DE COMMUNICATION ADAPTE

Comme détaillé dans le chapitre II, la mesure embarquée de paramètres statiques ou dynamiques dans les drivers de grille fait l'objet de nombreux travaux. Néanmoins, la contrainte d'isolation galvanique sur les circuits drivers impose de prévoir un système de communication fiable en environnement de puissance (réjection de courants de mode commun, immunité au champ rayonné...). L'intégration de fonctions de communication avancées pourrait permettre le paramétrage du driver en temps réel ainsi que le suivi de l'évolution de paramètres pertinents tels que :

- La température interne du module
- La température du driver
- Les tensions d'alimentation du circuit secondaire
- La tension drain-source  $V_{DS}$
- Le courant de drain  $I_D$
- Le courant de fuite de grille  $I_{GSS}$  (estimée)
- La température de jonction  $T_j$  (estimée)
- La tension de seuil  $V_{TH}$

### A. ÉTAT DE L'ART SUR LA COMMUNICATION DE DONNEES DANS LES DRIVERS DE GRILLE

Dans les drivers de grille conventionnels, une seule information peut être renvoyée du circuit secondaire vers le contrôle commande au primaire. Il s'agit d'un message d'erreur en cas de problème (détection de court-circuit, sous-alimentation...) [12], [16]. Dans le cas d'une transmission d'ordres de commandes par transformateur d'impulsions, le renvoi du message d'erreur est assuré par ce même transformateur. Dans ce cas, la transmission du signal d'erreur est réalisée par l'application d'une impulsion relativement longue au secondaire du transformateur en comparaison des impulsions de commande. Un exemple d'implémentation de cette fonction est donné à la figure III-1. Ce protocole de communication ne convient pas au renvoi d'une grande quantité d'information. C'est pourquoi, la surveillance de la santé des composants de puissance implique également une réflexion à mener sur un système de communication adapté à l'environnement sévère de l'électronique de puissance. En outre, l'amélioration du protocole de communication peut également permettre le renvoi de messages d'erreurs détaillés destinés à simplifier la maintenance de l'équipement.

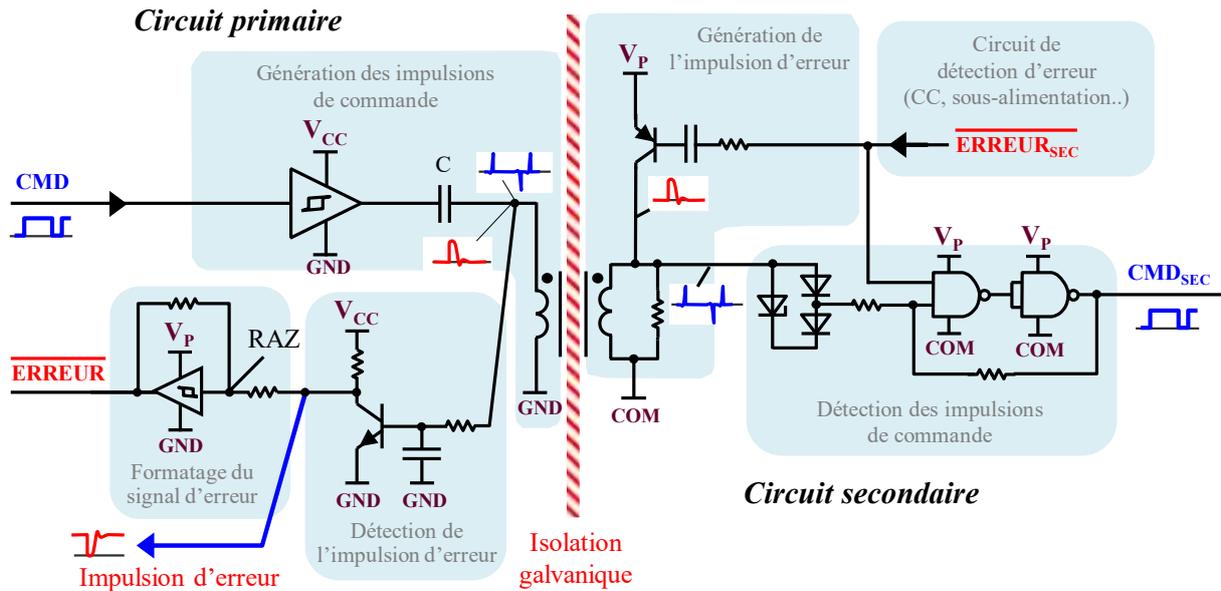


Figure III-1 : Exemple de renvoi d'un message d'erreur par transformateur d'impulsions

De nos jours, de nouvelles solutions permettent le retour de données dans les circuits drivers par l'ajout de voies de communication annexes [45], [88]–[94]. Les solutions proposées par les industriels [90]–[93] permettent l'ajout de fonctionnalités de communication bien que pour l'instant les données échangées se limitent au renvoi d'erreur et à la température. C. Bouguet et al. [94] ont proposé un système de communication bidirectionnel par protocole CAN-isolé en mode half-duplex. Un synoptique de la solution CAN-isolé est proposé à la figure III-2. Il existe deux familles de protocoles de communication : les protocoles séquentiels (Time Triggered) et les protocoles combinatoires (Event Triggered). Ces deux familles se distinguent par leur procédé d'arbitrage lors des conflits. Un protocole séquentiel va permettre à chaque interlocuteur d'utiliser le bus de communication pendant une séquence définie tandis qu'un protocole combinatoire tel que le CAN permet l'optimisation du bus de communication selon un ordre de priorité défini au préalable. Le protocole CAN est donc peu onéreux, robuste et très connu, cependant il offre un débit limité à 1Mbit/s et le temps de latence ne peut pas être garanti. Le protocole CAN ne peut donc pas répondre au besoin de synchronisation des mesures tel que défini dans le chapitre II.

Les solutions présentées ci-dessus nécessitent l'ajout d'éléments d'isolation supplémentaires (transformateurs, optocoupleurs, fibres optiques...). La multiplication de tels éléments peut être encombrante et/ou conduire à la circulation de courants de mode commun supplémentaires puisque ces composants présentent des capacités parasites. Les solutions proposées dans l'état de l'art permettent donc l'échange de données mais dégradent théoriquement l'immunité aux perturbations électromagnétiques (sauf dans le cas de la fibre optique). En outre, les contraintes d'encombrement sont particulièrement restrictives dans le cas d'une application aéronautique.



dépend ici de la configuration du circuit de puissance qui intègre une pluralité de cellules de commutation. D'autre part, le circuit d'alimentation isolé doit être surdimensionné pour fournir l'énergie à une pluralité de circuits secondaires.

La communication de données sur les réseaux de puissance n'est pourtant pas une idée nouvelle et a déjà fait l'objet de nombreux développements dans le cadre de la technologie CPL (Courant Porteur en Ligne) [96]–[99]. Le principe consiste à moduler des signaux de données basse tension sur des réseaux haute tension alternatifs en utilisant le câblage existant comme canal de communication. Cette technologie requiert donc des conducteurs véhiculant des signaux alternatifs pour transmettre des données. Malgré de récents travaux portant sur l'utilisation du CPL pour la transmission de données sur un réseau de puissance MLI [98], [99], la technologie CPL ne permet pas l'échange de données dans les circuits isolés de type driver.

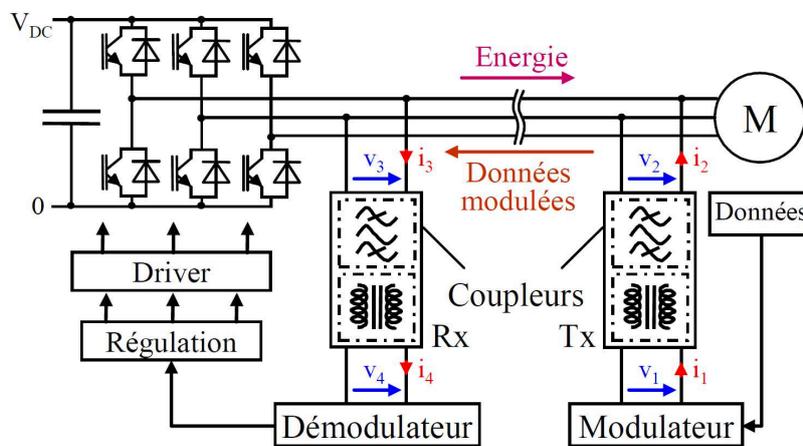


Figure III-3 : Application de la technologie CPL à un réseau de puissance MLI [98]

Dans ce contexte, l'intégration de fonctions de communication sur le circuit driver sans impact significatif sur la compatibilité électromagnétique du système représente un réel défi. C'est pourquoi un système de communication très spécifique a été développé. Afin de ne pas introduire de capacité parasite tout en garantissant une densité d'intégration maximale, il a été choisi d'utiliser de manière détournée les transformateurs existants (transmission des ordres et alimentation isolée) pour l'échange de données. La stratégie de communication est résumée en section I.D.3. Au stade de la recherche, une méthode de communication à travers un circuit d'alimentation isolé faible puissance a été rapportée [100]. La solution est double : des données sont envoyées au circuit secondaire par modification de la phase du signal tandis que le renvoi de données au primaire est assuré par modulation de l'impédance du transformateur d'alimentation. Cette méthode bien que très intéressante nécessite une démagnétisation complète du transformateur à chaque période de découpage. De plus, l'application ciblée n'étant pas liée aux circuits de commande rapprochée, l'immunité aux perturbations engendrées par les  $dv/dt$  ne peut pas être garantie à la vue des niveaux de tension appliqués. En effet, la discrimination des données en réception est réalisée par détection de crête des oscillations liées à la démagnétisation du transformateur. Le circuit présenté à la figure III-4 est donc facilement perturbable.

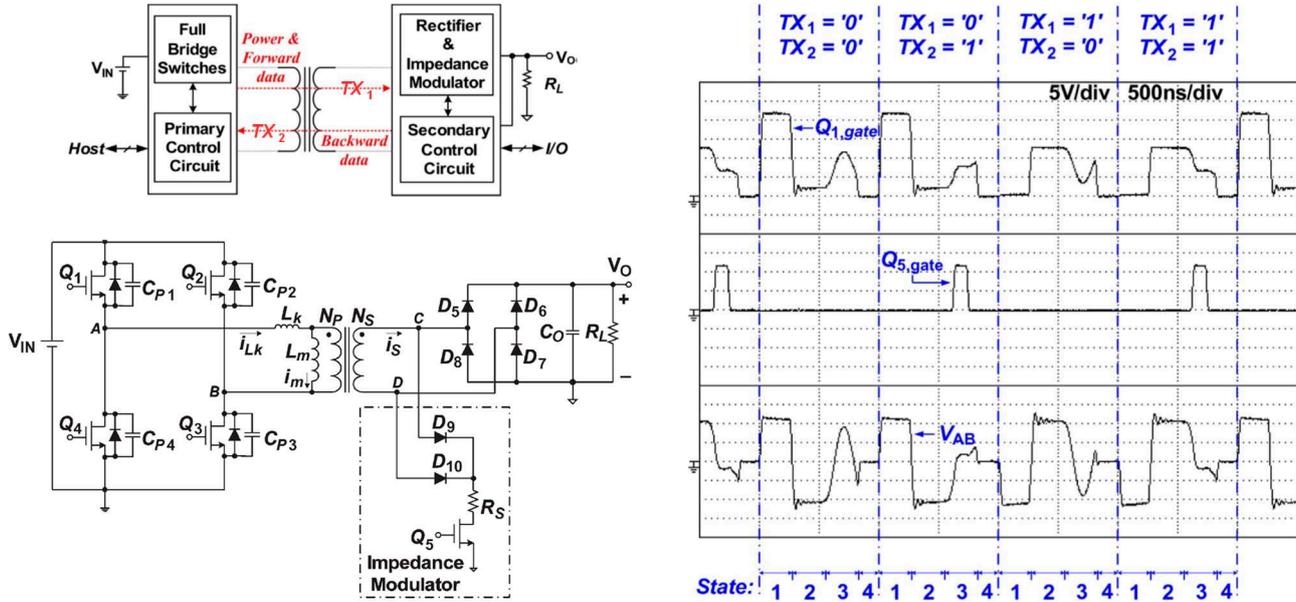


Figure III-4 : Echange de données sur alimentation isolée par modulation d'impédance [100]

D'autre part, un brevet d'invention [101] a été déposé par Power Integrations en 2015. Il traite de la possibilité de communiquer des données à travers l'isolation d'un convertisseur de type Flyback ou Forward en régime de conduction discontinu. Le principe de base consiste à moduler les oscillations provoquées par la démagnétisation du transformateur. Ce brevet témoigne de l'intérêt que porte l'industrie du driver à l'intégration de fonctions de communication sur les structures d'alimentation.

## B. TRANSMISSION DE REQUETES SYNCHRONES

### B.1 Principe de transmission de requêtes par impulsions courtes

Comme détaillé dans le chapitre II, des études sur la fiabilité des transistors de puissance MOSFET SiC ont identifiées la résistance à l'état passant  $R_{DS(on)}$  comme l'un des paramètres clés pour la détection de vieillissement. Dans le cas du suivi de l'évolution du  $R_{DS(on)}$ , deux mesures doivent être couplées : la tension drain-source à l'état passant  $V_{DS(on)}$  et le courant de drain  $I_{D(on)}$  doivent être évalués avec précision au même instant  $t_0$ . La stratégie de communication doit donc permettre cette synchronisation de ces données. La mesure de courant étant effectuée au niveau système, cela revient à contrôler avec précision l'instant de mesure du  $V_{DS(on)}$  par rapport aux ordres de commande (MLI). C'est pourquoi une méthode permettant la transmission de requêtes de mesures synchrones a été développée. Cette partie traite de la possibilité de transmettre des requêtes synchrones aux ordres de commande via le transformateur d'impulsions initialement utilisé pour la transmission des ordres de commande du semi-conducteur de puissance et le renvoi d'un message d'erreur.

L'ajout de fonctions complexes comme la communication de données sur les drivers de grille implique l'utilisation de composants intégrés programmables tels que des circuits FPGA pour la

gestion des données. L'utilisation de ce type de composant est une opportunité permettant d'explorer de nouvelles solutions basées sur les performances de ce type de composants. La méthode proposée utilise le principe des transformateurs d'impulsions : une impulsion positive sur l'enroulement primaire du transformateur provoque un ordre d'amorçage tandis qu'une impulsion négative provoque un ordre de blocage. La méthode consiste à ajouter quelques impulsions de données succédant un ordre d'amorçage tel qu'illustré aux figures III-5 et III-6. Pour se faire, des impulsions de quelques dizaines de nanosecondes doivent être générées et capable de traverser la barrière d'isolation galvanique. En effet, la durée des impulsions doit être réduite au minimum afin de minimiser l'impact de la transmission de données sur la loi de commande. Dans ce contexte, des impulsions courtes d'environ 25ns ont été envisagées.

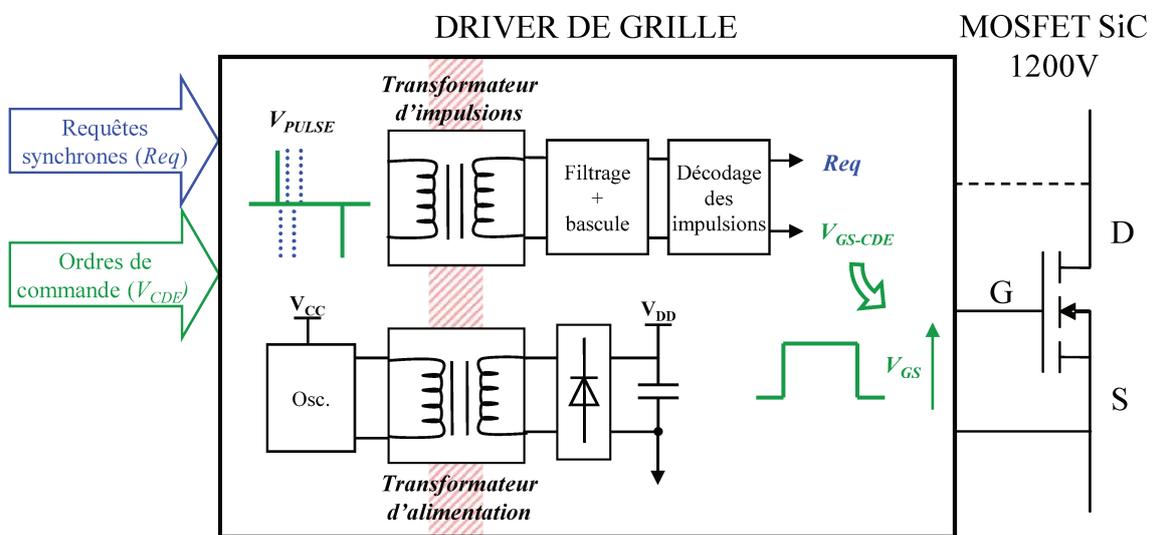


Figure III-5 : Principe de fonctionnement pour la transmission de requêtes synchrones

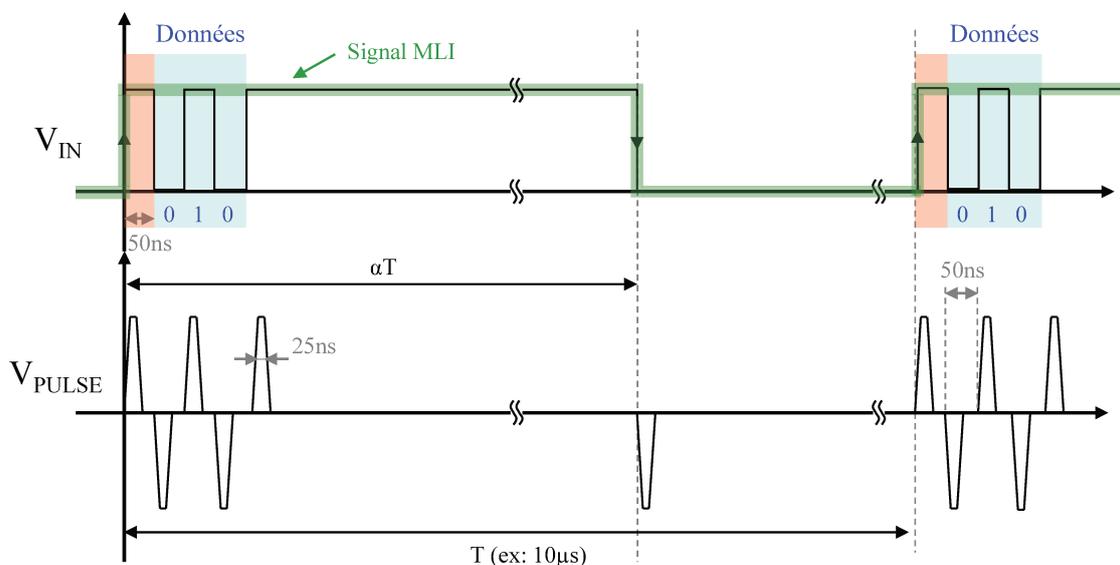


Figure III-6 : Exemple de formes d'ondes permettant le transmission de requêtes synchrones

Le signal de commande MLI du MOSFET de puissance étant caractérisé par un rapport cyclique variable  $\alpha(t)$  à fréquence fixe (ex: 100kHz), la transmission de requête est impossible dans le cas d'un rapport cyclique trop faible. Un algorithme très simple programmé dans le FPGA peut aisément distinguer les ordres de commande des impulsions de données. Dans les chronogrammes présentés aux figures III-7 et III-8, les signaux  $\overline{TXD}$  (coté primaire) et  $\overline{ENRx}$  (coté secondaire) sont générés par les circuits FPGA. L'allure du signal  $\overline{TXD}$  est fonction de la nature des requêtes en entrée. Le signal  $\overline{ENRx}$ , quant à lui, permet la reconstruction du signal de commande en masquant les données de requêtes. Des portes logiques élémentaires (ET et OU) permettent ensuite un décodage fiable du signal de commande. Les requêtes synchrones sont constituées de 3 bits correspondant à une requête de mesure  $V_{DS(on)}$ , une requête de mesure  $I_{GSS}$  et d'un bit de parité (CRC). En outre, la trame de données termine et commence par un niveau logique haut. Une erreur de transmission peut ainsi être détectée par un défaut de CRC ou un niveau logique bas en fin de trame. La durée des impulsions étant fixée à 25ns, le temps bit est défini à 50ns.

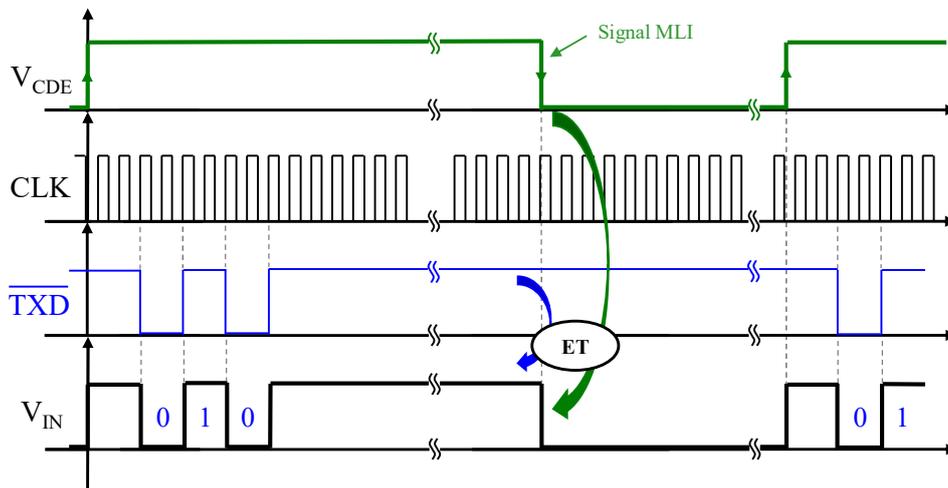


Figure III-7 : Codage de données synchrones au niveau du circuit primaire ( $V_{IN}$  est défini à la figure III-9)

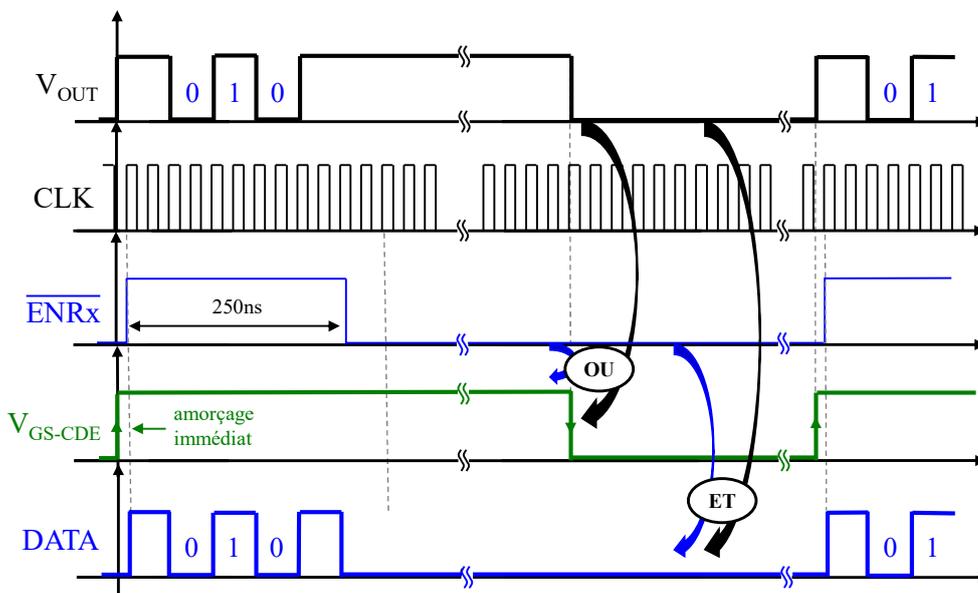


Figure III-8 : Décodage des données synchrones au niveau du circuit secondaire ( $V_{OUT}$  est défini à la figure III-9)

La méthode de décodage proposée engendre donc une restriction sur le rapport cyclique minimal appliqué. En effet, dans le chronogramme de la figure III-8, le signal  $ENR_x$  est actif pendant 250ns ce qui revient à considérer un amorçage d'une durée minimale légèrement supérieure à 250ns. Toutefois, il est courant dans les topologies drivers d'intégrer une fonction de suppression d'impulsions courtes ou SPS (Short Pulse Suppression). La méthode de transmission utilisée impose donc la suppression des impulsions  $<250ns$ . Dans le cas d'une fréquence de découpage fixée à 100kHz, le rapport cyclique minimal imposé est donc de 2,5%. L'utilisation d'impulsions courtes est donc nécessaire mais requiert une grande maîtrise du bruit. En effet, de telles impulsions ne doivent pas être confondues avec d'éventuels bruits d'origine électromagnétique.

Le circuit électronique permettant la transmission des ordres d'amorçage et de blocage d'un transistor de puissance ainsi que le transfert de données est illustré à la figure III-9. Le fonctionnement du circuit est basé sur le principe de mémorisation Set/Reset : une impulsion positive provoque une mise au niveau logique haut tandis qu'une impulsion négative provoque la mise au niveau bas du signal de sortie ( $V_{OUT}$ ). Le circuit est constitué de plusieurs blocs : la génération des impulsions qui permet de générer des impulsions courtes d'une amplitude de 15V permettant d'augmenter le rapport signal/bruit, un étage de sélection des impulsions pour discrétiser les impulsions positives et négatives, un étage de filtrage pour réduire le bruit du signal, les signaux sont aussi adaptés à une logique 0-3,3V en sortie. Une bascule flip-flop RS intégrant des entrées à trigger de Schmitt intégrées permet de reconstituer le signal d'origine à partir d'un train d'impulsions.

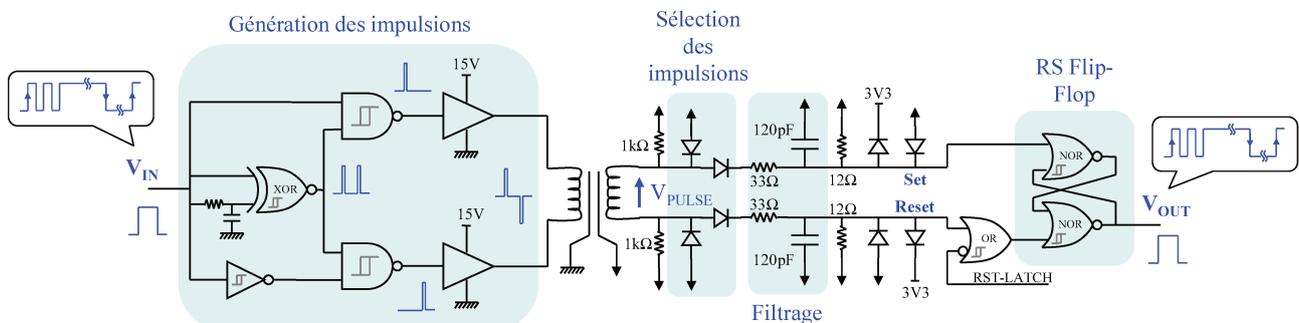


Figure III-9 : Circuit permettant la transmission d'impulsions courtes

L'utilisation de Trigger de Schmitt associée aux portes logiques est ici primordiale. En effet, c'est cet élément qui va garantir l'intégrité des signaux en présence de bruit. Les perturbations occasionnées par un fort  $dv/dt$  ne doivent en aucun cas corrompre le signal de commande. C'est aussi la raison pour laquelle de très faibles valeurs de résistance ont été utilisées sur le circuit secondaire. La durée des impulsions étant très courte, la consommation engendrée par de faibles impédances est grandement diminuée. Enfin, des écrans électrostatiques ont été ajoutés dans la géométrie du transformateur planaire afin de canaliser les courants de mode commun. La conception de ces écrans est traitée à la section II.B.5.

Le transformateur d'impulsions utilisé ici est de type planaire, il intègre un blindage CEM qui est détaillé à la section III.B.4. La conception de ce transformateur est également abordé à la section III.B.3.

## B.2 Simulations

### B.2.1 Modèle comportemental du transformateur d'impulsions

Quel que soit le design du transformateur, la modélisation d'un transformateur d'impulsions nécessite un questionnement approfondi sur le comportement fréquentiel d'un signal de type impulsionnel. Une méthode d'identification des paramètres par approximation en haute et basse fréquence n'est pas suffisante. En l'occurrence, la modélisation du transformateur doit d'abord permettre de répondre à la problématique de l'envoi d'impulsions courtes à travers un transformateur d'impulsion afin de véhiculer des requêtes synchrones en plus des ordres de commande du semi-conducteur de puissance. L'extraction d'un modèle comportemental crédible permettra des simulations temporelles quel que soit l'outil de simulation (LTspice, Altium Designer...) et apportera ainsi un gain de temps certain lors de la conception des circuits de driver de grille. Les modèles SPICE des composants utilisés dans le circuit de décodage des impulsions pourront ainsi être associés au modèle du transformateur d'impulsions.

La méthode choisie consiste donc à mesurer les paramètres S d'un transformateur sur une large bande (en l'occurrence 100kHz-100MHz) afin d'en déduire la variation fréquentielle des paramètres du modèle [14], [102]. Puis dans un second temps, un choix est effectué permettant d'extraire un modèle à paramètres constants. Ce choix est effectué par analyse de la réponse fréquentielle du signal à transmettre. Deux modèles peuvent être envisagés, le premier se base sur l'extraction d'un modèle à une fréquence  $f_0$  donnée, le second modèle est obtenu en moyennant les valeurs sur une bande de fréquence  $[f_1, f_2]$ . Les fréquences sont choisies en fonction du spectre fréquentiel des impulsions considérées. La figure III-10 représente un modèle de schéma électrique équivalent du transformateur d'impulsions.

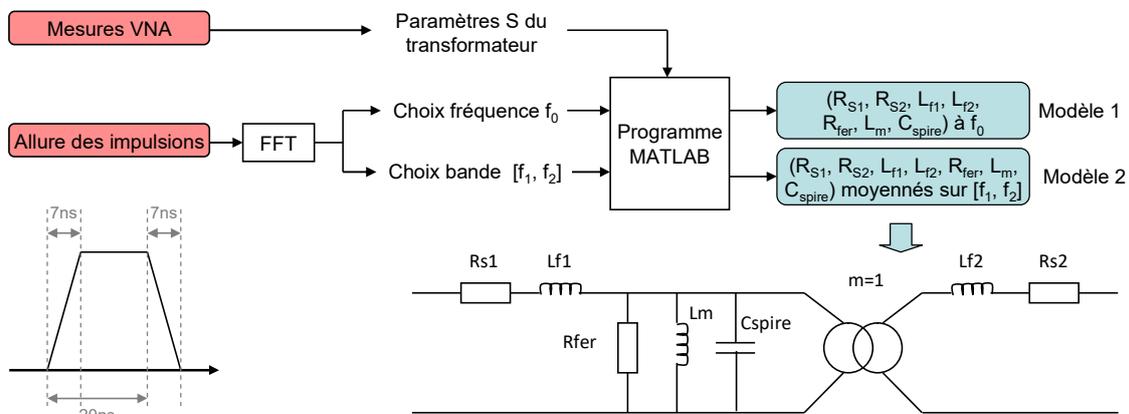


Figure III-10 : Méthodologie de modélisation

Dans le circuit équivalent de la figure III-10,  $R_{S1}$  et  $R_{S2}$  représentent respectivement les résistances séries de l'enroulement primaire et secondaire,  $L_{f1}$  et  $L_{f2}$  désignent les inductances de fuites du transformateur,  $L_m$  représente l'inductance magnétisante et  $R_{fer}$  désigne les pertes fer dans le matériau ferromagnétique. De plus, suite à plusieurs mesures, une capacité  $C_{spire}$  est ajoutée au modèle permettant ainsi de justifier la résonance observée sur la courbe l'impédance du magnétisant  $X_m$ , cette capacité correspond à la capacité équivalente inter-spire ramenée à l'enroulement primaire. La figure III-11 illustre l'évolution des paramètres sur la bande [100kHz ; 100MHz] du modèle équivalent obtenu à partir de la mesure de paramètres S par VNA. On obtient par cette méthode des pertes fer modélisées par une résistance de  $600\Omega$ , les autres grandeurs varient fortement avec la fréquence.

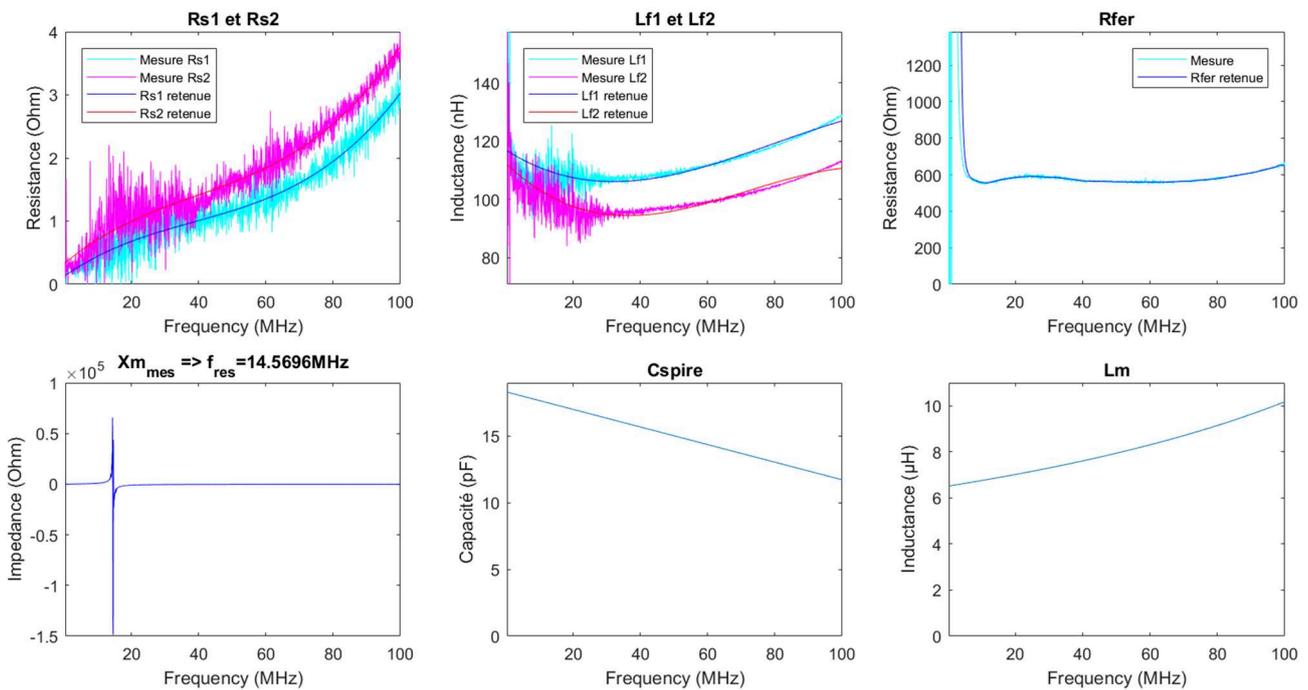


Figure III-11 : Evolution des paramètres du modèle en fonction de la fréquence (cas du transformateur 3F4 à 3 spires)

L'allure des impulsions doit être prise en compte dans le modèle. Dans la méthode proposée, l'impulsion doit être la plus courte possible afin de minimiser le temps nécessaire à l'envoi de données. Une telle impulsion est modélisée par un signal trapèze en fonction des spécificités du buffer chargé de générer les impulsions au primaire du transformateur (ex : temps de montée de 7ns pour le UCC27517<sup>1</sup>). Une analyse fréquentielle de quelques signaux comportant des impulsions trapézoïdales de 25ns est fournie à la figure III-12. On constate un étalement fréquentiel important avec une forte densité spectrale sur la bande [0, 50MHz].

<sup>1</sup> Datasheet UCC2751x (Texas Instrument). Disponible : <http://www.ti.com/lit/ds/symlink/ucc27517.pdf>

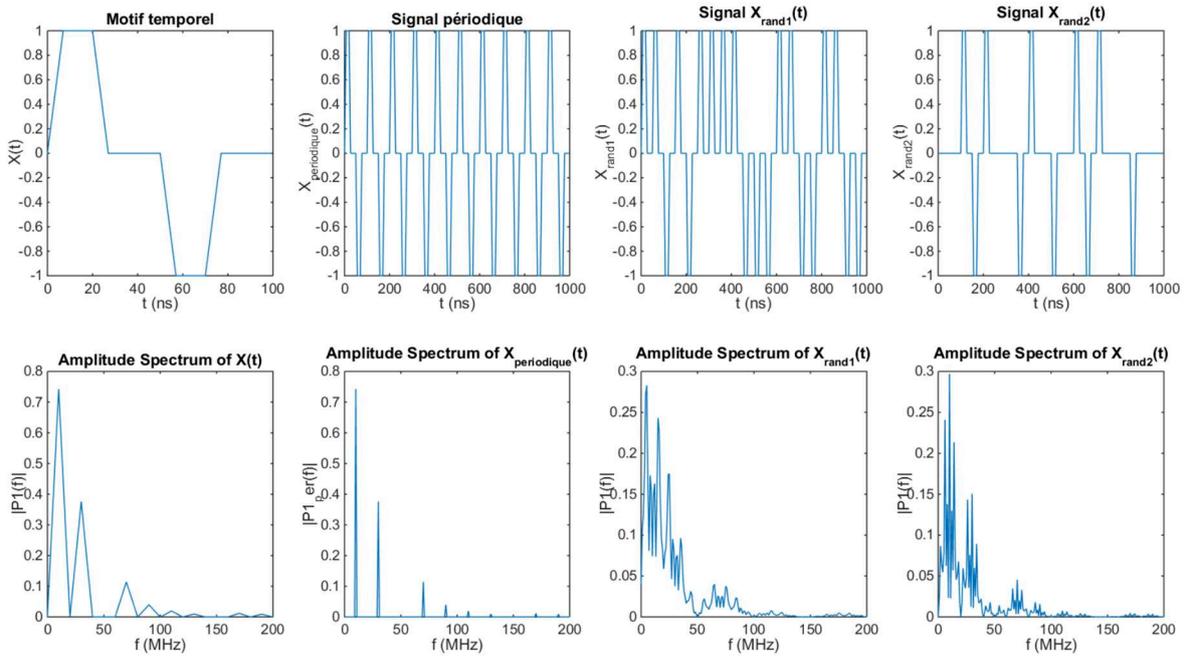


Figure III-12 : Réponse fréquentielle de quelques signaux impulsionnels (FFT)

Deux modèles à paramètres fixes ont été proposés, le premier consiste à choisir une fréquence et extraire le modèle associé. En considérant les réponses fréquentielles de la figure III-12, une fréquence  $f_0=10\text{MHz}$  correspondant au fondamental a été retenue pour le modèle n°1. Néanmoins, l'étalement spectral d'un signal impulsionnel suggère une approche différente. A cet effet, il a été proposé de confronter ce modèle à une approche par intégration sur une large bande. Il s'agit ici de moyennner la valeur des éléments  $R_{S1}$ ,  $R_{S2}$ ,  $L_{f1}$ ,  $L_{f2}$ ,  $L_m$ ,  $C_{spire}$  et  $R_{fer}$  sur une bande choisie en fonction du spectre du signal impulsionnel considéré. En l'occurrence, la bande [1MHz, 50MHz] paraît pertinente. Les résultats de modélisation pour différents matériaux magnétiques sont présentés dans le tableau 8.

TABLEAU 8

*Résultats de modélisation du transformateur d'impulsions (modèles à paramètres fixes)*

Ferrite	Nb spires	Modèle	Choix	$R_{S1}$	$L_{f1}$	$R_{S2}$	$L_{f2}$	$L_m$	$R_{fer}$	$C_{spire}$
3F4	3	1	$f_0=10\text{MHz}$	455 mΩ	111 nH	721 mΩ	103 nH	6,76 μH	557 Ω	17,6 pF
		2	[1MHz; 50MHz]	750 mΩ	108 nH	1,09 Ω	98,2 nH	7,20 μH	745 Ω	16,6 pF
3F3	3	1	$f_0=10\text{MHz}$	205 mΩ	103 nH	1,92 Ω	99,1 nH	13,5 μH	363 Ω	16,0 pF
		2	[1MHz; 50MHz]	456 mΩ	103 nH	2,44 Ω	94,9 nH	14,5 μH	333 Ω	15,0 pF

Les modèles à paramètres fixes sont confrontés à la figure III-13, le modèle n°1 présente de meilleures résultats sur la bande [0, 50MHz]. La modélisation d'un transformateur d'impulsions par intégration sur une large bande n'est donc pas possible en utilisant un modèle à paramètres constants. Par la suite, nous considérerons la fréquence  $f_0=10\text{MHz}$  pour le modèle comportemental du transformateur d'impulsions.

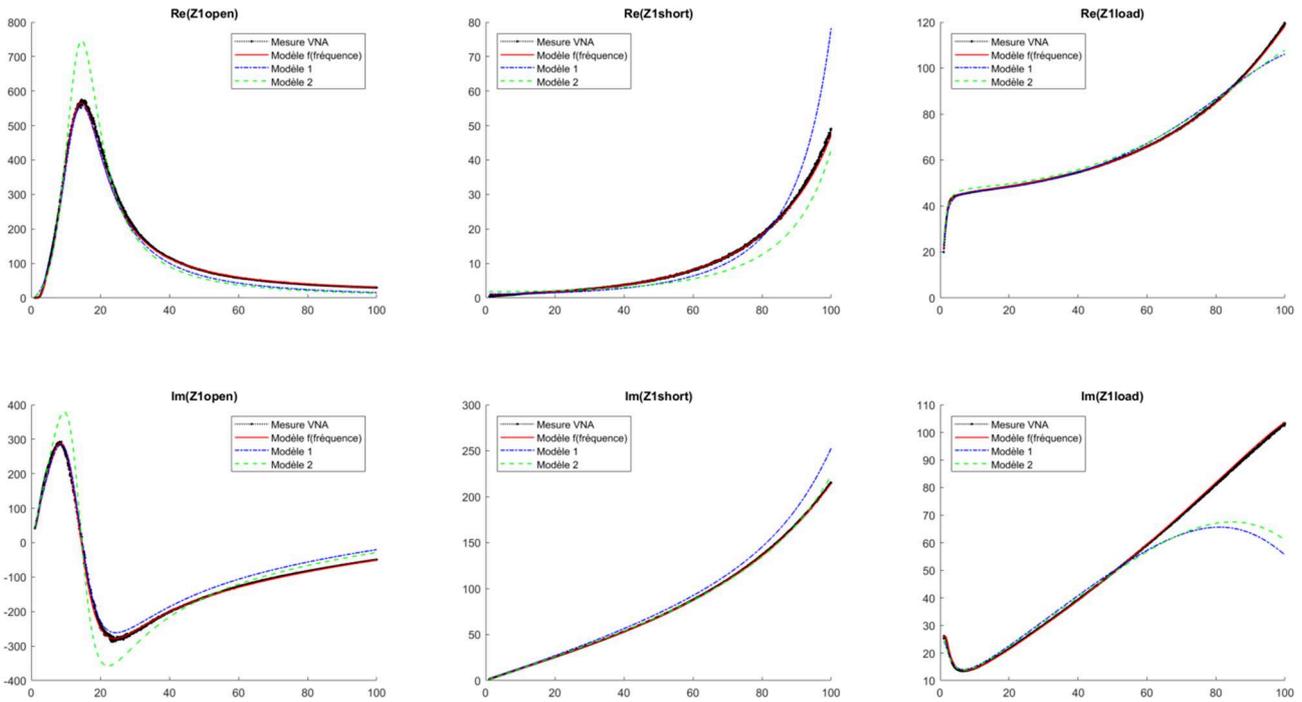


Figure III-13 : Impédance vue du primaire – confrontation des modèles (cas du transformateur planaire 3F4 à 3 spires)

### B.2.2 Modélisation des courants de mode commun

Le modèle comportemental du transformateur d’impulsions tel que défini précédemment ne suffit pas à expliquer les perturbations occasionnées par l’application d’un fort  $dv/dt$  à travers l’isolation galvanique. Il est donc nécessaire de définir la capacité parasite primaire-secondaire équivalente du transformateur. D’autre part, les signaux étant traités en mode différentiel, il convient de choisir un modèle symétrique tel que proposé à la figure III-14. Le transformateur d’impulsions utilisé est de type planaire comprenant 3 spires ainsi qu’une ferrite (matériau magnétique 3F4, 3F3 ou 3F36). Les enroulements du transformateur sont répartis dans les couches internes du PCB pour respecter les normes en matière d’isolation galvanique. Le design intègre des écrans électrostatiques permettant de drainer les courants de mode commun, ce point spécifique est abordé plus en détail à la section III.B.4. Dans cette analyse, nous considérerons uniquement le quadripôle équivalent du transformateur.

Le modèle comportemental du transformateur d’impulsions peut ainsi être réinvesti dans une simulation Altium telle que présentée à la figure III-15. Un fort  $dv/dt$  est appliqué entre les potentiels de référence des circuits primaire et secondaire. La capacité parasite primaire-secondaire a ici une grande influence. En effet, la circulation de courants de mode commun induit des chutes de tension aux bornes des éléments résistifs tels que  $R50$  ou  $R53$ . Cet effet peut être limité par l’utilisation de résistances de faible valeur ( $33\Omega$ ,  $12\Omega$ ). La robustesse de ce circuit se paie donc au prix d’une consommation plus élevée. Dans le cas de la répétition de quelques impulsions courtes à chaque période MLI, cette surconsommation n’est cependant pas problématique.

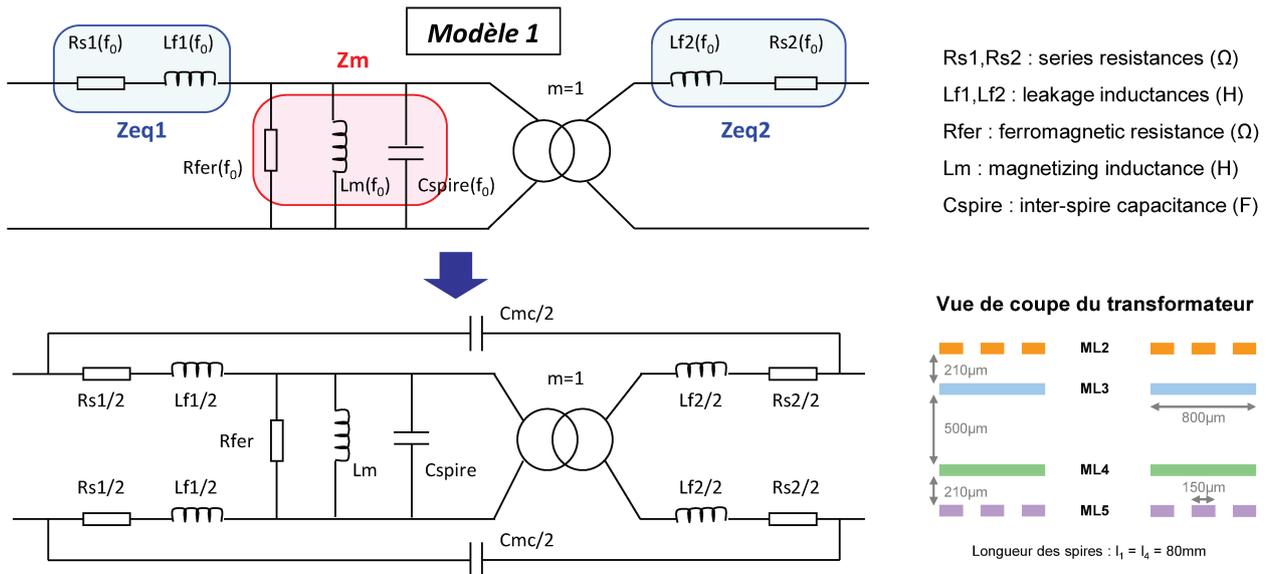


Figure III-14 : Modélisation des courants de mode commun sur le transformateur d'impulsions

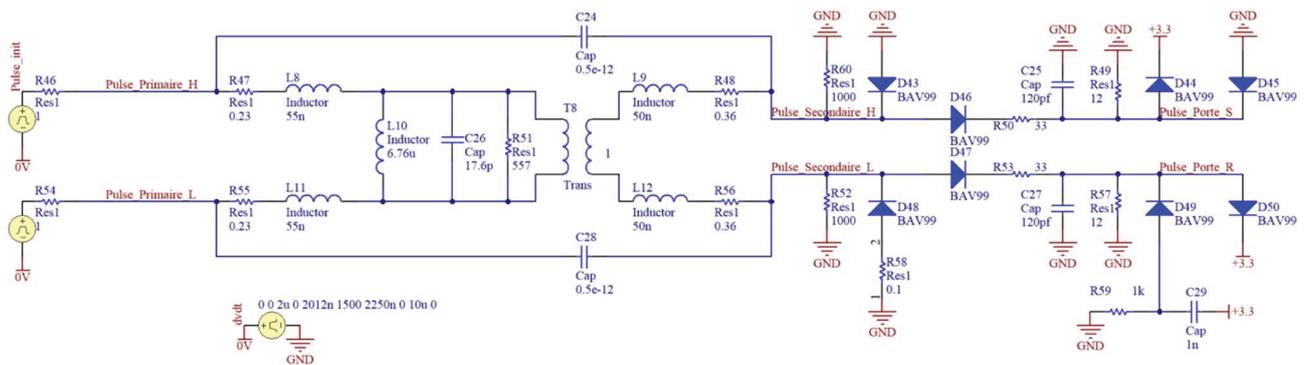


Figure III-15 : Circuit utilisé pour la simulation des courants de mode commun (Altium Designer)

Les impulsions d'amorçage et de blocage ont une amplitude de 15V. Elles sont ensuite filtrées et mises en forme pour permettre la compatibilité en logique 3,3V. La logique 3,3V est rapide et permet l'interface avec le FPGA. Néanmoins, le rapport signal/bruit doit être maximisé. Une simulation temporelle permet de déduire la chute de tension induite par la circulation d'un courant de mode commun positif ou négatif. Une simulation temporelle à 125kV/ $\mu$ s est donnée à la figure III-16.

L'étude paramétrique présentée à la figure III-17 témoigne de la vigilance à accorder à la circulation de courants de mode commun à travers l'isolation électrique du circuit de commande rapprochée. Dans le circuit proposé, l'utilisation de Trigger de Schmitt est primordiale (seuils à hystérésis). En effet, les courants de mode commun ne doivent en aucun cas corrompre les ordres de commande appliqués. A la vue des niveaux de bruits mesurés dans les essais à la section III.B.3.2, il apparaît que la capacité parasite équivalente du transformateur utilisé est d'environ 1pF (niveau de bruit compris entre 0,61V et 0,90V @125kV/ $\mu$ s).

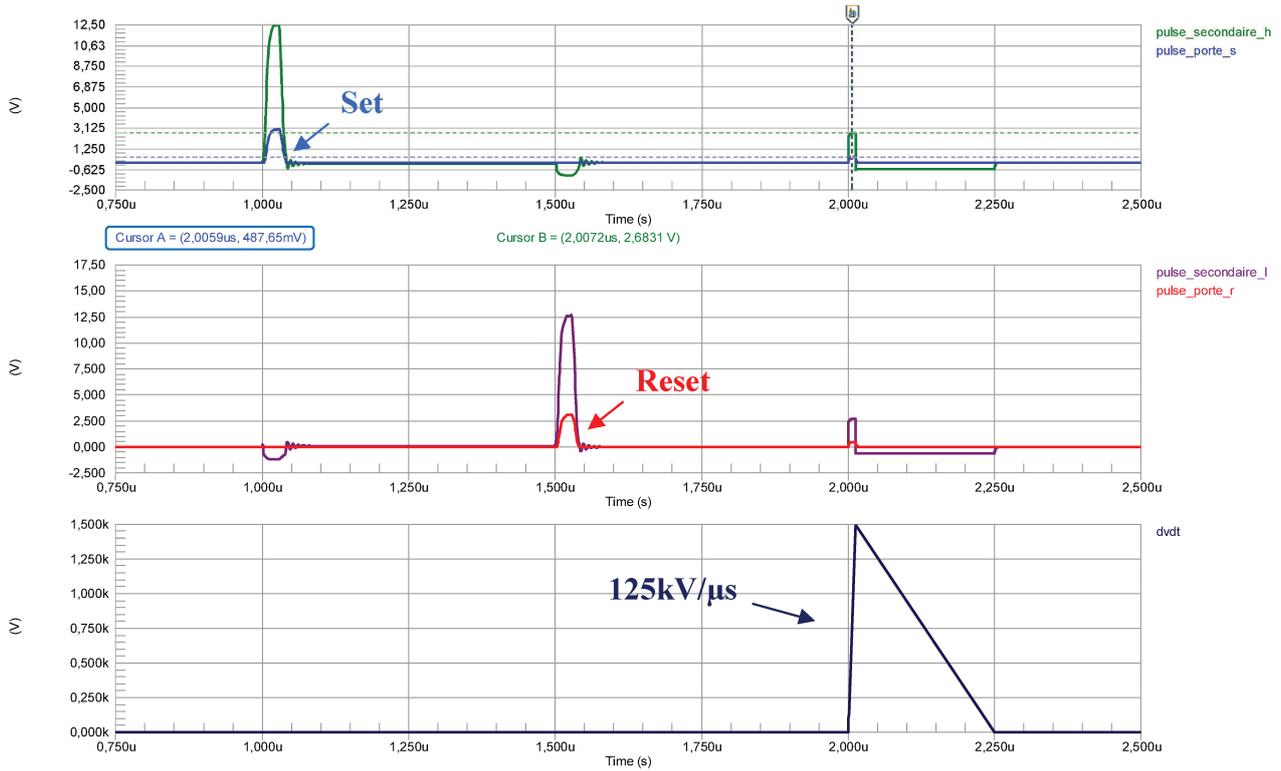


Figure III-16 : Simulation de la tension différentielle engendrée par la circulation de mode commun liés au dv/dt appliqué

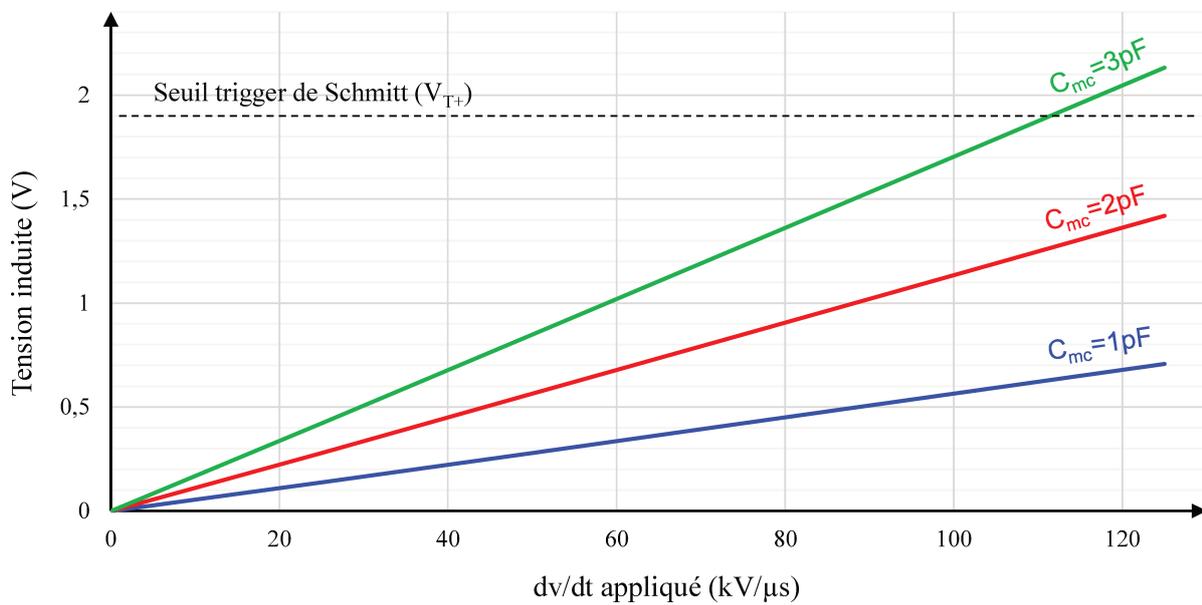


Figure III-17 : Perturbations engendrées par la circulation de courants de mode commun (signal 'Set')

### B.3 Essais

#### B.3.1 Conformité des signaux

La conformité des signaux a tout d'abord été vérifiée en considérant uniquement le circuit proposé à la figure III-9. La carte présentée à la figure III-18 (c) permet le changement du transformateur d'impulsions dans le but de procéder à des essais comparatifs. Les algorithmes de codage/décodage proposés en figures III-7 et III-8 ont été implémentés dans deux FPGA situés de part et d'autres de l'isolation galvanique.

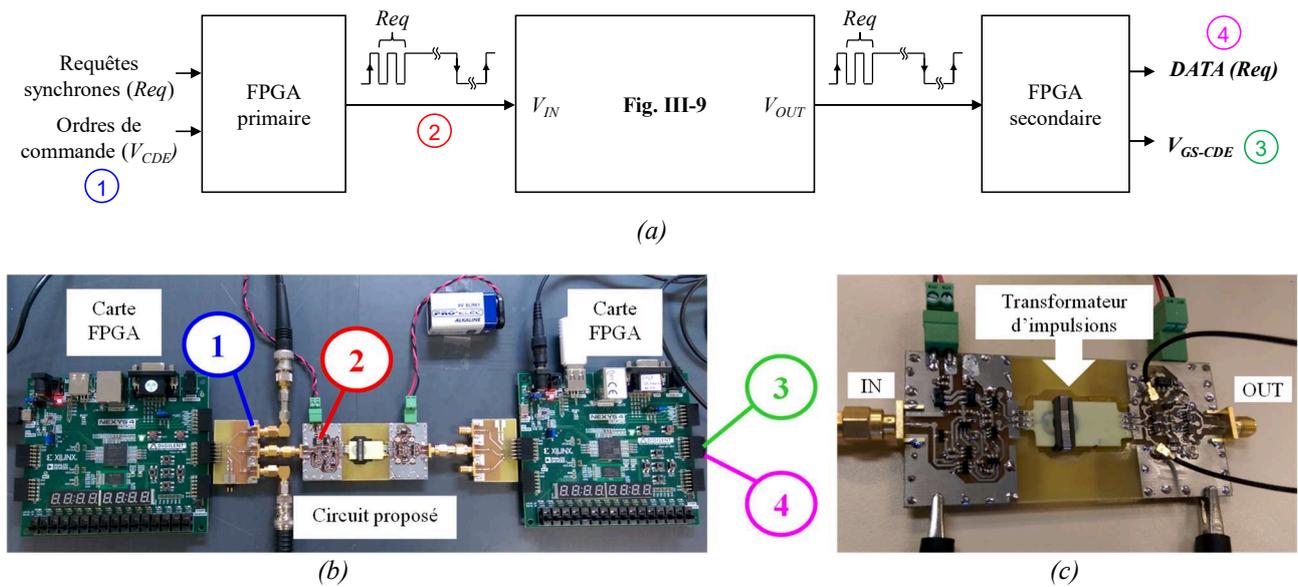


Figure III-18 : Chaine de transmission de données synchrones (a), montage réalisé (b) et carte d'essai (c)

Les essais menés ont permis de démontrer la faisabilité de la transmission de requêtes synchrones telle que définie à la section III.B.1. Le temps de propagation lié au circuit proposé est d'environ 60ns.

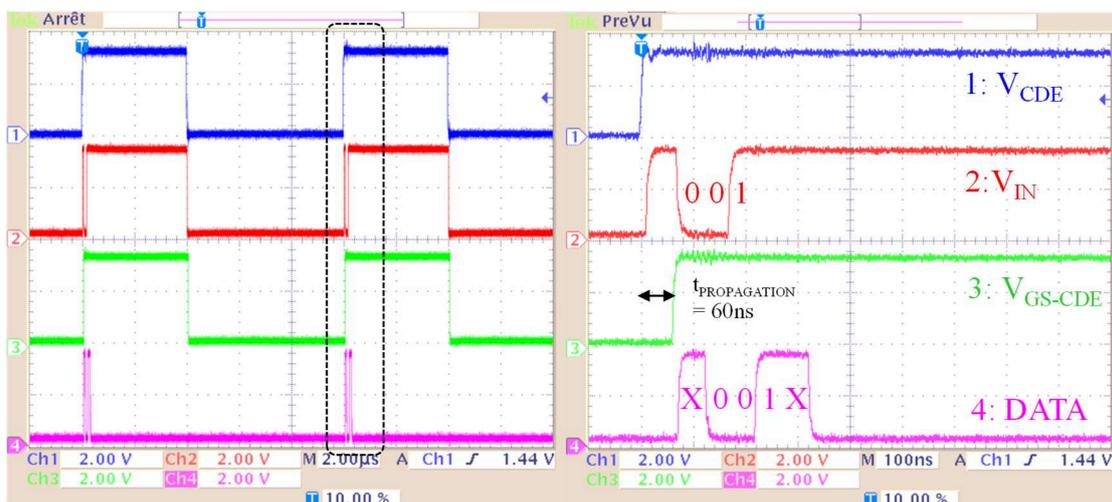


Figure III-19 : Codage/décodage des requêtes synchrones

Bien que la stratégie de communication prévoit l'intégration d'un canal de communication bidirectionnel sur le circuit d'alimentation, le choix a été fait de conserver la méthode de renvoi classique du message d'erreur. La fonction de renvoi de message d'erreur est donc totalement décorrélée du système de communication proposé. Le circuit implémenté dans notre démonstrateur est présenté à la figure III-20. Les ordres de commandes sont donc véhiculés par des impulsions courtes de  $\pm 15V$  tandis que l'impulsion d'erreur est longue ( $>100ns$ ) et de faible amplitude.

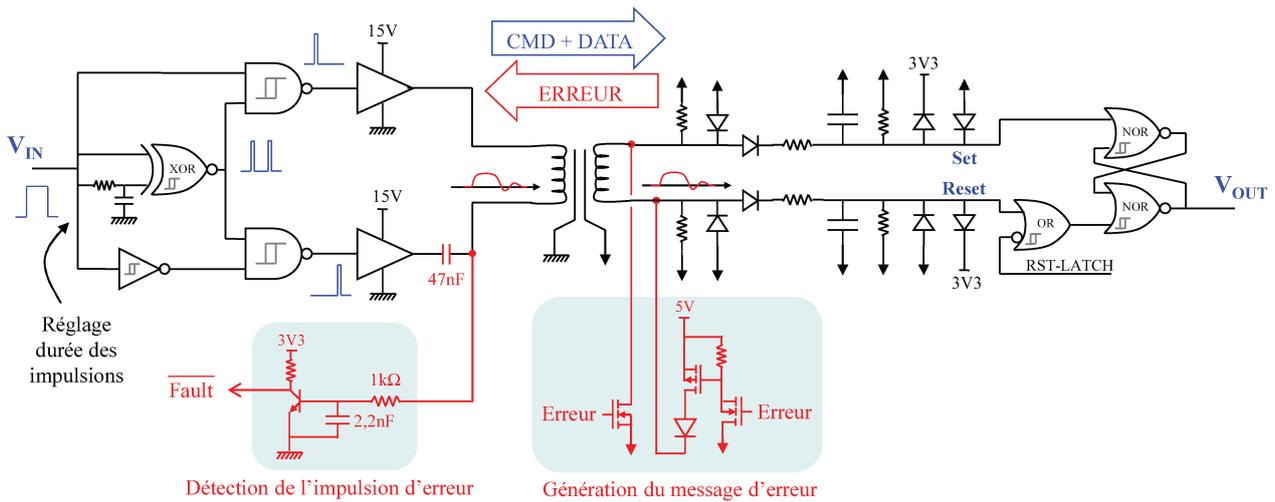


Figure III-20 : Circuit implémenté intégrant le mécanisme de renvoi d'erreur

Un condensateur de faible valeur doit nécessairement être rajouté en série des enroulements primaire du transformateur afin de permettre le retour d'informations. Ici un condensateur  $C = 47nF$  a été ajouté en série avec l'enroulement primaire du transformateur, cette valeur a été choisie par simulation en considérant l'inductance magnétisante du transformateur de manière à limiter les oscillations. C'est la raison pour laquelle un régime oscillatoire de faible amplitude ( $L_m, C$ ) peut être observé sur les courbes de la figure III-21. L'impulsion d'erreur est caractérisée par une faible amplitude pendant une longue durée. Le message d'erreur est souvent associé à la détection d'un court-circuit qui peut être de deux types. Le type I correspond à un court-circuit franc dès l'amorçage (cas le plus fréquent). Dans ce cas, la détection ne peut pas être instantanée. En effet, le régime chaotique transitoire lié à la commutation du composant de puissance oblige à intégrer un temps de masquage (ou blanking time) pendant lequel aucune mesure ne peut être exploitée. Ce temps doit être défini avec attention. En effet, un blanking time trop court a pour conséquence des détections d'erreurs intempestives tandis qu'un blanking time trop long présente un risque de destruction du composant de puissance. Dans un premier temps, le blanking time a été fixé à  $1\mu s$  dans notre démonstrateur. On remarque également un blocage en douceur (SSD) après la détection d'une erreur. Le court-circuit de type II est moins dangereux car il se produit au milieu de la phase de conduction, la détection est dans ce cas très rapide. Les essais présentés à la figure III-21 ont été réalisés en émulant un court-circuit par une augmentation brutale de la tension drain-source. Des essais en conditions réelles sont présentés à la section IV.E.

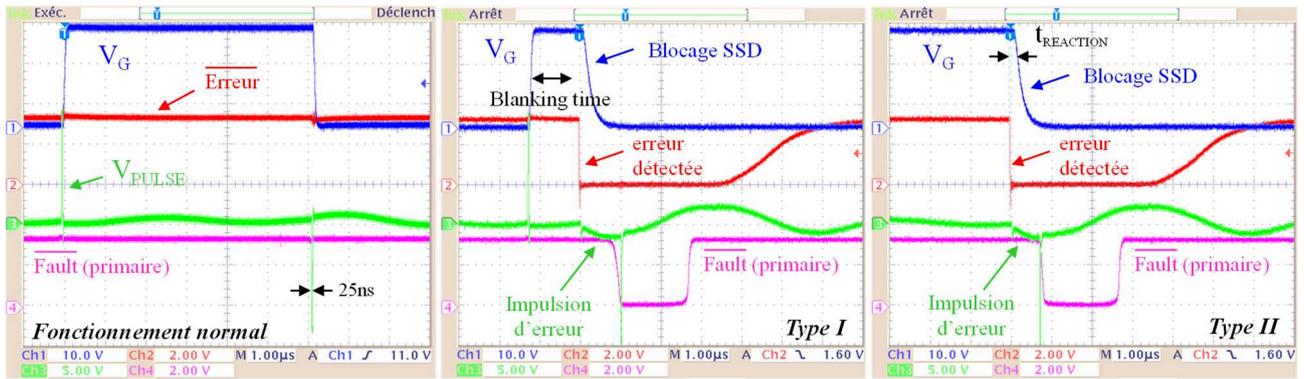


Figure III-21 : Mécanisme de renvoi du message d'erreur implémenté dans le démonstrateur

### B.3.2 Tests d'immunité aux $dv/dt$

Des tests d'immunité aux  $dv/dt$  ont été réalisés pour vérifier la fiabilité du circuit dans des conditions de commutations sévères dans le but de mesurer les perturbations générées par une commutation d'environ 1,5kV à 125kV/ $\mu$ s. Le montage expérimental est décrit à la figure III-22. Un GBF est utilisé pour délivrer un signal de commande de type carré à 100kHz et une carte FPGA permet d'ajouter des données sur le signal MLI originel ( $V_{IN}$ ). Un signal impulsionnel de forte amplitude est appliqué entre le circuit primaire et secondaire permettant de reproduire les conditions de la commutation d'un transistor de puissance. Dans cette expérience, un oscilloscope alimenté par batterie a été utilisé avec précaution (port des EPI obligatoire).

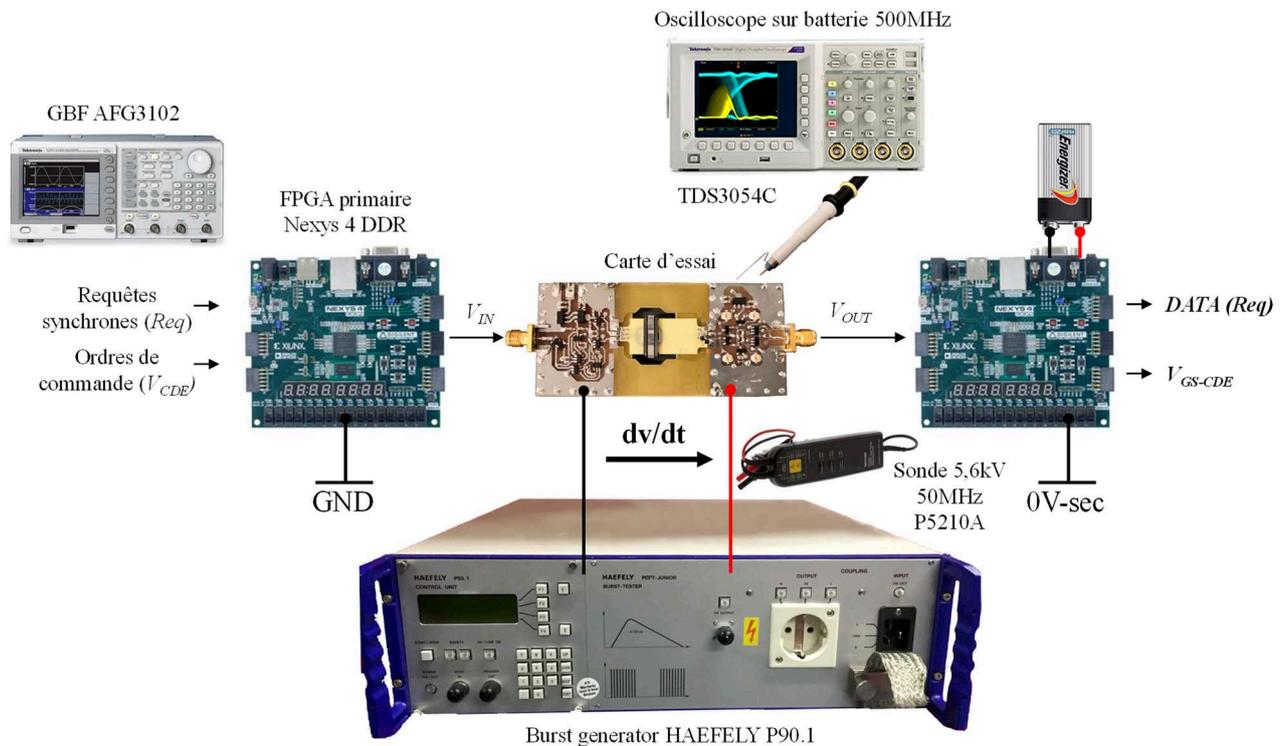


Figure III-22 : Montage expérimental pour les tests de susceptibilité aux  $dv/dt$

Les résultats expérimentaux fournis à la figure III-23 (b) démontrent la viabilité d'impulsions courtes de l'ordre de 25ns et l'immunité du circuit aux perturbations CEM générées par un front de commutation de 125kV/μs. La tension de mode commun engendrée est nettement en-dessous des niveaux de seuils des portes logiques ( $V_{T+}$ ) avec une marge de bruit de 1V et un ratio signal/bruit de 3,7. Les signaux Set et Reset sont relevés après les étages de sélection des impulsions et filtrage. Le circuit présenté à la figure III-23 (a) présente donc une excellente tenue aux dv/dt (jusqu'à 300kV/μs).

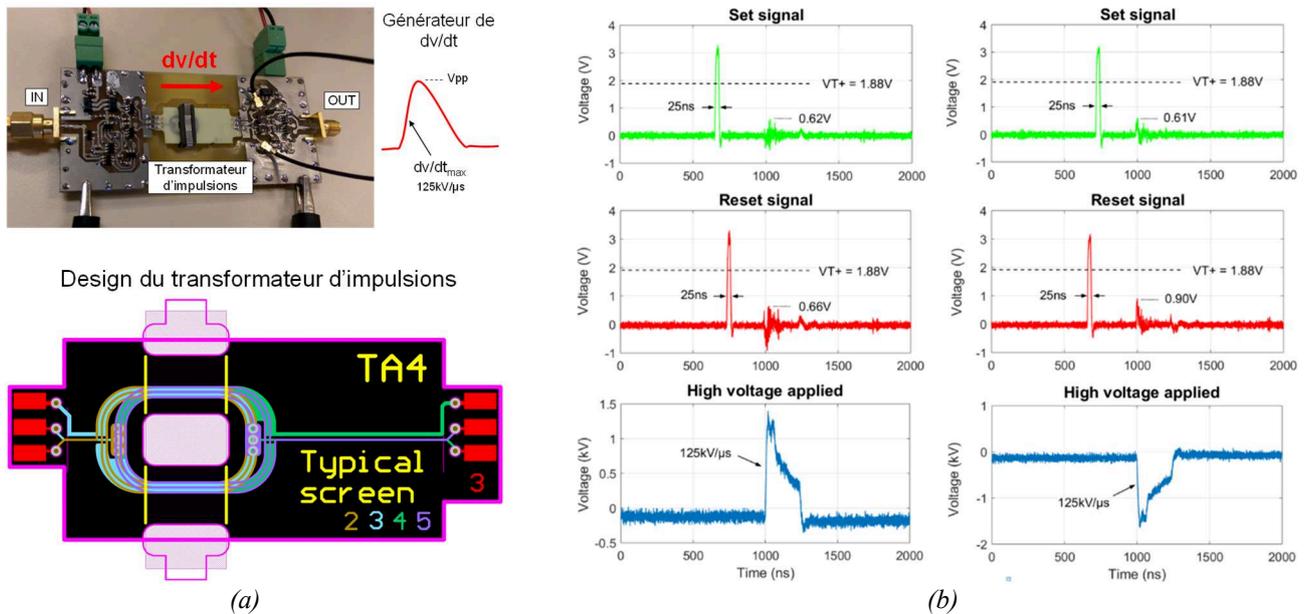
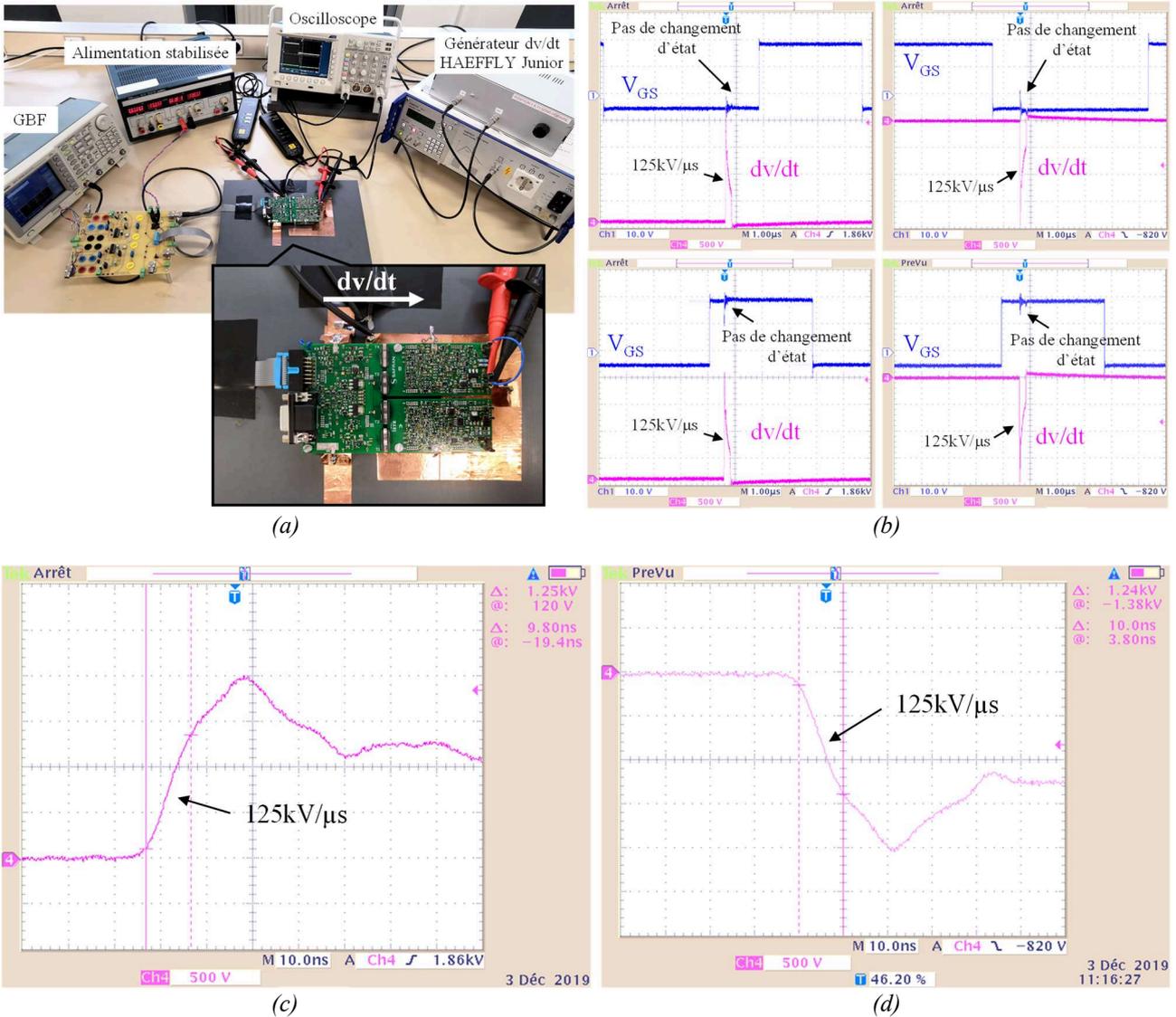


Figure III-23 : Montage et design du transformateur d'impulsions utilisé (a)  
Résultats des tests de susceptibilité aux dv/dt (b)

Une validation par étape a été opérée, le circuit de transmission par impulsions courtes a d'abord été testé séparément avant l'intégration dans un démonstrateur de driver de grille complet. Le démonstrateur de la figure III-24 (a) est bien plus complexe, il intègre notamment un circuit d'alimentation isolé au lieu d'une batterie externe. Le circuit d'alimentation requiert un transformateur qui introduit la circulation d'un courant de mode commun plus important que dans l'expérience proposée à la figure III-23. Il est donc nécessaire de vérifier la tenue en dv/dt dans cette nouvelle configuration. Dans ce contexte, les choix de routage ont une grande incidence sur la CMTI (Common-Mode Transient Immunity).

La figure III-24 démontre la validité du routage du démonstrateur jusqu'à 125kV/μs. En effet, la tension de sortie  $V_{GS}$  n'est pas corrompue par un tel front de commutation. Les mesures présentées aux figures III-24 (c) et (d) ont été réalisées au moyen de sondes différentielles de bande-passante 100MHz. La validation par mesure directe avec un oscilloscope sur batterie en flottant a ses limites, la sonde de mesure peut ici se comporter comme une antenne. Il a été observé qu'au-delà de 125kV/μs, le champ électrique rayonné par l'oscilloscope (donc par la mesure) peut induire le déclenchement d'un message d'erreur sur le démonstrateur, mettant ainsi tout le driver en sécurité. L'utilisation d'une sonde différentielle limite donc les effets de champ liés à la mesure.



*Figure III-24 : Résultats des tests de susceptibilité aux dv/dt (cas dv/dt positif et négatif)  
Montage expérimental (a), validation de l'immunité aux dv/dt (b), zoom sur l'impulsion haute tension positive (c) et négative (d)*

### B.4 Rôle des écrans électrostatiques

Le transformateur d'impulsions a été muni d'écrans électrostatiques reliés aux potentiels de référence des circuits primaire et secondaires. L'utilisation de ces écrans est contre-intuitive puisqu'ils introduisent en théorie une capacité parasite supplémentaire. Néanmoins, en pratique ces écrans permettent de drainer la majorité des courants de mode commun provenant des capacités parasites du transformateur. La plupart de ces courants sont donc intelligemment réorientés vers le plan de masse d'alimentation dans le but de minimiser les perturbations CEM sur les signaux impulsionnels sensibles. Le transformateur d'impulsions utilisé est de type planaire et est composé de deux enroulements de 3 spires (pistes de  $150\mu\text{m}$ ) caractérisés par un rapport de 1:1 tel que présenté à la figure III-25. Le routage d'un tel circuit doit ainsi être réalisé avec attention puisque la géométrie

du design a une grande incidence sur le CMTI. Les choix de routages réalisés sont présentés à la figure III-26. Les cartes présentées sont composées d'un empilage de 6 couches avec une isolation électrique par Epoxy FR-4 (500 $\mu$ m). Des vias non-traversants ont été réalisés pour le raccordement des enroulements des transformateurs.

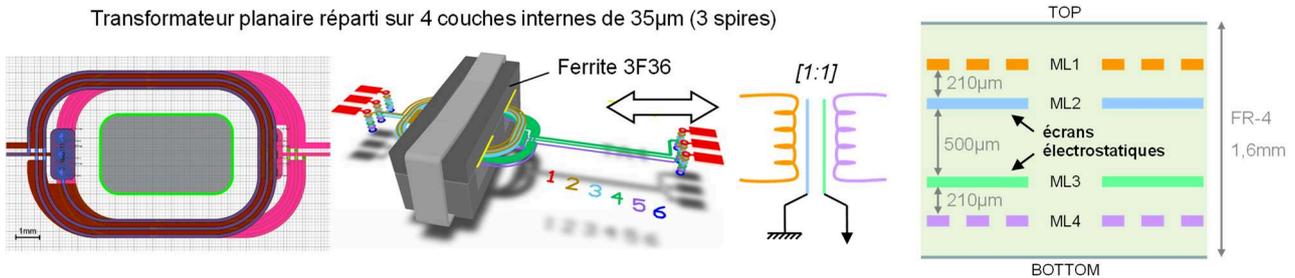


Figure III-25 : Design du transformateur d'impulsions

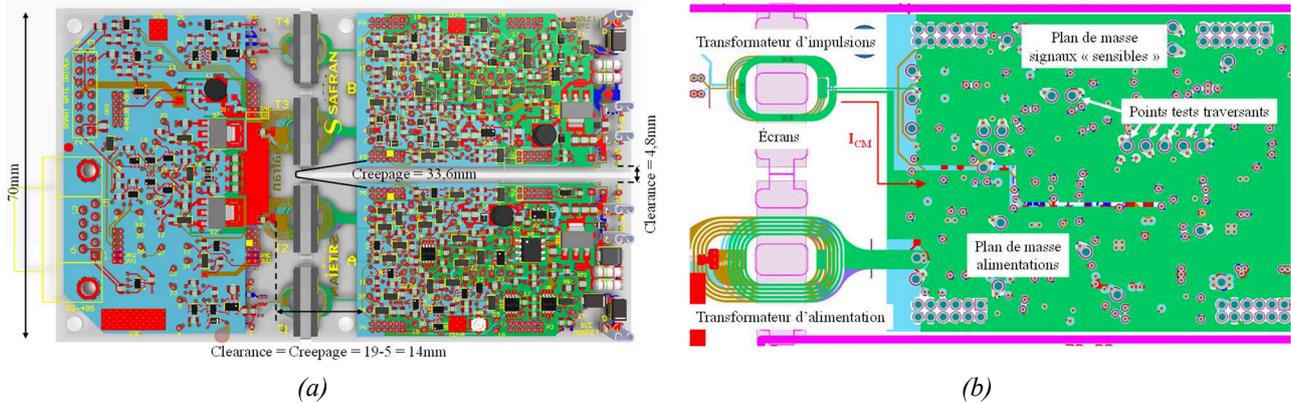
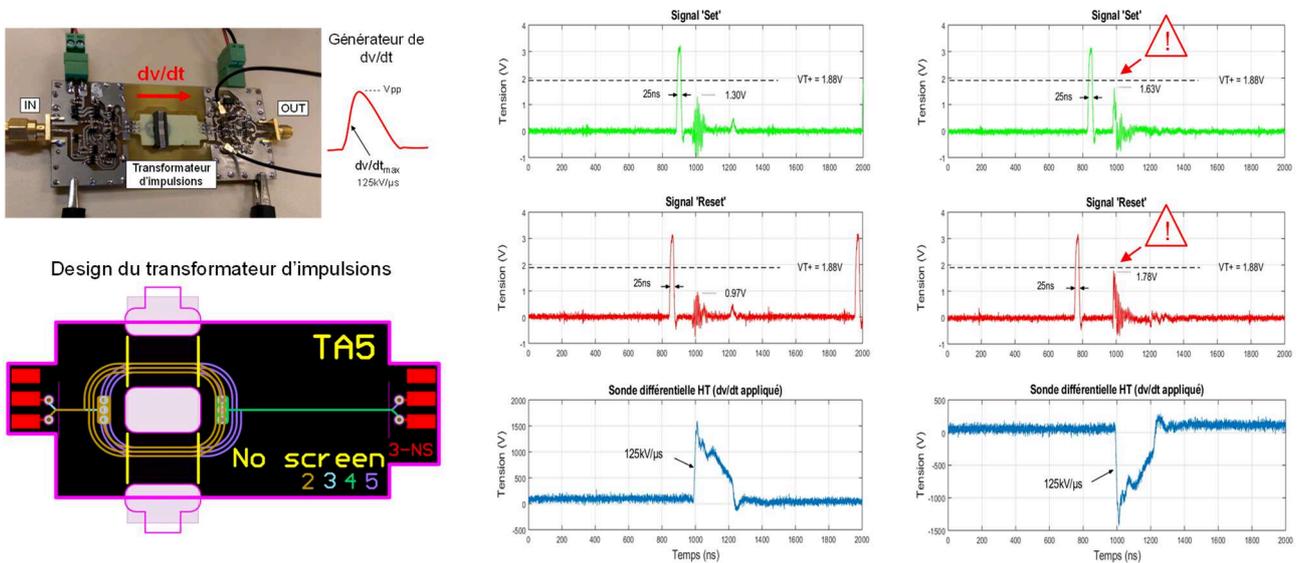
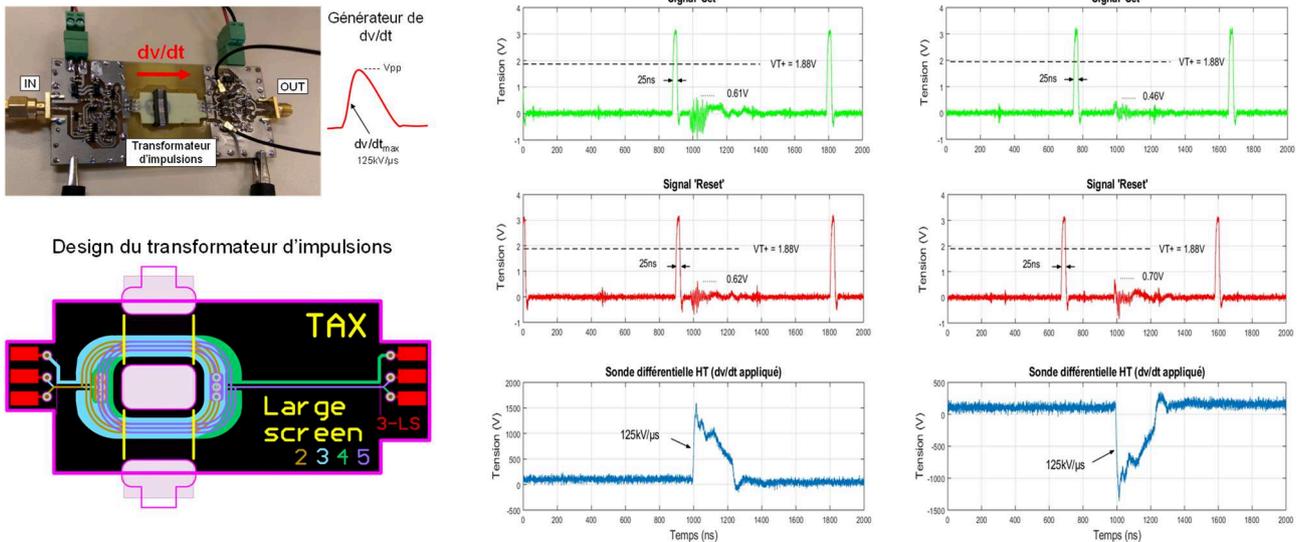


Figure III-26 : Design du démonstrateur (a) et raccordement des écrans électrostatiques (b)

Le recours à ce type d'écran est courant chez les industriels, néanmoins aucune étude universitaire a été menée sur ce sujet précis à notre connaissance. D'une part, il est nécessaire de modéliser cet écran lors d'un décalage en tension entre le circuit primaire et le circuit secondaire ( $dv/dt$ ), ce qui implique une modélisation large bande pour des signaux impulsionnels. D'autre part, le routage devient un élément à considérer dans le modèle choisi. Ces éléments impliquent un questionnement dépassant le cadre de ces travaux.

Toutefois, des expériences ont été menées pour démontrer les avantages de l'implémentation de ces écrans. En effet, dans le circuit proposé à la figure III-23, le transformateur est amovible. Il est donc possible de changer de transformateur en utilisant précisément le même circuit. A cet effet, 3 transformateurs d'impulsions ont été conçus et fabriqués, le premier avec des écrans recouvrant les pistes des enroulements, le second avec des écrans plus larges et enfin le dernier sans écran. Ces 3 échantillons ont été fabriqués en même temps et présentent donc le même empilage (défini à la figure III-25).

## Chapitre III : Système de communication adapté



Les essais présentés aux figures III-23, III-27 et III-28 ont été effectués dans les mêmes conditions. Aucune différence significative n'a été observée dans le cas d'un écran plus large. Toutefois, la figure III-28 démontre l'intérêt des écrans électrostatiques dans les transformateurs d'impulsions soumis à de forts  $dv/dt$ . En effet, les niveaux de bruits observés sont susceptibles d'engendrer un changement d'état en sortie. En outre, il semblerait qu'un front de commutation négatif perturbe davantage le circuit proposé.

## C. ALIMENTATION ISOLEE COMMUNICANTE

### C.1 Analyse de quelques circuits d'alimentation isolée fréquemment utilisés dans les cartes driver

Dans le cas des drivers de grille conçus pour la commande des composants IGBT, des tensions d'alimentation symétriques sont souvent requises (+15V/-15V). Puisque les composants MOSFET SiC nécessitent généralement une tension grille-source de +20V/-5V pour une commande optimale, une tension d'alimentation de 25V est nécessaire. Il y a deux solutions pour fournir l'alimentation en énergie : un circuit bootstrap ou un convertisseur DC/DC isolé. Le circuit bootstrap consiste à récupérer de l'énergie sur le circuit de puissance situé en sortie tandis que la conversion DC/DC permet l'alimentation en énergie à partir d'une source de tension connectée au circuit primaire. Dans la plupart des cas, une topologie de convertisseur DC/DC isolé est préférée car elle permet le pilotage des cellules de commutation indépendamment de la configuration du circuit de puissance. Dans ce cas, une isolation électrique supplémentaire est donc nécessaire entre chaque voie du driver. Les convertisseurs DC/DC ainsi réalisés sont généralement de type Push-Pull isolés ou parfois de type Flyback [12], [16], [95], [103]. Il est cependant possible de réaliser une transmission d'ordres de commande directement à la grille via un transformateur [104] mais cette topologie ne permet pas la détection de court-circuit ni aucun autre élément de protection. Des drivers de grille opérant un transfert d'énergie par voie optique ont également été rapportés [105], [106]. Bien que de telles méthodes permettent une très bonne réjection de mode commun, la faible efficacité des transducteurs photoélectriques rend cette technologie inapte à la commande de modules de puissance (consommation en énergie >1W). Dans ce travail, des structures d'alimentation classiques à base de convertisseurs Push-Pull ont été analysés. La structure classique d'un convertisseur isolé de type Push-Pull est donnée à la figure III-29.

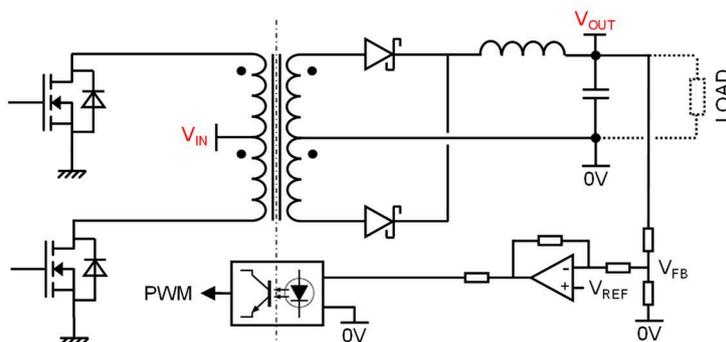
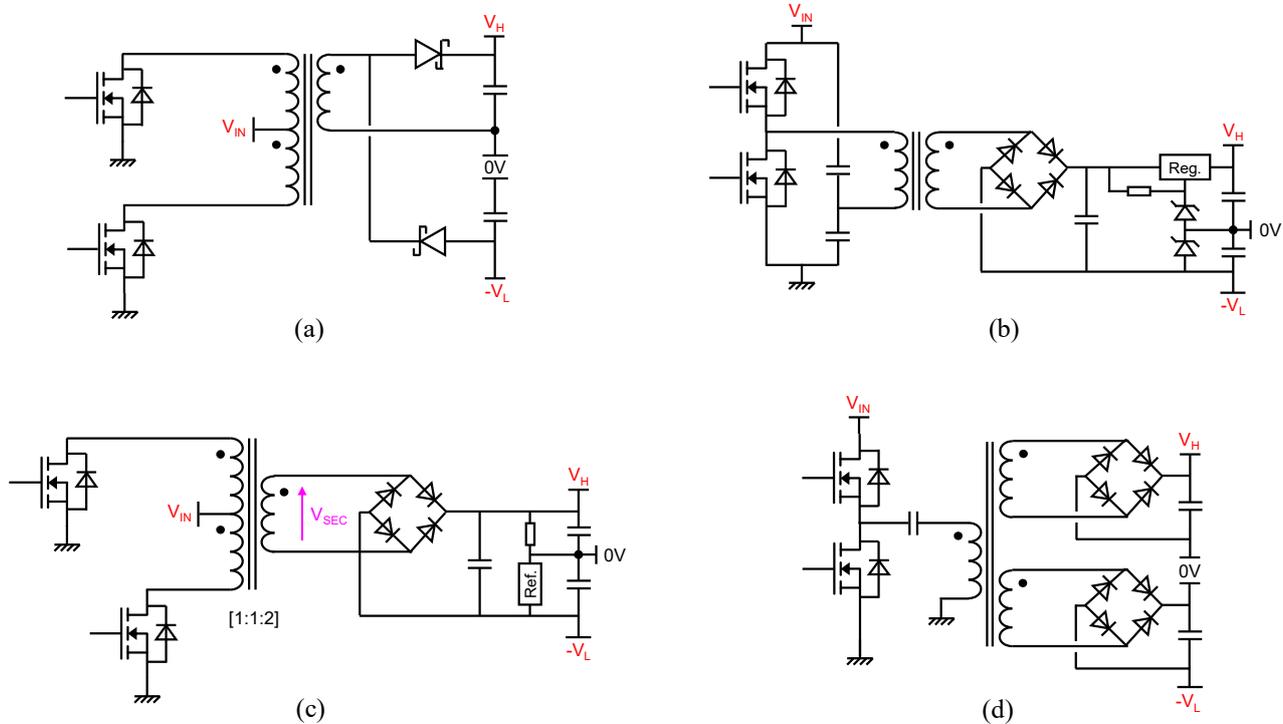


Figure III-29 : Convertisseur DC-DC de type Push-Pull avec sa boucle de régulation

Les convertisseurs de type Push-Pull permettent une circulation du courant pendant les deux phases de fonctionnement. La stabilité de la tension de sortie est généralement réalisée par une rétroaction à optocoupleur. Cependant, comme expliqué précédemment, l'addition d'éléments à travers la barrière d'isolation galvanique est problématique dans les circuits driver. C'est pourquoi des structures en boucle ouverte sont toujours préférées pour l'alimentation des circuits de commande rapprochée où la consommation est relativement faible (<10W) en comparaison du circuit de

puissance commandé (>1kW). En outre, les niveaux de puissance permettent des simplifications car l'efficacité n'est pas un paramètre critique dans ce design. Quelques circuits d'alimentation couramment utilisés dans les drivers de grille sont présentés à la figure III-30. Les caractéristiques des cartes driver associées sont données dans le tableau 9.



*Figure III-30 : Convertisseurs Push-Pull non-régulés à rapport cyclique fixe – État de l'art industriel:  
 (a) Infineon 2ED300C17; (b) Semikron SkyperPro32; (c) Power Integration 2SC0650;  
 (d) Cree PT62SCMD12*

Les circuits présentés à la figure III-30 sont des déclinaisons faible puissance de la topologie Push-Pull. La boucle de régulation est supprimée au profit d'un circuit de type redresseur à diodes pour assurer la stabilité de la tension de sortie. Une post-régulation peut aussi être utilisée en sortie [107]. Le circuit d'alimentation communicant proposé dans la section suivante est basé sur le circuit de la figure III-30 (c). Dans ce circuit, un signal carré 0-15V est appliqué sur les enroulements primaires, le signal  $V_{SEC}$  varie donc périodiquement entre -30V et +30V (rapport de transformation de 2). Ce signal est ensuite redressé par un pont de diode. Les formes d'ondes associées sont présentées à la figure III-31.

**TABLEAU 9**  
*Etat de l'art de quelques cartes driver*

Figure	Reference driver	Composant de puissance piloté	Topologie du circuit d'alimentation	Puissance en sortie/canal	Capacités parasites totales
III-30 (a)	2ED300C17	IGBT / MOSFET 1.7kV	Push-pull en boucle ouverte	4W	18pF
III-30 (b)	SkyperPro32	IGBT / MOSFET 1.2kV	Push-pull en boucle ouverte	1,1W	12pF
III-30 (c)	2SC0650	IGBT / MOSFET 1.7kV	Push-pull en boucle ouverte	6W	28pF
III-30 (d)	PT62SCMD12	MOSFET SiC 1.2kV	Push-pull en boucle ouverte	3,5W	-
-	CGD15HB62LP	MOSFET SiC 1.2kV	Circuit Flyback	6W	17pF
III-34	Ce travail	MOSFET SiC 1.2kV	Push-pull en boucle ouverte	4W	13pF*

\*Mesure par VNA (Vector Network Analyser) @1MHz, voir section IV.E.

L'avantage incontestable du circuit d'alimentation de la figure III-31 est sa stabilité en boucle ouverte et sa grande simplicité de mise en œuvre. Pour permettre l'alimentation en énergie du circuit secondaire du driver, la tension de sortie obtenue est ensuite régulée à 25V par l'intermédiaire d'un convertisseur DC/DC dévolteur (Buck).

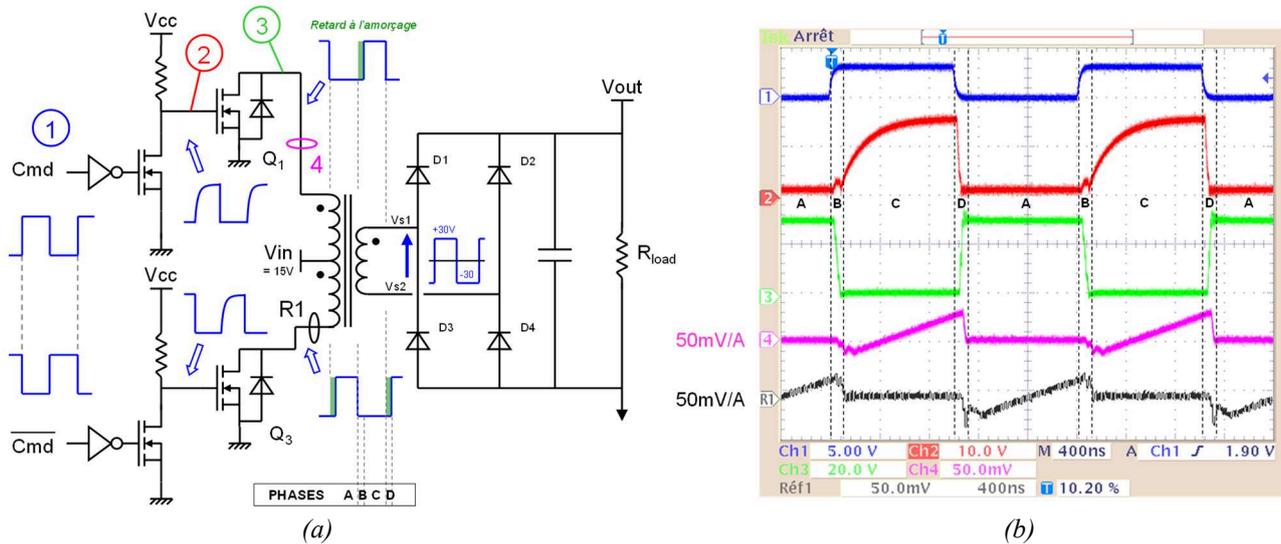


Figure III-31 : Circuit réalisé et formes d'ondes associées à la topologie de la figure III-30 (c) avec une charge de 2W

### C.2 Principe de communication bidirectionnelle sur le canal d'alimentation

Afin de permettre la communication de données dans le circuit driver, une méthode innovante de communication à travers l'isolation galvanique du circuit driver a été développée. Cette partie a fait l'objet d'un dépôt de brevet d'invention en mars 2018 (n°1851273). Cette méthode s'appuie sur une structure d'alimentation typiquement utilisée pour l'alimentation du circuit de commande rapprochée d'un module de puissance de type MOSFET SiC. Puisque l'addition de transformateurs ou optocoupleurs supplémentaires diminue la qualité de l'isolation électrique, la méthode proposée ci-après permet le transfert d'énergie ainsi que l'échange de données en utilisant un unique transformateur. Comme illustré à la figure III-32, un canal de communication bidirectionnel a été judicieusement greffé sur le circuit d'alimentation. La mise en œuvre de cette solution complexifie évidemment la structure de l'alimentation isolée mais reste très avantageux vis-à-vis de l'encombrement d'un circuit isolé additionnel dédié à la communication. D'autre part, la méthode de communication ne nécessitant pas l'ajout de transformateurs dédiés à la communication, elle n'engendre pas de courants de mode commun supplémentaires.

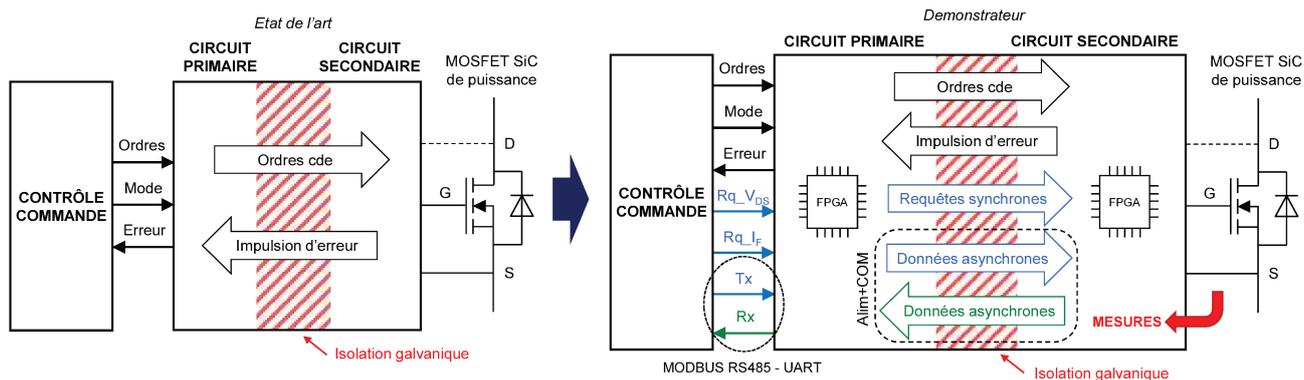


Figure III-32 : Flux de données envisagés

On peut donc distinguer deux phases de fonctionnement : la phase d'alimentation (A) pendant laquelle de l'énergie électrique est transmise au circuit secondaire tout en véhiculant un flux de donnée ( $TxD$ ) puis la phase démagnétisée (B) pendant laquelle le système renvoie des données sous forme d'impulsions. La solution apportée est double : d'une part, une modulation basée sur un codage Manchester remplace le signal carré  $Cmd$  et permet l'envoi de données du primaire vers le secondaire lors du fonctionnement de l'alimentation ; d'autre part, des données sont renvoyées par impulsions lors de la démagnétisation complète du transformateur d'alimentation. Les chronogrammes présentés à la figure III-33 illustrent les deux étapes de la réflexion qui a été menée. Un schéma de principe est proposé à la figure III-34.

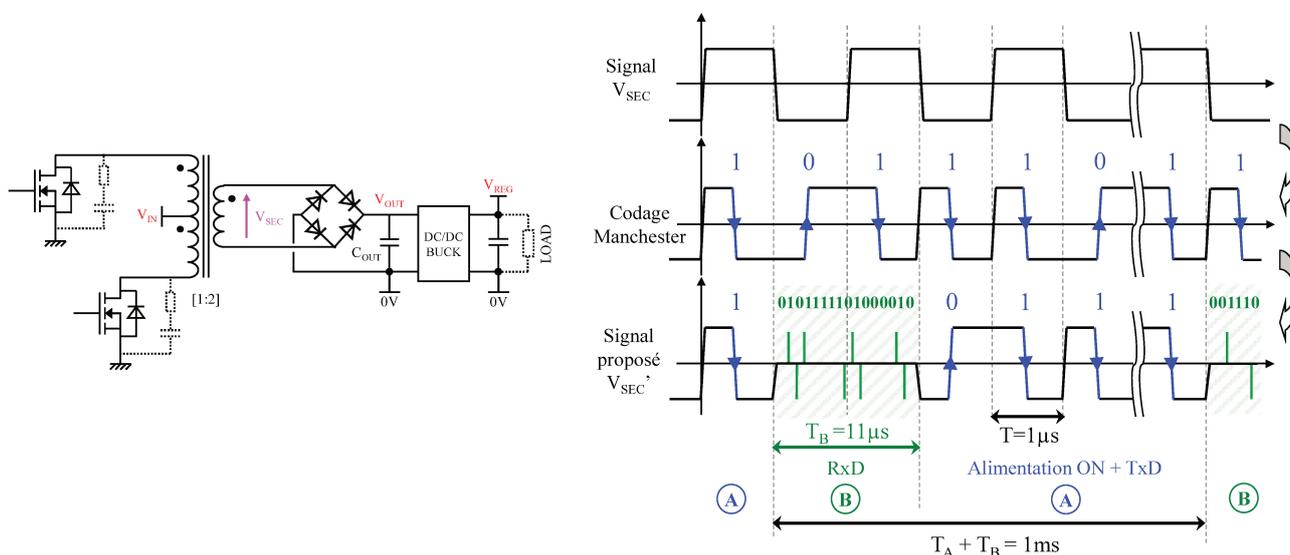


Figure III-33 : Idée proposée pour la communication sur le canal d'alimentation

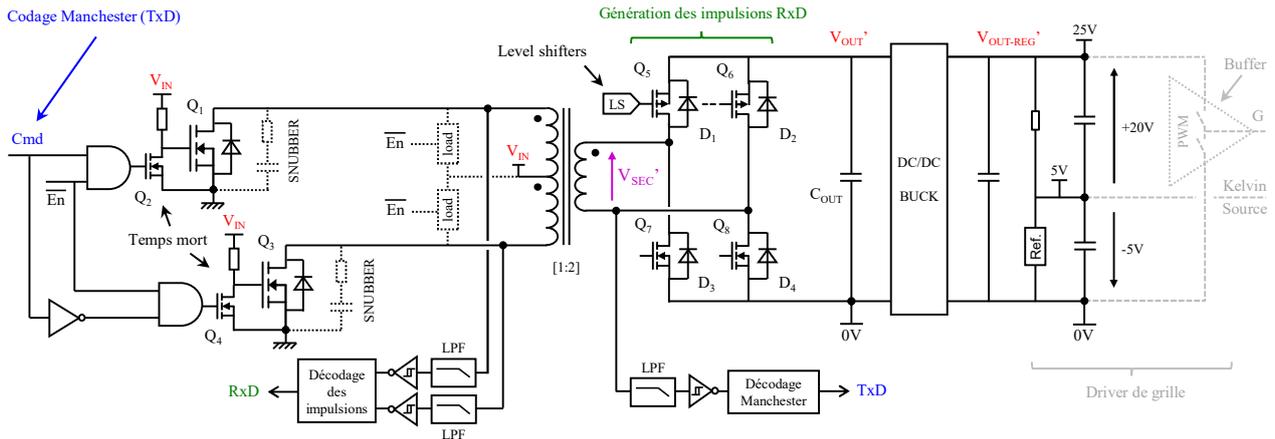


Figure III-34 : Circuit d'alimentation communicant proposé

Pendant la phase A, les données à transmettre (*TxD*) sont transmises en utilisant un code Manchester appliqué au signal *Cmd* à la place du signal carré évoqué précédemment. L'utilisation d'un code Manchester permet de conserver une tension moyenne nulle aux bornes du transformateur quelles que soient les données transmises. Le décodage de ce signal est réalisé très facilement au niveau du circuit secondaire en utilisant notamment une porte logique « OU exclusif » (XOR). Pendant cette phase, l'énergie et des données *TxD* sont transmises. Le snubber RC permet de limiter la remontée de la tension aux bornes des transistors  $Q_1$  et  $Q_3$  au blocage afin de limiter les oscillations. A cause du codage Manchester, la fréquence de fonctionnement n'est pas fixe. On observe alors un étalement spectral entre 500kHz et 1MHz en tenant compte des contraintes temporelles proposées à la figure III-33. Un schéma détaillé du fonctionnement lors de cette phase est fourni à la figure III-35.

Lors de la phase B, le transfert d'énergie est interrompu pendant une durée prédéterminée  $T_B$ . Le transformateur est alors démagnétisé en ouvrant simultanément les transistors  $Q_1$  et  $Q_3$ . Des oscillations de démagnétisation peuvent apparaître pendant cette phase. Ces oscillations peuvent être réduites par l'ajout de résistances de charge sur les enroulements primaires  $R_{L,P}$  (définies à la figure III-36). Ces résistances doivent être désactivées lors de la phase A (signal Enable). A ce moment, le transformateur est alors utilisé comme un transformateur d'impulsions pour le renvoi de données (*RxD*). Un schéma détaillé du fonctionnement lors de cette phase est fourni en figure III-36. Des impulsions d'environ 200ns ont été simulées puis testées pour un temps bit de 500ns. La phase démagnétisée doit être suffisamment brève pour occasionner une faible chute de tension en sortie. La phase B peut être décomposée comme suit : une phase d'attente de  $2\mu s$  afin de permettre une démagnétisation complète du transformateur puis  $8\mu s$  (=16 bits) sont allouées aux données renvoyées, enfin une phase d'attente de  $1\mu s$  est réalisée. Le choix d'une durée  $T_B = 11\mu s$  semble pertinent au regard de la consommation du système (max 4W/voie). La chute de tension occasionnée en sortie dépend de la consommation du circuit, de la durée de la phase démagnétisée (ici  $11\mu s$ ) et de la capacité de sortie du circuit d'alimentation. Ainsi, une chute de tension trop importante peut être compensée par une augmentation de la valeur du condensateur en sortie  $C_{OUT}$ . Le cycle (A+B) est répété selon une périodicité de  $T_A + T_B = 1ms$ . Ces caractéristiques temporelles fixent le débit maximal théorique à 1Mbit/s en transmission (*TxD*) et à 16kbit/s en réception (*RxD*).

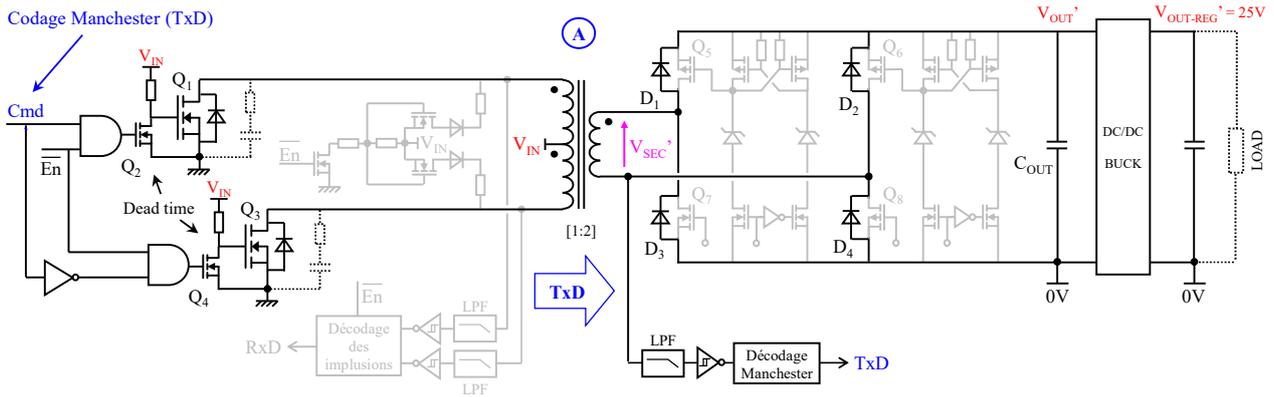


Figure III-35 : Circuit équivalent lors de la phase A (alimentation ON & Tx)

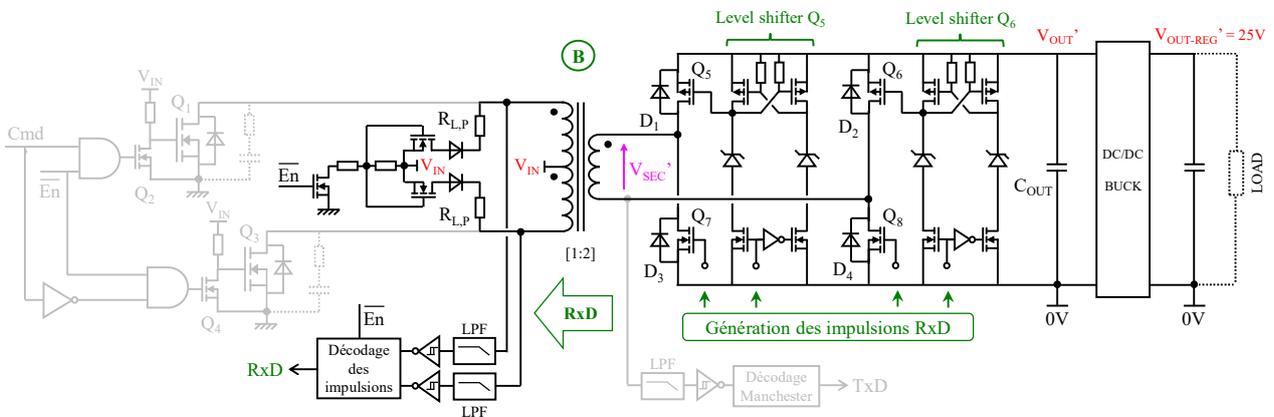


Figure III-36 : Circuit équivalent lors de la phase B (Rx)

La méthode proposée suppose l'intégration de composants programmables tels que des FPGA pour la gestion de ces deux flux de données. En considérant les contraintes temporelles définies au paragraphe précédent, une fréquence d'horloge minimale de 10MHz suffit. En effet, les impulsions transmises sont ici d'une largeur de 200ns, il n'est donc pas nécessaire d'avoir un pas temporel inférieur à la centaine de ns. Un protocole UART (Universal Asynchronous Receiver Transmitter) peut ensuite aisément être implémenté pour permettre un protocole de communication complexe à travers l'isolation galvanique.

### C.3 Simulations

Le circuit proposé a été simulé en utilisant des modèles SPICE pour les composants actifs et un modèle comportemental du transformateur d'alimentation. Les références des modèles utilisés sont fournies dans le tableau de la figure III-37.

Les simulations réalisées suggèrent une surconsommation due au renvoi d'impulsions  $RxD$  lors de la phase B. Cet effet est dû à la tension appliquée sur les résistances de charge  $R_{L,P}$  ( $R_{10}$  et  $R_{18}$  sur le schéma de la figure III-37) situées au niveau des enroulements primaires du transformateur. Il existe



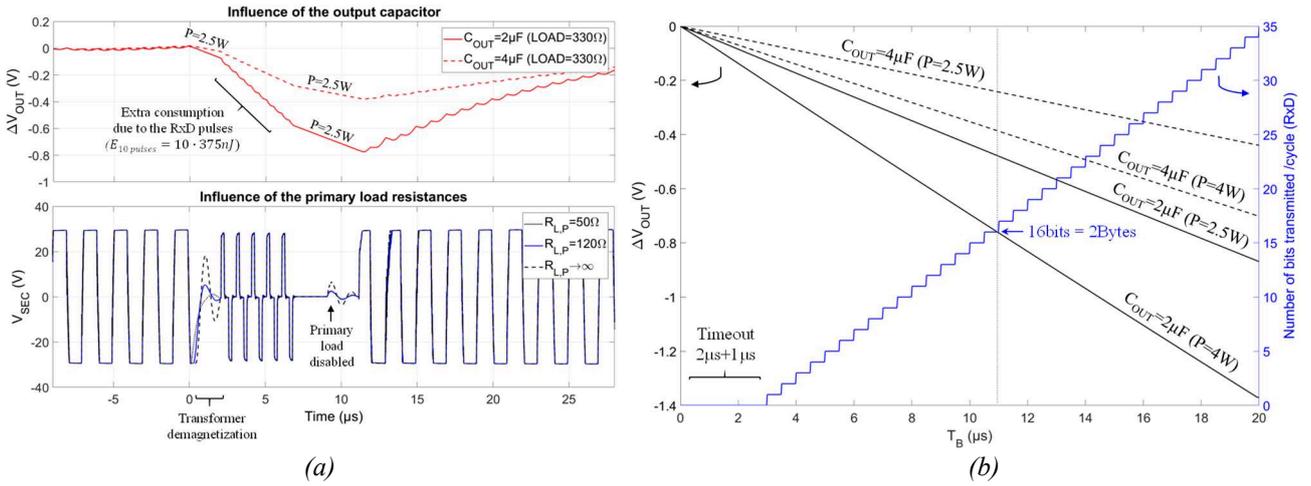


Figure III-38 : Résultats de simulation de l'alimentation communicante  
 Simulations temporelles (a) et illustration du compromis débit/capacité/consommation (b)

Les oscillations liées à la démagnétisation du transformateur peuvent être atténuées par la résistance de charge vue par les enroulements primaires  $R_{L,P}$ . L'influence de cette résistance sur la tension au bornes de l'enroulement secondaire est mis en évidence à la figure III-38. Une faible valeur réduit et amortit considérablement le régime oscillatoire observé mais engendre une surconsommation selon l'équation (15). Dans les essais effectués, des résistances de  $R_{L,P}=120\Omega$  ont été utilisées.

Le principal inconvénient de la méthode proposée est la chute de tension de sortie  $V_{OUT}$  lors de la phase B. La durée  $T_B$  de cette phase est critique et devrait être réduite autant que possible. Cependant, la chute de tension peut être compensée par l'ajout de condensateurs en sortie  $C_{OUT}$ . Dans l'équation (16), la chute de tension observée  $\Delta V_{OUT}$  est aussi dépendante de la puissance totale consommée  $P$ .

$$\Delta V_{OUT} = V_{OUT} \left( e^{-\frac{T_B}{R_{LOAD} \cdot C_{OUT}}} - 1 \right) \approx -\frac{P \cdot T_B}{V_{OUT} \cdot C_{OUT}} \quad (16)$$

Où  $R_{LOAD}$  est la résistance équivalente vue en sortie. Comme le montre la figure III-38 (b), un compromis doit être fait entre le débit binaire en réception ( $RxD$ ) et la chute de tension en sortie  $V_{OUT}$ . La tension  $V_{OUT}$  étant post-régulée, la chute de tension n'a aucune influence sur le fonctionnement du circuit secondaire dès lors que cette chute de tension est maîtrisée.

## C.4 Essais

### C.4.1 Conformité des signaux

Pour les besoins d'essais, des trames de données ont été préprogrammées dans deux cartes FPGA par programmation VHDL. La logique CMOS 3,3V permet la compatibilité avec les FPGA. Des essais effectués sont présentés à la figure III-39, ils démontrent la faisabilité d'un échange de donnée tel que défini à la section III.C.2. Un niveau logique bas est appliqué sur le signal

‘Enable’ pendant  $11\mu\text{s}$ , ce qui ouvre  $Q_1$  et  $Q_3$  et active la charge au primaire. C’est donc le circuit primaire qui cadence l’échange de données. Le signal  $V_{SEC}$  représente la tension différentielle aux bornes de l’enroulement secondaire. Sur les graphes de la figure III-39 (a), les signaux  $TxD$  et  $RxD$  représentent respectivement les données transmises décodées au secondaire et les données renvoyées au primaire. Le débit binaire maximal en transmission  $TxD$  est de 1Mbit/s et de 16kbit/s en réception  $RxD$ . Les débits binaires peuvent être optimisés en fonction de la consommation statique du circuit, la durée des impulsions, le temps bit et la capacité en sortie  $C_{OUT}$ . Toutefois, le transformateur d’alimentation ne possédant pas de blindage électromagnétique et un nombre de spire plus important, des impulsions trop courtes peuvent conduire à des erreurs de transmission. La démagnétisation du transformateur est visible sur le graphe du signal  $V_{SEC}$  pendant la phase d’attente de  $2\mu\text{s}$  avant la génération des impulsions  $RxD$ . Le décodage du signal  $TxD$  est réalisé par une porte logique XOR entre un signal carré de 1MHz synchronisé avec la tension drain-source de  $Q_8$ . Le même résultat pourrait être obtenu avec  $Q_7$  et une inversion. Le signal  $TxD$  décodé au secondaire permet également le déclenchement de la phase de renvoi des impulsions  $RxD$ . En effet, un compteur de  $2\mu\text{s}$  est chargé de détecter une inactivité du transformateur d’alimentation. La tension de sortie est stabilisée à 28,3V avant d’être régulée à 25V. La chute de tension pendant la phase B est d’environ  $\Delta V_{OUT} = -0,8V$ , ce qui correspond à  $V_{OUT} = 27,5V$  à la fin de la phase de B. Comme expliqué à la section précédente, la chute de tension est fortement dépendante de la consommation du circuit. Dans ce cas, une charge de  $R_{LOAD} = 330\ \Omega$  a été utilisée pour émuler une consommation statique de 2,5W. Le circuit a été testé en utilisant une capacité en sortie de  $14,1\mu\text{F}$  correspondant à 3 condensateurs céramiques de  $4,7\mu\text{F}$  en matériau X7R. Cependant, les essais menés correspondent à une capacité équivalente simulée légèrement supérieure à  $2\mu\text{F}$  (MC1206B475K500CT). Ce comportement s’explique par le comportement du matériau X7R soumis à une tension d’environ 30V, ce derating peut être réduit par l’utilisation de condensateurs de haute qualité en matériau NP0/C0G. Dans ce design, des condensateurs 50V en boîtier 1206 ont été choisis pour augmenter la densité d’intégration. Le circuit de post-régulation choisi est de type Buck (2MHz), il permet de réguler la tension de sortie à 25V tant que la condition  $V_{OUT} > 25,7V$  reste valable. La durée de démagnétisation et les condensateurs en sortie doivent donc être choisis en fonction du pire cas. Dans les essais présentés à la figure III-39, deux cartes FPGA Nexys4 DDR ont été utilisées pour gérer l’alimentation communicante.

Le transformateur d’alimentation est constitué de 5 spires sur les enroulements primaires et 10 spires au secondaire. Le noyau magnétique est constitué d’une ferrite en E en matériau 3F36. L’isolation électrique étant réalisée par  $500\mu\text{m}$  de diélectrique, les capacités parasites sont réduites à quelques pF. La capacité parasite équivalente peut être mesurée par VNA (Vector Network Analyser) ou par impédance-mètre. Le transformateur d’alimentation présente une capacité parasite primaire-secondaire  $<10\text{pF @ }1\text{MHz}$ .

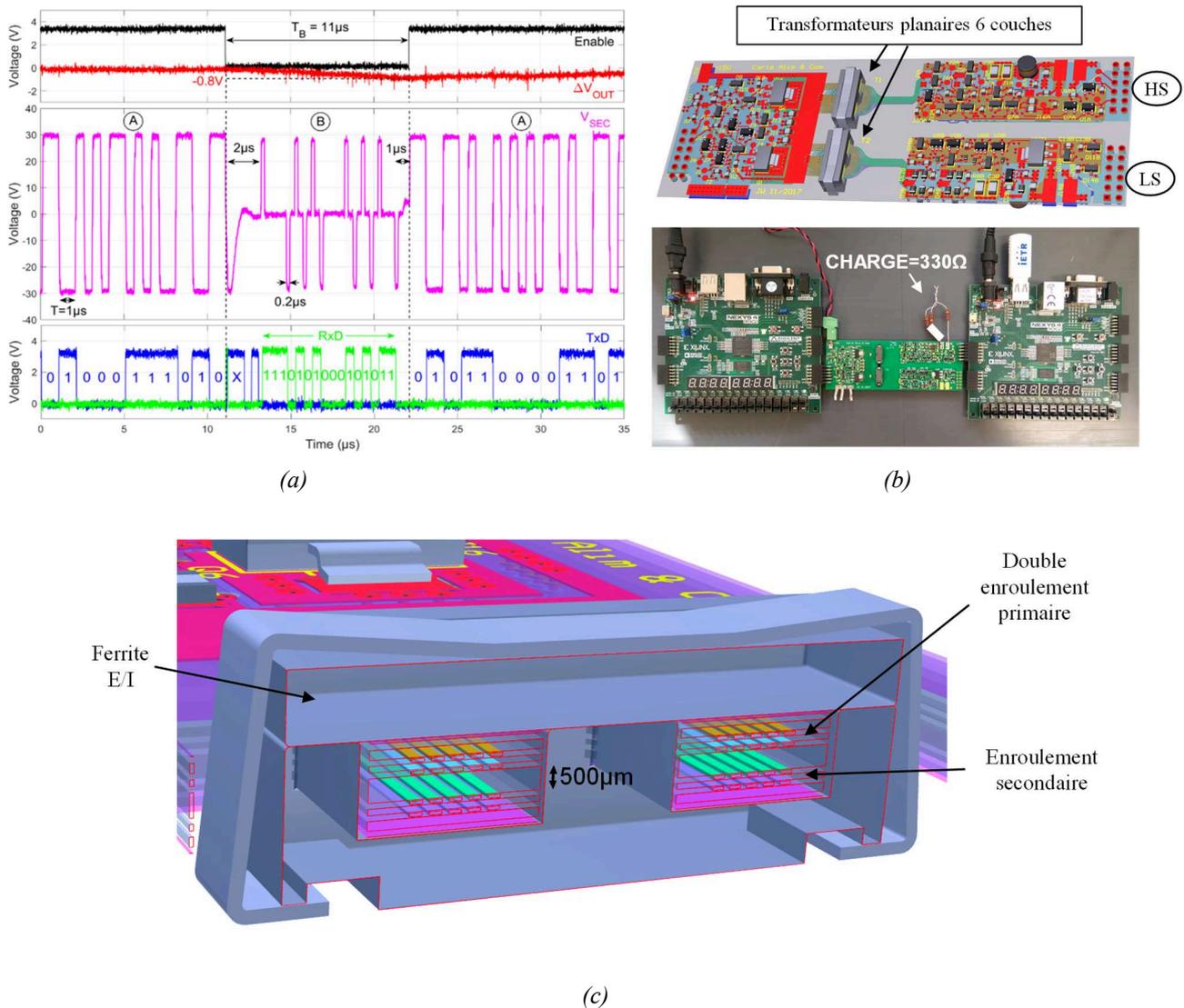


Figure III-39 : Formes d'ondes (a), carte réalisée (b) et plan de coupe du transformateur d'alimentation (c)

### C.4.2 Tests d'immunité aux $dv/dt$

Les drivers de grille sont toujours situés au plus proche des composants à semi-conducteur de puissance dans le but de garantir une commutation optimale. En effet, les inductances parasites des fils de câblage sont sensibles aux courants de mode commun pouvant circuler. Les circuits de puissance sont souvent composés de plusieurs composants de puissance en série et/ou en parallèle. Dans une configuration demi-pont, deux composants de puissance sont associés en série (HS et LS). Comme expliqué à la section I.C.2., lors des commutations rapides de ces composants, une forte perturbation électromagnétique liée au  $dv/dt$  est observée dans le nœud de commutation.

De manière analogue au processus expérimental présenté à la figure III-22, un signal impulsionnel de forte amplitude est appliqué entre la masse du circuit primaire et le potentiel de référence (flottant) du circuit secondaire. Le signal de transmission de données  $TxD$  a été surveillé pendant le processus de manière à pouvoir détecter les perturbations électromagnétiques engendrées par le  $dv/dt$ . Le signal mesuré est pris à l'entrée de portes logiques à Trigger de Schmitt. Les Triggers de Schmitt sont très

importants dans ce circuit car ils permettent de fournir un signal numérique fiable à partir des signaux analogiques filtrés par l'exploitation d'un principe d'hystérésis. Des essais ont été réalisés jusqu'à  $\pm 125\text{kV}/\mu\text{s}$  appliqué à travers la barrière d'isolation. Les résultats présentés dans la figure III-40 démontrent la robustesse de la communication de données dans le pire cas. Les bruits enregistrés sont l'addition des bruits de la sonde de mesure et des perturbations électromagnétiques réelles engendrées sur le signal considéré. Les tensions de seuils des portes logiques à Trigger de Schmitt ont été utilisées pour valider l'intégrité du signal  $TxD$  lorsque la perturbation EM apparaît.

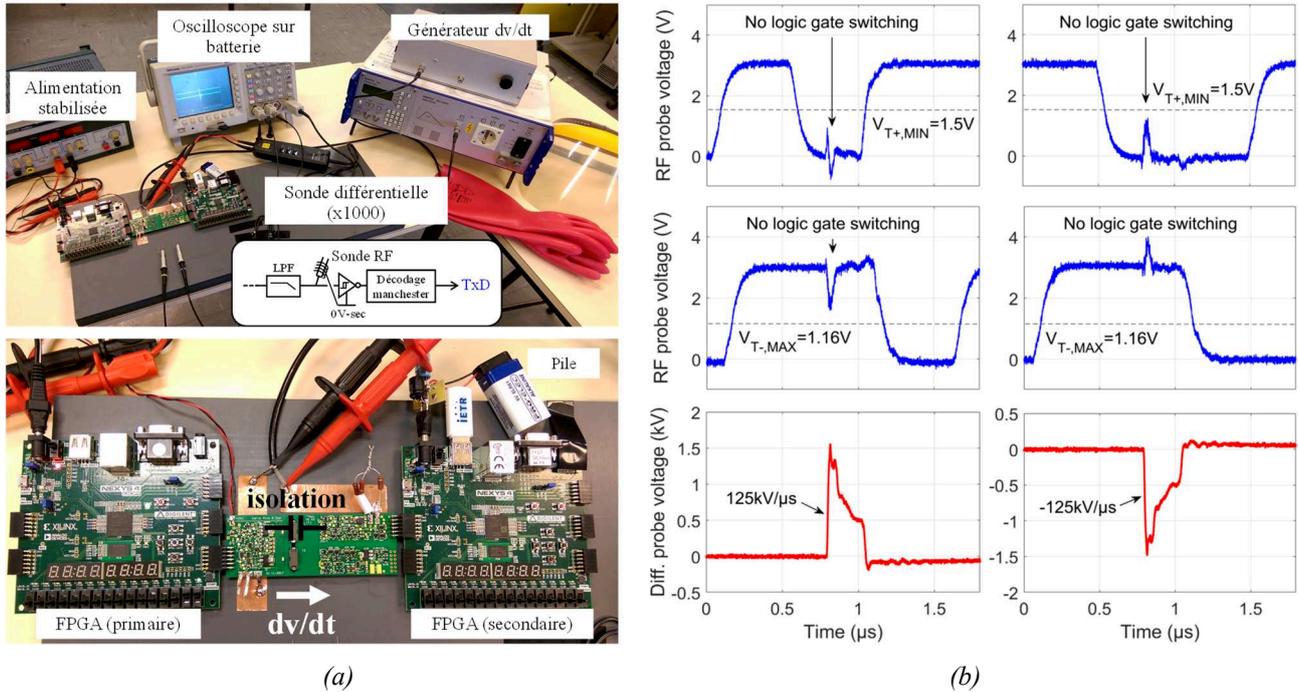


Figure III-40 : Tests d'immunité aux  $dv/dt$  pour l'alimentation communicante  
Montage expérimental (a) et formes d'ondes associées (b)

### D. PROTOCOLE DE COMMUNICATION

La stratégie de communication retenue s'appuie sur un flux de données synchrone aux ordres de commande du composant de puissance et d'un canal de communication bidirectionnel asynchrone. Les requêtes synchrones nécessitent des entrées dédiées ( $Req\_A$  et  $Req\_B$ ) pour satisfaire le besoin de synchronisation des mesures. Le flux de données asynchrone est porté par le circuit d'alimentation qui utilise le même étage primaire ( $Q_1$  et  $Q_3$ ) pour les deux voies. Il est donc nécessaire de définir un protocole de communication permettant d'éviter les collisions de trames de données  $RxD$ . En effet, si les deux circuits secondaires envoient des données au même instant, il y a corruption des données. Le protocole de communication sur la voie  $TxD$  peut permettre d'identifier l'interlocuteur avant la phase de renvoi d'impulsions  $RxD$ . En outre, il est conseillé de prévoir une vérification en fin de trame sous forme de CRC. Toutefois, une telle collision de données sur le canal d'alimentation ne peut pas endommager le système d'alimentation.

Etant donné que le driver n'est pas l'élément décisionnel de la chaîne de commande, il est nécessaire d'intégrer une liaison série au niveau du circuit primaire. Cette liaison permet l'échange de données de surveillance avec l'organe de commande du système. En effet, les données doivent être croisées afin de permettre une décision adaptée au problème (détection d'un vieillissement, message d'erreur détaillé) et une maintenance orientée et donc simplifiée. A cet effet, une liaison série RS485 a été prévue sur le démonstrateur (protocole Modbus). Un synoptique de la solution développée est fourni à la figure III-41.

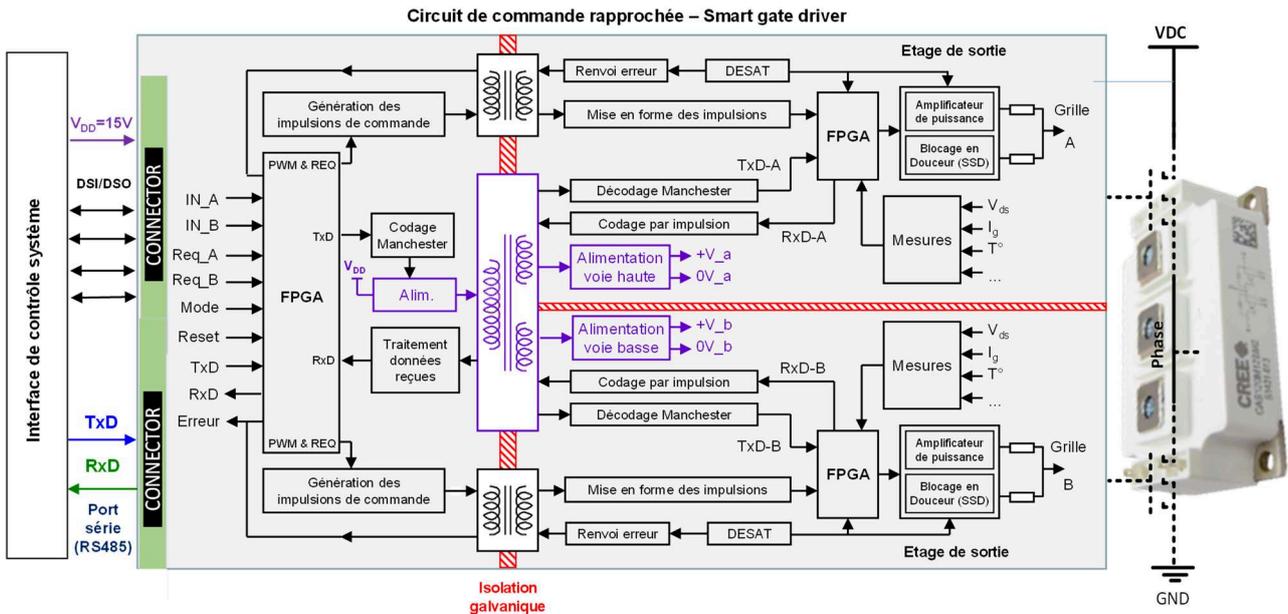


Figure III-41 : Synoptique de la solution proposée

## E. CONCLUSIONS

La tendance générale à la numérisation des drivers et à l'ajout de fonctions complexes telles que la surveillance de santé (health monitoring) s'accompagne de l'utilisation de composants de plus en plus intelligents tels que des circuits FPGA pour la gestion des données. L'utilisation de ce type de composant est une opportunité qui permet d'envisager de nouvelles solutions sur la chaîne de conversion d'énergie. Les circuits drivers sont de plus en plus instrumentés pour permettre la surveillance des paramètres critiques des composants de puissance. La multiplication des données de surveillance doit être accompagnée d'un système de communication adapté à l'environnement de puissance. A cet effet, deux flux de données ont été proposés. Une transmission de requêtes synchrones aux ordres de commande ainsi qu'un circuit d'alimentation communicant ont été développés et testés. Le système d'alimentation proposé ne nécessite aucun ajout d'éléments isolés tels que des transformateurs ou des optocoupleurs. Les transformateurs existants ont été judicieusement utilisés pour permettre l'échange de données en plus des signaux classiques véhiculés.

La transmission de requêtes synchrones est réalisée par l'utilisation d'impulsions très courtes associé à un protocole permettant l'envoi de quelques bits succédant un ordre d'amorçage. Cette méthode contraint la durée minimale des impulsions transmises à 250ns, ce qui n'est généralement

pas problématique. Toutefois, l'utilisation d'impulsions courtes nécessite un routage très optimisé ainsi que l'utilisation de techniques de CEM pour la réduction des perturbations engendrées par la circulation des courants de mode communs.

Le circuit d'alimentation communicant permet un échange de données asynchrone bidirectionnel. La transmission de données est assurée par un code Manchester et le retour de données s'effectue par le renvoi d'impulsions en régime de démagnétisation complète du transformateur d'alimentation. Le principal inconvénient de ce circuit est la vigilance à accorder à la chute de tension lors de la phase démagnétisée (transmission d'énergie interrompu). Néanmoins, si le dimensionnement est correct, le circuit proposé permet l'échange d'une grande quantité de données sur le canal d'alimentation.

Le système de communication proposé a été testé et a permis de valider une immunité aux  $dv/dt$  de  $125\text{kV}/\mu\text{s}$  (CMTI). Cette caractéristique est plus que suffisante dans le cadre du pilotage de composants MOSFET SiC.

## F. BIBLIOGRAPHIE

- [12] N. Ginot, C. Batard, et P. Lahaye, « MOSFET et IGBT : circuits de commande, sécurisation et protection du composant à semi-conducteur », *Tech. Ing.*, vol. V1, n° D3234, août 2017.
- [14] C. Bouguet, « Design of a communicating gate driver for SiC MOSFET », Thèse, Université de Nantes, 2017.
- [16] A. Volke, M. Hornkamp, et J. Wendt, « IGBT Driver », in *IGBT modules. Technologies, Driver and application*, Infineon Technologies, 2017.
- [45] C. Bouguet, N. Ginot, et C. Batard, « Communicating Gate Driver for SiC MOSFET », in *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2016, p. 1-8.
- [49] J. Friebe, O. Prior, et M. Kacki, « High-Side Driver Supply With Reduced Coupling Capacitance », in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2018, p. 1-8.
- [51] V. Nguyen, L. Kerachev, P. Lefranc, et J. Crebier, « Characterization and Analysis of an Innovative Gate Driver and Power Supplies Architecture for HF Power Devices With High  $dv/dt$  », *IEEE Trans. Power Electron.*, vol. 32, n° 8, p. 6079-6090, août 2017, doi: 10.1109/TPEL.2016.2619859.
- [52] V. Nguyen, P. Lefranc, et J. Crebier, « Gate Driver Supply Architectures for Common Mode Conducted EMI Reduction in Series Connection of Multiple Power Devices », *IEEE Trans. Power Electron.*, vol. 33, n° 12, p. 10265-10276, déc. 2018, doi: 10.1109/TPEL.2018.2802204.
- [88] R. Herzer, « New Gate Driver Solutions for Modern Power Devices and Topologies », in *CIPS 2016; 9th International Conference on Integrated Power Electronics Systems*, 2016, p. 1-11.
- [89] G. Picun *et al.*, « More than Drivers in Motor Drives: Closing the Loop », *Addit. Conf. Device Packag. HiTEC HiTEN CICMT*, vol. 2015, n° HiTEN, p. 000179-000188, juill. 2015, doi: 10.4071/HiTEN-Session5-Paper5\_3.
- [90] XREL Semiconductor, « XTR26020 - High temperature isolated intelligent gate driver ». 2019.
- [91] Semikron, « Skyper Prime O ». 2015.
- [92] R. Tal, « Circuit for providing isolation between components of a power control system and for communicating power and data through the isolation media », US5424709 A.
- [93] R. Ord, « A protocol for the Intelligent Control of Power », 2014.
- [94] C. Bouguet, N. Ginot, et C. Batard, « Communication Functions for a Gate Driver Under High Voltage and High  $dv/dt$  », *IEEE Trans. Power Electron.*, vol. 33, n° 7, p. 6137-6146, juill. 2018, doi: 10.1109/TPEL.2017.2750744.
- [95] A. Anurag, S. Acharya, G. Gohil, et S. Bhattacharya, « A Gate Driver Design for Medium Voltage Silicon Carbide Power Devices with High  $dv/dt$  », in *IECON 2018 - 44th Annual Conference of the IEEE Industrial Electronics Society*, 2018, p. 877-882, doi: 10.1109/IECON.2018.8591858.
- [96] J. Jousse, N. Ginot, C. Batard, et E. Lemaire, « Power Line Communication Management of Battery Energy Storage in a Small-Scale Autonomous Photovoltaic System », *IEEE Trans. Smart Grid*, vol. 8, n° 5, p. 2129-2137, sept. 2017, doi: 10.1109/TSG.2016.2517129.
- [97] M. Yigit, V. C. Gungor, G. Tuna, M. Rangoussi, et E. Fadel, « Power line communication technologies for smart grid applications: A review of advances and challenges », *Comput. Netw.*, vol. 70, p. 366-383, sept. 2014, doi: 10.1016/j.comnet.2014.06.005.

- [98] N. Zaraneh, A.-S. Descamps, C. Batard, et N. Ginot, « Modélisation d'un Canal de Communication sur un Réseau de Puissance MLI », in *Symposium de Genie Electrique*, Grenoble, France, 2016.
- [99] N. Zaraneh, « Exploitation d'un réseau d'énergie électrique modulé en largeur d'impulsions pour la transmission de données par courant porteur en ligne : modélisation, simulation et expérimentation », thesis, Nantes, 2017.
- [100] Ru-Shiuan Yang, Lon-Kou Chang, et Hung-Chi Chen, « An Isolated Full-Bridge DC-DC Converter With 1-MHz Bidirectional Communication Channel », *IEEE Trans. Ind. Electron.*, vol. 58, n° 9, p. 4407-4413, sept. 2011, doi: 10.1109/TIE.2010.2095397.
- [101] A. K. LEFEDJIEV et A. J. J. WERNER, « Transformer Communication System », WO 2015/118139 A1, 13-août-2015.
- [102] J. Biernacki et D. Czarkowski, « High frequency transformer modeling », in *ISCAS 2001. The 2001 IEEE International Symposium on Circuits and Systems (Cat. No.01CH37196)*, 2001, vol. 3, p. 676-679 vol. 2, doi: 10.1109/ISCAS.2001.921401.
- [103] K. Kusaka *et al.*, « Galvanic isolation system for multiple gate drivers with inductive power transfer — Drive of three-phase inverter », in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2015, p. 4525-4532, doi: 10.1109/ECCE.2015.7310299.
- [104] Texas Instruments, « Application Report SLUA618A: Fundamentals of MOSFET and IGBT Gate Driver Circuits ». oct-2018.
- [105] N. Rouger, L. T. Le, D. Colin, et J.-C. Crébier, « CMOS SOI gate driver with integrated optical supply and optical driving for fast power transistors », in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2016, p. 427-430, doi: 10.1109/ISPSD.2016.7520869.
- [106] X. Zhang *et al.*, « A 15 kV SiC MOSFET gate drive with power over fiber based isolated power supply and comprehensive protection functions », in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2016, p. 1967-1973, doi: 10.1109/APEC.2016.7468138.
- [107] Toshiba, « Application Note: MOSFET Gate Drive Circuit ». juill-2018.



## CHAPITRE IV : CONCEPTION DU DEMONSTRATEUR

Un démonstrateur de driver de grille a été développé dans le cadre de cette thèse. Ce démonstrateur intègre un certain nombre de fonctions de base ainsi que les diverses fonctionnalités de protections classiques : gestion des temps morts, détection de court-circuit, mise en protection en cas de court-circuit, renvoi de message d'erreur... A cela, s'ajoutent les nouvelles fonctions de communication et de mesure telles que définies dans les chapitres précédents. L'intégration de composants programmables devient donc une évidence.

Néanmoins, l'utilisation de composants programmables pose de nombreuses contraintes en termes de complexité et d'encombrement. S'agissant d'un système isolé conçu pour la commande d'un bras de pont, il comporte trois potentiels de référence distincts (primaire, secondaire haut et secondaire bas). L'intégration de plusieurs composants programmables est donc nécessaire dans notre application.

Afin de simplifier la fabrication du démonstrateur tout en garantissant une densité d'intégration maximale, deux cartes ont été spécifiquement conçues : une carte « mère » et une carte « fille » générique. Cette dernière intègre le composant programmable ainsi que tous les éléments nécessaires à son fonctionnement.

### A. INTEGRATION DE COMPOSANTS PROGRAMMABLES

#### A.1 Choix du FPGA

Le choix de composants de type FPGA (Field Programmable Gate Array) a été réalisé pour plusieurs raisons. En premier lieu, l'avantage incontestable des composants de type FPGA est leur capacité à effectuer des opérations en parallèle. Cette caractéristique est essentielle à la parfaite synchronisation des signaux de données tels que définis dans le chapitre 3. Ce choix permet donc une plus grande fiabilité du canal de communication ainsi que de bonnes performances en termes de temps de propagation à l'échelle de la nanoseconde. Les composants FPGA peuvent également intégrer des fonctionnalités spécifiques utiles comme par exemple la fonction de conversion analogique-numérique (CAN) qui est généralement complexe et encombrante. En outre, la configuration interne des FPGA est basée sur de la logique câblée reconfigurable ce qui présente des avantages en termes de fiabilité en comparaison des microcontrôleurs.

L'inconvénient majeur des composants FPGA est le taux d'utilisation des ressources lié au design. En effet, chaque terme non-utilisé d'une équation logique se traduit par des portes logiques perdues. De plus, les taux de basculement des portes logiques sont relativement faibles, c'est-à-dire que la proportion de portes logiques changeant d'état à chaque front d'horloge est faible. A titre de comparaison, un microcontrôleur est basé sur une architecture purement séquentielle. Autrement dit, un microcontrôleur n'effectue qu'une seule opération à la fois, l'optimisation est maximale et les taux d'utilisation des ressources peuvent approcher 100%. Toutefois, il existe des contraintes en termes de latences et de performances, particulièrement dans le cas d'applications à hautes fréquences. Un composant FPGA est quant à lui constitué d'un grand nombre de blocs logiques élémentaires de type

combinatoires et séquentiels. Cette polyvalence se paie généralement par le coût relativement important de ces composants.

Les FPGA sont néanmoins particulièrement pertinents lors des phases de prototypage. En effet, ils permettent le dimensionnement d'une architecture numérique basée sur de la logique câblée. L'architecture ainsi générée peut ensuite être réinvestie dans une version plus optimisée par exemple sous forme d'ASIC (Application Specific Integrated Circuit).

Afin de maximiser la densité d'intégration, le choix s'est porté sur des composants FPGA de Xilinx intégrant directement une fonction de conversion analogique-numérique (XADC). La 7<sup>e</sup> génération (CMOS 28nm) de FPGA de Xilinx répond à ce critère. Les caractéristiques de cette famille étant bien supérieures à notre besoin en termes de ressources, le choix s'est donc porté sur le composant le plus petit intégrant la fonction de conversion analogique-numérique. Le tableau 10 permet de comparer les performances de chaque famille de FPGA. La gamme Spartan se décline en plusieurs composants comme le montre le tableau 11.

*TABLEAU 10  
Comparaison des caractéristiques techniques des différentes classes de FPGA (Xilinx)<sup>1</sup>*

<b>Max. Capability</b>	<b>Spartan-7</b>	<b>Artix-7</b>	<b>Kintex-7</b>	<b>Virtex-7</b>
Logic Cells	102K	215K	478K	1,955K
Block RAM <sup>(1)</sup>	4.2 Mb	13 Mb	34 Mb	68 Mb
DSP Slices	160	740	1,920	3,600
DSP Performance <sup>(2)</sup>	176 GMAC/s	929 GMAC/s	2,845 GMAC/s	5,335 GMAC/s
MicroBlaze CPU <sup>(3)</sup>	260 DMIPs	303 DMIPs	438 DMIPs	441 DMIPs
Transceivers	–	16	32	96
Transceiver Speed	–	6.6 Gb/s	12.5 Gb/s	28.05 Gb/s
Serial Bandwidth	–	211 Gb/s	800 Gb/s	2,784 Gb/s
PCIe Interface	–	x4 Gen2	x8 Gen2	x8 Gen3
Memory Interface	800 Mb/s	1,066 Mb/s	1,866 Mb/s	1,866 Mb/s
I/O Pins	400	500	500	1,200
I/O Voltage	1.2V–3.3V	1.2V–3.3V	1.2V–3.3V	1.2V–3.3V
Package Options	Low-Cost, Wire-Bond	Low-Cost, Wire-Bond, Bare-Die Flip-Chip	Bare-Die Flip-Chip and High- Performance Flip-Chip	Highest Performance Flip-Chip

**Notes:**

1. Additional memory available in the form of distributed RAM.
2. Peak DSP performance numbers are based on symmetrical filter implementation.
3. Peak MicroBlaze CPU performance numbers based on microcontroller preset.

Afin de fiabiliser le fonctionnement du FPGA en température, un composant de classe industrielle (I) a été implémenté dans le démonstrateur pour des raisons de disponibilité. Les températures indiquées dans le tableau 12 correspondent à la température interne de la puce FPGA. L'échauffement est fonction de la température extérieure et de la dissipation de puissance liée à la complexité du code.

<sup>1</sup> Xilinx, 7 Series FPGAs Data Sheet: Overview (DS180). Disponible: [https://www.xilinx.com/support/documentation/data\\_sheets/ds180\\_7Series\\_Overview.pdf](https://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf)

## Chapitre IV : Conception du démonstrateur

TABLEAU 11  
Caractéristiques de la gamme Spartan-7 de Xilinx<sup>2</sup>

		I/O Optimization at the Lowest Cost and Highest Performance-per-Watt (1.0V, 0.95V)					
		XC7S6	XC7S15	XC7S25	XC7S50	XC7S75	XC7S100
Logic Resources	Part Number						
	Logic Cells	6,000	12,800	23,360	52,160	76,800	102,400
	Slices	938	2,000	3,650	8,150	12,000	16,000
Memory Resources	CLB Flip-Flops	7,500	16,000	29,200	65,200	96,000	128,000
	Max. Distributed RAM (Kb)	70	150	313	600	832	1,100
	Block RAM/FIFO w/ ECC (36 Kb each)	5	10	45	75	90	120
Clock Resources	Total Block RAM (Kb)	180	360	1,620	2,700	3,240	4,320
	Clock Mgmt Tiles (1 MMCM + 1 PLL)	2	2	3	5	8	8
I/O Resources	Max. Single-Ended I/O Pins	100	100	150	250	400	400
	Max. Differential I/O Pairs	48	48	72	120	192	192
Embedded Hard IP Resources	DSP Slices	10	20	80	120	140	160
	Analog Mixed Signal (AMS) / XADC	0	0	1	1	1	1
	Configuration AES / HMAC Blocks	0	0	1	1	1	1
Speed Grades	Commercial Temp (C)	-1,-2	-1,-2	-1,-2	-1,-2	-1,-2	-1,-2
	Industrial Temp (I)	-1,-2,-1L	-1,-2,-1L	-1,-2,-1L	-1,-2,-1L	-1,-2,-1L	-1,-2,-1L
	Expanded Temp (Q)	-1	-1	-1	-1	-1	-1
	Package <sup>(1)</sup>	Body Area (mm)	Ball Pitch (mm)	Available User I/O: 3.3V SelectIO™ HR I/O			
→	CPGA196	8x8	0.5	100	100		
	CSGA225	13x13	0.8	100	100	150	
	CSGA324	15x15	0.8			150	210
	FTGB196	15x15	1.0	100	100	100	100
	FGGA484	23x23	1.0			250	338 338
	FGGA676	27x27	1.0				400 400

TABLEAU 12  
Les différentes classes des puces Spartan-7

Device Family	Devices	Speed Grade, Temperature Range, and Operating Voltage			
		Commercial (C) 0°C to +85°C	Extended (E) 0°C to +100°C	Industrial (I) -40°C to +100°C	Expanded (Q) -40°C to +125°C
Spartan-7	All	-2C (1.0V)		-2I (1.0V)	
		-1C (1.0V)		-1I (1.0V)	-1Q (1.0V)
				-1LI (0.95V)	

### A.2 Dimensionnement du circuit d'alimentation du FPGA

Les puces FPGA nécessitent plusieurs tensions d'alimentation :  $V_{CCINT}$ ,  $V_{CCAUX}$  et  $V_{CCO}$ . La tension  $V_{CCINT} = 1V$  correspond à la tension de la logique interne, cette logique basse tension permet un gain important sur les temps de propagation. La tension  $V_{CCAUX} = 1,8V$  est nécessaire aux fonctions auxiliaires comme par exemple la fonction de conversion analogique-numérique.  $V_{CCO}$  (ici 3,3V) correspond aux niveaux des signaux logiques en entrée et en sortie, cette tension correspond donc à la tension d'alimentation des buffers d'entrée-sortie. Le dimensionnement de l'alimentation en énergie du composant FPGA est fonction du taux d'utilisation des ressources disponibles et de la fréquence de l'horloge. Pour les besoins de transmission de données synchrones telle que définie dans le chapitre 2, la fréquence de l'horloge est fixée à 100MHz.

<sup>2</sup> Xilinx, « All Programmable 7-series Product Selection Guide ». Disponible : <https://www.xilinx.com/support/documentation/selection-guides/7-series-product-selection-guide.pdf>

## Chapitre IV : Conception du démonstrateur

Dans le cas présenté à la figure IV-1, le pire cas a été envisagé. Le taux d'affectation des ressources est ici de 100% et le taux de basculement des portes logiques a été fixé à 100%, c'est-à-dire qu'on suppose que l'intégralité des portes logiques changent d'état à chaque front de l'horloge de fréquence 100MHz à  $T_{j,max} = 100^{\circ}\text{C}$ . Ce cas est évidemment fictif et ne sera jamais atteint en implémentation. Ce dimensionnement a été réalisé en utilisant l'outil XPE (Xilinx Power Estimator) de Xilinx. Il permet de donner une idée de la consommation énergétique maximale du FPGA.

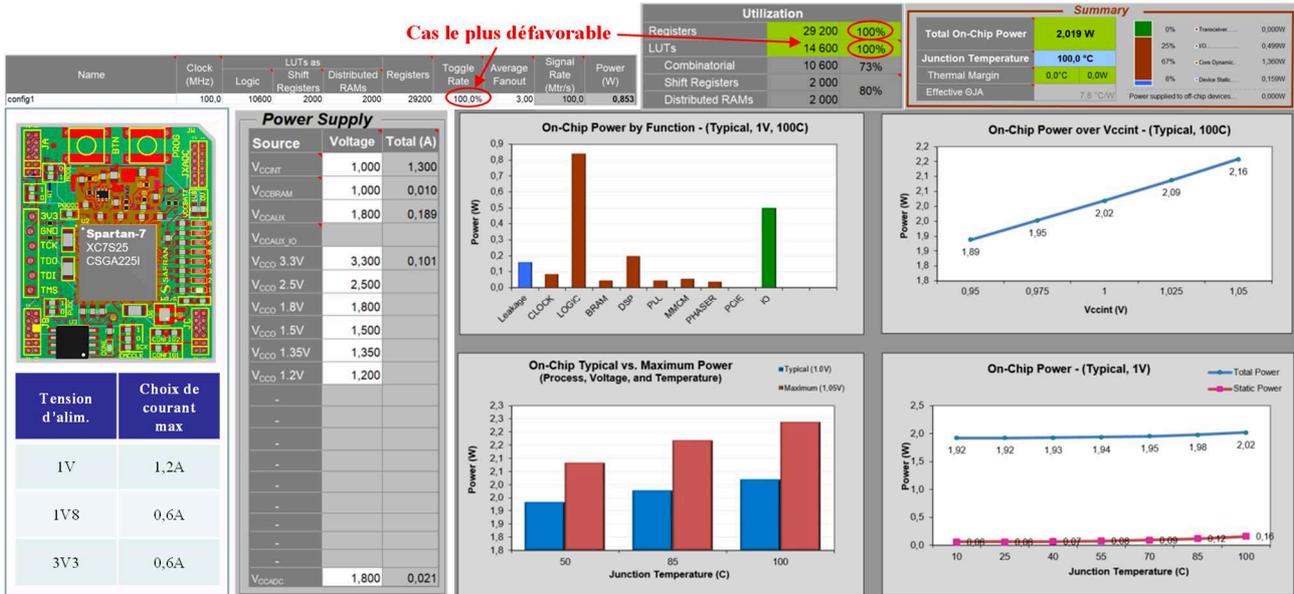


Figure IV-1 : Simulation de la puissance maximale consommée par le FPGA (Spartan-7) - outil XPE de Xilinx

La consommation réelle en énergie des programmes implémentés jusqu'à présent dans les FPGA est détaillée à la figure IV-2. La consommation totale sur chaque FPGA est inférieure à 100mW.

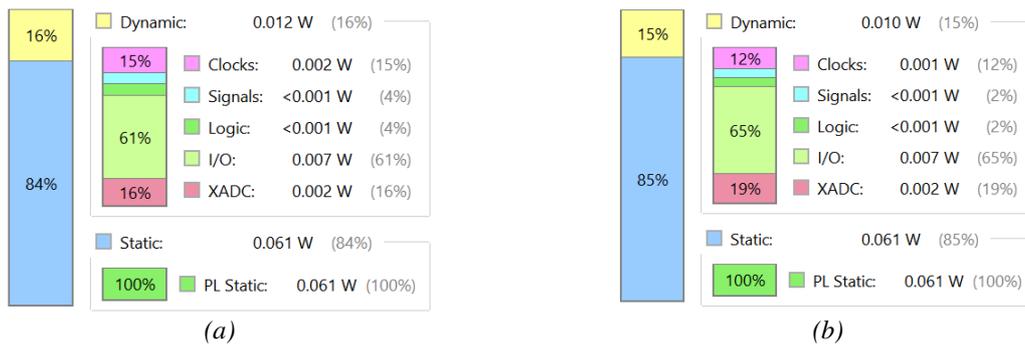


Figure IV-2 : Simulation de la puissance consommée par les programmes implémentés coté primaire (a) et coté secondaire (b)

Sur la base des valeurs de courant obtenues par simulation dans le cas le plus défavorable, un circuit d'alimentation basé sur des topologies dévolteur DC/DC (Buck) a été implémenté. Afin de maximiser la densité d'intégration, un composant intégré proposant une triple boucle de régulation a été utilisé. Le circuit d'alimentation est détaillé à la figure IV-3, il permet en outre une activation

séquentielle des voies d'alimentation permettant un démarrage sécurisé du FPGA. En effet, la tension  $V_{CCINT} = 1V$  est d'abord générée, puis  $V_{CCAUX} = 1,8V$  et enfin  $V_{CCO} = 3,3V$ . Les buffers entrées-sorties sont donc les derniers éléments activés au démarrage de la carte FPGA. Le signal PGOOD est un signal d'alerte permettant la détection d'une sous-alimentation liée à une surconsommation sur l'une des 3 voies d'alimentation. Ce signal de type collecteur ouvert est utilisé dans la boucle de sécurité présentée à la section IV.A.4.

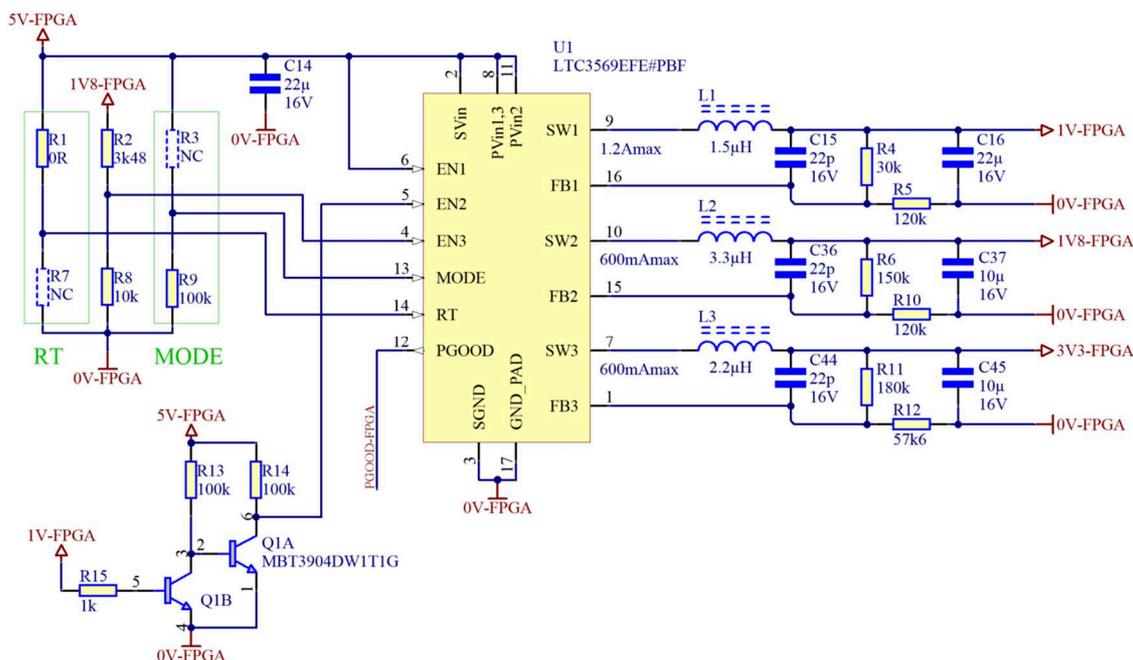


Figure IV-3 : Circuit d'alimentation du FPGA

### A.3 Mémorisation du programme

Les blocs de mémoire situés à l'intérieur du FPGA sont de type RAM, il s'agit d'une mémoire volatile. En d'autres termes, la configuration liée à la programmation de la carte est perdue à chaque redémarrage de la carte. La carte « fille » nécessite donc une mémoire externe permettant de stocker la configuration de programmation. Pour répondre à cette problématique, une mémoire flash de type Quad SPI (série/parallèle/indépendante) basée sur une topologie à bascules NOR. Le composant mémoire a été choisi en s'inspirant du design de la carte Nexys-A7 de Digilent (S25FL128).

La programmation de la carte s'effectue en deux temps. D'abord, le fichier de configuration de la mémoire (.mcs) transite par un module JTAG relié physiquement au composant FPGA. La configuration est ensuite transmise de manière indirecte à l'élément de mémoire externe (écriture). Dans un second temps, à chaque démarrage, le FPGA est configuré pour charger la configuration inscrite dans la mémoire externe.

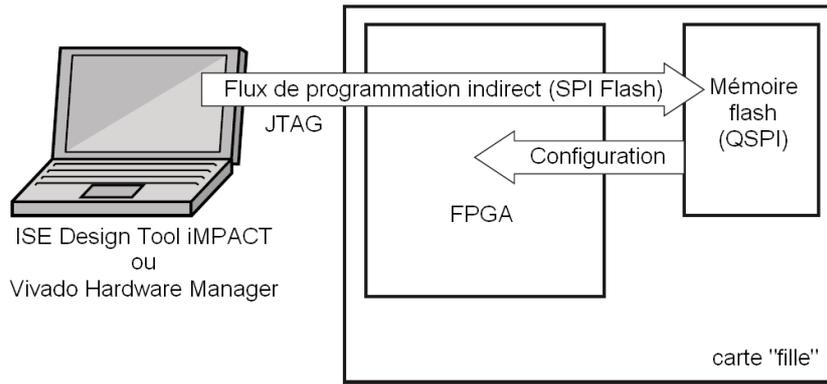


Figure IV-4 : Programmation de la carte « fille » en deux étapes

La configuration permettant le dialogue entre le FPGA et la mémoire externe est présentée dans le schéma de la figure IV-5. Le signal DONE indique que le FPGA est opérationnel et que le programme est chargé. Les différents signaux liés à la configuration du FPGA sont décrits dans la documentation technique UG470<sup>3</sup>.

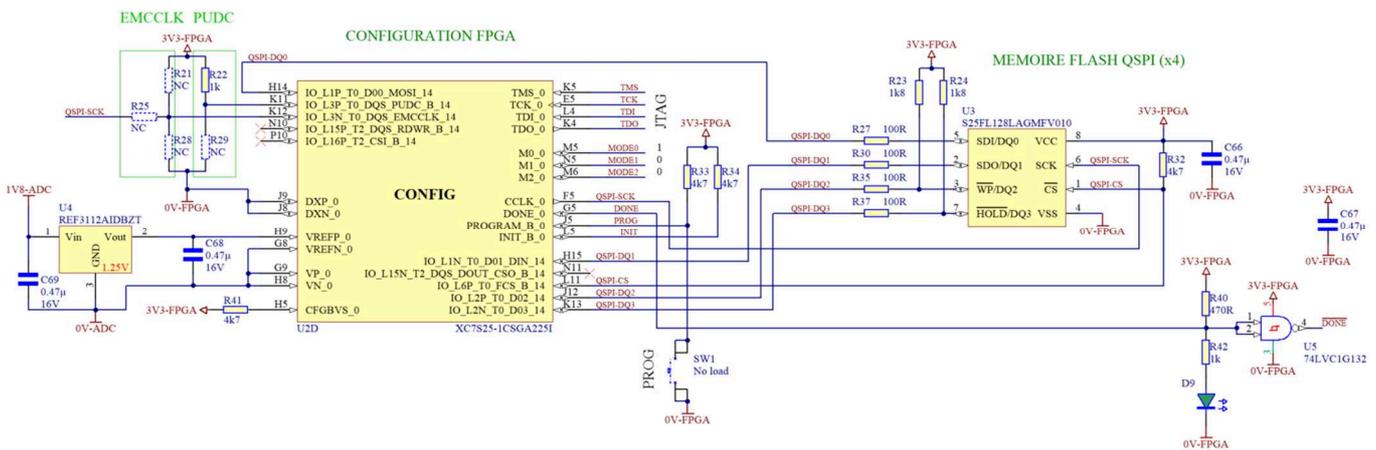


Figure IV-5 : Schéma de configuration du FPGA

### A.4 Boucle de sécurité

La boucle de sécurité est un signal de type « hardware » avec tirage à niveau logique haut (pull-up). Différents éléments du driver peuvent forcer ce signal à 0 afin de déclencher la mise en sécurité du driver :

- PGOOD : signal d’alarme provenant du circuit d’alimentation de la carte « fille » ;
- ALARME : signal d’alarme automatique provenant de l’XADC du FPGA ( $T_{j,max}$ ) ;
- ALARME-ALIM-XADC : signal d’alarme défini par l’utilisateur ;
- /DONE : signal permettant le blocage systématique du driver lors de la configuration ;
- /VISO-REG-GOOD : signal permettant la mise en sécurité en cas de sous-alimentation de l’alimentation principale (UVLO).

<sup>3</sup> 7-series FPGAs Configuration – User guide (UG470). Disponible: [https://www.xilinx.com/support/documentation/user\\_guides/ug470\\_7Series\\_Config.pdf](https://www.xilinx.com/support/documentation/user_guides/ug470_7Series_Config.pdf)

## Chapitre IV : Conception du démonstrateur

La boucle de sécurité est présentée à la figure IV-6, le fil de sécurité est commun aux cartes mères et filles. Le potentiel de ce fil de sécurité est par défaut de 3,3V (niveau logique haut). Lorsqu'une alarme se déclenche, le signal EN-VOIE tombe au niveau logique bas. Ce signal est ensuite utilisé dans le circuit pour bloquer le signal de commande de grille comme le montre le schéma de la figure IV-7. Une double surveillance des tensions d'alimentation a été envisagée : une surveillance par mesure via l'XADC (convertisseur analogique-numérique intégré) et une surveillance par détection de seuil (indépendante du FPGA). En outre, le FPGA est muni d'un capteur de température permettant également une surveillance en température. La surveillance via l'XADC nécessite un séquenceur et un multiplexeur pour permettre la mesure de plusieurs signaux en temps réel. En effet, le bloc de conversion analogique-numérique ne peut effectuer qu'une seule mesure à chaque instant.

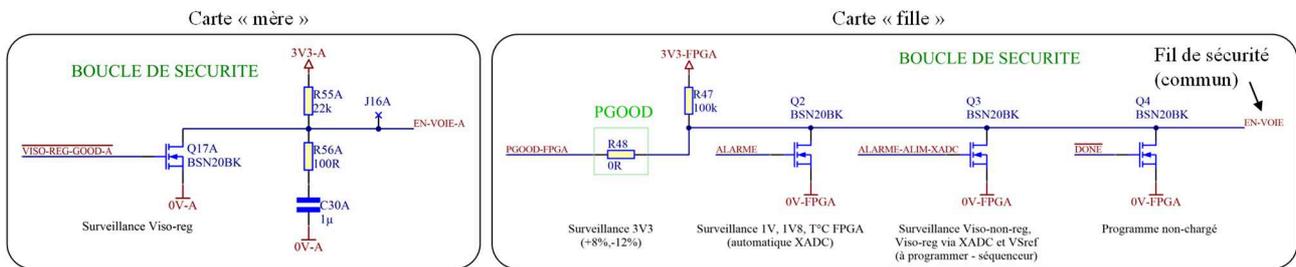


Figure IV-6 : Boucle de sécurité

L'étage de sortie du driver est basé sur une amplification en courant par un montage suiveur à transistors bipolaires. Le signal de commande provenant du FPGA, CDE-VGS, n'est transmis à cet étage uniquement lorsque le fil de sécurité EN-VOIE est à niveau logique haut. Dans le cas contraire, la commande de grille est forcée au blocage ( $V_{GS} = -5V$ ).

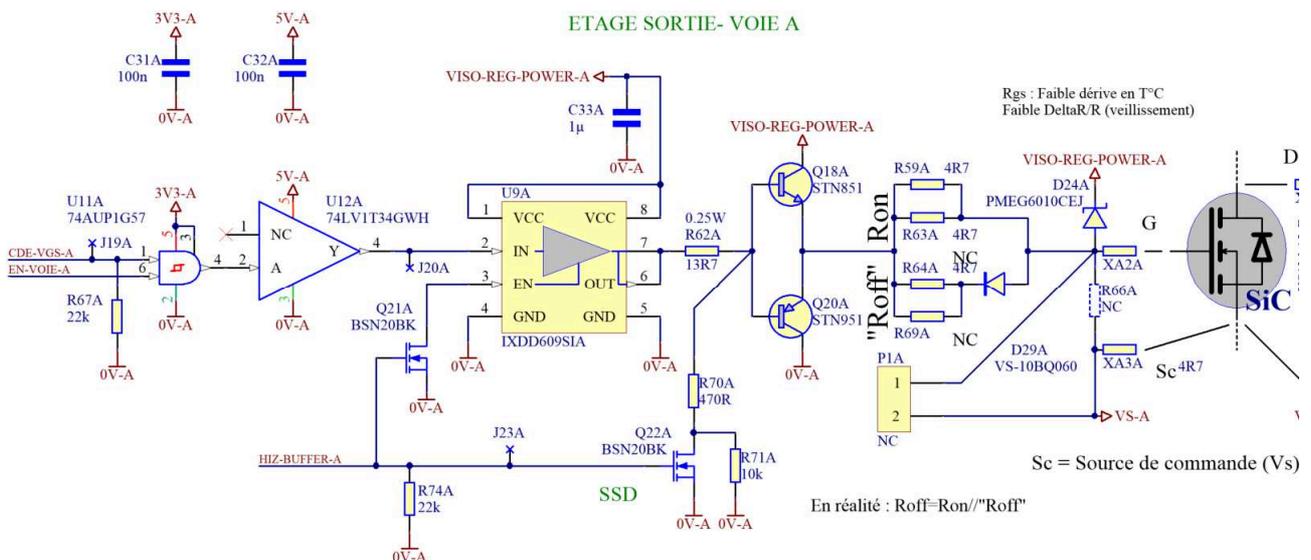


Figure IV-7 : Etage de sortie

## B. DESIGN DU DEMONSTRATEUR

L'intégralité des schémas a été élaborée par l'équipe du laboratoire IETR. Le routage très spécifique des cartes a été personnellement réalisé en utilisant Altium Designer. La fabrication a été confiée à l'entreprise SEICO.

### B.1 Carte « mère »

Le design de la carte « mère » est soumis à la problématique des distances d'isolement sur un système isolé. La géométrie présentée à la figure IV-8 répond aux contraintes d'isollements définies dans la norme IPC2221 tout en permettant l'insertion d'un composant programmable sous la forme d'une carte fille. Le démonstrateur a été dimensionné pour 1500V entre le circuit primaire et secondaire et 1000V entre chaque secondaire. Un usinage entre les deux plans secondaires permet en outre d'augmenter les lignes de fuites (creepage). D'autre part, ceci peut permettre l'insertion d'un élément isolant de manière à augmenter la tenue en tension si nécessaire (ex : boîtier plastique).

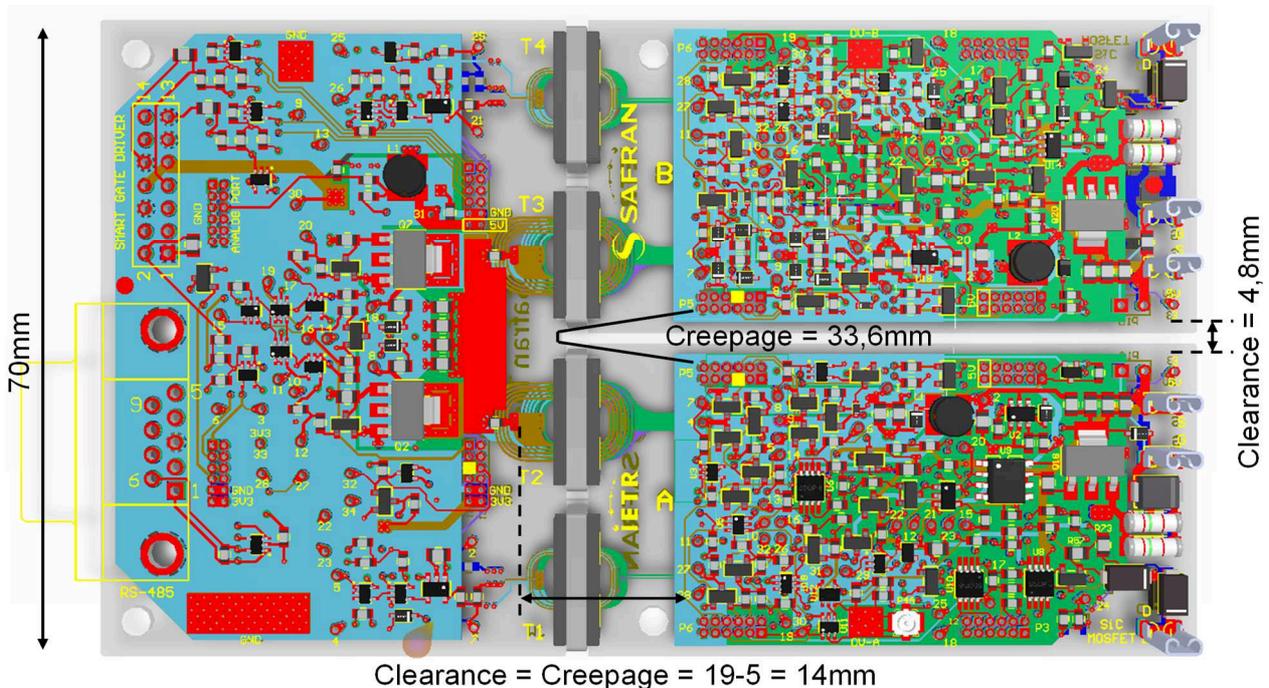


Figure IV-8 : Design de la carte « mère »

La carte « mère » est réalisée sur un PCB de 6 couches. Afin de fiabiliser le circuit tout en garantissant une forte densité d'intégration, l'isolation électrique est réalisée par transformateurs planaires. L'empilage réalisé est défini à la figure IV-9 (a). Il intègre une isolation de 500 $\mu$ m de diélectrique entre les enroulements primaires et secondaires des transformateurs. Ce dimensionnement est basé sur les travaux de C. Bouguet [14].

La principale contrainte de fabrication sur cette carte est l'empilage non-standard et la présence de vias enterrés (qui ne traversent pas entièrement la carte). Ces caractéristiques géométriques engendrent des surcoûts à la fabrication. La problématique du raccordement des enroulements des

transformateurs est illustrée à la figure IV-9 (b). Ici, un via borgne entre les couches n°2 (Mid-Layer 1) et n°3 (Mid-Layer 2) permet le raccordement de l'enroulement primaire du transformateur d'impulsions.

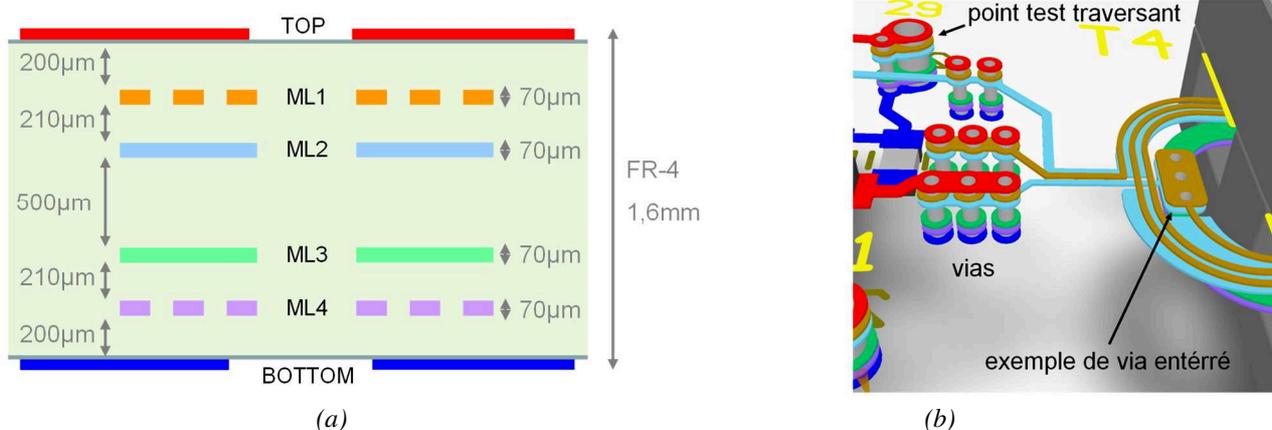
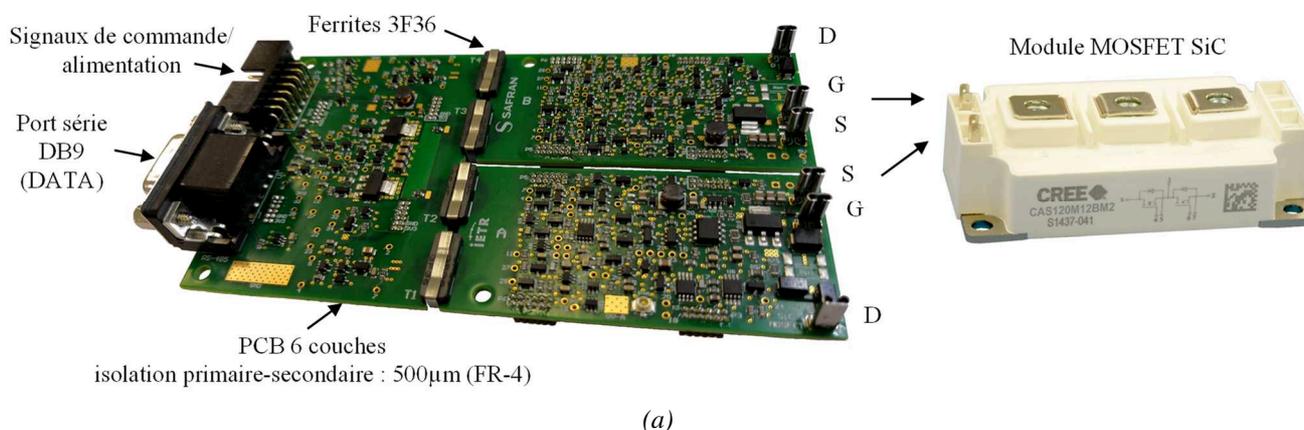


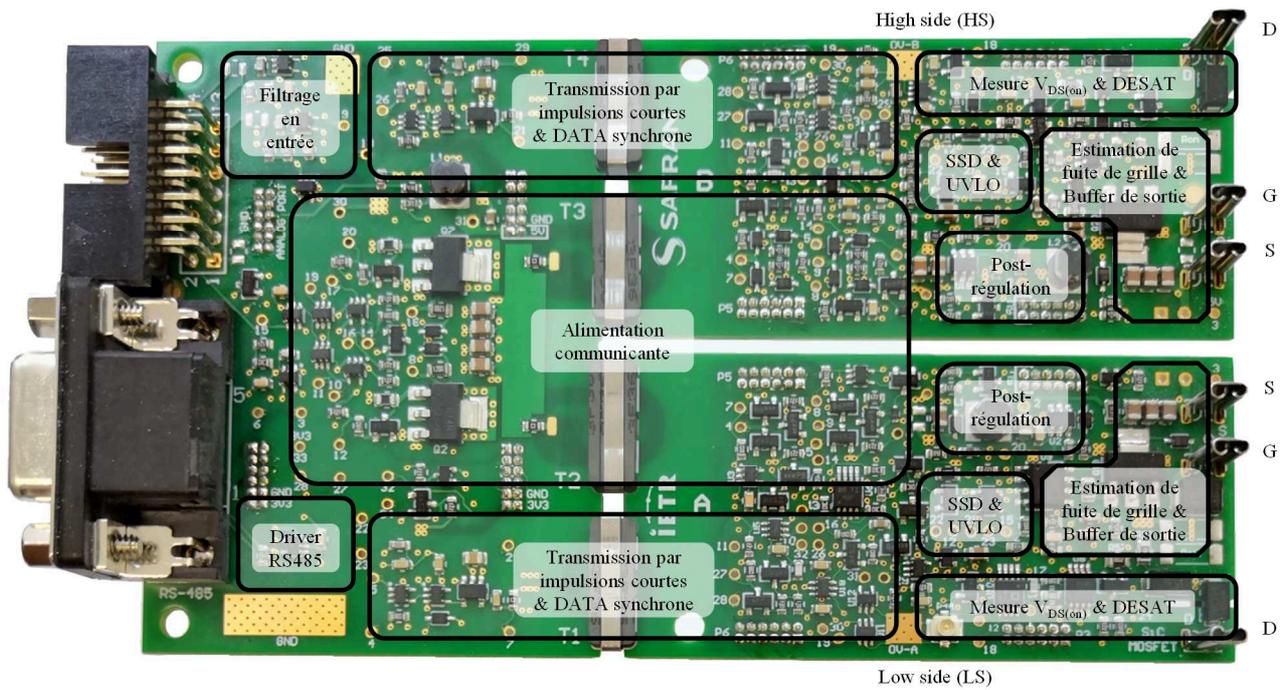
Figure IV-9 : Empilage réalisé (a) et exemples de vias (b)

La carte réalisée intègre deux circuits secondaires indépendants pour permettre une commande optimisée d'un bras d'onduleur. En effet, les circuits étant parfaitement symétriques, le temps de Jitter est grandement minimisé. Le temps de Jitter est la différence de temps de propagation d'une voie à l'autre ou d'un circuit à l'autre. Un temps de Jitter nul signifie une parfaite synchronisation des voies. En pratique, les tolérances sur les valeurs des condensateurs et des résistances sont en grande partie responsables des disparités de temps de propagation d'une carte à l'autre. En outre, un temps mort est souvent implémenté dans le circuit de commande rapprochée pour éviter les courts-circuits de bras lors de la phase transitoire de commutation.

La carte « mère » ainsi réalisée est présentée à la figure IV-10. La connectique permet la compatibilité avec les modules SiC 62mm de première génération. La symétrie du design est visible à la figure IV-10 (b).



(a)



(b)

Figure IV-10 : Carte « mère », raccordement à un module (a) et localisation des fonctions (b)

## B.2 Carte « fille »

A l'origine, l'intégration de FPGA devait être réalisée directement sur la carte principale. Les dimensions du FPGA et de ses condensateurs de découplage ainsi que l'ajout du circuit d'alimentation et de la mémoire externe notamment ont très vite paru trop contraignant en termes d'encombrement sur une carte déjà très dense. L'intégration d'une carte de développement FPGA du commerce a ensuite été envisagée pour permettre un gain de temps sur la conception du démonstrateur. Toutefois, aucune carte du commerce ne permettait de répondre à la problématique d'encombrement réduit et de gestion de signaux analogiques. Il a donc été nécessaire d'envisager également la conception d'une carte FPGA spécifiquement conçue pour l'application driver mais néanmoins générique.

Le développement d'une telle carte est une tâche relativement complexe de par le nombre de signaux à gérer. A ce titre, la conception de cette carte a été largement inspirée de la carte Cmod-S7 de Digilent à l'exception des signaux analogiques et de la boucle de sécurité. Le FPGA choisi intègre une connectique BGA 0,8mm pour une surface de 13x13mm<sup>2</sup>. Cela signifie que le FPGA comporte un total de 225pins distantes de 0,8mm chacune et disposées sous la forme d'une matrice 15x15. Une description des pins est présentée à la figure IV-11.

## Chapitre IV : Conception du démonstrateur

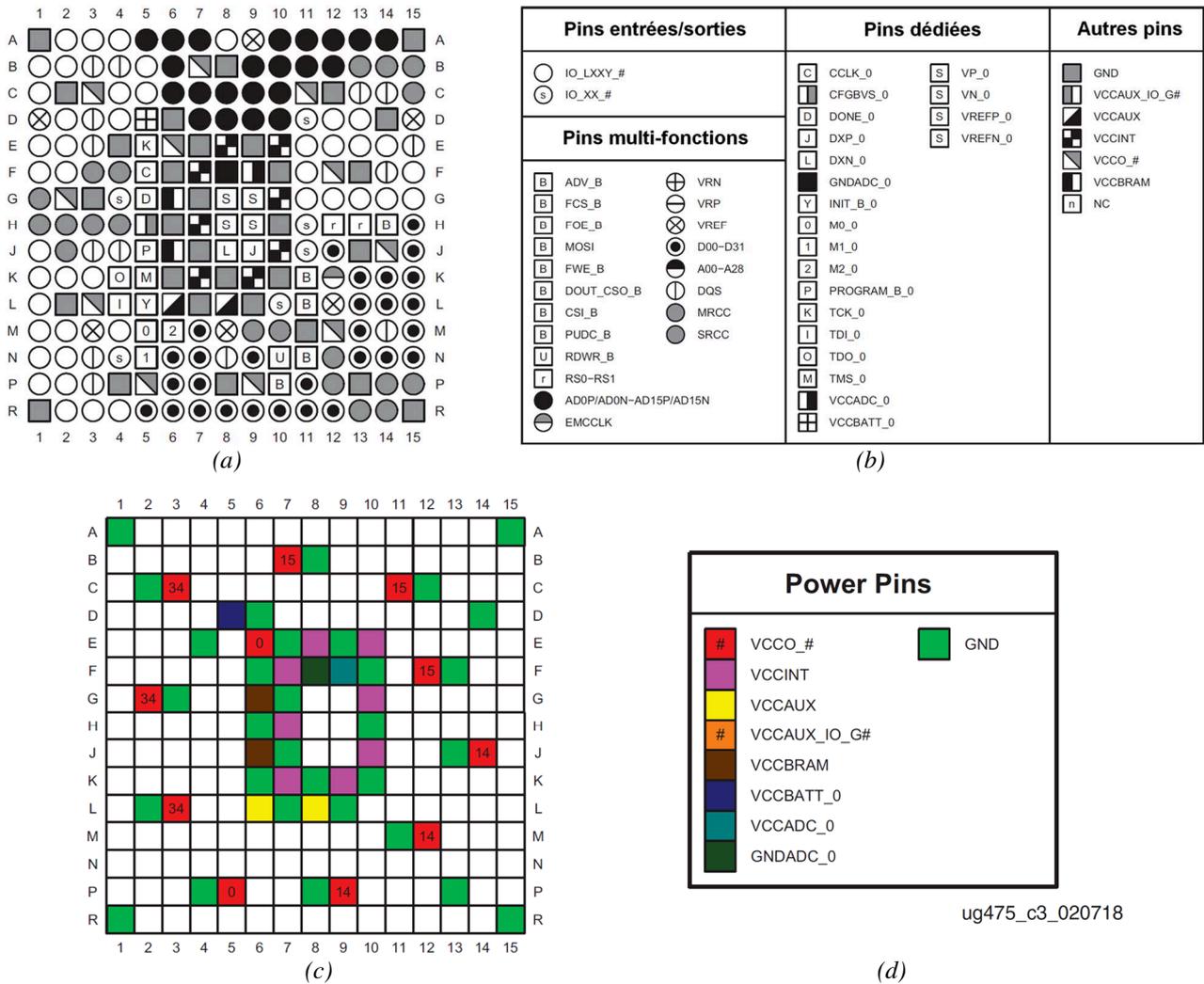


Figure IV-11 : Définition des pins sur les puces XC7S25-CSGA225 (Spartan-7 13x13mm<sup>2</sup>)

Pour permettre le raccordement d'un tel composant, une matrice de vias et un grand nombre de couches sont nécessaires. Le raccordement des broches est visible à la figure IV-12. La carte réalisée intègre un total de 10 couches de métallisation d'une épaisseur de 35µm pour les couches externes et 18µm pour les couches internes.

Le découplage des tensions d'alimentation doit être réalisé au plus proche des broches d'alimentation identifiées à la figure IV-11 (c). Pour se faire, des condensateurs CMS de petites dimensions (boîtiers 0201 et 0402) ont été judicieusement insérés au verso de la carte pour limiter les inductances parasites et ainsi permettre l'acheminement des courants impulsionnels lors du basculement des portes logiques internes du FPGA. Le découplage de la carte est visible à la figure IV-13 (b).

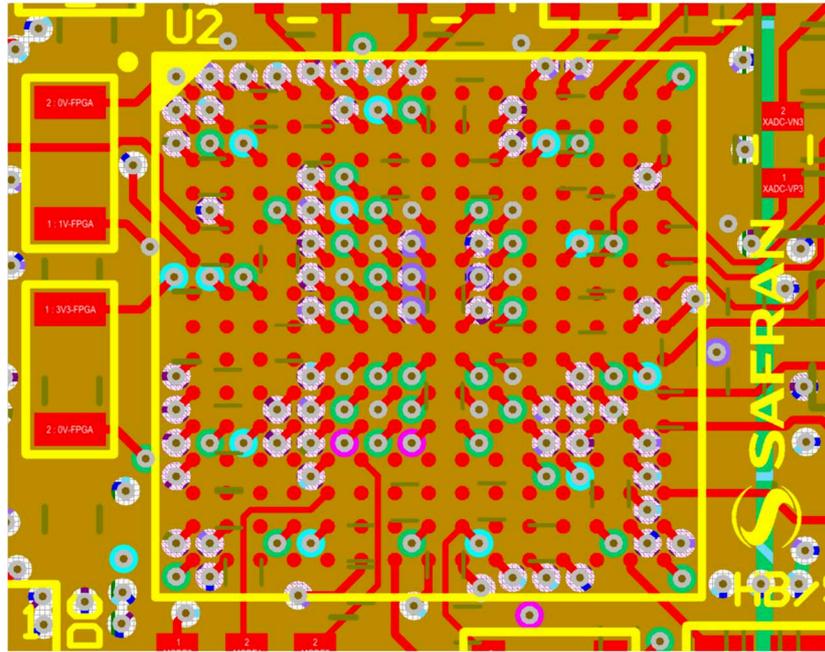


Figure IV-12 : Raccordement du FPGA sur la carte « fille » (vue Altium Designer)

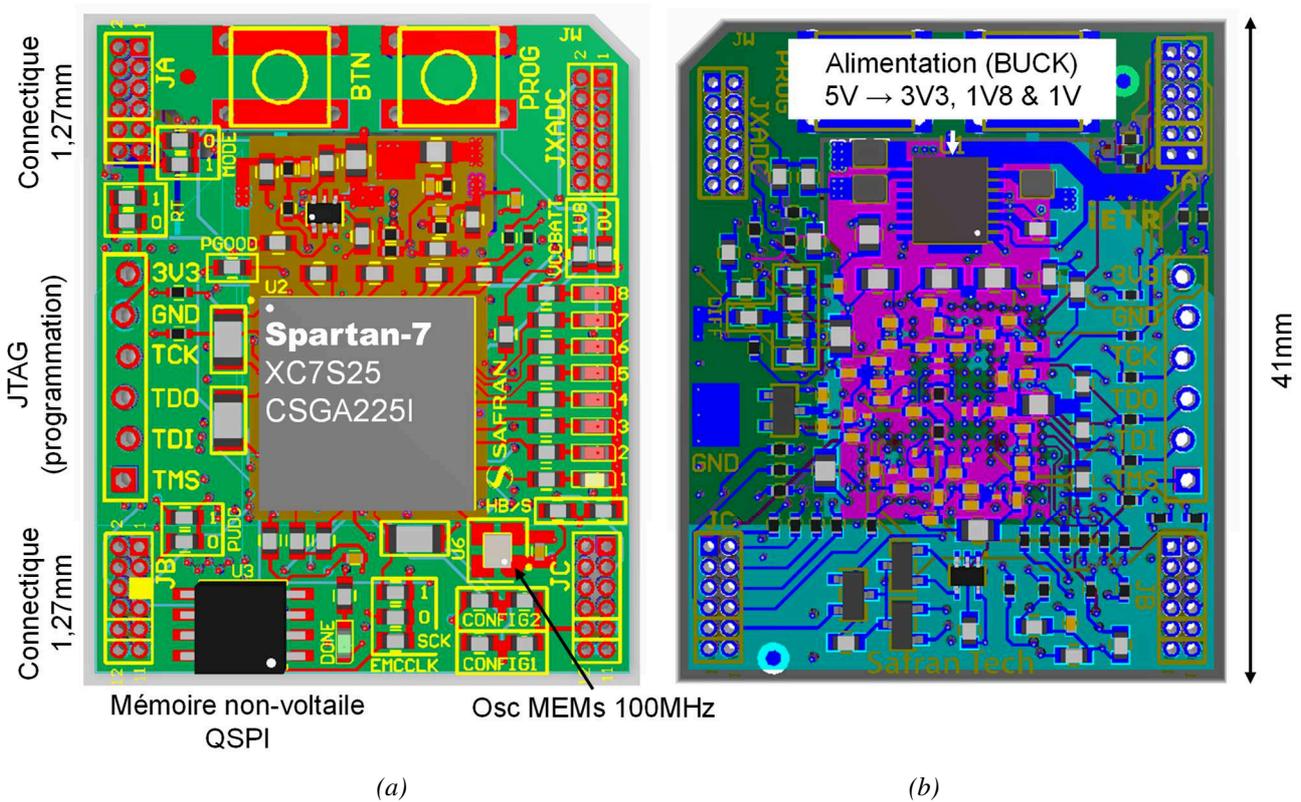


Figure IV-13 : Design de la carte « fille » recto (a) et verso (b) (vue Altium Designer)

La fabrication des cartes a été assurée par l'entreprise SEICO basée à proximité de Nantes. Une estimation des coûts de fabrication de ce démonstrateur technologique est donnée à titre indicatif en annexe.

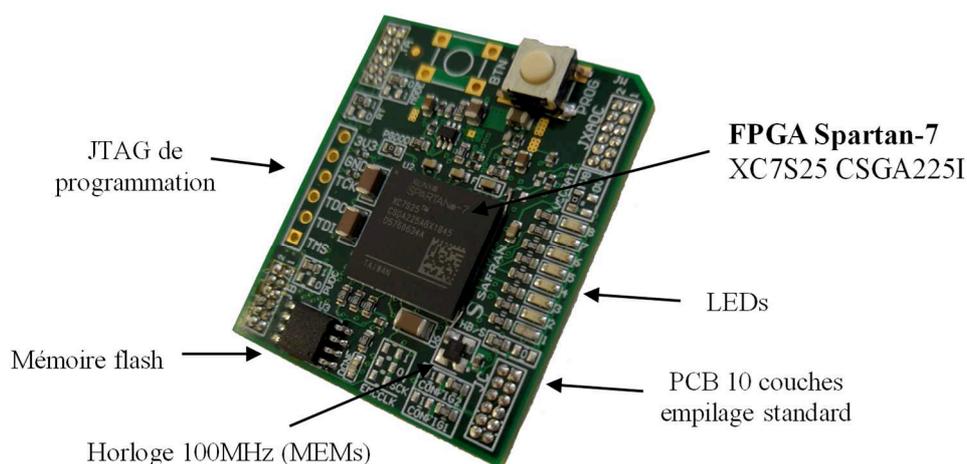


Figure IV-14 : Carte fille générique fabriquée par SEICO

### C. CARACTERISTIQUES TECHNIQUES DU DEMONSTRATEUR

L'assemblage de la carte mère et des cartes filles est présenté à la figure IV-15. La connectique de 1,27mm permet une densité d'intégration maximale. Ce démonstrateur intègre de nombreuses fonctionnalités relevant de l'état de l'art ainsi que les circuits permettant le diagnostic en temps réel du composant de puissance (mesures embarquées et système de communication). Les cartes filles sont identiques à un détail près : afin de garantir la symétrie entre chaque voie, la carte fille de la voie A possède une connectique inversée par rapport aux deux autres cartes filles.

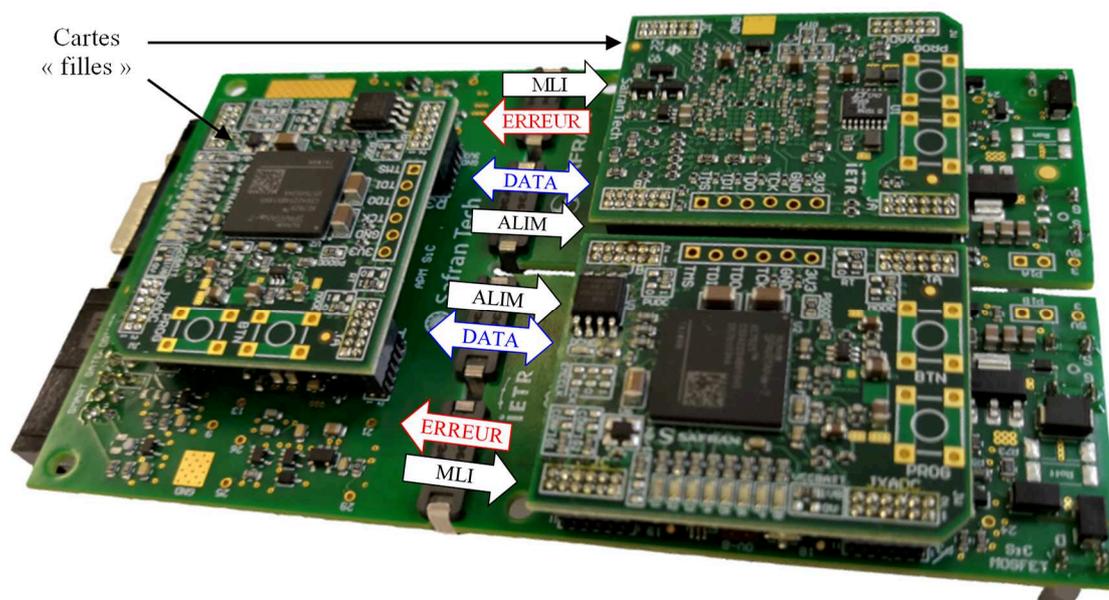


Figure IV-15 : Assemblage du démonstrateur

Les caractéristiques techniques de ce démonstrateur technologique sont résumées dans le tableau 13. De nombreuses valeurs sont réglables par programmation ou par le changement de valeurs de résistances et/ou condensateurs sur la carte mère.

## Chapitre IV : Conception du démonstrateur

**TABEAU 13**  
*Caractéristiques techniques du démonstrateur de driver de grille intelligent développé*

Paramètre	Descriptif	Min	Typ.	Max	Conditions d'essais / Remarques
$V_{DS}$	Tension drain-source supportée	-	-	1000V	Sec.-Sec. : Clearance 4,85mm Norme IPC2221
$V_{BR}$	Tenue en tension primaire-secondaire	1500V	-	-	Prim.-Sec. : Clearance & Creepage 14mm Isolation par diélectrique des transformateurs : 500 $\mu$ m FR-4 Norme IPC2221
$V_{DS(on)}$	Tension drain-source mesurable	-1V	-	2,5V	Instant de mesure : $t_0=2\mu$ s après amorçage, Seuil de détection de court-circuit réglé par défaut à 2,5V.
$V_{GS,ON}$	Tension grille-source appliquée à l'état passant	14V	20V	20,5V	Variation de $\pm 0,5V$ lors de l'estimation de fuite de grille. Réglage possible par programmation VHDL (14V, 16V, 18V ou 20V)
$V_{GS,OFF}$	Tension grille-source appliquée à l'état bloqué	-5,5V	-5V	-4,5V	Variation de $\pm 0,5V$ lors de l'estimation de fuite de grille
CMTI	Immunité aux dv/dt	125kV/ $\mu$ s	-	-	Blindage CEM par écrans électrostatiques sur les transformateur planaires (voir section III.B.4)
$C_{iso}$	Capacité parasité totale primaire-secondaire	-	13pF	-	Mesure par VNA @ 1MHz
$I_{O,pk}$	Courant crête injecté dans la grille	-	-	30A	
$I_{L,DUT}$	Courant de fuite de grille mesurable	30nA <sup>1</sup>	-	2mA	<sup>1</sup> Précision maximale atteinte en déconnectant temporairement le circuit de surveillance drain-source (DESAT).
$t_{mort}$	Temps mort en configuration bras de pont	-	1 $\mu$ s	-	1 $\mu$ s par défaut, réglable par programmation VHDL
$t_{blanking}$	Temps de masquage pour le circuit de surveillance par DESAT	-	1 $\mu$ s	-	1 $\mu$ s après amorçage par défaut, réglable par programmation VHDL
$t_{detection}$	Temps de détection de court-circuit en utilisant le paramétrage par défaut	-	-	300ns	Temps nécessaire à la détection d'un court-circuit (après la fin du temps de masquage)
$R_{SSD}$	Résistance de réglage du Soft Shut-Down (SSD)	-	1k $\Omega$	-	Influe sur le temps de réaction après détection de court-circuit. Ex: $t_{reaction} < 600ns$ sur un module CAS300M12BM2 pour $R_{SSD} = 1k\Omega$ . $t_{reaction}$ est aussi lié aux caractéristiques intrinsèque du module piloté.
$t_{pulse}$	Durée des impulsions de commande	20ns	25ns	30ns	
$t_{prop}$	Temps de propagation total	115ns	122ns	130ns	$f_{FPGA}=100MHz$
$t_{jitter}$	Temps de Jitter	10ns	-	-	Nécessite des essais sur un grand nombre de cartes identiques
$T_{ext}$	Température externe (ambiant)	-20°C	-	70°C	Limitée par $T_{j,FPGA}$ (ex: pour $T_{ext}=70^\circ C \rightarrow T_{j,FPGA(typ)}=97^\circ C$ ), dépend du taux d'utilisation des ressources
$T_{j,FPGA}$	Température de jonction du FPGA	-	-	100°C	FPGA Industrial Grade (I), accessible via l'interface XADC (capteur interne du FPGA)
$T_{ferrite}$	Température de la ferrite du transformateur d'alimentation	$T_{ext}$	51°C <sup>2</sup>	230°C <sup>3</sup>	<sup>2</sup> Mesure à $T_{ext}=25^\circ C$ lorsque $P_{totale}=10W$ (ferrites 3F36) <sup>3</sup> Fortes pertes au-delà de 120°C
$V_{CC}$	Tension d'alimentation en entrée (circuit primaire)	14,9V	15V	15,1V	Conseil : tension à pré-réguler à 15V en entrée
$V_{DD}$	Tension d'alimentation (circuit secondaire)	19V	25V	-	Tension paramétrable pour commande en : +20V/-5V, +18V/-5V, +16V/-5V ou +14V/-5V Réglable par programmation VHDL
$P_{totale}$	Puissance consommée par le circuit de commande rapprochée	-	10W	-	DUT: module SiC CAS300BM12M2, $V_{DC}=540V$ , $f=100kHz$ , $P_{app}=50kVA$ , onduleur à point milieu capacitif avec charge inductive
$P_{voie}$	Puissance disponible par voie	-	-	4W	Ferrites 3F36
$V_{FPGA BOARD}$	Tension d'alimentation en entrée de la carte FPGA	4,5V	5V	5,5V	Pins JA11 et JA12
$P_{FPGA}$	Puissance consommée par le FPGA	-	<0,1W	2,3W	La puissance consommée dépend du taux d'utilisation des ressources et de la fréquence de basculement des portes logiques (dépend de la complexité du code). Voir section IV.C.
$V_{CMOS}$	Niveau de tension des circuits logiques (compatibilité CMOS)	-	3,3V	-	
$V_{DIFF,ADC}$	Tension admissible sur les entrées analogiques (FPGA)	-	1V <sub>p-p</sub>	1,25V	Tension différentielle de $ V_p-V_n =1V$ maximum, mode commun entre 0,25V et 0,75V

## D. DEVELOPPEMENT LOGICIEL

Le développement logiciel a été réalisé en VHDL sous Vivado. Le VHDL est un langage de description matérielle (Hardware Description Language ou HDL) au même titre que le langage Verilog, son principal concurrent. Ces langages ont vu le jour au début des années 1980 lorsque la complexité des circuits logiques a rendu impossible l'utilisation exclusive de schémas. Le principal atout des langages de description matérielle est la possibilité de simuler un code avant implémentation. L'une des particularités du VHDL provient du fait qu'il est possible d'exprimer facilement le parallélisme présent à l'intérieur d'un circuit, il est donc particulièrement adapté à la programmation des composants FPGA. La synthèse est l'opération permettant d'obtenir un composant réalisant les fonctions désirées à l'aide d'éléments logiques concrets (portes logiques, bascules ou registres). Ceux-ci peuvent ensuite être implémentés en configurant les réseaux de blocs logiques élémentaires d'un FPGA donné. Des schémas blocs de description des architectures VHDL implémentées sont présentés aux figures IV-16 et IV-17. L'intégralité des fonctions de communication et de gestion de données par liaisons séries (UART) n'ont pas été développées. Seule la transmission de données à travers l'isolation galvanique a été testée et validée.

Le bloc de conversion analogique numérique intégré (XADC) a été réalisé en utilisant l'assistant de configuration LogiCORE IP XADC. Cet élément permet la génération du code VHDL nécessaire à l'implémentation du module XADC. L'activation de la fonction « event mode » permet de synchroniser l'instant d'acquisition en utilisant le signal CONVST\_IN, par exemple,  $2\mu\text{s}$  après l'amorçage pour la mesure de  $V_{DS(on)}$ . La mesure de plusieurs variables nécessite un multiplexage sur l'XADC ainsi qu'un séquenceur de canal pour l'acquisition (Channel Sequencer mode). Le paramétrage de ce module est présenté à la figure IV-18.

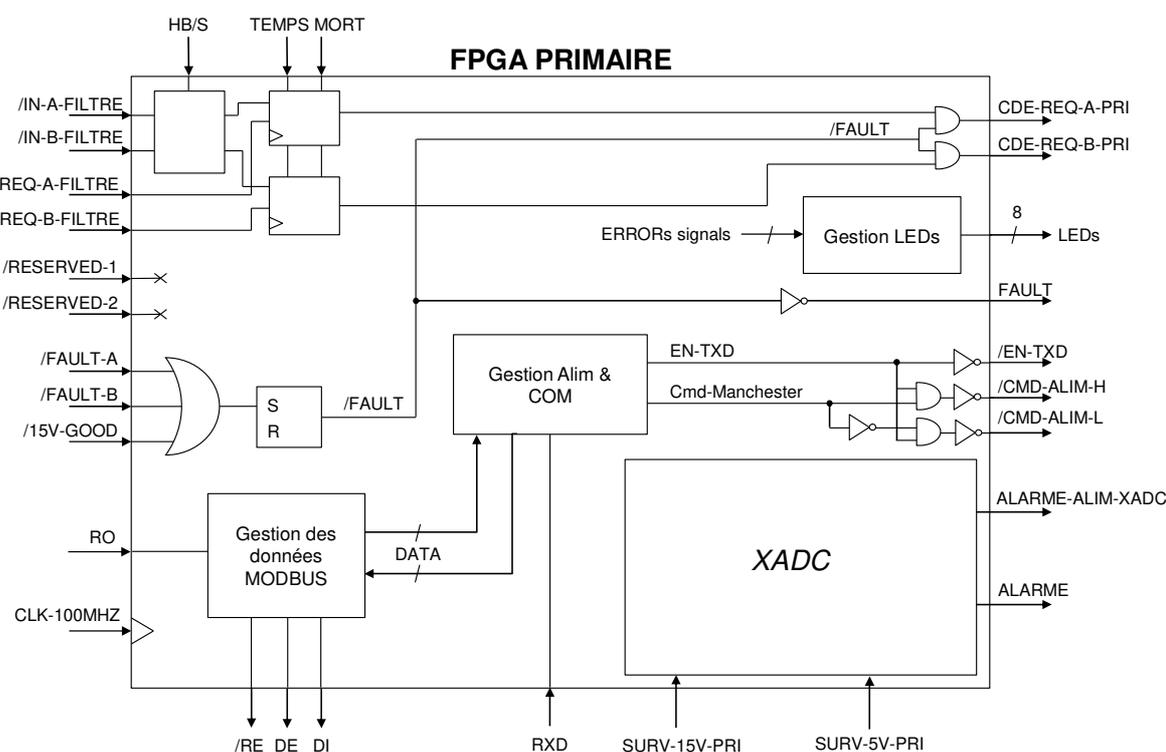


Figure IV-16 : Schéma bloc du programme VHDL implémenté sur le FPGA côté primaire

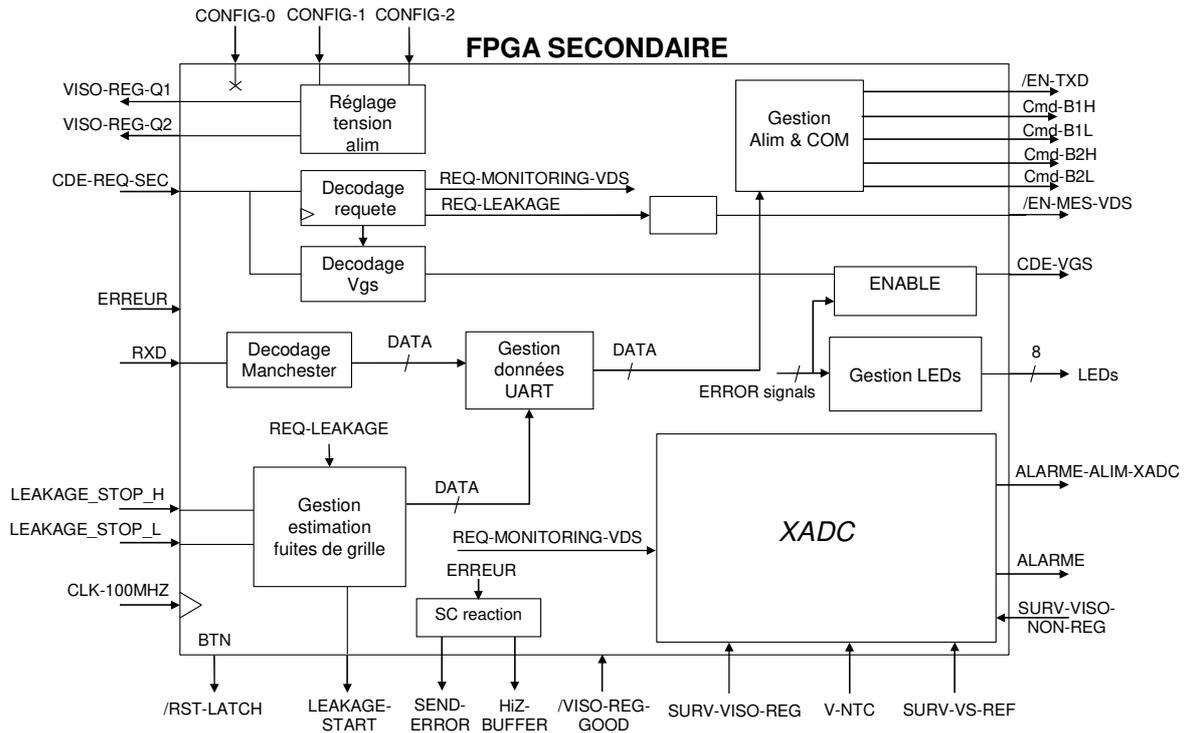


Figure IV-17 : Schéma bloc du programme VHDL implémenté sur le FPGA côté secondaire

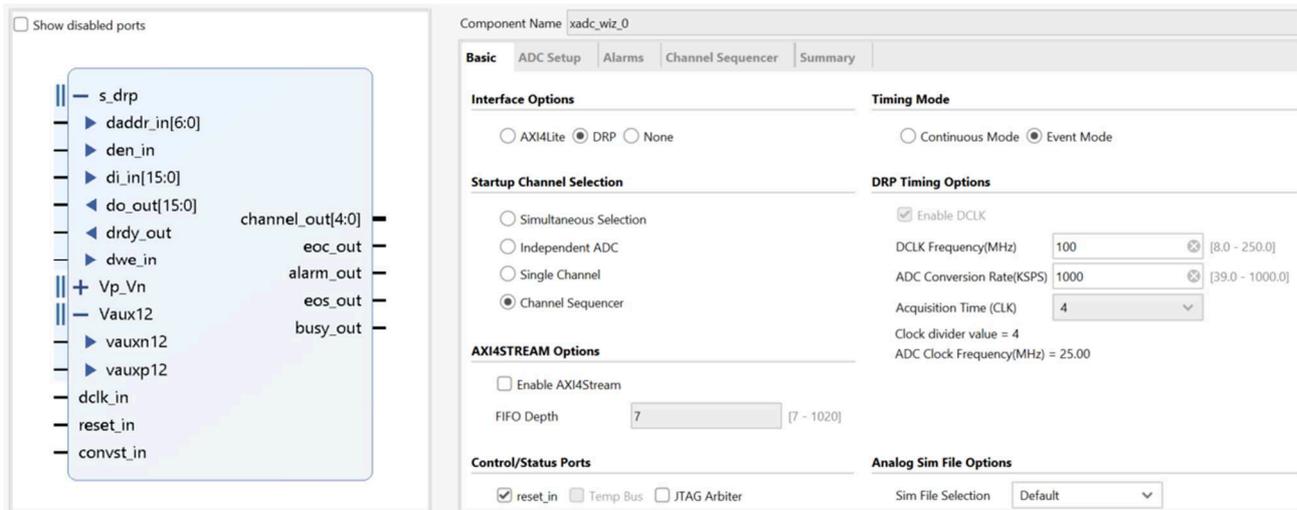


Figure IV-18 : Paramétrage du bloc de conversion analogique-numérique XADC (LogiCORE IP XADC)

La synthèse VHDL permet la traduction du code sous forme de circuit logique complexe. Un exemple d'implémentation est fourni en annexe 1. L'implémentation permet de retranscrire l'architecture proposée en tenant compte de la configuration interne du composant cible, les composants FPGA étant composés d'un réseau de blocs logiques élémentaires. Un bloc logique élémentaire est présenté à la figure IV-19. Une matrice d'interconnexion permet le routage des signaux entre les différents blocs logiques.

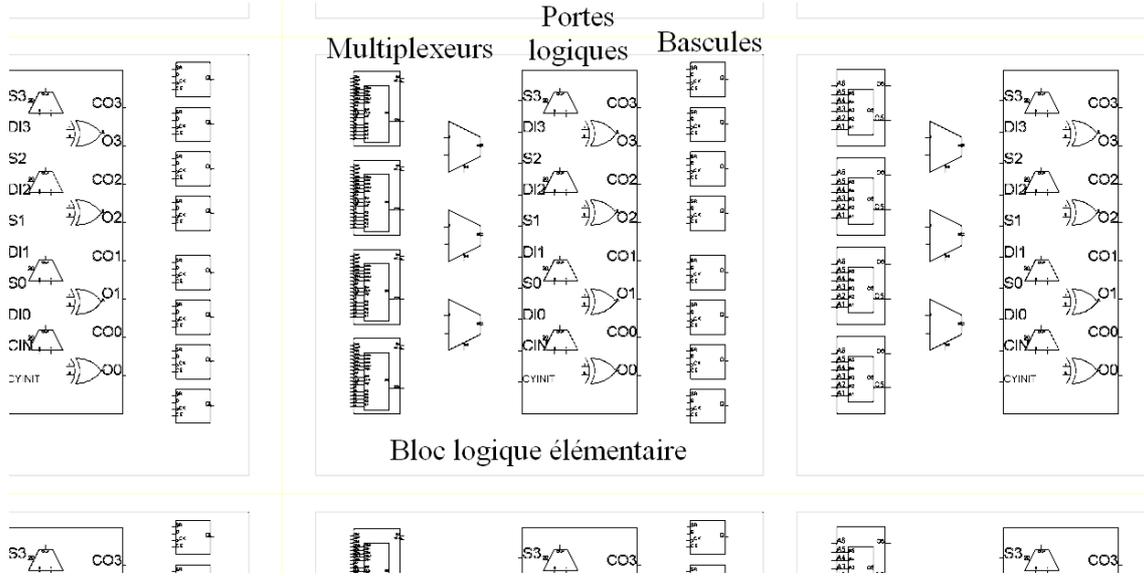
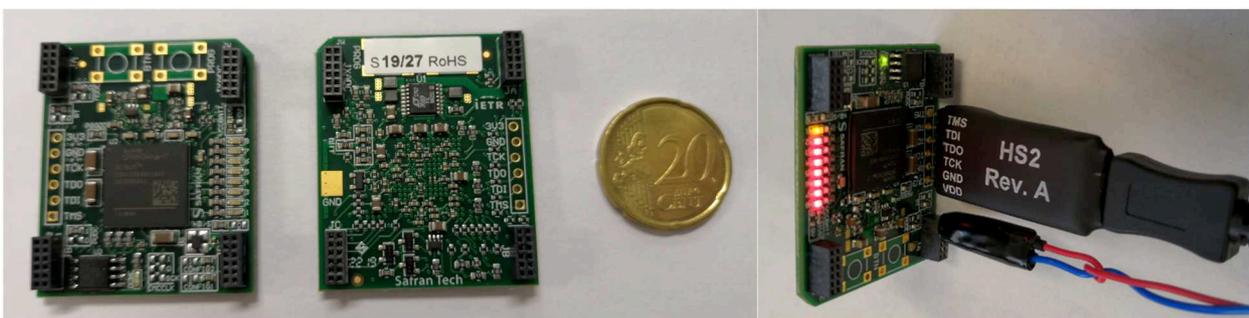


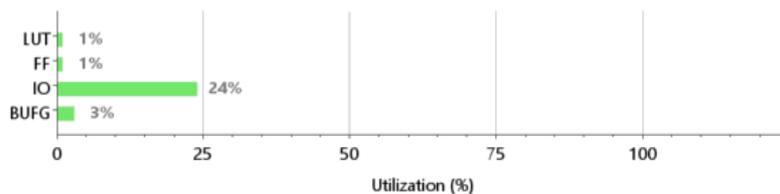
Figure IV-19 : Bloc logique élémentaire – Architecture interne du FPGA

Les signaux d’entrées-sorties correspondent aux différents ports de la carte fille JA, JB, JC et JXADC. Chacun de ces ports est muni de 12 pins dont 4 broches d’alimentation, sauf sur le port analogique JXADC. Une table de correspondance des différents signaux est fournie en annexe 3.

Après implémentation, un fichier de programmation (.bit) est généré. Ce fichier binaire suffit à la reconfiguration de la carte cible par un JTAG de programmation. Toutefois, comme détaillé à la section IV.A.3, la mémorisation du programme nécessite une mémoire externe. Il est alors nécessaire de générer un fichier de configuration mémoire (.mcs) pour permettre la programmation indirecte de la mémoire via l’interface JTAG du FPGA.



(a)



(b)

Figure IV-20 : Programmation de la carte fille (a) et taux d’utilisation des ressources (FPGA côté primaire) (b)

## E. VALIDATION FONCTIONNELLE DU DEMONSTRATEUR

En plus des essais effectués dans le cadre de la validation des fonctions de communication et de mesure, des tests ont été réalisés en environnement de puissance pour valider le fonctionnement global du démonstrateur de driver de grille. La carte réalisée intègre évidemment une chaîne de transmission des ordres de commande mais aussi des fonctions de protections améliorées permettant une réaction rapide en cas de court-circuit. Le démonstrateur doit donc permettre le pilotage en toute sécurité du composant de puissance et ce, en n'importe quelle circonstance.

### E.1 Essais à vide

Dans un premier temps, des essais à vide ont été menés pour vérifier le fonctionnement du circuit. Les essais ont été réalisés avec un temps mort de  $1\mu\text{s}$ . Cela revient à retarder le front d'amorçage tout en assurant un blocage instantané, moyennant un temps de propagation. Ce délai permet d'éviter le court-circuit de bras lié aux différences de temps de commutation à l'amorçage et au blocage. En contrepartie, le temps mort a une incidence sur la distorsion harmonique du signal dans la charge. En effet, en-dessous d'une certaine valeur de rapport cyclique le signal de commande n'est plus transmis à la grille. A titre d'exemple, pour un temps mort de  $t_{mort} = 1\mu\text{s}$ , une fréquence de découpage de  $f = 100\text{kHz}$ , le signal d'amorçage ne peut plus être transmis lorsque  $\alpha(t) < 10\%$ .

Les relevés présentés à la figure IV-21 permettent de définir un temps de propagation d'environ 120ns. Les impulsions de commande sont d'une largeur de 25ns pour une amplitude de  $\pm 15\text{V}$  pour permettre un ratio signal/bruit maximal. Les impulsions transmises sont ensuite filtrées en utilisant de faibles impédances. La topologie proposée à la section III.B présente donc également l'avantage de minimiser les temps de propagation.

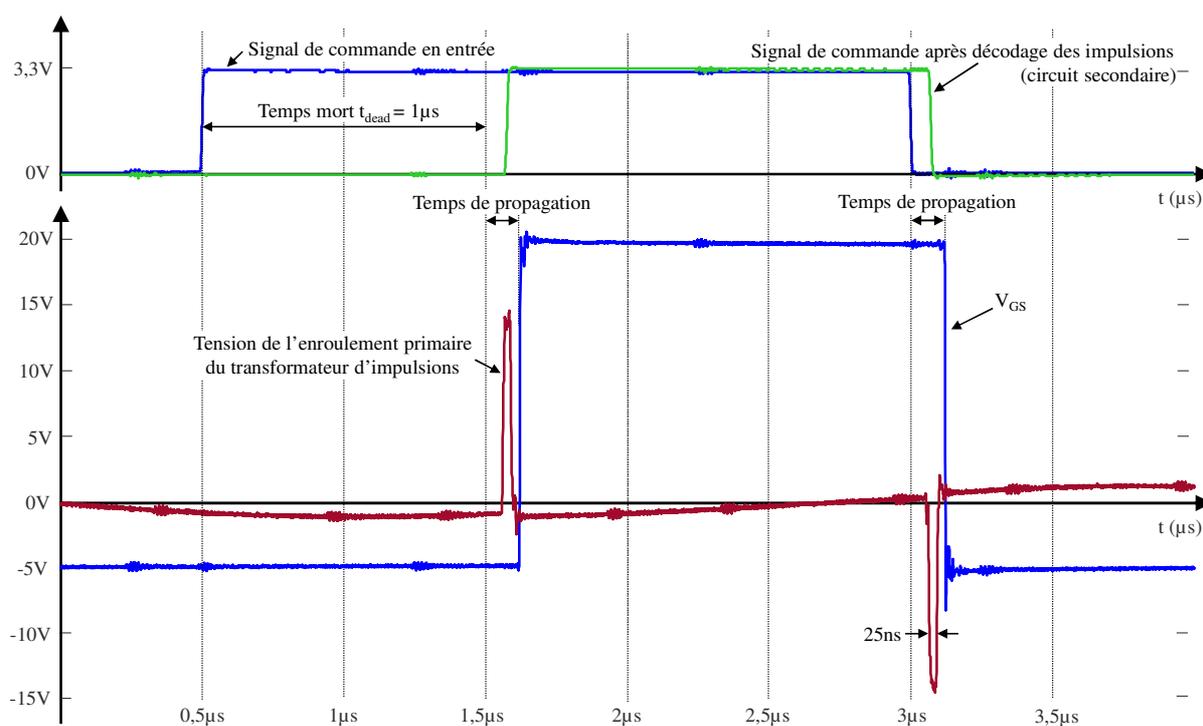


Figure IV-21 : Essais à vide

A vide, la consommation du circuit de commande rapprochée est uniquement liée à la dissipation d'énergie sur les éléments constitutifs de la carte driver. Une consommation totale de 4,5W a été relevée à vide (circuit primaire, circuits secondaires, cartes FPGA). A cela, il convient d'ajouter la consommation liée à la charge de la grille. L'équation (17) donne la puissance consommée par l'étage de bufferisation de la grille en fonction de la charge de grille requise  $Q_G$ , de la fréquence du signal MLI et de la tension grille source.

$$P = Q_G \cdot f \cdot \Delta V_{GS} \quad (17)$$

Où  $\Delta V_{GS}$  est l'amplitude totale de la tension grille-source (ici  $\Delta V_{GS} = 25V$ ). Par exemple, pour un signal MLI de 100kHz pilotant un module MOSFET SiC CAS300M12BM2, la puissance nécessaire est de 2,56W par voie. La consommation du circuit driver dépend donc fortement de la fréquence du signal MLI et du composant piloté (charge  $Q_G$ ). Le circuit d'alimentation a été dimensionné pour permettre un transfert d'énergie de 4W/voie.

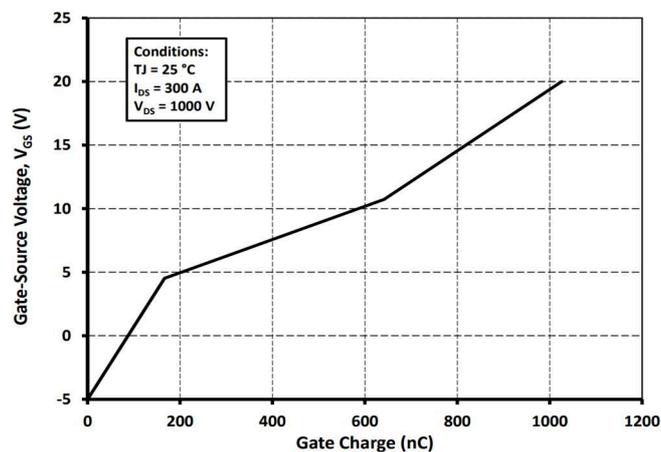
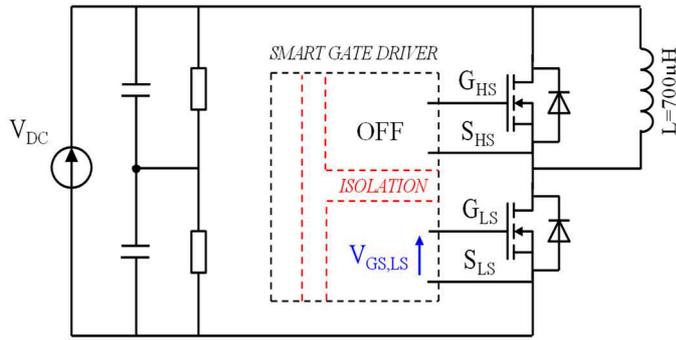


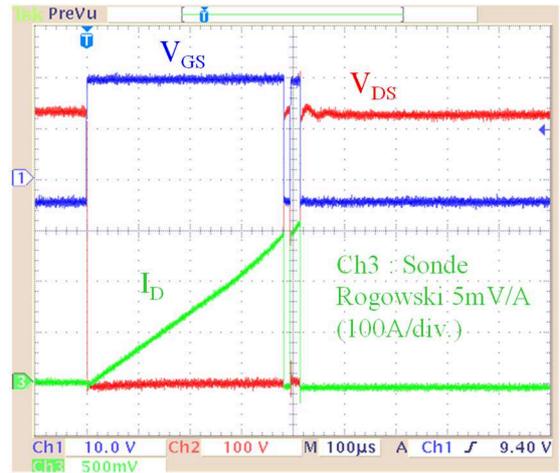
Figure IV-22 : Caractéristique de charge de grille typique (datasheet CAS300M12BM2)

### E.2 Essais en double pulse

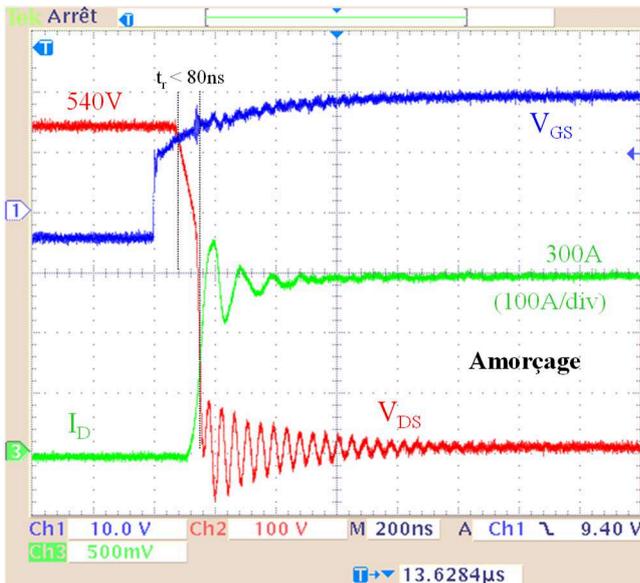
Afin de valider le fonctionnement dans des conditions normales d'utilisation, un banc d'essai de type « double pulse » a été mis au point. Ce protocole expérimental permet d'étudier une commutation à forts courants / tensions en utilisant uniquement une charge inductive montée en hacheur. Dans un premier temps, l'inductance est chargée à tension constante ce qui conduit à une croissance linéaire du courant circulant dans la charge tel que l'illustre la figure IV-23 (b). Lorsque la valeur de courant choisie est atteinte, une double commutation s'enclenche (blocage, amorçage puis blocage définitif). Le circuit présenté à la figure IV-23 (a) permet d'observer la commutation d'un module de puissance sans risque d'auto-échauffement de la puce.



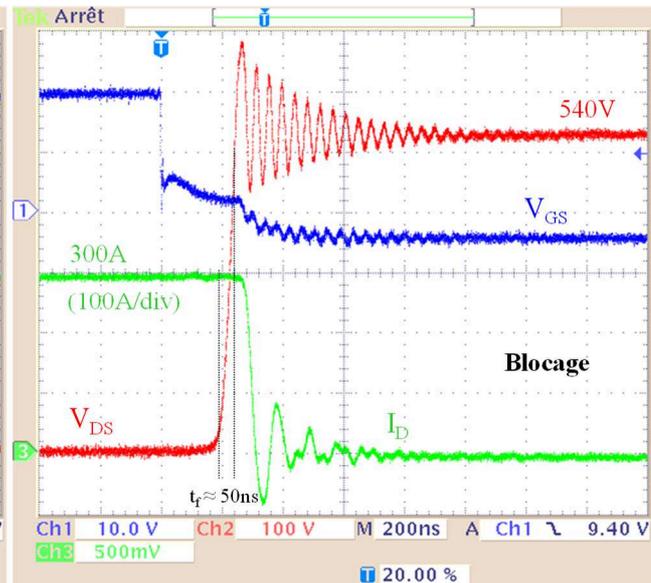
(a)



(b)



(c)



(d)

$t_{d(\text{on})}$	Turn-on delay time	76	ns	$V_{DD} = 600\text{V}$ , $V_{GS} = -5/+20\text{V}$ , $I_D = 300\text{A}$ , $R_{G(\text{ext})} = 2.5\ \Omega$ , Timing relative to $V_{DS}$ Note: IEC 60747-8-4, pg 83 Inductive load
$t_r$	Rise Time	68	ns	
$t_{d(\text{off})}$	Turn-off delay time	168	ns	
$t_f$	Fall Time	43	ns	

(e)

Figure IV-23 : Circuit de test pour les essais en double pulse 540V / 300A (a) ; Formes d'ondes associées (b) ; Zoom sur le régime transitoire à l'amorçage (c) et au blocage (d) ; Extrait du datasheet du module MOSFET SiC<sup>4</sup> (e)

Pour ces essais, une résistance de grille de 2,35Ω a été implémentée sous la forme de plusieurs résistances MELFs en parallèle. Les essais présentés aux figures IV-23 (c) et IV-23 (d) permettent de valider le fonctionnement du démonstrateur sous 540V/300A à 25°C (=162kVA apparent). Les commutations observées sont conformes aux valeurs annoncées dans le datasheet du fabricant dont un extrait est fourni à la figure IV-23 (e). On observe un régime transitoire d'environ 800ns à la suite

<sup>4</sup> Datasheet CAS300M12BM2 (Rev. A). Disponible : <https://www.wolfspeed.com/cas300m12bm2>

d'une commutation et une surtension à 680V (overshoot). On remarquera un léger décalage temporel dû aux sondes de mesure. Les tensions ont été relevées en utilisant des sondes différentielles P5205A tandis que le courant de drain du module a été mesuré par sonde Rogowski PEM CWT 6R. Le banc d'essai double pulse est présenté à la figure IV-24.

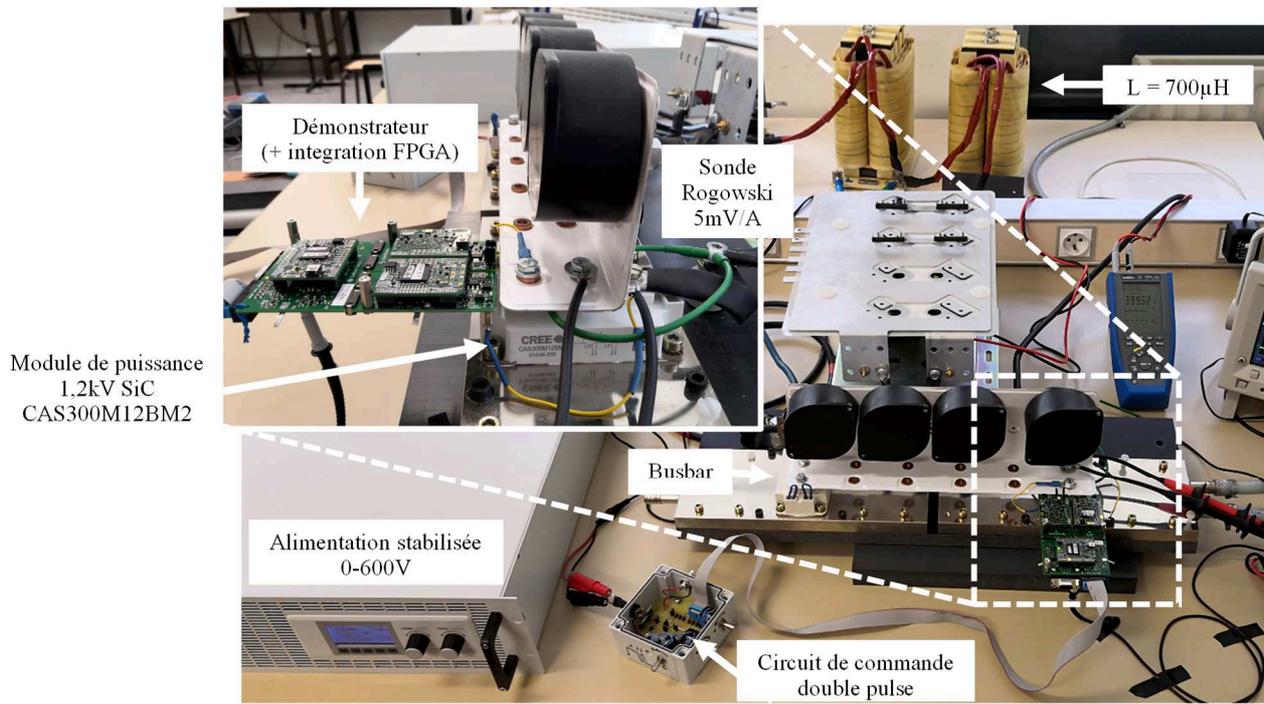


Figure IV-24 : Montage expérimental pour les essais en double pulse

### E.3 Essais en mode onduleur

Des essais en mode onduleur ont été réalisés sur un circuit onduleur à point milieu capacitif avec une charge inductive en adaptant le banc de test présenté à la figure IV-24. Des relevés à 50kVA sont fournis à la figure IV-25. La source de tension est réglée à  $V_{DC} = 540V$ , correspondant à une application aéronautique. La fréquence de découpage a été fixée à  $f = 100kHz$  pour démontrer la capacité du driver à délivrer l'énergie nécessaire à la commande de grille à haute fréquence de découpage.

Une légère distorsion est visible lors du passage à 0A du courant dans la charge. Cette cassure est typiquement liée au temps mort. En effet, lorsque le rapport cyclique est minimal, le temps de mise en conduction devient inférieur au temps mort  $t_{mort}$  (ici 1 $\mu s$ ), ce qui empêche la transmission des ordres. On rappellera que le temps mort est nécessaire pour éviter le court-circuit de bras dû aux différences de temps de commutation à l'amorçage et au blocage. Le réglage du temps mort est donc le fruit d'un compromis entre la distorsion du signal modulant et la robustesse du bras de pont.

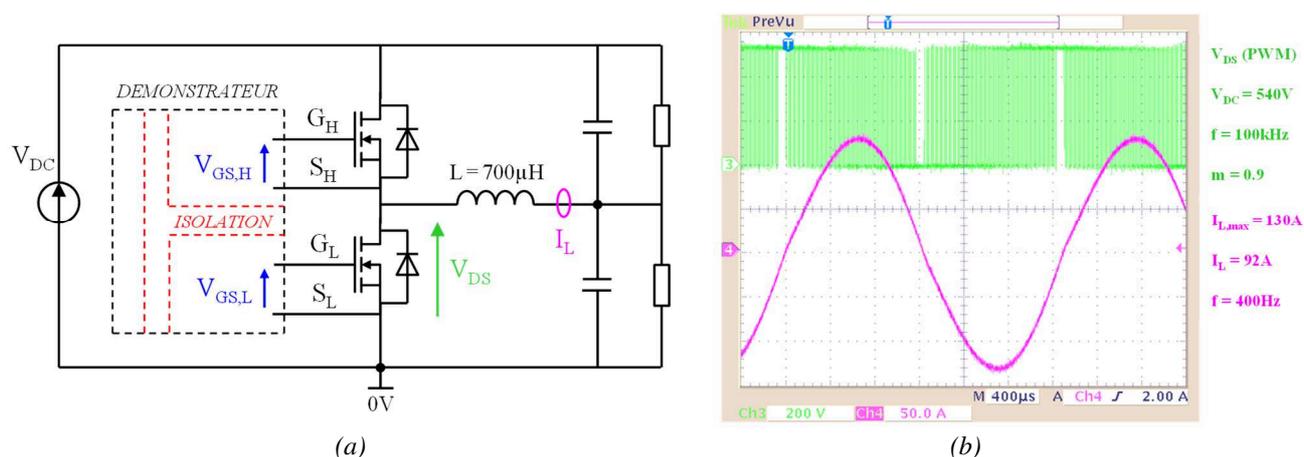


Figure IV-25 : Circuit onduleur à point milieu capacitif (a) et relevés effectués à 50kVA

### E.4 Mécanisme de protection rapide

La faible résistivité à l'état passant des composants SiC s'accompagne généralement d'efforts sur le packaging des puces pour pouvoir profiter pleinement des performances des MOSFETs SiC. Le wire bonding est progressivement remplacé par de la connectique sous forme de ruban conducteur ou par le raccordement de type Press Pack (puce prise en sandwich). Toutefois, la diminution de l'inductance de câblage défabilise la fonction de détection de court-circuit par diode de désaturation (DESAT). En effet, à courant de court-circuit égal, la tension drain-source vue par le circuit de détection est bien plus faible sur des modules à faible inductance de maille. L'ensemble de la chaîne de protection (détection et réaction) doit donc être d'autant plus rapide pour permettre la sécurisation des nouveaux composants à grands gaps. Dans ce contexte, une chaîne de protection optimisée et performante a été intégrée dans le démonstrateur.

La chaîne de protection est divisée en deux parties : le mécanisme de détection et le mécanisme permettant la réaction au court-circuit. Ces deux circuits doivent être les plus fiables et rapides possibles. Le temps de masquage (ou blanking time) implémenté est de  $1\mu\text{s}$ . Pendant ce temps, la surveillance par désaturation telle que définie dans le chapitre I est désactivée pour éviter le déclenchement intempestif de la sécurité dû aux bruits du régime transitoire de la commutation. Le circuit de détection de court-circuit est basé sur un comparateur à seuil. Les composants SiC ayant une tension à l'état passant plus faible que leur équivalent IGBT, le seuil de déclenchement a été fixé à  $V_{DS} = 2,5\text{V}$  dans le démonstrateur (valeur réglable). La désactivation de la surveillance pendant la phase de blocage et de masquage (blanking) est assurée par le transistor  $Q_a$ . Un tirage au potentiel 0V permet d'éloigner la tension de l'entrée inverseuse (-) du seuil de déclenchement du comparateur. Un comparateur rapide alimenté en basse tension 5V a été utilisé pour minimiser le temps nécessaire à la détection d'un court-circuit.

Le circuit de réaction est très simple de par la topologie de l'étage de sortie. Lors d'un court-circuit, la variable HiZ-BUFFER permet d'activer la fonction de Soft Shut Down (SSD). Une résistance  $R_{SSD}$  est alors exceptionnellement connectée pour ralentir la commutation. Le blocage en douceur permet de diminuer la surtension générée au blocage du semi-conducteur en défaillance au prix d'un temps

de blocage plus important. Les éléments du circuit de protection en court-circuit sont détaillés à la figure IV-26.

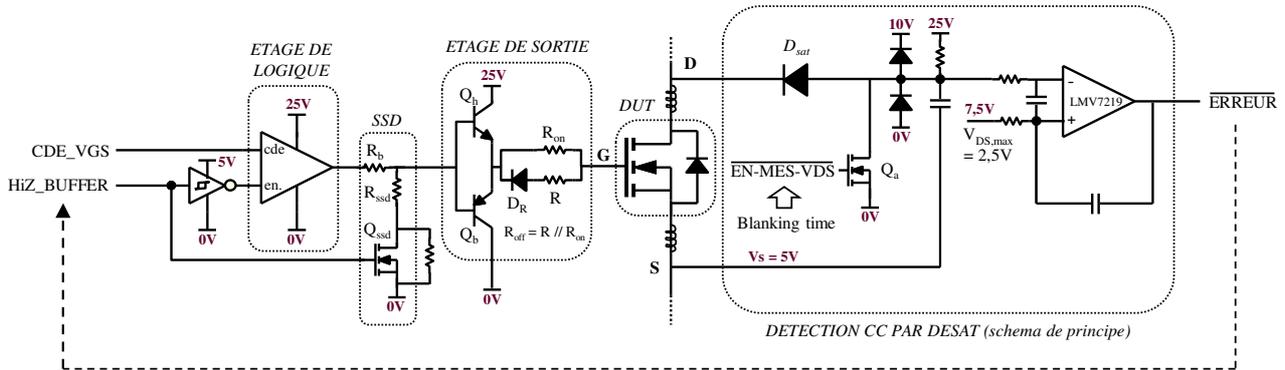


Figure IV-26 : Circuits de protection en court-circuit embarqués

On peut distinguer plusieurs types de courts-circuits : type I et type II. Un court-circuit de type I apparaît lors de la phase d’amorçage, les mécanismes de protection ne peuvent donc régir qu’à partir de la fin du temps de masquage. Le court-circuit de type II est plus facile à gérer car il apparaît en phase de pleine conduction lorsque les mécanismes de protection sont prêts. En outre, on peut encore distinguer deux cas de figure : le court-circuit de bras ou le court-circuit dans la charge. Le court-circuit de bras est beaucoup plus problématique de par la faible inductance de maille d’un module de puissance (environ 10nH). Plus l’inductance de maille est faible, plus le courant croit rapidement.

Des essais ont été menés pour vérifier le fonctionnement du circuit de protection. Pour se faire, le court-circuit a d’abord été réalisé en court-circuitant l’inductance de charge par un fil de 30cm, simulant ainsi un court-circuit au niveau de la charge.

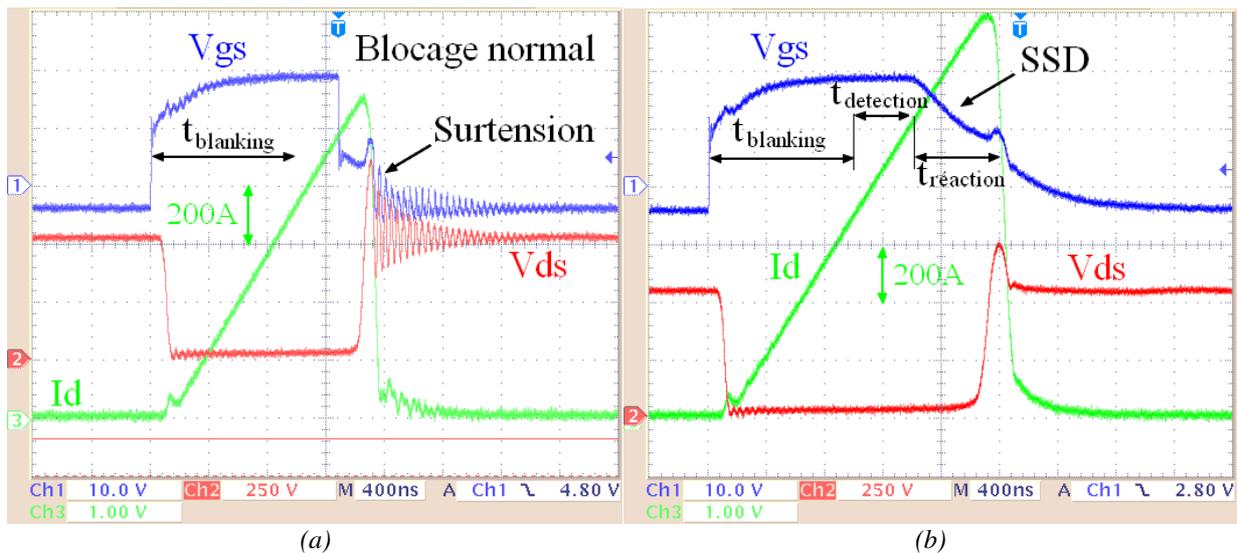


Figure IV-27 : Essais de court-circuit de type I sur un module SiC 1,2kV (CC au niveau de la charge)  
Comparaison entre une ouverture normale (a) et une ouverture en SSD (b)

Les relevés présentés à la figure IV-27 permettent de souligner l'influence du blocage en douceur (SSD) sur la surtension  $V_{DS}$  au blocage. Les courbes de la figure IV-27 (a) correspondent à un cas de court-circuit de type I avec un blocage immédiat, une surtension importante apparaît (540V + 320V). Les courbes de la figure IV-27 (b) correspondent au même cas de court-circuit mais avec une mise en protection par SSD avec une résistance de  $R_{SSD} = 1k\Omega$ . Le blocage est plus lent donc le courant de court-circuit est plus important (1400A) mais la surtension est grandement réduite (540V + 210V). Il existe donc un compromis à trouver entre la surtension admissible et l'auto-échauffement provoqué par le courant de court-circuit. Ce compromis est généralement réalisé par essais successifs en considérant la SOA (Safe Operating Area) du composant.

Le circuit de détection par diode de désaturation présenté à la figure IV-26 est relativement rapide. Néanmoins, une proposition d'amélioration a tout de même été fournie. Cette solution tire avantage de l'intégration de FPGA dans le driver. Le but ici est de réduire le temps de réaction tout en conservant le gain en surtension. L'idée est d'initier un blocage rapide puis de basculer en mode SSD en intégrant un petit délai (ici 20ns). En effet, la commutation des transistors MOSFET de puissance n'est pas instantanée. Il est donc possible d'intégrer un délai pour permettre d'accroître la vitesse de décharge de la capacité d'entrée  $C_{iss}$  du MOSFET tout en activant le mode SSD avant la commutation pour limiter la surtension. Un comparatif est fourni à la figure IV-28. Le choix d'un délai de 20ns a été réalisé par essais successifs. Un délai trop faible résulte en un cas de blocage rapide alors qu'un délai trop important provoquera un blocage de type SSD classique.

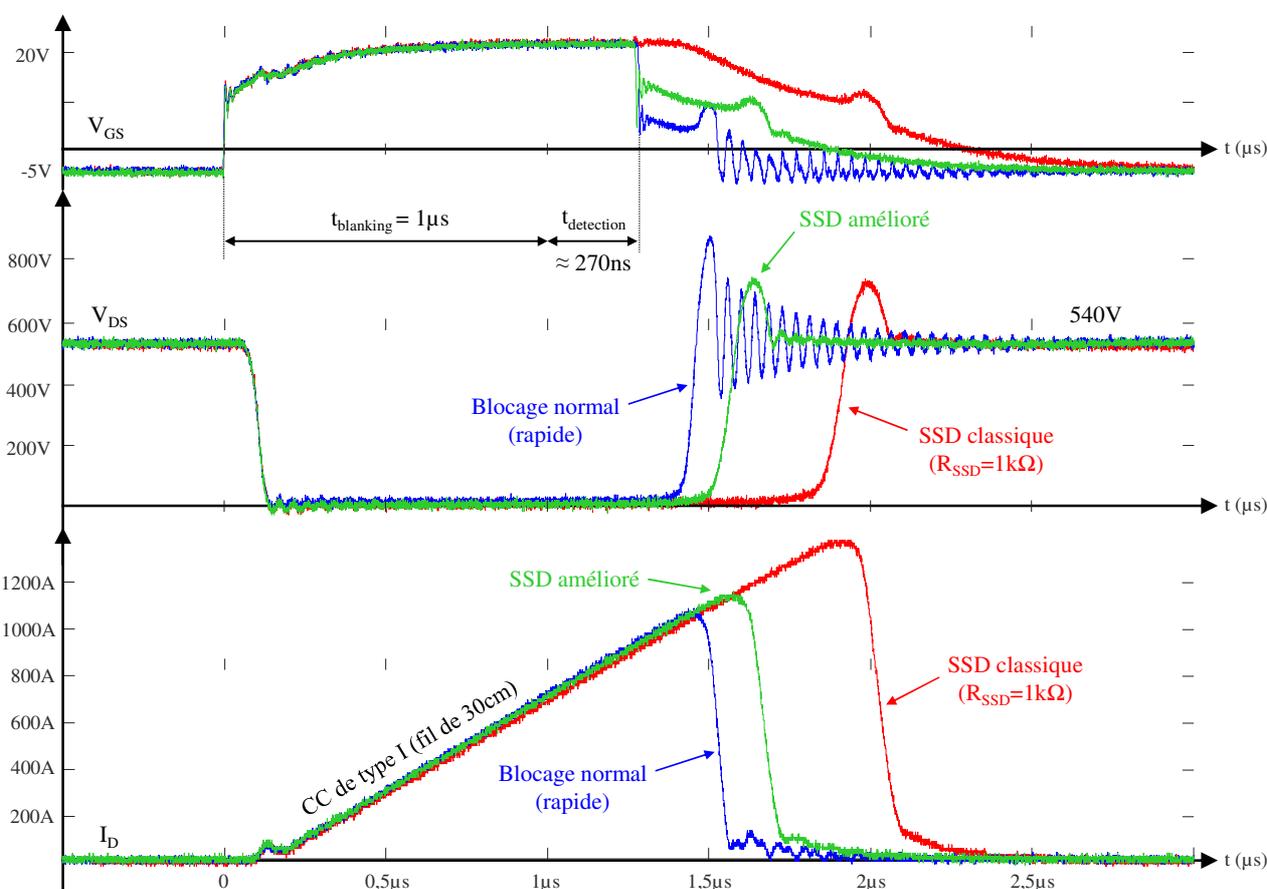


Figure IV-28 : Essais en court-circuit sans SSD, avec SSD et avec SSD amélioré (CC de type I au niveau de la charge)

Les essais réalisés permettent de mettre en évidence la pertinence du circuit de protection développé. En effet, le courant de court-circuit est grandement réduit et les oscillations liées à la commutation à fort courant sont réduites. L'amélioration proposée permet une détection de court-circuit en 270ns et une réaction rapide en 320ns tout en diminuant la surtension d'environ 100V.

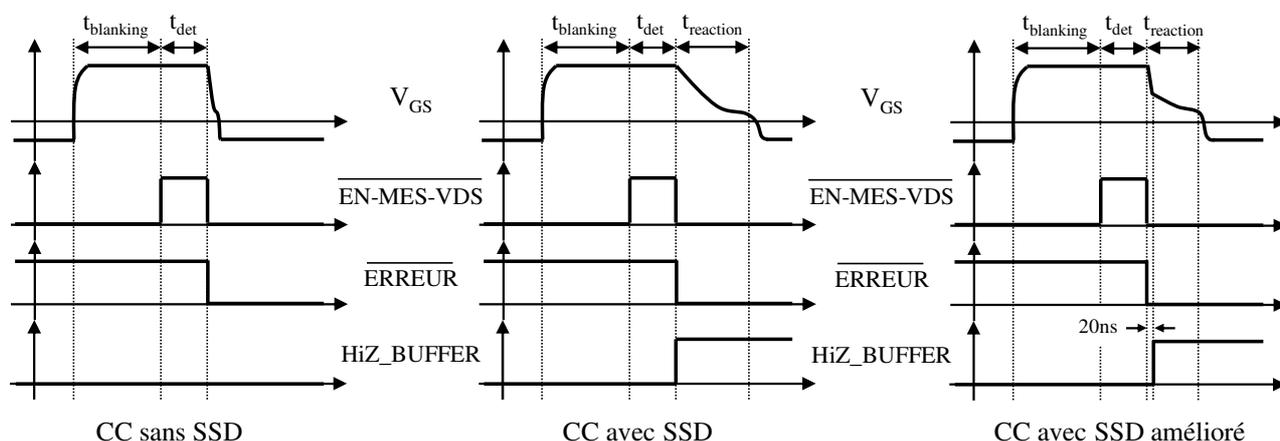


Figure IV-29 : Chronogrammes en cas de court-circuit et amélioration proposée

Les essais présentés à la figure IV-28 permettent de valider le mécanisme de protection dans le cas d'un court-circuit au niveau de la charge. Afin de valider l'utilisation de la protection en CC par DESAT et SSD sur un module MOSFET SiC, des essais de court-circuit dans le pire cas ont été réalisés. Le pire court-circuit susceptible de se produire est le court-circuit de bras à l'intérieur d'un module. Normalement le circuit de commande rapproché intègre une sécurité pour éviter la mise en conduction simultanée des deux interrupteurs (high side et low side). Pour les besoins d'essais, cette sécurité a été retirée. Les relevés présentés à la figure IV-30 (a) attestent de la faible inductance de maille (environ 8nH) conduisant à un courant de court-circuit très important (ici 1250A pour  $V_{DC} = 40V$ ). Pour ces essais, le temps de masquage a été réduit au minimum ( $t_{blinking} = 500ns$ ). La figure IV-30 (b) permet de valider le mécanisme de protection en court-circuit dans le cas  $V_{DC} = 550V$  à  $T_j = 25^\circ C$ . Dans ce dernier cas, le courant de court-circuit est vertigineux ( $>10kA$  d'après nos estimations), il n'est plus mesurable par nos équipements. On constate tout de même un  $V_{DS(on)} + L \cdot di/dt$  d'environ 250V en phase de conduction, ce qui est considérable.

Le temps de détection est défini comme le temps nécessaire à la détection du court-circuit par la carte driver. Ce temps est principalement dû au filtrage en entrée du circuit de détection par DESAT tel que défini à la figure IV-26. Ce filtrage est nécessaire pour éviter des détections de courts-circuits intempestives liées aux bruits lors de la commutation. Le temps de réaction est défini comme le temps total nécessaire au blocage du composant de puissance après détection. Ce temps est lié à la valeur de la résistance  $R_{SSD}$  d'une part et au retard au blocage  $t_{d(off)}$  intrinsèque au composant piloté d'autre part. On observe sur la courbe de la figure IV-30 (b) une surtension de seulement 150V, ce qui confirme les choix de dimensionnement effectués.

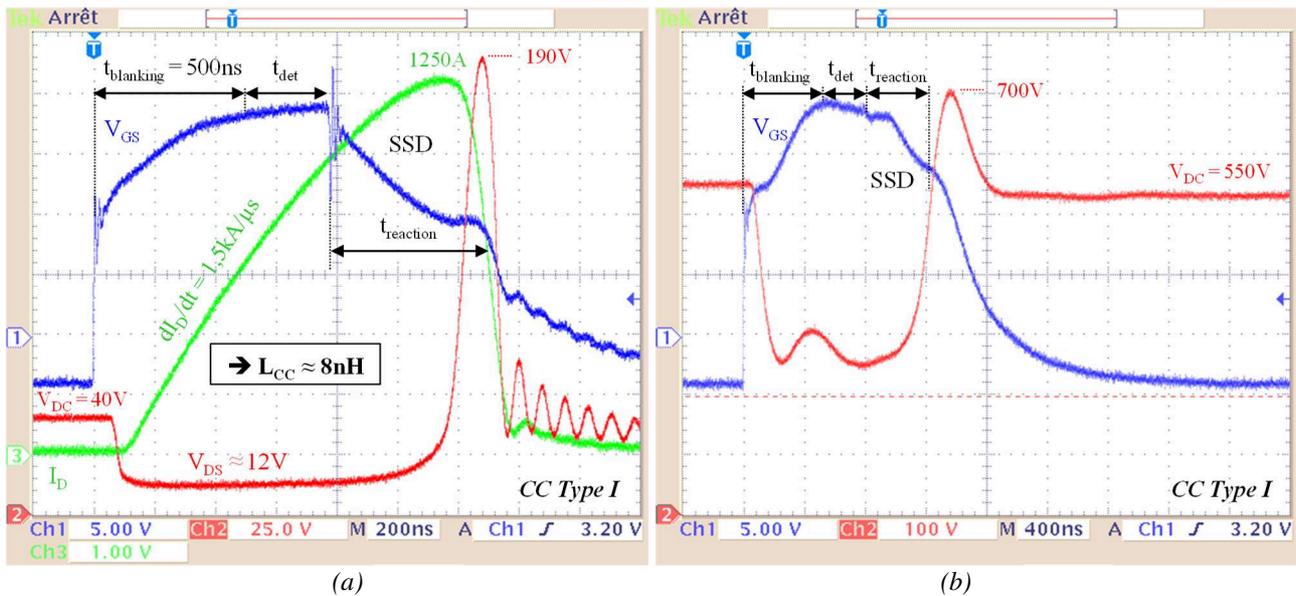


Figure IV-30 : Essais en court-circuit de bras sur un module SiC 1.2kV CAS300M12BM2 (type I)  
Essais à 40V (a) et à 550V (b) @25°C

## F. CONCLUSIONS

Les travaux de thèse ont mené au développement d'un démonstrateur de driver de grille intégrant de nombreuses fonctionnalités. Ce démonstrateur intègre des composants programmables de type FPGA pour l'acquisition de signaux analogique et la gestion des données de surveillance. Afin de garantir une densité d'intégration maximale, deux cartes ont été développées : une carte « mère » et une carte « fille » générique dédiée au FPGA. Ces deux cartes ont été intégralement conçues et routées au laboratoire IETR dans le cadre de cette thèse. La fabrication a été assurée par SEICO après transmission du dossier de fabrication. La reprogrammation des cartes FPGA a été assurée par l'outil Vivado fourni par le fabricant Xilinx. Le code VHDL est d'abord traduit sous forme de circuit logique puis implémenté sur la carte fille au moyen d'une interface JTAG. L'ensemble de la chaîne de conception et de développement du démonstrateur est maîtrisé par l'équipe « cartes drivers » de l'IETR. La partie hardware du démonstrateur est parfaitement opérationnelle. Toutefois, un protocole de communication série (type UART) complexe pour la gestion des données de surveillance reste encore à être développé.

Des essais à forte puissance ont été réalisés pour valider le comportement de la carte driver en environnement sévère. Des essais de type double pulse sous 540V / 300A ont permis de démontrer des formes d'ondes conformes aux données fournies par le fabricant du module SiC piloté. Des essais en mode onduleur sous 50kVA ont également été menés. Des essais ont permis de tester le système de protection en cas de court-circuit au niveau de la charge et en cas de court-circuit de bras. Le démonstrateur réalisé intègre des circuits de protection usuels pour la sécurisation du composant piloté (DESAT et SSD). Toutefois, une chaîne de protection optimisée et performante a été intégrée dans le démonstrateur. Une amélioration a même été proposée permettant la détection d'un court-circuit et la sécurisation du composant de puissance en moins de 400ns ( $t_{d(off)}$  exclu).

# CONCLUSION GENERALE ET PERSPECTIVES

Les composants à semi-conducteurs de puissance SiC sont de plus en plus utilisés. Aujourd'hui, la problématique de la fiabilité est le principal frein à l'essor de cette technologie. Cette problématique est essentielle pour le développement de convertisseur d'énergie dans le secteur de l'aéronautique. Le circuit de commande rapprochée, aussi appelé driver de grille dans le cas du MOSFET ou de l'IGBT, est un élément capital dans la chaîne de conversion d'énergie. Il permet une commande adaptée et sécurisée des composants à semi-conducteurs de puissance. Les cartes drivers intègrent de plus en plus de fonctionnalités de protection. Ces circuits évoluent toutefois dans un environnement très contraint de par leur proximité avec le circuit de puissance. De récentes études de fiabilité sur les MOSFETs SiC ont permis d'identifier des paramètres susceptibles d'évoluer au cours du temps. Parmi ces paramètres, les courants de fuites de grille et la résistivité à l'état passant ont été proposés comme des indicateurs de vieillissement mesurables par l'intermédiaire de la carte driver. Pour répondre au défi de la prédiction de défaillances en électronique de puissance, une stratégie a été formulée. La solution retenue dans le cadre de cette étude est basée sur la proposition de circuits de mesure embarqués, l'intégration d'un système de communication adapté et l'utilisation de composants programmables dans le circuit de commande rapprochée.

Deux circuits de mesure ont été proposés, simulés et testés pour permettre la surveillance de la résistivité à l'état passant et des courants de fuite de grille par l'intermédiaire du circuit driver. Pour pouvoir mesurer le  $R_{DS(on)}$  en cours de fonctionnement, une double mesure de courant et de tension est nécessaire. Une mesure de température doit également être opérée. Un circuit de mesure  $V_{DS(on)}$  a été proposé permettant une acquisition  $2\mu s$  après amorçage. Il apparaît opportun d'effectuer cette mesure lors d'un pic de courant maximal. Les essais ont permis de démontrer une erreur de mesure inférieure à 5mV. Des essais en double pulse ont été menés sur un module de puissance jusqu'à 400A. Toutefois, une potentielle défaillance sur la connectique de source ne peut pas être détectée par cette méthode.

Le courant de fuite de grille  $I_{GSS}$  permet de surveiller la détérioration de l'oxyde de grille des composants MOSFET. Le paramètre  $I_{GSS}$  est normalement inférieur à 100nA dans des composants neufs mais peut atteindre plusieurs  $\mu A$  voire mA en fin de vie. Une mesure directe de ce paramètre sensible est donc impossible pendant le fonctionnement normal du convertisseur. Une méthode d'estimation par intégration a été proposée et embarquée sur un démonstrateur de driver de grille intelligent. Les essais ont permis d'identifier des courants de grille de 30nA par rapport à la valeur de référence obtenue à la calibration. La précision de la mesure est de l'ordre de 20% en fonctionnement ou 2% à l'arrêt mais elle est suffisante pour détecter une dégradation. La solution présentée est facilement intégrable sur une carte driver car elle nécessite peu de composants. La principale contrainte sur ce circuit est la nécessité d'une calibration à l'état « neuf » ainsi que d'une table de calibration en température. Ce processus de calibration peut néanmoins s'automatiser au moyen de composants programmables et d'une sonde de température.

Un problème de compatibilité entre les différents systèmes de surveillance a été identifié. En effet, l'efficacité du circuit d'estimation de fuite de grille est grandement réduite par les courants de fuites

introduits par les diodes d'isolation connectées au drain. Des optimisations ont néanmoins été proposées en ce sens.

La tendance générale à la numérisation des drivers et à l'ajout de fonctions complexes telles que la surveillance de santé (health monitoring) s'accompagne de l'utilisation de composants de plus en plus intelligents tels que des circuits FPGA pour la gestion des données. L'utilisation de ce type de composant est une opportunité qui permet d'envisager de nouvelles solutions sur la chaîne de conversion d'énergie. La multiplication des données de surveillance doit être accompagnée d'un système de communication adapté à l'environnement de puissance. A cet effet, un système de communication très spécifique a été proposé. Les transformateurs existants ont été judicieusement utilisés pour permettre l'échange de données en plus des signaux classiques. D'une part, un circuit permettant la transmission de requêtes de mesure synchrones par impulsions courtes a été développé et testé. D'autre part, un circuit d'alimentation communicant permet un échange de données asynchrone bidirectionnel.

Un démonstrateur de driver de grille a été développé dans le cadre de cette thèse. Ce démonstrateur intègre un certain nombre de fonctions de base ainsi que les diverses fonctionnalités de protections classiques : gestion des temps morts, détection de court-circuit, mise en protection en cas de court-circuit, renvoi de message d'erreur... A cela, s'ajoute les nouvelles fonctionnalités de communication et de mesure définies précédemment. L'intégration de composants programmables devient donc une évidence ici, dans un contexte favorable à la numérisation des circuits de commande rapprochée. Afin de simplifier la fabrication du démonstrateur tout en garantissant une densité d'intégration maximale, deux cartes ont été spécifiquement conçues : une carte « mère » et une carte « fille » générique. Cette dernière intègre un composant FPGA ainsi que tous les éléments nécessaires à son fonctionnement. La conception de ces cartes a été menée dans son intégralité par l'équipe du laboratoire IETR. Le routage et le suivi du dossier de fabrication de ce démonstrateur compact ont été gérés personnellement.

L'évaluateur technologique ainsi obtenu a permis de valider une immunité aux  $dv/dt$  de  $125\text{kV}/\mu\text{s}$ . Cette caractéristique est plus que suffisante dans le cadre du pilotage de composants MOSFET SiC. Des essais en configuration « double pulse » ont également été menés sous  $540\text{V} / 300\text{A}$  ainsi qu'en fonctionnement onduleur à  $50\text{kVA}$ . Enfin, des essais en court-circuit ont permis de valider le dimensionnement des circuits de protection dans le cas d'un court-circuit de bras ou au niveau de la charge. La faible résistivité à l'état passant des composants SiC s'accompagne généralement d'efforts sur le packaging des puces pour pouvoir profiter pleinement des performances des MOSFETs SiC. Le wire bonding est progressivement remplacé par de la connectique sous forme de ruban conducteur ou par le raccordement de type Press Pack (puce prise en sandwich). Toutefois, la diminution de l'inductance de câblage défiabilise la fonction de détection de court-circuit par diode de désaturation (DESAT). L'ensemble de la chaîne de protection (détection et réaction) doit donc être d'autant plus rapide pour permettre la sécurisation des nouveaux composants à grands gaps. Dans ce contexte, une amélioration du système de protection par désaturation (DESAT et SSD) a été proposée en complément des efforts réalisés sur la prédiction des défaillances.

Les solutions proposées offrent donc de nouvelles perspectives dans le domaine de la surveillance de santé des composants de puissance. Un circuit driver intelligent pouvant en quelques sortes apprendre à reconnaître les signes d'un fonctionnement anormal du circuit par une mesure très précise des paramètres indicateurs de vieillissement avant l'apparition d'une défaillance.

## PUBLICATIONS

**Brevet d'invention B-020063** : « Procédé de communication dans un dispositif électronique de commande rapprochée d'un système électrique », Février 2018

**Conférence PCIM 2018 (Nuremberg)** : « Short pulse transmission for SiC communicating Gate Driver under high  $dv/dt$  », poster

**Conférence PCIM 2019 (Nuremberg)** : « Communication using the isolated power supply of gate drivers for SiC semiconductors monitoring applications », présentation orale

**Conférence SGE 2018 (Nancy)** : « Utilisation d'impulsions courtes pour driver de grille communicant sous un fort  $dv/dt$  », présentation orale

**Revue IEEE Transactions on Power Electronics**: « A Bidirectional Communicating Power Supply circuit for Smart Gate Driver boards », accepté le 04/12/2019

**Revue IEEE Transactions on Power Electronics**: « Gate leakage current as ageing indicator of SiC MOSFET power transistors: a monitoring feature for smart gate drivers », soumission fin 2019

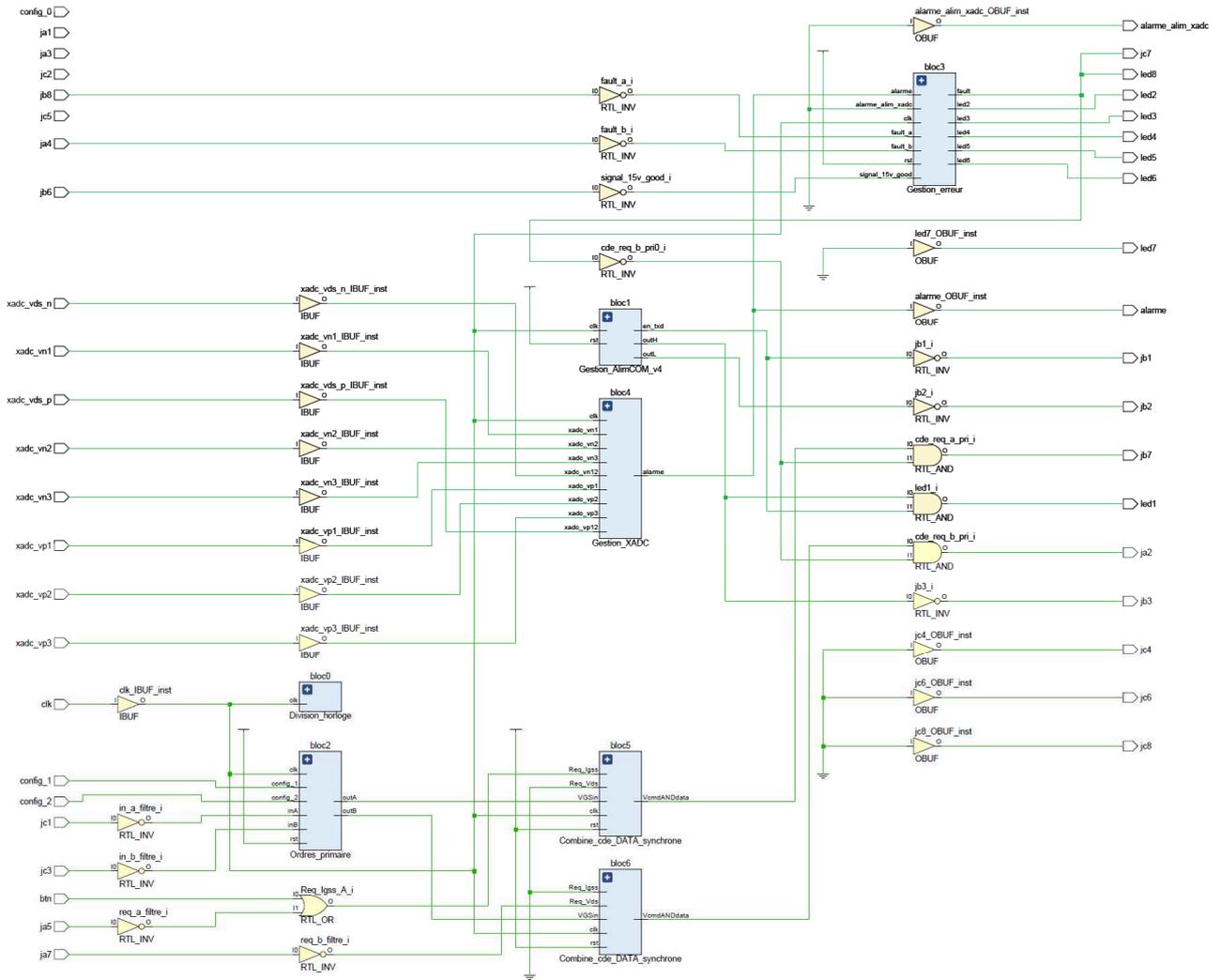
**Conférence SGE 2020 (Nantes)** : « Alimentation communicante bidirectionnelle dédiée aux Gate Drivers », abstract soumis

**Conférence SGE 2020 (Nantes)** : « Méthode de mesure du courant de fuite de grille comme indicateur de vieillissement dédiée aux Gate Drivers », abstract soumis

# ANNEXES

## ANNEXE 1

### Exemple de synthèse VHDL - carte FPGA côté primaire



*ANNEXE 2*

*Estimation des coûts de fabrication (consultation SEICO)  
(a) coûts unitaires, (b) coûts non-récurrents*

Produit / Prestation	Marché global	Taille de lot de fabrication	P.Unitaire HT*	Délai de livraison**
Carte Mère	3 pcs	3 pcs	705,00 €	7 semaines à réception de commande
Carte Mère	10 pcs	10 pcs	319,00 €	
Carte fille	12 pcs	12 pcs	199,30 €	7 semaines à réception de commande
Carte fille	30 pcs	30 pcs	130,00 €	9 semaines à réception de commande

Produit / Prestation	Marché global	Matière	Main d'oeuvre	P.Unitaire HT*	Délai de livraison**
Carte Mère	10000 pcs/an par lancement de 1000	58,80 €	38,15 €	96,95 €	18 à 20 semaines à réception de commande
Carte fille	30000 pcs/an par lancement de 3000	61,30 €	19,80 €	81,10 €	18 à 20 semaines à réception de commande

(a)

Outillage / Participation	Carte mère P.U HT	Carte fille P.U HT
Outillage de fabrication PCB	330,00 €	660,00 €
Ecran de sérigraphie	200,00 €	200,00 €
Participation au programme CMS	90,00 €	90,00€
Participation au programme AOI	90,00 €	90,00 €
Participation au dossier de fabrication	140,00 €	70,00 €
<b>TOTAL HT :</b>	<b>850,00 €</b>	<b>1110,00 €</b>

(b)

ANNEXE 3

Tableau de correspondance des signaux carte « mère » et cartes « filles »

Table de correspondances des pins							
Carte fille	# FPGA	Primaire	Signal	Secondaire voie A	Signal	Secondaire voie B	Signal
JA1	A2	P1-1	/RESERVED-1-FILTRE	P2A-1	/VISO-REG-GOOD-A	P2B-1	/VISO-REG-GOOD-B
JA2	B1	P1-2	CDE-REQ-B-PRI	P2A-2		P2B-2	
JA3	A3	P1-3	/RESERVED-2-FILTRE	P2A-3	/EN-MES-VDS-A	P2B-3	/EN-MES-VDS-B
JA4	C1	P1-4	/FAULT-B	P2A-4		P2B-4	
JA5	A4	P1-5	/REQ-A-FILTRE	P2A-5	HIZ-BUFFER-A	P2B-5	HIZ-BUFFER-B
JA6	E1	P1-6		P2A-6		P2B-6	
JA7	B2	P1-7	/REQ-B-FILTRE	P2A-7	VISO-REG-Q1-A	P2B-7	VISO-REG-Q1-B
JA8	E2	P1-8		P2A-8	VISO-REG-Q2-A	P2B-8	VISO-REG-Q2-B
JA9		P1-9	0V	P2A-9	0V-A	P2B-9	0V-B
JA10		P1-10	0V	P2A-10	0V-A	P2B-10	0V-B
JA11		P1-11	5V	P2A-11	5V-A	P2B-11	5V-B
JA12		P1-12	5V	P2A-12	5V-A	P2B-12	5V-B
JB1	J1	P3-1	/EN-TXD	P5A-1	CMD-B2H-A	P5B-1	CMD-B2H-B
JB2	K1	P3-2	/CMD-ALIM-L	P5A-2	CMD-B2L-A	P5B-2	CMD-B2L-B
JB3	L1	P3-3	/CMD-ALIM-H	P5A-3	CMD-B1H-A	P5B-3	CMD-B1H-B
JB4	M1	P3-4		P5A-4	CMD-B1L-A	P5B-4	CMD-B1L-B
JB5*		P3-5*	EN-VOIE-PRI*	P5A-5*	EN-VOIE-A*	P5B-5*	EN-VOIE-B*
JB6	P2	P3-6	/15V-GOOD	P5A-6	RXD-A	P5B-6	RXD-B
JB7	R2	P3-7	CDE-REQ-A-PRI	P5A-7	/EN-TXD-A	P5B-7	/EN-TXD-B
JB8	P1	P3-8	/FAULT-A	P5A-8		P5B-8	
JB9		P3-9	0V	P5A-9	0V-A	P5B-9	0V-B
JB10		P3-10	0V	P5A-10	0V-A	P5B-10	0V-B
JB11		P3-11	3V3	P5A-11	3V3-A	P5B-11	3V3-B
JB12		P3-12	3V3	P5A-12	3V3-A	P5B-12	3V3-B
JC1	L14	P4-1	/IN-A-FILTRE	P6A-1	CDE-VGS-A	P6B-1	CDE-VGS-B
JC2	N14	P4-2	RO	P6A-2	CDE-REQ-SEC-A	P6B-2	CDE-REQ-SEC-B
JC3	P15	P4-3	/IN-B-FILTRE	P6A-3	/ERREUR-A	P6B-3	/ERREUR-B
JC4	R10	P4-4	/RE	P6A-4	/RST-LATCH-CDE-A	P6B-4	/RST-LATCH-CDE-B
JC5	M14	P4-5	RXD	P6A-5	/SEND-ERREUR-A	P6B-5	/SEND-ERREUR-B
JC6	R11	P4-6	DE	P6A-6	/LEAKAGE-STOP-H-A	P6B-6	/LEAKAGE-STOP-H-B
JC7	P14	P4-7	FAULT	P6A-7	LEAKAGE-START-A	P6B-7	LEAKAGE-START-B
JC8	R12	P4-8	DI	P6A-8	/LEAKAGE-STOP-L-A	P6B-8	/LEAKAGE-STOP-L-B
JC9		P4-9	0V	P6A-9	0V-A	P6B-9	0V-B
JC10		P4-10	0V	P6A-10	0V-A	P6B-10	0V-B
JC11		P4-11	3V3	P6A-11	3V3-A	P6B-11	3V3-B
JC12		P4-12	3V3	P6A-12	3V3-A	P6B-12	3V3-B
JXADC1	(A7)	P2-1	0V	P3A-1	0V-A	P3B-1	0V-B
JXADC2	B6	P2-2	SURV-15V-PRI	P3A-2	SURV-VISO-REG-A	P3B-2	SURV-VISO-REG-B
JXADC3	(A14)	P2-3	0V	P3A-3	0V-A	P3B-3	0V-B
JXADC4	A13	P2-4	0V	P3A-4	V-NTC-A	P3B-4	V-NTC-B
JXADC5	(A6)	P2-5	0V	P3A-5	0V-A	P3B-5	0V-B
JXADC6	A5	P2-6	SURV-5V-PRI	P3A-6	SURV-VS-REF-A	P3B-6	SURV-VS-REF-B
JXADC7		P2-7	0V	P3A-7	0V-A	P3B-7	0V-B
JXADC8	A12	P2-8	0V	P3A-8	VDS-VOUT-A_N	P3B-8	VDS-VOUT-B_N
JXADC9		P2-9	0V	P3A-9	0V-A	P3B-9	0V-B
JXADC10	A11	P2-10	0V	P3A-10	VDS-VOUT-A_P	P3B-10	VDS-VOUT-B_P
JXADC11	B10	P2-11	0V	P3A-11	0V-A	P3B-11	0V-B
JXADC12	C10	P2-12	0V	P3A-12	SURV-VISO-NON-REG-A	P3B-12	SURV-VISO-NON-REG-B

fil sécu

XADC-VN1  
XADC-VP1  
XADC-NTC-N  
XADC-NTC-P  
XADC-VN2  
XADC-VP2  
XADC-VDS-N  
XADC-VDS-P  
XADC-VN3  
XADC-VP3

Non connecté (NC)

Entrée FPGA

Sortie FPGA

Autres

Signaux internes carte fille	
Signal	# FPGA
CONFIG-0	L13
CONFIG-1	R9
CONFIG-2	R8
CLK-100MHZ	R14 A13
BTN	F1
ALARME	R7
ALARME-ALIM-XADC	R6
LED1	N15
LED2	L15
LED3	K15
LED4	J15
LED5	G15
LED6	F15
LED7	D15
LED8	C15

Half-Bridge/Single  
Temps mort bit 1  
Temps mort bit 2  
Oscillateur 100MHz  
Bouton poussoir à souder  
Surveillance automatique XADC  
Surveillance à paramétrer (mesures XADC)  
LED jaune  
LED rouge  
LED rouge  
LED rouge  
LED rouge  
LED rouge  
LED rouge  
LED rouge

---

**Titre :** Pilotage et surveillance de MOSFET SiC : intégration de fonctions intelligentes dans les gate drivers

**Mots clés :** Driver de grille isolé, MOSFET SiC, Maintenance prédictive, Surveillance du vieillissement, Système de communication

**Résumé :** Les composants à semi-conducteurs de puissance SiC sont de plus en plus utilisés dans les systèmes de conversion d'énergie électrique. Les composants de puissance de type MOSFET SiC peuvent opérer à fréquence plus élevée et à plus haute température en comparaison de leur concurrent Silicium MOSFET ou IGBT. Cependant, la technologie SiC est moins mature.

De récentes études sur la fiabilité des composants MOSFET SiC ont identifié des indicateurs de vieillissement tels que l'augmentation des courants de fuite de grille ou de la résistance à l'état passant. La surveillance de ces paramètres pendant le fonctionnement normal peut permettre la prédiction des défaillances et simplifier la maintenance des systèmes de conversion d'énergie.

Les drivers de grille sont utilisés pour permettre une commutation sécurisée du semiconducteur. De nos jours, les cartes de commande rapprochée intègrent de plus en plus de fonctions comme la détection de court-circuits, le blocage en douceur, la mesure de température, la surveillance  $V_{DS}$ ... Dans ce contexte, des circuits de mesure embarqués sont proposés pour permettre la surveillance en temps réel de quelques indicateurs de vieillissement. L'instrumentation de la carte driver suppose l'intégration de moyens de communication adaptés. Une méthode de communication spécifique est proposée pour éviter la circulation de courants de mode commun supplémentaires dû aux  $dv/dt$ . Un démonstrateur compact a été conçu et testé sur un module MOSFET SiC 1.2kV.

---

**Title :** Driving and monitoring of SiC power MOSFETs: Integration of smart features in gate drivers

**Keywords :** Isolated gate driver, SiC power MOSFET, Predictive maintenance, Health monitoring, Communication system.

**Abstract :** The Silicon Carbide (SiC) power transistors are more and more used in electric energy conversion systems. SiC power semiconductor devices such as SiC MOSFET can operate at higher frequency and higher temperature compared to Silicon power MOSFET or IGBT. However, the maturity of the SiC technology is moderate compared to the well-known Silicon-based power semiconductor devices.

Recent research works on reliability of SiC power MOSFET identified ageing indicators such as the rise of the gate leakage currents or the on-state resistance. The monitoring of these parameters during normal operation can prevent damages and simplify the maintenance on the energy conversion systems.

The gate drivers are required to provide an optimal and safe switching of power semiconductor devices. Nowadays, the gate driver boards include more and more features such as short-circuit detection, soft-shutdown, temperature sensing, on-state voltage monitoring... In this context, embedded measurements circuits are proposed for the online monitoring of ageing parameters. The instrumentation of the gate driver board supposes the integration of communication features to transmit the monitoring data. A specific communication method is proposed to avoid the circulation of additional common mode currents due to high  $dv/dt$ . A compact demonstrator was designed and tested on a 1.2kV SiC module.