



CONTRIBUTION A L'ETUDE DES AMPLIFICATEURS FAIBLE BRUIT HAUTE FREQUENCE EN TECHNOLOGIE CMOS STANDARD

Matthieu Egels

► To cite this version:

Matthieu Egels. CONTRIBUTION A L'ETUDE DES AMPLIFICATEURS FAIBLE BRUIT HAUTE FREQUENCE EN TECHNOLOGIE CMOS STANDARD. Electromagnétisme. Université de provence - Aix-Marseille I, 2006. Français. NNT : . tel-02482390

HAL Id: tel-02482390

<https://hal.science/tel-02482390>

Submitted on 18 Feb 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Année 2006

THESE

présentée devant

L'UNIVERSITE DE PROVENCE (AIX-MARSEILLE I)

par

Matthieu EGELS

en vue de l'obtention du grade de

DOCTEUR

Ecole doctorale : Physique, Modélisation et Sciences pour l'Ingénieur

Discipline : Systèmes complexes : Phénomènes hors-équilibre, micro et nano électronique

CONTRIBUTION A L'ETUDE DES AMPLIFICATEURS FAIBLE BRUIT HAUTE FREQUENCE EN TECHNOLOGIE CMOS STANDARD

Soutenue le 16 novembre 2006 devant la commission d'examen :

Rapporteurs

Thierry PARRA

Professeur

Université de Toulouse III

François DANNEVILLE

Professeur

Université de Lille I

Examineur

Herve BARTHELEMY

Professeur

Université de Provence

Eric KERHERVE

Professeur

ENSEIRB

Daniel PASQUET

Professeur

ENSEA

Directeur de thèse

Jean GAUBERT

Maître de Conférence

Université de Provence

Co-directeur

Philippe PANNIER

Maître de Conférences

Université de Provence

Invités

Gilles BAS

Chef de service

STMicroelectronics Rousset

Est-ce la physique que vous voulez apprendre. Maître de philosophie.

Monsieur Tourdain
Qu'est ce quelle chante cette physique.

Maître de Philosophie.
La Physique est celle qui explique les principes des choses Naturelles, et les propriétés du corps, qui discourt de la nature des Elements, des Metaux, des minéraux, des pierres, des plantes, et des Animaux et nous Enseigne les causes de tous les météores, l'arc en Ciel, les feux volants, les comètes, les Eclairs, le tonnerre, la foudre, la pluie, la neige, la grêle, les vents, et les tourbillons.

Le Bourgois
Gentil homme.

Remerciements.

Le travail présenté dans ce mémoire est le fruit de la collaboration entre l'équipe conception de circuits intégrés du Laboratoire Matériaux et Microélectronique de Provence et la société STMicroélectronique Rousset.

Je tiens à remercier Monsieur le Professeur R. BOUCHAKOUR, Directeur du Laboratoire Matériaux et Microélectronique de Provence, de m'avoir accueilli au sein de l'équipe conception de circuits intégrés dirigée par Monsieur le Professeur H.BARTHELEMY.

J'adresse également mes remerciements à Messieurs les Professeurs F. DANNEVILLE de l'IEMN (Lille), T. PARRA du LAAS (Toulouse), H. KERHERVE IXL (Bordeaux), D. PASQUET de l'ENSEA (Cergy-Pontoise), H. BARTELEMY, L2MP (Marseille) et Monsieur G. BAS chef de Service à STMicroelectronics Rousset d'avoir jugé le travail présenté dans ce mémoire en qualité de rapporteurs, examinateurs, président de jury ou membre invité.

Je tiens tout particulièrement à remercier Messieurs J. GAUBERT et P. PANNIER pour m'avoir encadré, conseillé et soutenu durant ce travail ainsi que pour la confiance qu'ils m'ont accordé durant ces trois années de thèse.

Merci également tous les permanents, non permanents et thésards du département de microélectronique du L2MP qui m'ont aidé, soutenu et encouragé.

A ma famille.

Table des matières

Introduction Générale	11
------------------------------	-----------

Chapitre I : Etat de l'Art de l'amplification faible bruit CMOS.	15
---	-----------

1. Introduction.	17
2. Amplification faible bruit bande étroite en technologie CMOS.	17
2.1. Principales architectures d'impédance d'entrée $50\ \Omega$.	17
2.2. Amplification faible bruit bande étroite radiofréquence.	18
2.3. Amplification faible bruit bande étroite haute fréquence.	20
3. Amplification large bande en technologies silicium.	22
3.1. Amplificateurs à contre réaction	22
3.2. Amplificateurs à réseaux d'adaptation LC.	25
3.3. Amplification distribuée.	27
4. Conclusion.	29

Chapitre II : Conception et modélisation d'interconnexions en technologie CMOS.	33
--	-----------

1. Introduction.	35
2. Différentes lignes de transmission en technologies CMOS standard.	38
2.1. Différents régimes de propagation des lignes de transmission sur silicium.	38
3. Description et extraction du modèle équivalent.	39
3.1. Description du modèle équivalent.	40
3.2. Extraction du modèle équivalent.	42
4. Description de la technologie utilisée.	43
5. Conception de lignes de transmission en technologie CMOS.	44
5.1. Etude des lignes microrubans.	44
5.1.1. Description générale de la ligne microruban.	46
5.1.2. Caractérisation des différents régimes de propagation.	47
5.1.2.1. Caractéristique des lignes microrubans.	48
5.1.2.2. Comparaison simulations électromagnétiques-modèle.	49
5.1.3. Lignes microrubans pour l'amplification millimétrique.	50
5.1.3.1. Description générale des lignes microrubans millimétriques.	50
5.1.3.2. Caractéristiques des lignes microrubans millimétriques.	52
5.1.3.3. Comparaison simulations électromagnétiques-modèle.	53
5.2. Etude des lignes coplanaires.	54
5.2.1. Description générale des lignes coplanaires.	55
5.2.2. Caractérisation des différents régimes de propagation.	57
5.2.3. Caractéristiques des lignes coplanaires.	57
5.2.4. Comparaison simulations électromagnétiques-modèle.	58
6. Extraction des modèles équivalents des discontinuités.	59
6.1. Cas des discontinuités à deux accès.	60
6.2. Cas des discontinuités à 3 accès.	61
6.3. Cas des court-circuits, des circuits-ouverts, et des ponts en technologie coplanaire.	63
6.4. Modèles extraits de discontinuités.	64
7. Conclusion du chapitre 2.	67

Chapitre III : Amplification faible bruit bande étroite en technologie CMOS. 69

1. Introduction.	71
2. Etude Analytique des paramètres de bruit des quadripôles d'amplification source commune et cascode avec contre réaction inductive.	72
2.1. Modélisation des quadripôles bruyants.	73
2.1.1. Modèles simplifiés des transistors MOS.	75
2.1.1.1. Modèle non bruyant des transistors MOS.	75
2.1.1.2. Modèle bruyant des transistors MOS.	76
2.2. Etude des paramètres de bruit des quadripôles d'amplification source commune et cascode avec contre réaction inductive.	78
2.2.1. Montage source commune avec contre réaction inductive série.	78
2.2.1.1. Détermination des coefficients de la matrice de corrélation de bruit C_c .	79
2.2.1.2. Calcul des paramètres de bruit R_n , Y_{opt} et F_{min} .	80
2.2.2. Etude de l'adaptation simultanée en bruit et en puissance.	82
2.3. Etude de l'amplificateur cascode et validation de l'étude théorique.	83
2.3.1. Etude du montage cascode.	84
2.3.2. Influence de la capacité C_{gd} sur la valeur du paramètre de bruit NF_{min} du montage source commune et du montage cascode.	85
2.3.3. Influence de la valeur de l'inductance L_s sur le facteur de bruit minimum d'un transistor source commune.	85
2.3.4. Influence du coefficient de qualité de l'inductance L_s sur la valeur du paramètre de bruit NF_{min} d'un amplificateur source commune.	86
2.3.5. Comparaison modèle fondeur modèle analytique.	87
2.4. Conclusion de la première partie.	89
3. Exemples de conception d'amplificateurs faible bruit bande étroite totalement intégrés en technologie CMOS.	91
3.1. Amplificateur faible bruit fonctionnant à une fréquence proche de $F_T/20$.	91
3.1.1. Optimisation du cascode d'amplification.	92
3.1.2. Détermination de la contre réaction.	93
3.1.3. Détermination et optimisation des cellules d'adaptation.	96
3.1.3.1. Cellule d'adaptation d'entrée.	96
3.1.3.2. Cellule d'adaptation de sortie.	97
3.1.4. Finalisation et performances de l'amplificateur faible bruit fonctionnant à 2,45 GHz.	97
3.2. Amplificateurs faible bruit fonctionnant en bande K (24 GHz).	99
3.2.1. Conception du premier étage d'amplification.	99
3.2.2. Choix de l'inductance de contre réaction.	101
3.2.3. Conception du second étage d'amplification.	104
3.2.4. Optimisation des cellules d'adaptation.	105
3.2.5. Finalisation de l'amplificateur.	107
3.2.6. Amplificateur utilisant des amplificateurs cascodes.	108
3.2.7. Comparaison des performances des deux amplificateurs.	109
3.2.8. Etude de sensibilité sur la maille d'adaptation de l'amplificateur.	110
4. Conclusion du chapitre 3.	112

Chapitre IV : Amplification faible bruit à bande passante contrôlée en technologie CMOS. 115

1. Introduction.	117
2. Amplificateurs large bande de type passe-bande.	118
2.1. Limitations des méthodes d'adaptation de type passe-bande à éléments LC.	118
2.2. Méthode d'adaptation de type passe-bande à faible bande passante relative.	120
2.2.1. Principe.	120
2.2.2. Application à l'adaptation passe-bande d'un transistor MOS.	122
2.2.2.1. Synthèse des inverseurs d'admittances.	122
2.2.2.2. Cellule d'adaptation d'entrée.	125
2.3. Amplificateur passe-bande à faible bande passante relative.	127
2.3.1. Premier étage.	128
2.3.1.1. Topologie.	128
2.3.1.2. Principe de fonctionnement.	128
2.3.1.3. Dimensionnement.	130
2.3.2. Deuxième étage.	133
2.3.2.1. Topologie.	133
2.3.2.2. Principe de fonctionnement.	134
2.3.2.3. Dimensionnement du deuxième étage.	134
3. Exemples de réalisation.	135
3.1. Amplificateur faible bruit à bande passante contrôlée de bande passante 25 % centrée sur 6 GHz.	135
3.2. Amplificateur faible bruit à bande passante contrôlée fonctionnant dans la bande 24-29 GHz.	138
4. Amplification distribuée.	140
4.1. Méthodes de conception propres aux amplificateurs distribués.	140
4.1.1. Principe de l'amplification distribuée.	140
4.1.2. Phénomènes limitant la bande passante.	141
4.1.2.1. Résonance des tronçons de ligne artificielle.	141
4.1.2.2. Effet des temps de propagation de groupes.	141
4.1.2.3. Influences des pertes : nombres d'étages optimal.	143
4.1.3. Technique de compensation de pertes.	145
4.2. Exemples de réalisation.	145
4.2.1. Conception d'un amplificateur distribué pour applications UWB pulsées dans la bande 3,1-10,6 GHz.	145
4.2.1.1. Choix et dimensionnement de l'amplificateur élémentaire.	146
4.2.1.2. Choix de l'impédance caractéristique de la ligne artificielle de sortie.	147
4.2.1.3. Finalisation de l'amplificateur distribué.	148
4.2.2. Conception d'un amplificateur à produit gain bande passante maximal.	150
4.2.2.1. Détermination des étages d'amplification.	150
4.2.2.2. Réalisation des inductances formant les lignes de transmission.	152
4.2.2.3. Utilisation de la technique de compensation des pertes.	154
4.2.2.4. Implémentation sur silicium.	158
4.2.3. Résultats de simulations.	158
5. Conclusion du chapitre 4.	161

Chapitre V : Caractérisation. 163

1. Introduction.	165
2. Méthodes de mesure.	166
2.1. Mesures à l'analyseur de réseau.	166
2.2. Mesure du facteur de bruit.	168
3. Caractérisation des motifs de test.	169
3.1. Structures passives.	169
3.1.1. Inductance de 1,3 nH.	169
3.1.2. Lignes coplanaires.	172
3.1.2.1. Description des lignes implémentées	172
3.1.2.2. Résultats de mesure.	172
3.2. Transistors.	173
3.2.1. Description.	173
3.2.2. Résultats.	174
4. Amplificateurs	175
4.1. Amplificateur faible bruit 2,45GHz.	175
4.2. Amplificateur faible bruit large bande fonctionnant dans la bande 7-9 GHz.	178
5. Amplificateur distribué à produit gain bande passante maximal.	179
6. Conclusion	181

Conclusion Générale. 183

Liste des Figures.

Chapitre I :

Figure 1 : Architecture d'amplificateurs faibles bruits permettant l'adaptation 50 Ω .	18
Figure 2 : Structure de la maille d'adaptation d'un LNA radio fréquence.	19
Figure 3 : Principe de la technique dite du "current reuse".	20
Figure 4 : Amplificateur à contre réaction résistive.	21
Figure 5 : Amplificateur faible bruit CMOS fonctionnant dans la bande de fréquence 100 MHz-930 MHz.	23
Figure 6 : Amplificateur faible bruit à contre réaction résistive entre le premier et le second étage.	24
Figure 7 : Amplificateur base commune associée à un second étage transimpédance.	25
Figure 8 : Amplificateur utilisant un filtre d'ordre trois comme maille d'adaptation (Bevilacqua).	25
Figure 9 : Amplificateur utilisant un filtre d'ordre deux comme circuit d'adaptation [23].	26
Figure 10 : Principe de l'amplification distribuée (3 étages).	27

Chapitre II :

Figure 1 : Schéma équivalent R L C G d'un tronçon de ligne quasi-TEM.	40
Figure 2 : Variation de l'inductance linéique réduite de différentes lignes en fonction de la fréquence.	41
Figure 3 : Coefficient de transmission d'une ligne coplaire d'impédance caractéristique 88 Ω , longueur 2 mm.	42
Figure 4 : Vue en coupe des niveaux métalliques de la technologie utilisée.	44
Figure 5 : Efficacité d'un plan de masse pour la diminution du couplage par le substrat.	45
Figure 6 : Comparaison du coefficient d'atténuation de deux lignes microrubans $w = 12 \mu\text{m}$.	46
Figure 7 : Vue de dessus et en coupe d'une ligne microruban avec plan de masse à trou.	47
Figure 8 : Permittivité diélectrique effective d'une ligne microruban en fonction de la fréquence ($W=12 \mu\text{m}$).	47
Figure 9 : Impédance caractéristique d'une ligne microruban en fonction de la largeur du ruban signal à 2,45 GHz.	48
Figure 10 : Coefficient d'atténuation d'une ligne microruban en fonction de son impédance caractéristique à 2,45 GHz.	49
Figure 11 : Comparaison modèle simulation pour une ligne microruban de 27 Ω coefficient de réflexion, dimensions $12 \mu\text{m} \times 350 \mu\text{m}$.	49
Figure 12 : Comparaison modèle simulation pour une ligne microruban de 27 Ω $12 \mu\text{m} \times 350 \mu\text{m}$ coefficient de transmission, dimensions $12 \mu\text{m} \times 350 \mu\text{m}$.	50
Figure 13 : Ligne microruban avec plan de masse « étroit » pour amplification millimétrique.	51
Figure 14 : Carte du champ $\vec{E}$.	51
Figure 15 : Cartes du champ $\vec{H}$.	51
Figure 16 : Impédance caractéristique de la ligne microruban avec plan de masse de $12 \mu\text{m}$ en fonction de la largeur du ruban signal à 25 GHz.	52
Figure 17 : Coefficient d'atténuation en fonction de l'impédance caractéristique de la ligne à 25 GHz.	53
Figure 18 : Comparaison modèle simulation pour une ligne microruban pour applications millimétriques de 30 Ω : Coefficient de réflexion, dimensions $10 \mu\text{m} \times 600 \mu\text{m}$.	53
Figure 19 : Comparaison modèle simulation pour une ligne microruban pour applications millimétriques de 30 Ω Coefficient de transmission, dimensions $10 \mu\text{m} \times 600 \mu\text{m}$.	54
Figure 20 : Comparaison du coefficient d'atténuation d'une ligne microruban et d'une ligne coplaire à 40 GHz.	54
Figure 21 : Description géométrique d'une ligne coplaire. a) vue de dessus b) vue en coupe.	55

Figure 22 : Carte du champ électrique mode coplanaire, mode fente.	55
Figure 23 : Exemple de dessins des masques de ponts (circuit simple stub).	56
Figure 24 : Constante diélectrique d'une coplanaire de 88Ω en fonction de la fréquence $W=3 \mu m$ $G=10 \mu m$.	57
Figure 25 : Impédance caractéristique d'une ligne coplanaire pour un ruban signal de $3 \mu m$ à 40 GHz.	58
Figure 26 : Coefficient d'atténuation en fonction de l'impédance caractéristique pour deux lignes coplanaires $w = 3 \mu m$ et $w = 6 \mu m$ à 40 GHz.	58
Figure 27 : ϵ_{eff} et $\tan(\delta)$ pour une ligne coplanaire à 40 GHz ($W = 3 \mu m$).	59
Figure 28 : Comparaison modèle simulation pour une ligne coplanaire de 88Ω Coefficient de réflexion : S_{11} dimensions ($W=3 \mu m$ $G=10 \mu m$ $L = 350 \mu m$).	60
Figure 29 : Comparaison modèle simulation pour une ligne coplanaire de 88Ω Coefficient de réflexion : S_{21} dimensions ($W=3 \mu m$ $G=10 \mu m$ $L = 350 \mu m$).	60
Figure 30 : Méthode de mesure des discontinuités à deux accès.	61
Figure 31 : Schéma équivalent généralisé des discontinuités à deux accès.	61
Figure 32 : Influence d'un accroissement du résonateur sur la fréquence de résonance d'une ligne $\lambda/2$.	62
Figure 33 : Définition des plans de référence et du modèle d'un coude homogène.	62
Figure 34 : Topologie et modèles équivalents localisés d'un T.	63

Chapitre III :

Figure 1 : Modèle équivalent petit signal d'un transistor MOS.	75
Figure 2 : Modèle bruyant du transistor MOS.	76
Figure 3 : Transistor source commune avec contre réaction série inductive parfaite.	78
Figure 4 : Modèle équivalent bruyant d'un transistor MOS par une inductance.	78
Figure 5 : NF_{min} calculé en fonction du rapport F/F_T avec $\delta=4/3$ $ c =0,395$.	81
Figure 6 : Montage cascode.	82
Figure 7 : Facteur de bruit minimum calculé NF_{min} de transistor canaux courts $\alpha=10$, $\gamma,5/3$, $\delta=4/3$, $ c =0,395$.	84
Figure 8 : Effet de la capacité C_{gd} sur le facteur de bruit minimum d'un cascode et d'un transistor source commune ($W = 100 \mu m$ et $I_{ds} = 10mA$).	87
Figure 9 : Influence de la valeur de l'inductance sur le facteur de bruit minimal NF_{min} transistor source commune ($W=100 \mu m$ $L=0,13 \mu m$ $I_{ds} = 10 mA$).	87
Figure 10 : Influence de la valeur et du coefficient de qualité Q de l'inductance L_s du facteur de bruit d'un transistor fonctionnant à $F_T/20$ ($W=100 \mu m$ $I_{ds} = 10 mA$).	88
Figure 11 : Comparaison des facteurs de bruit d'un montage cascode et d'une source commune (modèle analytique et fondeur) avec $W = 100 \mu m$ et $I_{ds} = 10 mA$.	89
Figure 12 : Comparaison des résistances de bruit d'un montage cascode et d'une source commune avec $w = 100 \mu m$ et $I_{ds} = 10 mA$.	90
Figure 13 : Quadripôle d'amplification du LNA bande étroite fonctionnant à 2,45 GHz.	94
Figure 14 : Résistance de bruit R_n et facteur de bruit minimum NF_{min} en fonction de la largeur des transistors pour $I_{ds} = 4 mA$ et $F = 2,45 GHz$.	94
Figure 15 : Cascode avec contre réaction inductive.	96
Figure 16 : R_n et NF_{min} en fonction de la valeur de l'inductance de contre réaction L_s à 2,45GHz.	96
Figure 17 : Distance entre Γ_{opt} et Γ_E^* en fonction de la valeur de l'inductance de contre réaction L_s .	97
Figure 18 : Facteur de Rollet et module du déterminant de la matrice de répartition de l'amplificateur à 2,45 GHz.	97
Figure 19 : Cellules d'adaptation en π .	98
Figure 20 : Description électrique du LNA fonctionnant à 2,45 GHz.	99
Figure 21 : Performances électriques de l'amplificateur faible bruit fonctionnant à 2,45 GHz.	100
Figure 22 : R_n et NF_{min} d'un transistor source commune en fonction de la largeur W à 24 GHz, avec $I_{ds} = 6 mA$.	102
Figure 23 : Influence du courant de polarisation I_{ds} sur les paramètres de bruit et le MSG d'un transistor source commune de $60 \mu m$.	102

Figure 24 : Influence de la valeur de l'inductance de contre réaction sur gain en puissance disponible et le critère de distance.	103
Figure 25 : Influence de la valeur de l'inductance de contre réaction sur le facteur de Rollet (K_f) et $ \Delta_s $.	104
Figure 26 : Influence de la valeur de l'inductance de contre réaction sur le facteur de bruit minimal et la résistance de bruit.	104
Figure 27 : Influence d'une inductance réalisée à l'aide d'une ligne coplanaire en court-circuit sur NF_{min} .	105
Figure 28 : Schéma électrique de l'étage faible bruit de l'amplificateur faible bruit bande K.	105
Figure 29 : Second étage d'amplification.	106
Figure 30 : Influence du choix de la technologie de réalisation des éléments répartis de la maille d'adaptation d'entrée sur le facteur de bruit final F de l'amplificateur.	107
Figure 31 : Schéma électrique de l'amplificateur faible bruit fonctionnant en bande K.	108
Figure 32 : Résultats des simulations électriques de l'amplificateur faible bruit.	109
Figure 33 : Schéma électrique de l'amplificateur faible bruit (cascode) fonctionnant en bande K.	109
Figure 34 : Résultats des simulations électriques de l'amplificateur faible bruit de la figure 27.	110
Figure 35 : Influence d'une variation de -10% des éléments LC de la maille d'adaptation sur le coefficient de réflexion d'entrée.	111
Figure 36 : Influence d'une de -10% de l'épaisseur des couches d'oxyde sur le coefficient de réflexion d'entrée.	102

Chapitre IV :

Figure 1 : Schéma électrique du LNA 3.1-10.6 GHz proposé par [1]. $L_1 = 1,3$ nH, $L_2 = 1,6$ nH, $L_g + L_s = 1,3$ nH $C_1 = 650$ fF, $C_2 = 490$ fF et $C_p = 650$ fF.	118
Figure 2 : Filtre passe-bande en échelle du seconde d'ordre 2.	119
Figure 3 : Principe des filtres à inverseurs : a) filtre en échelle. b) filtre à inverseurs capacitif.	120
Figure 4 : Principe des inverseurs d'admittances.	121
Figure 5 : Schéma de principe de la maille d'adaptation passe bande d'un LNA large bande.	122
Figure 6 : Exemples de synthèse d'un inverseur d'admittance J.	123
Figure 7 : a) Filtre passe bande du deuxième ordre (valeurs normalisées). b : Filtre du deuxième ordre à inverseurs (valeurs normalisées). c : Filtre à inverseurs capacitifs non réduits (valeurs normalisées). d : Filtre à inverseurs capacitifs réduits (valeurs normalisées).	123
Figure 8 : Extrémités des filtres à inverseurs d'admittances capacitifs.	124
Figure 9 : Schémas équivalents de la cellule d'adaptation passe-bande.	126
Figure 10 : Premier étage du LNA passe-bande.	128
Figure 11 : Schéma petit signal d'un amplificateur cascode.	132
Figure 12 : Schéma électrique du second étage d'amplification.	133
Figure 13 : Schéma équivalent du second étage d'amplification.	133
Figure 14 : Coefficient de qualité des inductances en fonction de la largeur du ruban métallique W à 5,75 GHz.	136
Figure 15 : Description électrique de l'amplificateur faible bruit de bande passante 25 % centré sur 5,75 GHz.	137
Figure 16 : Performances électriques simulées pour l'amplificateur faible bruit de bande passante 25 % centré sur 6 GHz.	137
Figure 17 : Coefficient de qualité des inductances en oméga en fonction de la largeur du ruban à 26 GHz.	138
Figure 18 : Description électrique de l'amplificateur faible bruit de bande passante 19 % centré sur 26,4 GHz.	139
Figure 19 : Caractéristiques électriques de l'amplificateur pour applications RADARS dans la bande 24 GHz-29 GHz.	139
Figure 20 : Principe de l'amplificateur distribué.	141
Figure 21 : Modèles équivalents des lignes d'entrée et de sortie d'un amplificateur distribué.	144
Figure 22 : Schéma électrique de l'amplificateur élémentaire avec la compensation des pertes.	145
Figure 23 : Schéma électrique de l'amplification cascode.	146

Figure 24 : Amplificateur distribué pour application UWB.	148
Figure 25 : Influence du courant de polarisation sur le gain en tension et le facteur de bruit de l'amplificateur distribué pour application UWB à 7,5 GHz.	149
Figure 26 : Performances simulées de l'amplificateur distribué dédié aux applications UWB.	149
Figure 27 : Amplificateur élémentaire.	154
Figure 28 : Influence de la longueur l_3 de la ligne synthétisant l'inductance L_3 sur la partie réelle de l'impédance de sortie.	155
Figure 29 : Influence de la longueur l_2 de la ligne synthétisant l'inductance L_2 sur la partie réelle de l'impédance de sortie.	156
Figure 30 : Influence de la longueur l_1 de la ligne synthétisant l'inductance L_1 sur la partie réelle de l'impédance de sortie.	156
Figure 31 : Comparaison partie réelle de l'impédance de sortie d'un étage d'amplification.	157
Figure 32 : Amplificateur élémentaire à perte compensées.	157
Figure 33 : Effet des circuits de compensation de pertes sur le gain en puissance de l'amplificateur.	158
Figure 34 : Schéma électrique de l'amplificateur distribué : Composants implémentés sur le silicium (sans les plots HF).	158
Figure 35 : Performances électriques de notre amplificateur distribué.	159
Figure 36 : Temps de groupe de notre amplificateur distribué.	160

Chapitre V :

Figure 1 : Photographie du banc de mesure sous pointe.	166
Figure 2 : a) Configuration de mesure b) Modèle équivalent d'un accès	167
Figure 3 : Représentation sous forme de quadripôles du banc de mesure de bruit.	168
Figure 4 : Atténuation de 2 câbles K + 2 pointes	169
Figure 5 : Schéma équivalent d'une inductance spirale intégrée.	170
Figure 6 : Comparaison des valeurs extraites de la mesure et du modèle d'une inductance de 1,3 nH.	170
Figure 7 : Comparaison des valeurs comparaison du facteur de qualité extrait de la mesure et du modèle fondeur d'une inductance de 1,3 nH.	171
Figure 8 : Inductance avec plan de masse à proximité.	171
Figure 9 : Photographie des lignes coplanaires avec leurs structures de test.	172
Figure 10 : Coefficient d'atténuation des lignes coplanaires.	173
Figure 11 : Impédance caractéristique des lignes coplanaires.	173
Figure 12 : a) Monture avec transistor connecté en source commune. b) Monture avec CC sur le drain et CO sur la grille. c) Monture avec CO sur le drain et CC sur la grille.	174
Figure 13 : Comparaison des paramètres S modèle fondeur mesures $W = 100 \mu\text{m}$ $L = 0,13 \mu\text{m}$ $V_{ds} = 1,2 \text{ V}$ et $I_{ds} = 9 \text{ mA}$.	174
Figure 14 : Comparaison des paramètres G_{max} et h_{21} modèle fondeur mesures $W = 100 \mu\text{m}$ $L = 0,13 \mu\text{m}$ $V_{ds} = 1,2 \text{ V}$ et $I_{ds} = 9 \text{ mA}$.	175
Figure 15 : Photographie du LNA fonctionnant à 2,45 GHz.	175
Figure 16 : Comparaison mesure simulation des paramètres S de l'amplificateur fonctionnant à 2,45GHz.	176
Figure 17 : Comparaison mesure simulation du facteur de bruit de l'amplificateur fonctionnant à 2,45GHz	176
Figure 18 : Comparaison des paramètres S mesures simulations avec correction du facteur de qualité des inductances.	177
Figure 19 : Comparaison du facteur de bruit mesuré simulé avec correction du facteur de qualité des inductances.	177
Figure 23 : Photo de l'amplificateur distribué.	179
Figure 24 : Comparaison simulations mesures des paramètres S de l'amplificateur distribué.	180
Figure 25 : Comparaison simulations mesures du temps de groupe de l'amplificateur distribué.	180

Introduction générale.

Depuis la fin des années 1990, l'explosion du marché des technologies sans fils a été possible essentiellement grâce aux améliorations des filières de production de circuits intégrés bas coût reposants sur des technologies silicium. A ces technologies, historiquement dédiées à la conception de circuits numériques à forte densité d'intégration, ont été ajoutés des composants passifs de plus en plus performants permettant le développement de fonctions analogiques haute fréquence. La réduction des dimensions géométriques des transistors et l'augmentation de la densité de transistor qui en résulte a permis le développement de systèmes embarqués de plus en plus complexes. En effet, la tendance actuelle pousse vers des systèmes intégrés incluant des fonctions analogiques et numériques sur une même puce ou dans un même boîtier. Cette complexification grandissante des circuits s'est accompagnée d'une montée de la fréquence de fonctionnement et de l'intégration croissante de ces dispositifs. Cette augmentation du taux d'intégration a conduit à une réduction du nombre de composants discrets autour de la puce radiofréquence permettant la baisse du coût de production. Avec cette approche, le développement de systèmes comme par exemple le standard Bluetooth, les téléphones cellulaires ou bien encore le G.P.S.¹ a été possible avec un coût de production toujours plus faible. Tous ces systèmes comportent une chaîne de réception radiofréquence qui inclue plusieurs amplificateurs et un ou plusieurs dispositifs de transposition de fréquence. Quelle que soit l'architecture de la chaîne de réception retenue, l'amplificateur faible bruit est quasiment toujours présent. Etant donné qu'il est le premier amplificateur, il doit assurer l'interfaçage entre l'environnement extérieur et la puce. Les architectures et les méthodes de dimensionnement employées actuellement dans la gamme des radiofréquences semblent encore poser des problèmes d'intégration du circuit d'adaptation d'entrée. En effet, certains éléments inductifs de ce circuit d'adaptation d'entrée ont souvent des valeurs qui les rendent non intégrables en technologie CMOS. C'est souvent des fils de connexion plus longs ou bien encore des composants externes qui remplissent ce rôle.

La réduction des dimensions physiques des transistors rend possible la conception d'amplificateurs fonctionnant à des fréquences supérieures à 10 GHz. En effet, le développement et la généralisation des filières offrant des transistors MOS de longueur de grille inférieure à 100 nm avec des niveaux d'interconnexions en cuivre rendent maintenant possible la conception d'amplificateurs fonctionnant jusque dans le domaine des fréquences millimétriques. Cependant, à ces fréquences la conception d'amplificateurs faible bruit reste encore problématique. Pour obtenir des caractéristiques suffisantes en terme de facteur de bruit et de gain, des techniques de conception différentes de celles issues du développement des systèmes radiofréquences doivent être employées. L'une des voies permettant la réalisation de tels circuits repose sur l'exploitation de l'expérience acquise lors de la conception de systèmes basés sur les filières de circuits intégrés reposant sur des substrats semi-conducteurs III/V.

¹ G.P.S. Système de Positionnement Global

L'ouverture récente des bandes fréquences UWB 3,1-10,6 GHz et 22-29 GHz nécessite le développement de nouveaux systèmes dont les bandes passantes sont très supérieures à celles occupées par les systèmes radiofréquence traditionnels reposant sur des modulations avec porteuses. Pour exploiter au mieux ces deux bandes de fréquences il est nécessaire de proposer des nouvelles architectures de chaînes de réception. Dans ce domaine et dans le contexte des technologies CMOS, les architectures d'amplification ne sont pas encore aussi figées que pour les amplificateurs faible bruit radiofréquence bande étroite. Un important effort de recherche et de développement d'architectures d'amplification faible bruit répondant aux besoins spécifiques des systèmes communicants UWB est nécessaire. L'un des verrous persistant pour les chaînes de réception est l'élargissement de la bande passante et sa maîtrise. De plus, cette maîtrise doit s'accompagner d'un facteur de bruit suffisamment faible associé à un gain en tension suffisamment élevé pour permettre le bon fonctionnement de la totalité de la chaîne de transmission.

L'objectif du travail de thèse présenté dans la suite de ce mémoire est d'explorer les possibilités offertes par les technologies CMOS standard pour la conception d'amplificateurs faible bruit (LNA) haute fréquence fonctionnant aussi bien en bande étroite qu'en large bande. Ce manuscrit est organisé suivant les deux axes principaux qui ont guidé l'ensemble de ces travaux de recherche. Le premier axe concerne le développement d'amplificateurs faible bruit fonctionnant en bande étroite totalement intégré pour systèmes sur puces (S.O.C.). Le second axe concerne l'amplification large bande et le contrôle de bande passante des amplificateurs faible bruit. Le manuscrit est organisé comme suit.

Le premier chapitre est consacré à l'étude générale des architectures d'amplification bande étroite et large bande publiées en technologies CMOS. Cette étude nous permet de dégager les principaux objectifs des travaux de cette thèse.

Le second chapitre de ce mémoire est consacré à l'étude, à la conception et à la modélisation des interconnexions hautes fréquences réalisables en technologie CMOS standard. L'étude des propriétés des lignes de transmission présentée est basée sur des simulations électromagnétiques 3D, nous en dégageons quelques règles permettant le choix de l'impédance caractéristique et de la structure de propagation (micro-ruban ou coplanaire) en fonction de l'application visée et de la fréquence d'utilisation.

Le troisième chapitre de ce mémoire est consacré à l'étude des amplificateurs fonctionnant en bande étroite. L'objectif principal de ce chapitre est de dégager des règles de conception permettant l'intégration totale des LNA. Nous présentons une étude théorique des paramètres de bruit des amplificateurs source commune et cascode avec contre réaction inductive. Nous nous intéressons particulièrement à l'influence de la valeur de l'inductance de dégénérescence et des sources de bruit ajoutées par la présence du second transistor sur les paramètres de bruit de cette structure d'amplification. Cette étude nous permet de dégager les principales règles de dimensionnement des étages faibles bruit en fonction de la fréquence d'utilisation visée. Nous exposons également la

conception d'un amplificateur faible bruit haute fréquence fonctionnant en bande K (24 GHz). Le choix d'amplificateur source commune et son dimensionnement découle directement de l'étude théorique présentée au début du chapitre. Cet amplificateur est adapté par des circuits simple stub.

Le quatrième chapitre de ce mémoire, divisé en deux parties, est consacré à deux techniques d'amplification large bande. La première partie est dédiée à la présentation d'une technique de contrôle de la bande passante de LNA issue des techniques de filtrage LC. Nous proposons une structure de circuit d'adaptation originale permettant l'adaptation et le contrôle de la bande passante pour des bandes passantes relatives inférieures 25%. L'architecture proposée repose sur l'utilisation de filtres passe bande synthétisés grâce à des inverseurs d'admittance capacitifs. Après avoir décrit la méthode de dimensionnement du circuit d'adaptation nous donnons les principales règles de dimensionnement des étages d'amplification. Nous illustrons cette méthode par la conception de deux amplificateurs. L'un fonctionnant dans la bande UWB (3,1-10,6 GHz) et le second dans la bande UWB 22-29 GHz. La seconde partie de ce quatrième chapitre est consacrée à l'étude des potentialités offertes par les technologies CMOS pour l'amplification distribuée qui permet d'obtenir des bandes passantes beaucoup plus importantes. Après avoir exposé les principales techniques de conception propres à cette topologie d'amplification, nous présentons la conception de deux amplificateurs distribués. Le premier couvre la totalité de la bande UWB 3,1-10,6 GHz. L'étude théorique des étages d'amplification cascades et du gain d'un amplificateur distribué nous permet de dégager la gamme d'impédances caractéristiques réalisable technologiquement. Au vu de ces résultats, nous proposons d'utiliser une impédance caractéristique supérieure $50\ \Omega$ pour la ligne de sortie de l'amplificateur. Cela nous permet d'augmenter le gain en tension qui est préférable au gain en puissance pour les systèmes de communication intégrés. Le second amplificateur est conçu avec le souci de maximiser le produit gain bande passante. Nous détaillons toutes les techniques que nous avons employées : égalisation des temps de groupe des lignes d'entrée et de sortie, choix des étages d'amplification, synthèse des inductances formant les lignes artificielles de l'amplificateur, application d'une technique de compensation des pertes et enfin optimisation du dessin des masques.

Enfin le dernier chapitre est consacré à la caractérisation des amplificateurs fabriqués par la société STMicroélectronique à ce jour. Nous présentons et discutons les résultats de mesures que nous obtenons pour les circuits sur les circuits de test déjà fabriqués. Ces circuits de test comprennent un LNA fonctionnant à 2,45 GHz, un amplificateur pour applications UWB pulsées dans la bande passante 7-9 GHz, l'amplificateur distribué maximisant le produit gain bande passante ainsi que des motifs permettant la caractérisation d'un transistor, d'une inductance et de trois lignes coplanaires.

CHAPITRE I

Etat de l'Art de l'amplification faible bruit CMOS.

Sommaire

1. Introduction.	17
2. Amplification faible bruit bande étroite en technologie CMOS.	17
2.1. Principales architectures d'impédance d'entrée $50\ \Omega$.	17
2.2. Amplification faible bruit bande étroite radiofréquence.	18
2.3. Amplification faible bruit bande étroite haute fréquence.	20
3. Amplification large bande en technologies silicium.	22
3.1. Amplificateurs à contre réaction	22
3.2. Amplificateurs à réseaux d'adaptation LC.	25
3.3. Amplification distribuée.	27
4. Conclusion.	29

1. Introduction.

Dans les systèmes radiofréquences de communication sans fil, l'amplificateur faible bruit (LNA) est le premier amplificateur traversé par le signal informatif. Sa conception doit tenir compte des composants passifs le précédant et des contraintes de la microélectronique moderne notamment en terme d'intégration et de consommation.

Dans les récepteurs pour technologies sans fil, l'antenne reçoit les ondes électromagnétiques issues du canal de transmission hertzien. Un filtre RF permet ensuite d'atténuer les signaux parasites présents à proximité du canal de transmission qui peuvent provoquer la saturation de la chaîne de réception. Ces deux éléments sont adaptés en puissance entre eux sur une impédance de référence qui est quasi-exclusivement de $50\ \Omega$. L'amplificateur faible bruit est connecté au filtre RF ou lorsqu'il est absent directement à l'antenne. Pour que le transfert de puissance soit optimal son impédance d'entrée doit être le complexe conjugué de l'impédance du filtre RF.

Les travaux de Friss [1] sur les récepteurs radio ont montré que l'amplificateur faible bruit est un des éléments clé de la chaîne de réception déterminant le rapport signal sur bruit (R.S.B.) du récepteur. Pour obtenir un R.S.B. permettant la récupération du signal informatif, le facteur de bruit² (NF) de l'amplificateur faible bruit doit être le plus faible possible avec un gain en puissance ou en tension le plus important possible.

2. Amplification faible bruit bande étroite en technologie CMOS.

Nous nous intéressons uniquement aux architectures d'amplification bande étroite les plus couramment citées dans la littérature ayant une impédance d'entrée de $50\ \Omega$ et un facteur de bruit compatible avec les spécifications des systèmes radiofréquences.

2.1.Principales architectures d'impédance d'entrée $50\ \Omega$.

Les architectures à bande passante étroite permettant l'adaptation $50\ \Omega$ en entrée sont maintenant bien connues. En technologie CMOS les deux circuits proposés par la figure 1 sont les plus cités.

² Le facteur de bruit NF est défini comme : le rapport entre R.S.B. en entrée et le R.S.B. en sortie.

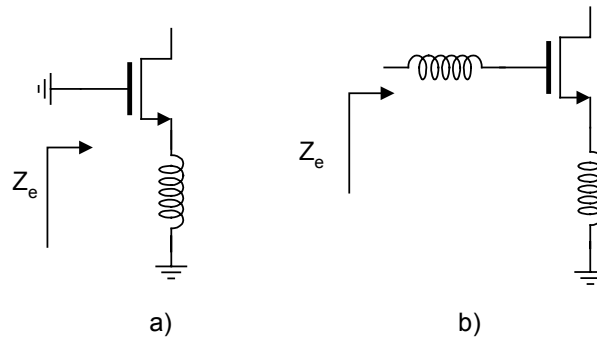


Figure 1 : Architecture d'amplificateurs faibles bruits permettant l'adaptation 50 Ω
a) grille commune, b) source commune à source dégénérée.

La topologie grille commune décrite par la figure 1 a) permet l'adaptation 50 Ω . Elle présente une impédance de 50 Ω lorsque la géométrie et le courant de polarisation du transistor choisi donnent une transconductance g_m de 20 mS. Pour obtenir une impédance d'entrée purement réelle, une inductance résonnant à la fréquence centrale de l'amplificateur avec la capacité C_{gs} du transistor est ajoutée entre la source et la masse. Les études théoriques sur cette structure[2, 3] montrent qu'il n'est pas possible en l'absence de contre réaction d'obtenir un facteur de bruit inférieur à 3 dB lorsqu'une impédance de 50 Ω est présentée en entrée. Cependant, cette topologie a été employée par Roufougaram [4] pour la conception de l'amplificateur faible bruit d'un récepteur radiofréquence pour lequel un facteur de bruit de 3,2 dB à 1 GHz est suffisant.

L'amplificateur source commune associé à une dégénérescence inductive de la source du transistor permet également d'obtenir une impédance d'entrée de 50 Ω . Contrairement à l'architecture grille commune celle-ci permet d'obtenir des facteurs de bruit faibles, cela en fait l'architecture la plus étudiée en technologie CMOS. Plusieurs méthodes de dimensionnement permettent d'aboutir à un fonctionnement faible bruit. Nous allons détailler la plus employée proposée par Sheaffer [3] en 1997.

2.2. Amplification faible bruit bande étroite radiofréquence.

L'architecture étudiée par Sheaffer décrite par la figure 2 utilise deux inductances L_s et L_g qui forment, associées avec la capacité d'entrée C_{gs} du transistor M_1 , un résonateur LC série. Une impédance d'entrée purement réelle est obtenue lorsque la fréquence de résonance du résonateur LC d'entrée est centrée sur la fréquence de fonctionnement de l'amplificateur. L'effet transistor est mis à profit pour créer une partie réelle de 50 Ω grâce à la présence de l'inductance L_s . A la fréquence centrale de fonctionnement de l'amplificateur, l'impédance d'entrée se résume à la partie réelle de l'impédance d'entrée de valeur $g_m L_s / C_{gs}$.

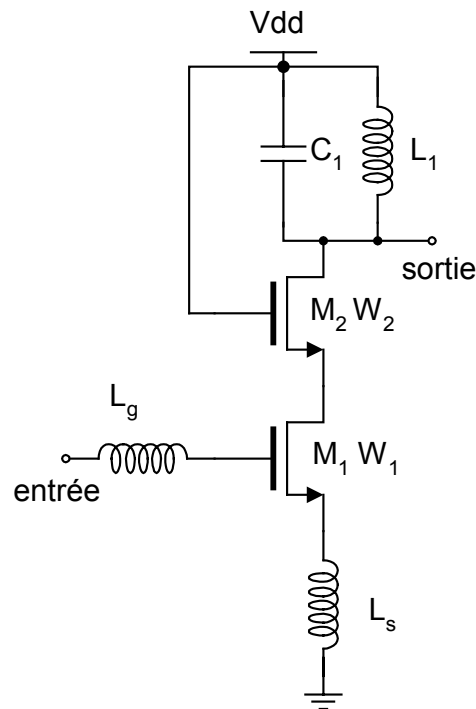


Figure 2 : Structure de la maille d'adaptation d'un LNA radio fréquence.

Le facteur de bruit minimal est obtenu pour une valeur optimale du facteur de qualité Q du résonateur série de la maille d'entrée. Cette valeur optimale n'est dépendante que du point de polarisation des transistors de l'étage d'amplification. En combinant cette valeur de facteur de qualité Q , la fréquence de fonctionnement, la valeur de la partie réelle de l'impédance d'entrée traditionnellement choisie à $50\ \Omega$, et le point de polarisation des transistors, tous les éléments du circuit d'entrée L_s , L_g , W_1 sont déterminés. Le gain en tension est fourni par une charge RLC parallèle formée par l'inductance L_1 , la capacité C_1 et la résistance de pertes de l'inductance. Les valeurs de L_1 et de C_1 sont choisies pour obtenir la résonance du circuit RLC de sortie à la fréquence centrale de l'amplificateur. Avec des technologies CMOS $0,25\ \mu\text{m}$ et dans la première bande de fréquence allouée au système G.P.S. (Système de Positionnement Global) soit $1,23\ \text{GHz}$, cette technique permet d'obtenir des amplificateurs dont le facteur de bruit peut être inférieur à $1\ \text{dB}$ [5].

Des améliorations de ce circuit ont été proposées pour réduire le facteur de bruit ou la consommation, tout en conservant l'adaptation $50\ \Omega$ en entrée. Andreani [6] propose d'ajouter une capacité C_p en parallèle de la capacité C_{gs} du transistor. Après une étude théorique du facteur de bruit l'auteur montre qu'il existe un rapport optimal entre la capacité externe et la capacité C_{gs} . Cette publication ne présente qu'une étude théorique, cependant la méthode présentée est utilisée avec succès autour de $5\ \text{GHz}$ par Nguyen [7].

Enfin, dans le but de diminuer la consommation l'utilisation de la topologie de réutilisation de courant "current reuse" est proposée par de nombreux auteurs [8-11]. Cette technique permet, comme le montre l'exemple de la figure 3, de maintenir la transconductance d'une structure constituée de deux transistors N et P en diminuant le courant de polarisation.

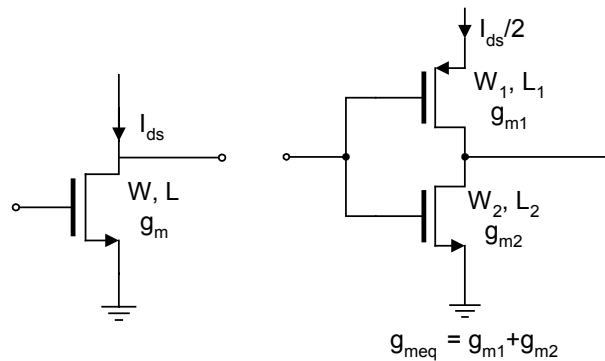


Figure 3 : Principe de la technique dite du "current reuse".

Cependant, dans l'architecture de la figure 2 il persiste un problème causé par la valeur très importante de l'inductance L_g qui la rend non encore intégrable en technologie CMOS. Cette inductance, dont la valeur est déterminée par la valeur optimale du coefficient de qualité Q du résonateur LC d'entrée de l'amplificateur, est encore actuellement un élément externe comme un fil de connexion (bonding) ou bien encore un composant discret. Or, l'ajout de composants externes augmente le coût de production des émetteurs récepteurs dont le bas prix de vente est nécessaire pour pouvoir répondre aux besoins d'un marché de masse.

2.3. Amplification faible bruit bande étroite haute fréquence.

Avec la réduction de la longueur des transistors disponibles en technologie CMOS standard, la conception d'amplificateurs faible bruit fonctionnant à des fréquences proches du domaine millimétrique devient envisageable. Quelques amplificateurs utilisant principalement l'architecture source commune à dégénérescence inductive employée pour la réalisation d'amplificateurs radiofréquences, ont été publiés.

Par exemple, Yu [12] propose un amplificateur conçu avec une technologie CMOS $0,18\ \mu\text{m}$ fonctionnant à 24 GHz. Son amplificateur est constitué de trois étages d'amplification source commune. L'adaptation du premier étage $50\ \Omega$ est obtenue avec une architecture équivalente à celle de la figure 2. Il utilise des inductances dont le plancher permettant de diminuer l'influence du substrat sur le coefficient de qualité a été supprimé pour augmenter la fréquence de résonance de l'inductance. En technologie CMOS, un plancher constitué soit d'un plan de masse métallique fendu [13], soit d'une couche de polysilicium fragmenté [14] est connecté à la masse. Ces configurations limitent la circulation des courants de Foucault dans le substrat et améliorent le coefficient de qualité des

inductances. Or, elles diminuent également la valeur de la S.F.R.³ qui devient trop faible lorsque des fréquences de fonctionnement proches de 20 GHz sont visées.

D'autres auteurs proposent comme Franca-Neto [15] la conception de deux amplificateurs fonctionnant respectivement à 17 et 24 GHz. Ces amplificateurs utilisent des lignes micro-rubans comme éléments passifs d'adaptation associées à des étages d'amplification source commune.

Au vu de l'ensemble des performances publiées, l'utilisation des architectures et des méthodes de conception radiofréquences associées à des passifs localisés dont la qualité diminue avec la fréquence, ne semble pas être la structure optimale pour l'amplification faible bruit haute fréquence en technologie CMOS. Cependant, le travail d'Ellinger [16] basé sur une technologie SOI (Silicium sur Isolant) montre que l'utilisation de composants passifs de meilleure qualité que ceux disponibles dans les technologies CMOS standard permet d'augmenter les performances des amplificateurs.

La table 1 récapitule les performances relevées dans les publications citées. Nous ne les donnons qu'à titre indicatif car nous pensons que la comparaison de performances d'amplificateurs n'est possible que lorsqu'ils utilisent des technologies de même longueur de grille et fonctionnent à la même fréquence.

Table 1 : Quelques réalisations d'amplificateurs faible bruit bande étroite en technologies CMOS

Ref	Technologie	Fréquence de fonctionnement	Gain	NF	Taille du circuit	Consommation
[3]	CMOS 0,6 μm	1,5 GHz	22 dB (t)*	3,5 dB	0,12 mm ²	33 mW (2 V)
[4]	CMOS 1 μm	1 GHz	22 dB (t)	3,2 dB	non disponible	non disponible
[5]	CMOS 0,25 μm	1,23 GHz	20 dB (p)**	0,8 dB	0,66 mm ²	10 mW
[7]	CMOS 0,18 μm	5,2 GHz	18 dB (t)	1,5 dB	non disponible	10 mW (2,5 V)
[9]	CMOS 0,18 μm	2,4 GHz	8,9 dB (p)	1,77 dB	non disponible	0,75 mW
[11]	CMOS 0,28 μm	2 GHz	10 dB (p)	1,24 dB	0,9 mm ²	2 mW (0,9 V)
[15]	CMOS 0,18 μm	17 GHz	12 dB (p)	5,2 dB	non disponible	100 mW
[15]	CMOS 0,18 μm	24 GHz	10 dB (p)	6 dB	non disponible	100 mW
[16]	SOI 0,09 μm	35 GHz	11,9 dB (p)	3,6 dB	0,18 mm ²	40,8 mW

* (t) indique qu'il s'agit de gain en tension

** (p) indique qu'il s'agit de gain en puissance

³ La S.F.R. est la fréquence propre de résonance d'une inductance.

3. Amplification large bande en technologies silicium.

Les amplificateurs présentés au paragraphe 2 n'ont qu'une bande passante relative comprise entre quelques pour cents et une dizaine de pour cents. Les applications ultra larges bandes (UWB) nouvellement autorisées dans les bandes de fréquences comprises entre 3,1 et 10,6 GHz ou 22 et 29 GHz nécessitent des bandes passantes beaucoup plus importantes. De nombreuses techniques sont utilisables pour obtenir de telles bandes passantes pour les amplificateurs faible bruit. Nous ne nous intéressons qu'à celles utilisées en technologies CMOS et BiCMOS aboutissant à des amplificateurs intégrés. Trois grandes techniques sont actuellement utilisées.

1. Les amplificateurs à contre réaction associée ou non à l' "inductive peaking".
2. Les amplificateurs utilisant des réseaux LC localisés sans contre réaction.
3. Les amplificateurs distribués.

3.1. Amplificateurs à contre réaction

Il existe une grande variété de contre réactions permettant d'aboutir à des bandes passantes compatibles avec les applications larges bandes UWB. Essentiellement pour des raisons d'encombrement, les contre réactions résistives sont presque exclusivement employées en technologie CMOS. Ces contre réactions évitent l'introduction d'inductances occupant une surface de silicium très importante. La figure 4, prend pour exemple un amplificateur constitué d'un transistor auquel est appliqué une contre réaction résistive entre le drain et la grille. Dans ce cas, la bande passante à 3 dB est exprimée par la relation (1) si l'on note A_v le gain de l'amplificateur en boucle ouverte [17].

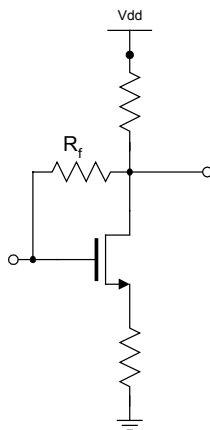


Figure 4 : Amplificateur à contre réaction résistive.

$$F_{-3dB} = \frac{(1 + A_v)}{2\pi R_f (C_{gs} + C_{gd} (1 + A_v))} \quad (1)$$

Afin d'augmenter cette bande passante un fort gain en tension A_v et une faible valeur de résistance R_f sont nécessaires, mais une trop faible valeur de cette résistance dégrade le facteur de bruit et le gain de l'amplificateur.

Cette technique associée à la réutilisation de courant est appliquée par Wang [18] pour obtenir un amplificateur faible bruit large bande fonctionnant dans la bande de fréquence comprise entre 100 MHz et 930 MHz. L'auteur construit son amplificateur décrit par la figure 5 en employant deux inverseurs auxquels sont appliqués deux contre réactions résistives et deux autres capacitatives.

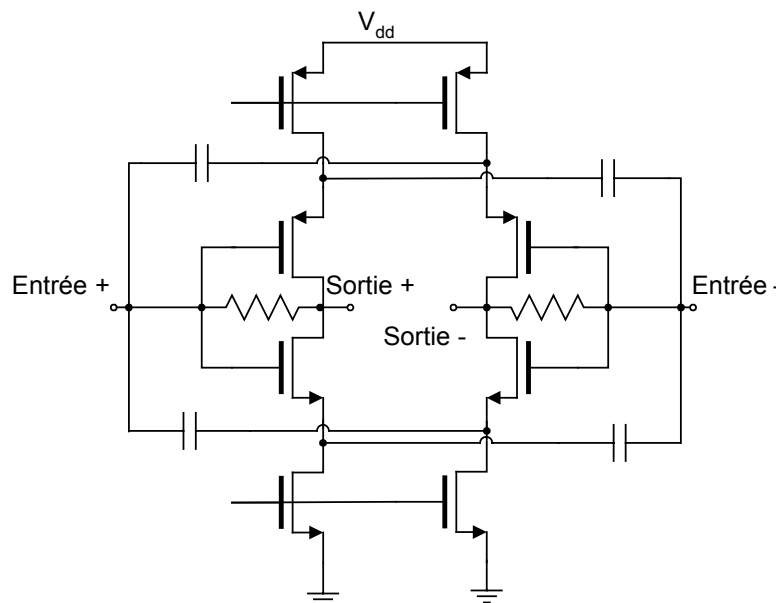


Figure 5 : Amplificateur faible bruit CMOS fonctionnant dans la bande de fréquence 100 MHz-930 MHz.

Dans cette topologie la fréquence maximale est limitée par les capacités C_{gs} et C_{gd} des transistors. Afin d'augmenter la bande passante des amplificateurs passe-bas avec ou sans contre réaction, la technique du "series-peaking" peut être introduite. Elle consiste à contrebalancer la décroissance du gain en tension à proximité de la fréquence de coupure de l'amplificateur qui est causée par les capacités de sortie ramenées en parallèle de la charge d'un amplificateur à charge résistive. Bien souvent, inductive "series peaking" et contre réaction sont combinées.

Le travail publié par Chang [19] propose la conception d'un amplificateur comportant trois étages dont le schéma électrique est donné par la figure 6. Cet amplificateur a une bande passante comprise entre 3 et 6 GHz. Une contre réaction résistive entre le second et le premier étage est employée, le gain est rendu constant dans la bande passante par l'utilisation de la technique de l' "inductive series peaking" dans le second étage. Cet amplificateur montre une des limites des contre réactions. En effet, un facteur de bruit supérieur à 4,5 dB est constaté dans la totalité de la bande passante de l'amplificateur (3-6 GHz).

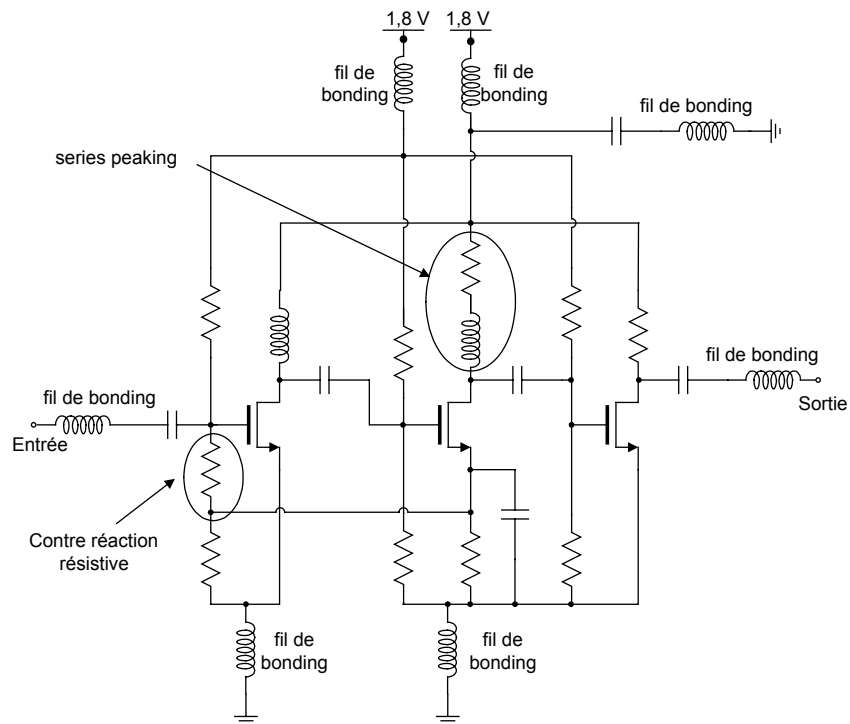


Figure 6 : Amplificateur faible bruit à contre réaction résistive entre le premier et le second étage.

Le problème de l'impact de la valeur de la résistance sur le facteur de bruit de l'amplificateur peut être résolu en ajoutant un étage grille ou base commune comme le propose la figure 7 [20]. Un faible facteur de bruit (environ 3,5 dB jusqu'à 10 GHz) est obtenu par le dimensionnement du premier étage base commune. L'adaptation large bande est réalisée en ajoutant une inductance entre la base et la masse d'un amplificateur base commune bande étroite [20]. L'ajout de ce premier étage base commune permet de relâcher la contrainte sur la valeur de la résistance R_f nécessaire à l'adaptation puisque celle-ci est assurée par l'étage grille commune. Un gain constant est fourni par l'amplificateur transimpédance constitué d'un étage émetteur commun suivi d'un amplificateur Darlington avec une contre réaction résistive entre l'étage source commune et l'amplificateur Darlington. A titre de comparaison, un amplificateur transimpédance est proposé par Lee [21] sans l'utilisation de l'étage grille commune. Il est conçu avec une technologie équivalente (BiCMOS 0,25 μm) et obtient un facteur de bruit supérieur de 0,5 à 1 dB dans toute la bande passante.

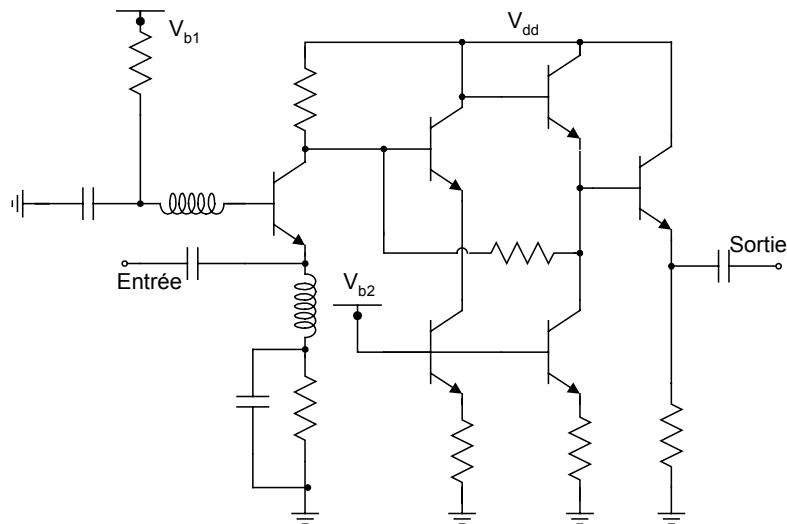


Figure 7 : Amplificateur base commune associée à un second étage transimpédance.

3.2. Amplificateurs à réseaux d'adaptation LC.

Les amplificateurs à contre réaction permettent d'obtenir les bandes passantes nécessaires aux systèmes UWB mais au prix d'une consommation de puissance relativement élevée en technologie CMOS. En effet, l'examen de la relation (1) donnant la bande passante d'un amplificateur comme celui de la figure 4 montre qu'un fort gain et une faible valeur de capacité C_{gs} sont nécessaires pour obtenir une grande bande passante. Or en technologie CMOS les transconductances des transistors sont relativement faibles en comparaison de celles obtenues en technologie BiCMOS. Une forte consommation de courant est alors nécessaire pour obtenir simultanément un gain en tension ou en puissance important et une bande passante suffisante. Pour obtenir une grande bande passante, une faible valeur de la résistance R_f est aussi nécessaire mais ceci s'accompagne d'une dégradation du facteur de bruit et du gain.

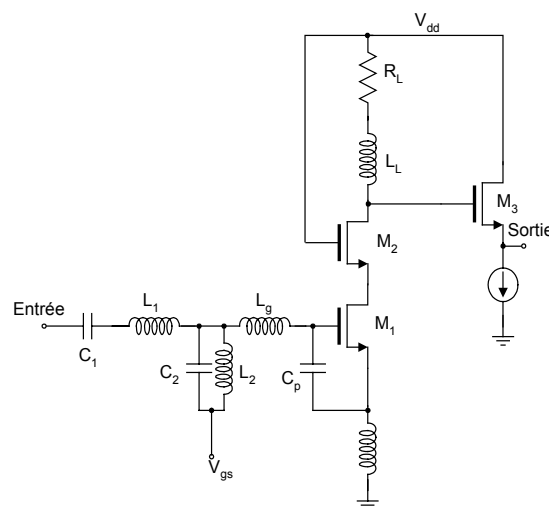


Figure 8 : Amplificateur utilisant un filtre d'ordre trois comme maille d'adaptation (Bevilacqua).

Pour résoudre ce problème Bevilacqua [22] propose la conception d'un amplificateur faible bruit

basé sur l'utilisation d'un amplificateur source commune associé à un filtre de Tchebychev d'ordre trois de bande passante 3,1-10,6 GHz comme maille d'adaptation. Un gain constant est obtenu dans l'intégralité de la bande passante par l'utilisation d'une charge inductive en sortie de l'étage cascode (figure 8).

Cette topologie a été utilisée et améliorée par la suite par Ismail [23] pour concevoir un amplificateur faible bruit en technologie BiCMOS. La principale contribution de cette publication est la proposition de l'utilisation d'un filtre du second ordre permettant d'éviter en partie la remontée du facteur de bruit en haut de bande passante constatée dans les résultats de Bevilacqua, cette remontée étant principalement due à des valeurs importantes des inductances conduisant à de fortes pertes. La figure 9 en donne le schéma électrique.

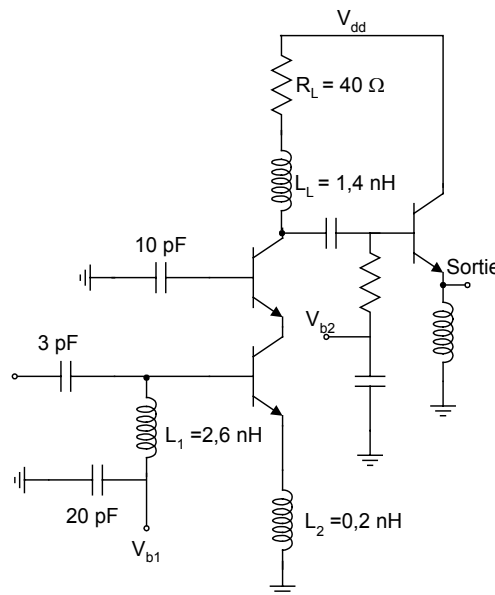


Figure 9 : Amplificateur utilisant un filtre d'ordre deux comme circuit d'adaptation [23].

Cependant et de façon générale, les résultats obtenus en technologie BiCMOS et CMOS sont difficilement comparables car les facteurs de qualité des composants passifs sont plus élevés en technologie BiCMOS. Cela est essentiellement dû aux épaisseurs d'oxydes souvent plus importantes en technologies BiCMOS. De plus, les transistors bipolaires à hétérojonction SiGe, à génération technologique équivalente, sont plus performants que les transistors MOS. La table 2 récapitule les performances relevées dans les publications citées. Nous ne les citons, pour les mêmes raisons que dans le cas des amplificateurs bande étroite, qu'à titre indicatif.

Table 2 Récapitulatifs de quelques LNA larges bandes publiés

Réf	Technologie	Bande-passante	Gain	NF	Technique utilisée	Consommation
[18]	CMOS 0,13 μm	100-930 MHz	26 dB (p)	4 dB	Inverseurs + contre réactions résistives et capacitives	0,6 mW
[19]	CMOS 0,18 μm	3-6 GHz	13,5- 16 dB	4,6-6,7 dB	contre réaction résistive + inductive peaking	33 mW
[20]	BiCMOS 0,25 μm	3,1-14,5 GHz	22 dB (p)	2,7-3,9 dB	Grille commune+ contre réaction résistive	13,2 mW
[21]	BiCMOS 0,25 μm	1-10GHz	20 dB (p)	2,5-4,4 dB	Contre réactions résistives	42,5mW
[22]	CMOS 0,18 μm	3-10 GHz	13,5 dB (p)	2,5-8 dB	Filtre ordre 3 + inductive peaking	9 mW
[23]	BiCMOS 0,25 μm	3-10 GHz	21 dB (t)	2,5-4,2 dB	Filtre ordre 2 + inductive peaking	30 mW

3.3. Amplification distribuée.

L'émergence des technologies optoélectroniques destinées à un marché sans cesse croissant des réseaux très hauts débits (> 10 Gbits/s) nécessite le développement d'amplificateurs dont la bande passante relative doit être très supérieure à plusieurs centaines de pour-cent. Pour l'obtention de telles bandes passantes, les méthodes décrites précédemment ne peuvent pas être utilisées avec succès. Dans les amplificateurs conventionnels, la mise en parallèle des transistors permet d'accroître le gain par addition des transconductances, mais l'augmentation correspondante des capacités d'entrée et de sortie limite la fréquence maximale. Ainsi, ces architectures ne résolvent rien car le produit gain-bande reste constant. Le principe de l'amplification distribuée consiste à additionner les transconductances des transistors en compensant l'augmentation correspondante des capacités d'entrée et de sortie par la réalisation de lignes artificielles de transmission LC. La bande de fréquence n'est alors plus limitée par ces capacités, mais par la fréquence de coupure des différents tronçons de ligne ainsi que par l'ensemble des pertes introduites dans ceux-ci. La figure 10 montre le schéma électrique d'un amplificateur distribué de 3 étages cascodes.

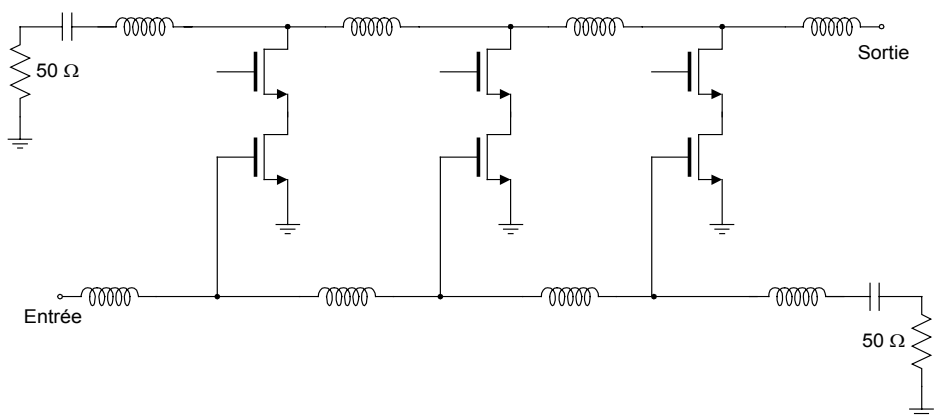


Figure 10 : Principe de l'amplification distribuée (3 étages).

La majorité des réalisations publiées jusqu'au début des années 2000 employaient des technologies

III/V, mais de plus en plus de réalisations sur silicium voient le jour. A notre connaissance, l'un des premiers amplificateurs distribués conçus en technologie CMOS $0,8\ \mu\text{m}$, a été publié en 1997 par Sullivan [24]. Il utilise les inductances d'un boîtier pour synthétiser les lignes de transmission de l'amplificateur. Les trois étages d'amplification sont des amplificateurs source commune. Un second article publié par Ballweber [25] en 2000 synthétise les lignes artificielles de transmission à l'aide d'inductances carrées localisées sur le substrat de silicium. L'auteur est l'un des premiers à proposer le principe de la division capacitive en sortie des quatre étages d'amplification en technologie CMOS. Cette technique permet d'égaliser les temps de groupe des deux lignes artificielles de transmission. L'auteur conçoit les étages d'amplification élémentaires avec des amplificateurs source commune. Les performances obtenues par ces deux amplificateurs sont très éloignées des résultats actuels sur substrat de type InP mais ces travaux montrent la faisabilité d'amplificateurs distribués en technologie CMOS standard. La réduction des tailles des transistors et l'utilisation de ligne micro ruban comme éléments inductifs permettent d'augmenter de façon considérable la bande passante. Cette démarche a permis à Shigematsu [26], en utilisant une technologie CMOS $0,18\ \mu\text{m}$, d'obtenir une bande passante de 38 GHz pour un gain en puissance de 5 dB.

L'arrivée des technologies de type SOI (silicon on isolator) permet encore d'accroître la bande passante (91 GHz ou 60 GHz contre 38 GHz) [27, 28]. Par exemple, Plouchart [27] propose un amplificateur comportant 7 étages d'amplification cascade. Il égalise les temps de groupe des deux lignes de transmission avec des amplificateurs cascades dont les deux transistors ne sont pas identiques. C'est à dire qu'il élargit le transistor supérieur pour augmenter la capacité de sortie. Il choisit également de synthétiser les inductances constituant les lignes d'entrée et de sortie par des lignes coplanaires dont les pertes sont faibles en technologie SOI. Avec toutes ces techniques l'auteur obtient une bande passante de 91 GHz pour un gain de 9 dB. Ellinger [28] utilise lui aussi des amplificateurs cascades mais il optimise son amplificateur pour obtenir un facteur de bruit plus faible. Pour ce faire, il optimise la valeur de la résistance de terminaison de la ligne de grille. L'auteur mesure un facteur de bruit inférieur à 4 dB jusqu'à 40 GHz alors que la référence [27] mesure un facteur de bruit proche de 5,5 dB jusqu'à 18 GHz. Comme il ne cherche pas optimiser la bande passante de l'amplificateur il n'égalise pas les temps de groupe des lignes artificielles. Il réalise les inductances de ces lignes artificielles avec des lignes micro rubans. Il obtient tout de même une bande passante de 60 GHz pour un gain proche de 10 dB. Enfin, la mise en place de technique de compensation de pertes permet d'augmenter la bande passante [29]. Enfin la référence [30] montre que cette technique d'amplification commence à être employée pour la conception d'amplificateurs dédiés aux communications UWB dans la bande 3,1-10,6 GHz. La table ci dessous récapitule les performances des articles cités.

Table 3 : Quelques réalisations d'amplificateurs distribués CMOS .

Réf	Technologie	Nombres d'étages	Bande Passante	Gain	Consommation	Technique
[24]	CMOS 0,8 μm	3	0,5-5,5 GHz	5 dB	54 mW	Source commune + inductances boîtier
[25]	CMOS 0,6 μm	4	0,5-5,5GHz	6,5 dB	83,4 mW	Division capacitive en sortie inductances localisées
[26]	CMOS 0,18 μm	8	38 GHz	5 dB	140 mW	Source commune
[27]	CMOS 0,12 μm SOI	5	4-91 GHz	5 dB	90 mW	Cascode asymétrique
[28]	CMOS 90nm SOI	4	10-60 GHz	9,7 dB	132 mW	Cascode lignes micro-rubans
[29]	CMOS SOI 0,12 μm	4	1-26 GHz	7 dB	57 mA	Cascodes lignes micro-rubans + compensation de pertes
[30]	CMOS 0,18 μm	3	0,03-6,2 GHz	8 dB	9 mW	Cascode

4. Conclusion.

L'étude des principales architectures d'amplificateurs faible bruit bande étroite a montré que l'amplificateur source commune cascode avec dégénérescence inductive de la source permet d'obtenir un faible facteur de bruit. Cependant, deux problèmes persistent. Cette topologie associée à la méthode de dimensionnement la plus utilisée [3] provoque des valeurs importantes d'inductance de grille L_g . Bien souvent ces valeurs d'inductances ne sont pas intégrables. De même l'utilisation d'architectures comprenant des amplificateurs cascodes semble rendre difficile la conception d'amplificateurs faible bruit fonctionnant en plus haute fréquence. Pour répondre à ces deux points, le troisième chapitre de ce mémoire est consacré à la description de règles de conception permettant l'intégration totale et la conception d'amplificateurs faible bruit fonctionnant jusqu'à des fréquences supérieures à la dizaine de gigahertz.

Nous avons exposé les principales topologies d'amplificateurs faible bruit large bande. Deux techniques nous paraissent particulièrement pertinentes pour l'obtention et le contrôle de la bande passante des amplificateurs. La première technique repose sur l'utilisation de filtres passifs LC en échelle comme circuit d'adaptation. Or, cette technique ne permet pas de contrôler des bandes passantes inférieures à 30%. La seconde est l'amplification distribuée qui permet d'obtenir des bandes passantes très importantes. Le quatrième chapitre de ce mémoire présente une méthode de conception permettant de contrôler les bandes passantes inférieures à 30%. Dans ce chapitre, nous explorons également les potentialités offertes par l'amplification distribuée en technologie CMOS.

BIBLIOGRAPHIE

- [1] Friis H. T., "Noise Figure of radio receiver," *Proc. IRE*, Vol: 32 n° 419-422, Juillet 1944.
- [2] Yee D. G. W., "A Design Methodology Highly-Integrated Low-Power Receivers for Wireless Communications" Thèse de l'université de Berkeley, présentée en 2001, 291 Pages.
- [3] Sheaffer D. K., "The Design and implementation of Low-Power CMOS Radio Receivers" Thèse de l'université de Stanford, présentée en 1998, 244 Pages.
- [4] Roufougaram A., Chang J. Y. C., Rofougaram M., Asad A., Abidi A., "A 1 GHz CMOS Front-End IC for a Direct-Conversion Wireless Receiver," *IEEE Journal of Solid -State Circuits*, Vol: 31 n° 7, pp. 880-889, Juillet 1996.
- [5] Leroux P., Janssens J., Steyaert M., "A 0.8 dB NF ESD-Protected 9 mW CMOS LNA Operating at 1.23 GHz," *IEEE Journal of Solid -State Circuits*, Vol: 37 n° 6, pp. 760-765, Juin 2002.
- [6] Andreani P., Sjöland H., "Noise Optimization of an Inductively Degenerated CMOS Low Noise Amplifier," *IEEE Transaction on Circuits and Systems. 2 Analog and Digital Signal Processing*, Vol: 48 n° 9, pp. 835-841, Septembre 2001.
- [7] Nguyen T. K., Lee S. G., "Noise and Gain Optimization Technique for RF-Integrated CMOS Low Noise Amplifier," présenté à IEEE International Conference on Electronic Devices and Solid-State Circuits, Hong-Kong, 2003.
- [8] Huang H., Chen S., Chang Y. H., Chen S. F., "Design of CMOS Differential Low Noise Amplifier for WLAN," présenté à ISCAS 2003.
- [9] Kwon I., Gil J., Lee K., Shin H., "A 2.4 GHz CMOS LNA with Harmonic Cancellation and Current Reuse Technique," *Journal of the Korean Physical Society*, Vol: 42 n° 2, pp. 251-254, Février 2003.
- [10] Kwon I., Shin H., "Design of a New Low-Power 2.4 GHz CMOS LNA," *Journal of the Korean Physical Society*, Vol: 40 n° 1, pp. 4-7, Janvier 2002.
- [11] Taris T., "Conception de circuits radiofréquences en technologie CMOS VLSI sous contrainte de basse tension" Thèse de l'université de Bordeaux 1, présentée en 2003, 160 Pages.
- [12] Yu K. W., Lu Y. L., Chang D. C., Liang V., Chang M. P., "K-Band Low Noise Amplifiers Using 0.18 μm CMOS Technology," *IEEE Microwave and Wireless Components Letters*, Vol: 14 n° 3, pp. 106-108, Mars 2004.
- [13] Yue C. P., Wong S. S., "On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's," *IEEE Journal of Solid -State Circuits*, Vol: 33 n° 5, pp. 743-752, Mai 1998.
- [14] Burghartz J., Rejsei B., "On the Design of RF Spiral Inductors on Silicon," *IEEE Transaction on Electron Devices*, Vol: 50 n° 3, pp. 718-729, Mars 2003.
- [15] Franca-Neto L. M., Bloechel B. A., Soumyanath K., "17 GHz and 24 GHz LNA Designs based on Extended-S-parameter with Microstrip-on-Die in 0.18 μm Logic CMOS Technology," présenté à ESSCIRC '03, 2003.
- [16] Ellinger F., "26–42 GHz SOI CMOS Low Noise Amplifier," *IEEE Journal of Solid -State Circuits*, Vol: 39 n° 3, pp. 522-528, Mars 2004.
- [17] Kim C. W., Jung M. S., Lee S. G., "Ultra-wideband CMOS low noise amplifier," *IEE Electronics Letters*, Vol: 41 n° 7, pp., 31 Mars 2005.
- [18] Wang S. B. T., Niknejad A. M., Brodersen R. W., "A Sub-mW 960 MHz Ultra-Wideband CMOS LNA," présenté à RFIC 2005.
- [19] Chang C. P., Chuang H. R., "0.18 μm 3–6 GHz CMOS broadband LNA for UWB radio," *IEE Electronics Letters*, Vol: 41 n° 12, pp., 9 Juin 2005.
- [20] Shiramizu N., Masuda T., Tanabe M., Washio K., "A 3-10 GHz Bandwidth Low-Noise and Low-Power Amplifier for Full-Band UWB Communications in 0.25 μm SiGe BiCMOS Technology," présenté à RFIC 2005, 2005.
- [21] Lee J., Cresser J., "Analysis and Design of an Ultra-Wideband Low-Noise Amplifier Using Resistive Feedback in SiGe HBT Technologies," *IEEE Transactions on Microwave Theory and Techniques*, Vol: 54 n° 3, pp. 1262-1268, Mars 2006.
- [22] Bevilacqua A., Niknejad A. M., "An Ultrawideband CMOS Low-Noise Amplifier for 3.1–10.6 GHz Wireless Receivers," *IEEE Journal of Solid -State Circuits*, Vol: 39 n° 12, pp. 2259-2268, Décembre 2004.
- [23] Ismail A., Adidi A., "A 3–10 GHz Low-Noise Amplifier With Wideband LC-Ladder Matching Network," *IEEE Journal of Solid -State Circuits*, Vol: 39 n° 12, pp. 2269-2277, Décembre 2004.
- [24] Sullivan P. J., Xavier B. A., Ku W. H., "An Integrated CMOS Distributed Amplifier Utilizing Packaging Inductance," *IEEE Transactions on Microwave Theory and Techniques*, Vol: 45 n° 12, pp. 1969-1975,

- Octobre 1997.
- [25] Ballweber B. M., Gupta R., Allstot D. J., "A Fully Integrated 0.5-5.5 GHz CMOS Distributed Amplifier," *IEEE Journal of Solid -State Circuits*, Vol: 35 n° 2, pp. 231-239, Février 2000.
 - [26] Shigematsu H., Sato M., Hirose T., Brewer F., Rodwell M., "40 Gb/s CMOS Distributed Amplifier for Fiber-Optic Communication Systems," présenté à 2004 IEEE International Solid-State Circuits Conference, 2004.
 - [27] Plouchart J. O., Kim J., Zamdmer N., Lu L. H., Sherony M., Tan Y., Groves R. A., Trzcinski R., Talbi M., "A 4–91 GHz Traveling-Wave Amplifier in a Standard 0.12 μm SOI CMOS Microprocessor Technology," *IEEE Journal of Solid -State Circuits*, Vol: 39 n° 6, pp. 1455-1461, Septembre 2004.
 - [28] Ellinger F., "60 GHz SOI CMOS Traveling-Wave Amplifier With NF Below 3.8 dB From 0.1 to 40 GHz," *IEEE Journal of Solid -State Circuits*, Vol: 40 n° 2, pp. 553-558, Février 2005.
 - [29] Pavageau C., "Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques" Thèse de l'université de présentée en 2005, 268 Pages.
 - [30] Zhang F., Kinget P., "Low Power Programmable-Gain CMOS Distributed LNA for Ultra-Wideband Applications," présenté à 2005 Symposium on VLSI Circuits, 2005.

CHAPITRE II

Conception et modélisation
d'interconnexions en
technologie CMOS.

SOMMAIRE

1. Introduction.	35
2. Différentes lignes de transmission en technologies CMOS standard.	38
2.1. Différents régimes de propagation des lignes de transmission sur silicium.	38
3. Description et extraction du modèle équivalent.	39
3.1. Description du modèle équivalent.	40
3.2. Extraction du modèle équivalent.	42
4. Description de la technologie utilisée.	43
5. Conception de lignes de transmission en technologie CMOS.	44
5.1. Etude des lignes microrubans.	44
5.1.1. Description générale de la ligne microruban.	46
5.1.2. Caractérisation des différents régimes de propagation.	47
5.1.2.1. Caractéristique des lignes microrubans.	48
5.1.2.2. Comparaison simulations électromagnétiques-modèle.	49
5.1.3. Lignes microrubans pour l'amplification millimétrique.	50
5.1.3.1. Description générale des lignes microrubans millimétriques.	50
5.1.3.2. Caractéristiques des lignes microrubans millimétriques.	52
5.1.3.3. Comparaison simulations électromagnétiques-modèle.	53
5.2. Etude des lignes coplanaires.	54
5.2.1. Description générale des lignes coplanaires.	55
5.2.2. Caractérisation des différents régimes de propagation.	57
5.2.3. Caractéristiques des lignes coplanaires.	57
5.2.4. Comparaison simulations électromagnétiques-modèle.	59
6. Extraction des modèles équivalents des discontinuités.	60
6.1. Cas des discontinuités à deux accès.	61
6.2. Cas des discontinuités à 3 accès.	63
6.3. Cas des court-circuits, des circuits-ouverts, et des ponts en technologie coplaire.	64
6.4. Modèles extraits de discontinuités.	65
7. Conclusion du chapitre 2.	67

1. Introduction.

Avec la montée en fréquence des systèmes radiofréquences CMOS, l'importance des effets introduits par les interconnexions est croissante. L'approche basse fréquence employée jusqu'à présent par les extracteurs commerciaux de parasites consistait à négliger les effets inductifs et à modéliser les interconnexions par des réseaux RC. Cette modélisation devient insuffisante pour les systèmes fonctionnant à des fréquences supérieures au gigahertz conçus avec des technologies CMOS. L'approche massivement utilisée en technologies micro-ondes planaires qui consiste à considérer les interconnexions comme des lignes de transmission n'admettant qu'un seul mode de propagation quasi-TEM¹, devient inévitable pour des circuits CMOS radiofréquence ou haute fréquence.

Dans le contexte des technologies silicium, la nature faiblement résistive des substrats et les couches métalliques constituant les niveaux d'interconnexions, plus fines que celles rencontrées en technologies III/V, augmentent fortement les coefficients d'atténuation des lignes de transmission sur silicium par rapport aux technologies micro-ondes planaires classiques. De nombreuses techniques impliquant des modifications coûteuses des procédés de fabrication sont proposées dans la littérature afin de minimiser le coefficient d'atténuation des lignes de transmission sur les technologies silicium. A titre d'exemple, citons le micro usinage qui consiste à supprimer le substrat de silicium sous les lignes coplanaires [1, 2], l'utilisation de substrat haute résistivité ($> 150 \Omega\text{cm}$) [3] qui permet de réduire les pertes diélectriques. Les travaux développés à l'IEMN (Institut d'Electronique et de Microélectronique et de Nanotechnologie) par Six [4] proposent d'intercaler une couche diélectrique constituée de Benzo Cyclo Buthène (B.C.B.) entre le substrat de silicium et les interconnexions radiofréquences fabriquées en or. Les très faibles pertes diélectriques générées par ce polymère font qu'il est massivement utilisé en technologie MMIC III/V comme couche de passivation entre le substrat semi-conducteur semi-isolant et les interconnexions. Or, la diminution du coefficient d'atténuation observée s'accompagne d'une baisse de la permittivité diélectrique effective par rapport aux lignes sans B.C.B. Ceci impose un allongement géométrique des lignes de transmission par rapport à une technologie sans B.C.B. pour obtenir une longueur électrique égale. Cependant, des résultats particulièrement encourageants pour la réalisation de filtres passifs sur une technologie BiCMOS SiGe dans le domaine des ondes millimétriques ont été publiés par Prigent de l'Université de Brest [5]. D'autres auteurs proposent d'exploiter le phénomène d'onde lente obtenu grâce à l'optimisation des structures de propagation basées sur des lignes coplanaires [6]. La table ci-dessous récapitule les performances obtenues par quelques-unes de ces modifications.

¹ Mode TEM : Mode transverse électromagnétique, c'est à dire que les composantes longitudinales des champs électriques et magnétiques sont quasi nulles.

Table 1. Etat de l'art de lignes sur silicium.

résistivité du substrat	Technique	α dBmm ⁻¹ à 20 GHz	ref
10 Ω cm	micro usinage lignes cuivre	0,3	[2]
150 Ω cm	SIO+si haute résistivité	0,3	[3]
10 Ω cm	B.C.B. 10 μ m lignes Or	0,15	[4]
10 Ω cm	structure périodique à onde lente	0,3	[6]

Malheureusement ces avancées technologiques ne sont pas encore disponibles dans les technologies CMOS standard.

L'émergence récente de technologie CMOS offrant des transistors utilisables jusqu'aux fréquences micro-ondes dépassant les 10 GHz ne s'accompagne pas encore de la présence de modèles d'interconnexions précaractérisés. Cependant, de nombreux modèles physico-électriques de lignes ont été développés et implémentés dans les logiciels de conception hyperfréquence pour les technologies micro-ondes planaires. Les modèles utilisés dans la majorité des logiciels commerciaux hyperfréquences décrivent les lignes, qu'elles soient microrubans ou coplanaires, par leurs géométries. Leurs paramètres secondaires en sont déduits. Ces modèles à description géométrique, sont basés essentiellement sur les travaux d'Hammerstad [7] et de Kirsning [8] pour les lignes microrubans et sur les travaux de Gione [9] et Wheeler [10] pour les lignes coplanaires. Ces modèles ne peuvent pas représenter la complexité des substrats CMOS car ils supposent par exemple que les plans de masse peuvent être considérés comme continus et massifs, qu'aucune passivation n'est présente sur le circuit... Or une passivation est présente et les plans de masse ne peuvent pas être massifs : bien souvent ceux-ci doivent comporter des trous dans une part grandissante des technologies CMOS. De plus il ne semble pas possible dans ce type de modèles de décrire un substrat semi-conducteur à faible conductivité synonyme de fortes pertes diélectriques. Il devient nécessaire de les adapter ou bien de recourir à une description de la ligne par ses paramètres primaires ou secondaires sans considération géométrique. Une des solutions, que nous choisissons, est d'avoir recours au modèle TLINP du logiciel A. D. S. [11] qui décrit une ligne quasi-TEM uniquement par ses paramètres secondaires.

De plus en plus de circuits CMOS fonctionnant dans le domaine des ondes millimétriques sont publiés. A ces fréquences, l'effet des discontinuités et des interconnexions n'est plus négligeable, et leur prise en compte devient nécessaire. Deux approches complémentaires sont possibles, la première consiste à concevoir les circuits sans tenir compte des discontinuités, à simuler électromagnétiquement l'ensemble des interconnexions avec les discontinuités puis à retoucher le circuit. Ce processus itératif peut s'avérer coûteux en terme de temps et de ressources de calcul. Pour éviter cela, nous proposons d'adapter les modèles existants des principales discontinuités rencontrées dans les circuits comme les T, les coudes à 90°, les courts-circuits et les circuits-ouverts en adoptant les méthodes d'extraction

regroupées dans l'ouvrage de Gutpa [12]. Afin de comparer le gain de temps, nous avons développé deux circuits d'adaptation coplanaires en utilisant les deux méthodes. Le développement suivant la première approche globale a nécessité de nombreuses simulations électromagnétiques d'ajustement alors que la seconde, après le développement des modèles des discontinuités, permet de réaliser les retouches à l'aide de simulations électriques beaucoup plus rapides. Une seule simulation électromagnétique de confirmation devient suffisante. Pour information, la simulation électromagnétique d'une maille d'adaptation sur un ordinateur de bureau muni d'un processeur 32 bits cadencé à 2,4 GHz et muni de 3 Goctets de mémoire nécessite plusieurs heures alors que la simulation du même circuit décrit par des modèles électriques ne nécessite que quelques secondes sur le même ordinateur.

L'objet de ce second chapitre est de concevoir, de caractériser et de modéliser des interconnexions haute-fréquence que nous souhaitons exploiter jusqu'aux fréquences millimétriques. Grâce à ce travail nous pouvons prendre en compte les interconnexions et les employer comme éléments passifs dans les conceptions présentées dans les chapitres suivants de ce mémoire.

Dans un premier temps, nous présentons la description générale des lignes intégrables en technologie silicium avec leurs principales caractéristiques.

Dans un second temps, nous décrivons la technologie à notre disposition ainsi que les principales contraintes technologiques imposant des modifications structurelles par rapport aux technologies micro-ondes des lignes de transmissions.

Dans un troisième temps, nous présentons le modèle que nous employons avec son domaine de validité ainsi que sa procédure d'extraction. Ce modèle est basé sur une représentation par l'intermédiaire des paramètres secondaires (Z_c , γ , ϵ_{eff}) de la ligne.

Dans un quatrième temps, nous présentons les paramètres secondaires (Z_c , γ , ϵ_{eff}) des lignes microrubans et coplanaires conçues.

La dernière partie de ce chapitre est consacrée aux méthodes d'extraction des modèles équivalents des principales discontinuités que nous rencontrons dans nos circuits hautes fréquences.

2. Différentes lignes de transmission en technologies CMOS standard.

Les lignes usuellement employées pour la conception de circuits micro-ondes et millimétriques sont les lignes microrubans et les lignes coplanaires.

Les lignes microrubans sont constituées d'un plan de masse et d'une ligne signal séparés par un diélectrique d'épaisseur H et de permittivité diélectrique relative ϵ_r . Dans les technologies silicium actuelles offrant jusqu'à sept niveaux métalliques, si une configuration à plan de masse métallique est retenue, le premier niveau est souvent consacré à la réalisation du plan de masse et le dernier niveau, plus épais, à la réalisation du ruban signal. Cette configuration impose de réaliser les retours de masse par des vias et l'accès aux composants actifs, situés sous le premier niveau de métallisation, oblige à interrompre le plan de masse.

La seconde catégorie d'interconnexion haute-fréquence est formée par les lignes coplanaires qui sont généralement moins employées. Cependant leurs caractéristiques dans le domaine millimétrique, notamment en terme de coefficient d'atténuation et de dispersivité, rendent leur utilisation attrayante. Contrairement aux lignes microrubans, le plan de masse, divisé en deux, est rapporté sur le même niveau métallique de part et d'autre de la ligne signal. Il n'est plus nécessaire ni de réaliser les retours à la masse par des vias, ni d'interrompre le plan de masse pour connecter les transistors.

2.1. Différents régimes de propagation des lignes de transmission sur silicium.

Les lignes de transmission sur substrat de silicium admettent trois régimes de propagation quasi-TEM qui se différencient par la nature des pertes [3, 13, 14]. Ils se décomposent en fonction des fréquences croissantes comme suit.

- Un régime à onde lente qui apparaît en basse fréquence et dans les substrats de faible résistivité. Dans ce régime, le champ magnétique s'étend dans le silicium alors que le champ électrique ne peut y pénétrer, car le substrat se comporte comme un conducteur à pertes. Ce mode est caractérisé par une forte valeur de la permittivité électrique effective ϵ_{eff} supérieure ou égale à la permittivité diélectrique relative du silicium ϵ_{rSi} . Il est susceptible d'apparaître en dessous de la fréquence de relaxation des porteurs majoritaires dans le substrat de silicium de conductivité σ_{Si} donnée par la relation (1).

$$F_{si} = \frac{\sigma_{Si}}{2\pi\epsilon_0\epsilon_{rSi}} \quad (1)$$

- Un régime diélectrique où les pertes sont majoritairement diélectriques, ce régime apparaît aux fréquences intermédiaires.
- Un régime à effet de peau où le substrat se comporte comme un conducteur de conductivité σ_{Si} . Aucun des deux champs électrique et magnétique ne s'étend au-delà de l'épaisseur de peau. Les pertes sont principalement métalliques. Ce régime apparaît au dessus de la fréquence de coupure de l'effet de peau dans les métaux d'épaisseur t et de résistivité ρ_{met} (2).

$$F_{\delta} = \frac{\rho_{met}}{2\pi\mu_0 t^2} \quad (2)$$

Hasegawa [13] propose de discriminer ces régimes à l'aide de la variation de la permittivité électrique effective. Les régimes se caractérisent alors de la façon suivante.

- Le régime d'onde lente est caractérisé par une valeur de ϵ_{eff} supérieure ou égale à ϵ_{rSi} .
- Le régime diélectrique est caractérisé par une forte variation de la valeur de ϵ_{eff} tout en restant inférieure à ϵ_{rSi} .
- Le régime à effet de peau est caractérisé par une valeur de ϵ_{eff} quasi constante.

3. Description et extraction du modèle équivalent.

Comme nous l'avons vu précédemment, l'utilisation directe des modèles de ligne microruban ou coplanaire disponibles dans les logiciels de conception commerciaux hyperfréquences est difficile voire impossible. Nous choisissons de ne pas employer ces modèles et d'utiliser un modèle décrivant les lignes quasi-TEM par leurs paramètres secondaires. Nous extrayons les paramètres de ce modèle à l'aide de simulations électromagnétiques 3D réalisées à l'aide du logiciel HFSS de la société Ansoft. Les simulations électromagnétiques sont des processus de calcul lourds en temps et en ressources mémoire. Même s'il devient envisageable de simuler des portions de circuit comme des mailles d'adaptation, les temps de simulation nécessaires ne permettent pas de concevoir entièrement des circuits sans avoir recours à des modèles paramétrables géométriquement ou par leurs paramètres primaires ou secondaires. L'une des difficultés de ces simulations est l'évaluation des pertes

métalliques basse fréquence dues en partie à la résistance métallique continue des interconnexions. En effet, cette prise en compte nécessite un maillage fin des conducteurs métalliques augmentant énormément le temps de simulation. Par contre, lorsque le régime d'effet de peau est parfaitement établi, la description des métaux par leur impédance de surface est suffisante pour déterminer l'ensemble des pertes métalliques. Les métaux ne sont plus discrétisés et le temps de simulation en est fortement diminué. Deux cas se présentent alors aux concepteurs.

- Un premier cas où la prise en compte de la résistance basse fréquence n'est pas nécessaire parce que le circuit comprenant les interconnexions fonctionne à des fréquences telles que la description par une impédance de surface suffit.
- Un second cas où les dimensions du circuit ou la fréquence de fonctionnement sont tels que la résistance basse fréquence doit être prise en compte. Deux solutions sont envisageables, la première consiste à simuler l'interconnexion avec un maillage des métaux, la seconde consiste à ajouter à un modèle haute fréquence obtenu par une simulation sans maillage des métaux, la résistance continue calculée grâce à la résistance carrée disponible dans les données technologiques du procédé de fabrication.

Dans toute la suite de ce chapitre les résultats présentés sont obtenus, sauf indication contraire, sans maillage des métaux.

3.1. Description du modèle équivalent.

L'ensemble des modèles disponibles dans la littérature suppose généralement que les lignes de transmission sont mono-mode quasi-TEM. Une des modélisations possibles d'une ligne de transmission repose sur sa description par un quadripôle RLCG comme celui décrit par la figure 1.

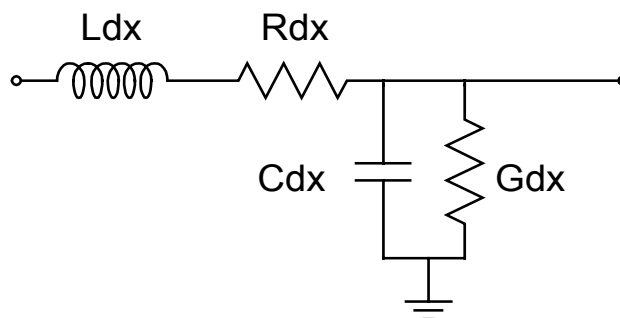


Figure 1 : Schéma équivalent R L C G d'un tronçon de ligne quasi-TEM.

Les deux principales limitations de ce modèle sont d'une part la difficulté de la représentation de lignes de longueur électrique supérieure à 30° et d'autre part la difficulté de la description dans les logiciels hyperfréquences commerciaux d'une résistance variant avec la fréquence qui est rendue nécessaire par l'effet de peau. Pour résoudre ces deux problèmes nous choisissons d'utiliser le modèle TLINP du logiciel A.D.S. de la société Agilent qui permet de décrire une ligne de transmission quasi-TEM par ses paramètres secondaires [11] dépendants de la fréquence. Il permet également de déclarer séparément les pertes métalliques, modélisées par l'équation (3), et les pertes diélectriques modélisées par l'équation (4). Cette définition séparée des pertes rend possible la prise en compte d'un caractère dispersif des lignes [11]. Dans l'équation (3) décrivant les pertes métalliques, le coefficient A_0 représente les pertes métalliques à la fréquence f_0 . Les pertes diélectriques sont décrites par la relation (4) où la tangente de l'angle de pertes $\tan(\delta)$ doit être déclarée à la même fréquence f_0 . De cette valeur est déduite une conductance de pertes diélectrique (G).

$$\alpha_{\text{mét}} = A_0 \sqrt{\frac{f}{f_0}} \quad (3)$$

$$G \propto 2\pi f \tan(\delta) \quad (4)$$

Malheureusement ce modèle ne tient pas compte de la variation de l'inductance linéique avec la fréquence, mais les simulations tendent à montrer que cette variation n'est importante qu'aux fréquences inférieures à 5 GHz dans le cas de notre technologie. Avec la figure 2, nous comparons les variations relatives de l'inductance linéique obtenue par la simulation de deux lignes coplanaires l'une de 50 Ω , l'autre de 88 Ω et une dernière microruban de 27 Ω .

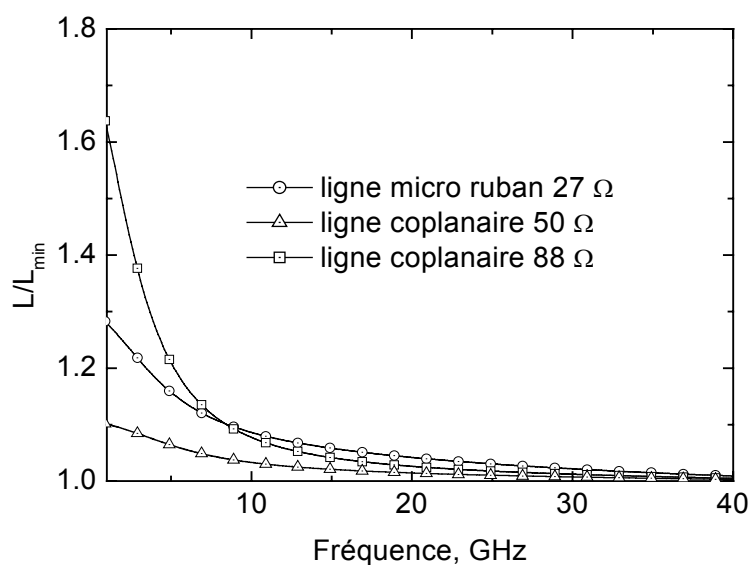


Figure 2 : Variation de l'inductance linéique réduite de différentes lignes en fonction de la fréquence.

Le modèle TLINP reste une approximation suffisante pour la conception de circuit fonctionnant à des fréquences supérieures à environ 5 GHz dans le cas particulier de la technologie qui est à notre disposition. Cette fréquence limite est dépendante de l'impédance caractéristique et du type de ligne (coplanaire ou microruban).

La conception de certains amplificateurs nécessite des lignes longues de plusieurs millimètres ou de portions de circuits passifs constituées de plusieurs tronçons de ligne de transmission dont la résistance basse fréquence totale n'est pas négligeable. Cette résistance métallique continue n'est pas prise en compte ni par le modèle TLINP ni par les simulations électromagnétiques lorsque les conducteurs métalliques ne sont pas maillés. La résistance métallique basse fréquence doit être ajoutée au modèle pour obtenir une caractérisation du comportement basse fréquence de la ligne.

Pour valider cette démarche, nous comparons les coefficients de transmission (S_{21}) d'une ligne coplanaire de 2 mm obtenue par le modèle TLINP avec et sans la résistance DC et les mesures (figure 3). Si le circuit ne fonctionne pas aux fréquences inférieures à l'apparition du régime d'effet de peau (entre 15 et 20 GHz dans notre technologie et suivant les lignes considérées) cette prise en compte n'est pas nécessaire.

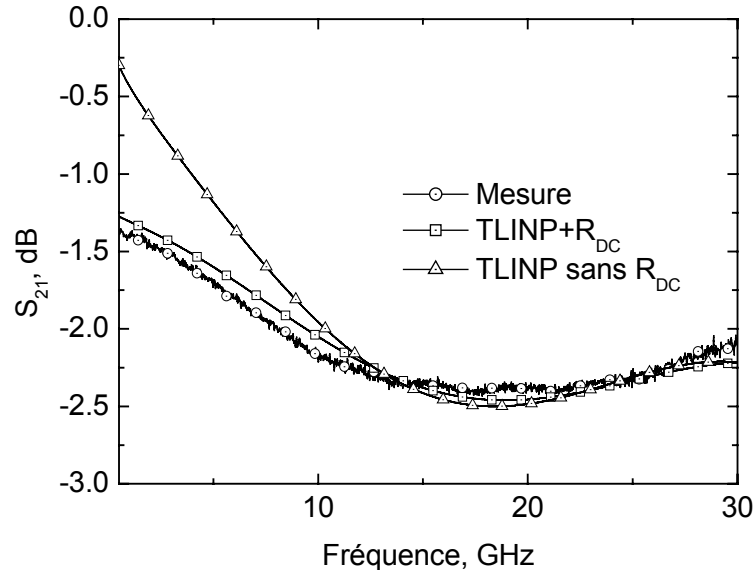


Figure 3 : Coefficient de transmission d'une ligne coplanaire d'impédance caractéristique 88 Ω , longueur 2 mm.

3.2. Extraction du modèle équivalent.

Nous extrayons les paramètres du modèle TLINP à partir de la matrice de répartition mono-mode de la ligne à étudier obtenue par une simulation électromagnétique 3D. Nous nous basons sur la méthode décrite par Dürr [14]. La définition des matrices de répartition est disponible dans la

publication de Kurokawa [15]. En notant Z_0 l'impédance de normalisation, Z_c l'impédance caractéristique de la ligne et γ la constante de propagation du mode fondamental quasi-TEM se propageant dans une ligne de longueur l . Les relations (5) et (6) donnent l'impédance caractéristique Z_c et la constante de propagation γ du mode fondamental de la ligne.

$$Z_c = Z_0 \sqrt{\left(\frac{1 + (S_{11} + S_{21})}{1 - (S_{11} + S_{21})} \cdot \frac{1 + (S_{11} - S_{21})}{1 - (S_{11} - S_{21})} \right)} \quad (5)$$

$$\gamma = \frac{2}{l} \text{Arc tanh} \sqrt{\left(\frac{1 + (S_{11} - S_{21})}{1 - (S_{11} - S_{21})} \cdot \frac{1 - (S_{11} + S_{21})}{1 + (S_{11} + S_{21})} \right)} \quad (6)$$

Connaissant les relations (7) et (8), nous extrayons de la constante de propagation le coefficient d'atténuation de la ligne α (9) et la permittivité diélectrique effective complexe ϵ_{eff} (10) en fonction de la fréquence. Dans ces expressions C_0 désigne la vitesse de la lumière dans le vide et μ_r la perméabilité magnétique relative du substrat que nous supposons unitaire dans la suite de ce mémoire.

$$\gamma = \alpha + j\beta \quad (7)$$

$$\gamma^2 = \frac{(\epsilon'_{\text{eff}} - j\epsilon''_{\text{eff}}) \mu_r \omega^2}{C_0^2} \quad (8)$$

$$\alpha = \Re(\gamma) \quad (9)$$

$$\epsilon_{\text{eff}} = \epsilon'_{\text{eff}} - j\epsilon''_{\text{eff}} = \left(\frac{\gamma C_0}{\omega \mu_r} \right)^2 \quad (10)$$

De l'expression (10) nous déduisons la tangente de l'angle de pertes définie par la relation.

$$\tan(\delta) = \frac{\epsilon''_{\text{eff}}}{\epsilon'_{\text{eff}}} \quad (11)$$

4. Description de la technologie utilisée.

La technologie CMOS à notre disposition repose sur un substrat de résistivité $10 \Omega\text{cm}$, valeur environ dix fois supérieure à la résistivité des substrats des technologies CMOS dédiées à la conception de circuits purement numériques. Cette augmentation permet d'obtenir des éléments passifs plus performants qui rendent possible le développement de circuits intégrés analogiques ou mixtes fonctionnant en plus haute fréquence.

Les recherches sur les interconnexions et la physique de migration des métaux dans les oxydes ont permis de développer des technologies sur substrat silicium dont les interconnexions métalliques, habituellement en aluminium, sont réalisées en cuivre de conductivité supérieure. Cela permet de réduire les pertes métalliques dans les interconnexions. La figure 4 donne une vue schématique en coupe de la technologie utilisée. Pour des raisons de confidentialité, les dimensions ne sont pas exactes.

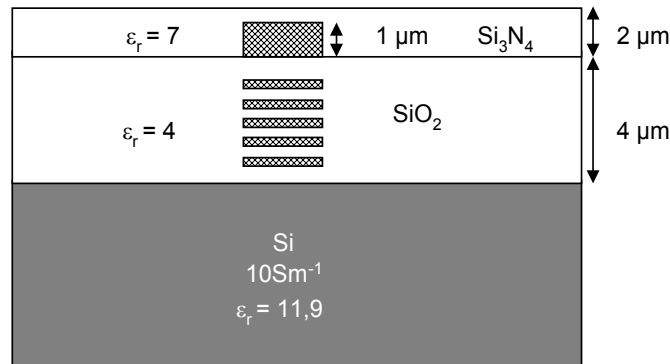


Figure 4 : Vue en coupe des niveaux métalliques de la technologie utilisée.

La diminution de la longueur des transistors et l'augmentation correspondante de leur densité nécessitent des interconnexions de plus en plus proches. Cette proximité implique la réduction des dimensions géométriques des interconnexions qui nécessite l'amincissement des niveaux métalliques. Ces modifications technologiques rendent impossible le dépôt de surfaces métalliques trop importantes provoquant des dislocations et des décollements des métaux nuisibles au fonctionnement des circuits. Par exemple, la technologie à notre disposition ne permet pas le dépôt de surfaces métalliques pleines de largeur supérieure à une dizaine de micromètres. Cette limitation interdit notamment la réalisation de plan de masse massif. Une solution pour résoudre ce problème est d'y pratiquer des trous ou de les fragmenter afin de respecter les règles technologiques. Cette limitation impose également une largeur maximale d'environ une dizaine de micromètres pour les lignes.

5. Conception de lignes de transmission en technologie CMOS.

5.1. Etude des lignes microrubans.

Nous souhaitons utiliser les lignes microrubans comme interconnexions blindées vis à vis du bruit provenant du substrat dans les blocs radiofréquences d'un système sur puce (SOC). Dans ce type de système, la même puce comprend toutes les fonctions nécessaires aux communications radiofréquences. Sur le même substrat doivent cohabiter des fonctions analogiques haute et basse fréquence ainsi que des fonctions numériques. Ces fonctions injectent des courants dans le substrat qui sont collectés dans l'ensemble des jonctions des circuits présentes sur la puce et par les

interconnexions de la partie haute fréquence. Il en résulte un couplage électrique entre les différentes fonctions de la puce.

Une autre approche du phénomène consiste à étudier ce problème d'un point de vue électromagnétique. Une fonction numérique peut être considérée comme un excitateur du substrat qui injecte une onde électromagnétique dans le substrat. Comme les champs électriques et magnétiques mis en jeu sont faibles, nous proposons une modélisation du substrat par les coefficients d'une matrice de répartition utilisant comme plan de référence du quadripôle l'accès de substrat de la fonction logique et l'accès de substrat de la fonction analogique. Nous avons utilisé ce principe pour étudier des structures de blindage comme des plans de masse.

Nous simulons, de cette façon, l'efficacité de la présence d'un plan de masse entre les interconnexions de la maille d'entrée de l'amplificateur faible bruit et le substrat du circuit. Nous excitions le substrat du circuit à une distance de 650 μm à l'aide d'une ligne microruban dont une extrémité est connectée au substrat, la victime est une ligne microruban de longueur 200 μm . Nous simulons ce circuit avec un plan de masse constitué du niveau de métal M_1 et le même circuit sans plan de masse sous la ligne victime.

La figure 5 donne le résultat d'une simulation électromagnétique. Nous y observons une forte réduction du coefficient de couplage entre la ligne victime et l'excitateur lorsqu'un plan de masse est intercalé entre le substrat et l'interconnexion victime.

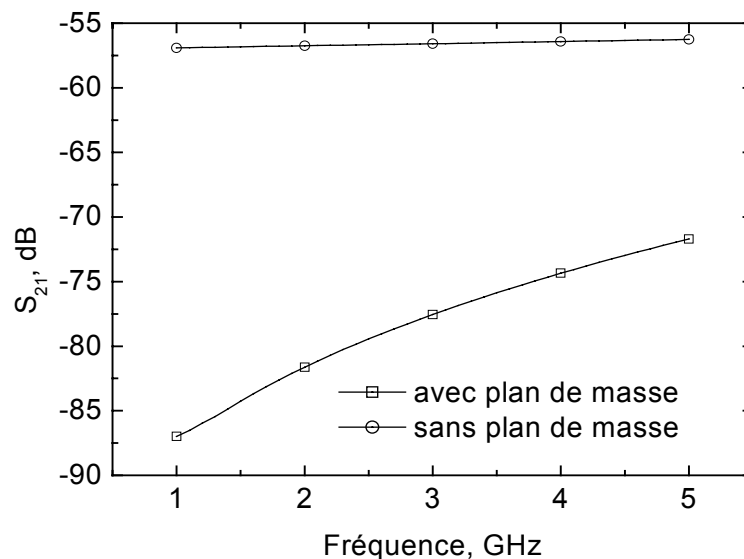


Figure 5 : Efficacité d'un plan de masse pour la diminution du couplage par le substrat.

Un second avantage d'un plan de masse métallique réalisé avec un des premiers niveaux d'interconnexions est qu'il permet de réduire l'influence du substrat sur les pertes diélectriques [16] (figure 6).

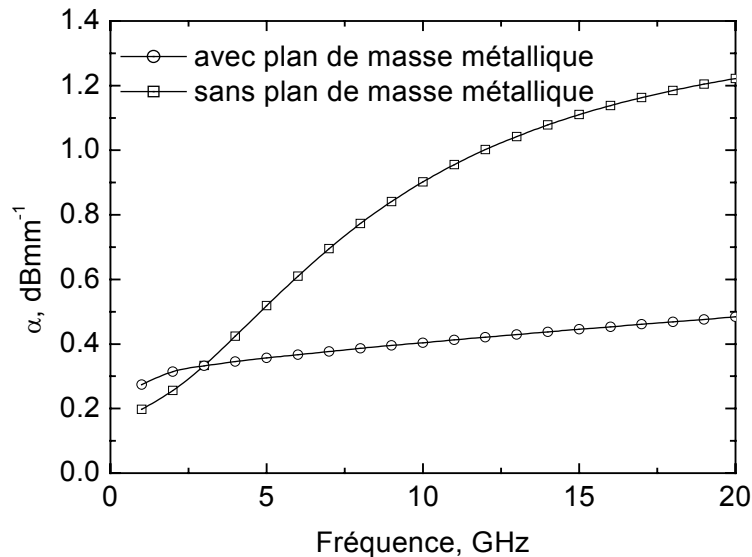


Figure 6 : Comparaison du coefficient d'atténuation de deux lignes microrubans $w = 12 \mu\text{m}$.

A titre d'exemple, nous comparons sur la figure 6 les coefficients d'atténuation de deux lignes de largeur $12 \mu\text{m}$, l'une avec un plan de masse métallique et l'autre où le rôle de plan de masse est rempli par le substrat de silicium. Dans le cas d'une ligne sans plan de masse métallique, nous observons une forte augmentation des pertes pour les fréquences supérieures à environ 3 GHz causée par la faible résistivité du substrat silicium lorsqu'il joue le rôle de plan de masse (figure 6).

5.1.1. Description générale de la ligne microruban.

Comme nous l'avons expliqué précédemment, les règles technologiques rendent impossible la fabrication de plans de masse massifs et continus de grande taille. Nous choisissons de fabriquer ce plan de masse avec le premier niveau de métallisation en pratiquant les trous nécessaires au respect des règles technologiques. Nous utilisons le dernier niveau métallique plus épais comme ligne signal afin de limiter la résistance de pertes métalliques et d'augmenter la distance entre le plan de masse et la ligne signal. La figure 7 donne une vue de dessus et en coupe de la ligne microruban telle que nous la réalisons dans la technologie à notre disposition.

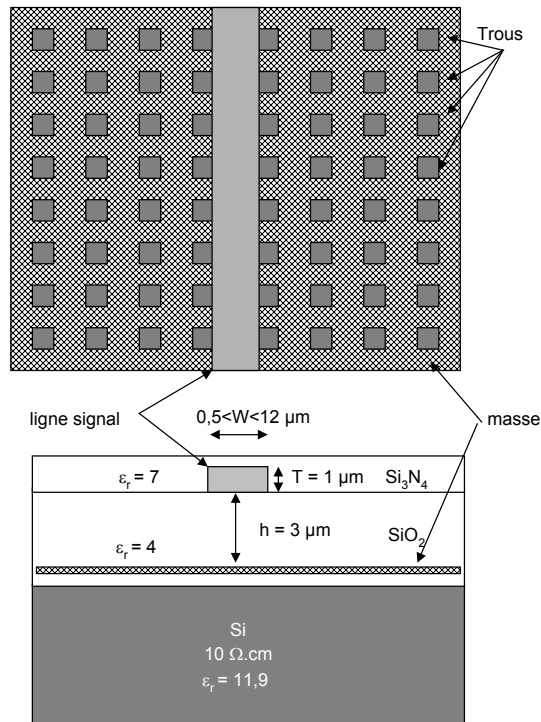


Figure 7 : Vue de dessus et en coupe d'une ligne microruban avec plan de masse à trou.

5.1.2. Caractérisation des différents régimes de propagation.

Nous caractérisons l'apparition du régime diélectrique, d'onde lente et d'effet de peau en traçant la courbe de la figure 8 qui décrit les variations fréquentielles de la permittivité diélectrique effective d'une ligne microruban de 12 μm de large extraite par la relation (10).

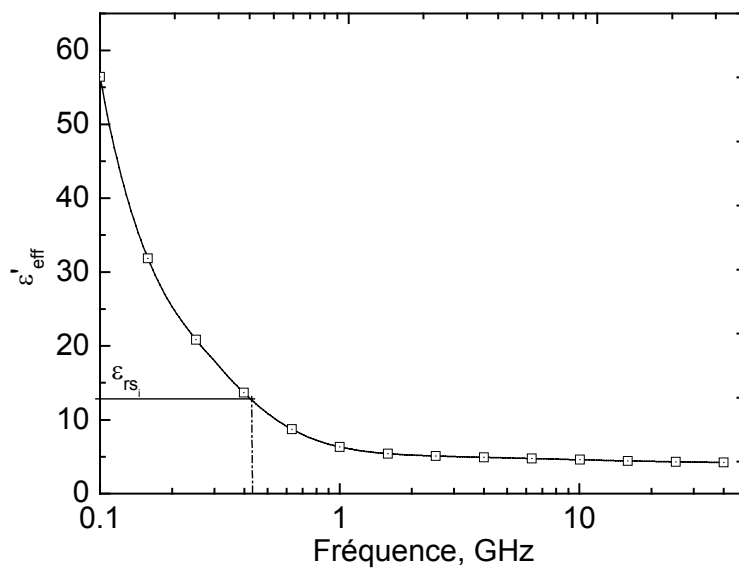


Figure 8 : Partie réelle de la permittivité diélectrique effective d'une ligne microruban en fonction de la fréquence ($W=12 \mu\text{m}$).

Nous déduisons de cette figure que le régime d'onde lente n'est pas présent aux fréquences supérieures à 500 MHz, de plus pour des fréquences supérieures à 1 GHz la permittivité diélectrique effective varie peu. En conséquence, le modèle TLINP est suffisant pour décrire la ligne microruban présentée au-delà de 1 GHz.

5.1.2.1. Caractéristique des lignes microrubans.

Les figures 9 et 10 donnent les caractéristiques extraites grâce aux expressions (7) à (11), des lignes obtenues dans la configuration retenue à la fréquence centrale de fonctionnement (2,45 GHz) d'un amplificateur faible bruit dont la conception est présentée dans ce mémoire. Nous avons superposé sur la figure 9 les impédances caractéristiques obtenues sans passivation et sans trou à celle obtenue dans la configuration décrite par la figure 7.

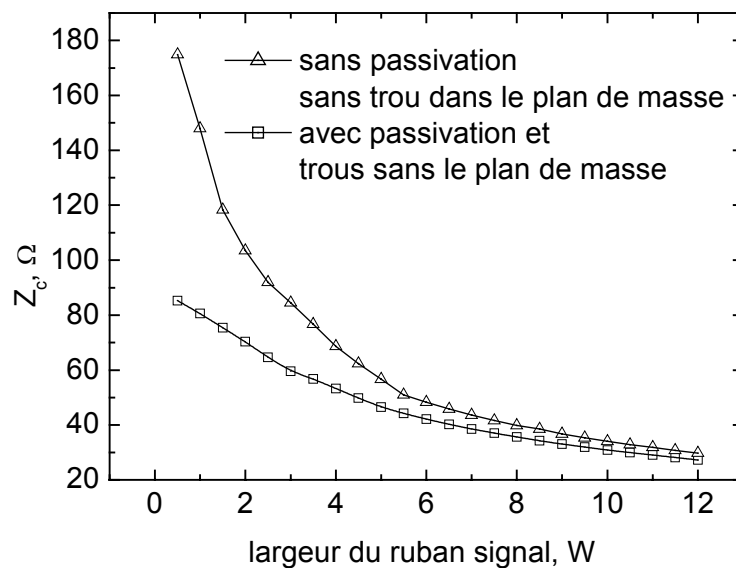


Figure 9 : Impédance caractéristique d'une ligne microruban en fonction de la largeur du ruban signal à 2,45 GHz.

La ligne microruban simulée sans passivation et sans trou dans le plan de masse est géométriquement beaucoup plus proche des modèles génériques implantés dans le logiciel A.D.S. A elle seule, la différence d'impédance caractéristique provoquée par la présence de la couche de passivation justifie le développement de nos propres modèles. Nous souhaitons minimiser le coefficient d'atténuation afin de réduire les pertes introduites par les interconnexions. De la figure 10 nous déduisons qu'en se limitant aux lignes réalisables sans ruban signal troué, le choix d'une impédance caractéristique de 27 Ω s'impose. Nous obtenons cette impédance caractéristique pour un ruban de largeur 12 μm (figure 9).

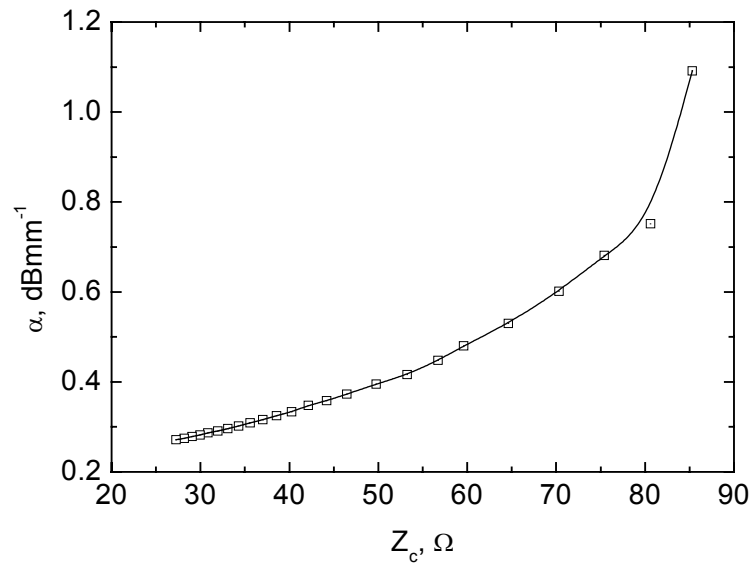


Figure 10 : Coefficient d'atténuation d'une ligne microruban en fonction de son impédance caractéristique à 2,45 GHz.

5.1.2.2. Comparaison simulations électromagnétiques-modèle.

Nous extrayons l'ensemble des paramètres du modèle TLINP présenté au paragraphe 3.1 grâce aux équations (5) à (11). Nous proposons la comparaison des comportements obtenus par la modélisation reposant sur le modèle TLINP du logiciel A.D.S. et le résultat de la simulation électromagnétique 3 D d'une ligne de d'impédance caractéristique 27 Ω .

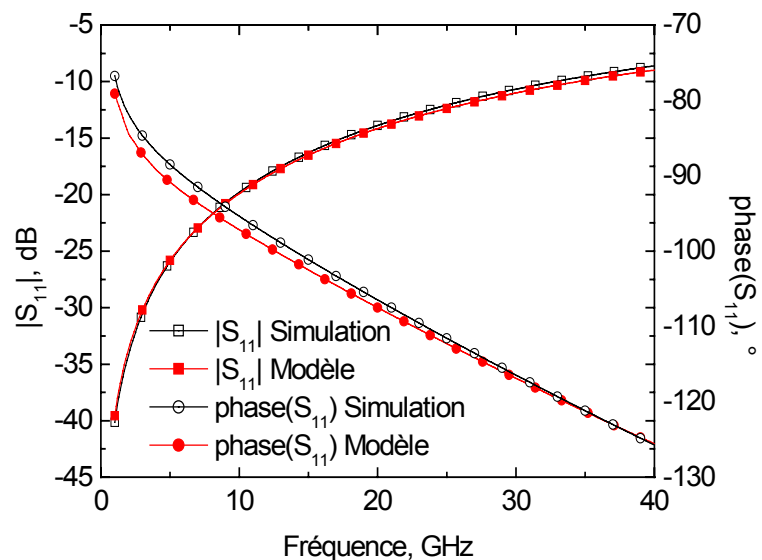


Figure 11 : Comparaison modèle simulation pour une ligne microruban de 27 Ω coefficient de réflexion, dimensions 12 μm x 350 μm .

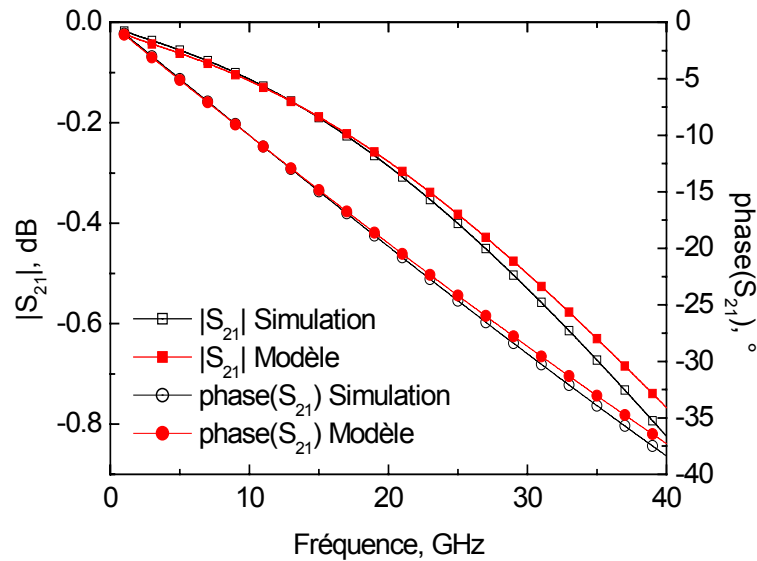


Figure 12 : Comparaison modèle simulation pour une ligne microruban de 27Ω $12 \mu\text{m} \times 350 \mu\text{m}$ coefficient de transmission, dimensions $12 \mu\text{m} \times 350 \mu\text{m}$.

Nous observons un bon accord (figures 11 et 12) entre les simulations électromagnétiques et le modèle sur une plage de fréquence allant jusqu'à 40 GHz.

5.1.3. Lignes microrubans pour l'amplification millimétrique.

5.1.3.1. Description générale des lignes microrubans millimétriques.

Nous souhaitons concevoir des amplificateurs fonctionnant dans la bande de fréquence comprise entre 24 et 29 GHz utilisant des éléments passifs localisés. A ces fréquences, les effets des discontinuités introduites dans le plan de masse imposées par les règles de dessin propres aux inductances sont très difficiles à simuler et à modéliser. En effet, une rupture du plan de masse à environ $50 \mu\text{m}$ des inductances qui facilite la génération de mode d'ordre supérieur, est imposée par les règles de dessin. Devant la difficulté de modélisation de tels phénomènes, nous choisissons de ne pas utiliser de plan de masse étendu. Nous le remplaçons par un plan de masse limité à un ruban plein unique de métal 1 comme le montre la figure 13. Avec cette topologie particulière, le signal peut être acheminé sans rupture d'impédance même à proximité des inductances.

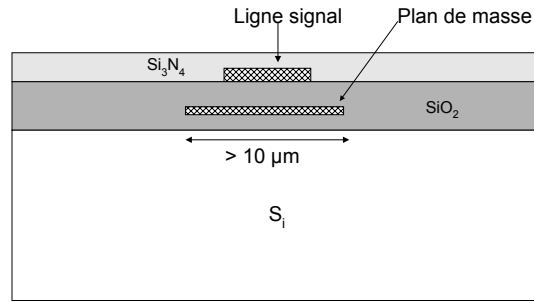


Figure 13 : Ligne microruban avec plan de masse « étroit » pour amplification millimétrique.

Les cartes des champs $\vec{E}$ et $\vec{H}$ présentées par les figures 14 et 15, obtenues par simulations électromagnétiques montrent que la largeur du plan de masse est suffisante pour minimiser l'influence du substrat sur les pertes diélectriques.

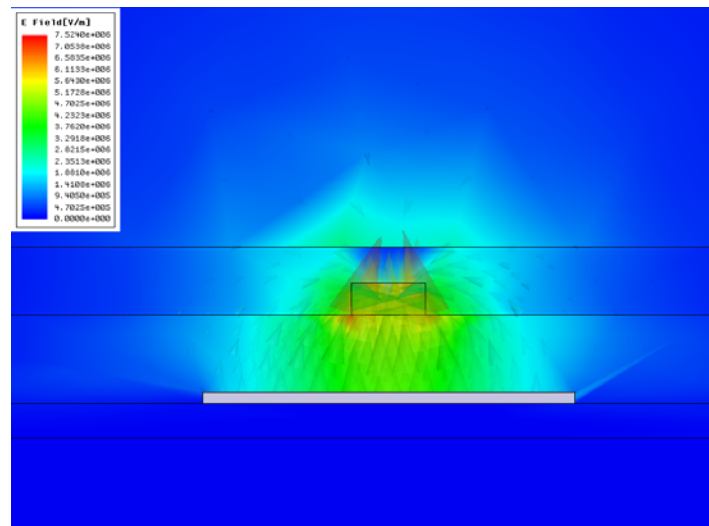


Figure 14 : Carte du champ $\vec{E}$.

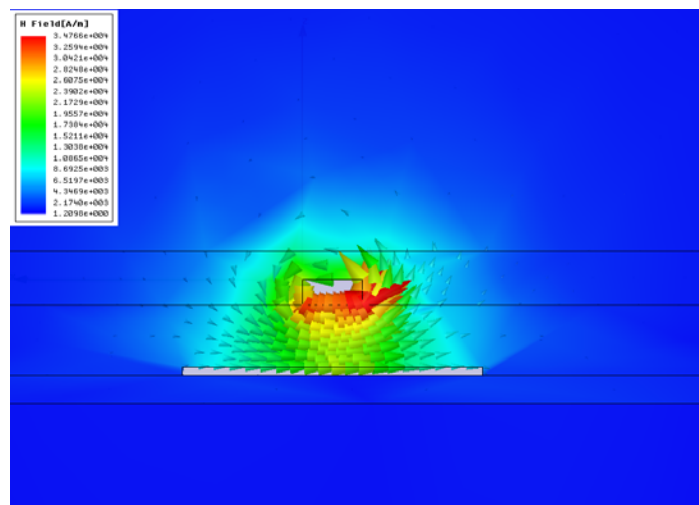


Figure 15 : Cartes du champ $\vec{H}$.

5.1.3.2. Caractéristiques des lignes microrubans millimétriques.

Les règles technologiques nous permettent d'obtenir des impédances caractéristiques comprises entre $27\ \Omega$ et $80\ \Omega$ pour des lignes de largeur comprise entre $12\ \mu\text{m}$ et $0,5\ \mu\text{m}$ (figure 16).

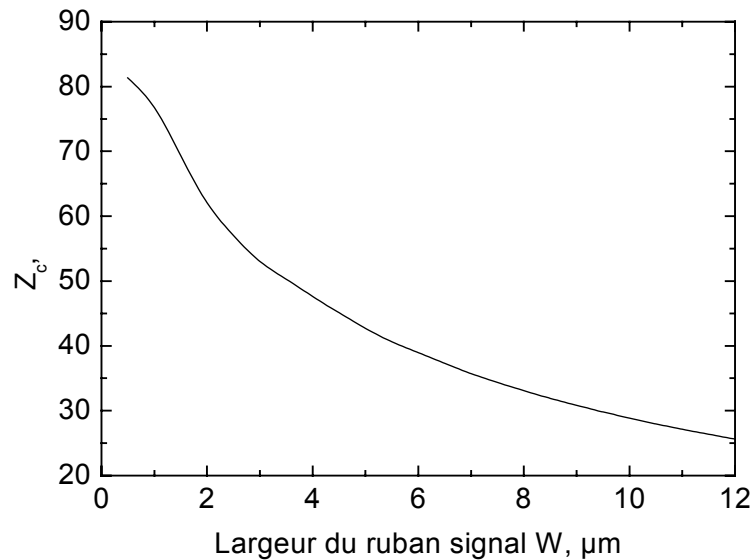


Figure 16 : Impédance caractéristique de la ligne microruban avec plan de masse de $12\ \mu\text{m}$ en fonction de la largeur du ruban signal à 25 GHz.

Aux fréquences considérées, les pertes sont majoritairement métalliques et le régime d'effet de peau est établi, le courant ne circule plus que dans la périphérie des métaux. A 25 GHz la profondeur de l'effet de peau δ est de $0,4\ \mu\text{m}$. En conséquence, les pertes augmentent fortement pour des lignes de largeur inférieure à $2,5\ \mu\text{m}$ (environ 6δ) soit d'impédance caractéristique supérieure ou égale $50\ \Omega$. Lorsque la largeur du ruban est supérieure à la profondeur de peau, le courant circule majoritairement dans sa périphérie sur une épaisseur proche de 3δ , il en résulte que les coefficients de pertes des lignes d'impédance caractéristique inférieure à $50\ \Omega$ varient peu en comparaison des variations observées pour les lignes d'impédance caractéristique plus importante.

Sur la figure 17, nous observons des coefficients d'atténuation importants pour les fortes impédances caractéristiques. Nous privilégions les lignes de faible impédance caractéristique pour les connexions d'éléments entre eux, néanmoins il peut s'avérer nécessaire d'augmenter cette impédance caractéristique au détriment des pertes introduites pour la connexion d'éléments passifs localisés.

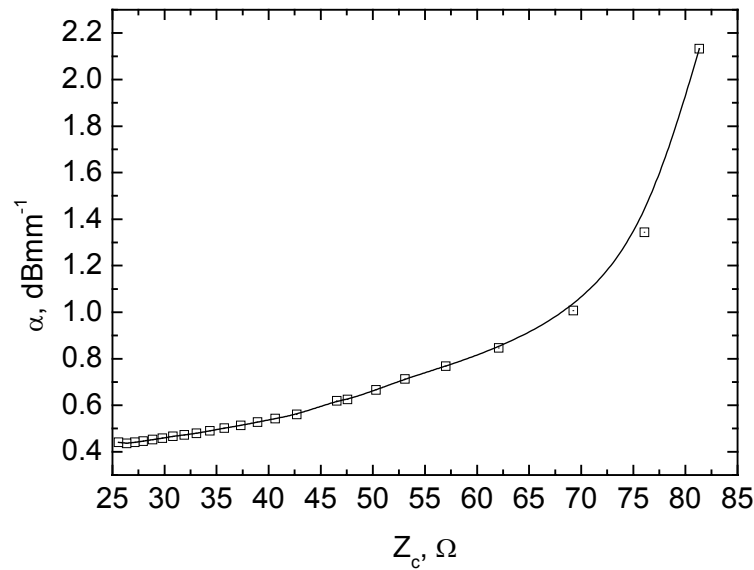


Figure 17 : Coefficient d'atténuation en fonction de l'impédance caractéristique de la ligne à 25 GHz.

5.1.3.3. Comparaison simulations électromagnétiques-modèle.

De même qu'au paragraphe 5.1.2.2 nous extrayons les paramètres du modèle TLINP présenté au paragraphe 3.1 grâce aux équations (5) à (11). Sur les figures 18 et 19 nous présentons la comparaison des comportements obtenus par la modélisation reposant sur le modèle TLINP du logiciel A.D.S. et le résultat de la simulation électromagnétique 3 D d'une ligne microruban millimétrique d'impédance caractéristique 30Ω ($W = 10 \mu\text{m}$) et de longueur $600 \mu\text{m}$.

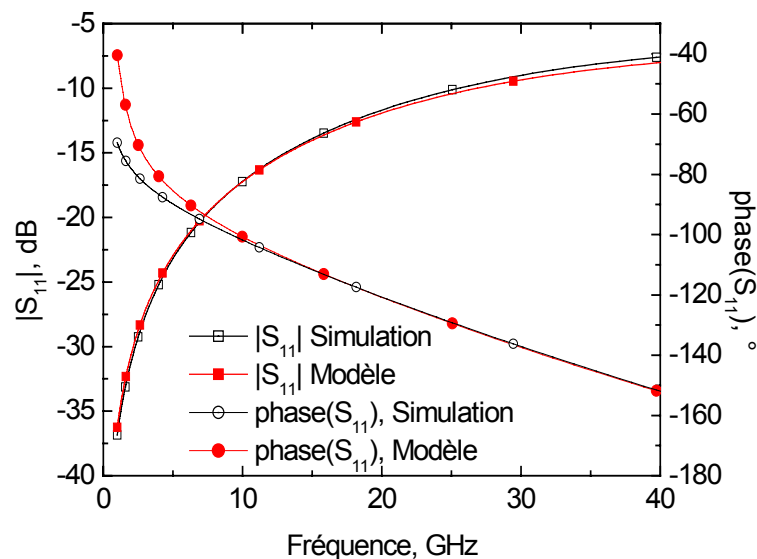


Figure 18 : Comparaison modèle simulation pour une ligne microruban pour applications millimétriques de 30Ω : Coefficient de réflexion, dimensions $10 \mu\text{m} \times 600 \mu\text{m}$.

Nous observons un bon accord (figures 18 et 19) entre les simulations électromagnétiques et le modèle sur une plage de fréquence comprise entre 5 et 40 GHz, seule une différence de la phase du

paramètre S_{11} maximale de 10° est observée en dessous de 5 GHz.

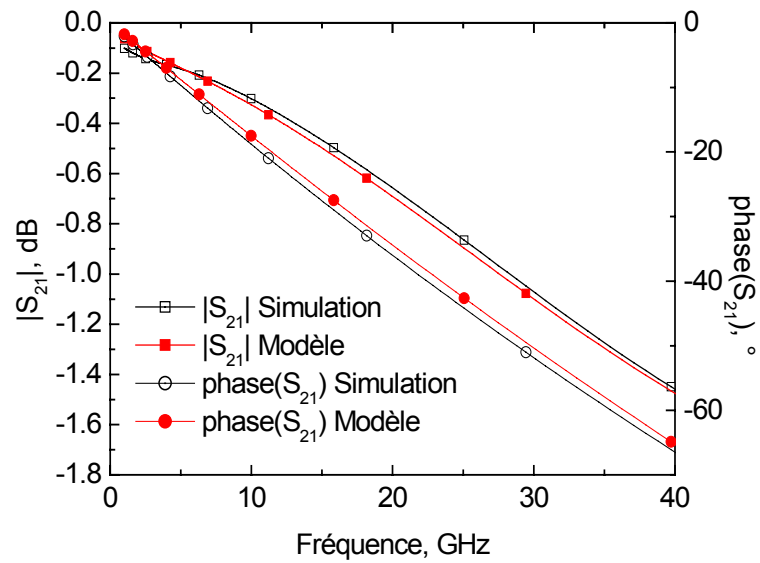


Figure 19 : Comparaison modèle simulation pour une ligne microruban pour applications millimétriques de 30Ω Coefficient de transmission, dimensions $10 \mu\text{m} \times 600 \mu\text{m}$.

5.2. Etude des lignes coplanaires.

Comme nous venons de le voir, l'augmentation des pertes métalliques pour les lignes microrubans de fortes impédances caractéristiques rend leur l'utilisation problématique en haute-fréquence pour des impédances caractéristiques élevées. Nous comparons, dans le cas de notre technologie, les coefficients d'atténuation de lignes coplanaires et microrubans. Nous traçons, sur la figure 20, les résultats obtenus à 40 GHz en fixant la largeur du ruban signal des lignes coplanaires à $3 \mu\text{m}$.

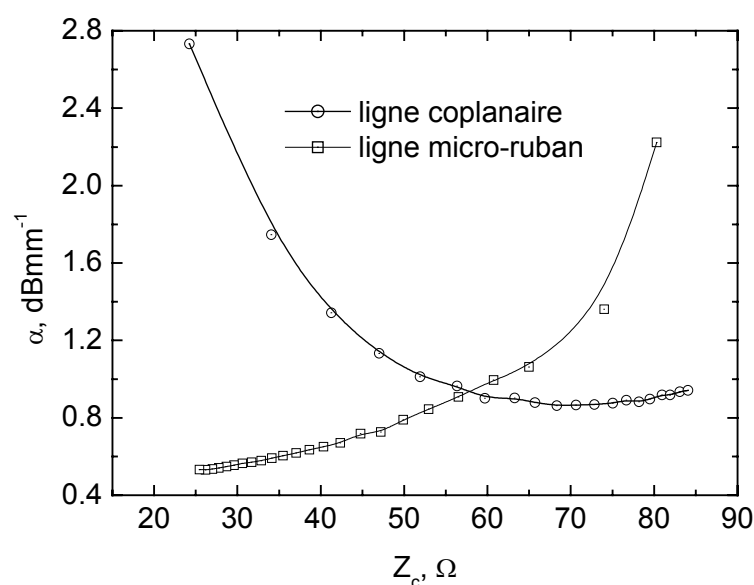


Figure 20 : Comparaison du coefficient d'atténuation d'une ligne microruban et d'une ligne coplaire à 40 GHz.

Nos résultats de simulations ainsi que des résultats obtenus par Six [4] et Viallon [16] montrent que les lignes coplanaires sont préférables pour les impédances caractéristiques élevées.

5.2.1. Description générale des lignes coplanaires.

La ligne coplaire, décrite figure 21, est constituée de deux plans de masse et d'un ruban signal sur un même niveau métallique. Nous notons G la distance entre un plan de masse et la ligne signal et W la largeur du ruban signal. L'impédance caractéristique de la ligne coplaire dépend du couple de valeurs W et G .

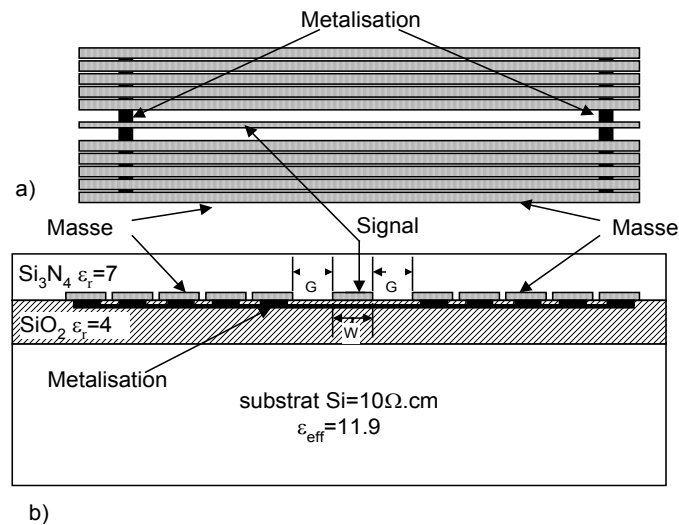


Figure 21 : Description géométrique d'une ligne coplaire.
a) vue de dessus b) vue en coupe.

Lorsque les deux plans de masse ne sont pas reliés, ce type de ligne de transmission admet deux modes guidés quasi-TEM, un mode fente et le mode coplaire. Ces deux modes sont parfaitement dégénérés, c'est à dire qu'ils possèdent exactement la même constante de propagation γ . La figure ci-dessous donne la carte du champ électrique de ces deux modes.

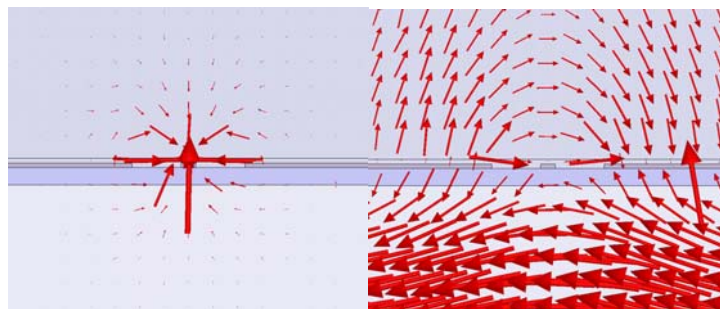


Figure 22 : Carte du champ électrique mode coplaire, mode fente.

Le mode désiré est le mode coplaire, la structure doit être modifiée en fixant au même potentiel

les deux portions de plan de masse afin d'interdire la propagation du mode fente. Pour cela nous ajoutons un court-circuit réalisé avec le niveau de métallisation immédiatement inférieur et le plus court possible pour que l'équipotentialité des plans de masse soit obtenue en très haute fréquence. Ces ponts doivent également être placés le plus proche possible des discontinuités comme les coudes où les T qui peuvent générer le mode fente parasite. La ligne obtenue est alors monomode quasi TEM tant que le pont réalisé est court devant la longueur d'onde guidée transversale.

Les règles technologiques limitent la ligne signal à une largeur comprise entre une dizaine de micromètres et $0,5\ \mu\text{m}$. Les plans de masse doivent être suffisamment larges pour ne pas influencer l'impédance caractéristique et limiter l'apparition de modes d'ordre supérieur [16]. Nous choisissons une largeur supérieure à $50\ \mu\text{m}$ à partir de laquelle l'impédance caractéristique est quasiment indépendante de la fréquence en régime d'effet de peau. Or, la limite technologique de largeur de ruban métallique maximale nous impose de fragmenter les plans de masse en plusieurs rubans métalliques. La distance entre les différents fragments du plan de masse doit être suffisamment faible pour interdire le guidage d'un mode fente entre deux portions de plan de masse. Ceux-ci sont fixés au même potentiel à l'aide des ponts décrits précédemment. Dans cette configuration aucun mode fente parasite ne semble être guidé jusqu'à 100 GHz et les paramètres secondaires de la ligne ne semblent pas être affectés par la fragmentation des plans de masse jusqu'à cette fréquence. La figure 23 montre la structure finale en prenant comme exemple un circuit simple stub avec court-circuit.

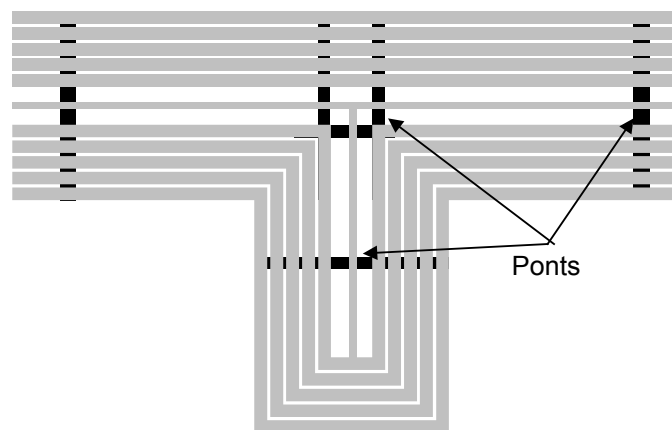


Figure 23 : Exemple de dessins des masques de ponts (circuit simple stub).

La distance entre le plan masse et la ligne signal (G) est limitée à $0,5\ \mu\text{m}$ par la distance minimale possible entre deux rubans métalliques. Il n'existe pas de limite technologique pour la distance G maximale, celle-ci sera d'ordre physique. En effet pour des distances trop grandes le couplage entre les plans de masse et le ruban signal n'existe plus et le mode guidé coplanaire disparaît. De plus, comme nous souhaitons limiter les pertes, il est préférable de ne pas augmenter la distance G au-delà d'une dizaine de micromètres, au-delà de cette valeur le coefficient d'atténuation augmente de nouveau de

façon significative pour une faible augmentation d'impédance.

5.2.2. Caractérisation des différents régimes de propagation.

Nous caractérisons l'apparition des régimes diélectrique, d'onde lente et métallique en traçant la courbe de la figure 24 qui décrit les variations fréquentielles de la permittivité diélectrique effective de la ligne considérée.

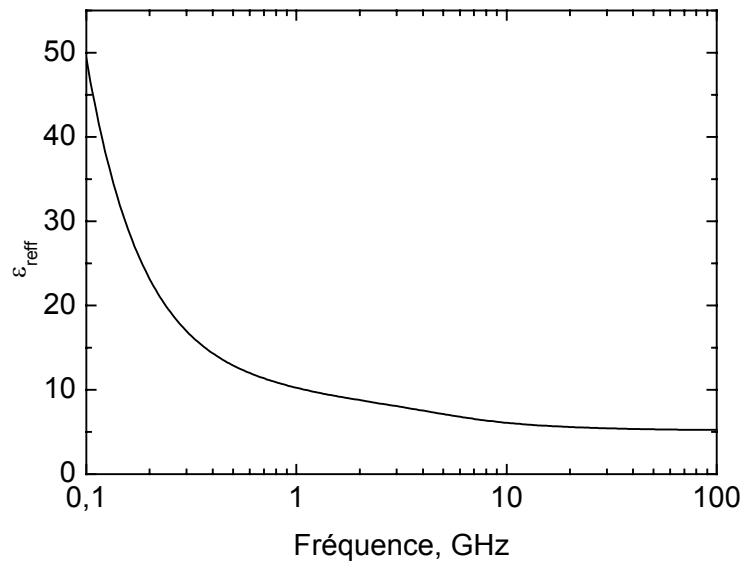


Figure 24 : Constante diélectrique d'une coplanaire de 88 Ω en fonction de la fréquence W=3 μm G=10 μm.

Nous déduisons de cette figure que le régime d'onde lente n'apparaît qu'en très basse fréquence (en dessous du gigahertz). Sa prise en compte n'est nécessaire que dans les systèmes fonctionnant en basse fréquence ou large bande incluant les basses fréquences.

5.2.3. Caractéristiques des lignes coplanaires.

Nous utilisons nos lignes coplanaires dans deux amplificateurs, l'un fonctionnant en bande K (24 GHz) dont la conception est présentée au chapitre 3 et un amplificateur distribué dont la bande passante mesurée dépasse 40 GHz (chapitre 4). Nous présentons les différentes caractéristiques des lignes coplanaires à 40 GHz. Nous les obtenons grâce à une simulation électromagnétique des lignes sur une bande de fréquence comprise entre 1 et 80 GHz. Nous obtenons la gamme d'impédances caractéristiques présentée figure 25 pour une ligne coplanaire dont le ruban signal mesure 3 μm.

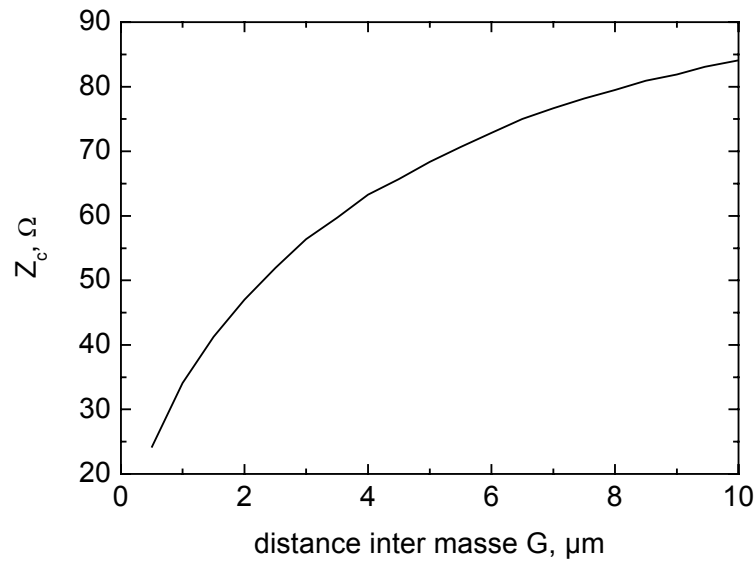


Figure 25 : Impédance caractéristique d'une ligne coplaire pour un ruban signal de 3 μm à 40 GHz.

La figure 26 donne le coefficient d'atténuation α , la figure 27 la permittivité diélectrique ϵ_{eff} et la tangente de l'angle de pertes $\tan(\delta)$ à la fréquence de 40 GHz. Les valeurs de α_{met} déclarées dans le composant sont obtenues par optimisation sur les parties réelles de la constante de propagation et de l'impédance caractéristique.

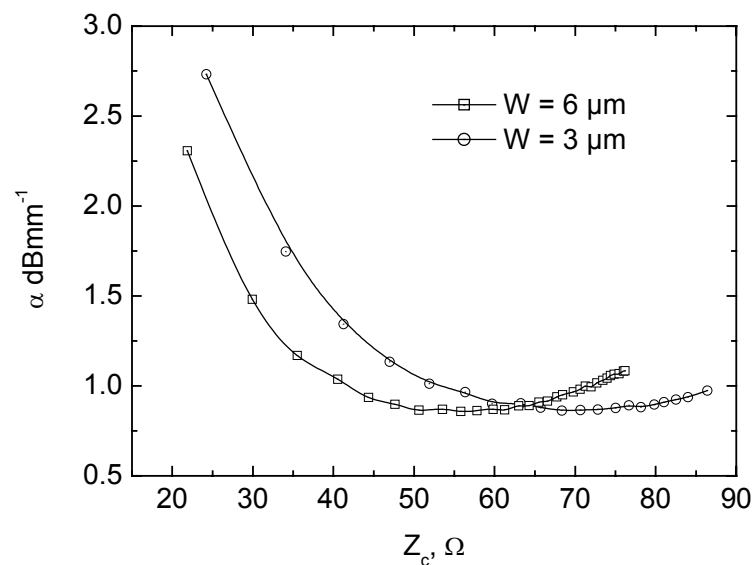


Figure 26 : Coefficient d'atténuation en fonction de l'impédance caractéristique pour deux lignes coplaires $w = 3 \mu\text{m}$ et $w = 6 \mu\text{m}$ à 40 GHz.

Nous extrayons les valeurs de $\tan(\delta)$, qui quantifient les pertes diélectriques, grâce à la relation (11). Les valeurs extraites tracées figure 27 nous montrent, que pour les faibles valeurs d'impédances caractéristiques les pertes prépondérantes semblent être de nature métallique. En effet, pour les faibles impédances, nous observons une valeur cinq fois plus faible de la tangente de l'angle de perte $\tan(\delta)$

par rapport aux impédances caractéristiques les plus élevées. En conséquence, pour diminuer l'ensemble des pertes des lignes de faibles impédances caractéristiques nous augmentons la largeur du ruban de signal W . Cette augmentation nous permet de diminuer les pertes globales pour les faibles impédances caractéristiques comme le montre la figure 26.

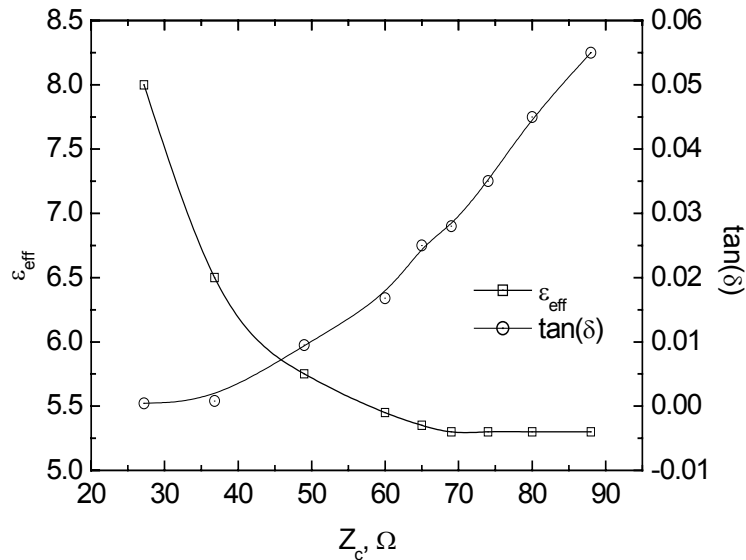


Figure 27 : ϵ_{eff} et $\tan(\delta)$ pour une ligne coplanaire à 40 GHz ($W = 3 \mu m$).

Pour les impédances caractéristiques plus élevées cette diminution des pertes métalliques s'accompagne d'une augmentation plus importante des pertes diélectriques. Finalement, l'élargissement du ruban signal permet de diminuer les pertes globales pour les faibles impédances caractéristiques jusqu'à une valeur proche de 60Ω dépendante de la technologie. Au-delà de cette valeur, nous pensons que la diminution des pertes métalliques provoquée par l'élargissement du ruban signal est contrebalancée par une augmentation plus importante des pertes diélectriques.

5.2.4. Comparaison simulations électromagnétiques-modèle.

Nous proposons la comparaison des comportements obtenus par la modélisation à l'aide du composant TLINP et la simulation électromagnétique d'une ligne coplanaire d'impédance caractéristique 88Ω de $350 \mu m$ de long. Les deux figures 28 et 29 montrent un bon accord entre les simulations électromagnétiques et le modèle TLINP dans la totalité de la plage de fréquence de la simulation électromagnétique (1-80 GHz).

Nous avons implémenté cette ligne sur un circuit de test ainsi que deux lignes coplanaires d'impédance caractéristique de 27Ω et 50Ω dont les caractérisations sont présentées dans le cinquième chapitre. Ces mesures permettent de valider la modélisation basée sur les simulations

électromagnétiques que nous présentons.

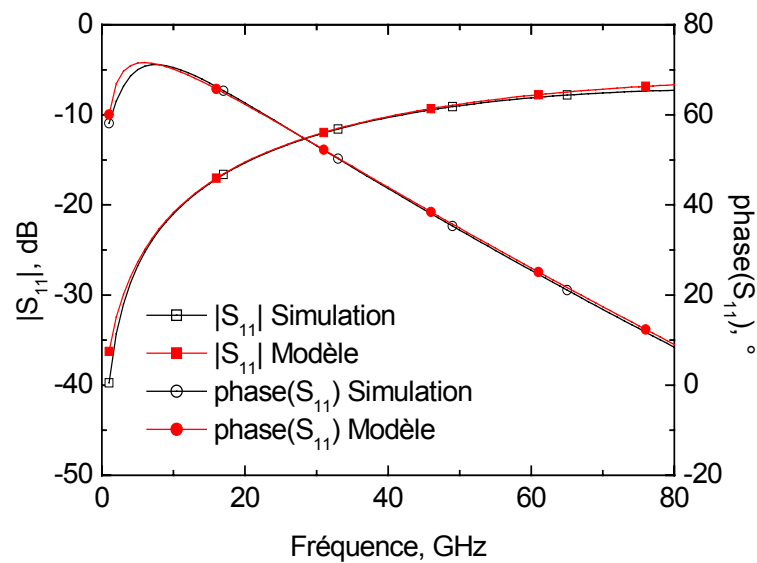


Figure 28 : Comparaison modèle simulation pour une ligne coplanaire de 88Ω
Coefficient de réflexion : S_{11} dimensions ($W=3 \mu\text{m}$ $G=10 \mu\text{m}$ $L=350 \mu\text{m}$).

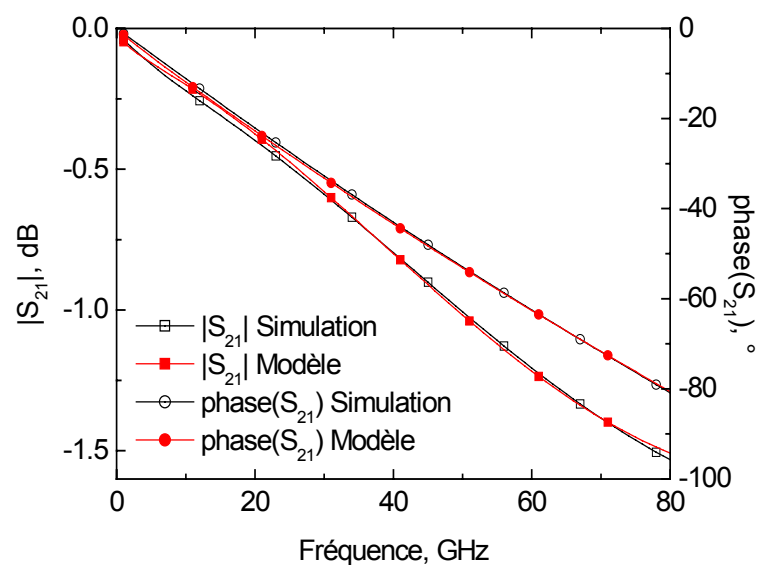


Figure 29 : Comparaison modèle simulation pour une ligne coplanaire de 88Ω
Coefficient de réflexion : S_{21} dimensions ($W=3 \mu\text{m}$ $G=10 \mu\text{m}$ $L=350 \mu\text{m}$).

6. Extraction des modèles équivalents des discontinuités.

Avec la montée en fréquence des dispositifs sur silicium, l'importance des effets mis en jeu par les discontinuités d'impédance, les coudes, les jonctions en T et de la non perfection des courts-circuits ou des circuits-ouverts tend à rendre leurs caractérisations inévitables. Malheureusement les dimensions nécessaires à la fabrication des dispositifs de caractérisation rendent la validation par la mesure des modèles extraits problématique.

6.1. Cas des discontinuités à deux accès.

Nous nous appuyons sur les méthodes regroupées par Gupta [12] pour l'extraction des modèles équivalents des discontinuités. Celles-ci reposent sur la perturbation d'un résonateur constitué d'une ligne d'impédance caractéristique Z_0 , de permittivité diélectrique effective ϵ_{eff} et de longueur l perturbée par l'introduction en son milieu de la discontinuité dont nous souhaitons obtenir le modèle. La figure 30 donne un croquis explicatif de cette méthode de caractérisation. En effet, l'introduction de celle-ci modifie les fréquences de résonances en λ et $\lambda/2$ du résonateur constitué de la ligne et de la discontinuité. Le modèle équivalent de la discontinuité est extrait en raisonnant sur les impédances présentées dans les plans de référence de la discontinuité considérée.

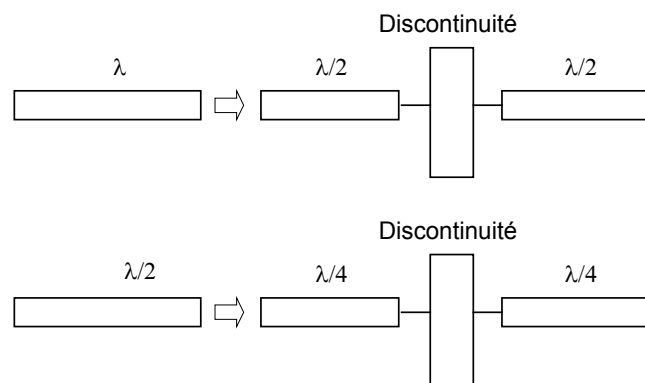


Figure 30 : Méthode de mesure des discontinuités à deux accès.

Les modèles considérant les discontinuités comme des quadripôles formés d'éléments localisés et de tronçons de lignes sont valables tant que les dimensions géométriques de celle-ci sont très inférieures à la longueur d'onde guidée et que le mode d'ordre supérieur généré n'est pas propagé dans les lignes d'accès de la discontinuité. La littérature donne les schémas équivalents des différentes discontinuités [12] associées à des plans de référence de chaque accès donnant la validité géométrique du modèle. Ces schémas équivalents peuvent être généralisés sous la forme d'un quadripôle en T (figure 31).

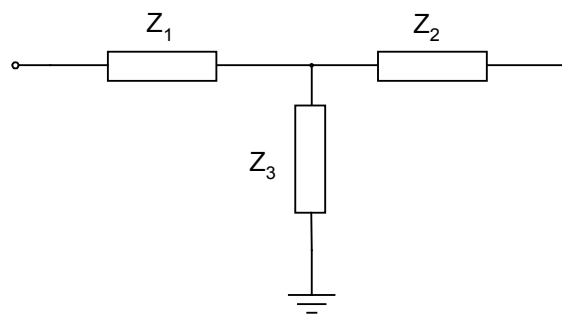


Figure 31 : Schéma équivalent généralisé des discontinuités à deux accès.

Dans la majeure partie des cas, les impédances Z_1 et Z_2 sont des lignes de transmission de longueur Δl et l'impédance Z_3 une capacité que nous notons C .

L'introduction de la discontinuité provoque un accroissement de la longueur effective de la ligne, il en résulte une diminution des fréquences de résonances du résonateur perturbé par la discontinuité comme le montre la figure 32.

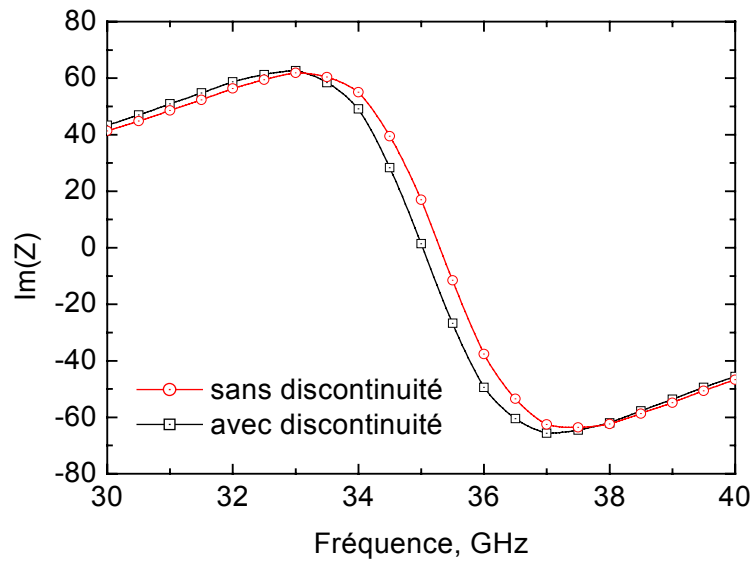


Figure 32 : Influence d'un accroissement du résonateur sur la fréquence de résonance d'une ligne $\lambda/2$.

Nous prenons comme exemple un coude à 90° dont le modèle équivalent ainsi que la définition des plans de références sont donnés par la figure ci dessous.

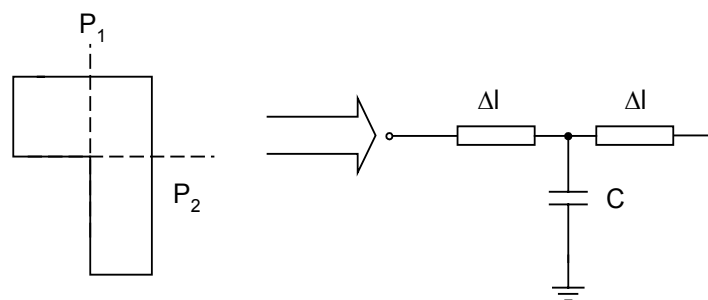


Figure 33 : Définition des plans de référence et du modèle d'un coude homogène.

- Dans le cas de la résonance en $\lambda/2$ la discontinuité est chargée par deux tronçons de ligne de longueur électrique $\lambda/4 + \Delta l$ eux-mêmes chargés par des circuits ouverts. A la fréquence $f_1 + \Delta f$ ceux ci présentent des court-circuits dans le plan de l'impédance Z_3 . Cette capacité est alors court-circuitée. Le résonateur avec la discontinuité se comporte comme une ligne

ayant subi un accroissement d'une longueur $2\Delta l$.

- Dans le cas la résonance en λ les deux tronçons qui chargent la discontinuité sont de longueur électrique $\lambda/2$, ils présentent un circuit-ouvert à la fréquence $f_2 + \Delta f$. La capacité est chargée par des circuits-ouverts.

En notant f_1, f_2 les fréquences de résonances en $\lambda/2$ et f_3, f_4 les fréquences de résonances en λ , nous déduisons les expressions (12) et (13) donnant les paramètres d'un modèle équivalent comme celui d'un coude défini figure 33. La valeur de ϵ_{eff} est extraite directement d'une simulation de la ligne seule.

$$\Delta l = \frac{C_0}{4\sqrt{\epsilon_{\text{eff}}}} \left(\frac{1}{f_1} - \frac{1}{f_2} \right) \quad (12)$$

$$C = \frac{1}{Z_0 f \pi} \tan \left(\pi f \left(\frac{1}{f_3} - \frac{1}{f_4} \right) \right) \quad (13)$$

L'accroissement de ligne Δl et la capacité C peuvent ensuite être convertis en inductances et capacités équivalentes si nécessaire (notées respectivement L_1 et C_1).

6.2. Cas des discontinuités à 3 accès.

Nous ne nous intéressons qu'au cas des jonctions en T équilibrées (3 accès de même impédance caractéristique) dont le modèle est donné par la figure suivante.

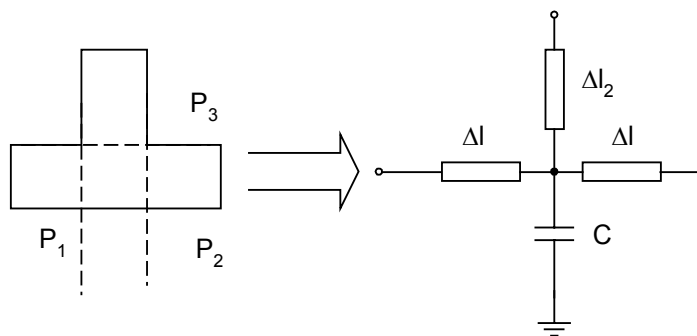


Figure 34 : Topologie et modèles équivalents localisés d'un T.

Tout comme pour les jonctions à deux accès nous utilisons les propriétés des résonateurs $\lambda/2$ et $\lambda/4$ chargés par des circuits ouverts. L'extraction du modèle équivalent de la figure 34 nécessite 3 simulations en plus de la ligne seule.

1. La jonction en T est chargée par deux résonateurs $\lambda/4$ aux accès 1 et 2 et un résonateur $\lambda/2$: à l'accès 3. Un court-circuit est ramené dans le plan de référence des deux premiers accès, permettant d'annuler l'effet de la capacité C. La valeur de l'allongement de ligne Δl_1 (14) est extraite par comparaison des fréquences de résonance f_1 et f_2 en $\lambda/2$ de la ligne et du dispositif simulé.

$$\Delta l_1 = \frac{C_0}{4\sqrt{\epsilon_{eff}}} \left(\frac{1}{f_1} - \frac{1}{f_2} \right) \quad (14)$$

2. La jonction en T est chargée par 3 résonateurs $\lambda/2$. Un circuit-ouvert est ramené dans chaque plan de référence définissant les accès de la jonction en T, la valeur de la capacité C peut être extraite par comparaison des fréquences de résonance f_3 et f_4 en λ de la ligne et du dispositif, son expression est donnée par la relation (15).

$$C = \frac{1}{Z_0 f \pi} \tan \left(\pi f \left(\frac{1}{f_3} - \frac{1}{f_4} \right) \right) \quad (15)$$

3. La jonction en T est chargée par deux résonateurs $\lambda/2$ aux accès 1 et 2 et un résonateur $\lambda/4$ à l'accès 3. Un court-circuit charge l'accès 3, et deux circuits-ouverts les accès 1 et 2. En comparant les deux fréquences de résonance f_5 et f_6 en $\lambda/2$ de la ligne et du dispositif, nous déduisons la valeur de Δl donnée par la relation (16).

$$\Delta l = \frac{C_0}{8\sqrt{\epsilon_{eff}}} \left(\frac{1}{f_5} - \frac{1}{f_6} \right) \quad (16)$$

Les accroissements de ligne Δl et Δl_1 peuvent ensuite être convertis en inductances et capacités équivalentes si nécessaire (notées respectivement L, L_1 et C_1).

6.3. Cas des court-circuits, des circuits-ouverts, et des ponts en technologie coplanaire.

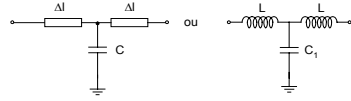
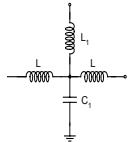
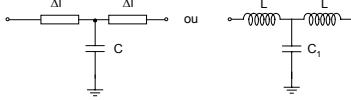
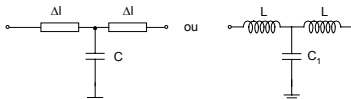
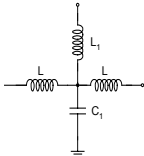
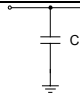
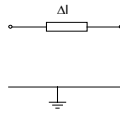
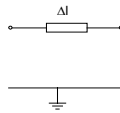
En nous basant sur les méthodes exposées, nous modélisons trois autres discontinuités rencontrées dans les circuits hautes-fréquences : les courts-circuits, les circuits-ouverts et les ponts coplanaires. Nous simulons un résonateur coplanaire dont l'un des accès est chargé dans un premier temps par un court-circuit ou un circuit-ouvert parfait. Dans un second temps, nous simulons le même résonateur chargé par un court-circuit ou un circuit-ouvert réalisable technologiquement. L'étude de la déviation de la fréquence de résonance permet de déduire l'accroissement Δl de la ligne équivalent à la discontinuité [12]. Dans le cas des ponts coplanaires, qui sont les rubans métalliques reliant les deux

plans de masse d'une ligne coplanaire, la même technique est employée mais le pont est introduit au milieu du résonateur. Le modèle équivalent est une capacité C connectée en parallèle entre la ligne signal et la masse [17]. L'ensemble des valeurs des composants des modèles équivalents des discontinuités extraites sont données dans le paragraphe suivant.

6.4. Modèles extraits de discontinuités.

Nous avons extrait les modèles des discontinuités les plus courantes que nous rencontrons lors de la conception de nos circuits, à savoir : les T et les coudes à 90° en technologie microruban pour les lignes de largeur $12\ \mu\text{m}$ et pour les lignes coplanaires d'impédance caractéristique $88\ \Omega$. Dans le cas des lignes coplanaires d'impédance caractéristique $88\ \Omega$, nous avons extrait des courts-circuits et des circuits-ouverts. Pour les mêmes lignes nous avons extrait le modèle des coudes et des T équilibrés. Etant donné l'encombrement nécessaire pour une caractérisation sous pointes de tels dispositifs nous n'avons pas, pour l'instant, pu implémenter de structure de test. Les modèles équivalents extraits sont récapitulés dans le tableau de la page suivante.

Table 2. Modèle équivalent extraits des discontinuités.

Discontinuité et technologie	modèle équivalent	valeur des composants
Coude à angle droit μ ruban (27 Ω)		$\Delta l = 7,5 \mu\text{m}$ et $C = 9,2 \text{ fF}$ ou $L = 1,3 \text{ pH}$ et $C_1 = 5,1 \text{ fF}$
Jonction en T équilibrée μ ruban (27 Ω)		$L = 0,4 \text{ pH}$, $L_2 = 2 \text{ pH}$ et $C_1 = 6,3 \text{ fF}$
Coude à angle sans pont coplanaire 88 Ω		$\Delta l = 6 \mu\text{m}$ $C = 2 \text{ fF}$. ou $L = 3,7 \text{ pH}$ $C_1 = 4 \text{ fF}$.
Coude à angle droit avec pont coplanaire 88 Ω		$\Delta l = 3 \mu\text{m}$ et $C = 0,9 \text{ fF}$ ou $L = 2 \text{ pH}$ et $C_1 = 1,4 \text{ fF}$
T Coplanaire 88 Ω		$L = 1 \text{ pH}$, $L_1 = 2 \text{ pH}$ et $C_1 = 5,3 \text{ fF}$
Pont à air de largeur 5 μm		$C \approx 1 \text{ fF}$
Court-circuit coplanaire		$\Delta l < 1 \mu\text{m}$
Circuit-ouvert coplanaire		$\Delta l \approx 5 \mu\text{m}$

7. Conclusion du chapitre 2.

Dans ce chapitre nous avons présenté les principales caractéristiques des lignes de transmission que nous pouvons implémenter sur la technologie CMOS qui est à notre disposition. L'examen des publications de référence dans le domaine des interconnexions sur silicium nous permet de dégager trois régimes de fonctionnement. Un régime basse fréquence d'onde lente où la valeur de ϵ_{eff} est supérieure ou égale à la valeur haute fréquence. Un second régime présent dans les fréquences intermédiaires, où les pertes sont essentiellement de nature diélectrique. Il est caractérisé par une forte variation de la valeur de ϵ_{eff} avec $\epsilon_{\text{eff}} < \epsilon_{\text{rSi}}$. Un régime d'effet de peau où les pertes prépondérantes sont de nature métallique et sont dues à la présence de l'effet de peau.

Grâce à des simulations électromagnétiques 3D nous extrayons les paramètres secondaires des lignes (γ , Z_C , ϵ_{eff}) employés dans la description des lignes de transmission par le modèle générique disponible dans le logiciel A.D.S. TLINP. La comparaison de la matrice S d'une ligne obtenue par simulation électromagnétique et de celle obtenue grâce à ce modèle montre un bon accord jusqu'à 40 GHz. Les simulations de famille de lignes microrubans et coplanaires nous permettent de dégager les règles permettant de choisir le type de ligne de transmission en fonction de la bande de fréquence des applications visées.

En basse fréquence, où les lignes ne peuvent pas être utilisées comme composants passifs à cause de l'encombrement nécessaire à la réalisation de tronçons de ligne de longueur électrique significative, les lignes microrubans de faible impédance caractéristique doivent être préférées aux lignes coplanaires d'encombrement plus important.

En haute fréquence, où la réalisation de circuits d'adaptation distribués devient possible, le choix du type de ligne dépend de l'impédance caractéristique souhaitée. Dans notre technologie, pour les faibles impédances caractéristiques, les lignes microrubans sont préférables jusqu'à une impédance caractéristique proche de 50Ω . Pour des impédances caractéristiques supérieures les lignes coplanaires ont des coefficients d'atténuation plus faibles.

Nous avons également modélisé les principales discontinuités que nous employons dans la conception de nos circuits millimétriques grâce aux méthodes reposant sur la perturbation d'un résonateur regroupées par Gupta.

BIBLIOGRAPHIE

- [1] Milanović V., Ozgur M., DeGroot D. C., Jargon J. A., Gaitan M., Zaghloul M. E., "Characterization of Broad-Band Transmission for Coplanar Waveguides on CMOS Silicon Substrates," *IEEE Transactions on Microwave Theory and Techniques*, Vol: 46 n° 5, pp. 632-640, Mai 1998.
- [2] Zang J., Hon W. C., Leung L., Chen K. J., "CMOS-compatible Micromachining Techniques for Fabricating High-performance Edge-suspended RF/microwave Passive Components on Silicon Substrates," *Journal of Micromechanics and Microengineering*, Vol: 15 n° 328-335 2005.
- [3] Pavageau C., "Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques" Thèse de l'université de présentée en 2005, 268 Pages.
- [4] Six G., "Optimisation d'une technologie 3D pour la réalisation de circuits intégrés millimétriques sur substrat de silicium" Thèse de l'université de Lille, présentée en 2004, 122 Pages.
- [5] Prigent G., Rius E., Pennec F. Le, Maguer S. Le, Quendo C., Six G., Happy H., "Design of Narrow-Band DBR Planar Filters in Si-BCB Technology for Millimeter-Wave Applications," *IEEE Transactions on Microwave Theory and Techniques*, Vol: 52 n° 3, pp. 1045-1053, Mars 2004.
- [6] Cheung T. S., Long J. R., Volant R., Chinthakindi A., Schnabel C. M., Florkey R., Stein K., "On-Chip Interconnect for mm-Wave Applications Using an All-Copper Technologie and Wavelength Reduction," présenté à ISSCC 2003.
- [7] Hammerstad E., Jensen O., "Accurate Models For Microstrip Computer-Aided Design," présenté à IEEE- MTTS symposium, 1980.
- [8] Kirschning M., Jansen R. H., "Accurate Models for Effective Dielectric Constant and Validity to Millimeter-Wave Frequencies," *IEE Electronics Letters*, Vol: 18 n° 272-273, 18 Mars 1982.
- [9] Ghione G., Naldi C., "Analytical Formulas for Coplanar Lines in Hybrid and Monolithics MICs," *IEE Electronics Letters*, Vol: 20 n° 4, pp. 179-181, 16 Février 1984.
- [10] Wheeler H. A., "Formulas for the Skin Effect," *Proc of IRE*, Vol: 30 n° 412-424, Septembre 1942.
- [11] "A.D.S. Help : "Distributed Elements, Transmission Lines Elements TPLIN".."
- [12] Gupta K. C., Garg R., Bahl I., Bhartia P., Microstrip Lines and Slotlines, édité par Artech House, 1996.
- [13] Hasegawa H., Furukawa M., Yanai H., "Properties of Microstrip Line on Si-SiO₂," *IEEE Transactions on Microwave Theory and Techniques*, Vol: 19 n° 11, pp. 869-881, Novembre 1971.
- [14] Dürr W., Erben U., Schüppen A., Dietrich H., Schumacher H., "Investigation of Microstrip and Coplanar Transmission Lines on Lossy Silicon Substrates Without Backside Metallization," *IEEE Transactions on Microwave Theory and Techniques*, Vol: 46 n° 5, pp. 712-715, Mai 1998.
- [15] Kurokawa K., "Power Waves and the Scattering Matrix," *IEEE Transactions on Microwave Theory and Techniques*, Vol: 13 n° 3, pp. 194-202, Mars 1965.
- [16] Viallon C., "Optimisation des structures différentielles en technologie SiGe pour applications en bande millimétrique. Application à la conception d'un mélangeur doublement équilibré en bande K." Thèse de l'université de Toulouse Paul Sabatier, présentée en 2003, Pages.
- [17] Meliani C., "Circuits intégrés amplificateurs à base de transistors HEMT pour transmissions numériques à très haut débit (>40Gbit/d)" Thèse de l'université de Paris VII Denis Diderot, présentée en 2003, 187 Pages.

Chapitre III :

Amplification faible bruit bande étroite en technologie CMOS.

SOMMAIRE

1. Introduction.	71
2. Etude Analytique des paramètres de bruit des quadripôles d'amplification source commune et cascode avec contre réaction inductive.	72
2.1. Modélisation des quadripôles bruyants.	73
2.1.1. Modèles simplifiés des transistors MOS.	75
2.1.1.1. Modèle non bruyant des transistors MOS.	75
2.1.1.2. Modèle bruyant des transistors MOS.	76
2.2. Etude des paramètres de bruit des quadripôles d'amplification source commune et cascode avec contre réaction inductive.	78
2.2.1. Montage source commune avec contre réaction inductive série.	78
2.2.1.1. Détermination des coefficients de la matrice de corrélation de bruit C_c .	79
2.2.1.2. Calcul des paramètres de bruit R_n , Y_{opt} et F_{min} .	80
2.2.2. Etude de l'adaptation simultanée en bruit et en puissance.	82
2.3. Etude de l'amplificateur cascode et validation de l'étude théorique.	83
2.3.1. Etude du montage cascode.	84
2.3.2. Influence de la capacité C_{gd} sur la valeur du paramètre de bruit NF_{min} du montage source commune et du montage cascode.	85
2.3.3. Influence de la valeur de l'inductance L_s sur le facteur de bruit minimum d'un transistor source commune.	85
2.3.4. Influence du coefficient de qualité de l'inductance L_s sur la valeur du paramètre de bruit NF_{min} d'un amplificateur source commune.	86
2.3.5. Comparaison modèle fondeur modèle analytique.	87
2.4. Conclusion de la première partie.	89
3. Exemples de conception d'amplificateurs faible bruit bande étroite totalement intégrés en technologie CMOS.	91
3.1. Amplificateur faible bruit fonctionnant à une fréquence proche de $F_T/20$.	91
3.1.1. Optimisation du cascode d'amplification.	92
3.1.2. Détermination de la contre réaction.	93
3.1.3. Détermination et optimisation des cellules d'adaptation.	96
3.1.3.1. Cellule d'adaptation d'entrée.	96
3.1.3.2. Cellule d'adaptation de sortie.	97
3.1.4. Finalisation et performances de l'amplificateur faible bruit fonctionnant à 2,45 GHz.	97
3.2. Amplificateurs faible bruit fonctionnant en bande K (24 GHz).	99
3.2.1. Conception du premier étage d'amplification.	99
3.2.2. Choix de l'inductance de contre réaction.	101
3.2.3. Conception du second étage d'amplification.	104
3.2.4. Optimisation des cellules d'adaptation.	105
3.2.5. Finalisation de l'amplificateur.	107
3.2.6. Amplificateur utilisant des amplificateurs cascades.	108
3.2.7. Comparaison des performances des deux amplificateurs.	109
3.2.8. Etude de sensibilité sur la maille d'adaptation de l'amplificateur.	110
4. Conclusion du chapitre 3.	112

1. Introduction.

Nous avons vu dans le premier chapitre que les méthodes de conception d'amplificateurs faible bruit radiofréquence massivement utilisées ne permettent pas d'aboutir à des amplificateurs totalement intégrés. La demande industrielle de solutions intégrées à faible coût de production nécessite la mise au point d'amplificateurs faible bruit (LNA) totalement intégrés. De plus, l'essor des communications sans fil s'accompagne d'une augmentation de la fréquence de fonctionnement des systèmes de communication intégrés. En conséquence, nous étudions dans ce chapitre les aspects théoriques ainsi que la conception d'amplificateurs faible bruit totalement intégrés fonctionnant en radiofréquences ainsi qu'à des fréquences plus élevées.

Les topologies d'amplification permettant d'aboutir à une amplification faible bruit sont maintenant bien connues. Nous avons vu dans le premier chapitre que les deux architectures permettant l'obtention simultanée d'un faible facteur de bruit et de l'adaptation en puissance sur 50Ω sont l'amplificateur source commune et l'amplificateur grille commune.

L'étude analytique du schéma petit signal de cette dernière configuration disponible dans les travaux de Yee [1] montre qu'en l'absence de contre réaction parallèle, le facteur de bruit minimal de cette topologie s'écrit (1).

$$F_{\min} = 1 + \frac{2\omega}{\omega_T} \sqrt{\frac{\delta\gamma}{5} (1 - |c|^2)} \quad (1)$$

Lorsqu'un générateur d'impédance interne 50Ω est connecté en entrée, en l'absence de contre réaction et lorsque le transistor est dimensionné afin d'obtenir une transconductance de 20 mS, le facteur de bruit se réduit à l'expression (2).

$$F_{50\Omega} = 1 + \frac{\gamma g_{d0}}{g_m} + \frac{4\gamma}{5} \left(\frac{\omega}{\omega_T} \right)^2 \quad (2)$$

Cette expression et les différentes valeurs des paramètres montrent que le facteur de bruit de cette structure est important pour les technologies CMOS actuelles même lorsque la fréquence de fonctionnement est faible devant la fréquence de transition F_T des transistors employés.

L'étude proposée par Jeon [2] basée sur un ensemble de simulations montre que le facteur de bruit sur 50Ω de l'expression (2) peut être diminué par l'emploi d'une contre réaction inductive parallèle entre la source et le drain. Or, celle-ci dégrade fortement le gain en puissance disponible et ne permet

pas de réduire de façon suffisante la différence entre l'impédance optimale de bruit Z_{opt} et l'impédance à présenter en entrée du transistor pour obtenir une adaptation en puissance. Il semble donc difficile avec la topologie grille commune d'obtenir simultanément une adaptation en puissance en entrée et un faible facteur de bruit. L'auteur conclut de cette étude qu'un amplificateur source commune associé à une réaction inductive série placée entre la source et la masse est la meilleure topologie aboutissant à un compromis entre une adaptation en puissance et un faible facteur de bruit. Ces résultats sont obtenus pour des transistors MESFETs (transistors à effet de champ à contact de grille Shottky) en bande X (autour de 10 GHz). De nombreuses réalisations basées sur des technologies CMOS publiées confirment ces résultats. En conséquence, nous n'étudions que les topologies source commune et cascode en suivant le plan présenté ci dessous.

Dans un premier temps, nous exposons brièvement la théorie des quadripôles bruyants développée par Rothe [3] et Hillbrand [4] ainsi que les modèles bruyants des transistors que nous utilisons pour mener une étude analytique des paramètres de bruit des amplificateurs source commune et cascode avec contre réaction inductive. De cette étude nous dégagons quelques règles élémentaires de choix de la topologie et de dimensionnement du quadripôle d'amplification.

Dans un second temps, nous utilisons ces règles pour concevoir trois amplificateurs faible bruit à bande passante étroite. Le premier fonctionne loin de la fréquence de transition des transistors que nous employons ($F \ll F_T/20$) et utilise une technologie 0,28 μm , les deux derniers fonctionnent à une fréquence plus proche de la fréquence de transition ($F \approx F_T/4$) et utiliseront une technologie 0,13 μm .

2. Etude Analytique des paramètres de bruit des quadripôles d'amplification source commune et cascode avec contre réaction inductive.

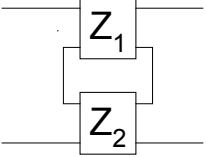
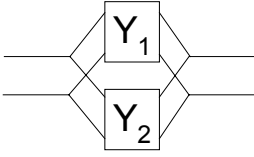
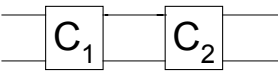
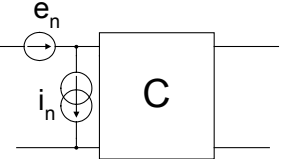
L'ensemble des conceptions présentées dans l'étude bibliographique utilisant une configuration source commune dimensionnent le transistor d'entrée et la contre réaction inductive afin d'obtenir une partie réelle de l'impédance d'entrée de 50 Ω associée à un faible facteur de bruit. La partie imaginaire de l'impédance d'entrée est alors annulée par une inductance connectée en série avec la grille mais, cette démarche aboutit à des valeurs d'inductance série difficilement intégrables. Nous proposons afin de résoudre ce problème d'intégration, de ne pas dimensionner la contre réaction inductive de façon à obtenir une impédance d'entrée dont la partie réelle est de 50 Ω . Ce choix implique une autre stratégie de dimensionnement du quadripôle d'amplification et de la contre réaction inductive associée. Cela permet également l'utilisation de circuits d'adaptation plus complexes que celui utilisé dans les conceptions CMOS radiofréquence offrant la possibilité de choisir la valeur de l'inductance qu'ils contiennent. Afin de dégager des règles de choix topologique, de dimensionnement des transistors et de la contre réaction inductive, nous menons une étude analytique des paramètres de bruit des

structures source commune et cascode à contre réaction inductive. Nous utilisons volontairement un modèle simplifié afin d'obtenir des expressions analytiques des paramètres de bruit exploitables.

2.1. Modélisation des quadripôles bruyants.

Un quadripôle bruyant est modélisé par une de ses matrices de représentations électriques non bruyantes (Z , Y , $ABCD$, $S...$) à laquelle est associée deux sources de bruit dont les interdépendances sont décrites par une matrice de corrélation de bruit [3]. Le tableau ci dessous donne les représentations des quadripôles bruyants associés aux principales matrices électriques ainsi que leur matrice de corrélation des sources de bruit respective. La matrice de représentation est choisie en fonction de l'association des quadripôles considérés.

Table 1 : Représentations électriques des quadripôles bruyants.

Association	Représentation électrique	Matrice associée
Série 		$C_z = \begin{bmatrix} \langle e_{n1}^2 \rangle & \langle e_{n2} \cdot e_{n1}^* \rangle \\ \langle e_{n1} \cdot e_{n2}^* \rangle & \langle e_{n2}^2 \rangle \end{bmatrix} \quad (3)$
Parallèle 		$C_y = \begin{bmatrix} \langle i_{n1}^2 \rangle & \langle i_{n2} \cdot i_{n1}^* \rangle \\ \langle i_{n1} \cdot i_{n2}^* \rangle & \langle i_{n2}^2 \rangle \end{bmatrix} \quad (4)$
Cascade 		$C_c = \begin{bmatrix} \langle e_n^2 \rangle & \langle e_n \cdot i_n^* \rangle \\ \langle i_n \cdot e_n^* \rangle & \langle i_n^2 \rangle \end{bmatrix} \quad (5)$

Dans le cas d'une matrice de type chaîne C la matrice de corrélation des sources de bruit i_n et e_n est notée C_c et s'écrit sous la forme de la relation (6).

$$C_c = 4KT\Delta_f \begin{bmatrix} R_n & \frac{F_{\min} - 1}{2} - R_n Y_{opt}^* \\ \frac{F_{\min} - 1}{2} - R_n Y_{opt} & R_n |Y_{opt}|^2 \end{bmatrix} \quad (6)$$

Dans cette relation, R_n est la résistance équivalente de bruit, $F_{\min}$ le facteur de bruit minimum, Y_{opt} la valeur optimale de l'admittance Y_1 à présenter à l'entrée du quadripôle pour obtenir le facteur de

bruit minimum $F_{\min}$. K est la constante de Boltzmann, T la température thermodynamique du quadripôle et Δ_f la bande passante. La connaissance d'une des matrices électriques ainsi que de sa matrice de corrélation de bruit associée permet de déterminer les quatre paramètres de bruit : R_n , $F_{\min}$ et Y_{opt} (partie réelle et imaginaire) d'un quadripôle. En identifiant termes à termes les matrices (5) et (6) nous obtenons les équations (7) à (9) donnant les différents paramètres de bruit.

$$R_n = \frac{\langle e_n^2 \rangle}{4KT\Delta_f} \quad (7)$$

$$Y_{\text{opt}} = \sqrt{\frac{\langle i_n^2 \rangle}{\langle e_n^2 \rangle} - \Im m \left(\frac{\langle e_n i_n^* \rangle}{\langle e_n^2 \rangle} \right)^2} + j \Im m \left(\frac{\langle e_n i_n^* \rangle}{\langle e_n^2 \rangle} \right) \quad (8)$$

$$F_{\min} = 1 + \frac{2}{4KT\Delta_f} \left(\Re e(\langle e_n i_n^* \rangle) + \sqrt{\langle i_n^2 \rangle \langle e_n^2 \rangle - \Im m(\langle e_n i_n^* \rangle)^2} \right) \quad (9)$$

Si nous posons $Y_1 = G_1 + jB_1$ l'admittance présentée au transistor, $Y_{\text{opt}} = G_{\text{opt}} + jB_{\text{opt}}$, le facteur de bruit du quadripôle s'écrit alors (10).

$$F = F_{\min} + \frac{R_n}{G_1} \left[(G_1 - G_{\text{opt}})^2 + (B_1 - B_{\text{opt}})^2 \right] \quad (10)$$

Les formalismes en impédances et en ondes de puissance sont totalement identiques à celui en admittance. Dans le cas du formalisme en impédance, l'impédance présentée au transistor s'écrit $Z_1 = R_1 + jX_1$ et l'impédance optimale de bruit se note $Z_{\text{opt}} = R_{\text{opt}} + jX_{\text{opt}}$. Dans le cas du formalisme en ondes de puissance le coefficient de réflexion en entrée Γ_1 est associé à l'impédance Z_1 et sa valeur donnant le facteur de bruit minimal est notée Γ_{opt} . En définissant G_n par l'équation (11), les expressions du facteur de bruit du quadripôle deviennent respectivement (12) ou (13).

$$G_n = \frac{\langle i_n^2 \rangle}{4KT\Delta_f} \quad (11)$$

$$F = F_{\min} + \frac{G_n}{R_1} \left[(R_1 - R_{\text{opt}})^2 + (X_1 - X_{\text{opt}})^2 \right] \quad (12)$$

$$F = F_{\min} + 4 \frac{R_n}{Z_0} \frac{|\Gamma_1 - \Gamma_{\text{opt}}|^2}{|1 + \Gamma_{\text{opt}}|^2 (1 - |\Gamma_1|^2)} \quad (13)$$

Toutes ces expressions du facteur de bruit F d'un quadripôle montrent que ce paramètre ne dépend que de l'impédance présentée en entrée de celui-ci et de ses sources de bruit internes. Il en résulte qu'un amplificateur faible bruit peut être adapté indifféremment en sortie en puissance sur une

impédance de 50Ω ou de façon à fournir un gain en tension important sur une impédance capacitive de fort module.

2.1.1. Modèles simplifiés des transistors MOS.

Pour mener à bien notre étude, nous utilisons un modèle simplifié bruyant du transistor MOS. Ce modèle ne comprend que les éléments essentiels à la compréhension des phénomènes liés aux sources de bruit prépondérantes dans les amplificateurs radiofréquences CMOS. Celui-ci n'est valable que lorsque le transistor est en régime saturé.

2.1.1.1. Modèle non bruyant des transistors MOS.

Nous commençons par présenter le modèle petit signal non bruyant d'un transistor MOS dans son régime saturé. Pour rendre les expressions des différents paramètres de bruit exploitables, nous utilisons le schéma électrique de la figure 1 où les capacités C_{gd} et C_{ds} ainsi que l'ensemble des résistances d'accès du transistor sont négligées. Tous les effets de substrat, la réduction de mobilité sont également négligés. Pour plus de détails, notamment la définition de tous les paramètres employés, le lecteur peut se reporter aux références [5, 6].

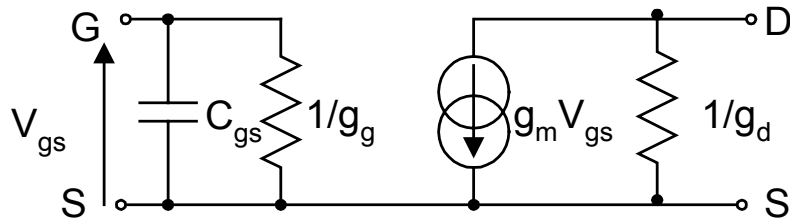


Figure 1 : Modèle équivalent petit signal d'un transistor MOS.

Lorsque le transistor est en régime saturé, le courant de polarisation statique I_{ds0} d'un transistor de longueur de canal L et de largeur W s'écrit (14). Dans cette expression le terme dépendant de $V_{ds0} - V_{dsat}$ est une modélisation simple des effets de canaux courts [5].

$$I_{ds0} \approx \mu_n C_{ox} \frac{W}{2L} (V_{gs0} - V_{Tn})^2 (1 + \lambda (V_{ds0} - V_{dssat})) \quad (14)$$

La conductance g_g dont la valeur est donnée par l'expression (15), modélise les effets non quasi-statiques [7] qui transcrivent le temps de transit fini des électrons dans le canal. Dans cette expression, g_{d0} est la valeur de la conductance de sortie g_d lorsque la tension V_{ds} est nulle.

$$g_g = \frac{C_{gs}^2 \omega^2}{5g_{d0}} \quad (15)$$

La transconductance g_m , s'écrit (16), la conductance de sortie g_d (17) et la capacité C_{gs} (18).

$$g_m \approx \sqrt{\frac{2\mu_n C_{ox}}{1 + \lambda V_{ds}}} \frac{W}{L} I_{ds0}, \quad g_d \approx \lambda I_{ds0} \quad (16), (17)$$

$$C_{gs} = \frac{2}{3} C_{ox} WL \quad (18)$$

Les performances fréquentielles des transistors sont caractérisées par la fréquence de transition F_T qui est définie comme la fréquence à laquelle le gain en courant (h_{21}) devient à module unitaire. L'analyse du schéma équivalent petit signal conduit à la relation (19).

$$F_T = \frac{g_m}{2\pi C_{gs}} \quad (19)$$

En injectant les relations (16) et (18) dans la relation (19) il apparaît qu'au premier ordre la fréquence de transition est indépendante de la largeur W du transistor, qu'elle est inversement proportionnelle au carrée de la longueur du canal L et qu'elle est proportionnelle à la racine carrée du courant de polarisation I_{ds0} .

2.1.1.2. Modèle bruyant des transistors MOS.

Le modèle bruyant du transistor MOS est obtenu, comme le montre la figure 2, en superposant au modèle petit signal de la figure 1 deux sources de courant de bruit [1, 7-9].

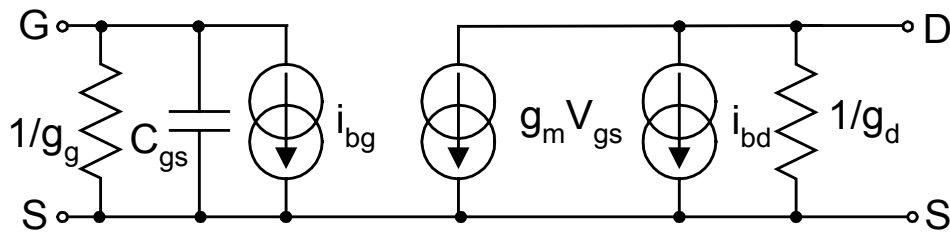


Figure 2 : Modèle bruyant du transistor MOS.

Dans ce modèle les expressions des valeurs quadratiques moyennes des courants de bruit de grille i_{bg} et de drain i_{bd} sont données par les expressions (20) et (21) [7].

$$\langle i_{bg}^2 \rangle = 4KT\Delta f \delta \frac{C_{gs}^2 \omega^2}{5g_{d0}} \quad (20)$$

$$\langle i_{bd}^2 \rangle = 4KT\Delta f \gamma g_{d0} \quad (21)$$

- Le courant bruit de grille de valeur quadratique moyenne $\langle i_{bg}^2 \rangle$ modélise le bruit introduit par la fluctuation de charges dans la grille. Le coefficient δ est dépendant des conditions de polarisation, sa valeur est traditionnellement prise égale à 4/3 dans le cas des transistors à canal long [1] ($L > 1\mu\text{m}$) en régime de saturation. Nous ne disposons pas de valeurs dans le cas des transistors à canaux courts ($L \ll 1\mu\text{m}$).
- Le courant de bruit de drain de valeur quadratique moyenne $\langle i_{bd}^2 \rangle$ modélise le bruit de diffusion causé par le canal. Le coefficient γ est lui aussi dépendant des conditions de polarisation. Le travail présenté par Goo [10] donne des valeurs pour ce coefficient basées sur des mesures expérimentales. Toujours dans le régime de saturation et dans le cas d'un transistor MOS à canal long γ prend la valeur de 2/3, dans le cas des transistors à canaux courts cette valeur augmente et prend pour des transistors de longueur de canal d'environ 100 nm, la valeur de 5/3.
- La nature distribuée du canal d'un transistor MOS induit une interdépendance des courants de bruit i_{bg} et i_{bd} . Celle-ci est modélisée par l'introduction du coefficient de corrélation défini par la relation (22) [1]. Dans le cas d'un canal long sa valeur est de j0,395, ne disposant pas de valeur plus précise dans la littérature pour un canal court, nous retenons cette valeur.

$$c = \frac{\langle i_{bg} i_{bd}^* \rangle}{\sqrt{\langle i_{bg}^2 \rangle \langle i_{bd}^2 \rangle}} \leq j0,395 \quad (22)$$

2.2. Etude des paramètres de bruit des quadripôles d'amplification source commune et cascode avec contre réaction inductive.

2.2.1. Montage source commune avec contre réaction inductive série.

Nous étudions la structure utilisant un transistor source commune avec contre réaction inductive série décrite figure 3.

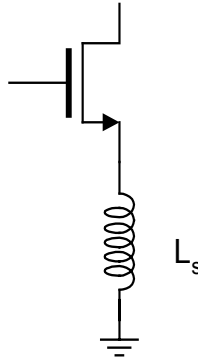


Figure 3 : Transistor source commune avec contre réaction série inductive parfaite.

Nous déduisons de cette figure le schéma équivalent petit signal bruyant de la figure 4 en supposant que l'inductance L_s est parfaite : c'est à dire qu'elle n'ajoute pas de source de bruit et que sa capacité parasite est nulle.

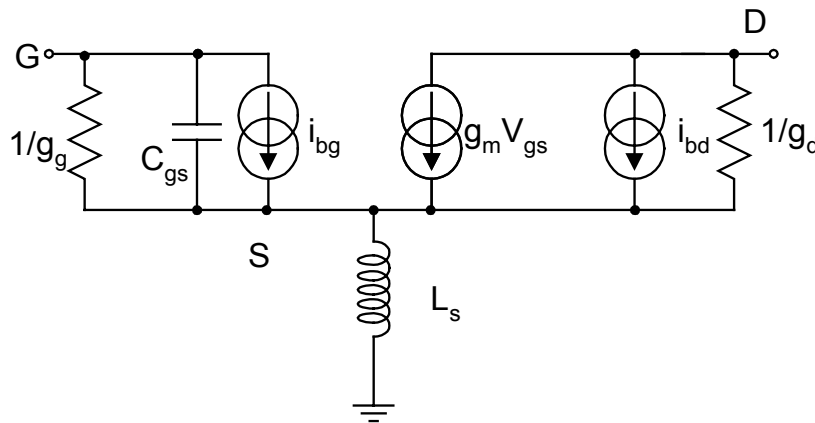


Figure 4 : Modèle équivalent bruyant d'un transistor MOS dégénéré par une inductance.

Ce schéma équivalent petit signal bruyant nous permet d'écrire les relations (23) et (24) exprimant le courant équivalent de bruit i_n et la tension équivalente de bruit e_n ramenés en entrée du quadripôle.

$$i_n = i_{bg} + j \frac{F}{F_T} i_{bd} \quad (23)$$

$$e_n = jL_s \omega i_{bg} + \frac{(1 - L_s C_{gs} \omega^2) i_{bd}}{g_m} \quad (24)$$

Nous remarquons que seule la tension équivalente de bruit e_n dépend de la valeur de l'inductance L_s et qu'une fréquence de coupure F_s définie par la relation (25) apparaît.

$$F_s = \frac{1}{2\pi \sqrt{L_s C_{gs}}} \quad (25)$$

En dessous de cette fréquence F_s la tension de bruit est majoritairement due au courant de drain.

2.2.1.1. Détermination des coefficients de la matrice de corrélation de bruit C_c .

Afin d'obtenir des expressions exploitables, nous supposons que la fréquence de travail est suffisamment faible pour pouvoir négliger le terme en $L_s C_{gs} \omega^2$ dans l'expression (24). En tenant compte de cette remarque, nous simplifions l'expression de la source de bruit e_n et nous obtenons la relation (26).

$$e_n = jL_s \omega i_{bg} + \frac{i_{bd}}{g_m} \quad (26)$$

Nous déduisons des expressions (23) et (26) les équations (27) à (29) donnant les coefficients de la matrice corrélation de bruit C_c .

$$\langle e_n^2 \rangle = L_s^2 \omega^2 \langle i_{bg}^2 \rangle + \frac{\langle i_{bd}^2 \rangle}{g_m^2} - \frac{2|c|L_s \omega \sqrt{\langle i_{bg}^2 \rangle \langle i_{bd}^2 \rangle}}{g_m} \quad (27)$$

$$\langle i_n^2 \rangle = \langle i_{bg}^2 \rangle + \left(\frac{F}{F_T} \right)^2 \langle i_{bd}^2 \rangle - 2|c| \frac{F}{F_T} \sqrt{\langle i_{bg}^2 \rangle \langle i_{bd}^2 \rangle} \quad (28)$$

$$\langle e_n i_n^* \rangle = j \left(L_s \omega \langle i_{bg}^2 \rangle + \frac{|c| \sqrt{\langle i_{bg}^2 \rangle \langle i_{bd}^2 \rangle}}{g_m} + |c| L_s C_{gs} \omega^2 \frac{\sqrt{\langle i_{bg}^2 \rangle \langle i_{bd}^2 \rangle}}{g_m} - \frac{C_{gs} \omega}{g_m^2} \langle i_{bd}^2 \rangle \right) \quad (29)$$

En remplaçant $\langle i_{bg}^2 \rangle$ et $\langle i_{bd}^2 \rangle$ par leurs valeurs nous obtenons les équations suivantes.

$$\langle e_n^2 \rangle = 4KT \Delta_f \left(\delta \frac{C_{gs}^2 L_s^2 \omega^4}{5g_{d0}} + \gamma \frac{g_{d0}}{g_m^2} - 2|c| \frac{L_s C_{gs} \omega^2}{g_m} \sqrt{\frac{\delta \gamma}{5}} \right) \quad (30)$$

$$\langle i_n^2 \rangle = 4KT\Delta_f C_{gs}^2 \omega^2 \left(\gamma \frac{g_{d0}}{g_m^2} + \frac{\delta}{5g_{d0}} - \frac{2|c|}{g_m} \sqrt{\frac{\gamma\delta}{5}} \right) \quad (31)$$

$$\langle e_n i_n^* \rangle = 4KT\Delta_f j C_{gs} \omega \left(-\gamma \frac{g_{d0}}{g_m^2} + \delta \frac{C_{gs} L_s \omega^2}{5g_{d0}} + |c| \frac{(1 + L_s C_{gs} \omega^2)}{g_m} \sqrt{\frac{\gamma\delta}{5}} \right) \quad (32)$$

2.2.1.2. Calcul des paramètres de bruit R_n , Y_{opt} et F_{min} .

Nous déterminons les paramètres de bruit en remplaçant $\langle e_n^2 \rangle$, $\langle i_n^2 \rangle$ et $\langle e_n i_n^* \rangle$ dans les expressions (7) à (9) par leurs valeurs données par les relations (30) à (32). Après simplification, nous obtenons les quatre relations suivantes.

$$F_{min} = 1 + 2 \frac{\omega}{\omega_T} \sqrt{\left((1 + L_s C_{gs} \omega^2)^2 - |c|^2 (-1 + L_s C_{gs} \omega^2)^2 \right) \frac{\gamma\delta}{5} - \frac{4}{25} |c| \frac{g_m}{g_{d0}} L_s C_{gs} \omega^2 (1 + L_s C_{gs} \omega^2)} \quad (33)$$

$$R_n = \gamma \frac{g_{d0}}{g_m^2} - 2|c| \frac{L_s C_{gs} \omega^2}{g_m} \sqrt{\frac{\delta\gamma}{5}} + \frac{\delta}{5g_{d0}} (L_s C_{gs} \omega^2)^2 \quad (34)$$

$$G_{opt} = C_{gs} \omega \frac{\sqrt{g_{d0} g_m \left((1 + C_{gs} L_s \omega^2)^2 - |c|^2 (1 - C_{gs} L_s \omega^2)^2 \right) 5\delta\gamma - 2|c| (5\gamma g_{d0}^2 + C_{gs}^2 L_s^2 \omega^4 \delta)}}{5\gamma g_{d0}^2 + C_{gs} L_s \omega^2 (\delta g_m^2 C_{gs} L_s \omega^2 - 2|c| g_m g_{d0} \sqrt{5\delta\gamma})} \quad (35)$$

$$B_{opt} = C_{gs} \omega \frac{-5\gamma g_{d0}^2 + \delta g_m^2 C_{gs} L_s \omega^2 + |c| g_{d0} g_m (1 + C_{gs} L_s \omega^2) \sqrt{5\delta\gamma}}{5\gamma g_{d0}^2 + C_{gs} g_m L_s \omega^2 (\delta g_m C_{gs} L_s \omega^2 - 2|c| g_{d0} \sqrt{5\delta\gamma})} \quad (36)$$

En introduisant la pulsation de coupure $\omega_s = 2\pi F_s$ dans les expressions (33) à (36), celles-ci s'écrivent :

$$F_{min} = 1 + 2 \frac{\omega}{\omega_T} \sqrt{\left(\left(1 + \frac{\omega^2}{\omega_s^2} \right)^2 - |c|^2 \left(-1 + \frac{\omega^2}{\omega_s^2} \right)^2 \right) \frac{\gamma\delta}{5} - \frac{4}{25} |c| \frac{g_m}{g_{d0}} \frac{\omega^2}{\omega_s^2} \left(1 + \frac{\omega^2}{\omega_s^2} \right)} \quad (37)$$

$$R_n = \frac{\gamma g_{d0}}{g_m^2} - 2|c| \left(\frac{\omega}{\omega_s} \right)^2 \sqrt{\frac{\gamma\delta}{5}} + \frac{\delta}{5g_{d0}} \left(\frac{\omega}{\omega_s} \right)^4 \quad (38)$$

$$G_{opt} = C_{gs} \omega \frac{\sqrt{g_{d0} g_m \left(\left(1 + \left(\frac{\omega}{\omega_s} \right)^2 \right)^2 - |c|^2 \left(1 - \left(\frac{\omega}{\omega_s} \right)^2 \right)^2 \right) 5\delta\gamma - 2|c| \left(5\gamma g_{d0}^2 + \left(\frac{\omega}{\omega_s} \right) \delta \right)}}{5\gamma g_{d0}^2 + \left(\frac{\omega}{\omega_s} \right)^2 \left(\delta g_m^2 \left(\frac{\omega}{\omega_s} \right)^2 - 2|c| g_m g_{d0} \sqrt{5\delta\gamma} \right)} \quad (39)$$

$$B_{opt} = C_{gs} \omega \frac{-5\gamma g_{d0}^2 + \delta g_m^2 \left(\frac{\omega}{\omega_s}\right)^2 + |c| g_{d0} g_m \left(1 + \left(\frac{\omega}{\omega_s}\right)^2\right) \sqrt{5\delta\gamma}}{5\gamma g_{d0}^2 + g_m^2 \left(\frac{\omega}{\omega_s}\right)^2 \left(\delta g_m^2 \left(\frac{\omega}{\omega_s}\right)^2 - 2|c| g_{d0} \sqrt{5\delta\gamma}\right)} \quad (40)$$

Comme notre étude se borne au fonctionnement aux fréquences inférieures à F_s , nous négligeons les termes en puissance de ω/ω_s . Avec ces simplifications, les trois paramètres de bruit R_n , G_{opt} et B_{opt} s'écrivent :

$$F_{min} = 1 + 2 \frac{\omega}{\omega_T} \sqrt{\left(1 - |c|^2\right) \frac{\gamma\delta}{5}} \quad (41)$$

$$R_n = \frac{\gamma g_{d0}}{g_m^2} \quad (42)$$

$$G_{opt} = C_{gs} \omega \frac{g_m}{g_{d0}} \sqrt{\left(1 - |c|^2\right) \frac{\delta}{5\gamma}} \quad (43)$$

$$B_{opt} = -C_{gs} \omega \left(1 - \frac{g_m}{g_{d0}} |c| \sqrt{\frac{\delta}{5\gamma}}\right) \quad (44)$$

Des relations (41) à (44), nous déduisons qu'en dessous de la fréquence de résonance F_s les paramètres de bruit de la configuration source commune sont indépendants de la valeur L_s de l'inductance de contre réaction. Ces expressions nous permettent d'étudier au paragraphe suivant l'influence de l'inductance L_s sur l'adaptation simultanée en bruit et en puissance. Nous remarquons également que le facteur de bruit minimal de la configuration étudiée est proportionnel au rapport F/F_T et que la résistance équivalente de bruit R_n est indépendante de la fréquence. En programmant la relation (41) nous obtenons le graphe de la figure 5.

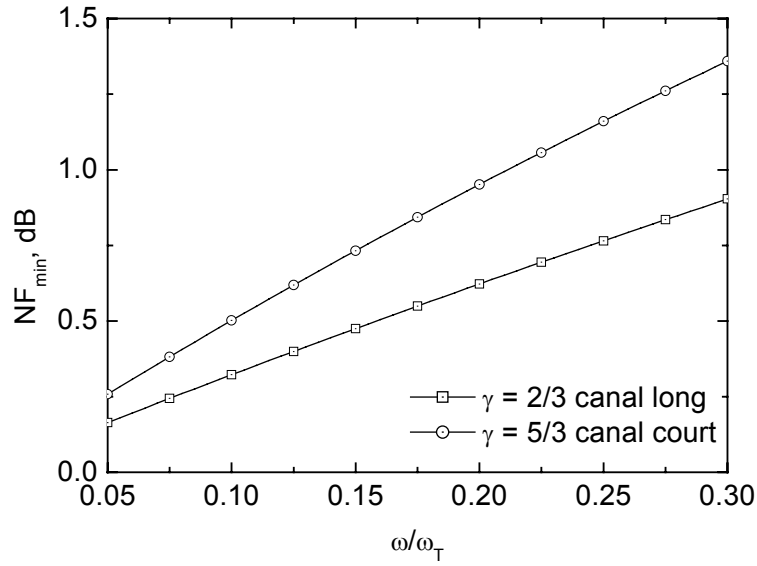


Figure 5 : NF_{min} calculé en fonction du rapport ω/ω_T avec $\delta=4/3$ $|c|=0,395$.

Cette figure 5 montre que le facteur de bruit minimal NF_{min}^1 d'un transistor avec contre réaction série inductive est faible lorsque la fréquence de fonctionnement est suffisamment éloignée de la fréquence de transition du transistor F_T .

2.2.2. Etude de l'adaptation simultanée en bruit et en puissance.

Pour obtenir un fonctionnement faible bruit et une valeur conséquente du gain, il est nécessaire que les paramètres R_n et NF_{min} du quadripôle soit faibles. Il faut aussi minimiser la différence entre l'impédance optimale de bruit Z_{opt} et la valeur optimale Z_e^* de impédance Z_1 à présenter au transistor pour lui transférer le maximum de puissance. Afin d'étudier cette différence analytiquement, nous considérons que le transistor est unilatéral, c'est à dire que l'impédance d'entrée du transistor ne dépend pas de la charge présentée en sortie du transistor. L'impédance à présenter au transistor assurant le transfert maximum de puissance est l'impédance conjuguée de son impédance d'entrée, en négligeant le terme non quasi statique, elle est donnée par la relation (45) [11].

$$Z_e^* = \frac{g_m L_s}{C_{gs}} + j \frac{1}{C_{gs} \omega} - j L_s \omega \quad (45)$$

Pour étudier les variations de la distance entre Z_{opt} et Z_e^* nous utilisons le critère distance $dist$ défini par la relation (46).

¹ NF est un facteur de bruit F exprimé en décibel. Nous utilisons indifféremment les deux notations sachant que : $NF_{min} = 10\text{Log}(F_{min})$ et $NF = 10\text{Log}(F)$

$$dist = |Z_e^* - Z_{opt}| = \left(\frac{g_m L_s}{C_{gs}} - R_{opt} \right)^2 + \left(\frac{1}{C_{gs} \omega} - L_s \omega - X_{opt} \right)^2 \quad (46)$$

Ce paramètre $dist$ admet un minimum lorsque sa dérivée par rapport à la valeur de l'inductance L_s s'annule. Soit pour la valeur donnée par l'expression (47).

$$L_{s,opt} = \frac{C_{gs} + C_{gs} g_m R_{opt} - C_{gs}^2 \omega X_{opt}}{g_m^2 + C_{gs}^2 \omega^2} \quad (47)$$

Notons que cette contre réaction fait chuter le gain en puissance disponible en haute fréquence. Le travail publié par Ellinger [12] montre que l'inductance fait chuter la transconductance g_m et que la transconductance équivalente g_m' s'écrit :

$$g_m' = \frac{g_m}{1 + jL_s \omega (g_m + jC_{gs} \omega)} \quad (48)$$

Ceci impose une limite maximale pour la valeur de L_s . En conséquence, nous choisirons dans nos conceptions la valeur qui minimise le critère $dist$ si celle ci ne fait pas trop chuter le gain en puissance disponible.

2.3. Etude de l'amplificateur cascode et validation de l'étude théorique.

Etant donné la complexité du montage cascode, nous étudions l'influence des sources de bruit introduites par le second transistor en implémentant le modèle du paragraphe 2.1.1. dans un simulateur électrique. Nous extrayons les différents paramètres du modèle nécessaires (V_{Tn} , μ_n , C_{ox} , V_{dsat}) des données technologiques du procédé de fabrication dont nous disposons ou de simulations électriques employant le modèle du fondeur. Nous ajoutons également la capacité C_{gd} définie par la relation (49) en nommant C_{ov} la capacité de recouvrement surfacique [5].

$$C_{gd} = WC_{ov} \quad (49)$$

Ainsi, l'implémentation de ce modèle nous permet de prendre en compte l'influence du second transistor sur le facteur de bruit, les effets de la capacité C_{gd} et la source de bruit ajoutée par les pertes de l'inductance de contre réaction L_s . Enfin, pour tenir compte des effets du second ordre comme la réduction de mobilité dans le canal et le bulk, nous utilisons les modèles des transistors de la bibliothèque de composants de la filière de fabrication dont nous disposons.

2.3.1. Etude du montage cascode.

Nous étudions le facteur de bruit minimal $NF_{\min}$ ainsi que la résistance de bruit R_n d'un amplificateur cascode décrit par la figure 6 en nous limitant à une configuration où les deux transistors sont de tailles identiques.

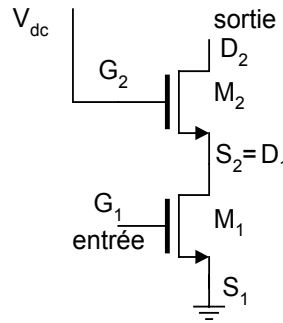


Figure 6 : Montage cascode.

Nous traçons sur la figure 7 le facteur de bruit minimal $NF_{\min}$ obtenu pour la configuration cascode (figure 6) et la configuration source commune (figure 4) en fonction du rapport F/F_T .

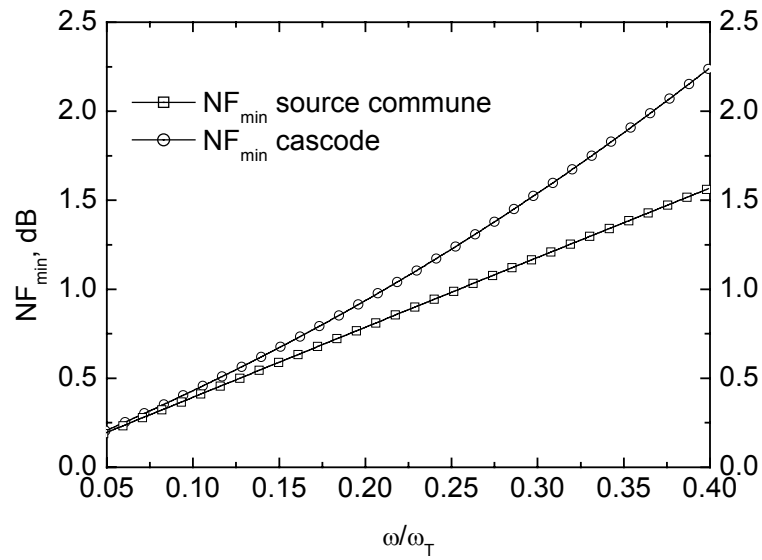


Figure 7 Facteur de bruit minimum simulé $NF_{\min}$ de transistor $0,13 \times 100 \mu\text{m}$ polarisés à $I_{ds}=10 \text{ mA}$ et $V_{ds} = 1,2 \text{ V}$ (avec C_{gd}).

Nous constatons que la configuration cascode provoque une augmentation non négligeable du facteur de bruit minimal lorsque la fréquence de travail est proche de F_T .

2.3.2. Influence de la capacité C_{gd} sur la valeur du paramètre de bruit NF_{min} du montage source commune et du montage cascode.

Nous simulons le facteur de bruit minimum d'un transistor décrit par notre modèle analytique en ajoutant la capacité C_{gd} que nous calculons à l'aide de la relation (49). Nous obtenons les résultats² de la figure 10 qui valident le choix de négliger la capacité C_{gd} .

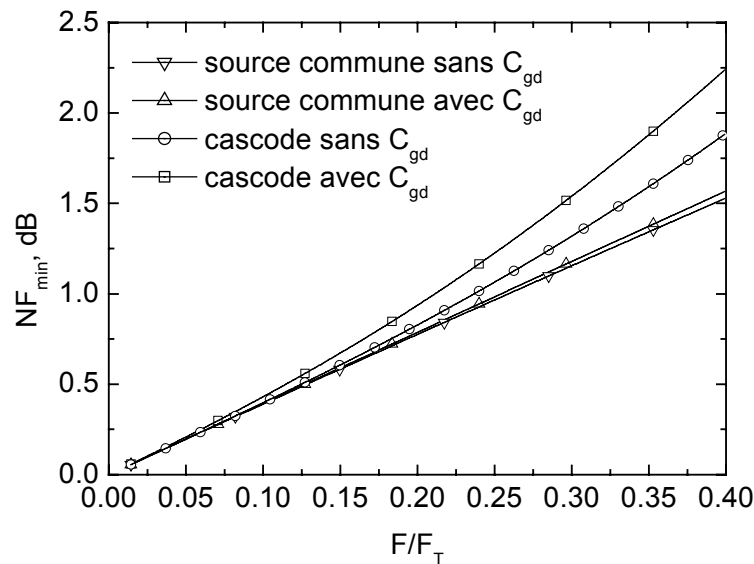


Figure 8 : Effet de la capacité C_{gd} sur le facteur de bruit minimum d'un cascode et d'un transistor source commune ($W = 100 \mu m$ et $I_{ds} = 10mA$).

Nous constatons que l'influence de la capacité C_{gd} n'est sensible que pour la configuration cascode et provoque une augmentation du facteur de bruit minimal de l'amplificateur.

2.3.3. Influence de la valeur de l'inductance L_s sur le facteur de bruit minimum d'un transistor source commune.

Nous simulons grâce au modèle implémenté afin de valider l'équation (37), l'effet de la contre réaction inductive sans perte sur le facteur de bruit minimum NF_{min} d'un transistor connecté en source commune. Les dimensions du transistor sont de $100 \mu m \times 0,13 \mu m$, il est polarisé à $I_{ds} = 10 mA$. Ce point de polarisation conduit à une fréquence de transition F_T de 80 GHz. Nous traçons sur la figure 9 l'évolution du paramètre de bruit NF_{min} en fonction de la valeur de l'inductance L_s pour les trois fréquences de fonctionnement suivantes $F_T/4$, $F_T/10$ et $F_T/20$ (20 GHz, 8 GHz et 4 GHz).

² L'augmentation des facteurs de bruit dans le cas cascode observable sur cette figure 9 et suivantes est imputable à la définition de g_{d0} qui conduit à une valeur de $\alpha \approx 0,91$.

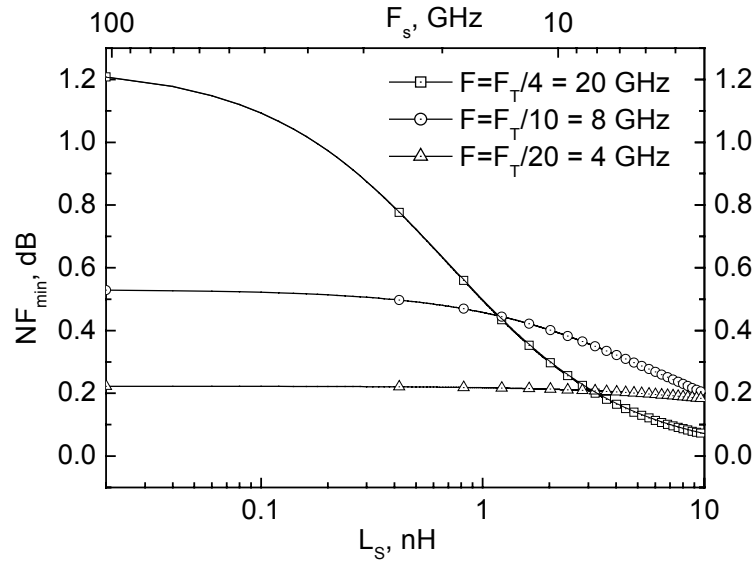


Figure 9 : Influence de la valeur de l'inductance sur le facteur de bruit minimal NF_{min} transistor source commune ($W=100\ \mu\text{m}$ $L=0,13\ \mu\text{m}$ $I_{ds} = 10\ \text{mA}$).

Nous constatons que la valeur de NF_{min} chute en haute fréquence pour de fortes valeurs d'inductance de contre réaction. Le graphe montre que cette chute apparaît lorsque la fréquence de coupure F_s est environ le double de la fréquence de fonctionnement de l'amplificateur. Ces résultats semblent montrer qu'il est raisonnable de négliger le terme dépendant de F_s dans les expressions de la tension de bruit équivalente e_n et du facteur de bruit minimal NF_{min} (relations (24) et (33)).

2.3.4. Influence du coefficient de qualité de l'inductance L_s sur la valeur du paramètre de bruit NF_{min} d'un amplificateur source commune.

Le second effet négligé dans le calcul analytique que nous effectuons est le bruit introduit par l'inductance L_s . En effet, une source tension de bruit est ajoutée par les pertes de l'inductance en série avec celle ci. Pour quantifier son influence sur la valeur du paramètre de bruit NF_{min} nous simulons le même amplificateur source commune contre réactionné par une inductance dont le coefficient de qualité est compris entre 1 et 15. Nous limitons la valeur maximale de l'inductance à 3 nH pour ne pas être dans le cas de la figure 9.

Nous traçons sur la figure 10 l'évolution du paramètre NF_{min} d'un amplificateur source commune fonctionnant à $F_T/20$ en fonction de la valeur de l'inductance L_s et de son coefficient de qualité Q .

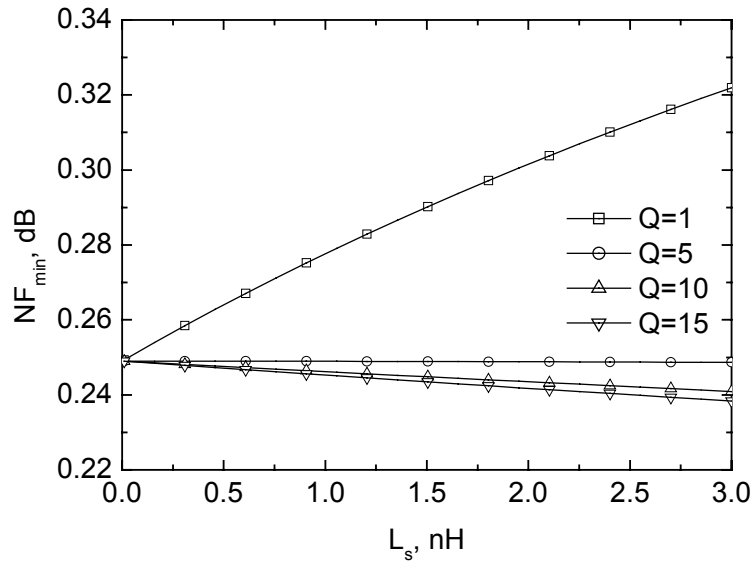


Figure 10 : Influence de la valeur et du coefficient de qualité Q de l'inductance L_s du facteur de bruit d'un transistor fonctionnant à $F_T/20$ ($W=100 \mu m$ $I_{ds} = 10$ mA).

Au vu des résultats de simulation présentés figure 10, nous concluons que l'introduction d'une inductance bruyante ne provoque aucune augmentation importante du paramètre NF_{min} pour des amplificateurs fonctionnant à des fréquences inférieures ou égales à $F_T/10$.

2.3.5. Comparaison modèle fondeur modèle analytique.

Nous souhaitons valider, à l'aide du modèle électrique développé par le fondeur des transistors à notre disposition, l'influence du choix de la topologie d'amplification en fonction de la fréquence de fonctionnement de l'amplificateur. Le modèle des transistors est un modèle BSIM3v3 modifié où les résistances d'accès bruyantes R_g , R_d et R_s , le bruit induit dans le canal et la corrélation des sources de courant de bruit de drain et de source sont ajoutés. Pour plus d'information sur le modèle BSIM3v3 le lecteur peut se référer à la référence [6]. Nous validons nos résultats, en comparant les deux paramètres de bruit NF_{min} et R_n d'un transistor connecté en source commune et d'un montage cascode dont la consommation et les dimensions sont identiques.

Nous comparons figure 11 les résultats obtenus grâce au modèle analytique implémenté à ceux obtenus grâce au modèle fondeur, un bon accord est observé dans les deux configurations, seule une augmentation du facteur de bruit dans la configuration cascode que nous ne savons pas expliquer est observé dans le cas du modèle analytique.

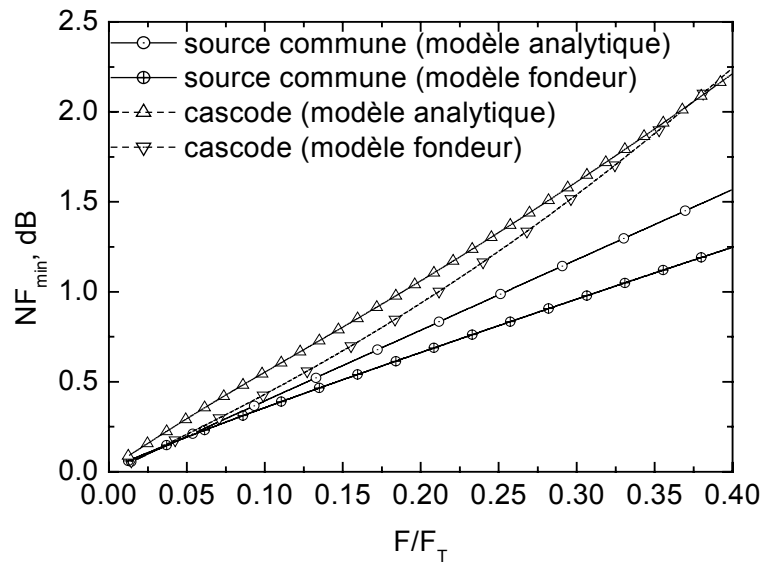


Figure 11 : Comparaison des facteurs de bruit d'un montage cascode et d'une source commune (modèle analytique et fondeur) avec $W = 100 \mu m$ et $I_{ds} = 10 mA$.

Nous traçons sur la figure 12 l'évolution de la résistance de bruit R_n et son augmentation ΔR_n due à l'utilisation d'une structure cascode.

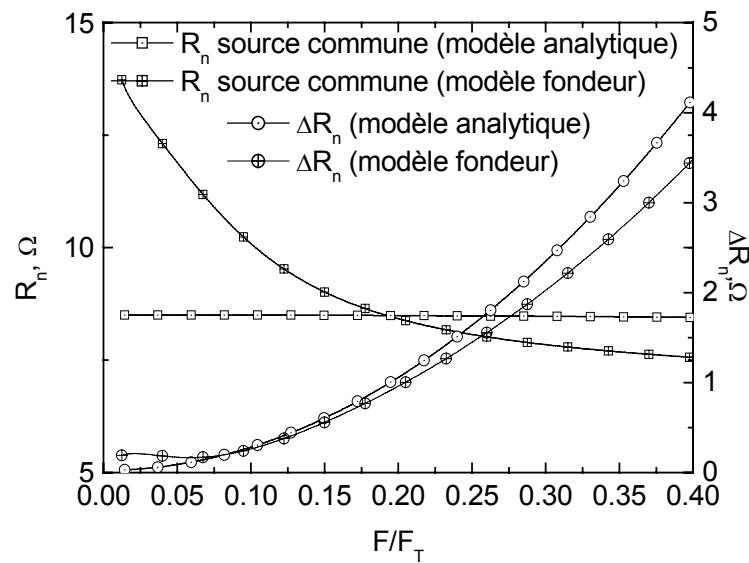


Figure 12 : Comparaison des résistances de bruit d'un montage cascode et d'une source commune avec $w = 100 \mu m$ et $I_{ds} = 10 mA$.

Le modèle de bruit présenté au paragraphe 2.1.1. ne permet pas de prévoir la valeur de la résistance de bruit R_n nous observons un bon accord entre la valeur prévue par le modèle analytique et la valeur obtenue grâce au modèle fondeur à notre disposition. De plus, l'augmentation ΔR_n de la résistance de bruit due à l'introduction des sources de bruit par le cascode est elle bien représentée par le modèle implémenté.

2.4. Conclusion de la première partie.

Nous avons, dans cette première partie, étudié les topologies d'amplification faible bruit de type cascode et source commune contre réactionné à l'aide d'une inductance L_s . Le modèle bruyant que nous employons inclut le bruit induit dans le canal, la corrélation des deux sources de courant de bruit de drain et de grille et les effets non quasi-statiques.

De cette étude, il apparaît :

- Qu'il existe une fréquence de coupure F_s dépendant de la géométrie du transistor et de la valeur de l'inductance L_s en dessous de laquelle le facteur de bruit minimal $NF_{\min}$ est indépendant de la valeur de L_s pour les deux topologies source commune et cascode.
- Que le facteur de bruit minimal $NF_{\min}$ des deux structures est faible loin de la fréquence de transition des transistors. Dans le contexte des amplificateurs totalement intégrés CMOS il est inférieur à celui de la maille d'adaptation utilisant des inductances intégrées dans l'état actuel des technologies CMOS.
- Que dans la configuration cascode, les sources de bruit introduites par le second transistor ne sont sensibles que lorsque la fréquence de travail est haute.

En conséquence nous dégageons les règles de conception suivantes, les premières concernent le choix de la topologie du quadripôle d'amplification, les deuxièmes son dimensionnement et les troisièmes la conception du circuit d'adaptation.

1. Choix de la topologie.

- a. En basse fréquence il est préférable d'utiliser un amplificateur cascode dont la valeur du paramètre $NF_{\min}$ n'est pas minimisée. Une plus grande attention doit être portée à l'optimisation de la résistance de bruit R_n et à l'optimisation de la valeur de l'inductance de contre réaction L_s minimisant le critère de distance dist.
- b. En haute fréquence, les contributions des sources de bruit du second transistor sont plus importantes et font augmenter le facteur de bruit minimal $NF_{\min}$ ainsi que la résistance équivalente de bruit R_n de l'amplificateur. Dans ce cas, l'utilisation d'un

amplificateur source commune est préférable tant que le gain en puissance disponible du premier étage est suffisant pour rendre négligeable la contribution des étages suivants au facteur de bruit de la totalité de l'amplificateur.

2. Dimensionnement

L'optimisation de la géométrie des transistors peut être réalisée de deux façons. L'expression du facteur de bruit minimal montre qu'au premier ordre $NF_{\min}$ n'est dépendant que de la fréquence de transition des transistors. Comme ce paramètre est indépendant de la largeur des transistors utilisés [7], il est possible de fixer arbitrairement la largeur des transistors et d'optimiser le courant de drain pour obtenir le facteur de bruit minimal.

- a. Pour une largeur de transistor donnée, la fréquence de transition est proportionnelle à la racine carrée du courant de polarisation I_{ds0} . Or, au premier ordre, le facteur de bruit minimal est inversement proportionnel à la fréquence de transition du transistor, nous en déduisons que le paramètre de bruit $NF_{\min}$ est inversement proportionnel à la racine carrée du courant de polarisation I_{ds0} . Le même raisonnement peut être tenu sur les variations de la résistance de bruit R_n mais cette fois-ci la résistance de bruit est inversement proportionnelle au carré du courant de polarisation I_{ds0} . Ce raisonnement est à tempérer par la dépendance des coefficients de bruit γ et δ en fonction du courant de polarisation. Cette première méthode peut aboutir à des courants de polarisation non compatibles avec des contraintes de faible consommation.
- b. L'autre technique consiste à fixer un budget de puissance maximal et à optimiser la géométrie du transistor qui conduit à un compromis entre résistance de bruit R_n et facteur de bruit minimal $NF_{\min}$. Ces deux façons d'optimiser sont utilisables pour les deux topologies d'amplification que nous étudions. Néanmoins, comme nous nous intéressons aux amplificateurs faible consommation, nous retenons la seconde méthode de dimensionnement.
- c. Nous choisissons la valeur de la contre réaction inductive qui minimise le critère de distance $dist$, sauf si celle-ci fait trop chuter le gain en puissance disponible.

3. Conception des cellules d'adaptation.

Le circuit d'adaptation d'entrée est optimisé pour minimiser les pertes qu'il introduit afin de ne pas détériorer le facteur de bruit final F de l'amplificateur. Nous le dimensionnons en suivant les deux remarques suivantes.

- a. Lorsque l'amplificateur à réaliser fonctionne à des fréquences où des inductances intégrées sont disponibles, nous proposons d'introduire un degré de liberté dans le dimensionnement du circuit passif d'adaptation d'entrée. Ce degré de liberté est présent dans les quadripôles en π utilisant trois éléments réactifs. Ce degré de liberté permet de choisir la valeur de l'inductance qui possède le meilleur coefficient de qualité de la technologie utilisée à fréquence de fonctionnement de l'amplificateur.
- b. En haute fréquence, de telles inductances ne sont souvent pas disponibles dans les technologies CMOS standard. Dans ce cas, nous proposons d'adapter le quadripôle d'amplification avec des circuits passifs constitués d'éléments distribués. Il n'est plus alors nécessaire d'utiliser des cellules permettant d'introduire un degré de liberté. En revanche, les choix de la topologie du circuit d'adaptation, du type de lignes de transmission et de leurs impédances caractéristiques sont guidés par la minimisation des pertes introduites par le circuit d'adaptation.

3. Exemples de conception d'amplificateurs faible bruit bande étroite totalement intégrés en technologie CMOS.

Nous détaillons maintenant la conception de trois amplificateurs faible bruit dont la méthode de conception découle directement des remarques concluant notre étude préalable. Le premier amplificateur fonctionne loin de la fréquence de transition des transistors utilisés ($F \approx F_T/20$). Les deux autres fonctionnent à une fréquence beaucoup plus proche de la fréquence de transition des transistors utilisés ($F \approx F_T/4$).

3.1. Amplificateur faible bruit fonctionnant à une fréquence proche de $F_T/20$.

Nous utilisons pour concevoir cet amplificateur une technologie CMOS 0,28 μm dont la fréquence maximale de transition F_T observée en simulation est d'environ 45 GHz et la fréquence d'oscillation maximale F_{max} de 60 GHz environ. Notre amplificateur fonctionne à la fréquence de 2,45 GHz et doit être totalement intégré (environ $F_T/20$). Son courant de polarisation est fixé à 4 mA par l'étude système de l'émetteur récepteur radiofréquence auquel il est dédié. Pour plus de détails sur cet émetteur récepteur, le lecteur peut se référer aux publications [13-16].

3.1.1. Optimisation du cascode d'amplification.

Nous choisissons pour cet amplificateur, fonctionnant loin de la fréquence de transition des transistors utilisés, le montage cascode décrit par la figure 13 dont les avantages en termes de stabilité sont bien connus.

Nous fixons la longueur L de tous les transistors à la valeur minimale autorisée par la technologie afin de minimiser la valeur de chacun des paramètres de bruit R_n et $NF_{\min}$. Nous utilisons le formalisme en coefficients de réflexion, en notant Γ_{opt} la valeur du coefficient de réflexion Γ_1 présenté au transistor qui conduit au facteur de bruit minimal et Γ_e^* de la valeur de Γ_1 qui conduit à l'adaptation en puissance.

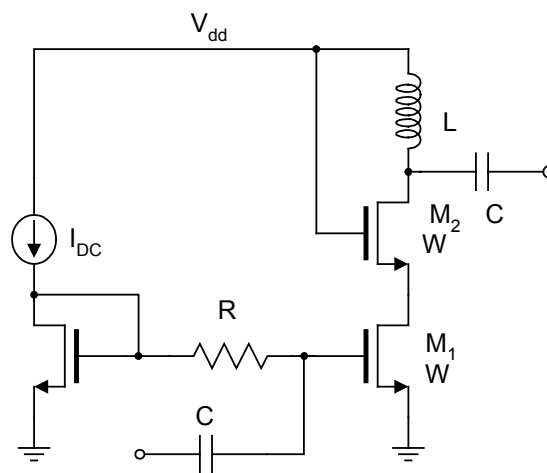


Figure 13 : Quadripôle d'amplification du LNA bande étroite fonctionnant à 2,45 GHz.

Nous optimisons la largeur W des transistors de la façon suivante. Pour une puissance continue constante imposée par le cahier des charges de l'amplificateur, nous simulons $NF_{\min}$ et R_n en augmentant la largeur des transistors de 20 à 250 μm . Pour obtenir un fonctionnement faible bruit, nous choisissons la largeur W des transistors aboutissant à un compromis entre une résistance de bruit R_n faible et un facteur minimal $NF_{\min}$ de bruit également faible.

³ $F_{\max}$ est définie comme la fréquence où le gain en puissance disponible est à module unitaire.

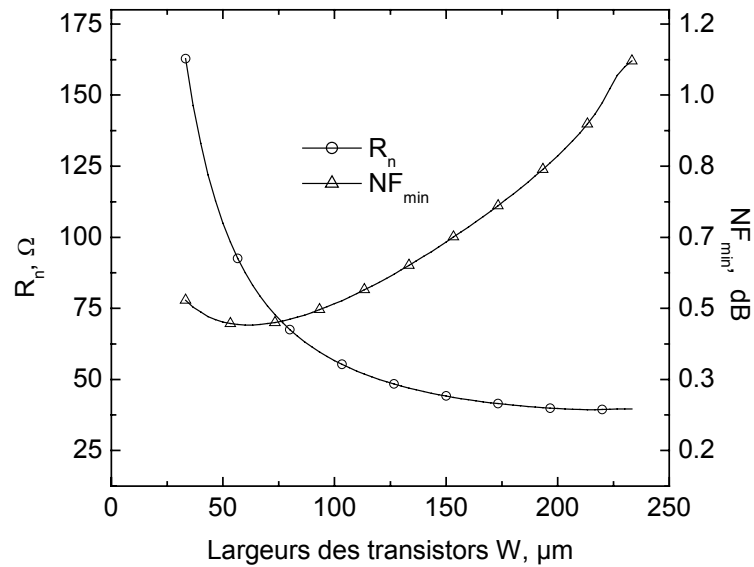


Figure 14 : Résistance de bruit R_n et facteur de bruit minimum $NF_{\min}$ en fonction de la largeur des transistors pour $I_{ds} = 4 \text{ mA}$ et $F = 2,45 \text{ GHz}$.

Les résultats de simulation présentés figure 14 montrent qu'il n'existe pas de transistor de largeur W qui minimise à la fois R_n et $NF_{\min}$. Néanmoins, nous choisissons une largeur de $120 \mu\text{m}$ des transistors grâce aux remarques suivantes.

- Choisir une largeur de transistor inférieure à $75 \mu\text{m}$ n'est pas judicieux car le facteur $NF_{\min}$ et la résistance R_n augmentent lorsque W diminue dans cette zone.
- Il est préférable de choisir une largeur conduisant à une résistance R_n faible au détriment du facteur $NF_{\min}$ mais sans que celui-ci ne devienne prohibitif. Nous choisissons de privilégier la résistance de bruit au détriment du facteur de bruit minimal car, la distance minimale entre Γ_{opt} et Γ_e^* obtenue après contre réaction n'est pas connue a priori. En effet pour une même distance une résistance de bruit R_n grande provoque un accroissement plus important du facteur de bruit final F de l'amplificateur que pour une résistance de bruit R_n plus faible.

Cette largeur de $120 \mu\text{m}$ conduit à une valeur de résistance de bruit R_n relativement faible pour une technologie CMOS $0,28 \mu\text{m}$ (50Ω) et une valeur du facteur de bruit minimal $NF_{\min}$ de $0,6 \text{ dB}$.

3.1.2. Détermination de la contre réaction.

Maintenant que nous connaissons la topologie de la partie active de l'amplificateur nous allons déterminer la valeur de l'inductance de contre réaction série à placer entre la source du transistor M_1 et la masse.

Pour que l'ensemble des résultats de l'étude théorique puissent être utilisés, nous fixons la valeur maximale de l'inductance qui garantit que la fréquence de coupure F_s soit supérieure à la fréquence de travail de l'amplificateur (dans notre cas 2,45 GHz). Ainsi, nous pouvons choisir la valeur de l'inductance L_s qui minimise le critère de distance entre Γ_{opt} et Γ_e^* et assure la stabilité inconditionnelle de l'amplificateur si cette valeur ne dégrade pas trop le gain en puissance disponible de l'amplificateur.

La géométrie du transistor et la connaissance du point de polarisation nous permettent d'extraire la valeur de la capacité C_{gs} de 120 fF. Dans ce cas, la valeur maximale de l'inductance garantissant l'indépendance des paramètres de bruit est très supérieure aux valeurs réalisables en technologies CMOS.

Pour ne pas surestimer la valeur minimale de L_s garantissant la stabilité inconditionnelle de l'amplificateur il faut que sa charge ne soit pas idéale. En effet, les pertes et la valeur du module de l'impédance de cette charge influent sur la stabilité de l'amplificateur. Celle ci doit être d'impédance suffisamment importante pour isoler le courant dynamique de l'alimentation. Nous la réalisons grâce à l'inductance de la bibliothèque de composants fournie par le fondeur possédant le coefficient de qualité maximum à la fréquence de travail. Cette inductance est également utilisée comme élément du circuit d'adaptation de sortie. Nous choisissons comme le montre la figure 15 une inductance de 4,5 nH de coefficient de qualité Q proche de 13 à la fréquence de travail.

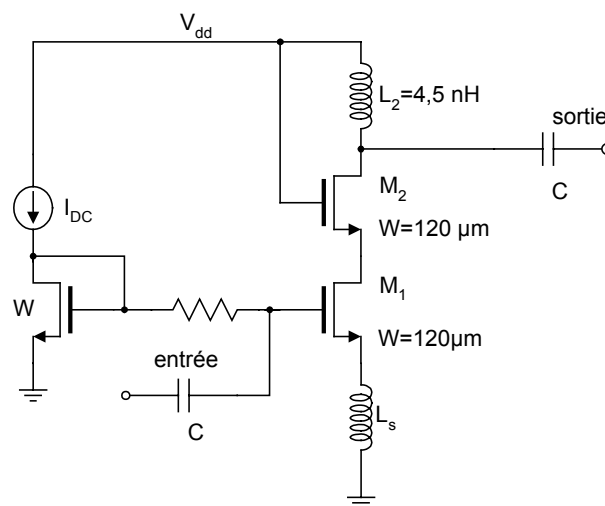


Figure 15 : Cascode avec contre réaction inductive.

Tout d'abord, comme le prévoit l'étude théorique les paramètres de bruit dont les variations sont tracées figure 16 sont peu sensibles à la présence de l'inductance L_s (6% autour de 40 Ω pour R_n et 1,5% en linéaire autour 0,525 dB pour NF_{min}).

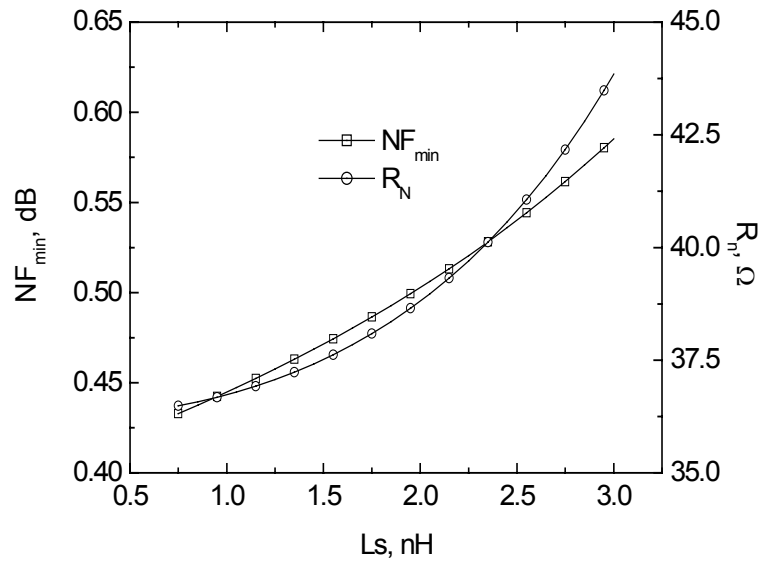


Figure 16 : R_N et NF_{min} en fonction de la valeur de l'inductance de contre réaction L_s à 2,45GHz.

La figure 17 montre qu'il existe une valeur d'inductance L_s de 1,3 nH qui minimise la distance entre l'impédance optimale de bruit et l'impédance garantissant l'adaptation en puissance.

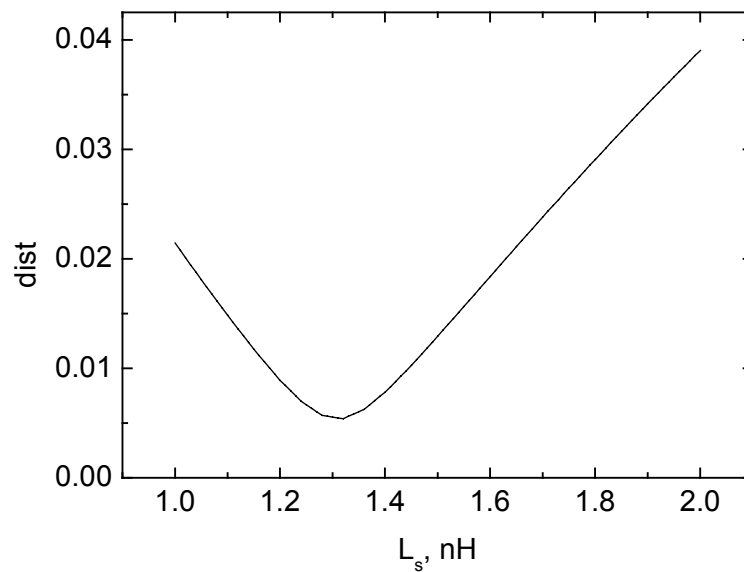


Figure 17 : Distance entre Γ_{opt} et Γ_E^* en fonction de la valeur de l'inductance de contre réaction L_s .

Enfin, comme le montre la figure 18 la présence de cette inductance assure la stabilité inconditionnelle de l'amplificateur à la fréquence centrale de travail et dans une bande de fréquence comprise entre 0,5 et 50 GHz⁴.

⁴ On montre qu'un quadripôle est inconditionnellement stable lorsque les deux conditions suivantes sont vérifiées. $K_f = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta_s|^2}{2|S_{21}S_{12}|} \geq 1$ et $|\Delta_s| = |S_{11}S_{22} - S_{21}S_{12}| \leq 1$.

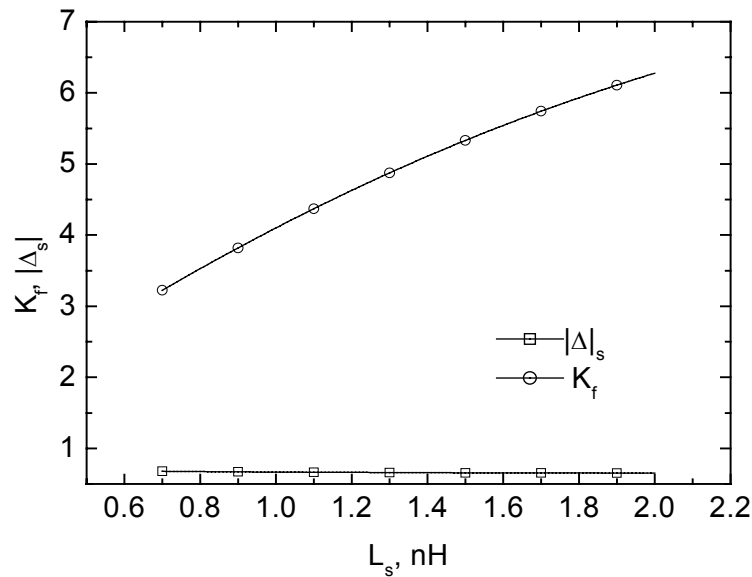


Figure 18 : Facteur de Rollet et module du déterminant de la matrice de répartition de l'amplificateur à 2,45 GHz.

Enfin, la valeur de L_s de 1,3 nH minimisant le critère de distance peut être retenue car elle ne fait pas trop chuter le gain, cette valeur d'inductance assure la stabilité inconditionnelle de l'amplificateur dans une bande de fréquence allant de 100 MHz à 50 GHz.

3.1.3. Détermination et optimisation des cellules d'adaptation.

Comme nous souhaitons caractériser notre amplificateur directement sous pointes, nous l'adaptions en puissance sur une impédance de 50Ω en entrée ainsi qu'en sortie. L'inductance L_2 (voir figure 15) permet d'aboutir à une impédance de sortie adaptable en puissance à l'aide de deux capacités, il n'est pas nécessaire d'ajouter d'inductance supplémentaire dans le circuit d'adaptation de sortie.

3.1.3.1. Cellule d'adaptation d'entrée.

La cellule d'adaptation d'entrée doit être totalement intégrée et introduire le moins de pertes possible afin de moins dégrader le facteur de bruit final de l'amplificateur. Les inductances sont les éléments passifs les moins performants et les plus encombrants des technologies silicium [17], il est donc indispensable de minimiser leur nombre. De plus, afin de minimiser les pertes et l'encombrement final du circuit il est important de pouvoir choisir leurs valeurs. Nous retenons les cellules en π proposées figure 19 qui ne contiennent qu'une seule inductance, car ces circuits offrent tous la possibilité de choisir la valeur de l'inductance qui possède le coefficient de qualité Q le plus important à la fréquence de fonctionnement de l'amplificateur. Ce choix permet de minimiser les pertes introduites par le circuit d'adaptation puisque les capacités de type MIM possèdent des coefficients de qualité plus importants. Nous n'étudions que les deux solutions a) et b) présentées car il n'est pas

possible d'adapter l'impédance capacitive d'une grille de transistor MOS avec la solution c).

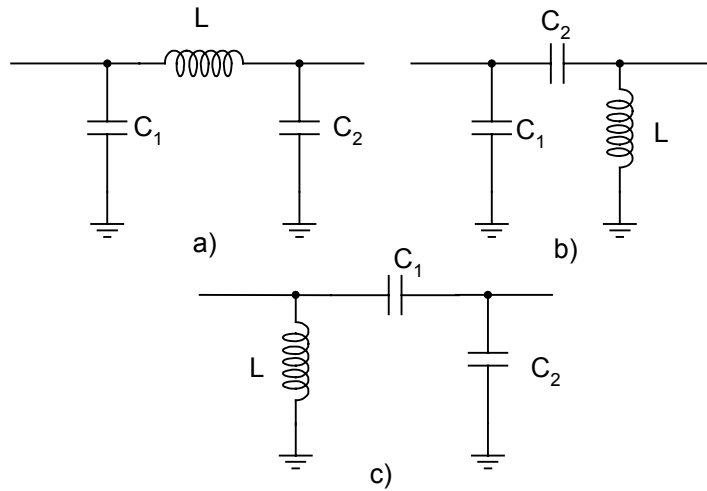


Figure 19 : Cellules d'adaptation en π .

Ayant choisi l'inductance, nous choisissons la cellule d'adaptation b) qui d'après nos simulations conduit au facteur de bruit le plus faible pour l'amplificateur total.

3.1.3.2. Cellule d'adaptation de sortie.

Nous employons la même cellule en π comme cellule d'adaptation de sortie de l'amplificateur en utilisant une inductance L_2 de même valeur mais en recalculant les valeurs des capacités.

3.1.4. Finalisation et performances de l'amplificateur faible bruit fonctionnant à 2,45 GHz.

Le schéma électrique final de l'amplificateur présenté figure 20 donne les valeurs de tous les éléments obtenus après des simulations incluant les interconnexions réalisées par les lignes microrubans présentées au paragraphe 5.1. du second chapitre et des plots d'accès nécessaires à la mesure dont le modèle équivalent est le résultat de simulations électromagnétiques.

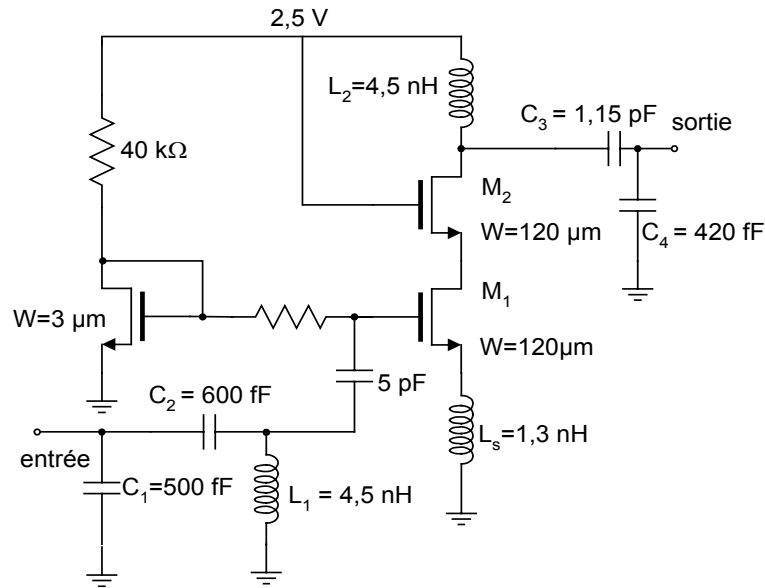


Figure 20 : Description électrique du LNA fonctionnant à 2,45 GHz.

Les résultats de simulations de la figure 21 montrent un facteur de bruit F inférieur à 2,5 dB et un gain en puissance de 15 dB.

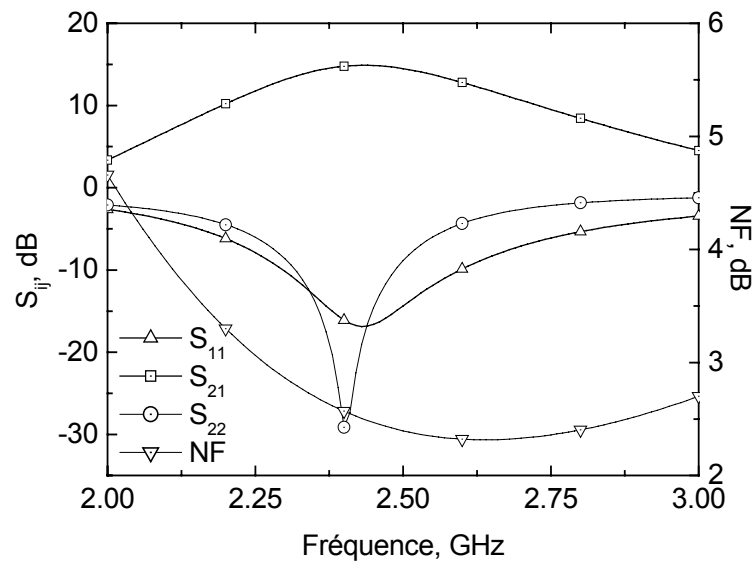


Figure 21 : Performances électriques de l'amplificateur faible bruit fonctionnant à 2,45 GHz.

L'amplificateur faible bruit a été réalisé par la société STMicroelectronics sur le site du Rousset, le circuit occupe une surface de $1 \times 0,950 \text{ mm}^2$. Sa caractérisation est présentée en cinquième partie de ce mémoire. Le tableau 2 récapitule les performances simulées de cet amplificateur.

Table 2 : Récapitulatif des principales caractéristiques de l'amplificateur fonctionnant à FT/20 (2,45 GHz)

Fréquence centrale	2,45 GHz
Technologie	CMOS 0,28 μm
Facteur de bruit minimal	2,3 dB
Gain maximum	15 dB
Consommation	10 mW
Surface du LNA	0,95 mm ²

3.2. Amplificateurs faible bruit fonctionnant en bande K (24 GHz).

Nous présentons maintenant la conception d'amplificateurs faible bruit fonctionnant à des fréquences beaucoup plus proches de la fréquence de transition des transistors employés. Nous utilisons pour cette conception des transistors de longueur de canal 0,13 μm dont la fréquence maximale de transition F_T simulée est de 100 GHz et la fréquence d'oscillation maximale F_{max} simulée de 130 GHz. Notre amplificateur fonctionne en bande K (24 GHz) qui correspond à une fréquence d'approximativement $F_T/4$. Nous concevons deux amplificateurs faible bruit. Le premier utilise, conformément aux conclusions de l'étude théorique de ce chapitre, un transistor unique connecté en source commune comme premier étage faible bruit, le second un amplificateur cascode. Ces deux amplificateurs sont conçus afin de montrer la faisabilité d'amplificateurs faible bruit CMOS fonctionnant aux fréquences millimétriques. Ces conceptions nous permettent également valider la théorie et les modèles simples utilisés.

Nous n'exposons en détail que la conception de l'amplificateur dont le premier étage faible bruit est un transistor connecté en configuration source commune. L'amplificateur utilisant une configuration cascode est conçu en suivant la même méthode que l'amplificateur source commune. Cependant, les largeurs de transistor optimales fournissant le facteur de bruit minimal ne sont pas les mêmes. Nous ne mentionnons les différentes tailles et les performances du LNA basé sur un premier étage d'amplification cascode qu'à titre de comparaison à la fin de la troisième partie de ce chapitre. Pour finir, nous menons une étude de sensibilité sur la maille d'adaptation de l'amplificateur source commune. Nous confrontons une maille d'adaptation conçue avec des lignes coplanaires et une maille d'adaptation réalisée avec des éléments LC localisés.

3.2.1. Conception du premier étage d'amplification.

Nous avons montré qu'en haute fréquence les avantages en terme de stabilité de l'amplificateur cascode s'obtiennent au détriment du facteur de bruit minimal. En effet, la topologie cascode permet de diminuer l'influence de la capacité C_{gd} qui introduit en haute fréquence une boucle de contre réaction pouvant rendre le transistor instable. Nous retenons néanmoins, la topologie source commune qui présente des paramètres de bruit R_n et NF_{min} plus faibles en haute fréquence que la topologie

d'amplification cascode. Nous apportons une attention particulière au dimensionnement de l'inductance de contre réaction qui assure sa stabilité. Ce choix de topologie n'est possible que lorsque le gain en puissance disponible du premier étage est suffisant pour masquer le bruit ajouté par le second étage.

Dans le cas que nous étudions maintenant, aucune étude système ne nous impose de courant de polarisation. Nous fixons arbitrairement la valeur maximale du courant statique de drain I_{ds0} à 10 mA. Nous optimisons la géométrie du transistor de la même façon que celle retenue pour l'amplificateur fonctionnant à 2,45 GHz en ajoutant un critère sur le gain maximum stable⁵ qui nous permet d'affiner la valeur du courant de polarisation du transistor. Comme pour la conception de l'amplificateur fonctionnant à 2,45 GHz, nous choisissons une largeur de transistor aboutissant à un compromis entre résistance de bruit et facteur de bruit minimal. En suivant les mêmes remarques qu'au paragraphe 3.1.1. et en utilisant les résultats de la figure 22 nous choisissons une largeur W du transistor d'amplification de 60 μm . car, pour des tailles supérieures la diminution de R_n est obtenue au prix d'une trop forte augmentation de $NF_{\min}$.

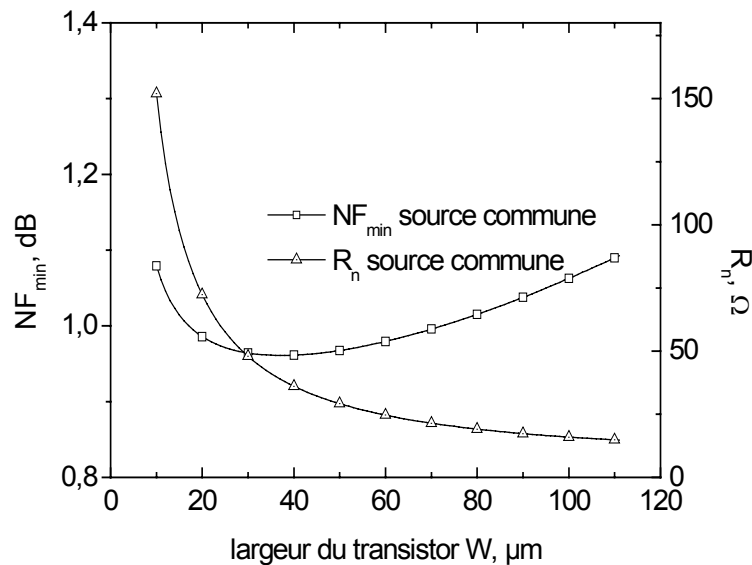


Figure 22 : R_n et $NF_{\min}$ d'un transistor source commune en fonction de la largeur W à 24 GHz, avec $I_{ds} = 6$ mA.

Le MSG dépendant du courant de polarisation, nous introduisons une seconde étape d'optimisation que nous effectuons sur le courant de polarisation. La figure 23 montre que le facteur de bruit et la résistance de bruit varient peu pour un courant de polarisation compris entre 2 et 15 mA alors que le MSG passe de moins de 4 dB à plus de 10 dB. Nous choisissons un courant de 10 mA pour obtenir un MSG de 10 dB.

⁵ Le gain maximum stable MSG est défini par la relation suivante : $MSG = S_{21}/S_{12}$

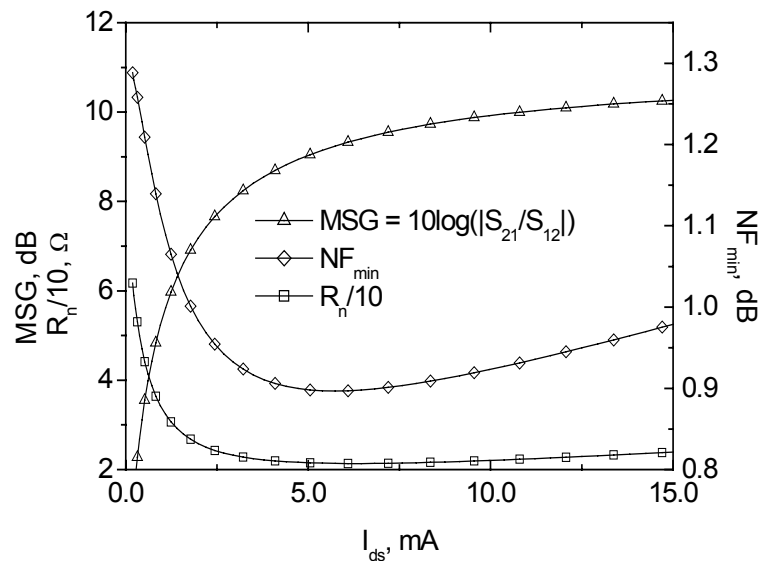


Figure 23 : Influence du courant de polarisation I_{ds} sur les paramètres de bruit et le MSG d'un transistor source commune de 60 μm .

Nous expliquons la faible remontée non prévue par le modèle analytique présenté figure 2 des deux paramètres de bruit NF_{min} et R_n observée pour des courants de polarisation supérieurs à 7 mA par d'une part la variation des paramètres des effets du second ordre comme la réduction de mobilité. En effet, pour de forts courants de polarisation, le champ électrique présent dans le canal fait chuter la mobilité des électrons introduisant une diminution de g_m [5]. Cette diminution produit une augmentation de la résistance non quasi-statique $1/g_g$ qui provoque une augmentation de la valeur quadratique moyenne du courant de grille. Nous retenons la valeur de 10 mA pour le courant de polarisation de drain I_{ds0} .

3.2.2. Choix de l'inductance de contre réaction.

Comme nous l'avons mentionné plus haut, la stabilité de l'amplificateur source commune est plus difficile à obtenir que pour un montage cascode. L'influence de l'inductance de contre réaction sur le gain en puissance maximum disponible (G_{disp}) ainsi que sur les paramètres de stabilité (K_f et $|\Delta_s|$) est beaucoup plus importante qu'en basse fréquence.

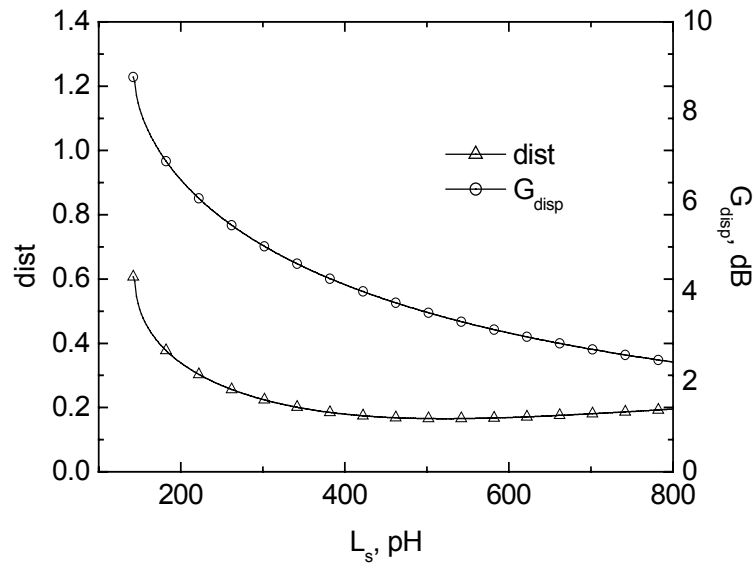


Figure 24 : Influence de la valeur de l'inductance de contre réaction sur le gain en puissance disponible et le critère de distance.

La valeur de L_s qui minimise le critère $dist$ diminue de façon trop importante le gain en puissance disponible (figure 24), nous choisissons alors la valeur minimale de 150 pH de l'inductance L_s rendant l'amplificateur inconditionnellement stable (figure 25).

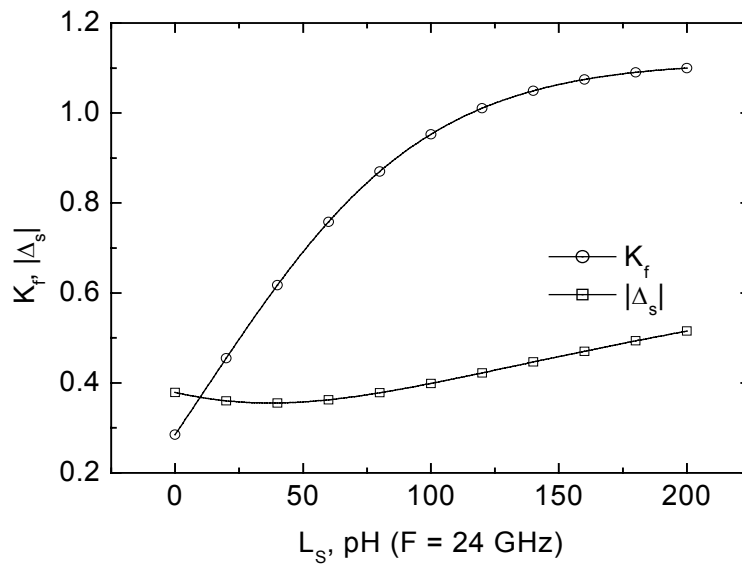


Figure 25 : Influence de la valeur de l'inductance de contre réaction sur le facteur de Rollet (K_f) et $|\Delta_s|$ à 24 GHz.

Enfin, la figure 26 montre des paramètres de bruit peu dépendants de l'inductance L_s pour des valeurs inférieures à 400 pH.

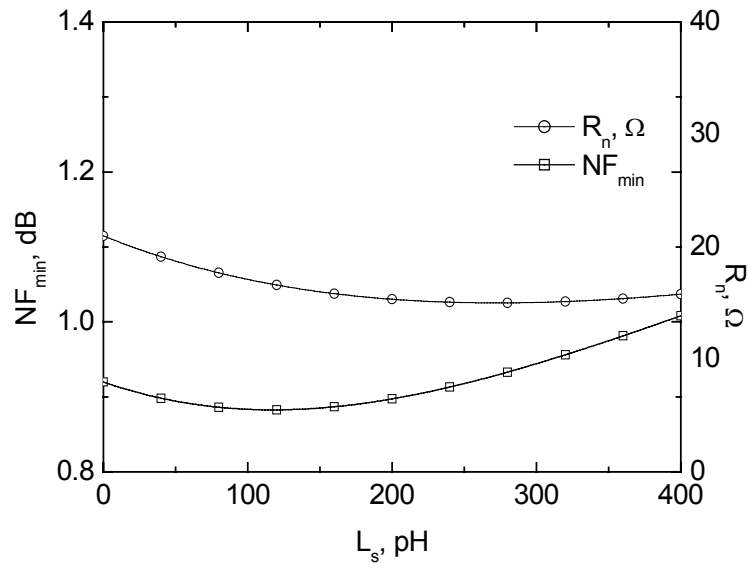


Figure 26 : Influence de la valeur de l'inductance de contre réaction sur le facteur de bruit minimal et la résistance de bruit.

Etant donné la valeur d'inductance L_s nécessaire, nous choisissons de la réaliser par une ligne coplanaire d'impédance caractéristique 88Ω court-circuitée. En effet, l'impédance caractéristique des lignes coplanaire est moins sensible aux variations technologiques que celle des lignes microrubans [18]. Nous retenons une longueur de $150 \mu m$ permettant la stabilité inconditionnelle de l'étage et n'affectant pas la valeur de NF_{min} (voir figure 27).

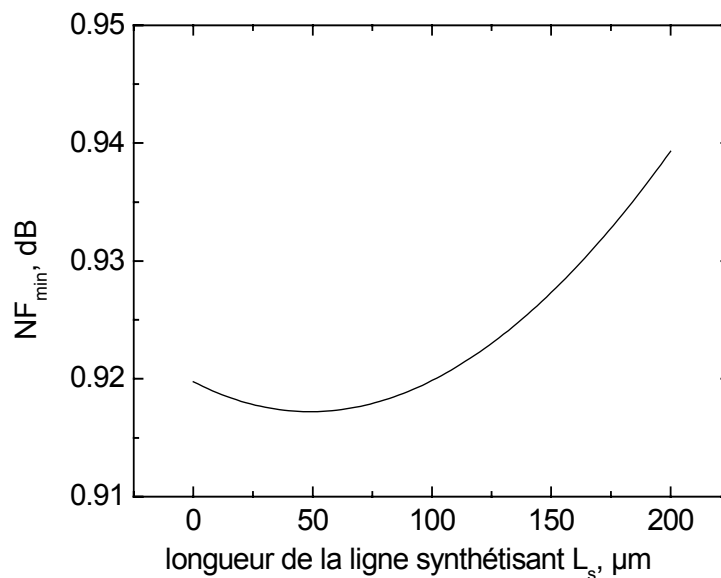


Figure 27 : Influence d'une inductance réalisée à l'aide d'une ligne coplanaire en court-circuit sur NF_{min} .

Nous utilisons une inductance en oméga de valeur maximale autorisée par les règles technologiques pour réaliser l'inductance permettant d'isoler la tension d'alimentation de drain. La figure 28 décrit le premier étage d'amplification.

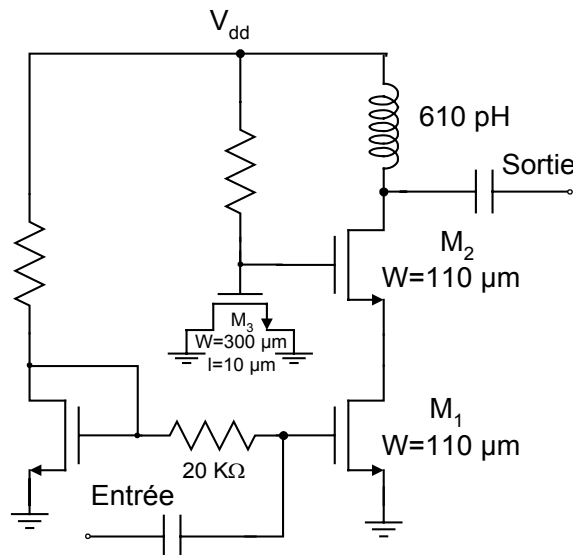


Figure 29 : Second étage d'amplification.

3.2.4. Optimisation des cellules d'adaptation.

Pour que notre amplificateur soit effectivement faible bruit, la maille d'adaptation d'entrée doit introduire le moins de pertes possible. Plusieurs solutions sont alors envisageables suivant la qualité des passifs disponibles dans la technologie utilisée.

- Il est possible d'utiliser les mêmes cellules qu'en basse fréquence si la bibliothèque de composants contient des inductances en oméga dont la fréquence de résonance propre, est très supérieure à la fréquence de travail de l'amplificateur. Il est également nécessaire que le coefficient de qualité Q soit suffisant ($Q \approx 10$) et que des capacités métal isolant métal (MIM) soient également disponibles.
- Dans le cas contraire, nous proposons d'utiliser des éléments distribués. Le choix de la technologie (coplanaire, microruban) se porte sur celle qui permet de concevoir les circuits d'adaptation qui introduisent le moins de pertes.

Pour une synthèse en éléments distribués, l'impédance caractéristique et le type de lignes de transmissions sont deux degrés de liberté qui apparaissent en plus de la topologie du circuit. En choisissant une topologie de type simple stub nous déterminons ces deux choix en faisant le raisonnement suivant. Dans le cas où l'impédance à adapter sur 50Ω est de nature capacitive comme c'est généralement le cas des grilles de transistors à effet de champ, il faut transformer l'impédance 50Ω en une impédance inductive avec le circuit d'adaptation. Comme nous retenons une synthèse à l'aide d'un circuit simple stub, une impédance caractéristique importante permet d'obtenir

l'impédance inductive nécessaire à partir de $50\ \Omega$ avec des lignes plus courtes qu'avec des lignes d'impédance caractéristique faible. Nous obtenons les coefficients d'atténuation les plus faibles pour des lignes de fortes impédances caractéristiques de type coplanaires. En conséquence, nous choisissons des lignes coplanaires d'impédance caractéristique proche de $88\ \Omega$.

Pour confirmer ce raisonnement, nous simulons les trois circuits d'adaptation donnant les facteurs de bruit de l'amplificateur tracés sur le graphe de la figure 30. La comparaison des facteurs de bruit est rendue possible car les impédances présentées au transistor sont voisines et permettent d'obtenir un coefficient de réflexion d'entrée inférieur à $-15\ \text{dB}$.

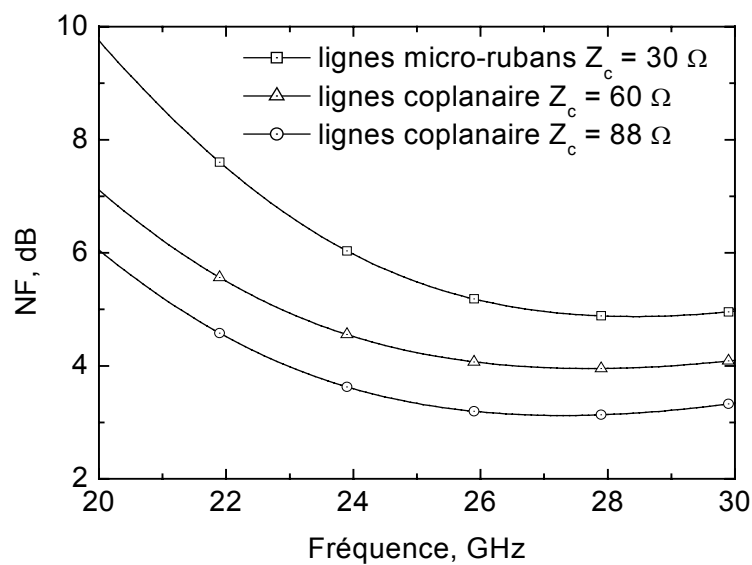


Figure 30 : Influence du choix de la technologie de réalisation des éléments répartis de la maille d'adaptation d'entrée sur le facteur de bruit final NF de l'amplificateur.

Les trois circuits d'adaptation sont réalisés avec les lignes de transmission décrites ci dessous.

- Le premier utilise des lignes microrubans d'impédance caractéristique $30\ \Omega$ de coefficient d'atténuation $0,4\ \text{dB.mm}^{-1}$ à $24\ \text{GHz}$.
- Le second utilise des lignes coplanaires d'impédance caractéristique $60\ \Omega$ de coefficient d'atténuation $0,7\ \text{dB.mm}^{-1}$ à $24\ \text{GHz}$ représentant le minimum d'atténuation observé en simulation.
- Le troisième utilise des lignes coplanaires d'impédance caractéristique $88\ \Omega$ de coefficient d'atténuation $0,75\ \text{dB.mm}^{-1}$ à $24\ \text{GHz}$.

Comme nous le supposons, les lignes coplanaires d'impédance caractéristique les plus importantes conduisent au facteur de bruit final le plus faible même si elles ne présentent pas le minimum du coefficient d'atténuation.

3.2.5. Finalisation de l'amplificateur.

Notre amplificateur faible bruit comporte deux étages d'amplification, le premier est dimensionné pour d'obtenir un faible facteur de bruit, le second pour ajouter le maximum de gain. Nous réalisons l'ensemble des cellules d'adaptation à l'aide des lignes coplanaires d'impédance caractéristique $88\ \Omega$ décrites dans le second chapitre de ce mémoire. Des capacités de $1\ \text{pF}$ de type MIM sont ajoutées pour bloquer la composante continue lorsque cela est nécessaire. L'amplificateur fonctionne sous une tension d'alimentation de $1,5\ \text{V}$ et consomme une puissance de $30\ \text{mW}$. La figure 31 en donne le schéma électrique complet.

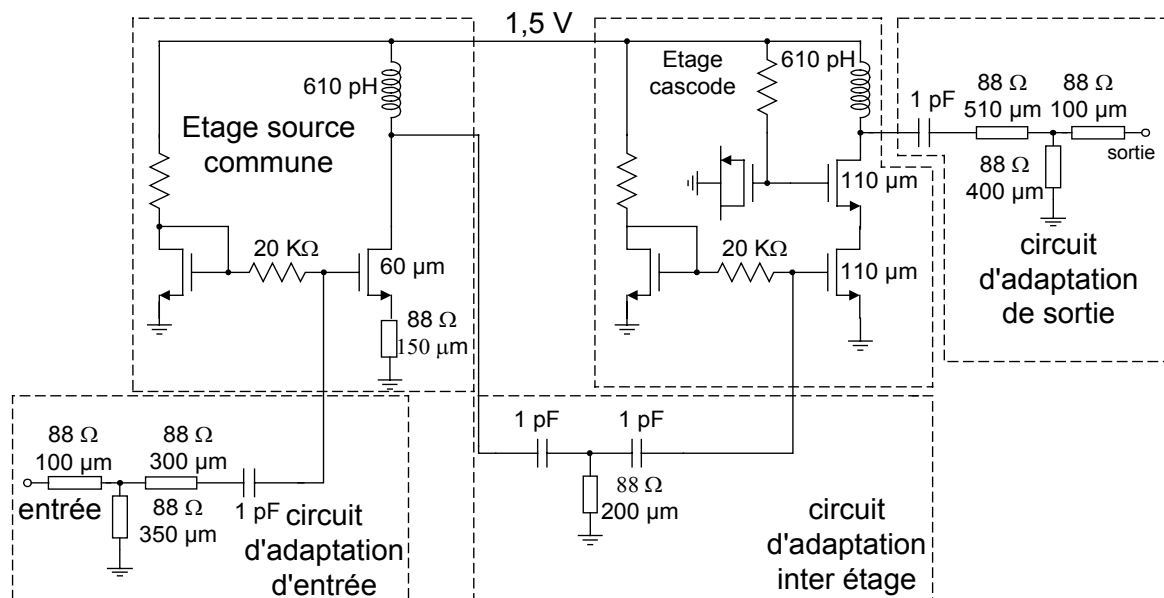


Figure 31 : Schéma électrique de l'amplificateur faible bruit fonctionnant en bande K.

Nous obtenons les performances simulées de la figure 32.

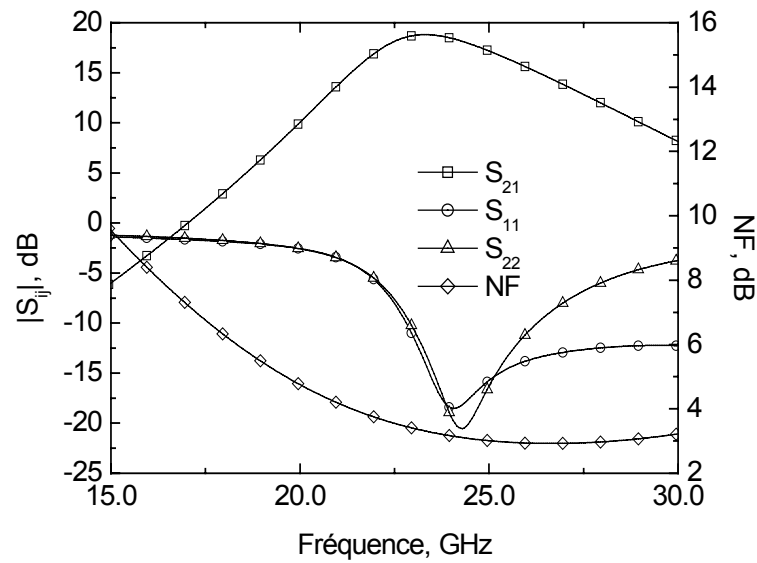


Figure 32 : Résultats des simulations électriques de l'amplificateur faible bruit.

3.2.6. Amplificateur utilisant des amplificateurs cascodes.

Nous concevons un second amplificateur basé sur l'utilisation d'un amplificateur cascode comme premier étage. Nous ne détaillons pas sa conception dans ce mémoire, car nous employons, à l'exception du choix de la topologie du premier étage, les mêmes règles de dimensionnement pour tous les éléments de l'amplificateur. Nous donnons tous les éléments le constituant sur le schéma électrique de la figure 33. Nous obtenons, comme prévu par l'étude théorique, un facteur de bruit plus important (4,5 dB contre 3,3 dB) pour un gain sensiblement identique (figure 34).

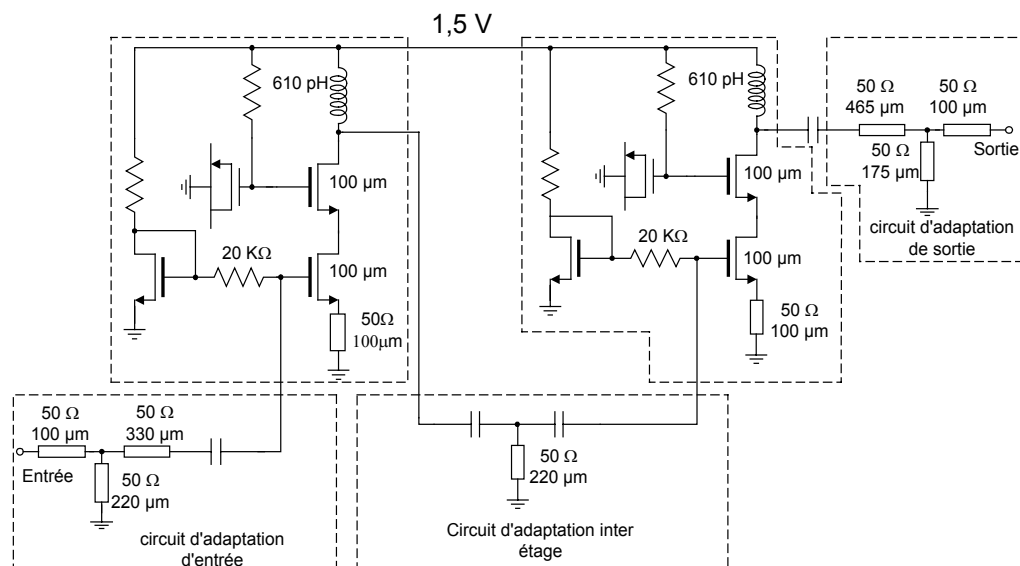


Figure 33 : Schéma électrique de l'amplificateur faible bruit (cascode) fonctionnant en bande K.

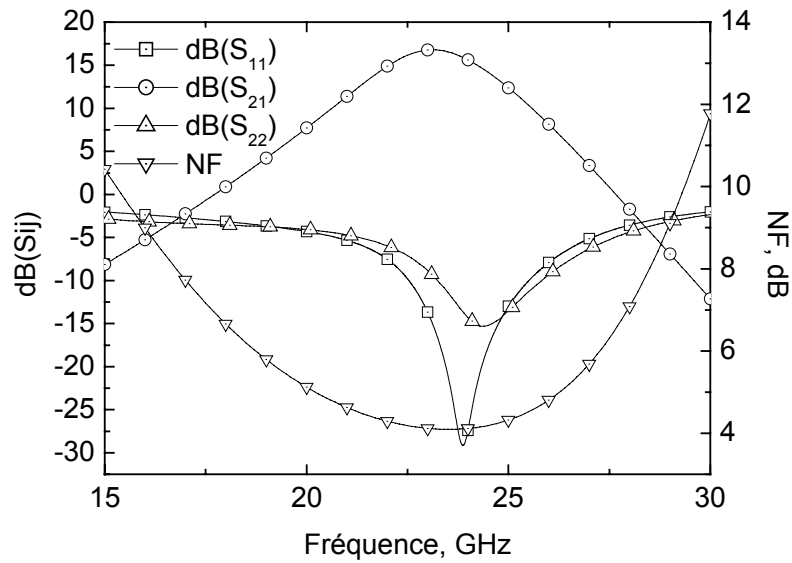


Figure 34 : Résultats des simulations électriques de l'amplificateur faible bruit de la figure 27.

3.2.7. Comparaison des performances des deux amplificateurs.

La table 3 récapitule et compare les deux amplificateurs réalisés. Nous comparons aussi nos résultats à ceux publiés par Kyung-Wan Yu [19]. Toutefois, les différences de performances constatées sont à nuancer car la fréquence de transition F_T des transistors $0,18 \mu\text{m}$ employés par l'auteur de la référence est d'environ 60 GHz et une fréquence d'oscillation maximale F_{MAX} de 90 GHz. Nous rappelons que nous obtenons en simulation les valeurs de $F_T \approx 100 \text{ GHz}$ et $F_{\text{MAX}} \approx 130 \text{ GHz}$.

Table 3 : Récapitulatif des performances obtenues en simulation et par [19].

	Amplificateur Source commune	Amplificateur cascode	Amplificateur publié par [19]
Fréquence centrale	24 GHz	24 GHz	23,7 GHz
Technologie	CMOS $0,13 \mu\text{m}$	CMOS $0,13 \mu\text{m}$	CMOS $0,18 \mu\text{m}$
Facteur de bruit minimal	3,3 dB *	4,5 dB *	5,6 dB**
Gain maximum	18 dB *	18 dB *	12,86 dB**
Consommation	20 mA ($V_{\text{dd}}=1,5 \text{ V}$)	20 mA ($V_{\text{dd}}=1,5 \text{ V}$)	30 mA ($V_{\text{dd}}=1,8 \text{ V}$)
Surface du LNA	$1,45 \text{ mm}^2$	$1,5 \text{ mm}^2$	$0,735 \text{ mm}^2$

* Il s'agit de performances simulées.

** Il s'agit de performances mesurées.

3.2.8. Etude de sensibilité sur la maille d'adaptation de l'amplificateur.

A titre exploratoire, nous réalisons une adaptation LC avec des capacités MIM et des inductances en oméga de l'amplificateur source commune. Les résultats de simulation montrent des performances similaires pour une surface de silicium occupée légèrement inférieure. Nous réalisons sur ces deux structures une étude de sensibilité :

- Dans le cas de la cellule LC nous appliquons une variation de 10% sur les inductances et les capacités autour de leurs valeurs nominales ; ces valeurs étant représentatives des variations technologiques des technologies CMOS.
- Dans le cas des cellules coplanaires nous appliquons une variation de 10% sur les épaisseurs de couche d'oxyde.

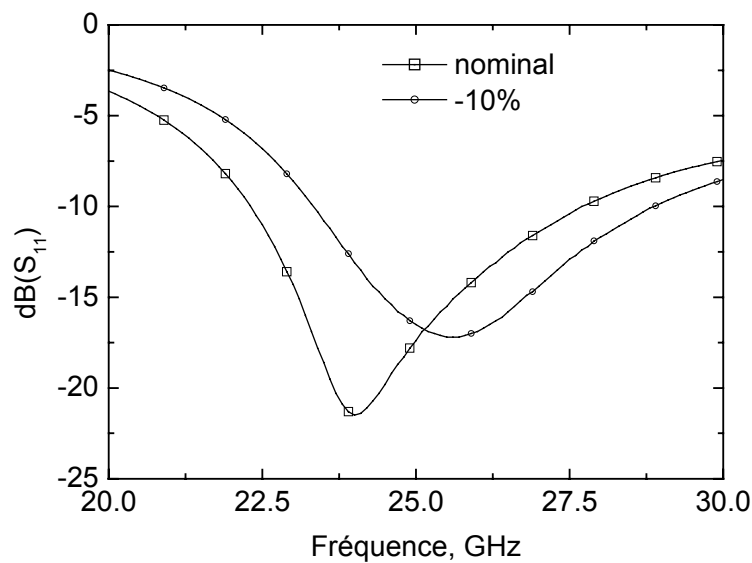


Figure 35 : Influence d'une variation de -10% des éléments LC de la maille d'adaptation sur le coefficient de réflexion d'entrée.

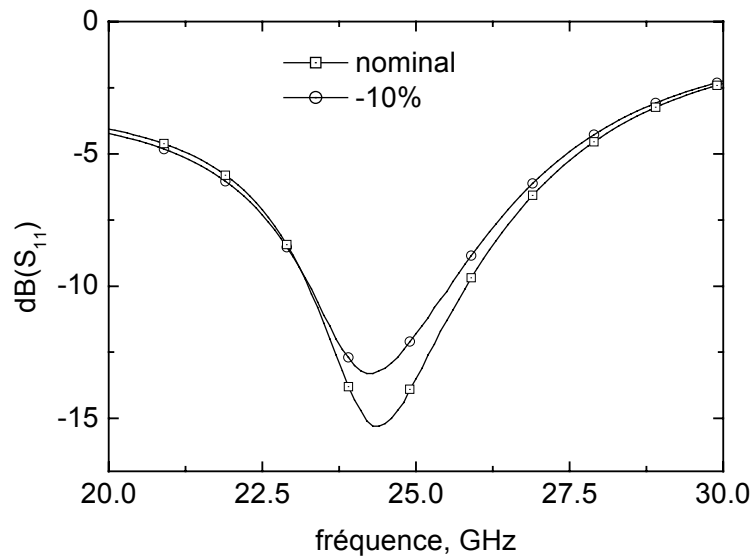


Figure 36 : Influence d'une de -10% de l'épaisseur des couches d'oxyde sur le coefficient de réflexion d'entrée.

Dans le cas de la cellule d'adaptation LC les simulations dont nous donnons les résultats figure 35, montrent une variation de la fréquence d'adaptation de 1 GHz qui n'est que de 10 MHz dans le cas de la cellule utilisant des lignes coplanaires (figure 36).

Ces résultats nous portent à croire qu'une solution utilisant des éléments distribués de type coplanaire est préférable dès que la fréquence de fonctionnement rend la taille des circuits d'adaptation raisonnable.

4. Conclusion du chapitre 3.

Dans ce chapitre nous avons étudié l'amplification faible bruit bande étroite en technologie CMOS. L'objectif de cette étude est d'aboutir à des règles de conceptions permettant le développement d'amplificateurs faible bruit totalement intégrés.

Nous avons analysé, grâce à un modèle petit signal analytique bruyant du transistor MOS, les paramètres de bruit des deux structures source commune et cascode. Cette analyse a montré qu'une contre réaction inductive série sans pertes ne modifie pas les paramètres de bruit en dessous d'une fréquence de résonance F_s . Les sources de bruit introduites par le second transistor dans le cas d'un amplificateur cascode augmentent le facteur de bruit minimal $NF_{\min}$ et la résistance de bruit R_n par rapport à une topologie source commune à partir d'une fréquence de coupure F_T/α . Les remarques concluant cette étude théorique nous permettent de dégager les règles de conception suivantes.

- En nous plaçant à une fréquence suffisamment basse, nous choisissons un amplificateur de type cascode comme quadripôle d'amplification. Une attention particulière doit être portée à la conception de la maille d'adaptation car, en technologie CMOS la majeure partie du facteur de bruit est due aux pertes introduites par les inductances passives intégrées.
- Dans le cas où la fréquence de travail est plus proche de la fréquence de transition maximale de la technologie utilisée, une plus grande attention doit être apportée à l'optimisation du quadripôle d'amplification. En effet, les résultats obtenus avec un modèle générique de bruit montrent que le choix d'un montage de type source commune permet en haute fréquence de réduire le facteur de bruit minimum $NF_{\min}$ et la résistance de bruit R_n . La géométrie du transistor connecté en source commune est optimisée de façon à obtenir un compromis entre la puissance consommée et les caractéristiques en bruit du quadripôle d'amplification. Cependant, ce choix n'est plus judicieux si le gain en puissance disponible est insuffisant.
- En basse fréquence, l'utilisation d'une maille d'adaptation en π ne comportant qu'une inductance permet de choisir la valeur de celle-ci. Son choix est guidé par la valeur maximisant son facteur de qualité, tout en gardant une fréquence de résonance propre suffisamment éloignée de la fréquence de travail.
- En haute fréquence et dans l'état actuel des composants passifs disponibles en technologies CMOS, il semble préférable de concevoir les cellules d'adaptation à l'aide de lignes

coplanaires de forte impédance caractéristique qui présentent des coefficients d'atténuation plus faibles que les lignes microrubans pour les fortes impédances caractéristiques.

Dans un second temps, nous avons validé les principaux résultats théoriques à l'aide de trois conceptions utilisant une technologie CMOS 0,28 μm et 0,13 μm . Ces trois amplificateurs fonctionnent respectivement à une fréquence proche de $F_T/20$ (2,45 GHz) et à une fréquence proche de $F_T/4$ (24 GHz).

BIBLIOGRAPHIE

- [1] Yee D. G. W., "A Design Methodology Highly-Integrated Low-Power Receivers for Wireless Communications" Thèse de l'université de Berkeley, présentée en 2001, 291 Pages.
- [2] Jeon Y. J., Jeon M. Y., Kim J. M., Jeong Y. H., Jeon D. H., Kim D. M., "Monolithic Feedback Low Noise X-Band Amplifiers Using 0.5 μm GaAs MESFET's: Comparative Theoretical Study and Experimental Characterization," *IEEE Journal of Solid -State Circuits*, Vol: 33 n° 2, pp. 275-279, Février 1998.
- [3] Rothe H., Dahlke W., "Theory of Noisy Fourpoles," *Proceedings of the IRE*, Vol: 44 n° 810-818 1956.
- [4] Hillbrand H., Russer P. H., "An Efficient Method for Computer Aided Noise Analysis of Linear Amplifier Networks," *IEEE Transaction on Circuits and Systems*, Vol: 23 n° 4, pp. 235-238, Avril 1976.
- [5] Razavi B., Design of Analog CMOS integrated Circuits, édité par Mc Graw-Hill International Edition, 2001.
- [6] Lui W., MOSFET Models for SPICE Simulation including BSIM3v3 and BSIM4, édité par Wiley-Interscience, 2001.
- [7] Manku T., "Microwave CMOS Device Physics and Design," *IEEE Journal of Solid -State Circuits*, Vol: 34 n° 3, pp. 277-285, Mars 1999.
- [8] Sheaffer D. K., "The Design and implementation of Low-Power CMOS Radio Receivers" Thèse de l'université de Stanford, présentée en 1998, 244 Pages.
- [9] Zeil A. Van der, "Thermal noise in Field Effect Transistors," *Proc of IRE*, Vol: 50 n° 1808-1812 1952.
- [10] Goo J. S., Choi C. H., Abramo A., Ahn J. G., Yu Z., Lee T. H., Dutton R., "Physical Origin of the Excess Thermal Noise in Short Channel MOSFETs," *IEEE Electron Devices Letters*, Vol: 22 n° 2, pp. 101-103, Février 2001.
- [11] Janssen J., Steyaert M., "Optimum MOS power matching by exploiting non-quasistatic effect," *IEE Electronics Letters*, Vol: 35 n° 8, pp. 671-672, 15 Avril 1999.
- [12] Ellinger F., "26–42 GHz SOI CMOS Low Noise Amplifier," *IEEE Journal of Solid -State Circuits*, Vol: 39 n° 3, pp. 522-528, Mars 2004.
- [13] Dehaese N., "Etude et simulation d'un système sur puce radiofréquence pour applications faible coût et faible consommation." Thèse de l'université de Provence, présentée en 2005, 186 Pages.
- [14] Barthelemy H., Bourdel S., Dehaese N., Egels M., Gaubert J., Bas G., "RF CMOS Transceiver for 802.15.4 SoC," présenté à 2006 IEEE Radio and Wireless Symposium, San-Diego, 2006.
- [15] Bourdel S., Pannier P., Barthélemy H., Dehaese N., "Low-cost Solutions for 802.15.4 RF Architectures," *Annals of telecommunications*, Vol: 59 n° 9-10, pp., 9 Octobre 2004.
- [16] Egels M., Gaubert J., P.Pannier, Bas G., "A 2.4 GHz RF CMOS receiver for low cost digital wireless communication for 802.15.4 Standard," présenté à The 16th International Conference on Microelectronic ICM2004, Tunis, Tunisie, Décembre 2004.
- [17] Tatinian W., "Caractérisation et Modélisation des Composants Passifs Intégrés en Technologies CMOS pour Application Radio-Fréquences" Thèse de l'université de Aix Marseille I, présentée en 2003, 185 Pages.
- [18] Lee T. H., Wong S. S., "CMOS RF Integrated Circuits at 5 GHz Band Beyond," *Proceeding of the IEEE*, Vol: 88 n° 10, pp. 1560-1570, Octobre 2000.
- [19] Yu K. W., Lu Y. L., Chang D. C., Liang V., Chang M. P., "K-Band Low Noise Amplifiers Using 0.18 μm CMOS Technology," *IEEE Microwave and Wireless Components Letters*, Vol: 14 n° 3, pp. 106-108, Mars 2004.

Chapitre IV :

Amplification faible bruit à bande passante contrôlée en technologie CMOS

SOMMAIRE.

1. Introduction.	117
2. Amplificateurs large bande de type passe-bande.	118
2.1. Limitations des méthodes d'adaptation de type passe-bande à éléments LC.	118
2.2. Méthode d'adaptation de type passe-bande à faible bande passante relative.	120
2.2.1. Principe.	120
2.2.2. Application à l'adaptation passe-bande d'un transistor MOS.	122
2.2.2.1. Synthèse des inverseurs d'admittances.	122
2.2.2.2. Cellule d'adaptation d'entrée.	125
2.3. Amplificateur passe-bande à faible bande passante relative.	127
2.3.1. Premier étage.	128
2.3.1.1. Topologie.	128
2.3.1.2. Principe de fonctionnement.	128
2.3.1.3. Dimensionnement.	130
2.3.2. Deuxième étage.	133
2.3.2.1. Topologie.	133
2.3.2.2. Principe de fonctionnement.	134
2.3.2.3. Dimensionnement du deuxième étage.	134
3. Exemples de réalisation.	135
3.1. Amplificateur faible bruit à bande passante contrôlée de bande passante 25 % centrée sur 6 GHz.	135
3.2. Amplificateur faible bruit à bande passante contrôlée fonctionnant dans la bande 24-29 GHz.	138
4. Amplification distribuée.	140
4.1. Méthodes de conception propres aux amplificateurs distribués.	140
4.1.1. Principe de l'amplification distribuée.	140
4.1.2. Phénomènes limitant la bande passante.	141
4.1.2.1. Résonance des tronçons de ligne artificielle.	141
4.1.2.2. Effet des temps de propagation de groupe.	142
4.1.2.3. Influences des pertes : nombres d'étages optimal.	143
4.1.3. Technique de compensation de pertes.	145
4.2. Exemples de réalisation.	145
4.2.1. Conception d'un amplificateur distribué UWB pulsé dans la bande 3,1-10,6 GHz.	145
4.2.1.1. Choix et dimensionnement de l'amplificateur élémentaire.	146
4.2.1.2. Choix de l'impédance caractéristique de la ligne artificielle de sortie.	147
4.2.1.3. Finalisation de l'amplificateur distribué.	148
4.2.2. Conception d'un amplificateur à produit gain bande passante maximal.	150
4.2.2.1. Détermination des étages d'amplification.	150
4.2.2.2. Réalisation des inductances formant les lignes de transmission.	152
4.2.2.3. Utilisation de la technique de compensation des pertes.	154
4.2.2.4. Implémentation sur silicium.	158
4.2.3. Résultats de simulations.	159
5. Conclusion du chapitre 4.	161

1. Introduction.

L'émergence et la généralisation de nouvelles techniques occupant une large portion du spectre radiofréquence comme les modulations pulsées ou bien encore les radars anti-collision nécessitent des bandes passantes étendues et contrôlées. Les applications optoélectroniques très hauts débits nécessitent quant à elles des bandes passantes encore bien plus larges. Nous avons dans le chapitre consacré à l'état de l'art, décrit brièvement les différentes topologies permettant d'élargir et de maîtriser la bande passante. Citons notamment les amplificateurs avec contre-réaction résistive et ou inductive peaking, les amplificateurs distribués, et les amplificateurs dont la maille d'adaptation d'entrée est constituée par un filtre LC passe bande [1-3].

Dans ce quatrième chapitre nous nous limitons aux amplificateurs utilisant des résonateurs LC comme circuit d'adaptation et aux amplificateurs distribués. L'un des principaux avantages des architectures à filtre LC est qu'elles introduisent une fonction de filtrage qui permet de diminuer, pour certaines applications, le surcoût créé par l'utilisation de composants externes. De plus, des facteurs de bruit relativement faibles sont atteignables si l'on dispose de passifs de qualité. Cependant, les deux principaux inconvénients de ces architectures sont leurs consommation en surface de silicium importante, et leurs impossibilité de contrôler certaines bandes passantes. En effet, ces techniques ne permettent ni le contrôle des faibles bandes passantes relatives inférieures à 30% ni les bandes passantes très importantes requises par les applications optoélectroniques très hauts débits.

Les amplificateurs distribués sont classiquement utilisés pour obtenir des très grandes bandes passantes approchant les fréquences de transition des transistors utilisés. Plusieurs amplificateurs dont la bande passante est supérieure à 30 GHz ont été publiés [4-6], cependant, dernièrement des amplificateurs distribués utilisant peu d'étages ont été utilisés pour les applications dans la bande 3,1-10,6 GHz. Des résultats encourageants publiés par [7, 8] montrent un gain proche de 10 dB avec un bon facteur de bruit pour une faible consommation et une surface occupée comparable à celle des amplificateurs LC.

Nous proposons dans la première partie de ce chapitre une méthode d'adaptation large bande adaptée aux faibles bandes passantes relatives. En plus d'un contrôle précis des bandes passantes relative proches de 20 %, cette méthode permet d'optimiser les valeurs des éléments de la cellule d'adaptation pour utiliser les éléments optimaux de la technologie à la fréquence de travail. Nous utilisons cette méthode pour concevoir deux amplificateurs à bande passantes contrôlées. Le premier a une bande passante relative de 25 % centrée sur 5,75 GHz, et le second destiné à la bande de fréquence comprise entre 22-29 GHz a une bande passante relative de 19 % centrée sur 26,4 GHz.

La seconde partie de ce chapitre est consacrée à la conception des amplificateurs distribués en technologie CMOS standard. Deux types d'amplificateurs sont présentés. Pour les applications UWB nous proposons une synthèse utilisant des éléments localisés permettant de maximiser l'amplification en tension. Pour les applications optoélectroniques nécessitant de très grandes bandes passantes nous présentons une synthèse utilisant des guides coplanaires.

2. Amplificateurs large bande de type passe-bande.

2.1. Limitations des méthodes d'adaptation de type passe-bande à éléments LC.

Pour les bandes passantes relatives b comprises entre 50% et 150% les topologies issues des filtres en échelles passifs LC permettent de réaliser des cellules d'adaptation d'entrée intégrables avec les composants passifs disponibles dans les technologies CMOS actuelles. Bevilacqua [1] est le premier auteur à proposer un amplificateur couvrant la totalité de la bande 3,1 GHz 10,6 GHz. Il propose l'amplificateur dont le circuit d'adaptation est un filtre LC d'ordre 3 décrit figure 1 qui contient deux résonateurs séries et nécessite des inductances de valeurs élevées.

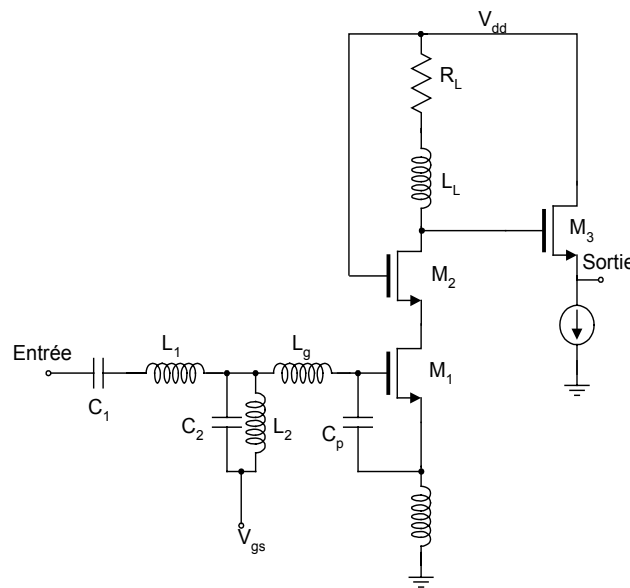


Figure 1 : Schéma électrique du LNA 3.1-10.6 GHz proposé par [1].
 $L_1 = 1,3 \text{ nH}$, $L_2 = 1,6 \text{ nH}$, $L_g + L_s = 1,3 \text{ nH}$ $C_1 = 650 \text{ fF}$, $C_2 = 490 \text{ fF}$ et $C_p = 650 \text{ fF}$.

Ces deux points se révèlent être des inconvénients puisque, les circuits contenant des résonateurs séries imposent des fréquences de fonctionnement faibles devant la fréquence de résonance propre (SFR) de l'inductance dont la valeur décroît lorsque la valeur de l'inductance augmente. Lorsque les inductances sont de forte valeur et que des résonateurs séries sont employés, les performances de la cellule d'adaptation obtenue se dégradent vers les fréquences hautes de la bande passante et sa maîtrise

n'est plus assurée. De plus, le facteur de bruit est rapidement dégradé par un nombre de résonateurs importants, la principale cause étant les faibles valeurs de facteur de qualité Q des inductances atteintes dans les technologies CMOS.

Dans le cas de faibles valeurs de bande passante relative b la dispersion sur les valeurs des inductances obtenues avec les topologies de filtres en échelle est importante. Cette dispersion engendre des valeurs d'inductance incompatibles avec celles disponibles en technologies CMOS.

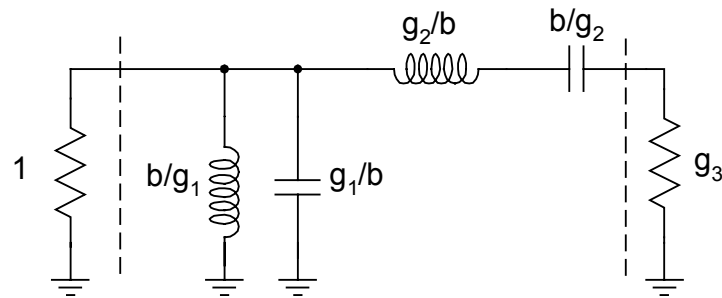


Figure 2 : Filtre passe bande en échelle du second ordre (valeur normalisées).

Par exemple, dans le cas d'un filtre d'ordre deux comme celui de la figure 2, le rapport entre la valeur g_2/b de l'inductance du résonateur série et la valeur b/g_1 de l'inductance parallèle devient important pour de faibles valeurs de b . Il en résulte qu'une forte dispersion sur les valeurs des inductances apparaît lorsque b s'éloigne de 100 % surtout si les valeurs tabulées des éléments des filtres passes-bas normalisés g_i présentent peu de dispersion. Cela implique que, pour des bandes passantes relatives b inférieures à 50%, l'utilisation de la technique proposée par Belvilacqua n'est plus possible, car :

1. Les inductances de fortes valeurs ont des performances qui se dégradent en haut de la bande passante car elles sont alors utilisées trop près de leur SFR. Des valeurs de b trop faibles entraînent des valeurs d'inductances trop importantes dont la SFR se situe dans la bande passante. Cet effet est particulièrement sensible dans les résonateurs série.
2. Les inductances de faibles valeurs possèdent un coefficient de qualité trop faible au bas de la bande passante.

2.2.Méthode d'adaptation de type passe-bande à faible bande passante relative.

Afin de limiter cette dispersion sur les valeurs d'inductance pour les bandes passantes relatives b inférieures à 25%, nous proposons d'utiliser des inverseurs d'admittance. Cette technique permet de choisir des valeurs d'inductances compatibles avec la gamme de fréquence ciblée et de n'utiliser que des résonateurs LC parallèles qui rendent possible l'emploi d'inductances à des fréquences beaucoup plus proches de leur SFR. En effet, dans le cas des résonateurs parallèles, les capacités parasites des inductances contribuent à la capacité du résonateur, or cela est impossible dans une configuration série. Nous présentons cette méthode en nous limitant à un ordre deux présentant un bon compromis entre facteur de bruit et filtrage apporté par la cellule d'adaptation car, la qualité des passifs disponibles en technologie CMOS rend impossible un filtrage d'ordre élevé et un faible facteur de bruit.

2.2.1. Principe.

La méthode d'adaptation que nous proposons découle directement de la synthèse des filtres à résonateurs couplés localisés dont nous rappelons brièvement les principaux aspects.

Lorsque la bande passante relative b d'un filtre passe-bande est suffisamment faible, l'utilisation d'inverseurs d'admittance permet de synthétiser des filtres ne contenant que des résonateurs parallèles et des inverseurs équivalents aux filtres en échelle. Par exemple, le filtre passe-bande du deuxième ordre de la figure 3 a) a pour équivalent le circuit de la figure 3 b) utilisant des inverseurs d'admittance de coefficients J_i et des résonateurs LC parallèles.

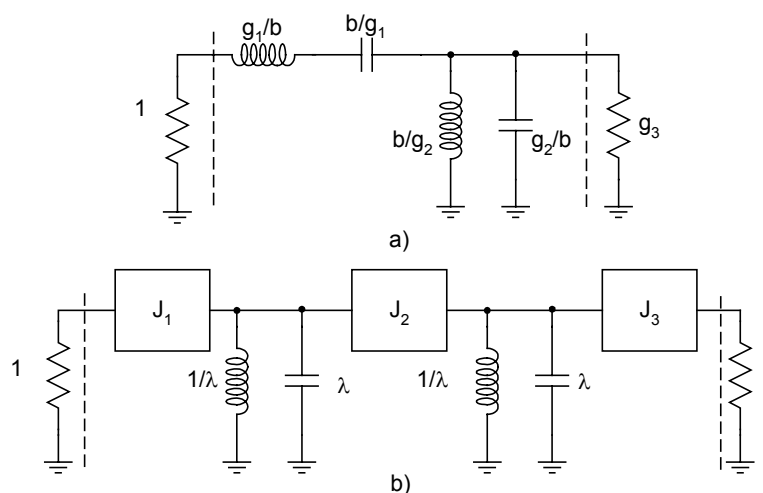


Figure 3 : Principe des filtres à inverseurs :
a) filtre en échelle .
b) filtre à inverseurs capacitif.

Les valeurs normalisées g_i des éléments du filtre en échelle sont imposées par la fonction d'approximation utilisée : Tchebychev, Butterworth, Legendre, ..., par la bande passante, par l'ordre du filtre et par l'ondulation dans la bande passante. La valeur normalisée λ des inductances du filtre à inverseurs d'admittances peut être choisie de manière arbitraire. Cela permet de choisir l'inductance possédant les meilleures performances de la technologie dans la bande de fréquence visée.

L'équivalence entre les deux circuits de la figure 3 résulte des propriétés des inverseurs d'admittance dont nous rappelons les propriétés ci-dessous.

Comme le montre la figure 4, un inverseur d'admittance transforme une admittance de valeur Y en une admittance de valeur J^2/Y .

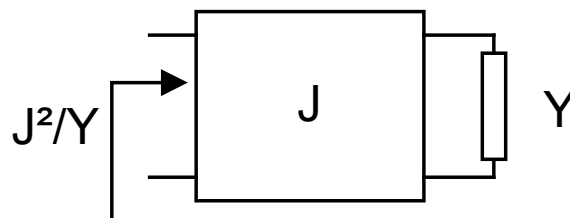


Figure 4 : Principe des inverseurs d'admittances.

Il en résulte les propriétés suivantes.

- Une inductance de valeur normalisée λ est transformée en capacité de valeur λJ^2 .
- Une capacité de valeur normalisée γ est transformée en inductance de valeur γ/J^2 .
- Un circuit résonant série est transformé en un circuit résonant parallèle.
- Un circuit résonant parallèle est transformé en un circuit résonant série.

Après avoir choisi une valeur normalisée λ d'inductance nous calculons les coefficients J_i des inverseurs pour assurer l'équivalence entre les deux filtres à partir des relations (1) à (3).

$$J_1 = \sqrt{\frac{b}{\lambda g_1}} \quad (1)$$

$$J_2 = J_1 \sqrt{\frac{b}{\lambda g_2}} \quad (2)$$

$$J_1 = J_3 \quad (3)$$

2.2.2. Application à l'adaptation passe-bande d'un transistor MOS.

Le schéma de principe de la cellule d'adaptation que nous proposons est donné par la figure 5.

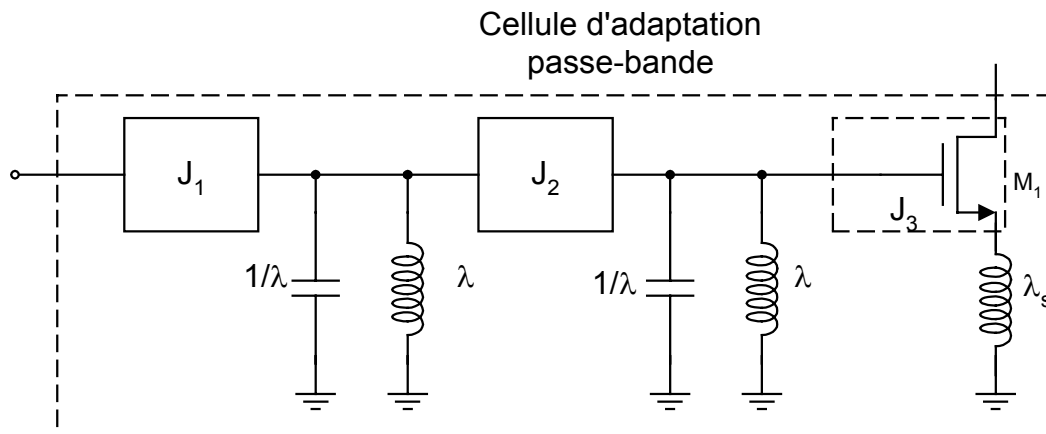
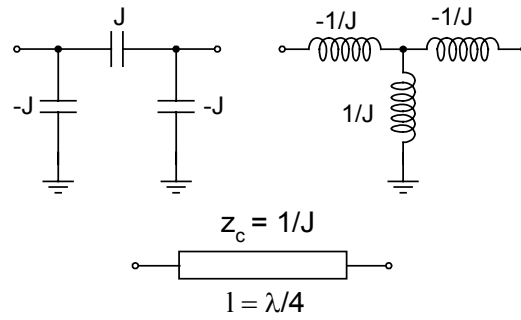


Figure 5 : Schéma de principe de la maille d'adaptation passe bande d'un LNA large bande.

Cette cellule d'adaptation est de type passe-bande et utilise des inverseurs d'admittance. L'inverseur J_3 la terminaison résistive du filtre ρ_e sont synthétisés en partie par le transistor MOS M_1 et par la contre réaction inductive de la source du transistor M_1 .

2.2.2.1. Synthèse des inverseurs d'admittances.

Dans une bande de fréquence limitée, les inverseurs peuvent être synthétisés par utilisation de quadripôles passifs. Sur la figure 6, nous présentons trois synthèses possibles d'un inverseur d'admittance de coefficient J [9]. Pour des raisons de performances liées aux imperfections et à l'occupation de surface nous n'étudions pas le quadripôle inductif. De même, l'encombrement des inverseurs à lignes quart d'onde limite leur utilisation aux circuits fonctionnant aux fréquences millimétriques si l'on dispose de lignes à faibles pertes. Nous n'utilisons, dans le cadre de cette thèse, que les inverseurs capacitifs dont l'encombrement est le plus réduit.

Figure 6 : Exemples de synthèse d'un inverseur d'admittance J .

En introduisant des inverseurs d'admittances dans le schéma électrique de la figure 7 a) nous obtenons le schéma électrique de la figure 7 b) qui devient celui de la figure 7 c) lorsqu'une synthèse capacitive des inverseurs d'admittance est retenue.

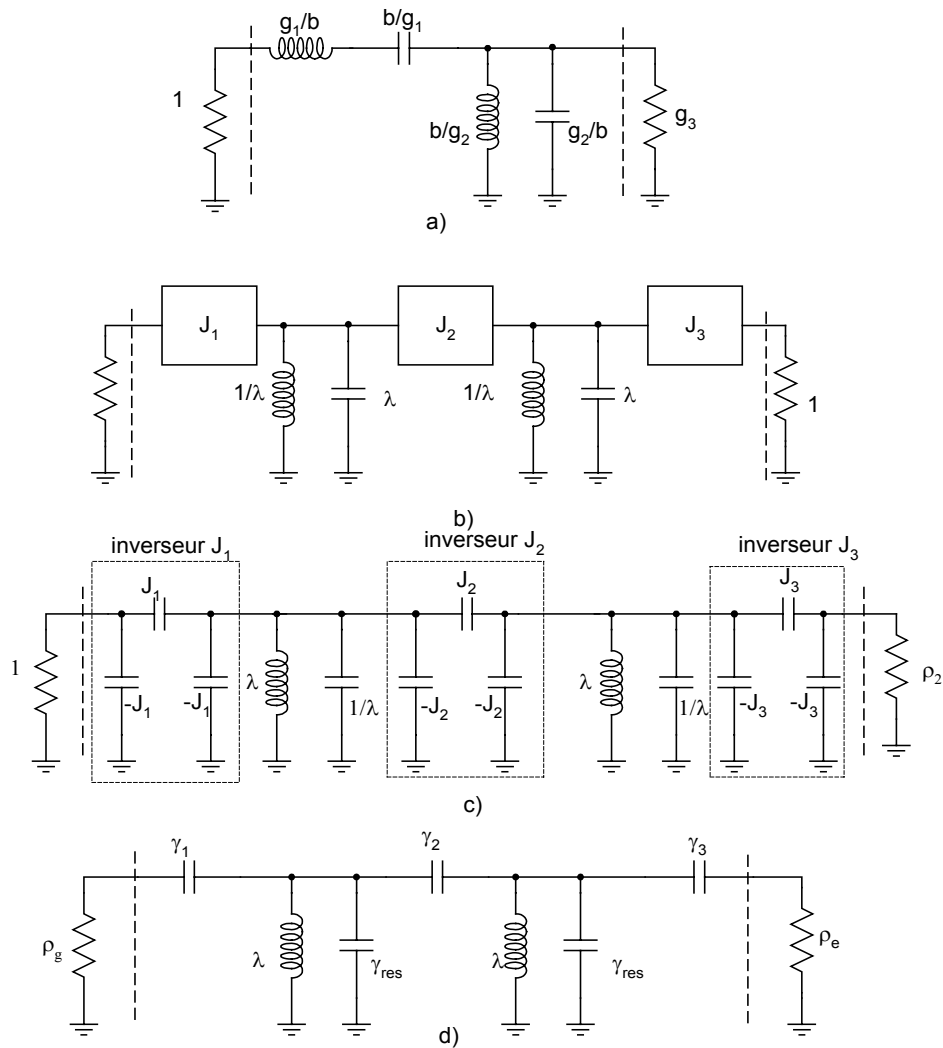


Figure 7 a) : Filtre passe bande du deuxième ordre.
 b : Filtre du deuxième ordre à inverseurs (valeurs normalisées).
 c : Filtre à inverseurs capacitifs non réduits (valeurs normalisées).
 d : Filtre à inverseurs capacitifs réduits (valeurs normalisées).

Nous réduisons les capacités négatives connectées en parallèle des résonateurs LC en les sommant. La valeur normalisée finale de la capacité du résonateur est donnée par la relation (4).

$$\gamma_{res} = \frac{1}{\lambda} - J_1 - J_2 \quad (4)$$

Afin d'effectuer la réduction des extrémités du filtre, nous écrivons l'égalité des impédances normalisées d'entrées des deux topologies de la figure 8.

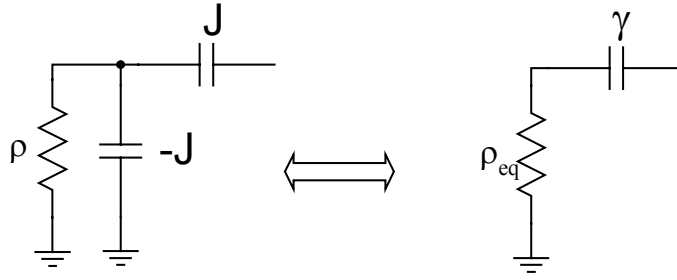


Figure 8 : Extrémités des filtres à inverseurs d'admittances capacitifs.

Nous obtenons les conditions d'équivalences (5) et (6) entre les deux schémas électriques qui ne sont valables que lorsque la pulsation normalisée Ω définie par la relation (7) est proche de 1.

$$\gamma = J(1 + J^2) \quad (5)$$

$$\rho_{eq} = \frac{1}{1 + \rho^2 J^2} \quad (6)$$

$$\Omega = \frac{\omega}{\omega_0} \quad (7)$$

Pour que le schéma de la figure 7 d) soit équivalent à celui de la figure 7 c) autour de la fréquence centrale F_0 et dans la bande passante relative b désirée, les conditions (8) à (11) doivent être vérifiées. Notons que l'introduction d'un paramètre J_3 différent de J_1 permet d'ajouter un degré de liberté dans le dimensionnement de la charge ρ_2 du filtre.

$$\gamma_1 = J_1(1 + J_1^2) \quad (8)$$

$$\gamma_2 = J_2 \quad (9)$$

$$\gamma_3 = J_3(1 + \rho_2^2 J_3^2) \quad (10)$$

$$\gamma_{res} = \frac{1}{\lambda} - J_1 - J_2 \quad (11)$$

Finalement, le circuit de la figure 7 d) est équivalent au filtre de la figure 7 a) lorsque les cinq conditions supplémentaires (12) à (16) sont vérifiées.

$$\rho_g = \frac{1}{1 + J_1^2} \quad (12)$$

$$\rho_e = \frac{\rho_2}{1 + \rho_2^2 J_3^2} \quad (13)$$

$$J_1 = \sqrt{\frac{b}{g_1 \lambda}} \quad (14)$$

$$J_2 = \frac{b}{\lambda \sqrt{g_1 g_2}} \quad (15)$$

$$J_3 = \frac{1}{\rho_2} \sqrt{\frac{b}{g_2 g_3 \lambda}} \quad (16)$$

2.2.2.2. Cellule d'adaptation d'entrée.

Pour qu'un filtre d'ordre deux comme celui de la figure 7 d) soit le circuit d'adaptation passe bande d'un amplificateur, la capacité de valeur normalisée γ_3 et la terminaison résistive de valeur normalisée ρ_e doivent être équivalents à l'impédance d'entrée d'un quadripôle d'amplification.

Une solution est d'utiliser un transistor connecté en configuration source commune avec une contre réaction inductive série dont l'impédance d'entrée Z_e est donnée par la relation (17) [10]. Pour obtenir une expression exploitable, nous négligeons les effets de la capacité C_{gd} dont l'influence est sensiblement réduite par l'utilisation d'un montage cascode.

$$Z_e = \frac{1}{kg_{m1}} + \frac{g_{m1}L_s}{C_{gs}} + j\omega L_s + \frac{1}{j\omega C_{gs}} = R_e + jX_e \quad (17)$$

Cette expression montre que la partie réelle est due aux effets de transport non quasi statiques internes au transistor et à la contre réaction inductive dans la source. Lorsque la fréquence de fonctionnement est petite devant la fréquence de coupure F_s définie par la relation (18), l'impédance Z_e présentée par le transistor M_1 se limite à celle d'un circuit RC série, le schéma équivalent de la cellule d'adaptation de la figure 9 b) correspond alors à la topologie du filtre à résonateurs couplés de la figure 9 a).

$$F_s = \frac{1}{2\pi \sqrt{L_s C_{gs}}} \quad (18)$$

En synthétisant les terminaisons résistives du filtre de la figure 9 a) d'une part par la résistance d'un générateur et d'autre part par un transistor connecté en configuration source commune et contre réactionné par une inductance de valeur normalisée λ_s , nous obtenons l'équivalence entre les deux circuits de la figure 9.

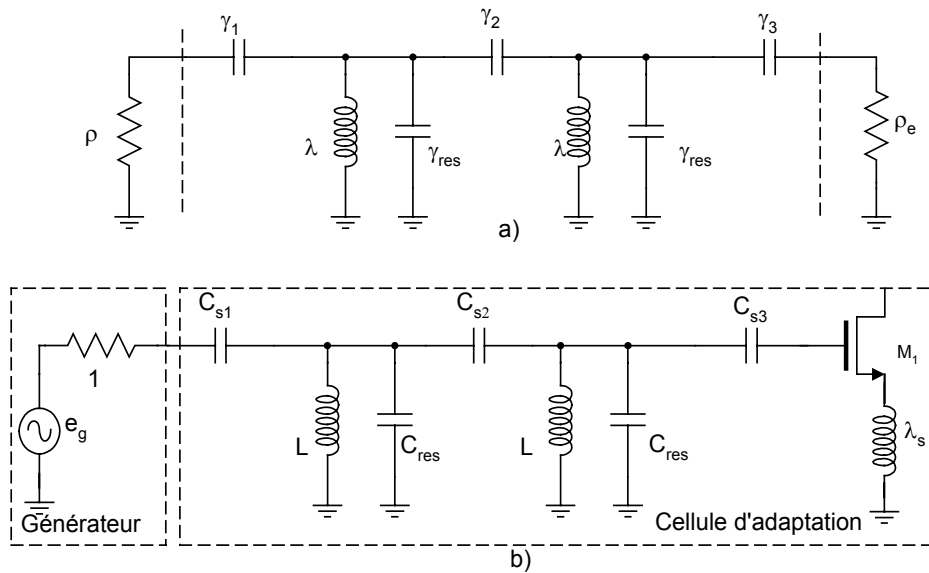


Figure 9 : Schémas équivalents de la cellule d'adaptation passe-bande.

Pour cette topologie particulière, si l'on néglige toujours les effets de la capacité C_{gd} , la capacité de valeur normalisée γ_3 est synthétisée par la mise en série des capacités C_{s3} et de la capacité C_{gs} du transistor M_1 . Cette capacité introduit un degré de liberté sur la largeur W_1 du transistor M_1 . Deux stratégies de dimensionnement sont alors envisageables.

1. La capacité C_{s3} est considérée comme une capacité de liaison de grosse valeur. La valeur normalisée γ_3 de la capacité équivalente à la mise en série des capacités C_{s3} et C_{gs} du transistor M_1 est entièrement déterminée par la géométrie du transistor M_1 . Ceci impose la largeur W_1 du transistor M_1 qui est complètement déterminée par la valeur de γ_3 .
2. La capacité C_{s3} n'est pas considérée uniquement comme une capacité de liaison de grosse valeur. Dans ce cas, un degré de liberté est introduit sur la valeur de W_1 , celle ci peut être augmentée si nécessaire. Un ajustement de la valeur la capacité C_{s2} permet d'obtenir la valeur normalisée γ_3 .

Dans les deux cas mentionnés, la terminaison résistive du filtre à inverseurs capacitifs de la figure 9 a) de valeur normalisée ρ_e est obtenue par le choix de l'inductance de valeur normalisée λ_s (figure 9 b).

D'un point de vue purement topologique, l'architecture de la cellule d'adaptation que nous proposons pour des bandes passantes relatives b inférieures à 30% nous permet :

- De n'utiliser que des résonateurs parallèles où les capacités parasites des inductances se trouvent en parallèle des capacités des résonateurs. Cette configuration permet d'utiliser des valeurs d'inductance plus importantes avec de meilleurs coefficients de qualité car leur capacité parasite peut être soustraite de la capacité du résonateur tant que celle-ci reste positive.
- De ne pas réduire la fréquence de transition du transistor d'entrée contrairement à la topologie passe-bande proposée par [1] (Voir Figure 1) où une capacité C_p est ajoutée en parallèle entre la grille et la source du transistor M_1 . Cette capacité C_p prélève une partie du courant de sortie du circuit d'adaptation qui n'est pas amplifiée. Cette augmentation artificielle de la capacité C_{gs} est équivalente à diminuer la fréquence de transition des transistors. Dans notre topologie tout le courant de sortie du circuit d'adaptation est amplifié puis transféré à la charge.
- D'obtenir une adaptation de type passe-bande avec un nombre réduit d'inductances. Cette architecture ne requiert qu'une inductance supplémentaire par rapport à l'architecture bande étroite proposée par Sheaffer [11] massivement utilisée.

2.3. Amplificateur passe-bande à faible bande passante relative.

Nous présentons dans ce paragraphe la conception d'amplificateurs dont le dimensionnement du circuit d'adaptation repose sur la méthode que nous venons de décrire. Les objectifs de cette conception sont d'aboutir à un gain en tension important sur une charge capacitive haute impédance constant dans toute la bande passante, une adaptation en puissance de l'entrée sur une impédance $50\ \Omega$ et un facteur de bruit minimal.

2.3.1. Premier étage.

2.3.1.1. Topologie.

Nous représentons sur la figure 10 le schéma électrique du premier étage de l'amplificateur passe-bande à faible bande relative.

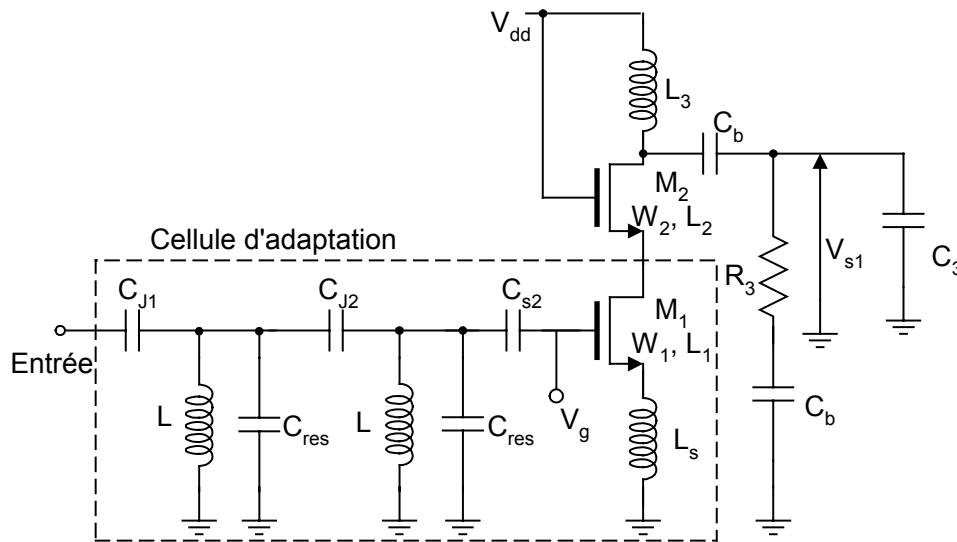


Figure 10 : Premier étage du LNA passe-bande.

Pour plus de lisibilité, nous ne représentons ni les circuits de polarisation ni les découplages des tensions d'alimentations. Cet étage assure le contrôle de la bande passante, l'adaptation d'impédance du générateur d'entrée d'impédance R_g et la maximisation de la tension de sortie V_{s1} . Sur cette figure, nous modélisons un étage suivant éventuel par sa capacité d'entrée C_3 et nous supposons que la partie réelle de l'impédance d'entrée de cet étage est négligeable devant la résistance R_3 . Dans cette configuration, cette résistance R_3 permet de contrôler le coefficient de qualité du résonateur RLC parallèle qui charge le transistor M_2 . Les capacités notées C_b sur cette figure sont des capacités de liaison supposées d'impédance négligeable dans la bande passante.

2.3.1.2. Principe de fonctionnement.

La cellule d'adaptation d'entrée assure une adaptation en puissance entre le générateur de résistance interne R_g et la terminaison résistive R_e du filtre équivalent qui est synthétisée par la contre réaction inductive de source du transistor M_1 . Le coefficient de réflexion d'entrée est déterminé par la valeur du taux d'ondulation de la fonction de transfert du filtre équivalent. En effet, dans le cas d'un filtre sans pertes chargé par ses résistances de terminaison nominales, la conservation de la puissance permet de relier le module de ses coefficients de transmission et de réflexion par la relation (19).

$$|S_{21}|^2 + |S_{11}|^2 = 1 \quad (19)$$

Dans cette relation et dans le cas d'un filtre sans pertes, le module du paramètre S_{21} est égal à l'unité à l'ondulation ε près dans la bande passante. Nous en déduisons que la puissance transférée à la charge par le filtre est constante dans sa bande passante qui s'écrit (20) en négligeant le courant circulant dans la capacité C_{gd} du transistor M_1 et en notant I_{g1} l'amplitude du courant de grille du transistor M_1 .

$$P_e = \frac{R_e I_{g1}^2}{2} \quad (20)$$

Lorsque les pertes d'insertion du filtre sont négligeables et que la force électromotrice du générateur est notée e_g et sa résistance interne R_g , la relation (20) devient (21) où l'égalité stricte n'est obtenue que pour une ondulation ε nulle.

$$P_e \approx \frac{e_g^2}{8.R_g} \quad (21)$$

Cette expression montre que, dans la bande passante, le courant de grille I_{g1} est une image de la force électromotrice e_g du générateur. En conservant les mêmes hypothèses, un courant I_{g1} constant, circule dans la capacité C_{gs1} et crée la tension d'entrée du montage cascode donnée par la relation (22).

$$V_{gs1} = \frac{1}{jC_{gs1}\omega} I_{g1} \quad (22)$$

La tension de sortie V_{s1} (voir figure 10) est créée par la circulation du courant de sortie I_{d1} qui est la transformation de la tension d'entrée V_{gs1} par la transconductance de l'amplificateur cascode. L'intégration introduite par la capacité C_{gs1} est compensée par l'inductance L_3 tant que la fréquence de coupure F_3 du résonateur parallèle $R_3L_3C_3$ est supérieure à la fréquence de coupure haute de l'amplificateur F_{c2} et que le coefficient de qualité Q_3 de ce résonateur est inférieur à $1/\sqrt{2}$. Afin de maximiser l'amplitude V_{s1} de la tension de sortie du premier étage il convient de choisir une valeur de L_3 la plus grande possible tout en maintenant la fréquence de résonance F_3 à une valeur supérieure à F_{c2} . Une valeur de Q_3 ajustée par la résistance R_3 à une valeur supérieure à $1/\sqrt{2}$ permet de compenser la décroissance du gain avec la fréquence introduite par un second étage. De cette manière nous pouvons introduire un deuxième étage à fort gain en tension dont la décroissance du gain en tension à -20 dB par décade peut être compensée [3].

2.3.1.3. Dimensionnement.

Nous résumons la méthode de dimensionnement du premier étage d'amplification du LNA par les neuf points suivants en définissant la bande passante relative par la relation (23) où F_{c1} , F_{c2} et F_0 sont respectivement les fréquences de coupures basse, haute et la fréquence centrale de la bande passante visée.

$$b = \frac{F_{c2} - F_{c1}}{F_0} \quad \text{avec} \quad F_0 = \sqrt{F_{c2} F_{c1}} \quad (23)$$

1. Nous fixons le type de fonction d'approximation (Butterworth, Tchebychev, ...), l'ordre du filtre, et l'adaptation souhaitée dans la bande passante. Ces trois choix fixent les valeurs des coefficients g_i du filtre et déterminent la résistance de terminaison. Par exemple dans le cas d'une synthèse de Tchebychev d'ordre pair la valeur normalisée de la résistance de terminaison est différente de l'unité.
2. Nous fixons ensuite la valeur normalisée λ des inductances des résonateurs qui conduisent à une valeur d'inductance ayant une SFR suffisamment loin de la bande passante et un coefficient de qualité maximum dans la bande de fréquence souhaité.
3. Pour un courant de polarisation I_0 donné, nous choisissons la largeur minimale $W_{\min}$ de transistor qui conduit le courant. Cette valeur maximise le gain en courant i_{d1}/i_{g1} puisque à courant constant, la capacité C_{gs} est proportionnelle à la largeur W du transistor alors que la transconductance g_m est proportionnelle à la racine carré de cette même largeur. En conséquence diminuer la valeur de la capacité C_{s2} pour augmenter, à capacité équivalente constante, celle de la capacité C_{gs1} n'est pas judicieux tant que la taille $W_{\min}$ permet de conduire le courant I_0 .
4. Nous calculons les valeurs des paramètres J_1 et J_2 des deux premiers inverseurs d'admittance à partir des relations (14) et (15). La valeur du paramètre J_3 est déterminée par le choix de la valeur de la contre réaction.
5. Nous fixons la valeur normalisée ρ_e de la terminaison résistive du filtre par le choix d'une valeur de l'inductance L_s permettant d'obtenir une fréquence de coupure F_s supérieure à la fréquence de coupure haute de l'amplificateur F_{c2} et une distance entre les impédances Z_{opt} et Z_e^* , définie au chapitre trois, faible. La valeur de L_s est calculée connaissant la relation (17), la géométrie du transistor M_1 et son courant de polarisation I_0 . Le choix de la valeur

du paramètre ρ_e impose les deux valeurs de ρ_2 et J_3 puisqu'en combinant les relations (13) et (16) nous obtenons les deux relations (24) et (25) donnant une valeur unique pour chacun de ces deux paramètres.

$$\rho_2 = \rho_e \left(1 + \frac{b}{g_2 g_3 \lambda} \right) \quad (24)$$

$$J_3 = \frac{\sqrt{b g_2 g_3 \lambda}}{\rho_e (g_2 g_3 \lambda + b)} \quad (25)$$

6. Des trois valeurs des paramètres J et de la valeur de λ , nous déduisons les valeurs des capacités $\gamma_1, \gamma_2, \gamma_3, \gamma_{\text{res}}$ à partir des relations (8) à (11) et (25).
7. Nous en déduisons la valeur de la capacité γ_{s3} puisque C_{gs1} est fixée par la géométrie du transistor M_1 .
8. Nous obtenons les valeurs réelles des composants en dénormalisant les valeurs précédentes par rapport à $F=F_0$ et $R_0=50 \Omega$.
9. Nous choisissons la valeur L_3 maximale afin de maximiser le gain en tension du premier étage tout en maintenant la fréquence de résonance F_3 supérieure à la fréquence de coupure haute F_{c2} . Pour déterminer cette valeur, nous procédons de la façon suivante. Nous minimisons d'abord la capacité C_3 en choisissant la largeur minimale W_2 du transistor qui permet de conduire le courant I_0 . Nous choisissons L_3 afin d'obtenir $F_3 \approx F_{c2}$ en négligeant l'effet de la capacité d'entrée de l'étage suivant. Toutefois, il convient de vérifier qu'une réduction excessive de la valeur de W_2 n'introduit pas la fréquence de coupure du montage cascode dans la bande passante. Toujours en négligeant les effets des capacités C_{gd} de chaque transistor, nous obtenons le schéma petit signal simplifié d'un amplificateur cascode présentée figure 11. A l'aide de ce schéma, nous calculons l'expression (26) donnant le gain en courant de cet étage.

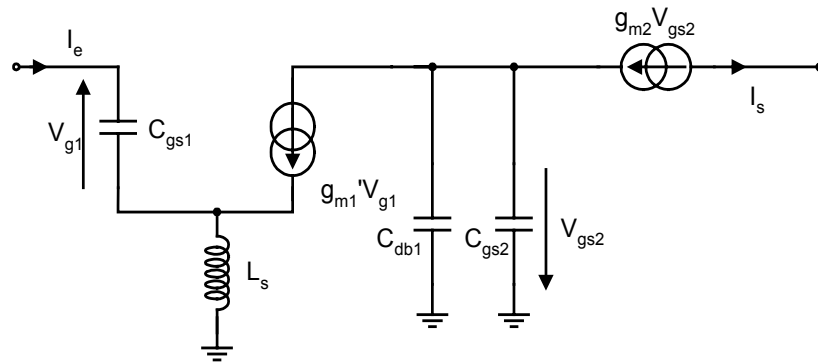


Figure 11 : Schéma petit signal d'un amplificateur cascode.

$$\frac{I_s}{I_e} = \frac{1}{JC_{gs1}\omega} \frac{g_{m1}}{1 + \frac{g_{m2}}{j(C_{gs2} + C_{db1})\omega}} \quad (26)$$

Il apparaît dans cette expression la fréquence de coupure F_{M2} donnée par la relation (27).

$$F_{M2} = \frac{g_{m2}}{2\pi(C_{gs2} + C_{db1})} \quad (27)$$

Lorsque cette fréquence de coupure F_{M2} est supérieure à la bande passante de l'amplificateur F_{c2} le gain en courant de l'amplificateur ne dépend pas de la largeur W_2 du transistor M_2 . La fréquence de résonance F_3 du résonateur de sortie du premier étage peut être ajustée par la réduction de la largeur W_2 du transistor M_2 tant que la fréquence de coupure F_{M2} est supérieure à la fréquence F_{c2} et que ce transistor M_2 peut conduire le courant de polarisation I_0 .

Notons que les valeurs finales obtenues dépendent essentiellement de la valeur des inductances choisies arbitrairement et de la géométrie du transistor M_1 . Ces choix peuvent entraîner des valeurs négatives des capacités des résonateurs. Quelques itérations sont nécessaires afin d'obtenir le meilleur compromis pour les valeurs de tous les éléments. De plus, comme le montre la relation (12), si la valeur de J_1 est faible devant l'unité, ρ_g est également proche de l'unité. Dans le cas contraire, il est possible de choisir une résistance de dénormalisation R_0 qui entraîne une valeur dénormalisée de R_g de 50Ω sans avoir à retoucher dans de larges proportions le transistor M_1 .

2.3.2. Deuxième étage.

Nous ajoutons un étage sans inductance supplémentaire qui permet sans surconsommation de puissance d'ajouter du gain en tension [3].

2.3.2.1. Topologie.

L'architecture d'amplification large bande que nous présentons est dédiée aux systèmes intégrés. Dans ce contexte, le gain en tension est préférable au gain en puissance puisque la charge de l'amplificateur est une charge capacitive de forte impédance. Nous choisissons comme second étage d'amplification un amplificateur à charge active dimensionné pour ne pas modifier les conditions de charge du premier étage et pour minimiser l'augmentation de la consommation. La figure 12 donne la topologie de l'amplificateur et la figure 13 son schéma équivalent petit signal.

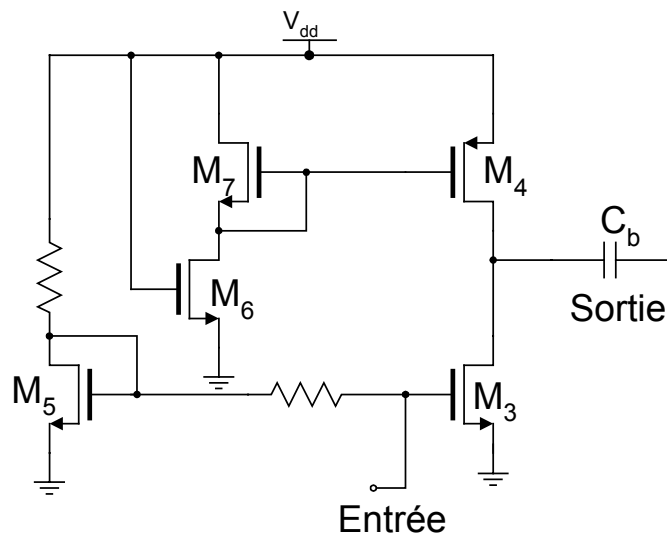


Figure 12 : Schéma électrique du second étage d'amplification.

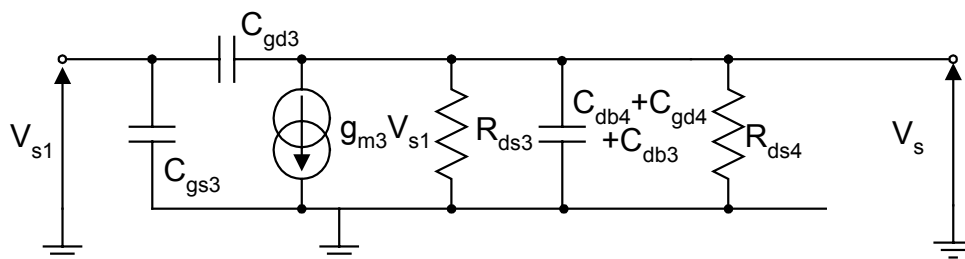


Figure 13 : Schéma équivalent du second étage d'amplification.

2.3.2.2. Principe de fonctionnement.

A l'aide du schéma équivalent de la figure 13, nous calculons le gain en tension A_{V2} (28). En nommant R_{ds3} et R_{ds4} les résistances de sortie des transistors M_3 et M_4 , C_{db3} , C_{gd3} , C_{db4} et C_{gd4} les capacités drain bulk et grille drain des mêmes transistors, nous définissons par les relations (29) et (30) les quantités R_{eq} et C_{eq} .

$$A_{V2} \approx \frac{-g_{m3} R_{eq}}{1 + j\omega R_{eq} C_{eq}} \quad (28)$$

$$R_{eq} = \frac{R_{ds3} R_{ds4}}{R_{ds3} + R_{ds4}}, \quad C_{eq} = C_{db3} + C_{gd3} + C_{db4} + C_{gd4} \quad (29) \text{ et } (30)$$

Nous extrayons de la relation (28) la fréquence de coupure F_2 et le gain statique A_{0V2} de l'amplificateur.

$$F_2 = \frac{1}{2\pi R_{eq} C_{eq}}, \quad A_{0V2} = -g_{m3} R_{eq} \quad (31) \text{ et } (32)$$

Avec ces notations, le gain en tension introduit par ce second étage est plat jusqu'à la fréquence de coupure F_2 . Le gain en tension de l'amplificateur total est lui aussi plat dans la bande passante tant que la fréquence de coupure F_2 du second étage est supérieure à la fréquence de coupure supérieure F_{c2} de la bande passante de l'amplificateur et que le coefficient de qualité Q_3 de la charge résonnante du premier étage est inférieur à $1/\sqrt{2}$.

En augmentant la valeur de la résistance R_{eq} nous pouvons augmenter le gain introduit par cet étage, mais cela diminue la fréquence de coupure F_2 . Lorsque cette fréquence de coupure devient inférieure à la fréquence de coupure basse F_{c1} de l'amplificateur total, la contribution en gain du second étage est décroissante avec une pente de -20 dB par décade. Pour compenser cette décroissance, nous ajustons par l'intermédiaire de la résistance R_3 , le coefficient de qualité Q_3 à une valeur supérieure à $1/\sqrt{2}$.

2.3.2.3. Dimensionnement du deuxième étage.

Nous résumons le dimensionnement du second étage par les quatre points suivants.

1. Nous fixons la longueur L_3 du transistor M_3 à sa valeur minimale pour maximiser la transconductance g_{m3} et pour minimiser sa contribution en bruit.

2. Nous choisissons la largeur W_3 du transistor M_3 pour que la capacité C_{gs3} soit petite devant $C_{db2}+C_{gd2}$. Ceci implique que la largeur W_3 du transistor M_3 est très petite devant la largeur W_2 du transistor M_2 , cette condition permet de peu modifier la fréquence de résonance F_3 . Dans cette configuration, la consommation I_{02} du deuxième étage est négligeable devant celle du premier étage comme supposé plus haut.
3. Les valeurs du courant de polarisation I_{02} et de la longueur L_4 du transistor M_4 sont choisies pour obtenir une valeur de R_{eq} qui conduit à une fréquence de coupure du second étage F_2 inférieure à la fréquence de coupure basse F_{c1} de l'amplificateur total et à une maximisation du gain introduit par ce second étage.
4. Pour finir, nous ajustons la valeur de la résistance R_3 à une valeur qui en fixant la valeur du facteur de qualité Q_3 , permet de compenser la chute du gain avec la fréquence du deuxième étage.

Tout comme pour les applications bandes étroites, le facteur de bruit de l'amplificateur final est essentiellement dû à la qualité des passifs.

3. Exemples de réalisation.

Nous illustrons maintenant les règles de dimensionnement que nous venons d'exposer par deux exemples. Le premier amplificateur faible bruit est dédié aux applications de télécommunication avec une bande passante relative de 25 % centrée sur la fréquence de 5,75 GHz. Le second amplificateur, dédié aux radars automobiles, est conçu pour une bande passante relative de 19 % centrée sur la fréquence de 26,4 GHz. Nous utilisons une technologie CMOS standard 0,13 μm pour ces deux amplificateurs.

3.1. Amplificateur faible bruit à bande passante contrôlée de bande passante 25 % centrée sur 6 GHz.

Nous choisissons une fonction d'approximation de Tchebychev avec une ondulation de 1 dB conduisant à une adaptation d'entrée théorique inférieure à - 5 dB dans la bande passante et à des valeurs de composants réalisables possédant de bonnes performances dans notre technologie.

Nous utilisons dans l'ensemble des inductances disponibles celle qui conduit au meilleur facteur de qualité à la fréquence centrale de l'amplificateur et une SFR suffisamment éloignée de la bande

passante fixée.

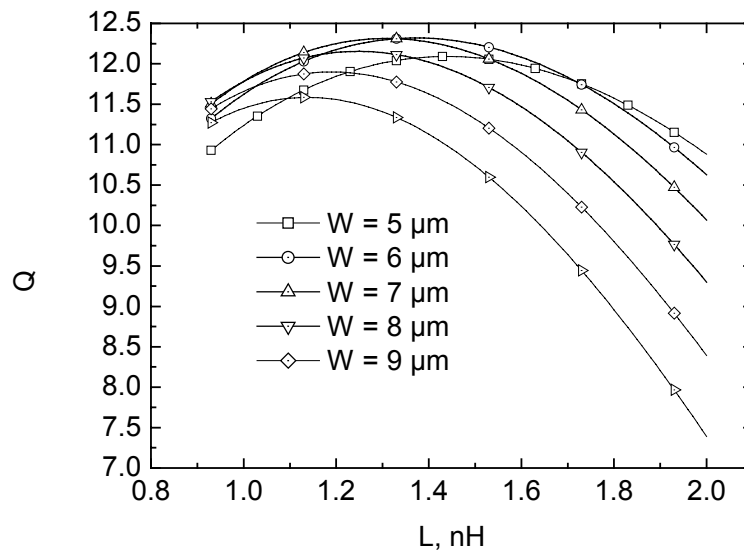


Figure 14 : Coefficient de qualité des inductances en fonction de la largeur du ruban métallique W à 5,75 GHz.

Grâce au graphe de la figure 14 nous sélectionnons des inductances de 1,2 nH possédant un facteur de qualité Q simulé de 12,5 car la SFR des inductances de 1,4 nH est trop proche du haut de la bande passante.

Nous dimensionnons le premier étage d'amplification et le circuit d'adaptation en nous basant sur la méthode décrite au paragraphe 2.3.1.3. Cependant, tout en respectant les limites énoncées plus haut, nous choisissons la valeur de l'inductance de contre-réaction L_s qui conduit à la stabilité inconditionnelle du quadripôle d'amplification et à un compromis satisfaisant entre le gain en tension du premier étage et son facteur de bruit. Nous pouvons de cette manière, pour une même polarisation et une même largeur du transistor M_1 , synthétiser une partie réelle plus faible que 50Ω autorisant une valeur d'inductance de contre réaction plus faible et donnant un gain en tension plus important.

Nous dimensionnons ensuite le second étage par la procédure décrite au paragraphe 2.3.2.3.

Après quelques légers réajustements, nous aboutissons au schéma électrique final donné par la figure 15. Ces réajustements sont nécessaires afin de compenser les effets de deuxième ordre qui n'ont pas été pris en compte dans la modélisation présentée.

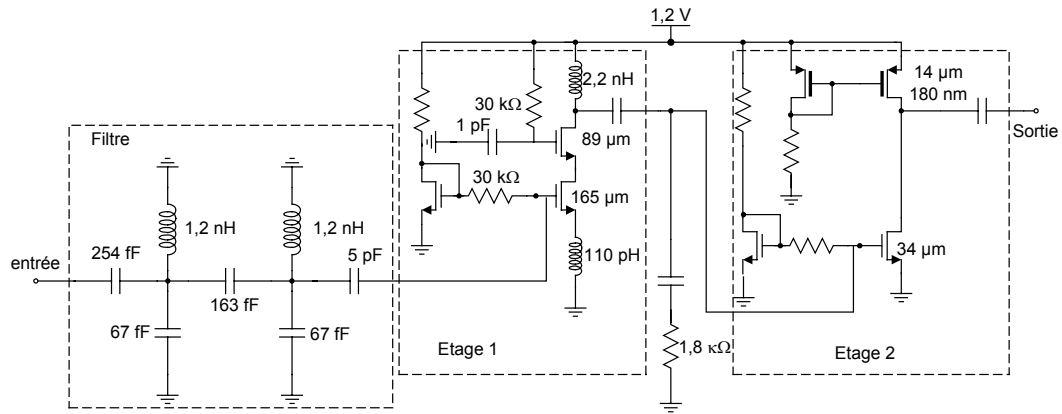


Figure 15 : Description électrique de l'amplificateur faible bruit de bande passante 25 % centré sur 5,75 GHz.

La figure 16 donne l'évolution du gain en tension, du facteur de bruit et de l'adaptation dans une bande de fréquence comprise entre 2 GHz et 10 GHz obtenus en simulation. Nous obtenons ces résultats en utilisant les modèles de la bibliothèque de composant de la technologie dont nous disposons. Les interconnexions sont réalisées par les lignes microrubans décrites au paragraphe 5.1.1. du chapitre 2. Nous récapitulons table 1 les principales caractéristiques de cet amplificateur.

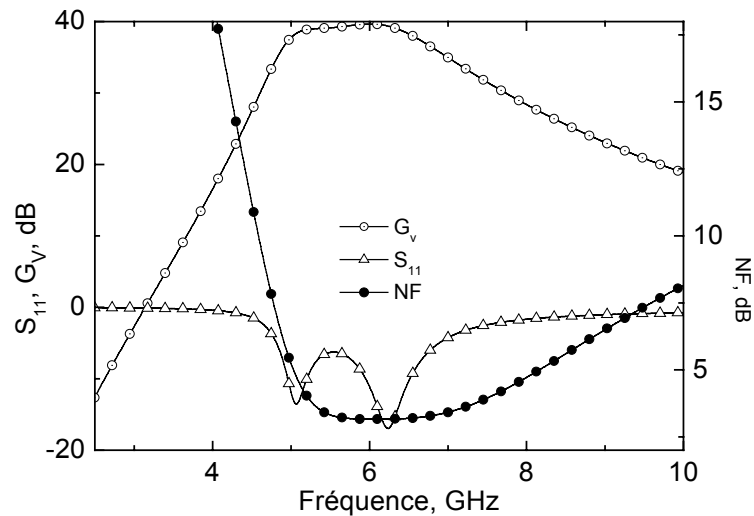


Figure 16 : Performances électriques simulées pour l'amplificateur faible bruit de bande passante 25 % centré sur 6 GHz.

Table 1 : Récapitulatif des caractéristiques de l'amplificateur de 25 % de bande passante relative centrée sur 5,75 GHz.

Bande passante	5,1 GHz 6,5 GHz
Fréquence centrale	5,75 GHz
facteur de bruit	3,2-3,5 dB
Gain	39 – 39,5 dB
Consommation	13,2 mW
Surface	0,5 mm ²
Adaptation	-5,5 dB

3.2. Amplificateur faible bruit à bande passante contrôlée fonctionnant dans la bande 24-29 GHz.

La bande passante comprise entre 24 GHz et 29 GHz conduit à une bande passante relative b égale à 19 % centrée sur 26,5 GHz. Nous choisissons une fonction d'approximation de Tchebychev avec une ondulation de 0,5 dB qui conduit à une adaptation d'entrée théorique inférieure à -10 dB dans la bande passante. Nous choisissons des inductances de 200 pH qui conduisent à un facteur qualité de 20 à la fréquence centrale de l'amplificateur (voir figure 17).

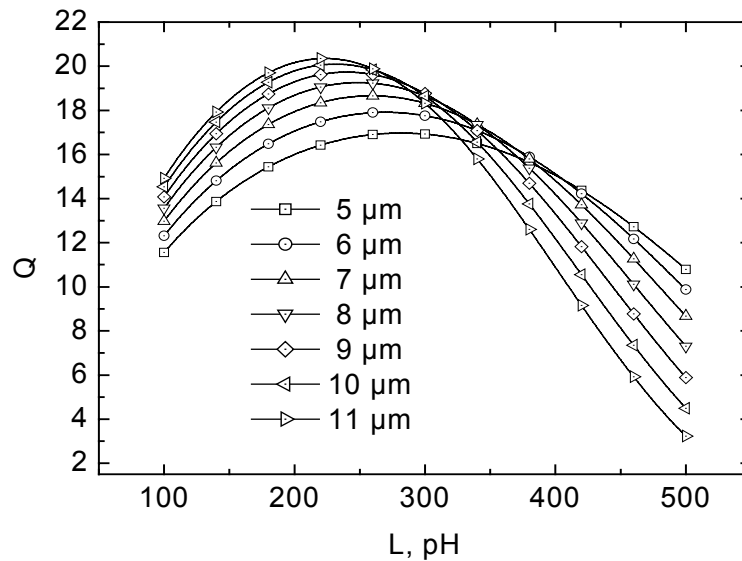


Figure 17 : Coefficient de qualité des inductances en oméga en fonction de la largeur du ruban à 26 GHz.

Dans cette bande de fréquence et avec les transistors à notre disposition, la topologie décrite dans les paragraphes précédents ne permet pas d'obtenir un gain suffisant car, la plage d'utilisation des transistors est ici trop proche de leur fréquence de transition. Afin d'obtenir un gain en tension supérieur à 20 dB, nous modifions la topologie du second étage et la charge du premier étage en plaçant sa fréquence de résonance F_3 au début de la bande passante de l'amplificateur. Nous retenons comme second étage un amplificateur cascode dont la charge est une inductance supplémentaire. De cette façon, nous pouvons augmenter la largeur du transistor M_3 du deuxième étage et la valeur de l'inductance de charge du premier étage L_3 . Avec ces modifications, nous obtenons un gain en tension supérieur à 20 dB. Le reste du dimensionnement est identique à celui décrit au paragraphe 3.1.

Comme pour l'amplificateur précédent quelques légers réajustements permettent d'aboutir au schéma électrique final donné sur la figure 18.

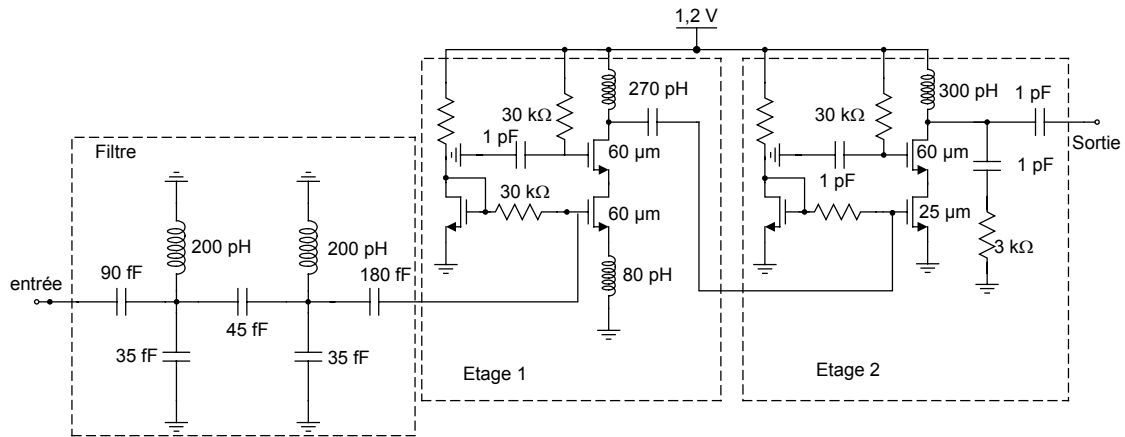


Figure 18 : Description électrique de l'amplificateur faible bruit de bande passante 19 % centré sur 26,4 GHz.

Nous obtenons les performances simulées de la figure ci-dessous en utilisant les modèles de la bibliothèque de composants de la technologie dont nous disposons. Les interconnexions sont réalisées par les lignes microrubans dont le plan de masse est étroit décrites au paragraphe 5.1.3. du chapitre 2. Ces performances sont récapitulées table 2.

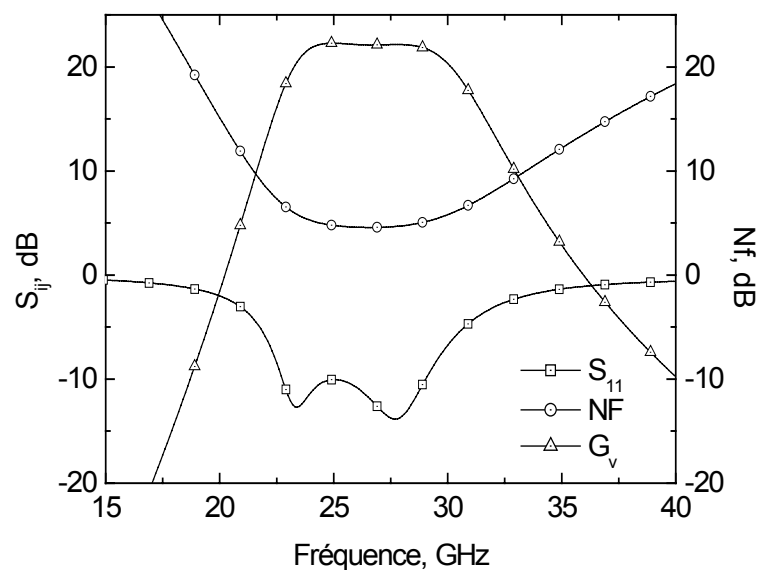


Figure 19 : Caractéristiques électriques de l'amplificateur pour applications RADARS dans la bande 24 GHz-29 GHz.

Table 2 : Récapitulatif des caractéristiques de l'amplificateur de 19 % de bande passante relative centrée sur 26,4GHz.

Bande passante	24-29 GHz
Fréquence centrale	26,2 GHz
facteur de bruit	5,3 dB-5,0 dB
Gain	20,5-21 dB
Consommation	18,2 mW
Surface	0,760 mm ²
Adaptation	-10 dB

4. Amplification distribuée.

Lorsque des bandes passantes très étendues sont visées, l'amplification distribuée est une solution attrayante car elle permet d'obtenir une adaptation sur $50\ \Omega$ et un gain plat dans une très large bande passante. Dans la seconde partie de ce chapitre, nous nous intéressons aux potentialités offertes par cette technique dans le contexte des technologies CMOS.

Après avoir exposé les méthodes de conception propres aux amplificateurs distribués, nous nous intéresserons aux potentialités offertes par cette topologie d'amplification dans le contexte des systèmes sur puce ultra large bande (UWB) dans la bande de fréquence 3,1-10,6 GHz. Nous présentons une technique reposant sur l'augmentation de l'impédance caractéristique de la ligne de sortie qui permet d'augmenter le gain en tension préférable dans les systèmes sur puce au gain en puissance.

Pour finir, dans un but exploratoire, nous exposons la conception et les choix : topologie des étages d'amplification, égalisation des temps de groupe, réalisation des inductances, technique de compensation des pertes..., qui permettent d'aboutir à un amplificateur distribué à produit gain bande maximal pour une technologie donnée.

4.1. Méthodes de conception propres aux amplificateurs distribués.

4.1.1. Principe de l'amplification distribuée.

Dans un amplificateur conventionnel de type passe bas (où les transistors sont connectés en cascade ou en parallèle), la mise en parallèle ou en cascade des transistors permet d'accroître le gain par l'addition des transconductances, mais l'augmentation correspondante des capacités d'entrée et de sortie limite la fréquence maximale. Le principe de l'amplification distribuée consiste à additionner les transconductances des transistors en compensant l'augmentation correspondante des capacités d'entrée et de sortie par la réalisation de lignes artificielles de transmission en entrée et en sortie. La bande de fréquence n'est alors plus limitée par ces capacités tant qu'elles sont intégrées dans la réponse fréquentielle large bande des lignes artificielles de transmission. Un amplificateur distribué, dont la figure 20 donne un schéma de principe, est constitué de deux lignes de transmission artificielles formées par des inductances et les capacités d'entrée C_e ou de sortie C_s des étages d'amplification. Ces lignes sont couplées par les amplificateurs de capacité de couplage (C_{se}) et de gain (G). Cette configuration de lignes couplées aboutit à des amplificateurs dont le gain et le temps de groupe varient très peu dans la bande passante qui peut être très importante.

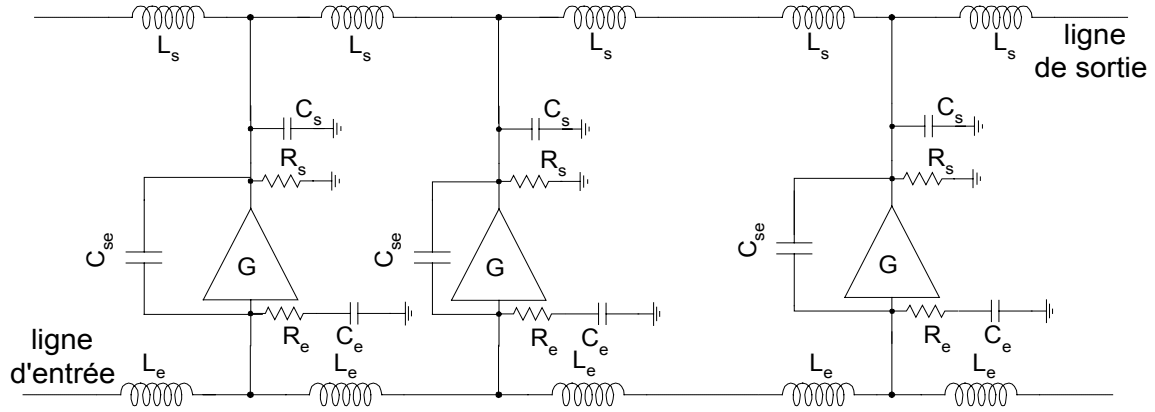


Figure 20 : Principe de l'amplificateur distribué.

Les lignes de transmission artificielles possèdent des impédances caractéristiques Z_{ce} et Z_{cs} qui s'écrivent (33) et (34) en négligeant les pertes dans l'ensemble de l'amplificateur.

$$Z_{ce} = \sqrt{\frac{L_e}{C_e}}, \quad Z_{cs} = \sqrt{\frac{L_s}{C_s}} \quad (33) \text{ et } (34)$$

4.1.2. Phénomènes limitant la bande passante.

Nous présentons les principaux phénomènes limitant la bande passante des amplificateurs distribués ainsi que les principales règles de conception rencontrées dans la littérature.

4.1.2.1. Résonance des tronçons de ligne artificielle.

Nous considérons dans un premier temps un amplificateur dans lequel toutes les pertes sont nulles. La fréquence de coupure maximale d'un amplificateur distribué est déterminée par la fréquence de coupure minimale de la ligne artificielle d'entrée ou de sortie. En utilisant les notations précédentes, ces fréquences de coupure s'écrivent (35) et (36).

$$F_{3dB_e} = \frac{1}{2\pi\sqrt{L_e C_e}}, \quad F_{3dB_s} = \frac{1}{2\pi\sqrt{L_s C_s}} \quad (35), (36)$$

Dans les technologies CMOS et dans la grande majorité des amplificateurs, la capacité d'entrée est supérieure à la capacité de sortie. L'examen des relations (35) et (36) permet de déduire que la ligne d'entrée limite généralement la fréquence de coupure d'un amplificateur distribué si les impédances caractéristiques des lignes d'entrée et de sortie sont égales.

4.1.2.2. Effet des temps de propagation de groupe.

Un second effet créé par des vitesses de phase différentes dans les deux lignes se superpose aux fréquences de coupure des lignes de transmission. Dans le cas où les vitesses de phase ne sont pas égales, les ondes se propagent dans les lignes d'entrée et de sortie à des vitesses différentes. Dans le cas le plus défavorable, le déphasage introduit par la différence de vitesse de phase provoque l'apparition d'interférences qui sont destructives lorsque la différence entre les délais de groupe jusqu'à un point de l'amplificateur correspond à un multiple d'une composante fréquentielle comprise dans la bande passante [12]. Ces interférences provoquent une annulation du gain d'un des étage de l'amplificateur qui se manifeste par une diminution du gain total de l'amplificateur distribué.

En supposant que les transistors sont suffisamment petits pour pouvoir négliger le délai de groupe qu'ils introduisent, le temps de groupe de chaque ligne est donné par les expressions (37) et (38) [12].

$$\tau_e = \sqrt{L_e (C_e + (1+G)C_{se})} \quad (37)$$

$$\tau_s = \sqrt{L_s \left(C_s + \frac{G}{(1+G)} C_{se} \right)} \quad (38)$$

Pour qu'il n'y ait pas d'interférences les temps de groupe de chaque ligne doivent être égaux, plusieurs techniques permettent d'aboutir à leur égalité.

- L'utilisation d'inductances différentes pour synthétiser la ligne d'entrée et de sortie. Cette technique est utilisée par Shigematsu en technologie CMOS 0,18 μm [6]. Son principal inconvénient est qu'elle ne permet pas d'obtenir des dessins des masques rectilignes si l'on retient une synthèse des inductances des lignes artificielles à l'aide de tronçons de ligne de transmission.

En technologie CMOS, il ne semble pas possible de concevoir des lignes d'impédance caractéristique supérieure à une centaine d'Ohms aussi bien en technologie microruban que coplanaire (voir chapitre 2) [13]. Avec ces limites, l'obtention de valeurs d'inductances permettant d'égaliser les temps de groupe n'est pas possible sans une différence de longueur des tronçons de ligne synthétisant les inductances. Lorsque des bande passante dépassant la dizaine de gigahertz sont visées il ne semble pas non plus possible d'utiliser des inductances localisées¹ dont bien souvent en technologie CMOS la SFR avoisine les dix ou quinze gigahertz.

¹ Sauf si des inductances en oméga sont disponibles.

Si, pour aboutir à un dessin des masques rectiligne, l'égalité des deux inductances est imposée, deux autres techniques permettent d'aboutir à l'égalisation des temps de groupe.

- L'utilisation du principe de division capacitive en entrée ou en sortie [14]. Cette technique consiste à ajouter en série une capacité entre la ligne d'entrée et la grille des transistors d'entrée des étages d'amplification élémentaires de façon à diminuer la valeur de la capacité équivalente. Une capacité en parallèle du transistor de sortie des étages d'amplification élémentaires permet d'aboutir à la même égalisation des temps de groupe mais par augmentation de la capacité de sortie. La division capacitive en entrée a été employée afin d'obtenir des bandes passantes supérieures à 100 GHz en technologie HEMT InP par Masuda [14].
- L'utilisation d'une topologie comme l'amplificateur cascode dont les deux transistors ne sont pas identiques est proposée par Plouchart [4]. Elle permet d'obtenir l'égalité des capacités d'entrée et de sortie des amplificateurs élémentaires et évite la division capacitive qui s'avère difficile à appliquer lorsque des capacités MIM (métal isolant métal) ne sont pas disponibles.

4.1.2.3. Influences des pertes : nombres d'étages optimal.

La relation (35) donnant la bande passante à -3 dB de l'amplificateur considère que l'ensemble des pertes dans les lignes artificielles sont nulles. Or, les inductances ne sont pas parfaites, elles introduisent des pertes métalliques et diélectriques qui dépendent des choix technologiques de leur réalisation. Les étages d'amplifications introduisent également des pertes qui sont modélisées par la partie réelle de leurs impédances d'entrée et de sortie. Nous supposons que la partie réelle de l'impédance d'entrée de l'amplificateur se réduit à la résistance non quasi-statique du transistor d'entrée (notée R_i) et que les résistances de pertes des inductances sont négligeables devant celles des résistances de sortie des étages d'amplifications. Nous négligeons également l'effet de la capacité de couplage entre l'entrée et la sortie de chaque amplificateur C_{se} . Dans ce contexte, les modèles respectifs des lignes d'entrée et de sortie sont donnés par la figure ci dessous.

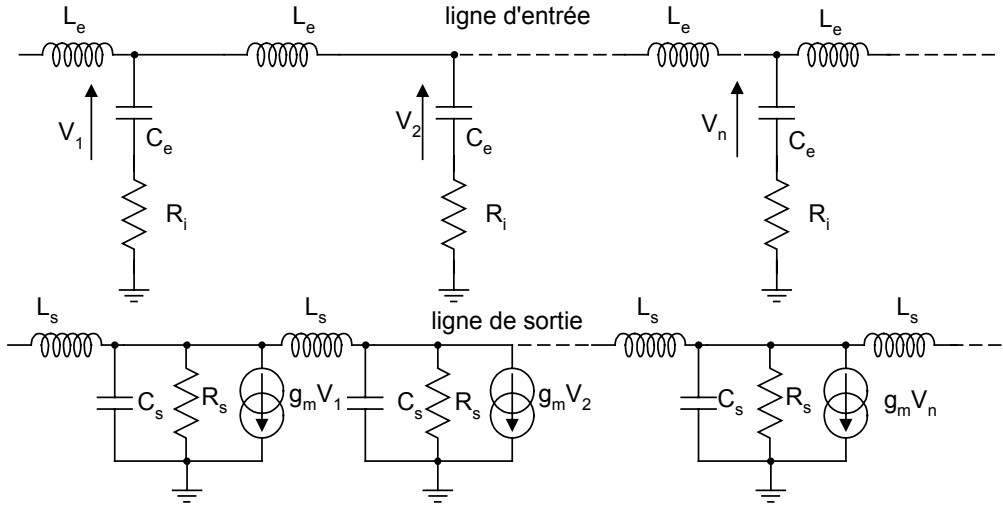


Figure 21 : Modèles équivalents des lignes d'entrée et de sortie d'un amplificateur distribué.

En prenant les notations de la figure 21, les relations (39) et (40) donnent les coefficients d'atténuation des deux lignes de transmission [15].

$$\alpha_e = \frac{R_i C_e \omega \sqrt{L_e C_e \omega^2}}{\sqrt{4 + (2R_i C_e \omega)^2 - L_e C_e \omega^2}} \quad (39)$$

$$\alpha_s = \sqrt{\frac{L_s}{C_s}} \frac{1}{R_s \sqrt{4 - L_s C_s \omega^2}} \quad (40)$$

Avec ces notations, le gain en puissance de l'amplificateur distribué constitué de N étages élémentaires s'écrit [15] :

$$Gain = g_m^2 \sqrt{\frac{L_e L_s}{C_e C_s}} \frac{e^{-N(\alpha_e + \alpha_s)}}{(1 + (R_i C_e \omega)^2)(4 - L_e C_e \omega^2)} \frac{\sinh^2\left(\frac{N(\alpha_s - \alpha_e)}{2}\right)}{\sinh^2\left(\frac{\alpha_s - \alpha_e}{2}\right)} \quad (41)$$

De cette expression, nous déduisons qu'il existe un nombre d'étage optimum N_{opt} qui s'obtient lorsque la différentielle de l'expression (41) par rapport au nombre d'étage N s'annule.

$$N_{opt} = \frac{\ln(\alpha_s) - \ln(\alpha_e)}{\alpha_s - \alpha_e} \quad (42)$$

Cette relation décrit le comportement suivant : en haute fréquence et lorsque le nombre d'étages d'amplification est inférieur à N_{opt} chaque étage ajouté introduit plus de gain que de pertes. Lorsque le nombre d'étage devient supérieur à N_{opt} chaque étage introduit plus de pertes que de gain.

4.1.3. Technique de compensation de pertes.

Une des causes des pertes dans les lignes artificielles est la partie réelle de l'impédance de sortie de chaque d'étage d'amplification élémentaire. Pour contrer cet effet, la mise en œuvre de la technique de compensation de pertes proposée par Kimura [16] peut être envisagée. Cette technique n'est applicable qu'aux étages d'amplification élémentaires cascodes. Il est possible d'augmenter la résistance de sortie en haute fréquence en ajoutant une inductance L_3 entre la grille du transistor M_2 du cascode et la masse dynamique du circuit (voir figure 22). Cette inductance crée une partie réelle négative qui compense en partie la résistance de sortie de l'amplificateur élémentaire. Deux autres inductances L_1 et L_2 doivent être ajoutées pour assurer la stabilité de chaque étage d'amplification.

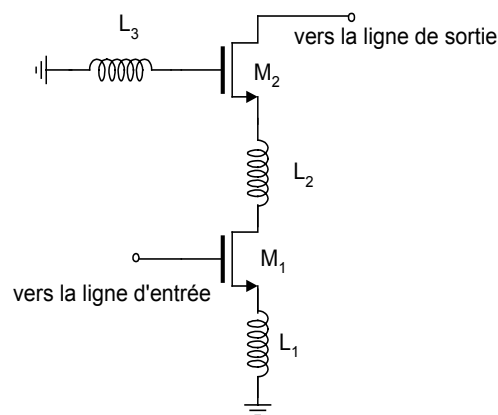


Figure 22 : Schéma électrique de l'amplificateur élémentaire avec la compensation des pertes.

4.2.Exemples de réalisation.

Nous présentons maintenant les choix technologiques permettant l'implémentation d'amplificateurs distribués en technologie CMOS. Nous exposons la conception de deux amplificateurs, le premier est dédié aux applications ultra larges bandes (UWB) pulsées dans la bande 3,1-10,6 GHz et le second maximise le produit gain bande passante.

4.2.1. Conception d'un amplificateur distribué UWB pulsé dans la bande 3,1-10,6 GHz.

Dans un amplificateur distribué traditionnel, les deux lignes d'entrée et de sortie sont d'impédance caractéristique 50Ω . Dans le contexte des systèmes sur puce, le choix d'une adaptation 50Ω en entrée et en sortie de l'amplificateur peut se révéler un choix non judicieux. En effet, dans les architectures proposées pour les récepteurs UWB pulsés, la sortie de l'amplificateur faible bruit est souvent connectée directement à un convertisseur analogique numérique dont l'entrée est formée par des capacités connectées en parallèle [17]. Dans cette configuration particulière, les étages d'entrée des

convertisseurs sont commandés par la tension appliquée sur la grille de chaque transistor de chaque convertisseur. Dans ce contexte particulier, la conception des amplificateurs faible bruit intégrés ne nécessite que l'adaptation $50\ \Omega$ en entrée. Une adaptation sur une autre impédance fixée par le dimensionnement des convertisseurs dans le but de maximiser le gain en tension pour un budget de puissance consommée raisonnable peut s'avérer un choix pertinent. Cependant, l'impédance de la ligne de sortie doit être suffisamment basse pour ne pas engendrer des valeurs d'inductances non-intégrables. En effet, dans la technologie à notre disposition, les inductances dont les valeurs sont comprises entre 1 et 2 nH ont une SFR légèrement supérieures à une dizaine de gigahertz avec des coefficients de qualité maximum Q proche de dix. La valeur maximale d'inductance utilisable pour la synthèse de la ligne artificielle de sortie est d'environ 2 nH.

4.2.1.1. Choix et dimensionnement de l'amplificateur élémentaire.

Le choix d'une impédance caractéristique de ligne d'entrée fixée à $50\ \Omega$ et d'une fréquence de coupure donnée impose un couple unique de valeurs pour les inductances et les capacités formant la ligne d'entrée. Comme nous souhaitons concevoir un amplificateur dont la ligne de sortie est d'impédance caractéristique supérieure à $50\ \Omega$ afin de maximiser le gain en tension, il est nécessaire d'opter pour une topologie d'amplificateur élémentaire ayant des capacités d'entrée et de sortie dont les valeurs sont indépendantes. Nous choisissons une configuration cascode comme celle de la figure 23 qui permet d'obtenir cette indépendance. La largeur W_1 du premier transistor M_1 est imposée par la capacité d'entrée de l'étage si l'on exclu l'utilisation de capacité connectée en parallèle ou en série avec la grille permettant de modifier la valeur de celle-ci.

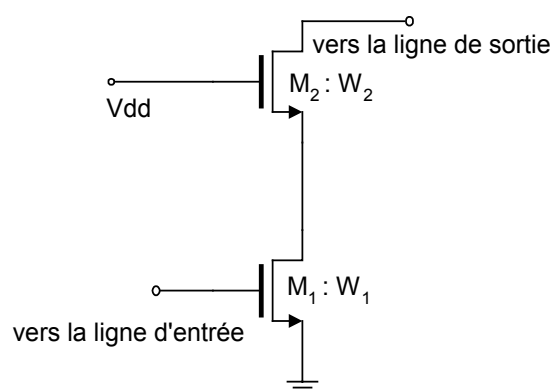


Figure 23 : Schéma électrique de l'amplification cascode.

La valeur de la largeur W_2 du transistor M_2 est fixée par la bande passante de l'amplificateur et l'impédance caractéristique de la ligne artificielle de sortie. Cependant, la même fréquence de coupure F_{M2} qu'au paragraphe 2.3.1.3 apparaît et limite la valeur minimale de la capacité de sortie réalisable pour un courant de polarisation donné.

4.2.1.2. Choix de l'impédance caractéristique de la ligne artificielle de sortie.

L'impédance caractéristique de la ligne de sortie est fixée par la relation (34) et sa fréquence de coupure par la relation (36). De la combinaison de ces deux équation nous déduisons qu'il existe une impédance minimale réalisable déterminée par la valeur L maximale d'inductance réalisable. En effet, la fréquence de résonance (S.F.R.) doit être au minimum égale à la bande passante de l'amplificateur. Comme nous venons de le voir au paragraphe précédent, il existe aussi une impédance maximale Z_{csmax} réalisable dépendante de la valeur L et de la capacité de sortie C_s dont la limite minimale est dépendante du courant de polarisation et des largeurs W_1 et W_2 des transistors M_1 et M_2 . La gamme des impédances caractéristiques réalisables est donnée par la relation (43). La valeur maximale de l'inductance synthétisant la ligne de sortie doit être tempérée par l'optimisation de son facteur de qualité dans la totalité de la bande passante de l'amplificateur afin de ne pas trop dégrader le gain dans la partie supérieure de la bande passante.

$$Z_{csmax} \geq Z_{cs} \geq 2\pi LF_{-3dB} \quad (43)$$

En tenant compte de toutes ces remarques, nous choisissons les inductances et l'impédance de la ligne de sortie de la façon suivante.

1. Nous choisissons la valeur et la géométrie de l'inductance conduisant à un facteur de qualité maximal dans la totalité de la bande passante de l'amplificateur pour minimiser les pertes introduites par celle-ci.
2. Nous déterminons l'impédance caractéristique maximale de la ligne de sortie réalisable par l'utilisation de la relation (27) connaissant la largeur du transistor M_1 de chaque étage d'amplification.
3. Nous calculons la valeur de la capacité de sortie de chaque étage d'amplification nécessaire à la synthèse de l'impédance caractéristique souhaitée pour la ligne de sortie grâce à la relation (34).

Finalement, la technologie dont nous disposons, nous autorise à concevoir une ligne de sortie d'impédance caractéristique 120Ω avec des inductances de 2 nH et des capacités de sortie de 140 fF pour une bande passante de 11 GHz et une impédance d'entrée de 50Ω .

La même démarche peut être appliquée à la ligne d'entrée si nécessaire mais dans la majorité des

4.2.1.3. Finalisation de l'amplificateur distribué.

4.2.1.3. Finalisation de l'amplificateur distribué.

La polarisation de chaque étage d'amplification nécessite l'application de 3 tensions : la tension de grille du transistor M_1 et les tensions de drain et de grille du transistor M_2 de chaque cascode.

Pour simplifier le circuit, nous choisissons d'imposer les tensions de grille et de drain aux lignes d'entrée et de sortie de l'amplificateur par l'intermédiaire des « T de polarisation » de l'analyseur de réseau utilisé pour la caractérisation. La troisième tension de polarisation est appliquée par l'intermédiaire d'un plot d'accès (V_{dd}) connecté à toutes les grilles des transistors M_2 des étages d'amplification. Nous obtenons l'amplificateur de la figure ci dessous utilisant le nombre optimal de 3 étages que nous évaluons grâce à l'équation (42) et aux valeurs nécessaires extraites de simulations, à savoir les résistances et capacités d'entrée et de sortie des amplificateurs élémentaires ainsi que la résistance de pertes des inductances en haut de bande passante. Nous ajoutons un troisième transistor connecté en capacité à la grille des seconds transistors des cascodes pour assurer un bon retour de masse.

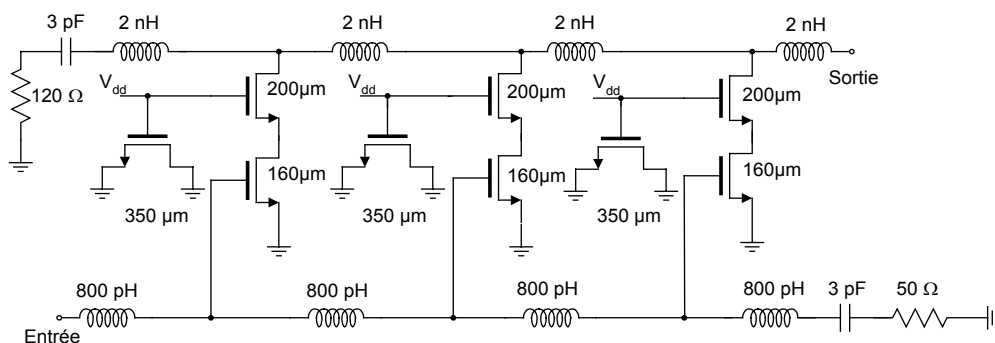


Figure 24 : Amplificateur distribué pour application UWB.

Nous choisissons le courant de polarisation de chaque étage d'amplification afin d'optimiser le compromis entre le gain en tension G_v et le facteur de bruit F tout en minimisant le courant consommé. A l'aide de la figure 25, nous choisissons un courant de 20 mA.

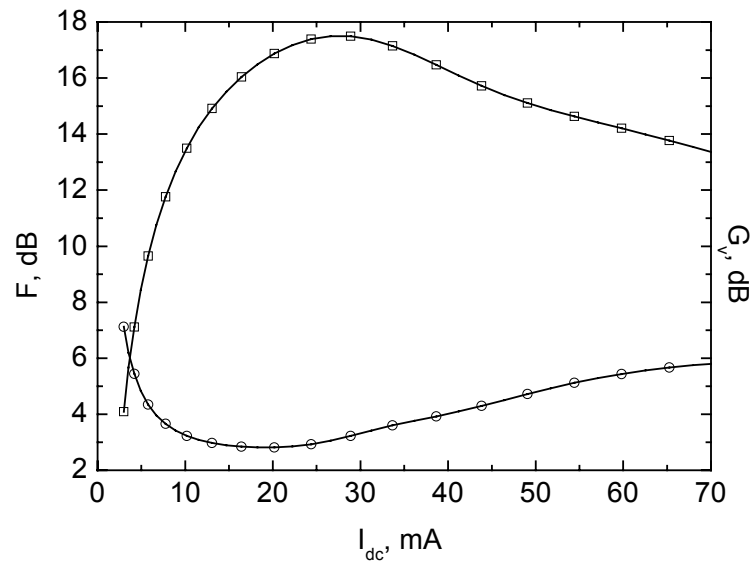


Figure 25 : Influence du courant de polarisation sur le gain en tension et le facteur de bruit de l'amplificateur distribué pour application UWB à 7,5 GHz.

Nous traçons sur la figure 26 les performances simulées de l'amplificateur UWB dédié aux applications ultra large bande dans la bande 3,1-10,6 GHz dont la sortie est adaptée sur 120Ω . Nous utilisons les modèles d'interconnexions décrites au paragraphe 5.1.3. du second chapitre et des plots d'accès issus de simulations électromagnétiques. Les modèles de tous les autres composants (transistors, résistances de terminaison des lignes, capacités de découplage ainsi que les inductances) proviennent de la bibliothèque de composants fournie par notre fondeur.

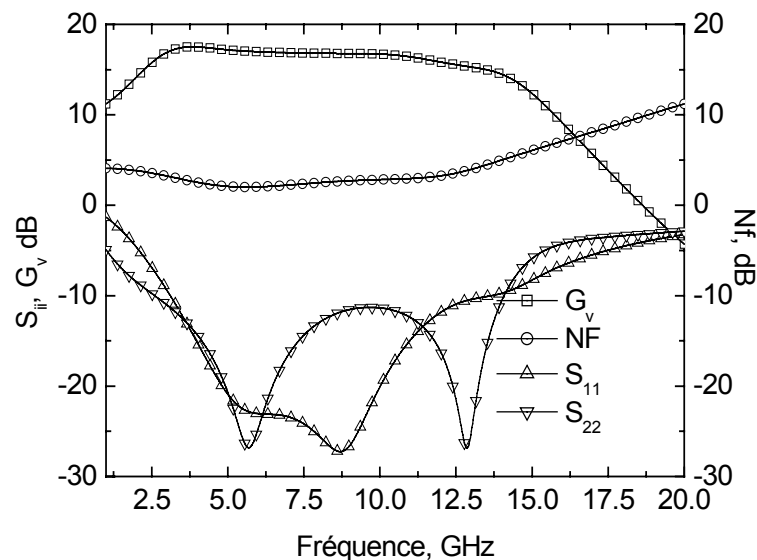


Figure 26 : Performances simulées de l'amplificateur distribué dédié aux applications UWB.

La table ci-dessous récapitule les caractéristiques de l'amplificateur que nous présentons. Nous les comparons à celles publiées par les deux références [8] et [7] qui présentent deux amplificateurs

distribués conçus pour les applications UWB pulsées. Celui de la référence [7] est conçu avec le souci d'obtenir une faible consommation.

Table 3 : Récapitulatif des performances de l'amplificateur distribué pour applications UWB.

Ref	Ce travail*	[8]**	[7]**
Bande passante	3-14 GHz	0,5-14 GHz	0,03-5,2 GHz
Gain	$17,5 \pm 0,5$ dB (120 Ω)	$10,6 \pm 0,9$ dB (50 Ω)	$8,6 \pm 0,6$ dB (50 Ω)
NFmin	2,5 dB	3,5 dB	4,2 dB
consommation	24 mW (1,2V)	52 mW	9 mW
Adaptation	-10 dB	-10 dB	-10 dB

* Performances simulées

** Performances mesurées

4.2.2. Conception d'un amplificateur à produit gain bande passante maximal.

Nous avons vu que trois des phénomènes limitant la bande passante des amplificateurs distribués sont les fréquences de résonance des tronçons de ligne artificielle, la différence de temps de groupe dans chaque ligne de transmission artificielle et l'ensemble des pertes présentes dans l'amplificateur. Nous avons présenté quelques techniques permettant d'optimiser la bande passante. Nous exposons maintenant l'implémentation de celles que nous avons retenues dans le but de concevoir un amplificateur distribué dont le produit gain bande passante est maximal.

4.2.2.1. Détermination des étages d'amplification.

Lorsque des bandes passantes très importantes sont visées, les amplificateurs élémentaires doivent posséder des capacités d'entrée C_e et de sortie C_s égales et une capacité de liaison C_{se} la plus faible possible afin d'égaliser les vitesses de phases dans les deux lignes de transmission artificielles. Plusieurs techniques comme l'utilisation de la division capacitive ou d'une topologie d'amplificateur ayant des capacités d'entrée et de sortie égale,... permettent d'aboutir à des temps de propagation de groupe égaux.

Nous choisissons d'exclure la solution de division capacitive en entrée car elle interdit par la présence de la capacité de division d'appliquer directement la tension de polarisation de grille par l'intermédiaire de la ligne d'entrée de l'amplificateur. Nous n'avons pas non plus retenu la division capacitive en sortie car les capacités nécessaires sont de valeur trop proches des valeurs minimales réalisables dans la technologie à notre disposition, par conséquent leurs valeurs ne sont pas suffisamment bien maîtrisées.

Nous imposons également la réalisation d'un dessin des masques rectiligne qui permet de ne pas introduire de coude dans les lignes d'entrée et de sortie, ces discontinuités ajoutent principalement des capacités parasites qui réduisent la bande passante. En effet, la réalisation d'un amplificateur distribué dont les inductances ne sont pas égales provoque une dissymétrie des lignes d'entrée et de sortie introduisant au minimum quatre coudes par étages d'amplification qui peuvent être évités si les inductances sont égales. D'autre part, dans l'objectif de minimiser les pertes introduites en hautes fréquences par les amplificateurs, la partie réelle de l'impédance de sortie de l'amplificateur élémentaire, notée R_s sur la figure 20, doit être la plus grande possible.

Ayant exclu les solutions que nous venons de présenter, nous retenons le montage cascode dont l'utilisation permet d'éviter la division capacitive. Une optimisation de la géométrie de chaque transistor permet d'égaliser les capacités d'entrée et de sortie de l'amplificateur élémentaire. En effet, la capacité d'entrée, dans la configuration cascode, est essentiellement due à la capacité C_{gs} du premier transistor et la capacité de sortie est quant à elle le résultat de la mise en parallèle des capacités C_{gd} , C_{ds} et C_{db} . Dans la technologie dont nous disposons un rapport d'environ quatre existe entre la capacité C_{gs} d'un transistor et les capacités $C_{ds}+C_{db}$ ou C_{gd} . Afin de limiter les pertes dans la ligne d'entrée, le nombre de doigts de grille du transistor doit être suffisant pour rendre négligeable la résistance d'accès de grille. De ces remarques, nous déduisons les trois règles de dimensionnement des étages d'amplification élémentaires suivantes.

1. Nous choisissons les transistors et les courants de polarisation associés maximisant en même temps les fréquences F_t et F_{max} comme le préconise Meliani [12] pour maximiser le produit gain bande passante.
2. Nous doublons la largeur du transistor supérieur pour obtenir l'égalité des capacités d'entrée et de sortie.
3. Nous choisissons des transistors possédant suffisamment de doigts pour rendre négligeable la résistance d'accès de grille.

En appliquant les remarques ci-dessus, nous choisissons des montages cascodes constitués de deux transistors de largeurs respectives $31\ \mu\text{m}$ et $62\ \mu\text{m}$ polarisés à $V_{ds} = 2,5\ \text{V}$ et $I_{ds} = 8\ \text{mA}$. La table 4 récapitule les résistances et capacités d'entrée et de sortie suivant les notations de la figure 20 de l'amplificateur élémentaire.

Table 4 : Impédances de l'amplificateur élémentaire.

C_e	58 fF
R_e	5 Ω
C_s	62 fF
R_s	1610 Ω

Nous retenons la même solution de polarisation que celle employée pour l'amplificateur 3,1-10,6 GHz, à savoir polarisation par T et application des différentes tensions de grille et de drain par les lignes d'entrée et de sortie. Les grilles des seconds transistors sont reliées entre elles et connectées à un plot V_{dd} supplémentaire. Le même transistor de $10 \times 350 \mu\text{m}$ est également présent pour garantir un bon retour à la masse de la grille du transistor supérieur.

Les conditions d'adaptation sur 50 Ω (33) et les capacités d'entrée et de sortie des étages d'amplification nous imposent des inductances de 127 pH. Avec ces valeurs et en appliquant la relation (35), nous obtenons une bande passante théorique maximale de 58 GHz.

4.2.2.2. Réalisation des inductances formant les lignes de transmission.

Les inductances constituant les lignes artificielles de transmission sont l'un des éléments déterminant les performances d'un amplificateur distribué fonctionnant jusqu'aux fréquences millimétriques. En plus de leurs valeurs qui déterminent l'impédance caractéristique de chaque ligne artificielle et la bande passante de l'amplificateur, leurs fréquences de résonance (S.F.R.) doivent être très supérieures à la fréquence de coupure théorique de l'amplificateur. De plus, afin de dégrader le moins possible le gain de l'amplificateur par l'introduction de pertes résistives et diélectriques, leur coefficient de qualité doit être le plus important possible. En effet, la technique de compensation de pertes ne permet que d'augmenter la partie réelle de l'impédance de sortie, en conséquence, elle ne permet pas de compenser les pertes introduites par les inductances. En effet, la technique de compensation qui modifie l'admittance de sortie de chaque étage d'amplification en diminuant sa partie réelle ne permet pas de compenser les résistances de pertes séries ajoutées par les inductances [16].

En technologies CMOS, plusieurs techniques sont envisageables pour réaliser ces inductances. La technologie dont nous disposons contient des inductances en oméga dont les valeurs sont compatibles avec celles nécessaires mais, nous ne pouvons retenir cette solution car la S.F.R. maximale simulée de 82 GHz est trop proche de la fréquence de coupure théorique de l'amplificateur. Cette proximité rend la valeur de l'inductance non constante dans le haut de la bande passante et provoque une ondulation

du gain de l'amplificateur et une désadaptation indésirables en haute fréquence.

Une autre solution à notre disposition pour réaliser ces inductances est l'utilisation de ligne de transmission à forte impédance caractéristique car, l'inductance linéique L_{lin} d'une ligne sans perte est proportionnelle à son impédance caractéristique et à la racine carrée de la permittivité diélectrique effective. En effet, l'inductance d'une ligne de longueur l_e est extraite des paramètres secondaires de la ligne grâce à l'équation (44) [18] qui se réduit dans le cas d'une ligne sans pertes à l'expression (45).

$$L = \frac{\Im m(Z_c \gamma)}{\omega} \quad (44)$$

$$L_{lin} = \frac{Z_c \beta}{\omega} = \frac{Z_c \sqrt{\epsilon_{eff}}}{C_0} \quad (45)$$

Cette solution présente l'avantage supplémentaire de s'affranchir d'une bibliothèque de composants pré-dessinés et parfaitement modélisés jusqu'en très hautes fréquences.

À titre exploratoire, nous comparons le facteur de qualité d'inductances réalisées à l'aide de quatre techniques différentes : des lignes microrubans et coplanaires utilisant la technologie à notre disposition, des lignes coplanaires utilisant la technologie développée par l'I.E.M.N. (Institut de Microélectronique et de Nanoélectronique) basée sur le dépôt d'une couche de Benzo-Cyclo-Butène (B.C.B.) [19], des lignes coplanaires utilisant une technologie dont l'épaisseur de diélectrique a été portée à 10 μm (valeur typique d'une technologie SiGe [13]). La table suivante récapitule les caractéristiques et la longueur de ligne nécessaire à la réalisation d'une inductance de 127 pH. Dans chacun des cas présentés nous avons simulé des lignes d'impédance caractéristique proches de façon à pouvoir comparer les atténuations obtenues. Les résultats proviennent de simulations électromagnétiques effectuées en utilisant les caractéristiques des couches des différentes technologies et des largeurs de ruban signal W comparables.

Table 5 : Comparaison d'inductances de 127 pH réalisées avec différentes lignes de transmission.

Technologie	Impédance caractéristique	atténuation à 35 GHz	permittivité diélectrique	longueur de ligne nécessaire pour réaliser un inductance de 127 pH	SFR	Q _{max}
CMOS μ ruban	70 Ω	0,95 dBmm ⁻¹ à 30 GHz	4,7	250 μm	162 GHz	7,5
CMOS coplaire	88 Ω	0,8 dBmm ⁻¹ à 30 GHz	5,2	200 μm	162 GHz	15
B.C.B. Coplaire	90 Ω	0,5 dBmm ⁻¹ à 30 GHz	2,7	350 μm	162 GHz	20
CMOS H=10 μm	90 Ω	0,6 dBmm ⁻¹ à 30 GHz	5,3	200 μm	162 GHz	25

Les lignes donnant les meilleurs performances simulées en terme d'atténuation sont les lignes sur B.C.B. Toutefois dans l'optique d'une synthèse d'inductances, celles utilisant une technologie à oxyde épais conduisent à un meilleur coefficient de qualité pour une valeur fixée d'inductance. Dans le cas du B.C.B., une forte diminution du coefficient d'atténuation est observée mais la permittivité diélectrique effective est elle aussi divisée par deux. En revanche, lorsque les oxydes sont épais, la diminution du coefficient d'atténuation moindre ne s'accompagne pas d'une diminution de la permittivité diélectrique effective, les lignes sont donc plus courtes et par conséquent le coefficient de qualité de l'inductance synthétisée plus important. Pour notre technologie CMOS standard le choix de la ligne coplanaire s'impose car, son coefficient d'atténuation est plus faible et nous pouvons obtenir des impédances caractéristiques plus élevées.

En compilant les résultats de la table 2 et en extrayant la valeur de la résistance de pertes des inductances formant les lignes de transmission nous calculons un nombre d'amplificateur optimal de 7 étages.

4.2.2.3. Utilisation de la technique de compensation des pertes.

Dans le paragraphe 4.1.3 nous considérons que l'influence de la capacité C_{se} est négligeable, or en très haute fréquence cela n'est plus vrai. Sa présence augmente la partie réelle de l'admittance de sortie de l'amplificateur élémentaire. En effet, le calcul de l'admittance de sortie Y_s d'un amplificateur comme celui de la figure 27 montre que la partie réelle de son admittance de sortie : $(\text{Re}(Y_s))$ s'écrit (46), lorsqu'on néglige la résistance R_e et que l'impédance présentée en entrée de l'amplificateur est purement réelle et s'écrit R_L .

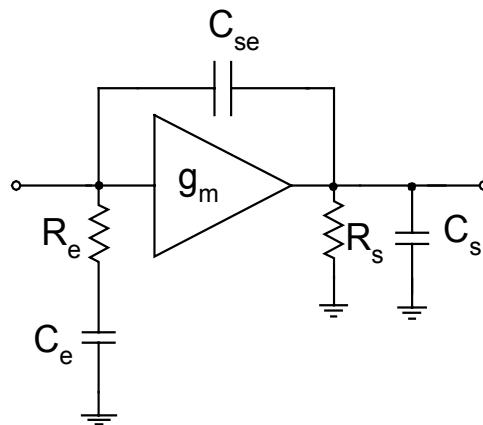


Figure 27 : Amplificateur élémentaire.

$$\text{Re}(Y_s) = \frac{1}{R_s} + \frac{R_L C_{se} (C_e + C_{se}) \omega^2 (1 + R_L g_m + R_L C_e \omega)}{1 + R_L^2 (C_e + C_{se})^2 \omega^2} \quad (46)$$

Nous en déduisons que l'inverse de $\text{Re}(Y_s)$ chute provoquant, une augmentation du coefficient d'atténuation de la ligne de sortie α_s . La technique de compensation des pertes décrite au paragraphe 4.1.3. permet compenser en partie cette augmentation de la valeur de α_s . Les valeurs L_x des trois inductances nécessaires sont suffisamment faibles pour pouvoir être réalisées avec des tronçons de ligne coplanaire de longueur l_x du même type que celles utilisées pour synthétiser les inductances des lignes artificielles.

Nous choisissons leurs valeurs en appliquant les règles suivantes. Pour plus de clarté dans les deux figures suivantes, nous raisonnons sur un schémas équivalent de la sortie de l'étage d'amplification R C série.

- Nous introduisons la ligne de longueur l_3 synthétisant l'inductance L_3 et nous choisissons sa valeur de façon à obtenir une partie réelle de l'impédance la plus faible possible mais positive dans la bande passante. L'introduction de cette inductance crée une partie réelle négative à des fréquences légèrement supérieures à la bande passante qui est susceptible de rendre l'amplificateur instable. La figure 28 montre l'influence de cette inductance sur la partie réelle de l'impédance de sortie.

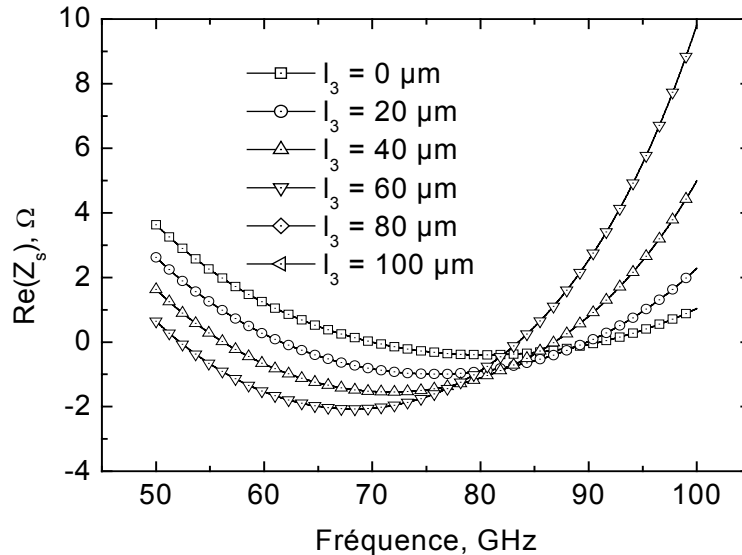


Figure 28 : Influence de la longueur l_3 de la ligne synthétisant l'inductance L_3 sur la partie réelle de l'impédance de sortie.

- Nous introduisons la ligne de longueur l_2 synthétisant l'inductance L_2 et nous choisissons grâce à la figure 29 sa valeur de façon à obtenir la partie réelle de l'impédance de sortie toujours positive.

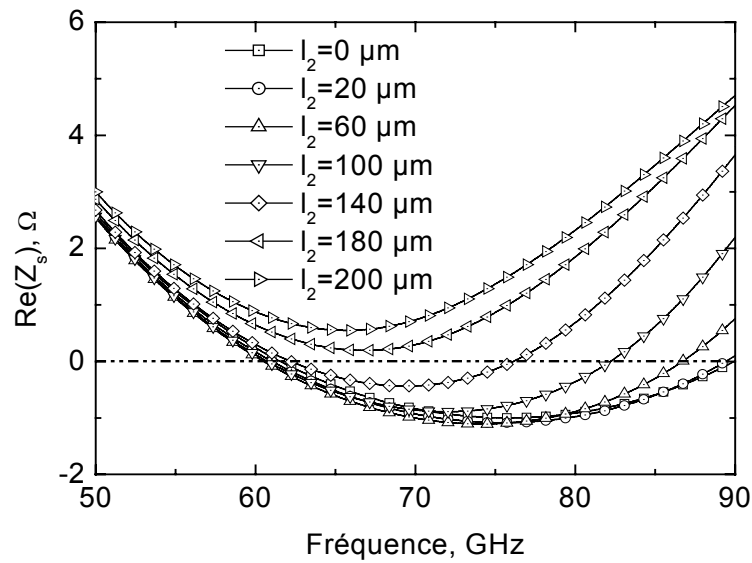


Figure 29 : Influence de la longueur l_2 de la ligne synthétisant l'inductance L sur la partie réelle de l'impédance de sortie.

L'examen de l'adaptation d'entrée de l'amplificateur en haut de bande passante montre qu'une instabilité persiste (voir figure 31).

- Nous introduisons la ligne de longueur l_1 synthétisant l'inductance L_1 et nous choisissons sa valeur pour garantir la stabilité de l'amplificateur et la bande passante maximale à -3dB avec le gain le plus possible en haut de bande passante.

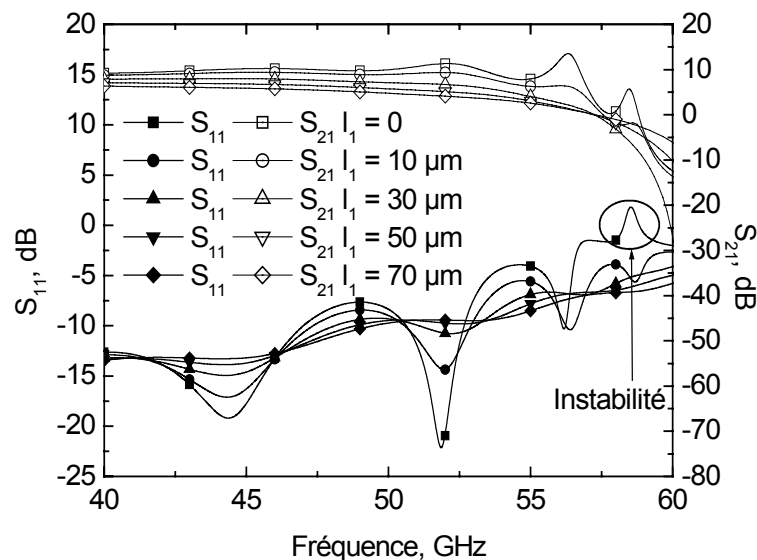


Figure 30 : Influence de la longueur l_1 de la ligne synthétisant l'inductance L_1 sur la partie réelle de l'impédance de sortie.

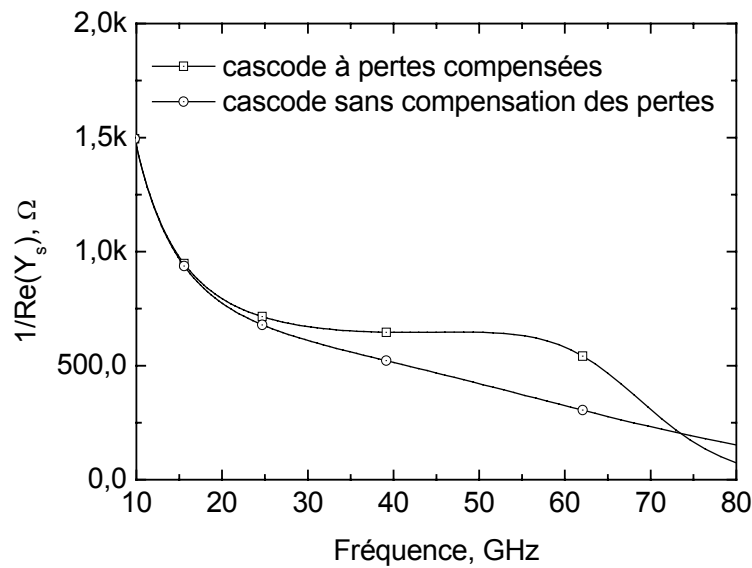


Figure 31 : Comparaison partie réelle de l'impédance de sortie d'un étage d'amplification (schéma parallèle).

En examinant la figure 31 nous déduisons que le principal effet du circuit de compensation des pertes est de réduire la chute de l'inverse de la partie réelle de l'admittance de sortie permettant de minimiser l'augmentation du coefficient d'atténuation de la ligne artificielle de sortie.

Finalement, nous obtenons le schéma électrique de l'étage d'amplification élémentaire suivant.

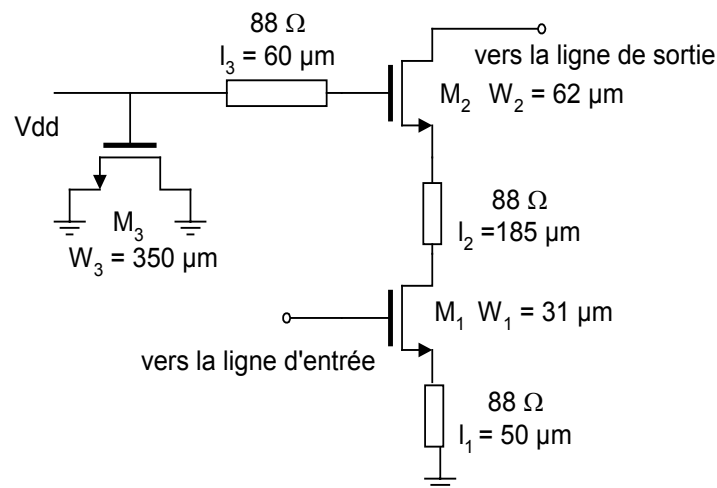


Figure 32 : Amplificateur élémentaire à pertes compensées.

La figure 33 confirme l'influence prévue par la théorie, des circuits de compensation de pertes sur le gain en puissance de l'amplificateur dans la partie haute de la bande passante. L'introduction avec la technologie CMOS à notre disposition nous a permis d'augmenter la bande passante à -3 dB de environ 30 GHz.

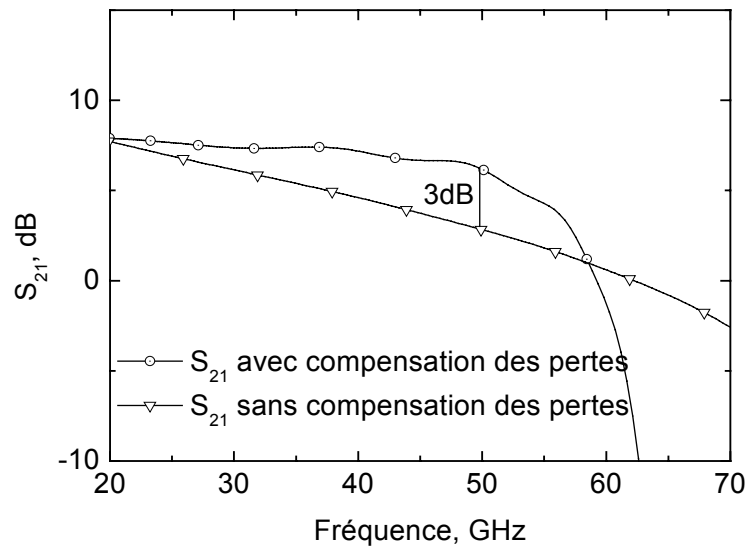


Figure 33 : Effet des circuits de compensation de gain sur le pertes en puissance de l'amplificateur.

4.2.2.4. Implémentation sur silicium.

Le schéma électrique de la figure ci-dessous décrit l'ensemble des composants présents sur le circuit intégré sans les plots d'accès qui permettent la caractérisation sous pointes de l'amplificateur.

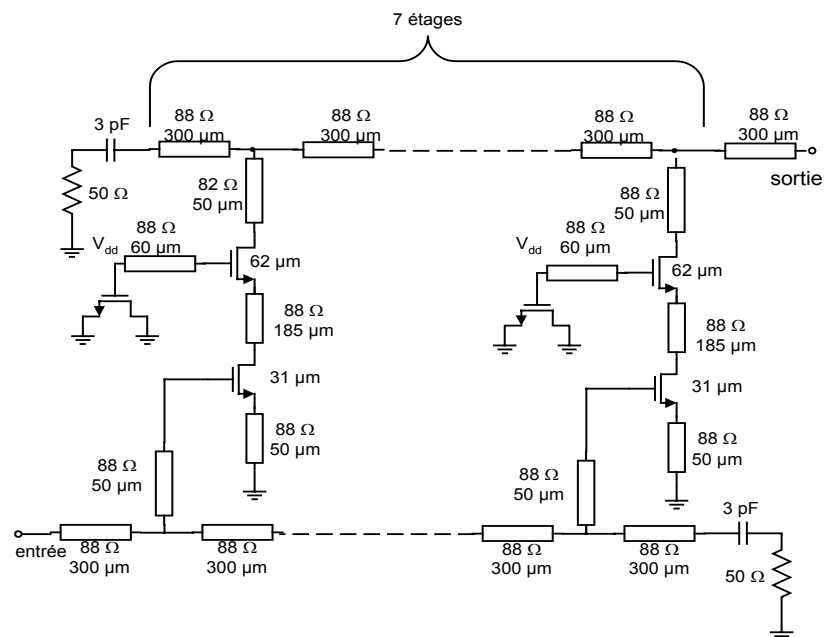


Figure 34 : Schéma électrique de l'amplificateur distribué : Composants implémentés sur le silicium (sans les plots HF).

Nous avons choisi de minimiser le nombre de pont permettant d'éviter la propagation du mode fente afin de limiter la capacité parasite entre la masse et le signal ramenée par ceux-ci. L'effet de ces capacités de quelques femto farad est une réduction du gain en haute fréquence et par conséquent de la bande passante [12]. Nous disposons un pont à chaque discontinuité comme les T et les coudes. Dans

cette configuration lorsque l'on est proche de la fréquence de coupure de l'amplificateur la périodicité des ponts sur les lignes d'entrée et de sortie est d'environ $\lambda/4$.

4.2.3. Résultats de simulations.

Les figures 35 et 36 donnent les performances obtenues en simulations. Chaque T de polarisation est simulé par une inductance de 3 nH et une capacité de 3 pF. Ces simulations tiennent compte des lignes qui ont dû être ajoutées lors du dessin des masques. Le gain en basse fréquence est très dépendant des pertes introduites par les réseaux de polarisation de grille et de drain. Nous ne les optimisons pas de façon à obtenir le gain le plus plat possible dans l'intégralité de la bande passante car les caractérisations que nous effectuons directement sur la tranche de silicium utilisent les T de polarisation de l'analyseur de réseau dont nous ne connaissons pas les pertes.

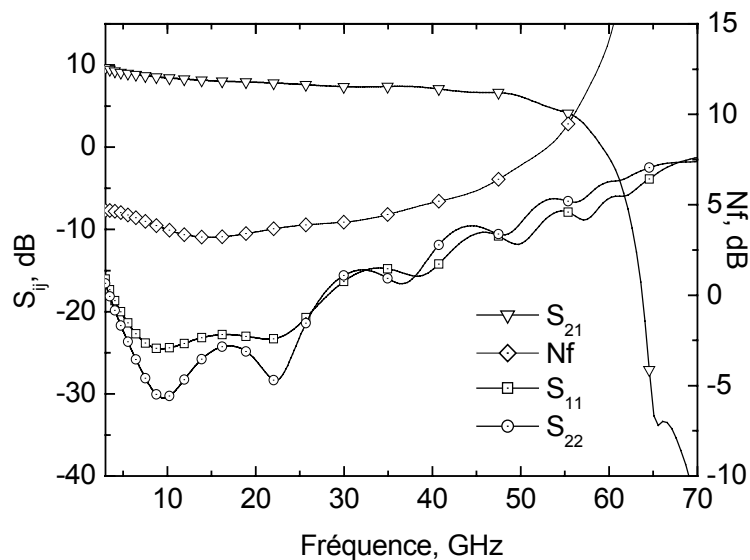


Figure 35 : Performances électriques de notre amplificateur distribué.

Nous obtenons une bande passante simulée de 52 GHz, pour un gain maximum de 8,5 dB dans la bande des 10 GHz. Le temps de groupe de notre amplificateur est lui aussi plat dans la bande de fréquence allant 10 GHz à 40 GHz pour une consommation de 50 mA sous 2,5 V et une surface de $2 \times 0,8 \text{ mm}^2$. La caractérisation de l'amplificateur jusqu'à 40 GHz est présentée en cinquième partie de ce mémoire.

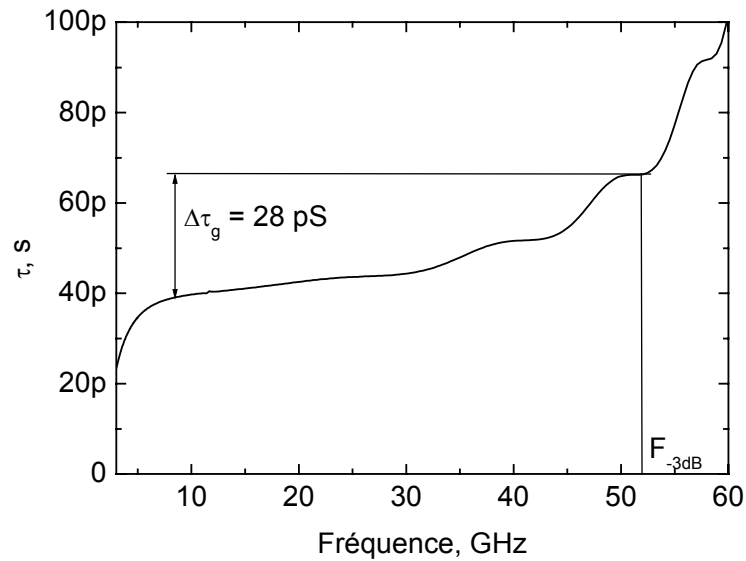


Figure 36 : Temps de groupe de notre amplificateur distribué.

Les performances obtenues en simulation sont récapitulées dans la table ci dessous. Ces simulations n'utilisent que les modèles des transistors de la bibliothèque de composants dont nous disposons. L'ensemble des modèles des lignes de transmission ont été développés à partir de simulations électromagnétiques en utilisant la méthodologie proposée dans le second chapitre de ce mémoire. Nous comparons également les performances que nous obtenons avec celles publiées en technologies CMOS standard et SOI.

Table 6 : Récapitulatif des performances de l'amplificateur distribué pour applications optoélectroniques.

Réf	Ce travail*	[6]**	[4]**
Technologie	CMOS 0,13 μm	CMOS 0,18 μm	CMOS SOI 120 nm
Bande passante à 3dB	5-52 GHz	38 GHz	86 GHz
Gain max (S_{21})	8,5dB	4 dB	9 dB
NF	1,6 dB à 6 GHz 7dB à 50 GHz	non précisé	5,5 dB à 10 GHz 6,5 dB à 18 GHz
Nombres d'étages	7	8	7
Temps de groupe	$\Delta\tau_g=28$ pS	$\Delta\tau_g=15$ pS	non précisé
G*Bande passante	156 GHz	95 GHz	161 GHz
Consommation	130 mW	140 mW	130 mW
Surface	0,8x2,5 mm ²	1,1x3mm ²	1,46x0,72 μm

* Caractéristiques à l'exception du facteur de bruit mesurées jusqu'à 40 GHz.

** Caractéristiques mesurées.

5. Conclusion du chapitre 4.

Dans un premier temps nous proposons une architecture utilisant des filtres LC à inverseurs capacitifs comme circuit d'adaptation permettant le contrôle de bande passante inférieur à 30%. Cette architecture aboutie à des amplificateurs totalement intégrés fournissant un fort gain en tension sur une charge capacitive de fort module. Nous avons illustré les règles de conceptions que nous proposons par la réalisation de deux amplificateurs. Le premier est dédié aux applications UBW pulsées et à une bande passante de 20 % centrée autour de 6 GHz, le second aux applications UWB radar automobile et couvre la bande de fréquence comprise entre 24 GHz et 29 GHz.

Dans un second temps, nous avons présenté les concepts théoriques nécessaire aux dimensionnement d'amplificateurs distribués. Nous avons, en appliquant ces concepts à la technologie CMOS standard dont nous disposons conçu deux amplificateurs. Le premier couvre l'intégralité de la bande passante réservée aux applications ultra large bande (3,1-10,6 GHz). Afin d'augmenter le gain en tension utilisé dans les applications intégrées, nous avons augmenté la valeur de l'impédance caractéristique de sortie. L'étude analytique de la transconductance de l'amplificateur cascode montre qu'il existe une valeur d'impédance maximale réalisable. Le second amplificateur a été conçu avec l'objectif de maximiser la bande passante. Nous avons obtenu une bande passante simulée de 52 GHz grâce à l'utilisation d'amplificateurs cascodes asymétriques permettant d'égaliser les temps de groupe des lignes et l'utilisation de la technique de compensation des pertes.

BIBLIOGRAPHIE.

- [1] Bevilacqua A., Niknejad A. M., "An Ultrawideband CMOS Low-Noise Amplifier for 3.1–10.6 GHz Wireless Receivers," *IEEE Journal of Solid -State Circuits*, Vol: 39 n° 12, pp. 2259-2268, Décembre 2004.
- [2] Ismail A., Adidi A., "A 3–10 GHz Low-Noise Amplifier With Wideband LC-Ladder Matching Network," *IEEE Journal of Solid -State Circuits*, Vol: 39 n° 12, pp. 2269-2277, Décembre 2004.
- [3] Gaubert J., Bourdel S., Pannier P., Barthélemy H., Battista M., Egels M., "Méthode de conception pour amplificateurs faible bruit pour systèmes intégrés UWB 3.1-10.6 GHz," présenté à TAISA 2005, Marseille, Octobre 2005.
- [4] Plouchart J. O., Kim J., Zamdmer N., Lu L. H., Sherony M., Tan Y., Groves R. A., Trzcinski R., Talbi M., "A 4–91 GHz Traveling-Wave Amplifier in a Standard 0.12 μm SOI CMOS Microprocessor Technology," *IEEE Journal of Solid -State Circuits*, Vol: 39 n° 6, pp. 1455-1461, Septembre 2004.
- [5] Ellinger F., "60 GHz SOI CMOS Traveling-Wave Amplifier With NF Below 3.8 dB From 0.1 to 40 GHz," *IEEE Journal of Solid -State Circuits*, Vol: 40 n° 2, pp. 553-558, Février 2005.
- [6] Shigematsu H., Sato M., Hirose T., Brewer F., Rodwell M., "40 Gb/s CMOS Distributed Amplifier for Fiber-Optic Communication Systems," présenté à 2004 IEEE International Solid-State Circuits Conference, 2004.
- [7] Zhang F., Kinget P., "Low Power Programmable-Gain CMOS Distributed LNA for Ultra-Wideband Applications," présenté à 2005 Symposium on VLSI Circuits, 2005.
- [8] Liu R. C., Lin C.S, Deng K. L., Wang H., "A 0.5-14 GHz 10.6 dB CMOS cascode distributed amplifier," présenté à VLSI Circuits Dig o Tech Papers, 2003.
- [9] Zverev A. I., Handbook of Filter Synthesis, édité par Wiley and Son, 1967.
- [10] Janssen J., Steyaert M., "Optimum MOS power matching by exploiting non-quasistatic effect," *IEE Electronics Letters*, Vol: 35 n° 8, pp. 671-672, 15 Avril 1999.
- [11] Sheaffer D. K., "The Design and implementation of Low-Power CMOS Radio Receivers" Thèse de l'université de Stanford, présentée en 1998, 244 Pages.
- [12] Meliani C., "Circuits intégrés amplificateurs à base de transistors HEMT pour transmissions numériques à très haut débit (>40Gbit/d)" Thèse de l'université de Paris VII Denis Diderot, présentée en 2003, 187 Pages.
- [13] Viallon C., "Optimisation des structures différentielles en technologie SiGe pour applications en bande millimétrique. Application à la conception d'un mélangeur doublement équilibré en bande K." Thèse de l'université de Toulouse Paul Sabatier, présentée en 2003, Pages.
- [14] Masuda S., Hirose T., Akahashi T., Nishi M., Yokokama S., Lijima S., "An Over 110 GHz InP HMT Flip-chip Distributed Baseband Amplifier with Inverted Microstrip Line Structure for Optical Transmission Systems," présenté à GaAs Digest, 2002.
- [15] Duperrier C., "Développement d'un logiciel d'assistance à la conception des circuits non linéaires microondes. Application à l'amplification distribuée non uniforme de puissance à très large bande en technologie MMIC." Thèse de l'université de Limoge, présentée en 2001, 256 Pages.
- [16] Kimura S., Imai Y., Umeda Y., Enoki T., "Loss-Compensated Distributed Baseband Amplifier IC's for Optical Transmission Systems," *IEEE Transactions on Microwave Theory and Techniques*, Vol: 44 n° 11, pp. 1688-1693, Novembre 1996.
- [17] Heydari P., "A Study of Low-Power Ultra Wideband Radio Transceiver Architectures," présenté à IEEE Wireless Communications and Networking Conference, New Orleans USA, 2005.
- [18] Dürr W., Erben U., Schüppen A., Dietrich H., Schumacher H., "Investigation of Microstrip and Coplanar Transmission Lines on Lossy Silicon Substrates Without Backside Metallization," *IEEE Transactions on Microwave Theory and Techniques*, Vol: 46 n° 5, pp. 712-715, Mai 1998.
- [19] Six G., "Optimisation d'une technologie 3D pour la réalisation de circuits intégrés millimétriques sur substrat de silicium" Thèse de l'université de Lille, présentée en 2004, 122 Pages.

CHAPITRE V

Caractérisation

SOMMAIRE

1. Introduction.	165
2. Méthodes de mesure.	166
2.1. Mesures à l'analyseur de réseau.	166
2.2. Mesure du facteur de bruit.	168
3. Caractérisation des motifs de test.	169
3.1. Structures passives.	169
3.1.1. Inductance de 1,3 nH.	169
3.1.2. Lignes coplanaires.	172
3.1.2.1. Description des lignes implémentées	172
3.1.2.2. Résultats de mesure.	172
3.2. Transistors.	173
3.2.1. Description.	173
3.2.2. Résultats.	174
4. Amplificateurs	175
4.1. Amplificateur faible bruit 2,45GHz.	175
4.2. Amplificateur faible bruit large bande fonctionnant dans la bande 7-9 GHz.	178
5. Amplificateur distribué à produit gain bande passante maximal.	179
6. Conclusion.	181

1. Introduction.

Dans ce chapitre, nous présentons la caractérisation des différents circuits et motifs de test réalisés. Les circuits de test comprennent des motifs élémentaires constitués de trois lignes coplanaires, d'un transistor de dimensions $100\text{ }\mu\text{m} \times 0,13\text{ }\mu\text{m}$ et d'une inductance de $1,3\text{ nH}$. Leurs caractérisations sont destinées à la validation des simulations électromagnétiques de ligne, à l'extraction du modèle d'une inductance et à la vérification des gains en courant et en puissance disponible et des paramètres S du transistor $100\text{ }\mu\text{m} \times 0,13\text{ }\mu\text{m}$. Ces vérifications nous permettent de rechercher les causes de dysfonctionnements éventuels des amplificateurs fabriqués. Ces circuits contiennent les amplificateurs fonctionnant à $2,45\text{ GHz}$, un amplificateur large bande fonctionnant dans la bande $7\text{-}9\text{ GHz}$ et l'amplificateur distribué à bande passante maximale.

Nous mesurons l'ensemble des structures de tests à l'analyseur de réseau. L'inductance de $1,3\text{ nH}$ et l'amplificateur faible bruit fonctionnant à $2,45\text{ GHz}$ sont caractérisés avec un analyseur Agilent 8720ES jusqu'à 20 GHz . Toutes les autres structures sont caractérisées à l'aide d'un analyseur de réseau Agilent PNA 8361A de bande passante $10\text{ MHz-}67\text{ GHz}$. A l'heure actuelle, ne possédant que des pointes et de câbles K de bande passante 40 GHz , nous ne présentons nos mesures que jusqu'à 40 GHz . Les mesures de facteurs de bruit sont réalisées par la méthode des deux températures avec un analyseur de Spectre Agilent E446A.

Dans un premier temps, nous décrivons les méthodes et les procédures de caractérisation que nous employons.

Dans un second temps, nous présentons la caractérisation des différents motifs élémentaires implémentés sur le circuit de test.

Dans un troisième temps, nous exposons les résultats des mesures des différents amplificateurs fabriqués.

2. Méthodes de mesure.

Nous présentons succinctement le banc ainsi que les méthodes de mesures que nous employons pour caractériser nos dispositifs. Toutes nos mesures sont réalisées grâce à une station sous pointes munie de micro positionneurs dont la photographie est donnée figure 1. Les dispositifs sous test sont connectés aux appareils de mesure par des câbles K et des pointes Cascade Infinity GSG 100. Avec cet équipement, nous pouvons caractériser nos dispositifs jusqu'à 40 GHz.

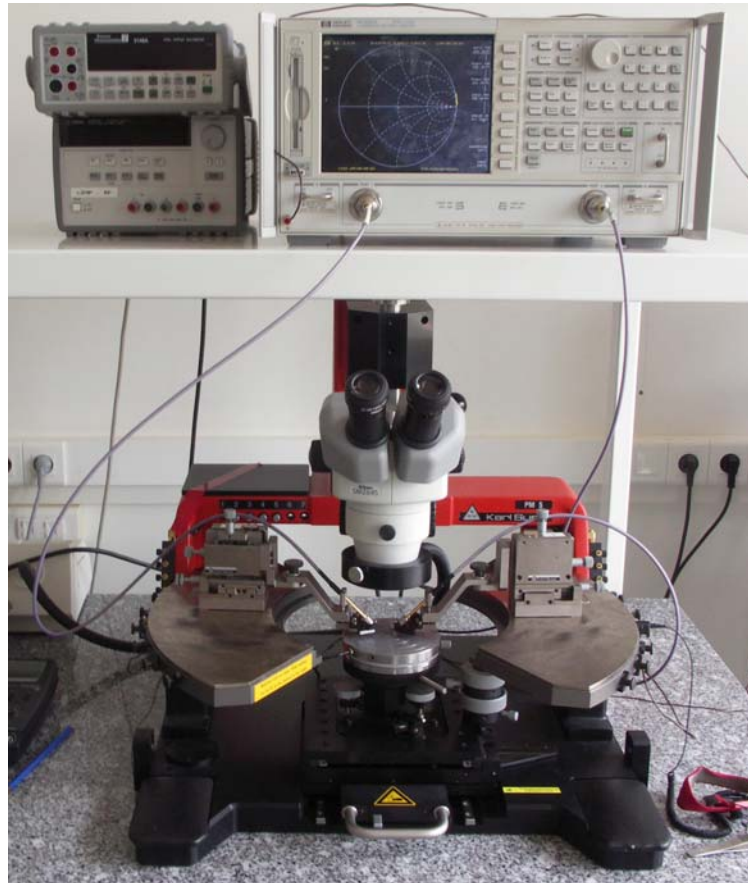


Figure 1 : Photographie du banc de mesure sous pointe.

2.1. Mesures à l'analyseur de réseau.

Pour toutes les mesures à l'analyseur de réseau effectuées, nous supprimons les erreurs systématiques de mesures introduites par les câbles, les pointes et l'analyseur de réseau par un étalonnage S.O.L.T. (court-circuit, circuit-ouvert, charge adaptée et ligne de longueur nulle). Cet étalonnage permet de définir les plans de référence de la mesure dans les plans définis par les extrémités des pointes. Pour plus de détails le lecteur peut se reporter à la référence [1]. Lors de la caractérisation des différentes structures de test, nous mesurons les dispositifs avec leurs plots d'accès coplanaires. Lors de la mesure de nos dispositifs, nous caractérisons la structure avec sa monture dont le schéma de la figure 2 donne la description de d'accès. Chaque accès est constitué d'un plot et d'une ligne de transmission connectée au dispositif sous test (figure 2 b).

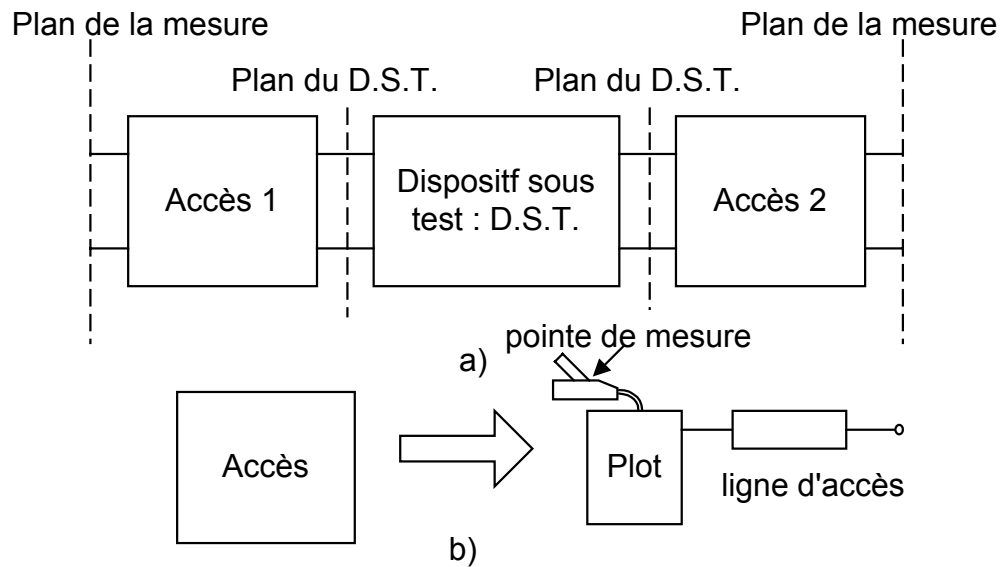


Figure 2 : a) Configuration de mesure
b) Modèle équivalent d'un accès

Dans le but de confronter les modèles aux mesures, nous devons soustraire l'influence de la monture de test constituée des accès 1 et 2 entre lesquels est inséré le D.S.T. Pour cela nous considérons que chaque accès est modélisé par une impédance parallèle capacitive représentant le plot connecté en cascade avec une impédance série inductive.

Dans le but de caractériser ces accès, nous séparément réalisons deux mesures.

1. La mesure de l'accès chargé par un court-circuit dans le plan du D.S.T. permet de déterminer l'impédance série inductive.
2. La mesure de l'accès chargé par un circuit-ouvert dans le plan du D.S.T. permet de déterminer l'impédance parallèle inductive.

Nous obtenons trois matrices S , celle de la monture avec le dispositif sous test (D.S.T.) notée S_{mes} , celle des courts circuits S_{cc} , et celle des circuits ouverts S_{co} . Les différentes matrices impédances Z et admittances Y associées sont notées Y_{mes} , Y_{cc} , Y_{co} , Z_{mes} , Z_{co} et Z_{cc} . Nous utilisons une procédure d'épluchage matriciel pour obtenir les matrices S , Z et Y notées S_{dst} , Z_{dst} et Y_{dst} du DST. Nous notons également les opérations de conversion matricielle de la matrice A vers la matrice B : $A \tilde{N} B$. Avec ces différentes notations la matrice S_{dst} du DST est obtenue par la série d'opérations matricielles successives donnée par la relation (1).

$$\begin{aligned}
Y_{dut} &= S \rightarrow Y(S_{dut}) \\
Y_{co} &= S \rightarrow Y(S_{co}) \\
Z_{cc} &= S \rightarrow Z(S_{cc}) \\
Y_1 &= Y_{dut} - Y_{co} \\
Z_1 &= Y \rightarrow Z(Y_1) \\
Z_{dst} &= Z_1 - Z_{cc} \\
S_{dst} &= Z \rightarrow S(Z_{dst})
\end{aligned} \tag{1}$$

2.2.Mesure du facteur de bruit.

Nous réalisons les mesures du facteur de bruit de nos différents amplificateurs par la méthode des deux températures qui consiste à mesurer la puissance de bruit en sortie pour deux températures équivalentes de bruit différentes du générateur. Le générateur est une diode de bruit dont la polarisation permet de modifier sa température équivalente de bruit. Pour plus de détail cette méthode de mesure de facteur de bruit le lecteur peut se reporter à la référence [1]. Nous disposons d'un analyseur de spectre Agilent E446A pour mesurer la puissance de bruit. Le banc de mesure décrit figure 3 est constitué de la diode de bruit connectée par l'intermédiaire d'un câble K et d'une pointe RF à l'entrée du D.S.T. La sortie du D.S.T. est connecté par un ensemble câble K pointe RF à l'analyseur de spectre. Les mesures et l'étalonnage du banc sont automatiques.

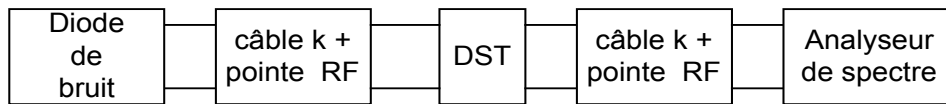


Figure 3 : Représentation sous forme de quadripôles du banc de mesure de bruit.

Pour réaliser les mesures nous devons tout d'abord étalonner le banc de mesure, cette opération est faite de manière automatique par l'analyseur de spectre en lui connectant directement la diode de bruit. Lorsque cet étalonnage est effectué l'analyseur de spectre donne le facteur de bruit et le gain en puissance disponible du quadripôle formé par la mise en cascade d'un ensemble câble K + pointes RF, du D.S.T. et d'un second ensemble câble k + pointes RF. Pour extraire le facteur de bruit du D.S.T. nous devons connaître l'atténuation d'un ensemble câble k+pointe RF. Nous la déterminons par la mesure de l'atténuation de l'ensemble câble K + pointe RF effectuée de la façon suivante. A l'aide d'un étalonnage coaxial S.O.L.T. dans les plans de références formés par deux câbles coaxiaux 3,5 mm nous mesurons l'atténuation des deux câbles K et des deux pointes posées sur le standard « liaison directe » d'un substrat d'étalonnage. Nous obtenons alors le graphe de la figure 4 donnant l'atténuation des deux ensembles câbles k+pointes. Nous notons A_t l'atténuation d'un ensemble câble + pointes RF.

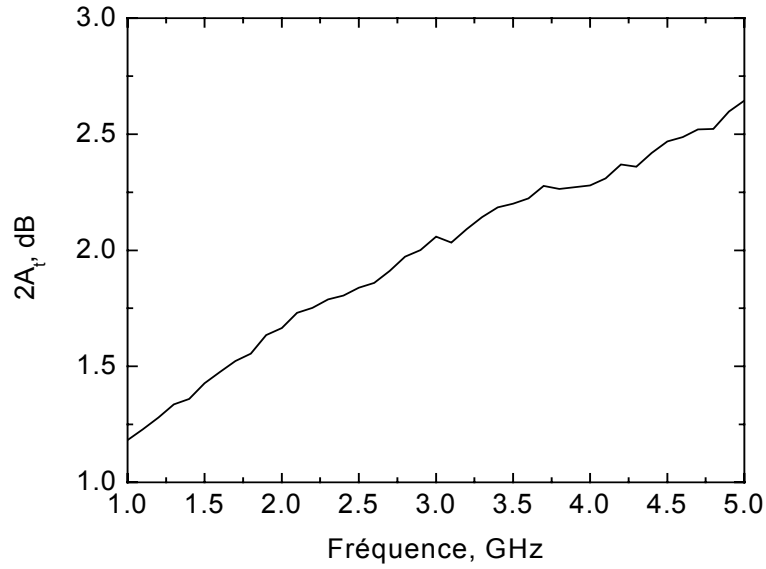


Figure 4 : Atténuation de 2 câbles K + 2 pointes

Nous connaissons maintenant tous les éléments nécessaires à la correction du gain en puissance disponible et du facteur de bruit du D.S.T. Nous exprimons à l'aide de la formule de Friss [2] le facteur de bruit mesuré F_{mes} donné par la relation (2) en fonction des caractéristiques de chaque quadripôle formant le banc de mesure décrit par la figure 3. Nous en déduisons la relation (3) qui donne le facteur de bruit du D.S.T., en notant G_{disp} le gain en puissance disponible.

$$F_{mes} = A_t + (F_{dst} - 1) A_t + \frac{A_t (A_t - 1)}{G_{disp}^{dst}} \quad (2)$$

$$F_{dst} = 1 + \frac{1}{A_t} \left(F_{mes} - A_t - \frac{A_t (A_t - 1)}{G_{disp}^{dst}} \right) \quad (3)$$

3. Caractérisation des motifs de test.

Nous présentons maintenant les caractéristiques des motifs de test destinés à valider les modèles des composants élémentaires implémentés.

3.1. Structures passives.

3.1.1. Inductance de 1,3 nH.

Nous n'extrayons de l'inductance que sa valeur L et son facteur de qualité, autour de la fréquence d'utilisation de 2,45 GHz. En raisonnant sur le schéma équivalent d'une inductance spirale (voir figure 5) nous extrayons la valeur de l'inductance L grâce à la relation (4).

$$L = \Im m \left(\frac{-1}{Y_{12}^{bf}} \right) / 2\pi f \quad (4)$$

Pour évaluer le facteur de qualité de l'inductance, nous utilisons l'expression approchée (5) rappelée par Kenneth [3].

$$Q = -\frac{\Im m(Y_{11})}{\Re e(Y_{11})} \quad (5)$$

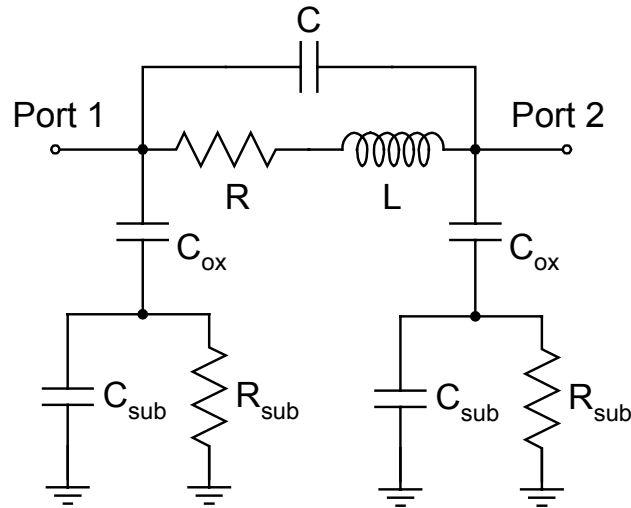


Figure 5 : Schéma équivalent d'une inductance spirale intégrée.

Sur les figures 6 et 7 nous confrontons les valeurs de L et de Q extraites de l'inductance de 1,3 nH de deux tours fabriquée et du modèle de la bibliothèque de composants dont nous disposons.

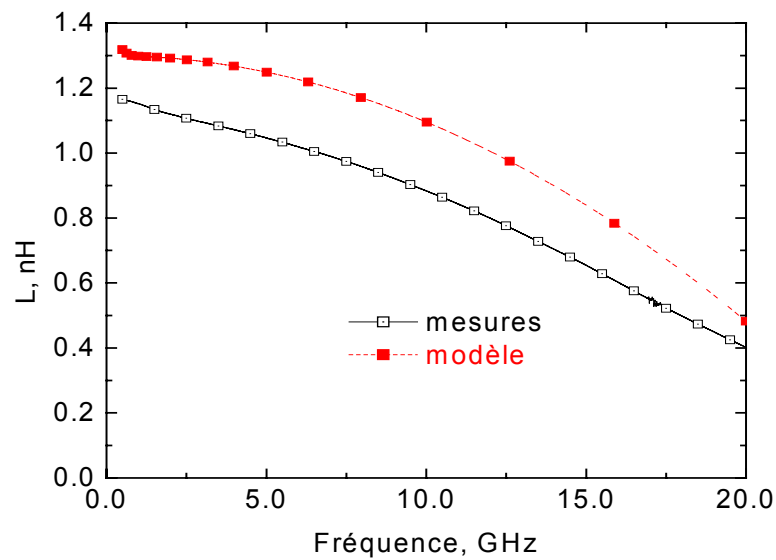


Figure 6 : Comparaison des valeurs extraites de la mesure et du modèle d'une inductance de 1,3 nH.

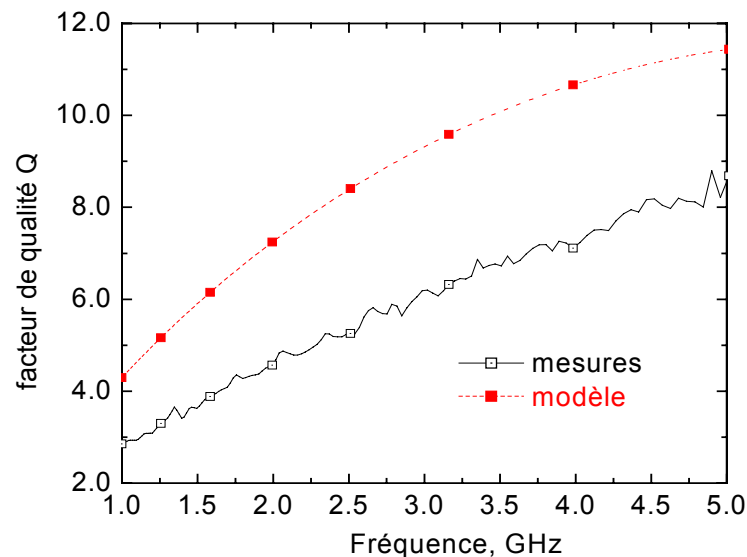


Figure 7 : Comparaison des valeurs du facteur de qualité extrait de la mesure et du modèle fondeur d'une inductance de 1,3 nH.

L'examen des figures 6 et 7 montre une valeur mesurée du facteur de qualité Q inférieure de 40 % et une diminution de la valeur de L de 10 % à celles prévues par le modèle paramétrable dont nous disposons. La structure de mesure que nous utilisons contient un plan de masse constitué de rubans métalliques formant une boucle métallique fermée qui n'est pas prise en compte par le modèle dont nous disposons. Cette configuration de mesure est illustrée par la microphotographie de l'inductance de la figure 8.

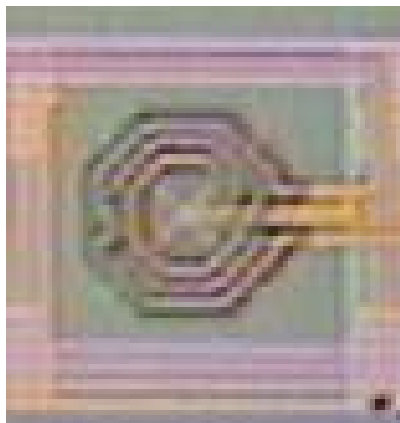


Figure 8 : Inductance avec plan de masse à proximité.

Une étude sur l'influence de la proximité du plan de masse qui repose sur des simulations électromagnétiques est en cours au laboratoire. Les premiers résultats montrent que la chute du coefficient de qualité est explicable par la création de courants induits dans le plan de masse lorsque celui-ci est trop proche de l'inductance. Ces courants provoquent une chute de la valeur de l'inductance par la création d'un flux contraire. Ce flux contraire augmente également la résistance de perte métallique de l'inductance et dégrade le facteur de qualité de l'inductance.

3.1.2. Lignes coplanaires.

3.1.2.1. Description des lignes implémentées

Nous avons implémenté trois lignes coplanaires destinées à valider les modèles issus de simulations électromagnétiques que nous proposons. Les deux lignes d'impédance caractéristique $27\ \Omega$ et $88\ \Omega$ mesurent toutes les deux 2 mm et la troisième ligne d'impédance caractéristique $50\ \Omega$ mesure $500\ \mu\text{m}$. Nous disposons également des structures permettant de supprimer l'influence des plots de mesure et des 50 premiers micromètres de lignes. Ce changement de plan de référence permet de s'affranchir des parasites introduit par la modification du gap des lignes imposé par la configuration des plots de mesure. La photographie de la figure 9 montre les structures de test et les lignes implémentées.

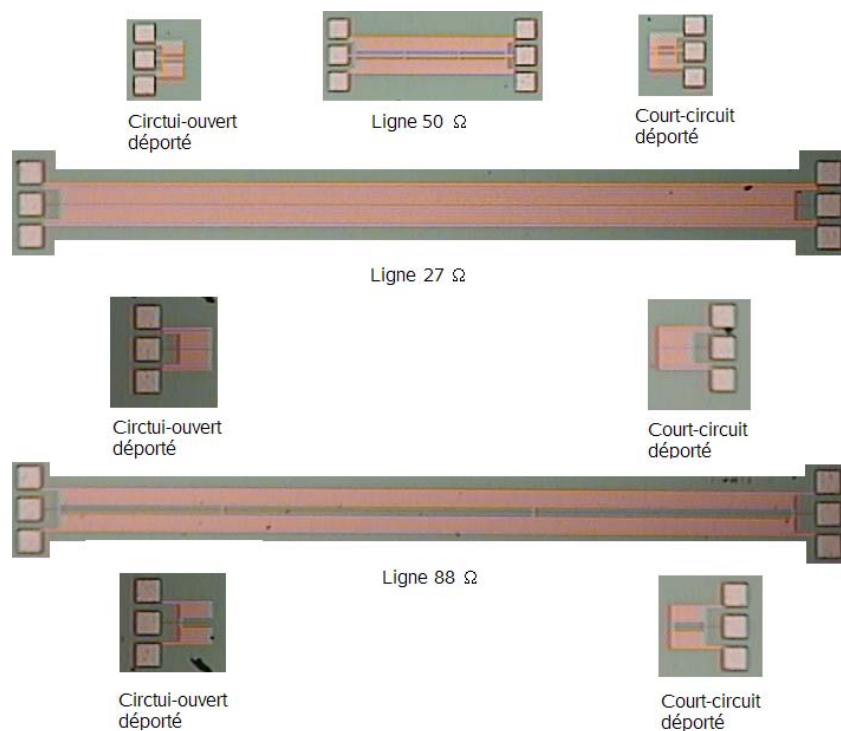


Figure 9 : Photographie des lignes coplanaires avec leurs structures de test.

3.1.2.2. Résultats de mesure.

Nous extrayons les paramètres secondaires de chaque ligne par la méthode exposée dans le second chapitre après épluchage des accès. Nous obtenons un bon accord avec les modèles que nous avons développés qui tiennent compte des résistances basses fréquences. Les figures 10 et 11 nous permettent de comparer les impédances caractéristiques extraites des mesures et les coefficients d'atténuation des trois lignes avec les résultats obtenus par le modèle TLINP du logiciel A.D.S. Nous obtenons un bon accord entre la mesure et la modélisation jusqu'à environ 30 GHz .

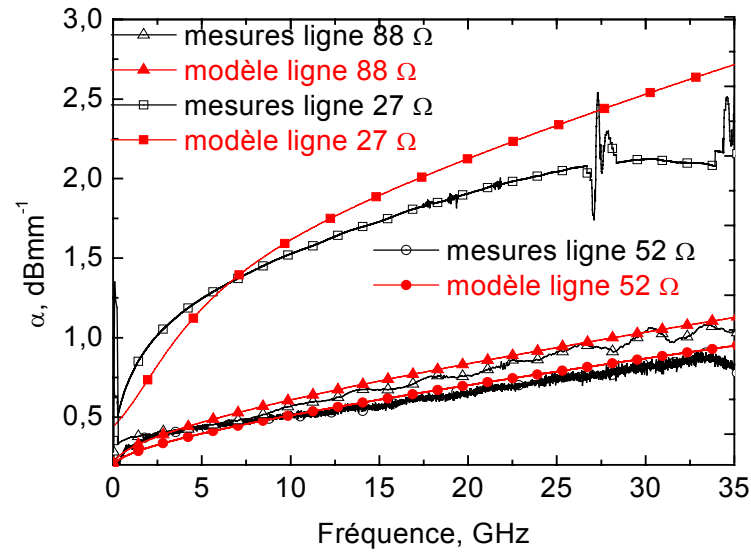


Figure 10 : Coefficient d'atténuation des lignes coplanaires.

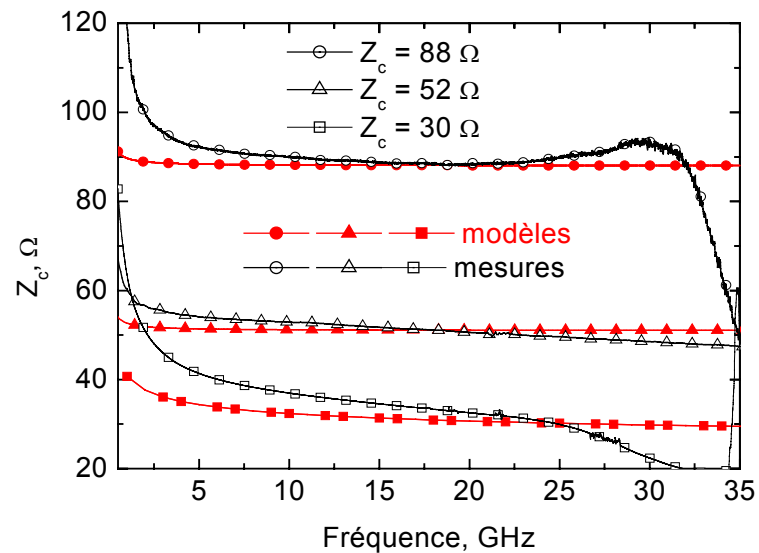


Figure 11 : Impédance caractéristique des lignes coplanaires.

Nous attribuons la chute de l'impédance caractéristique des 2 lignes de 2 mm à un mode de résonance du support de mesure proche de 35 GHz qui n'est pas excité lors de la mesure de la ligne 50 Ω mesurant 500 μm. En effet, nous ne disposons que d'un support de circuit qui comporte des rainures concentriques dont les dimensions permettent l'excitation d'un mode de cavité vers 35 GHz.

3.2. Transistors.

3.2.1. Description.

Nos circuits de test comprennent les trois montures de test permettant l'extraction des paramètres S d'un transistor de géométrie 0,13 μm x 100 μm connecté en configuration source commune polarisé par les T de l'analyseur de réseaux. La figure 12 a) en donne une vue du dessin des masques. Comme les

accès de grille et de drain ne sont pas symétriques, nous implémentons la structure d'épluchage deux fois, la première comprend un accès de drain court-circuité et un accès de grille en circuit ouvert (figure 12 b), la seconde comporte les mêmes accès mais les circuit-ouverts et les court-circuits sont permutés (figure 12 c).

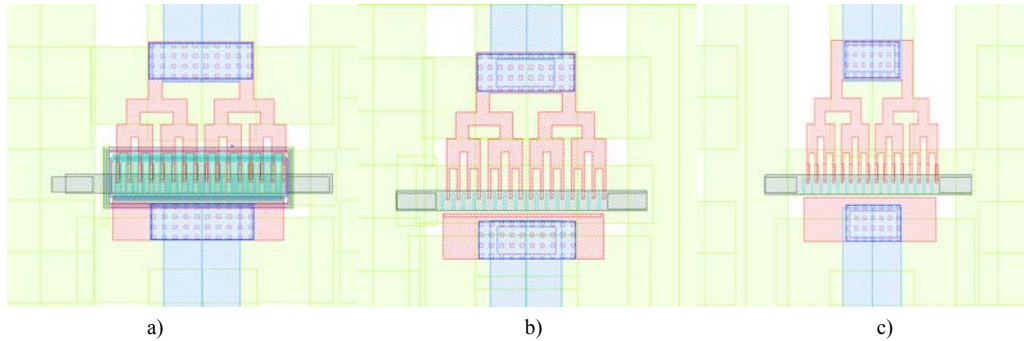


Figure 12 : a) Monture avec transistor connecté en source commune.

b) Monture avec CC sur le drain et CO sur la grille.

c) Monture avec CO sur le drain et CC sur la grille.

3.2.2. Résultats.

Grâce à la mesure des trois structures nous pouvons extraire les paramètres S présentés figure 13 et les figures de mérite de la figure 14.

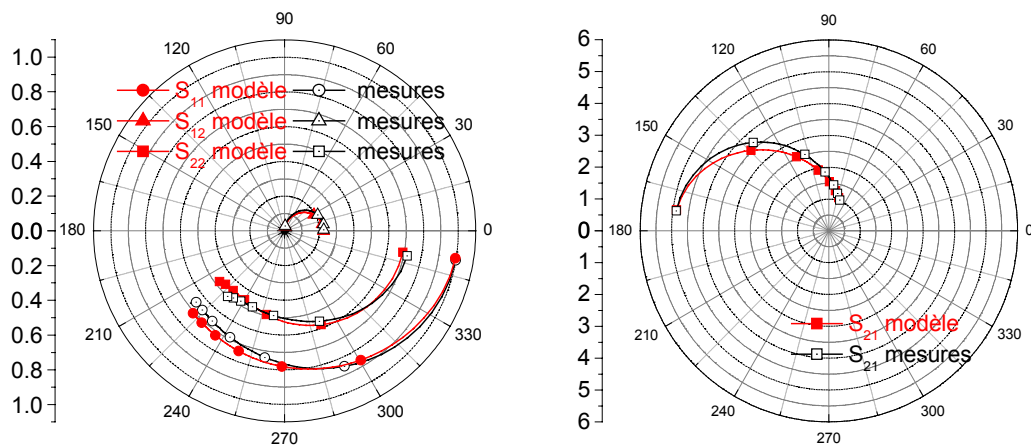


Figure 13 : Comparaison des paramètres S modèle fondeur mesures $W = 100 \mu\text{m}$ $L = 0,13 \mu\text{m}$ $V_{ds} = 1,2 \text{ V}$ et $I_{ds} = 9 \text{ mA}$.

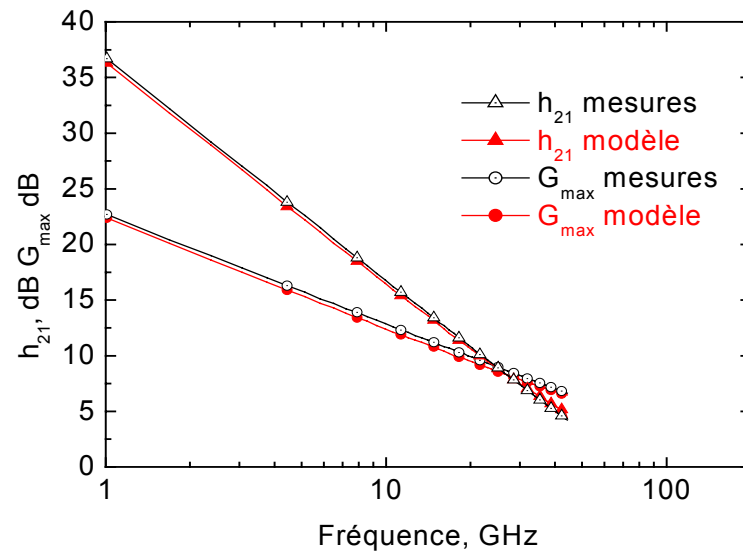


Figure 14 : Comparaison des paramètres G_{max} et h_{21} modèle fondeur mesures $W = 100 \mu\text{m}$ $L = 0,13 \mu\text{m}$ $V_{ds} = 1,2 \text{ V}$ et $I_{ds} = 9 \text{ mA}$.

Nous observons un bon accord entre les paramètres extraits de la mesure et ceux prévus par les simulations. Par prolongement de la courbe du gain en courant (h_{21}) nous trouvons une valeur de $F_T = 67,3 \text{ GHz}$ contre 71 GHz prévus par le modèle pour un courant de polarisation à 9 mA sous $1,2 \text{ V}$. Il n'est pas possible d'extraire la fréquence F_{MAX} directement de la mesure car le gain G_{MAX} est un gain maximum stable puisque le transistor n'est pas inconditionnellement stable.

4. Amplificateurs

4.1. Amplificateur faible bruit 2,45GHz.

Nous avons caractérisé l'amplificateur dont la photographie est donnée par la figure 15 à l'aide d'un analyseur de réseau 8720 Agilent et d'une station sous pointes. Aucune procédure d'épluchage est nécessaire puisque la conception tient compte des plots d'accès.

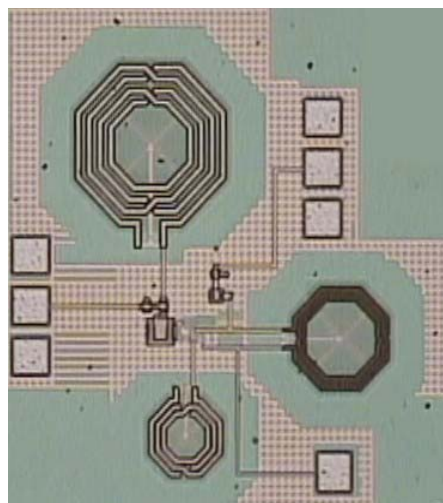


Figure 15 : Photographie du LNA fonctionnant à $2,45 \text{ GHz}$.

Nous obtenons les résultats de la figure 16 qui montrent une déviation de la fréquence centrale de fonctionnement de l'amplificateur de 150 MHz vers les hautes fréquences et une chute du gain d'environ 5 dB.

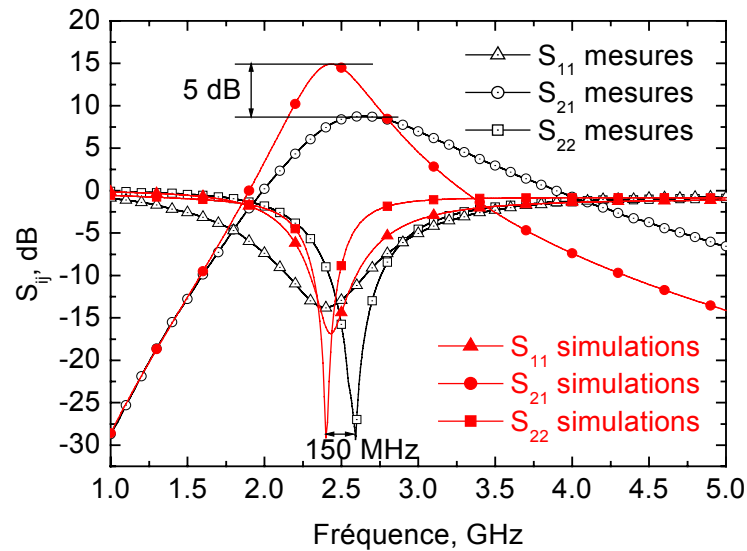


Figure 16 : Comparaison mesure simulation des paramètres S de l'amplificateur fonctionnant à 2,45GHz.

Nous mesurons également le facteur de bruit de l'amplificateur dont nous présentons les résultats corrigés par la procédure donnée au paragraphe 2.2. de ce chapitre, nous observons une augmentation de 1 dB par rapport à la valeur prévue par les simulations.

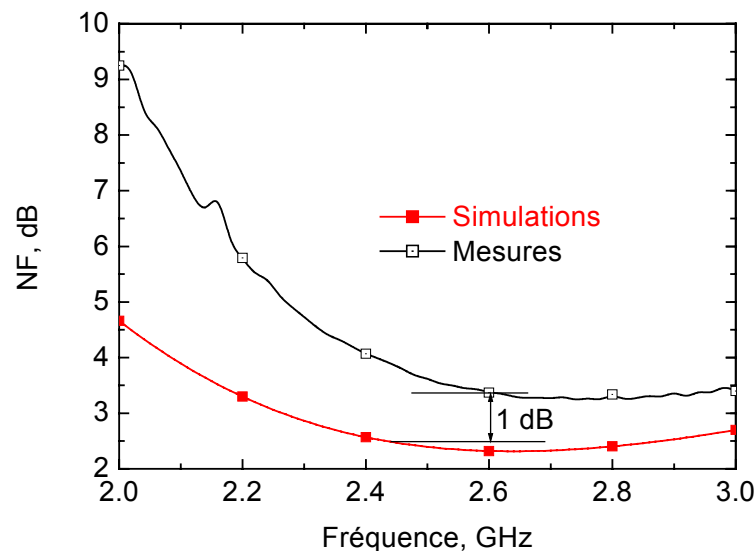


Figure 17 : Comparaison mesure simulation du facteur de bruit de l'amplificateur fonctionnant à 2,45GHz

La caractérisation d'une inductance nous permet de montrer que la proximité du plan de masse fait diminuer sa valeur de 10% et son coefficient de qualité de 40%. En injectant ces résultats dans les simulation de notre circuit nous obtenons les résultats des figures 18 et 19. La comparaison avec les performances mesurées semble confirmée notre hypothèse de la modification du facteur de qualité des

inductances.

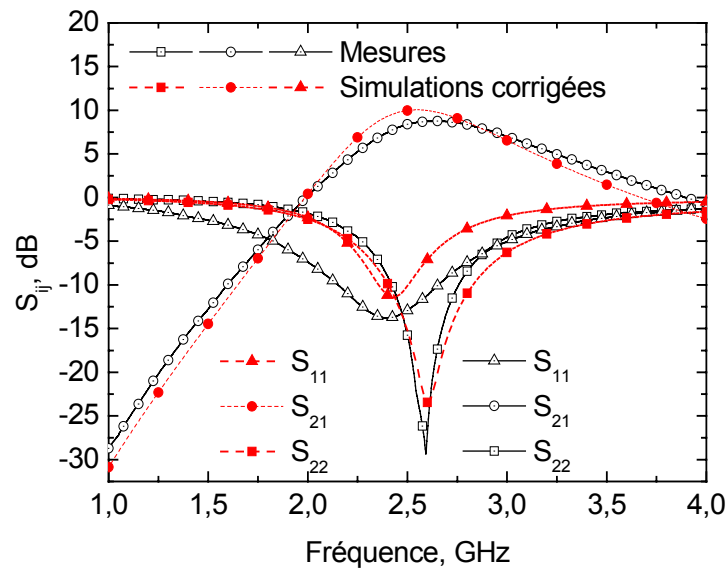


Figure 18 : Comparaison des paramètres S mesures simulations avec correction du facteur de qualité des inductances.

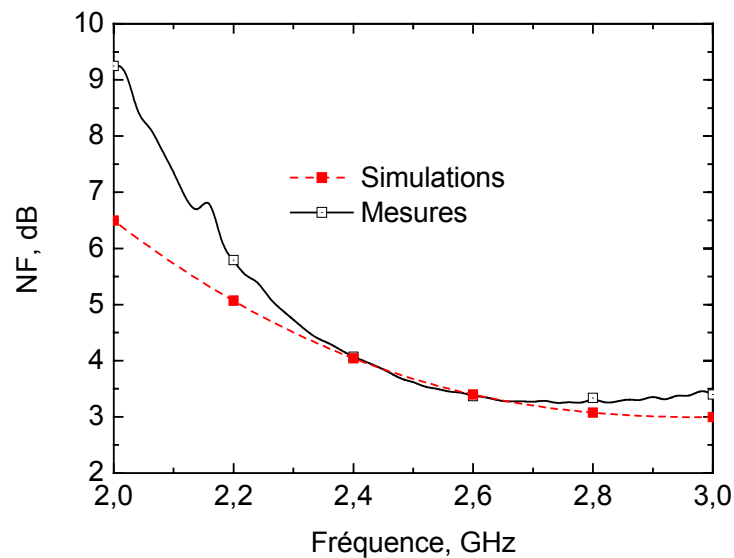


Figure 19 : Comparaison du facteur de bruit mesuré simulé avec correction du facteur de qualité des inductances.

Afin de valider ces conclusions, nous avons supprimé une partie du plan de masse autour de l'inductance du circuit d'adaptation d'entrée puis nous avons remesuré le facteur de bruit de l'amplificateur. Les résultats obtenus (figure 20) confirment que la présence du plan de masse trop proche de l'inductance dégrade le facteur de bruit de l'amplificateur.

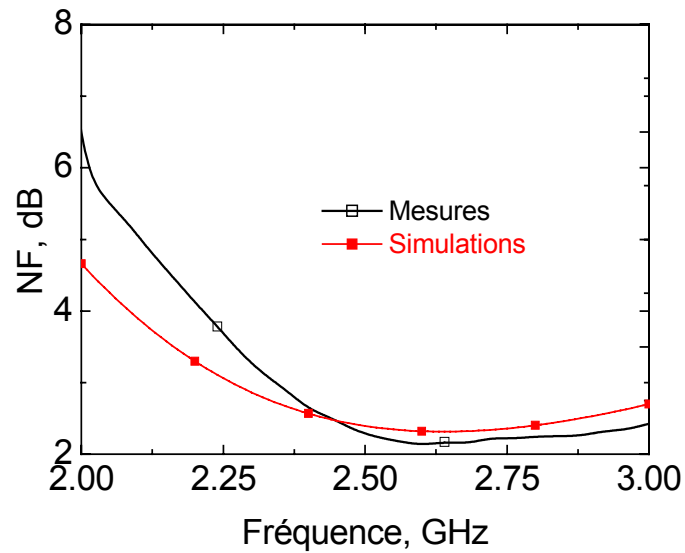


Figure 20 : Comparaison des facteurs de bruit mesuré après retouches métal et simulé.

4.2. Amplificateur faible bruit large bande fonctionnant dans la bande 7-9 GHz.

Nous avons implémenté une version légèrement différente l'amplificateur présentée au paragraphe 3.3.1. du quatrième chapitre de ce mémoire. La seule différence est une légère translation de la bande passante vers les hautes fréquences. La figure 20 donne la microphotographie de l'amplificateur et la figure 21 la comparaison entre les mesures et les simulations.

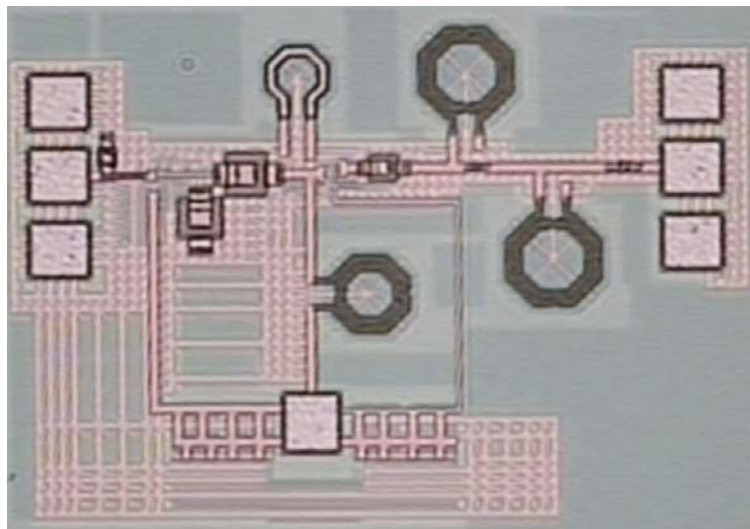


Figure 21 : Microphotographie de l'amplificateur faible bruit large bande 7-9 GHz.

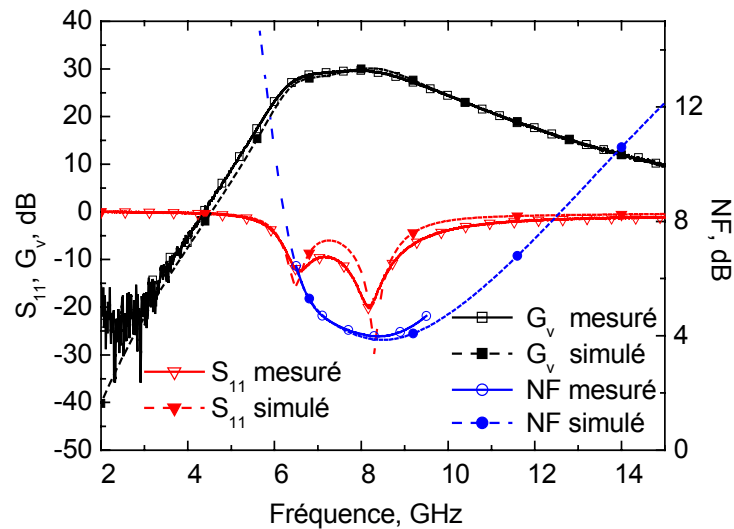


Figure 22 : Comparaison mesure simulation des performances électrique de l'amplificateur fonctionnant dans la bande 6,8-8,8 GHz.

Nous observons un bon accord entre les performances obtenues en simulation et celles mesurées. Seul une légère dégradation du facteur de bruit de 0,5 dB en haut de la bande passante est observée. La table ci-dessous récapitule les performances mesurées.

Table 1 : Récapitulatif des performances électriques mesurée de l'amplificateur fonctionnant dans la bande 6,8-8,8 GHz.

Bande passante	6,8-8,8 GHz
Gain en tension	27-28,5 dB
NF	3,5-4,8 dB
consommation	21 mW (1,2V)
Adaptation	-10 dB

5. Amplificateur distribué à produit gain bande passante maximal.

La figure 23 montre la microphotographie de l'amplificateur distribué et la figure 21 le détail d'un étage d'amplification élémentaire.

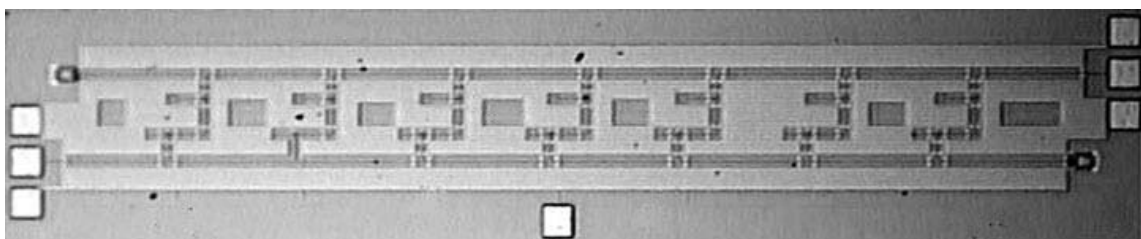


Figure 23 : Photo de l'amplificateur distribué.

Nous caractérisons jusqu'à 40 GHz l'amplificateur distribué polarisé au même courant de 55 mA qu'en simulation. Les mesures présentées sur les figures 24 et 25 montrent une bonne concordance entre le gain et le temps de groupe prévu par les simulations et ceux mesurés après l'épluchage de l'influence des plots

de mesures jusqu'à 35 GHz. Nous constatons seulement une dégradation des adaptations d'entrée et de sortie dont nous ne connaissons pas à l'heure actuelle les raisons.

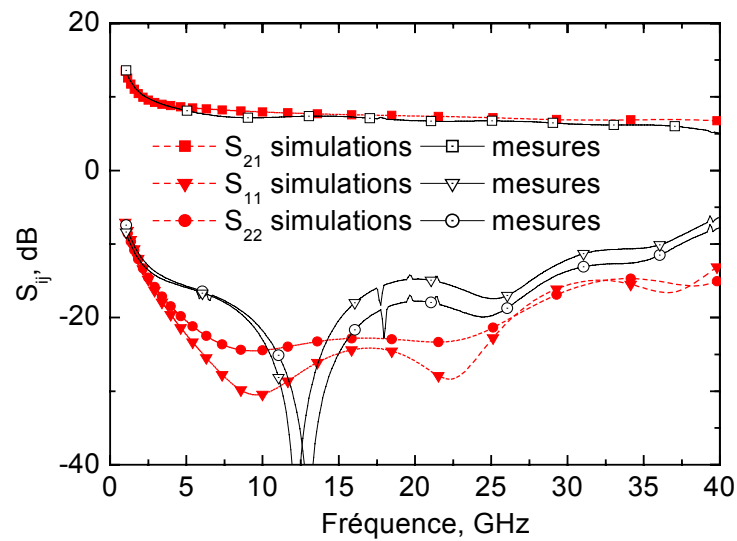


Figure 24 : Comparaison simulations mesures des paramètres S de l'amplificateur distribué.

Nous imputons la chute du gain observée à partir de 35 GHz et la dégradation du temps de groupe observée au support de mesure rainuré qui possède un mode de résonance proche de 35 GHz.

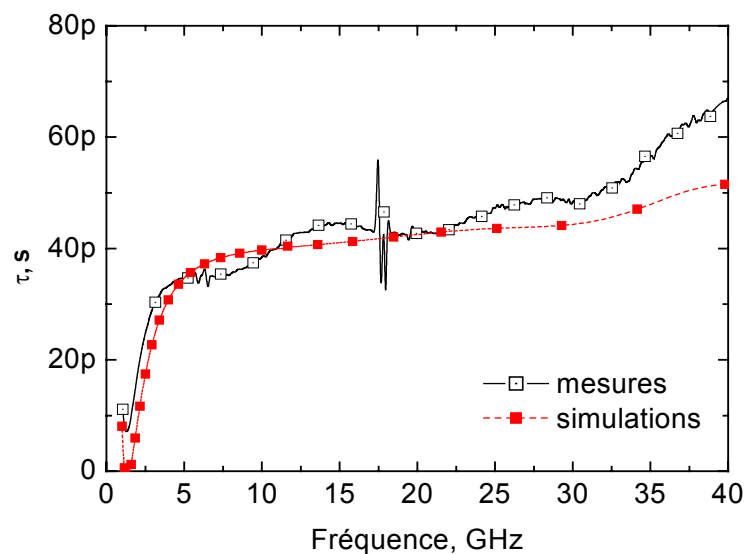


Figure 25 : Comparaison simulations mesures du temps de groupe de l'amplificateur distribué.

L'acquisition prochaine par le laboratoire d'une nouvelle station de mesure sous pointes nous permettra de vérifier cette hypothèse. Nous mesurerons ultérieurement le facteur de bruit car le laboratoire ne possède pas actuellement de T de polarisation couvrant la bande passante de l'amplificateur distribué.

6. Conclusion.

Nous avons dans ce dernier chapitre présenté la caractérisation des circuits et des motifs élémentaires fabriqués. Ces caractérisations ont confirmé les modèles des lignes de transmissions coplanaires et des transistors implémentés. La mesure de l'inductance a permis de mettre en évidence l'importance des effets de son environnement proche sur ces performances notamment sur le facteur de qualité. La mesure de l'amplificateur distribué à produit gain bande passante maximal a montré la validité de la démarche de conception consistant à utiliser les modèles fondeurs des transistors et à développer ces propres modèles de guides coplanaires à l'aide de simulations électromagnétiques. Les performances mesurées de l'amplificateur montre une bande passante supérieure à 40 GHz pour un gain à 35 GHz de 6,5 dB, ces résultats conduisent à un produit gain bande passante mesuré de 112 GHz qui à notre connaissance forme l'état de l'art en technologie CMOS standard 0,13 μm . La mesure prochaine des caractéristiques de l'amplificateur jusqu'à 65 GHz permettrons, nous l'espérons, de confirmer le résultat de 145 GHz obtenu en simulation.

BIBLIOGRAPHIE

- [1] Pasquet D., Mesures en hyperfréquences, édité par Hermes, 2004.
- [2] Friis H. T., "Noise Figure of radio receiver," *Proc. IRE*, Vol: 32 n° 419-422, Juillet 1944.
- [3] Kenneth O., "Estimation Methods for Quality Factors of Inductors Fabricated in Silicon Integrated Circuit Process Technologies," *IEEE Journal of Solid -State Circuits*, Vol: 33 n° 8, pp. 1249-1252, Août 1998.

Conclusion générale.

Le travail de thèse présenté dans ce mémoire porte sur la conception d'amplificateurs faible bruit haute fréquence en technologie CMOS standard. Nous avons exploré la conception de LNA fonctionnant en bande étroite aussi bien qu'en large et ultra large bande. Les principaux résultats que nous avons obtenus sont les suivants.

1. Interconnexions haute fréquence.

Tout d'abord nous avons développé une bibliothèque d'interconnexions haute fréquence dont la modélisation repose sur des simulations électromagnétiques 3D. De ces simulations nous avons extrait les différentes caractéristiques nécessaires à leur modélisation. Cette étude nous a permis de dégager quelques règles gouvernant le choix de l'impédance caractéristique et de la structure de propagation (microruban ou coplanaire) en fonction de l'application visée et de la fréquence d'utilisation. Cette bibliothèque d'interconnexions utilise le modèle TLINP du logiciel A.D.S. qui décrit le comportement électrique des lignes quasi-TEM par ses paramètres secondaires sans considération géométrique autre que leur longueur. Elle nous a permis la prise en compte des interconnexions dans les amplificateurs utilisant des composants passifs localisés et le dimensionnement de circuits d'adaptation coplanaires. De même, en nous basant sur les modèles équivalents et leurs techniques d'extraction, nous avons modélisé les différentes discontinuités rencontrées dans les circuits que nous avons développés. Les différents résultats de simulations électromagnétiques et le modèle utilisé pour les lignes ont été validés par la caractérisation de trois lignes coplanaires.

2. Amplification faible bruit bande étroite.

Nous avons proposé des règles de conception permettant l'intégration totale des LNA fonctionnant en bande étroite. Ces règles s'appuient sur une étude théorique des paramètres de bruit des configurations source commune et cascode avec contre réaction inductive de la source. Nous avons également proposé d'adapter en entrée les amplificateurs radiofréquence par un quadripôle en π ne contenant qu'une seule inductance. Cette topologie nous a permis de choisir la valeur d'inductance pour laquelle le coefficient de qualité est maximal à la fréquence de fonctionnement tout en restant intégrable. L'utilisation de cette cellule a abouti à l'intégration totale de l'amplificateur. Pour les amplificateurs fonctionnant en plus haute fréquence, nous avons montré que la topologie source commune est préférable à la configuration cascode pour la conception de LNA. Nous avons également proposé des règles permettant la conception de la cellule d'adaptation d'entrée pour les amplificateurs millimétriques. En nous basant sur ces quelques règles nous avons conçu deux amplificateurs faible bruit. Le premier fonctionne à 2,45 GHz, il utilise un seul étage d'amplification cascode et son circuit d'adaptation est une cellule en π comme celle que nous avons proposée. La caractérisation de l'amplificateur sous pointes a montré une diminution du gain de 5 dB par rapport à la valeur prévue par les simulations électriques qui s'accompagne d'une augmentation d'environ 1 dB du facteur de bruit à la fréquence de fonctionnement de l'amplificateur. Une seconde caractérisation de

l'amplificateur après suppression d'une partie du plan de masse entourant l'inductance du circuit d'adaptation d'entrée permet d'obtenir un facteur de bruit très proche de celui prévu par les simulations. Nous obtenons en mesure un gain en puissance de 10 dB, un facteur de bruit de 2,4 dB pour une fréquence de fonctionnement de 2,45 GHz et une consommation de 10 mW sous 2,5 V. Nous avons également conçu un second amplificateur fonctionnant en bande K (24 GHz) qui comprend deux étages d'amplification. Le premier est un amplificateur source commune, il est adapté en puissance par un circuit simple stub coplanaire développé grâce à notre bibliothèque d'interconnexions. L'amplificateur est actuellement en cours de fabrication mais les simulations incluant les interconnexions haute fréquence montrent un facteur de bruit de 3,2 dB et un gain en puissance de 18 dB pour une fréquence de fonctionnement de 24 GHz.

3. Amplification faible bruit large bande.

Nous avons exploré deux voies différentes permettant la conception d'amplificateurs large et ultra large bande.

Pour l'amplification large bande, nous avons étudié une architecture dont le circuit d'adaptation est un filtre passe bande d'ordre deux de bande passante inférieure à 30 %. Nous avons synthétisé les filtres de bande passante relative inférieure à 30% constituant le circuit d'adaptation en utilisant des inverseurs d'admittance capacitifs. Cette topologie nous a permis de choisir les valeurs d'inductances offrant le meilleur compromis entre encombrement, fréquence de résonance propre et coefficient de qualité dans une bande de fréquence donnée. Nous avons également détaillé la topologie et la méthode de dimensionnement des étages d'amplification fournissant un fort gain en tension sur une charge capacitive à fort module. Ce gain est constant dans la totalité de la bande passante déterminée par le circuit d'adaptation. Nous avons illustré la méthode de dimensionnement par la conception de deux amplificateurs faible bruit fonctionnant dans les bandes de fréquence UWB 3,1-10,6 GHz et UWB 22-29 GHz. Nous avons obtenu en simulation un gain en tension proche de 40 dB et un facteur de bruit de 3,5 dB dans une bande passante relative de 25 % autour de 5,75 GHz et un gain de 21 dB et un facteur de bruit compris entre 4,6 dB et 5 dB dans une bande passante relative de 19 % centrée sur 26,4 GHz pour l'amplificateur fonctionnant dans la bande 24-29 GHz. Ces deux amplificateurs sont en cours de fabrication. L'implémentation et la caractérisation d'un amplificateur fonctionnant dans la bande de fréquence comprise entre 6,8 et 8,8 GHz utilisant la même méthode de conception permet de valider la méthode de conception que nous avons proposée.

Nous avons également exploré les possibilités offertes par l'amplification distribuée pour couvrir des bandes passantes dont l'étendue est plus importante. Nous avons conçu deux amplificateurs, le premier couvre l'intégralité de la bande UWB. Nous avons augmenté l'impédance caractéristique de la ligne de sortie à 120 Ω pour obtenir un gain en tension plus important. Une étude de la structure des amplificateurs élémentaires cascode a permis de mettre en évidence les deux limites technologiques

déterminant la gamme d'impédances caractéristiques technologiquement réalisables. La limite basse de cette gamme est fixée par les valeurs d'inductances disponibles et la limite supérieure dépend d'une fréquence de coupure apparaissant dans la transconductance d'un amplificateur cascode dont les deux transistors ne sont pas identiques. Cette fréquence de coupure impose une largeur minimale du transistor supérieur pour une largeur de transistor inférieur et un courant de polarisation donné. Le second amplificateur distribué a été conçu avec le souci de maximiser son produit gain bande passante. Pour obtenir un gain en puissance maximal de 8,5 dB dans une bande passante de 52 GHz, nous avons égalisé les temps de groupe des deux lignes avec des étages d'amplification cascode asymétriques, synthétisé toutes les inductances présentes avec des lignes coplanaires de forte impédance caractéristique et nous avons implémenté une technique de compensation de pertes. Les caractérisations électriques sous pointes réalisées jusqu'à 45 GHz confirment les résultats de simulation.

4. Conclusion et perspectives.

L'ensemble des travaux présentés dans ce mémoire montrent les aptitudes des technologies CMOS standard pour la fabrication de circuits CMOS fonctionnant jusqu'aux fréquences millimétriques. Ils confirment la pertinence des méthodes de conception hyperfréquences dans le cadre des technologies CMOS. Ces résultats valident la démarche de conception que nous avons adoptée consistant à développer notre propre bibliothèque d'interconnexions hyperfréquence et à utiliser les modèles disponibles pour le reste des composants. Ils montrent également l'importance grandissante des simulations électromagnétiques dans le processus de développement des circuits hautes fréquences CMOS.

Ce travail a permis de proposer des méthodes de conception et des architectures d'amplificateurs qui permettront lorsque les technologies offrant des transistors CMOS de longueur de grille voisines de quelques dizaines de nanomètres associés à des passifs plus performants seront largement accessibles, la conception d'amplificateurs faible bruit dans la nouvelle bande de fréquence allouée aux communications inter-bâtiment UWB autour de 60 GHz.

Enfin, les amplificateurs distribués utilisés sous forme d'amplificateurs transversaux nous semblent une architecture prometteuse pour la conception de générateurs de pulses pour la bande UWB 3,1 GHz 10,6 GHz.

Liste des travaux.

1. Revues internationales

- [1] " *Design Method For broadband CMOS RF LNA* ", J. GAUBERT, **M. EGELS**, P. PANNIER, S. BOURDEL, Electronics Letters, 2005, 41, (24), pp. 1513-1514.
- [2] " *Design Method For Fully Integrated CMOS RF LNA* ", **M. EGELS**, J. GAUBERT, PH. PANNIER, S. BOURDEL, Electronics Letters, 2004, 40, (7), pp. 382-384.

2. Conférences internationales

- [3] *High frequency LNA design in Standard CMOS process* ", **M. EGELS**, J. GAUBERT, PH. PANNIER, G. BAS : IEEE Newcass06, 18-21 Juin 2006, Gatineau Canada.
- [4] " *RF CMOS transceiver for 802.15.4 SoC* ", H. BARTHÉLÉMY, S. BOURDEL, N. DEHAESE, **M. EGELS**, J. GAUBERT, PH. PANNIER, G. BAS, IEEE Radio and Wireless Symposium, 17-19 January 2006, San Diego USA.
- [5] " *Guide line for standard CMOS Travelling Wave Amplifier Design* ": **M. EGELS**, J. GAUBERT ET P. PANNIER, International Conference on Microelectronics ICM05, Islamabad, Pakistan 13-15 December 2005
- [6] " *A 2.45 GHz RF CMOS receiver for low cost digital wireless communication for 802.15.4 Standard* ": **M. EGELS**, J. GAUBERT, PH. PANNIER, G. BAS, International Conference on Microelectronics ICM2004, 6-8 December 2004, Tunis .

3. Conférences nationales

- [7] " *Méthodes de conception pour amplificateurs faible bruit pour systèmes intégrés UWB 3.1-10.6 GHz* ", J. GAUBERT, S. BOURDEL, P. PANNIER, H. BARTHELEMY, M. BATTISTA, **M. EGELS** : 6^{ème} Colloque Traitement Analogique de l'Information, du Signal et ses Applications, Marseille, 13 et 14 octobre 2005.
- [8] " *LNA en bande K en technologie CMOS standard 0,13 μm* ", **M. EGELS**, J. GAUBERT, P. PANNIER : 14^{èmes} Journées Nationales Micro-ondes, 11-12-13 Mai 2005 Nantes.