



HAL
open science

Electronique grande surface sur tout substrat : Vers une technologie très basse température

Emmanuel Jacques

► **To cite this version:**

Emmanuel Jacques. Electronique grande surface sur tout substrat : Vers une technologie très basse température. Micro et nanotechnologies/Microélectronique. Université de Rennes 1 [UR1], 2017. tel-02475858

HAL Id: tel-02475858

<https://hal.science/tel-02475858v1>

Submitted on 12 Feb 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Habilitation à Diriger des Recherches

Présentée à

L'Université de RENNES I

Par

Emmanuel JACQUES

Maître de conférences 63^{ème} section

***Electronique grande surface sur tout substrat : Vers
une technologie très basse température***

Soutenue le 07 Juillet 2017 devant la commission d'examen :

Rapporteurs

Pr. S. WAGNER – Université de Princeton. Etats Unis d'Amérique

Pr. Y. BONNASSIEUX – LPICM/Ecole Polytechnique. France

Pr. L. VIGNAU – IMS/ENSCBP. France

Examineurs

DR. L. MARUICCI – IMM-CNR. Italie

Pr. L. GIRAUDET – LRN/Université de Reims Champagne Ardenne. France

DR. J. RAULT-BERTHELOT, ISCR/Université de Rennes. France

Pr. T. MOHAMMED-BRAHIM, IETR/Université de Rennes. France

Table des matières

CV Synthétique	6
Préambule	7
Synthèse d'activité	10
Partie 1 : Notice Individuelle.....	11
Partie 2 : Synthèse des activités de recherche	41
Introduction et contexte général	42
Chapitre 1 : Electronique grande surface sur substrats de verre en silicium polycristallin	46
Introduction et contexte	46
I. Technologie CMOS à base de silicium polycristallin pour l'électronique analogique	47
1. Transistor en couches minces à base de silicium polycristallin.....	47
2. Amplificateur différentiel en technologie silicium polycristallin couche mince.	49
II. Nouvelles structures transistors à base de silicium polycristallin	53
1. Les transistors verticaux	53
2. Dispositifs à base de nanofils/nanostructures.....	57
Conclusion sur la technologie silicium polycristallin	66
Chapitre 2 : Electronique grande surface sur substrats souples à base de silicium microcristallin	67
I. Introduction et contexte.....	67

II.	Effet de la couche active sur les propriétés électriques des TFTs	68
III.	Effet de l'isolant sur les propriétés électriques des TFTs	72
IV.	Déformation mécanique de transistors à base de silicium microcristallin.....	75
V.	Structure Dual Gate TFT en silicium microcristallin.....	79
	Conclusion	80
Chapitre 3 : Vers une électronique grande surface sur substrats souples à base de matériaux organiques		
		81
I.	Introduction et contexte.....	81
II.	Développement d'une nouvelle thématique : l'électronique organique	82
III.	Etude de matériaux semiconducteur organique de type N.....	84
1.	Faisabilité d'un transistor couches minces organiques de type N	84
2.	Etude de semiconducteurs organiques de type N.....	86
IV.	Evolution de l'équipe et de la plateforme de fabrication de circuits organiques	89
V.	Faits marquants de la thématique électronique organique	92
1.	Impression d'une structure OFET	92
2.	Fabrication d'inverseurs et d'oscillateurs pseudo-CMOS par impression	93
3.	Fabrication d'une matrice d'OFETs 10x10 de type N.....	95
4.	Optimisation du procédé de fabrication des OFETs de type N	96
5.	Fabrication d'oscillateurs pseudo-CMOS par photolithographie.....	98
6.	Déformation mécanique des OFETs fabriqués sur substrats flexibles (e=25µm).....	98
VI.	Structures Hybrides matériaux organiques/inorganique	100
	Conclusion sur la thématique électronique organique	103
Partie 3 : Projets de recherche		
		104
	Introduction	105

Chapitre 1 : Microsystème flexible en technologie silicium microcristallin	108
Introduction.....	108
I. Capteurs en technologie couches minces silicium	108
II. Electronique de conditionnement en silicium microcristallin	109
III. Technologie hybride pour la conception de microsystème flexible	110
Conclusion	110
Chapitre 2 : Structures OFET	112
Introduction.....	112
I. Structure OFET entièrement en solution.....	112
II. Structure OFET 3D par photolithographie.....	113
III. OFETs transparents et flexibles	115
IV. OFET à partir de matériaux organiques biosourcés	116
Chapitre 3 : Circuits à base de matériaux organiques	118
Introduction.....	118
I. Circuits CMOS organique pour l'électronique numérique.....	119
1. OFETs de type P.....	119
2. Portes logiques organiques	120
3. Fonctions combinatoires organiques	120
II. Fonctions électroniques analogiques élémentaires à base d'OFETs	121
III. Circuits organiques par impression jet d'encre.....	122
IV. Développement de la caractérisation électrique de circuits	123
V. Intégration d'un microsystème complet sur substrat flexible	124
Conclusion sur le projet de recherche	125
Références Bibliographiques.....	126

CV Synthétique

Emmanuel JACQUES

37 ans né le 17/09/1979

Situation de famille : marié

Adresse Professionnelle : Université de Rennes 1/IUT de Rennes
Département GEII (Génie Electrique et Informatique industrielle)
IETR UMR 6164 – Département Microélectronique et Microcapteurs
263, avenue du général Leclerc – 35042 Rennes Cedex
+33(0)323236691 – emmanuel.jacques@univ-rennes1.fr

Grade : MCF / Section de CNU : **63** - ELECTRONIQUE, OPTRONIQUE ET SYSTEMES

Cursus Universitaire

- **2003-2004** : DEA Conception et Architecture (Université de Rennes 1)
- **2004-2008** : Thèse de Doctorat de l'Université de Rennes 1 (63ème section)
- **2007-2008** : ATER à temps plein à l'IUT de Rennes
- Depuis le 01/09/2012 : **Maître de conférences** (Titularisé en 01/09/2013)

Recherche

- Etude et fabrication de transistors en couches minces
- Conception, fabrication et caractérisation de circuits analogiques et numériques à base de TFTs
- Développement de procédés de fabrication à basse température pour substrat flexible
- Etudes du transport et de l'injection des charges dans les semi-conducteurs inorganiques et organiques
- **35 articles** dans des revues internationales et **43 communications** internationales

Encadrements

- 5 encadrements à 50% de doctorants dont 2 en cours (Ecole Doctorale MATISSE)
- 2 encadrements à 30% de doctorants (Ecole Doctorale MATISSE)
- 2 encadrements à 30% de doctorants dont 1 en cours (Ecole Doctorale SDLM)
- 7 encadrements à 100% de M2

Enseignements

- Electronique
- Physique des semi-conducteurs et des composants
- Capteurs et instrumentation

Préambule

Ce document propose un bilan de mes activités de recherche dans le domaine du développement de procédés de fabrication de transistors en couches minces à basse température. Ce bilan est une synthèse de mes travaux de recherche et il n'a pas vocation à reprendre toutes les études que j'ai menées au cours de ces 13 dernières années. En effet, ce document me permet essentiellement d'explicitier les compétences acquises depuis ma thèse de doctorat pour la construction d'un projet de recherche cohérent. Je souhaite, en introduction à ce document, rappeler brièvement les enjeux liés à ce projet de recherche. Je décrirai ensuite mes activités pédagogiques et mes activités de recherche. Enfin, je proposerai un projet ambitieux pour la conception d'une électronique adaptée aux grandes surfaces flexibles avec des procédés de fabrication innovants et bas coûts. Une discussion sera également menée pour profiter de cette nouvelle technologie à des fins pédagogiques.

L'électronique grande surface est à opposer à l'électronique silicium classique pour laquelle la taille des substrats est limitée. En effet, l'électronique silicium monocristallin est la fabrication de composants électroniques à partir d'un substrat de silicium (wafer) essentiel au bon fonctionnement des transistors. La volonté et le besoin de fonctions complexes en électronique a nécessité des études importantes sur la réduction des dimensions des composants pour la réalisation de plus de fonctionnalités sur un même substrat. En parallèle, l'électronique en couches minces s'est développée depuis les années 60 pour la fabrication de dispositifs électroniques indépendamment du substrat. L'avènement des écrans plats a principalement porté cette technologie qui permet, aujourd'hui, la fabrication de circuits d'adressage pour pixels sur des substrats de grandes dimensions (diagonale > 4m). L'ajout de fonctionnalités peut désormais être accompagné d'une augmentation de la taille du substrat.

L'arrivée des objets intelligents et connectés ouvre la voie à la conception de circuits par des procédés de fabrication innovants. Plusieurs possibilités pour la réalisation de ces objets connectés sont actuellement en étude. La première voie est la fabrication de puces miniatures quasiment invisibles et intégrables à l'objet en silicium monocristallin. La seconde voie de recherche est le développement d'une électronique invisible directement sur l'objet en technologie couches minces. Plusieurs électroniques sont amenées à cohabiter : électronique rapide (puissance de calcul, télécommunication, ...) et électronique à vitesse humaine. La première nécessite une diminution des tailles

de composants pour accroître les vitesses de fonctionnement et augmenter les quantités de données à traiter. La deuxième devra se confondre aux objets de tous les jours et devra être intégrée sur n'importe quel support y compris des supports biologiques.

Mis à part les différences de vitesse de fonctionnement, ces deux électroniques subissent les mêmes problématiques : prévoir parfaitement le comportement du composant, posséder une stabilité accrue en fonctionnement et dans le temps, pouvoir évoluer dans son environnement sans se dégrader.

A l'IETR, le département Microélectronique et Microcapteurs s'est spécialisé dans la fabrication de composants électroniques en technologie couches minces. Dans les années 90, une technologie à base de silicium polycristallin à des températures de fabrication inférieures à 600°C a été développée [1]. L'optimisation des procédés de fabrication a été la clé pour maîtriser cette technologie devenue exploitable pour la fabrication de circuits numériques à partir de poly-Si TFTs [2]. A partir des années 2000, une nouvelle technologie a vu le jour au laboratoire à partir de silicium microcristallin déposé par PECVD (Plasma Enhanced Chemical Vapor Deposition). L'atout majeur de cette technologie est la faible température de dépôt ($T < 180^\circ\text{C}$) du silicium qui a ouvert la voie à des procédés de fabrication très basse température pour la réalisation de $\mu\text{-Si}$ TFTs [3]. Les matériaux déposés à très basse température sont évidemment plus défectueux en termes de cristallinité. Malgré cet inconvénient, l'optimisation des méthodes de dépôt et du procédé de fabrication a été possible pour l'obtention de transistors reproductibles et uniformes en termes de performances électriques. Des fonctions élémentaires de l'électronique CMOS ont pu être fabriquées et caractérisées (inverseurs et oscillateurs) [4]. Depuis 2012, nous sommes intéressés à une technologie en plein essor mais peu mature : l'électronique à partir de matériaux organiques. Cette technologie, très basse température ($T < 110^\circ\text{C}$), est très sensible à son environnement extérieur et à la modification structurelle des matériaux sous polarisation électrique.

Pour répondre à ces problématiques, deux voies sont alors possibles. La première est la fabrication d'un composant (transistors, capteurs, résistances, capacités, LED, ...) possédant une stabilité maîtrisée sans dégradation en fonctionnement. Cette solution passe par de gros efforts de recherche technologique pour limiter le plus possible les effets indésirables : présence de défauts dans les matériaux ou à l'interface des matériaux, modification structurelle des matériaux sous apport énergétique (température, tension,...). La seconde est la compensation des instabilités par la conception de circuits originaux. Cette solution nécessite également de gros efforts de recherche car cela suppose de connaître très précisément les évolutions du composant dans le temps soumis à des tensions, à des changements de températures ou à son environnement de fonctionnement.

Le bilan de mes activités de recherche reprend les compétences que j'ai pu développer sur la conception, la fabrication et la caractérisation électrique de transistors en technologie couches minces. Ces activités se sont concentrées sur la première voie décrite dans le paragraphe précédent, à savoir, l'optimisation du dispositif élémentaire. Le projet développé dans ce manuscrit propose de s'intéresser à la seconde voie en concevant des circuits adaptés aux technologies très basse température en silicium microcristallin et à base de matériaux organiques.

Synthèse d'activité

Partie 1 : Notice Individuelle

Etat Civil

JACQUES Emmanuel 37 ans
10, allée de Coimbra Marié
35200 RENNES
Téléphone personnel : 06 84 36 46 48
Téléphone professionnel : 02 23 23 66 91
emmanuel.jacques@univ-rennes1.fr

Cursus

- 2008 :** **Thèse de Doctorat en Électronique** à l'Université de Rennes 1.
- 2004 :** **DEA Électronique** (Mention Bien) option conception et architecture suivi à l'Université de Rennes 1, l'INSA et Supélec.
Stage de DEA au CEA/LETI à Grenoble.
- 2003 :** **Maîtrise E.E.A.** à l'Université de Rennes 1.
- 2002 :** **Licence E.E.A.** à l'Université de Rennes 1.
- 2000 :** **DEUG STPI** (Sciences et Techniques Pour l'Ingénieur) à l'Université de Rennes 1.

Expériences professionnelles

- Depuis 2012 :** **Maître de conférences de l'Université de Rennes 1 (IUT de Rennes/Département Génie Electrique et Informatique Industrielle GEII)**
Lancement d'une nouvelle activité de recherche dans le département Microélectronique et Microcapteurs de l'IETR sur le développement d'une électronique à base de matériaux organiques.
- 2011-2012 :** **Post doctorat** au sein du département Microélectronique et Microcapteurs (anciennement groupe Microélectronique) de l'IETR.

Conception et réalisation de dispositifs électroniques à base de nanofils de silicium par l'approche Top-Down (ANR SENA), Responsable : Régis Rogel

2009-2011 : **Post doctorat** au sein du Groupe Microélectronique de l'IETR en collaboration avec le CIMAP de l'ENSICAEN.

Réalisation et caractérisation de dispositifs appliqués à la photonique à base de néodyme et de silicium (ANR DAPHNES), Responsables : Laurent Pichon et Fabrice Gourbilleau

2008-2009 : **Post doctorat** au sein des Groupes Antennes et Propagation et Microélectronique de l'IETR.

Evaluation des possibilités technologiques de la salle blanche du C.C.M.O. pour la réalisation de dispositifs RF et HF. Réalisation d'antennes patches sur membrane pour des applications à 60 GHz, Responsables : Mohamed Himdi, Olivier Lafond et Tayeb Mohammed-Brahim

2004-2008 : **Thèse de doctorat en Électronique** au sein du Groupe Microélectronique de l'IETR.

Microsystème et capteur intégrés en technologie couches minces basse température.

Financement : Région Bretagne

Directrice de thèse : France Le Bihan, co-directeur : Samuel Grand

2004 : **Stage de DEA au CEA/LETI** à Grenoble (6 mois).

Réalisation de mémoires pour l'architecture RAMPASS

Encadrement : Frédéric Blanc, Stéphane Chevobbe, Marc Belleville

Principales collaborations scientifiques

Depuis 2015 **Collaboration avec Hoseo University, République de Corée, Prof. Bae**, Conception et fabrication de circuits CMOS par impression jet d'encre.

2014-2017 **Projet ANR « MEN IN BLUE »**, MaCSE ISCR (C. Poriel), Etude du transport de charges dans des semiconducteurs organiques pour des applications OLED.

Depuis 2013 Collaboration avec Ryukyus University, Japon, Prof. Noguchi, Fabrication de TFTs à partir de couches minces de silicium amorphe cristallisé par laser bleu.

Depuis 2012 Collaboration avec les équipes MaCSE et CSM de l'ISCR (Institut des Sciences Chimiques de Rennes) sur l'étude de semiconducteurs organiques dans des transistors couches minces organiques de type N.

Depuis 2012 Collaboration avec South East University, Nankin, Chine dans le cadre de thèses de doctorat. Thèse Hanpeng Dong soutenue le 25/09/2015. Thèse Xiang Liu soutenue le 27/12/2016. Thèse Zhi Tao en cours.

2011-2012 Responsable scientifique d'un projet international en collaboration avec South East University de Nankin en Chine financé par le programme « The Research Fellowship for International Young Scientists »

Intitulé du projet : Fabrication d'un écran de type LCD à base de TFT en silicium microcristallin à des températures $T < 300^{\circ}\text{C}$

2011-2012 Participation au projet ANR-CJC0072-01-SENA pour la réalisation et la caractérisation de nanofils en silicium polycristallin

2009-2011 Participation au projet ANR-08-NANO-005-DAPHNES pour la réalisation et la caractérisation d'un amplificateur optique excité électriquement à base de silice enrichie en silicium et dopée au néodyme

Responsabilités Collectives

1) Expertises

- Membre de la cellule prospective de l'IETR depuis 2017
 - o Expertise des demandes de financement dans le cadre d'un appel inter-IETR (PEPS IETR) pour le soutien à des projets innovants du laboratoire.
- Expert pour l'ANR, appel à projet PRCE (2016)
- Expert pour l'ANR, appel à projet PRCI franco-japonais (2015)

2) Journaux et Conférences

- Reviewer pour les Journaux :
 - o ACS Applied Materials and Interfaces (2016)

- IEEE/OSA Journal of Display Technology (2015)
- IEEE Transaction Electron Devices (2014)
- Journal of The Electrochemical Society(2008)
- Reviewer pour les Conférences
 - ITC (International Thin Film Transistor Conference) à Rennes (2015)
 - Majestic à Rennes (2006)
- Membre des comités d'organisation des Conférences
 - ITC à Rennes (International Thin Film Transistor Conference) (2015)
 - Journées pédagogiques du CNFM (Coordination Nationale pour la Formation en Microélectronique et en nanotechnologie) (2004-2010)
 - Jnrmd (Journées nationales du réseau des doctorants en microélectronique) à Rennes (2006)
- Membre du comité de programme
 - ITC (International Thin Film Transistor Conference) (2015, 2016, 2017)
- Chairman
 - Session Capteurs de la conférence IEEE IECON à Paris (2006)

3) Activités Pédagogiques

- Programmes Européens

- 2012 **Mise en place et participation à la formation en microélectronique** de post-doctorants dans le cadre du programme EURODOTS piloté par le GIP-CNFM ; cours de haut niveau pour les doctorants et post-doctorants de l'union européenne proposée par le CNFM (Coordination Nationale pour la Formation en Microélectronique et en nanotechnologie)
- Intitulé de la formation :** *Thin film transistor fabrication using very low temperature process on transparent and flexible substrate*
- Lieu :** Centrale technologique du CCMO – Université de Rennes 1.
- Durée :** 40 heures, **Nombre de stagiaires :** 5
- 2006 **Formation** d'enseignants-chercheurs d'universités Algériennes dans le cadre du projet Européen « Tempus » n° JEP-31157-2003.
- Intitulé de la formation :** *Technologie couches minces en silicium polycristallin à basse température : réalisation et caractérisation de dispositifs électroniques à base de TFTs.*
- Lieu :** Centrale technologique du CCMO – Université de Rennes 1.
- Durée :** 90 heures, **Nombre de stagiaires :** 5

- *Projet FIMINA dans le cadre des investissements d'avenir*

2012 **Initiation aux nanotechnologies d'enseignants du secondaire**
organisée par la CNFM (Coordination Nationale pour la Formation en
Microélectronique et en nanotechnologie)

Lieu : Centrale technologique du CCMO – Université de Rennes 1.

Durée : 8 heures, **Nombre de stagiaires** : 20

- *Intervention aux journées de la recherche pour les masters de l'université de Rennes 1.*

- Parcours scientifique et intérêt de la recherche pour un jeune docteur (2011, 2012)

4) Autres

2004-2006 **Membre du conseil scientifique** (CS) de l'université de Rennes 1.
Allocation des budgets de recherche. Examen des demandes de
financement (BQR).

Projets de recherche initiés

Coordination of international research projects:

Research Fellowship for International Young Scientists, "LCD active matrix addressing using low temperature technology", Host institution: South East University, 12 months, 07/2011-06/2012, **15 k€**

Informal international project (Korean Republic – France), "Solution processed organic electronics", Master student exchange, Application for formal project in the frame work of Korean-France government collaboration, Hoseo University – Rennes 1 University, 2015

European exchange program funded by PROCOPE DAAD/ANR program, Master student exchange, Germany – France, Stuttgart University – Rennes 1 University, 2016

In progress: **Germany/France ANR project SNAPSTER** (Second phase), Head of IETR part, 2017

Coordination of national research projects:

CPER 2014-2020 - OrgaFlex project “Low cost electronic made of organic materials on flexible substrate”, 10/2015-12/2016 **262 k€**

Incitative action - Emerging scientific challenges, “Flexible active-matrix QLED display made of Organic Thin Film Transistor”, IETR, 2015, **8k€**

Incitative action - Emerging scientific challenges, University of Rennes 1, 2014, **12k€**

Common laboratories project, “Design of pi-conjugated materials for OFETs”, IETR – ISCR, 2013, **13k€**

Incitative action - Emerging scientific challenges, “Organic electronic circuits made of Organic Thin Film Transistor”, IETR, 2012, **8k€**

In progress: **ANR Project POLYPCs** (second Phase), Head of IETR part 2017

In progress: **ANR Project SPIROQUEST** (second Phase), Head of IETR part 2017

Activités pédagogiques

L'habilitation à diriger des recherches concerne en tout premier lieu les activités de recherche. Cependant, il est important pour un enseignant-chercheur de décrire, même succinctement, les activités pédagogiques qui doivent constituer la moitié de son activité. L'expérience acquise dans les activités de recherche doit bénéficier aussi à la formation et inversement.

Ma formation en électronique (cursus E.E.A.) m'a permis d'intervenir principalement dans ce domaine en enseignement depuis le début de ma thèse de doctorat en 2004. Je présenterai mes activités d'enseignement chronologiquement. Je débiterai par les enseignements dispensés en tant qu'ATER (Attaché Temporaire d'Enseignement et de Recherche) puis en tant que vacataire. Je terminerai par les enseignements dispensés depuis mon recrutement en tant que maître de conférences à l'IUT de Rennes dans le département GEII (Génie électrique et informatique industrielle).

- **Attaché Temporaire d'Enseignement et de Recherche (ATER) à temps complet section 63 à l'IUT de Rennes, département GEII (2007-2008)**

J'ai eu l'occasion lors de cette année d'ATER de suivre un groupe de première année de GEII en électronique, en physique et en informatique industrielle sur les modules suivants (Référence PPN 2008) :

- **Enseignements en génie électrique :**

- Matière : Fondements du génie électrique

- Circuits et composants linéaires en TD et TP (ref : GE11)
 - Systèmes du 2^{ème} ordre, filtres en TD et TP (ref : GE2)

- Matière : Electronique

- Fonctions et composants élémentaires de l'électronique en TD et TP (ref : EN1)
 - Fonctions fondamentales de l'électronique en TD et TP (ref : EN2)

- **Enseignements en informatique des systèmes industriels**

- Matière : Electronique numérique et synthèse logique

- Analyse et synthèse des systèmes logiques en TP (ref : ENSL1)

- **Enseignement en formation scientifique et humaine**

Matière : Physique

- Mécanique en TD (ref : P1)
- Thermique en TD et Optoélectronique en TP (ref : P2)
- Capteurs en TD (ref : P3)

- Module Apprendre Autrement (AA)

Matière : Mathématiques appliquées au GEII en TD

o Vacations en électronique à l'IUT de Rennes, département GEII

Depuis 2005 et jusqu'en 2012, j'ai eu l'opportunité d'intervenir dans le département GEII de l'IUT de Rennes sur des matières complémentaires à celles enseignées lors de mon année d'ATER. Notamment en électronique où j'ai pu dispenser des travaux dirigés en électronique 2^{ème} année (EN3, PPN2008) qui correspond à la suite de ce que j'avais pu appréhender en EN1 et EN2. Les enseignements dispensés durant ces 6 années sont listés ci-dessous :

Années	Modules enseignés	Contenu des enseignements	Travaux dirigés (Heures TD)	Travaux pratique (Heures TP)
2009-2012	Electronique 2 ^{ème} année	<ul style="list-style-type: none"> o Conversion Analogique-Numérique et Numérique-Analogique o Modulation et démodulation AM, FM o Capacités commutées o Emission et réception Radiofréquences (PLL, Oscillateurs, Mélangeurs, ...) o Chaîne d'acquisition de données 	22 heures	84 heures
2010-2011	Electronique 1 ^{ère} année	<ul style="list-style-type: none"> o Circuits et composants linéaires o Systèmes du 2^{ème} ordre, filtrage 		15 heures
2006-2007 2010-2011	Optoélectronique 1 ^{ère} année	<ul style="list-style-type: none"> o Notions élémentaires d'optique géométrique o Emetteur (LED, Laser) et Photorécepteurs 	18 heures	2 heures
2005-2007 2010-2011	Capteurs et électronique associée 2 ^{ème} année	<ul style="list-style-type: none"> o Chaîne de mesure et calibrage o Métrologie o Capteurs : température, position, pression, ... 	36 heures	
2010-2011	Electromagnétisme 1 ^{ère} année	<ul style="list-style-type: none"> o Notions de charges et de champs électriques o Champs magnétiques o Force de Laplace 	9 heures	

○ **Vacations en électronique à l'IUT de Saint Malo, département R&T**

Je suis également intervenu au sein du département R&T de l'IUT de Saint Malo en travaux pratiques d'électronique et en télécommunications.

Années	Modules enseignés	Contenu des enseignements	Travaux dirigés (Heures TD)	Travaux pratique (Heures TP)
2004-2007 2009-2010	Electronique 1 ^{ère} année	<ul style="list-style-type: none"> ○ Amplificateurs opérationnel idéal et réel ○ Filtrage analogique ○ Filtres à capacités commutées 		290 heures
2005-2007	Télécommunications 1 ^{ère} année	<ul style="list-style-type: none"> ○ Représentation Temps - Fréquence ○ Translation de spectre ○ Modulation d'amplitude ○ Ligne de transmission 		48 heures

Ces années d'ATER et de vacations en électronique m'ont conforté dans mon choix de vouloir intervenir en recherche mais également dans la formation d'étudiants. Le statut de maître de conférences permet ce lien entre la formation et la recherche. En 2012, j'ai été recruté en tant que maître de conférences dans le département GEII de l'IUT de Rennes.

Maître de conférences dans le département GEII de l'IUT de Rennes depuis 2012

L'enseignement en IUT demande un investissement important auprès des étudiants. Dès mon recrutement, j'ai eu la chance d'être responsable d'un groupe de première année de la formation GEII. La responsabilité qui est la nôtre, surtout en première année, est de donner les clés de la réussite aux étudiants par des méthodes de travail, un discours motivant sur les filières scientifiques, un suivi personnalisé dans certains cas et en explicitant les liens entre les notions étudiées et des applications concrètes.

J'interviens essentiellement en électronique analogique et en électronique numérique auprès des étudiants en première année et en deuxième année. Ces enseignements tournent autour des composants de base de l'électronique pour les premières années et sur l'association de ces composants pour la conception de systèmes électroniques en deuxième année. En électronique numérique, nous étudions les portes logiques de base et les fonctions combinatoires. Puis, à partir de cahier des charges, nous construisons des systèmes complets sur des plateformes de type FPGA en langage VHDL.

Lorsque je suis arrivé à l'IUT en 2012, le nouveau programme pédagogique national (PPN 2012) devait être mis en place à la rentrée 2013. Cette opportunité a été l'occasion de grandes réflexions sur les programmes et sur les méthodes de transmission. J'ai participé à la mise en œuvre de ce nouveau PPN dans les modules d'électronique pour la première année et pour la deuxième année. En deuxième année, où j'interviens en électronique pour 2 groupes sur 4, nous avons réfléchi à l'étude d'un système complet de transmission et de réception de données qui serait suivi pendant tout le premier semestre. Le système choisi, qui est le fil conducteur des cours, des travaux dirigés et des travaux pratiques, est la transmission radiofréquence. Cette notion fait appel à différentes fonctions de l'électronique analogique et permet également aux étudiants d'appréhender une vision fréquentielle de l'information.

J'ai souhaité également proposer un module d'adaptation à la deuxième année en GEII. Le module « système électronique », dans lequel j'interviens en deuxième année, suppose une connaissance approfondie des composants et des fonctions de base de l'électronique car la vision système est privilégiée. Ce module d'adaptation est à destination des deuxièmes années pendant les deux premières semaines de la rentrée. Il reprend sous la forme d'un projet (fabrication d'un capteur de position) toutes les notions élémentaires de la première année. Une première séance de TD de 1H30 permet de dresser le cahier des charges, les problématiques liées au projet et les composants à disposition. Une séance de travaux pratiques de 4 heures est destinée à la conception d'un bloc de conditionnement pour un capteur magnétique. Une autre séance d'1H30 permet d'appréhender la seconde partie du projet qui consiste à numériser le signal issu du bloc de conditionnement et à son enregistrement. Une dernière séance de 4H est dédiée à la mise en œuvre de la seconde partie du montage. Ce module intéresse particulièrement les étudiants car il aboutit à un système final qui fonctionne et à une prise de conscience de leurs compétences qui, après une année de GEII, leur permet de réaliser des systèmes plus intéressants qu'ils ne croyaient.

Afin de les sensibiliser à la recherche et à l'issue d'un module sur la conception de circuits de conditionnement pour capteurs, je propose aux étudiants de deuxième année une visite, sur une après-midi, de la salle blanche et des équipements de recherche de l'IETR. C'est l'occasion de leur expliquer le rôle des chercheurs et des enseignants-chercheurs dans notre domaine car le travail en laboratoire ou le statut de certains de leurs enseignants est souvent inconnu et leur apparaît comme inaccessible.

En parallèle, j'interviens en tant que vacataire à Centrale-Supélec depuis trois ans pour les travaux dirigés du module Physique des composants en quatrième année. En lien direct avec mes activités de recherche, les notions abordées concernent les relations physico-électriques des transistors bipolaires, MOSFET, JFET et MESFET.

A long terme, je souhaiterais accroître le lien entre mes activités au laboratoire et mes activités d'enseignement. Le développement d'une électronique imprimée comme nous le décrivons dans le projet de recherche peut nous fournir ce lien. Aujourd'hui, les travaux pratiques en salle blanche sont souvent réservés à des étudiants avec des notions en physique des semiconducteurs (Master 1 et Master 2) car le temps nécessaire à la fabrication d'un simple transistor est trop long et donc trop coûteux pour les composantes d'enseignement. Une technologie imprimée pourrait nous permettre de développer des travaux dirigés et des travaux pratiques autour de la conception de petits circuits numériques avec une étape de fabrication, une étape de caractérisation et une étape de retour sur design pour optimiser les portes logiques. L'impression d'un circuit sur PEN permet une découpe facile et chaque binôme pourrait analyser son propre circuit et proposer des solutions de design pour améliorer ses performances.

Encadrements de Stages et de Projets

- 2015 **Encadrement d'un stagiaire master 2^{ème} année** de l'Université de Vigo, Espagne, Programme Erasmus - « *Optimisation de transistors organiques : Etude comparative d'isolants organiques pour des applications OFET* », Durée : 5 mois (Mars-Juillet) – **N. Devesa Canicoba**
- 2015 **Encadrement d'un stagiaire IUT GEII 2^{ème} année** de l'IUT de Rennes, « *Développement d'un banc de mesure dédié à la caractérisation électrique sous stress mécanique de circuits électroniques organiques fabriqués sur substrats flexibles* », Durée : 10 semaines (avril-Juin) – **P. Fontaine**
- 2014-2015 **Encadrement de projet long, étudiants en 5^{ème} année Centrale-Supélec** de Rennes, « *Fabrication et modélisation d'un circuit d'adressage pour pixels sur substrat souple* », Durée : 9 mois (Octobre-Juin) – **F. Marconcini et J. Chaudet**
- 2014 **Encadrement d'un stagiaire 4^{ème} année Centrale-Supélec** de Rennes, « *Simulation d'inverseurs et oscillateurs à base de semiconducteur organique (DPIF) sous AIM-Spice* », Durée : 6 semaines (Juin-Juillet) – **J. Chaudet**
- 2012 **Encadrement d'un stagiaire master 2^{ème} année** de l'Université d'Alger, Algérie, « *Etude de matériaux organiques adaptés à la fabrication de transistors couches minces* », Durée : 4 mois (Mars-Juin) – **S. Bebiche**
- 2012 **Encadrement d'un stagiaire master 2^{ème} année** de l'Université de Nankin, Chine, « *Conception et fabrication d'une matrice de commande pour écran LCD à base de TFT en silicium microcristallin* », Durée : 6 mois (Janvier-Juin) – **H. Dong**
- 2011 **Encadrement d'un stagiaire INSA 5^{ème} année** en partenariat avec EDF, « *Réalisation d'un dispositif électronique de détection d'un champ magnétique sur substrat flexible à très basse température ($T < 180^{\circ}\text{C}$)* », Durée : 5 mois (Avril-Août) – **R. Bellec**
- 2010 **Encadrement d'un stagiaire master 2^{ème} année** de l'Université d'Alger, Algérie, « *Optimisation de dépôt d'oxyde de silicium par PECVD (Plasma Enhanced Chemical Vapor Deposition)* », Durée : 3 mois (Avril-Juin) – **I. Bouhadda**

- 2010 **Encadrement d'un projet de 4^{ème} année** de l'école d'ingénieur SUPELEC, « *Automatisation d'un banc de caractérisation électrique dédié à des mémoires de type RAM non volatile* », Durée : 2 mois (1 journée/semaine) (Février-Mars) – **L. Zerbib**
- 2009 **Encadrement d'un stagiaire de 5^{ème} année** de l'école d'ingénieur Polytechnique en Algérie, « *Etude et réalisation de plusieurs niveaux de métallisation à basse température* », Durée : 1 mois (Avril) – **F. S. Hamdi**
- 2009 **Encadrement d'un stagiaire master 2^{ème} année.** Université de Rennes 1, « *Optimisation du procédé de fabrication d'un capteur de type Air Gap* », Durée : 5 mois (Février-Juin) – **S. Janfaoui**
- 2008 **Encadrement d'un projet de fin d'étude en master 2^{ème} année.** Université de Rennes 1, « *Simulation, réalisation et comparaison de structures transistor couches minces* », Durée : 3 mois (Octobre-Décembre) – **S. Janfaoui**
- 2007-2008 **Encadrement de groupes d'étudiants** (2 groupes en 1^{ère} année – 1 groupe en 2^{ème} année) pour des projets de recherche bibliographique dans le cadre de l'IUT.
- 2006 **Encadrement d'un stagiaire master 1^{ère} année,** Université de Dresden, Allemagne – Programme Erasmus, « *Etude de couches minces en silicium polycristallin faiblement dopées* », Durée : 6 mois (Février-Juillet) – **S. Kazi**
- 2006 **Encadrement de TER Master 1^{ère} année** (Travaux d'étude et de recherche), « *Développement d'une bibliothèque de modèles petits signaux pour des dispositifs actifs en technologie TFT* », Durée : Janvier à Mai (1 journée par semaine) – **J. Plantard et Y. LI**
- 2006 **Encadrement de TER Master 1^{ère} année** (Travaux d'étude et de recherche), « *Etude comparative entre deux procédés de dépôt d'oxyde de grille ainsi que leurs effets sur les caractéristiques électriques pour des TFTs sur substrat de verre à basse température (<600°C)* », Durée : Janvier à Mai (1 journée par semaine) – **F. Himdi et D. Tourtelier**
- 2005-2006 : **Encadrement de TER Master 2^{ème} année** (Travaux d'étude et de recherche), « *Modélisation d'un capteur à effet Hall en VHDL/AMS* », Durée : Décembre à Mars (1 journée par semaine) – **R. Poix et M. Dahanni**

Co-encadrements de thèses

2015 – 2018 **Co-directeur** de Zhi Tao avec T. Mohammed-Brahim (IETR – Université de Rennes 1). Taux d'encadrement : **50%** (Ecole doctorale MATISSE)

Intitulé de la thèse :

“Structure TFT hybride pour la détection de lumière infrarouge”

2014 – 2017 **Co-encadrement** de Jean David Peltier sous la direction de C. Poriel et J. Rault-Berthelot (ISCR – Université de Rennes 1). Taux d'encadrement : **30%** (Ecole doctorale SDLM)

Intitulé de la thèse :

“Nouveaux Matériaux π -Conjugués pour Transistors Organiques de Type n ”

2014 – 2017 **Co-directeur** de Malo Robin avec Y. Molard (ISCR – Université de Rennes 1). Taux d'encadrement : **50%** (Ecole doctorale MATISSE)

Intitulé de la thèse :

“OFETs imprimés pour l'adressage de LED Hybride”

2014 – 2016 **Co-encadrement** de Xiang Liu sous la direction de T. Mohammed-Brahim (IETR – Université de Rennes 1). Taux d'encadrement : **50%** (Ecole doctorale MATISSE)

Intitulé de la thèse :

“ Transistor silicium en couche mince à base de nanoparticules de PbS : Un phototransistor efficace pour la détection de lumière infrarouge”

2012 – 2015 **Co-directeur** de Sarah BEBICHE avec T. Mohammed-Brahim (IETR – Université de Rennes 1). Taux d'encadrement : **50%** (Ecole doctorale MATISSE)

Intitulé de la thèse :

“OTFTs de type N à base de semiconducteurs π -conjugués : Fabrication, performance et stabilité”

2012 – 2015 **Co-directeur** de Hanpeng DONG avec T. Mohammed-Brahim (IETR – Université de Rennes 1). Taux d’encadrement : **50%** (Ecole doctorale MATISSE)

Intitulé de la thèse :

“ Microcrystalline silicon based Thin Film Transistors fabricated on Flexible Substrate ”

2011 – 2014 **Co-encadrement** de Marianne Prevôt sous la direction de Y. Molard (ISCR – Université de Rennes 1) et H. Folliot (FOTON – INSA). Taux d’encadrement : **30%** (Ecole doctorale SDLM)

Intitulé de la thèse :

“ Démonstrateurs des potentialités applicatives des Clustomésogènes ”

2010 – 2014 **Co-encadrement** de Mamadou Lamine Samb sous la direction de T. Mohammed-Brahim (IETR – Université de Rennes 1). Taux d’encadrement : **30%** (Ecole doctorale MATISSE)

Intitulé de la thèse :

“ Modélisation de transistors couches minces fabriqués en silicium microcristallin ”

2009 – 2012 **Co-encadrement** de Peng Zhang sous la direction de O. Bonnaud (IETR – Université de Rennes 1). Taux d’encadrement : **33%** (Ecole doctorale MATISSE)

Intitulé de la thèse :

“ Design and fabrication of new vertical thin film transistor structure ”

Activités de recherche (résumé)

En préambule de ce document, nous avons évoqué les différentes méthodes pour améliorer les systèmes électroniques qui rythment nos vies. Avant de m'intéresser à la technologie microélectronique, mes premières activités de recherche se sont focalisées sur la stratégie de conception d'un système électronique rapide et performant à partir d'une technologie donnée. Cette activité qui consistait à concevoir une mémoire rapide asynchrone a eu lieu au cours de mon stage de DEA Architecture et Conception au CEA-LETI de Grenoble. A première vue, mes travaux de thèse se situaient dans la continuité de mon stage puisqu'ils consistaient à concevoir et fabriquer un circuit analogique de type amplificateur différentiel associé à un capteur à effet Hall dans une technologie donnée. La différence majeure entre mes travaux de stage et mes travaux de thèse concernait la nécessité d'une connaissance et d'une maîtrise approfondies des technologies de fabrication de dispositifs électroniques. Ces travaux ont été menés au sein du département Microélectronique et Microcapteurs de l'IETR sous la direction de France Le Bihan. C'est dans ce contexte que j'ai découvert réellement le monde des procédés de fabrication microélectroniques. J'ai, tout d'abord, commencé par maîtriser la fabrication en salle blanche de transistors en couches minces (dit TFT pour « Thin Film Transistor ») à base de silicium polycristallin cristallisé en phase solide (SPC pour « Solid Phase Crystallization ») à 600°C à partir de silicium amorphe et bien connu à l'époque au Laboratoire. Cette température de 600°C était considérée en 2004 comme basse température, comparativement à la microélectronique sur silicium monocristallin, permettant la fabrication d'une électronique silicium directement sur verre. La caractérisation de ces TFTs a permis le développement d'un modèle électrique indispensable pour prévoir leur fonctionnement dans un circuit plus complexe. A l'issue de ces travaux, le système comprenant le capteur magnétique et son électronique de conditionnement a pu être fabriqué et caractérisé.

Depuis cette date, une grande partie de mes activités de recherche s'est concentrée autour du développement de procédés technologiques à des températures de plus en plus faibles, d'analyse de comportement électrique et de fabrication de circuits électroniques avec ces différentes technologies dites basses températures. La synthèse de mes travaux de recherche sera découpée en trois parties. La première partie est dédiée à la technologie silicium polycristallin pour la fabrication de transistors en couches minces à des températures inférieures à $T=600^{\circ}\text{C}$. La deuxième partie décrit les études menées dans le cadre de stages et de thèses sur la réduction des températures de fabrication de ces dispositifs ($T<180^{\circ}\text{C}$) avec la technologie silicium microcristallin. La dernière partie concerne le développement d'une nouvelle thématique de recherche à l'IETR sur la fabrication de dispositifs électroniques à partir de matériaux organiques. Nous verrons que cette nouvelle thématique est l'axe que je privilégierai pour mon projet de recherche tout en conservant une partie dédiée au silicium microcristallin.

- **Technologie TFT silicium polycristallin à des températures inférieures à 600°C**

Le silicium polycristallin cristallisé SPC est une technologie qui était déjà très bien maîtrisée à mon arrivée à l'IETR en 2004. De nombreuses études avaient été menées notamment sur l'amélioration des performances électriques de transistors couches minces fabriqués sur verre à des températures inférieures à 600°C et sur la compréhension des phénomènes physico-électriques dans le semiconducteur et aux interfaces entre matériaux [5]. Le contrôle des couches constituant le transistor comme l'isolant de grille, les métallisations et le dépôt du semiconducteur a permis d'obtenir de faibles tensions de seuil, des pentes sous le seuil démontrant la qualité des interfaces semiconducteur-isolant, des rapports I_{on}/I_{off} suffisants pour une commutation nette entre régimes passant et bloqué et des mobilités d'effet de champ supérieur à $100\text{cm}^2/\text{V.s}$ qui permettait d'imaginer des systèmes électroniques performants. Mes travaux de thèse faisaient suite à ceux menés par G. Gautier qui avait conçu et fabriqué des inverseurs et des oscillateurs en technologie CMOS à partir de ces transistors [6]. Le microsystème qui a été fabriqué à l'issue de ma thèse était un capteur de position constitué d'un capteur à effet Hall associé à un premier étage d'amplification différentielle et d'un second étage d'amplification. Cette réalisation a pu être possible grâce à un modèle petits signaux développé à partir d'analyse statistique d'un grand nombre de transistors couches minces fabriqués dans la salle blanche de l'IETR. Les meilleurs amplificateurs présentaient des amplifications supérieures à 100 (~42 dB) en mode différentiel et des amplifications en mode commun de l'ordre de 0.1 (~-23dB). Les variations de tension du capteur à effet Hall soumis à un champ magnétique de 0.1T étant très faible (quelques millivolts) autour d'une tension continue élevée (quelques Volts), l'amplificateur associé était alors bien adapté pour ne visualiser que la variation due au champ magnétique.

Depuis, le silicium polycristallin nous a permis de fabriquer d'autres types de dispositifs élémentaires pour l'électronique de conditionnement et pour la fabrication de capteurs. En effet, j'ai eu l'occasion de co-encadrer une thèse dont le sujet principal était d'augmenter la densité d'intégration des transistors couches minces en silicium polycristallin, notamment par le développement d'une nouvelle structure de type verticale.

Toujours dans l'objectif de concevoir des microsystèmes intégrant capteurs et électronique de conditionnement compatibles, nous nous sommes intéressés au développement de capteurs chimiques et biologiques à base de dispositifs à nanofils fabriqués à partir de silicium polycristallin.

Bien que cette technologie soit très intéressante pour développer une large variété d'applications, la température maximale du procédé de fabrication de 600°C reste un

frein pour l'intégration des systèmes électroniques sur des substrats bas coûts, pouvant être flexibles.

- **Technologie TFT silicium microcristallin des températures inférieures à 180°C**

Durant mes années de thèse, une nouvelle technologie voyait le jour au sein du laboratoire qui permet de fabriquer des transistors couches minces à partir de silicium dit microcristallin déposé à des températures inférieures à 180°C. Bien que les performances de ces transistors fussent plus faibles que leur équivalent en silicium polycristallin, l'utilisation de substrats de verre comme support de fabrication n'était plus une contrainte. Les premiers circuits électroniques (inverseurs et oscillateurs) sur substrats flexibles (PEN 125µm) à l'IETR ont ainsi pu être fabriqués. En 2010, Lorsque j'ai commencé à m'intéresser à cette technologie très basse température (180°C) à base de silicium, nous nous sommes orientés vers l'optimisation de l'isolant de grille et la compréhension des phénomènes physico-électriques afin d'accroître la mobilité à effet de champ et la stabilité électrique des TFTs.

Les études présentées dans ce document ont été menées dans le cadre de deux thèses de doctorat et de stages de master 2. La première thèse que j'ai eu l'occasion de co-encadrer s'est focalisée sur la compréhension et la modélisation des phénomènes physico-électriques des µc-Si TFTs (µc pour microcristallin). Les effets des défauts dans la couche semiconductrice et aux interfaces ont été simulés et analysés à l'aide des logiciels ATLAS et ATHENA de chez Silvaco. La deuxième thèse, pour laquelle je suis intervenu, consistait en une étude technologique sur l'optimisation des µc-Si TFTs et vers un transfert des µc-Si TFTs sur substrats flexibles de faibles épaisseurs ($e=25\mu\text{m}$). L'analyse du comportement des TFTs sous déformation mécanique extrême a notamment été parmi les faits marquants pour cette thèse et pour le laboratoire.

- **Technologie TFT organique à des températures inférieures à 110°C**

Avec les compétences acquises au cours des études sur les TFTs à base de silicium polycristallin et sur les TFTs à base de silicium microcristallin, j'ai souhaité proposer une étude sur des transistors en couches minces à partir de matériaux organiques. Ce travail de recherche mené grâce à une nouvelle collaboration avec des chimistes de l'Institut des Sciences Chimiques de Rennes (ISCR) a été le point de départ pour le développement d'une nouvelle thématique de recherche au sein du département Microélectronique et Microcapteurs. En effet, un nouveau procédé technologique a été mis en place pour la mesure des performances électriques de semiconducteurs organiques. Rapidement, un procédé simple et robuste a débouché sur la fabrication de transistors à effet de champ organiques (OFET) de type N aux caractéristiques électriques très encourageantes. Dans le cadre d'une thèse de doctorat que j'ai pu co-

diriger avec T. Mohammed Brahim, différents semiconducteurs organiques ont été étudiés. Ces matériaux, synthétisés par les chimistes de l'équipe MaCSE de l'ISCR, nous ont conforté dans le choix de notre procédé de fabrication pour la réalisation de transistors organiques de type N. En parallèle, nous sommes intéressés à l'optimisation d'un procédé de fabrication par impression jet d'encre pour la fabrication d'OFETs de type N. Cette étude a été menée dans le cadre d'une thèse en collaboration avec l'équipe CSM de l'ISCR dont j'assure la co-direction du côté IETR avec pour objectif la fabrication d'un transistor organique de type N par impression pour le pilotage de pixels. Cette thèse a également été l'occasion d'étudier l'optimisation de la structure OFET par photolithographie et plus particulièrement sur les aspects de fonctionnalisation des électrodes drain/source. Enfin, des structures de type organique/inorganique (hybride) ont été évaluées pour la fabrication de phototransistors dans le cadre d'une collaboration internationale entre l'université de Rennes 1 et South East University à Nankin en Chine. Cette étude, qui a débuté par une thèse en cotutelle pour déterminer les potentialités de cette technologie, se poursuit aujourd'hui dans le cadre d'une seconde thèse en cotutelle dont l'objectif est d'intégrer ce phototransistor hybride dans un système électronique complet comprenant le capteur, l'électronique de conditionnement et l'affichage.

Nous verrons, dans la dernière partie de ce document, que ces études nous permettent d'envisager une électronique plus complexe à partir de matériaux organiques. La démarche pour y parvenir sera décrite dans le projet de recherche.

Publications internationales

[P1] **E. Jacques**, F. Le Bihan, S. Crand and T. Mohammed-Brahim, [Analog Circuits Design using Polycrystalline Silicon TFTs](#), ECS Transaction, Vol. 16, Issue 9, Thin Film Transistor 9, pp. 393-399, 2008.

[P2] **E. Jacques**, F. Le Bihan, S. Crand and T. Mohammed-Brahim, [Hall effect-based microsystem for position detection in polysilicon thin film technology](#), Sensor Letter, Vol. 7, Issue 3, pp. 466-469, 2009.

[P3] **E. Jacques**, L. Pichon, O. Debieu, F. Gourbilleau and N. Coulon, [High rectifying behavior in Al/Si nanocrystal embedded SiO_xN_y/p-Si heterojunctions](#), Semiconductor Science and Technology, Vol. 26, Issue 5, pp. 055005_1-055005_5, 2011.

[P4] **E. Jacques**, L. Pichon, O. Debieu and F. Gourbilleau, [Electrical behavior of MIS devices based on Si nanoclusters embedded in SiO_xN_y and SiO₂ films](#), Nanoscale Research Letters, Vol. 6, Issue 1, pp.170-175, 2011.

[P5] O. Bonnaud, P. Zhang, **E. Jacques**, R. Rogel, [Vertical Channel Thin Film Transistor: Improvement approach similar to multigate monolithic CMOS Technology](#), ECS Transactions, Vol. 37, Issue 1, pp. 29-37, 2011

[P6] O. De Sagazan, **E. Jacques** and T. Mohammed-Brahim, [MOSFET on Thin Si Diaphragm as Pressure Sensor](#), ECS Transaction, Vol. 39, Issue 1, pp. 329-336, 2011.

[P7] K. Kandoussi, **E. Jacques**, N. Coulon, C. Simon and T. Mohammed-Brahim, [Highly controllable dual-gate microcrystalline silicon thin film transistor processed at low temperature \(T<180°C\)](#), Solid-State Electronics, Vol. 63, Issue 1, pp. 140-144, 2011.

[P8] P. Zhang, **E. Jacques**, R. Rogel, O. Bonnaud, [Improvement of a Vertical Thin Film Transistor Based on Low-Temperature Polycrystalline Silicon Technology by Introduction of an Oxide Barrier between Drain and Source Layers](#), ECS Transactions 49 (1), 491-496, 2012

[P9] M.L. Samb, **E. Jacques**, K. Kandoussi, K. Belarbi, N. Coulon, T. Mohammed-Brahim, [Beneficial Effect of Very Thin Active Layer on the Performance of Microcrystalline Silicon TFTs](#), ECS Transactions 49 (1), 59-67, 2012

[P10] L. Pichon, **E. Jacques**, R. Rogel, A.C. Salaun, F. Demami, [Variable range hopping conduction in N-and P-type in situ doped polycrystalline silicon nanowires](#), Semiconductor Science and Technology 28 (2), 025002, 2012

- [P11] P. Zhang, **E. Jacques**, R. Rogel, N. Coulon, O. Bonnaud, [Quasi-vertical multi-tooth thin film transistors based on low-temperature technology \(\$T \leq 600^\circ \text{C}\$ \)](#), Solid-State Electronics 79, 26-30, 2013
- [P12] G. Wenga, **E. Jacques**, A.C. Salaün, R. Rogel, L. Pichon, F. Geneste, [Step-gate polysilicon nanowires field effect transistor compatible with CMOS technology for label-free DNA biosensor](#), Biosensors and Bioelectronics 40 (1), 141-146, 2013
- [P13] P. Zhang, **E. Jacques**, R. Rogel, O. Bonnaud, [Decreasing the off-current for vertical TFT by using an insulating layer between source and drain](#), ECS Transactions 50 (8), 59-64, 2013
- [P14] P. Zhang, O. Bonnaud, **E. Jacques**, R. Rogel, [Towards Higher Integration Thin Film Technology by Involving P-Type and N-Type Vertical Channel Thin Film Transistors](#), ECS Transactions 54 (1), 221-232, 2013
- [P15] L. Ni, A. Girard, P. Zhang, **E. Jacques**, R. Rogel, A.C. Salaun, L. Pichon, [Au-Catalyst Silicon Nanowires Synthesized by Vapor-Liquid-Solid Technique in a V-Shaped Groove: Application for Gas Sensors](#), Sensor Letters 11 (8), 1541-1544, 2013
- [P16] P. Zhang, **E. Jacques**, R. Rogel, O. Bonnaud, [P-type and N-type multi-gate polycrystalline silicon vertical thin film transistors based on low-temperature technology](#), Solid-state electronics 86, 1-5, 2013
- [P17] M.L. Samb, **E. Jacques**, K. Belarbi, N. Coulon, T. Mohammed-Brahim, [\$\mu\text{c-Si}\$ thin film transistors with very thin active layer](#), Solid-State Electronics 89, 128-133, 2013
- [P18] **E. Jacques**, M. Romain, A. Yassin, S. Bebiche, M. Harnois, T. Mohammed-Brahim, J. Rault-Berthelot, C. Poriel, [An electron deficient dicyanovinylene-ladder-type pentaphenylene derivative for n-type organic field effect transistors](#), Journal of Materials Chemistry C 2 (17), 3292-3302, 2014
- [P19] O. Bonnaud, P. Zhang, **E. Jacques**, R. Rogel, [Vertical Conduction in the New Field Effect Transistors: p-Type and n-Type Vertical Channel Thin Film Transistors](#), International Journal of High Speed Electronics and Systems 23 (03n04), 1450023, 2014
- [P20] R. Rogel, **E. Jacques**, L. Pichon, A.C. Salaun, [Polycrystalline silicon nanowires synthesis compatible with CMOS technology for integrated gas sensing applications](#), IEEE Transactions on Electron Devices 61 (2), 598-604, 2014

- [P21] **E. Jacques**, L. Pichon, C. Labbé, L. Khomenkova, F. Gourbilleau, [Analysis of carrier injection in Si nanoparticle-SiO_x film based MOS devices](#), *physica status solidi (c)* 11 (2), 206-210, 2014
- [P22] L. Pichon, R. Rogel, **E. Jacques**, A.C. Salaun, [N-type in-situ doping effect on vapour-liquid-solid silicon nanowire properties for gas sensing applications](#), *physica status solidi (c)* 11 (2), 344-348, 2014
- [P23] **M.L. Samb**, **H. Dong**, **E. Jacques**, G. Sissoko, A.S. Maiga, T. Mohammed-Brahim, [Thinning the active layer of TFTs](#), *ECS Transactions* 64 (10), 9-16, 2014
- [P24] M. Romain, M. Chevrier, **S. Bebiche**, T. Mohammed-Brahim, J. Rault-Berthelot, **E. Jacques**, C. Poriel, [The structure–property relationship study of electron-deficient dihydroindeno \[2, 1-b\] fluorene derivatives for n-type organic field effect transistors](#), *Journal of Materials Chemistry C* 3 (22), 5742-5753, 2015
- [P25] M. Romain, D. Tondelier, B. Geffroy, O. Jeannin, **E. Jacques**, J. Rault-Berthelot, C. Poriel, [Donor/Acceptor Dihydroindeno \[1, 2-a\] fluorene and Dihydroindeno \[2, 1-b\] fluorene: Towards New Families of Organic Semiconductors](#), *Chemistry-A European Journal*, 21, 26, pp. 9426-9439, 2015
- [P26] S. Thiery, D. Tondelier, B. Geffroy, **E. Jacques**, **M. Robin**, R. Métivier, O. Jeannin, J. Rault-Berthelot, C. Poriel, [Spirobifluorene-2, 7-dicarbazole-4'-phosphine Oxide as Host for High-Performance Single-Layer Green Phosphorescent OLED Devices](#), *Organic letters*, 17, 19, pp. 4682-4685, 2015
- [P27] **M. Robin**, W. Kuai, M. Amela-Cortes, S. Cordier, Y. Molard, T. Mohammed-Brahim, **E. Jacques**, M. Harnois, [Epoxy based ink as versatile material for inkjet-printed devices](#), *ACS applied materials & interfaces* 7 (39), 21975-21984, 2015
- [P28] **H. Dong**, Y. Kervran, N. Coulon, O. De Sagazan, **E. Jacques**, T. Mohammed-Brahim, [Highly flexible microcrystalline silicon n-type TFT on PEN bent to a curvature radius of 0.75 mm](#), *IEEE Transactions on Electron Devices* 62 (10), 3278-3284, 2015
- [P29] L. Pichon, R. Rogel, **E. Jacques**, [Electrical properties of phosphorus in situ doped Au-catalyst vapor liquid solid silicon nanowires](#), *Journal of Applied Physics* 118 (18), 185701, 2015
- [P30] Y. Kervran, K. Kandoussi, **H. Dong**, S. Janfaoui, N. Coulon, C. Simon, **E. Jacques**, T. Mohammed-Brahim, [Microcrystalline Silicon Based TFTs and Resistors for Reliable Flexible Electronics](#), *ECS Transactions* 75 (10), 13-25, 2016

[P31] R. Rogel, B. Le Borgne, T. Mohammed-Brahim, **E. Jacques**, M. Harnois, [Spontaneous Buckling of Multiaxially Flexible and Stretchable Interconnects Using PDMS/Fibrous Composite Substrates](#), *Advanced Materials Interfaces*, 2016

[P32] [M. Robin](#), M. Harnois, Y. Molard, **E. Jacques**, [Improvement of n-type OTFT electrical stability by gold electrode modification](#), *Organic Electronics* 39, pp. 214-221, 2016

[P33] C. Quinton, S. Thiery, O. Jeannin, D. Tondelier, B. Geffroy, **E. Jacques**, J. Rault-Berthelot, C. Poriel, [Electron-rich 4-substituted spirobifluorenes: Towards a new family of high triplet energy host materials for high-efficiency green and sky blue phosphorescent OLEDs](#), *ACS Appl. Mater. Interfaces*, 2017, DOI: 10.1021/acsami.6b14285

[P34] [J.D. Peltier](#), B. Heinrich, B. Donnio, J. Rault-Berthelot, **E. Jacques**, C. Poriel, [Electron Deficient Dihydroindaceno-Dithiophene Regioisomers for n-Type Organic Field-Effect Transistors](#), *ACS Appl. Mater. Interfaces*, 2017, DOI: [10.1021/acsami.6b16333](#)

[P35] [S. Bebiche](#), I. Bouhadda, T. Mohammed-Brahim, N. Coulon, J.F. Bergamini, C. Poriel, **E. Jacques**, [Performance improvement of IF \(CN 2\) 2 meta based N-channel OTFTs and their integration into a stable CMOS inverter](#), *Solid-State Electronics* Vol 130, 49-56, 2017, DOI : 10.1016/j.sse.2017.01.009

Communications internationales

[CI 1] **E. Jacques**, F. Le Bihan, S. Crand and T. Mohammed-Brahim, [Differential amplifier using polysilicon TFTs processed at low temperature to be integrated with TFT Hall sensor](#), *IEEE Industrial Electronics, IECON 2006 - 32nd Annual Conference*, Volume , Issue , Nov. 2006, Paris, Page(s):3193-3198, ISSN: 1553-572X, ISBN: 1-4244-0391-X, 2006

[CI 2] **E. Jacques**, F. Le Bihan, S. Crand and T. Mohammed-Brahim, [Hall Effect sensors and conditioning circuit for a low cost position sensor](#), *EUROSENSORS XX, Göteborg, Sweden*; in: "Proceedings EUROSENSORS 2006", Vol. II (2006), ISBN: 91-631-9280-2; 198 – 199, 2006

[CI 3] **E. Jacques**, F. Le Bihan, S. Crand, T. Mohammed-Brahim, [Analog circuits design using polycrystalline silicon TFTs](#), 214nd Meeting of The Electrochemical Society, Thin Film Transistors Technologies IX, Hawaii (USA), 2008

- [CI 4] **E. Jacques**, F. Le Bihan, S. Crand, T. Mohammed-Brahim, [Hall Effect-Based Microsystem for Position Detection](#), European Magnetic Sensors & Actuators Conference EMSA'08 (France), 2008
- [CI 5] M. Zaghdoudi, R. Rogel, T. Mohammed-Brahim and **E. Jacques**, [Improving the quality of polysilicon active layer of TFTs and the TFT's performance by slight phosphorus doping](#), ICANS23, Utrecht (Pays-Bas), 23-28 août 2009
- [CI 6] **E. Jacques**, S. Crand, F. Le Bihan, T. Mohammed-Brahim and R. Rogel, [Detection of Low Amplitude Signal with a Differential Amplifier Performed in Polycrystalline silicon Thin Film Technology](#), ICANS23, 23rd International Conference on Amorphous and Nanocrystalline Semiconductors, Utrecht (Pays-Bas), 23-28 août 2009
- [CI 7] O. de Sagazan, **E. Jacques**, T. Mohammed-Brahim, [Realization of pressure Sensors using FET detection on a Thin Si Membrane](#), Procedia Engineering, Volume 5, Pages 637-640, 2010
- [CI 8] O. Bonnaud, P. Zhang, **E. Jacques**, R. Rogel, [Vertical Channel Thin Film Transistor: Improvement approach similar to multigate monolithic CMOS Technology](#), Invited paper at ULSI vs TFT'2011, ECS Conference, HongKong (China), June 2011
- [CI 9] A. Kherrat, F. Le Bihan, F. Razan, **E. Jacques**, M. Thomas, O. De Sagazan, S. Crand, T. Mohammed-Brahim, [pH sensing from frequency response of SGFET](#), IEEE SENSORS 2011 Conference, Irlande, 2011
- [CI 10] L. Ni, F. Demami, G. Wenga, **E. Jacques**, A-C. Salaün, R. Rogel, L. Pichon, [Silicon nanowires synthesis using top down and bottom up approaches: applications to chemical sensors](#), Workshop NIMS-UR1, Rennes, 2011
- [CI 11] A.C. Salaün, G. Godem-Wenga, **E. Jacques**, R. Rogel, L. Pichon, [Polysilicon nanowires compatible with MOS technology for integrated bio-sensing applications](#), Frontier 2011, Japan, 2011
- [CI 12] G. Wenga, **E. Jacques**, M. Thomas, L. Pichon, R. Rogel, A. C. Salaün, [Grounded and Suspended Polysilicon Nanowires fabricated by Top Down approach](#), MRS spring meeting 2012, San Francisco (USA), 2012
- [CI 13] **E. Jacques**, G. Godem-Wenga, M. Thomas, A. C. Salaün, R. Rogel, L. Pichon, [Polysilicon Nanowires for chemical sensing applications](#), MRS spring meeting 2012, San Francisco (USA), 2012

- [CI 14] **E. Jacques**, L. Pichon, L. Khomenkova, C. Labbé, F. Gourbilleau, [Electrical conduction and electroluminescence in MOS devices based on Si nanocrystal embedded in SiO_x-Si-Nd films](#), MRS spring meeting 2012, San Francisco (USA), 2012
- [CI 15] **M.L. Samb**, **E. Jacques**, K. Belarbi, N. Coulon, L. Pichon, T. Mohammed-Brahim, [µc-Si TFT with very thin active layer, a SOI-TFT](#), MRS spring meeting 2012, San Francisco (USA), 2012
- [CI 16] L. Ni, A. Girard, **P. Zhang**, **E. Jacques**, R. Rogel, A.C. Salaün, L. Pichon, [Silicon nanowires synthesized by VLS technique in a V-shaped groove for gas sensing applications](#), EMRS spring meeting 2012, Strasbourg (France), 2012
- [CI 17] G. Wenga, **E. Jacques**, M. Thomas, L. Pichon, R. Rogel, A. C. Salaün, [Top down polysilicon nanowires synthesis for gas sensor](#), EMRS spring meeting 2012, Strasbourg (France), 2012
- [CI 18] **E. Jacques**, L. Pichon, L. Khomenkova, C. Labbé, F. Gourbilleau, [Electrical behaviour of MIS devices based on Si nanocrystal embedded in SiO_x-Si-Nd/SiN_x-Si Multilayer](#), EMRS spring meeting 2012, Strasbourg (France), 2012
- [CI 19] G. Godem-Wenga, **E. Jacques**, A.C. Salaün, R. Rogel, L. Pichon, F. Geneste, [Polysilicon nanowires based field effect transistor compatible with MOS technology for integrated label-free direct detection of DNA hybridization](#), Biosensors 2012
- [CI 20] R. Rogel, G. Godem, L. Ni, **E. Jacques**, L. Pichon, A.C. Salaun, [Silicon Nanowires based devices for biological/chemical sensors applications](#), NIMS Conference 2012
- [CI 21] **H. Dong**, **E. Jacques**, K. Kandoussi, C. Simon, N. Coulon, T. Mohammed-Brahim, [As-deposited crystallized silicon TFTs for active display addressing](#), 19th International Workshop on Active-Matrix Flatpanel Displays and Devices (AM-FPD), 2012
- [CI 22] **P. Zhang**, **E. Jacques**, R. Rogel, O. Bonnaud, [Vertical Channel Thin Film Transistor: Improvement approach similar to multigate monolithic CMOS Technology](#), SBMicro2012
- [CI 23] L. Pichon, R. Rogel, A.C. Salaun, **E. Jacques**, L. Ni, [Silicon nanowires based sensors for NH₃ detection](#), FRONTIERS 2012
- [CI 24] L. Pichon, R. Rogel, A.C. Salaün, **E. Jacques**, L. Ni, [In-situ doping influence on Vapor Liquid Solid Silicon nanowires electrical pProperties for gas sensing application](#), European Material Research Society, 2013

- [CI 25] **E. Jacques**, L. Pichon, C. Labbe, L. Khomenkhova, F. Gourbilleau, [Electrical conduction in MOS devices based on Si nanocrystal-SiO_x films](#), EMRS Spring Meeting, 2013
- [CI 26] **E. Jacques**, C. Poriel, **S. Bebiche**, M. Harnois, J. Rault Berthelot, T. Mohammed-Brahim, [Electrical stability of N-type OFETs using new pentaphenylene derivative LPP \(CN₂\)₂](#), 9th International Conference on Organic Electronics ICOE, 2013
- [CI 27] O. Bonnaud, **P. Zhang**, **E. Jacques**, R. Rogel, [Towards Higher Integration Thin Film Technology By Involving P-Type And N-Type Vertical Channel Thin Film Transistors](#), 4th International Conference on Semiconductor Technology for Ultra Large Integrated Circuits and Thin Film Transistors ULSIC vs. TFT, 2013
- [CI 28] O. Bonnaud, **P. Zhang**, **E. Jacques**, R. Rogel, [Material engineering for improving the electrical behavior of quasi vertical thin film transistors](#), SUCCE7, 2013
- [CI 29] L. Pichon, A.C. Salaün, G. Wenga, R. Rogel, **E. Jacques**, [Ammonia sensors based on suspended silicon nanowires](#), Procedia Engineering EUROSENSORS, 2014
- [CI 30] **E. Jacques**, C. Poriel, **S. Bebiche**, M. Harnois, J. Rault-Berthelot, T. Mohammed-Brahim, [Stable N-type OFETs using new pentaphenylene derivative LPP \(CN₂\)₂](#), 10th International TFT Conference ITC, 2014
- [CI 31] **S. Bebiche**, C. Poriel, M. Romain, J. Rault-Berthelot, T. Mohammed-Brahim, **E. Jacques**, [Electrical characterization of N-type OFETs using new indenofulorene derivative IF \(CN₂\)₂](#), 10th International Conference on Organics Electronics ICOE, 2014
- [CI 32] T. Nogushi, K. Sugihara, K. Shimoda, T. Gushiken, T. Okada, **E. Jacques**, **H. Dong**, T. Mohammed-Brahim, [Poly Si TFTs Formed by Low Temperature Process Using Blue Laser Diode Annealing](#), The 14th International Meeting on Information Display IMID, 2014
- [CI 33] T. Nogushi, K. Sugihara, K. Shimoda, T. Gushiken, T. Okada, **E. Jacques**, **H. Dong**, T. Mohammed-Brahim, [Poly Si TFTs formed below 180 C using blue laser diode annealing](#), The 21th International Display Workshop IDW, 2014
- [CI 34] **S. Bebiche**, I. Bouhadda, C. Poriel, J. Rault-Berthelot, T. Mohammed-Brahim, **E. Jacques**, [Flexible n-type organic transistors using a new indenofluorene derivative performed on PEN substrate](#), International Thin Film Transistors Conference ITC, 2015

[CI 35] W. Kuai, G. Wenga, T. Mohammed-Brahim, M. Harnois, **E. Jacques**, [Electrical stability investigations of solution processed p-type semiconductor on polymeric insulator](#), International Thin Film Transistors Conference ITC, 2015

[CI 36] [M.L. Samb](#), [H. Dong](#), **E. Jacques**, G. Sissoko, A. Seidou-Maiga, T. Mohammed-Brahim, [The use of very thin active layer to improve the characteristics of TFTs based on not single crystalline semiconductors](#), International Thin Film Transistors Conference ITC 2015

[CI 37] [H. Dong](#), Y. Kervra, N. Coulon, O. De Sagazan, **E. Jacques**, T. Mohammed-Brahim, [Thin film Transistors on polyimide substrate under high deformations](#), International Thin Film Transistors Conference ITC, 2015

[CI 38] R. Rogel, **E. Jacques**, A.C. Salaun, L. Pichon, [Polycrystalline silicon nanowires based TFTs compatible with CMOS technology for chemical integrated sensors](#), International Thin Film Transistors Conference ITC, 2015

[CI 39] Invited, **E. Jacques**, [Charge transport in organic semiconductors based Organic Thin Film Transistors and electrical instability origins](#), International Thin Film Transistors Conference ITC, 2016

[CI 40] Y. Kervran, K. Kandoussi, [H. Dong](#), S. Janfaoui, N. Coulon, C. Simon, **E. Jacques**, T. Mohammed-Brahim, [Silicon: A flexible material for bendable electronics and sensors](#), 31st Symposium on Microelectronics Technology and Devices (SBMicro), 2016

[CI 41] M.T. Hong, S.M. Shin, J.M. Lee, **E. Jacques**, T. Mohammed-Brahim, B. S. Bae, [The Oxide TFT with Solution Based Gate Insulator](#), ECS Meeting Abstract, 2016

[CI 42] Y.E. Jeon, Y.J. Lee, M.K. Jang, B.M. Seo, I.H. Kang, M.T. Hong, J.M. Lee, **E. Jacques**, T. Mohammed-Brahim, B.S. Bae, [Capacitive sensor array for fingerprint recognition](#), 10th International Conference on Sensing Technology (ICST), 2016

[CI 43] [X. Liu](#); **E. Jacques**; T. Mohammed-Brahim; W. Lei, [Highly sensitive visible and near-infrared photo-FET based on PbS quantum dots embedded in the gate insulator](#), 10th International Conference on Sensing Technology (ICST), 2016

Communications nationales

[CN 1] **E. Jacques**, F. Le Bihan et S. Crand, [Microsystème et capteur intégrés en technologie couches minces basse température](#), Jnrndm, Paris, 2005

[CN 2] **E. Jacques**, F. Le Bihan, S. Crand et T. Mohammed-Brahim, [Electronique de conditionnement en technologie couches minces basse température](#), Journée CMC2 XXXV, Toulouse, 2006

[CN 3] **E. Jacques**, F. Le Bihan, S. Crand et T. Mohammed-Brahim, [Conception d'un amplificateur différentiel à base de transistors couches minces en silicium polycristallin](#), Jnr dm, Rennes, 2006

[CN 4] **E. Jacques**, F. Le Bihan, S. Crand et T. Mohammed-Brahim, ["Modélisation et Simulation de TFTs en Silicium Polycristallin pour la Réalisation d'un Capteur de Position en Technologie Basse Température"](#), Jnr dm, Lille, 2007

[CN 5] F. Gourbilleau, C. Dufour, J. Cardin, O. Debieu, J L. Doualan, P. Camy, X. Portier, C. Frilay, J. Harrier, S. Haesert, Y. Dumeige, Y. Boucher, L. Pichon, **E. Jacques**, H. Lhermite, N. Coulon, [Dispositifs Appliqués à la Photonique à base de Néodyme et de Silicium](#), Journées Nationales en Nanosciences et en Nanotechnologies, Toulouse (France), 2009

[CN 6] A.C. Salaün, R. Rogel, L. Pichon, **E. Jacques**, L. Ni, G. Godem-Wenga, [Nanofils de silicium utilisés dans des capteurs chimiques et biologiques](#), Ecole thématique CMC2 Capteurs chimiques, biocapteurs et biopuces, 2011

[CN 7] L. Pichon, R. Rogel, A.C. Salaun, **E. Jacques**, F. Demami, G. Godem-Wenga, [Fully compatible CMOS technology polysilicon nanowires for integrated gas sensing applications](#), Journées GDR" Nanofils, Nanotubes Semiconducteurs, 2011

[CN 8] L. Ni, **E. Jacques**, R. Rogel, A.C. Salaün, L. Pichon, [Gold catalyst vapor-liquid-solid phase silicon nanowires: application to ammonia detection](#), Workshop GDR" Nanofils, Nanotubes, Semiconducteurs", 2012

[CN 9] **E. Jacques**, M. Thomas, R. Rogel, A.C. Salaün, L. Pichon, [Grounded and suspended polysilicon nanowires for gas sensing applications](#), Workshop GDR" Nanofils, Nanotubes, Semiconducteurs", 2012

[CN 10] G. Godem-Wenga, **E. Jacques**, A.C. Salaün, R. Rogel, L. Pichon, F. Geneste, [Silicon nanowires for \(bio\) chemical sensing applications](#), Workshop GDR" Nanofils, Nanotubes, Semiconducteurs, 2012

[CN 11] A.C. Salaün, G. Godem-Wenga, **E. Jacques**, R. Rogel, L. Pichon, F. Geneste, [Polysilicon nanowires field effect transistor for ultrasensitive label-free biosensing application](#), Workshop CMC2-Ibernem, 2012

[CN 12] O. De Sagazan, **E. Jacques**, M. Harnois, C. Lebreton, T. Mohammed-Brahim, [Actions de sensibilisation aux nanosciences et nanotechnologies en direction des lycées de Bretagne](#), 12èmes Journées pédagogiques du CNFM, 2012

[CN 13] L. Pichon, A.C. Salaün, R. Rogel, G. Godem-Wenga, M. Thomas, **E. Jacques**, [Silicon nanowires synthesis for chemical and biological sensors applications](#), Journées du C'Nano Nord Ouest, 2013

[CN 14] A.C. Salaün, L. Pichon, R. Rogel, **E. Jacques**, G. Godem-Wenga, [Development of low-cost nanosensors based on silicon nanowires for chemical or biological detection](#), Nano-matériaux, nano-objets pour la détection et les capteurs, Fondation, 2013

[CN 15] L. Pichon, A.C. Salaün, R. Rogel, G. Wenga, **E. Jacques**, B. Le Borgne, [Planar silicon CMOS technology silicon nanowires based sensors](#), Réunion plénière des GDR Pulse et GDR Nanofils, 2014

[CN 16] **E. Jacques**, M. Harnois, F. Jégousse, T. Mohammed-Brahim, [TP Eurodots: Silicium microcristallin et Semiconducteur organique: Quel matériau pour l'électronique flexible?](#), 13ièmes Journées Pédagogiques du CNFM, 2014

Publications Pédagogiques

[PP 1] A.C. Salaün, R. Rogel, **E. Jacques**, L. Pichon, [Fabrication et caractérisation électrique d'un capteur de gaz à base de nanofils de silicium suspendus](#), J3eA, Vol 14, 2014

[PP 2] M. Harnois, T. Mohammed Brahim, **E. Jacques**, [Initiation à la technologie d'impression jet d'encre: Réalisation de jauges de contraintes organiques sur papier](#), J3eA, Vol 14, 2015

Partie 2 : Synthèse des activités de recherche

Introduction et contexte général

Cette section propose un bilan de mes activités de recherche depuis ma thèse de doctorat. Les études présentées dressent le lien entre mon projet de recherche et l'expérience acquise à travers les différentes thématiques de recherche dans lesquelles j'ai pu évoluer.

La conception et la fabrication d'un circuit analogique à partir d'une technologie basse température ($T < 600^\circ\text{C}$) à base de silicium polycristallin au cours de mon doctorat était déjà un sujet qui permettait de côtoyer le monde du matériau, du procédé de fabrication, du modèle électrique, de la conception de circuit et de la caractérisation électrique. L'utilisation de matériaux déposés à basse température présentant des défauts dans leur réseau cristallin et l'association de matériaux peu compatibles provoquant des défauts d'interface permettent une vision plus critique à l'égard des dispositifs fabriqués à basse ($T < 600^\circ\text{C}$) et à très basse température ($< 200^\circ\text{C}$).

A partir des matériaux utilisés pendant ma thèse, j'ai eu l'occasion de me concentrer sur la structure des dispositifs notamment lors de l'étude de nanofils à base de silicium polycristallin et lors de l'optimisation de transistors à architecture verticale toujours à base de silicium polycristallin. Le développement de capteurs dans cette technologie basse température ($T < 600^\circ\text{C}$) m'a également apporté une expérience différente sur l'utilisation de ces matériaux et sur la compréhension des mécanismes de conduction électrique dans ces dispositifs.

Enfin, l'étude des matériaux présentant une plus forte désorganisation structurale tel que le silicium microcristallin et les matériaux organiques, a contribué à une meilleure compréhension des effets d'interface et de qualité de couche dans les dispositifs électroniques. De plus, les procédés de fabrication étant à plus faible température ($T < 180^\circ\text{C}$ pour le silicium et $T < 110^\circ\text{C}$ pour les organiques), l'étude de ces nouveaux matériaux a été l'occasion de se familiariser avec l'utilisation de substrats de toutes natures. Plus particulièrement, la déformation mécanique de transistors fabriqués sur substrats souples est un atout pour comprendre les interactions entre les caractéristiques électriques et les contraintes mécaniques.

Deux visions de la recherche sur les dispositifs électroniques semblent s'affronter alors qu'elles sont indissociables. La première consiste à améliorer constamment le dispositif électronique élémentaire (TFT) en faisant appel à des critères établis par la communauté scientifique tels que la mobilité d'effet de champ μ_{FE} , la tension de seuil V_{TH} , la pente sous le seuil SS, le rapport I_{Don}/I_{Doff} ou encore le courant de grille I_G . La deuxième vision consiste à prendre le dispositif électronique élémentaire dans son état et de l'insérer dans un circuit. Les critères d'évaluation dépendent fortement de l'application visée mais pourraient être définis par l'uniformité des paramètres

électriques d'un transistor en fonction de sa position sur l'échantillon, la reproductibilité des paramètres électriques du transistor entre deux lots fabriqués à des instants différents et la stabilité électrique du dispositif électronique élémentaire sous polarisation constante ou dynamique. La mobilité d'effet de champ, la tension de seuil et la pente sous le seuil doivent être totalement indépendantes de la dimension W/L du transistor.

La première vision de l'électronique basse température nécessite une recherche à la fois sur les matériaux, sur l'interaction électrique entre matériaux (interfaces) et sur les structures des dispositifs élémentaires. Cette démarche est à la frontière entre l'électronique et la physique. La seconde nécessite la modélisation électrique du dispositif élémentaire, la conception de circuits permettant de limiter les effets d'instabilité et/ou de non uniformité de certains paramètres électriques et la mise en place de bancs de caractérisations électriques statique et dynamique adaptés aux circuits fabriqués.

D'après mon expérience acquise au cours de mon doctorat, de mes contrats postdoctoraux, de mon année d'ATER et de mon début de carrière en tant que maître de conférences, ces deux démarches doivent cohabiter au sein d'une même équipe pour être capable d'appréhender les effets de la qualité d'un matériau et de la structure du dispositif sur le fonctionnement d'un circuit électronique simple ou complexe.

Le milieu du matériau déposé à très basse température est très concurrentiel avec des centaines de matériaux semiconducteurs, isolants et conducteurs imaginés, synthétisés/déposés et optimisés dans des dizaines de laboratoires. Focalisons nous sur les semiconducteurs, trois technologies rivalisent : le silicium amorphe et micro/nano cristallin, les oxydes métalliques et les organiques. Ces trois technologies ont bénéficié d'un effort de recherche important ces quinze dernières années avec la possibilité, aujourd'hui, de fabriquer des transistors stables avec des performances électroniques suffisantes pour un grand nombre d'applications basses fréquences. L'orientation de mes activités vers l'électronique organique a été dictée par l'idée qu'il sera possible demain de fabriquer un circuit électronique dans une TPE/PME avec un budget thermique minimal, permettant une forte valeur ajoutée, et intégré à des objets de la vie courante. La technologie à base de matériaux organiques était, selon moi, la clé pour atteindre cet objectif. Les procédés technologiques avec les températures les plus faibles pour fabriquer un transistor sont aujourd'hui les procédés à base de matériaux organiques. Depuis le lancement de la thématique électronique organique à l'IETR, nos meilleurs transistors à base d'un semiconducteur et d'un isolant organiques sont fabriqués avec une température maximale de 110°C.

Le comportement proche mais différent des transistors fabriqués à partir de ces matériaux pas ou peu ordonnés par rapport aux transistors à base de silicium

monocristallin, impose également de les évaluer dans des conditions réelles d'utilisation. La conception, la fabrication et la caractérisation de circuits électroniques à partir de transistors basses températures sont essentielles pour comprendre et promouvoir ces technologies. L'extraction des paramètres statiques d'un transistor est intéressante pour comparer deux dispositifs mais ne nous fournit pas d'information sur la possibilité ou non de l'intégrer dans un circuit.

Toujours dans l'objectif d'intégrer de l'électronique sur des objets de la vie courante, un de mes centres d'intérêt se focalise également sur le support de cette électronique. En effet, après avoir expérimenté sur substrat en silicium monocristallin, sur verre et sur plastique ; le projet de recherche, proposé dans ce manuscrit, a pour objectif de fabriquer des circuits électroniques transparents et flexibles sur tout support voire directement sur les objets. L'utilisation d'un substrat avec un impact environnemental limité est une priorité puisque 99% du circuit électronique correspond à la masse/volume du substrat. Enfin, si l'électronique devient encore plus présente du fait de ces nouvelles technologies, il faut être conscient que cette technologie doit être la plus propre possible.

Ce document tend à démontrer que les expériences acquises au cours de mon cursus de recherche sont en adéquation avec le projet de recherche. Trois chapitres seront dédiés aux recherches menées jusqu'à aujourd'hui et trois chapitres seront consacrés au projet de recherche que je souhaite mener à court, à moyen et à long termes.

Les trois premiers chapitres de la partie 2 dressent un bilan des matériaux étudiés au cours de mes recherches sur la diminution des températures de fabrication des transistors couches minces (Thin Film Transistor : TFT). Ce bilan couvre ma thèse de doctorat consacrée à la technologie silicium polycristallin SPC (Solid Phase Cristallisation) à $T_{\max}=600^{\circ}\text{C}$, mes années post-doctorales pendant lesquelles je me suis intéressé au silicium microcristallin, une technologie permettant la fabrication de TFT à $T_{\max}=180^{\circ}\text{C}$. A l'occasion de mon affectation en tant que Maître de Conférences à l'IUT de Rennes 1 et à l'Institut d'Electronique et des Télécommunications de Rennes (IETR), j'ai pu proposer une nouvelle thématique au sein du département Microélectronique et Microcapteurs de l'IETR, laboratoire jusqu'ici spécialiste du silicium déposé par CVD. Ce nouveau sujet de recherche sur l'élaboration de TFTs à partir de matériaux organiques est cohérent par rapport à notre volonté de diminuer les températures de fabrication des TFTs. A ce jour, la température maximale de fabrication de nos circuits à base de matériaux organiques est $T_{\max}=110^{\circ}\text{C}$. Cette température permet une compatibilité accrue avec des substrats exotiques tels que des substrats plastiques, papiers voire biodégradables. Enfin, cette dernière voie explorée plus récemment propose d'aller plus loin sur la démocratisation de la fabrication de circuits électroniques. La fabrication des TFTs en solution, et donc par des procédés sans contact tel que l'impression par jet de matière, est une idée qui ne porte pas seulement sur la diminution du budget thermique

de la fabrication d'un circuit. Elle porte également sur l'idée qu'une entreprise qui souhaiterait ajouter une intelligence à un objet sera en mesure de le faire grâce à une « simple » imprimante.

La dernière partie de ce document se focalise sur le projet de recherche. Ce projet est divisé en trois chapitres. Le premier chapitre est consacré à la conception d'un microsystème intégrant capteur et électronique de conditionnement en technologie couches minces à base de silicium microcristallin. Nous évoquerons également la possibilité d'intégrer plusieurs technologies pour la conception d'une fonction électronique. Le deuxième chapitre concerne la technologie couches minces à base de matériaux organiques. Il s'inscrit dans la continuité des recherches menées jusqu'à présent sur les OFETs avec une attention particulière sur la fabrication de structures OFETs innovantes. Le dernier chapitre traite de la conception de circuits électroniques par photolithographie et par impression à partir de transistors couches minces organiques. Cette partie décrit la démarche qui sera employée pour apporter une nouvelle orientation au département Microélectronique et Microcapteurs ce qui justifie mon envie d'être habilité à diriger des recherches.

Chapitre 1 : Electronique grande surface sur substrats de verre en silicium polycristallin

Introduction et contexte

L'intérêt majeur de la conception d'une électronique grande surface réside dans le fait d'être capable d'intégrer un grand nombre de fonctions de l'électronique classique sur un même substrat. L'idée première est avant tout d'intégrer ces fonctions sur des objets de la vie courante. Ces technologies allaient alors entrer en rupture avec l'électronique silicium classique (silicium monocristallin) où le support (ou substrat) fait partie intégrante du composant. La fabrication d'une électronique indépendante de son support par élaboration de couches minces permettait alors la diversification des substrats. Les premières applications visées ont été l'affichage avec l'apparition des premiers écrans plats. La technologie LCD est alors apparue avec des écrans noir et blanc à la fin des années 1980 et en couleur au milieu des années 1990. La fabrication de matrices d'adressage et des pixels associés directement sur verre a été rendue possible par la structuration de couches minces métalliques, isolantes et semiconductrices déposées à des températures compatibles avec ce support. En parallèle, la démocratisation du téléphone portable ouvrait la voie à de nouveaux besoins en électronique.

Deux voies très distinctes se concurrencent pour augmenter le nombre de fonctions dans un système électronique. La première voie est celle de la technologie silicium monocristallin où l'ajout de nouvelles fonctions se fait par une intégration toujours plus importante de transistors sur une même surface (wafer de silicium limité en taille). La taille du wafer étant un aspect limitant de cette technologie, l'augmentation de l'intégration ne peut se faire que par la diminution des dimensions des composants, par l'empilement de composants en 3 dimensions et par la diminution des dimensions des pistes d'interconnexions. Un problème se pose alors : quelles sont les limites de cette réduction de dimensions ? La seconde voie est celle des technologies dites grandes surfaces qui permettent d'ajouter des fonctions par l'augmentation de la taille du substrat. Evidemment, de nombreux efforts de recherche sont également employés pour augmenter l'intégration des dispositifs que ce soit par l'amélioration des performances ou par l'empilement 3D des composants. TFT, pour transistor en couches minces (Thin Film Transistor en anglais), est le terme pour désigner ces transistors indépendants de leur substrat. Parmi ces TFTs, la technologie en silicium amorphe (a-Si) est aujourd'hui la plus mature et la plus répandue dans la fabrication industrielle d'électronique grande surface. Elle est principalement utilisée pour des applications ne nécessitant pas de

hautes fréquences de fonctionnement (matrice d'adressage pour écrans plats). La limitation de la taille du substrat n'étant plus un problème, les procédés de fabrication sont réalisés sur des substrats pouvant aller à plus de 4m de diagonale. Le second intérêt de cette technologie est son faible coût de production et des étapes technologiques bien maîtrisées. Evidemment, les performances de ces transistors sont moindres et les principales limitations sont leur faible mobilité d'effet de champ ($0.1-1\text{cm}^2/\text{V.s}$) et leur instabilité électrique sous polarisation électrique.

Dans ces technologies grandes surfaces s'est alors développé le silicium polycristallin qui est un matériau intermédiaire entre le silicium amorphe et le silicium monocristallin. Il existe un grand nombre de matériaux silicium polycristallin suivant les techniques de cristallisation utilisées. Les performances des transistors à base de ces matériaux restent plus intéressantes que dans le cas du silicium amorphe.

Le silicium polycristallin utilisé dans le groupe Microélectronique lors de mon arrivée en thèse en 2004 (devenu Département Microélectronique et Microcapteurs en 2010) est cristallisé par la technique appelée SPC (Solid Phase Cristallisation). Cette technique présente l'avantage d'obtenir un matériau uniforme sur de grandes surfaces pour un coût de production limité contrairement à d'autres techniques comme la cristallisation par laser qui présente des tailles de grain dispersées et un coût de production plus élevé.

I. Technologie CMOS à base de silicium polycristallin pour l'électronique analogique

1. Transistor en couches minces à base de silicium polycristallin

La technologie silicium polycristallin recuit SPC a permis de développer au laboratoire des éléments de base de l'électronique numérique tel que des inverseurs et des oscillateurs CMOS. Les mobilités d'effet de champ obtenues étaient de l'ordre d'une centaine de $\text{cm}^2/\text{V.s}$. L'objectif de ma thèse de doctorat s'inscrivait dans la continuité de ces travaux en montrant la possibilité de concevoir une électronique analogique associée à un capteur à effet Hall, lui aussi élaboré en couches minces. La partie électronique analogique consistait en un premier étage constitué d'un amplificateur différentiel et d'un second étage d'amplification. Le premier étage était destiné à amplifier le signal utile issu du capteur à effet Hall (mode différentiel) et à réduire sa tension d'offset (mode commun) inhérente à la technologie de fabrication du capteur. Une des étapes la plus longue de ce travail a été la maîtrise du procédé technologique pour la fabrication de transistors de type N et de type P sur un même substrat de verre et la réalisation d'un grand nombre de transistors. En effet, la conception d'un circuit composé de 7 transistors ne pouvait pas avoir lieu sans une modélisation électrique des transistors (analyse statistique des performances) et des simulations pour prévoir le

comportement des amplificateurs. L'analyse des performances, de l'uniformité et de la reproductibilité des transistors a été réalisée à l'aide des masques de photolithographie préalablement conçus lors de la précédente étude sur la conception d'éléments de base de l'électronique numérique [7].

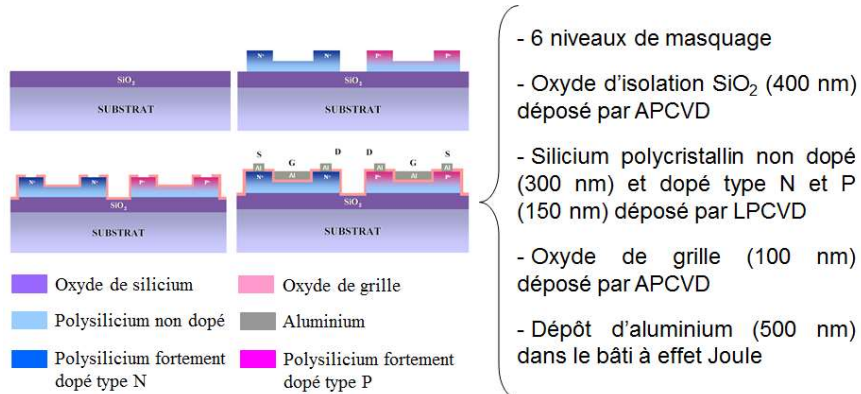


Figure 1: Etapes de fabrication de transistors de type N et de type P sur un même substrat

L'analyse des performances passe par l'extraction de paramètres électriques issus des caractéristiques de transfert et de sortie du transistor. Ces paramètres sont la mobilité d'effet de champ μ_{FE} relative à la vitesse de déplacement des porteurs au sein du canal de conduction, la tension de seuil V_{TH} relative aux tensions de fonctionnement du transistor dans un circuit, la pente sous le seuil SS relative à la faculté de commutation d'un état passant à un état bloqué du transistor et le rapport R_{DSon}/R_{DSoff} la faculté à distinguer l'état passant de l'état bloqué.

L'extraction manuelle de ces paramètres électriques à partir des caractéristiques de transfert et de sortie des transistors est source d'erreur et est un travail fastidieux s'il est exécuté sur un grand nombre de transistors. J'ai alors préféré mettre en place un outil d'extraction automatique de ces paramètres permettant une meilleure reproductibilité de la méthode d'extraction. L'analyse a été faite sur 70 transistors dont 35 de dimensions $W/L=20\mu m/40\mu m$ et 35 de dimensions $80\mu m/40\mu m$.

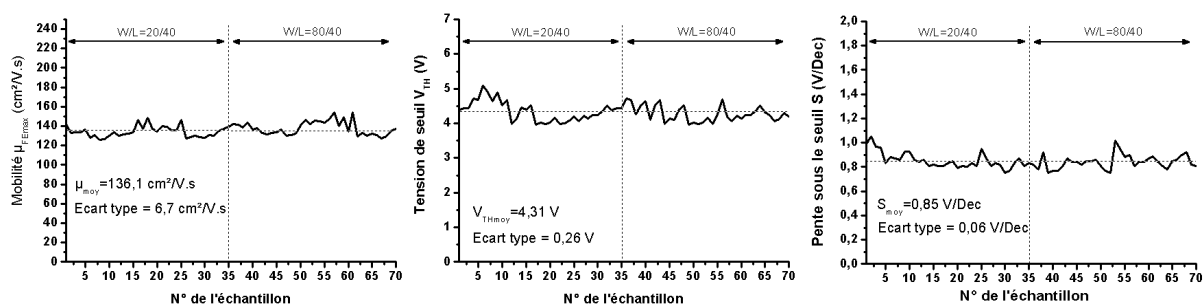


Figure 2: Uniformité des paramètres électriques de Poly-Si TFTs

Ces analyses ont démontrées la possibilité de concevoir des dispositifs avec une relativement bonne reproductibilité, 5% d'écart type pour la mobilité maximale, 6% pour la tension de seuil et 7% pour la pente sous le seuil.

2. Amplificateur différentiel en technologie silicium polycristallin couche mince

Lorsqu'une technologie est maîtrisée, comme ce fût le cas avec le silicium polycristallin déposé par LPCVD et cristallisé SPC, il est possible de développer un modèle électrique grands signaux et petits signaux. Le modèle électrique grands signaux permet d'évaluer les potentialités d'une technologie donnée dans des circuits électriques de type numérique (portes logiques, oscillateurs, ...). Le modèle petits signaux permet de simuler le comportement électrique des transistors dans des circuits électroniques de type analogique (amplification, filtrage, ...).

Les paramètres importants pour mener cette modélisation sont la transconductance g_m , la conductance drain-source g_{DS} et les capacités C_{GS} , C_{GD} . La technologie silicium polycristallin SPC permet d'obtenir une uniformité des paramètres électriques des TFTs et donc de déterminer une loi sur g_m et g_{DS} en fonction des dimensions W/L des transistors. Un modèle électrique simple a ensuite été défini pour simuler le comportement en fréquence de ces TFTs (figure 3).

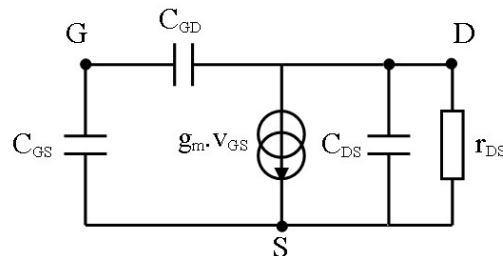


Figure 3: Modèle petits signaux d'un TFT

Les poly-Si TFTs ont été caractérisés en fréquence à l'aide d'une carte permettant la polarisation des TFTs. La validité du modèle a pu ainsi être vérifiée entre les résultats issus de la simulation spice et les résultats expérimentaux. Les trois tableaux ci-dessous présentent les gains expérimentaux et simulés en dB de TFTs pour 3 dimensions différentes.

Ces résultats ont été le point de départ pour la conception d'un système plus complexe. A partir de ces tableaux, l'adéquation entre les gains théoriques et les gains expérimentaux nous a encouragés dans cette voie. Les paramètres g_m et r_{DS} ont pu être

estimés en fonction des dimensions W/L des transistors car la technologie couches minces en silicium polycristallin était maîtrisée et reproductible.

$W/L=20/20$ $R_D=47k\Omega$	g_m extrait ($\mu A/V$)	r_{DS} extrait ($k\Omega$)	Gain théorique $g_m(r_{DS}/R_D)$	Gain théorique (en dB)	Gain expérimental (en dB)
TFT 1	14,42	1120	0,65	-3,74	~ - 4 dB
TFT 2	15,02	861,35	0,67	-3,49	
TFT 3	13,86	978,46	0,62	-4,13	

Tableau 1 : Comparaison entre gain simulé issu de l'extraction des paramètres électriques et gain expérimental de poly-Si TFTs de dimensions W/L=20/20 pour le point de polarisation $V_{GS}=5V$ et $V_{DS}=10V$

$W/L=40/20$ $R_D=47k\Omega$	g_m extrait ($\mu A/V$)	r_{DS} extrait ($k\Omega$)	Gain théorique $g_m(r_{DS}/R_D)$	Gain théorique (en dB)	Gain expérimental (en dB)
TFT 1	26,4	482,4	1,13	1,06	~ 1,2 dB
TFT 2	27,3	526,7	1,18	1,43	
TFT 3	25,9	580,2	1,12	0,98	

Tableau 2 : Comparaison entre gain simulé issu de l'extraction des paramètres électriques et gain expérimental de poly-Si TFTs de dimensions W/L=40/20 pour le point de polarisation $V_{GS}=5V$ et $V_{DS}=10V$

$W/L=60/20$ $R_D=47k\Omega$	g_m extrait ($\mu A/V$)	r_{DS} extrait ($k\Omega$)	Gain théorique $g_m(r_{DS}/R_D)$	Gain théorique (en dB)	Gain expérimental (en dB)
TFT 1	53,3	332	2,19	6,81	~ 7,5 dB
TFT 2	57,2	270,6	2,23	6,97	
TFT 3	56,7	308,9	2,31	7,27	

Tableau 3 : Comparaison entre gain simulé issu de l'extraction des paramètres électriques et gain expérimental de poly-Si TFTs de dimensions W/L=60/20 pour le point de polarisation $V_{GS}=5V$ et $V_{DS}=10V$

Le point crucial de cette étude était d'estimer le comportement en fréquence de ces poly-Si TFTs. En effet, le département Microélectronique et Microcapteurs était

spécialisé dans le développement de procédé de fabrication de dispositifs en couches minces mais l'évaluation des performances électriques ne consistait qu'en une étude statique des composants.

L'estimation de la limitation en fréquence des poly-Si TFTs a été menée en évaluant les capacités de recouvrement C_{GS} et C_{GD} puis en calculant la contribution de la capacité entre le canal et l'électrode de grille. A partir de l'extraction des capacités présentes dans la structure du TFT, la réponse en fréquence a pu être évaluée. La capacité C_{DS} (figure 3) étant très difficile à évaluer (joints de grain du matériau), elle a été estimée en adaptant les résultats obtenus en simulation par rapport aux résultats expérimentaux.

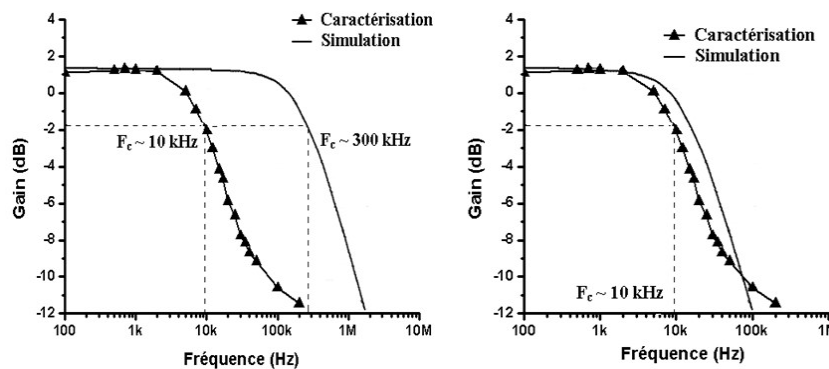


Figure 4: Adaptation de la capacité équivalente C_{DS} pour la modélisation du comportement en fréquence d'un TFT Poly-Si

Ce modèle simple petits signaux a permis de déterminer le comportement en fréquence d'un TFT. Il nous permet aussi d'envisager une simulation plus complexe afin de prévoir le comportement d'un amplificateur différentiel constitué d'une paire différentielle, d'une source de courant, de charges actives et d'un étage d'amplification.

	Paire différentielle W/L ($\mu\text{m}/\mu\text{m}$)	Charges actives W/L ($\mu\text{m}/\mu\text{m}$)	Gain en mode différentiel (dB)	Gain en mode commun (dB)
Amplificateur différentiel 1	20/40	60/20	32	-10,2
Amplificateur différentiel 2	20/40	40/20	36,2	-12,3
Amplificateur différentiel 3	20/20	60/20	33,5	-9,1
Amplificateur différentiel 4	20/20	40/20	44	-13,6
Amplificateur différentiel 5	40/20	60/20	22,3	-8,5
Amplificateur différentiel 6	40/20	40/20	24,2	-10,8

Tableau 4 : simulation du comportement d'un amplificateur différentiel en fonction des dimensions W/L des TFTs.

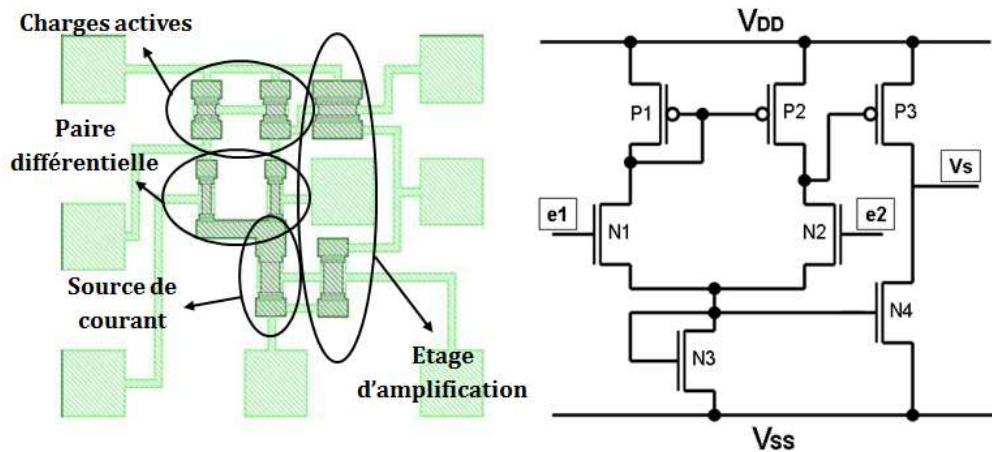


Figure 5: Schéma électrique et masques de photolithographie d'un amplificateur différentiel

Les amplificateurs différentiels simulés ont été fabriqués et caractérisés. Sur la figure 6, la réponse en fréquence de l'amplificateur n°4 (tableau 4) montre la possibilité de prévoir le fonctionnement de système complexe à base de Poly-Si TFTs.

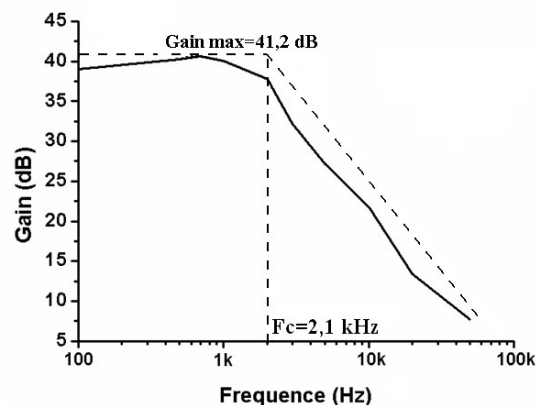


Figure 6: Caractérisation fréquentiel d'un amplificateur différentiel

Cette étude sur la conception et la fabrication d'un amplificateur différentiel dans une technologie basse température (silicium polycristallin) a montré la possibilité de concevoir un système relativement complexe dans une technologie donnée. Malgré les problématiques liées à toute technologie, la conception d'une électronique analogique a été possible. Cette expérience a été très enrichissante et me permet d'envisager ce type de circuits dans des technologies plus basse température. Le détail de ces travaux ont fait l'objet de deux publications [P1][P2], de 4 communications nationales [CN1-CN4] et de 4 communications internationales [CI1 -CI4].

II. Nouvelles structures transistors à base de silicium polycristallin

En introduction, nous avons évoqué deux possibilités pour ajouter de plus en plus de fonctions électroniques à nos objets. La technologie couches minces en silicium polycristallin permet la fabrication de circuits sur de grandes surfaces. Cependant, nous avons aussi voulu évaluer la possibilité d'augmenter la densité d'intégration de transistors fabriqués dans cette technologie.

1. Les transistors verticaux

Le courant I_D délivré par un transistor couches minces (TFT) est directement relié à sa géométrie W/L . L'augmentation de la densité d'intégration de dispositifs électroniques passe par la diminution de la longueur du canal L . Les transistors en silicium polycristallin étaient, jusqu'à présent, fabriqués en structure coplanaire. Cette structure, simple à réaliser, a le désavantage d'être limitée par la définition du canal par voie photolithographique. Au laboratoire et avec des procédés de fabrication standards, la longueur de canal est limité à $1\mu\text{m}$.

Le concept de transistors verticaux a alors été proposé et étudié au cours de la thèse de doctorat de M. Peng Zhang dont les travaux ont été dirigés par le Professeur O. Bonnaud et co-encadrés par R. Rogel et E. Jacques.

La première structure étudiée est présentée sur la figure suivante :

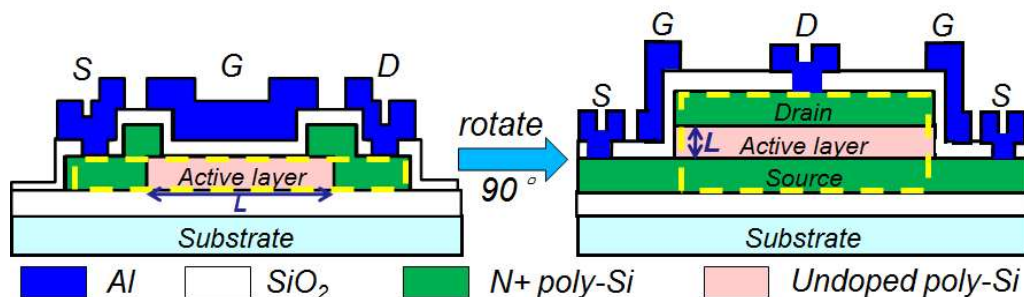


Figure 7: D'un TFT coplanaire vers un TFT vertical (VTFT)

L'intérêt de cette structure réside dans la définition de la longueur du canal du transistor par le dépôt du silicium polycristallin non intentionnellement dopé (couche active) dont le contrôle peut être géré à la dizaine de nanomètre près.

Bien que la structure en coupe montre l'intérêt de ce type de structure, le désavantage principal n'est pas clairement visible. En effet, le recouvrement drain-source dans ce

type de structure est très grand. L'épaisseur de la couche active étant faible le champ électrique E_{DS} est très élevé même pour de faibles valeurs de V_{DS} .

La conséquence est indiscutable lorsque nous nous intéressons au courant I_{Doff} de la figure 8. Les courants I_{Don} sont relativement intéressants mais le rapport entre régime on et régime off reste faible ($I_{Don}/I_{Doff}=10^2$).

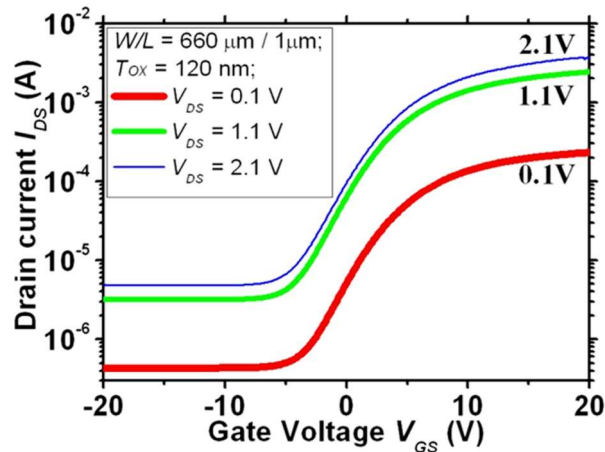


Figure 8: Caractéristiques de transfert d'un TFT vertical – structure initiale

Afin de limiter le courant de fuite I_{Doff} en régime bloqué, nous avons cherché à optimiser notre structure. Ce courant de fuite provient essentiellement de l'empilement N^+ -Si/Nid-Si/ N^+ -Si. L'électrode de grille n'est située qu'au niveau des dents représentées sur la figure 9. Le courant circulant entre le drain et la source n'est contrôlé par la grille qu'au niveau de ces dents. Un isolant à base d'oxyde de silicium a donc été inséré entre le drain et la source pour les zones non contrôlées par la grille. Cette solution participe fortement à la diminution du courant de fuite I_{Doff} (figure 9b).

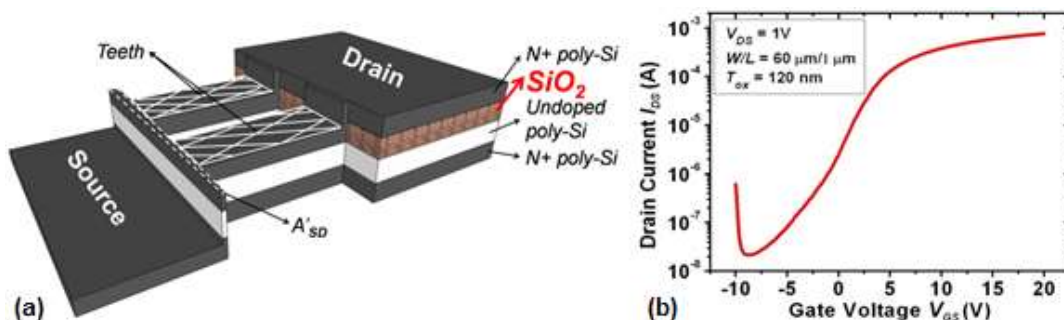


Figure 9: Ajout d'un oxyde pour diminuer le recouvrement provenant du vis-à-vis drain-source

Ce nouveau procédé de fabrication, bien qu'ayant l'avantage certain de réduire le courant de fuite I_{Doff} , complexifie fortement la technologie. L'impact direct est la difficulté pour reproduire des dispositifs identiques.

Nos études menées, pour contrôler parfaitement notre flan de gravure pour créer la structure verticale, ont ouvert la possibilité de déposer directement le canal par LPCVD sur ce flan de gravure. Cette fois la longueur du canal est définie par l'épaisseur de la barrière (isolant) déposée entre le drain et la source (figure 10).

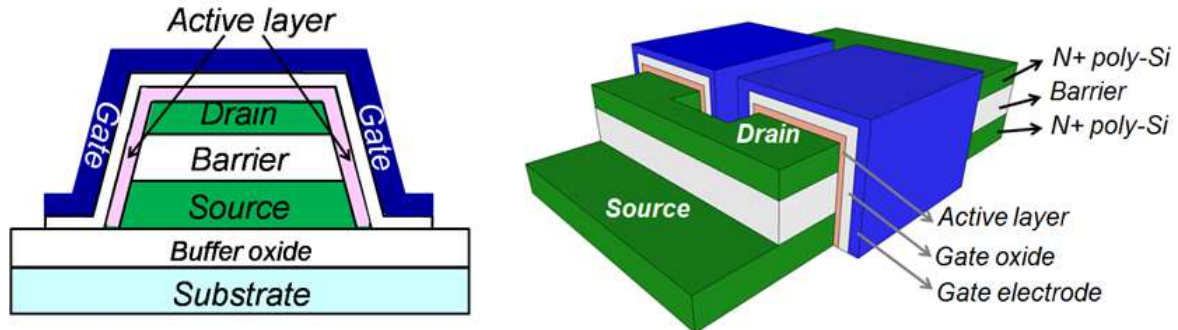


Figure 10: Transistor vertical – Nouvelle structure

Cette configuration pour un transistor vertical est intéressante car le canal de conduction se crée et les électrons circulent à travers un matériau identique au silicium polycristallin utilisé dans une structure coplanaire (figure 11a). En effet, le recuit SPC permet d'obtenir un matériau uniformément cristallisé à partir d'une épaisseur limite ($e > 50\text{nm}$). L'utilisation d'une structure Top-Gate et le choix d'une épaisseur suffisamment importante ($e = 150\text{nm}$) pour le canal de conduction sont les éléments essentiels pour obtenir des caractéristiques électriques uniformes sur grande surface.

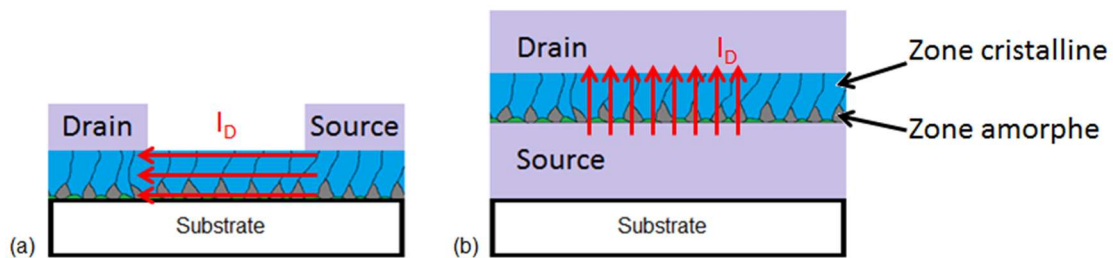


Figure 11: Structure colonnaire du silicium polycristallin. Cas (a) d'un TFT en structure coplanaire et (b) d'un TFT en structure verticale

Dans le cas de la précédente structure, le courant I_{DS} circule dans le sens de création des grains de silicium (figure 11b). L'interface entre l'électrode inférieure et le canal de conduction est remplie de défauts provenant d'une densité importante de joints de grain. Cette zone défectueuse a un fort impact sur les performances du TFT. Nous avons notamment observé une résistance d'accès importante qui limite la mobilité d'effet de champ effective du transistor (figure 12- Classical VTFT). Le second inconvénient majeur est une remonté du courant I_{Doff} pour des tensions de grille V_{GS} négative (figure

9). Dans le cas de la nouvelle structure, le canal de conduction se forme à la surface de silicium polycristallin où la cristallisation est optimale et uniforme. La résistance d'accès est largement diminuée et ne limite plus la mobilité d'effet de champ effective du dispositif (figure 12).

La mobilité d'effet de champ des transistors verticaux reste cependant limitée malgré les optimisations de la structure. Elle n'est que de $12 \text{ cm}^2/\text{V}\cdot\text{s}$, nettement plus faible que la valeur de $130 \text{ cm}^2/\text{V}\cdot\text{s}$ obtenue avec la structure coplanaire. Ceci ne diminue pas pour autant l'intérêt de la structure verticale qui, telle qu'elle a été conçue, est 36 fois plus dense que la structure planaire. En d'autres termes, pour des dimensions W/L données, la structure coplanaire est 36 fois plus gourmande en surface. Pour une surface donnée, la densité de courant est plus importante dans le cas d'un VTFT.

Cette structure est transposable dans une technologie plus basse température. Les verrous technologiques rencontrés et l'analyse détaillée des performances électriques des différentes structures ont été très instructifs et la démarche employée pourra être transposée sur des technologies plus exotiques comme en électronique organique. La principale difficulté de ce type de structure est la reproductibilité. La complexité du procédé de fabrication aura un impact sur les paramètres électriques des dispositifs et seront trop sensibles aux étapes de fabrication.

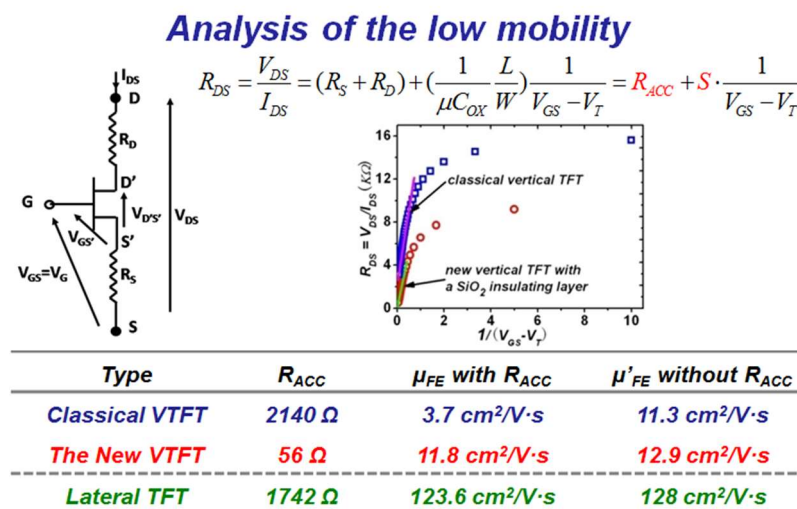


Figure 12: Mobilités d'effet de champ des structures verticales en silicium polycristallin

Ces travaux réalisés dans le cadre de la thèse de P. Zhang ont fait l'objet de 8 publications internationales [P20,P19,P16,P14,P13,P11,P8,P5] et 4 communications internationales [CI28,CI27,CI22,CI8].

2. Dispositifs à base de nanofils/nanostructures

L'augmentation de la densité d'intégration d'un système électronique couches minces est principalement liée à la structure du dispositif électronique élémentaire. Une thématique sur le développement de procédé de fabrication de nanostructures a vu le jour au département Microélectronique et Microcapteurs suite à l'obtention d'un financement ANR jeunes chercheurs par R. Rogel, maître de conférences, en 2009. Dans cette thématique, deux procédés de fabrication faisant appel à des concepts opposés ont été étudiés : l'approche Top-Down et l'approche Bottom-Up.

Ce premier concept, Top-Down, consiste à fabriquer des nanofils à partir d'un matériau déposé. A l'IETR, le choix s'est porté sur le matériau silicium polycristallin déposé par LPCVD et recuit SPC, bien connu au laboratoire. La méthode, dite des espaceurs, a été employée pour la réalisation de nanofils dédiés à la détection d'espèces chimiques. (ANR SENA 2009-2012).

Le second concept, Bottom-Up, permet la croissance de nanofils de silicium directement sur le substrat. La technique employée, dite VLS (Vapor Liquid Solid), nécessite un précurseur métallique qui induit une croissance localisée de nanofils. Le contrôle de la localisation du précurseur est un verrou de cette technologie qui ne permet pas d'isoler la croissance d'un nanofil unique et d'en définir sa localisation.

Nanofils de silicium pour la détection d'espèces chimiques

J'ai pris part à cette étude lors d'un contrat post doctoral financé par l'ANR SENA (2011-2012). L'objectif fixé pour mon contrat était l'évaluation de la structure du dispositif à base de nanofils pour la détection d'ammoniac.

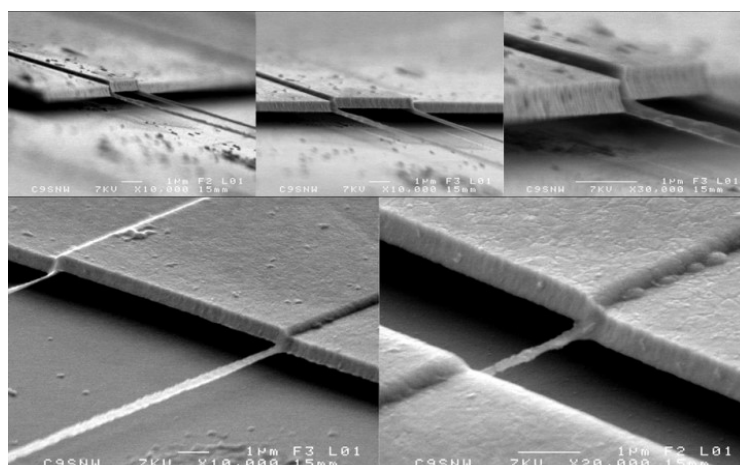


Figure 13: Nanofils suspendus fabriqués par la méthode des espaceurs

L'intérêt majeur d'un nanofil pour la détection d'espèces chimiques ou biologiques est son fort rapport surface/volume. J'ai donc été amené à développer un procédé de fabrication de nanofils suspendus pour vérifier l'apport d'un fort rapport surface/volume en libérant toute la surface du nanofil (figure 13).

Dans le but d'évaluer la structure suspendue comme capteur de gaz (NH_3), je me suis intéressé à la mise en place d'un banc de caractérisation électrique sous flux de gaz contrôlé (précision : 1 ppm). Ce banc de caractérisation a été une avancée car nous pouvions mesurer le flux de gaz envoyé sur le capteur et évaluer sa sensibilité.

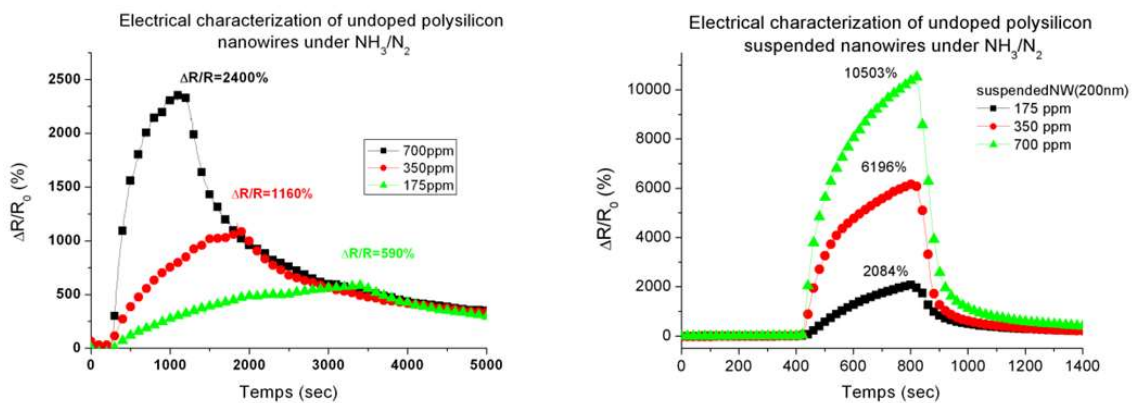


Figure 14: Détection de NH_3 avec (a) des nanofils de silicium, (b) des nanofils de silicium suspendus

Dans la configuration initiale, non suspendue, le nanofil est libéré sur un quart de sa surface. Dans sa configuration suspendue, toute sa surface est en contact avec le gaz. En plus d'augmenter la sensibilité du dispositif, cette configuration permet une détection plus rapide avec des temps de montée du courant plus faibles. L'allure des courbes de détection montre clairement que, pour le même temps d'exposition au gaz, les nanofils suspendus sont plus de 4 fois plus sensibles. Pour un temps d'exposition de 200 secondes, les nanofils non suspendus montrent une variation relative de résistance de 1500% contre 9000% dans le cas des nanofils suspendus.

Les explications apportées pour ce phénomène sont relatives à la nature du matériau. En effet, le silicium polycristallin est plus défectueux et possède une densité de joints de grain plus importante dans les premiers nanomètres de la couche. Cette partie du silicium est en contact avec le gaz lorsque les nanofils sont suspendus. Nous pouvons alors considérer que les liaisons pendantes, plus importantes dans les joints de grains, permettent une meilleure détection et facilitent l'absorption du NH_3 en surface du silicium.

Ces travaux sur les nanofils fabriqués par la méthode des espaceurs ont fait l'objet de 2 publications internationales [P20, P12] et 9 communications internationales [CI38, CI29, CI20, CI19, CI17, CI13, CI12, CI11, CI10].

Transistors de type N et de type P à base de nanofils en silicium polycristallin

Les nanofils dédiés à la détection d'espèces chimiques sont fabriqués à partir de silicium non intentionnellement dopé. Ces nanofils peuvent donc être utilisés comme couche active d'un transistor. Deux structures de transistors ont été développées : une structure Bottom Gate – Top contacts et une structure Top Gate – Top contacts (figure 15).

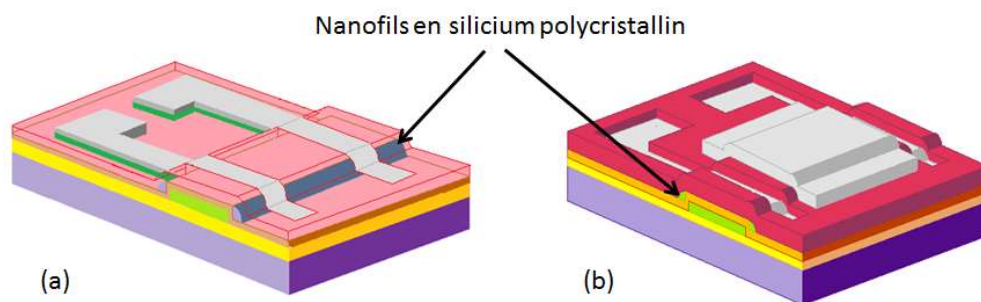


Figure 15: Transistors à effet de champ à base de nanofils de silicium polycristallin en structure (a) bottom gate et (b) top gate.

La première structure est plus adaptée à l'utilisation de ces transistors comme capteurs d'espèces chimiques ou biologiques car la partie supérieure du nanofil n'est pas protégée et peut donc servir de couche de détection pour un gaz. La structure Top Gate protège le nanofil avec l'isolant de grille et la métallisation. Cette structure non sensible au gaz peut être utilisée pour piloter le capteur à base de nanofil dans une technologie compatible.

Les caractéristiques de transfert et de sortie sont représentées sur la figure 16 pour un transistor à base de nanofils de type N et un transistor à base de nanofils de type P, tous deux en structure Top-Gate.

La difficulté majeure pour ce type de dispositifs à base de nanofils est la maîtrise du procédé de fabrication pour prévoir le fonctionnement des transistors. En effet, cette étude a montré la faisabilité de fabriquer des transistors de type N et de type P mais la reproductibilité peut rendre difficile la conception d'une électronique CMOS à partir de cette technologie.

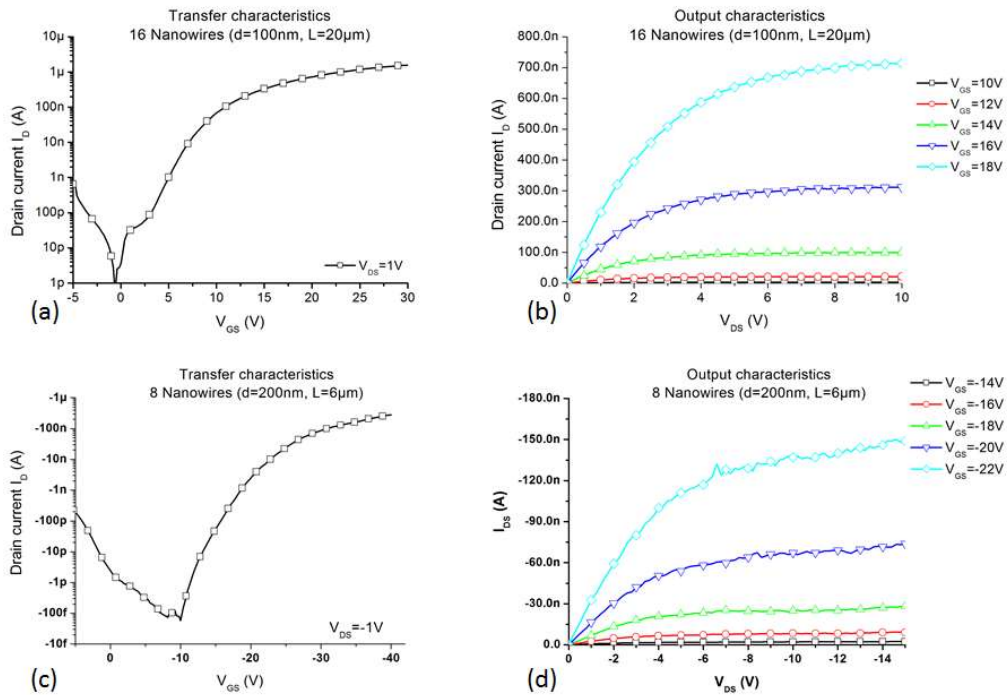


Figure 16: Transistors Top-Gate à base de nanofils en silicium polycristallin de type N : (a) caractéristique de transfert, (b) caractéristiques de sortie. De type P : (c) caractéristique de transfert, (d) caractéristiques de sortie.

Le verrou technologique principal est le contrôle de la dimension du nanofil. Comme il a été annoncé en introduction sur les nanofils, la méthode des espaceurs est utilisée pour créer les nanofils. Cette méthode s'appelle également, la méthode des résidus qui, comme son nom l'indique, utilise les résidus de silicium pendant une gravure sèche pour former les nanofils. Malgré des efforts importants sur l'étape de gravure par RIE (Reactive Ion Etching), la dimension des nanofils n'est toujours pas parfaitement contrôlée. Comme le diamètre du nanofil correspond à la largeur du canal (W) du transistor, la non-maîtrise de cette dimension obère grandement la reproductibilité des performances.

Par ailleurs, l'utilisation de la structure Bottom-Gate pour la détection d'espèces chimiques ou biologiques n'est pas aussi évidente. Le silicium polycristallin n'étant pas naturellement sélectif à l'ammoniac, il est nécessaire de le fonctionnaliser pour le rendre sélectif à une espèce donnée. La faible dimension d'un nanofil de silicium polycristallin ne permet pas une reproductibilité et une uniformité de la fonctionnalisation.

Ces conclusions nous ont amené à développer un autre type de nanostructure qui, tout en gardant un rapport surface sur volume important, permettrait un meilleur contrôle technologique. Ces dispositifs sont présentés dans la partie suivante : Nanostructures à base de silicium polycristallin.

Nanostructures à base de silicium polycristallin

Cette nouvelle structure est constituée de nanorubans larges mais d'épaisseur nanométrique. L'épaisseur nanométrique permet un bon contrôle de la conduction dans le ruban par des charges électriques venant se fixer sur la surface. Par ailleurs, ces nanorubans ont été suspendus pour profiter pleinement de l'ensemble de la surface entourant le ruban. Les contacts pour mesurer le courant circulant dans le nanoruban sont en silicium polycristallin fortement dopé N. Notre étude sur la détection de gaz, présentée dans ce document, a été réalisée sur des nanorubans de 20nm et de 50nm d'épaisseur.

La figure 17 permet d'observer la régularité des nanorubans; ce qui est un atout pour les applications grande surface. Le contrôle des dimensions est géré i) pendant le dépôt du silicium polycristallin non intentionnellement dopé pour l'épaisseur du nanoruban et ii) par photolithographie pour la largeur et longueur du nanoruban. L'épaisseur est donc mieux maîtrisée que pour le cas d'un nanofil obtenu par résidu de gravure. La cristallisation SPC du silicium polycristallin étant colonnaire, l'épaisseur limite a été définie à 20 nm. Pour des épaisseurs plus faibles, la solution chimique utilisée pour suspendre les nanorubans attaque également les joints de grains nombreux dans cette région du silicium polycristallin. Les rubans présentent alors des trous en surface fragilisant leur tenue mécanique et réduisant la reproductibilité de la valeur de résistance d'un ruban à l'autre.

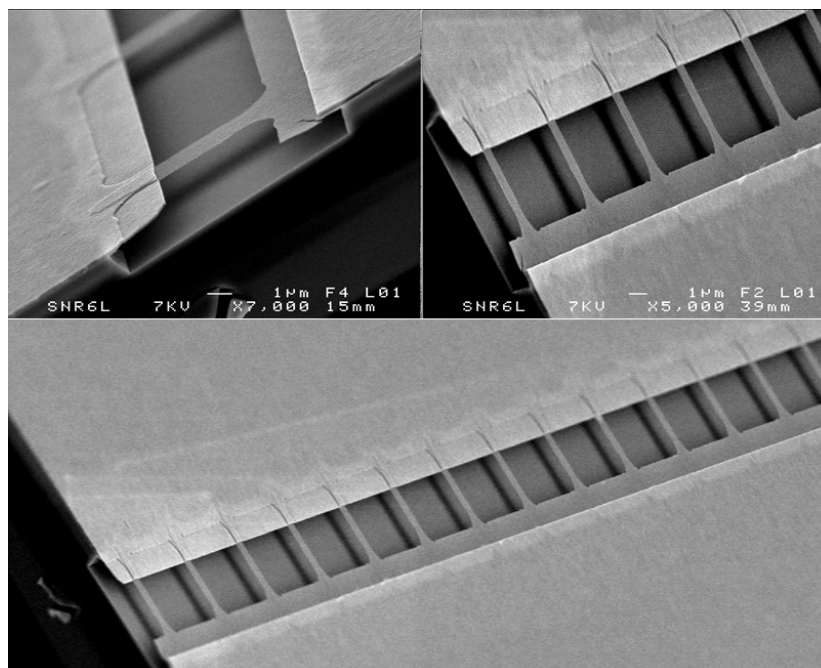


Figure 17: Photo MEB de nanorubans suspendus à base de silicium polycristallin

L'utilisation de ce type de structure pour la détection d'espèces chimiques a alors été envisagée. L'expérience présentée dans le paragraphe suivant avait deux objectifs. Le premier était d'évaluer la structure nanoruban par rapport à la structure nanofil pour la détection de gaz. Le second tend à répondre à une question souvent posée sur les dispositifs de détection. L'effet de champ (structure TFT) permet-il d'amplifier la réponse électrique liée au phénomène physique? En d'autres termes, est-il nécessaire de passer par une structure transistor pour fabriquer un dispositif de détection ?

Comparaison Nanorubans vs. Nanofils

Les deux structures utilisées pour la détection sont des nanorubans suspendus d'épaisseur $e=50\text{nm}$ et des nanofils suspendus d'un diamètre $D=100\text{nm}$.

A la première observation de la figure 18, les nanorubans suspendus seraient plus sensibles que les nanofils suspendus pour le temps de détection $t=400\text{s}$. En effet, l'ammoniac est ajouté en flux contrôlé de 350 ppm par rapport à l'azote au temps $t=200\text{s}$ et supprimé à $t=600\text{s}$. Au cours de ces 400 secondes, deux pentes distinctes sont observables pour les deux types de dispositif. La première pente entre $t=200\text{s}$ et $t=300\text{s}$ est identique pour les deux dispositifs. A partir de $t=300\text{s}$, une saturation des espèces chimiques (NH_3) semble s'opérer pour les deux dispositifs. Assez logiquement, les nanorubans, avec leur surface de détection plus importante, sont moins touchés par ce phénomène de saturation.

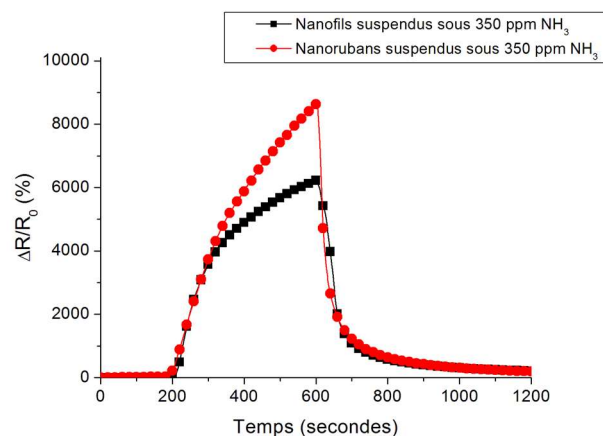


Figure 18: Détection d'ammoniac par des dispositifs à base de nanorubans suspendus et de nanofils suspendus en silicium polycristallin recuit SPC

Un capteur de gaz doit prévenir d'un danger ou d'une évolution de l'atmosphère le plus rapidement possible. Les deux dispositifs de détection sont donc équivalents si un temps $t=60\text{s}$ est utilisé pour rafraîchir une valeur de concentration de gaz. Il paraît évident aussi que ce phénomène de saturation sera limité pour des concentrations d'espèces plus faibles. Un exemple est donné, sur la figure suivante, avec une détection en

concentration d'ammoniac correspondant à des valeurs critiques pour la prévention des risques ($[\text{NH}_3]=15\text{ppm}$). Ces deux mesures ont été réalisées successivement avec un dispositif de type nanorubans suspendus. Le délai entre ces deux mesures était de 1 heure.

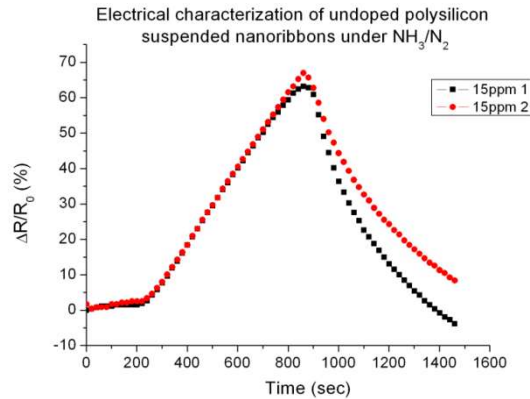


Figure 19: Détection d'ammoniac avec un dispositif à base de nanoruban suspendus en silicium polycristallin recuit SPC

Pour la détection de plus faibles concentrations, la saturation n'est plus visible alors que le temps d'exposition au NH_3 a été augmenté à $t=600\text{s}$.

Ces observations nous permettent d'affirmer que ces dispositifs suspendus à base de nanofils ou de nanorubans peuvent être sensibles sans avoir recours à l'effet de champ qui est souvent annoncé comme amplificateur de phénomènes physiques. Nous avons alors essayé de mieux comprendre la différence entre résistances et transistors dédiés à la détection d'espèces chimiques.

Effet de champ pour la détection d'espèces chimiques

Plusieurs éléments sont à prendre en considération pour expliquer notre démarche. Premièrement, les transistors à base de nanorubans sont en structure Bottom-Gate pour que le canal de détection soit en contact avec le gaz. Deuxièmement, les mesures ont été réalisées sur des transistors et des résistances avec deux épaisseurs de nanorubans ($e=20\text{nm}$ et $e=50\text{nm}$). Troisièmement, le canal étant créé dans la partie inférieure du nanoruban et les épaisseurs choisies étant très faibles, les transistors présenteront de moins bonnes caractéristiques électriques que les transistors présentés précédemment avec des nanofils en structure Top-Gate. Enfin, les structures présentées (résistances et transistors) ne sont pas suspendues pour faciliter la fabrication des transistors.

Un flux d'ammoniac de concentration $[\text{NH}_3/\text{N}_2]=100\text{ppm}$ est injecté dans une enceinte contrôlée en pression ($P=500\text{ mbar}$) avec de l'azote comme gaz de régulation. Les

caractéristiques $I=f(V)$ pour les résistances et $I_D=f(V_{GS})$ pour $V_{DS}=1V$ pour les transistors sont relevées toutes les minutes et présentées sur les figures suivantes.

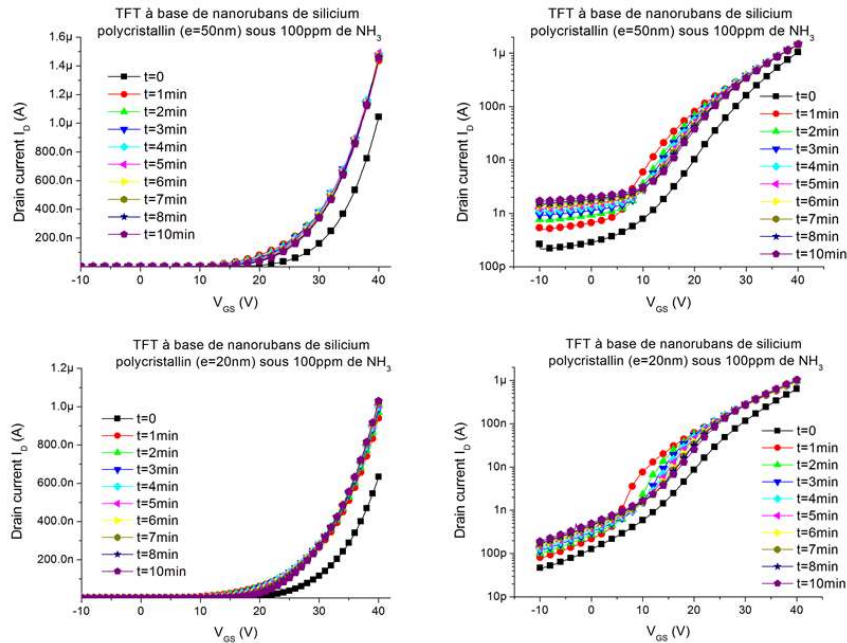


Figure 20: Détection de NH_3 ($[\text{NH}_3/\text{N}_2]=100\text{ppm}$) par des transistors à base de nanorubans d'épaisseur $e=50\text{nm}$ et $e=20\text{nm}$.

La première observation concerne la rapidité de détection. A partir d'une minute, le dispositif, que ce soit pour une épaisseur $e=50\text{nm}$ ou $e=20\text{nm}$, ne semble plus évoluer. La saturation semble donc plus rapide que dans le cas de résistances. Concernant la sensibilité des dispositifs, les variations relatives du courant entre $t=0\text{min}$ et $t=10\text{min}$, sont de 36.7% et 62.5% pour les épaisseurs respectives $e=50\text{nm}$ et $e=20\text{nm}$. Cette dernière observation confirme ce qui avait été observé pour les dispositifs suspendus, à savoir, un silicium polycristallin moins cristallisé présente une meilleure sensibilité aux espèces chimiques.

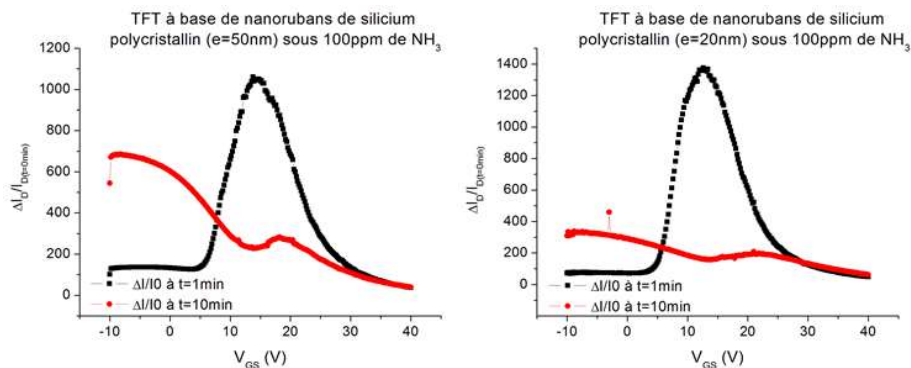


Figure 21: Variation relative du courant sous flux NH_3/N_2 en fonction de la polarisation de grille

Contrairement à l'observation faite pour le courant I_D en régime passant ($V_{GS}=40V$), le courant I_D en régime bloqué semble évoluer au cours des 10 minutes de mesure (figure 20 en échelle logarithmique). Les variations relatives du courant en régime bloqué pour $e=50nm$ et $e=20nm$ sont respectivement de 545% et 309%.

Comparons maintenant ces résultats aux variations relatives mesurées avec des résistances à base de nanorubans d'épaisseurs $e=50nm$ et $e=20nm$.

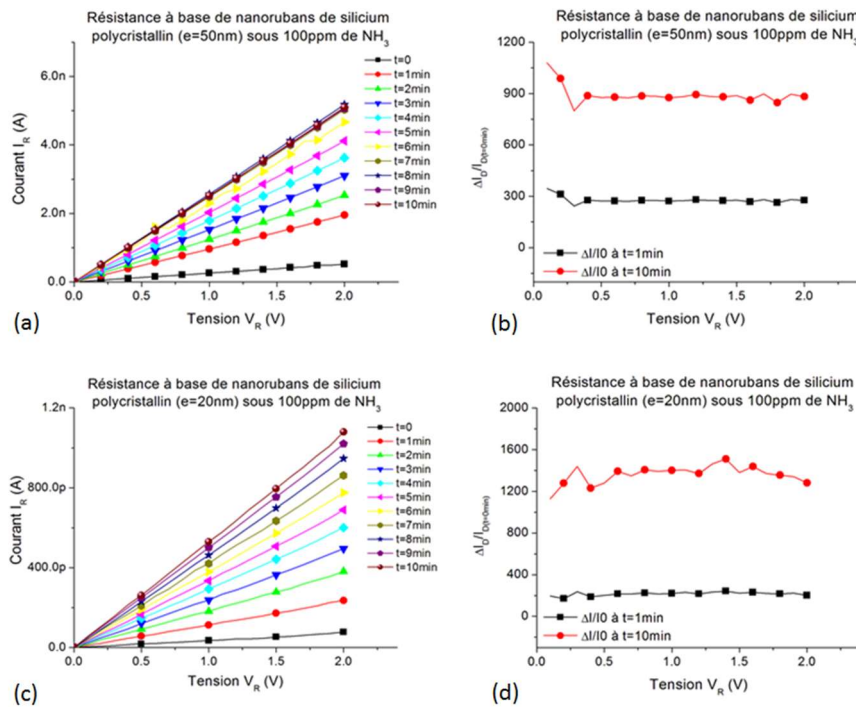


Figure 22: (a) Variation du courant I_R et (b) variation relative du courant d'un réseau de nanorubans d'épaisseur $e=50nm$. (c) Variation du courant I_R et (d) variation relative du courant d'un réseau de nanorubans d'épaisseur $e=20nm$.

La variation relative du courant pour un mélange NH_3/N_2 (100ppm) est indépendante de la polarisation de la résistance (figure 22). Plus le temps d'exposition est grand et plus la variation relative du courant augmente. La saturation du courant apparaît plus rapidement pour une épaisseur de 50nm que pour une épaisseur de 20nm.

Les structures en nanoruban semblent très intéressantes pour la détection d'espèces chimiques. La simplicité et le contrôle du procédé de fabrication permet une grande reproductibilité. Une simple résistance permet une meilleure mesure de détection qu'un transistor. Bien que la sensibilité du capteur à base de transistor soit équivalente, la variation du courant lors de la détection est trop dépendante de la polarisation. Les dispositifs de type TFT à base de matériaux désorganisés (nanoruban très fin en silicium

polycristallin) sont souvent instables électriquement ce qui signifie que la dérive du transistor provoquerait également la baisse de sensibilité du capteur.

Conclusion sur la technologie silicium polycristallin

Les travaux menés, avec un matériau reproductible comme le silicium polycristallin dans des structures originales et innovantes, ont été essentiels pour une meilleure compréhension des technologies couches minces. Les réflexions importantes sur la qualité du matériau, sur les interfaces entre les matériaux et sur le comportement électrique des dispositifs sont à l'origine de mon intérêt pour les transistors fabriqués à partir de matériaux exotiques. J'ai été confronté à la nécessité d'une connaissance approfondie des techniques de dépôt de ces matériaux et sur leur mise en forme en couches minces. Les études présentées sur les transistors verticaux et sur les dispositifs à base de nanofils m'ont largement sensibilisé à l'impact des techniques employées pour la fabrication du dispositif (méthodes de dépôt et de gravure). La simplicité et la robustesse d'un procédé de fabrication est, selon moi, la clé d'un dispositif reproductible et utilisable dans une fonction électronique.

Le second aspect que je tire de ces études sur le silicium polycristallin est une approche de recherche tournée vers l'application. Il ne s'agit pas ici de fabriquer un produit final mais de proposer des réflexions pour imaginer le dispositif électronique dans un système fonctionnel. La fabrication de l'amplificateur différentiel à partir de transistors couches minces en silicium polycristallin a été motivé par le besoin d'intégrer un capteur (TFT Hall) dans un système fonctionnel. Le circuit d'amplification a alors été dimensionné à partir des caractéristiques des TFTs et autour d'une application précise. Cette démarche, de partir d'un dispositif élémentaire (TFT) vers une fonction électronique, doit être accompagnée d'un esprit critique vis-à-vis de l'application visée notamment en termes de limitation technologique et limitation des performances. Si l'application est bien dimensionnée, la potentialité d'une technologie peut être démontrée. C'est dans cette optique que le projet de recherche autour de l'électronique organique sera construit.

Chapitre 2 : Electronique grande surface sur substrats souples à base de silicium microcristallin

I. Introduction et contexte

L'étude sur le silicium microcristallin pour la fabrication de TFTs a commencé à l'IETR en 2004. La raison principale était de développer un matériau entre le silicium amorphe, avec lequel il est compliqué de fabriquer des circuits de type CMOS, et le silicium polycristallin, qui nécessite des températures de dépôt et de recuit de l'ordre de 600°C. Après optimisation des couches semiconductrices et isolantes pour la fabrication de TFTs de type N et de type P à très basses températures, des briques élémentaires CMOS (inverseur et oscillateur) ont été fabriquées avec une température maximale de 180°C. Cependant, il a fallu s'intéresser de plus près à ce matériau car les TFTs affichaient soit des performances électriques intéressantes comparées aux siliciums amorphe et polycristallin mais très instable électriquement, soit les performances électriques étaient modestes (mobilité proche de celle du silicium amorphe) mais la stabilité électrique était excellente.

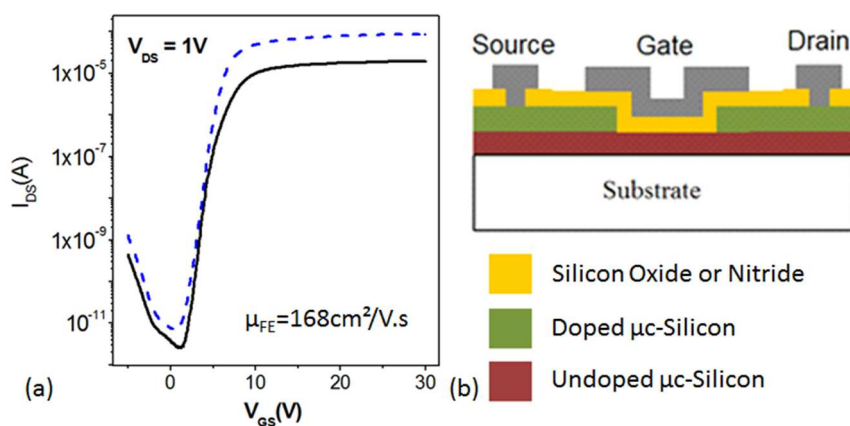


Figure 23: (a) Caractéristiques de transfert d'un μ c-Si TFT avec un oxyde de silicium déposé par pulvérisation cathodique comme isolant de grille (2 mesures successives), (b) Structure Top Gate – Top Contacts d'un μ c-Si TFT

Sur la figure 23, La courbe pointillée bleue correspond à la première mesure du TFT avec une mobilité d'effet de champ extraite $\mu_{FE} = 168 \text{ cm}^2/\text{V.s}$. Lors de la seconde mesure (courbe noire), l'instabilité électrique du dispositif provoque une chute de la mobilité

d'effet de champ. D'un autre côté, sur la figure 24, le $\mu\text{-Si}$ TFT à base de nitrure de silicium comme isolant de grille présente une plus faible mobilité d'effet de champ mais la structure est plus stable avec une caractéristiques de transfert qui varie très peu sous stress électrique.

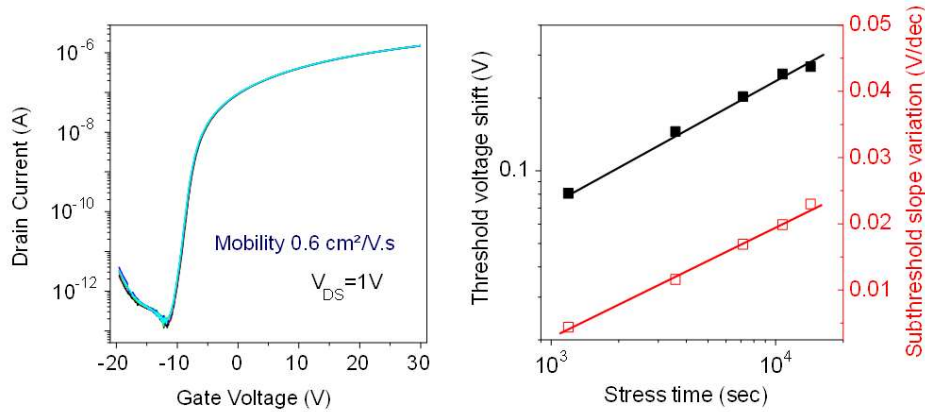


Figure 24: (a) Caractéristiques de transfert d'un $\mu\text{-Si}$ TFT avec du nitrure de silicium comme isolant de grille sous stress électrique, (b) Variation de la tension de seuil V_{TH} et de la pente sous le seuil SS sous stress électrique. V_{TH} varie de 0.27V pour un stress à température ambiante et de 0.73V pour un stress à 60°C .

II. Effet de la couche active sur les propriétés électriques des TFTs

En 2011, j'ai pris part à l'encadrement d'une thèse en cotutelle entre l'université de Rennes 1 et l'université Cheikh Diop de Dakar au Sénégal sous la direction du professeur Tayeb Mohammed-Brahim. L'idée générale de cette thèse était de mieux comprendre les différences de performance des TFTs en silicium microcristallin quand on utilise des épaisseurs différentes de couche active. Mamadou Lamine Samb, qui a réalisé une étude comparative entre caractérisations électriques et modélisation de TFTs à base de silicium microcristallin, a soutenu sa thèse de doctorat en novembre 2014 [8].

La figure 25 montre des caractéristiques de transfert de 3 $\mu\text{-Si}$ TFTs identiques, de même taille, ayant la même couche de nitrure de silicium comme isolant de grille et ne différant que par l'épaisseur de la couche active, couche non-dopée de silicium microcristallin.

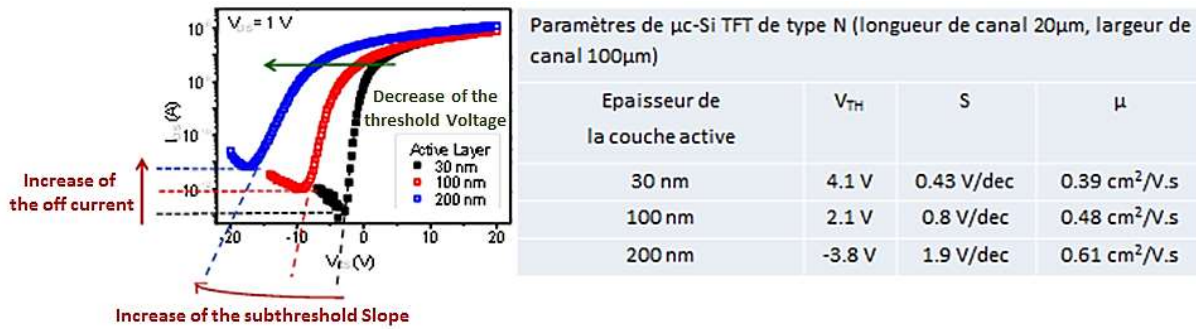


Figure 25: Dégradation de la caractéristique de transfert d'un μ -Si TFT en fonction de l'épaisseur de la couche active [P23].

La diminution de la tension de seuil V_{TH} avec l'augmentation de l'épaisseur de la couche active peut être expliquée par l'amélioration de la qualité cristalline de la région supérieure d'une couche de silicium microcristallin quand son épaisseur augmente. En effet, le canal de ces transistors, en configuration Top-Gate, se crée dans cette partie supérieure. L'augmentation simultanée de la mobilité peut être aussi expliquée par cette meilleure qualité cristalline. Une autre raison de la diminution de V_{TH} , devenant même négative pour une épaisseur $e=200 \text{ nm}$, est aussi due à l'existence connue de charges positives dans le nitrure de silicium [9].

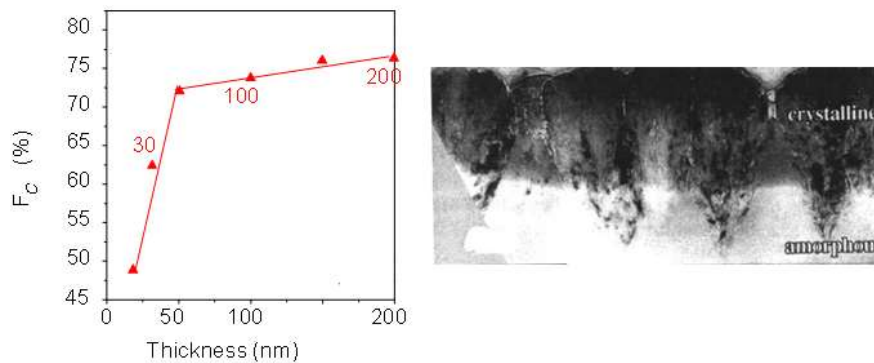


Figure 26: Fraction cristalline (qualité) d'une couche de silicium microcristallin quand son épaisseur augmente et image de la section d'une couche d'un tel matériau.

L'augmentation de la pente sous le seuil SS quand l'épaisseur de la couche active augmente, signifiant une amélioration de la qualité cristalline de la région du canal, est plus compliquée à expliquer si nous considérons l'équation connue et souvent utilisée liant la pente sous le seuil à la densité de défauts actifs dans la couche active et à l'interface avec l'isolant :

$$SS = \frac{k_B T \ln(10)}{q} \left[1 + \frac{\sqrt{q^2 \epsilon_0 \epsilon_{Si} N_{ep}}}{C_{ins}} + \frac{q^2 N_{SS}}{C_{ins}} \right] \quad (1)$$

Dans cette équation, N_{ep} et N_{SS} sont respectivement les densités de défauts actifs dans la couche active et à l'interface. C_{ins} est la capacité par unité de surface de l'isolant de grille.

D'après cette équation toute augmentation de N_{ep} ou de N_{ss} induit une augmentation de la pente sous le seuil SS.

La thèse de M.L. Samb a été, de ce point de vue, riche en enseignement. A l'aide des logiciels de simulation de SILVACO, et plus particulièrement, les modules de simulation technologique ATHENA et de modélisation électrique ATLAS, M.L. Samb a pu mettre en évidence les interactions électrostatiques qui deviennent prépondérantes quand l'épaisseur devient de plus en plus faible. Ainsi, pour une densité de défauts constante dans la couche active, la pente sous le seuil obtenue par simulation diminue quand l'épaisseur de la couche active diminue (figure 27). Par contre, et comme attendu intuitivement, pour une même épaisseur, la pente sous le seuil augmente quand la concentration de défauts augmente. L'augmentation de la pente sous le seuil SS avec la densité de défauts dépend par contre de l'épaisseur et ne suit pas forcément l'équation (1). Cette équation a été démontrée pour un substrat semi-infini et ne serait donc pas adaptée à des TFTs basés sur des couches actives très fines. Quand l'épaisseur diminue, SS est plus faible et surtout moins sensible à la densité de défauts.

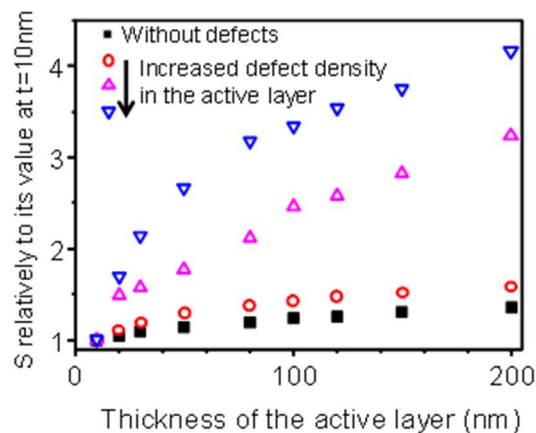


Figure 27: Evolution de la pente sous le seuil SS en fonction de l'épaisseur de la couche active pour différentes densités de défauts dans la couche active

Pour expliquer ces variations de pente sous le seuil, nous avons cherché une origine électrostatique comme cela a déjà été fait pour les SOI-MOSFETs [10]. Nous avons calculé le profil de potentiel entre la source et le drain juste sous l'interface couche active-isolant sans tension de grille appliquée ($V_{GS}=0$) (Figure 28). A partir de ce profil, le champ électrique latéral a été calculé aux interfaces couche active-source et couche active-drain (Figure 29). Ce champ latéral est responsable de l'injection de porteurs à partir de la source vers la couche active et agit donc sur la vitesse de formation du canal.

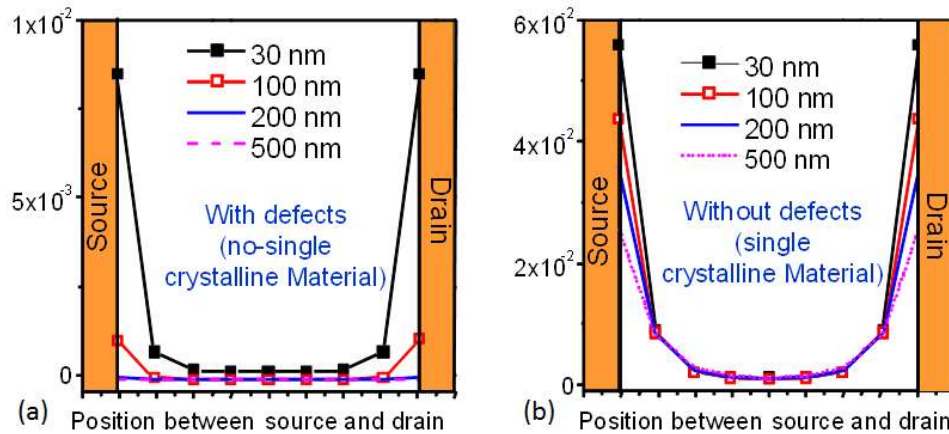


Figure 28: Champ latéral entre source et drain pour différentes épaisseurs de couche active avec ou sans défauts dans la couche active

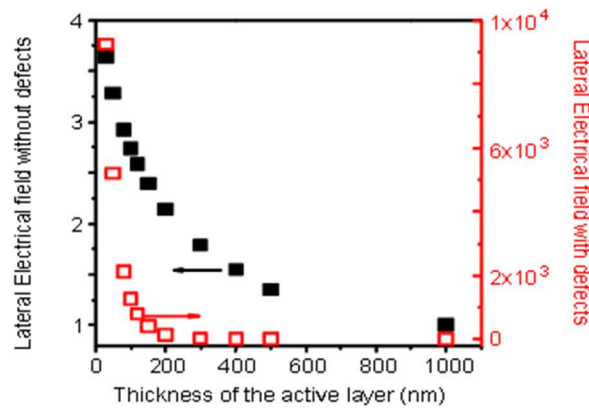


Figure 29: Champ latéral à l'interface source-couche active en fonction de l'épaisseur de la couche active avec et sans défauts.

Avec ou sans défauts, le champ latéral augmente quand l'épaisseur de la couche active diminue. En présence de défauts, l'augmentation du champ latéral près de ces interfaces semble limitée par ces défauts et sa valeur reste très faible jusqu'aux environs de 200 nm. Aux épaisseurs plus faibles ($e < 200$ nm), le champ augmente soudainement de l'ordre de 5 décades. Comparativement, le champ augmente seulement par un facteur 4 en l'absence de défauts. La limitation du champ latéral par les défauts est levée par l'utilisation d'une couche active très fine. La soudaine augmentation du champ latéral en présence de défauts explique ainsi la moindre influence des défauts sur la pente sous le seuil observée sur la figure 27.

Ce travail de thèse a exploré d'autres effets tels que l'influence de charges fixes à l'interface arrière et l'influence d'une seconde grille opposée en face arrière donnant un Dual-Gate transistor. Ces résultats de simulation ont été confrontés à des résultats expérimentaux obtenus sur des transistors avec des couches actives de différentes

épaisseurs dont certains possédaient une structure Dual-Gate. Cette étude nous a donné un aperçu des phénomènes physiques à l'intérieur des TFTs dont la propriété première est d'être constitués de couches actives fines. Les résultats et analyses extraits de ces études ont fait l'objet de trois publications internationales [P23, P17, P9] et de deux communications internationales [CI36, CI15].

Les résultats obtenus dans le cas du silicium microcristallin seront un atout pour la compréhension du fonctionnement de TFTs basés sur d'autres matériaux désordonnés.

III. Effet de l'isolant sur les propriétés électriques des TFTs

Dans la section précédente, nous avons évoqué la notion de couple semiconducteur/isolant. Le silicium microcristallin étant déposé à des températures maximales de 180°C et notre objectif étant de diminuer les températures des procédés de fabrication, la couche à optimiser a donc été l'isolant de grille. L'objectif de cette étude était d'améliorer les performances électriques des TFTs (mobilité d'effet de champ, pente sous le seuil, ...) tout en conservant une stabilité électrique du dispositif.

Cette étude a été menée au cours d'une thèse dont les objectifs étaient de fabriquer des transistors stables et performants sur substrats flexibles. Hanpeng Dong, après un stage de master 2 dont j'étais l'encadrant, a poursuivi ses travaux en thèse sur ce sujet sous la direction de Tayeb Mohammed-Brahim. J'ai également pris part à cette étude en co-encadrant cette thèse [11]. La partie de cette thèse qui concernait la déformation mécanique des TFTs sera présentée dans la section suivante.

L'isolant de grille est essentiel au bon fonctionnement d'un TFT. La mobilité d'effet de champ est déterminée par la qualité du semiconducteur mais nous avons aussi vu l'impact très important de l'isolant de grille sur ce paramètre. Pour être plus précis, la méthode de dépôt de l'isolant peut avoir un fort impact et modifier l'interface semiconducteur/isolant ou encore modifier le comportement du semiconducteur.

Les premiers TFTs à base de silicium microcristallin à l'IETR ont été développés en utilisant un oxyde de silicium déposé par pulvérisation cathodique [12]. Cette méthode présente l'avantage de pouvoir déposer des oxydes à températures ambiantes. Des recuits ou traitements assistés par plasma sont souvent nécessaires pour optimiser le caractère isolant des couches. Un inconvénient majeur a été détecté en analysant le silicium microcristallin qui avait subi un dépôt d'oxyde de silicium par pulvérisation cathodique. L'incorporation d'oxygène au travers de la couche active de transistor pendant le dépôt d'oxyde de silicium est un facteur d'amélioration de la mobilité mais aussi un facteur d'instabilité électrique.

Dans un deuxième temps, le dépôt de nitrure de silicium a été développé et optimisé par PECVD. La température maximale du dépôt a été fixée à 150°C. L'utilisation de cet isolant comme isolant de grille dans un TFT a permis une très forte amélioration de la stabilité électrique. Malheureusement, cette amélioration était accompagnée d'une baisse des performances électriques et, en particulier, une baisse de la mobilité d'effet de champ.

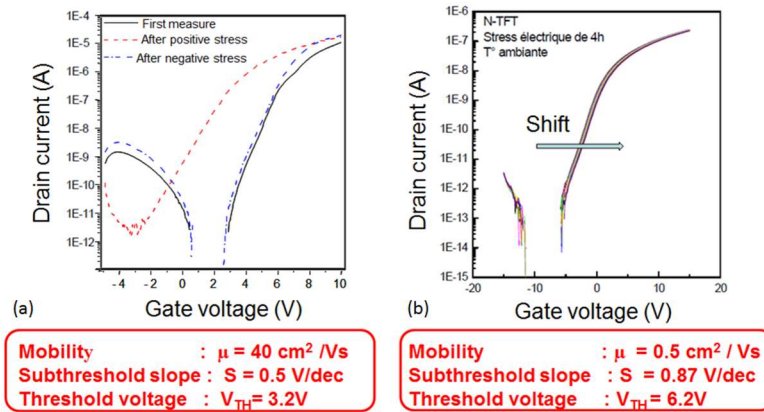


Figure 30: TFTs à base de silicium microcristallin avec (a) un oxyde de silicium déposé par pulvérisation cathodique et (b) un nitrure de silicium déposé par PECVD à 150°C.

Afin d'allier performances électriques et stabilité électrique du dispositif, nous avons fait appel à deux laboratoires extérieurs qui maîtrisent des isolants de grille déposés à très basse température. L'IMM-CNR en Italie, qui maîtrise le dépôt d'oxyde de silicium par ECR-CVD [13], et l'IMEC en Belgique, qui maîtrise le dépôt d'oxyde d'aluminium (Al_2O_3) par ALD [14] ont accepté de déposer leur matériau sur nos structures TFTs. De notre côté, un matériau multicouche de nitrure de silicium (à base d'ammoniac et à base d'azote) et un oxyde par pulvérisation cathodique ont été déposés sur des structures identiques pour comparer ces différents isolants.

Les performances des transistors réalisés à partir de quatre isolants déposés par des méthodes différentes montrent l'importance de la qualité de l'isolant et/ou de la présence de défauts d'interface entre isolant et semiconducteur. Les dépôts réalisés à l'IMEC (Al_2O_3) par ALD et à l'IMM-CNR (SiO_2) par ECR-CVD permettent d'obtenir des performances équivalentes à celle obtenue avec le nitrure de silicium monocouche déposé par PECVD à l'IETR. En revanche, les dépôts de SiN_x multicouches et de SiO_2 par pulvérisation cathodique semblent intéressants pour la mobilité d'effet de champ μ_{FE} . Les tensions de seuil V_{TH} restent élevées avec une légère amélioration dans le cas de l'oxyde d'aluminium déposé par ALD.

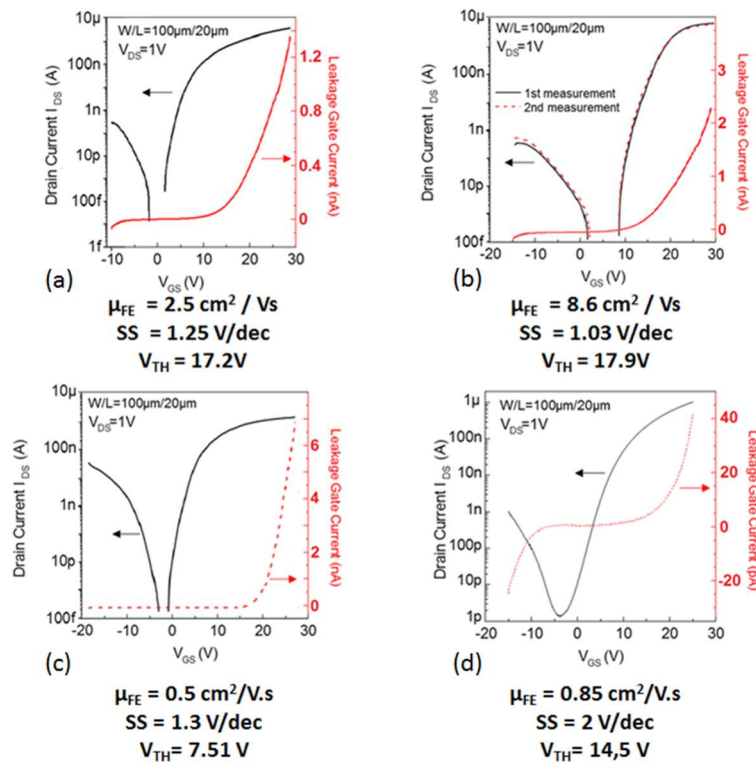


Figure 31: Caractéristiques de transfert de TFTs à base de silicium microcristallin pour différents isolants : (a) Oxyde par pulvérisation cathodique à l'IETR, (b) SiN_x par PECVD l'IETR, (c) Al_2O_3 par ALD à l'IMEC, (d) SiO_2 par ERC-CVD à l'IMM-CNR

Cette étude a été menée pour obtenir de meilleures performances sur la mobilité d'effet de champ mais aussi sur la stabilité électrique des dispositifs. Cette stabilité a été évaluée par la méthode « gate bias stress » avec des tensions de stress $V_{GS\text{stress}}=20\text{V}$ et $V_{DS\text{stress}}=1\text{V}$. Pour rappel, la stabilité avec les TFTs à base de nitrure de silicium monocouche déposé par PECVD à 150°C était excellente (Figure 30b) et la mobilité d'effet de champs était équivalente à celles obtenues par l'utilisation d' Al_2O_3 par ALD et de SiO_2 par ERC-CVD. Le stress électrique des dispositifs n'est présenté que pour le nitrure de silicium multicouche ($\mu_{FE}=8.6\text{cm}^2/\text{V.s}$) et l'oxyde de silicium de l'IETR ($\mu_{FE}=2.5\text{cm}^2/\text{V.s}$).

Les TFTs fabriqués à partir de nitrure de silicium multicouche sont électriquement instables. Bien que la tension de seuil ne varie que très peu, le courant à l'état bloqué évolue très rapidement avec le temps de stress (figure 32). Au vu des niveaux élevés de ce courant, deux origines peuvent être établies : le semiconducteur ou l'interface isolant/semiconducteur. Le semiconducteur est identique pour tous les transistors présentés. Les stress électriques des TFTs fabriqués à partir d'autres isolants n'ayant pas montré cette augmentation très forte du courant I_{Doff} , le silicium microcristallin ne semble pas à l'origine de cette instabilité. Lors du procédé de dépôt multicouche employé pour le nitrure de silicium, le gaz précurseur a été changé. L'état d'interface

avec le silicium microcristallin a donc été modifié. Une densité de défauts élevée à l'interface pourrait expliquer ce phénomène. Un courant par sauts entre états localisés proche en distance ou en énergie (hopping) peut avoir lieu si la densité de défauts à l'interface est suffisamment élevée. Lors du stress électrique (gate bias stress), les électrons sont piégés à l'interface. Le dépiégeage s'active à l'arrêt de la polarisation continue qui nous permet de relever la caractéristique de transfert. Ces charges libres participent alors à la conduction localisée à cette interface.

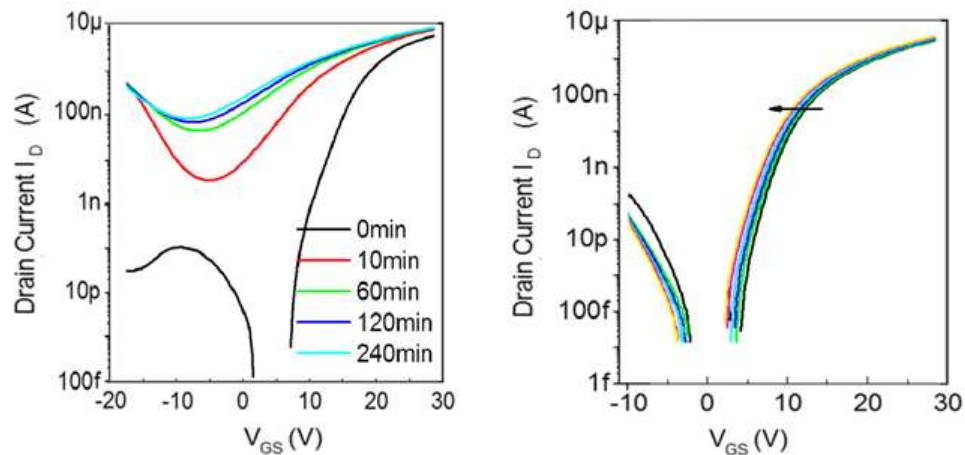


Figure 32: Gate Bias stress de TFTs silicium microcristallin avec (a) un nitrure de silicium multicouche et (b) un oxyde de silicium par pulvérisation cathodique comme isolants

Développer des procédés de fabrication de circuits à très basse température demande une compréhension des phénomènes électriques liés aux interactions entre matériaux. Ces études menées sur le semiconducteur et sur les isolants déposés à très basse température ont développé chez moi la culture du dispositif plutôt que celle du matériau. En effet, des matériaux isolants avec d'excellentes caractéristiques électriques peuvent s'avérer non compatible avec un procédé de fabrication TFT et rendre électriquement instable un dispositif électronique.

IV. Déformation mécanique de transistors à base de silicium microcristallin

La thèse d'Hanpeng Dong était consacrée à l'optimisation du procédé de fabrication d'un TFT à très basse température. L'objectif principal de la basse température est de transférer cette technologie sur des substrats flexibles. Une précédente thèse [15], dédiée à l'électronique flexible, avait montré que les TFTs à base de silicium microcristallin les plus stables électriquement, utilisant une couche de nitrure de silicium comme isolant de grille et fabriqué sur un substrat plastique (PEN) de $125\ \mu\text{m}$ d'épaisseur, pouvait être courbé jusqu'à un rayon de courbure $R_c=1\text{cm}$. Ce rayon de

courbure $R_c=1$ cm est insuffisant pour imaginer un circuit électronique pliable en deux. La thèse de H. Dong s'est focalisée sur la manière d'atteindre cet objectif.

L'influence d'une couche sur les propriétés mécaniques d'un système multicouche est principalement déterminée par le produit de son module d'Young par son épaisseur. Un module d'Young élevé ou une grande épaisseur limite la possibilité de déformation de cette couche. Une déformation à des rayons de courbure faibles nécessite de diminuer l'ensemble des épaisseurs des couches tout en conservant les propriétés électriques et la stabilité des μ -Si TFTs.

Pour les transistors déformés à un rayon de courbure limite de $R=1$ cm, la couche active de silicium microcristallin était de 100nm. Elle était suffisamment fine. Nous avons cependant démontré que nous pouvions encore la diminuer. Dans ce cas, le procédé de fabrication devient plus compliqué et la reproductibilité des dispositifs est plus difficile à assurer. Nous avons alors conservé cette épaisseur et nous nous sommes focalisés sur le nitrure de silicium qui, par ailleurs, détient le module d'Young le plus élevé. Son épaisseur, qui était de 300nm, a été réduite à 150nm. Cette épaisseur $e=150$ nm nous permet de ne pas modifier le caractère isolant de cette couche.

L'autre couche prépondérante est le substrat plastique (PEN). Même si son module d'Young est faible (6.5GPa), l'importance de son épaisseur par rapport à celles de toutes les autres couches lui confère un fort impact sur le comportement mécanique de toute la structure. Le substrat PEN d'épaisseur $e=125\mu\text{m}$ a alors été remplacé par un substrat PEN identique mais d'épaisseur $e=25\mu\text{m}$.

Avant de fabriquer ces transistors sur substrat PEN de 25 μm , nous avons modélisé la structure du point de vue mécanique à partir de la relation donnant le stress qui se développe dans une couche d'épaisseur d_f et de module d'Young Y_f déposée sur un substrat d'épaisseur d_s et de module d'Young Y_s sous l'effet d'une courbure de rayon R . Cette équation a été démontrée par le groupe de Princeton [16].

$$\varepsilon = \left(\frac{d_s + d_f}{2R} \right) \frac{(1 + 2\chi\eta + \chi\eta^2)}{(1 + \eta)(1 + \chi\eta)} \quad (2)$$

Avec $\chi = Y_f/Y_s$ and $\eta = d_f/d_s$

Pour utiliser cette équation à 2 couches, nous avons dû simplifier la structure à 4 couches du transistor en une structure à 2 couches tenant compte des épaisseurs et des paramètres des différentes couches. Les 4 couches de la structure réelle (Figures 33a et 33b) sont le substrat PEN ($d=25$ μm , $Y=6.5$ GPa), la couche active de μ -Si ($d=100$ nm, $Y=160$ GPa), l'isolant de grille SiN_x ($d=150$ nm, $Y=180$ GPa) et le contact de grille en Aluminium ($d=300$ nm, $Y=70$ GPa). En tenant compte de ces paramètres, il est évident

que les propriétés mécaniques de la structure sont déterminées principalement par le substrat, la couche $\mu\text{-Si}$ et la couche SiN_x . La structure a été ainsi représentée mécaniquement par une structure bicouche de SiN_x sur le substrat PEN, considérant les valeurs voisines des modules d'Young du silicium et du nitrure de silicium (Figure 33c). Le stress développé dans cette structure simple a été calculé en fonction du rayon de courbure et est représenté sur la figure 33d (courbe noire). A titre de comparaison, la courbe en rouge, avec des plots pleins, représente le stress développé dans la structure précédente, consistant en un substrat PEN de $125\mu\text{m}$ encapsulé sur les 2 faces par du SiN_x de 100 nm d'épaisseur. Le transistor est identique mis à part l'épaisseur de SiN_x qui était de 300 nm . La contrainte mécanique de la nouvelle structure est comparée à celle de la structure précédente qui était limitée à des déformations correspondant à des rayons de courbure $R=1\text{ cm}$. Nous observons que pour cette même valeur de stress, la nouvelle structure peut supporter un rayon de courbure $R<2\text{ mm}$.

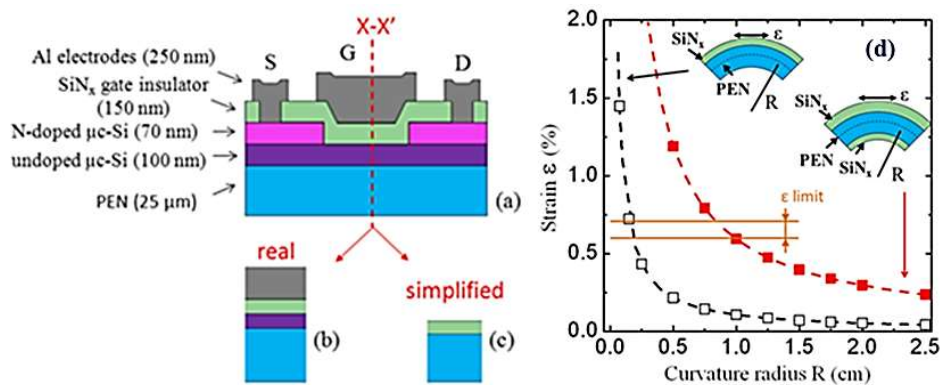


Figure 33: structure réelle du transistor (a) représentée au niveau du plan X-X' (b) et simplifiée en une structure bicouche (c). Les courbes (d) représentent l'évolution du stress développé dans la structure sous l'effet d'une courbure de rayon R. La courbe en noir avec des plots ouverts concerne la structure simplifiée (c).

Après cette modélisation, des transistors, avec cette nouvelle structure, ont été fabriqués et caractérisés électriquement à plat et en déformation. La figure 34 représente les caractéristiques de transfert des TFTs mesurées à plat, après des courbures croissantes en tension et en compression. Les caractéristiques électriques reviennent à l'identiques après des déformations en tension jusqu'à $R=1,5\text{ mm}$ et en compression jusqu'à $R=0,75\text{ mm}$. Le courant après une courbure $R=0,75\text{ mm}$ en tension est légèrement plus faible mais le transistor fonctionne. Cette légère dégradation est due à l'importante augmentation du courant de grille provoquée certainement par la déformation en tension de l'isolant. Ce très bon résultat, permettant aux transistors de fonctionner après une courbure $R=0,75\text{ mm}$, signifie qu'il est possible de plier en deux une telle électronique pour la conserver sans que ses performances, une fois dépliée, ne se dégradent. La figure 35a montre une photographie d'un substrat contenant ces transistors, courbé à $0,75\text{ mm}$. Ce rayon de courbure correspond bien à une déformation

extrême du substrat. Enfin la reproductibilité de telles mesures a été testée sur des transistors pliés 200 fois et dont la caractéristique électrique ne change pas comme le montre la figure 35b.

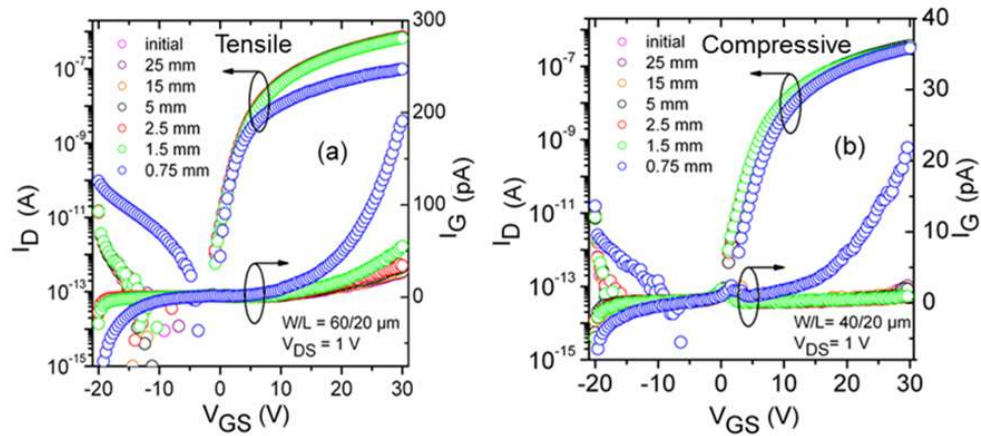


Figure 34: Caractéristiques de transfert et courant de grille de TFTs fabriqués sur un substrat de PEN ($e=25\mu\text{m}$) après des déformations croissantes en tension et en compression données par un rayon de courbure diminuant de $R=25\text{ mm}$ à $R=0,75\text{ mm}$.

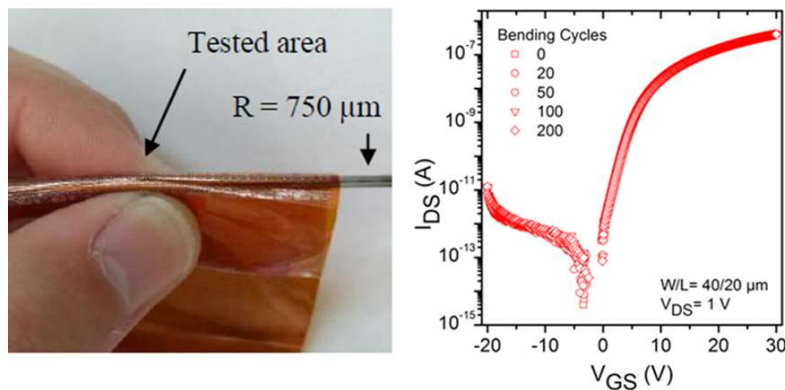


Figure 35: (a) Substrat avec des TFTs courbés en tension à $R=0,75\text{ mm}$, (b) Caractéristiques de transfert d'un TFT mesurées à plat après 20, 50, 100 et 200 déformations.

Ces travaux, dans le cadre de la thèse de H. Dong ont fait l'objet d'une publication dans Solid State Electronics [P28].

Cette étude a été très enrichissante pour deux raisons. La première découle des résultats obtenus qui nous sensibilisent aux effets de la structure du transistor sur le comportement électrique sous déformation mécanique. La seconde raison est liée à l'expérience acquise autour des problématiques de fabrication et de caractérisation électrique de dispositifs flexibles. Nous pouvons citer en exemple les masques de photolithographie dédiés à la fabrication de $\mu\text{-Si}$ TFTs qui n'étaient pas, à l'origine,

adaptés à la prise de contacts pendant une déformation extrême ($R=750\mu\text{m}$). Les $\mu\text{-Si}$ TFTs ont dû être caractérisés à plat après déformation et non pendant la déformation mécanique du substrat. Les masques de photolithographie qui ont été conçus par la suite, notamment pour la fabrication de transistors organiques, ont été adaptés avec des électrodes déportées pour faciliter la mesure sous déformation extrême.

V. Structure Dual Gate TFT en silicium microcristallin

Nous avons évoqué l'importance de la structure du TFT sur leur comportement électrique. Dans le cadre de la thèse de M.L. Samb, l'effet d'un canal parasite arrière dans une structure Top-Gate – Top contacts a été mis en évidence. Le contrôle de ce canal arrière peut modifier fortement les caractéristiques électriques du TFT. La structure, présentée dans cette section, présente de nombreux intérêts. Dans cette structure, le canal du transistor est contrôlé par deux grilles (figure 36). La tension de seuil V_{TH} du TFT peut ainsi être contrôlée par une polarisation extérieure V_{GTop} . Cette maîtrise de la formation du canal a un intérêt certain pour la conception de circuits numériques car la tension de seuil est un paramètre essentiel qui définira le comportement et les tensions de fonctionnement des portes logiques. Un autre intérêt réside dans l'analyse des états d'interface et des défauts du semiconducteur. Nous avons la possibilité de créer un canal dans la partie supérieure ou inférieure de la couche active. Nous pouvons ainsi analyser le comportement électrique en fonction de la nature de la couche car les taux de cristallinité ne sont pas identiques dans tout le volume d'une couche de silicium microcristallin. Cette étude a fait l'objet d'une publication sur le contrôle de la tension de seuil d'un TFT dans le journal Solid State Electronics [P7].

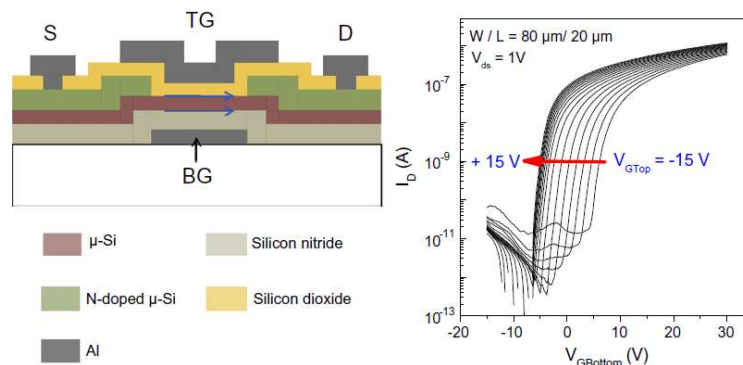


Figure 36: Structure Dual-Gate d'un $\mu\text{-Si}$ TFT. Caractéristiques de transfert d'un $\mu\text{-Si}$ TFT de dimensions $W/L=80\mu\text{m}/20\mu\text{m}$ en fonction des tensions de grille V_{GBottom} et V_{GTop} .

Cette structure peut avoir un intérêt pour d'autres technologies. Nous pourrions, par exemple, l'adapter pour la fabrication de transistor organique car les tensions de

fonctionnement des OFETs sont encore à améliorer pour la fabrication de fonctions combinatoires en technologie CMOS.

Conclusion

Ces études, menées sur les TFTs à base de silicium microcristallin, ont été une opportunité pour moi de me confronter à une technologie à très basse température et de mieux cerner les enjeux de l'électronique flexible. L'étude des matériaux et des $\mu\text{-Si}$ TFTs, au cours des thèses de doctorat de M.L. Samb et H. Dong, et des stages de master 2 de H. Dong, R. Bellec et I. Bouhadda, a été l'occasion de me former à de nouveaux équipements de dépôt et de me sensibiliser aux problématiques des matériaux déposés à très basses températures ($T < 180^\circ\text{C}$). L'optimisation des TFTs est un savant mélange entre matériaux de bonne qualité, compatibilité des matériaux, structure de TFT optimisée, analyse des défaillances et compréhension des mécanismes de dégradation des paramètres électriques. L'étude des déformations mécaniques sur les propriétés électriques des TFTs est un enjeu important de la future microélectronique. Les procédés de fabrication et les méthodes de caractérisation ont été adaptés. Ces éléments m'encouragent à poursuivre et à aller plus loin dans le domaine de l'électronique flexible notamment par l'étude de matériaux organiques dont les propriétés permettent d'entrevoir des flexibilités accrues.

Chapitre 3 : Vers une électronique grande surface sur substrats souples à base de matériaux organiques

I. Introduction et contexte

L'objectif affiché de l'IETR est de développer des systèmes électroniques complets (capteurs, électronique de traitement et énergie) sur des substrats originaux et variés. Bien que la technologie à base de silicium microcristallin possède des avantages indiscutables au niveau stabilité électrique, au niveau performance électrique et au niveau température du procédé de fabrication ($T < 180^\circ\text{C}$), il était intéressant de s'ouvrir à une nouvelle technologie, moins mature, qui pouvait nous permettre de descendre encore les températures de fabrication et ainsi de multiplier les types de substrat que nous pourrions utiliser. De plus, elle pourrait nous donner des perspectives intéressantes en termes de compréhension des phénomènes physiques sous-jacents aux dispositifs à base de tels semiconducteurs.

L'objectif à long terme de cette nouvelle thématique est de proposer une technologie permettant la fabrication de circuits électroniques accessible aux plus grands nombres. L'électronique à base de silicium monocristallin est très rentable si la production est destinée à un grand marché. En revanche, il est extrêmement coûteux de développer des petites séries de composants. La tendance actuelle est à l'ajout d'électronique sur tous les objets de la vie courante (objets connectés et intelligents). Le développement d'une technologie à base de matériaux organiques ouvre la voie à des procédés de fabrication simplifiés (Roll to roll, inkjet printing, ...) par rapport à la technologie silicium classique. Ces technologies pourraient alors être accessibles à des PME pour donner une valeur ajoutée à leurs produits.

Depuis le début de ma thèse en 2004 et le début de cette nouvelle thématique en 2012, toutes mes recherches, consacrées au développement de procédés de fabrication basse température, ont été focalisées sur l'utilisation de matériaux inorganiques. Il était donc exclu de se lancer directement dans l'électronique en solution sans comprendre le fonctionnement de ces nouveaux matériaux. Les technologies du vide et plus particulièrement l'évaporation et la sublimation de matière par effet Joule étaient la solution la plus adaptée dans notre cas pour le début. En parallèle, l'électronique en solution a été étudiée notamment pour la fabrication des électrodes drain, source et grille et pour l'isolant de grille ou de passivation.

Les équipements dédiés à l'électronique organique ne subissent pas les mêmes contraintes que l'électronique inorganique. En parallèle de l'étude de semiconducteurs organiques et du développement d'une structure par voie classique et en solution, le début de cette thématique a vu de nombreuses optimisations et achats d'équipements adaptés à cette technologie.

Cette partie décrit le cheminement qui a été le mien pour développer au mieux cette nouvelle thématique à l'IETR.

II. Développement d'une nouvelle thématique : l'électronique organique

A partir de février 2012, dans le cadre d'un stage de fin d'étude de master 2, j'ai souhaité proposer une collaboration entre l'IETR et l'ISCR (Institut des Sciences Chimiques de Rennes) pour développer une technologie CMOS à partir de matériaux organiques. La problématique qui s'est posée en 2012 consistait à choisir entre le développement de TFTs de type P ou de type N. Un grand nombre de matériaux semiconducteurs organiques de type P avait été développé à travers le monde dont certains étaient déjà commercialisés alors que très peu d'études concernant les transistors à base de semiconducteurs organiques de type N étaient publiées. L'ISCR et plus particulièrement C. Poriel et J. Rault-Berthelot de l'équipe MaCSE s'intéressaient aux semiconducteurs de type N pour des applications OLED. Malheureusement, les problématiques des OLED et des OFETs étant très différentes, notamment en terme de performance électrique, une forte mobilité d'effet de champ ne faisait pas partie de leur cahier des charges lors de leurs études sur les semiconducteurs de type N (design et synthèse).

Néanmoins, nous avons pu nous confronter aux contraintes majeures liées à la fabrication de transistors de type N à partir de matériaux organiques : l'oxygène et l'humidité. Le premier système en boîte à gants, conçu par le département et fabriqué par l'atelier mécanique de l'IETR, intégrait un évaporateur par effet Joule et un banc de caractérisation sous pointes. Toute la structure du transistor devait alors être fabriquée à l'extérieur de la boîte à gants. Le choix de notre structure s'est donc porté sur une structure Bottom Gate – Bottom Contact. Les étapes de photolithographie étaient réalisées en salle blanche. L'évaporation du semiconducteur organique et la caractérisation des dispositifs pouvaient avoir lieu en boîte à gants sous atmosphère contrôlée d'azote (figure 37).



Figure 37: Boîte à gants intégrant un évaporateur effet Joule et une station sous pointes conçue et fabriquée à l'IETR.

Ces premiers matériaux semiconducteurs de type N, synthétisés par l'ISCR, nous ont permis d'optimiser la structure du TFT. Une contrainte forte a été décidée au début de notre étude, à savoir, l'utilisation d'un isolant de type polymère ou petite molécule organique. Cette contrainte a été définie pour répondre à deux de nos objectifs. Le premier était d'obtenir un transistor à très basse température ($T < 100^{\circ}\text{C}$) dans une technologie qui serait compatible avec les technologies d'impression. Le second était de travailler avec des matériaux qui pourraient subir de fortes déformations sans dénaturation de leurs propriétés électriques.

Un procédé de fabrication a été élaboré avec ces contraintes et est présenté ci-dessous. Aucune étape de cette fabrication n'a de température supérieure à 110°C ce qui le rend compatible avec une grande variété de substrat.

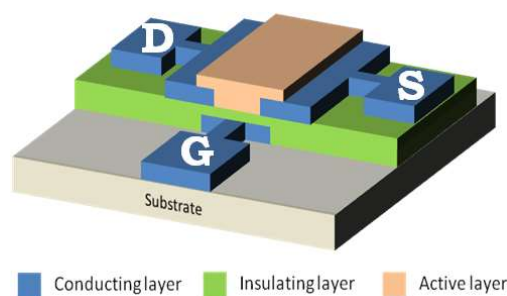


Figure 38: Structure OFET dédiée à l'étude de semiconducteur organique

L'électrode de grille est définie par photolithographie à partir d'une couche d'aluminium d'épaisseur $e=150\text{nm}$. Ce dépôt est réalisé par évaporation thermique et donc est facilement maîtrisé.

L'isolant de grille est une résine photosensible négative de chez MicroChem référencée SU8 2000.5. L'isolant est déposé par spin coating avec une épaisseur contrôlée entre 200 et 500 nm. L'avantage de cet isolant est qu'il s'agit d'une résine photosensible détournée de sa fonction première. L'ouverture des vias ou la définition d'îlots d'isolant ne consiste qu'en une étape de photolithographie. Aucune gravure n'est nécessaire pour définir un motif.

Les électrodes de drain et de source sont définies par photolithographie à partir d'une couche d'or d'épaisseur $e=50\text{nm}$. Ce dépôt est réalisé par EBPVD (Electron Beam Physical Vapor Deposition) avec lequel l'épaisseur de la couche est parfaitement contrôlée. Les électrodes source et drain sont définies par photolithographie ce qui permet un alignement au $\frac{1}{2}$ micron et une haute résolution pour l'ouverture du canal ($L=1\mu\text{m}$).

La structure Bottom Gate – Bottom Contacts n'est pas la structure à privilégier selon la littérature [17][18]. Effectivement, ce type de structure favorise un courant de grille plus élevé par rapport à la structure Top Gate – Bottom Contact. Elle favorise également de plus fortes résistances d'accès. En effet, lors de l'évaporation du semiconducteur, des désorganisations moléculaires apparaissent sur les électrodes comme c'est le cas sur des isolants inorganiques non fonctionnalisés.

Cependant, l'avantage que nous avons trouvé à cette structure est sa reproductibilité. Le procédé de fabrication est simple et robuste. Il a été optimisé au fur et à mesure des études mais tous les résultats avec les premières molécules semiconductrices ont été obtenus avec cette structure.

III. Etude de matériaux semiconducteur organique de type N

1. Faisabilité d'un transistor couches minces organiques de type N

La première molécule semiconductrice étudiée présentait de faibles performances en termes de mobilité d'effet de champ mais les caractéristiques de transfert montraient un comportement très intéressant de notre structure. Les courants de grille I_G étaient faibles, les pentes sous le seuil $SS < 1$ et les rapports I_{on}/I_{off} relativement intéressants ($>10^5$). Au vu de l'historique du laboratoire, l'amélioration de la mobilité d'effet de champ n'a pas été la priorité absolue sur cette nouvelle thématique. En effet, un dispositif avec une forte mobilité d'effet de champ n'a d'intérêt que lorsque celui-ci est stable électriquement. Notre expérience sur le silicium microcristallin nous a montré que dans certain cas, l'obtention de très fortes mobilités ($\mu > 100\text{cm}^2/\text{V.s}$) se faisait au détriment de la stabilité électrique (figure 23a).

Cette première molécule LPP(=C(CN₂)₂) nous a surtout permis d'étudier la stabilité électrique de notre structure qui a la particularité d'utiliser un isolant organique comme isolant de grille. Cette étude nous a donné l'opportunité de mieux comprendre la provenance de ces instabilités électriques et s'est soldée par la publication d'un article [P18].

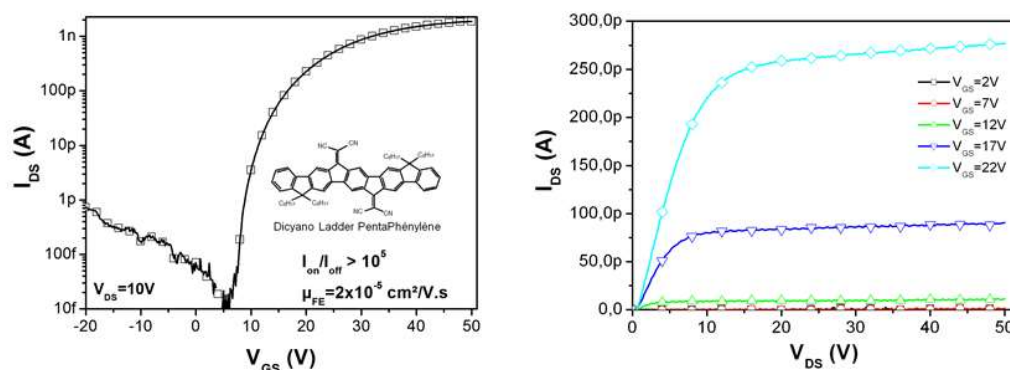


Figure 39: Caractéristiques de transfert et de sortie d'un OFET réalisé à partir d'un semiconducteur organique Dicyano Ladder PentaPhénylène (LPP(=C(CN₂)₂)).

La mobilité d'effet de champ extraite à partir des caractéristiques de transfert du TFT est très faible de l'ordre de $10^{-5} \text{cm}^2/\text{V.s}$. Cette faible mobilité était attendue car ce matériau avait été développé pour les OLEDs. Cependant un comportement de transistor était visible avec l'utilisation d'une résine photosensible comme isolant de grille (figure 39).

Nous avons voulu savoir si ce type de transistor à base de LPP(=C(CN₂)₂) était stable. La méthode employée est le Gate Bias Stress qui consiste à appliquer une tension de grille tandis que les électrodes de drain et de source sont reliées à la masse. Le fait de polariser le drain et la source à la masse permet un stress uniforme de la grille sans évacuation possible des charges sauf par l'isolant. Ce type de stress favorise donc le piégeage dans l'isolant et la réorganisation du semiconducteur.

L'OFET présente une forte instabilité électrique (figure 40). Après le stress électrique et en l'absence de polarisation, la caractéristique de transfert revient à son état initial. La dégradation électrique n'est donc pas irréversible. Cependant, il est très délicat d'estimer une origine précise de cette dérive. Les deux modèles utilisés pour dissocier l'effet de réorganisation du semiconducteur et l'effet du piégeage dans l'isolant montrent que les deux effets cohabitent et qu'il est donc difficile de les discriminer.

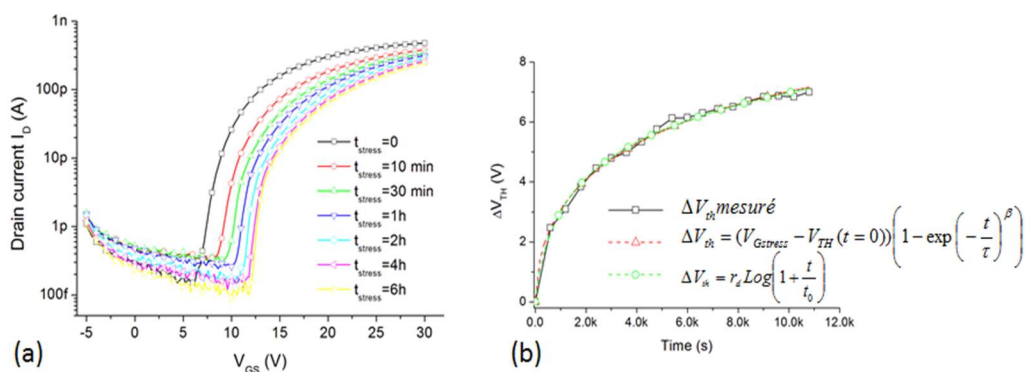


Figure 40: Stress électrique de type Gate Bias Stress – Etude des instabilités électriques

La figure 40b montre que ces deux modèles sont applicables à la variation de tension de seuil V_{TH} . L'augmentation de la tension de stress $V_{GSstress}$ a tendance à favoriser le piégeage dans l'isolant. Malgré nos efforts sur l'optimisation du dépôt du semiconducteur organique, l'arrangement des molécules ne permet pas un recouvrement orbitalaire optimal.

2. Etude de semiconducteurs organiques de type N

La première thèse du laboratoire sur la thématique de l'électronique organique était celle de Sarah Bebiche [19]. J'ai Co-dirigé cette thèse avec le professeur Tayeb Mohammed Brahim. Son objectif était l'étude de semiconducteurs organiques développés par les chimistes C. Poriel et J. Rault-Berthelot de l'équipe MaCSE de l'ISCR. Cette collaboration a été très importante dès le début et l'intérêt commun était évident. Du point de vue chimie, les performances des molécules synthétisées pouvaient être analysées électriquement avec une structure OFET reproductible. Et du point de vue électronique, la possibilité d'avoir plusieurs types de semiconducteurs organiques sous la main, nous permettrait de mieux comprendre les effets du semiconducteur sur les performances des transistors.

La thèse de S. Bebiche a été engagée du côté dispositif électronique pour soutenir cette nouvelle thématique. Un financement de type PEPS-IETR, pour soutenir l'émergence de nouveaux axes d'étude, a été obtenu pour commencer cette activité. Au vu des premiers résultats obtenus qui ont fait l'objet d'une publication commune avec les chimistes, un stagiaire en Master 2 de chimie du côté ISCR (M. Chevrier) a été dédié à la synthèse d'un semiconducteur organique pour des applications OFETs.

Nous avons alors souhaité nous intéresser à l'empilement des molécules dans un film semiconducteur déposé par effet Joule. J'ai alors proposé un projet inter-UMR de type Action incitative de l'université de Rennes 1 pour soutenir cette nouvelle thématique. La synthèse de deux molécules avec un corps central identique composé de trois cycles

phénols a été engagée par les chimistes de l'équipe MaCSE. Les différences entre ces deux molécules, présentées sur le figure 41, réside dans le placement des chaînes dicyanovinylène et la présence ou non de chaînes alkyles latérales (C₅H₁₂). Dans le cas de la molécule que nous nommerons Dicyano Méta Indénofluorène (DMIF), les chaînes dicyanovinylène sont placées d'un seul côté du corps central apportant une dissymétrie à la molécule. Dans le cas de la seconde molécule que nous nommerons Dicyano Para Indénofluorène (DPIF), les chaînes dicyanovinylène sont de part et d'autre du corps central et la présence de chaînes alkyles latérales devrait favoriser l'arrangement de cette molécule.

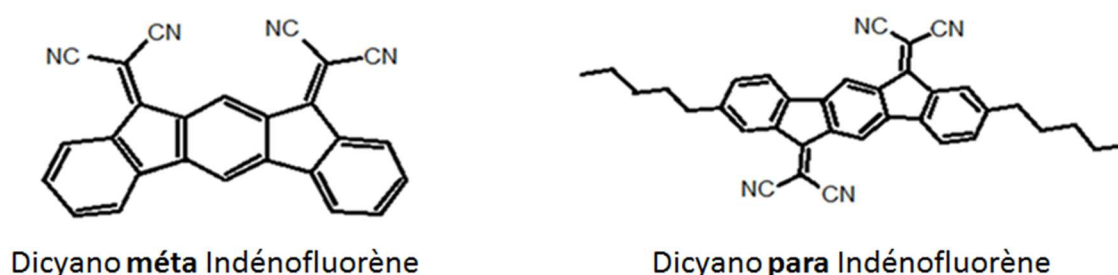


Figure 41: Molécules synthétisées par l'ISCR avec un corps central constitué de trois cycles phénols.

De même que pour l'arrangement atomique des films semiconducteurs inorganiques, l'arrangement moléculaire des films semiconducteurs organiques aura un fort impact sur le mode de conduction électronique de la couche. En effet, plus le recouvrement des orbitales moléculaires sera important et plus une conduction par bande pourra être envisagée. Au contraire, plus la couche sera désorganisée et plus une conduction par états localisés apparaîtra. La mobilité effective des porteurs sera alors très limitée par rapport à la mobilité théorique de la molécule dans le cas d'une conduction par bande.

$$\mu_{eff} = \mu_0 * \frac{n_{free}}{n_{free} + n_{trap}} \quad (3)$$

Pour une vitesse de dépôt identique et sans post-traitement sur les dispositifs, les caractérisations électriques de ces deux molécules montrent que la molécule DPIF présente de meilleures performances que la molécule DMIF. Malgré un corps central identique, les mobilités d'effet de champ varient d'une décade passant de 10⁻⁴ pour le DMIF à 10⁻³ pour le DPIF (figure 42). Les recuits des TFTs après fabrication ont un effet non négligeable sur la mobilité d'effet de champ. Les mesures présentées sur la figure 42 ont été réalisées à T=25°C. La modification des caractéristiques de transfert n'est pas réversible. L'isolant à base de résine epoxy subit déjà un recuit à 110°C au cours de la fabrication des TFTs. L'effet de la température de recuit sur les performances a été attribué à une réorganisation de la couche semiconductrice.

A partir de ces résultats, deux voies nous sont apparues comme évidentes pour développer des circuits électroniques à partir de matériaux organiques. La première voie est la fabrication de circuits élémentaires avec ces molécules et une volonté d'optimiser la structure et la seconde voie est l'étude électrique de nouvelles molécules pour accroître les performances électriques des transistors.

Nous avons considéré, au vu de la mobilité effective obtenue avec ces molécules et de l'excellente reproductibilité du procédé de fabrication, qu'un tel dispositif pouvait être intégré dans des circuits élémentaires pseudo CMOS. Des masques de photolithographie ont alors été conçus pour la fabrication d'inverseurs.

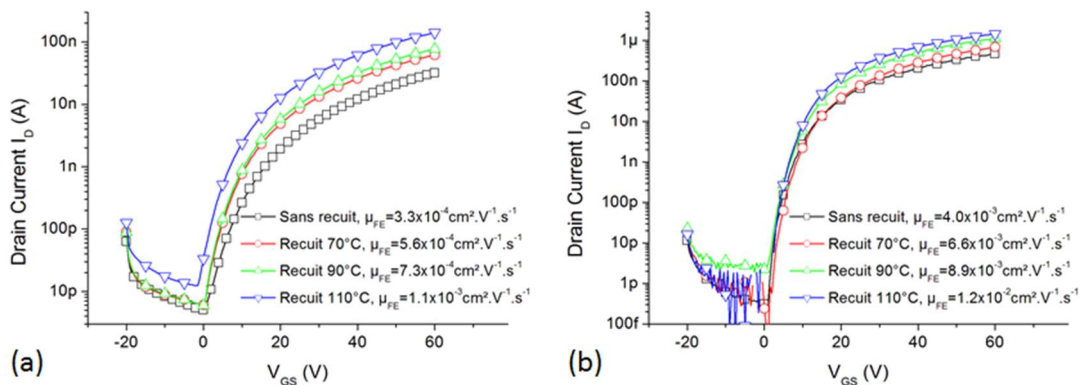


Figure 42: Effet du recuit sur les caractéristiques de transfert de TFTs de dimensions $W/L=1000\mu\text{m}/20\mu\text{m}$ pour $V_{DS}=10\text{V}$ avec (a) le DMIF et (b) le DPIF

La fabrication et la caractérisation de ces inverseurs organiques pseudo-CMOS (figure 43) a fait l'objet d'une publication commune entre l'ISCR et l'IETR [P24].

Les problématiques liées à la caractérisation de circuits électroniques, à base des transistors à forte impédance ($R_{DSon}=10\text{-}100\text{M}\Omega$), sont une adaptation d'impédance obligatoire pour visualiser le signal de sortie sur un oscilloscope, la limitation du bruit provenant de ces fortes résistances et l'apparition d'une faible fréquence de coupure due au montage de caractérisation dynamique. A partir de la caractéristique d'inverseur présentée sur la figure 43, il est évident que le temps de montée et beaucoup plus élevé que le temps de descente du signal de sortie.

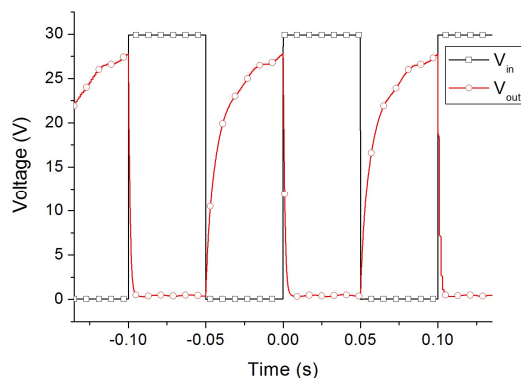


Figure 43: Caractéristique dynamique d'un inverseur à base d'OFET DMIF en configuration pseudo CMOS.

Cette différence entre le temps de montée et le temps de descente provient de la différence des résistances drain-source de la charge active et du transistor de commutation. Lors de la montée du signal de sortie, le courant passe majoritairement dans la charge active. Le temps de charge est, dans ce cas, relié à la résistance dans le canal de la charge active. Lors de la descente du signal de sortie, le courant passe majoritairement dans le transistor de commutation dont la résistance de canal R_{DS} est plus faible.

Ce que nous observons sur cette courbe n'est pas le reflet de la réponse en fréquence de nos transistors. Lors de ces caractérisations électriques, nous n'avons pas pris en compte la limitation inhérente à notre système de mesure. Cette première expérience de caractérisation dynamique nous a permis de prendre conscience de cette problématique liée aux matériaux à faible mobilité.

IV. Evolution de l'équipe et de la plateforme de fabrication de circuits organiques

En 2014, deux ans après la première thèse du laboratoire sur l'électronique organique, j'ai souhaité amplifier cette activité qui a montré de fortes potentialités pour atteindre nos objectifs.

Avec une perception plus claire sur les problématiques liées aux semiconducteurs organiques de type N, nous nous sommes engagés sur la voie de l'électronique en solution pour l'adressage de pixels.

L'application visée vient d'une collaboration que j'ai entamée en 2011 avec Y. Molard de l'équipe CSM de l'ISCR et Hervé Folliot de l'équipe FOTON de l'INSA Rennes par le biais d'un encadrement de thèse (M. Prevôt). Y. Molard a développé et déposé un brevet sur

des composés customésogènes avec des propriétés de luminescence très intéressantes. A l'issu de cette thèse, nous avons pu intégrer ces particules dans des dispositifs électroluminescents [20].

Avec Y. Molard, nous avons obtenu une bourse président en 2014 pour le financement d'une thèse sur des critères d'interdisciplinarité et de soutien à une nouvelle thématique. Cette thèse est en cours actuellement avec une soutenance prévue en octobre 2017 (Doctorant : M. Robin). Le sujet est le développement d'une électronique de pilotage d'HLED (Hybrid LED) par impression. Cette étude est principalement dédiée à l'optimisation de la structure des OFETS pour obtenir une injection électrique suffisante pour le pilotage d'une HLED et au transfert de la structure OFET vers une structure imprimée.

En parallèle, j'ai souhaité gardé une forte activité sur l'étude des semiconducteurs organiques de type N avec un volet sur l'étude de l'impact de déformations mécaniques sur des OFETS à base de semiconducteurs organique de type N. Un financement ADEME et ARED a été obtenu et a formalisé notre collaboration avec C. Poriel et J. Rault-Berthelot pour le développement de semiconducteurs organiques de type N électriquement stables dans le cadre de la thèse de J.D. Peltier. Cette thèse a débuté en 2014 avec une soutenance prévue en octobre 2017.

La thématique électronique organique du département Microélectronique et Microcapteurs a également pu bénéficier d'une autre collaboration pour amplifier son effort sur le développement de cette nouvelle technologie. Le professeur B.S. Bae de l'université d'Hoseo en Corée du sud a une solide expérience sur la conception de circuits à partir de transistors couches minces à base d'oxyde métallique. A l'issu d'une rencontre, il nous a semblé évident que son expérience en conception de circuits et notre expérience sur le développement de procédé de fabrication étaient complémentaires. Cette collaboration a débuté par le recrutement d'un stagiaire de master (Stagiaire M2 : S.J. Moon) de l'université d'Hoseo sur la période octobre 2015 – juillet 2016. La période de stage initiale ayant été prolongée car les résultats étaient très prometteurs.

L'évolution des forces engagée sur cette thématique a été accompagnée d'un soutien financier important pour l'évolution des équipements, pour le fonctionnement et pour le développement de nouvelles collaborations.

Deux ans après avoir imaginé le premier équipement dédié à l'électronique organique, nous avons bénéficié du dernier volet du projet TECHNOCAP du CPER 2007-2013 pour faire évoluer nos équipements. Ce soutien a été employé pour le transfert de notre technologie vers de l'impression de transistors par jet de matières (achat d'une

imprimante Ceradrop) et pour disposer d'un environnement parfaitement contrôlé pour la fabrication et la caractérisation électrique d'OFETs (figure 44).

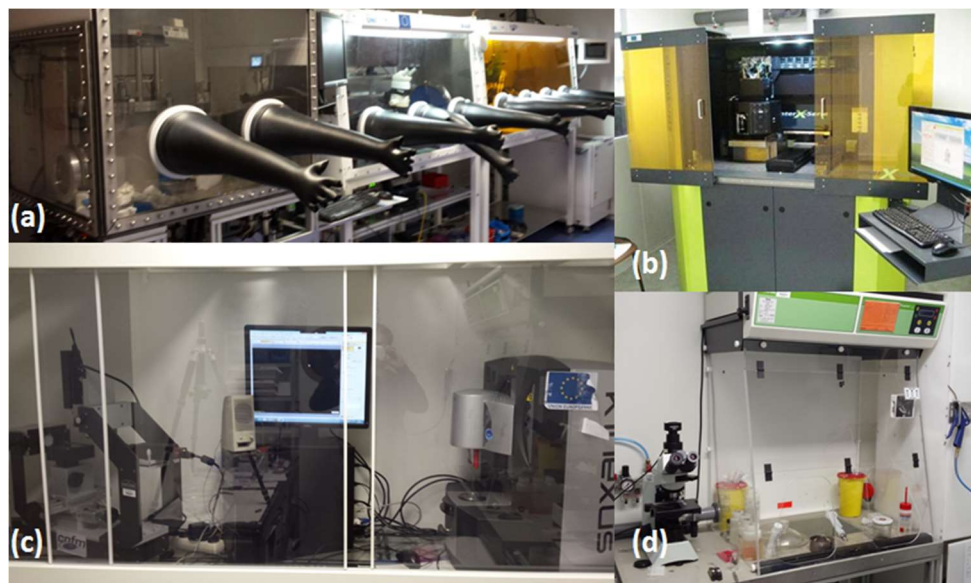


Figure 44: Équipements dédiés à l'électronique organique. (a) : Boîtes à gants pour l'évaporation des matériaux organiques, la caractérisation électrique et un espace chimie/photolithographie. (b) : Imprimante double têtes d'impression X-Series de chez Ceradrop. (c) : Caractérisation rhéologique des solutions imprimables. (d) : hotte chimique pour la préparation d'échantillons.

Ces équipements ont été opérationnels à partir de février 2014.

L'évaporateur par effet Joule imaginé et fabriqué à l'IETR a commencé à montrer ses limites pour la fabrication de circuits plus complexes. Le contrôle de la sublimation des matériaux organiques est essentiel pour le développement d'une technologie reproductible. Un équipement adapté à ce type de matériaux était donc nécessaire. De plus, la création de jonction à semiconducteurs organiques nécessite d'évaporer des matériaux successivement sans rupture du vide pour diminuer les effets d'interface. Enfin, la nécessité de gérer de la co-évaporation de matériaux organiques apparaissait de plus en plus évident.

J'ai donc proposé un projet autour de la fabrication de circuits organiques flexibles. Ce projet nommé ORGAFLEX, dont je suis le responsable scientifique, est un sous-projet du CPER MATECOM porté par des chimistes, des physiciens et des électroniciens. Les équipements, demandés dans le cadre de ce projet, ont été acquis à la première phase d'exécution du CPER 2014-2020. L'objectif est la fabrication de circuits élémentaires CMOS transparents et flexibles. Les deux équipements acquis pour atteindre cet objectif sont un évaporateur par effet Joule multi-sources et un pulvérisateur cathodique intégrés en boîte à gants (Figure 45).



Figure 45: Evaporateur par effet Joule multi-source et pulvérisateur cathodique intégrés en boîte à gants acquis dans le cadre du sous-projet CPER2014-2020 ORGAFLEX.

La mise en place de ces équipements pour développer cette nouvelle thématique découle d'un investissement personnel important. De la conception et la fabrication du premier équipement dédié à la fabrication et la caractérisation de transistors organiques jusqu'à aujourd'hui, cette évolution a été accompagnée de résultats significatifs sur les performances des OFETs. Les faits marquants de l'équipe « électronique organique » sont présentés dans le paragraphe suivant.

V. Faits marquants de la thématique électronique organique

1. Impression d'une structure OFET

L'impression d'une structure OFET nécessite de maîtriser l'impression de trois couches : un conducteur, un isolant et un semiconducteur. Dans un premier temps, nous nous sommes intéressés à l'impression du conducteur et de l'isolant. Toujours pour respecter notre objectif de procédé très basse température, une encre à base de nanoparticules d'argent a été choisi comme conducteur. Cette encre présente l'avantage d'être conductrice avec des températures de recuit de 100°C ($\sigma=2 \times 10^{-4} \text{ S.cm}^{-1}$).

M. Harnois, ingénieur de recherche CNRS du département Microélectronique et Microcapteurs, a pris en main l'équipement d'impression pour en assurer un suivi

optimal. L'importance du couple encre/substrat demande une connaissance de l'historique d'impression précise. L'imprimante développée par la société Ceradrop est un équipement sensible et nécessite un suivi régulier. Une convention a alors été établie entre l'université de Rennes1 et Rennes métropole pour le soutien à la performance des équipements scientifiques. Ce projet nommé Imprim', dont je suis le responsable scientifique, nous permet une maintenance et un suivi efficace par la société Ceradrop.

La résine photosensible SU8, qui a été détournée de sa fonction première, a montré des propriétés électriques intéressantes pour nos structures TFT par photolithographie. Notre challenge a été d'étudier l'imprimabilité de ce matériau. Cette étude, qui a donné lieu à une publication [P27], a montré la puissance de la technique d'impression notamment sur le contrôle de la forme des éléments imprimés.

M. Robin, dans le cadre sa thèse, et S.J. Moon, dans le cadre de son stage, ont travaillé conjointement pour développer la structure complète du TFT. Les performances électriques des OFETs imprimées sont encore difficiles à contrôler mais les premiers résultats présentés ci-dessous sont encourageants pour développer des systèmes plus complexes.

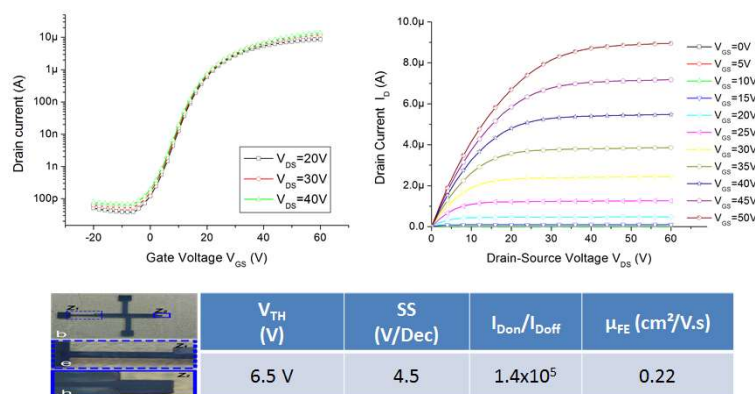


Figure 46: Caractéristiques de transfert et de sortie d'un OFET imprimé avec des électrodes de grille, de drain et de source en argent (Silver Ink), un isolant imprimé à base de SU8 et du C60 évaporé pour la couche active.

C'est à l'issue de ces résultats que nous avons décidé de prolonger le stage de S.J. Moon en accord avec le professeur B.S. Bae. Des circuits électroniques pseudo-CMOS élémentaires ont été étudiés et sont également présentés dans les faits marquants de la thématique.

2. Fabrication d'inverseurs et d'oscillateurs pseudo-CMOS par impression

L'impression par jet de matière est complexe à mettre en place car chaque matériau doit être étudié en fonction de la couche sur laquelle il sera déposé. Pour chaque

encre, il nous faudra définir une fenêtre d'imprimabilité en fonction de la couche précédente. Ces études ont été réalisées pour l'encre à base de nanoparticules d'argent et pour l'isolant à base de résine photosensible SU8. Notre structure imprimée comporte encore des faiblesses. Le procédé d'impression le plus reproductible ne nous permet pas d'aussi bonnes caractéristiques que celles présentées dans la section précédente. L'aspect limitant semble provenir de l'épaisseur des électrodes drain/source et de leur état de surface. Le semiconducteur est évaporé par effet Joule sur les structures imprimées et nous savons que l'état de surface des électrodes a un impact important sur l'organisation d'un semiconducteur organique évaporé.

Malgré ces limitations, le procédé d'impression le plus reproductible permet de fabriquer des OFETs avec des caractéristiques électriques suffisantes pour imaginer leur association dans un même circuit. Ce procédé d'impression nous offre une flexibilité totale pour la conception de circuit. Les masques peuvent être modifiés à chaque fabrication et un retour sur expérience rapide est la clé pour imaginer des circuits à base de matériaux organiques performants.

Jusqu'à présent de simples inverseurs et oscillateurs pseudo-CMOS ont été fabriqués (figure 47) mais notre collaboration avec le laboratoire EDL de l'université d'Hoseo en Corée du sud fait partie de nos atouts pour la conception de circuits plus complexes. Une thèse en cotutelle est envisagée entre ces deux établissements pour accélérer le développement de circuits électroniques avec cette technologie d'impression.

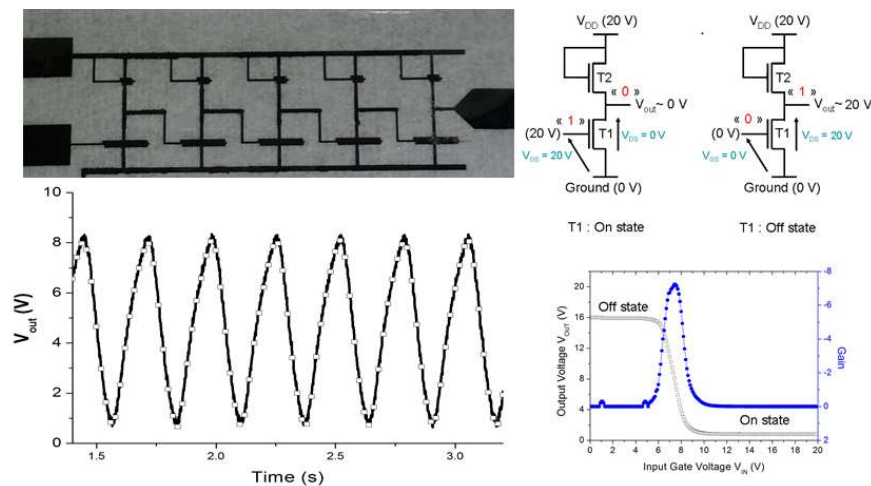


Figure 47: Oscillateur pseudo-CMOS à base de transistors imprimés de type N. (b) Caractéristique statique d'un inverseur imprimé à partir de transistors de type N.

L'oscillateur imprimé présente une faible fréquence d'oscillation $F_{osc} \sim 3\text{Hz}$ qui est à l'image des OFETs imprimés. En effet, le procédé reproductible pour la fabrication

d'OFETs imprimé ne nous permet pas d'obtenir des mobilités suffisantes pour monter en fréquence. L'emploi de charges actives a pour conséquence la présence d'une tension de déchet (perdue dans la charge active) $V_{\text{déchet}}=2V$ pour $V_{\text{DD}}=10V$ que nous retrouvons également sur la caractéristique statique de l'inverseur imprimé ($V_{\text{déchet}}=4V$) pour $V_{\text{DD}}=20V$.

3. Fabrication d'une matrice d'OFETs 10x10 de type N

Une des applications visées par notre équipe est l'adressage de pixel pour des écrans flexibles. La technologie par photolithographie étant simple et robuste, je me suis intéressé à la conception d'une matrice d'OFETs 10x10 pour évaluer l'uniformité du procédé de fabrication. Cette étude a été soutenue par l'IETR par l'obtention d'un financement PEPS-IETR dédié au développement de projets de recherche innovants.

L'extraction des paramètres électriques de 100 OFETs par matrice est un travail fastidieux et a nécessité un travail d'optimisation de la caractérisation électrique. L'établissement Centrale-Supelec, dans lequel j'enseigne la physique des semiconducteurs, propose à ses étudiants des projets longs sur deux semestres. J'ai profité de cette occasion pour proposer un sujet sur la caractérisation électrique des matrices avec une extraction automatique des paramètres électriques des TFTs. Des étudiants en 4^{ème} année (J. Chaudet et F. Marconi) ont eu l'occasion de suivre le procédé de fabrication et ont été mis en charge de la caractérisation électrique. Ils ont, en parallèle, développé un outil sous matlab pour visualiser tous les paramètres importants sous forme matricielle (figure 48).

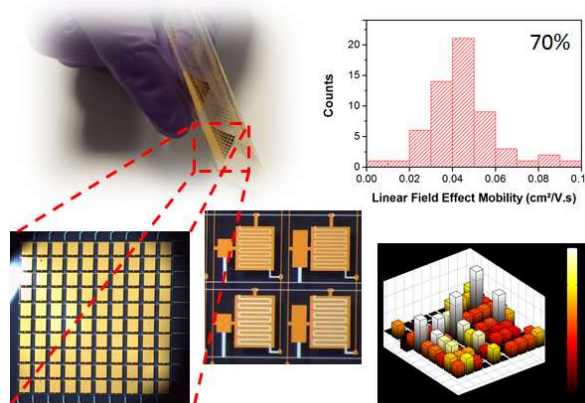


Figure 48: Matrice d'OFETs 10x10 sur substrat flexible d'épaisseur $e=25\mu\text{m}$.

Le choix de conception des transistors de la matrice 10x10 s'est tourné vers une structure en peignes interdigités. Notre volonté était l'augmentation du courant pour le pilotage d'une HLED. L'uniformité des paramètres électriques n'est pas satisfaisante pour imaginer des circuits plus complexes. En effet, le taux de réussite de la matrice

présentée sur la figure 48 est de 70% avec des mobilités d'effet de champ variant du simple au double (entre 3×10^{-2} et 6×10^{-2} $\text{cm}^2/\text{V.s}$).

Nous nous sommes alors intéressés à l'optimisation de la structure OFET par photolithographie en considérant notamment que le semiconducteur était fortement désorganisé sur les électrodes drain/source [21].

4. Optimisation du procédé de fabrication des OFETs de type N

L'étude de molécules semiconductrices synthétisées en laboratoire est très intéressante car cela nous permet l'accès à une grande variété de molécules. Cependant, il est très difficile d'évaluer notre structure OFET avec des molécules que nous sommes les seuls à utiliser. Dans le cadre de la thèse de M. Robin, la structure OFET a été étudiée avec un matériau semiconducteur transporteur d'électrons commercial (Fullerène C60). De nombreuses études ont montré l'efficacité d'une interface isolant/semiconducteur organique/organique sur les performances électriques des transistors [22][23]. Bien que notre structure OFET comporte ce type d'interface (isolant et semiconducteur organiques), les premiers résultats obtenus avec une molécule semiconductrice commerciale ne suivaient pas cette tendance. En effet, la présence d'un hystérésis élevé, d'une pente sous le seuil dégradée et d'une stabilité électrique très faible aurait pu nous amener à conclure que l'isolant à base de résine photosensible SU8 n'était pas adapté à la fabrication d'OFETs.

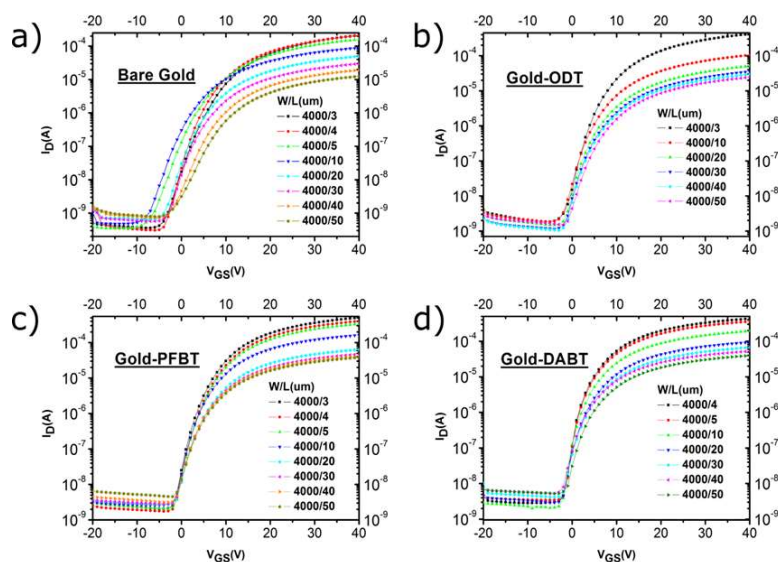


Figure 49: Effet de la modification de surface des électrodes drain/source sur les performances électriques des OFETs à base de C60.

La modification de surface des électrodes d'or (drain et source) nous a alors montré que la pente sous le seuil, l'hystérésis et la stabilité électrique étaient également et fortement

dépendants de l'interface métal/semiconducteur (tableau 5). Le second enseignement de cette étude a concerné l'alignement des niveaux d'énergie entre métal et semiconducteur. L'utilisation d'un métal en tant que drain/source avec un travail de sortie proche du niveau de conduction (LUMO pour le type N et HOMO pour le type P) est souvent recherchée. Je rappelle qu'en physique des semiconducteurs inorganiques les travaux de sortie des métaux s'alignent sur les niveaux de Fermi des semiconducteurs (ex : Contact Schottky). La grille, par le biais de la tension V_{GS} , déplace ce niveau de Fermi par l'accumulation de charges à l'interface isolant/semiconducteur. Le fait que le métal ne soit pas aligné sur le niveau LUMO ou le niveau HOMO ne devrait donc pas avoir l'influence imaginée sur le comportement du transistor. Prenons l'exemple de la modification de surface d'électrodes d'or par la molécule PFBT. Dans de précédentes études, cette molécule, à base de thiols, était considérée comme adaptée pour des transistors de type P car le travail de sortie de métal était décalé vers le niveau HOMO du semiconducteur [24]. Nous avons donc choisi d'utiliser cette modification de surface pour un transistor de type N.

Les résultats sont édifiants et montrent que la molécule PFBT est mieux adaptée que la molécule ODT qui devait décaler nos niveaux d'énergie vers le niveau LUMO. De plus, l'emploi de ces modifications de surface semble jouer un rôle déterminant sur l'uniformité de nos caractéristiques électriques (figure 49). De même, la stabilité électrique est améliorée dans les cas de modification de surface avec le PFBT et le DABT. Nous avons soupçonné, à l'issu de cette étude, une influence de l'organisation du fullerène sur les électrodes d'or par ces modifications de surface plutôt qu'un décalage des niveaux d'énergie permettant une meilleure injection du courant.

	μ_{lin} ($cm^2/V.s$)	μ_{sat} ($cm^2/V.s$)	V_{TH} (V)	SS (V/dec)	$I_D(t=600s)$ $/I_D(t=0)$ (%)	$I_G(t=600s)$ $/I_G(t=0)$ (%)	Hysteresis (V)
Au	0.11	0.56	9.8	2.7	3.5	52.2	6
Au-ODT	0.13	0.88	9.7	2.5	6.4	48.5	4.5
Au-PFBT	0.23	1.27	8.1	1.9	14.5	46	2.9
Au-DABT	0.30	1.52	5.1	1	85.2	49.7	1

Tableau 5: Résumé des propriétés électriques d'OFETs en fonction de la nature de la modification de surface des électrodes drain/source.

L'étude complète a été publiée en exploitant notamment l'effet de l'énergie de surface des électrodes modifiées sur l'organisation du fullerène [P32]. Au-delà des performances électriques intéressantes obtenues lors de cette étude ($\mu_{FEsat} > 1 cm^2/V.s$),

cette expérience a démontré les potentialités de notre structure OFET simple et robuste pour l'étude de semiconducteurs organiques transporteurs d'électrons.

5. Fabrication d'oscillateurs pseudo-CMOS par photolithographie

La reproductibilité du procédé de fabrication, l'uniformité des caractéristiques électriques et les performances électriques des OFETs nous permettent d'envisager la fabrication de circuits électroniques élémentaires à base de matériaux organiques. Afin d'évaluer l'utilisation de transistors de type N pour la fabrication de circuits, des montages de type pseudo-CMOS ont été choisis pour la fabrication d'inverseurs et d'oscillateurs.

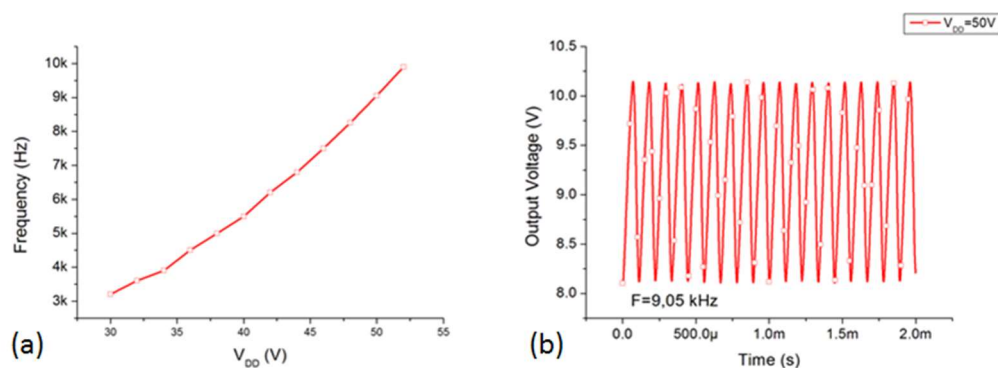


Figure 50: (a) Réponse en fréquence d'un oscillateur à base de C60 en fonction de V_{DD} , (b) Réponse temporelle d'un oscillateur à base de C60 pour $V_{DD}=50V$

Le choix d'une électronique pseudo-CMOS est une étape et notre objectif est de développer une électronique CMOS à base de matériaux organiques. Ce choix d'une électronique pseudo-CMOS apporte son lot d'inconvénients comme un mauvais basculement de la charge active de l'état off à l'état on (faible variation de R_{DS}) et une tension de déchet dans la charge active très élevée ($V_{déchét}=40V$) (figure 50). Malgré ces inconvénients, la fabrication d'oscillateurs fonctionnant à des fréquences $F=10kHz$, est une avancée majeure pour notre équipe. L'amélioration de ce circuit, notamment par le passage à une technologie complémentaire (types N et P), fera partie de notre projet de recherche à court terme.

6. Déformation mécanique des OFETs fabriqués sur substrats flexibles ($e=25\mu m$)

Le procédé de fabrication à très basse température ($T<110^{\circ}C$) est compatible avec l'utilisation de substrats exotiques comme du plastique ou du papier. Pour démontrer cette compatibilité, nous avons fabriqué des transistors organiques à base d'un semiconducteur organique développé par les chimistes de l'ISCR (DPIF) sur des

substrats de type PEN (Polyéthylène naphtalate). Une couche de passivation de la surface du support par rapport aux transistors isole complètement un quelconque effet du substrat sur les performances des OFETs (figure 51).

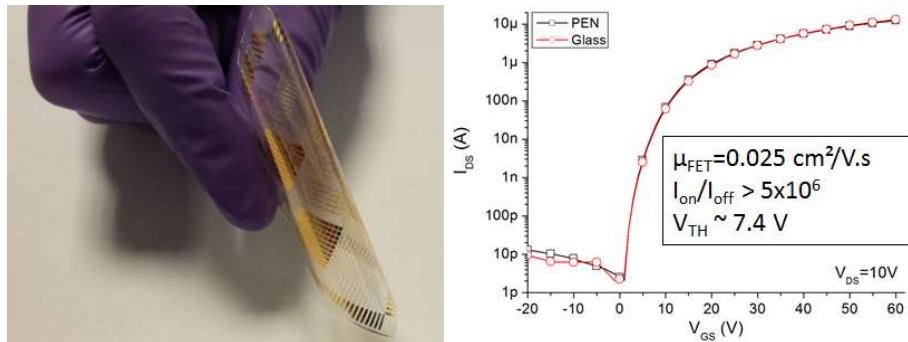


Figure 51: OFETs à base de DPIF fabriqués sur substrat flexible (PEN $e=25\mu\text{m}$)

La structure OFET présente un avantage majeur par rapport à la structure TFT à base de silicium microcristallin. L'isolant organique à base de SU8 permet des déformations plus sévères sans dégradation irréversible du transistor. Le module d'Young de la résine photosensible SU8 est de l'ordre de 2Gpa avec une élongation maximale avant rupture mesurée à 6.5% [25]. A titre de comparaison, le nitrure de silicium utilisé dans la structure TFT à base de silicium microcristallin possède un module d'Young de 180Gpa avec une élongation maximale avant rupture évaluée à 0.5% [16]. La déformation mécanique est obtenue en enroulant le substrat de PEN autour de cylindres avec un rayon de courbure donné. Les caractéristiques électriques des transistors sont présentées pendant la déformation mécanique.

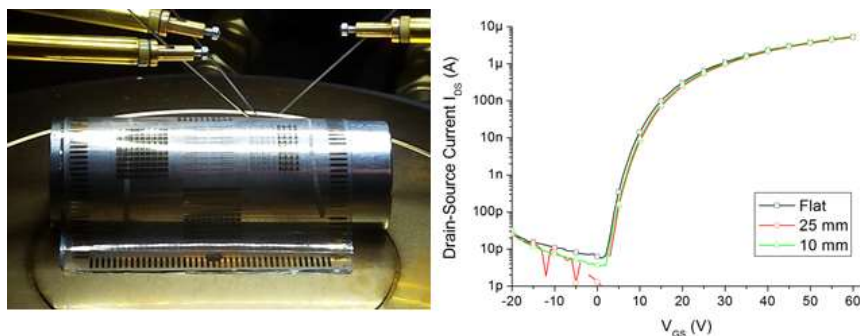


Figure 52: OFET à base de DPIF sous faible déformation mécanique

La figure 52 montre le faible effet de la déformation mécanique sur les propriétés électriques des OFETs. Nous caractérisons ces déformations comme faibles jusqu'à des rayons de courbure $R_c=10\text{mm}$. Les masques de photolithographie ont été conçus pour faciliter la prise de contacts lors de la déformation. Les plots de mesures restent à plat ce qui permet un bon contact avec les pointes de mesure. Pour les déformations que nous

caractérisons de sévère, le PEN est totalement enroulé autour du cylindre. Seuls les plots de mesure sont accessibles (figure 53)

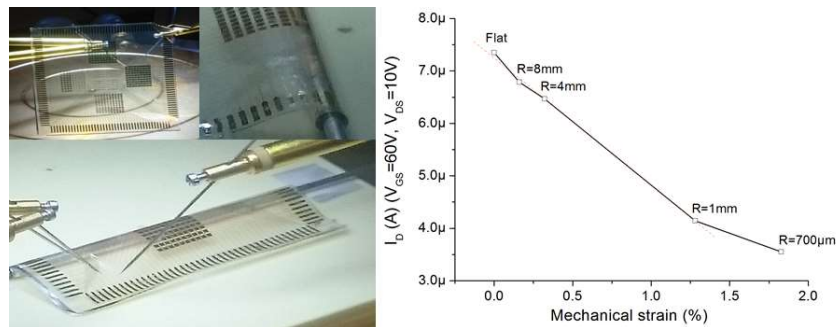


Figure 53: OFETs sous forte déformation mécanique

Sous déformation mécanique sévère, le courant de drain diminue avec le rayon de courbure. Ce comportement est différent puisque le courant de drain I_d augmente pour des transistors de type N à base de silicium sous tension. Il sera alors important de vérifier que les transistors organiques de type P subissent l'évolution inverse (I_d augmente quand R_c diminue) de celle observée en électronique à base de silicium.

VI. Structures Hybrides matériaux organiques/inorganique

En parallèle de la filière tout organique, nous nous sommes penchés sur la fabrication de structures hybrides organique/inorganique. La technologie silicium polycristallin est très bien maîtrisée dans le département Microélectronique et Microcapteurs. Les transistors fabriqués avec cette technologie sont électriquement stables, uniformes sur de grandes surfaces et reproductibles entre deux lots. L'isolant organique étudié dans le cadre de la fabrication d'OFETs présente aussi un avantage considérable. Ce matériau peut être dopé par des composés inorganiques et ses propriétés électriques peuvent être modifiées. Nous avons, par exemple, incorporé des clusters métalliques (clustomésogènes) dans la résine photosensible SU8 2000.5 et transformé ce matériau isolant en matériau photoluminescent [P27].

Une collaboration forte avec South East University à Nankin en Chine a été le moteur pour le développement d'une technologie hybride organique/inorganique. Le professeur Lei Wei et son équipe sont des spécialistes du domaine de l'affichage. Ils ont notamment étudié l'incorporation de quantum-dots pour la fabrication de LED. Les dispositifs QLED ont été fabriqués dans notre département avec un soutien financier de la part de l'IETR pour la conception d'une matrice d'adressage pour ces QLEDs. Dans le cadre du co-encadrement de la thèse de X. LIU dirigé par T. Mohammed Brahim, l'incorporation de ces quantum-dots a été envisagée pour la fabrication de phototransistors. Cette thèse a

été soutenue en décembre 2016 et a démontré la faisabilité d'un tel phototransistor [26]. Nous nous sommes plus particulièrement intéressés à la détection de lumière infrarouge [CI43]. Une deuxième thèse sur ce sujet est en cours actuellement en cotutelle avec South East University sous la direction du professeur T. Mohammed Brahim et du professeur L. Wei. Ma participation à cette thèse est axée sur la conception d'un microsystème intégrant le dispositif de détection de lumière infrarouge à partir de l'isolant SU8 dopé avec des nanoparticules de PbS et l'électronique d'affichage pour transformer cette lumière infrarouge en lumière visible. L'objectif est de visualiser, dans le domaine visible, une lumière infrarouge.

Ce dispositif de détection est un TFT en silicium polycristallin, étudié lors de ma thèse de doctorat, avec un nouvel isolant composé d'un mélange de résine photosensible SU8 et de nanoparticules de PbS. La technologie silicium polycristallin a été choisie pour sa stabilité et sa reproductibilité. Les modifications des propriétés électriques ne doivent provenir que de la modification de l'isolant sous éclairage infrarouge.

La taille des nanoparticules détermine la gamme de longueurs d'onde absorbées comme le montre la figure 54 dans laquelle nous pouvons observer le déplacement du spectre d'absorption de lumière avec la taille des nanoparticules. Dans le travail de thèse de X. Liu, nous avons choisi une taille de 5,6 nm pour avoir une absorption à 1380 nm dans la gamme utile pour les télécommunications.

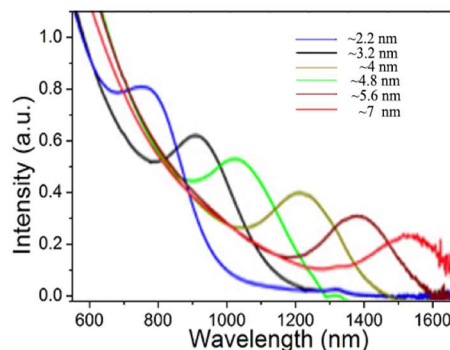


Figure 54: Spectre d'absorption de lumière de l'isolant (SU8+PbS) en fonction de la taille des nanoparticules de PbS.

La figure 55 montre que le transistor répond à une excitation à 1,3 μm avec une réponse importante pour le type N en comparaison avec d'autres photodétecteurs. Par ailleurs, la réponse est très intéressante aux faibles puissances de lumière. Enfin, une très forte détectivité de 10^{13} Jones à 850 nm a été déterminée confirmant la possibilité de détecter de très faibles puissances lumineuses.

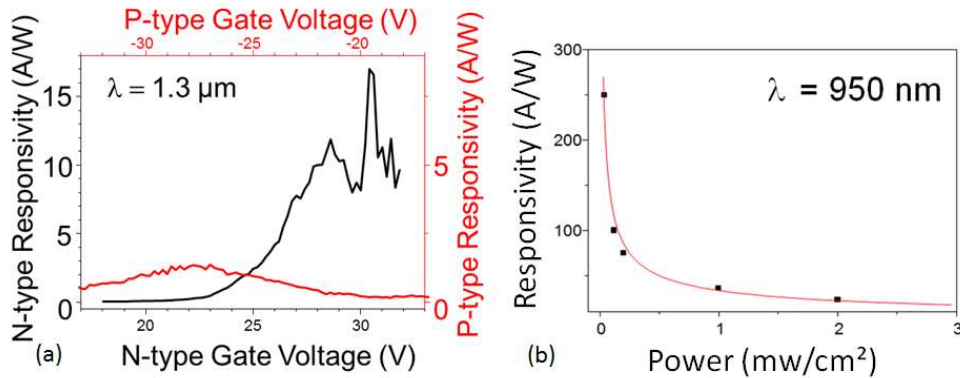


Figure 55: (a) Réponse de phototransistors de type N et de type P à une longueur d'onde de 1,3 μm et Performance en détection de très faibles puissances lumineuses.

La réponse à une impulsion de lumière est très rapide comme le montre la figure 56 où un temps de montée de 46 ms et un temps de descente de 10 ms en réponse à une impulsion à 850 nm ont pu être observés.

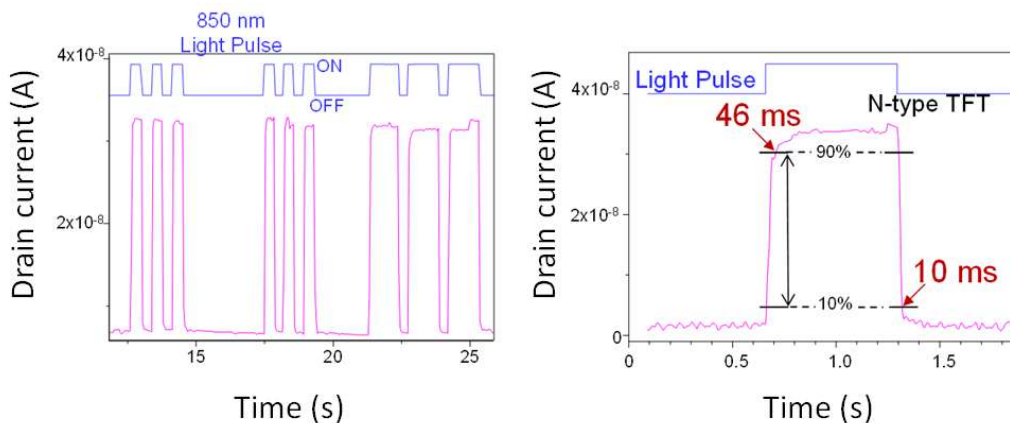


Figure 56: Réponse du phototransistor à une impulsion ou une série d'impulsions brèves de lumière.

Cette étude est très intéressante car elle apporte comme perspective la fabrication d'une électronique hybride associant l'électronique à base de silicium bien établie à des matériaux organiques ayant des fonctionnalités particulières. L'exemple de l'utilisation, comme isolant de grille d'un transistor silicium, d'un isolant organique dans lequel des nanoparticules détectant la lumière infrarouge ont été introduits montre l'étendue de telles perspectives. Ici le dispositif hybride permet d'étendre à l'infrarouge la fonctionnalité de détection lumineuse du silicium, limitée au domaine visible.

La suite de ce projet est menée par l'intermédiaire d'une thèse de cotutelle entre South East University et l'université de Rennes 1. Zhi Tao, sous ma direction et celle du professeur T. Mohammed Brahim, cherche désormais à intégrer ce phototransistor dans

un système complet comprenant le capteur, l'électronique de conditionnement et l'affichage. Ce projet ambitieux démontrerait notre capacité, à partir d'un matériau aux propriétés intéressantes, à développer un démonstrateur.

Conclusion sur la thématique électronique organique

Le développement de cette nouvelle thématique au sein du département Microélectronique et Microcapteurs de l'IETR est le fruit du travail de toute une équipe poussée par l'envie de rivaliser avec les plus grands laboratoires du domaine. Les collaborations avec les chimistes de l'ISCR (équipe MaCSE et CSM), avec les électroniciens de l'université d'Hoseo en Corée du sud et avec les physiciens de l'université South East en Chine ont été déterminantes pour obtenir les résultats présentés dans ce document. Les encadrements de thèses, avec S. Bebiche, M. Robin, X. Liu, Z. Tao et J.D. Peltier et les encadrements de stages et de projets, avec J. Chaudet, F. Marconcini, P. Fontaine, S. Bebiche et N. Corveza Canicoba, ont permis d'apporter à cette thématique un dynamisme fort au cours de ces 5 dernières années. La valorisation des résultats obtenus s'est soldée par la publication de 10 articles dans des journaux internationaux reconnus dans le domaine et de 6 communications dans des conférences internationales dont 1 conférence invitée.

Les compétences acquises par l'équipe permettent aujourd'hui de fabriquer des transistors avec des mobilités d'effet de champ supérieures à l'unité et inscrit notre équipe « électronique organique » à un niveau international. L'étude de la structure OFET par photolithographie et par impression sont deux technologies que nous souhaitons conservées et optimiser pour aboutir à la fabrication de circuits électroniques plus complexes. La démarche employée pour tenir ces objectifs est présentée dans la partie suivante.

Partie 3 : Projets de recherche

Introduction

Le bilan de mes activités au cours de ces 13 dernières années définit un profil de recherche centré sur le développement de procédés de fabrication à basses températures et la compréhension des phénomènes électriques de dispositifs tels que le transistor à effet de champ en couches minces. Ces expériences proviennent du contexte dans lequel j'ai évolué au sein du département Microélectronique et Microcapteurs majoritairement composé de physiciens du semiconducteur. Le but de cette habilitation à diriger des recherches est essentiellement d'apporter une composante électronique plus marquée que celle présente aujourd'hui au département. En préambule de ce document, je faisais état de deux visions dans la communauté du TFT : celle de l'amélioration permanente du dispositif élémentaire (TFT) et celle de la conception de circuits pour compenser les défauts de ces TFTs. Jusqu'en 2012, j'ai eu l'opportunité de collaborer avec tous les membres du département sur des projets liés au développement et à l'amélioration de procédés technologiques pour la fabrication de dispositifs électroniques. La maturité acquise par ces expériences a été la clé pour le lancement d'une nouvelle thématique autour de l'électronique organique. Les nouvelles technologies développées dans cette thématique font appel à des procédés de fabrication simples et robustes. Ce constat nous permet donc d'envisager la conception de circuits électroniques complexes à partir de ces technologies.

Cette habilitation à diriger des recherches est la clé pour organiser cette nouvelle orientation de recherche. En effet, les sujets proposés à des étudiants pour un stage ou une thèse de doctorat dépendent de l'axe défini par l'encadrant principal avec une coloration liée à l'activité des co-encadrants. Mes participations nombreuses à des co-encadrements de thèse n'ont pas échappé à cette règle. La coloration que j'ai alors apportée lors de ces co-encadrements a été mon envie d'insérer les dispositifs étudiés dans des circuits fonctionnels. C'est dans ce but que je me suis fortement impliqué dans la simplification et l'optimisation des procédés de fabrication de ces dispositifs pour gagner en reproductibilité et en maîtrise des paramètres électriques. C'est aussi pourquoi la recherche de la performance pure, tel qu'une mobilité d'effet de champ élevée pour un transistor, n'a jamais été l'objectif premier si la stabilité électrique et la reproductibilité des dispositifs ne pouvaient pas être assurées.

Depuis 2012, j'anime la thématique électronique organique à l'IETR. Depuis janvier 2017, le nouveau contrat quinquennal de l'IETR débute et l'électronique organique fait partie d'une des 3 thématiques majeures affichées du département Microélectronique et Microcapteurs. Je vais développer dans cette partie, dédiée à mon projet de recherche, les orientations scientifiques que je souhaite suivre pour développer cette thématique à court, à moyen et à long termes.

A cette date, le laboratoire et moi-même disposons d'une technologie silicium basse température sur tout substrat, y compris plastique, reproductible et fiable. Par ailleurs, je me suis investi dans une nouvelle thématique sur l'électronique organique qui est moins mûre que l'électronique silicium et dont je suis le responsable. Cette électronique organique nous permettra d'envisager d'autres applications, difficiles à développer avec la technologie silicium, telles que celles nécessitant une « stretchabilité ».

Le projet de recherche découle de cette situation et de ma volonté d'aller le plus rapidement possible vers des circuits électroniques intégrables avec d'autres fonctions de détection par exemple. La technologie silicium mature donnera l'occasion d'aller rapidement vers la réalisation de tels circuits.

En parallèle, nous continuerons à développer une électronique organique qui pourrait être mature tout en utilisant des procédés plus simples et moins coûteux. Pour cette thématique, nous continuerons à explorer deux voies pour la fabrication d'OFET : la filière classique à base de photolithographie et la filière en solution par impression jet d'encre.

La filière classique par photolithographie nous permettra la fabrication de circuits CMOS grâce à un procédé simple et robuste. Cette étape sera marquée par la mise en place d'une caractérisation électrique dédiée à l'électronique CMOS. Nous avons, dans ce document, évoqué la problématique de la caractérisation en fréquence de circuits numériques. L'objectif étant d'intégrer des fonctions de plus en plus complexes, la caractérisation électrique devra être dimensionnée pour faire face à cette nouvelle problématique.

Nous évoquerons également la filière en solution par impression jet d'encre qui nécessite encore des optimisations pour réaliser une structure OFET stable électriquement et reproductible. La maîtrise d'un procédé de fabrication d'OFET par impression nous ouvrirait la voie à de la conception de circuits électroniques pseudo-CMOS et CMOS sans la contrainte liée à la fabrication de masques de photolithographie. Le retour d'expérience dont nous pourrions bénéficier par le simple retour sur design du circuit serait une avancée majeure pour la conception de circuits, par exemple, de compensation pour limiter les effets des dérives des paramètres électriques de l'OFET.

Le projet à moyen terme concerne essentiellement la conception de fonctions électroniques à partir d'OFETs de type N et de type P. Nous détaillerons en particulier les fonctions nécessaires à l'électronique de conditionnement pour capteurs. En parallèle, le procédé de fabrication devra évoluer constamment pour parvenir à la fabrication de circuits électroniques directement sur des objets de la vie courante et invisible à l'œil nu. Pour atteindre cet objectif, les électrodes, aujourd'hui en or, en argent ou en aluminium seront remplacées par des conducteurs transparents

compatibles avec l'utilisation de substrats flexibles. Les voies par impression et par photolithographie seront explorées. A moyen terme, nous mènerons aussi des actions pour associer les fonctions combinatoires fabriquées à partir de transistors organiques à une électronique extérieure pour démontrer la viabilité de nos dispositifs dans des conditions de fonctionnement réelles.

A long terme, il faudra continuer à faire évoluer la technologie à base de matériaux organiques. La chimie pour la synthèse de matériaux ou l'impression jet d'encre est encore assez agressive avec l'environnement et/ou toxique pour l'homme. La démocratisation de ces nouveaux moyens de production doit être accompagnée d'un regard critique sur l'impact environnemental de ces circuits. Nous proposerons des solutions pour limiter cet impact. Nous nous intéresserons notamment à l'utilisation de substrats biosourcés et/ou biodégradables.

L'évolution sur la partie circuit se fera autour de capteurs pour la réalisation de démonstrateurs tout imprimés. Un microsystème comprenant un capteur, son électronique de conditionnement et un affichage sur substrat flexible sera proposé.

La finalité de ce projet de recherche a aussi une vocation pédagogique. Le développement de procédé d'impression, nous permettant la réalisation de circuits électroniques à la demande, ouvre une voie sur l'apprentissage en conception de circuits analogiques et numériques pour les futurs étudiants. Les fonctions élémentaires pourront ainsi être fabriquées par les étudiants avec l'imprimante, analysées et modifiées avec un temps de fabrication des circuits extrêmement réduit par rapport à la fabrication de transistors MOS en salle blanche. Mon activité pédagogique est essentiellement basée sur l'électronique. J'interviens en électronique analogique et en électronique numérique. L'ouverture de l'activité du département vers la conception de fonction combinatoire ou de fonction de conditionnement pour capteurs serait une voie pour développer un lien plus fort entre mes activités d'enseignement et de recherche.

Cette Habilitation à diriger des recherches me permettra d'atteindre ces objectifs en proposant un volet de recherche orienté vers la conception de circuits plutôt que vers la fabrication de transistors. Je souhaite néanmoins conserver une partie matériaux/dispositifs au sein de l'équipe « électronique organique » avec une démarche de transfert rapide vers la fabrication de systèmes électroniques.

Chapitre 1 : Microsystème flexible en technologie silicium microcristallin

Introduction

L'objectif de ce projet de recherche est essentiellement tourné vers la conception de microsystèmes flexibles intégrant un capteur, son électronique de conditionnement et la récupération des données. La technologie couches minces en silicium microcristallin a montré une forte potentialité pour la fabrication de circuits électroniques sur des substrats flexibles. En effet, la maturité accrue de cette technologie, à travers les études menées au cours de ces 10 dernières années, est un atout pour la réalisation de systèmes électroniques plus complexes. La stabilité électrique et la reproductibilité du procédé de fabrication permet d'envisager une modélisation électrique statique et dynamique en reprenant notre démarche issue de l'expérience acquise avec la technologie couches minces en silicium polycristallin. La différence majeure est la nécessité de prévoir le comportement des $\mu\text{-Si}$ TFTs soumis à des déformations mécaniques. Les limites de déformation, observées au cours de la thèse de H. Dong, devront également être repoussées notamment par la réduction de l'épaisseur du substrat qui impose la contrainte mécanique vue par la couche active du transistor.

L'intégration d'un microsystème complet sur substrat flexible nous impose un travail de transfert technologique du silicium polycristallin vers le silicium microcristallin. Nous présenterons, notamment, les travaux que nous souhaitons entreprendre pour la réalisation de capteurs à fortes sensibilités pour des applications biomédicales et environnementales. Puis, nous décrirons la démarche pour la constitution d'une électronique de conditionnement fiable à partir de silicium microcristallin. En dernière partie, la continuité de mes activités sur les technologies hybrides sera présentée avec, pour objectif, profiter des atouts de chaque technologie (organique ou inorganique) pour aboutir à un système de détection efficace.

I. Capteurs en technologie couches minces silicium

Des procédés de fabrication d'éléments sensibles à partir de nanostructures en silicium polycristallin ont fait l'objet de recherche intense au sein du laboratoire. J'ai, en particulier, proposé un procédé permettant la fabrication de nanorubans suspendus pour la détection de charges électriques. Notre objectif est de développer ces capteurs avec une technologie compatible à l'utilisation de support flexible. En effet, ces

dispositifs pourraient être intégrés sur des objets de la vie courante (électronique conformable) ou permettre la fabrication de patchs médicaux directement apposés sur la peau.

Les études à mettre en place pour le développement de capteurs à base de nanostructures concernent leur fonctionnalisation pour les rendre sélectifs aux espèces chimiques ou biologiques à détecter, leur tenue mécanique lors de déformation du substrat et la reproductibilité de la mesure. Les expérimentations déjà réalisées sur les nanostructures à base de silicium polycristallin seront exploitées pour atteindre à court terme cet objectif.

II. Electronique de conditionnement en silicium microcristallin

La conception de fonctions combinatoires à partir de $\mu\text{-Si}$ TFTs pour le traitement de l'information issue du capteur peut être envisagée. En effet, des éléments de base de l'électronique numérique, à savoir, des inverseurs et des oscillateurs ont déjà été conçus à partir de $\mu\text{-Si}$ TFTs de type N et de type P avec un procédé de fabrication maîtrisé. Nous souhaitons étendre la fabrication de portes logiques CMOS pour la réalisation de fonctions plus complexes et adaptées à la conception d'un microsystème intégré. Le traitement numérique de l'information ne peut se faire que par une amplification et une conversion du signal analogique issu du capteur.

Malgré de faibles mobilités, des circuits analogiques de type amplificateur ont été fabriqués à partir de silicium amorphe [27]. En reprenant la méthodologie développée au cours de ma thèse de doctorat, un modèle petits signaux des $\mu\text{-Si}$ TFTs peut être envisagé. Des simulations de type spice permettront d'évaluer le comportement en fréquence de circuits amplificateurs fabriqués en silicium microcristallin ainsi que les niveaux amplifications accessibles. Un convertisseur analogique-numérique sera également nécessaire pour la transition entre le capteur et la partie combinatoire.

Cette démarche ne sera pas strictement dédiée à la technologie couches minces en silicium microcristallin mais doit être généralisée aux technologies maîtrisées dans notre département. Nous verrons, plus particulièrement, que cette démarche sera également proposée pour fabriquer des circuits à partir de matériaux organiques.

III. Technologie hybride pour la conception de microsysteme flexible

La conception d'un microsysteme complet nécessite d'intégrer des fonctions aux contraintes très différentes. Un des avantages des matériaux organiques est la possibilité de synthétiser des molécules adaptées aux besoins de l'application. Nous pouvons citer en exemple l'étude sur les phototransistors hybrides qui permettent d'étendre les fonctionnalités de la technologie silicium. L'intégration d'un isolant organique fonctionnalisé pour la détection de lumière infrarouge comme isolant de grille d'un transistor silicium permet d'étendre vers l'infrarouge la gamme de longueur d'onde de détection du silicium. En fonction de la longueur d'onde à détecter, le matériau hybride sensible peut être adapté en modifiant la taille des nanoparticules de PbS. Dans le même esprit, nous pouvons imaginer un matériau organique synthétisé pour détecter un gaz spécifique ou très dépendant de la température qui aura les caractéristiques idéales d'un bon capteur. Ces matériaux organiques associés à une électronique de conditionnement à base de silicium microcristallin peu sensible à ces facteurs peuvent conduire à la conception d'un microsysteme efficace.

A l'inverse, le silicium microcristallin est sensible à la déformation mécanique. Ces propriétés ont été exploitées au laboratoire dans le cadre de la thèse de Y. Kervran [28]. Des jauges de contraintes ont été étudiées pour la conception d'un système de mesures dynamiques de pression. Pour ce projet, des composants électroniques discrets ont permis le traitement de l'information. Nous travaillons avec des chimistes de l'ISCR sur l'étude de l'impact de la déformation mécanique sur les paramètres électriques d'OFETs en fonction du semiconducteur organique déposé. Une électronique de pilotage de ces capteurs de déformation fabriqués en silicium microcristallin pourrait être développée à l'aide de matériaux organiques peu sensible à la déformation.

Ces exemples nous confortent dans l'idée qu'une technologie hybride peut être efficace pour développer des applications spécifiques en fonction des contraintes auxquelles sont soumis le capteur, l'électronique de traitement et l'affichage.

Conclusion

La maîtrise de la technologie silicium nous permet dès à présent d'aller vers la conception de circuits électroniques dédiés à des applications précises. L'utilisation d'une technologie hybride permet d'étendre encore plus les possibilités d'application. La technologie silicium restera un point d'appui dans mes activités.

L'expérience acquise dans la technologie silicium flexible sera mise à profit pour la mise au point d'une technologie organique aboutissant à ces circuits fonctionnels.

Chapitre 2 : Structures OFET

Introduction

Le développement de la technologie à partir de matériaux organiques est beaucoup moins mature que celui de la technologie silicium. Il nécessite un travail préalable d'étude de structures OFET que nous avons entamé depuis quelques années. Ce travail doit continuer pour atteindre l'objectif de leur insertion dans des circuits analogiques et numériques en vue d'une intégration d'un microsystème complet sur substrat flexible.

Ce développement se poursuivra suivant 3 directions.

La première voie est la mise au point d'une technologie simple et reproductible basée sur l'impression par jet d'encre. Ce travail, commencé récemment, se poursuivra par une optimisation de la structure afin d'améliorer les performances des OFETs et donc des circuits CMOS associés. Les résultats obtenus sur les oscillateurs avec une fréquence $F_{osc}=3\text{Hz}$ et sur les inverseurs pseudo-CMOS avec gain $G=7$ sont limités mais encourageants pour le futur de cette technologie.

La deuxième direction est liée aux limitations inhérentes aux matériaux organiques comme la faible mobilité à effet de champ. Des structures plus complexes seront conçues pour contourner les problèmes liés à ces limites.

La troisième direction concerne les objectifs d'une électronique invisible intégrable sur des produits de grande consommation qui nous poussent à imaginer une structure à partir de matériaux invisibles à l'œil nu.

Enfin, cette mise au point d'une technologie organique doit être menée en parallèle avec une réflexion sur l'impact environnemental des OFETs dont quelques pistes seront proposées.

I. Structure OFET entièrement en solution

La collaboration, mis en place récemment, avec l'Université d'Hoseo est dédiée à la fabrication d'OFETs de type N et de type P en solution. Une thèse en cotutelle entre les deux universités est actuellement envisagée sur la fabrication de circuits CMOS par impression jet d'encre. Je décrirai ici brièvement les étapes envisagées pour accéder à notre objectif.

Nous avons détecté dans notre technologie d'impression une faiblesse liée aux électrodes drain – source de la structure OFET. En effet, nous sommes aujourd'hui capables de fabriquer une structure OFET (Grille, isolant, drain/source) entièrement par impression jet d'encre avec de l'encre d'argent pour les électrodes et de la résine photosensible de type SU8 pour l'isolant de grille. Afin de contrôler précisément l'organisation structurale du semiconducteur organique, ce dernier est déposé par PVD et non en solution. Ce principe est essentiel pour n'analyser que l'effet de la structure OFET sur les performances électriques mesurées. Les structures obtenues par impression les plus reproductibles montrent de faibles performances électriques. Malgré ces résultats, l'impression de fonctions électroniques élémentaires tels que des inverseurs et des oscillateurs a été possible en technologie pseudo-CMOS. Le travail proposé au cours de cette thèse partagée entre le laboratoire EDL (Corée du sud) et l'IETR alliera les deux aspects, à savoir, l'optimisation de la structure imprimée et la fabrication et caractérisations électriques de fonctions combinatoires CMOS.

L'avantage de cette technologie est la suppression des masques de photolithographie pour la réalisation des circuits. Il est donc possible d'étudier l'impact de l'architecture des circuits sur les performances électriques avec un retour d'expérience quasiment instantané.

Lorsque la structure OFET sera fixée, une étude sur l'impression de semiconducteurs en solution sera menée. Cette étude sera principalement axée sur la cristallisation du semiconducteur en solution. Nous tenterons de privilégier l'obtention d'une couche uniforme sur la totalité du substrat plutôt qu'une couche très ordonnée mais non uniforme. Deux étapes seront nécessaires avec, dans un premier temps, un semiconducteur déposé par spin-coating et, dans un second temps, un semiconducteur imprimé.

II. Structure OFET 3D par photolithographie

Cette partie concerne la proposition de contourner la limitation en mobilité par la mise au point de structures OFET alternatives. L'optimisation de la structure OFET fabriquée par photolithographie à base de fullerène a été une grande avancée pour notre laboratoire notamment lorsque que les mobilités d'effet de champ se sont approchées de l'unité. Nous devons donc nous poser la question sur la limite de la mobilité d'effet de champ dans des matériaux semiconducteurs organiques (petites molécules). Il est en effet admis que la mobilité de porteurs dans un semiconducteur organique pourra difficilement dépasser un ordre de grandeur de $10 \text{ cm}^2/\text{V.s}$ [29]. Partant de ce postulat, nous souhaitons nous intéresser à la structure de l'OFET. En effet, si le courant électrique et la fréquence de fonctionnement sont limités par la mobilité d'effet de champ, nous pouvons imaginer concevoir des structures 3D telles que nous en avons

étudiées dans notre travail sur les dispositifs en silicium polycristallin pour accroître la densité d'intégration de nos circuits.

L'exploration de cette voie va débuter en octobre 2017 grâce à l'obtention d'un contrat doctoral, que je vais encadrer, pour soutenir la thématique au sein du département Microélectronique et Microcapteurs.

L'avantage d'un procédé de fabrication à des températures inférieures à 110°C est la possibilité d'empiler les structures OFET les unes sur les autres sans contraintes thermiques. Ce sera la première voie d'étude sur les structures OFET 3D (figure 57). Nous avons aujourd'hui la possibilité d'encapsuler le semiconducteur par un procédé réalisé à l'intérieur de la boîte à gants qui est la dernière étape de notre fabrication. Dans un premier temps, nous nous attacherons à comprendre l'influence sur la structure « bottom-gate » de la création d'un second canal sur la partie supérieure du transistor. Notre objectif sera de créer deux canaux identiques pour augmenter la densité d'intégration de nos transistors en limitant les influences électriques des deux canaux.

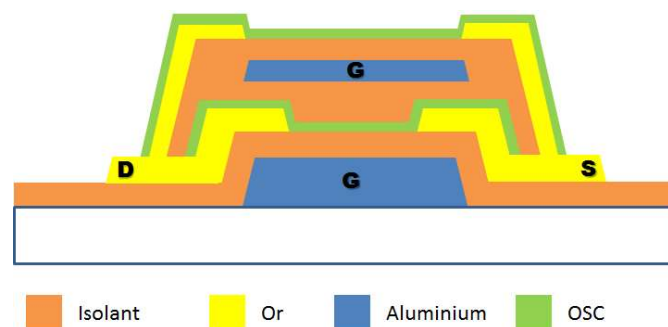


Figure 57: Structure OFET empilé

La seconde voie de réflexion sera inspirée des transistors verticaux à base de silicium polycristallin présentés dans le chapitre 2 de ce document. Nous savons que la fréquence est liée à la mobilité d'effet de champ du transistor, à la tension d'alimentation et à la longueur du canal du TFT. La création d'un canal vertical nous permettra de diminuer la longueur de ce canal et ainsi augmenter les fréquences de fonctionnement de nos dispositifs. Il s'agit ici d'un travail technologique sur les potentialités d'une telle structure. Nous sommes conscients que la structure OFET verticale complexifiera fortement notre procédé de fabrication mais il montrera aussi les pistes à explorer pour s'affranchir de cette limite de mobilité d'effet de champ.

III. OFETs transparents et flexibles

Un autre volet dans la mise au point d'une électronique organique a trait au développement d'une électronique transparente et flexible. Nous développons des procédés de fabrication à très basse température compatibles avec tous types de substrat. A long terme, cet objectif nous permettra de reporter ces substrats sur des objets de la vie courante. Dans le cas de certaines applications, l'électronique devra être totalement transparente pour ne pas dénaturer l'objet. Nous utilisons aujourd'hui un semiconducteur et un isolant organiques transparents. Nous souhaitons poursuivre cet effort en intégrant à notre structure des conducteurs électriques transparents.

Un premier essai a déjà été réalisé avec de l'ITO comme électrode de grille et du ZnO/Al comme électrodes drain/source. Les premières observations concernent le très faible taux de fonctionnement des TFTs avec seulement 15% des transistors fonctionnels et des caractéristiques électriques (figure 58) très décevantes si nous les comparons à celles obtenues avec le même matériau semiconducteur (DPIF) dans la structure OFET classique (figure 42). Nous observons notamment une très forte résistance d'accès aux niveaux des électrodes drain et source.

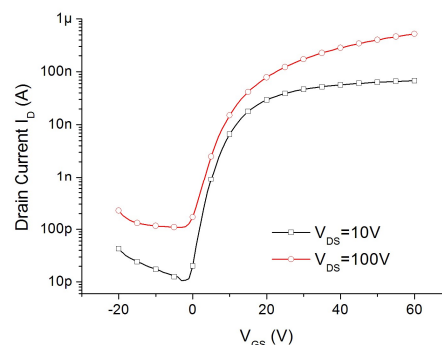


Figure 58: Caractéristiques de transfert d'un OFET transparent avec une grille en ITO et des électrodes drain/source en ZnO/Al.

Le faible taux de transistors fonctionnels peut être dû à deux facteurs. Le premier serait lié à la structure avec une mauvaise organisation du semiconducteur sur les électrodes drain/source. Cette hypothèse nous permettrait également d'expliquer la présence de résistances d'accès élevées. Notre étude devra alors se concentrer sur la fonctionnalisation de ce type de matériaux, à savoir, les oxydes métalliques. Le second facteur est technique et concerne la difficulté de caractérisation. En effet, notre caractérisation électrique n'est pas encore adaptée à la mesure de transistor transparent et la difficulté majeure réside dans la prise de contact sur des plots invisibles à la caméra.

La fabrication d'OFETs par impression jet d'encre devrait aussi nous guider vers la voie d'une électronique totalement transparente. La problématique de cette technologie est le manque de matériaux conducteurs en solution. Le seul matériau disponible est le PEDOT:PSS mais malgré des essais répétés, les paramètres d'impression n'ont pas encore pu être établies. Pour atteindre nos objectifs d'une technologie imprimée transparente, nous avons fait appel à des chimistes spécialistes des conducteurs organiques de l'ISCR. Un projet ANR porté par D. Carmichael, du laboratoire de chimie moléculaire de l'école polytechnique, a notamment été déposé cette année sur la synthèse de matériaux conducteurs et semiconducteurs en solution. Une étude d'imprimabilité de ces matériaux est envisagée ce qui pourrait nous donner accès à un conducteur imprimable transparent innovant. A ce stade, le projet ANR PolyPCs a passé la première phase de sélection.

Que ce soit par la voie d'impression ou par la voie traditionnelle, nos efforts sur la transparence de nos circuits devront être poursuivis. L'achat d'un pulvérisateur cathodique pour le dépôt d'ITO en boîte à gants dans le cadre du projet CPER OrgaFlex démontre notre engagement dans cette voie.

IV. OFET à partir de matériaux organiques biosourcés

Le dernier point dans la mise au point d'une électronique organique concerne une électronique « jetable » verte. En effet, la consommation des produits électroniques n'a jamais été aussi forte et les innovations sur ces produits chassent les produits précédents devenus obsolètes en quelques mois. L'électronique organique peut trouver sa place sur une électronique jetable car à faible coût. Nous pouvons citer des circuits de traçabilité pour les aliments (rupture de la chaîne de froid, informations sur le produit, affichage dynamique, ...), des circuits pour des applications médicales avec, par exemple, un suivi des constantes de patients avec des patchs à usage unique, des circuits biodégradables pour le suivi de plantes, ...

Notre rôle n'est pas forcément de mettre en œuvre ces applications mais de situer les besoins de ces applications et proposer des preuves de faisabilité. Si cette électronique « jetable » voit le jour, son impact environnemental devra être quasiment nul. Il est évident qu'il s'agit de marchés à gros volume et que le volume de déchets lié à cette industrie pourrait être catastrophique.

Quelques groupes ont déjà étudié des matériaux organiques biosourcés comme élément du transistor. L'albumine a, par exemple, était utilisé comme isolant dans un transistor [30][31]. De l'ADN a également été utilisé comme semiconducteur organique dans une structure OFET [32].

Notre idée est que le matériau le plus présent dans un circuit à base de transistors couches minces est le support sur lequel il se trouve. Nous nous sommes intéressés jusqu'à présent aux substrats plastiques tels que le polyimide et le PEN car la température de fabrication des transistors à base de silicium microcristallin est de $T_{\max} = 180^{\circ}\text{C}$. En électronique organique, cette température limite est désormais à 110°C . Cette température, très basse, nous offre de nouvelles possibilités quant au choix du substrat. Notre choix de se tourner vers cette étude sur les substrats est motivé par deux raisons. La première est la diminution du prix du substrat. Si les produits sur lesquels nous voulons intégrer de l'électronique sont des produits de la vie courante, le prix de ces circuits électroniques devront être très faible. L'axe de recherche sur l'électronique imprimée est un atout pour atteindre cet objectif mais il faudra accompagner cette technologie d'une diminution du prix du substrat. La seconde raison est la diminution de l'impact environnemental des circuits et donc des substrats.

L'autre point négatif de l'électronique organique, et plus particulièrement de l'électronique organique en solution, est l'utilisation de produits chimiques toxiques pour l'homme et pour l'environnement. Nous devons donc être sensibles à cette problématique et nous rapprocher de chimistes spécialisés dans la synthèse dite verte et travailler avec eux sur l'évaluation de l'impact des matériaux utilisés dans les OFETs.

A long terme, la fabrication d'un transistor organique vert est envisagée. La nécessité d'entamer une collaboration forte avec des chimistes de ce domaine sera la clé du succès d'un tel projet.

Chapitre 3 : Circuits à base de matériaux organiques

Introduction

Les avancées des laboratoires à travers le monde sur les transistors de type N et de type P à base de matériaux organiques sont indiscutables. Les tensions de fonctionnement ont été réduites de façon drastique [33]. Les mobilités d'effet de champ, encore faibles, sont suffisantes pour imaginer de nombreuses applications. De la maîtrise des procédés technologiques découle une uniformité des propriétés des OFETs sur de grandes surfaces. Des groupes de recherche, très investis dans l'électronique organique, ont démarré la conception de circuits numériques et analogiques, que ce soit par impression jet d'encre, ablation laser ou photolithographie [34-36]. L'expérience du département Microélectronique et Microcapteurs, dans le domaine des procédés de fabrication de dispositifs électroniques à très basses températures, est la raison principale des résultats obtenus ces 5 dernières années sur la thématique organique. En effet, les groupes de recherche qui proposent aujourd'hui des circuits électroniques avec des semiconducteurs organiques ont souvent bénéficié d'un temps de développement plus important dans le domaine. Cette habilitation à diriger des recherches est l'occasion de proposer d'étendre notre spectre de compétences jusqu'à la fabrication de fonctions électroniques à partir des technologies basses températures que nous développons à l'IETR. Nous avons l'expérience sur la fabrication et la caractérisation électrique de dispositifs simples tels que des inverseurs et ring oscillateurs. Je souhaite étendre cette démarche jusqu'à l'association de portes logiques pour la fabrication de fonctions combinatoires et jusqu'à la fabrication de fonctions analogiques élémentaires tels que des amplificateurs, des sources de courant, des comparateurs de seuil,... Cet axe de recherche sera évalué avec les technologies d'impression et de photolithographie développées pour l'électronique organique. Il pourra s'adapter, par la suite, à de nouveaux procédés technologiques développés par le département.

L'idée générale est de développer une plateforme générique pour évaluer chaque fonction analogique ou numérique conçue par l'équipe. Le meilleur exemple qui rassemble toutes ces fonctions est le lab on chip. Pour permettre à ce projet d'aboutir, toutes les fonctions doivent être simples. Sept fonctions ont été identifiées. Chaque fonction pourra être testée indépendamment. Le microsystème proposé est un outil de développement qui demande des projets étapes afin de gagner en expérience notamment en termes de caractérisation électrique de toutes ces fonctions. Ces étapes sont décrites successivement dans ce chapitre.

I. Circuits CMOS organique pour l'électronique numérique

La conception de fonctions combinatoires en technologie organique CMOS est un objectif essentiel de ce projet. Jusqu'à présent, nous avons souvent évalué notre technologie par des mesures de stress électriques sur les transistors. Ces études sont inévitables et nous permettent de mieux comprendre le comportement électrique de nos dispositifs. Cependant, des leviers existent également dans le domaine de la conception de circuits pour limiter l'impact de la dérive de certains paramètres électriques des transistors sur le fonctionnement de ces circuits.

La technologie développée pour la fabrication d'OFETs par photolithographie a démontré une excellente reproductibilité entre deux lots d'OFETs. Sur un même substrat, l'uniformité des paramètres électriques des OFETs a permis la fabrication d'oscillateurs composés de 5 étages de 2 OFETs chacun. Ces atouts nous motivent pour concevoir des fonctions numériques plus évoluées. Les verrous technologiques pour la conception de ces types de circuits ne proviennent pas des procédés de fabrication qui sont bien maîtrisés mais des outils de caractérisations électriques dont les évolutions seront présentées dans la section IV de ce chapitre.

1. OFETs de type P

Après la réalisation d'un oscillateur pseudo-CMOS fonctionnant à des fréquences d'une dizaine de kHz, nous avons démontré les potentialités des OFETs de type N. Naturellement, les performances sont fortement limitées par l'emploi d'un seul type de transistor. Une électronique CMOS sera plus efficiente.

Les OFETs de type P ont connu un développement important et leurs performances électriques, pour des matériaux commerciaux, sont proches de ce que nous obtenons en type N avec le Fullerène. La réalisation d'une électronique CMOS nous impose de maîtriser les OFETs de type P réalisés dans un procédé de fabrication utilisant un maximum d'étapes communes avec la fabrication d'OFETs de type N. Pour ces OFETs de type P, le pentacène sera utilisé comme matériau semiconducteur. Une étude récente a montré que les électrodes drain/source en or fonctionnalisées avec du PFBT amélioreraient les performances des OFETs de type P [24]. Nous avons remarqué que le PFBT, dans le cas de transistor de type N, améliorerait aussi nos performances. La fonctionnalisation avec du PFBT améliorant les 2 types de transistor, une de nos hypothèses est tournée vers une explication basée sur une adaptation de l'énergie de surface qui favorise une meilleure organisation du semiconducteur. Si cette hypothèse est valide, notre structure pourrait s'adapter à la fois aux transistors de type N et de type P. Le procédé technologique pour la conception de circuit CMOS serait alors très fortement simplifié puisque les structures pour les OFETs de type N et de type P seraient identiques.

2. Portes logiques organiques

La réalisation simultanée d'OFETs de type N et de type P nous ouvrira la porte de fonctions complexes CMOS. Une première étape sera la réalisation de portes logiques.

Une des fonctions combinatoires qui nous sera utile pour la réalisation d'un microsystème complet (Capteur/électronique/affichage) sur substrat flexible est un décodeur d'adresse. Cette fonction sera utile pour concevoir un convertisseur analogique-numérique et pour adresser un afficheur 7 segments. Pour limiter le nombre de transistors réalisant cette fonction, les premières portes logiques fabriquées seront des portes Non, des portes Non-Et et des portes Non-Ou. Toujours pour limiter le nombre de transistors, une porte Non-Ou 4 entrées devra être fabriquée et caractérisée. La problématique liée à la caractérisation sera alors centrale puisque le test d'un porte Non-Ou 4 entrées nécessite 7 entrées/sorties si nous considérons seulement une tension d'alimentation V_{DD} et une masse V_{SS} . Ces portes logiques seront développées en parallèle de l'étude sur les structures 3D des OFETs dans le cadre d'une thèse de doctorat qui débutera en octobre 2017.

3. Fonctions combinatoires organiques

Sept fonctions sont nécessaires pour réaliser notre microsystème organique. Parmi ces sept fonctions, deux fonctions sont des fonctions combinatoires et plus particulièrement des décodeurs d'adresse. Le décodeur d'adresse est essentiel pour limiter le nombre d'entrée/sortie d'un système et facilite donc la caractérisation électrique de systèmes plus complexes. Le premier décodeur est indispensable pour concevoir un convertisseur analogique-numérique. Pour le convertisseur analogique-numérique, une association de comparateurs de seuil et d'un décodeur d'adresse permet de transformer une tension analogique en signal numérique sur 3 bits.

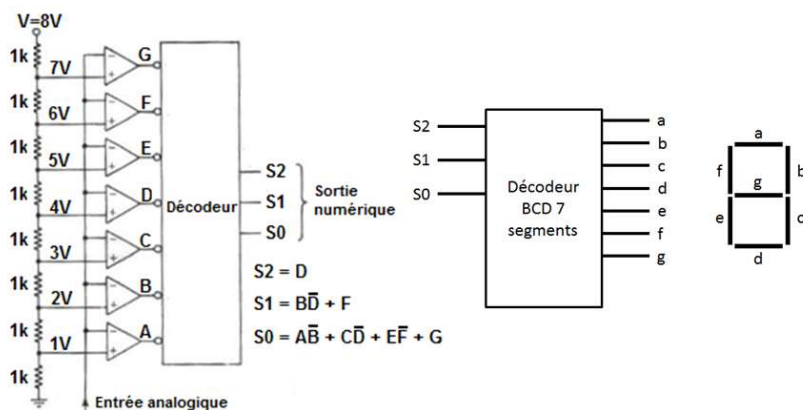


Figure 59: Convertisseur analogique-numérique (association de comparateurs de seuil et d'un décodeur d'adresse et décodeur BCD 7 segments).

Le second décodeur d'adresse sera associé à un afficheur 7 segments. Un décodeur 7 segments classique transforme un code sur 4 bits en code sur 7 bits adapté à l'afficheur (figure 59). Pour simplifier notre fonction combinatoire nous n'afficherons que des nombres compris entre 0 et 7. Le code sur 3 bits issu du convertisseur analogique/numérique sera directement codé sur 7 bits pour l'afficheur 7 segments. Une version de ce décodeur avec une entrée sur 4 bits pourra être imaginée si le besoin le nécessite. Ces fonctions combinatoires plus complexes seront développées après la fabrication de portes logiques CMOS stables électriquement.

II. Fonctions électroniques analogiques élémentaires à base d'OFETs

La conception de fonctions analogiques à partir de matériaux organiques est un projet à moyen terme et ne pourra être envisagée qu'après le retour d'expérience sur les portes logiques CMOS.

La fabrication d'un microsystème composé d'un capteur nécessite une partie conditionnement de signal analogique. Le premier bloc consiste en une source de courant stable. La réponse d'un capteur ne doit pas être impactée par la dérive des OFETs en polarisation continue. En se référant à nos précédentes études, nous savons qu'un OFET seul sous polarisation constante présente une dérive en courant importante. Nous savons également que s'il est associé à une charge, la dérive de ce transistor est moins importante. Dans le domaine de l'électronique MOS classique, le courant des transistors dérive lorsqu'ils ne sont pas insérés dans des circuits spécifiques. Des circuits permettent, dans la technologie MOS classique, de limiter cette dérive. Une étude approfondie sur l'impact de l'association d'OFETs pour la stabilisation du courant de sortie sera à mener.

En fonction du capteur qui sera choisi, les variations de tension à ses bornes pourraient être faibles. L'expérience acquise au cours de ma thèse sur la fabrication d'amplificateurs différentiels à partir d'une technologie donnée sera un atout pour suivre une démarche identique et être capable d'amplifier la tension utile et de réduire la tension d'offset issue du capteur. Une attention particulière sur les impédances d'entrée et de sortie de cet amplificateur sera adoptée car l'association des différentes fonctions, qui constituent le microsystème, peut être imaginée si les fonctions n'influent pas les unes sur les autres. Un modèle petits signaux des transistors organiques permettra de simuler le comportement dynamique de circuits plus complexes.

La dernière fonction analogique que nous souhaiterions fabriquer est indispensable au fonctionnement du convertisseur analogique-numérique. Usuellement, un amplificateur opérationnel en régime bloqué/saturé est utilisé en comparateur pour détecter des

seuils de tension. La conception d'un amplificateur opérationnel est complexe et ne pourra pas être imaginé à moyen terme avec notre technologie. Le cahier des charges pour cette fonction est une impédance d'entrée élevée et un basculement de l'état de sortie de l'état bas à l'état haut pour une tension d'entrée donnée. Cette fonction pourra être une porte logique qui bascule d'un état à l'autre par une tension de polarisation déterminée par la tension de seuil définie.

Ces fonctions analogiques seront étudiées, dans un premier temps, par des permanents de l'équipe électronique organique car le risque d'échec est plus important que dans le cas des portes logiques CMOS pour lesquelles des premiers résultats ont déjà été obtenus.

III. Circuits organiques par impression jet d'encre

La technologie d'impression jet d'encre pour la fabrication d'OFETs est idéale pour mener une étude sur la conception de circuits CMOS. Comme nous l'avons décrit dans la partie sur l'optimisation de la structure OFET, la fabrication de masques de photolithographie n'est plus une étape indispensable. C'est l'aspect limitant de la technologie par photolithographie pour la fabrication de circuits CMOS à partir d'OFETs. Par impression, le retour d'expérience de la caractérisation électrique peut directement être répercuté sur la conception du circuit. La thèse qui est envisagée sur la fabrication de circuits CMOS à base d'OFETs est une thèse en cotutelle entre l'université de Rennes 1 et l'université d'Hoseo en Corée du sud. Cette collaboration a été accompagnée d'une demande de financement auprès du programme d'échange Science and Technology Amicable Relationships (STAR) qui favorise les échanges de permanents et d'étudiants entre la France et la Corée du sud pour des projets collaboratifs. Le projet déposé, "All inkjet printed CMOS circuit for bio sensing platform", correspond en tout point au projet proposé dans cette section.

Le professeur B.S. Bae de l'université d'Hoseo est spécialiste en conception de circuits numériques pour de nouvelles technologies. Il a notamment travaillé sur la conception de décodeurs BCD 7 segments avec des transistors à base d'oxyde métallique [37]. Son expérience associée à notre technologie est un atout pour le bon déroulement de la thèse commune sur la fabrication de circuits CMOS organiques. Des communications communes sur la conception d'une matrice de capteurs capacitifs pour la reconnaissance d'empreintes digitales montrent que notre collaboration est tournée vers la réalisation de circuits [CI37][CI38].

La démarche proposée pour la réalisation de circuits CMOS est la suivante. Nous allons partir de la structure imprimée étudiée dans le cadre d'un stage de master 2 (échange avec l'université d'Hoseo) pour les OFETs de type N et nous allons l'adapter à la

fabrication de transistors organiques de type P. En partant des caractéristiques électriques de ces transistors, un modèle électrique va être défini pour concevoir des portes logiques. Les performances des transistors ne sont pas l'enjeu de cette étude. L'enjeu est l'étude de l'impact de ces performances sur les réponses statique et dynamique des portes logiques. Une part importante de l'étude sera consacrée à l'analyse des dérives des propriétés électriques et aux stratégies de conception pour réduire leurs effets sur le comportement du circuit.

IV. Développement de la caractérisation électrique de circuits

Les fonctions combinatoires sont souvent caractérisées par leurs grands nombres d'entrées/sorties et par l'importance de leur comportement en fréquence. Malgré notre expérience sur la caractérisation électrique de fonctions élémentaires de type inverseur et oscillateur, nos outils de caractérisations électriques ne sont pas adaptés à nos nouveaux objectifs. Je souhaite donc mettre en place un banc de caractérisation électrique dédié à la caractérisation de circuits numériques. Ce banc de mesure sera une étape essentielle pour développer l'axe sur la conception de circuits à l'IETR.

Les contraintes liées à cette caractérisation sont fortes. La première est due à la nature des semiconducteurs. Bien qu'une stratégie d'encapsulation des transistors organiques ait été mise en place, la possibilité de caractériser les circuits directement en boîte à gants nous semble la solution la plus adaptée à notre problématique. La deuxième contrainte concerne les niveaux haut et bas de l'électronique CMOS. Aujourd'hui, nos fonctions élémentaires n'ont qu'une seule entrée (inverseur) ou pas d'entrée (oscillateur). Un simple générateur basses fréquences (GBF) suffit pour générer cette entrée avec un niveau logique haut qui peut être adapté aux tensions de fonctionnement élevées des transistors organiques. Si, par exemple, nous concevons un décodeur d'adresses, qui est une fonction classique de l'électronique numérique, le nombre d'entrées ne permettra plus l'utilisation de ce type de générateur. Il faudra adapter des équipements de l'électronique numérique à la caractérisation d'électronique numérique organique. La dernière contrainte est la mesure de la limitation en fréquence de nos circuits. Au vu de nos premières expériences sur la caractérisation fréquentielle d'un dispositif, nous avons observé que cette limite pouvait être liée au montage de caractérisation plus qu'au dispositif lui-même. Les mobilités des OFETs sont très faibles ce qui équivaut à des résistances élevées dans les canaux des transistors. Ces niveaux de résistance sont tels que la moindre capacité parasite a un impact sur la fréquence de coupure du montage. L'objectif de ce nouveau banc de mesure est de visualiser le comportement en fréquence réel du circuit sans effet inhérent au montage.

Pour limiter la connectique et ne plus dépendre des capacités parasites du montage de mesure, des cartes électroniques dédiées à la caractérisation de portes logiques organiques doivent être imaginées. Le circuit organique, à tester, sera découpé et inséré dans un PCB avec des prises de contact adaptées à des mesures en fréquence, un étage d'adaptation d'impédance pour visualiser les sorties, un amplificateur de tension ajustable pour générer des tensions d'entrées numériques variables en tension et un FPGA pour générer les codes en entrée des portes logiques. Ces plateformes de test devront être le plus générique possible afin de tester différents circuits avec la même carte. Ces cartes seront intégrées en boîte à gants pour éviter une encapsulation de chaque circuit.

V. Intégration d'un microsystème complet sur substrat flexible

Toutes ces étapes décrites dans ce projet de recherche ont un objectif unique : démontrer les potentialités d'une technologie. Pour ce projet, la technologie à base de matériaux organiques sera évaluée par la réalisation d'un démonstrateur. Le démonstrateur que nous souhaitons développer fait appel à des fonctions de base de l'électronique numérique et analogique. Il associe également un capteur et un affichage basique 7 segments. Ces différents éléments nous permettraient de tester les OFETs dans des conditions réelles et avec des contraintes différentes associées à chaque fonction. Le schéma structurel de ce démonstrateur est présenté sur la figure suivante.

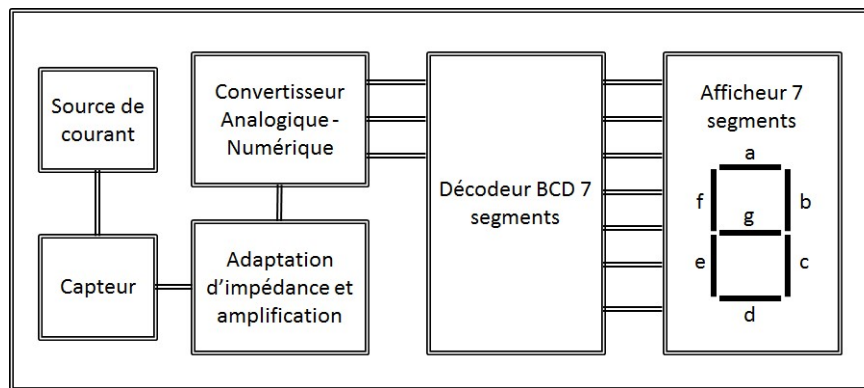


Figure 60: Composition du microsystème envisagé à partir d'OFETs de type N et de type P.

Les différentes fonctions de ce microsystème ont été présentées dans ce projet de recherche. L'afficheur 7 segments sera un dispositif à base de QLEDs. Notre choix se porte vers les QLEDs car leur fabrication a été rapidement maîtrisée à l'IETR (figure 61) et la consommation en courant est compatible avec un adressage par des OFETs.

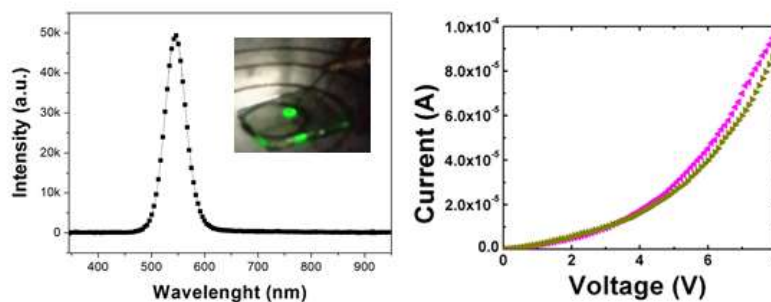


Figure 61: (a) QLED fabriqué à partir d'électrodes transparentes et (b) caractéristiques $I=f(V)$ de la QLED

Le procédé de fabrication des QLEDs est compatible avec des substrats flexibles tels que le PEN. L'association des fonctions se fera, dans un premier temps, en reliant les cartes de caractérisation électrique spécifique à chaque fonction. Ce microsystème sera fabriqué avec les deux technologies proposées dans ce projet, à savoir, l'impression par jet d'encre et par photolithographie. La réponse du système sera évaluée sous déformation mécanique pour déterminer les potentialités d'un microsystème pour la mesure de température directement sur la peau.

Conclusion sur le projet de recherche

Le projet de recherche, tel qu'il est décrit ici, est ambitieux. Il correspond, cependant, à ce qu'on pourrait attendre dans une demande d'habilitation à diriger des recherches et dessine un projet pour les 20 à 30 années à venir dans mon activité de recherche.

La réalisation d'un microsystème complet flexible dans une technologie faible coût, « jetable », donc biodégradable et/ou recyclable est une œuvre de longue haleine. Elle nécessite une bonne disponibilité et une bonne collaboration interne à l'équipe. Elle nécessite aussi la mise en œuvre de collaborations nationales, européennes et internationales pluridisciplinaires. Les premières collaborations actuelles, présentées dans le bilan, peuvent constituer une bonne base pour la mise en œuvre de ce projet. Elles pourraient cependant ne pas suffire et nous amener à en initier d'autres.

Références Bibliographiques

- [1] M. Sarret, A. Liba and O. Bonnaud, "Low pressure chemical vapor deposition of low phosphorus doped silicon thin films", *Appl. Phys. Lett.*, vol. 59, 12, pp. 1438-1439, 1991
- [2] G. Gautier, C. Viana, S. Crand, R. Rogel, N. Morimoto, O. Bonnaud, "Towards Complementary Metal-Oxide-Silicon Thin-Film Devices with a New Structure", *Solid State Phenomena*, Vol. 93, pp. 429-434, 2003
- [3] A. Saboundji, N. Coulon, A. Gorin, H. Lhermite, T. Mohammed-Brahim, M. Fonrodona, J. Bertomeu, J. Andreu, Top-gate microcrystalline silicon TFTs processed at low temperature (<200 °C), *Thin Solid Films*, Vol. 487, pp. 227-231, 2005
- [4] I. Souleiman, K. Kandoussi, K. Belarbi, R. Cherfi, A. Fedala, N. Coulon, C. Simon, T. Mohammed-Brahim, "N and P type top-gate microcrystalline silicon TFTs processed at low temperature (T < 200 °C) on the same glass substrate ", *Phys. Status Solidi C*, Vol. 7, 3-4, pp. 1148-1151, 2010
- [5] L. Pichon, A. Mercha, R. Carin, T. Mohammed-Brahim, O. Bonnaud, Y. Helen, "Comparison of the electrical behavior in the subthreshold region between laser and solid phase crystallized polysilicon thin film transistors", *Solid-State Electronics*, 46, 459-466, 2002
- [6] G. Gautier, C. Viana, S. Crand, R. Rogel, N. Morinioto, O. Bonnaud, "Comparison of NMOS and CMOS TFT inverters fabricated by LPCVD and SPC techniques at low temperature (<600°C) ", *Fourth IEEE International Caracas Conference on Devices, Circuits and Systems*, 2002
- [7] G. Gautier, "Conception, réalisation et mise au point d'une technologie CMOS en transistors couches minces sur substrat de verre" Thèse de l'Université de Rennes 1, 2002
- [8] M.L. Samb, "Modélisation de transistors couches minces fabriqués en silicium microcristallin" Thèse de l'Université de Rennes 1, 2014
- [9] H. Mackel and R. Ludemann, "Detailed study of the composition of hydrogenated SiNx layers for high-quality silicon surface passivation", *J. Appl. Phys.*, Vol. 92, 5, 2002

- [10] Ping Chin Yeh, and Jerry G. Fossum, "Physical Subthreshold MOSFET Modeling Applied to Viable Design of Deep-Submicrometer Fully Depleted SOI Low-Voltage CMOS Technology", *IEEE Transactions on Electron Devices*, Vol. 42, 9, 1605, 1995
- [11] H. Dong, "Microcrystalline silicon based Thin Film Transistors fabricated on Flexible Substrate", Thèse de l'Université de Rennes 1, 2015
- [12] T. Pier, K. Kandoussi, C. Simon, N. Coulon, H. Lhermite, T. Mohammed-Brahim, J.F. Bergamini, "Microcrystalline silicon and excimer laser crystallized silicon Thin Film Transistors on the same substrate", *Thin Solid Films*, 515, 19, pp. 7585-7589, 2007
- [13] L. Maiolo, M. Cuscunà, L. Mariucci, A. Minotti, A. Pecora, D. Simeone, A. Valletta, G. Fortunato, "Analysis of self-heating related instability in n-channel polysilicon thin film transistors fabricated on polyimide", *Thin Solid Films*, vol. 517, 23, pp. 6371-6374, 2009
- [14] W.-Y. Lin, R. Müller, K. Myny, S. Steudel, J. Genoe, P. Heremans, "Room-temperature solution-processed high-k gate dielectrics for large area electronics applications", *Organic Electronics*, Vol. 12, 6, pp. 955-960, 2011
- [15] S. Janfaoui, "Electronique CMOS en silicium microcristallin sur substrat flexible transparent", Thèse de l'Université de Rennes 1, 2012
- [16] S. Wagner, H. Gleskova, I. C. Cheng and J.C. Sturm, "Chap.12 : Mechanics of TFT Technology on Flexible substrates" in "Flexible Flat Panel Displays", *Appl. Phys. Lett*, ed. G. Crawford, Wiley 2005
- [17] C. H. Kim, Y. Bonnassieux, and G. Horowitz, "Fundamental benefits of the staggered geometry for organic field-effect transistors," *IEEE Electron Device Lett.*, vol. 32, 9, pp. 1302-1304, 2011
- [18] P. V. Pesavento, R. J. Chesterfield, C. R. Newman, and C. D. Frisble, "Gated four-probe measurements on pentacene thin-film transistors: Contact resistance as a function of gate voltage and temperature," *J. Appl. Phys.*, vol. 96, 12, pp. 7312-7324, 2004
- [19] S. Bebiche, "OTFTs de type N à base de semiconducteurs π -conjugués : Fabrication, performance et stabilité", Thèse de l'Université de Rennes 1, 2015
- [20] M. Prevôt, "Démonstrateurs des potentialités applicatives des Clustomésogènes", Thèse de l'Université de Rennes 1, 2014

- [21] I. Kymissis, C. D. Dimitrakopoulos, S. Purushothaman “High-Performance Bottom Electrode Organic Thin-Film Transistors”, *IEEE Transactions on Electron Devices*, Vol. 48, 6, 2001
- [22] D. K. Hwang, C. Fuentes-Hernandez, J. Kim, W.J. Potscavage, S.J. Kim, B. Kippelen, “Top-Gate Organic Field-Effect Transistors with High Environmental and Operational Stability”, *Advanced Materials*, 23, 10, pp. 1293-1298, 2011
- [23] X.H. Zhang, S.P. Tiwari, B. Kippelen, “Pentacene organic field-effect transistors with polymeric dielectric interfaces: Performance and stability”, *Organic Electronics*, 10, 6, pp. 1133-1140, 2009
- [24] C.H. Kim, H. Hlaing, J.A. Hong, J.H. Kim, Y. Park, M.M. Payne, J.E. Anthony, Y. Bonnassieux, G. Horowitz, I. Kymissis, “Decoupling the Effects of Self-Assembled Monolayers on Gold, Silver, and Copper Organic Transistor Contacts”, *Adv. Mater. Interfaces*, 2, 2, 2015
- [25] <http://microchem.com/pdf/SU-8/3000/Data/Sheet.pdf>
- [26] X. Liu, “Transistor silicium en couche mince à base de nanoparticules de PbS : Un phototransistor efficace pour la détection de lumière infrarouge”, Thèse de l’Université de Rennes 1, 2016
- [27] Y.C. Tarn, P.C. Ku, H.H. Hsieh, L.H. Lu, “Amorphous-Silicon Operational Amplifier and Its Application to a 4-Bit Digital-to-Analog Converter”, *IEEE Journal of Solid-State Circuits*, Vol. 45, 5, 2010
- [28] Y. Kervran, “Cartographie d'un champ de pression induit par l'occlusion dentaire”, Thèse de l’Université de Rennes 1, 2016
- [29] C. D. Dimitrakopoulos, P. R. L. Malenfant, “Organic Thin Film Transistors for Large Area Electronics” *Adv. Mater*, 14, 2, 2002
- [30] C.Y. Lee, J.C. Hwang, Y.L. Chueh, T.H. Chang, Y.Y. Cheng, P.C. Lyu, “Hydrated bovine serum albumin as the gate dielectric material for organic field-effect transistors”, *Organic Electronics*, 14, 10, pp. 2645-2651, 2013
- [31] M. Ma, X. Xu, L. Shi, L. Li, “Organic field-effect transistors with a low driving voltage using albumin as the dielectric layer”, *RSC Advances*, 4, 102, pp. 58720-58723, 2014

- [32] G. Maruccio, P. Visconti, V. Arima, S. D'Amico, A. Biasco, E. D'Amone, R. Cingolani, R. Rinaldi, "Field Effect Transistor Based on a Modified DNA Base", *Nano Lett.*, Vol. 3, 4, 2003
- [33] M. Halik, H. Klauk, U. Zschieschang, G. Schmid, C. Dehm, M. Schütz, S. Maisch, F. Effenberger, M. Brunnbauer, F. Stellacci, "Low-voltage organic transistors with an amorphous molecular gate dielectric", *Nature*, 431, 7011, pp. 963-966, 2004
- [34] J. Kwon, Y. Takeda, K. Fukuda, K. Cho, S. Tokito, S. Jung, "Three-Dimensional, Inkjet-Printed Organic Transistors and Integrated Circuits with 100% Yield, High Uniformity, and Long-Term Stability". *ACS nano*, 10, 11, pp. 10324-10330, 2016
- [35] M. A. Sankhare, E. Bergeret, M. Guerin, P. Pannier, and R. Coppard, "Design of Fully-Printed Organic Circuits on Plastic Foils for Wireless Systems", *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, 7, 1, pp. 102-113, 2017
- [36] A. Valletta, A.S. Demirkol, G. Maira, M. Frasca, V. Vinciguerra, L.G. Occhipinti, L. Fortuna, L. Mariucci, G. Fortunato, "A compact spice model for organic TFTs and applications to logic circuit design", *IEEE Transactions on Nanotechnology*, 15, 5, 7434648, pp. 754-761, 2016
- [37] J. Y. Hwang, J. K. Kim, S. J. Moon, M. T. Hong, E. J. Yun, B.S. Bae, "BCD to 7-segment decoder with oxide thin film transistors" *Electronics Letters*, 52, 23, pp. 1952-1954, 2016