



HAL
open science

Modélisation de transistors en couches minces (TFT) fabriqués en technologies silicium microcristallin très basse température

Mamadou Lamine Samb

► To cite this version:

Mamadou Lamine Samb. Modélisation de transistors en couches minces (TFT) fabriqués en technologies silicium microcristallin très basse température. Micro et nanotechnologies/Microélectronique. Université de Rennes 1, 2014. Français. NNT: . tel-02441294

HAL Id: tel-02441294

<https://hal.science/tel-02441294>

Submitted on 20 Jan 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE / UNIVERSITÉ DE RENNES 1
sous le sceau de l'Université Européenne de Bretagne

En Cotutelle Internationale avec
UNIVERSITÉ CHEIKH ANTA DIOP DE DAKAR (UCAD), SÉNÉGAL

pour le grade de
DOCTEUR DE L'UNIVERSITÉ DE RENNES 1
Mention : (Electronique)

Ecole doctorale (MATISSE)

présentée par

Mamadou Lamine SAMB

préparée à l'unité de recherche UMR CNRS 6164
Institut d'Electronique et de Télécommunication de Rennes
UFR Informatique - Electronique

Intitulé de la thèse :
Modélisation de
transistors en couches
minces (TFT) fabriqués
en technologies
silicium microcristallin
très basse température

Thèse soutenue à l'UCAD de Dakar
le 08 Décembre 2014

devant le jury composé de :

Amadou Seidou MAÏGA

Professeur, Université Gaston Berger de Saint Louis / *rapporteur*

François TEMPLIER

Ingénieur HDR, CEA LETI / *rapporteur*

Emmanuel JACQUES

Maître de Conférences, Université de Rennes 1 / *examineur*

Cheikh SENE

Professeur, Université Cheikh Anta Diop de Dakar / *examineur*

Tayeb MOHAMMED-BRAHIM

Professeur, Université de Rennes 1 / *co-directeur de thèse*

Grégoire SISSOKO

Professeur, Université Cheikh Anta Diop de Dakar / *co-directeur de thèse*

Dédicaces

Je dédie ce travail à mon père Papa Ibra SAMB et ma mère Oumoukhayri FALL qui n'ont ménagé aucun effort pour la réussite de toutes mes entreprises

Je dédie aussi cet ouvrage à :

Ma Femme Fatoumata Diagne DIAMANKA

Mon Fils Papa Ibrahima SAMB

Mes Frères et Sœurs

Mes Tantes

Mes Oncles

Mes Cousins et Cousines

Mes Neveux et Nièces

Mes Ami(e)s

Monsieur Mbor TOURE

Monsieur Pathé SY

Madame DIOP née Ndeye Fatou NDAO

Monsieur Mbor TOURE et madame TOURE née Awa BA

Tous (tes) ceux (celles) qui, de près ou de loin, m'ont soutenu tout au long de mon cursus élémentaire jusqu'au cursus universitaire.

Remerciements

Remerciements

Ce travail a été effectué entre :

Le Département de Microélectronique et Microcapteur (DMM) de l'Institut d'Electronique et de Télécommunication (IETR) de l'Université de Rennes 1

et

Le Laboratoire des Semi-conducteurs et d'Energie Solaire (LASES) de la Faculté des Sciences et Techniques (FST), de l'Université Cheikh Anta DIOP de Dakar (Sénégal)

Sous la codirection respective de :

Monsieur **Tayeb MOHAMMED-BRAHIM** Professeur à l'Université de Rennes 1

et de

Monsieur **Grégoire SISSOKO** Professeur à l'Université Cheikh Anta DIOP de Dakar.

Je tiens à les remercier très vivement pour avoir codirigé cette thèse avec beaucoup de sollicitude. Tout au long de ce travail, leur confiance et soutien ne m'ont jamais fait défaut. Ils sont pour moi plus que des encadreurs, leurs conseils et remarques durant ces années de thèse ont fortement contribué à la réalisation de ce travail

Remerciements

et sa finalisation. Qu'il me soit permis de leur témoigner ma profonde gratitude.

J'adresse également mes remerciements à Monsieur **Amadou Seidou MAÏGA**, Professeur à l'UFR-SAT de l'UGB de Saint Louis et à Monsieur **François TEMPLIER**, Ingénieur HDR, CEA LETI de Grenoble pour avoir spontanément accepté d'être les rapporteurs de cette thèse ainsi que des membres du jury.

C'est le lieu d'associer à ces remerciements:

- Monsieur **Emmanuel Jacques**, Maître de conférences à l'université de Rennes 1 pour avoir suivi de près ce travail et pour m'avoir fait l'honneur de participer à ce jury de thèse.

- Monsieur **Cheikh SENE**, Professeur à l'Université Cheikh Anta Diop de Dakar pour m'avoir fait l'honneur de participer à ce jury de thèse.

C'est l'occasion aussi de nous souvenir que durant ces années nous avons eu le soutien constant et précieux de nos collègues avec à leur tête notre Directeur, le professeur **Mamadou SARR**, véritable père de famille qui nous ont facilité la conduite de ce travail avec

Remerciements

tous les aménagements d'emploi du temps et de travail pour effectuer mes différents séjours à l'étranger. Je ne saurais les remercier en y associant tous les membres du personnel administratif, technique et de service

Bien entendu, je ne saurais oublier de dire merci à tous **les membres** (permanents, thésards vacataires ou stagiaires et docteurs) :

- du département Microélectronique et Microcapteurs de l'IETR et
- du Laboratoire de Semi-conducteurs et d'Energie Solaire.

Ce fût un immense honneur pour moi de les avoir côtoyé durant ces années de thèse.

Cette thèse n'a pu être réalisée que grâce au financement accordé par le Service de Coopération et d'Action Culturelle (**SCAC**) de l'Ambassade de France ainsi que les soutiens multiformes des université de Dakar (UCAD), de Thiès (UT) et de Rennes 1. Que leurs autorités, des Recteurs aux Directeurs, ainsi que leurs collaborateurs (trices) trouvent ici l'expression de nos remerciements déférents.

Sommaire

Sommaire

Liste des illustrations.....	IV
Liste des figures	IV
Liste des tableaux	VII
Glossaire.....	VIII
Introduction générale.....	1
Chapitre I : Etat de l'art et problématique	5
I.1 Introduction	6
I.2 Electronique fabriquée sur un substrat	7
I.2.1 Electronique pour pixels d'écrans plats.....	7
I.2.1.1 Ecran plat LCD à matrice active (AMLCD)	8
I.2.1.2 Ecran plat OLED à matrice active (AMOLED).....	11
I.2.2 Electronique sur un substrat pour d'autres applications.....	13
I.3 Transistors en couches minces	15
I.3.1 Structure des TFTs.....	16
I.3.1.1 TFT à grille en dessous (Bottom-Gate).....	17
I.3.1.2 TFT à grille au dessus (Top-Gate)	17
I.4 Principe de fonctionnement des TFTs.....	18
I.4.1 Etat bloquant.....	18
I.4.2 Etat passant	19
I.4.2.1 Régime saturé.....	19
I.4.3 Caractérisation des TFTs	20
I.4.3.1 Caractéristiques de transfert	20
I.4.3.2 Caractéristiques de sortie.....	21
I.4.3.3 Tension de seuil.....	22
I.4.3.4 Mobilité d'effet de champ	23
I.4.3.5 Pente sous le seuil	23
I.4.3.6 Rapport I_{ON}/I_{OFF}	24
I.5 Matériau utilisé dans la fabrication des dispositifs électroniques d'adressage des pixels d'écrans plats.....	24
I.5.1 Le silicium amorphe	25
I.5.2 Le silicium polycristallin	28
I.5.2.1 Les grains	28
I.5.2.2 Les joints de grains.....	29
I.5.3 Le silicium microcristallin.....	31
I.5.3.1 Dépôt du silicium microcristallin par PECVD.....	33
I.5.3.2 Plasma de dépôt du silicium microcristallin par PECVD	33
I.5.3.3 Structure et processus de croissance du silicium microcristallin.....	34
I.6 Effet de l'épaisseur de la couche active sur les paramètres électrique des transistors	36
I.7 Conclusion.....	38
Références I.....	39

Sommaire

Chapitre II : Effet de la diminution de l'épaisseur de la couche active des TFTs à base de silicium microcristallin : étude expérimentale	45
II.1 Introduction	46
II.2 Structure et procédé de fabrication des transistors	46
II.2.1 Dépôt des couches.....	46
II.2.2 Masque 1 : Définition de la couche active.....	47
II.2.3 Masque 2 : Isolation des transistors	48
II.2.4 Masque 3 : Ouverture des contacts drain et source dans l'isolant de grille....	49
II.2.5 Masque 4 : Métallisation des contacts source, drain et grille	50
II.3 Caractéristiques des TFTs utilisant une épaisseur habituelle de 100 nm comme couche active.	50
II.3.1 Paramètres électriques.....	50
II.3.1.1 Paramètres électriques à température ambiante	50
II.3.1.2 Dépendance en température des paramètres électriques	52
II.3.2 Stabilité des TFTs	53
II.3.3 Conclusion sur les TFTs utilisant une épaisseur habituelle de 100 nm comme couche active.	58
II.4 Effet de la variation de l'épaisseur de la couche active	59
II.4.1 Caractéristiques de transfert de TFTs utilisant des épaisseurs différentes de couche active.	60
II.4.2 Stabilité électrique des TFTs utilisant des épaisseurs différentes de couche active.	65
II.4.3 Conclusion sur la comparaison expérimentale des TFTs utilisant des épaisseurs différentes de couche active.	67
II.5 Conclusion.....	67
Références II	69
Chapitre III : Simulation électrique des transistors en couches minces sous SILVACO	71
III-1 Introduction	72
III-2 Matériel et méthodes	72
III-2.1 Outils de Simulation utilisés	72
III-2.1.1 Le logiciel de simulation technologique ATHENA	73
III-2.1.2 Le Logiciel de modélisation électrique ATLAS.....	74
III-2.2 Méthodes	77
III-2.2.1 Elaboration de la structure des TFTs à simuler	77
III-2.2.2 Modèle physique utilisé sous ATLAS pour la simulation des propriétés électriques des TFTS	78
1. L'équation de Poisson	79
2. Les équations de continuité des porteurs	80
3. Les équations de transport	81
Modèle de transport de dérive-Diffusion	81
III-2.2.3 Modèle physique du matériau silicium microcristallin utilisé pour la simulation des propriétés électriques des TFTs	83
III-3 Simulation électrique des transistors en couches minces en utilisant l'outil ATLAS à partir de SILVACO	88

Sommaire

III-3.1	Caractéristiques des TFTs	88
III-3.2	Effet de la variation de l'épaisseur de la couche active	92
III-3.2.1	Effet de la variation de l'épaisseur de la couche active des TFTs en l'absence de défauts électriques (silicium monocristallin)	93
III-3.2.2	Effet de la variation de l'épaisseur de la couche active des TFTs contenant des défauts dans leur couche active en silicium	95
III-3.2.2.1	Effet sur le courant inverse	96
III-3.2.2.2	Effet sur la pente sous le seuil	99
III-3.3	Effet des interfaces isolant de grille-couche active (interface avant) et couche active-substrat (interface arrière)	103
III-3.3.1	Effet de la variation de la densité des états profonds à l'interface arrière (couche active - substrat)	103
III-3.3.2	Effet de la variation de la densité des états profonds à l'interface avant (couche active - isolant de grille)	108
III-4.	Conclusion	111
	Références III	112
	Conclusion générale	114

Liste des illustrations

Liste des figures

Figure I- 1 : Tétraèdre d'atomes de silicium et leur arrangement ordonné dans le silicium monocristallin.....	6
Figure I- 2 : Vue en coupe d'un écran plat [6].....	9
Figure I- 3 : Principe de fonctionnement des écrans à cristaux liquides [9].....	10
Figure I- 4 : Schéma de la matrice de transistors [10]	10
Figure I- 5 : Structure d'une OLED [13]	12
Figure I- 6 : Ecran flexible utilisant une technologie OLED [15]	12
Figure I- 7 : Circuit pixel OLED à deux TFTs et une capacité (2T1C) [16]	13
Figure I- 8 : Architecture générale d'un transistor en couches minces.....	15
Figure I- 9 : Structure Bottom-Gate inversée (a) et coplanaire (b).....	17
Figure I- 10 : Structure Top-Gate coplanaire (a) et inversée (b)	18
Figure I- 11 : Caractéristique de transfert d'un TFT.....	21
Figure I- 12 : Caractéristiques de sortie d'un transistor E4 (100µm/20µm) pour plusieurs VDS	22
Figure I- 13 : Caractéristique de transfert en échelle linéaire d'un TFT. La tension de seuil est déduite dans ce cas d'une extrapolation de la zone linéaire.....	23
Figure I- 14 : Structure cristalline et amorphe [23]	25
Figure I- 15 : La distribution de la densité d'états électroniques d'un matériau amorphe [24]	26
Figure I- 16 : Structure du silicium polycristallin obtenu à partir de silane à 90 Pa, 550 °C recuit à 600 °C pendant 12 heures [25] (a) et structure du silicium polycristallin élaboré par filtrage pour application photovoltaïque (b).....	28
Figure I- 17 : Représentation schématique de la distribution des états introduits par les défauts dans la bande interdite du polysilicium [32].....	30
Figure I- 18 : Représentation atomique à deux dimensions du silicium microcristallin [13].	32
Figure I- 19 : Schéma d'une décharge RF à couplage capacitif [7].....	34
Figure I- 20 : Structure de silicium microcristallin [7]	34
Figure I- 21 : Schématisation de la croissance de couches de silicium microcristallin proposé par Pere Roca i Cabarrocas [43].....	36
Figure I- 22 : Amélioration de l'évolution de la fraction cristalline en fonction de l'épaisseur pour des couches de µc-Si:H déposées dans un mélange Ar (50%) +H2 (50%) (Triangle) par rapport à celles déposées avec 1% de silane dans H2 pur (Cercle) [10].....	38
Figure II- 1 : Structure « Top-Gate » des transistors de cette étude.....	46
Figure II- 2 : Vue en coupe de la structure après la gravure de la couche dopée	48
Figure II- 3 : Vue en coupe de la structure après la gravure de la couche non dopée entre les transistors	48
Figure II- 4 : Vue en coupe de la structure avant (a) et après (b) ouverture des contacts source et drain.....	49

Figure II- 5 : Vue en coupe de la structure finale après la définition des contacts grille, source et drain.....	50
Figure II- 6 : Caractéristique de transfert d'un transistor ($W=100\mu\text{m}/L=20\mu\text{m}$) de couche active de silicium microcristallin de 100 nm d'épaisseur et une couche isolante à base de nitrure de silicium de 300 nm d'épaisseur ($V_{DS} = 1 \text{ V}$).....	51
Figure II- 7 : Variation de la tension de seuil et de la mobilité des transistors utilisant une couche active de 100 nm d'épaisseur	52
Figure II- 8 : Caractéristiques de transfert pour un TFT de 100 nm de couche active ($W=100\mu\text{m}/L=20\mu\text{m}$) mesurées à différents instants pendant l'application d'un stress de +20V sur la grille alors que le drain et la source étaient court-circuités. La durée totale du stress est de 6 heures et la température de 20°C	53
Figure II- 9 : Lissage par la fonction exponentielle étendue (donnée dans la figure) de la variation de la tension de seuil des transistors en fonction du temps de stress à 20°C par une tension grille de +20V, les drain et source étant court-circuités.	54
Figure II- 10 : Schéma de densité d'états d'énergie dans un semi-conducteur désordonné. Des états de défauts existent dans la bande interdite entre E_v et E_c	56
Figure II- 11 : Evolution de la fraction cristalline en fonction de l'épaisseur pour des couches de $\mu\text{c-Si:H}$ déposées avec 1% de silane dans H_2 pur (Cercle) et dans un mélange Ar (50%) + H_2 (50%) (Triangle) [1].....	57
Figure II- 12 : Evolution de la tension de seuil en fonction du temps de stress sous une tension de grille de +20V appliqué pendant 6 heures à 20°C, 35°C et 50°C tracée dans un graphique logarithmique (a) et semi-logarithmique (b).	58
Figure II- 13 : Caractéristique de transfert de transistors ($W=100\mu\text{m}/L=20\mu\text{m}$) et de couche active de silicium microcristallin respectives de 30 nm 100 nm et 200 nm d'épaisseur et une couche de nitrure de silicium de 300 nm.....	60
Figure II- 14 : Effet de canal arrière pour un TFT bottom-gate (a) (courbe fournie aimablement par François Templier, LETI-MINATEC Grenoble) et pour un TFT top-gate fabriqué par l'IETR (b)	63
Figure II- 15 : Topographie de l'état de surface du silicium microcristallin fin et épais analysé par microscopie AFM (Atomic Force Microscopy).....	64
Figure II- 16 : Variations des tensions de seuil des 3 types de TFTs tracées en logarithmique (a) et en semi-logarithmique (b) sous l'effet d'un stress de +15V sur la grille.....	66
Figure II- 17 : Structure d'une couche de silicium microcristallin d'après J. Kocka [16]	66
Figure III- 1 : Schéma explicatif des différentes interactions entre les outils du pack VWF	77
Figure III- 2 : Structure des TFTs simulés [4].....	78
Figure III- 3 : Représentation schématique de la distribution des états introduits par les défauts dans la bande interdite du silicium	85
Figure III- 4 : Distribution de la densité des états dans la bande interdite du silicium [4, 10]	86
Figure III- 5 : Densité d'états à l'intérieur de la bande interdite d'un film de silicium microcristallin (b), calculée à partir des caractéristiques de transfert (a) [13] des TFTS de type N et de type P fabriqué simultanément sur une couche de silicium microcristallin non dopé de 100 nm d'épaisseur. Le TFT de type N a une longueur de canal $L=20 \mu\text{m}$ et une largeur de	

canal $W=20 \mu\text{m}$. La longueur L et la largeur W du TFT de type P sont respectivement de $20 \mu\text{m}$ et $80 \mu\text{m}$	88
Figure III- 6 : Variation de la tension de seuil et de la mobilité des transistors avec la température.....	89
Figure III- 7 : Caractéristiques de transfert en échelle semi-logarithmique du TFT de 30 nm d'épaisseur de couche active à $T = 300 \text{ K}$ et pour différentes concentrations de défauts dans le canal.	90
Figure III- 8 : Evolution de la mobilité d'effet de champ électronique en fonction de la température pour différentes concentrations de défauts dans la moitié supérieure de la bande interdite.....	91
Figure III- 9 : Caractéristique de transfert en linéaire (a) et semi-logarithmique (b) de transistors de $30, 100$ et 200 nm d'épaisseur de couche active et dont la couche de silicium est sans défaut.	93
Figure III- 10 : Tension de seuil (a), pente sous le seuil (b) et transconductance (c) des TFTs en fonction de l'épaisseur de la couche active. Le matériau de la couche active est considéré sans défauts	94
Figure III- 11 : Caractéristique de transfert des transistors de $30, 100$ et 200 nm d'épaisseur de couche active et dont la couche de silicium une densité de défauts caractérisée par $W_{TA} = 22 \text{ meV}$ et $W_{GA} = 41 \text{ meV}$	95
Figure III- 12 : Concentrations d'électrons et de trous dans les couches actives d'épaisseurs 30 nm et 200 nm pour des tensions de grille de 0 V (correspondant au minimum du courant de drain) et de -2 V pour la couche de 30 nm et de -8 V pour la couche de 100 nm (correspondant au régime en inverse des transistors).....	98
Figure III- 13 : Courbes courant de drain – tension de drain pour les couches actives d'épaisseurs 30 nm et 200 nm aux tensions de grille de 0 V (correspondant au minimum du courant de drain dans les caractéristiques de transfert de la figure 9) et de -2 V pour la couche de 30 nm et -8 V pour la couche de 100 nm (correspondant au régime en inverse des transistors).	98
Figure III- 14 : Variation de la pente sous le seuil (S) avec l'épaisseur de la couche active de TFT pour différentes valeurs de la densité de défauts dans la partie supérieure de la bande interdite. La figure (b) met en évidence le comportement de S pour la plus faible densité de défauts et de silicium monocristallin (sans défauts) [4].	100
Figure III- 15 : Effet de la densité de défauts profonds sur la pente sous le seuil simulée pour une couche active épaisse (200 nm) et fine (10 nm). L'effet de l'épaisseur dans la réduction de la pente est plus important pour les matériaux plus défectueux (valeur élevée du W_{GA}).	101
Figure III- 16 : Profil du potentiel électrique simulé entre la source et le drain, sans tension de grille appliquée à des TFTs ayant différentes épaisseurs ($30, 100, 200$ et 500 nm) de la couche active pour le silicium avec des défauts dans la bande interdite (microcristalline) (a) et pour le silicium sans défauts (monocristallin) (b) [10].	102
Figure III- 17 : Variation du champ électrique latéral au niveau de la source (ou du drain), relativement à sa valeur pour une épaisseur de $1 \mu\text{m}$, avec l'épaisseur de la couche active sans défauts électriques et en présence de défauts électriques.....	103
Figure III- 18 : (a) Caractéristique de transfert d'un $\mu\text{c-Si}$ TFT bottom-gate très mal passivé (présentée avec l'accord de F. Templier du LETI-France) (b) Transférer caractéristique de transfert d'un $\mu\text{C-Si}$ TFT top-gate avec des charges fixes à l'interface couche active substrat. Ces deux caractéristiques montrent deux pentes lors de la croissance du courant de drain [16].	104

Liste des illustrations

Figure III- 19 : Caractéristiques de transfert de TFTs ayant différentes épaisseurs (30nm, 50 nm et 200 nm) de couches actives. La densité de défauts à l'interface entre l'isolant de grille et la couche active est fixée à $5 \times 10^{11} \text{ cm}^{-2}$ et celle entre la couche active et le substrat est fixée à $1 \times 10^{12} \text{ cm}^{-2}$ [16].	105
Figure III- 20 : Caractéristiques de transfert de transistors à couches minces avec 30 nm ($e = 30 \text{ nm}$), 50 nm ($e = 50 \text{ nm}$) et 200 nm ($e = 200 \text{ nm}$) d'épaisseur de couche active. Les caractéristiques sont tracées pour 3 concentrations de défauts différentes à l'interface arrière (couche active - substrat) en maintenant constante la concentration en défauts à l'interface couche active – isolant de grille à $5 \times 10^{11} \text{ cm}^{-2}$.	106
Figure III- 21 : répartition de la concentration des électrons dans la couche active pour 2 TFTs, l'un de 30nm d'épaisseur de couche active et l'autre de 200 nm de couche active à $V_{gs} = -15\text{V}$, $N_{\text{interface avant}} = 5 \times 10^{11} \text{ cm}^{-2}$ et $N_{\text{interface arrière}} = 1 \times 10^{12} \text{ cm}^{-2}$.	108
Figure III- 22 : Caractéristiques de transfert de transistors à couches minces avec 30 nm ($e = 30 \text{ nm}$), 100 nm ($e = 100 \text{ nm}$), 200 nm ($e = 200 \text{ nm}$) et 300 nm ($e = 300 \text{ nm}$) d'épaisseur de couches actives. Les caractéristiques sont tracées pour différentes concentrations de défauts à l'interface avant (couche active – isolant de grille) en maintenant constante la concentration en défauts à l'interface couche active - substrat à $1 \times 10^{11} \text{ cm}^{-2}$.	109
Figure III- 23 : Variation de la pente sous le seuil S et de la tension de seuil V_{TH} en fonction de la densité d'états à l'interface avant (isolant de grille – couche active) pour différentes épaisseurs de la couche active et en fonction de l'épaisseur de la couche active pour différentes valeurs de la densité d'états à l'interface avant (isolant de grille – couche active).	110

Liste des tableaux

Tableau II- 1 : Conditions de dépôt des couches de silicium microcristallin ($\mu\text{c-Si}$) non dopé et dopé	47
Tableau II- 2 : Conditions opératoires de la gravure ionique réactive	48
Tableau II- 3 : Paramètres électriques tirés de la caractéristique de transfert du transistor représentée sur la figure 1	51
Tableau II- 4 : Paramètres électriques des transistors dont leur caractéristique de transfert a été présentée sur la figure 11	61

Glossaire

Abréviation	Signification
AFM	Atomic Force Microscopy (microscope à force atomique)
AMLCD	Active Matrix Liquid Crystal Display (écran plat à cristaux liquides à matrice active)
AMOLED	Active Matrix Organic Light-Emitting Diode (diode organique électroluminescente à matrice active)
APCVD	Atmospheric pressure Chemical Vapor Deposition (dépôt chimique en phase vapeur à pression atmosphérique)
a-Si	Amorphous silicon (silicium amorphe)
BAN	Body Area Network (réseau corporel)
HF	High Frequency (haute fréquence)
HF	Hydrofluoric Acid (acide fluorhydrique)
H₂O	Eau
H₂O₂	Eau hydrogénée
HCl	Acide Chlorhydrique
LCD	Liquid Crystal Display (écran plat à cristaux liquides)
LPCVD	Low Pressure Chemical Vapor Deposition (dépôt chimique en phase vapeur à basse pression)
MIS	Metal Insulator Semiconductor (structure capacitive Metal-Isolant-Semiconducteur)
μc-Si:H	Hydrogenated Microcrystalline Silicon (silicium microcristallin hydrogéné)
MOS	Metal Oxide Semiconductor (structure capacitive Métal-SiO ₂ -Silicium)
MOSFET	Metal Oxide Semiconductor Field Effect Transistor (Transistor à effet de champ à structure Métal-Oxide-Silicium)
NH₄OH	Ammonium hydroxide solution (solution d'hydroxyde d'Ammonium)
OLED	Organic Light-Emitting Diode (diode organique électroluminescente)
PECVD	Plasma Enhanced Chemical Vapor Deposition (dépôt chimique en phase vapeur assistée par plasma)
PEN	Polyethylene Naphthalate (polyéthylène naphthalate)
RCA	Radio Corporation of America (Werner Kern a développé ce procédé de nettoyage en 1965 alors qu'il travaillait pour RCA, d'où le nom)
RF	Radio Frequency (fréquence radio)
RFID	Radio Frequency Identification (radio-étiquettes)
RMS	Roughness Mean Square (rugosité de surface)
sccm	Standard Centimeter Cube per Minute (centimètre cube par minute standard)
SF₆	Hexafluorure de Soufre
SOI	Silicon on Insulator (silicium sur isolant)
SPC	Solid Phase Crystallization (cristallisation à phase solide)
TFT	Thin Film Transistor (transistor en couche mince)

Introduction générale

Introduction générale

Les technologies de l'information et de la communication sont devenues indispensables dans ce monde où l'information doit être disponible en continu. Elles sont utilisées dans tous les secteurs de développement et elles sont rendues accessibles partout dans le monde grâce à la création de dispositifs portables. Ces derniers doivent être légers et préférentiellement souples. De plus, leur taille nécessairement miniature, impose d'intégrer l'électronique de commande et de traitement avec d'autres fonctions mécaniques, optiques ou biologiques sur le même support. Bon nombre de ces microsystèmes doit disposer d'écran de visualisation, le plus souvent tactile à matrice active de petite ou de grande taille. Ainsi, pour intégrer les composants électroniques avec les dispositifs dans les matrices actives d'adressage de pixel ou avec d'autres fonctions utilisables dans les télécommunications et les capteurs, il est utile sinon indispensable que ces composants soient fabriqués directement sur des supports de verre (température < 600°C) ou de plastique (température < 200°C).

Les transistors à effet de champ, plus précisément les transistors en couches minces (ou TFT en Anglais pour Thin Film Transistor) sont les éléments de base de cette électronique. Ils sont constitués par des dépôts successifs de couches élémentaires qui sont principalement des semi-conducteurs, des diélectriques et des couches métalliques. Il y a cependant une préférence quant à l'utilisation du silicium comme semi-conducteur dans la majeure partie des dispositifs électroniques. Son abondance sur la terre, son faible coût ainsi que ses propriétés électriques compatibles avec la technologie basse température l'ont promu au rang de matériau providentiel. Le fait qu'il soit constitué d'un seul élément rend sa chimie simple et lui donne un avantage certain sur les semi-conducteurs composés. Il est à la base de toute l'électronique actuelle.

Les composants de l'électronique conventionnelle sont fabriqués à haute température de l'ordre de 1000°C et utilisent un matériau silicium dit monocristallin. Cette température élevée est incompatible avec une intégration sur des substrats de verre ou de plastique. La technique de fabrication des transistors en couches minces (TFT) qui se distingue de celle des autres types de transistors permet leur intégration directement sur les différents types de substrat. Des performances remarquables de l'électronique intégrée avec d'autres fonctions ont été réalisées sur des substrats de verre qui peuvent supporter des températures de l'ordre de 600°C. Cependant, les avancées technologiques actuelles imposent l'utilisation de substrat flexible transparent comme support qui nécessite une technologie de fabrication à basse température (< 200°C). La structure monocristalline n'étant pas compatible avec cette

Introduction générale

technologie sera substituée par la structure amorphe ou poly cristalline ou encore micro cristalline suivant les techniques et les conditions de fabrication.

Les activités de recherche du Département Microélectroniques et Microcapteurs de l'Institut d'Electronique et de Télécommunication de Rennes (IETR) sont principalement axées sur la réalisation de dispositifs en couches minces à base de silicium. Ceux-ci constituent les éléments de base de toute l'électronique. Le Département a ainsi acquis une expérience certaine dans le dépôt de couches minces de silicium, d'isolants et de conducteurs métalliques par différentes techniques, LPCVD, APCVD, PECVD, Pulvérisation réactive, Evaporation par effet joule et dans la fabrication de dispositifs électroniques à partir de ces couches. La particularité de ces dispositifs est la complète compatibilité de leur procédé de fabrication avec l'utilisation de substrats de type verre ou plastique, ne supportant pas des températures élevées. Cette longue expérience permet au Département d'être présent actuellement dans la problématique de microsystemes complètement intégrés sur un même substrat, portables et éventuellement flexibles.

Cette thèse s'inscrit dans cette problématique de fabrication de dispositifs électroniques à la plus basse température possible, compatible avec l'utilisation de substrats plastiques transparents. La technologie de fabrication développée par le Département a permis de réaliser des TFT de type N et de type P ayant des caractéristiques électriques (mobilité, stabilité, ...) permettant d'envisager leur utilisation pour la conception et la réalisation de circuits plus complexes.

Le travail de thèse a ainsi pour objectif d'accompagner ce développement par une modélisation du fonctionnement des transistors en couches minces afin de comprendre les mécanismes sous-jacents et de pouvoir faire un retour à la technologie. Le document est subdivisé en trois chapitres. Il commence par un chapitre décrivant l'état de l'art au niveau international et au niveau de la technologie développée dans l'IETR. Le chapitre suivant présente les résultats expérimentaux obtenus sur des TFTs fabriqués en faisant varier des paramètres dont le plus important est l'épaisseur de la couche active. Le dernier chapitre est consacré à la modélisation du comportement de ces TFTs par l'utilisation d'un logiciel développé par SILVACO. Il permettra d'expliquer les résultats expérimentaux présentés précédemment dans le second chapitre afin de pouvoir orienter l'optimisation du procédé de fabrication. Il constitue aussi une base de départ pour le développement d'une bibliothèque

Introduction générale

technologique, qui servira pour la conception de dispositifs électroniques à base de transistors en couches minces fabriqués à basse température directement sur tout substrat

Chapitre I : Etat de l'art et problématique

I.1 Introduction

L'électronique est devenue maintenant un facteur incontournable de la vie moderne. Presque aucun acte humain actuel ne se fait sans l'aide de l'électronique que l'on soit chez soi, au travail, au volant de sa voiture et partout ailleurs. Les dispositifs de cette électronique utilisent dans leur très grande majorité du silicium comme matériau actif. Le silicium, matériau semi-conducteur, réunit l'ensemble des critères permettant à des dispositifs électroniques aussi nombreux à fonctionner sur notre terre telle qu'elle est. Il est largement disponible partout sur terre (28% de la croûte terrestre). Il n'est constitué que du seul élément silicium permettant une technologie simplifiée ne dépendant que des propriétés chimiques de ce seul élément. La largeur de sa bande interdite permet aux dispositifs électroniques de bien bloquer le passage du courant ou de laisser un courant suffisant passer suivant les conditions de polarisation aux températures habituelles sur terre.

Ce matériau, idéal si l'on peut dire, se présente suivant différents états du point de vue de sa cristallinité et donc du point de vue de l'ordre de positionnement des atomes à l'intérieur. Dans son état monocristallin, il se présente comme la superposition ordonnée à l'échelle du mètre d'un tétraèdre d'atomes de silicium (Figure I.1) [1].

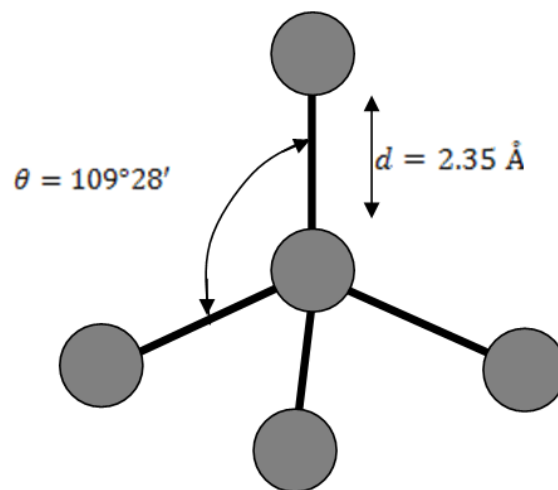


Figure I- 1 : Tétraèdre d'atomes de silicium et leur arrangement ordonné dans le silicium monocristallin

Cet ordre permet d'obtenir du silicium les meilleures propriétés de transport électroniques et ainsi de fabriquer les dispositifs performants actuels. La superposition

ordonnée est obtenue grâce à différentes techniques de purification et de croissance cristalline à des températures largement supérieures à 1000°C [2]. Après ces étapes de purification et de croissance et après découpe des lingots cristallins obtenus, les substrats de départ à partir desquels sont fabriqués les dispositifs électroniques sont des plaquettes de quelques centaines de micromètres d'épaisseur et de couleur grisâtre ou bleue après polissage. Elles sont donc rigides et ne sont pas transparentes à la lumière visible.

I.2 Electronique fabriquée sur un substrat

La non-transparence des plaquettes de silicium monocristallin constitue un problème si la transparence est nécessaire. Le problème a commencé à se poser à la fin des années 1970 lorsque le besoin de développer largement l'affichage de données et d'images et donc des écrans permettant cet affichage. L'affichage n'est possible que s'il est possible de commander différemment des petites zones voisines sur la surface de l'écran leur donnant différents tons de gris allant du noir au blanc ou différentes couleurs. Ces petites zones, appelées pixels, doivent être suffisamment petites pour que l'écran apparaisse comme uniforme à l'œil. De la lumière de différents tons ou de couleurs doit sortir de ces pixels. Ils doivent donc être transparents. Un écran d'affichage est donc un substrat transparent sur lequel on vient déposer des pixels petits commandés électriquement. Le problème de l'électronique a donc consisté à mettre des dispositifs de commande sur des substrats transparents.

I.2.1 Electronique pour pixels d'écrans plats

Un écran plat pour l'affichage est constitué d'une matrice de pixels reproduisant une image. Chaque pixel est une source de lumière constituant un des points de l'image. Il doit être polarisé pour obtenir la lumière correspondante à ce point de l'image. La méthode de polarisation dépend du type de production de cette lumière.

Les écrans plats LCD à matrice active ou AMLCD (Active Matrix Liquid Crystal Display) dominent le marché actuel des écrans. Cependant, il est apparu les écrans OLED à matrice active ou AMOLED (Active Matrix Organic Light-Emitting Diode)

Les OLEDs, sont actuellement un domaine de recherche en très grande expansion et qui devrait permettre le développement d'une nouvelle génération d'écrans plats. La technologie des OLEDs basée sur le substrat de plastique est développée activement pour concurrencer la technologie AMLCD dans les applications partant des petits écrans aux

grands [3]. Aujourd'hui, les AMOLEDs sont déjà commercialisés par plusieurs compagnies. Ils sont utilisés principalement dans les petits appareils souples (les téléphones portables, les appareils photos, les baladeurs, les portes photos). T. Tsujimura et al. [4] ont démontré la faisabilité en ce qui concerne le succès dans la fabrication de grands écrans OLED (sur substrat verre) comprenant des tailles supérieures à 20". A une échelle bien moins grande, les OLEDs s'appliquent aussi pour l'avionique [5].

Dans la suite, la définition et le principe de fonctionnement de ces deux types d'écrans seront présentés et le rôle essentiel que jouent les transistors en couches minces dans le bon fonctionnement de ces écrans sera précisé.

I.2.1.1 Ecran plat LCD à matrice active (AMLCD)

Un écran plat à matrice active est constitué d'un cristal liquide inséré entre deux plaques de verre (cf figure I.2). La plaque supérieure, est recouverte d'une couche uniforme de matériau conducteur transparent servant de contre électrode. L'autre plaque comporte un réseau déposé de lignes et de colonnes. A l'intersection de chaque ligne et de chaque colonne est situé un transistor en couches minces dont le rôle est :

- dans la phase d'adressage (mode de conduction du transistor), de charger un condensateur élémentaire ayant pour diélectrique le cristal liquide.
- dans la phase de stockage (mode bloquant du transistor), de maintenir la charge de ce condensateur.

une borne de ce condensateur est formée d'un carré de conducteur transparent relié au transistor, l'autre borne est la contre électrode. Un élément d'image, ou pixel, est défini par cette capacité de cristal liquide et de son transistor associé.

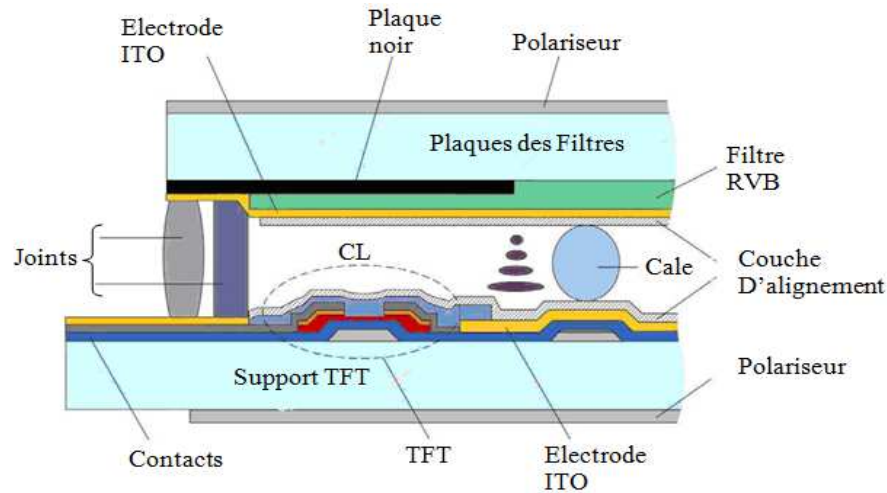


Figure I- 2 : Vue en coupe d'un écran plat [6]

Pour afficher une image, un écran plat LCD utilise des cristaux liquides qui soumis à un courant électrique laissent passer ou pas la lumière. Celle-ci passe à travers 3 matrices à cristaux liquides, devant chacune d'elles se trouve un filtre de couleur : un rouge, un vert et un bleu [7]. En fonction du signal envoyé, les cristaux liquides vont plus ou moins laisser passer la lumière, celle-ci est alors concentrée sur un prisme central qui diffusera un seul faisceau lumineux et formera ainsi une image.

Un cristal liquide est un état de la matière qui combine des propriétés d'un liquide conventionnel et celles d'un solide cristallisé. Ces propriétés permettent à certains cristaux liquides de modifier la polarisation de la lumière. Leurs molécules mésomorphes, de forme allongée, peuvent se déplacer parallèlement les unes par rapport aux autres. Déposées sur une plaque gravée en sillons, les molécules vont s'aligner dans les sillons.

Le principe des écrans LCD consiste alors à placer des cristaux liquides entre deux polariseurs croisés dont la direction de polarisation est orientées à 90° l'une par rapport à l'autre. Les molécules, au repos, vont passer progressivement d'une orientation à l'autre (cf figure I.3) [8]. L'écran est ensuite éclairé par une lumière extérieure qui est polarisée par un filtre suivant la direction parallèle aux sillons de la première plaque. Sa polarisation est guidée par les molécules et après une rotation de 90° , elle passe par un deuxième filtre polarisant (cf figure I.3a). Ce dernier fonctionne comme un grillage dense et mince qui force la lumière à ne suivre qu'un seul chemin, celui parallèle aux fentes du filtre polarisant.

Sous l'effet d'une tension de commande, les molécules vont progressivement s'orienter dans le sens du champ électrique et la lumière sera bloquée par le deuxième polariseur (cf figure I.3b).

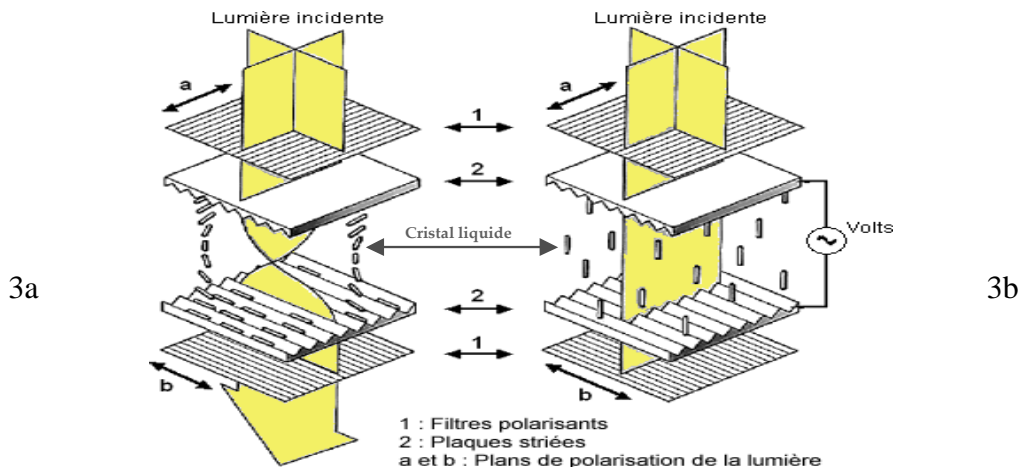


Figure I- 3 : Principe de fonctionnement des écrans à cristaux liquides [9]

Les transistors en couches minces jouent ainsi un rôle important dans le fonctionnement des écrans plats LCD. Dans la figure I.4, nous présentons le schéma électrique équivalent d'un pixel.

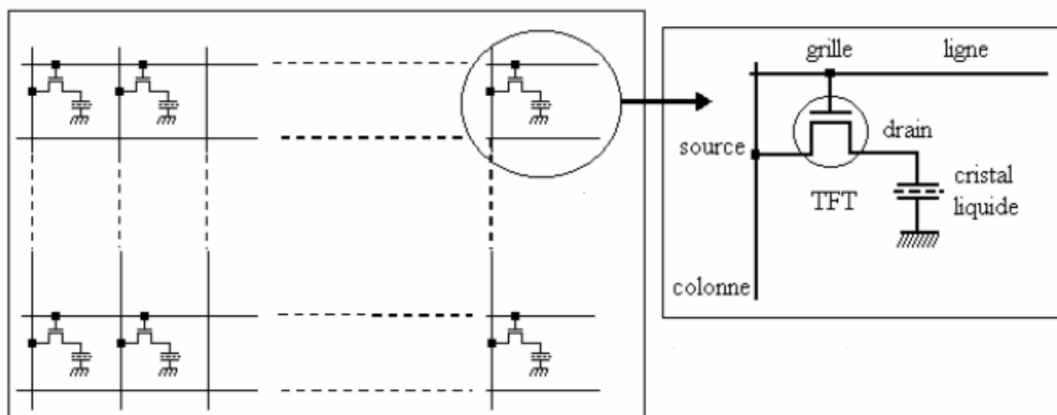


Figure I- 4 : Schéma de la matrice de transistors [10]

L'application d'une tension sur une ligne fait que tous les transistors, dont les grilles sont reliées à cette ligne, deviennent passants, et la tension présente sur une colonne est transférée à l'élément d'image situé à l'intersection de cette ligne et de la colonne.

A l'inverse, les autres lignes n'étant pas excitées, les transistors, qui sont dans leur état bloquant, permettent de conserver aux bornes de l'élément image l'information précédemment inscrite. Ici réside tout l'intérêt de l'incorporation de transistors à la matrice active du fait qu'ils fournissent à la fois l'activation ou la désactivation recherchée et l'effet de mémoire.

L'écran plat à matrice active LCD comprendra autant de transistors que de points d'images.

De nos jours, les transistors en couches minces de commande utilisés dans les écrans plats LCD sont principalement fabriqués à partir du silicium amorphe déposé par PECVD (Plasma Enhanced Chemical Vapor Deposition) à une température d'environ 250°C. Cependant, ils présentent deux inconvénients : une très faible mobilité et une dérive de la tension de seuil lors de son fonctionnement. Ce dernier est corrigé par les constructeurs en intégrant des circuits de compensation.

I.2.1.2 Ecran plat OLED à matrice active (AMOLED)

Les écrans plats OLED à matrice active sont des écrans qui associent une technique matrice active et une technologie OLED. Cette technologie s'annonce prometteuse compte tenu de son excellent angle de vue, sa forte résolution, sa faible consommation électrique et son temps de réponse rapide [11, 12]. Elle est devenue aujourd'hui le centre d'intérêt de nombreuses sociétés.

Une cellule OLED (cf figure I.5) est composée d'une pile de couches organiques fines prises entre une anode transparente et une cathode métallique. Les couches organiques comprennent une couche d'injection, une couche de transport de trous, une ou plusieurs couches émettrices et une couche de transport d'électrons. L'application d'un courant précis à la cellule OLED engendre une recombinaison des charges positives et négatives dans les couches émettrices afin de produire une lumière électroluminescente. La structure des couches organiques, le choix de l'anode et de la cathode sont conçus pour maximiser le processus de recombinaison dans les couches émettrices, ce qui optimise l'émission de lumière à partir de l'appareil OLED [13].

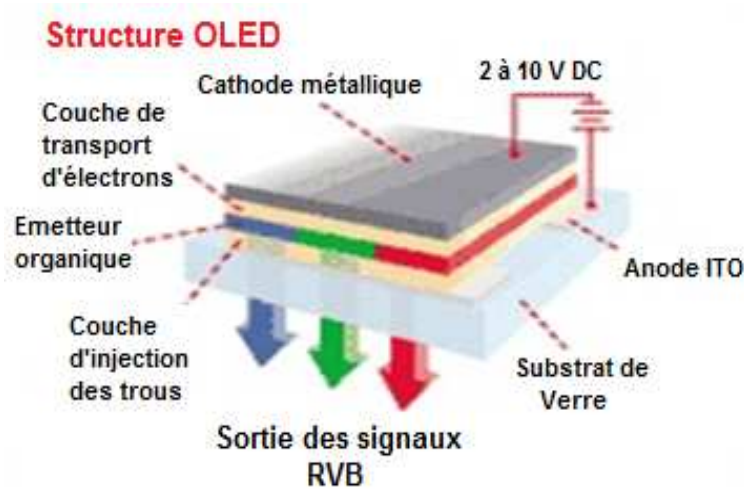


Figure I- 5 : Structure d'une OLED [13]

Les matériaux utilisés dans la conception de ces diodes offrent à la technologie OLED des avantages intéressants par rapport à celle des cristaux liquides. En effet, la propriété électroluminescente de l'OLED ne nécessite pas l'introduction d'un rétro éclairage ce qui confère à l'écran des niveaux de gris plus profond et une épaisseur moindre. La flexibilité de ces matériaux offre aussi la possibilité de réaliser un écran souple et ainsi de l'intégrer sur des supports très variés comme les plastiques (cf figure I.6). L'utilisation de ces substrats plastiques est intéressante, car il permet l'affichage léger et incassable [12, 14].



Figure I- 6 : Ecran flexible utilisant une technologie OLED [15]

La technologie OLED utilisée dans la fabrication des écrans plats utilise deux transistors en couches minces et une capacité pour la commande des pixels. Dans la

figure I.7, nous présentons un schéma électrique équivalent utilisé pour la commande d'un pixel.

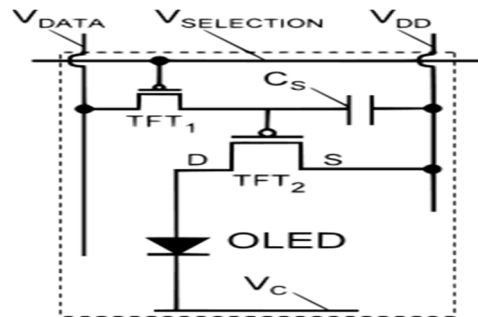


Figure I- 7 : Circuit pixel OLED à deux TFTs et une capacité (2T1C) [16]

Dans cette technologie OLED, le circuit de commande de pixel comporte au moins deux transistors comme le montre la figure ci-dessus. Le premier transistor (TFT1) joue le rôle de commutateur électronique de manière analogue à celle des écrans LCD. La diode électroluminescente est directement contrôlée par le second transistor (TFT2) qui lui fournit le courant nécessaire à son éclairage. Pour le bon fonctionnement des écrans OLED, il est plus que nécessaire que le courant fourni soit précis. IL est donc important que les transistors utilisés soient de bonnes qualités. Ils doivent avoir des caractéristiques très stables. Cependant, comme pour les écrans LCD, les transistors à base de silicium amorphe utilisés dans la fabrication des écrans OLED posent beaucoup de problème sinon même plus du fait de leur instabilité et leur faible mobilité.

I.2.2 Electronique sur un substrat pour d'autres applications

Des nos jours de nouveaux besoins de systèmes portables, légers, autonomes pouvant épouser toutes les formes sont à la base du développement de l'électronique sur substrat flexible. En effet, depuis quelques années, plusieurs travaux de recherches sont menés pour l'élaboration de produits électroniques souples.

Ces derniers sont utilisés dans la fabrication des écrans flexibles (cf figure I.6), des patches biologiques, des cartes RFID avec une électronique intégrée directement sur la carte, des cellules solaires intégrées dans les vêtements ou des caméras sphériques

tridimensionnelles de type « fish eye »... Cela a pour conséquence l'expansion du marché de l'électronique.

De plus, cela permet aussi la réduction importante du coût de production des dispositifs précédemment mentionnés par rapport aux circuits intégrés directement sur les substrats de silicium et de verre

L'électronique flexible occupe aujourd'hui une place importante dans les domaines de la médecine, du sport, des télécommunications, de l'informatique. L'utilisation des écrans tactiles dans les téléphones portables, les ordinateurs, les tablettes etc ..., sont des exemples d'applications en informatique et en télécommunication. Le "Body Area Network" (BAN) est une technologie utilisée dans plusieurs domaines tels que le sport, le jeu, mais son utilisation dans le domaine médical est majeure.

Le BAN est une technologie de réseau sans fil basée sur les radiofréquences qui consiste à interconnecter sur, autour ou dans le corps humain de minuscules dispositifs pouvant effectuer des mesures (capteurs) ou agir de façon active (actionneurs). Ces capteurs très miniaturisés, disposant d'une grande autonomie et utilisant des courants de très faible puissance peuvent être capables de dialoguer avec un centre de service distant, pour alerter un service d'urgences hospitalières par exemple. Les principales applications se trouvent dans les domaines de la santé, des premiers secours, du militaire, du divertissement, du sport, de l'intelligence ambiante ou des interactions homme-machine [17, 18].

Des recherches avancées sont menées pour le remplacement dans un futur proche des prothèses mécaniques par des prothèses électroniques ou des neuroprothèses.

Les prothèses électroniques permettent de gérer différentes phases de la marche afin de la rendre plus naturelle et plus confortable. [19].

La Neuroprothèse est un appareillage se rattachant au système nerveux. Ces prothèses neurologiques sont contrôlés indirectement par le cerveau; celui-ci envoie des signaux électriques naturels par le biais des nerfs (mouvements, réaction, sensibilité...) traduit et reproduit par la neuroprothèse [20].

L'électronique traditionnelle MOS sur wafer de silicium peut être résumée comme un assemblage d'un grand nombre de transistors MOS. De la même manière, l'élément de base

de l'électronique sur tout substrat est un transistor MOS appelé ici transistor en couches minces car formé d'une superposition de couches minces. Il est présenté dans le paragraphe suivant.

I.3 Transistors en couches minces

Les transistors en Couches Minces (TCM) autrement appelés Thin Film Transistors (TFT) sont des transistors à effet de champ. Ils sont formés par un dépôt successif de plusieurs couches minces (quelques dizaines à quelques centaines de nanomètres) (voir figure I.8). Celles-ci généralement au nombre de trois sont : une couche métallique, une couche isolante et du semi-conducteur. La figure 1.8 présente un transistor en couches minces dans sa forme générale.

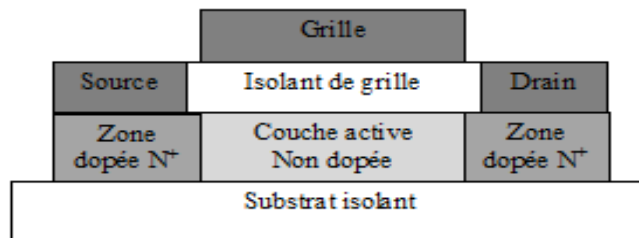


Figure I- 8 : Architecture générale d'un transistor en couches minces

Comme le montre la figure I.8, un transistor en couches minces est généralement composé d'une couche active, de deux zones dopées identiques, d'un isolant de grille surmonté par du métal (la grille) déposé suivant un certain ordre sur un substrat. Comme pour la grille, une couche métallique (l'aluminium plus particulièrement ou du polysilicium fortement dopé dans certains cas) termine les deux zones dopées pour constituer les contacts source et drain.

Le fonctionnement des transistors en couches minces TMC est basé sur le contrôle du courant qui s'écoule entre la source et le drain à travers une tension commandée par la grille. C'est la polarisation de la capacité métal/isolant/semi-conducteur (MIS) qui module la conductivité du canal au niveau de la surface du semi-conducteur. Lorsqu'une tension positive est appliquée à la grille (V_{GS}), on obtient une accumulation de charges négatives à l'interface entre semi-conducteur et isolant de grille.

Dans le cas d'un transistor de type N, lorsque la tension de la grille est positive et dépasse une certaine tension de polarisation (appelée tension de seuil V_{TH}), nécessaire à l'établissement d'une forte inversion, il y a création d'un canal conducteur de type N entre la source et le drain. Lorsque la tension de grille est négative, le transistor doit être bloquant. Pour un bon fonctionnement des transistors en couches minces, il est important que :

- La couche active non dopée soit de bonne qualité sans défauts électriques afin de favoriser le passage des porteurs majoritaires. Ceci permet d'engendrer un courant I_{on} très élevé sous l'effet d'une faible polarisation de grille et donc une faible tension sous le seuil.
- Les zones dopées soient fortement dopées afin de réduire les résistances d'accès et ainsi contribuer à l'augmentation du courant I_{on} .
- La couche isolante ne laisse pas passer du courant entre la grille et la couche non-dopée et ne doit pas contenir de charges mobiles pouvant influencer le courant drain-source. En plus, elle doit présenter une bonne interface avec la couche non dopée sans défauts électriques.

I.3.1 Structure des TFTs

Suivant l'ordre de dépôt du semi-conducteur par rapport à l'isolant de grille, on distingue deux types de structures :

- Si le semi-conducteur est déposé sur l'isolant de grille, la structure du transistor obtenu est de type Bottom-Gate (pour dire grille en dessous) ;
- Si l'isolant de grille est déposé sur le semi-conducteur, la structure du transistor obtenu est de type Top-Gate (pour dire grille au dessus).

Les structures Top-Gate ou Bottom-Gate peuvent être coplanaires ou inversés selon la disposition du canal et des contacts source et drain par rapport au semi-conducteur. On parle de structures coplanaires quand les contacts source et drain et le canal sont du même côté par rapport au semi-conducteur. Dans le cas contraire, où ces derniers sont sur des côtés opposés, on parle de structures inversées.

I.3.1.1 TFT à grille en dessous (Bottom-Gate)

La performance et les caractéristiques électriques des transistors en couches minces dépendent des matériaux utilisés, des conditions de dépôt et de l'ordre de dépôt des différentes couches. Les transistors en couches minces qui ont la structure à grille en dessous sont les plus utilisés aujourd'hui dans la fabrication des transistors à base de silicium amorphe pour l'adressage des écrans plats à matrice active comme le montre l'exemple de la figure I.2. Ils ont l'avantage d'avoir un courant I_{off} meilleur (I_{off} plus faible) que celui des transistors ayant la structure à grille au dessus. Nous présentons sur la figure I.9 deux modèles de TFTs Bottom-Gate.

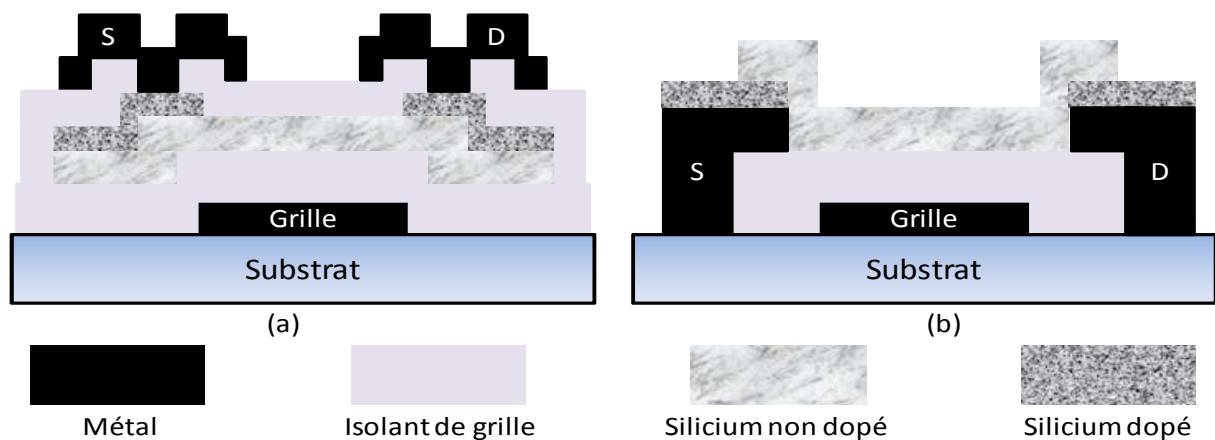


Figure I- 9 : Structure Bottom-Gate inversée (a) et coplanaire (b)

I.3.1.2 TFT à grille au dessus (Top-Gate)

Par sa technique de fabrication, la structure Top-Gate des TFTs présente un canal situé en surface là où la qualité cristalline du matériau silicium est meilleure ce qui par conséquent favorise la mobilité électronique des porteurs de charge. Cette structure est plus avantageuse pour le silicium polycristallin et le silicium microcristallin qui ont une fraction cristalline qui évolue avec l'épaisseur. Par contre, par rapport à la structure bottom gate, elle a un courant de fuite relativement élevé. Nous présentons sur la figure I.10 les structures de base des TFTs Top-Gate les plus fréquentes dans la littérature.

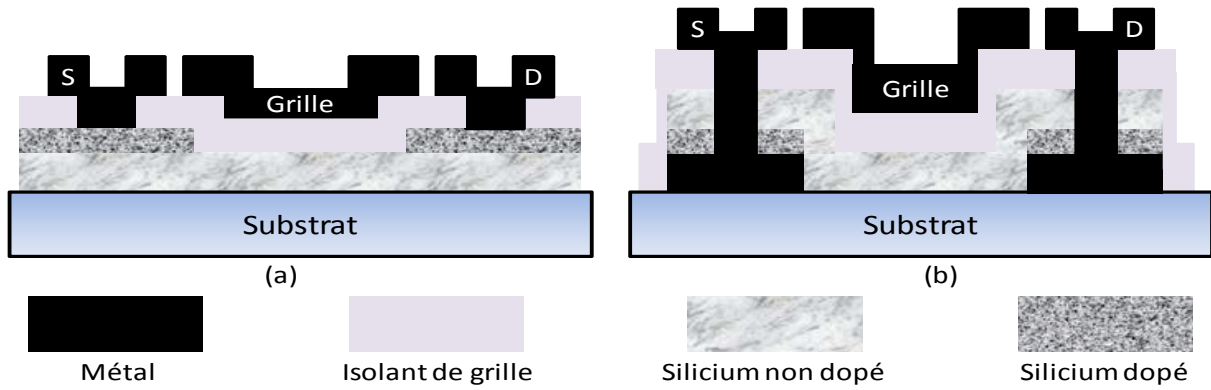


Figure I- 10 : Structure Top-Gate coplanaire (a) et inversée (b)

Il est plus évident d'utiliser la structure inversée car la gravure du canal est bien contrôlée. Le deuxième avantage de cette structure est son courant I_{off} qui est généralement nettement meilleur que celui de la structure coplanaire.

Un des désavantages de la structure inversée est que les porteurs de charges doivent traverser toute la couche intrinsèque pour parvenir à la zone du canal. Cela engendre une résistance d'accès beaucoup plus grande que dans la structure coplanaire. De plus, le problème de l'interface du silicium dopé et du silicium non dopé réduit les performances.

I.4 Principe de fonctionnement des TFTs

Le fonctionnement des transistors est basé sur le contrôle du courant qui circule entre la source et le drain par l'application d'une tension variable sur la grille. Lorsque la tension appliquée est positive, il y'a accumulation de charge à l'interface isolant-semi-conducteur et dès qu'elle devient supérieure à une tension dite de seuil (V_{TH}), un canal conducteur est créé rendant ainsi possible le passage de courant entre la source et le drain lorsque ces derniers sont polarisés.

I.4.1 Etat bloquant

Lorsque la tension de grille est insuffisante pour créer un canal, un courant faible peut circuler entre le drain et la source. Ce courant résulte de la polarisation en inverse de la jonction drain-source.

I.4.2 Etat passant

Lorsque la grille est polarisée par une tension supérieure à la tension de seuil, un canal conducteur est créé entre la source et drain. Un courant peut alors circuler entre la source et le drain, le transistor est passant.

Pour une tension de drain très faible ($V_{DS} \ll V_{GS} - V_T$), la zone de canal a une conductance constante. Le canal se comporte comme une résistance ohmique qui est fonction des caractéristiques géométriques du transistor. La variation de conductance du canal est négligeable. Le courant de drain varie alors proportionnellement à V_{DS} :

$$I_{DS} = \frac{W}{L} \mu_{FE} C_{OX} (V_{GS} - V_T) V_{DS} \quad (I.1)$$

W (μm) : largeur du canal

L (μm) : longueur du canal

μ_{FE} ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$) : mobilité d'effet de champ

C_{OX} ($\text{F} \cdot \text{cm}^{-2}$) : capacité par unité de surface de l'oxyde de grille

V_T (V) : tension de seuil du transistor

A partir de l'équation 1, il est possible de définir la transconductance g_m et la conductance g_t du drain comme suit :

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}=\text{cte}} = \frac{W}{L} \mu_{FE} C_{OX} V_{DS} \quad (I.2)$$

$$g_t = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS}=\text{cte}} = \frac{W}{L} \mu_{FE} C_{OX} (V_{GS} - V_T) \quad (I.3)$$

I.4.2.1 Régime saturé

Quand V_{DS} atteint la valeur de $(V_{GS} - V_T)$, il y a saturation. La tension drain-source atteint une valeur nommée (V_{DSsat}) appelée tension de saturation. C'est le pincement du canal du côté du drain.

Quand la tension drain-source augmente au delà de la tension de saturation, la région voisine du drain n'est plus en inversion; le point de pincement se déplace vers la source. L'excédent de tension au delà de V_{DSsat} se retrouve aux bornes de la zone de désertion dont la résistance est très supérieure à celle du canal. La tension aux bornes du canal reste approximativement égale à V_{DSsat} et le courant de drain reste dans ces conditions sensiblement constant et égale à I_{DSsat} et son expression est la suivante :

$$(I_{DS})_{sat} = \frac{W}{2L} \mu_{FE} C_{OX} (V_{GS} - V_T)^2 \quad (I.4)$$

La transconductance en régime de saturation est alors déduite de la relation :

$$(g_m)_{sat} = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DSsat}} = \frac{W}{L} \mu_{FE} C_{OX} (V_{GS} - V_T) \quad (I.5)$$

I.4.3 Caractérisation des TFTs

L'ensemble des mesures électriques est réalisé sous pointe dans une cage métallique à température ambiante et à l'abri de la lumière. Le dispositif utilisé est un analyseur HP 4155 programmable, servant de source de tension et de multimètre. Ce dispositif de mesures nous permet d'obtenir les caractéristiques de transfert et de sortie des transistors. Il permet également de réaliser des mesures de stress sur les composants.

I.4.3.1 Caractéristiques de transfert

La figure I.11 présente une caractéristique de transfert $I_{DS} = f(V_{GS})$ typique d'un transistor en couches minces. Cette dernière présente les quatre zones de fonctionnement des transistors en couches minces :

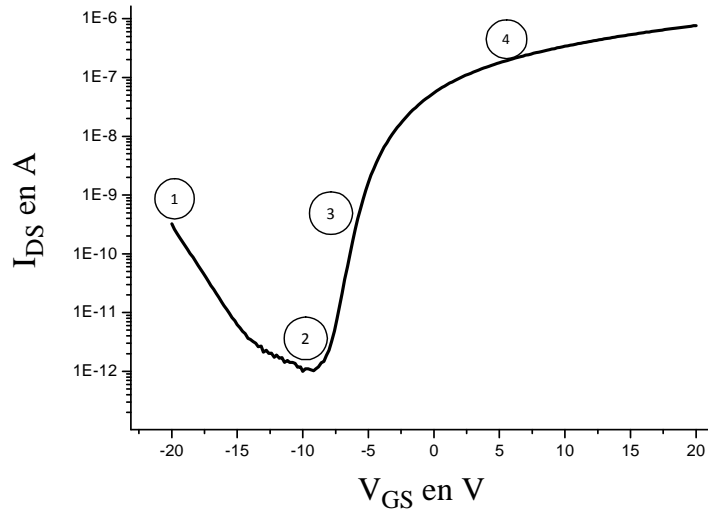


Figure I- 11 : Caractéristique de transfert d'un TFT

La zone (1) présente l'état bloquant du transistor avec un courant non nul ($I_{DS} = I_{OFF}$) dû à la génération des porteurs piégés et accélérés par la forte tension au niveau du drain.

La zone (2) met en évidence la conduction ohmique de toute la couche active.

La zone (3) représente la formation du canal et le courant de drain augmente très rapidement avec la tension de grille.

La zone (4) montre l'état passant du transistor ($I_{DS} = I_{ON}$).

I.4.3.2 Caractéristiques de sortie

Les caractéristiques de sortie $I_{DS} = f(V_{DS})$ d'un TFT pour deux valeurs de V_{GS} sont présentées en figure I.12. Elles décrivent le fonctionnement en régime linéaire pour de faibles tensions de grille et en régime de saturation lorsque V_{DS} augmente. Cette caractéristique montre également une bonne modulation du courant de drain par la tension de grille.

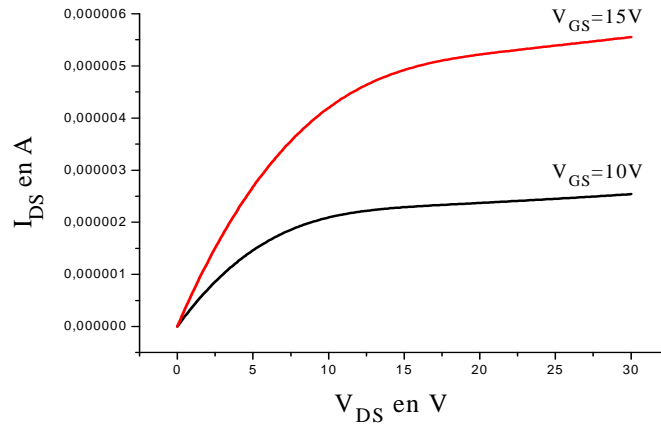


Figure I- 12 : Caractéristiques de sortie d'un transistor E4 (100 μ m/20 μ m) pour deux VDS

Par la suite, une description détaillée des paramètres électriques régissant le comportement électrique sous l'effet de champ d'un transistor en couches minces qui sont :

- ✓ La tension de seuil (V_{TH}),
- ✓ La mobilité d'effet de champ des porteurs à l'état passant (μ),
- ✓ La pente sous le seuil (S),
- ✓ La transconductance (g_m).

I.4.3.3 Tension de seuil

La tension de seuil (V_{TH}) est la tension de grille pour laquelle on observe le début de la forte accumulation des porteurs formant le canal. Elle est déterminée soit en régime de saturation, soit en régime linéaire. Dans ce cas ci, elle est déterminée en régime linéaire à partir de la courbe $I_{DS} = f(V_{GS})$ (figure I.13). Pour de fortes valeurs de V_{GS} , la caractéristique présente une partie linéaire. La tension de seuil est obtenue par une extrapolation de la courbe $I_{DS} = f(V_{GS})$ en régime linéaire pour une tension V_{DS} fixée comme le montre la figure I.13.

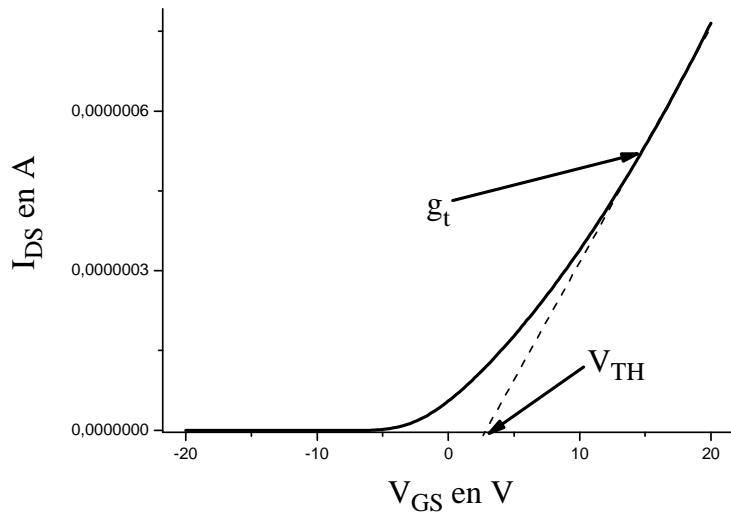


Figure I- 13 : Caractéristique de transfert en échelle linéaire d'un TFT. La tension de seuil est déduite dans ce cas d'une extrapolation de la zone linéaire.

I.4.3.4 Mobilité d'effet de champ

La mobilité d'effet de champ notée (μ_{FE}) est calculée en régime linéaire. Cette mobilité est déterminée à partir de la transconductance g_m (cf équation I.6). La transconductance g_m correspond à la pente de la caractéristique $I_{DS} = f(V_{GS})$ (cf figure I.13). La valeur de la mobilité est ensuite calculée, par analogie aux transistors MOS classiques, à partir de l'expression suivante.

$$\mu_{FE} = g_m \cdot \frac{L}{W} \cdot \frac{1}{C_{OX}} \cdot \frac{1}{V_{DS}} \quad (I.6)$$

Elle est exprimée en $cm^2 \cdot V^{-1} \cdot s^{-1}$.

I.4.3.5 Pente sous le seuil

La pente sous le seuil est la valeur de la tension à appliquer à la grille pour augmenter le courant I_{DS} d'une décade (dans le domaine des tensions inférieures à la tension de seuil). La valeur de ce paramètre correspond à l'inverse de la plus forte pente en échelle logarithmique de la fonction de transfert dans la zone de commutation. Cette grandeur s'exprime en V/dec et [21] traduit la facilité du canal à se former.

$$S = \left. \frac{\partial V_{GS}}{\partial (\log I_{DS})} \right|_{V_{DS=cte}} \quad (I.7)$$

La pente sous le seuil dépend fortement de la présence de défauts dans le silicium et à l'interface isolant - semi-conducteur. Cette dépendance peut s'exprimer par :

$$S = \frac{kT}{q} \cdot \ln 10 \cdot \left(1 + \frac{C_{IT} + C_{EP}}{C_{OX}} \right) \quad (I.8)$$

Où $(C_{IT} + C_{EP})$ représente la capacité globale due aux états piégés des joints de grains, à l'interface isolant de grille-couche active et à la déplétion de la couche active [22].

I.4.3.6 Rapport I_{ON}/I_{OFF}

Le dernier paramètre électrique extrait de ces courbes traduit la différence entre l'état bloqué et l'état passant. C'est une caractéristique importante, le rapport du courant à l'état passant sur le courant à l'état bloquant doit être la plus élevé possible ($> 10^5$) pour obtenir des transistors performants. Ces deux courants sont extraits de la courbe $I_{DS} = f(V_{GS})$ en régime linéaire en échelle logarithmique. I_{ON} correspond au courant maximum observé sur la caractéristique de transfert et I_{OFF} représente le courant minimum à l'état bloquant (cf figure I.11).

I.5 Matériau utilisé dans la fabrication des dispositifs électroniques d'adressage des pixels d'écrans plats

Les dispositifs d'adressage des pixels sont donc constitués de circuits à transistors. Ces transistors sont fabriqués directement sur le substrat transparent de l'écran.

Le premier substrat transparent courant est le verre qui ne peut supporter des températures supérieures à 600°C dans le meilleur des cas. Il fallait donc fabriquer des dispositifs électroniques directement sur verre avec une résolution très importante puisque n'étant pas transparents eux-mêmes, il fallait qu'ils soient très petits devant la taille du pixel pour ne pas gêner la sortie de la lumière. Les dispositifs électroniques à base de silicium monocristallin ne pouvaient plus convenir à une telle application.

La solution trouvée est de déposer directement du silicium sur verre à des températures inférieures à 600°C . A de telles températures, le silicium ne pouvait plus être monocristallin aux échelles macroscopiques. Il est soit amorphe, soit constitué de zones cristallines plus ou

moins adjacentes et de taille allant du nanomètre à la dizaine ou même centaines de micromètres. On parle alors de silicium amorphe, de silicium nanocristallin, microcristallin ou polycristallin.

I.5.1 Le silicium amorphe

Le silicium amorphe (a-Si) représente le matériau silicium sous sa forme non cristallisée ou désordonnée. Dans sa forme cristallisée, chaque atome de silicium est entouré de quatre autres atomes de silicium et sont disposés selon la géométrie tétraédrique. Ainsi, la structure amorphe est caractérisée par un arrangement atomique qui ne conserve pas l'ordre à grande distance. Cependant, on observe un arrangement atomique ordonné à courte distance. Il a le même ordre à courte distance que le Si cristallin mais il n'a plus d'ordre à grande distance. La corrélation entre les atomes se perd au-delà de quelques distances interatomiques. A cause de la similarité de la structure à courte distance, plusieurs propriétés électroniques des matériaux amorphe et cristallin sont proches. La figure I.14 montre une comparaison entre la structure cristalline et la structure amorphe.

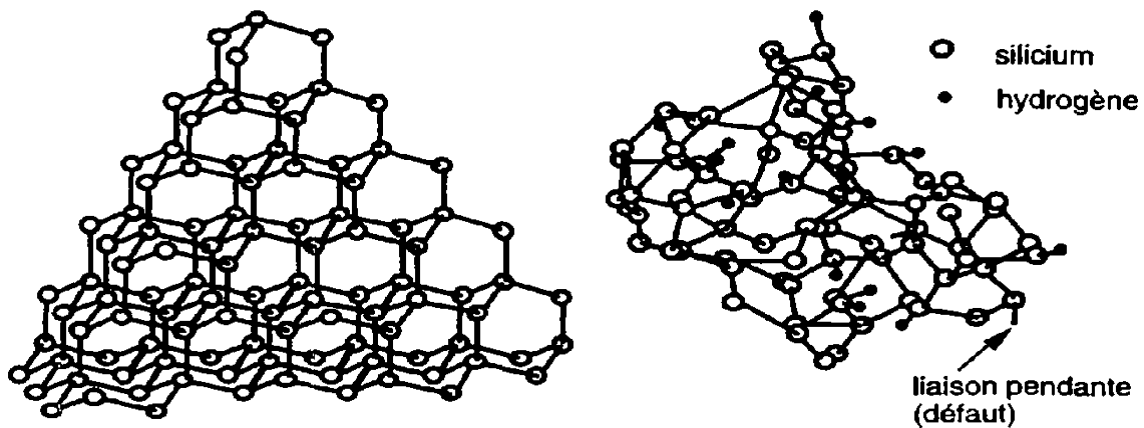


Figure I- 14 : Structure cristalline et amorphe [23]

Le matériau amorphe n'a pas une structure bien définie, autrement dit, il a plusieurs configurations possibles. La possibilité de configurations alternatives pour chaque atome amène au phénomène de métastabilité des états électroniques [24]. Cette distribution atomique irrégulière crée des distorsions dans le réseau induisant d'une part une distribution des états électroniques. Cette dernière se traduit par l'apparition des états localisés dans la bande interdite formant ainsi ce que l'on appelle les queues de bande. Quand ces distorsions

deviennent importantes, elles empêchent la formation de certaines liaisons laissant par conséquent des liaisons insatisfaites appelées également liaisons pendantes. Ils introduisent des états électroniques localisés au milieu de la bande interdite. Ces défauts déterminent plusieurs propriétés électroniques car ils contrôlent le piégeage et la recombinaison des porteurs.

La figure I.15 représente la distribution de la densité d'état électronique du matériau silicium amorphe avec les bandes d'énergie, les queues de bandes et les états dans le gap.

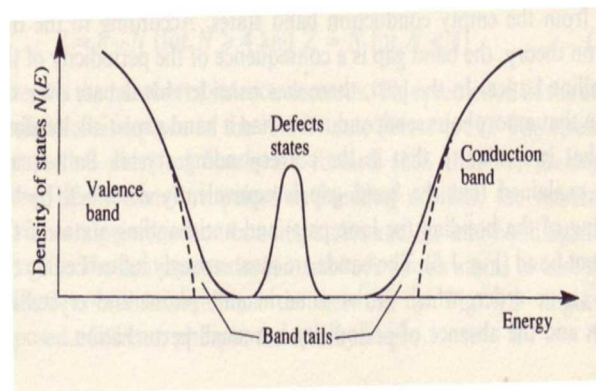


Figure I- 15 : La distribution de la densité d'états électroniques d'un matériau amorphe [24]

Dans le silicium amorphe non hydrogéné, la concentration de liaisons pendantes est de 10^{19} à 10^{20} cm^{-3} . Les états au milieu du gap créés par ces défauts rendent le dopage inefficace. Par conséquent, le silicium amorphe non hydrogéné est inutilisable en tant que semi-conducteur. Heureusement, ces liaisons pendantes peuvent être passivées par l'hydrogène atomique. L'hydrogène permet de réduire la densité de défauts à 10^{15} – 10^{16} cm^{-3} et de redonner au matériau ses propriétés semi-conductrices [24]. Le dépôt du silicium amorphe hydrogéné par PECVD se fait à des températures comprises entre 250 °C et 350 °C. Il est utilisé pour la fabrication des transistors en couches minces "bottom gate" de type N pour des besoins de commande des pixels des écrans plats.

Le silicium amorphe se distingue du silicium monocristallin par des avantages et des inconvénients [23].

Parmi les avantages, il ya :

- la possibilité de le déposer sur de grande surface ; pas de limite imposée par la taille des wafer comme pour le silicium monocristallin,
- la possibilité de le déposer sur des surfaces non planes ou souples,
- la facilité de fabrication de par sa technologie basse température (<300°C),
- forte absorption de la lumière visible,
- peu de dégradation par les rayons X,
- bande interdite plus élevée (1.7 eV contre 1.1 eV pour le silicium monocristallin), ce qui permet d'obtenir de courants inverses dans l'obscurité plus faibles
- la très bonne homogénéité de tension de seuil (due au caractère amorphe du matériau)
- le faible coût de fabrication.

Cependant, il présente des inconvénients parmi lesquels on peut citer :

- beaucoup de défauts dans la structure,
- faible mobilité des porteurs libres,
- faible mobilité d'effet de champ (<1cm²/V.s)
- dérive importante de la tension de seuil pendant le fonctionnement
- possibilité de le doper uniquement pour les structures a-Si:H.

Pour les TFTs qui jouent un rôle d'interrupteur, la dérive de la tension de seuil n'est pas réellement un problème critique car ils sont dans ce cas très peu sollicités en pourcentage de temps. Cependant, si les TFTs sont utilisés pour d'autres fonctions : soit des transistors de drive pour un pixel OLED, soit des transistors de drive de ligne ou de colonne pour un LCD ou OLED, la dérive de la tension de seuil devient un problème critique car dans ces cas les TFTs sont sollicité à 100% du temps. Des circuits de compensation sont nécessaires pour compenser la dérive de la tension de seuil. Malgré ceci ses avantages font du silicium amorphe le matériau le plus utilisé dans la fabrication des matrices actives d'écrans. Les 70% des écrans plats LCD actuels sont commandés par des TFT à base de silicium amorphe. Mais d'un point de vu purement électrique, ces caractéristiques se révèlent insuffisantes pour développer des circuits complexes. Pour pallier à ces inconvénients d'importantes activités de

recherches industrielles ont permis de développer des couches de silicium (poly-micro-nano) cristallisées, utilisées comme couche active dans la fabrication des TFTs.

I.5.2 Le silicium polycristallin

Le silicium polycristalin ou polysilicium représente le matériau silicium sous une forme intermédiaire entre le silicium amorphe et le silicium monocristallin. Dans la configuration de ce dernier, les atomes de silicium sont arrangés selon la structure dite diamant, c'est-à-dire sur un double réseau cubique à faces centrées [1]. Le polysilicium est constitué par un empilement de plusieurs grains de silicium ou cristallites assimilés presque à du monocristal qui sont séparés par des joints de grain très étroits (cf figure I.16a et I.16b).

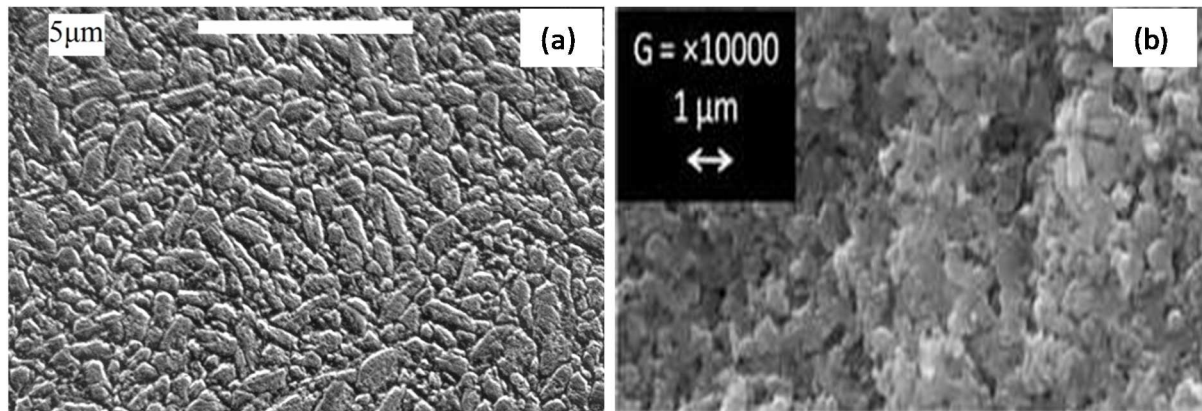


Figure I- 16 : Structure du silicium polycristallin obtenu à partir de silane à 90 Pa, 550 °C recuit à 600 °C pendant 12 heures [25] (a) et structure du silicium polycristallin élaboré par filtrage pour application photovoltaïque (b)

Les grains et les joints de grains possèdent chacun des caractéristiques propres que nous rappelons brièvement :

I.5.2.1 Les grains

Les grains sont définis par leur longueur ou taille, leur épaisseur et leur qualité cristalline. La couche de silicium polycristallin est constituée de grains oblongs de différentes orientations, avec cependant une orientation préférentielle à 35%, dans la direction $\langle 111 \rangle$. La longueur moyenne de ces cristallites est de l'ordre de 300 nm ; leur dimension transversale varie entre 1/3 à 2/3 de cette longueur [26]. Bien qu'ils soient assimilés à du monocristal, ils sont pourvus de défauts. Ceux-ci peuvent être en pratique des dislocations et des macles. Les

dislocations induisent l'apparition de liaisons pendantes qui sont électriquement actives. Quant aux macles, si elles terminent à la surface du grain elles n'induisent pas de défauts électriquement actifs dans le grain [27, 28] mais peuvent diviser le grain en plusieurs cristallites. Par contre si elles s'achèvent dans le grain, elles provoquent l'apparition de dislocations et par conséquent de liaisons pendantes.

I.5.2.2 Les joints de grains

Les joints de grains délimitent les grains d'orientations différentes. Ils sont caractérisés par leurs épaisseurs et leurs densités de défauts. Ils peuvent être considérés comme étant du silicium amorphe hautement désordonné de gap comparable à celui d'un oxyde. Comme le silicium amorphe, les joints de grains contiennent une forte densité de liaisons pendantes qui introduisent des niveaux localisés dans la bande interdite. Les joints de grains sont le siège de centres pièges à grande activité électrique [29]. Ils sont aussi le siège d'une ségrégation des éléments dopants qui deviennent inactifs. Cet effet est plus important si le rayon atomique du dopant est grand par rapport au rayon atomique du silicium ou lorsque la densité en éléments dopants augmente.

Ainsi, la description du polysilicium n'est pas unique. Elle varie selon certains critères que l'on peut résumer comme suit :

- texture et taille des grains,
- densité de défauts intragranulaires et intergranulaires,
- rapport du volume cristallin sur le volume amorphe,
- porosité.

Ces paramètres dépendent totalement des conditions de dépôt et de post traitement du silicium (recuit, hydrogénation, etc) [30].

Le désordre induit par les joints de grains et la distorsion des liaisons entre les atomes de silicium provoquent une distribution des états électroniques. Cela se traduit par l'apparition d'états localisés dans la bande interdite au niveau des bandes de conduction et de valence sous forme de queues de bande. Les liaisons pendantes (liaisons non satisfaites) introduisent quant à elles deux états électroniques au milieu du gap.

Les grains peuvent être de différentes tailles. Leur qualité cristalline est fonction de la densité des défauts intragranulaires parmi lesquels les dislocations, les sous-joints et les macles. En présence de ces défauts, la structure de bande du silicium peut être modifiée [30, 31].

La distribution des états dans la bande interdite du silicium polycristallin sera proche de celle observée pour le silicium amorphe [31]. Nous représentons sur la figure I.17 un exemple du profil des états introduits par les défauts dans la bande interdite.

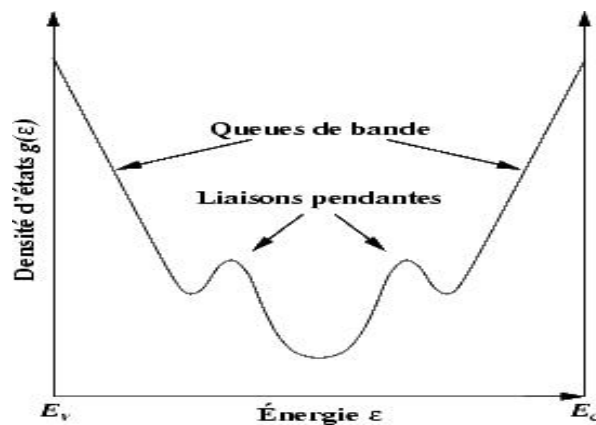


Figure I- 17 : Représentation schématique de la distribution des états introduits par les défauts dans la bande interdite du polysilicium [32]

Dans le début des années 80, les premiers TFTs ont été fabriquées principalement dans le but de caractériser le matériau de silicium polycristallin ainsi que de sa capacité à donner aux transistors à effet de champ des performances acceptables. Imitant la technologie MOSFET, le silicium polycristallin a été déposé dans le même état par LPCVD à 620 ° C [33]. A cette température, le silicium est déposé directement cristallisé. Les régions de source et de drain ont été dopées par implantation suivi d'un recuit à haute température. L'isolant de grille a été obtenue par oxydation du silicium à haute température. De toute évidence, le processus était très semblable à celle des MOSFET. Le transistor était un MOSFET sans substrat et avec une mince couche de silicium polycristallin comme couche active [34]. Cette technique qui nécessite de hautes températures (> 600 °C) n'est pas compatible avec l'utilisation des substrats de verre.

Dans le but de fabriquer des TFTs directement sur des substrats de verre, il a fallu recourir à des procédés à température inférieure à 600 °C. Pour ce faire, des efforts importants

à travers le monde ont été faites pour améliorer la technique de cristallisation du silicium amorphe déposé pour obtenir du silicium polycristallin suite à la démonstration que le silicium polycristallin avec de grands grains ne peut être obtenu qu'à partir de la cristallisation des films de silicium amorphe et pas tel qu'il est déposé directement cristallisé [35]. Cette technique consiste à déposer la couche de silicium amorphe par LPCVD à 550°C ou par PECVD vers 300°C et ensuite cristallisé par en phase solide dans un four (SPC) ou par Laser.

Ces deux procédés (dépôt par voie directe ou indirecte) ont permis la réalisation des TFT top-gate de type P et de type N très stables et avec de très grandes mobilités. Cependant dans le cas de la cristallisation par laser, il y a la nécessité de dé-hydrogéner la couche déposée par un recuit avant la cristallisation. Le recuit Laser rend le procédé compliqué et cher. De plus, le recuit laser donne des non-homogénéités de cristallisation sur une grande surface et donc des performances inégales entre transistors sur une même surface

Les avancées technologiques dans le domaine de l'électronique flexible nécessitent l'intégration des composants sur des supports en plastique. Le principal problème dans la fabrication de circuits électroniques sur de tels substrats est la nécessité de réduire la température durant le procédé. Par exemple, la plus haute température qui est compatible avec l'alignement micro-dimensionnel lors du procédé de fabrication des TFTs sur du substrat plastique est 180 °C. Des études importantes sont entrain d'être menées pour déposer directement du silicium cristallisé à de telles faibles températures. Ce silicium, appelé silicium microcristallin ou nanocristallin par un effet de mode, a une bonne stabilité et une mobilité supérieure à celle de l'amorphe. Il présente aussi l'avantage d'avoir les mêmes techniques de dépôts que le silicium amorphe. Il peut donc être amené dans un futur proche à remplacer le silicium amorphe dans la fabrication des écrans et dans l'électronique flexible.

I.5.3 Le silicium microcristallin

Le silicium microcristallin est apparu il y a plusieurs décennies déjà, à la fin des années 60. Ce matériau représente le matériau silicium sous une forme intermédiaire entre le polysilicium et le silicium amorphe. C'est un matériau hétérogène composé de grains de tailles allant de quelques nanomètres à environ 1 micromètre avec des orientations différentes [6, 36], avec une phase amorphe, du vide et de l'hydrogène faiblement lié dans les joints de grains [37, 38]. Il constitue une alternative sérieuse pour remplacer dans la fabrication des composants en couches minces les deux types de silicium couramment utilisés (Silicium

amorphe et silicium polycristallin) qui présentent plusieurs inconvénients [7]. Le silicium amorphe a un cout de fabrication relativement faible mais il reste un matériau instable et à mobilité d'effet de champ très faible ($<1 \text{ cm}^2/\text{V.s}$). Le polysilicium a de bonnes performances mais a un cout de fabrication plus élevé.

Le silicium microcristallin se dépose à basse température avec une méthode similaire à celle de l'amorphe [7, 13]. Il partage avec le silicium polycristallin les propriétés optiques, une rugosité de surface importante due à la présence de cristallites [39], et une stabilité potentielle vis-à-vis de la création de défauts métastables [40]. Pour comparer sa mobilité à celle des TFT amorphes, des travaux ont montré des mobilités importantes qui sont de l'ordre de $3 \text{ cm}^2/\text{V.s}$ avec une bonne stabilité en utilisant le nitrure de silicium déposé à 300°C [39] et des mobilités de l'ordre de $7 \text{ cm}^2/\text{V.s}$ obtenues avec l'oxyde de silicium [10]. La figure I.18 montre un exemple de la structure du silicium microcristallin à deux dimensions.

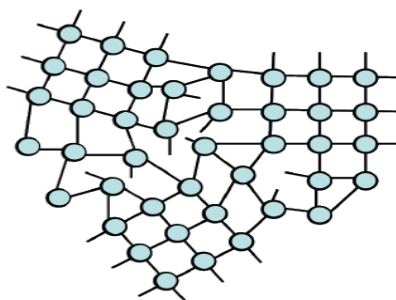


Figure I- 18 : Représentation atomique à deux dimensions du silicium microcristallin [13]

Le dépôt du silicium microcristallin est réalisé dans les mêmes réacteurs que pour le silicium amorphe du fait de la similarité entre les plasmas utilisés lors du dépôt des deux types de silicium. Leurs conditions de dépôt ne diffèrent que par l'ajout d'hydrogène qui intervient dans la croissance du silicium microcristallin et qui permet de passiver les liaisons pendantes [41]. Le silicium microcristallin peut être obtenu par :

- un dépôt catalytique qui consiste à dissocier thermiquement le mélange de silane et d'hydrogène en utilisant un filament chaud (1400 à 1500°C). Cette méthode permet d'obtenir du silicium microcristallin de bonne qualité [42]. Cependant elle n'est pas très utilisée du fait des hautes températures utilisées qui sont incompatibles avec les techniques utilisées dans l'industrie des écrans plat en silicium amorphe.

- un dépôt par technique plasma qui est la décomposition chimique en vapeur assistée par un plasma (PECVD). Nous présentons cette technique dans le paragraphe suivant.

I.5.3.1 Dépôt du silicium microcristallin par PECVD

Le dépôt du silicium microcristallin par PECVD (Plasma Enhanced Chemical Vapor deposition) est l'un des nombreuses techniques utilisées pour l'obtention du silicium microcristallin. C'est une technique très couramment utilisée dans les laboratoires de recherche, mais surtout dans l'industrie pour la conception des dispositifs électronique à base de silicium amorphe ou microcristallin.

I.5.3.2 Plasma de dépôt du silicium microcristallin par PECVD

Généralement, la croissance du silicium microcristallin se fait grâce à la dissociation du silane dilué dans des gaz réactifs tel que l'hydrogène ou inertes tels que l'hélium, l'argon, ou un mélange argon hydrogène. Grâce à une puissance RF de 13,56 MHz appliquée entre l'anode et la cathode, le plasma (gaz ionisé) se crée. Ceci peut être schématisé dans la figure I.19 ci-dessous. La boîte d'accord représentée dans cette dernière sert à ajuster l'impédance totale à 50 Ohms [10].

Dans un plasma de dépôt (plasma froid), l'ionisation et la dissociation des molécules des différents gaz, silane, hydrogène, argon, sont produites surtout par impact électronique. Le résultat de cette dissociation engendre plusieurs types de particules : les radicaux neutres, les ions positifs et négatifs, les électrons.

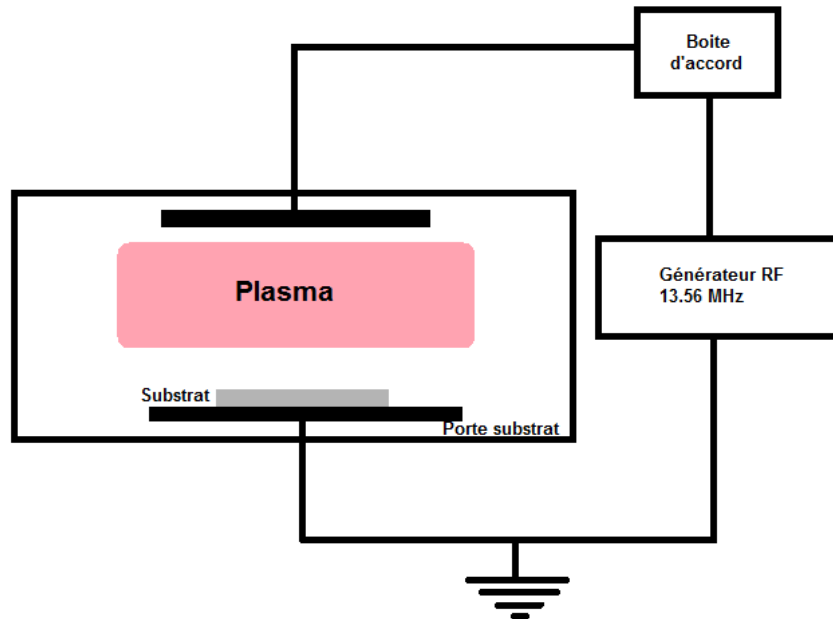


Figure I- 19 : Schéma d'une décharge RF à couplage capacitif [7]

I.5.3.3 Structure et processus de croissance du silicium microcristallin

Le silicium microcristallin (cf figure I.20) est un matériau hétérogène par la présence des phases amorphe et cristalline et anisotrope par la présence d'une structure colonnaire. Dans la littérature, on utilise parfois l'appellation nanocristallin du fait de la taille des cristallites.

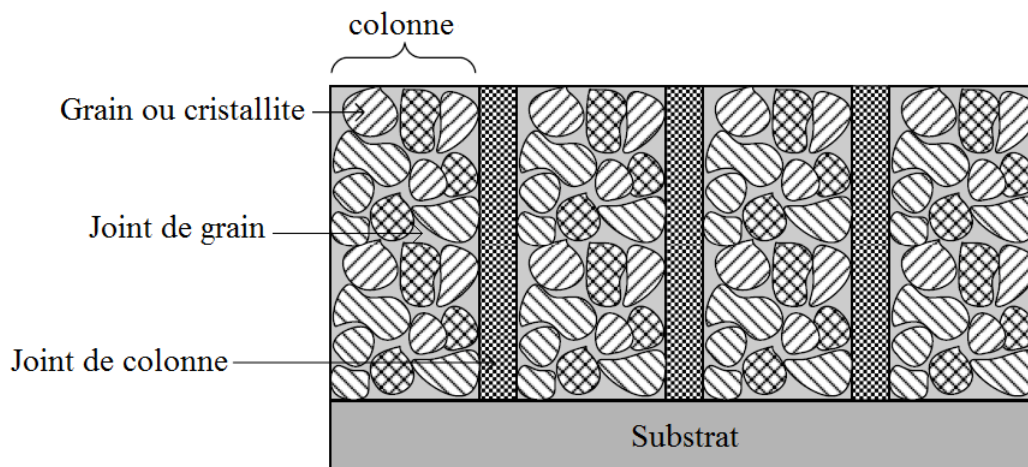


Figure I- 20 : Structure de silicium microcristallin [7]

Les cristallites, dont la taille est de l'ordre de la dizaine de nanomètres, croissent en colonnes. Quant aux propriétés de transport électronique du silicium microcristallin, les joints de grains peuvent jouer un rôle crucial pour les performances des dispositifs réalisés avec ce matériau. Plusieurs paramètres entrent en jeu afin de diminuer la densité des joints de grains et donc d'améliorer les propriétés électriques du silicium microcristallin. La structure du silicium microcristallin, déposé par voie PECVD, dépend des paramètres de dépôt tels que la puissance, la température, la pression et les mélanges gazeux et dilution.

Pour mieux comprendre ce matériau qui sera utilisé comme couche active dans nos transistors en couches minces, nous décrivons ici le mécanisme de croissance en quatre phases successives tel que décrit par Pere Roca et al. [43] (cf figure I.21):

- L'incubation : la croissance démarre par une couche amorphe poreuse, cette couche se caractérise par sa richesse en hydrogène. L'épaisseur de cette dernière dépend non seulement de la nature du substrat, mais aussi des conditions de dépôt. Une forte dilution de silane dans l'hydrogène engendre généralement une croissance sans phase amorphe ainsi qu'une diminution de l'épaisseur de cette couche. Cet effet peut également être obtenu en modifiant l'état de surface du substrat par un prétraitement plasma.
- La deuxième phase consiste en la phase de nucléation qui favorise la croissance d'une couche ordonnée qui sert de germes pour la cristallisation. La densité de nucléation dépend de la densité de sites actifs créés lors de la phase d'incubation. Cette phase cesse de se produire lorsque toutes les cristallites commencent leur croissance et couvrent la surface, c'est-à-dire quand tous les sites actifs sont occupés.
- La croissance se traduit par l'augmentation de la fraction cristalline et une densification de la couche.
- Et pour finir, l'état stationnaire qui se caractérise par une stagnation de l'évolution de la structure de la couche.

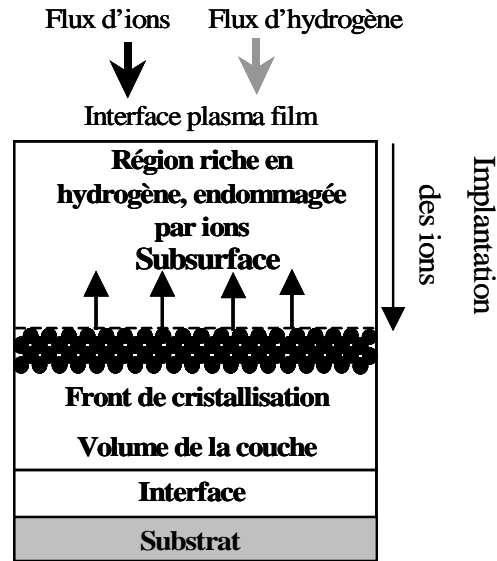


Figure I- 21 : Schématisation de la croissance de couches de silicium microcristallin proposé par Pere Roca i Cabarrocas [43]

La plupart des travaux publiés sur le silicium microcristallin ont montré qu'il est déposé directement cristallisé à des températures entre 250-300°C. Ces températures ne sont pas compatibles avec l'utilisation d'un substrat plastique. Les recherches menées par l'IETR ces dernières années ont alors consisté à optimiser le dépôt de silicium microcristallin bien cristallisé à 165°C. Ainsi, K. Kandoussi et K. Belarbi ont publié des travaux dans lesquels ils présentent des TFTs à base de silicium microcristallin fabriqués à basse température (< 180 °C) avec une bonne stabilité et de bonnes propriétés électriques [8, 44, 45]. Des mobilités de 160 cm²/V.s mais sans stabilité ont été obtenues. Une bonne stabilité a été obtenue avec des TFTs de mobilité 7 cm²/V.s. Cette dernière performance a été principalement expliquée par l'utilisation d'une couche de silicium microcristallin de très faible épaisseur, 50 nm, comme couche active des transistors.

I.6 Effet de l'épaisseur de la couche active sur les paramètres électrique des transistors

Le transistor en couches minces (TFT) qui utilise uniquement des films minces de matériaux comme indiqué par son nom est donc le dispositif de base de l'électronique sur tout substrat. Il utilise en particulier une mince couche active. Par conséquent, les interfaces avec l'isolant de grille et le substrat sont très proches induisant alors une interaction potentielle

entre les deux. Prendre soin de cette interaction est vraiment important comme dans la technologie "Silicon -On- Insulator" (SOI) MOSFET. La question est alors de vérifier le bénéfice potentiel sur la diminution de l'épaisseur de la couche active des transistors comme cela a été fait dans cette technologie SOI [51-52]. Un effet bénéfique sur la pente sous le seuil en diminuant l'épaisseur de la couche active des TFTs en silicium polycristallin a été observé expérimentalement il ya quelques années [53]. Auparavant, l'effet bénéfique de la réduction de cette épaisseur sur la stabilité électrique des transistors à couches minces de silicium microcristallin a également été démontré expérimentalement [54].

Le but de ce travail de thèse est de mener une étude approfondie de l'effet de l'épaisseur de la couche active sur le comportement des TFTs en silicium microcristallin. Des TFTs à base de couches de silicium microcristallin dopé et non dopé ont été d'abord fabriqués sur des substrats de verre à basse température, inférieure à 180°C. Le procédé de fabrication des TFTs est exactement identique à celui développé sur des substrats en plastique transparent [50]. Le substrat de verre n'est utilisé ici que pour étudier l'influence de l'épaisseur de la couche active et l'interaction entre deux interfaces sans les interférences dues à la flexion mécanique d'un substrat en matière plastique. Les résultats expérimentaux conduiront à développer une simulation en utilisant des outils SILVACO pour comprendre l'influence de l'épaisseur de la couche active sur les performances des transistors.

Etant donné que la croissance du silicium microcristallin démarre toujours par une couche désordonnée d'épaisseur variable selon la nature du substrat et des condition de dépôt, il est important de maîtriser l'évolution de la cristallinité en fonction de l'épaisseur. Cela permettra de connaître l'épaisseur minimale en dessous de laquelle, il est impossible d'obtenir du silicium microcristallin. Le Département Microélectronique et Microcapteur de l'IETR a développée une technologie permettant de diminuer au maximum voire presque supprimer cette couche désordonnée. En effet, K. Kandoussi [10] a présenté sur sa thèse une technique consistant à ajouter de l'argon pendant le dépôt de silicium. L'amélioration de l'évolution de la fraction cristalline F_c , déterminée par spectroscopie Raman, avec l'épaisseur pour des dépôts sans argon et avec argon est présentée sur la figure I.22. La fraction cristalline obtenue en présence d'argon est de 73% pour une couche très fine, de 50 nm d'épaisseur. Par ce moyen, il est ainsi possible d'utiliser des couches bien cristallisées, de 50 nm ou moins, pour fabriquer des transistors au silicium microcristallin.

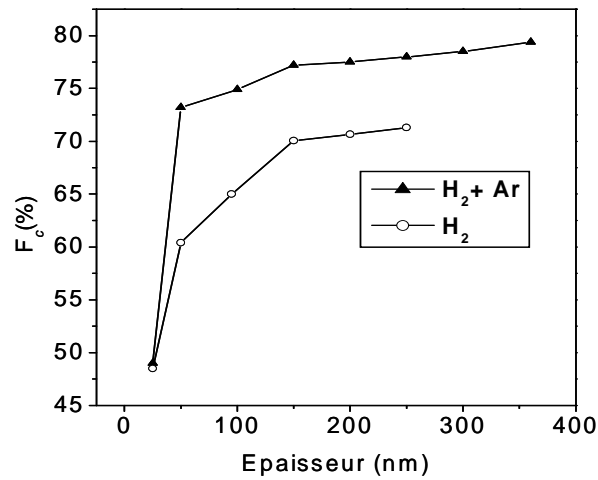


Figure I- 22 : Amélioration de l'évolution de la fraction cristalline en fonction de l'épaisseur pour des couches de $\mu\text{c-Si:H}$ déposées dans un mélange Ar (50%) +H₂ (50%) (Triangle) par rapport à celles déposées avec 1% de silane dans H₂ pur (Cercle) [10]

I.7 Conclusion

Dans ce chapitre, nous avons mené une étude bibliographique sur les transistors en couches minces.

Les principaux domaines d'applications de ces derniers à savoir l'électronique sur substrat de verre ou sur substrat flexible ont été présentés dans un premier temps. Ensuite le Silicium, matériau le plus utilisé dans la fabrication des TFTs a été décrit sous les différentes formes utilisées pour des besoins de l'affichage. Par la suite, les transistors en couches minces ont été présentés sous leurs formes générales. Enfin les différentes structures des TFTs et leurs techniques de caractérisation ont été rappelées.

Cette étude nous a permis de mieux appréhender les fonctionnalités des TFTs. Il s'agit maintenant de fabriquer ces transistors et de les tester avant de comprendre par une simulation leur fonctionnement.

Références I

- [1] **S. M. SZE** – Semiconductor devices, Physics and technology– 2nd edition – New York : Wiley, 2001, 564 p.
- [2] **WILEY-BLACKWELL**, Avril 2010 “Crystal growth processes based on capillarity : Czochralski, Floating zone, Shaping and crucibles techniques”. Thierry Duffar (editor).
- [3] **K. R. SARMA, C. CHANLEY, S. DODD, J. ROUSH, J. SCHMIDT, G. SRDANOV, M. STEVENSON, R. WESSEL, J. INNOCENZO, G. YU, M. O'REGAN, W. A. MACDONALD, R. EVESON, K. LONG, H. GLESKOVA, S. WAGNER, J. C. STURM**, "Active Matrix OLED Using 150°C a-Si TFT Backplane Built on Flexible Plastic Substrate", SPIE Proc., 5080 (2003), 180-191.
- [4] **T. TSUJIMURA, K. MURAYAMA, A. TANAKA, M. MOROOKA, Y. KOBAYASHI, C-T. CHUNG, RM. CHEN, C-C. YANG, W. REISS, F.R. LIBSCH**, "A 20-in OLED display driven by Super-a Si Technology", SID 03 Digest 34 (2003), 6-9.
- [5] **K. R. SARMA**, "Prospects for the development of AM OLEDs for cockpit display applications", Cockpit Displays IX, SPIE Proc., 4712 (2002), 250-261.
- [6] **Y. DJERIDANE**, "Synthèse de nanocristaux par plasma froid et leur rôle dans la croissance de couches minces de silicium microcristallin : Application aux transistors", Thèse Ecole Polytechnique, (2008).
- [7] **JULIEN BROCHET**, "Etude de transistors en couches minces à base de silicium polymorphe pour leur application aux écrans plats à matrice active LCD et OLED", Thèse de doctorat de l'Université de Grenoble, 2006.
- [8] **A. SABOUNDJI, N. COULON, A. GORIN, H. LHERMITE, T. MOHAMMED-BRAHIM, M. FONRODONA, J. BERTOMEU, J. ANDREU**, "Top Gate microcrystalline silicon TFTs processed at lowtemperature (<200°C)", Thin Solid Films, 487 (2005), 227-231.
- [9] **A. SABOUNDJI**, "Qualifications de différents matériaux de silicium en vue de la réalisation sur le même substrat des transistors dédiés à différentes applications", Thèse Université Rennes 1, (2004).

[10] **K. KANDOUSSI**, "Procédé de fabrication à $T < 200^{\circ}\text{C}$ de transistors en couches minces de silicium microcristallin déposé par PECVD en mélange $\text{SiH}_4\text{-H}_2\text{-Ar}$ ", Thèse Université de Rennes 1, (2007).

[11] **L. COLLINS**, "Roll-up displays: Fact or fiction", *IEE Rev.*, vol. 49, no. 2, pp. 42–45, 2003.

[12] **A. B. CHWANG ET AL.**, "Thin film encapsulated flexible organic electroluminescent displays", *Appl. Phys. Lett.*, vol. 83, no. 3, pp. 413–415, 2003.

[13] **K. BELARBI**, "Transistors en couches minces de silicium microcristallin fabriqués à $T < 180^{\circ}\text{C}$: Stabilité et mobilité", Thèse de doctorat de l'Université de Rennes 1, 2010.

[14] **J. A. ROGERS, Z. BAO, A. DODABALAPUR, AND A. MAKHIJA**, "Organic smart pixels and complementary inverter circuits formed on plastic substrates by casting and rubber stamping", *IEEE Electron Device Lett.*, vol. 21, no. 3, pp. 100–103, Mar. 2000.

[15] http://www.begeek.fr/sony-devoile-un-ecran-oled-flexible-12033?utm_source=www.google.fr&utm_medium=Images&utm_term=undefined

[16] <http://fr.wikipedia.org/wiki/AMOLED>

[17] **D. M. BARAKAH, M. AMMAD-UDDIN**, "A Survey of Challenges and Applications of Wireless Body Area Network (WBAN) and Role of a Virtual Doctor Server in Existing Architecture", 2012 Third International Conference on Intelligent Systems Modelling and Simulation

[18] **RAGESH G K, DR.BASKARAN K**, "An Overview of Applications, Standards and Challenges in Futuristic Wireless Body Area Networks", *IJCSI International Journal of Computer Science Issues*, Vol. 9, Issue 1, No 2, January 2012

[19] <http://www.lagarigue.com/fr/nos-solutions-sur-mesure/protheses/protheses-high-tech.html>

[20] http://www.prothesefutur.sitew.com/Les_Neuroprotheses.C.htm#Les_Neuroprotheses.C

[21] **M. Y. DARWISH, M. E. ROULET, P.K. SCHWOB**, "The subthreshold behaviour of SOS MOST'S", IEEE Trans. on Electron Devices, 25 (1978), 855-889.

[22] **S. HIGASHI, D. ABE, S. INOUE, T. SHIMODA**, "Low-Temperature Formation of Device-Quality SiO₂/Si Interfaces Using Electron Cyclotron Resonance Plasma-Enhanced Chemical Vapor Deposition", Jpn. J. Appl. Phys., 40 (2001), 4171-4175.

[23] **PATRICK CHABLOZ** "les couche épaisse en silicium amorphe, application comme détecteurs à rayon X", Thèse de doctorat, Ecole poly technique fédérale de Lausanne, 1996.

[24] **THIEN HAI DAO**, "Dépôt de couches minces de silicium à grande vitesse par plasma MDECR", Thèse de doctorat à l'Ecole Polytechnique de France, 2007.

[25] **E. JACQUES**, "Microsystème et capteur intégrés en technologie couches minces basse température", Thèse Université de Rennes 1, (2008).

[26] **MALIKA KANDOUCI** "Modélisation des transistors en couches minces au silicium polycristallin petits grains en régime passant et bloquant" Thèse de doctorat à l'Université de Rennes 1, 1993.

[27] **O. VALASSIADES, C. A. DIMITRIADES, L. PAPADIMITRIOU, ET AL.**, in the Proc. of the Fifth E. C. Photovoltaic Solar Energy Conference 1983, (Greece), edited by W. Palz and F. Fittipaldi, Reidel, Dordrecht, 1043.

[28] **P. L. MAURICE**, Colloq. Phys. Colloque Suppl. 51 (C1) (1990) C1581

[29] **S MARTINUZZI**, "activation et passivation of grain boundary recombination activity in polycrystalline silicon" Polycrystalline semiconductors, Editors : H. J. Möller, H. P. Strunk and J. H. Werner, vol. 35, pp 148, (1989).

[30] **T. GAILLARD**, "Simulation technologique et électrique de couches de silicium polycristallin application aux transistors couches minces" thèse de doctorat à l'Université de Rennes 1, 1999.

[31] **ZABARDJADE SAID-BACAR**, "Élaboration et caractérisations du silicium polycristallin par cristallisation en phase liquide du silicium amorphe", thèse de doctorat université Paris-sud, 2012

[32] **P. MUNSTER**, "Silicium intrinsèque et dopé in situ déposé amorphe par SAPCVD puis cristallisé en phase solide", Thèse, Université de Rennes 1, Rennes, 2001.

[33] **K. MOURGUES, F. RAOULT, L. PICHON, T. MOHAMMED-BRAHIM, D. BRIAND, O. BONNAUD**, " Performance of thin film Transistors on Unhydrogenated In-Situ Doped Polysilicon films Obtained by Solid Phase Crystallization", Materials Research Society Symp. Proc. 471, 155 (1997)

[34] **MOHAMMED-BRAHIM T., BONNAUD O.**, "25 years of improvement of the silicon based TFT: from as-deposited polycrystalline silicon to nanostructured silicon deposited at very low temperature", TFFT XI 2012 ECS Conference, Honolulu : États-Unis (2012) - <http://hal.archives-ouvertes.fr/hal-00772024>.

[35] **Y. HELEN, G. GAUTIER, K. MOURGUES, T. MOHAMMED-BRAHIM, F. RAOULT, O. BONNAUD, C. PRAT, D. ZAHORSKI, D. LEMOINE**, " Full Optimized Process of Polysilicon TFT's Using Very Large Excimer Laser", Proc. of the 198th Meeting of The Electrochemical Society 2000-2, 771 (2000)

[36] **S. KUMAR, R. BRENOT, B. KALACHE, V. TRIPATHI, R. VANDERHAGHEN, B. DRÉVILLON, P. ROCA I CABARROCAS**, "Highly crystalline Intrinsic Microcrystalline Silicon Films using SiF₄/Ar/H₂ Glow Discharge Plasma", Solid State Phenomena, 80-81 (2001), 237-242.

[37] **VAN DIEP BUI**, "Conception et modélisation de transistors TFTs en silicium microcristallin pour des écrans AMOLED" thèse de doctorat à l'Ecole Polytechnique, 2006.

[38] **E. VALLAT-SAUVAIN, U. KROLL, J. MEIER, A. SHAH, J. POHL**, "Evolution of the microstructure in microcrystalline silicon prepared by very high frequency glow-discharge using hydrogen dilution" , J. Appl. Phys., 87 (2000), 3137-3142.

[39] **S. KASOUIT**, "Mécanisme de croissance et transport dans le silicium microcristallin fluoré, applications aux transistors en couches minces et transfert technologique", thèse Ecole Polytechnique Palaiseau, (2003).

- [40] **S. VIGNOLI, A. FONTCUBERTA I MORRAL, R. BUTTÉ, R. MEAUDRE, M. MEAUDRE**, "Hydrogen related bonding structure in hydrogenated polymorphous and microcrystalline silicon", *J. of Non-Cryst. Solids*, 299-302 (2002), 220-225.
- [41] **R. A. STREET**, "Hydrogenated amorphous silicon", Cambridge University Press, 1991.
- [42] **B. STANNOWSKI, J. K. RAT AND R. E. I. SCHROPP**, "Thin film transistors deposited by hot-wire chemical vapor decomposition" *Thin Solid Films* 430 (2003) pp 220b-225.
- [43] **P. ROCA I CABARROCAS, A. FONTCUBERTA I MORRAL, B. KALACHE, S. KASOUIT**, "Microcrystalline silicon thin films growth by PECVD. Growth mechanisms and grain size control", *Solid State Phenomena*, 93 (2003), 257-268.
- [44] **KANDOUSSI K., SIMON C., COULON N., MOHAMMED-BRAHIM T., MOREAC A.**, "Undoped and arsenic doped low temperature (165°C) microcrystalline silicon for electronicdevice process" *Journal of Non-crystalline Solids*, ISSN: 0022-3093, Vol. 352, Num. 9-20, Pp 968-971, DOI: 10.1016/j.jnoncrysol.2005.11.147, 15 juin 2006.
- [45] **BELARBI K., KANDOUSSI K., COULON N., SIMON C., CHERFI R., FEDALA A., MOHAMMED-BRAHIM T.** "Stability of microcrystalline silicon TFTs" *ECS Transactions*, Vol.16, Num. 9, Pp. 121-130, octobre 2008.
- [46] **C. H. LEE, D. STRIAKHILEV, A. NATHAN**, "Stability of nc-Si:H TFTs with silicon nitride gate dielectric", *IEEE Electron Devices Lett.*, 54 (2007), 45-51.
- [47] **C. H. LEE, A. SAZONOV, A. NATHAN**, "High-mobility nanocrystalline silicon thin-film transistor fabricated by plasma-enhanced chemical vapour deposition", *Appl. Phys. Lett.*, 86 (2005), 222106-222106.3.
- [48] **S. WAGNER, H. GLESKOVA, I. C. CHENG, M. WU**, "Silicon for thin-film transistors", *Thin Solid Films*, 430 (2003), 15-19.
- [49] **TROCCOLI M-N, ROUDBARI A-J, CHUANG T-K, HATALIS M-K.** "Polysilicon TFT circuits on flexible stainless steel foils" *Solid-State Electronics*, Volume 50, Issue 6, June 2006, Pages 1080-1087

[50] JANFAOUI S, KANDOUSSI K, BELARBI K, SIMON C, COULON N, CRAND S, ET AL. "Electrical and mechanical behaviors of micro crystalline TFTs deposited on PEN" ECS Transactions 33, 5 (2010) 217-225

[51] COLINGE JP. "Subthreshold slope of thin-film SOI MOSFETs", IEEE-EDL vol.7, p.244, 1986

[52] COLINGE JP. "Reduction of kink effect in thin-film SOI MOSFETs", IEEE-EDL vol.9, p. 97, 1988

[53] SARCONA GT, STEWART M, HATALIS MK. " Polysilicon thin-film transistors using self-aligned cobalt and nickel silicide source and drain contacts" IEEE Electron Device Letters, vol. 20, issue 7, pp. 332-334

[54] BELARBI K, KANDOUSSI K, COULON N, SIMON C, CHERFI R, FEDALA A, ET AL. "Stability of microcrystalline silicon TFTs" ECS Transactions, Vol. 16, Num. 9, Pp. 121-130, octobre 2008.

Chapitre II : Effet de la diminution de l'épaisseur de la couche active des TFTs à base de silicium microcristallin : étude expérimentale

II.1 Introduction

La qualité cristalline du silicium microcristallin utilisé comme couche active des transistors dépendant beaucoup de l'épaisseur du film, il est intéressant de vérifier expérimentalement l'effet de l'épaisseur de cette couche active sur les performances des TFTs. Nous allons présenter dans ce chapitre les caractérisations électriques et les paramètres induits de transistors identiques mais ayant différentes épaisseurs de couche active.

II.2 Structure et procédé de fabrication des transistors

Les transistors étudiés ici ont la structure Top-Gate représentée dans la figure II.1.

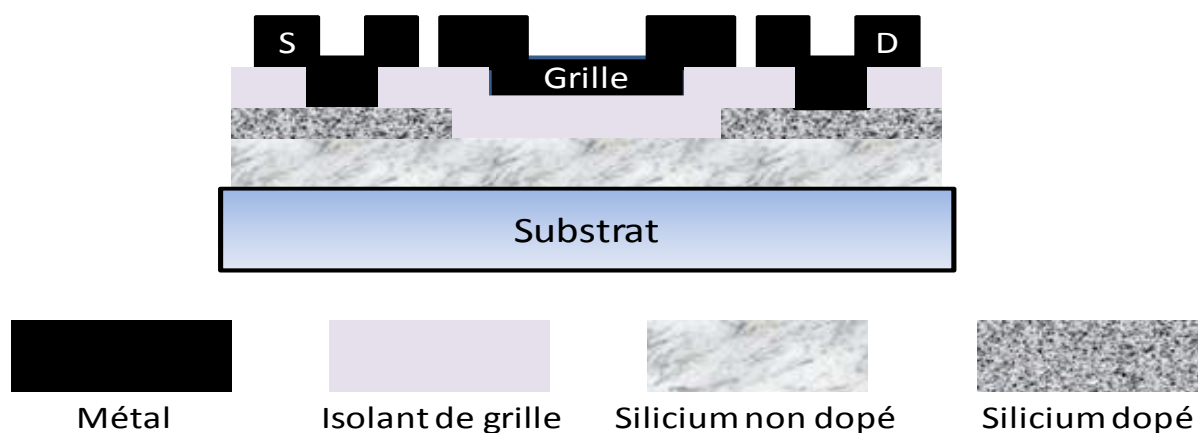


Figure II- 1 : Structure « Top-Gate » des transistors de cette étude

Le procédé de fabrication comporte 4 niveaux de masques de photolithographie.

II.2.1 Dépôt des couches

Le procédé commence par le dépôt successif d'une couche de silicium intrinsèque et d'une couche de silicium dopé sur un substrat de verre de type Corning Eagle.

Ce dépôt a été auparavant optimisé durant la thèse de doctorat de K. Kandoussi [1]. Les couches sont déposées par PECVD 13,56MHz à la température de 165°C dans les conditions suivantes :

Chapitre II : Effet de la diminution de l'épaisseur de la couche active des TFTs à base de silicium microcristallin : étude expérimentale

	Flux de Silane	Flux d'Argon	Flux d'Hydrogène	Flux d'Arsine	Puissance RF	Pression
Couche active des TFTs en silicium microcristallin non-dopé	1,5 sccm	100 sccm	50 sccm	0 sccm	15 W	0,9 mbar
Couche de silicium microcristallin dopé à l'arsenic, constituant les zones de source et de drain	1 sccm	0 sccm	100 sccm	7sccm		

Tableau II- 1 : Conditions de dépôt des couches de silicium microcristallin ($\mu\text{-Si}$) non dopé et dopé

La couche active est déposée dans un mélange silane-argon-hydrogène afin d'améliorer la qualité cristalline du matériau [1]. L'épaisseur typique de cette couche est de 100 nm pour les transistors utilisés dans ce travail.

Les zones de source et de drain sont dopées à l'arsenic et sont donc de type N, ce qui fait que les TFTs soient de type N. La conductivité électrique de ces zones à température ambiante est de 5 S/cm. L'épaisseur typique de la couche constituant les zones de source et de drain est de 70 nm pour les transistors utilisés dans ce travail.

II.2.2 Masque 1 : Définition de la couche active

Durant cette phase du procédé, on définit le canal du transistor situé dans le silicium non dopé. C'est cette couche qui après photolithographie définit la couche active du transistor. Une partie de la couche de silicium dopé est gravée jusqu'à la couche de silicium non dopée. Cette gravure est réalisée dans un bâti de gravure ionique réactive Nextral NE 110. Le gaz réactif employé est l'hexafluorure de soufre (SF_6). Le principe de cette gravure est basé sur la création d'un plasma (mélange complexe d'ions, d'électrons de molécules neutres) entre deux électrodes à l'aide d'une source radio fréquence fonctionnant à 13,56 MHz. Ces ions peuvent réagir avec la surface de l'échantillon et former ainsi des produits volatils qui seront évacués par un système de pompage [2].

Chapitre II : Effet de la diminution de l'épaisseur de la couche active des TFTs à base de silicium microcristallin : étude expérimentale

Les conditions opératoires de cette gravure sont développées dans le tableau II.2 suivant.

Matériau à graver	Gaz réactif	Puissance (W)	Pression (mTorr)	Débit (sccm)	Vitesse de gravure (nm/min)
$\mu\text{c-Si}$	SF ₆	30	20	20	180

Tableau II- 2 : Conditions opératoires de la gravure ionique réactive

Cette étape de gravure est délicate et présente des difficultés, car il est nécessaire de graver l'intégralité de l'épaisseur du silicium dopé sans pour autant entamer le silicium non dopé sous-jacent. La fin de cette la gravure est confirmée par une mesure de la résistivité du canal. A ce niveau du procédé, la structure est représentée sur la figure II.2.

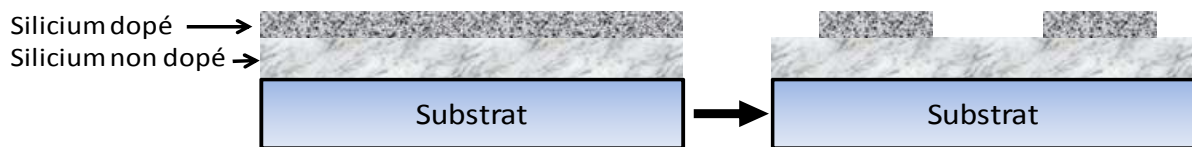


Figure II- 2 : Vue en coupe de la structure après la gravure de la couche dopée

II.2.3 Masque 2 : Isolation des transistors

C'est durant cette étape qu'on sépare les différents transistors en effectuant la gravure de la couche non dopée entre les transistors. Une gravure par plasma SF₆ est effectuée dans les mêmes conditions que celles décrites précédemment. Cette gravure est moins compliquée que la précédente du fait que le contrôle n'est pas nécessaire. La figure II.3 montre les structures avant et après la réalisation de cette étape.

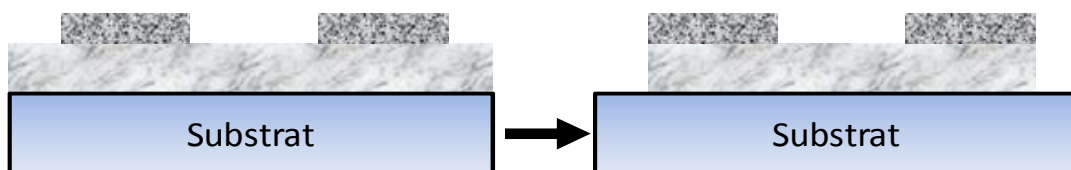


Figure II- 3 : Vue en coupe de la structure après la gravure de la couche non dopée entre les transistors

Après cette étape un nettoyage RCA complet [3] est effectué afin de préparer la couche active au dépôt de l'isolant de grille. Le principe du nettoyage RCA est de former un oxyde à la surface de la couche de silicium dans lequel seront piégés successivement des contaminants organiques et métalliques, présents à la surface du substrat. Ce nettoyage consiste à plonger les échantillons dans un bain basique ($H_2O + NH_4OH + H_2O_2$) porté à $70\text{ }^\circ\text{C}$ pendant 10 minutes puis dans un bain acide ($H_2O + HCl + H_2O_2$) porté à $80\text{ }^\circ\text{C}$ pendant 10 minutes pour finir par une désoxydation HF (après chaque étape décrite ci-avant un rinçage à l'eau désionisée est requis). Cette dernière étape consiste à éliminer l'oxyde formé lors de la première et la deuxième étape. Le but de ce nettoyage est la réparation de la couche qui a subi des attaques lors de la gravure et aussi pour la qualité d'interface entre le canal et l'isolant de grille.

II.2.4 Masque 3 : Ouverture des contacts drain et source dans l'isolant de grille

Il s'agit ici, de recouvrir par l'isolant de grille (dioxyde de silicium ou nitrure de silicium) la zone de silicium non dopé, jusque-là à nu, qui va accueillir le canal.

Un isolant est ensuite déposé, nitrure de silicium par PECVD à 150°C (utilisé dans ce travail) ou dioxyde de silicium par pulvérisation cathodique figure II.4a.

Pour ce qui est du cas du nitrure de silicium, une gravure sèche est nécessaire afin d'ouvrir les contacts vers le drain et la source figure II.4b. Pour le dioxyde de silicium il suffit de changer la gravure sèche par une gravure humide. La gravure humide s'effectue par une solution d'acide fluorhydrique (HF) diluée à 7%.

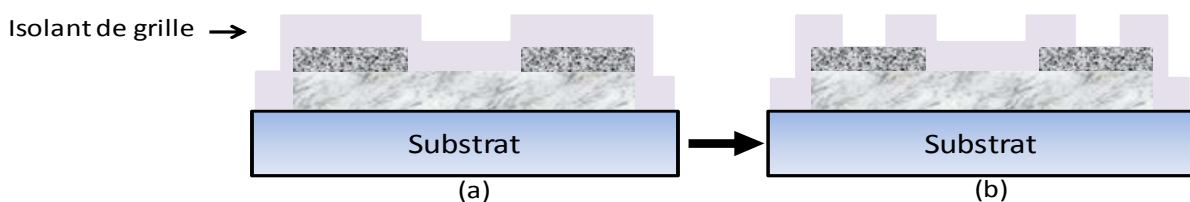


Figure II- 4 : Vue en coupe de la structure avant (a) et après (b) ouverture des contacts source et drain

II.2.5 Masque 4 : Métallisation des contacts source, drain et grille

Cette dernière étape du procédé de fabrication débute par un dépôt d'aluminium d'environ 300 nm d'épaisseur. La métallisation est faite sous vide (10^{-6} mbar) par évaporation par effet Joule, à partir d'un lingot d'aluminium. Celui-ci comporte 1% de silicium pour permettre une bonne adhésion ainsi que pour prévenir une possible migration du silicium.

Ensuite une étape de photolithographie et une gravure humide de la couche d'aluminium sont effectuées. Ceci permet donc de définir les contacts de source, de drain, et de grille voir figure 2.5.

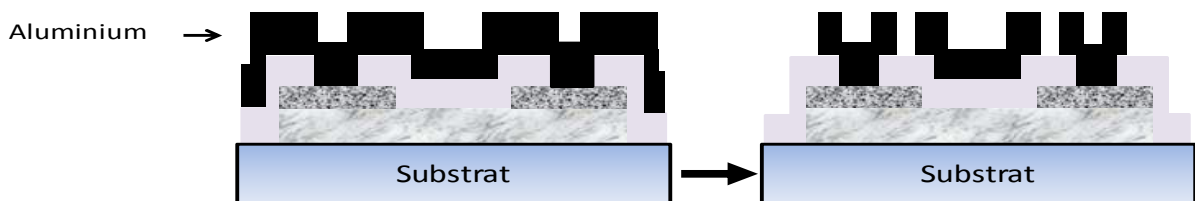


Figure II- 5 : Vue en coupe de la structure finale après la définition des contacts grille, source et drain

II.3 Caractéristiques des TFTs utilisant une épaisseur habituelle de 100 nm comme couche active.

Nous allons présenter ici les caractéristiques des TFTs fabriqués suivant le procédé décrit juste avant. Les TFTs utilisent 300 nm de nitrure de silicium déposé à 150°C comme isolant de grille. La couche active est constituée d'une couche de silicium microcristallin non-dopé de 100 nm d'épaisseur. Ces paramètres sont ceux des TFTs fabriqués habituellement au Laboratoire.

II.3.1 Paramètres électriques

II.3.1.1 Paramètres électriques à température ambiante

La figure II.6 présente une caractéristique de transfert d'un TFT de dimensions ($W=100\mu\text{m}/L=20\mu\text{m}$) relevée comme habituellement à une tension drain-source V_{DS} de 1V.

Chapitre II : Effet de la diminution de l'épaisseur de la couche active des TFTs à base de silicium microcristallin : étude expérimentale

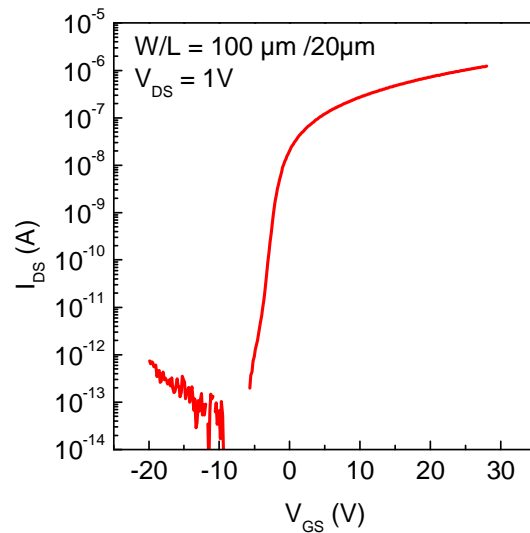


Figure II- 6 : Caractéristique de transfert d'un transistor ($W=100\mu\text{m}/L=20\mu\text{m}$) de couche active de silicium microcristallin de 100 nm d'épaisseur et une couche isolante à base de nitrure de silicium de 300 nm d'épaisseur ($V_{DS} = 1 \text{ V}$)

Les paramètres électriques inscrits dans le tableau II.3 ont été extraits à partir de cette caractéristique de transfert. Ils ont été déterminés par la procédure décrite dans le chapitre 1.

Mobilité ($\text{cm}^2/\text{V.s}$)	Pente sous le seuil (V/déc)	Tension de seuil (V)	($I_{\text{on}}/I_{\text{off}}$)
0,47	0,9	2,1	10^{+7}

Tableau II- 3 : Paramètres électriques tirés de la caractéristique de transfert du transistor représentée sur la figure 1

La mobilité obtenue est assez faible. Mais, malgré cette mobilité faible, le process réalisé est devenu un standard au Laboratoire. Des mobilités plus importantes sont obtenues lorsqu'on utilise l'oxyde de silicium déposé sans chauffage par pulvérisation RF comme isolant de grille. Cependant, la stabilité électrique de ces transistors n'est pas aussi importante que celle des TFTs utilisant le nitrure de silicium comme isolant de grille (K. Kandoussi [1] et K. Belarbi [4]). Nous allons présenter dans le paragraphe suivant la bonne stabilité de ces TFTs.

II.3.1.2 Dépendance en température des paramètres électriques

Les TFTs, objets de la présente étude, sont destinés à construire une électronique fabriquée à basse température sur tout substrat et destinée à accompagner de nombreuses applications. Il est ainsi nécessaire de connaître leur comportement à différentes températures qui peuvent être des températures de fonctionnement de ces applications.

La figure II.7 présente les variations de la tension de seuil et de la mobilité des TFTs précédents sur une large gamme de température s'étendant de 123K (-150°C) à 383K (110°C). La tension de seuil se déplace vers les tensions négatives quand la température augmente. Ce résultat est conforme à ce qui est trouvé et modélisé pour les transistors MOSFETs [5, 6]. Le coefficient de température dV_{TH}/dT aux températures supérieures à la température ambiante est de -11,5 mV/K comparés aux -4 mV/K des transistors MOSFETs et aux -36 mV/K des transistors au silicium amorphe [7]. La bonne fraction cristalline du silicium microcristallin induit ainsi un coefficient de température nettement plus faible que celui des transistors au silicium amorphe et nettement plus proche de celui des MOSFETs.

La mobilité augmente avec la température comme attendu pour des transistors dont la couche active contient du désordre, induisant des défauts électriques actifs. La valeur de la mobilité est plus déterminée dans ce cas par le piégeage dans ces défauts dont l'effet diminue quand la température augmente.

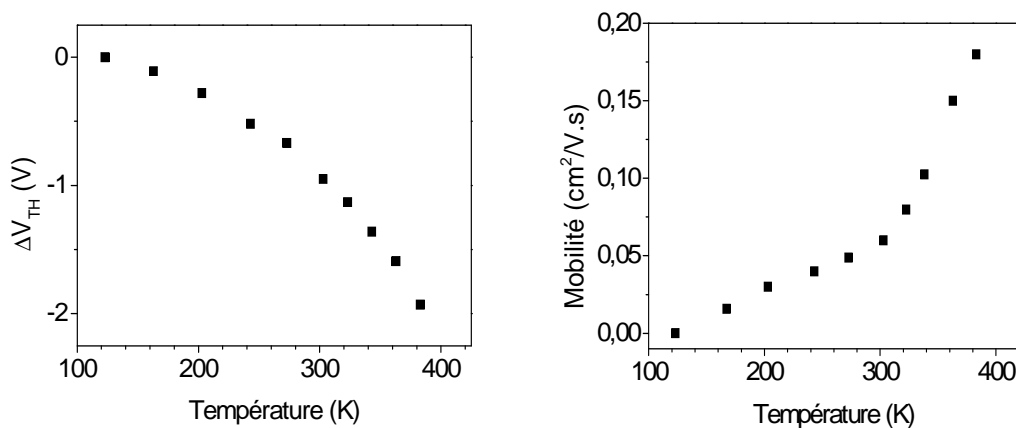


Figure II- 7 : Variation de la tension de seuil et de la mobilité des transistors utilisant une couche active de 100 nm d'épaisseur

II.3.2 Stabilité des TFTs

La stabilité des TFTs est évaluée par le comportement de leurs paramètres électriques après une série de stress électrique. Le stress consiste à appliquer sur la grille une tension positive tout en court-circuitant la source et le drain pendant quelques heures. La figure II.8 présente les caractéristiques de transfert des TFTs ayant subit à température ambiante six heures de stress positif. La caractéristique est tracée par intervalle de 10 minutes durant la première heure puis par intervalle d'une heure jusqu'à 6 heures de stress.

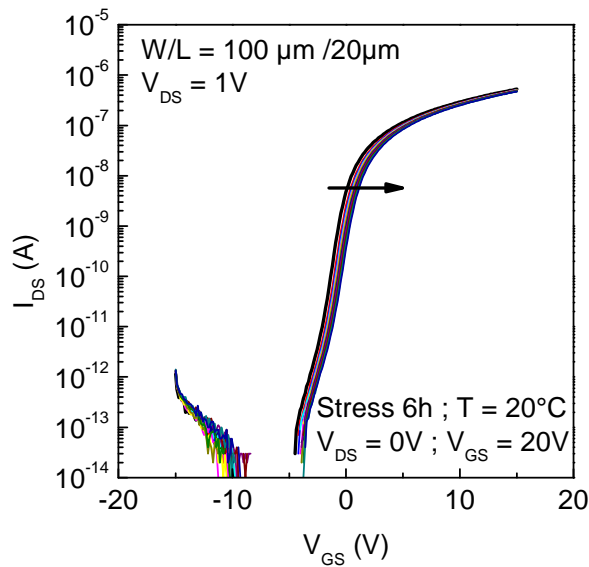


Figure II- 8 : Caractéristiques de transfert pour un TFT de 100 nm de couche active ($W=100\mu\text{m}/L=20\mu\text{m}$) mesurées à différents instants pendant l'application d'un stress de + 20V sur la grille alors que le drain et la source étaient court-circuités. La durée totale du stress est de 6 heures et la température de 20°C

Sous ce stress positif, le déplacement est assez faible ; il est de 0,7V après 6 heures à 20°C. On peut le quantifier en traçant la variation de la tension de seuil $\Delta V_{TH} = V_{TH}(t) - V_{TH0}$ en fonction du temps de stress t . La figure II.9 présente cette variation et son lissage par une fonction exponentielle étendue (stretched exponential)

$$\Delta V_T = (V_G - V_{TH0}) \left\{ 1 - \exp \left[- \left(\frac{t}{\tau} \right)^\beta \right] \right\} \quad (1)$$

Chapitre II : Effet de la diminution de l'épaisseur de la couche active des TFTs à base de silicium microcristallin : étude expérimentale

où V_{TH0} est la tension de seuil initiale, t est le temps du stress, β et τ sont des paramètres définissant la cinétique de variation.

Cette fonction est une loi que l'on retrouve souvent dans la description des phénomènes de relaxation dans les verres vers un état d'équilibre sous l'effet de diverses contraintes [8]. Elle a été établie de façon assez générale en considérant un ensemble de particules susceptibles de diffuser dans un milieu présentant un certain nombre d'états distribués spatialement de façon aléatoire et susceptibles de les piéger [9]. On la rencontre souvent dans les structures désordonnées pour décrire l'évolution en fonction du temps de divers paramètres comme la conductivité [10], la tension de seuil de TFT [11], ou même l'aimantation [8]. Dans les TFTs à base de silicium amorphe hydrogéné elle est associée à la dispersion du coefficient de diffusion des atomes d'hydrogène [11]. Cette dispersion provient de la nature même d'un milieu désordonné, où les sites de piégeage présentent toute une distribution d'états d'énergie possibles. Le terme β dépend alors de cette distribution ainsi que de la température.

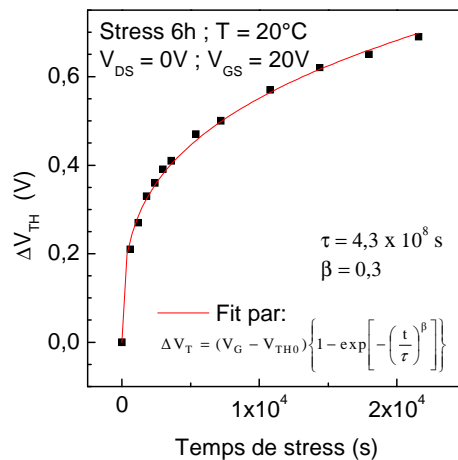


Figure II- 9 : Lissage par la fonction exponentielle étendue (donnée dans la figure) de la variation de la tension de seuil des transistors en fonction du temps de stress à 20°C par une tension grille de +20V, les drain et source étant court-circuités.

Comme cette loi est suffisamment générale pour décrire l'effet d'un stress dans des cas aussi variés que dans les verres, dans les transistors MOSFETs [12], ou dans les TFT de

Chapitre II : Effet de la diminution de l'épaisseur de la couche active des TFTs à base de silicium microcristallin : étude expérimentale

silicium polycristallin non hydrogéné, où la diffusion d'hydrogène ne peut être invoquée, elle doit donc être liée au désordre présent autant dans les matériaux amorphes que dans les matériaux cristallins à travers les zones désordonnées que constituent les interfaces, les joints de grains. Nous pouvons alors supposer que dans ces zones désordonnées où des liaisons sont contraintes, l'accumulation de porteurs ou la présence de forts champs électriques peuvent induire un changement de l'état de contrainte et en particulier une modification de l'état des liaisons les plus faibles. La déformation peut diffuser et établir ainsi un nouvel équilibre caractérisé par une nouvelle distribution d'états.

Les structures désordonnées apportent donc une certaine flexibilité pour un réarrangement des liaisons dans ces matériaux. De façon générale, l'équilibre d'une structure désordonnée provient des états et des charges électriques. Quand ces distributions sont perturbées comme dans le cas d'une accumulation de charges dans les TFTs, la structure évolue vers un nouvel équilibre.

Le lissage précédent de la courbe de variation de la tension de seuil (figure II.9), par l'exponentielle étendue permet d'extraire les paramètres β et τ définissant la cinétique de variation de nos transistors typiques.

$$\beta=0,3 \quad \tau=4,3 \cdot 10^8 \text{ s}$$

Ce lissage assez acceptable pose cependant un problème sur la valeur de β qui paraît assez faible. β est relié à l'énergie d'Urbach qui est la pente de l'exponentielle de densité d'états d'énergie dans la queue de bande de valence (cf figure II.10).

Chapitre II : Effet de la diminution de l'épaisseur de la couche active des TFTs à base de silicium microcristallin : étude expérimentale

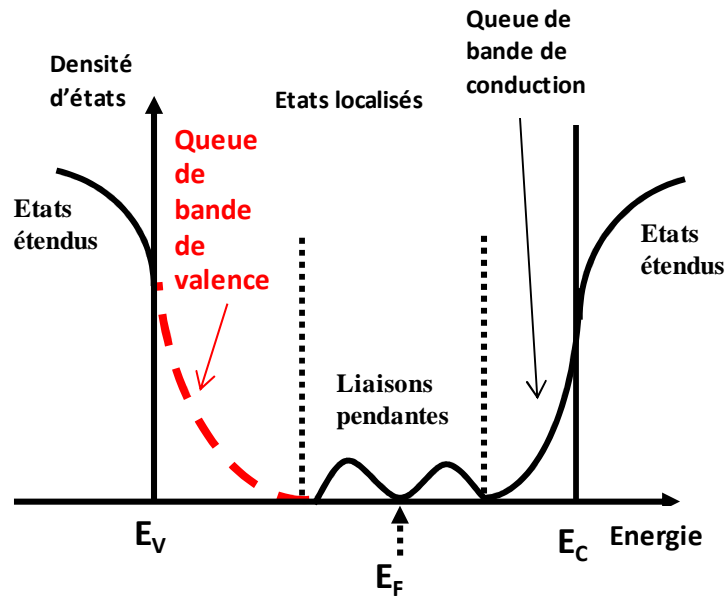


Figure II- 10 : Schéma de densité d'états d'énergie dans un semi-conducteur désordonné. Des états de défauts existent dans la bande interdite entre E_V et E_C .

β est donné par la relation (2) :
$$\beta = kT / kT_0 \quad (2)$$

où kT_0 est l'énergie d'Urbach. En partant de la valeur trouvée de β , l'énergie d'Urbach du matériau silicium microcristallin utilisé comme couche active des transistors serait de 84 meV. Cette valeur est assez et même trop importante pour du silicium microcristallin dont la fraction cristalline tirée de mesures en spectroscopie Raman est de 75% comme le montre la figure II.11 suivante représentant l'évolution de cette fraction cristalline pour notre silicium microcristallin déposé en présence d'argon et d'hydrogène.

Chapitre II : Effet de la diminution de l'épaisseur de la couche active des TFTs à base de silicium microcristallin : étude expérimentale

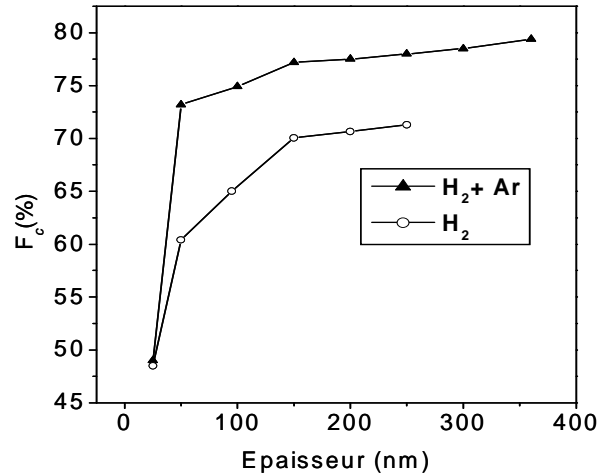


Figure II- 11 : Evolution de la fraction cristalline en fonction de l'épaisseur pour des couches de μc -Si:H déposées avec 1% de silane dans H_2 pur (Cercle) et dans un mélange Ar (50%) + H_2 (50%) (Triangle) [1]

Afin d'essayer de déterminer l'origine de cette faible valeur de β , un moyen serait de comparer l'évolution de la variation de la tension de seuil en fonction du temps en le traçant dans un graphe logarithmique ($\log(\Delta V_{TH})-\log(t)$) ou semi-logarithmique ($\Delta V_{TH}-\log(t)$). En effet, l'évolution de la tension due à un piégeage de charge dans l'isolant de grille présente une allure semi-logarithmique [13]. Une création de défauts dans le canal du transistor induirait quant à elle une évolution logarithmique, qui ne serait que le début de l'évolution en exponentielle étendue [13, 14]. Les évolutions de la tension de seuil pour des stress à une tension de grille fixée à +20V appliqués pendant 6 heures à 20°C, 35°C et 50°C sont tracées dans les figures II.12a et II.12b suivantes dans des graphes logarithmique et semi-logarithmique. Il semble que l'évolution dans le tracé semi-logarithmique est plus linéaire que dans le tracé logarithmique. Ceci signifierait que nous avons à faire plus à un piégeage de charges dans l'isolant de grille qu'à une création d'états. La valeur faible déterminée pour β n'aurait alors pas de signification dans la mesure où la création d'états n'est pas en cause. La bonne fraction cristalline de notre silicium microcristallin plaiderait pour une absence ou une minimisation de la création d'états en privilégiant le piégeage de charges. Cette conclusion reste cependant à prendre avec précaution. Une étude plus complète faisant apparaître des stress en tension aussi bien négatifs que positifs de différentes valeurs et effectués à différentes températures est nécessaire afin de tirer une conclusion plus définitive.

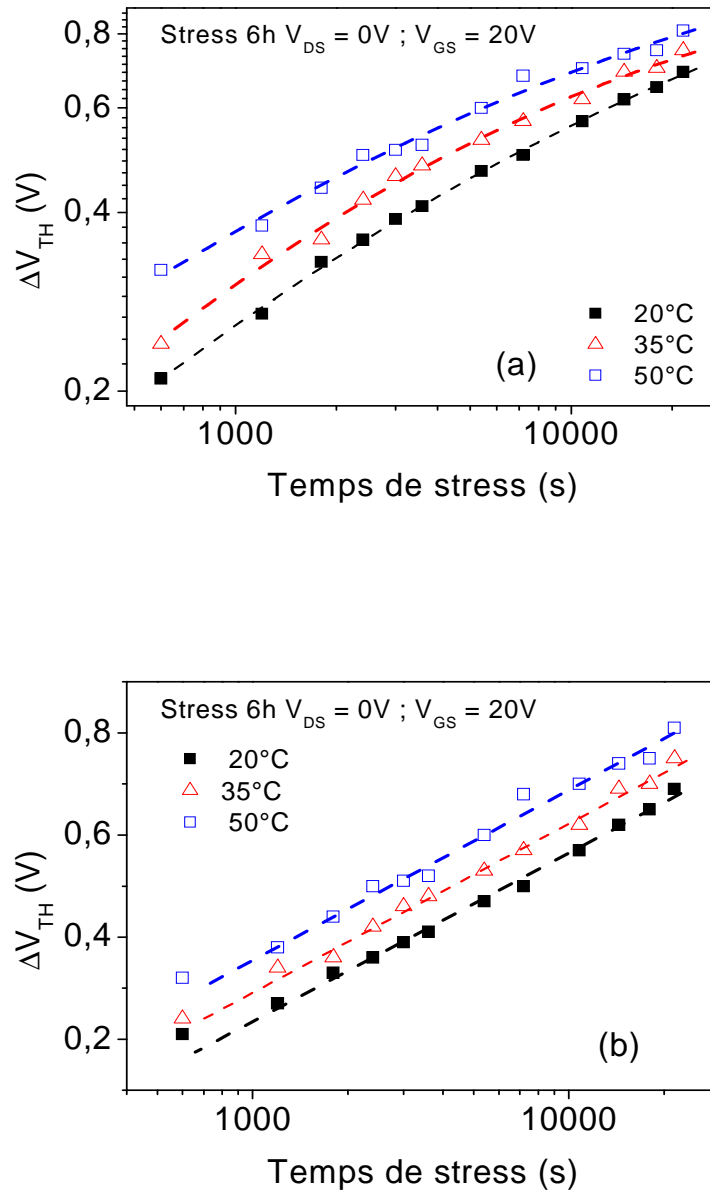


Figure II- 12 : Evolution de la tension de seuil en fonction du temps de stress sous une tension de grille de +20V appliqué pendant 6 heures à 20°C, 35°C et 50°C tracée dans un graphe logarithmique (a) et semi-logarithmique (b).

II.3.3 Conclusion sur les TFTs utilisant une épaisseur habituelle de 100 nm comme couche active.

Les transistors fabriqués avec une épaisseur habituelle de 100 nm de couche de silicium microcristallin non-dopé utilisée comme couche active, présentent des

caractéristiques stables. Le déplacement de la caractéristique de transfert n'est que de 0,8V après l'application d'une tension grille de +20V pendant 6h à 50°C. Ce très léger déplacement a été expliqué par un piégeage de porteurs dans le nitrure de silicium servant comme isolant de grille.

La mobilité des porteurs déterminée à une tension de grille de +20V, la tension de seuil et la pente sous le seuil, calculées à partir des caractéristiques de transfert de ces transistors sont respectivement de 0.47 cm²/V.s, 2.1V et 0.9V/dec respectivement. Du fait de leur bonne stabilité, ces transistors peuvent être utilisés comme éléments de base pour construire une électronique de traitement de signaux. La faible valeur de la mobilité ne laisse cependant espérer que traiter des signaux de faibles fréquences. Mais, la plupart des signaux provenant de l'activité humaine ne varient pas à de grandes fréquences. Une électronique à base de ces transistors peut ainsi très bien accompagner les capteurs de cette activité humaine, d'autant que la thèse de S. Janfaoui [15] a montré que les performances de ces transistors ne sont pas dégradées lorsque le même procédé de fabrication est réalisé sur plastique. Par ailleurs, Il est connu que les transistors au silicium amorphe avec une mobilité identique mais très instables sont utilisés dans les circuits d'adressage de pixels de la majorité des écrans LCD actuels. Nos transistors au silicium microcristallin peuvent au moins remplacer avantageusement les transistors au silicium amorphe dans cette application.

Nous allons voir dans la suite quelles pourraient être les possibilités d'améliorer les performances de ces transistors. Nous avons montré en effet dans le chapitre I que la structure des couches de silicium microcristallin n'était pas homogène. La qualité cristalline s'améliore depuis l'interface et sature à partir d'une certaine épaisseur. Les performances des transistors vont dépendre ainsi de l'épaisseur de la couche active en silicium microcristallin.

II.4 Effet de la variation de l'épaisseur de la couche active

Dans ce paragraphe, nous présentons une étude de l'effet de l'épaisseur de la couche active de silicium microcristallin non-dopé sur les transistors précédents réalisés en structure Top-Gate. Les TFTs sont fabriqués en utilisant exactement le procédé de fabrication précédent. Ils ont la même structure, les mêmes géométries, les mêmes couches de silicium microcristallin dopé à l'arsenic et de 70 nm d'épaisseur servant comme zones de source et de drain et la même couche de nitrure de silicium de 300 nm d'épaisseur servant d'isolant de grille. La couche active des TFTs en silicium microcristallin non-dopé est déposée dans les

mêmes conditions que dans le procédé précédent. Enfin, les TFTs sont fabriqués simultanément. Ils ne diffèrent que par l'épaisseur de cette couche active. Ils ont ainsi une couche active d'épaisseur 30 nm ou 100nm ou 200 nm.

II.4.1 Caractéristiques de transfert de TFTs utilisant des épaisseurs différentes de couche active.

Les caractéristiques de transfert de ces trois types de transistors sont représentées dans la figure II.13. Ces courbes représentent une moyenne des caractéristiques de transfert de 12 transistors identiques.

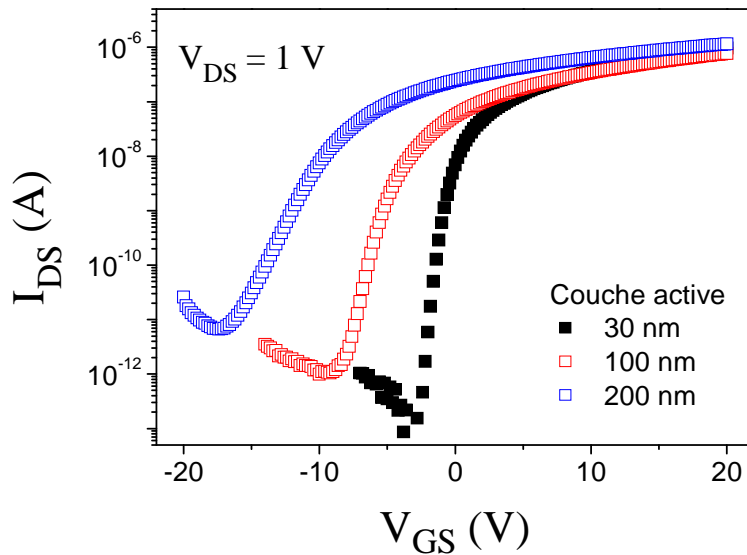


Figure II- 13 : Caractéristiques de transfert de transistors ($W=100\mu\text{m}/L=20\mu\text{m}$) et de couche active de silicium microcristallin respective de 30 nm 100 nm et 200 nm d'épaisseur et une couche de nitrure de silicium de 300 nm

Vu que ces trois types de transistors ont été fabriqués dans les mêmes conditions et avec les mêmes matériaux, la différence constaté entre les caractéristiques de transfert est due seulement à la variation de l'épaisseur de la couche active. Qualitativement, on observe une détérioration de la pente sous le seuil, un déplacement de la tension de seuil vers les tensions négatives quand l'épaisseur augmente et un courant direct plus élevé pour la plus grande épaisseur. Ces observations sont confirmées quantitativement par la détermination des

Chapitre II : Effet de la diminution de l'épaisseur de la couche active des TFTs à base de silicium microcristallin : étude expérimentale

paramètres électriques extraits à partir de ces trois caractéristiques de transfert et donnés dans le tableau II.4 suivant :

TFTs	mobilité (cm ² /V.s)	Pente sous le seuil (V/déc)	Tension de seuil (V)	(I _{on} /I _{off})
30 nm	0,39	0,43	4,16	>10 ⁺⁷
100 nm	0,48	0,8	2,1	10 ⁺⁶
200 nm	0,61	1,94	-3,6	10 ⁺⁵

Tableau II- 4 : Paramètres électriques des transistors dont leur caractéristique de transfert a été présentée sur la figure 11

La diminution de la tension de seuil quand l'épaisseur de la couche active augmente pourrait avoir 2 origines possibles pouvant survenir simultanément ou non. La première est la différence de qualité électrique des couches de silicium microcristallin d'épaisseurs différentes. La figure II.11 précédente (paragraphe II.2.2) représentant la fraction cristalline dans la couche, déterminée par spectroscopie Raman, en fonction de son épaisseur montre une augmentation rapide de la cristallinité jusqu'à 100 nm suivie d'une légère augmentation ou un semblant de saturation pour les épaisseurs plus grandes. L'augmentation de la mobilité d'effet de champ quand l'épaisseur augmente pourrait être expliquée par cette amélioration de la qualité cristalline. En supposant ainsi que la qualité électrique s'améliore avec l'augmentation du volume cristallin, la couche de 100 nm aurait une qualité électrique bien meilleure que la couche de 30 nm et légèrement moins bonne que la couche de 200 nm. L'accumulation d'électrons libres sous l'effet de la tension de grille pour former le canal serait donc facilitée quand l'épaisseur de la couche active augmente et la tension de seuil diminue, ce qui est le cas ici. Les tensions de seuil faibles et même négative pour les TFTs ayant une couche active de 200 nm sont dues à l'existence connue de charges fixes positives dans les couches de nitrure de silicium. Si cette origine est unique, la différence des tensions de seuil entre les TFTs de 30nm et 100nm de couche active serait plus importante qu'entre celle entre les TFTs de 100nm et 200nm de couche active. Ce qui n'est pas le cas ici.

Chapitre II : Effet de la diminution de l'épaisseur de la couche active des TFTs à base de silicium microcristallin : étude expérimentale

La seconde origine pourrait être due à l'existence d'un canal arrière qui se formerait à l'interface arrière entre le substrat et la couche active. L'apparition de ce canal donnera l'impression d'une diminution de la tension de seuil. Ce phénomène apparaît souvent et principalement pour les TFTs au silicium microcristallin ayant une structure bottom-gate pour lesquels l'interface arrière, en haut de la structure, n'a pas été bien passivée (Figure II.14 a.). Mais il apparaît aussi pour des TFTs en structure Top-Gate si des précautions de nettoyage du substrat suffisantes n'ont pas été prises avant le dépôt de la couche active (Figure II.14 b.). Ici, l'impression d'apparition de canal arrière est de plus en plus visible quand l'épaisseur de la couche active augmente. L'augmentation simultanée du minimum de courant renforce cette impression. Cependant, l'effet de la face arrière devrait diminuer quand l'épaisseur augmente. Or l'impression ici est qu'il augmente. Il y a la une contradiction qui ne peut être levée avec une discussion aussi qualitative.

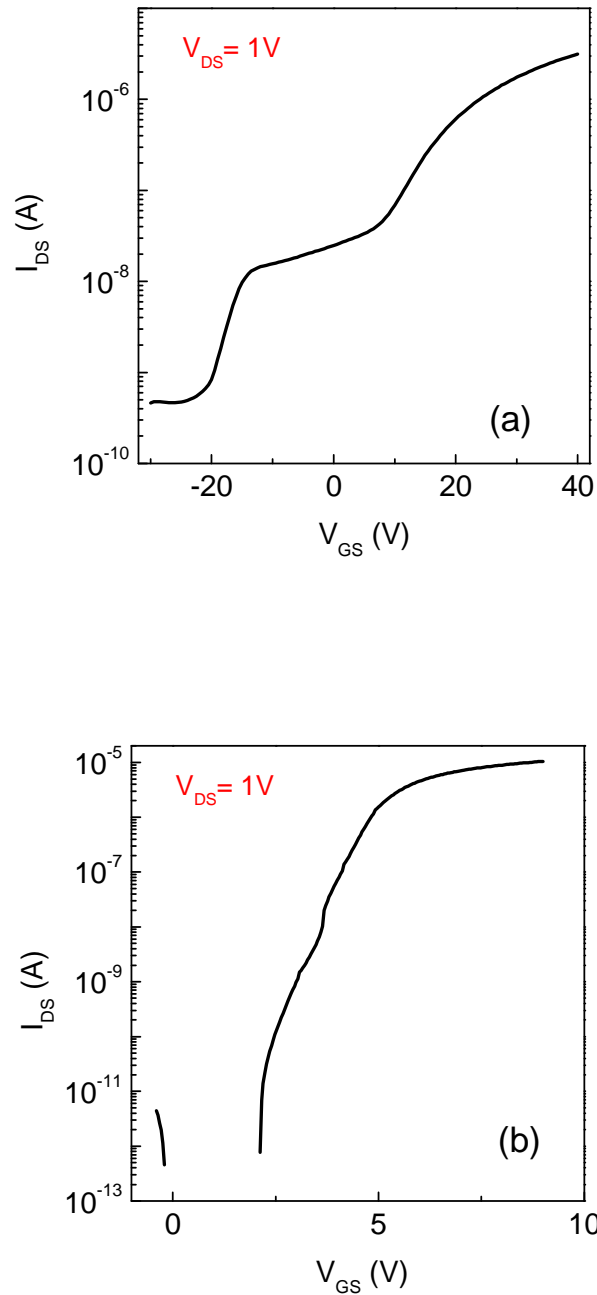


Figure II- 14 : Effet de canal arrière pour un TFT bottom-gate (a) (courbe fournie aimablement par François Templier, LETI-MINATEC Grenoble) et pour un TFT top-gate fabriqué par l'IETR (b)

L'augmentation de la pente sous le seuil avec l'épaisseur de la couche active ne pourrait être expliquée que par cet effet de canal arrière qui donnerait l'impression d'une plus grande pente sous le seuil. En effet, la pente sous le seuil représente l'inverse de la vitesse

Chapitre II : Effet de la diminution de l'épaisseur de la couche active des TFTs à base de silicium microcristallin : étude expérimentale

avec laquelle le canal se forme sous l'effet de la tension de grille. Des défauts électriquement actifs dans le canal ou à l'interface canal-isolant de grille ralentissent la formation du canal et aboutissent à une augmentation de la pente sous le seuil. Or ici, la couche la plus épaisse, la mieux cristallisée et celle qui devrait avoir le moins de défauts aboutit à un TFT de plus grande pente sous le seuil. Comme précédemment, il y a la une contradiction qui ne pourrait être levée avec une discussion aussi qualitative.

Cependant, il est possible d'incriminer la rugosité de surface. En effet même si la qualité cristalline du canal est meilleure, une rugosité importante de la surface introduirait des défauts à l'interface et pourrait induire une pente sous le seuil détériorée. La figure II.15 montre des observations au microscope à force atomique de la surface de couches de silicium microcristallin d'épaisseurs 100 nm et 1 μm . La rugosité RMS est de 0.6 nm pour l'épaisseur de 100nm et 12 nm pour l'épaisseur de 1 μm . Une augmentation d'épaisseur entraîne une augmentation de la rugosité; ce qui pourrait expliquer l'augmentation des pentes sous le seuil des TFTs quand l'épaisseur augmente.

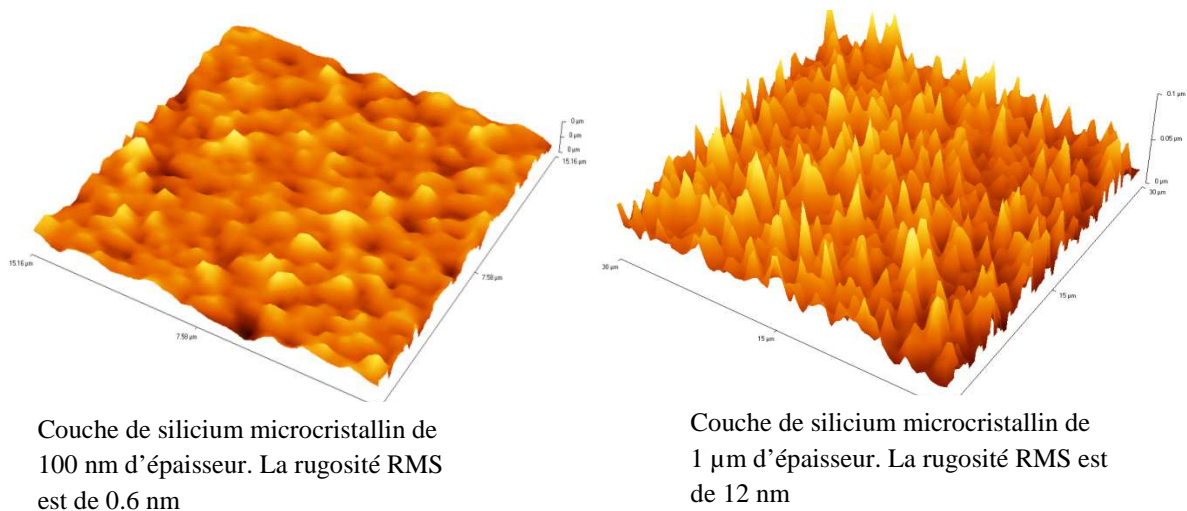


Figure II- 15 : Topographie de l'état de surface du silicium microcristallin fin et épais analysé par microscopie AFM (Atomic Force Microscopy)

En conclusion de cette comparaison des caractéristiques de transfert et des paramètres électriques des transistors qui en découlent, il semblerait que le TFT qui a la plus fine couche active possède une tension de seuil et une pente sous le seuil bien acceptables que pour les TFTs à couche active plus épaisse malgré un matériau moins cristallisé. La valeur de la

mobilité de ce TFT est légèrement plus faible confirmant sa moins bonne qualité cristalline. Les explications des observations effectuées ne sont cependant pas aussi évidentes. Aussi afin de donner une explication plausible, une simulation du comportement d'un TFT au silicium microcristallin en fonction de différents paramètres dont l'épaisseur de la couche active sera effectuée dans le prochain chapitre. Avant cela, d'autres informations pourraient être tirées d'une étude de la stabilité électrique de ces TFTs.

II.4.2 Stabilité électrique des TFTs utilisant des épaisseurs différentes de couche active.

La stabilité électrique des TFTs est un paramètre important dans leur utilisation pratique indépendamment de leurs paramètres intrinsèques comme la mobilité d'effet de champ, la tension de seuil ou la pente sous le seuil. Il est ainsi nécessaire d'étudier la stabilité électrique des TFTs précédents ayant des couches actives de 30 nm, 100 nm et 200nm. Comme précédemment un stress positif de +15V est appliqué sur la grille alors que le drain et la source sont court-circuités. A différents instants, le stress est supprimé et les caractéristiques de transfert tracées à $V_{DS}=+1V$. Le stress est ensuite remis tout de suite.

La figure II.16 présente les variations des tensions de seuil des 3 types de TFTs tracées en logarithmique ($\text{Log}(\Delta V_{TH})-\text{Log}(t)$) (figure II.16a) et en semi-logarithmique ($\Delta V_{TH}-\text{Log}(t)$) (figure II.16b). La tension de seuil varie plus quand l'épaisseur de la couche active augmente. Les tensions de seuil varient de façon beaucoup moins importante pour les TFTs ayant des couches actives d'épaisseurs 30nm et 100nm. Le tracé de leurs variations est beaucoup plus linéaire dans le tracé semi-logarithmique que dans le tracé logarithmique. On retrouve ainsi pour le TFT de 30nm de couche active, le résultat déjà montré plus en avant (paragraphe II.2.2) pour les TFTs de 100 nm de couche active. La linéarité du tracé semi-logarithmique tendrait à montrer que le déplacement de la tension de seuil est plus dû à une injection de charges dans l'isolant de grille.

Le comportement de la variation de la tension de seuil du transistor à 200 nm d'épaisseur est plus particulier. La variation n'est linéaire dans aucun des 2 tracés et est beaucoup plus importante que celle des 2 autres types de TFTs. En fait, les TFTs au silicium microcristallin ayant une couche active très épaisse ont toujours montré une instabilité importante. Une explication plausible consisterait en ce que le matériau silicium microcristallin épais est assez poreux au niveau de sa couche supérieure et le siège d'une

Chapitre II : Effet de la diminution de l'épaisseur de la couche active des TFTs à base de silicium microcristallin : étude expérimentale

diffusion d'impuretés. La structure d'une couche de silicium microcristallin épaisse a été décrite par J. Kocka [16]. Elle est constituée (Figure II.17) de colonnes bien cristallisées séparées par des joints assez larges qui peuvent être le siège de diffusion d'impuretés.

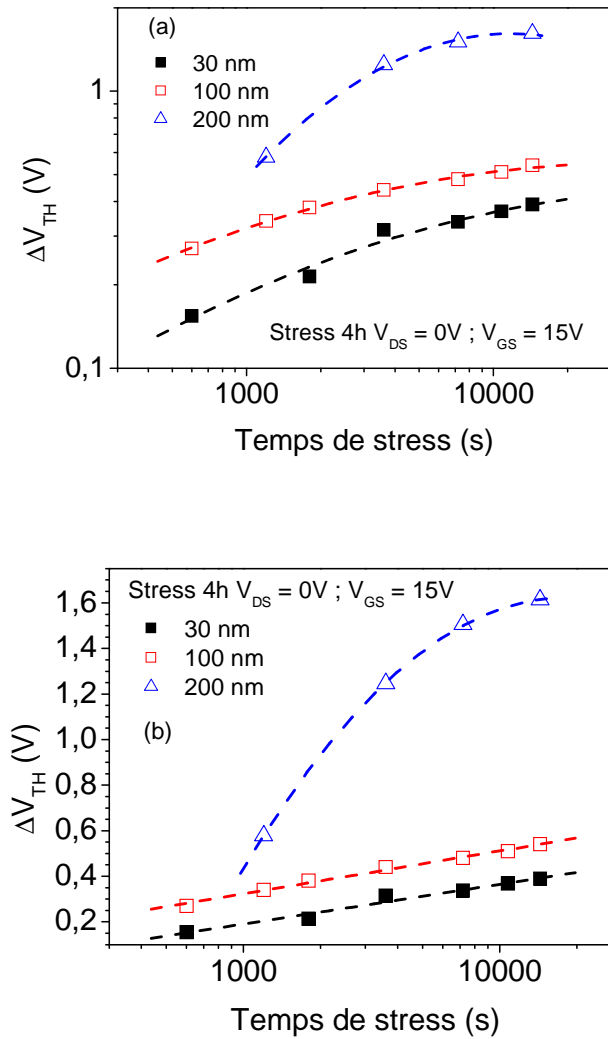


Figure II- 16 : Variations des tensions de seuil des 3 types de TFTs tracées en logarithmique (a) et en semi-logarithmique (b) sous l'effet d'un stress de +15V sur la grille



Figure II- 17 : Structure d'une couche de silicium microcristallin d'après J. Kocka [16]

II.4.3 Conclusion sur la comparaison expérimentale des TFTs utilisant des épaisseurs différentes de couche active.

L'étude de la stabilité électrique des TFTs confirme les observations sur la comparaison effectuée plus avant des paramètres, mobilité, tension de seuil, pente sous le seuil performances des TFTs utilisant des couches actives de différentes épaisseurs. La conclusion commune est que le silicium microcristallin de grande épaisseur (~200nm) utilisé comme couche active aboutit à un transistor de mauvaise performance, une tension de seuil trop négative, une pente sous le seuil dégradée et un grand déplacement de la caractéristique de transfert sous un stress appliqué sur la grille. La mobilité d'effet de champ est cependant légèrement plus grande.

Les transistors utilisant des couches actives moins épaisses sont beaucoup plus stables et la mobilité n'y est que légèrement inférieure. Il semble que la structure colonnaire du silicium microcristallin de grande épaisseur soit à l'origine de la mauvaise stabilité des TFTs utilisant des couches actives de ce matériau.

La comparaison des TFTs utilisant des couches actives moins épaisses donne un léger avantage à celui ayant la couche la plus fine. Les TFTs y ont une pente sous le seuil nettement meilleure et une stabilité légèrement meilleure. La mobilité est très légèrement inférieure. La grande différence se situe au niveau de la pente sous le seuil qui est moitié inférieure pour le TFT à couche active la plus fine. Ceci semble contradictoire avec le fait que la couche la plus fine est moins cristallisée. Le canal se forme plus rapidement dans un matériau moins cristallisé! Pour lever cette contradiction, une simulation électrique du comportement des TFTs au silicium microcristallin est nécessaire. Elle fera l'objet du chapitre 3.

II.5 Conclusion

Nous avons présenté dans ce chapitre une étude portant sur la caractérisation des transistors en couches minces. Dans un premier temps, nous avons présenté le procédé de fabrication des TFTs qui sont étudiés, puis nous avons extrait les paramètres électriques d'un TFT. Ensuite, l'influence exercée sur ces derniers, par la variation de la température, ainsi que l'application d'une série de stress positif sur la grille pendant 6 heures, a été montrée. Enfin, une étude sur l'effet de la variation de l'épaisseur de la couche active sur le comportement des TFTs a été présentée. Les résultats que nous avons obtenus montre que l'épaisseur de la

Chapitre II : Effet de la diminution de l'épaisseur de la couche active des TFTs à base de silicium microcristallin : étude expérimentale

couche active des TFTs a un rôle très important sur la stabilité des TFTs. Certains de ces résultats ont montré que plus l'épaisseur de la couche active est faible, plus les TFTs gagnent en stabilités et meilleurs sont leurs paramètres électriques. Pour tenter de compléter cette étude, une simulation électrique du comportement des TFTs de même type sera présentée dans le chapitre III suivant.

Références II

- [1] **K. KANDOUSSI**, "Procédé de fabrication à $T < 200^{\circ}\text{C}$ de transistors en couches minces de silicium microcristallin déposé par PECVD en mélange $\text{SiH}_4\text{-H}_2\text{-Ar}$ ", Thèse Université de Rennes 1, (2007).
- [2] **C. CARDINAUD, M-C. PEIGNON, P-Y. TEISSIER**, "Plasma etching: principles, mechanisms, application to micro- and nano-technologies", Applied Surface Science, 164 (2000), 72-83.
- [3] **O. O. AWADELKARIM, Y. Z. WANG**, "The impact of RCA treatment of glass substrates on the properties of polycrystalline silicon thin film transistors", Microelectronic Engineering, 45 (1999), 299-310.
- [4] **K. BELARBI**, "Transistors en couches minces de silicium microcristallin fabriqués à $T < 180^{\circ}\text{C}$: Stabilité et mobilité", Thèse de doctorat de l'Université de Rennes 1, 2010.
- [5] **R. WANG, J. DUNKLEY, T.A. DEMASSA, L.F. JELSMA** "Threshold Voltage Variations with Temperature in MOS Transistors", IEEE Electron Device, 386-388 (1971)
- [6] **I.M. FILANOVSKY, A. ALLAM** "Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits" IEEE Trans Circuits and Syst I: Fundamental Theory and Applications vol. 48, 876–884 (2001)
- [7] RPI a-Si :H TFT model, SILVACO, www.simucad.com
- [8] **R.V. CHAMBERLIN, G. MOZURKEWICH, R. ORBACH**, "Time Decay of the Remanent Magnetization in Spin-Glasses", Phys. Rev. Lett. Vol. 52, No. 10, (1984), pp. 867-870
- [9] **P. GRASSBERGER, I. PROCACCIA**, "The long time properties of diffusion in a medium with static traps", J. Chem. Phys. Vol. 77, No. 12, (1982), pp. 6281-6284

- [10] **R. MEAUDRE, M. MEAUDRE, P. JENSEN, G. GUIRAUD**, "Thermal-equilibrium processes and electronic transport in undoped hydrogenated amorphous silicon", *Phil. Mag. Lett.*, Vol. 57, No. 6, (1988), pp. 315-320
- [11] **W.B. JACKSON, J.M. MARSHALL, M.D. MOYER**, "Role of hydrogen in the formation of metastable defects in hydrogenated amorphous silicon", *Phys. Rev. B.*, Vol. 39, No. 2, (1989), pp. 1164-1179
- [12] **K.O. JEPPSON, C. SVENSON**, "Negative Bias Stress of MOS Devices at High Electric Fields and Degradation of MNOS Devices", *J. Appl. Phys.* Vol. 48, No. 5, (1977), pp. 2004-2014
- [13] **M.J. POWELL, C. VAN BERKEL, J.R. HUGHES** "Time and temperature dependence of instability mechanisms in amorphous silicon thin film transistors" *Appl. Phys. Lett.* 54, pp. 1323-1325 (1989)
- [14] **N.D. YOUNG, AND J.R. AYRES** " Negative Gate Bias Instability in Polycrystalline Silicon TFTs" *IEEE Trans. Electron Devices* ED-42, 1623 (1995)
- [15] **S. JANFAOUI** "Electronique CMOS en silicium microcristallin sur substrat flexible transparent" Thèse Université de Rennes 1, 2012.
- [16] **J. KOCKA, H. STUCHLIKOVA, J. STUCHLIK, B. REZEK, T. MATES, V. SVRCEK, P. FOJTIK, I. PELANT, A. FEIJFAR**, "*Model of transport in microcrystalline silicon*", *J. Non-Cryst. Sol.*, 299-302, 355 (2002)

Chapitre III : Simulation électrique des transistors en couches minces sous SILVACO

III-1 Introduction

Les résultats expérimentaux décrits dans le chapitre 2 précédent ont donné lieu à différentes explications qualitatives qu'il sera important de valider par une simulation numérique à partir des équations habituelles de l'électrostatique appliquées à un transistor ayant la structure des transistors fabriqués en introduisant les paramètres physiques des matériaux concernés.

Après une présentation des outils utilisés pour faire la simulation, nous présenterons les étapes importantes de nos travaux de simulation sur le comportement des transistors en couches minces (TFTs). Ces derniers s'articulent globalement autour de l'influence de la qualité électrique de la couche active, de son épaisseur et de la qualité électriques des interfaces qu'elle forme avec le substrat et avec l'isolant de grille, sur les paramètres électriques de ces transistors. Nous allons étudier plus particulièrement l'effet de:

- la qualité du matériau silicium microcristallin non-dopé constituant la couche active à travers la densité de défauts électriquement actifs,
- la qualité des interfaces isolant de grille - couche active et couche active – substrat à travers la densité des défauts s'y trouvant;
- l'épaisseur de la couche active.

III-2 Matériel et méthodes

III-2.1 Outils de Simulation utilisés

La simulation est la représentation de la ou des caractéristiques de comportement d'un système à l'aide d'un autre système, notamment un programme d'ordinateur conçu à cet effet. Dans notre cas, nous avons utilisé les Outils de simulation de la société SILVACO pour étudier le comportement des transistors en couches minces. Les deux outils de SILVACO que nous avons le plus utilisé durant nos travaux sont :

- ✓ ATHENA qui est le logiciel de simulation technologique de SILVACO [1],
- ✓ ATLAS qui est le logiciel de modélisation électrique [2].

III-2.1.1 Le logiciel de simulation technologique ATHENA

ATHENA est un simulateur à deux dimensions qui permet d'effectuer des simulations numériques, basées sur des équations physiques, de toutes les étapes de fabrication de dispositifs semi-conducteurs. ATHENA est composé d'une part, d'une charpente principale permettant d'effectuer simplement la simulation approchée de fabrication des composants les plus répandus et d'autre part, d'un éventail de modules plus spécialisés permettant la simulation plus précise de dispositifs spécifiques.

- ATHENA, base du logiciel, permet l'initialisation de la structure et le maillage du substrat. Il simule les dépôts et gravures dits classiques.
- SSUPREM IV permet l'implantation ionique, la diffusion et l'oxydation pour les technologies silicium.
- ELITE permet d'effectuer les simulations plus physiques de dépôt et gravure en définissant une machine avec la possibilité de variation de certains paramètres de travail.

ATHENA est un simulateur de fabrication micro-électronique basé sur la résolution d'équations décrivant la physique et la chimie des procédés de fabrication de semi-conducteurs. Ces équations sont résolues aux nœuds d'un maillage à partir des conditions aux limites bien définies par l'utilisateur. Ce simulateur est capable de prédire les structures qui résultent d'une suite de séquences d'un procédé de fabrication. Le fait de baser la simulation sur des équations physiques plutôt que sur des modèles mathématiques empiriques présente plusieurs avantages :

- elle est prédictive ; en effet, dans le domaine de validité des équations résolues, elle reste à priori valable quelles que soient les variations des paramètres ; ce qui n'est en général pas le cas du modèle empirique valable uniquement dans le cas étudié,
- elle donne accès, beaucoup plus rapidement que par l'expérience, à des données difficilement accessibles voire quelquefois inaccessibles expérimentalement (zone de diffusion, concentrations des porteurs, ...) et ceci en tout point de la structure (si tant est qu'il se trouve près d'un nœud du maillage) ; dans la suite de ce chapitre, cette technique sera utilisée pour déterminer aussi bien le potentiel que la concentration des électrons dans des parties de la couche active des transistors à simuler ;

- elle permet à des non-spécialistes d'utiliser des connaissances théoriques pointues auxquelles ils n'auraient pas facilement accès autrement,
- elle nécessite moins de points expérimentaux pour calibrer ses paramètres ; le modèle empirique a pour but en général de donner une formule analytique permettant une approximation précise de données expérimentales existantes et l'accès à d'autres points par interpolation alors que le modèle basé sur des équations physiques se contente de beaucoup moins de données.

La simulation est un outil très puissant si elle est bien utilisée, mais il faut toujours rester très prudent vis-à-vis d'un résultat compte tenu de nombreux pièges dans lesquels il est facile de tomber. C'est pourquoi lors d'une simulation, il faut toujours bien définir les paramètres.

- 1- La géométrie initiale de la structure à simuler doit être définie avec un maillage adapté. En effet, deux maillages différents pour une même structure peuvent donner deux résultats différents. C'est pourquoi, il faut toujours attacher une grande importance à la définition du maillage en prenant soin de le raffiner dans les zones les plus critiques. Cette recommandation peut revêtir une importance primordiale.
- 2- Le bon enchainement des séquences du procédé de fabrication mérite également une attention particulière.
- 3- Enfin, le bon choix des modèles utilisés pour résoudre les équations physiques permet d'optimiser l'interprétation des résultats.

Si toutes ces recommandations sont suivies, la structure doit être parfaitement simulée et pour la caractériser, il va être nécessaire d'étudier son fonctionnement électrique. La modélisation des caractéristiques électriques d'une structure s'effectue à l'aide du simulateur ATLAS qui sera décrit dans la suite.

III-2.1.2 Le Logiciel de modélisation électrique ATLAS

ATLAS est un logiciel de simulation numérique de fonctionnement électrique de composants semi-conducteurs en deux ou trois dimensions. Il permet d'accéder aux courbes de fonctionnement des dispositifs en régime statique et dynamique ainsi qu'aux limites de fonctionnement telles que tension de claquage, courant de fuite, tension et courant de

saturation. Il effectue ces simulations en fonction des caractéristiques électriques et structurales des différentes couches des dispositifs mais pour cela il lui est nécessaire d'avoir les options correspondantes. En effet, son architecture étant modulaire, ATLAS constitue le squelette de base sur lequel se greffent des modules optionnels qui apportent de nouvelles possibilités au logiciel en même temps que de nouveaux modèles et paramètres. Les capacités de certaines de ces extensions sont définies ci-après.

- 1- ATLAS est la charpente principale autour de laquelle s'articulent tous les modules. Il contient toutes les données essentielles dont ont besoin les outils de simulation des composants.
- 2- S-pisces contient tous les modèles et paramètres nécessaires à la modélisation du fonctionnement électrique des couches de silicium et donc par conséquent des composants silicium.
- 3- TFT est un module disposant de modèles particuliers permettant la simulation des siliciums amorphe et polycristallin.

Comme ATHENA, ATLAS base sa modélisation sur la résolution d'équations physiques ; ce qui lui confère les mêmes avantages. Il dispose pour cela d'un grand nombre de modèles intégrés dans les différents modules de simulation.

Ce simulateur permet de prédire les caractéristiques électriques associées à des dispositifs et ceci pour des tensions données. Pour cela, le logiciel résout des systèmes d'équations différentielles non linéaires décrivant la physique des semi-conducteurs. Pour effectuer des simulations efficaces, il est nécessaire de prendre un soin particulier à une juste définition du problème ; à savoir qu'il faut bien définir :

- 1- la structure physique dont il faut modéliser le fonctionnement et si nécessaire réajuster le maillage dans les zones critiques,
- 2- les modèles adéquats au problème, et enfin,
- 3- les conditions de polarisation et de variation de tension pour lesquelles les caractéristiques électriques sont attendues.

Outre ces deux logiciels, le Pack VWF (Virtual Wafer Fabrication) de SILVACO [3] fournit un ensemble d'outils périphériques spécialisés très utile pour l'environnement de

travail. Il s'agit ici de DeckBuild, Tonyplot, DevEdit et C-Interpreter qui sont décrits ci-dessous.

- 1- **DeckBuild** procure un environnement de travail interactif et convivial avec les logiciels de simulation ATHENA et ATLAS. Il permet un plus grand confort de programmation en proposant les différentes possibilités de simulation sous forme de plusieurs menus déroulants et traduit automatiquement les commandes dans le langage du logiciel utilisé. Ainsi, il est possible d'écrire des programmes de simulation sans en connaître le langage. De plus, cet environnement propose un suivi du déroulement du programme et le garde en mémoire de façon à pouvoir détecter une éventuelle erreur si elle se produit lors d'une absence. Enfin, il présente l'avantage d'avoir une bibliothèque d'exemples de simulation qui permettent de s'initier plus facilement au langage et à ces contraintes. Cet environnement est, en fait, une passerelle interactive entre tous les différents outils du pack VWF de SILVACO.
- 2- **TonyPlot** est un outil de visualisation graphique des structures ou courbes électriques simulées. Il est très convivial et permet d'accéder à de nombreuses informations concernant les structures et les courbes simulées.
- 3- **DevEdit** est un outil utile pour modifier les structures et adapter le maillage afin de les préparer à une modélisation du fonctionnement électrique. Il permet d'assurer plus facilement la connexion entre ATHENA et ATLAS. En effet, il permet aisément et sans connaissance d'un langage particulier de préparer les structures élaborées sous ATHENA afin de pouvoir effectuer leur simulation électrique avec ATLAS. Cette préparation consiste essentiellement à remailler plus finement les zones critiques.
- 4- **C-Interpreter** est une interface permettant d'intégrer dans le pack VWF des petits programmes écrits dans le langage C afin de définir ou de modifier certains paramètres de la simulation. Cette interface autorise entre autres l'accès à la modélisation de diffusion d'impuretés d'ATHENA et à certains paramètres électriques d'ATLAS, en particulier la mobilité des porteurs dans le matériau.

Les différentes relations entre les outils du pack VWF de SILVACO sont résumées sur la figure 1.

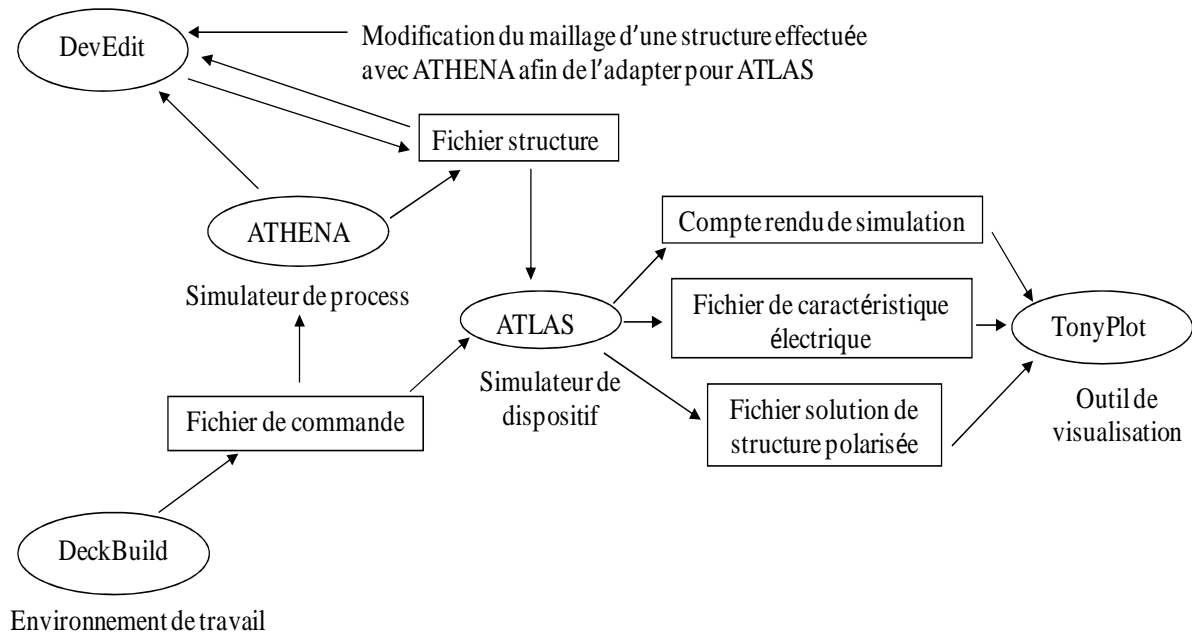


Figure III- 1 : Schéma explicatif des différentes interactions entre les outils du pack VWF

III-2.2 Méthodes

III-2.2.1 Elaboration de la structure des TFTs à simuler

Sous le logiciel ATHENA, nous définissons la structure de TFTs dont le comportement électrique sera simulé par la suite sous le logiciel ATLAS. Dans l'interface DeckBuild, nous écrivons une série de commandes bien ordonnée pour la définition de notre structure. Il s'agit tout d'abord de faire appel au logiciel ATHENA, avant de faire une série de dépôts et de gravures des différentes couches minces qui composent le TFTs. La structure des TFTs top-gate utilisée dans le cadre de ce présent travail est représentée sur la figure 2.

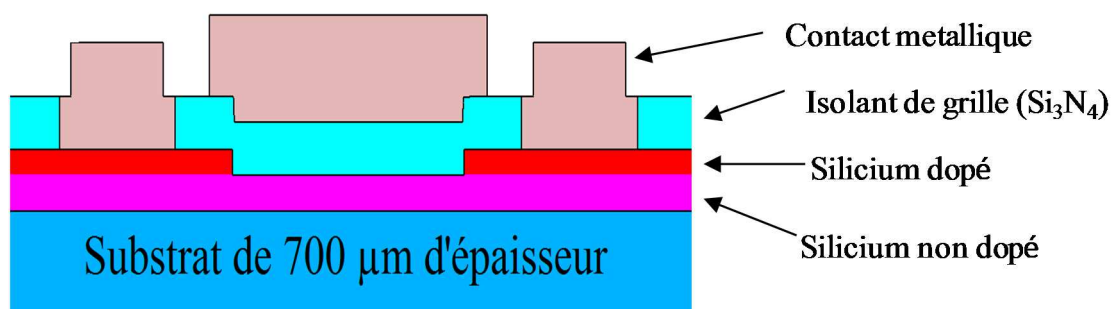


Figure III- 2 : Structure des TFTs simulés [4]

Comme le montre la figure 2, la structure des TFTs simulés est exactement la même que celle des TFTs caractérisés expérimentalement. Les structures ont été créées avec les données qui suivent :

- L'épaisseur du substrat est de 700 μm : Nous avons choisi une grande épaisseur pour le substrat pour éviter d'éventuelles interactions entre la surface de dépôt et l'autre face que nous avons décidé par la suite de mettre au potentiel zéro,
- Les épaisseurs de la couche active des différents TFTs sont de 30nm, 100nm et 200nm, avec comme maillage une division par nm,
- L'épaisseur du silicium dopé (dopé à 10^{19} atomes de phosphore/ cm^3) est de 70nm,
- L'épaisseur de l'isolant (Nitrure de silicium) est de 150nm,

Ensuite viennent les contacts métalliques (source, grille et drain). Certaines modifications ont été apportées à cette structure de base en fonction des paramètres à simuler.

III-2.2.2 Modèle physique utilisé sous ATLAS pour la simulation des propriétés électriques des TFTS

La simulation du fonctionnement électrique des TFTs est effectuée à partir du logiciel ATLAS. Celui ci, qui permet d'accéder aux courbes de fonctionnement des dispositifs, base sa modélisation sur le modèle physique applicable à n'importe quel dispositif semi-conducteur. Ce modèle consiste à définir un ensemble d'équations physiques fondamentales qui relient le potentiel électrostatique et la densité des porteurs dans des domaines de simulation donnés. Ces équations, qui ont été obtenues à partir des lois de Maxwell, sont l'équation de Poisson, les équations de continuité et les équations de transport. Une quatrième

équation est utilisée pour la simulation des dispositifs dans le domaine temporel. Il s'agit de l'équation du courant de déplacement.

1. L'équation de Poisson

L'équation de Poisson relie le potentiel électrostatique à la densité de charge d'espace, elle est donnée par [2] :

$$\text{div}(\varepsilon \nabla \psi) = -\rho \quad (1)$$

où ψ est le potentiel électrostatique, ε est la constante diélectrique locale, et ρ est la densité de charge d'espace locale. Le potentiel de référence peut être défini de différentes façons. La densité de charge d'espace locale est la somme des contributions de tous les charges fixes et mobiles, y compris des électrons, des trous et des impuretés ionisées. Elle s'écrit :

$$\rho = q(p - n + N_D^+ - N_A^-) \quad (2)$$

où n et p représentent respectivement la concentration des électrons et celle des trous, N_D^+ et N_A^- sont les concentrations des impuretés donneur et accepteur ionisées.

Les matériaux semi-conducteurs présentent des défauts de cristal, qui peuvent être causés par des liaisons pendantes au niveau des interfaces ou par la présence d'impuretés dans le substrat. La présence de ces centres de défauts, ou de pièges, dans des substrats semi-conducteurs peut influencer de manière significative les caractéristiques électriques des dispositifs. Ces centres de pièges, dont l'énergie associée se situe dans la bande interdite, sont des centres d'échange de charge entre les bandes de conduction et de valence à travers l'émission et la capture d'électrons. Les centres de pièges influencent la densité de charge d'espace dans le volume du semi-conducteur et les statistiques de recombinaison.

La physique des dispositifs a établi l'existence de trois mécanismes différents, qui s'ajoutent au terme de charge d'espace dans l'équation de Poisson en plus des impuretés donneurs et accepteurs ionisées. Ce sont la charge fixe d'interface, des états de pièges d'interface et des états de pièges en volume. La charge fixe d'interface est modélisée comme une feuille de charges à l'interface, et est donc commandée par les conditions aux limites de l'interface. Les pièges à l'interface et les pièges en volume vont s'ajouter à la charge d'espace directement dans le côté droit de l'équation de Poisson.

Un piège de type donneur peut être soit positif ou neutre comme un dopant donneur. Un piège de type accepteur peut être négatif ou neutre comme un dopant accepteur. Un piège donneur est chargé positivement (ionisé) lorsqu'il est vide et neutre quand il est rempli (avec un électron). Un piège de type donneur vide, qui est positif, peut capturer un électron ou émettre un trou. Un piège de type donneur rempli, qui est neutre, peut émettre un électron ou capturer un trou. Un piège de type accepteur est neutre lorsqu'il est vide et chargé négativement (ionisé) lorsqu'il est rempli (avec un électron). Un piège de type accepteur rempli peut émettre un électron ou capturer un trou. Un piège de type accepteur vide peut capturer un électron ou d'émettre un trou. Les pièges de type donneur se situent généralement près de la bande de valence, tandis que, les pièges de type accepteur se situent généralement près de la bande de conduction.

L'équation de Poisson incluant les concentrations de porteurs, les concentrations des impuretés donneurs et accepteurs ionisées N_D^+ et N_A^- ainsi que les charges due aux pièges et défauts Q_T , a la forme:

$$\text{div}(\varepsilon \nabla \psi) = q(n - p - N_D^+ + N_A^-) - Q_T \quad (3)$$

La charge totale due à la présence de pièges est soustrait du côté droit de l'équation de Poisson. La valeur totale de charge est définie par:

$$Q_T = q(N_{tD}^+ - N_{tA}^-) \quad (4)$$

où N_{tD}^+ et N_{tA}^- sont les densités respectives de pièges donneurs et accepteurs ionisées. La densité ionisée dépend de la densité de pièges et de sa probabilité d'ionisation, F_{tD} et F_{tA} .

2. Les équations de continuité des porteurs

Les équations de continuité des électrons et des trous sont définies par les expressions suivantes :

$$\frac{\partial n}{\partial t} = \frac{1}{q} \text{div} \vec{J}_n + G_n - R_n \quad (5)$$

$$\frac{\partial p}{\partial t} = \frac{1}{q} \text{div} \vec{J}_p + G_p - R_p \quad (6)$$

où n et p représentent respectivement la concentration des électrons et celle des trous, \vec{J}_n et \vec{J}_p sont les densités de courant d'électrons et de trous, G_n et G_p sont les taux de génération des électrons et des trous, R_n et R_p sont les taux de recombinaison des électrons et des trous, et q est la charge électrique d'un électron.

3. Les équations de transport

L'équation de Poisson et les équations de continuité fournissent un cadre général pour la simulation des dispositifs à base de semi-conducteur. Mais de nouvelles équations secondaires sont nécessaires pour spécifier les modèles physiques des densités de courant d'électrons et de trous J_n et J_p , des taux de génération des électrons et des trous G_n et G_p , et des taux de recombinaison des électrons et des trous R_n et R_p . Les équations de densité de courant ou les modèles de transport de charge sont généralement obtenues en appliquant des approximations et des simplifications de l'équation de transport de Boltzmann. Ces hypothèses peuvent entraîner un certain nombre de modèles de transport tels que le modèle de dérive-diffusion, le modèle de bilan énergétique ou le modèle hydrodynamique. Le choix du modèle de transport de charge aura donc une influence importante sur le choix des modèles de génération et de recombinaison.

Le modèle le plus simple de transport de charge qui est utile est le modèle de dérive-diffusion. Ce modèle, qui sera présenté dans le paragraphe suivant, a la particularité séduisante de n'introduire aucune autre variable indépendante de plus que ψ , n et p . Jusqu'à récemment, le modèle de dérive-diffusion était suffisant pour presque tous les appareils qui étaient technologiquement réalisables. L'approximation du modèle de dérive-diffusion est, cependant, devenue moins précise pour les fonctionnalités des dispositifs de petites tailles. Les modèles de Bilan énergétique et hydrodynamiques plus avancés sont donc de plus en plus populaires pour la simulation avancée des dispositifs submicroniques. ATLAS fournit à la fois les modèles de dérive-diffusion et les modèles de transport avancés. Ces modèles font usage à certains concepts associés aux statistiques des porteurs.

Modèle de transport de dérive-Diffusion

Dans ce modèle, les densités de courant d'électrons et de trous sont exprimées en termes de niveaux de quasi-Fermi ϕ_n et ϕ_p par :

$$\vec{J}_n = -q\mu_n n \nabla \phi_n \quad (7)$$

$$\vec{J}_p = -q\mu_p p \nabla \phi_p \quad (8)$$

où μ_n et μ_p sont les mobilités des électrons et des trous. Les niveaux de quasi-Fermi sont ensuite liés aux concentrations de porteurs et au potentiel à travers les deux approximations de Boltzmann:

$$n = n_{ie} \exp \left[\frac{q(\psi - \phi_n)}{kT_L} \right] \quad (9)$$

$$p = n_{ie} \exp \left[\frac{-q(\psi - \phi_p)}{kT_L} \right] \quad (10)$$

où n_{ie} est la concentration intrinsèque efficace et T_L est la température du réseau. Ces deux équations peuvent alors être réécrites afin de définir les potentiels de quasi-Fermi:

$$\phi_n = \psi - \frac{kT_L}{q} \ln \frac{n}{n_{ie}} \quad (11)$$

$$\phi_p = \psi + \frac{kT_L}{q} \ln \frac{p}{n_{ie}} \quad (12)$$

En remplaçant ces équations dans les expressions de densité de courant, les relations obtenues sont les suivantes:

$$\vec{J}_n = qD_n \nabla n - qn\mu_n \nabla \psi - \mu_n n (kT_L \nabla (\ln n_{ie})) \quad (13)$$

$$\vec{J}_p = -qD_p \nabla p - qp\mu_p \nabla \psi + \mu_p p (kT_L \nabla (\ln n_{ie})) \quad (14)$$

Le dernier terme compte pour le gradient de la concentration de porteurs intrinsèques efficace, qui tient compte des effets de rétrécissement de bande interdite. Les champs électriques efficaces sont définis comme suit:

$$\vec{E}_n = -\nabla \left(\psi + \frac{kT_L}{q} \ln n_{ie} \right) \quad (15)$$

$$\vec{E}_p = -\nabla \left(\psi - \frac{kT_L}{q} \ln n_{ie} \right) \quad (16)$$

ce qui permet alors la formulation plus classique des équations de dérive-diffusion d'être écrite comme suit :

$$\vec{J}_n = qn\mu_n\vec{E}_n + qD_n\nabla n \quad (17)$$

$$\vec{J}_p = qp\mu_p\vec{E}_p - qD_p\nabla p \quad (18)$$

Dans le cas de la statistique de Boltzmann, D_n et D_p s'écrivent :

$$D_n = \frac{kT_L}{q} \mu_n \quad (19)$$

$$D_p = \frac{kT_L}{q} \mu_p \quad (20)$$

III-2.2.3 Modèle physique du matériau silicium microcristallin utilisé pour la simulation des propriétés électriques des TFTs

Le matériau de base de nos TFTs étant du silicium microcristallin, la couche active contient un nombre de défauts électriquement actifs qui vont influencer sur les caractéristiques des transistors. Si on considère la taille des grains formant le matériau, qui est inférieure à 50 nm, et la taille du canal des transistors, typiquement de largeur 100 μm et de longueur 20 μm , le nombre de grains dans le canal peut être traité de façon statistique. Enfin si l'on considère les joints de grain comme le siège des défauts, nous pouvons considérer une répartition uniforme des défauts dans le canal. La couche active en silicium microcristallin sera alors considérée dans la suite comme étant formée d'un matériau homogène contenant une répartition uniforme de défauts électriquement actifs.

Les fluctuations de potentiel provoquées par des contraintes de champ non relaxé, c'est-à-dire les distorsions du réseau cristallin, générées par la présence de joints de grain vont introduire dans la bande interdite des états permis au voisinage des bandes de conduction et de

valence : d'où leurs noms de queues de bande. Ces états se comportent respectivement comme des pièges à électrons et à trous.

Dans le silicium amorphe, les mesures de photo-émission [5], de spectroscopie de capacité transitoire (C.T.S.) [6] ou spectroscopie transitoire des niveaux profonds (D. L. T. S.) [7], d'effet de champ [8] et de temps de vol [9], semble bien établir que deux distributions exponentielles d'états de queues de bande existent dans la bande interdite. La distribution maximale en bord de bande, va en décroissant vers le milieu de la bande interdite.

Les liaisons insatisfaites, dites liaisons pendantes, vont générer des états représentés approximativement par deux gaussiennes situées symétriquement de part et d'autre du milieu de gap. Cette symétrie illustre le caractère amphotère de liaisons pendantes. Ces états permis dans la bande interdite vont constituer autant de pièges pour les porteurs libres. L'équation 21 suivante représente la distribution des états de défauts dans la bande interdite :

$$g(E) = g_{TA}(E) + g_{TD}(E) + g_{GA}(E) + g_{GD}(E) \quad (21)$$

Avec :

$$g_{TA}(E) = N_{TA} \exp \left[\frac{E-E_C}{W_{TA}} \right] \quad (22)$$

$$g_{TD}(E) = N_{TD} \exp \left[\frac{E_V-E}{W_{TD}} \right] \quad (23)$$

$$g_{GA}(E) = N_{GA} \exp \left[- \left(\frac{E_{GA}-E}{W_{GA}} \right)^2 \right] \quad (24)$$

$$g_{GD}(E) = N_{GD} \exp \left[- \left(\frac{E-E_{GD}}{W_{GD}} \right)^2 \right] \quad (25)$$

La figure 3 représente schématiquement les distributions des états des queues de bande de conduction et de valence ainsi que les gaussiennes des liaisons pendantes avec les différents paramètres.

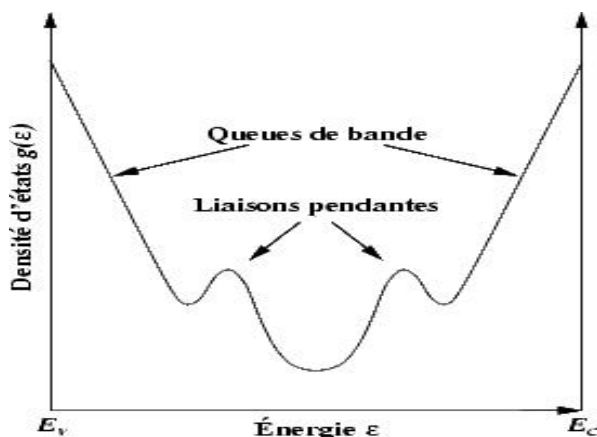


Figure III- 3 : Représentation schématique de la distribution des états introduits par les défauts dans la bande interdite du silicium

En considérant le silicium microcristallin de nos transistors comme un matériau homogène avec une distribution uniforme de défauts, il est possible de rapprocher leur distribution énergétique dans la bande interdite de celle des défauts dans le silicium amorphe. Cependant, considérant avec d'autres auteurs [10, 11] les niveaux de concentration de défauts dans les états profonds, il est possible de simplifier le schéma précédent (Figure 3) en remplaçant les gaussiennes par des exponentielles. La distribution de la densité de défauts à l'intérieur de la bande interdite peut être alors représentée par 4 exponentielles :

- 2 exponentielles décroissantes à partir du minimum de la bande de conduction E_c et du maximum de la bande de valence E_v , qui représentent la queue de bande de conduction (g_{TA}) et la queue de bande de valence (g_{TD}) respectivement.

$$g_{TA}(E) = N_{TA} \exp \left[\frac{E - E_c}{W_{TA}} \right] \quad (26)$$

$$g_{TD}(E) = N_{TD} \exp \left[\frac{E_v - E}{W_{TD}} \right] \quad (27)$$

N_{TA} est la densité d'états de la bande de conduction E_c et W_{TA} est la pente de l'exponentielle qui décrit la densité d'états dans la queue de bande conduction.

N_{TD} est la densité d'états de la bande de valence E_v et W_{GA} est la pente de l'exponentielle qui décrit la densité d'états dans la queue de bande de valence.

- 2 exponentielles décroissantes vers le milieu de la bande interdite, représentant les niveaux de défauts profonds

$$g_{GA}(E) = N_{GA} \exp \left[\frac{E-E_c}{W_{TA}} \right] \quad (28)$$

$$g_{GD}(E) = N_{GD} \exp \left[\frac{E_v-E}{W_{TD}} \right] \quad (29)$$

N_{GA} est la densité d'états profonds de la bande de conduction E_c . W_{GA} est la pente de l'exponentielle qui décrit la densité d'états profonds dans la moitié supérieure de l'intervalle de bande interdite. De même, N_{GD} est la densité d'états profonds à E_v . W_{TD} est la pente de l'exponentielle que décrit la densité d'états profonds dans la moitié inférieure de l'intervalle de la bande interdite. La figure 4 représente la nouvelle configuration de la distribution des états de défauts dans la bande interdite.

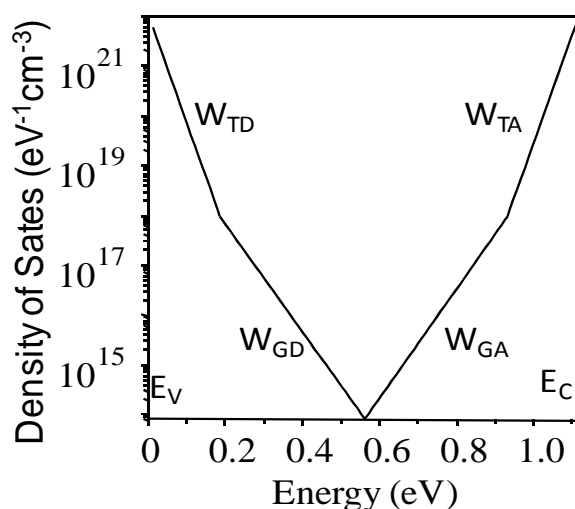


Figure III- 4 : Distribution de la densité des états dans la bande interdite du silicium [4, 10]

Cette distribution est habituelle dans la modélisation de la densité de défauts dans la bande interdite de silicium poly-micro-nano-cristallin. Elle peut être déduite à partir des caractéristiques de transfert de TFTs de type N et de type P qui sont basés sur la même couche active de silicium. En effet, la transconductance est pilotée par la cinétique de déplacement du niveau de Fermi en fonction de la tension grille. Cette cinétique est déterminée par la densité d'états de la bande interdite que doit couvrir le niveau de Fermi dans son déplacement. En utilisant un procédé incrémental [12] pour déterminer la relation entre la polarisation de grille et le potentiel à l'interface isolant-canal, le profil de densité d'états est calculé dans la gamme d'énergie recouverte par le déplacement du niveau de Fermi. Pour montrer un exemple de la validité du modèle de la densité de défauts dans la bande interdite utilisée dans la présente étude, nous pouvons prendre les caractéristiques de transfert de TFTs de type N et de type P fabriqués simultanément en utilisant la même couche de silicium microcristallin non dopé de 100 nm d'épaisseur comme couche active (fig. 5a). Le procédé de fabrication des TFTs de type P est similaire à celui présenté dans la partie expérimentale, seulement, la source et le drain du TFT à canal P sont réalisés avec une couche de $\mu\text{c-Si}$ dopée in situ avec du bore. Ces caractéristiques ont déjà été publiées et sont données ici uniquement pour soutenir le modèle de la densité de défauts dans la bande interdite utilisé dans la présente simulation [13]. La densité d'états extraite des caractéristiques de transfert de la figure 5a est représentée sur la figure 5b. Dans cette figure, la densité est donnée comme une fonction de l'énergie calculée à partir du niveau de Fermi E_F en bandes plates, supposé près du milieu de la bande interdite dans une couche de $\mu\text{c-Si}$ non dopé. Le bord de la bande de conduction est à $E - E_F = 0,5 \text{ eV}$, et le bord de la bande de valence est à $E - E_F = - 0.5\text{eV}$. Il est évident que cette densité calculée peut être lissée par 4 exponentielles comme on le voit dans la figure 5b :

- 2 exponentielles près des bords de la bande de conduction et de la bande de valence représentant les queues de bande de conduction et de valence,
- 2 exponentielles représentant la densité des défauts profonds.

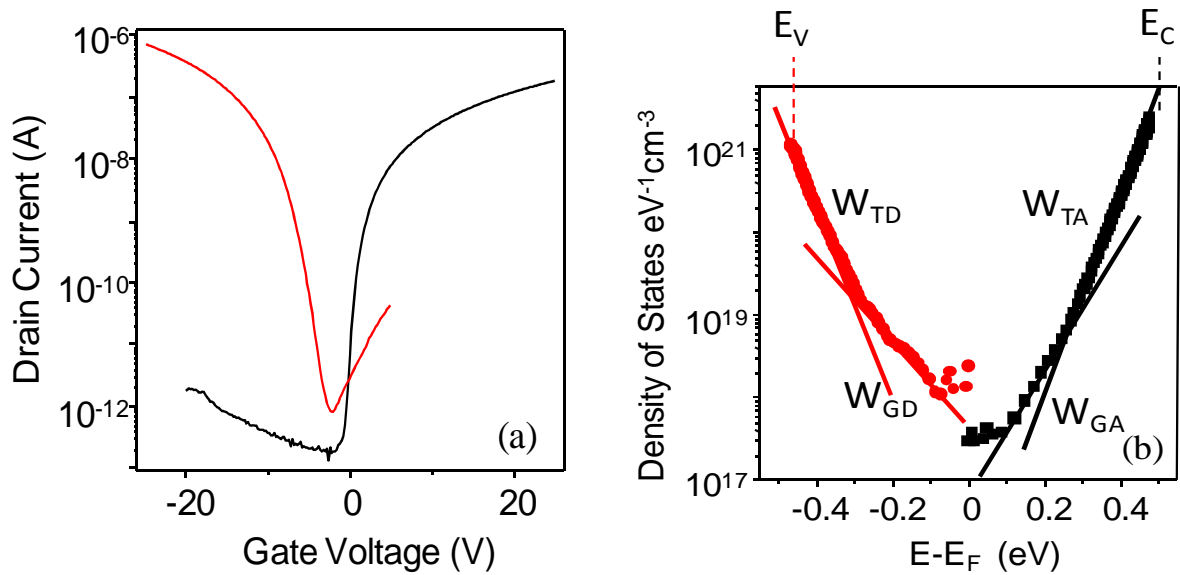


Figure III- 5 : Densité d'états à l'intérieur de la bande interdite d'un film de silicium microcristallin (b), calculée à partir des caractéristiques de transfert (a) [13] des TFTS de type N et de type P fabriqué simultanément sur une couche de silicium microcristallin non dopé de 100 nm d'épaisseur. Le TFT de type N a une longueur de canal $L=20\ \mu\text{m}$ et une largeur de canal $W=20\ \mu\text{m}$. La longueur L et la largeur W du TFT de type P sont respectivement de $20\ \mu\text{m}$ et $80\ \mu\text{m}$.

III-3 Simulation électrique des transistors en couches minces en utilisant l'outil ATLAS à partir de SILVACO

Utilisant les outils SILVACO ainsi que le modèle du silicium microcristallin définis précédemment, le comportement des TFTs ayant la structure définie aussi précédemment est simulé dans ce paragraphe. Dans tout ce paragraphe, la permittivité du nitrure de silicium est fixée à 6,5, la mobilité des électrons à $10\ \text{cm}^2/\text{V.s}$ et celle des trous à $3\text{cm}^2/\text{V.s}$.

III-3.1 Caractéristiques des TFTs

Nous allons tout d'abord dans ce paragraphe vérifier la validité du calcul en étudiant le comportement des transistors à des températures différentes et en le comparant aux résultats expérimentaux donnés dans le chapitre 2 précédent. Ceci nous permettra aussi d'essayer de les expliquer. La température ayant une très grande influence sur la mobilité des électrons et celle des trous, leurs variations sont modélisées par les équations 30 et 31 respectivement.

$$\mu_n = 10. \left(\frac{T}{300} \right)^{-1.5} \quad (30)$$

$$\mu_p = 3. \left(\frac{T}{300} \right)^{-1.5} \quad (31)$$

La température est prise variant de 150 K à 400 K avec un pas de 50 K (ou 25 K au voisinage de 300 K).

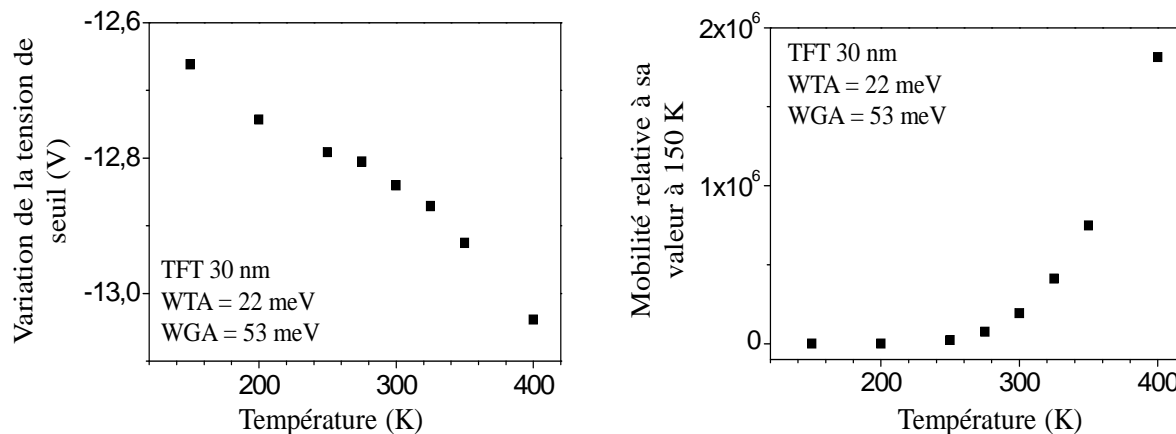


Figure III- 6 : Variation de la tension de seuil et de la mobilité des transistors avec la température

La figure 6 présente les variations de la tension de seuil et de la mobilité de TFTs de 30 nm de couche active pour les paramètres des exponentielles de densités d'états accepteurs déterminant le comportement des TFTs de type N suivants :

$$WTA = 22 \text{ meV} \quad WGA = 53 \text{ meV}$$

La tension de seuil se déplace vers les tensions négatives alors que la mobilité augmente quand la température augmente. Ces comportements sont équivalents à ceux observés expérimentalement et présentés dans le chapitre 2 (Figure 7) ; ce qui valide le modèle utilisé.

L'augmentation de mobilité signifie que sa valeur est plus déterminée dans un tel matériau contenant des défauts électriquement actifs par le piégeage dans ces défauts dont l'effet diminue quand la température augmente. La mobilité d'effet de champ dans les MOSFETs au silicium monocristallin diminue en effet quand la température augmente. Elle est plus déterminée par les collisions qui deviennent plus nombreuses à haute température.

Afin d'étayer cette explication, le comportement des transistors en fonction de la température a été simulé pour différentes densités de défauts. La figure 7 présente tout d'abord l'évolution des caractéristiques de transfert à température ambiante en fonction de la quantité de défauts dans la partie supérieure de la bande interdite. Comme attendu le courant direct diminue quand la quantité de défauts augmente alors que le courant inverse augmente. L'augmentation du courant inverse est due à l'activation des défauts.

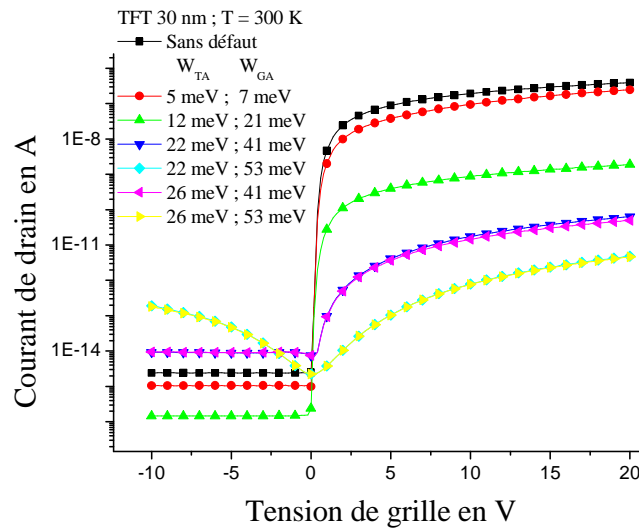


Figure III- 7 : Caractéristiques de transfert en échelle semi-logarithmique du TFT de 30 nm d'épaisseur de couche active à T = 300 K et pour différentes concentrations de défauts dans le canal.

Ces caractéristiques de transfert ont ensuite été calculées à différentes températures entre 150K et 400K et les valeurs de mobilité déduites. Dans de pareils transistors, la transconductance et donc la mobilité varient avec la valeur de la tension grille. Les valeurs de la mobilité données dans la suite sont les valeurs maximales de la mobilité. La figure 8 représente l'évolution en fonction de la température de cette mobilité maximale d'effet de champ pour différentes concentrations de défauts dans la couche active. L'évolution se faisant sur plusieurs ordres de grandeur dans la gamme de variation de la concentration de défauts, la figure est scindée en plusieurs graphes suivant les niveaux de concentration de défauts.

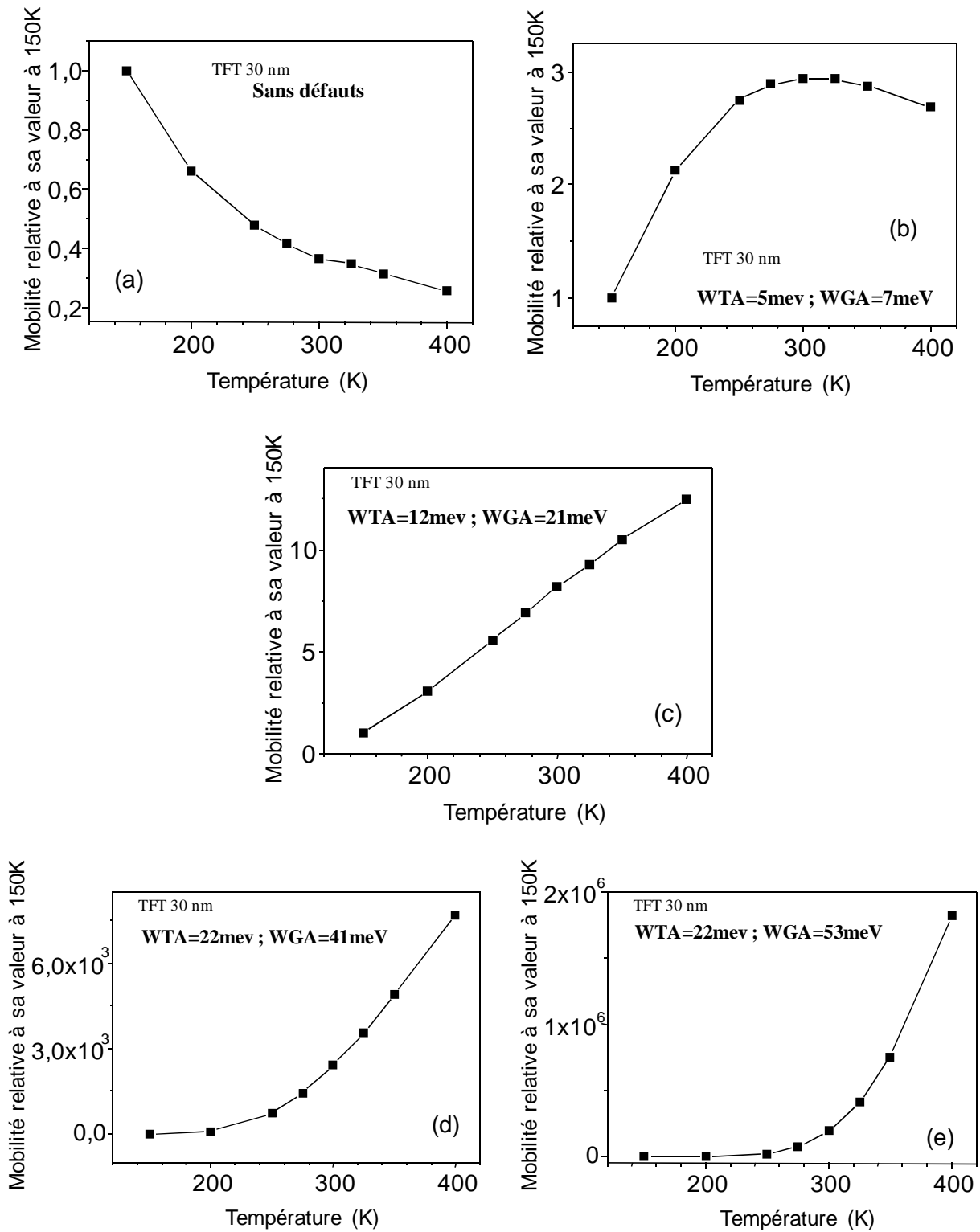


Figure III- 8 : Evolution de la mobilité d'effet de champ électronique en fonction de la température pour différentes concentrations de défauts dans la moitié supérieure de la bande interdite

Le comportement de la mobilité est très dépendant du niveau de concentration de défauts. En l'absence de défauts (silicium monocristallin), la mobilité diminue continuellement avec la température. Dans ce cas, la mobilité n'est limitée que par les collisions qui augmentent avec la température, entraînant sa diminution. En présence de défauts, la mobilité est activée par ces défauts. A très faible quantité de défauts (Figure 8b), cette activation est présente à basse température et la mobilité augmente. A haute température, les défauts sont activés et la mobilité n'est limitée que par les collisions et diminue donc. A plus forte concentration de défauts (Figures 8c, 8d, 8e), seule leur activation domine et la mobilité augmente continuellement. Cependant, aux fortes concentrations de défauts (Figures 8d et 8e), la mobilité n'augmente pratiquement pas et reste à des valeurs très faibles à basse température. Une température élevée est nécessaire pour que l'activation soit effective.

L'activation de la mobilité est connue dans les transistors dont la couche active présente des défauts. L'énergie d'activation est connue aussi pour augmenter avec la densité de défauts. C'est exactement ce que montrent nos résultats où l'on voit, par exemple, l'augmentation plus rapide de la mobilité avec la température avec $WGA=53$ meV (Figure 8e) qu'avec $WGA=41$ meV (Figure 8d).

Cette étude en température, destinée à confronter les résultats de simulation aux résultats expérimentaux présentés ici et aux connaissances sur les TFTs à base de matériaux défectueux, nous a permis de nous assurer de la validité de la simulation. Nous allons donc revenir plus à l'objet de notre travail en étudiant par simulation l'effet de la variation de l'épaisseur de la couche active sur les paramètres électriques des transistors.

III-3.2 Effet de la variation de l'épaisseur de la couche active

L'épaisseur de la couche active des TFTs a un rôle très important dans la performance des TFTs. Une étude expérimentale présentée dans le chapitre précédent a montré que plus l'épaisseur de la couche active est faible plus les transistors ont une meilleure pente sous le seuil et une meilleure stabilité. Dans la suite de ce paragraphe, nous présentons une simulation du comportement des TFTs face à la variation de l'épaisseur de leurs couches actives. La même étude a été effectuée avec et sans défaut dans le silicium. Nous allons tout d'abord présenter la simulation sans défaut puis avec défauts dans la couche de silicium.

III-3.2.1 Effet de la variation de l'épaisseur de la couche active des TFTs en l'absence de défauts électriques (silicium monocristallin)

Lors de la définition des propriétés du matériau, il suffit tout simplement de ne pas introduire de défauts dans le silicium. Ensuite, les caractéristiques de transfert ont été calculées par le logiciel ATLAS. Les données obtenues pour 3 épaisseurs prises comme exemples, 30 nm, 100 nm et 200 nm, sont représentées sur la figure 9. On remarque la meilleure pente de la courbe représentée en linéaire pour la couche la plus fine, 30nm. Ce transistor a ainsi une meilleure transconductance. La représentation logarithmique montre un courant inverse augmentant quand l'épaisseur diminue. Pour l'ensemble des épaisseurs testées, la figure 10 montre l'évolution de la tension de seuil, de la pente sous le seuil et de la transconductance en fonction de l'épaisseur de la couche active.

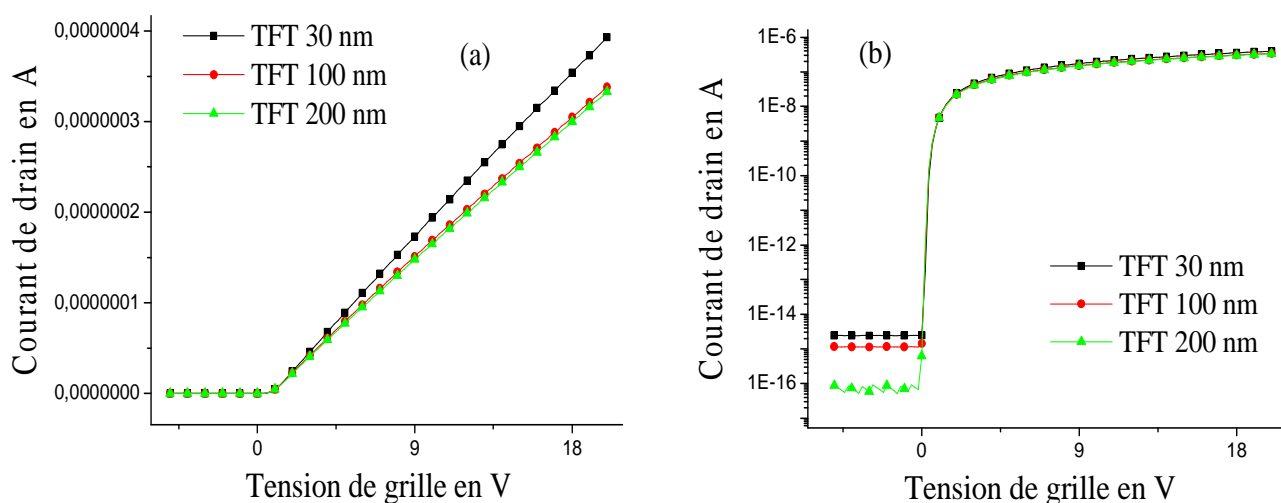


Figure III- 9 : Caractéristique de transfert en linéaire (a) et semi-logarithmique (b) de transistors de 30, 100 et 200 nm d'épaisseur de couche active et dont la couche de silicium est sans défaut.

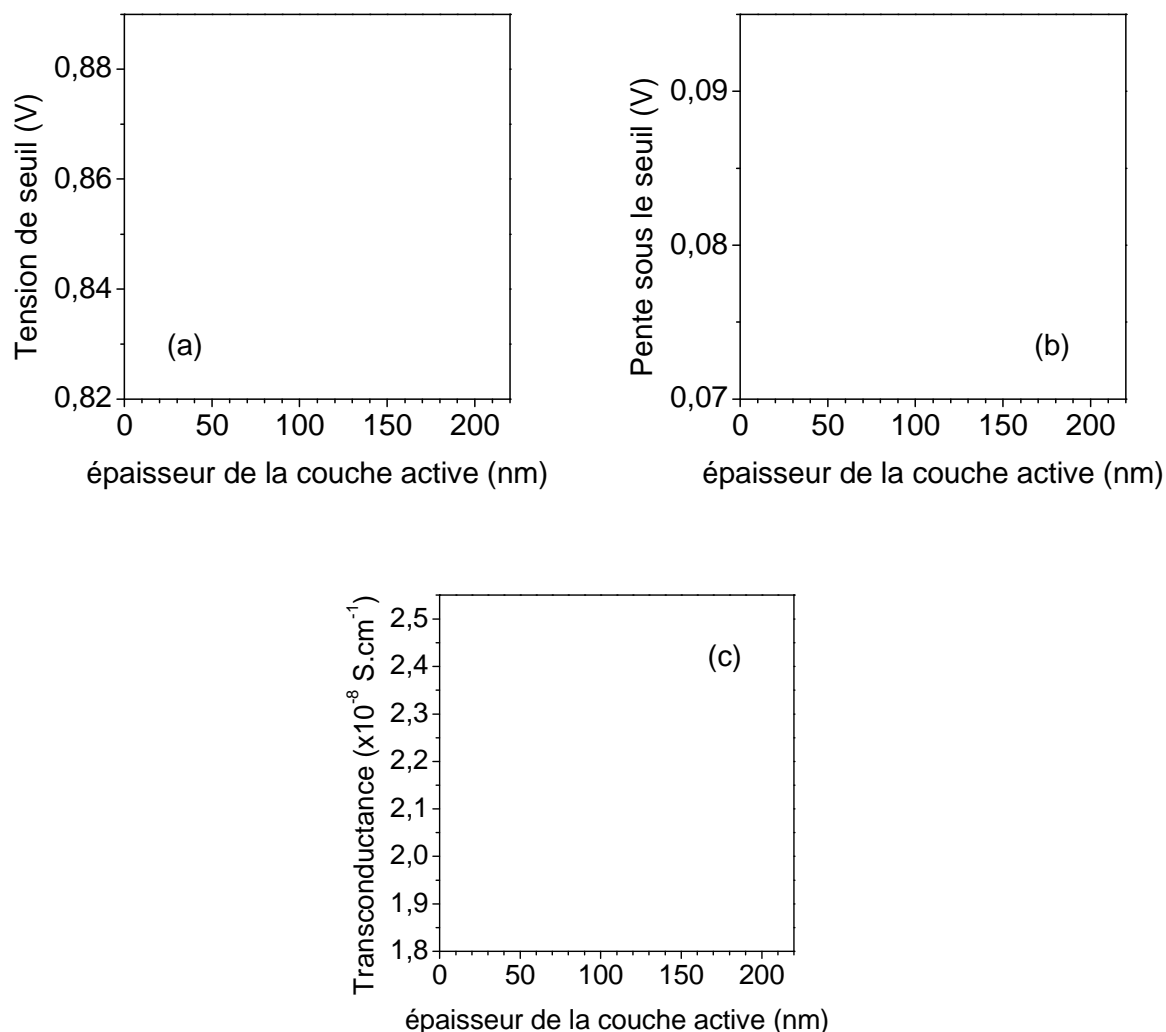


Figure III- 10 : Tension de seuil (a), pente sous le seuil (b) et transconductance (c) des TFTs en fonction de l'épaisseur de la couche active. Le matériau de la couche active est considéré sans défauts

Les variations ne sont pas importantes. Cependant les tendances à l'augmentation de la tension de seuil, à la diminution de la pente sous le seuil et à une augmentation de la transconductance, quand l'épaisseur diminue, sont nettes. Ces tendances sont identiques à ce qui est trouvé dans les simulations des SOI-MOSFETs pour de grandes épaisseurs de l'isolant arrière et pour une couche active faiblement dopée [14] ; ce qui est le cas de nos TFTs avec un verre épais comme isolant arrière et une couche active non-dopée.

III-3.2.2 Effet de la variation de l'épaisseur de la couche active des TFTs contenant des défauts dans leur couche active en silicium

L'épaisseur de la couche active varie de 10 à 200 nm. Pour chaque épaisseur, la densité de défauts dans la mi-partie supérieure de la bande interdite (près de la bande de conduction) a été modifiée en maintenant la densité de défauts dans la mi-partie inférieure de la bande interdite constante. Ces choix des paramètres variables et constants sont dus au fait que le niveau de Fermi traverse la mi-partie supérieure de la largeur de la bande interdite dans la région en dessous du seuil des transistors à couches minces de type-N. La valeur de la pente sous le seuil est principalement due à la densité de défauts dans cette partie supérieure de la bande interdite. Ensuite, les valeurs de W_{TD} et W_{GD} ont été maintenues constantes à 20 meV et 40 meV respectivement. Les valeurs de W_{TA} et W_{GA} ont varié de 22 à 26 meV et de 41 à 53 meV respectivement. Pour chaque épaisseur, les caractéristiques de transfert en régime linéaire ($V_{DS} = 1V$) correspondantes ont été calculées. La figure 11 présente à titre d'exemple les caractéristiques de transfert à une tension drain de +1V des TFT de 30nm, 100nm et 200nm d'épaisseur de couche active ayant une densité de défauts caractérisée par $W_{TA} = 22$ meV et $W_{GA} = 41$ meV.

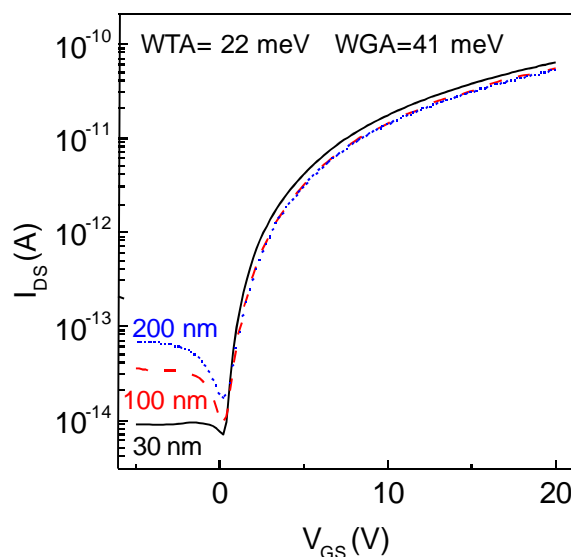


Figure III- 11 : Caractéristique de transfert des transistors de 30, 100 et 200 nm d'épaisseur de couche active et dont la couche de silicium une densité de défauts caractérisée par $W_{TA} = 22$ meV et $W_{GA} = 41$ meV

La figure 11 montre une amélioration de la pente sous le seuil et une diminution de la tension de seuil quand l'épaisseur diminue. Ces tendances sont similaires à celles trouvées expérimentalement.

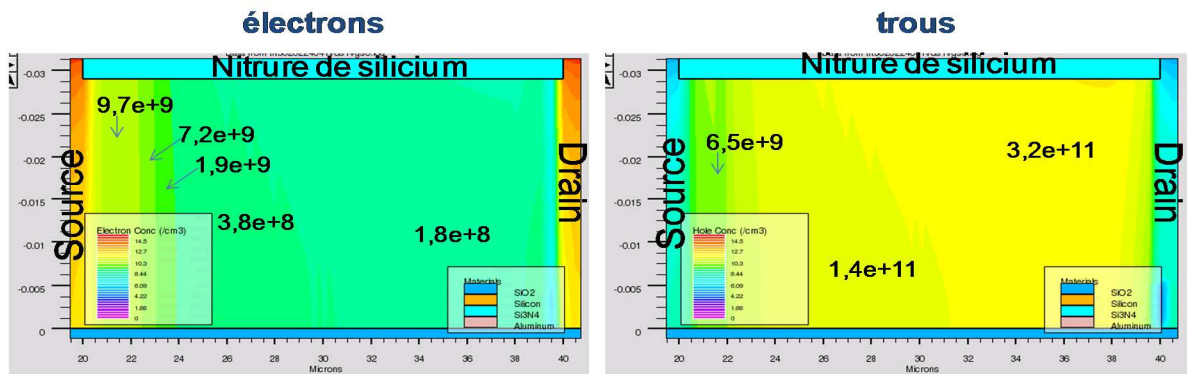
L'autre observation concerne le courant inverse qui augmente quand l'épaisseur augmente. Par ailleurs, il présente un creux aux faibles tensions grille inverses qui a tendance à s'élargir quand l'épaisseur augmente.

III-3.2.2.1 Effet sur le courant inverse

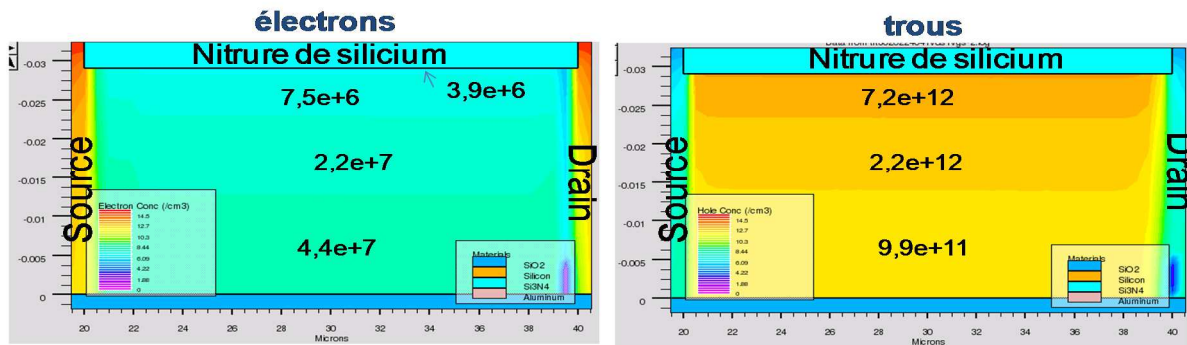
Pour expliquer la tendance du courant inverse observée dans la figure 11, nous nous intéressons aux concentrations d'électrons et de trous dans les couches actives de 30 nm et 200 nm d'épaisseur à la tension grille correspondant au minimum du courant (dans le creux) et à une tension grille suffisamment en inverse (-2V pour l'épaisseur de 30 nm et -8V pour l'épaisseur de 200 nm).

La figure 12 présente un schéma de niveaux et des valeurs de ces concentrations à l'intérieur des couches actives. Les trous sont majoritaires dès $V_g=0V$ et leur concentration augmente à -2V dans toute la couche active de 30nm. Une jonction pn existe entre le drain et l'ensemble de la couche active de 30nm. Pour la couche active de 200 nm d'épaisseur, les trous ne sont presque jamais majoritaires dans la zone arrière de la couche. Une jonction pn n'existe clairement que dans la partie supérieure de la couche et à $V_g=-8V$. Ces jonctions pn sont polarisées en inverse dans ces cas de polarisation (V_{gd} négatif dans tous les cas). A V_g fixé, la caractéristique courant de drain en fonction de la tension de drain est celle du contact drain-couche active. Si le drain et la couche active ont même type de dopage (type N ici), la caractéristique est de type ohmique. Si le drain et la couche active sont de types différents (ici Drain de type N et couche active de type P), la caractéristique est celle d'une jonction pn (polarisée en inverse ici). Généralement, le courant dominant d'une jonction pn polarisée en inverse est assisté par la génération. Le courant varie dans ce cas en racine carrée de la tension appliquée (tension drain-couche active dans ce cas). Nous traçons (Figure 13) alors la caractéristique courant de drain en fonction de la tension de drain pour les 2 couches actives de 30 nm et 200 nm d'épaisseur et aux tensions grille de 0V (correspondant au minimum du courant de drain) et de -2V pour la couche de 30 nm et de -8V pour la couche de 100 nm (correspondant au régime en inverse des transistors).

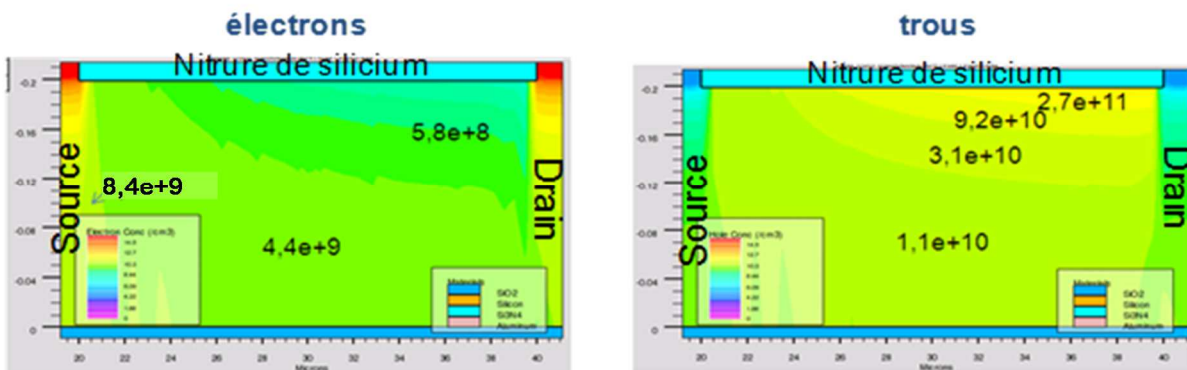
$e = 30 \text{ nm}$ $V_g = 0V$ $V_d = +1V$



$e = 30 \text{ nm}$ $V_g = -2V$



$e = 200 \text{ nm}$ $V_g = 0V$



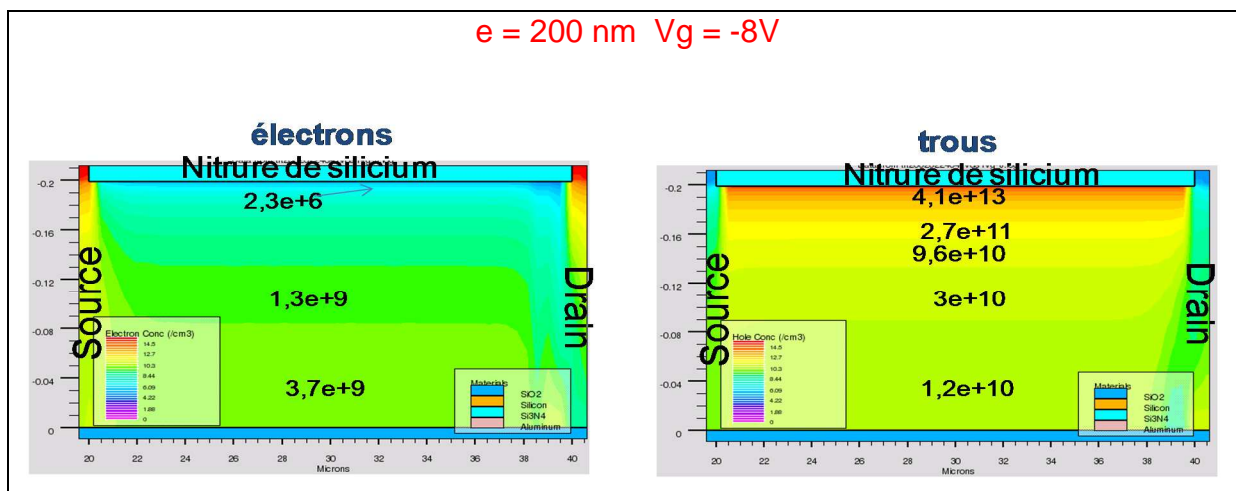


Figure III- 12 : Concentrations d'électrons et de trous dans les couches actives d'épaisseurs 30nm et 200nm pour des tensions de grille de 0V (correspondant au minimum du courant de drain) et de -2V pour la couche de 30 nm et de -8V pour la couche de 200 nm (correspondant au régime en inverse des transistors).

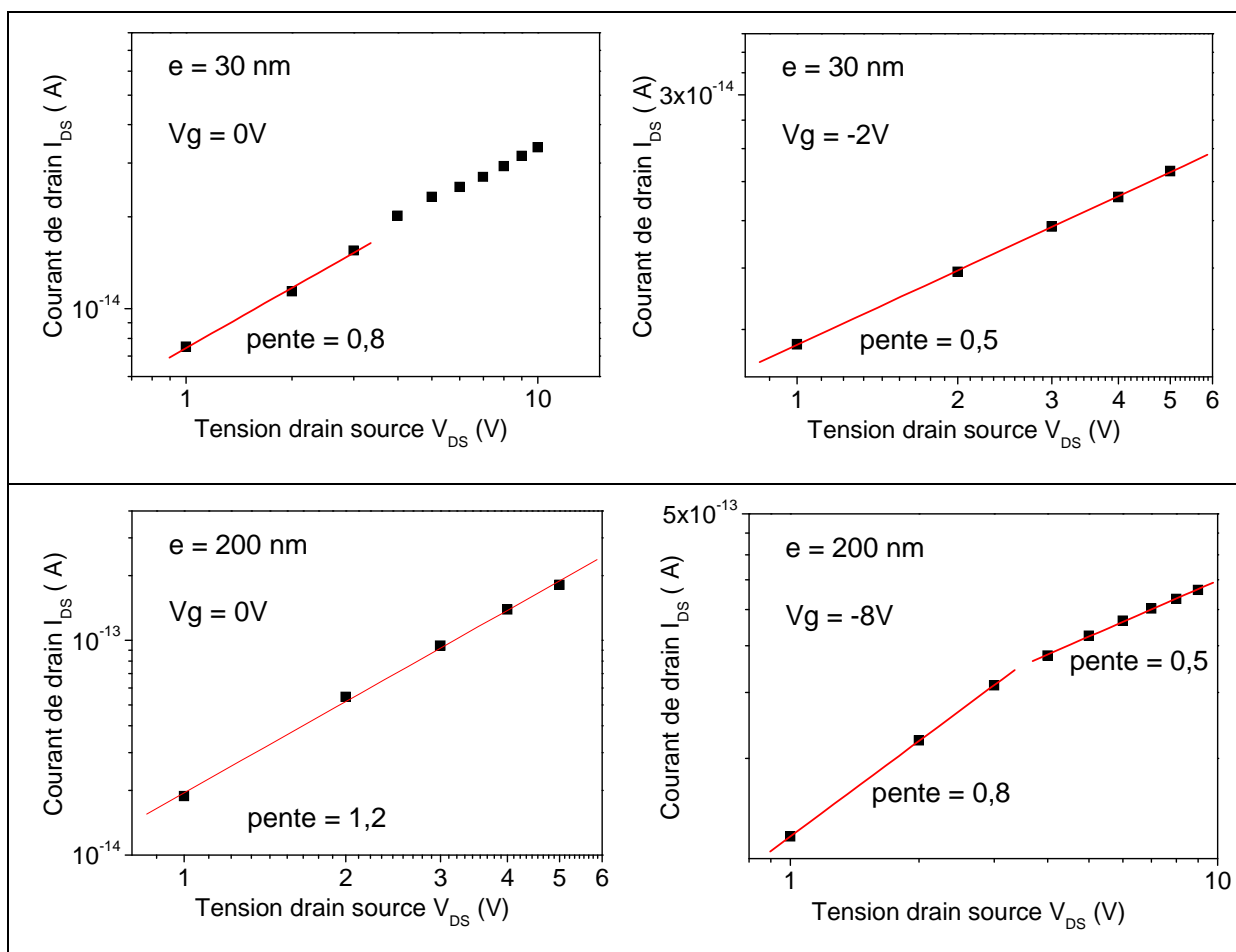


Figure III- 13 : Courbes courant de drain – tension de drain pour les couches actives d'épaisseurs 30nm et 200nm aux tensions de grille de 0V (correspondant au minimum du courant de drain dans les caractéristiques de transfert de la figure 9) et de -2V pour la couche de 30 nm et -8V pour la couche de 200 nm (correspondant au régime en inverse des transistors).

A la tension de 0V correspondant au minimum de courant de drain dans les caractéristiques de transfert de la figure 11, le courant de drain varie en puissance de 0,8 et 1,2 avec la tension de drain pour les couches de 30 nm et 200 nm d'épaisseur respectivement. Ces puissances sont assez proches de 1 qui correspond à une variation linéaire. En effet les jonctions pn ne sont pas encore bien formées et une part importante du courant vient d'une contribution ohmique. Aux tensions grille de -2V pour la couche d'épaisseur 30nm et -8V pour la couche d'épaisseur 200 nm, correspondant au régime inverse des transistors, la jonction pn est bien formée dans la couche de 30nm d'épaisseur. Elle est aussi bien formée dans la partie supérieure de la couche de 200 nm d'épaisseur mais pas dans sa partie inférieure. Id varie en puissance de 0,5 avec V_d pour la couche de 30 nm et en puissance de 0,8 pour la couche de 200 nm. La puissance de 0,5 correspond bien à un courant de génération dans la jonction pn de la couche de 30nm polarisée en inverse. La puissance de 0,8 pour la couche de 200nm serait due à une double contribution d'une partie ohmique (partie inférieure de la couche) et d'une partie de génération (partie supérieure de la couche). Dès que la tension de drain augmente un peu plus et donc que la tension inverse est un peu plus grande, on retrouve la puissance de 0,5.

III-3.2.2.2 Effet sur la pente sous le seuil

La tendance à l'amélioration (diminution) de la pente sous le seuil quand l'épaisseur de la couche active diminue, observée dans la figure11, a été étudiée ensuite pour différentes concentrations de défauts.

La figure 14 montre la variation de la pente sous le seuil avec l'épaisseur de la couche active pour différentes densités de défauts. Globalement S diminue lorsque l'épaisseur est réduite quelle que soit la valeur de la densité de défauts.

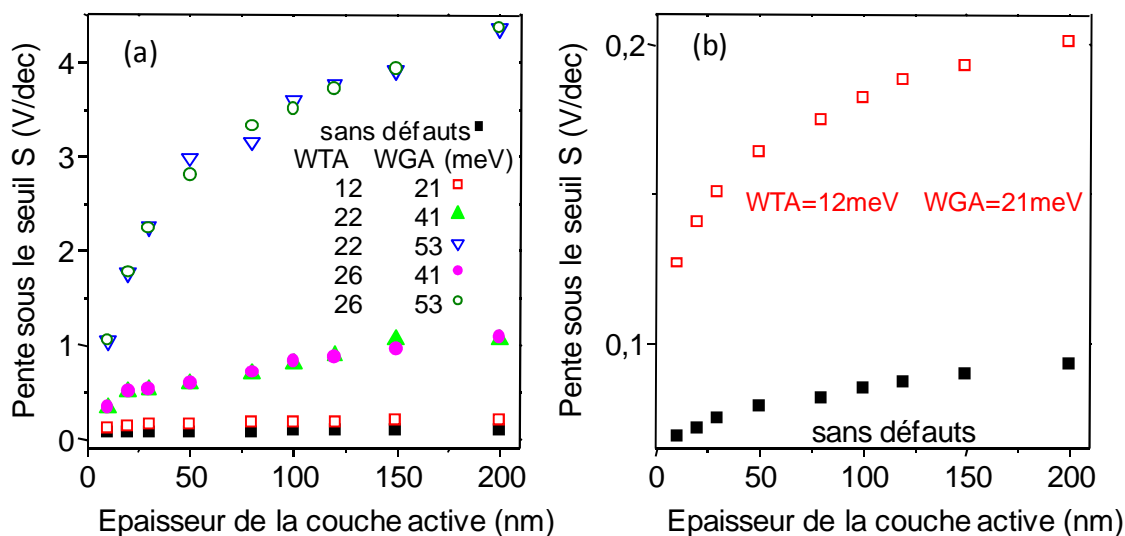


Figure III- 14 : Variation de la pente sous le seuil (S) avec l'épaisseur de la couche active de TFT pour différentes valeurs de la densité de défauts dans la partie supérieure de la bande interdite. La figure (b) met en évidence le comportement de S pour la plus faible densité de défauts et de silicium monocristallin (sans défauts) [4].

La pente sous le seuil S diminue quand l'épaisseur de la couche active et/ou la densité de défauts diminuent. La diminution de S est la même pour WGA fixé et ce quelque soit la valeur de WTA . S ne varie que quand WGA change. La vitesse de création du canal ne dépend ainsi que du comportement du niveau de Fermi dans les états les plus profonds.

Pour des couches actives épaisses, l'influence de la densité de défauts est prépondérante. Par exemple, quand WGA diminue de 45 meV à 21 meV, S diminue par un facteur 16 pour une couche de 200 nm d'épaisseur et seulement d'un facteur 7 pour une couche d'épaisseur 10nm (Figure 15). Pour des couches très fines, la création du canal semble moins dépendre de la qualité électrique de la couche.

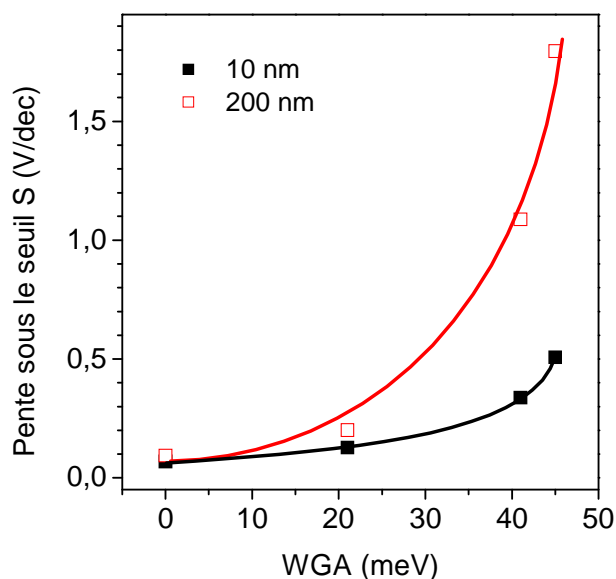


Figure III- 15 : Effet de la densité de défauts profonds sur la pente sous le seuil simulée pour une couche active épaisse (200 nm) et fine (10 nm). L'effet de l'épaisseur dans la réduction de la pente est plus important pour les matériaux plus défectueux (valeur élevée du W_{GA}).

La création du canal dans les couches les plus fines doit faire intervenir une origine autre que la quantité de défauts. Cette autre origine pourrait être d'ordre électrostatique si l'on se réfère aux SOI-MOSFETs dans lesquels la faible épaisseur de la zone de canal influence aussi la pente sous le seuil. Pour cela, le profil du potentiel électrostatique entre la source et le drain, juste sous l'interface isolant - couche active lorsque la tension de grille est nulle, est représenté dans la figure 16 pour différentes épaisseurs de la couche active comportant des défauts (a) ou non (b). La variation de potentiel est importante à l'interface entre la couche active et la source ou le drain. Le champ électrique à ces interfaces est donc important. La variation du potentiel et donc le champ électrique à ces interfaces sont de plus en plus importants lorsque l'épaisseur de la couche active diminue. Ce champ électrique latéral intervient de plus en plus dans la vitesse de formation du canal quand l'épaisseur de la couche active diminue.

Il semble que cet effet de champ électrique latéral lorsque l'épaisseur de couche active diminue soit plus important quand le matériau contient des défauts, si l'on compare les figures 16.a et 16.b. En l'absence de défauts, le champ latéral augmente régulièrement quand l'épaisseur diminue. En présence de défauts, l'augmentation de ce champ latéral aux

interfaces source-canal et drain-canal quand l'épaisseur diminue semble contrainte par les défauts et sa valeur reste très faible jusqu'aux environs de 200 nm (Figure 17). Cependant aux très faibles épaisseurs, le champ électrique latéral augmente brusquement par un facteur de presque 10000. Comparativement, l'augmentation régulière du champ électrique latéral en l'absence de défauts n'est que d'un facteur 4. L'effet de contrainte du champ par les défauts est levé par l'utilisation d'une couche de très faible épaisseur. La brusque augmentation du champ latéral en présence de défauts, explique la moindre influence des défauts sur la pente sous le seuil observée pour une couche fine dans la figure 14.

Ceci est le premier effet bénéfique de l'utilisation de couches très fines particulièrement quand on utilise des matériaux défectueux.

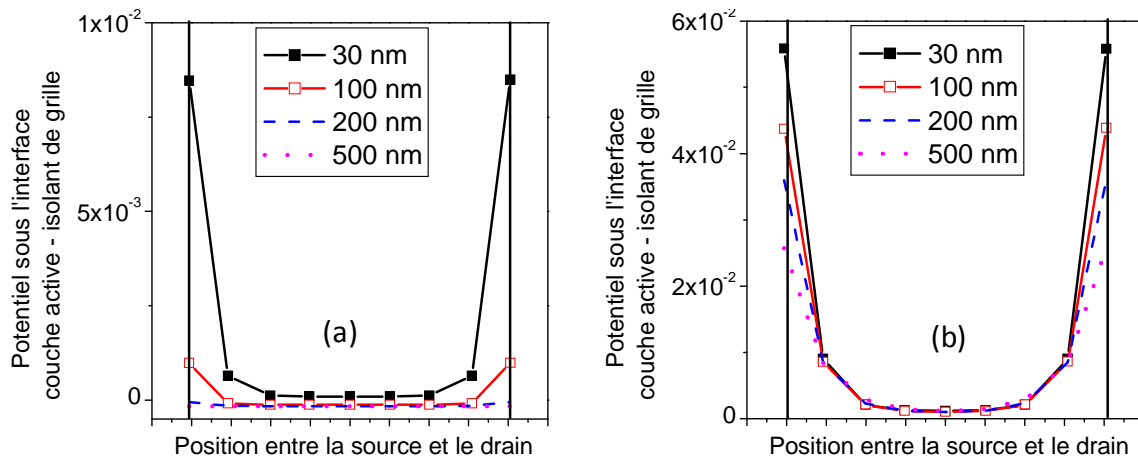


Figure III- 16 : Profil du potentiel électrique simulé entre la source et le drain, sans tension de grille appliquée à des TFTs ayant différentes épaisseurs (30, 100, 200 et 500 nm) de la couche active pour le silicium avec des défauts dans la bande interdite (microcristalline) (a) et pour le silicium sans défauts (monocristallin) (b) [10].

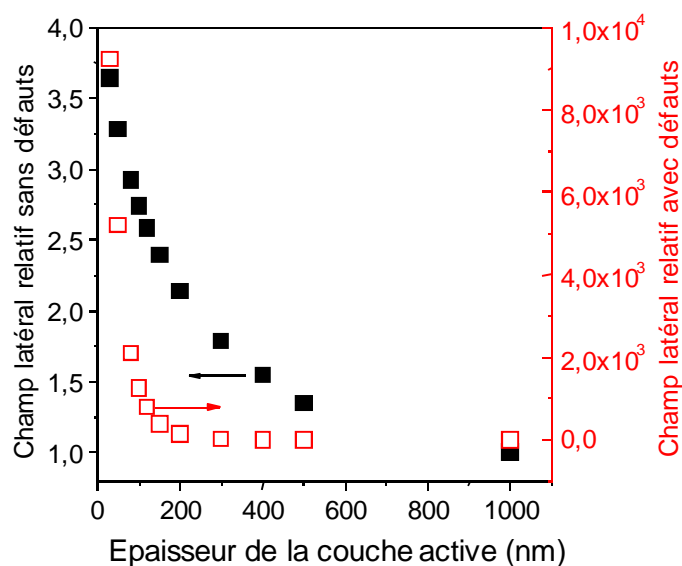


Figure III- 17 : Variation du champ électrique latéral au niveau de la source (ou du drain), relativement à sa valeur pour une épaisseur de 1 µm, avec l'épaisseur de la couche active sans défauts électriques et en présence de défauts électriques.

III-3.3 Effet des interfaces isolant de grille-couche active (interface avant) et couche active-substrat (interface arrière)

L'étude précédente a montré le bénéfice en terme de pente sous le seuil apporté par l'utilisation d'une couche active très fine. Cette simulation n'a pas introduit de charges fixes aux interfaces isolant de grille – couche active et couche active – substrat. Aussi, il peut être intéressant de vérifier l'influence des interfaces avant et arrière, et en particulier des défauts à ces interfaces, sur les caractéristiques des transistors à couches minces. En effet, l'interaction entre les deux interfaces isolant de grille - canal et couche active - substrat sera de plus en plus importante pour la couche active mince.

III-3.3.1 Effet de la variation de la densité des états profonds à l'interface arrière (couche active - substrat)

La présence d'états chargés à l'interface arrière (couche active substrat) peut avoir une influence notable dans le fonctionnement du transistor particulièrement quand la couche active est très fine. Ceci est particulièrement vrai pour les TFTs à grille en dessous pour laquelle beaucoup de travaux sont consacrés à la passivation de la face arrière qui est ici la face supérieure. Généralement l'effet de la face arrière conduit à l'apparition d'un second canal

appelé effet de "canal arrière". Les caractéristiques de transfert expérimentales d'un TFT bottom-gate et d'un TFT top-gate avec un effet très important de canal arrière sont présentées dans la figure 18. L'effet du canal arrière qui se manifeste par deux augmentations du courant de drain pour le TFT bottom-gate, est dû à une très mauvaise passivation de la face supérieure. Pour le TFT top-gate, l'effet du canal arrière n'apparaît que comme un épaulement lors de l'augmentation du courant de drain. L'effet est dû ici à des charges positives fixes à l'interface arrière entre le substrat et la couche active provenant probablement d'un nettoyage du substrat avant dépôt non-optimisé. Pour les deux types de TFTs, la présence de charges fixes positives sur la face arrière induit une accumulation d'électrons entraînant la formation d'un second canal.

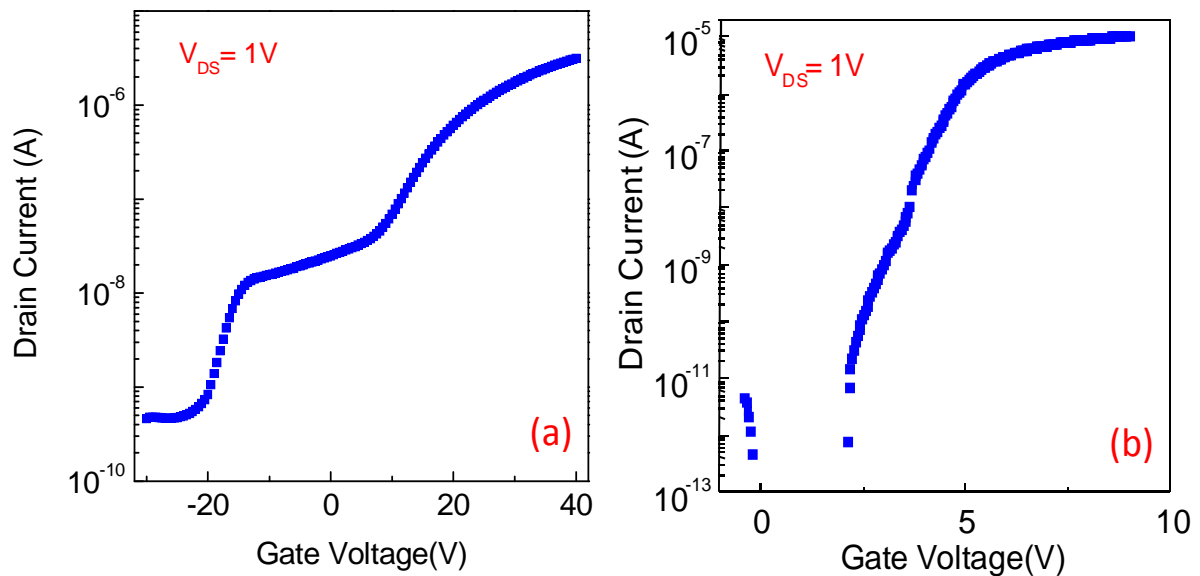


Figure III- 18 : (a) Caractéristique de transfert d'un $\mu\text{c-Si}$ TFT bottom-gate très mal passivé (présentée avec l'accord de F. Templier du LETI-France) (b) Transférer caractéristique de transfert d'un $\mu\text{C-Si}$ TFT top-gate avec des charges fixes à l'interface couche active substrat. Ces deux caractéristiques montrent deux pentes lors de la croissance du courant de drain [16].

Dans le cadre de la présente étude, il peut être intéressant d'avoir une idée sur l'effet de l'épaisseur de la couche active sur l'effet du canal de retour. Même si les TFTs Top-Gate fabriqués n'ont montré aucun effet de retour de canal en raison du soin apporté à l'interface arrière au cours du procédé, une simulation de l'effet de l'épaisseur de la couche active sur leurs caractéristiques à différentes densités de charges fixes à l'interface arrière (l'interface entre la couche active et le substrat sur le TFT top-gate) est réalisée. Le même modèle que

pour le paragraphe précédent est utilisé pour simuler les caractéristiques des transistors d'épaisseur de couches actives 30nm, 50 nm et 200 nm. Des états d'interface de charges positives sont introduits sur les deux interfaces situées l'une entre la couche active et l'isolant de grille et l'autre entre la couche active et le substrat. La densité des états à l'interface entre la couche active et l'isolant de grille est fixée à $5 \times 10^{11} \text{ cm}^{-2}$. Cette valeur est assez habituelle pour une interface le nitrure de silicium et le silicium microcristallin. La densité des états à l'interface entre la couche active et le substrat (l'interface arrière) varie et prend les valeurs : 5×10^{10} , 1×10^{11} et $1 \times 10^{12} \text{ cm}^{-2}$. Cette dernière valeur est élevée, mais elle est parfois rencontrée lorsque le substrat n'est pas si propre pour les TFT top-gate ou plus fréquemment quand des problèmes de passivation de la face arrière se produisent pour TFT bottom-gate. La figure 19 montre les caractéristiques de transfert de ces TFT avec 30nm, 50 nm et 200 nm d'épaisseur de couche active.

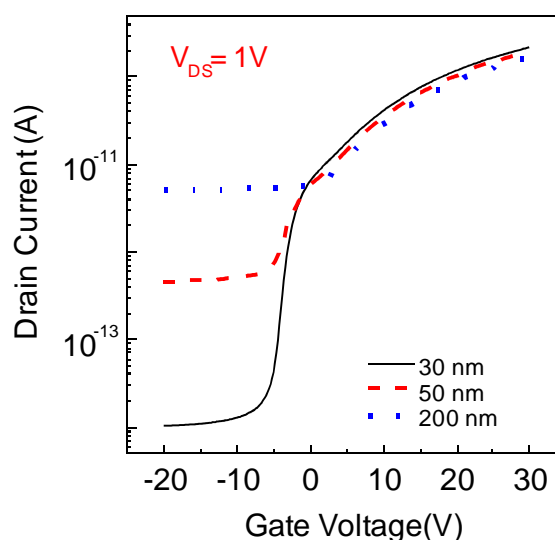


Figure III- 19 : Caractéristiques de transfert de TFTs ayant différentes épaisseurs (30nm, 50 nm et 200 nm) de couches actives. La densité de défauts à l'interface entre l'isolant de grille et la couche active est fixée à $5 \times 10^{11} \text{ cm}^{-2}$ et celle entre la couche active et le substrat est fixée à $1 \times 10^{12} \text{ cm}^{-2}$ [16].

Pour des concentrations de charges aux 2 interfaces constantes, la diminution du courant inverse est remarquable quand l'épaisseur diminue.

La figure 20 présente les caractéristiques de transfert de ces transistors à couche mince de 30nm , 50nm et 200nm d'épaisseur des couches actives et pour les trois différentes

concentrations des états de défauts à l'interface arrière en fixant la densité des états de défauts à l'interface entre la couche active et l'isolant de grille. Pour la même épaisseur de couche active, le courant inverse diminue quand la concentration de charges à l'interface arrière diminue. Cette diminution est d'autant importante que l'épaisseur est grande.

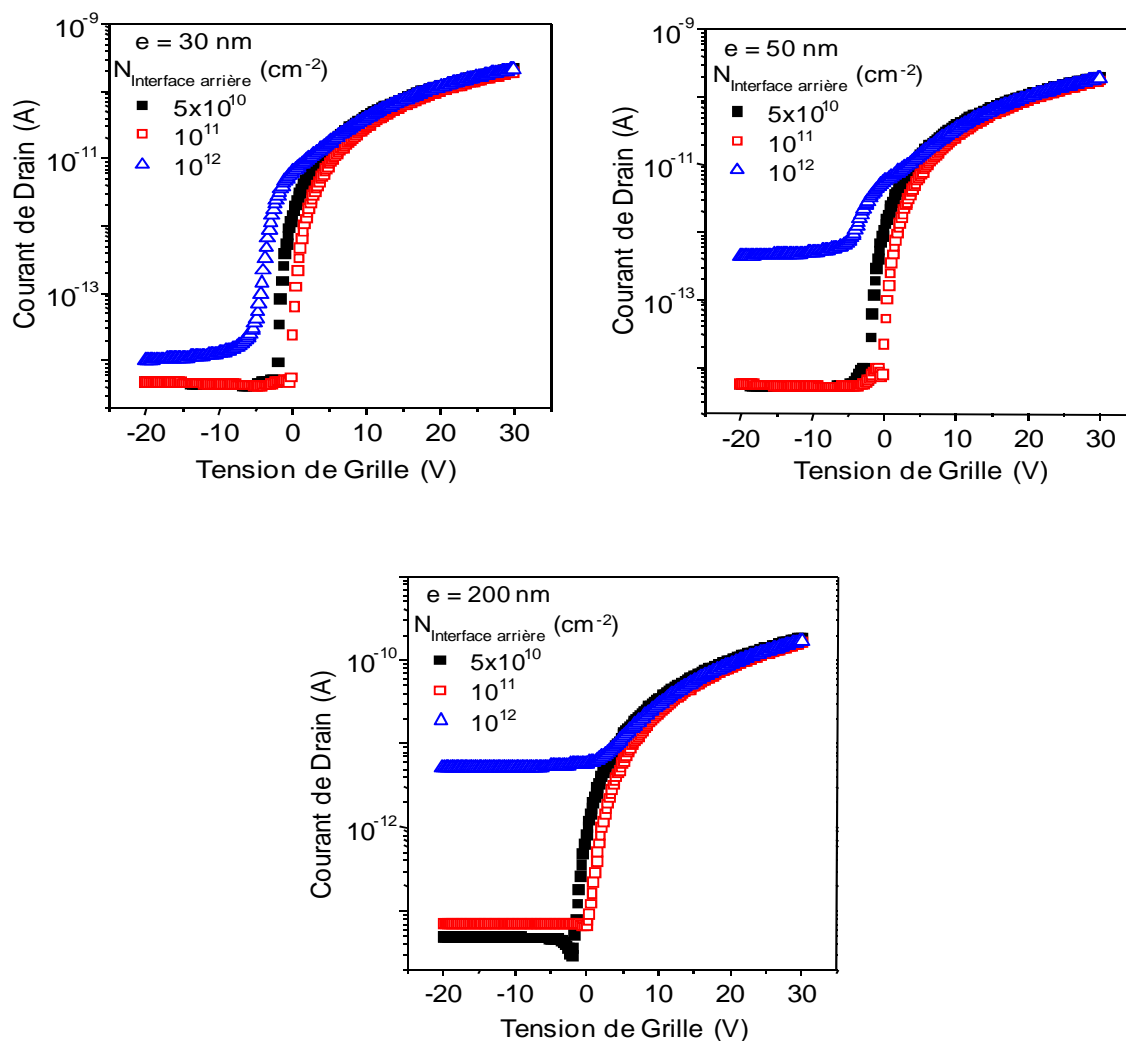


Figure III- 20 : Caractéristiques de transfert de transistors à couches minces avec 30 nm ($e = 30$ nm), 50 nm ($e = 50$ nm) et 200 nm ($e = 200$ nm) d'épaisseur de couche active. Les caractéristiques sont tracées pour 3 concentrations de défauts différentes à l'interface arrière (couche active - substrat) en maintenant constante la concentration en défauts à l'interface couche active – isolant de grille à 5×10^{11} cm⁻².

L'influence de l'interface arrière est plus mise en évidence sur le courant inverse et sur la pente sous le seuil. Avec une couche active de 30 nm, l'influence de cette interface est plus visible pour la plus grande concentration de défauts (10^{12} cm⁻²) où un courant sous le seuil

précoce apparaît. Avec une couche de 50nm, la dégradation du courant inverse et de la pente sous le seuil est plus prononcée pour cette plus grande concentration de défauts. Avec une couche de 200nm, l'influence est observée pour une plus faible concentration de défauts à l'interface (10^{11} cm^{-2}) aboutissant à une augmentation du courant inverse. A la plus grande concentration de défauts (10^{12} cm^{-2}), le courant inverse augmente énormément ; ce qui aboutit à une mauvaise caractéristique de transfert avec un rapport courant direct / courant inverse inférieur à 2 décades.

Le courant inverse élevé est dû aux charges positives à l'interface arrière induisant une accumulation d'électrons dans la région arrière de la couche active. Cet effet est bien réduit quand on utilise une couche active fine. Dans ce cas, l'augmentation du champ électrique latéral réduit l'effet vertical des charges à l'interface arrière.

La figure III.21 montre la distribution de la concentration d'électrons dans les couches actives de 30 nm et 200nm d'épaisseur quand les TFTs correspondant ayant une concentration de charges positives à l'interface arrière de 10^{12} cm^{-2} , sont polarisés en inverse. Une accumulation d'électrons dans la couche active de 200 nm près de l'interface arrière nettement plus importante que pour la couche de 30 nm peut être remarquée. Cette accumulation d'électrons est responsable du canal arrière et du courant inverse important dans le TFT de 200 nm de couche active.

La réduction de l'effet de canal arrière est ainsi le second effet bénéfique de l'utilisation d'une couche active très fine. Ceci est particulièrement important pour les TFTs bottom-gate pour lesquels l'effet de canal arrière constitue un réel problème.

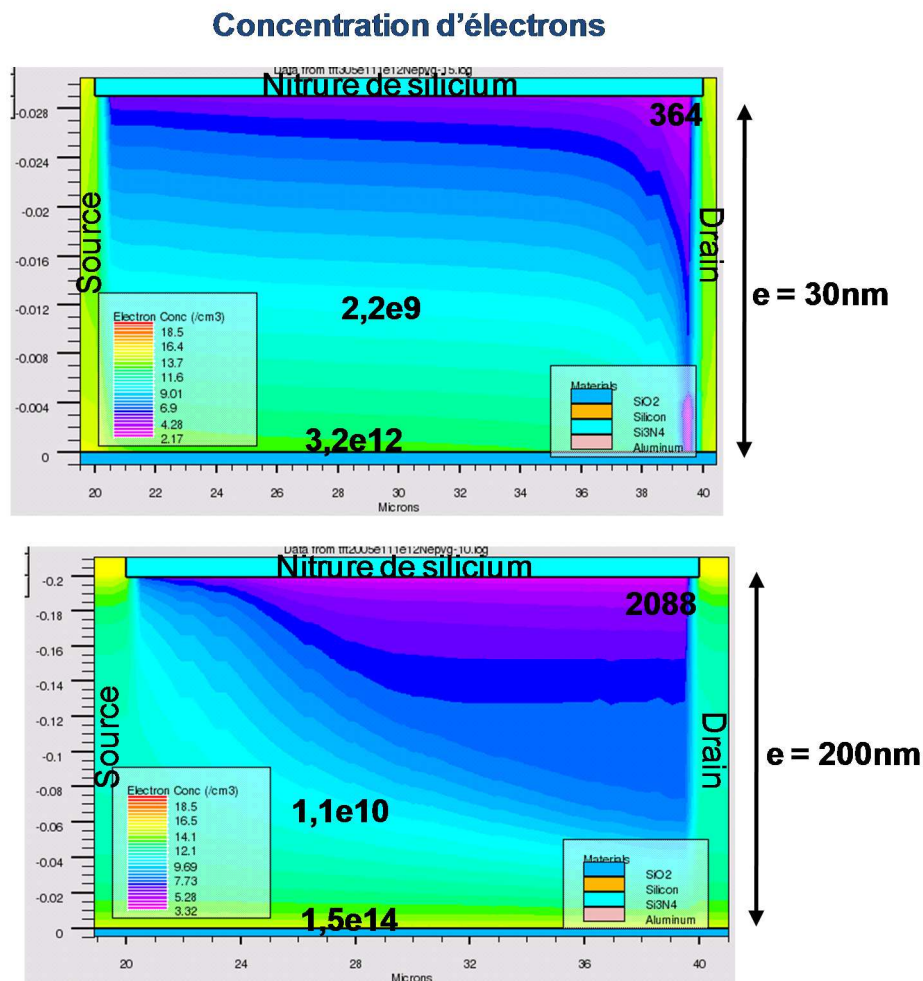


Figure III- 21 : répartition de la concentration des électrons dans la couche active pour 2 TFTs, l'un de 30nm d'épaisseur de couche active et l'autre de 200 nm de couche active à $V_{gs} = -15V$, $N_{interface\ avant} = 5 \times 10^{11} \text{ cm}^{-2}$ et $N_{interface\ arriere} = 1 \times 10^{12} \text{ cm}^{-2}$.

III-3.3.2 Effet de la variation de la densité des états profonds à l'interface avant (couche active - isolant de grille)

Nous nous intéressons maintenant à l'effet des charges électriques à l'interface avant entre l'isolant de grille et la couche active. De façon analogue à l'étude précédente de l'effet des charges à l'interface arrière, nous simulons les caractéristiques de TFTs ayant des couches actives variables de 30nm à 300nm sous l'effet d'une concentration de charges à l'interface arrière fixée à 10^{11} cm^{-2} et pour différentes concentrations de charges à l'interface avant (10^{10} , 5×10^{10} , 10^{11} , 5×10^{11} et 10^{12} cm^{-2}). Les caractéristiques de transfert obtenues pour ces différents TFTs sont représentées sur la figure 22.

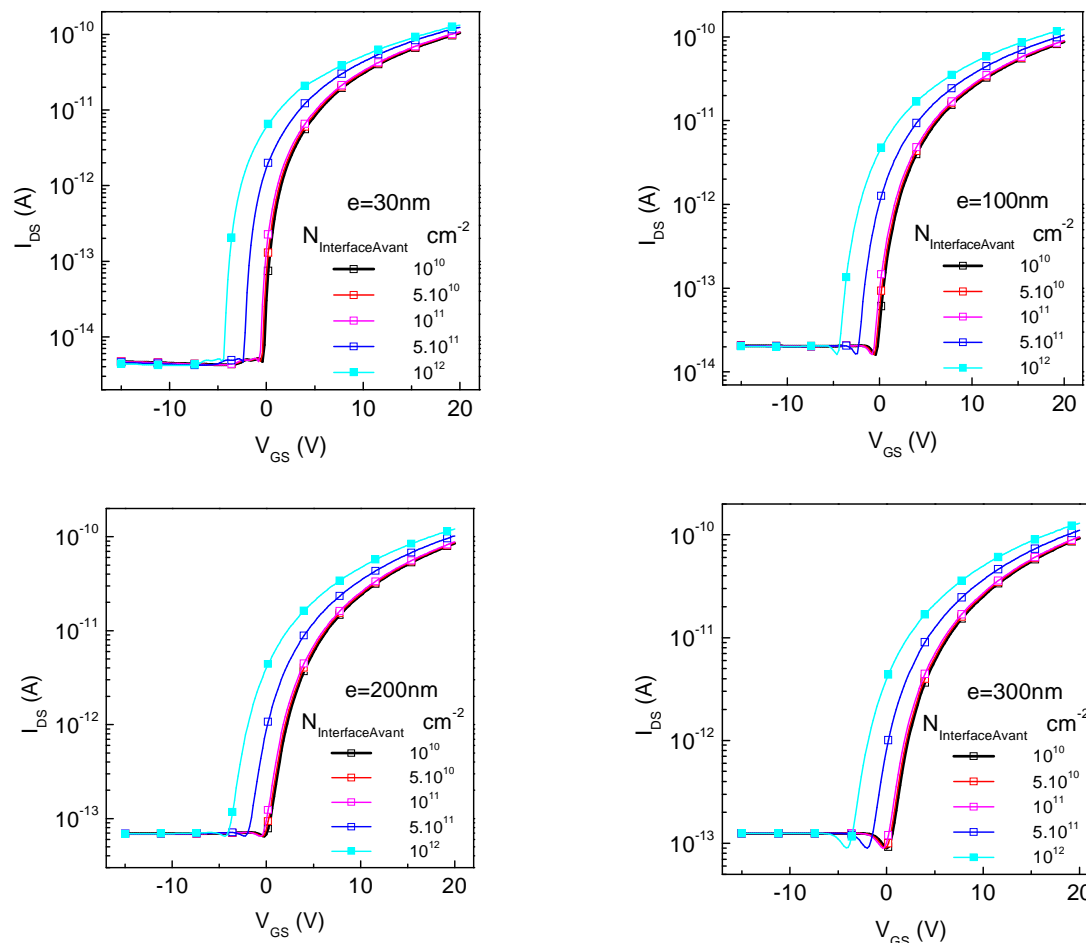


Figure III- 22 : Caractéristiques de transfert de transistors à couches minces avec 30 nm ($e = 30$ nm), 100 nm ($e = 100$ nm), 200 nm ($e = 200$ nm) et 300 nm ($e = 300$ nm) d'épaisseur de couches actives. Les caractéristiques sont tracées pour différentes concentrations de défauts à l'interface avant (couche active – isolant de grille) en maintenant constante la concentration en défauts à l'interface couche active - substrat à 1×10^{11} cm^{-2} .

Les caractéristiques sont presque confondues pour des concentrations de défauts à l'interface isolant de grille -couche active inférieures ou égales à 10^{11} charges par cm^2 . Elles se détériorent à partir de 5×10^{11} charges par cm^2 avec un déplacement de la tension de seuil vers les tensions négatives. La tension de seuil pratiquement constante jusqu'à 10^{11} charges par cm^2 chute brutalement au delà (Figure 23a). De même la pente sous le seuil augmente brutalement au-delà de 10^{11} charges par cm^2 . Cependant son augmentation est beaucoup plus importante au-delà de 10^{11} charges par cm^2 pour la plus faible épaisseur de 30nm (Figure 23b). Ceci n'est pas surprenant car on peut bien penser qu'une grande quantité de charges d'interface doit plus intervenir pour une couche très fine.

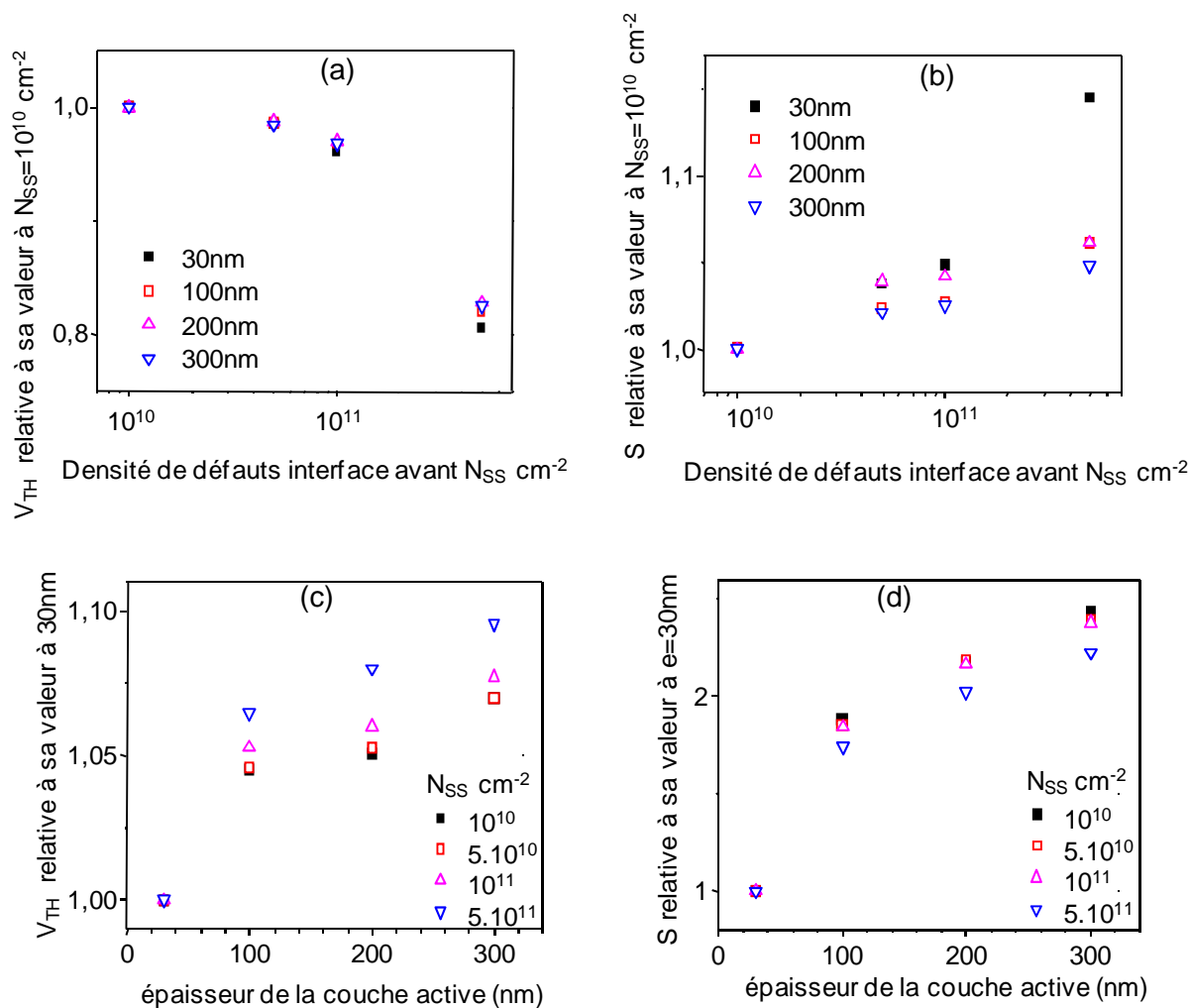


Figure III- 23 : Variation de la pente sous le seuil S et de la tension de seuil V_{TH} en fonction de la densité d'états à l'interface avant (isolant de grille – couche active) pour différentes épaisseurs de la couche active et en fonction de l'épaisseur de la couche active pour différentes valeurs de la densité d'états à l'interface avant (isolant de grille – couche active).

Enfin, la figure 23d confirme la diminution de la pente sous le seuil quand l'épaisseur de la couche active diminue quelque soit la valeur de la densité de charges d'interface. L'importance de la diminution ne dépend que de l'épaisseur et pas de la densité de charges.

La conclusion de cette étude est que s'il est bénéfique d'utiliser une très fine couche active pour améliorer la pente sous le seuil, les précautions les plus importantes doivent être prises pour le nettoyage du substrat avant dépôt pour les TFTs top-gate et pour la passivation de la surface arrière de la couche active pour les TFTs bottom-gate.

III-4. Conclusion

Ce chapitre a été réservé à la simulation du fonctionnement des TFTs à base de couche active en silicium microcristallin. Il a servi essentiellement à mieux comprendre l'origine des variations expérimentales des paramètres des TFTs en fonction des épaisseurs de couche active, décrites dans le chapitre 2, et à valider ou non les explications qualitatives qui avaient été données.

Nous avons vu particulièrement que l'influence bénéfique de la diminution de l'épaisseur de la couche active sur la pente sous le seuil est principalement due à l'influence grandissante du champ électrique latérale qui conduit à une plus rapide formation du canal.

Il a été montré aussi l'intérêt d'utiliser des couches actives très fines pour les TFTs qui utilisent par nature des couches actives semi-conductrices déposées et donc forcément non monocristallines et contenant des défauts électriquement actifs. La pente sous le seuil s'améliore nettement quand on diminue l'épaisseur de la couche active malgré une présence importante de défauts.

Par ailleurs, l'effet habituel d'un canal arrière, souvent présent dans les technologies TFT, peut être largement limité en utilisant une couche active très fine.

Le petit bémol qu'il est possible d'apporter à l'effet bénéfique de l'utilisation d'une couche active fine, concerne les états d'interface et en particulier les états à l'interface isolant de grille – couche active qui peuvent induire une augmentation de la pente sous le seuil.

Références III

- [1] **SILVACO International**, ATHENA User's Manual, device simulation software, (aout 2010)
- [2] **SILVACO International**, ATLAS User's Manual, device simulation software, (aout 2010)
- [3] **Virtual Wafer Fab, Society Silvaco international**, Santa Clara (1998).
- [4] **M.L. SAMB, E. JACQUES, K. BELARBI, N. COULON, L. PICHON, T. MOHAMMED-BRAHIM** " $\mu\text{c-Si}$ TFT with very thin active layer, a SOI-FET", 2012 MRS Spring Meeting, États-Unis (2012)
- [5] **S. GRIEP, L. LEY** – Direct spectroscopy determination of the distribution of occupied gap states in a-Si:H, J. of non-Crist. Solids, vol. 59, p. 253, (1983)
- [6] **J. DIJON** – Study of gap states density in a-Si:H using thermally stimulated currents in space charge zone, Solid State comm., vol. 48, p. 79, (1983)
- [7] **D. V. LANG, J. D. COHEN, J. P. HARBISON** – Measurement of the density of gap states in hydrogenated amorphous silicon by space charge spectroscopy, Phys. Rev. B, vol.25 (8), p.5285, (1982)
- [8] **W. E. SPEAR, P. G. LECOMBER** – Investigation of the localized state distribution in amorphous Si-films, J. of non-Crist. Solids, vol. 8, p. 727 (1972)
- [9] **T. TIEDJE, J. M. CEBULKA, D. L. MOREL, B. ABELES** – Evidence for exponentials band tails in a-Si:H, Phys. Rev. Lett., vol. 46, p.1425, (1981)
- [10] **O.K.B. LUI, M.J. QUINN, S. W-B. TAM, T.M. BROWN, P. MIGLIORATO, H. OSHIMA** « Investigation of the Low Field Leakage Current Mechanism in Polysilicon TFT's », IEEE ED45, pp. 213-217 (1998)

- [11] **FORTUNATO G, MEAKIN DB, MIGLIORATO P, LE COMBER PG. PHIL MAG** " Field-effect analysis for the determination of gap-state density and Fermi-level temperature dependence in polycrystalline silicon", Philosophical Magazine Part B Volume 57, Issue 5, 1988, p. 573-586.
- [12] **SUZUKI T, OSAKA Y, HIROSE M.** "theoretical interpretations of the gap amorphous semiconductors," Jpn J Appl Phys, Vol. 21, n° 3, p. L159–161, 1982.
- [13] **MOHAMMED-BRAHIM T.** Invited paper. In: Proc. active matrix flat panel displays 2012, Kyoto, Japan, July 4–6. p. 316.
- [14] **F. BALESTRA, M. BENACHIR, J. BRINI, G GHIBAUDAU,** « Analytical Models of Subthreshold Swing and Threshold voltage for thin- and Ultra-Thin-Film SOI MOSFETs », IEEE ED37, 2303-2311 (1990)
- [15] - **M.L. SAMB, E. JACQUES, K. BELARBI, N. COULON, T. MOHAMMED-BRAHIM** " μ c-Si thin film transistors with very thin active layer", Solid-State Electronics V. 89 (2013) p. 128–133
- [16] - **M. L. SAMB^A, E. JACQUES^B, K. KANDOUSSI^A, K. BELARBI^A, N. COULON^A AND T. MOHAMMED-BRAHIM^A** "Beneficial Effect of Very Thin Active Layer on the Performance of Microcrystalline Silicon TFTs", ECS Trans. 2012 volume 49, issue 1, 59-67

Conclusion générale

Conclusion générale

L'objectif principal visé dans le cadre de cette thèse était de modéliser le comportement de TFTs en silicium microcristallin fabriqués à très basse température. Le premier but était d'expliquer les résultats expérimentaux obtenus afin de pouvoir orienter l'optimisation du procédé de fabrication. Le second but était de constituer une première base permettant de participer au développement d'une bibliothèque technologique, qui servira pour la conception de dispositifs électroniques à base de tels transistors.

Les travaux ont été orientés vers la recherche d'éléments de réponse aussi bien qualitative que quantitative sur certains phénomènes observés sur les paramètres électriques des TFTs à base de silicium microcristallin. Il s'agissait donc de produire des modèles de TFTs élémentaires, par le biais de la simulation, afin de valider les observations expérimentales sur des TFTs ayant des couches actives de différentes épaisseurs.

Afin de bien mener cette thèse, une étude expérimentale sur des TFTs fabriqués selon les mêmes procédés, mais ayant des épaisseurs de couches actives différentes avait été effectuée. Elle nous a permis dans un premier temps de mettre en évidence la bonne stabilité des TFTs ayant une couche active de 100 nm d'épaisseur soumis à une série de stress électriques. Par la suite, il a été montré par le biais de la comparaison des paramètres électriques obtenus sur des TFTs ayant une couche active de 30 nm, 100nm et 200nm d'épaisseur, l'effet bénéfique de l'utilisation de fines couches actives pour les TFTs. Les paramètres tels que la pente sous le seuil, le rapport entre le courant maximum à l'état passant et le courant minimum à l'état bloquant sont améliorés avec la diminution de la couche active. De plus, les TFTs sont d'autant plus stables que cette couche est fine. Une faible diminution de la mobilité d'effet de champ est constatée lorsque la couche active des TFTs diminue. Ceci dit, les applications visées ne nécessitant pas une grande mobilité, ce dernier effet ne saurait être considéré comme un inconvénient.

Une simulation du comportement électrique des TFTs a été effectuée pour tenter d'expliquer ces observations expérimentales. Il s'agissait d'abord de trouver un modèle de TFT en utilisant les propriétés physiques et électriques du silicium microcristallin. Ce dernier a été validé grâce à une comparaison entre les résultats d'une étude expérimentale et d'une simulation de l'effet de la température sur le comportement des TFTs. Ensuite, l'effet de la variation de l'épaisseur de la couche active des TFTs a été simulé. Cela nous a permis de confirmer les avantages de l'utilisation de TFTs ayant de fines couches actives par une approche électrostatique. Il a été montré que les TFTs présentent de meilleures

Conclusion générale

caractéristiques lorsque la couche active contient moins de défauts. De plus, pour une densité de défauts donnée, plus la couche active est fine, meilleurs sont les paramètres électriques des TFTs. Il a aussi été montré que l'état des interfaces entre la couche active et l'isolant de grille (avant) d'une part et entre la couche active et le substrat (arrière) d'autre part a un rôle très important sur la qualité des TFTs. En effet, pour un état d'interface avant donné (charge d'interface fixe), l'augmentation de la charge d'interface arrière détériore les caractéristiques des TFTs par la création d'un canal arrière. Ceci s'observe expérimentalement lorsque le substrat utilisé pour la fabrication de TFTs top-gate (grille au dessus) n'a pas subi un nettoyage de qualité ou que la surface arrière de la couche active des TFTs bottom-gate (grille en dessous) n'a pas été bien passivé.

Ainsi, les résultats obtenus dans ce travail montrent que les TFTs top-gate ayant une fine couche active présente de bonnes propriétés électriques qui pourraient les permettre d'occuper une grande place dans la conception de dispositifs électroniques fabriqués sur substrats à basse température.

Cependant il serait utile de faire d'autres études en vue de compléter et d'approfondir celles qui sont déjà faites dans ce travail. C'est ainsi que nous proposons de faire :

- L'étude en profondeur la stabilité des TFTs par le biais de stress en tension positive et négative de différentes valeurs et à différentes températures ;
- La modélisation de TFTs Bottom gate ;
- L'étude du comportement des TFTs à double grille.

Titre : Modélisation de Transistors en Couches Minces (TFT) fabriqués en technologie silicium microcristallin très basse température

Résumé

Cette thèse porte sur la modélisation de TFTs à base de silicium microcristallin fabriqués à basse température. L'enjeu est de produire un modèle de TFT valide qui nous permettra d'apporter des explications sur les phénomènes observés expérimentalement et qui pourrait servir de base à un modèle compact.

Tout d'abord, une étude expérimentale, dans laquelle il est montré l'effet bénéfique de l'utilisation de fines couches actives pour les TFTs, a été effectuée. En effet, plus la couche active des TFTs est fine, plus les TFTs sont stables, et meilleures sont leurs caractéristiques électriques. La croissance colonnaire de la structure du silicium microcristallin et le mauvais état de surface pour les grandes épaisseurs de couche active jouent un rôle important sur la détérioration de la qualité des TFTs.

Par la suite, une simulation (sous SILVACO) du comportement des TFTs ayant des couches actives de différentes épaisseurs a été effectuée, pour essayer d'apporter des explications d'ordre électrostatique. Les mêmes effets observés sont surtout causés par une augmentation du champ électrique latéral lorsque l'épaisseur de la couche active diminue pour un matériau défectueux, favorisant ainsi la formation rapide du canal. La mauvaise qualité des interfaces avant et arrière a aussi une forte influence sur la détérioration des caractéristiques électriques de TFTs. Cette influence est réduite en utilisant une très fine couche active.

Mots clés : modélisation, Silicium microcristallin, TFT top-gate, couche active, état d'interfaces, SILVACO

Abstract

This thesis focuses on the modeling of TFTs based on microcrystalline silicon fabricated at low temperature. The challenge is to produce a valid model of TFT which enable us to provide an explanation of the phenomena observed experimentally and that could be the basis for a compact model.

Firstly, an experimental study, in which it is shown the beneficial effect for the use of thin active layers for TFTs, has been performed. Indeed, the TFTs performances are better, when their active layers are more thin. The columnar growth of microcrystalline silicon structure and the bad interfaces state for thick active layer have an important part in the deterioration of the quality of TFTs.

Thereafter, a simulation (on SILVACO) of the behavior of TFTs with active layers of different thicknesses were made to try to provide electrostatic explanations. The same effects are caused mainly by an increase of the lateral electric field when the thickness of the active layer decreases for a defective material, promoting thereby the rapid formation of the channel. The bad quality of the front and rear interfaces has also a strong influence on the deterioration of electrical characteristics of TFTs. This influence is reduced by using a very thin active layer.

Keywords : modeling, microcrystalline silicon, top-gate TFT, active layer, interfaces state, SILVACO