



HAL
open science

Electronique CMOS en silicium microcristallin sur substrat flexible transparent

Sabri Janfaoui

► **To cite this version:**

Sabri Janfaoui. Electronique CMOS en silicium microcristallin sur substrat flexible transparent. Micro et nanotechnologies/Microélectronique. Université de Rennes1, 2012. Français. NNT: . tel-02441266

HAL Id: tel-02441266

<https://hal.science/tel-02441266>

Submitted on 27 Jan 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE / UNIVERSITÉ DE RENNES 1
sous le sceau de l'Université Européenne de Bretagne

pour le grade de
DOCTEUR DE L'UNIVERSITÉ DE RENNES 1

Mention : ÉLECTRONIQUE

École doctorale MATISSE

présentée par

Sabri JANFAOUI

préparée à l'unité de recherche UMR 6164 IETR
Institut d'Électronique et des Télécommunications de Rennes
U.F.R. Structure et Propriétés de la Matière

Intitulé de la thèse :
Électronique CMOS
en silicium
microcristallin sur
substrat flexible
transparent

Thèse soutenue à Univ. de Rennes 1
le 18 Décembre 2012

Devant le jury composé de :

Yvan BONNASSIEUX

Maître de conférences, école polytechnique /
rapporteur

François TEMPLIER

Ingénieur, CEA LETI / *rapporteur*

Jean-Paul KLEIDER

Directeur de recherche CNRS, LGEP / *examineur*

Lionel HIRSCH

Chargé de recherche, IMS Bordeaux / *examineur*

Olivier BONNAUD

Professeur, Univ. de Rennes 1 / *examineur*

Tayeb MOHAMMED-BRAHIM

Professeur, Univ. de Rennes 1 / *directeur de thèse*

Nathalie COULON

Ingénieure de recherche CNRS, IETR / *invitée*

Claude SIMON

Maître de conférences, Univ. de Rennes I / *invité*

Remerciements

J'adresse mes plus chaleureux remerciements à Monsieur Yvan Bonnassieux et Monsieur François Templier pour avoir accepté d'être rapporteurs de ce travail, ainsi que membres de jury.

Je tiens également à exprimer ma profonde gratitude à Monsieur Jean-Paul Kleider, Monsieur Lionel Hirsch, Monsieur Olivier Bonnaud, de m'avoir fait l'honneur de participer à ce jury de thèse.

Mes plus vifs remerciements, ma plus profonde gratitude et toute ma reconnaissance vont au Professeur Tayeb Mohammed-Brahim, mon directeur de thèse. Il n'a pas simplement été un encadrant ; il a été un mentor et un conseiller avisé qui m'a accompagné tout au long de ma thèse. Ses qualités humaines, sa patience et surtout sa présence ont marqué mes années de recherches. Ses conseils et remarques ont fortement contribué à la concrétisation des travaux et l'aboutissement de ces recherches. Je lui suis aussi très reconnaissant pour sa disponibilité et sa participation au jury.

Mes remerciements particuliers s'adressent aussi à Madame Nathalie Coulon, Monsieur Claude Simon et Monsieur Samuel Crand qui ont montré une grande disponibilité à poursuivre cette thèse.

Mes plus sincères remerciements vont aussi à tous les membres du département Microélectronique et Microcapteurs de l'IETR, qu'ils soient permanents, thésards ou stagiaires, que j'ai eu beaucoup de plaisir à côtoyer durant ces dernières années.

Je remercie particulièrement mes collègues Khalid Kandoussi, Olivier Desagazon, Emanuel Jacques, Khaled Belarbi, Isman Souleimen, pour m'avoir aidé à répondre à un certain nombre de questions pratiques, techniques, ou scientifiques que je me suis posé, et pour m'avoir apporté un soutien précieux.

Je remercie toute l'équipe de l'atelier technique qui a répondu à tous mes besoins techniques, notamment Jean-Michel Bot, Christophe Lebreton et Xavier Morvan.

Je tiens à exprimer ma reconnaissance à Madame France Le Bihan qui m'a permis d'intégrer son département GEII de l'IUT de Rennes.

Je remercie également Fabienne Jegousse, Aurélie Girard, Laurent Pichon, Régis Rogel, Abdallah Belarbi, Olivier Gergaud et ... Leur soutien, conseils m'ont été très encourageants.

Je souhaite remercier aussi ces personnes croisées sur mon itinéraire et qui ont largement enrichi ces années de thèse, toutes ces personnes dans l'ombre dont la contribution à mon travail est non négligeable.

Enfin, les mots les plus simples étant les plus forts, j'adresse toute ma reconnaissance à mes amis pour avoir été présents à mes côtés lorsque j'en avais besoin, et ma famille, cet asile qu'elle a représenté dans les moments de doute, particulièrement mes parents pour leur affection et leur soutien moral.

Merci enfin à ma chère épouse pour son aide, sa patience, et sa précieuse présence.

Acronymes

A.M.L.C.D : Active Matrix Liquid Crystal Display (écran plat à cristaux liquides à matrice active)

A.P.C.V.D : Chemical Vapor Deposition (dépôt chimique en phase vapeur à pression atmosphérique)

C.M.O.S : Complementary M.O.S (deux transistors complémentaires N.MOS et P.MOS)

C.V.D : Chemical Vapor Deposition (dépôt en phase vapeur)

H.F : Hydrofluoric Acid (acide fluorhydrique)

H.F : High Frequency (haute fréquence)

L.C.D : Liquid Crystal Display (écran plat à cristaux liquides)

L.P.C.V.D : Low Pressure Chemical Vapor Deposition (dépôt chimique en phase vapeur à basse pression)

M.O.S : Metal Oxyde Semiconductor (structure capacitive Métal-SiO₂-Silicium)

O.L.E.D : Organic Light-Emitting Diode (diode organique électroluminescente)

P.E.C.V.D: Plasma Enhanced Chemical Vapor Deposition (dépôt en phase vapeur assisté par plasma)

P.E.N : Polyethylene Naphthalate (polyéthylène naphthalate)

R.C.A : Radio Corporation of America (Werner Kern a développé ce procédé de nettoyage en 1965 alors qu'il travaillait pour RCA, d'où le nom)

R.F.I.D : Radio Frequency Identification (identification par radiofréquence)

R.I.E : Reactive Ion Etching (gravure ionique réactive)

T.F.T : Thin Film Transistor (Transistor en couche mince)

μc-Si:H : Hydrogenated Microcrystalline Silicon (silicium microcristallin hydrogéné)

a-Si:H : Hydrogenated Amorphous silicon (silicium amorphe hydrogéné)

s.c.c.m : Standard Centimeter Cube Per Minute (centimètre cube par minute standard)

Table des matières

Introduction	4
Chapitre 1. Électronique Flexible : Applications et Technologies	8
I. Introduction.....	9
II. Les applications de l'électronique flexible.....	9
II.1. Les étiquettes RFID	9
II.2. Les écrans flexibles	11
a. Technologie LCD	12
b. Technologie OLED	13
c. Écran électrophorétique.....	14
II.3. Les Capteurs	17
III. Les différents substrats flexibles.....	18
III.1. Les substrats de verre mince	18
III.2. Les substrats métalliques.....	19
III.3. Les substrats plastiques	19
IV. Électroniques flexibles rapportées sur un substrat flexible.....	20
IV.1. Silicium monocristallin	21
IV.2. Silicium polycristallin	23
V. Électroniques flexibles fabriquées directement sur un substrat flexible.....	25
V.1. Technologie organique	26
V.2. Technologie des oxydes métalliques	28
V.3. Technologie silicium	29
A. Silicium polycristallin	29
B. Silicium amorphe.....	30
C. Silicium microcristallin	31
VI. Conclusion	32
Références	33
Chapitre 2. Technologie de Fabrication des TFTs en Silicium Microcristallin	38
I. Introduction.....	39
II. Technique de dépôt et de caractérisation des couches minces	39
II.1. Description du système de dépôt par PECVD.....	39
II.2. Caractérisation des couches minces.....	41
a. Mesure d'épaisseur par profilomètre.....	41
b. Microscope à Force Atomique (AFM).....	41
c. Microscope électronique à balayage (MEB)	42
d. Mesure de la conductivité électrique.....	43
e. Mesure de la cristallinité des couches de silicium par Spectroscopie Raman.....	44
III. Matériaux pour la technologie microcristallin	46
III.1. Évolution du silicium microcristallin au sein de l'IETR.....	46
A. Silicium microcristallin intrinsèque	46
B. Silicium microcristallin dopé N.....	49

C. Silicium microcristallin dopé P	51
III.2. Isolant de grille	53
A. Le dioxyde de silicium	54
B. Le nitrure de silicium.....	56
IV. TFTs en technologie silicium microcristallin	58
IV.1. Structure des TFTs	58
IV.2. Procédure de fabrication des TFTs sur un substrat en verre	59
a. Dépôt de la couche intrinsèque et dopée	59
b. Définition des zones de source, de drain et du canal du TFT	60
c. Isolation des transistors	60
d. Dépôt de l'isolant de grille	61
e. Ouverture des contacts de la source et du drain	61
f. Dépôt d'aluminium et définition des contacts source, drain et grille	62
IV.3. Fonctionnement et caractérisations des TFTs	62
A. Fonctionnement des TFTs	62
B. Caractérisations électriques des TFTs	64
a. Tension de seuil V_{TH}	65
b. Transconductance g_m	66
c. Mobilité d'effet de champ μ_{FE}	66
d. Pente sous le seuil S	66
e. Rapport I_{ON}/I_{OFF}	67
IV.4. TFTs de type N fabriqués en technologie silicium microcristallin.....	67
A. TFTs de type N utilisant l'oxyde comme isolant de grille	67
B. TFTs de type N utilisant le nitrure de silicium comme isolant de grille	69
C. Bilan entre TFTs en oxyde de silicium et TFTs en nitrure de silicium	70
IV.5. TFTs de type P fabriqués en technologie silicium microcristallin.....	73
V. Conclusion.....	75
Références	76
Chapitre 3. Technologie de Fabrication de μc-Si TFTs sur un substrat en PEN.....	78
I. Introduction.....	79
II. Optimisation du procédé de fabrication des μ c-Si TFTs sur un substrat en PEN.....	79
II.1. Caractérisation du PEN : Analyse AFM du PEN	79
II.2. Étapes de fabrication des TFTs sur PEN et problèmes rencontrés.....	81
A. Glissement et Déformation du substrat	82
B. Encapsulation du substrat	83
C. Dilatation du substrat et désalignement au niveau des étapes de photolithographies	85
D. Limitation technologique : Effet du recuit final à 180° C.....	87
III. TFTs de type N sur PEN	89
III.1. Fabrication des N-TFTs sur PEN	90
III.2. Caractérisation électrique des N-TFTs.....	91
A. Caractérisation de 16 TFTs appartenant à 16 cellules différentes.....	92
B. Caractérisations de 19 TFTs appartenant à une même cellule	94
C. Comparaison entre process sur PEN et process sur Verre.....	96

D. Commentaire sur les performances électriques des TFTs sur PEN	103
IV. TFTs de type P sur PEN.....	105
IV.1. Fabrication et caractérisation de P-TFTs	105
A. Fabrication de TFTs de type P sur PEN	105
B. Caractérisation électrique des P-TFTs.....	106
IV.2. Réalisation de TFTs de type P en utilisant des couches actives de silicium microcristallin déposées à 120°C	109
V. Conclusion.....	113
Références	115
Chapitre 4. Étude de stabilité des TFTs fabriqués sur PEN	116
I. Introduction.....	117
II. Stress électrique.....	117
II.1. Stabilité des N-TFTs.....	117
II.2. Stabilité des P-TFTs	123
III. Stress mécanique	125
III.1. Stress mécanique en tension.....	129
A. Stress mécanique en tension appliqué sur des N-TFTs.....	129
B. Stress mécanique en tension appliqué sur des TFTs de type P	133
III.2. Stress mécanique en compression	135
A. Stress mécanique en compression appliqué sur des N-TFTs	135
B. Stress mécanique en compression appliqué sur des P-TFTs	137
III.3. Bilan du comportement des TFTs soumis à un stress mécanique.....	138
A. Limite de fonctionnement des TFTs pour des rayons de courbure inférieurs à 1,5 cm.....	139
B. Comportement du PEN et des couches de silicium et de nitrure de silicium soumis à des contraintes en tension.....	140
C. Commentaires sur la variation des paramètres des TFTs soumis à des contraintes mécaniques	142
IV. Conclusion	146
Références	147
Conclusion.....	149

Introduction

Le travail de cette thèse s'inscrit dans le cadre du projet ANR e-flexSi. Ce travail est réalisé au sein du département microélectronique et micro-capteurs de l'Institut d'Électronique et de Télécommunications de Rennes (IETR, UMR 6164) de l'Université de Rennes 1. L'objectif principal de cette thèse est d'assurer le transfert technologique sur un substrat flexible de la technologie de fabrication de TFTs en silicium microcristallin réalisé à basse température ($T < 180^{\circ}\text{C}$) acquise au cours de ces dernières années au sein de l'IETR.

Les domaines d'application de l'électronique deviennent de plus en plus vastes et les filières de l'électronique se diversifient. Une de ces filières est l'électronique flexible, elle est apparue ces dernières années et elle n'a pas cessé de croître. Actuellement, les domaines les plus répandus pour l'électronique flexible sont l'affichage, l'identification et la détection. Nous pouvons citer comme applications les écrans flexibles (LCD, OLED et électrophorétique), les étiquettes RFID et les capteurs.

La mise en œuvre de cette électronique flexible nécessite une réflexion sur l'utilisation ou l'adaptation des technologies de fabrication existantes, ou sur la création de nouvelles technologies de fabrication.

Selon les technologies utilisées et les applications visées, l'électronique flexible peut être conçue par deux voies différentes, la première consiste à fabriquer l'électronique sur un substrat rigide, puis à reporter l'électronique à la fin du process sur un substrat flexible, tandis que la deuxième consiste à fabriquer l'électronique directement sur un substrat flexible.

On distingue deux principales technologies dédiées à la fabrication de l'électronique reportée sur un substrat flexible basées sur la technologie de silicium monocristallin et la technologie du silicium polycristallin. Ces deux technologies ont recours à des équipements lourds ce qui entraîne un coût de fabrication très élevé. Ce fait contredit le principe de l'électronique grande surface et bas coût (Large area low cost electronic). L'utilisation de ces deux technologies est donc restreinte aux applications gourmandes en performances électroniques en termes de mobilité, fréquence de fonctionnement, etc. Cependant, des équipes de recherches sont en train de développer de nouvelles procédures de fabrication des technologies silicium monocristallin et polycristallin pour alléger le coût de fabrication et rendre le process compatible avec la notion électronique flexible grande surface.

La fabrication de l'électronique directement sur un substrat flexible peut être divisée en trois filières technologiques : les oxydes métalliques, l'organique et le silicium. De plus des tentatives pour utiliser de nouveaux matériaux tels que les nanotubes de carbone et le graphène commencent à apparaître. La filière silicium qui nous intéresse dans ce travail peut être divisée en trois technologies, le silicium polycristallin, le silicium amorphe et le silicium

microcristallin. Chacune de ces technologies, détaillées dans ce document, a ses avantages et ses inconvénients. Nous nous sommes intéressés à la technologie de silicium microcristallin déposé directement sur un substrat flexible. Cette technologie est élaborée, dans notre laboratoire, à une température inférieure à 180°C, afin d'utiliser les substrats plastiques de type PEN. Ce sont des substrats transparents et relativement peu chers, développés par DuPont Teijin Film. Les applications visées par notre technologie sont les écrans (LCD, OLED, électrophorétique), les capteurs de pression et dans un futur proche les étiquettes RFID.

Afin de présenter ces différents aspects, nous avons divisé le manuscrit en quatre chapitres.

Le premier chapitre est divisé en trois parties, la première partie consiste en l'état de l'art sur les applications les plus répandues pour l'électronique flexible ; nous présentons comme applications les étiquettes RFID, les écrans flexibles et les capteurs flexibles. Nous décrivons leur principe de fonctionnement et leur demande en performance électronique en termes de mobilité, stabilité, uniformité, etc. Dans la deuxième partie, nous présentons les différents substrats flexibles utilisés pour la fabrication de l'électronique flexible en détaillant leurs propriétés (température maximale de process, taux de dilatation, transparence, etc.). La troisième partie est consacrée à la présentation des deux principales techniques de fabrication de l'électronique flexible, à savoir l'électronique rapportée et l'électronique fabriquée directement sur substrat souple, et aux technologies qui en découlent. Pour conclure ce chapitre, nous présenterons les avantages et les inconvénients de chacune d'entre elles.

Le deuxième chapitre est consacré à la présentation de la technologie de fabrication de TFTs de type N et de type P en silicium microcristallin au sein de notre laboratoire. Ce chapitre comporte trois parties. La première partie est une description des techniques de dépôt des couches minces élaborées dans notre laboratoire et des techniques de caractérisation électrique et structurelle. La deuxième partie présente un état sur l'évolution des propriétés électriques et structurelles des couches de silicium microcristallin et des couches d'isolant de grille utilisées pour la fabrication des TFTs en technologie silicium microcristallin. La troisième partie est consacrée à la présentation de la technologie de fabrication des TFTs en silicium microcristallin. Nous décrivons dans cette partie les étapes technologiques de fabrication et nous présentons le principe de fonctionnement et de caractérisation de ces

TFTs. Nous terminons par la présentation des caractéristiques électriques de TFT de type N et P fabriqués en silicium microcristallin sur verre puis un bilan récapitulatif.

Le troisième chapitre comporte trois parties. La première partie est dédiée à la caractérisation du substrat en PEN utilisé et aux difficultés et problèmes que nous avons rencontrés au cours du process de TFTs sur PEN. Nous présentons en même temps les solutions auxquelles nous avons eu recours. Après la mise au point du process, nous présentons dans une seconde partie les résultats de la caractérisation électrique de TFTs de type N fabriqués sur PEN et nous comparons ces résultats avec ceux obtenus sur verre. Nous terminons le chapitre par une troisième partie, consacrée à la caractérisation électrique de TFTs de type P fabriqués sur PEN et nous présentons les résultats d'un process de P-TFTs fabriqués en utilisant des couches de silicium microcristallin non dopée et dopée P déposées à 120°C.

Finalement, le chapitre quatre s'intéresse à l'étude de fiabilité des TFTs de types N et P fabriqués sur PEN. Ce chapitre est divisé en deux parties. La première partie étudie la fiabilité électrique des TFTs. Cette étude consiste à stresser les TFTs électriquement et à suivre la dégradation de leur caractéristique de transfert et l'évolution du décalage de la tension de seuil V_{TH} . Les résultats obtenus seront comparés à ceux obtenus sur la stabilité de TFTs fabriqué sur verre. Ensuite, la deuxième partie est consacrée à la fiabilité mécanique des deux types de TFTs. Cette étude consiste à caractériser les deux types de TFTs lorsqu'ils sont soumis à un stress mécanique. Pour cela les TFTs sont soumis à un stress mécanique en tension et en compression en les fixant sur des supports appropriés ayant différents rayons de courbures. Cette étude se termine par un bilan où nous investigons les résultats du stress mécanique sur les TFTs.

Chapitre 1. Électronique Flexible :

Applications et Technologies

I. Introduction

L'électronique flexible est une nouvelle filière d'électronique mise sur le marché. Depuis quelques années, cette nouvelle filière est accueillie par un certain nombre de laboratoires de recherche et soutenue par les industriels. L'électronique flexible est constituée en général d'une électronique de base (composants électroniques de base, circuit électronique) associée à un degré de flexibilité mécanique. Cette flexibilité peut être limitée ou absolue. La flexibilité mécanique des circuits électroniques introduit de nouvelles contraintes à la fabrication. Ainsi, la fabrication de l'électronique flexible sur substrat souple est limitée généralement par la température maximale que peut supporter le substrat. Cette contrainte rend les technologies conventionnelles de fabrication incompatibles avec cette électronique flexible. Deux voies sont alors adoptées pour s'affranchir de cette limite. La première voie utilise les technologies traditionnelles de fabrication de dispositifs puis leur transfert sur substrat flexible. Elle s'affranchit de la contrainte de température mais nécessite la mise au point des techniques de transfert sophistiquées. La seconde voie développe des procédés de fabrication de dispositifs directement sur substrat flexible en tenant compte de la contrainte en température. Le travail présenté dans ce mémoire adopte cette seconde voie en essayant de mettre au point des procédés de fabrication sur plastique transparent de type PEN (Polyéthylène-Naphthalate).

Dans cette voie, trois grandes filières de technologies répondent à ce critère. Elles se distinguent par le choix du matériau semiconducteur actif des transistors à effet de champ. Il s'agit du silicium, des oxydes métalliques et des semiconducteurs organiques. Ces technologies sont encore en phase de recherche et de développement. Elles ne sont pas encore industrialisées, seuls des démonstrateurs sont fabriqués.

II. Les applications de l'électronique flexible

II.1. Les étiquettes RFID

Une étiquette RFID (Radio Frequency IDentification) est un système de reconnaissance et d'identification à distance. L'étiquette permet le stockage d'une quantité de données relatives à un produit. La lecture de ces données est possible à l'aide d'un lecteur spécifique. Une étiquette RFID permet par exemple [1] : le remplacement du code-barres, la traçabilité des produits, la distribution et la logistique, la gestion des stocks et plusieurs autres applications. La figure suivante (1) illustre un exemple de la gestion de stocks :

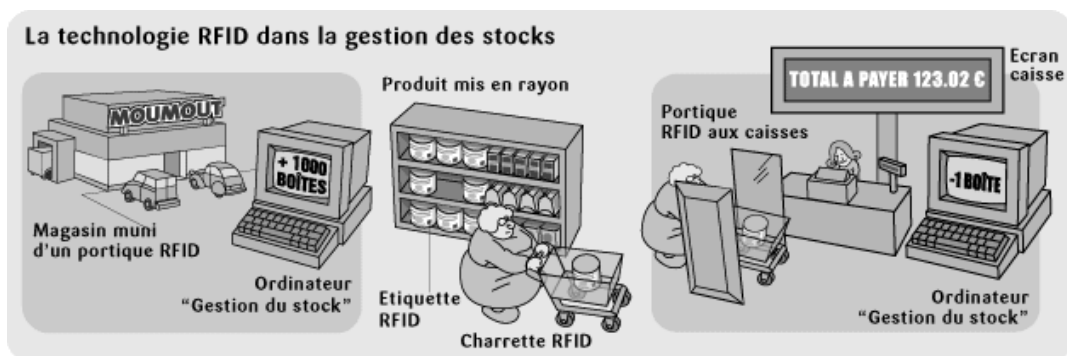


Figure 1. Exemple d'application de la RFID : la gestion des stocks [2]

Il existe deux types d'étiquette RFID : active et passive. Une étiquette RFID active est munie d'une source d'alimentation interne sous forme de pile ou de batterie qui permet d'alimenter la puce en permanence. L'étiquette active assure une communication en double sens ; elle permet la lecture, l'écriture et la modification ultérieure des données.

Contrairement à l'étiquette active, l'étiquette passive est alimentée à distance par le biais du lecteur, ce qui favorise qu'elle soit flexible. Cette étiquette comporte un code unique non modifiable ; elle est utilisée en lecture seulement [3]. Elle est composée d'une antenne RF, un redresseur et un circuit électronique. L'antenne RF assure la liaison électromagnétique entre l'étiquette et la station d'accueil. Elle permet l'émission ou la réception du signal RF. Le redresseur redresse le signal alternatif capté par l'antenne et le convertit en un signal continu pour assurer l'alimentation du circuit électronique en courant continu. Le circuit électronique a deux fonctions principales. Il permet le stockage de l'information et la modulation du signal RF. Ce bloc est constitué généralement d'un ou de plusieurs oscillateurs, de portes logiques et de mémoires. Le schéma simplifié d'une étiquette RFID passive est représenté par la figure (2).

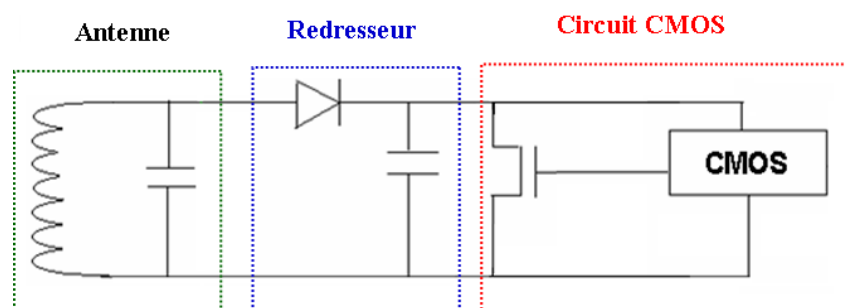


Figure 2. Architecture simplifiée d'une étiquette RFID passive.

Actuellement, les étiquettes RFID sont fabriquées en trois étapes. La première étape consiste à fabriquer le circuit électronique avec les technologies standard. La deuxième étape consiste à fabriquer l'antenne sur le substrat final, et la dernière étape consiste à coller la puce à l'antenne et les relier électriquement. Cette dernière étape rajoute un coût élevé au coût total de la fabrication de l'étiquette.

Le défi est de fabriquer l'électronique et l'antenne directement sur un substrat flexible afin que l'étiquette épouse toute forme de produit à identifier, aussi pour réduire le coût de fabrication. De plus, le circuit électronique d'une RFID passive fonctionne à basse fréquence ce qui favorise l'utilisation d'une technologie basse température moins performante que les technologies standard, seul le bloc redresseur fonctionne à haute fréquence généralement 13,56 MHz ; ce bloc nécessite une petite réflexion pour s'affranchir des limitations technologiques. Plusieurs travaux de recherche ont été lancés pour répondre à ce besoin. Depuis quelques temps, quelques démonstrateurs d'étiquettes RFID fabriqués sur substrat flexible sont disponibles. Ces démonstrateurs sont fabriqués en technologies organiques [4, 5]. Notre laboratoire a conçu un redresseur fonctionnant à 13,56 MHz en utilisant une diode Schottky fabriquée à base de silicium microcristallin déposé à 165°C [6].

II.2. Les écrans flexibles

L'affichage occupe une grande partie du marché de l'électronique flexible. Cette fonction regroupe plusieurs types d'applications et trois types de technologies d'affichage. Parmi les applications nous pouvons citer les écrans de téléviseurs flexibles. Ces écrans représentent la nouvelle génération de téléviseurs flexibles. Ces écrans peuvent être montés dans un coin rond du salon ou fixés sur un support de forme concave, convexe ou même ondulé. Les écrans flexibles concernent aussi une toute nouvelle génération de produits portables flexibles comme les tablettes flexibles "eRoll" [7], smart phones flexibles [8], papier électronique, écran enroulable d'un décodeur GPS. L'autre application des écrans flexibles et transparents en plein développement est l'affichage tête haute [9]. Celui ci consiste en un écran transparent intégré dans le pare-brise des voitures permettant l'affichage de la vitesse du véhicule, le kilométrage parcouru et plusieurs autres informations. Cette technique d'affichage permet d'intégrer à long terme l'écran d'un GPS sur le pare-brise, apportant ainsi plus de confort et surtout plus de vigilance pour le conducteur [10].

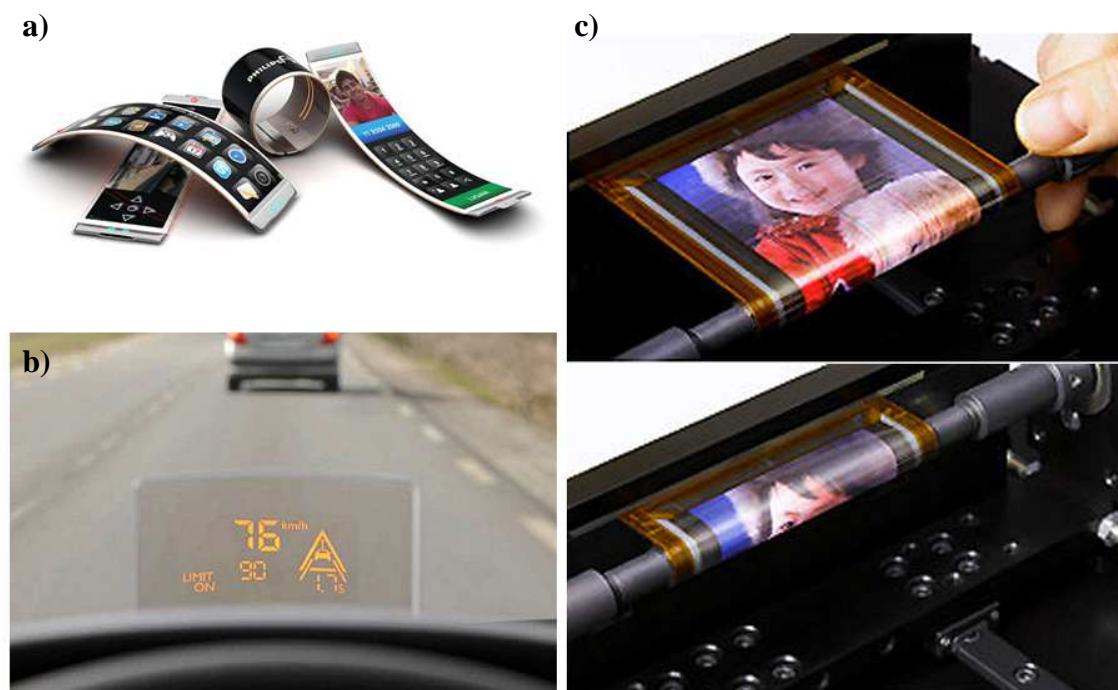


Figure 3. Présentation de quelques prototypes utilisant des écrans flexibles. a) Smart phone flexible produit par Philips, le smart phone peut être porté comme un bracelet [10]. b) Afficheur tête haute, c'est un écran intégré dans le pare-brise d'une voiture, l'afficheur projette les indications du tableau du bord, vitesse, limiteur/régulateur de vitesse et alerte de distance [9]. c) Écran rollable produit par Sony [11].

Les technologies d'affichage utilisées pour la fabrication des écrans flexibles sont : la technologie LCD, la technologie OLED et récemment la technologie d'encre électronique "E-paper" ou encore les écrans électrophorétiques.

a. Technologie LCD

Un écran LCD est constitué d'un grand nombre de pixels et chaque pixel est composé de 3 sous-pixels permettant d'afficher les trois couleurs primaires : rouge, vert, bleu. Le LCD n'émet pas de lumière mais se comporte comme un interrupteur. En effet, un écran LCD dispose d'un rétro-éclairage qui émet une lumière blanche, naturelle, non polarisée. Cette lumière passe par un premier polariseur, la lumière qui en ressort est orientée selon la direction impliquée par le premier polariseur. Un deuxième polariseur de direction perpendiculaire à celle du premier est placé devant ce dernier et un cristal liquide est placé entre ces deux polariseurs.

Le cristal liquide fait tourner la première polarisation de 90° de façon à laisser passer la lumière, mais si le cristal liquide est polarisé par une tension continue (de part et d'autre), les cristaux s'orientent selon cette différence de potentiel et donc ne permettent plus la rotation du plan de polarisation. La lumière ne passe plus à travers le deuxième polariseur et il en résulte donc une interruption de lumière [12].

La commande du cristal liquide se fait par un TFT monté en série. Ce TFT fonctionne en commutation ON/OFF, le rôle de ce TFT est de charger le pixel le plus vite possible et de garder cette charge jusqu'au nouveau rafraîchissement du pixel. Pour réaliser cette commande il est nécessaire que le courant I_{OFF} du TFT soit le plus faible possible, que le TFT ait une mobilité acceptable, que les TFTs utilisés soient uniformes et stables, et que les TFTs ne soient pas sensibles à la lumière. À l'heure actuelle une mobilité de $1 \text{ cm}^2/\text{V.s}$ est suffisante pour commander un écran LCD, mais elle sera rapidement insuffisante pour la nouvelle génération d'écran (grande taille, rafraîchissement $> 120 \text{ Hz}$, 3D) [13]. De plus, plus de 80% des écrans LCD sont fabriqués à l'aide de TFTs en silicium amorphe, or le silicium amorphe n'est pas stable et il est sensible à la lumière. Ici, le silicium microcristallin pourrait être un bon candidat du fait de sa stabilité électrique, sa reproductibilité, de plus il n'est pas photosensible.

Reste aussi à résoudre le problème de la flexibilité de la source de lumière qui doit accompagner l'écran LCD flexible.

Toshiba Corporation a développé un écran LCD flexible de 21 cm. Cet écran se caractérise par sa faible épaisseur 0,4 mm et son poids léger de 20 g seulement. L'écran peut être courbé jusqu'à un rayon $R = 20 \text{ cm}$. Toshiba a fabriqué son écran flexible en utilisant une technologie polysilicium développée sur un substrat de verre très mince [14].

b. Technologie OLED

Le marché des OLED (Organic Light-Emitting Diode) est apparu en 1998. Les écrans en technologie OLED sont composés de diodes électroluminescentes où le matériau émetteur de lumière est organique. La technologie OLED représente la nouvelle génération d'écrans plats la plus prometteuse.

Une cellule OLED (Figure 4) consiste en un empilement de couches organiques fines prises en sandwich entre une anode transparente et une cathode métallique. Les couches organiques comprennent une couche d'injection, une couche de transport, une couche émettrice et une couche de transport d'électrons. Quand un courant approprié traverse la

cellule, les charges positives et négatives se recombinent dans la couche émettrice pour produire une lumière électroluminescente.

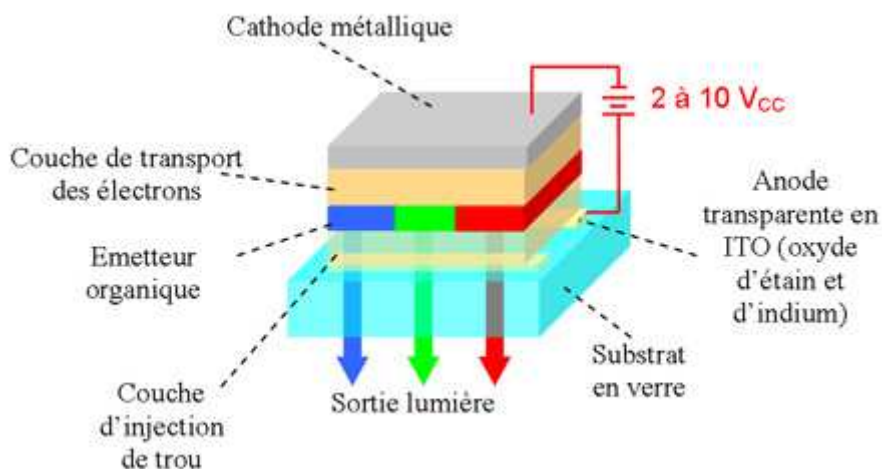


Figure 4. Structure d'une cellule OLED. Un pixel est décomposé de trois sous pixels pour former la couleur d'une image [15]

Les couleurs de l'image sont obtenues par la décomposition de chaque pixel en trois sous-pixel émettant chacun l'une des couleurs primaires (Rouge, Vert, Bleu) [16].

Chaque sous pixel est commandé par au moins deux TFTs, un TFT pour la commutation et un TFT pour le contrôle du courant dans l'OLED. Le maintien de la commande de la diode est assuré par une capacité. Puisque l'éclairage de la diode dépend directement du courant qui passe à travers, il faut que les TFTs de commandes soient uniformes, stables et plus "gourmands" en mobilité.

Les écrans OLED représentent un excellent angle de vue, une forte luminosité, une faible consommation et un faible temps de réponse. Ils sont compatibles avec le concept d'électronique flexible [17]. Les couches organiques sont très sensibles au milieu extérieur et nécessitent donc des couches d'encapsulation, pour les protéger.

c. Ecran électrophorétique

L'écran électrophorétique ou également papier électronique est un afficheur électronique généralement noir et blanc. Contrairement au principe d'affichage d'un écran ordinaire, le principe d'affichage de cet écran est basé sur la réflexion de la lumière et non sur l'émission de la lumière. Les principaux avantages de cet écran sont :

- Grande réflectivité de l'état blanc et un contraste élevé.
- Grande résolution.
- Très faible consommation électrique.
- Minceur et Flexibilité.

Le principe de fonctionnement de cet afficheur est basé sur le déplacement de microsphères, certaines de couleur noire et d'autres blanches en suspension dans un liquide transparent à l'aide d'un champ électrique [18]. En effet, l'afficheur est composé d'une électrode supérieure transparente et d'une série d'électrodes inférieures permettant la polarisation des microsphères. Entre ces électrodes on trouve une encre électrophorétique formée d'un liquide transparent et d'un nombre égal de microsphères noires chargées négativement et de microsphères blanches chargées positivement. Cette encre est encapsulée dans des microcapsules ou de micro-cuves transparentes. La figure suivante (5) illustre le principe de fonctionnement d'un écran électrophorétique [19]. Lorsqu'une différence de potentiel est appliquée entre l'électrode supérieure et inférieure, les électrodes attirent les microsphères chargées à l'aide d'une force électrostatique. Par exemple, lorsque l'électrode inférieure est polarisée positivement, elle attire les microsphères noires et repousse les microsphères blanches. Ces microsphères blanches se rassemblent à la partie supérieure où ils reflètent la lumière incidente dans toutes les directions et forment l'état blanc. Dans le cas contraire, l'électrode inférieure est polarisée négativement, elle pousse les microsphères noires à la surface et attire les microsphères blanches. Les microsphères noires absorbent la lumière à la surface et forment l'état noir.

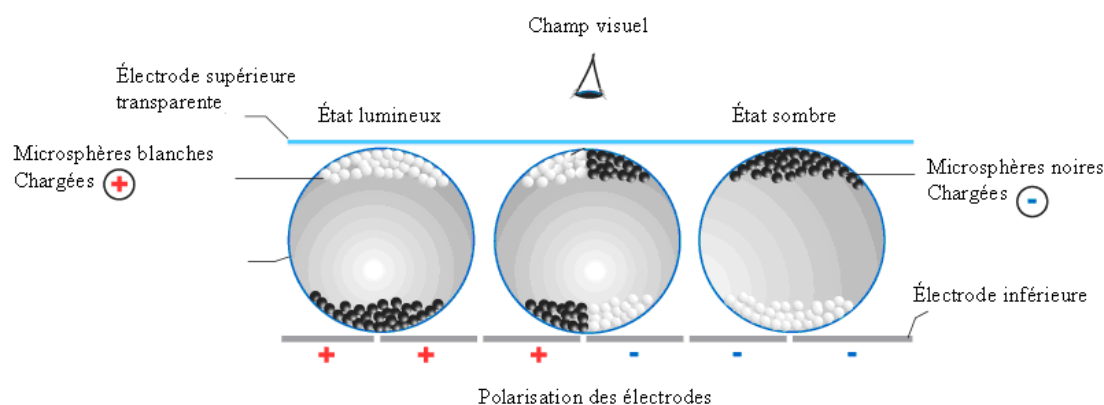


Figure 5. Principe de fonctionnement d'un écran électrophorétique [20].

Tout comme un écran LCD, la commande de l'électrode inférieure se fait à l'aide d'un TFT. Ce TFT assure la polarisation de la microcapsule et le maintien de la polarisation à l'aide d'une capacité de stockage. Pour répondre à cette application il faut que le TFT ait un très faible courant de fuite, qu'il supporte une grande tension de commutation V_{DS} (de l'ordre de 30V), qu'il possède, de plus, la stabilité et l'uniformité. À noter que la mobilité n'est trop demandée pour cette application (pour le moment).

Le papier électronique sera de plus en plus commercialisé et utilisé dans notre vie quotidienne pour remplacer les panneaux publicitaires, les enceintes d'affichages dans les lieux publics, il remplacera probablement le papier des journaux et même les manuels scolaires [21].

Une technologie utilisée pour la fabrication des écrans électrophorétiques développée par Philips est EPLaR pour Electronics on Plastic by Laser Release.

Autrement, Fujitsu Frontech Limited et Fujitsu Limited ont annoncé le développement du premier papier électronique couleur sur substrat flexible avec une fonction de mémoire d'image, figure (6). L'affichage du nouveau papier électronique est composé de trois couleurs : le rouge, le bleu et le vert. En plus il dispose d'une fonction de mémoire d'image qui permet d'afficher en continu la même image sans avoir besoin d'électricité [22].

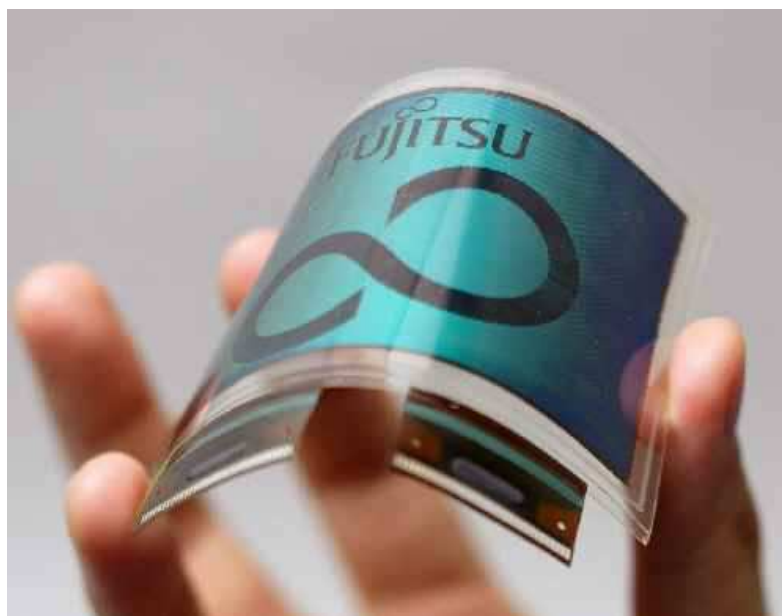


Figure 6. Papier électronique en couleur fabriqué par Fujitsu [22].

II.3. Les Capteurs

Les capteurs prennent également une place importante parmi les applications de l'électronique flexible. Les capteurs flexibles les plus requis sont les capteurs biochimiques, la peau artificielle et d'autres capteurs de température, de pression, etc... Une équipe de chercheurs a fabriqué un capteur biomédical rapporté sur un substrat flexible [23]. Le capteur comporte tout un système d'alimentation, de mesure et de communication. Le capteur, placé sur la peau humaine, permet de détecter les signaux liés à l'activité cérébrale l'Électroencéphalogrammes EEG, du tissu musculaire l'Electromyogrammes EMG et du cœur l'Electrocardiogrammes ECG, figure (7.a). Un autre domaine d'application est la peau artificielle. Ainsi, une équipe de recherche à l'université de Tokyo est en train d'étudier la reconstitution d'une peau artificielle intégrant un grand nombre de capteurs permettant d'imiter la sensation du toucher. Le prototype consiste en une matrice de capteurs de pression 32 x 32. Ces capteurs sont commandés par un adressage matriciel à base de TFTs organiques [24], figure (7.b). Des capteurs de proximité (figure (7.c)) ou de détection d'irradiation thermique sont aussi en cours de développement. Ces capteurs seront utiles pour le domaine des peaux artificielles. Un capteur de proximité développé à Taiwan permet de détecter les radiations infrarouges et la présence d'objet chaud [25].

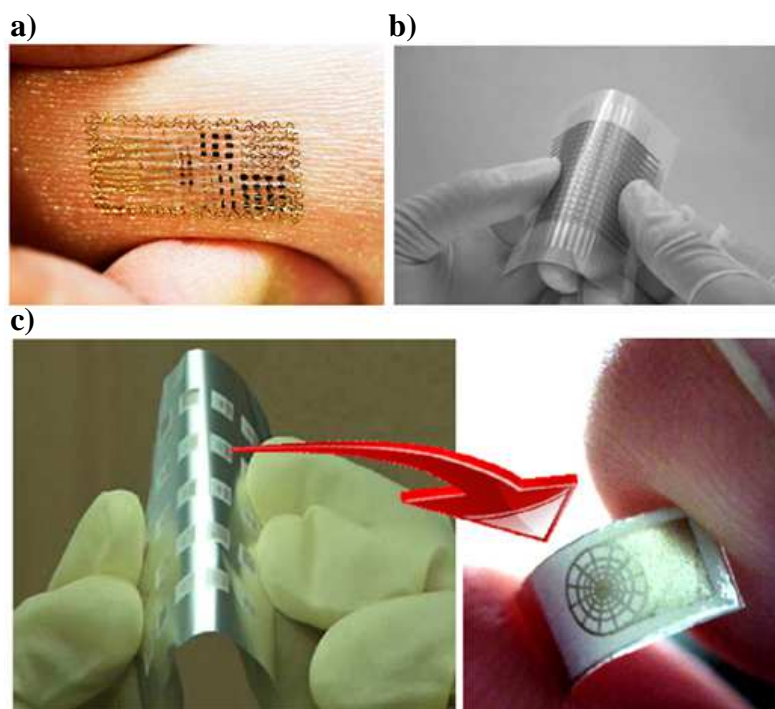


Figure 7. Différents types de capteurs flexibles : a) capteur biomédical [23],
b) capteur de pression [24], c) capteur de proximité [25].

III. Les différents substrats flexibles

Le choix du type de substrat dépend de la nature de l'application. En effet, certaines applications telles que les écrans ont besoin d'une transparence élevée du substrat. Les écrans LCD ont en plus besoin d'une biréfringence minimale [26]. La pureté du substrat est aussi exigée, il est important que le substrat ne contamine pas l'électronique fabriquée et ne réagisse pas avec les solutions chimiques utilisées lors du process de fabrication. Par exemple les OLEDs exigent que le taux de perméabilité de la vapeur d'eau ne dépasse pas 10^{-6} g/m²/jour et que le taux de perméabilité d'oxygène soit inférieur à 10^{-3} à 10^{-5} cm³/m²/jour [27].

Généralement, le succès d'une électronique flexible sur un tel substrat impose des critères de base sur le film. Ces critères sont les suivants :

- La température maximale du process.
- Le faible pourcentage de déformation.
- La clarté.
- La résistance aux solvants.
- La résistance à l'humidité.
- La faible rugosité.

Ces critères sont détaillés dans le tableau (1) présenté par la suite.

Les substrats flexibles les plus utilisés sont les substrats métalliques comme les feuilles d'acier inoxydable, les substrats de verre mince et les substrats plastiques. Il existe deux types de substrat plastiques, les polyesters comme le PEN (Polyethylene-Naphthalate) et le PET (Polyethylene-Terephthalate) et le polyimide comme le Kapton.

III.1. Les substrats de verre mince

Les substrats de verre sont utilisés pour la fabrication des écrans LCD et OLED. Lorsque l'épaisseur du verre est réduite à moins de 100 µm, le substrat devient flexible [26]. Le verre peut être réduit à une épaisseur allant jusqu'à 30 µm [27]. Le substrat de verre flexible se caractérise par sa flexibilité et sa forte transparence, sa transmission optique supérieure à 91 %, avec un faible indice de réfraction 1,5230. Une température maximale de process relativement élevée, jusqu'à $T_g = 557^\circ\text{C}$ et jusqu'à 650°C pour d'autre fournisseur [28]. Il résiste à tout produit chimique et présente une faible rugosité de surface inférieure à 0,5 nm. Il est également imperméable à l'humidité et à l'oxygène, et ne se déforme pas.

III.2. Les substrats métalliques

Les substrats flexibles métalliques sont des feuilles en acier inoxydable. L'épaisseur de ces feuilles est réduite à 125 μm [26] et peut même atteindre 25 μm [29] ce qui rajoute la flexibilité à ces substrats. Les substrats métalliques sont de bons candidats pour la fabrication de l'électronique flexible quand la transparence n'est pas exigée. Le substrat métallique flexible se caractérise par une température de process maximale élevée, jusqu'à 1000°C. Il ne se déforme pas. Il est imperméable à l'oxygène et à l'humidité [30]. Les défauts majeurs de ce substrat sont l'opacité, sa nature conductrice qui exige une encapsulation des deux faces et sa rugosité de la surface qui nécessite un polissage ou une planarisation. À noter que des substrats métalliques flexibles avec différentes tailles et épaisseurs et ayant une surface bien polie sont apparus sur le marché. La rugosité mentionnée est de 1 nm [30].

III.3. Les substrats plastiques

Les substrats plastiques offrent un degré de flexibilité plus important que celui du verre mince et meilleur que celui des substrats métalliques. Les polyesters comme le PEN et le PET ont l'avantage d'être transparents à plus de 80% [31, 32]. Tandis que les polyimides comme le Kapton sont moins transparents, ce dernier est plutôt de couleur jaune-orangé. Un nouveau Kapton proche du transparent est en cours de développement par DuPont [33]. Les substrats transparents ont l'avantage d'être compatibles avec les écrans à émission et à réflexion de lumière ainsi que les deux modes d'émission de la technologie OLED, l'émission vers le bas et l'émission vers le haut [26].

Le Kapton se caractérise par une température maximale de process plus élevée que celle du PEN et du PET. La température maximale que peut supporter le Kapton est de 400°C [34], contre 180°C pour le PEN et 150°C pour le PET [31, 32]. Les substrats plastiques se déforment au cours du process lorsqu'ils sont exposés à une température supérieure à la température de transition vitreuse (Tg). Le taux de déformation est donné à titre indicatif en pourcentage et par unité de temps. Par exemple le PEN Q65FA produit par DuPont Teijin Film se déforme de 0,2% lorsqu'il est exposé à une température de 200°C pendant 10 minutes [31]. La déformation du substrat lors du process crée des erreurs sur l'alignement des différents niveaux de masquage et peut rendre celui-ci impossible en cas de forte déformation. Les substrats plastiques sont perméables à l'oxygène et à la vapeur d'eau. Ils absorbent aussi l'humidité. Le Kapton absorbe 1,8% contre 0,14% dans le cas du PEN et du PET [26]. La perméabilité à l'oxygène et à l'eau sont très gênantes pour la technologie des OLEDs. Une

encapsulation du substrat est alors nécessaire pour réduire les taux de perméabilité et les rendre compatibles avec la technologie des OLEDs.

Le tableau suivant résume les principales caractéristiques des trois types de substrats flexibles [26, 28, 31, 34] :

Caractéristiques	Acier inoxydable	Verre mince	Kapton	PEN	PET
Poids (g/m^2), $e = 100 \mu\text{m}$	800	250	120	120	120
Température maximale du process ($^{\circ}\text{C}$)	1000	600	400	180	150
Transmission optique du domaine visible (%)	0	> 91	Jaune	> 80	> 80
Module de Young (GPa)	200	70	2,5	6,1	5,3
Absorption d'humidité (%)	Non	Non	1,8	0,14	0,14
Perméabilité à l'oxygène	Non	Non	Oui	Oui	Oui
Déformation au cours du process	Non	Non	Oui	Oui	Oui
Conductivité électrique	Oui	Non	Non	Non	Non
Conductivité thermique ($\text{W/m.}^{\circ}\text{C}$)	16	1	0,2	0,1	0,15
Planarisation	Oui	Non	Non	Non	Non

Tableau 1. Présentation des principales caractéristiques des substrats flexibles les plus utilisés.

Pour récapituler, le choix du substrat dépend essentiellement de la nature de l'application (affichage, identification, détection), de la technologie de fabrication utilisée (direct sur substrat flexible ou report sur substrat flexible) mais aussi de la température maximale de cette technologie.

Nous nous intéressons à l'application d'affichage et nous utilisons une technologie en silicium microcristallin élaboré à une température maximale de 180°C , pour cela nous choisissons par la suite les substrats transparents de type PEN.

IV. Électroniques flexibles rapportées sur un substrat flexible

Cette électronique est fabriquée sur un substrat rigide, dans la plus part des cas il s'agit d'un wafer de silicium monocristallin. Les étapes de fabrication se font généralement à haute température, supérieure à $T = 600^{\circ}\text{C}$. À la fin de la procédure de fabrication, l'électronique est libérée du substrat puis collée sur un support flexible. Le coût de cette technologie est

relativement élevé, puisqu'elle emploie les techniques standards de fabrication à haute température et le report sur un substrat flexible.

Cette méthode est dédiée à des applications de pointe opérantes à haute fréquence. Les matériaux répondants à ces applications sont le silicium monocristallin et le silicium polycristallin.

IV.1. Silicium monocristallin

Le silicium monocristallin est utilisé depuis longtemps par l'industrie des semiconducteurs pour la fabrication des transistors MOSFET et des circuits intégrés. Le silicium monocristallin reste le semiconducteur le plus performant [35]. Ce matériau se caractérise par d'excellentes propriétés électriques ; la facilité d'oxydation sèche ou humide, la stabilité électrique, le dopage type N et type P, la grande mobilité des porteurs (électrons et trous), l'utilisation à des fréquences relativement hautes.

L'inconvénient majeur de cette technologie se manifeste par le recours à de hautes températures de fabrication. En effet, les procédés de fabrication d'une électronique en silicium monocristallin sont effectués à une température au voisinage de 1100°C (oxydation thermique, dopage). De plus, le circuit électronique est fabriqué sur un wafer de silicium monocristallin, c'est un substrat rigide, très fragile et coûteux. De ce fait, la technologie de fabrication standard du silicium monocristallin est peu adaptée à l'électronique flexible sur substrat souple.

Ainsi, pour rendre cette technologie compatible avec l'électronique flexible et pour profiter de ses bonnes caractéristiques, il est possible d'amincir le wafer [36] afin de le rendre flexible et ensuite le reporter sur un substrat flexible; cependant cette technique reste coûteuse. Une autre technique de fabrication est en cours de développement. Cette technique est appelée impression par Transfer Printing. La technique de fabrication fait appel à la technologie Silicon On Insulator (SOI). Cette technique consiste à fabriquer le circuit électronique sur un wafer SOI. Elle permet de réaliser toutes les étapes technologiques à haute température en utilisant le wafer [35, 37, 38]. À la fin de la procédure de fabrication, le circuit est libéré du wafer et transféré sur un substrat flexible.

Exemple de technique de Transfert Printing [35] :

Les transistors sont fabriqués sur un wafer SOI constitué d'un substrat de silicium monocristallin d'orientation $\langle 111 \rangle$ couvert d'une couche d'oxyde thermique d'épaisseur $e = 1\mu\text{m}$ et d'une couche de silicium monocristallin de type P, d'épaisseur $e = 2\mu\text{m}$ et

d'orientation $\langle 100 \rangle$. La figure suivante (8) représente les différentes étapes de fabrication de transistors par la technique de Transfer Printing.

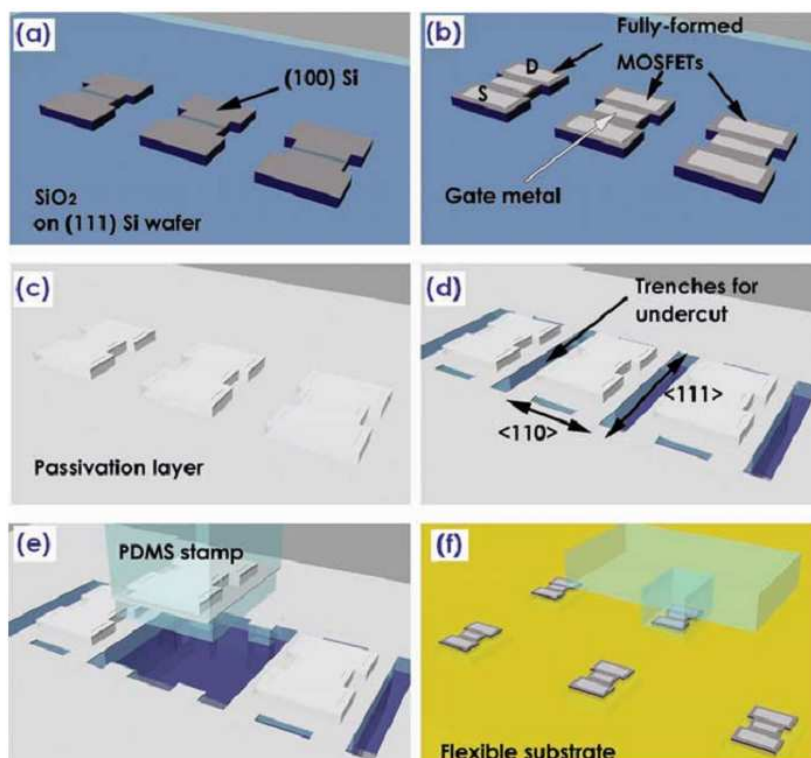


Figure 8. Technique de fabrication de transistors en silicium monocristallin par Transfer Printing [35]

La procédure de fabrication commence par la fabrication du transistor (dopage des régions source et drain, définition de la structure du transistor, formation de l'isolant de grille par oxydation sèche, ouverture des contacts, dépôt du métal et définition des électrodes), puis encapsulation des transistors par une couche épaisse de nitrure de silicium ($e = 800\mu\text{m}$). Cette couche a pour rôle de protéger les transistors contre la solution Tetramethylammonium hydroxide (TMAH) utilisée ultérieurement. Un dépôt de métal sert de masquage lors de l'étape de gravure de l'ensemble nitrure de silicium/oxyde de silicium/silicium $\langle 111 \rangle$ jusqu'à une profondeur de $2\mu\text{m}$. Avant de plonger le wafer dans la solution TMAH (gravure latérale de silicium $\langle 110 \rangle$) pour la libération de transistors on retire le métal par une gravure humide. Finalement on estampe les transistors un par un en utilisant un tampon en PDMS, pour transférer les transistors sur un substrat flexible et enlever la couche d'encapsulation. Une dernière étape de métallisation peut être rajoutée pour relier les transistors ou pour définir les plots de caractérisation, figure (9).

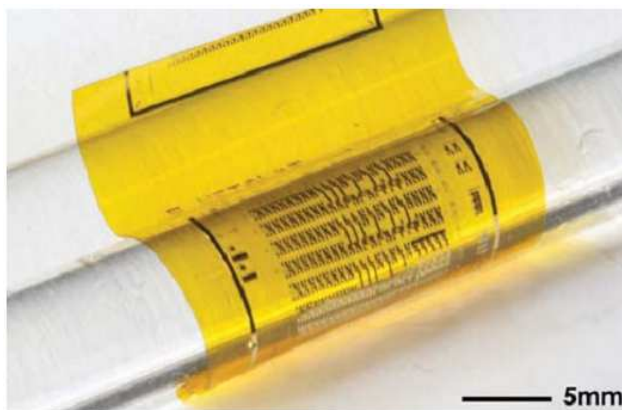


Figure 9. Ensemble de transistors et de portes logiques imprimés sur un substrat flexible [35]

Cette technique a permis de fabriquer des transistors performants de type N avec une mobilité de $740 \text{ cm}^2/\text{V.s}$ ainsi que des inverseurs et des portes logiques NAND et NOR à base de transistors de type N [35]. Des oscillateurs à base d'inverseurs CMOS réalisés à l'aide de cette technologie fonctionnent à une fréquence $F = 2,6 \text{ Mhz}$ [37].

La technique du Transfer Printing reste consacrée à des applications ayant besoin d'une électronique performante [37] comme les systèmes complexes opérant à haute fréquence 'lab on chips' parce qu'elle est une technologie très coûteuse.

IV.2. Silicium polycristallin

Le silicium polycristallin est une structure intermédiaire entre les deux états, amorphe et cristallin. Le polysilicium peut être représenté sous forme d'arrangement de grains monocristallins reliés entre eux par des éléments défectueux non uniformément répartis et formant des barrières de potentiel pour les porteurs. Ces éléments sont appelés joints de grains [12, 39].

Le silicium polycristallin peut être fabriqué à partir de différentes techniques. Parmi les techniques de dépôt du silicium nous pouvons citer les techniques de décomposition chimique en phase vapeur (CVD) telles que le dépôt à basse pression (LPCVD : Low Pressure Chemical Vapor Deposition) et le dépôt assisté par plasma (PECVD : Plasma Enhanced Chemical Vapor Deposition) ou la technique de pulvérisation cathodique [40, 41]. Ces dépôts sont réalisés à des températures variables suivant la technique d'élaboration utilisée. La LPCVD est réalisée à une température située entre 530°C et 620°C . La PECVD est réalisée à des températures plus basses situées entre 250°C et 400°C , tandis que la pulvérisation

cathodique peut être effectuée à température ambiante [41]. Le silicium peut être déposé directement cristallisé. Mais pour que le silicium soit de bonne qualité, il est déposé amorphe puis post traité afin d'être cristallisé. Le traitement consiste en un recuit thermique à 600°C pendant plusieurs heures ou en une cristallisation à l'aide d'un laser ; cette dernière technique peut être pratiquée sur un substrat souple à condition de bien maîtriser la dissipation de la chaleur dans le substrat.

De ce fait, la technologie de fabrication du silicium polycristallin n'est pas compatible avec les substrats en plastique et en polymère utilisés pour la fabrication de l'électronique flexible.

Afin de rendre la technologie polysilicium compatible avec le concept de l'électronique flexible, elle est employée avec la technique de Transfer Printing. Cette technique utilisée pour la technologie du silicium monocristallin est adaptée pour qu'elle soit compatible avec la technologie du silicium polycristallin [42].

En effet, cette technique est réalisée sur un wafer de silicium monocristallin couvert d'une couche d'oxyde servant comme couche sacrificielle. Toutes les étapes technologiques effectuées à haute température sont faites sur le wafer de silicium monocristallin : dépôt de la couche de silicium polycristallin, cristallisation et dopage des régions de la source et du drain. La couche de polysilicium est façonnée en îlots afin d'accéder à la couche sacrificielle et libérer les TFTs fabriqués. Les membranes réalisées sont récupérées sur un substrat flexible en PET couvert d'une résine SU8. Le dépôt de l'isolant de grille et des contacts métalliques est effectué en dernière étape à température ambiante [42]. La figure suivante (10) résume les différentes étapes de fabrication d'une électronique flexible en utilisant la technique de Transfer Printing avec la technologie polysilicium.

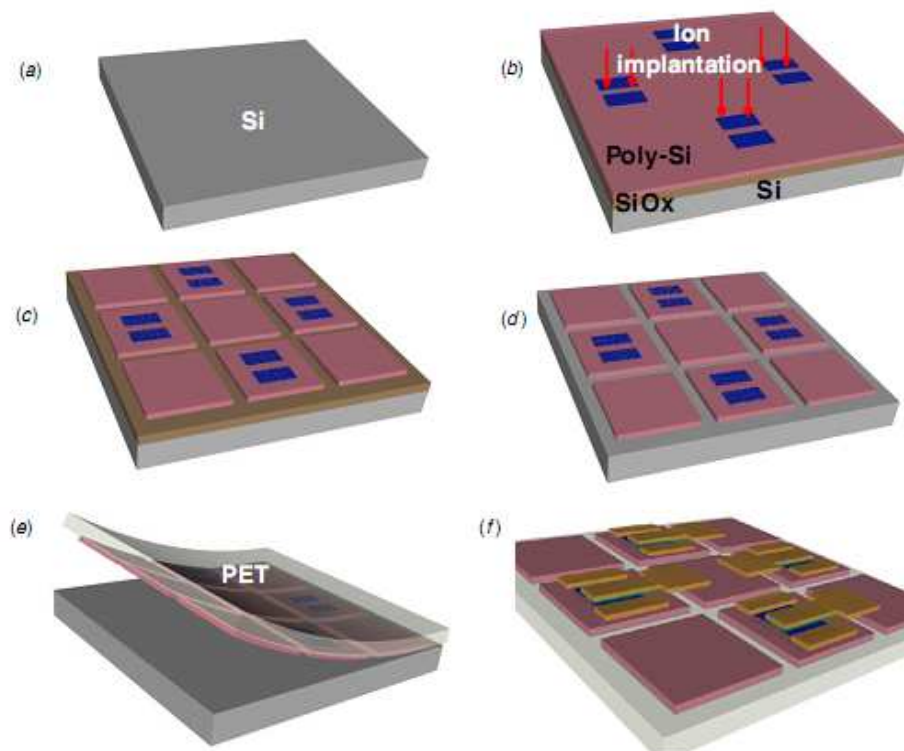


Figure 10. Exemple de technique de Transfer Printing utilisée pour la fabrication d'une électronique flexible en silicium polycristallin [42].

V. Électroniques flexibles fabriquées directement sur un substrat flexible

Contrairement au concept de l'électronique rapportée sur un substrat flexible, cette électronique est fabriquée directement sur le substrat flexible. Ce concept implique de nouvelles contraintes sur les procédures de fabrication existantes. La contrainte la plus exigeante est la limitation de la température du process imposée par le substrat, sans oublier la flexibilité mécanique du système qui peut endommager les couches actives. Le concept de l'électronique flexible exige le recours à d'autres technologies de fabrication qui répondent à ces contraintes.

L'avantage de fabriquer directement l'électronique sur le substrat flexible est de réduire le coût de fabrication en produisant plus rapidement sur une surface plus grande : ce qu'on appelle 'low cost large area electronics'.

Il existe trois principales technologies qui répondent aux besoins de l'électronique flexible. Ces technologies sont la technologie organique, la technologie des oxydes métalliques transparents et la technologie du silicium à basse température.

V.1. Technologie organique

Le premier transistor organique a été démontré par H. Koezuka et al. en 1987 [43]. Depuis, plusieurs travaux de recherches sont élaborés pour développer et optimiser cette technologie prometteuse pour l'avenir de l'électronique flexible.

L'électronique organique se décompose en deux types d'éléments organiques : les petites molécules et les polymères. Ces deux composants se distinguent par la taille de leur molécule. Un polymère est une macromolécule constituée de longues chaînes répétitives d'entités élémentaires appelées monomères. Tandis que les petites molécules sont composées de quelques monomères [44]. Les caractéristiques électriques des polymères sont moins bonnes que celles des petites molécules. La mobilité des semiconducteurs en polymère n'a cessé d'augmenter depuis les années 1990 jusqu'à nos jours, elle est passée de 10^{-5} $\text{cm}^2/\text{V.s}$ à des valeurs juste en dessous de l'unité. La mobilité des semiconducteurs en petites molécules a évolué depuis le début des années 1990 de 10^{-3} $\text{cm}^2/\text{V.s}$ à des valeurs supérieures à 10 $\text{cm}^2/\text{V.s}$ à nos jours [45]. La mobilité du semiconducteur organique dépend des techniques de dépôt et des procédures de fabrication [46]. Les petites molécules comme le pentacène sont déposées par évaporation par effet Joule. Alors que les polymères sont des solutions processables [44].

Semiconducteur organique [47]

Le semiconducteur organique se présente sous la forme de cristal ou de polymère. Les propriétés du matériau semiconducteur organique sont voisines des propriétés du semiconducteur inorganique. Ces propriétés sont la conduction par électrons et trous, et la présence d'une bande interdite. Le tableau ci-dessous présente l'équivalence entre les caractéristiques d'un semiconducteur organique et inorganique.

Semiconducteur inorganique	Semiconducteur organique
Bande de valence	HOMO
Bande de conduction	LUMO
Bande interdite	Bande interdite

Tableau 2. Equivalence entre les caractéristiques d'un semiconducteur organique et d'un semiconducteur inorganique [47].

HOMO : Highest Occupied Molecular Orbital.

LUMO : Lowest Unoccupied Molecular Orbital.

Le principe de fonctionnement d'un transistor organique ressemble à celui d'un transistor inorganique. Le transistor est à l'état bloqué tant qu'il n'y a pas de tension de grille appliquée, un TFT organique se caractérise par un courant I_{OFF} très faible, il est de l'ordre de quelques pico ampères. En appliquant une tension sur la grille, une fine couche conductrice se forme à l'interface entre le semiconducteur et l'isolant par accumulation des porteurs de charges. Ainsi le courant passe de la source vers le drain. Contrairement au fonctionnement des MOSFETs silicium basé sur l'inversion des porteurs de charges et de façon identique aux TFT silicium, le fonctionnement des transistors organiques est basé sur l'accumulation des porteurs de charges [48]. Dans le cas des semiconducteurs inorganiques, le type des porteurs de charges est fixé par le type du dopage N ou P de la source et du drain, tandis que ce critère dépend du type d'injection de charge à partir des contacts métalliques du drain et de la source du TFT organique. À noter que le semiconducteur organique de type P est nettement meilleur que celui de type N en terme de mobilité et de stabilité électrique [49].

Il existe différentes procédures de fabrication de l'électronique organique. Les procédures les plus utilisées pour le moment sont : le spin coating et l'évaporation thermique.

- Le spin coating (polymères) consiste à enduire une solution organique sur un substrat en utilisant une tournette. Cette technique entraîne une perte non négligeable de la solution organique. En plus, le contrôle de l'épaisseur de la couche enduite est difficile à maîtriser.
- L'évaporation thermique (petites molécules) consiste à évaporer le semiconducteur organique sous vide. Dans la plupart des cas un shadow-mask est utilisé pour la définition directe de la structure du TFT, afin d'éviter que la couche organique ne rentre en contact avec les solvants. En effet, cette couche organique est très sensible aux diverses solutions utilisées lors du process [24].

Une autre technique est en cours de développement. Elle consiste à imprimer la solution organique en utilisant les moyens d'impression existants. Par exemple utiliser une imprimante à jet d'encre pour la fabrication en faible série ou utiliser les techniques d'impression de grande série comme la sérigraphie, la flexographie et le roll-to-roll [46].

La technologie organique est une technologie prometteuse pour l'avenir. Quelques démonstrateurs sont déjà apparus sur le marché, par exemple des étiquettes RFID flexibles, des écrans OLED flexibles et d'autres [46].

Cette technologie est restreinte pour le moment à la fabrication de TFTs de type P. Mais des TFTs de type N apparaissent de plus en plus. Les dispositifs organiques sont très sensibles au milieu extérieur comme l'oxygène et l'humidité. De ce fait, ils ont une durée de vie limitée à moins d'une passivation efficace.

V.2. Technologie des oxydes métalliques

Un oxyde métallique est un corps constitué d'atomes métalliques et d'atomes d'oxygène. Voici quelques exemples d'oxydes métalliques : Oxyde d'Aluminium Al_2O_3 (Alumine), Oxyde de Zinc ZnO , Oxyde de Cuivre CuO (Oxyde de cuivre II), Oxyde de Fer FeO (Oxyde de fer II).

Les atouts majeurs de ces matériaux sont : transparence, mobilité de porteur relativement importante entre 1 et $100 \text{ cm}^2/\text{V.s}$ [50], température de dépôt relativement basse, même à température ambiante.

L'oxyde de zinc ZnO est un matériau en cours de développement pour de multiples applications électroniques. En plus de sa nature conductrice, le ZnO peut être utilisé comme un matériau semiconducteur. Il est utilisé comme couche active pour la fabrication de TFTs à faible coût. Le premier TFT flexible et transparent a été fabriqué en 2004 par Nomura et al. en utilisant un composé amorphe a-IGZO (Indium Gallium Zinc Oxyde) déposé sur un substrat en PET. La mobilité atteinte est de l'ordre de 6 à $9 \text{ cm}^2/\text{V.s}$. Les caractéristiques électriques issues de cette technologie sont stables sous un stress mécanique [51, 52].

Propriétés physiques

C'est un matériau transparent à 80 % dans le domaine du visible et il est insensible à la lumière visible [51]. Il a des propriétés piézoélectriques intéressantes. La résistivité du ZnO peut être grande ou faible en fonction du dopage; de fines couches conductrices peuvent atteindre des résistivités inférieures à $10^{-3} \Omega.\text{cm}$ [53]. Le ZnO peut remplacer l'ITO (ITO : Oxyde d'Indium et d'Étain) dans les panneaux photovoltaïques et les écrans.

Applications et limitation technologique

Les applications visées par cette technologie sont : les écrans flexibles et transparents en fabriquant des AMOLED flexibles à base de a-InGaZnO-TFTs [50], les cellules photovoltaïques flexibles, les capteurs, le marché des LEDs et de l'éclairage blanc [53].

Les TFTs fabriqués à l'aide des couches d'oxyde métallique souffrent d'une instabilité électrique, ils sont sensibles au milieu extérieur et aux UV. Un recuit à plus de 300°C est nécessaire [54] en plus d'une couche d'encapsulation. Cette dernière entraîne des contraintes sur le TFT ce qui conduit à un décalage important de la caractéristique de transfert du TFT [55]. La fenêtre de process des oxydes métalliques est étroite [13].

Actuellement la technologie des oxydes métalliques se limite à la production de transistors de type N seulement. Les transistors de type P sont encore en cours de recherche. Ces transistors ne sont pas reproductibles et ne sont pas stables [51].

V.3. Technologie silicium

Il existe trois types de technologie silicium qui peuvent être utilisés pour la fabrication de l'électronique flexible. Ces trois types sont : le silicium polycristallin, le silicium amorphe et le silicium microcristallin.

A. Silicium polycristallin

Le silicium polycristallin est utilisé pour la fabrication des matrices à adressage actives et pour la fabrication des circuits de commande des matrices actives situées au bord des écrans. Le polysilicium est connu par sa capacité de produire des transistors de type N et de type P et par conséquent permet la fabrication d'une technologie complémentaire CMOS. Les couches de silicium polycristallin sont élaborées à des températures élevées au voisinage de 600°C. Ces couches peuvent être déposées directement sur un substrat flexible en acier métallique parce qu'il supporte des températures élevées jusqu'à 1000°C. Des travaux de recherche ont montré la faisabilité de la fabrication des TFTs en silicium polycristallin de type N et de type P sur un substrat métallique flexible [56, 57].

Une équipe de recherche aux Etats Unis a fabriqué des TFTs performants en silicium polycristallin sur un substrat métallique flexible, figure (11), en utilisant la technique de cristallisation par laser. Ces TFTs ont une mobilité d'électrons de 298 cm²/V.s et une mobilité de trous de 138 cm²/V.s. L'équipe a fabriqué des oscillateurs opérant à 1Ghz et des registres à décalage intégrés opérant à une fréquence de 10MHz [58]. Récemment, un convertisseur analogique-numérique parallèle 3 bits a été réalisé par Abbas Jamshidi-Roudbari et al. Ce convertisseur a été fabriqué en polysilicium sur un substrat métallique flexible [59]. Ces initiatives ouvrent une opportunité pour la réalisation d'une électronique flexible et avancée sur substrat souple.

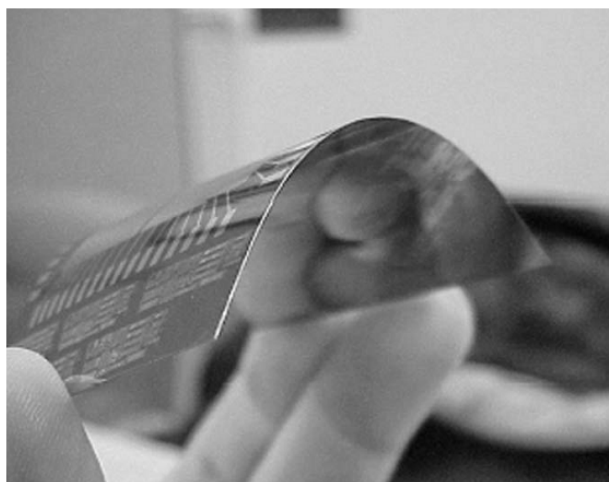


Figure 11. Circuits électroniques fabriqués en polysilicium sur une feuille métallique flexible [58].

B. Silicium amorphe

Le silicium amorphe a-Si: H est un bon candidat pour la fabrication de l'électronique flexible. Il est compatible avec l'électronique de grande surface. Le silicium amorphe est principalement utilisé pour la fabrication des écrans plats à matrice active. Il est employé pour la fabrication des cellules photovoltaïques. Habituellement, le silicium amorphe est déposé à basse température, au voisinage de $T = 250^{\circ}\text{C}$; ce qui le rend compatible avec la fabrication de l'électronique flexible. Le support le plus utilisé pour cette technologie est le Kapton puisque il résiste à des températures supérieures à $T = 250^{\circ}\text{C}$. Les feuilles d'acier de faibles épaisseurs, généralement inférieures à $100\ \mu\text{m}$, sont souvent utilisées comme substrat flexible quand la température de fabrication dépasse $T = 300^{\circ}\text{C}$ [60].

Le silicium amorphe peut être aussi déposé à 150°C et même à 75°C [61], afin de le rendre compatible avec d'autres types de substrats plastiques.

Les inconvénients majeurs de ce matériau sont l'instabilité électrique, la dégradation de la tension de seuil des TFTs au cours du fonctionnement et la faible mobilité des porteurs $\mu = 0,5 - 1\ \text{cm}^2/\text{V.s}$ [52]. Seuls les TFTs de types N sont produits à base du silicium amorphe [26] d'où la limitation des applications.

Le silicium amorphe reste un bon candidat pour la fabrication de toutes sortes d'écrans ou d'afficheurs flexibles à matrices actives. Un mariage avec la technologie organique peut être utile pour la fabrication des écrans flexibles AMOLED [62], ou encore la fabrication des afficheurs flexibles à matrice active et à encre électronique [63] connu sous le nom d'E-paper.

C. Silicium microcristallin

La structure du silicium microcristallin se situe entre celles du silicium polycristallin et du silicium amorphe. Il se caractérise par une structure cristalline située dans un tissu amorphe. Le silicium microcristallin est obtenu par dépôt à basse température souvent inférieure à 250°C, ce qui le rend un bon candidat pour la fabrication d'une électronique flexible directement sur un substrat flexible.

Il existe plusieurs techniques de dépôt du silicium microcristallin parmi lesquelles nous citons la pulvérisation cathodique d'une cible de silicium monocristallin par un plasma d'argon et d'hydrogène, ou encore la décomposition chimique en phase vapeur CVD. La technique la plus utilisée est la PECVD (Plasma Enhanced Chemical Vapor Deposition). Cette technique est utilisée par l'industrie pour le dépôt de silicium amorphe.

Le silicium microcristallin se caractérise par des propriétés électriques intermédiaires entre celles du silicium amorphe et celles du silicium polycristallin. En effet, le silicium microcristallin offre une meilleure stabilité [64], et une mobilité plus élevée que celle du silicium amorphe [65, 66]. Les couches de silicium microcristallin sont favorables au dopage de type N et au dopage de type P [67, 68] ainsi il offre la possibilité de fabriquer une technologie complémentaire CMOS [26].

Le silicium microcristallin est l'un des principaux thèmes de recherche du Département Microélectronique et Micro-capteurs de l'Institut d'Électronique et de Télécommunications de Rennes (IETR). Différents sujets de thèses ont été élaborés au sein de ce laboratoire pour optimiser ce matériau que ce soit au niveau de la technique de dépôt, ou des propriétés électriques et de la réalisation de dispositif. Ces travaux ont mené au développement d'un matériau ayant des propriétés électriques relativement bonnes en termes de reproductibilité et stabilité. Ce matériau est déposé par PECVD à basse température < 200°C.

La thèse de Khalid Kandoussi a permis d'optimiser le dépôt des couches de silicium microcristallin à basse température < 200°C. Elle a permis de fabriquer des TFTs de type N stables avec une mobilité d'électrons de l'ordre de 10 cm²/V.s. Des TFTs de type P ont aussi été réalisés [16].

La thèse de Khaled Amir Belarbi a permis d'optimiser l'isolant de grille associé à la fabrication de TFTs en silicium microcristallin. Cette étude a mené à l'élaboration d'un TFT

utilisant comme isolant de grille le nitrure de silicium qui présente une meilleure stabilité électrique en dépit d'une mobilité de l'ordre de $2 \text{ cm}^2/\text{V.s}$ [69].

La thèse d'Isman Souleiman a permis d'optimiser la fabrication de diodes Schottky en utilisant le silicium microcristallin comme couche active. Ensuite elle a permis de développer un circuit de redressement et de filtrage utilisant ces diodes Schottky ainsi que des capacités intégrées sur le même substrat en utilisant le silicium microcristallin et le nitrure de silicium comme couches actives. Ce redresseur fonctionne à haute fréquence, il permet le redressement d'un signal alternatif oscillant à 13,56 MHz [6].

VI. Conclusion

Le défi auquel les chercheurs font face ces dernières années consiste à fabriquer une électronique flexible à faible coût qui réponde au besoin des diverses applications flexibles. Cette électronique fait appel à de nouvelles technologies de fabrication et implique aussi des substrats innovants. Il existe différents types de substrats flexibles compatibles avec l'électronique flexible. Les substrats transparents les moins chers sont les substrats plastiques (PEN, PET). Ces substrats ne supportent pas les températures élevées de fabrication. La température maximale supportée par les substrats plastiques transparents comme le PEN est de l'ordre de 180°C . C'est pour cela que la température maximale du procédé de fabrication ne doit pas dépasser ce seuil. Ainsi, il convient de développer une technologie compatible avec les spécifications du substrat utilisé et qui réponde aux besoins des diverses applications flexibles.

La technologie du silicium microcristallin optimisée dans notre laboratoire semble être un bon candidat pour la fabrication d'électronique flexible directement sur un substrat souple.

Premièrement, parce que notre silicium microcristallin est déposé à une température inférieure à 180°C , il est compatible avec la température maximale imposée par le PEN et permet des coûts de process réduits.

Deuxièmement, parce qu'il est capable de produire deux types de TFTs : de type N et de type P. Il permet la production une électronique complémentaire CMOS, ce qui lui permet de répondre aux besoins d'un certain nombre d'applications flexibles.

Nous allons voir dans ce document comment pouvoir obtenir des TFTs à base de silicium microcristallin fabriqués sur PEN, qui puissent répondre aux nécessités des applications citées précédemment.

Références

- [1] <http://www.journaldunet.com/solutions/0703/070322-rfid/12.shtml>
- [2] <http://www.awt.be/web/res/index.aspx?page=res,fr,fig,130,002>
- [3] <http://rfid.comprendrechoisir.com/comprendre/rfid-passive>
- [4] K. Myny, S. Steudel, P. Vicca, M.J. Beenhakkers, N. A.J.M.van Aerle, G.H. Gelinck, J. Genoe, W. Dehaene, P. Heremans, "Plastic circuits and tags for 13.56 MHz radio-frequency communication", Solid State Electronics, Vol. 53, (2009), pp. 1220-1226
- [5] H. Rost, W. Mildner, "On the Way to Printed Electronics", Kunststoffe International, Vol. 6, (2008), pp 108-113
- [6] I. Souleiman, "Développement de blocs élémentaires et de circuits dédiés à des applications RFID en technologie silicium microcristallin très basse température", Thèse Université de Rennes 1, (2011)
- [7] <http://www.actualitte.com/actualite/lecture-numerique/acteurs-numeriques/concept-eroll-l-ecran-qui-vous-enroule-19272.htm>
- [8] <http://www.itechwhiz.com/2012/03/future-technology-smartphones-with.html>
- [9] <http://www.linternaute.com/auto/monospace/photo/peugeot-5008-le-scenic-de-la-marque-au-lion/affichage-tete-haute.shtml>
- [10] <http://www.teknologik.fr/tv-video/samsung-display-la-majorite-a-21-ans-pour-les-lcd-samsung-27849>
- [11] <http://www.gadgetvenue.com/dell-xps-baton-pc-concept-11253119/>
- [12] A. Saboundji, "Qualification de différents matériaux silicium en vue de la réalisation sur le même substrat de transistors dédiés à différentes applications", Thèse Université de Rennes 1, (2004)
- [13] J. Kanicki, "Electrical stability of a-Si:H and a-InGaZnO_x Thin Film Transistors", AMFPD 2012, Tokyo, 4-6 juillet (2012)
- [14] <http://www.laserfocusworld.com/articles/2002/05/toshiba-develops-super-slim-flexible-polysilicon-tft-lcd.html>
- [15] <http://www.telephone-flexible.com/technologie-oled/>
- [16] H. Cloarec, "Oleds à large bande émissive pour la réalisation de microafficheurs", Thèse Université de Rennes 1, (2008)
- [17] K. Kandoussi, "Procédé de fabrication à T<200°C de transistors en couches minces de silicium microcristallin déposé par PECVD en mélange SiH₄-H₂-Ar", Thèse Université de Rennes 1, (2007)

-
- [18] <http://www.presence-pc.com/actualite/e-paper-electrophoretique-PVI-23485/>
- [19] http://lcp.elis.ugent.be/tutorials/tut_eink
- [20] <http://www.eink.com/technology.html>
- [21] <http://www.revue-medias.com/L-electrophoretique-va-t-elle,443.html>
- [22] <http://www.fujitsu.com/global/news/pr/archives/month/2005/20050713-01.html>
- [23] D.H. Kim, N. Lu, R. Na, Y.S. Kim, R.H. Kim, S. Wang, J. Wu, S.M. Won, H. Tao, K.J. Yu, T. Kim, R. Chowdhury, M. Ying, L. Xu, M. Li, H.J. Chung, H. Keum, M. Mc Cornick, P. Liu, Y.W. Zhang, F.G. Omenetto, Y. Huang, T. Coleman, J.A. Rogers, “Epidermal Electronics“, *Science*, Vol. 333, No. 6044, (2011), pp. 838-843
- [24] T. Someya, T. Sekitani, S. Iba, Y. Kato, H. Kawaguchi, T. Sakurai, “A large-area, flexible pressure sensor matrix with organic field-effect transistors for artificial skin applications“, *PNAS*, Vol. 101, No. 27, (2004), pp 9966-9970
- [25] C-T. Wang, K.Y. Huang, D.T. W. Lin, W-C Liao, H-W. Lin, Y-C Hu, “A Flexible Proximity Sensor Fully Fabricated by Inkjet Printing“, *Sensors*, Vol. 10, (2010), pp. 5054-5062
- [26] I-C. Cheng, S. Wagner, “Overview of Flexible Electronics Technology”, *Book Flexible Electronics, Electronic Materials: Science & Technology*, Editors W.S. Wong, A. Salleo, Vol. 11, (2009), chap 1, pp. 1-28
- [27] http://www.schott.com/special_applications/english/products/thin_glass/thinglass.html?so=france&lang=french
- [28] <http://www.corning.com/displaytechnologies/en/products/flexible.aspx>
- [29] <http://www.stainlesssteelsubstrates.com/>
- [30] V. Cannella, M. Izu, S. Jones, S. Wagner, I-C. Cheng, “Flexible Stainless Steel Substrates”, *Information DISPLAY*, Vol. 21, No. 06, Jun (2005)
- [31] http://www.teijin Dupont films.jp/english/product/pen_teo.html
- [32] http://www.teijin Dupont films.jp/english/product/pet_tet.html
- [33] http://www2.dupont.com/Photovoltaics/en_US/assets/downloads/pdf/Kapton_for_PV.pdf
- [34] <http://en.wikipedia.org/wiki/Kapton>
- [35] H-J. Chung, T-I. Kim, H-S. Kim, S.A. Wells, S. Jo, N. Ahmed, Y.H. Jung, S.M. Won, C.A. Bower, J.A. Rogers, “Fabrication of Releasable Single-Crystal Silicon–Metal Oxide Field-Effect Devices and Their Deterministic Assembly on Foreign Substrates“, *Adv. Funct. Mater.*, Vol. 21, No 16, (2011), pp. 3029-3036
- [36] K. Bock, “Trends in RFid Technology”, Polytronic Systems Department, Fraunhofer IZM
-

-
- [37] D-H. Kim, J-H. Ahn, H-S. Kim, K. J. Lee, T-H. Kim, C-J. Yu, R. G. Nuzzo, J. A. Rogers, "Complementary Logic Gates and Ring Oscillators on Plastic Substrates by Use of Printed Ribbons of Single-Crystalline Silicon", IEEE Electron Device Letters, Vol. 29, No. 1, (2008), pp. 73-76
- [38] E. Menard, K.J. Lee, D-Y. Khang, R.G. Nuzzo, J.A. Rogers, "A printable form of silicon for high performance thin film transistors on plastic substrates", Appl. Phys. Lett., Vol. 84, No. 26, (2004), pp. 5398-5400
- [39] G. Gautier, "Conception réalisation et mise au point d'une technologie CMOS en transistors couches minces sur substrat de verre", Thèse Université de Rennes 1, (2002)
- [40] E. Jacques, "Microsystème et capteur intégrés en technologie couches minces basse température", Thèse Université de Rennes 1, (2008)
- [41] D. A. Good, "Novel Processes for Poly-Si Thin-Film Transistors on Plastic Substrates", Thesis University of California, Berkeley, (2007)
- [42] G. Qin, H.C Yuan, H. Yang, W. Zhou, Z. Ma, "High-performance flexible thin-film transistors fabricated using print-transferrable polycrystalline silicon membranes on a plastic substrate", Semicond. Sci. Technol., Vol. 26, (2011), pp. 025005.1-025005.6
- [43] H. Koezuka, A. Tsumura, T. Ando, "Field-effect transistor with polythiophene thin film", Synthetic Metals, Vol. 18, (1987), pp 699-704
- [44] I. El Houti El Jazairi, "Transistors Organiques Transparents Et Imprimés A Base De Pentacène", Thèse Université de Limoges, (2009)
- [45] D.M. de Leeuw, E. Cantatore, "Organic electronics: Materials, technology and circuit design developments enabling new applications", Mat. Sci. Semicond. Process, Vol. 11, No. 5-6, (2008), pp. 199-204
- [46] B.E. Kahn, "Organic Electronics Technology", Organic Electronics Association, 1st Edition (2006), pp. 19-32
- [47] http://fr.wikipedia.org/wiki/Semi-conducteur_organique
- [48] V. Bayot, "L'électronique organique", Université Catholique de Louvain Faculté des Sciences Appliquées, (2002)
- [49] W. Fix, A. Ullmann, R. Blache, K. Schmidt, "Organic Transistors as a Basis for Printed Electronics", Book Organic Electronics: Structural and Electronic Properties of OFETs, Editor Ch. Wöll (2009), chap 1, pp 1-15
- [50] R.A. Street, "Thin-Film Transistors", Adv. Mater., Vol. 21, (2009), pp. 1-16

-
- [51] D.J. Roger, F. Hosseini Teherani, "ZnO: From Transparent Conducting Oxide to Transparent Electronics", *Encyclopedia of Materials Science and Technology*, (2010), pp. 1-5
- [52] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", *Nature*, Vol. 432, (2004), pp. 488-492
- [53] <http://www.colloque-zno.uvsq.fr/>
- [54] J. S. Lee, Y-J. Kwack, W-S. Choi, "Low-temperature Solution-processed Zinc-tin-oxide Thin-film Transistor and Its Stability", *Journal of the Korean Physical Society*, Vol. 59, No. 5, (2011), pp. 3055-3059
- [55] S-E. Liu, M-J. Yu, C-Y. Lin, G-T. Ho, C-C. Cheng, C-M. Lai, C-J. Lin, Y-C. King, Y-H. Yeh, "Influence of Passivation Layers on Characteristics of a-InGaZnO Thin-Film Transistors", *IEEE Electron Device Letters*, Vol. 32, No. 2, February (2011), pp. 161-163
- [56] P.C. Kuo, A.J. Roudbari, M. Hatalis, "Effect of mechanical strain on mobility of polycrystalline silicon thin-film Transistors fabricated on stainless steel foil", *Applied Physics Letters*, Vol. 91, No. 24, (2007), pp. 243507.1-243507.3
- [57] J. H. Cheon, J. H. Bae, J. Jang, "Mechanical stability of poly-Si TFT on metal foil", *Solid-State Electronics*, Vol. 52, (2008), pp. 473-477
- [58] M-N. Troccoli, A-J. Roudbari, T-K. Chuang, M-K. Hatalis, "Polysilicon TFT circuits on flexible stainless steel foils", *Solid State Electronics*, Vol. 50, (2006), pp. 1080-1087
- [59] A-J. Roudbari, P-C. Kuo, M-K. Hatalis, "A flash analog to digital converter on stainless steel foil substrate", *Solid State Electronics*, Vol. 54, (2010), pp. 410-416
- [60] M.C. Wang, T.C. Chang, Po-Tsun. Liu, S.W. Tsao, Y.P. Lin, J.R. Chen, "The Instability of a-Si:H TFT under Mechanical Strain with High Frequency ac Bias Stress", *Electrochemical and Solid-State Letters*, Vol. 10, No. 10, (2007), pp. J113-J116
- [61] A. Sazonov, M. Meitine, D. Stryakhilev, A. Nathan, "Low-temperature Materials and Thin-Film Transistors for Electronics on Flexible Substrates", *Semiconductors*, Vol. 40, No. 8, (2006), pp 959-967
- [62] P. Servati, A. Nathan, "Functional Pixel Circuits for Elastic AMOLED Displays", *Proceedings of the IEEE*, Vol. 93, No. 7, July (2005), pp. 1257-1264
- [63] Y. Chen, J. Au, P. Kazlas, A. Ritenour, H. Gates, M. McCreary "Electronic paper: Flexible active-matrix electronic ink display", *Nature*, Vol. 423, 8 May (2003), p. 136-136
-

-
- [64] K. Belarbi, K. Kandoussi, N. Coulon, C. Simon, R. Cherfi, A. Fedala, T. Mohammed-Brahim, "Stability of microcrystalline silicon TFTs", ECS Transactions, Vol. 16, No. 9, (2008), pp. 121-130
- [65] K. Kandoussi, C. Simon, N. Coulon, T. Mohammed-Brahim, "160cm²/Vs microcrystalline silicon TFTs mobility thanks to nex deposition process of both Undoped and doped films performed at T < 200°C", AM-FPD 2006, Tokyo, 5-7 juillet (2006)
- [66] C-H Lee, A. Sazonov, A. Nathan, "High-mobility nanocrystalline silicon thin-film transistors fabricated by plasma enhanced chemical vapour deposition", Appl. Phys. Lett., Vol. 86, (2005), pp. 222106.1-222106.3
- [67] A. Saboundji, N. Coulon, A. Gorin, H. Lhermite, T. Mohammed-Brahim, M. Fonrodona, J. Bertomeu, J. Andreu, "Top-gate microcrystalline silicon TFTs processed at low Temperature (<200 °C)", Thin Solid Films, Vol. 487, No. 1-2, (2005), pp. 227-231
- [68] I. Souleiman, K. Kandoussi, K. Belarbi, R. Cherfi, A. Fedala, N. Coulon, C. Simon, T. Mohammed-Brahim, "N and P type top-gate microcrystalline silicon TFTs processed at low temperature (T<200°C) on the same glass substrate", Phys. Status Solidi. C., Vol. 7, No. 3-4, (2010), pp. 1148-1151
- [69] K.A. Belarbi, "Transistors en couches minces de silicium microcristallin fabriqués à T<180° C : stabilité et mobilité", Thèse Université de Rennes 1, (2010)

Chapitre 2. Technologie de Fabrication des TFTs en Silicium Microcristallin

I. Introduction

La technologie de silicium microcristallin débute au département de microélectronique et de microcapteurs de l'IETR en 2004 par les travaux de thèse de K. Kandoussi. Les couches de silicium microcristallin ont été optimisées pour être déposées à basse température, inférieure à 180°C, afin que cette technologie soit compatible avec les substrats flexibles de type PEN. Les couches de silicium microcristallin ont été déposées par PECVD à 165°C. Des TFTs de type N ont été fabriqués en silicium microcristallin à basse température < 180°C et en utilisant le dioxyde de silicium comme isolant de grille. Ces TFTs ont montré une grande mobilité allant de 6cm²/V.s à 168*cm²/V.s (*cette valeur de mobilité est obtenue pour une condition de dépôt bien particulière) mais ils ne sont pas stables électriquement. Le travail de cette thèse a été clôturé par la fabrication de TFTs de type P en silicium microcristallin.

Ensuite, la problématique de l'instabilité des TFTs avec de l'oxyde comme isolant de grille a été reprise par K. Belarbi au cours de ses travaux de thèse dans le but d'élaborer un isolant de grille assurant une meilleure stabilité des TFTs. L'isolant de grille élaboré est le nitrure de silicium. Ce nitrure a été déposé par PECVD et il a été optimisé à une température de 150°C, toujours dans le but d'utiliser ce matériau dans la fabrication d'une électronique flexible sur PEN. Les TFTs fabriqués à base de ce nitrure de silicium comme isolant ont montré une excellente stabilité électrique, tandis que la mobilité était faible de l'ordre de 0,49cm²/V.s à 2cm²/V.s.

Nous présentons dans ce chapitre un résumé de ces travaux. Nous présentons dans un premier temps les techniques utilisées dans l'IETR pour élaborer ses couches minces et les techniques utilisés pour la caractérisation de ces couches minces. Ensuite, nous présentons la technologie de fabrication des TFTs en silicium microcristallin et les principaux résultats obtenus au cours de ces travaux.

II. Technique de dépôt et de caractérisation des couches minces

II.1. Description du système de dépôt par PECVD

Les couches de silicium microcristallin optimisées au sein du laboratoire sont déposées par PECVD. Le système de dépôt par PECVD est constitué d'un réacteur de dépôt, d'une alimentation RF, d'une boîte d'accord, d'un système de pompage et d'un système de gestion de gaz. L'ensemble est représenté par la figure suivante (1) :

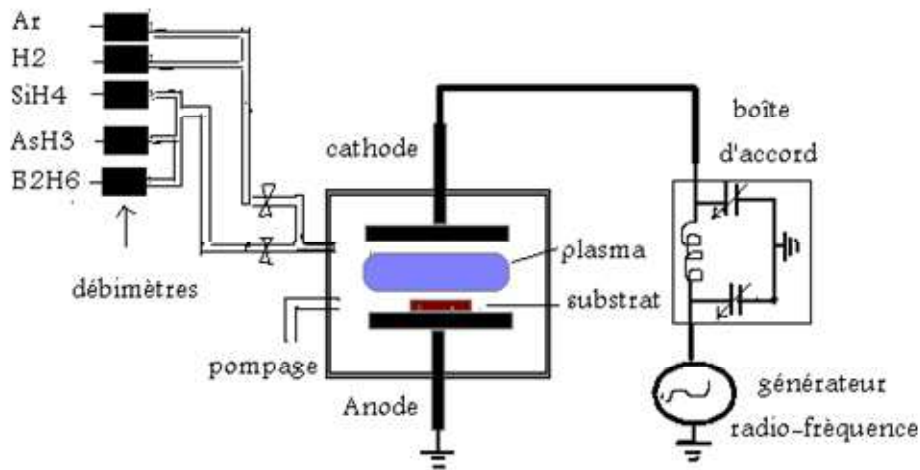


Figure 1. Système de dépôt par PECVD

L'enceinte de dépôt cylindrique est en acier inoxydable. Elle renferme deux électrodes planes et circulaires de diamètre 15 cm. Ces électrodes sont mises en parallèle. L'électrode inférieure constitue l'anode, elle est reliée à la masse et utilisée comme porte substrat. L'électrode supérieure constitue la cathode, elle est reliée à un générateur radiofréquence à travers une boîte d'accord.

Le chauffage du porte substrat est assuré par une résistance chauffante incrustée dans l'anode et asservie par un régulateur de température.

L'injection de gaz se fait par un anneau circulaire contenant des orifices équidistants entre eux ce qui permet une distribution uniforme du gaz autour du substrat.

La distance entre les deux électrodes est réglable et s'avère un paramètre important pour la qualité du matériau déposé.

Le générateur radiofréquence génère un signal alternatif oscillant à 13,56 MHz de puissance réglable. La boîte d'accord est placée entre le générateur et la cathode. Elle permet la compensation de la puissance réfléchie.

Les parois de la chambre de dépôt sont munies de hublots en quartz et permettent l'observation du plasma lors du dépôt et sa caractérisation par spectroscopie d'émission optique (OES).

Le système de pompage permet d'atteindre un niveau de vide de l'ordre de 10^{-6} mbar dans le réacteur. Il est constitué de deux pompes ; une pompe primaire permettant un pompage jusqu'à 10^{-2} mbar et une pompe secondaire qui assure un pompage allant jusqu'à 10^{-6} mbar.

Le système de gestion de gaz est constitué d'une armoire à bouteilles de gaz placée dans un local sécurisé et aéré, et d'une autre armoire contenant l'ensemble de débitmètres et de vannes utilisés pour le contrôle des flux de gaz nécessaires pendant le dépôt. Cette armoire est située dans la salle de dépôt.

Les principaux gaz utilisés sont le silane SiH_4 , l'hydrogène H_2 et l'argon Ar. Les gaz dopants sont l'arsine AsH_3 pour le dopage de type N et le diborane B_2H_6 pour le dopage de type P. Ces derniers sont dilués à 1000 ppm dans l'hydrogène.

II.2. Caractérisation des couches minces

a. Mesure d'épaisseur par profilomètre

Les épaisseurs des différentes couches déposées sont mesurées à l'aide d'un profilomètre. La technique de mesure consiste à réaliser une marche sur la couche déposée à l'aide d'une étape de masquage et de gravure, ensuite l'épaisseur de cette couche est déterminée à l'aide d'un déplacement vertical d'une fine pointe en diamant lorsqu'elle passe par la marche réalisée. Le déplacement vertical de la pointe est converti à l'aide d'un système d'acquisition en mesure d'altitude [1].

Le département de microélectronique et de microcapteurs de l'IETR dispose de deux profilomètres.

Le premier profilomètre est un Talystep Taylor-Hobson. Son principe de fonctionnement est basé sur le déplacement vertical d'une pointe en diamant dans une bobine. Ce déplacement induit un courant proportionnel à la marche. Le courant est traduit par un déplacement d'une pointe en graphite sur du papier. Le déplacement de la pointe en graphite trace le profil de la surface balayée.

Le deuxième profilomètre est un KLA-TENCOR P6 [2]. C'est à la fois un profilomètre et un analyseur de surface ; il utilise des plateformes numériques de mesure et d'analyse. Le P6 dispose d'un capteur capacitif permettant une résolution de l'ordre de l'Angstrom. Il est équipé d'un objectif qui offre un agrandissement jusqu'à 4X. Le P6 permet de mesurer les épaisseurs des couches minces, il permet de déterminer la rugosité de surface et également de créer une image en 3D à partir de l'échantillon analysé mais aussi la mesure du stress induit par un dépôt.

b. Microscope à Force Atomique (AFM)

Le microscope à force atomique AFM (Atomic Force Microscopy) est un outil utilisé principalement pour déterminer la rugosité de surface, pour créer des images en 3D d'un

échantillon à analyser et éventuellement il permet de mesurer de faibles épaisseurs de couches. La technique de mesure de ce microscope est basée sur la détection de la déviation d'un faisceau laser dirigé vers le dos d'un micro-levier. La déviation du laser est détectée grâce à des photodiodes. Le micro-levier se déplace au cours de la mesure pour balayer la surface à analyser. Ce déplacement est effectué à l'aide d'une céramique piézoélectrique. La combinaison du déplacement piézoélectrique et la déviation du faisceau laser sont traitées afin de générer une image de la surface de l'échantillon analysé en 2D ou en 3D [3].

Le département de microélectronique et de microcapteurs de l'IETR dispose d'un microscope à force atomique AFM (VEECO modèle AFM Caliber). Ce microscope a été utilisé au cours des travaux de recherche antérieurs pour déterminer la rugosité des couches de silicium microcristallin déposées par PECVD comme montré par la figure (2), mais également celle des substrats comme le PEN.

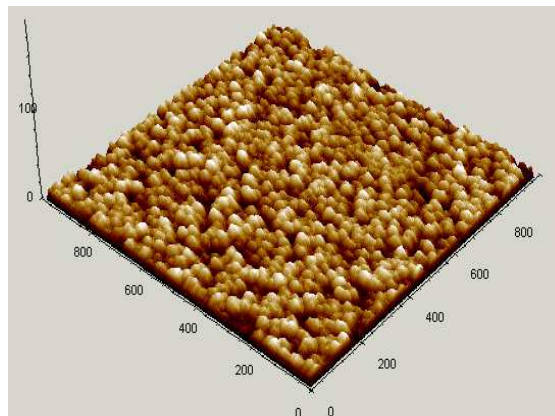


Figure 2. Image AFM pour une couche de silicium microcristallin [4].

c. Microscope électronique à balayage (MEB)

En s'appuyant sur les travaux de Max Knoll et Manfred von Ardenne dans les années 1930, la microscopie électronique à balayage MEB (SEM pour Scanning Electron Microscopy) est basée sur le balayage de la surface à analyser à l'aide d'un faisceau d'électrons. Arrivant à la surface de l'échantillon les électrons y interagissent. Cette interaction est détectée par différents détecteurs, et ensuite analysée afin de reconstruire une image en trois dimensions de la surface de l'échantillon [5].

Le MEB (modèle JSM 6301) a été utilisé au cours des travaux précédents par le département de microélectronique et de microcapteurs de l'IETR pour l'analyse des couches de silicium microcristallin déposées par PECVD.

Au cours de nos travaux de thèse la structure des TFTs fabriqués sur un substrat en plastique (PEN) a également été analysée par microscopie électronique à balayage.

d. Mesure de la conductivité électrique

Nous avons recours à deux techniques pour la mesure de la conductivité électrique σ des couches de silicium microcristallin déposées.

La première technique consiste à déposer par effet Joule des contacts métalliques en aluminium sous forme de barrettes rectangulaires parallèles sur la couche de silicium microcristallin à analyser. Ensuite une tension V est appliquée et on mesure le courant entre deux électrodes parallèles. La conductivité σ est exprimée par :

$$\sigma = l I / (L . e . V) \text{ (S.cm}^{-1}\text{)} \quad (1)$$

Où :

l : distance entre les électrodes (cm),

I : courant mesuré (A).

L : longueur des électrodes (cm),

e : épaisseur de la couche (cm),

V : tension appliquée entre les électrodes (V).

Cette technique est utilisée principalement pour la mesure de la conductivité de la couche intrinsèque du silicium microcristallin et la détermination de son énergie d'activation thermique (E_a). Cette caractéristique (E_a) nous renseigne sur l'état de contamination de la couche, comme l'oxygène notamment. L'énergie d'activation d'un silicium cristallin non dopé et non contaminé devrait être de l'ordre de 0,5eV. L'oxygène ayant tendance à introduire un niveau donneur, l'énergie d'activation d'un silicium cristallisé, non-dopé mais contaminé par l'oxygène est plus faible.

La deuxième technique consiste à utiliser un outil de mesure à 4 pointes. Les 4 pointes métalliques sont équidistantes. La technique consiste à appliquer un courant I entre les deux pointes extrêmes et à mesurer la tension V entre les deux pointes du milieu. L'expression de la résistivité ρ en fonction de l'épaisseur e de la couche est donnée par :

$$\rho = 4,53.e.V/I (\Omega.cm) \quad (2)$$

Or

$$\sigma = 1/\rho (S.cm^{-1}) \quad (3)$$

Cette technique est utilisée pour la mesure de la conductivité de la couche dopée du silicium microcristallin.

e. Mesure de la cristallinité des couches de silicium par Spectroscopie Raman

La spectroscopie Raman est une méthode non destructive de caractérisation de la composition moléculaire et de la structure d'un matériau.

Le principe de la spectroscopie Raman consiste à envoyer une lumière monochromatique sur l'échantillon à caractériser, puis analyser la lumière diffusée.

Un faisceau de lumière monochromatique produit par un laser continu de fréquence ν_0 , est focalisé sur l'échantillon à analyser. L'énergie E_0 de la radiation incidente est définie par la relation suivante [6] :

$$E_0 = h\nu_0 = h\frac{c}{\lambda_0} \quad (4)$$

Avec

h : constante de Planck (J.s)

ν_0 : fréquence de la radiation incidente

c : vitesse de la lumière dans le vide ($m.s^{-1}$)

λ_0 : longueur d'onde de la radiation incidente.

Les photons incidents sont en grande partie transmis, réfléchis ou absorbés et une fraction bien plus faible est diffusée :

- Une partie de la lumière est diffusée à la même fréquence ν_0 que la radiation incidente, c'est la diffusion Rayleigh (diffusion élastique),
- Une partie infime des photons incidents est diffusée avec changement de fréquence : c'est la diffusion Raman (diffusion inélastique) : elle représente environ un photon Raman pour 10^8 photons incidents.

Un spectre Raman est constitué par la quantité de lumière diffusée mesurée en fonction de la fréquence. Il contient un certain nombre de bandes associées aux différents modes de vibration du matériau analysé.

Au cours de ces travaux de thèse et des travaux précédents, un micro Raman HR 800 (Jobin Yvon) à une longueur d'onde de 632,8 nm a été utilisé pour analyser et déterminer la fraction cristalline des couches de silicium microcristallin déposées par PECVD. La bande transverse optique du spectre Raman d'une couche de silicium microcristallin est représentée par la figure suivante (3). La fraction cristalline de cette couche est estimée à partir de l'analyse de cette bande.

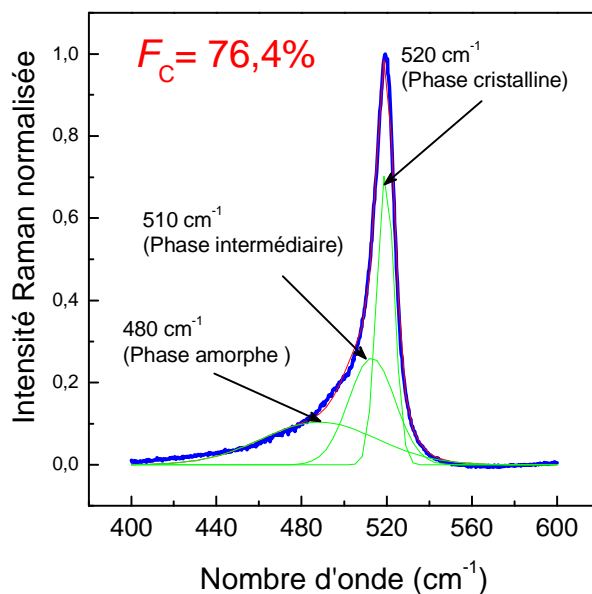


Figure 3. Spectre Raman d'une couche de silicium microcristallin non dopée déposée par PECVD

Trois gaussiennes sont utilisées pour déconvoluer la bande :

- Une gaussienne étroite centrée à environ 520 cm^{-1} , correspondant à la phase cristalline du matériau. La position et la largeur de la gaussienne dépendent de la taille des grains [7, 8] et du stress [9] dans le matériau.
- Une gaussienne centrée autour de 510 cm^{-1} , attribuée à la présence de joints de grains cristallins [10] et aux cristallites de taille inférieure à 10 nm [11, 12].
- Une gaussienne centrée à 480 cm^{-1} due à la phase amorphe du silicium.

La fraction cristalline F_C de la couche de silicium microcristallin est déterminée par l'équation suivante :

$$F_C = (I_C + I_I) / (y I_a + I_I + I_C) \quad (5)$$

Où, I_C , I_I et I_a sont respectivement les intégrales des intensités Raman centrées au voisinage des raies 520 cm^{-1} , 510 cm^{-1} et 480 cm^{-1} , y étant un terme correctif qui tient compte de la différence des sections de capture pour l'excitation des phonons entre le silicium cristallin et le silicium amorphe. La valeur de y dépend de la taille des cristallites et de la longueur d'onde d'excitation [13]. Nous calculons la fraction cristalline de tous nos échantillons avec une valeur de $y = 1$.

III. Matériaux pour la technologie microcristallin

III.1. Evolution du silicium microcristallin au sein de l'IETR

A. Silicium microcristallin intrinsèque

Les couches de silicium microcristallin ont été déposées par PECVD dans un réacteur identique à celui utilisé pour le dépôt du silicium amorphe. Des TFTs de type N ont été réalisés pour la première fois en utilisant ces couches de silicium microcristallin.

Ces couches de silicium microcristallin ont été optimisées au cours des travaux de thèse de K. Kandoussi au sein de l'IETR. Ces travaux de thèse ont porté sur l'étude de l'effet de l'argon Ar dans le mélange gazeux utilisé pour le dépôt, en plus d'une étude sur l'influence des paramètres de dépôt (pression, puissance, ratio de gaz). L'objectif de ces études a été d'élaborer une technologie en silicium microcristallin dédiée à l'électronique flexible fabriqué directement sur un substrat souple. Pour cela la température du dépôt par PECVD a été fixée dès le début à 165°C .

Le silicium microcristallin intrinsèque est déposé à partir de la décomposition du silane SiH_4 dilué dans un gaz réactif l'hydrogène H_2 ou dans un gaz inerte l'argon Ar ou dans un mélange gazeux des deux (Ar- H_2). La cristallisation du silicium dépend de cette dilution, à faible dilution le matériau déposé est amorphe tandis que à forte dilution du silane le matériau déposé est cristallisé [4]. Partant de cette hypothèse, la dilution du silane SiH_4 a été fixée à 1% du mélange gazeux utilisé (hydrogène pur ou mélange argon-hydrogène).

L'étude de la variation de la puissance et de la pression de dépôt a montré que le matériau est mieux cristallisé à faible puissance et à haute pression. La puissance a donc été fixée à 15W et la pression à 0,9 mbar sachant qu'à forte pression il y a un risque de formation de poudre dans le réacteur.

Une étude systématique de l'effet de l'argon sur les couches de silicium microcristallin a été réalisée tout en restant dans les conditions de dépôt fixées auparavant ($T = 165^{\circ}\text{C}$, $p = 0,9 \text{ mbar}$, $P = 15 \text{ W}$ et la dilution $\text{SiH}_4 = 1\%$).

Pour cela, l'effet de la concentration de l'argon dans le mélange (Ar- H_2) a été étudié de 0% à 100%. Cette variation a montré que la cristallinité de la couche de silicium microcristallin déposé passe par un optimum pour un mélange de 50% d'argon et 50% d'hydrogène. La figure suivante (4) représente l'évolution de la cristallinité de la couche de silicium intrinsèque en fonction de la concentration de l'argon dans le mélange (Ar- H_2).

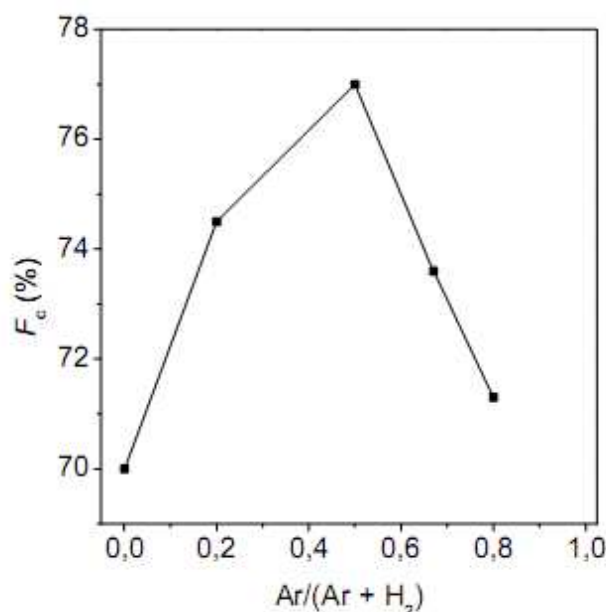


Figure 4. Variation de la cristallinité de la couche de silicium microcristallin en fonction de la concentration de l'argon dans le mélange (Ar- H_2) [4].

La cristallinité a été aussi évaluée en fonction de l'épaisseur pour deux couches de silicium microcristallin déposées en diluant le silane dans l'hydrogène uniquement ou dans un mélange de 50% d'hydrogène et 50% d'argon.

Les couches de silicium microcristallin déposées à l'aide d'une dilution du silane SiH_4 dans l'hydrogène H_2 pur ont présenté des cristallinités au voisinage de 65% pour une épaisseur de 100 nm ainsi qu'une faible vitesse de dépôt ($V_d = 13,5 \text{ \AA}/\text{min}$), tandis que les couches déposées à l'aide d'une dilution du silane dans un mélange d'argon et d'hydrogène ont montré une cristallinité de 75% pour la même épaisseur de la couche. La vitesse de dépôt a aussi augmenté, elle est passée de $13,5 \text{ \AA}/\text{min}$ à $34,6 \text{ \AA}/\text{min}$. La figure suivante (5) représente ces résultats.

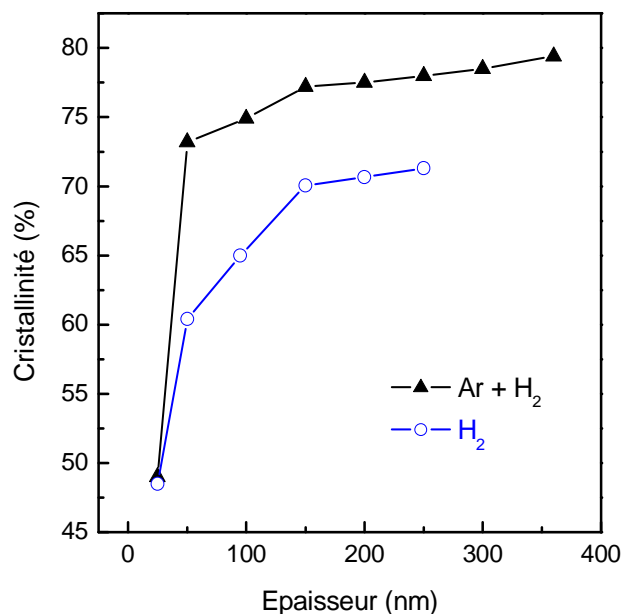


Figure 5. Evolution de la fraction cristalline F_C de la couche de silicium microcristallin intrinsèque en fonction de l'épaisseur et du mélange gazeux [4].

L'ajout de l'argon Ar dans le mélange gazeux lors du dépôt du silicium microcristallin améliore la cristallinité des couches déposées et augmente la vitesse de dépôt. En revanche l'excès d'argon dans le dépôt crée une rugosité de surface plus élevée ainsi que la création de la poudre lors du dépôt. L'argon accélère le mécanisme de décomposition du silane SiH_4 et de l'hydrogène moléculaire [4].

Une étude complémentaire du silicium microcristallin a été réalisée en 2009 par R. Cherfi [14]. Les conditions de dépôt de la couche de silicium microcristallin intrinsèque ont été fixées comme illustrées dans le tableau (1) suivant :

Dépôt	Puissance (W)	Pression (mbar)	D_{A-K} (cm)	Température (°C)	SiH_4 (sccm)	Ar (sccm)	H_2 (sccm)
$\mu\text{c-Si:H}$ non dopé	15	0,9	4,5	165	1,5	75	75

Tableau 1. Conditions de dépôt de la couche de silicium microcristallin non dopée.

D_{A-K} : La distance entre les deux électrodes (l'anode et la cathode).

Ces conditions de dépôt représentent un bon compromis entre la qualité du matériau, la vitesse de dépôt et la formation de la poudre dans le réacteur.

Les couches de silicium microcristallin intrinsèque déposées dans ces conditions se caractérisent par une fraction cristalline F_C comprise entre 73% et 78% pour une épaisseur située entre 50 nm et 200 nm, et une énergie d'activation E_a comprise entre 0,4 eV et 0,6 eV.

Au cours de nos travaux de thèse nous avons utilisé ces conditions pour le dépôt de la couche de silicium microcristallin intrinsèque.

B. Silicium microcristallin dopé N

Les couches de silicium microcristallin dopées N sont déposées par la même technique que le silicium intrinsèque. Les conditions de dépôt de couche de silicium microcristallin dopée N ont toujours suivi l'évolution des travaux d'optimisation effectués sur la couche intrinsèque. La seule différence consiste à rajouter le gaz dopant dans le mélange gazeux de dépôt. Le gaz utilisé pour le dopage des couches est l'arsine AsH_3 dilué à 1000 ppm dans l'hydrogène.

Ces couches ont été étudiées au cours des travaux de thèse de K. Kandoussi ensuite elles ont été optimisées au cours de la thèse de K. Belarbi. Les couches de silicium microcristallin dopées N sont déposées par PECVD par deux méthodes.

- En monocouche, c'est-à-dire, la couche de silicium microcristallin intrinsèque est déposée en premier puis sans interrompre le plasma la couche dopée N est déposée en rajoutant le gaz dopant.
- En bicouche, dans ce cas, on dépose la couche dopée sur une couche de silicium microcristallin intrinsèque déposée antérieurement, cela mène à une création d'interface entre les deux couches (intrinsèque et dopée).

Généralement les couches de silicium microcristallin dopées déposées en monocouche représentent une conductivité électrique meilleure que celle des couches déposées en bicouche. Cela est dû à la continuité du dépôt de la couche et à la suppression de l'interface créée entre le silicium microcristallin intrinsèque et dopé dans le cas d'un dépôt bicouche. L'image MEB suivante, figure (6), montre une coupe d'un dépôt monocouche composé de 200 nm de silicium microcristallin intrinsèque suivi d'une couche de silicium microcristallin dopée N.

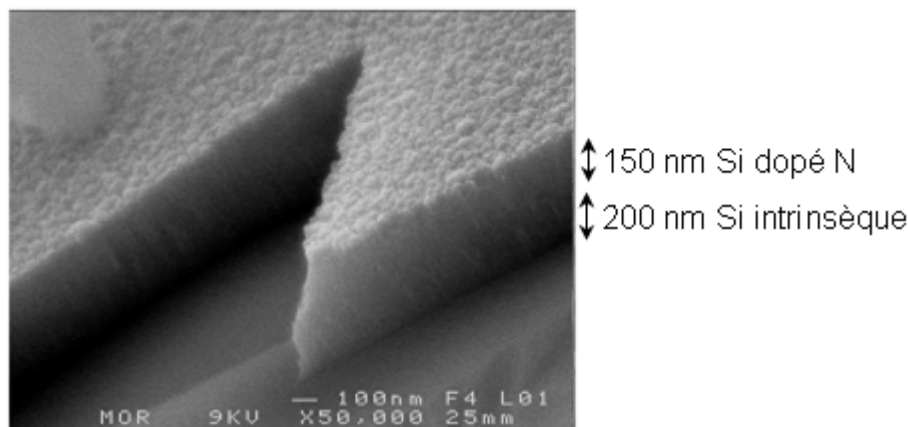


Figure 6. Image MEB d'une coupe de silicium microcristallin d'épaisseur 350 nm composé d'une couche de silicium intrinsèque de 200 nm et d'une couche de silicium dopé N déposée en monocouche de 150 nm [4]

La conductivité typique de la couche de silicium microcristallin dopée N d'épaisseur 150 nm est 23 S.cm^{-1} pour une dilution du silane dans un mélange (Ar-H₂) et 5 S.cm^{-1} pour une dilution en hydrogène pur [15].

Depuis 2009, des travaux complémentaires ont mené à l'amélioration des propriétés électriques et structurales de la couche dopée N en utilisant une dilution de silane dans un mélange 50% Ar et 50% H₂. Une conductivité électrique maximale a été mesurée $\sigma = 55 \text{ S.cm}^{-1}$ pour une épaisseur de la couche dopée $e = 200 \text{ nm}$. À noter que cette couche dopée a été déposée en monocouche.

Les conditions de dépôt de la couche de silicium microcristallin dopée N ont été fixées comme indiqué dans le tableau (2) suivant :

Dépôt	Puissance (W)	Pression (mbar)	D _{A-K} (cm)	Température (°C)	SiH ₄ (sccm)	Ar (Sccm)	H ₂ (sccm)	AsH ₃ (sccm)
μc-Si:H dopé N	15	0,9	4,5	165	1,5	75	75	10

Tableau 2. Conditions de dépôt de la couche de silicium microcristallin dopée N.

D_{A-K} : La distance entre les deux électrodes (l'anode et la cathode)

Au cours de nos travaux de thèse nous avons utilisé ces conditions de dépôt de la couche de silicium microcristallin dopé N pour réaliser les TFTs de type N.

C. Silicium microcristallin dopé P

Le dopage des couches de silicium microcristallin en type P a toujours été un vrai défi. La difficulté consiste dans l'incorporation du dopant, le bore, dans le réseau du silicium microcristallin.

Le dopage de type P des couches de silicium microcristallin ouvre les portes d'une technologie CMOS à basse température.

Une première tentative de doper la couche de silicium microcristallin en type P a été faite au cours des travaux de thèse de K. Kandoussi. Une étude de la conductivité en fonction des rapports des flux du diborane et du silane B_2H_6/SiH_4 a montré un optimum, figure (7).

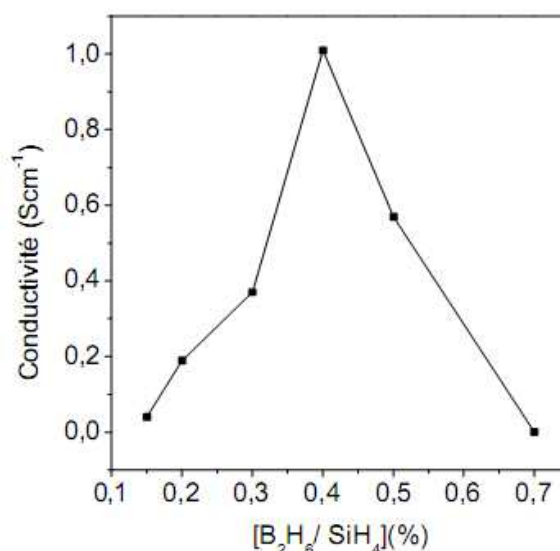


Figure 7. Evolution de la conductivité de la couche de silicium microcristallin dopée P en fonction du rapport B_2H_6/SiH_4 [4].

L'évolution de la conductivité de la couche de silicium microcristallin dopée P passe par un maximum à 1 S.cm^{-1} pour un rapport de $B_2H_6/SiH_4 = 0,4$. De part et d'autre de ce rapport la conductivité est trop faible. Cette étude a été réalisée en utilisant des dépôts de type monocouche.

Cette première tentative de dopage des couches de silicium microcristallin de type P a permis de fabriquer des TFTs de type P malgré la faible conductivité $\sigma = 1 \text{ S.cm}^{-1}$.

Ensuite, cette étude a été reprise par K. Kandoussi et R. Cherfi [16] afin d'améliorer la conductivité de cette couche dopée P. Trois effets sont alors étudiés, l'effet du débit du diborane, l'effet de la température et l'effet du volume gazeux. Pour cela, la puissance de dépôt a été fixée à 15 Watts comme pour le cas du dépôt du silicium microcristallin intrinsèque et dopé N, la pression a été fixée à 1,33 mbar, avec une dilution du silane dans l'hydrogène à 1%. Les dépôts réalisés sont de type bicouche. L'étude du flux du gaz dopant a permis de fixer le débit du diborane B_2H_6 à 5 sccm, mais la conductivité de la couche dopée P est toujours inférieure à 1 S.cm^{-1} . L'étude de l'effet de la température de dépôt a permis de la fixer à 120°C . Ce paramètre a été optimisé à partir d'une étude faite pour différentes températures, 165°C , 140°C , 120°C , 100°C et 80°C . À 165°C la couche de silicium microcristallin ne présente aucun effet de dopage et à 120°C la couche présente une conductivité de $1,6 \text{ S.cm}^{-1}$ meilleure que celle obtenue à 140°C . La conductivité est légèrement améliorée quand la température passe de 120°C à 80°C . Mais afin d'éviter que la couche soit très poreuse, la température a été fixée à 120°C . Finalement, trois volumes gazeux ont été étudiés, comme le montre le tableau (3) suivant :

Dépôt	Puissance (W)	Pression (mbar)	D_{A-K} (cm)	Température ($^\circ\text{C}$)	SiH_4 (sccm)	H_2 (sccm)	B_2H_6 (sccm)	Conductivité (S.cm^{-1})
1	15	1,33	4,5	120	1	100	5	1,6
2	15	1,33	4,5	120	0,5	50	2,5	2,5
3	15	1,33	4,5	120	0,5	50	7	< 1

Tableau 3. Étude du volume gazeux du dépôt de la couche de silicium microcristallin dopée P [16].

Cette étude a montré que la conductivité de la couche de silicium dopée P est meilleure à faible volume gazeux. La conductivité mesurée augmente de $1,6 \text{ S.cm}^{-1}$ à $2,5 \text{ S.cm}^{-1}$ quand le volume gazeux est divisé par deux. En revanche la conductivité diminue quand le volume gazeux augmente.

Les conditions de dépôt de la couche de silicium microcristallin dopée P sont donc fixées comme illustrées dans le tableau (4) ci-dessous :

Dépôt	Puissance (W)	Pression (mbar)	D_{A-K} (cm)	Température (°C)	SiH ₄ (sccm)	H ₂ (sccm)	B ₂ H ₆ (sccm)
μc-Si:H dopé P	15	1,33	4,5	120	0,5	50	2,5

Tableau 4. Conditions de dépôt de la couche de silicium microcristallin dopée P [16].

Au cours de nos travaux de thèse nous avons utilisé ces conditions de dépôt pour réaliser des TFTs de type P. Nous avons aussi essayé d'élaborer des TFTs de type P en utilisant des couches de silicium intrinsèque et dopée P déposées à 120°C.

III.2. Isolant de grille

L'isolant de grille est un élément déterminant pour les propriétés (performances) électriques d'un transistor MOS (Métal Oxyde Semiconductor). En effet, pour avoir un transistor MOS avec de bonnes propriétés électriques, il faut que l'isolant de grille soit de bonne qualité en tant que diélectrique et que l'interface isolant-couche active présente le moins de défauts possible.

Un isolant de grille de bonne qualité électrique se caractérise par les critères suivants [4] :

- Une saturation de la capacité dans le régime quasi-statique
- Une même capacité dans les deux régimes d'accumulation et d'inversion
- Des caractéristiques HF-C(V) et QS-C(V) identiques dans les deux régimes de déplétion et d'accumulation
- Un minimum profond de la fonction QS-C(V)
- Une faible tension de bande plate (V_{FB}).

Deux types d'isolant de grille sont utilisés au cours de ce travail de thèse. L'oxyde de silicium déposé par pulvérisation cathodique sans chauffer le substrat et le nitrure de silicium déposé par PECVD à basse température $T = 150^\circ\text{C}$.

A. Le dioxyde de silicium

Il existe deux types de dioxyde de silicium, l'oxyde thermique et l'oxyde déposé.

L'oxyde thermique est réalisé à haute température ($\geq 1100^{\circ}\text{C}$). Cet oxyde est formé suite à une réaction chimique à la surface d'une couche de silicium exposée à une atmosphère oxydante. L'oxydation thermique produit un oxyde de meilleure qualité électrique et structurale. Cet oxyde reste dédié aux technologies fabriquées à haute température.

L'oxyde déposé est réalisé à des températures inférieures à 500°C et même à température ambiante, cela dépend de la technique utilisée. Le dioxyde de silicium peut être déposé par APCVD (Atmospheric Pressure CVD) à 400°C à partir d'un mélange $\text{SiH}_4\text{-N}_2\text{-O}_2$ puis densifié à 600°C . Il peut être déposé par PECVD à basse température 300°C ou par pulvérisation cathodique (Sputtering) d'une cible de SiO_2 . Le dioxyde de silicium déposé par pulvérisation cathodique a l'avantage d'être réalisé à basse température ou à température ambiante. Pour cela, il est considéré comme un bon candidat pour la fabrication de l'électronique flexible sur un substrat souple.

Le dépôt d'oxyde par pulvérisation cathodique a été optimisé à température ambiante par A. Gorin au cours de son stage à l'IETR en 2003 [17]. Ce dépôt est réalisé en utilisant un mélange gazeux Ar-O_2 sans chauffage. Le mélange se compose de 30% d'oxygène. Ce dépôt est suivi d'un post traitement en utilisant un mélange d'hydrogène et d'oxygène. Finalement, un recuit à 180°C sous azote pendant deux heures permet de densifier cet oxyde et d'améliorer ces caractéristiques électriques.

Les conditions détaillées du dépôt et du post-traitement de l'oxyde sont illustrés dans les tableaux (5) et (6) suivants :

Dépôt	Puissance (W)	Pression (mbar)	D_{A-K} (cm)	Mélange Ar-O_2
Oxyde de silicium	200	$5 \cdot 10^{-3}$	8	30% (O_2)

Tableau 5. Conditions de dépôt de l'oxyde pulvérisé.

Post-traitement	Puissance (W)	Pression (mbar)	D_{A-K} (cm)	Température (°C)	H ₂ (sccm)	O ₂ (sccm)
Oxyde de silicium	100	$5 \cdot 10^{-3}$	8	-	20	10

Tableau 6. Conditions du post-traitement de l'oxyde pulvérisé.

La caractéristique capacité-tension à 1MHz (C(V)-HF) et la caractéristique quasi-statique (C(V)-QS) d'une capacité MOS utilisant cet oxyde sont représentées par la figure suivante (8) :

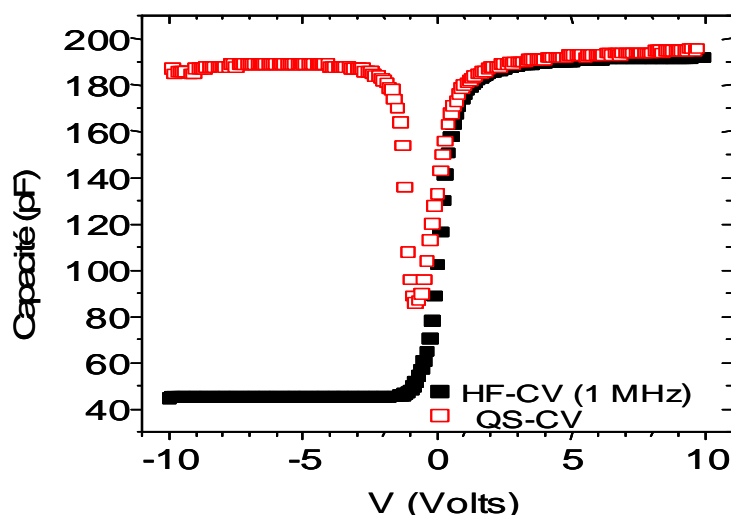


Figure 8. Caractéristiques capacité en fonction de la tension, représentées à haute fréquence HF et en quasi statique QS, d'une capacité MOS utilisant l'oxyde déposé par Sputtering ($e = 70$ nm) après le recuit à 200°C [17]

La densité d'état d'interface N_{ss} calculée pour cet oxyde est $6,4 \cdot 10^{10} \text{ eV}^{-1}\text{cm}^{-2}$, cette valeur est comparable avec celle d'un oxyde de silicium déposé à plus haute température [18, 19].

Un test de stabilité électrique a été réalisé sur cette capacité MOS. Pour cela, une tension de +15V a été appliquée sur la capacité MOS durant 4 heures. Le décalage de la tension de bande plate V_{FB} mesurée à la fin du stress électrique est de 0,17V comme indiqué par la figure suivante (9) :

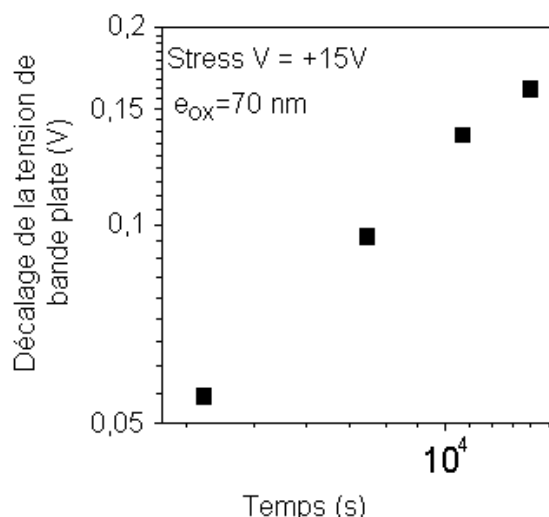


Figure 9. Test de stabilité électrique appliqué sur une capacité MOS fabriquée en oxyde pulvérisé. L'épaisseur de l'oxyde est de 70 nm, la tension appliquée de +15V et la durée du stress de 4h [4].

Ce test prouve que l'oxyde déposé par pulvérisation cathodique est stable électriquement. Le décalage de la tension de bande plate est faible (0,17V).

B. Le nitrure de silicium

Le nitrure de silicium est historiquement utilisé par l'industrie des semiconducteurs comme couche de passivation des circuits électroniques, barrière de diffusion lors du dopage, masque pour certaines gravures humides comme le TMAH (Tetramethylammonium Hydroxide), pour la création de LOCOS ou encore comme diélectrique. Le nitrure de silicium présente des propriétés d'isolation électrique meilleures que le dioxyde de silicium. Il est déposé par LPCVD à 600°C ou par PECVD à des températures supérieures à 250°C.

Le nitrure de silicium a été déposé par PECVD à 150°C. Ce nitrure a été optimisé par K. Belarbi au cours de sa thèse [16]. Deux types de nitrure ont été étudiés.

Le premier type de nitrure de silicium a été élaboré en utilisant un mélange gazeux de silane SiH_4 et d'azote N_2 . Les caractéristiques électriques de ce nitrure étaient insuffisantes pour qu'il soit utilisé comme un isolant de grille. Ce nitrure présentait une bonne caractéristique $C(V)$ à haute fréquence, figure (10), en dépit d'une absence de la caractéristique $C(V)$ en quasi-statique. Cette caractéristique est primordiale pour la qualité de l'isolant de grille.

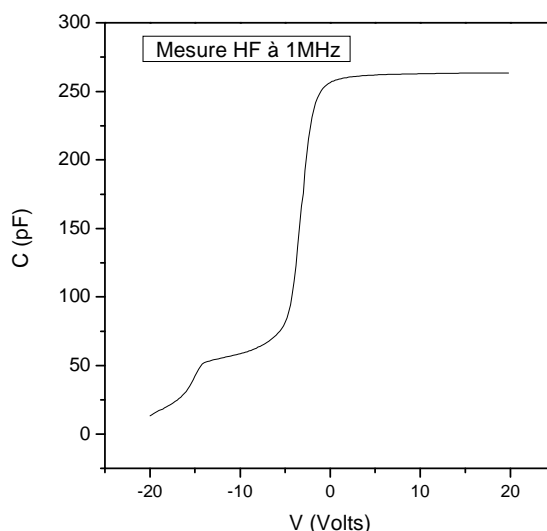


Figure 10. Caractéristique C (V) d'une capacité Métal-Isolant-Semiconducteur à haute fréquence. Cette capacité est fabriquée en nitrure de silicium, $e = 300$ nm [16].

Ce nitrure de silicium est utilisé comme couche d'encapsulation ou de passivation des substrats en plastique.

Le second type de nitrure de silicium optimisé en tant qu'isolant de grille est élaboré en rajoutant de l'ammoniac NH_3 au mélange gazeux précédent (silane SiH_4 et azote N_2) ; du fait de sa faible énergie de liaison N-H (4,7 eV) comparé à l'énergie de liaison de l'azote N-N (9,8 eV) [15]. Les autres paramètres de dépôt étudiés sont l'effet de la puissance, de la pression et des débits des différents gaz utilisés.

Cette étude a mené à l'optimisation d'un nitrure de silicium de qualité isolant de grille déposé par PECVD à une température $T = 150^\circ\text{C}$. Les conditions de dépôt sont fixées comme figurant dans le tableau (7) suivant :

Dépôt	Puissance (W)	Pression (mbar)	D_{A-K} (cm)	Température ($^\circ\text{C}$)	SiH_4 (sccm)	N_2 (sccm)	NH_3 (sccm)
Nitrure de silicium	30	0,6	4,5	150	2	80	40

Tableau 7. Conditions de dépôt de la couche de nitrure de silicium.

Après le dépôt du nitrure de silicium, cette couche subit une densification sous flux d'azote pendant deux heures à une température $T = 180^\circ\text{C}$.

La caractéristique capacité-tension à 1MHz (C(V)-HF) et la caractéristique quasi statique (C(V)-QS) d'une capacité MOS utilisant ce nitrure de silicium optimisé à 150°C après le recuit sont représentées par la figure (11) ci-dessous. L'épaisseur de la couche de nitrure de silicium est fixée à 300 nm.

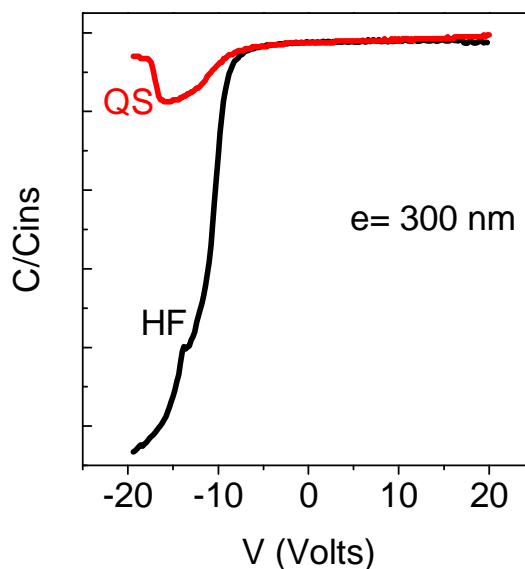


Figure 11. Caractéristiques capacité en fonction de la tension, représentées à haute fréquence HF et en quasi statique QS, d'une capacité MOS utilisant le nitrure de silicium déposé par PECVD à 150°C [15].

IV. TFTs en technologie silicium microcristallin

IV.1. Structure des TFTs

Il existe deux familles de structure de transistor TFT, le Top-Gate et le Bottom-Gate. Chacune de ces structures se subdivise en deux catégories suivant la disposition du contact de grille sur la même face que les contacts de source et de drain ou sur la face opposée. La figure suivante (12) représente la structure Top-Gate dite coplanaire par la disposition des trois contacts sur la même face supérieure et la structure Bottom-Gate dite inversée par la disposition du contact de grille en face inférieure alors que les autres contacts sont sur la face de dessus :

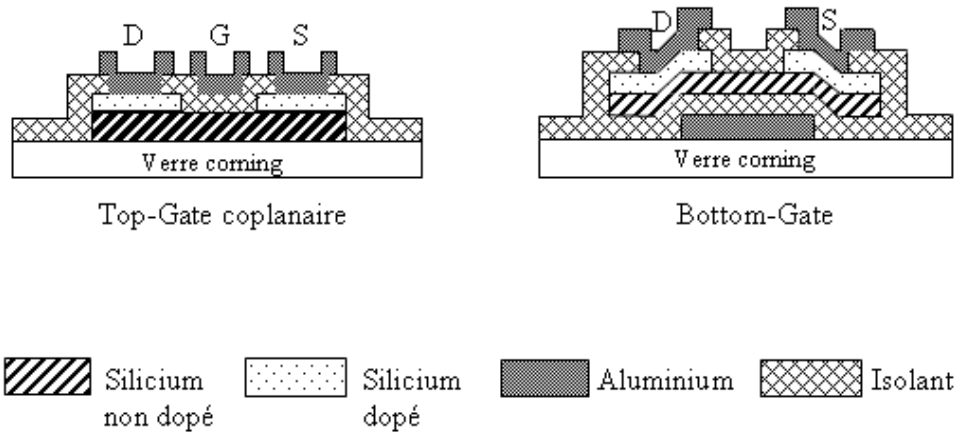


Figure 12. Structure de TFT : Top-Gate et Bottom-Gate

La structure Top-Gate est avantageuse du fait que le canal se crée dans la partie supérieure du silicium donc la partie la plus cristallisée, tandis que le canal se crée dans la partie inférieure du silicium dans la structure Bottom-Gate. Cette partie inférieure est généralement amorphe.

Par contre, la structure Top-Gate a un inconvénient majeur, c'est le mauvais contrôle de gravure dans la zone active qui peut abîmer le canal du transistor, alors que le canal de la structure Bottom-Gate reste intact, mais le courant I_{DS} est limité par des résistances d'accès importantes entre le canal et la zone de source et drain.

Pour bénéficier de la cristallisation du silicium microcristallin dans la zone du canal, nous avons choisi de fabriquer des TFTs en structure Top-Gate.

IV.2. Procédure de fabrication des TFTs sur un substrat en verre

Les TFT de structure Top-Gate sont fabriqués sur un substrat de verre Corning Eagle 2000 de dimension carrée de 5 cm x 5 cm et d'épaisseur $e = 0,7$ mm. Le substrat est nettoyé avec de l'acétone et de l'alcool isopropanol, puis rincé à l'eau déionisée. Le substrat est séché par un flux d'azote.

a. Dépôt de la couche intrinsèque et dopée

Une couche de silicium microcristallin intrinsèque est déposée par PECVD à une température $T = 165$ °C, suivie d'une couche de silicium microcristallin dopée (N ou P) déposée aussi par PECVD, comme le montre la figure suivante (13) :

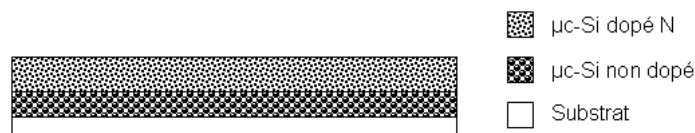


Figure 13. Dépôt de couches de silicium microcristallin non dopé et dopé plein-plaque.

b. Définition des zones de source, de drain et du canal du TFT

Une première photolithographie est nécessaire pour définir la zone de la source et du drain. La couche de silicium microcristallin dopée N est gravée par voie sèche jusqu'à arriver au niveau de la couche non dopée qui forme le canal du TFT, figure (14). La gravure sèche de la couche dopée est réalisée à l'aide d'un réacteur RIE (Reactive Ion Etching) Nextral NE110.

La gravure de la couche de silicium est assurée à l'aide d'un plasma de gaz réactif l'hexafluorure de soufre (SF_6). Le plasma est créé entre deux électrodes alimentées par une source radiofréquence RF à 13,56 MHz. Un système de pompage permet l'évacuation des composés formés lors de la gravure tels que le SiF_4 .

Il est à noter que la gravure RIE est isotrope, mais vue les faibles épaisseurs des couches à graver, la gravure latérale est négligeable.

Étant donné les faibles épaisseurs des couches de silicium, la gravure de la couche dopée (N ou P) est contrôlée à chaque fois par un test de résistivité. La gravure est arrêtée quand le courant mesuré de la couche gravée baisse à quelques dizaines de pico-ampères.

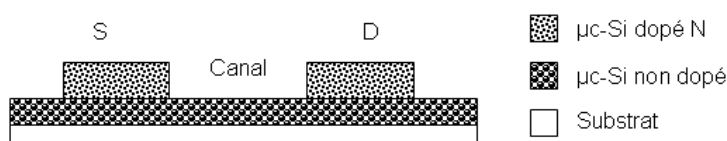


Figure 14. Définition des zones de la source, du drain et du canal du TFT.

c. Isolation des transistors

Une deuxième photolithographie est réalisée pour définir la structure des TFT et les isoler entre eux. La couche de silicium non dopée restante entre les TFTs est gravée par RIE jusqu'à arriver au verre. La structure obtenue est représentée par la figure suivante (15).

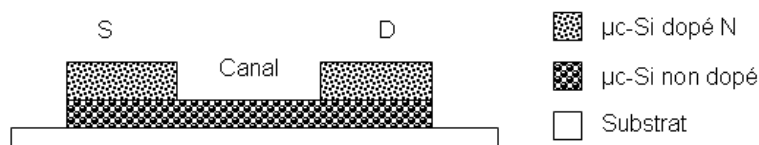


Figure 15. Isolation des transistors par gravure RIE.

d. Dépôt de l'isolant de grille

Le dépôt de l'isolant de grille est une étape cruciale au bon fonctionnement des TFTs. Différentes études ont montré qu'un nettoyage préalable de type RCA en améliorerait la qualité [20]. Cette étape est particulièrement importante car il est nécessaire de s'assurer d'une interface de qualité entre le canal et l'isolant de grille et de limiter la présence de défauts dans cette zone critique.

Le principe global de ce nettoyage est de créer un oxyde natif à la surface de la zone active dans lequel seront piégés successivement des contaminants organiques et métalliques. La gravure de cet oxyde élimine ces impuretés et permet d'obtenir une surface de silicium exempte de défauts.

L'échantillon est mis directement dans le réacteur dédié au dépôt de l'isolant de grille. Deux types de couches d'isolants de grilles peuvent être utilisés, l'oxyde de silicium déposé par pulvérisation cathodique sans chauffer le substrat ou le nitrure de silicium déposé par PECVD à 150°C.

e. Ouverture des contacts de la source et du drain

Une fois l'isolant de grille déposé sur l'échantillon (oxyde pulvérisé ou nitrure de silicium), une troisième étape de photolithographie définit les ouvertures pour la prise des contacts des zones de la source et du drain, figure (16). La gravure de la couche de nitrure de silicium est réalisée par voie sèche en utilisant la gravure RIE. Tandis que la gravure de l'oxyde de silicium se fait par voie humide en utilisant une solution à base d'acide fluorhydrique HF dilué à 5%.

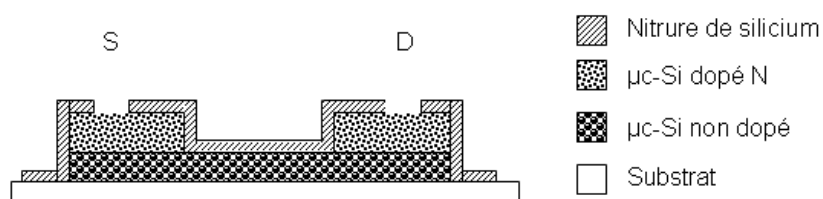


Figure 16. Dépôt de la couche de nitrure de silicium et ouverture des contacts source et drain.

f. Dépôt d'aluminium et définition des contacts source, drain et grille

Un dépôt d'aluminium d'épaisseur $e = 500$ nm est réalisé dans un bâti d'évaporation par effet joule sous vide (10^{-6} mbar).

Une quatrième étape de photolithographie est nécessaire pour définir les différentes prises de contact, figure (17). L'aluminium est ensuite gravé par voie humide utilisant une solution à base d'acide Orthophosphorique H_3PO_4 chauffée à $50^\circ C$.

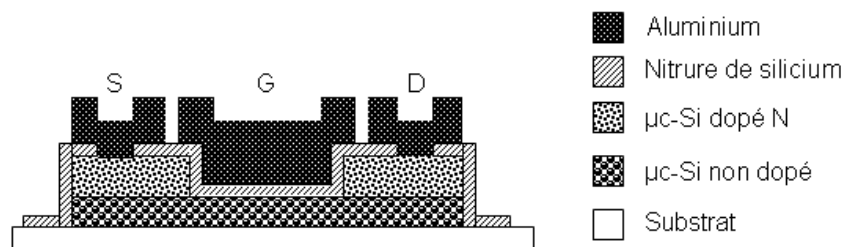


Figure 17. Structure finale du TFT top-gate

À la fin de cette étape, les TFTs subissent un recuit à $180^\circ C$ sous azote pendant 2h afin d'améliorer le contact entre les zones dopées du drain et de la source, et l'aluminium des contacts.

IV.3. Fonctionnement et caractérisations des TFTs

A. Fonctionnement des TFTs

Le fonctionnement d'un TFT en silicium microcristallin s'inspire fortement de celui du MOSFET. Le TFT est fabriqué à partir de couche active déposée directement sur un substrat. La zone active du canal est formée d'une couche mince de silicium non dopée.

L'analogie entre les deux structures permet de caractériser un TFT par les paramètres suivants :

- La tension de seuil V_{TH} .
- La transconductance g_m .
- La mobilité d'effet de champ des porteurs à l'état passant μ .
- La pente sous seuil S .

Les TFTs réalisés fonctionnent par enrichissement de porteurs. En effet, au-delà d'une certaine valeur de tension de grille ($V_{GS} > V_{TH}$), un canal conducteur est créé par accumulation

de porteurs majoritaires (électrons ou trous) à l'interface isolant de grille /semiconducteur. La polarisation drain/ source permet alors le passage du courant.

Le fonctionnement du TFT se distingue par deux états :

- État bloquant :

Lorsque la tension de grille est insuffisante pour créer un canal ($|V_{GS}| < |V_{TH}|$), le seul courant susceptible d'être mesuré résulte de la polarisation en inverse de la jonction drain/ source. Ce courant est appelé courant I_{OFF} . Ce courant déterminera la consommation des TFTs au repos (consommation statique).

- État passant :

Lorsque la grille est polarisée par une tension supérieure à la tension de seuil ($|V_{GS}| > |V_{TH}|$), un canal de porteurs est créé entre source et drain. Un courant peut ainsi circuler, le transistor est donc passant.

L'état passant se distingue par deux régimes de fonctionnement.

- Régime linéaire ou ohmique :

Pour de faibles tensions de drain ($V_{DS} \leq V_{GS} - V_{TH}$), on a l'expression du courant suivante :

$$I_{DS} = \frac{W}{L} \mu C_{iso} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (6)$$

Avec :

- W (μm) : largeur du canal.
- L (μm) : longueur du canal.
- μ ($\text{cm}^2/\text{V.s}$) : mobilité d'effet de champ.
- C_{iso} (F/cm^2) : capacité surfacique de l'isolant de grille.
- V_{TH} (V) : tension de seuil du transistor.

Pour de très faibles tensions de drain ($V_{DS} \ll V_{GS} - V_{TH}$), la variation de conductance du canal est négligeable. Le transistor se comporte comme une simple résistance dont la valeur est directement liée à ses dimensions W/L . Le courant de drain varie alors proportionnellement à V_{DS} :

$$I_{DS} = \frac{W}{L} \mu C_{iso} (V_{GS} - V_{TH}) V_{DS} \quad (7)$$

La valeur de la transconductance est alors obtenue par l'équation :

$$g_m = \left(\frac{\partial I_{DS}}{\partial V_{GS}} \right)_{V_{DS}=cte} = \frac{W}{L} \mu C_{iso} V_{DS} \quad (8)$$

- Régime saturé :

Quand V_{DS} atteint la valeur de $(V_{GS} - V_{TH})$, le canal se pince côté drain. Quand la tension de drain augmente au-delà de cette valeur, l'excédent de tension se retrouve aux bornes de la zone de déplétion dont la résistance est très supérieure à celle du canal. Ainsi, la tension aux bornes du canal reste approximativement égale à V_{DSsat} et le courant est alors sensiblement constant et égal à I_{DSat} :

$$I_{DSat} = \frac{W}{2L} \mu C_{iso} (V_{GS} - V_{TH})^2 \quad (9)$$

La transconductance est alors déduite de la relation :

$$g_{m,sat} = \left(\frac{\partial I_{DS}}{\partial V_{GS}} \right)_{V_{DSsat}} = \frac{W}{L} \mu C_{iso} (V_{GS} - V_{TH}) \quad (10)$$

B. Caractérisations électriques des TFTs

Chaque transistor est caractérisé par une tension de seuil V_{TH} , une pente sous le seuil S , une transconductance g_m , une mobilité de porteur μ et d'un rapport de courant I_{ON}/I_{OFF} . Ces paramètres sont extraits à partir de la caractéristique de transfert.

La caractéristique de transfert en échelle linéaire permet le calcul de la tension de seuil V_{TH} . Elle permet aussi de déterminer la transconductance g_m du transistor et la mobilité d'effet de champ μ_{FE} .

La caractéristique de transfert en échelle semi-logarithmique permet de calculer la pente sous le seuil S et le rapport des courant I_{ON}/I_{OFF} . Cette caractéristique présente quatre zones de fonctionnement du TFT comme le montre la figure suivante (18) :

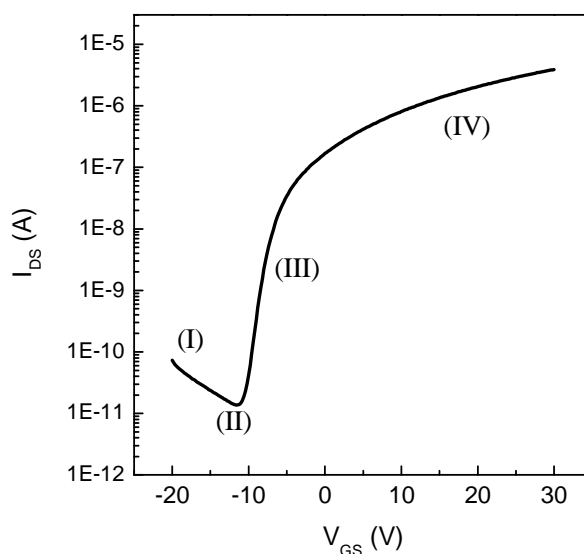


Figure 18. Caractéristique de transfert typique, en échelle semi-logarithmique, d'un TFT de type N.

- Zone I : État bloqué, le courant I_{DS} est égal au courant I_{OFF} ou dit courant de fuite. Ce courant est dû essentiellement aux porteurs piégés et accélérés par la forte polarisation négative au niveau du drain.
- Zone II : Conduction ohmique de toute la couche active.
- Zone III : Formation du canal, augmentation rapide du courant I_{DS} en fonction de la tension de grille.
- Zone IV : État passant $I_{DS} = I_{ON}$, zone de saturation.

a. Tension de seuil V_{TH}

La tension de seuil V_{TH} correspond à la tension de grille appliquée pour laquelle on observe le début de la forte accumulation des porteurs formant le canal. La tension de seuil est déterminée en traçant la tangente à la partie linéaire de la caractéristique pour des fortes valeurs de V_{GS} . L'intersection de cette droite avec l'axe des abscisses permet la détermination de la valeur de la tension de seuil V_{TH} . La figure (19) illustre cette méthode d'extraction.

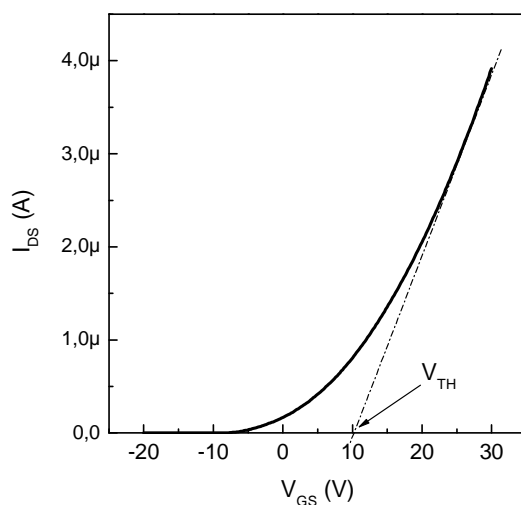


Figure 19. Caractéristique de transfert en échelle linéaire d'un transistor. La tension de seuil est déduite de la tangente à la zone linéaire de la courbe.

b. Transconductance g_m

La transconductance g_m correspond à la pente de la caractéristique de transfert $I_{DS} = f(V_{GS})$. La transconductance permet le calcul de la mobilité du transistor.

c. Mobilité d'effet de champ μ_{FE}

La mobilité d'effet de champ μ_{FE} est calculée en régime linéaire. Elle est exprimée en $\text{cm}^2/\text{V}\cdot\text{s}$. La mobilité d'effet de champ est calculée à l'aide de l'expression suivante :

$$\mu_{FE} = g_m \frac{L}{W} \frac{1}{C_{\text{iso}}} \frac{1}{V_{DS}} \quad (11)$$

d. Pente sous le seuil S

La pente sous le seuil S présente la fraction de tension V_{GS} à appliquer pour augmenter le courant I_{DS} d'une décade. La pente sous le seuil est déterminée pour des tensions V_{GS} inférieure à la tension du seuil du transistor. La valeur de ce paramètre correspond à l'inverse de la plus forte pente en échelle logarithmique de la fonction de transfert dans la zone de commutation. Cette grandeur s'exprime en $\text{V}/\text{Déc}$ et traduit la facilité du canal à se former.

$$S = \left\{ \frac{\partial V_{GS}}{\partial(\log(I_{DS}))} \right\}_{V_{DS}=cte} \quad (12)$$

En outre, la présence des défauts dans le silicium et à l'interface isolant/semiconducteur influence fortement la valeur de la pente sous le seuil. Cette influence peut être exprimée comme suit :

$$S = \frac{KT}{q} \times \ln 10 \times \left\{ 1 + \frac{C_{IT} + C_{EP}}{C_{iso}} \right\} \quad (13)$$

$(C_{IT} + C_{EP})$ représente la capacité globale due aux états piégés dans les joints de grains, à l'interface grille/couche active et à la déplétion de la couche active.

e. Rapport I_{ON}/I_{OFF}

Ce rapport traduit le gain en courant entre l'état bloqué et passant du transistor. Le courant I_{OFF} correspond au minimum de courant de la caractéristique tandis que I_{ON} représente le courant maximum de la caractéristique.

Ce paramètre indique la performance des transistors. Plus le rapport I_{ON}/I_{OFF} est élevé (généralement $> 10^5$), plus le transistor est performant.

IV.4. TFTs de type N fabriqués en technologie silicium microcristallin

A. TFTs de type N utilisant l'oxyde comme isolant de grille

Au cours de la thèse de K. Kandoussi, des TFTs de type N ont été fabriqués en silicium microcristallin (épaisseur $e = 200$ nm et fraction cristalline $F_C = 78\%$) en utilisant l'oxyde de silicium ($e = 160$ nm), déposé par pulvérisation cathodique, comme isolant de grille. La couche de silicium dopée ($e = 100$ nm) a été déposée en monocouche. Ces TFTs ont été fabriqués sur un substrat de verre en utilisant les étapes de fabrication présentées précédemment. Ces TFTs ont été caractérisés par une mobilité importante, une mobilité maximale $\mu = 168$ cm²/V.s a été atteinte. En revanche, ces TFTs ne sont pas stables. La caractéristique de transfert de ces TFTs se dégrade dès la deuxième mesure comme le montre la figure suivante (20), dégradation de la pente sous le seuil, augmentation du courant I_{OFF} et dégradation de la tension de seuil.

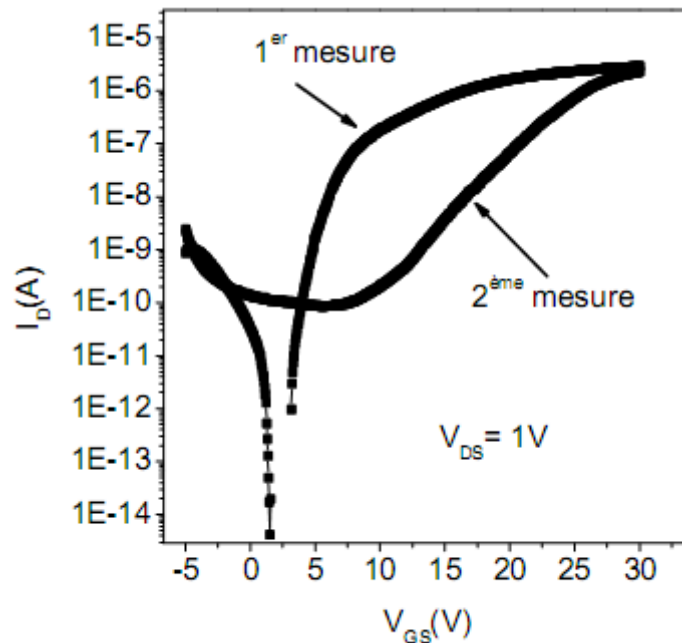


Figure 20. Dégradation de la caractéristique de transfert après la première mesure d'un TFT fabriqué en silicium microcristallin et utilisant l'oxyde comme isolant de grille. L'épaisseur de la couche active est de 200 nm.

D'autres TFTs ont été fabriqués au cours de la thèse de K. Belarbi en utilisant l'oxyde pulvérisé comme isolant de grille. Ces TFTs ont été fabriqués en utilisant une couche de silicium intrinsèque d'épaisseur $e = 100$ nm et une couche de silicium dopée N ($e = 70$ nm) mais en bicouche. Ces TFTs ont été caractérisés par une mobilité $\mu = 40$ cm²/V.s. Cette mobilité est nettement inférieure à celle obtenue avec des couches de silicium plus épaisses et en dépôt monocouche. Cela peut être expliqué par une diminution de la fraction cristalline F_C pour une couche de silicium microcristallin d'épaisseur 100 nm et par la création d'une interface entre la couche intrinsèque et dopée lors du dépôt en bicouche. Ces TFTs ont aussi souffert d'une instabilité électrique. En effet, la caractéristique de transfert se décale largement en fonction du stress électrique appliqué.

Deux solutions ont été apportées pour remédier au problème de l'instabilité électrique de ces TFTs :

- La première solution a été de réduire l'épaisseur de la couche de silicium intrinsèque des TFTs pour bénéficier de la structure plus dense du silicium microcristallin à faible épaisseur.
- La seconde solution est d'optimiser le nitrure de silicium afin de l'utiliser comme isolant de grille. Cette solution est détaillée dans la partie qui suit.

En réduisant l'épaisseur de la couche intrinsèque des TFTs à une épaisseur inférieure à 40 nm, la mobilité a été réduite à $6 \text{ cm}^2/\text{V.s}$. Pour des épaisseurs de la couche intrinsèque inférieure à 50 nm la fraction cristalline estimée à 60% ce qui explique la faible valeur de mobilité. Cependant, la stabilité électrique des TFTs a été nettement améliorée.

B. TFTs de type N utilisant le nitrure de silicium comme isolant de grille

Les TFTs utilisant le nitrure de silicium comme isolant de grille ont été caractérisés par une mobilité de $0,49 \text{ cm}^2/\text{V.s}$. Cette mobilité est trop faible par rapport à la mobilité de $40 \text{ cm}^2/\text{V.s}$ obtenue par les TFTs utilisant un isolant de grille en oxyde. Mais, ils sont stables. En effet, un stress positif de +15V a été appliqué sur la grille du TFT pendant quatre heures, le décalage de la tension de seuil mesuré à la fin de ce stress a été 0,19 V. Les TFTs utilisant le nitrure de silicium comme isolant de grille ont montré une meilleure stabilité que les TFTs utilisant l'oxyde de silicium.

La faible valeur de la mobilité des TFTs utilisant le nitrure de silicium peut être due à la mauvaise interface entre le silicium intrinsèque et le nitrure de silicium dans la région du canal du TFT. Une piste pour augmenter la valeur de la mobilité a été d'augmenter l'épaisseur de la couche active pour bénéficier d'un maximum de cristallinité de cette couche. Le tableau (8) suivant récapitule l'évolution de la fraction cristalline, de la mobilité, du décalage de la tension de seuil V_{TH} lors d'un stress positif appliqué sur la grille à température ambiante et à 60°C , et le rapport I_{ON}/I_{OFF} en fonction de l'épaisseur de la couche active :

Épaisseur de la couche active (nm)	Fraction cristalline (%)	Mobilité ($\text{cm}^2/\text{V.s}$)	Décalage de V_{TH} à T ambiante (V)	Décalage de V_{TH} à T = 60°C (V)	I_{ON}/I_{OFF}
30	60	0,39	0,1	0,58	$> 10^7$
100	76	0,49	0,19	1,4	$> 10^7$
200	78	0,65	0,33	5,8	10^5

Tableau 8. Récapitulatif de l'évolution des paramètres électriques et structurels en fonction de l'épaisseur de la couche active de silicium microcristallin

La mobilité a tendance à augmenter en fonction de l'épaisseur de la couche active, mais cette augmentation reste de faible valeur par rapport à la mobilité obtenue avec l'oxyde

de silicium. À noter que la stabilité électrique des TFTs utilisant une couche active épaisse se dégrade lors d'un stress à une température de 60°C.

Finalement, l'épaisseur de la couche active a été fixée à 100 nm pour un compromis entre stabilité et mobilité.

C. Bilan entre TFTs en oxyde de silicium et TFTs en nitrure de silicium

Des TFTs en oxyde de silicium et d'autres en nitrure de silicium ont été réalisés en 2010 au cours des travaux de thèse de K. Belarbi dans le but de comparer les caractéristiques électriques entre ces deux types de TFTs. Pour cela, les couches de silicium intrinsèque et dopée N ont été réalisées dans les mêmes conditions de dépôt et en gardant les mêmes épaisseurs de couches pour les deux types de process, à savoir :

Dépôt de 100 nm de couche de silicium microcristallin intrinsèque par PECVD à 165°C avec :

- Pression : 0,9 mbar,
- Puissance : 15 W,
- Flux de gaz : $\text{SiH}_4 = 1,5$ sccm, $\text{H}_2 = 50$ sccm, $\text{Ar} = 100$ sccm,
- Distance inter-électrode : 4,5 cm,

Et, dépôt de 70 nm de silicium microcristallin dopé N par PECVD à 165°C avec :

- Pression : 0,9 mbar,
- Puissance : 15 W,
- Flux de gaz : $\text{SiH}_4 = 1$ sccm, $\text{H}_2 = 100$ sccm, $\text{AsH}_3 = 7.10^{-3}$ sccm,
- Distance inter-électrode : 4,5 cm,

Les caractéristiques de transfert typiques à ces deux types de TFTs sont représentées par les figures suivantes. La figure (21) correspond à la caractéristique de transfert d'un TFT de taille $W/L = 100\mu\text{m}/20\mu\text{m}$ fabriqué en utilisant l'oxyde de silicium. La figure (22) correspond à la caractéristique de transfert d'un TFT de taille $W/L = 100\mu\text{m}/20\mu\text{m}$ fabriqué en utilisant le nitrure de silicium.

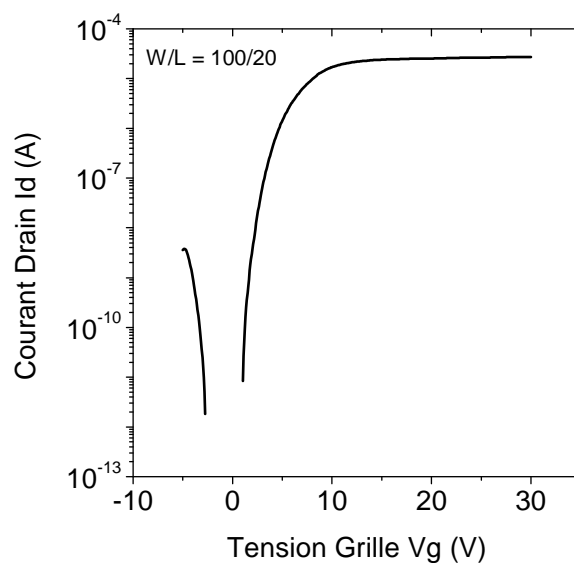


Figure 21. Caractéristique de transfert typique d'un TFT de type N fabriqué en utilisant l'oxyde pulvérisé comme un isolant de grille. [15].

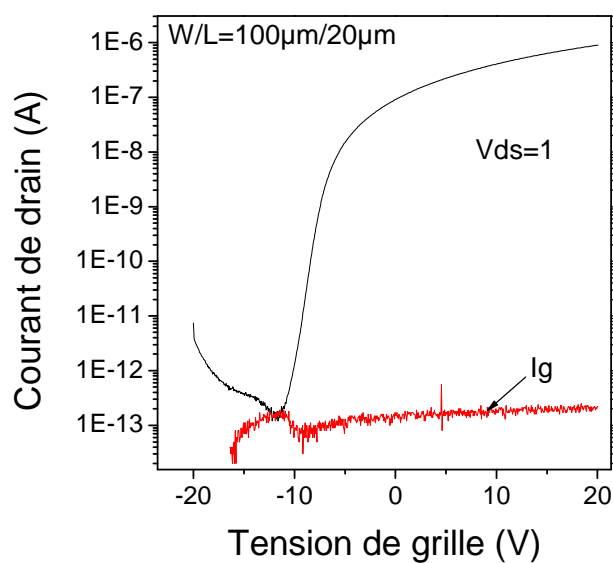


Figure 22. Caractéristique de transfert d'un TFT de type N en $\mu\text{-Si}$ en utilisant le nitrure de silicium comme isolant de grille [15].

La mobilité des TFTs utilisant l'oxyde de silicium calculée a été de $40 \text{ cm}^2/\text{V.s}$ tandis que celle des TFTs utilisant le nitrure de silicium comme isolant de grille a été plus faible de l'ordre de $0,49 \text{ cm}^2/\text{V.s}$. La valeur de la pente sous le seuil a été plus faible pour les TFTs

utilisant l'oxyde (0,5 V/déc) que pour les TFTs utilisant le nitrure (0,78 V/déc). Cela confirme que l'état de surface entre le silicium et l'isolant de grille joue un rôle important sur les caractéristiques électriques des TFTs [4].

La caractéristique de transfert des TFTs fabriqués en utilisant le nitrure de silicium s'est décalée vers la région de tension de seuil V_{TH} plus faible, tandis qu'on ne retrouve pas ce décalage sur les TFTs utilisant l'oxyde de silicium. Ce décalage est une caractéristique de l'isolant de grille, il dépend de la valeur et du signe des charges fixes dans l'isolant.

Malheureusement les TFTs en oxyde bien que présentant une forte mobilité et une faible pente sous seuil sont instables sous un stress électrique. Lorsqu'un stress électrique de +10V est appliquée sur la grille du TFT la caractéristique de transfert se décale vers la région des tensions de seuil négatives et inversement, comme montré sur la figure suivante (23) :

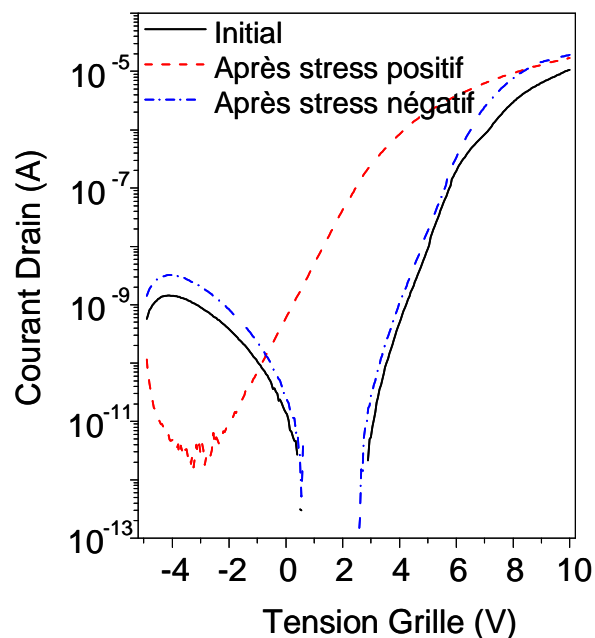


Figure 23. Caractéristiques de transfert d'un TFT fabriqué en utilisant l'oxyde de silicium en fonction du stress appliqué sur la grille du TFT ($\pm 10V$ pendant 2 minutes) [15].

En effet, des tests de stabilité électrique réalisés au cours de la thèse de K. Belarbi ont montré que l'oxyde de silicium lui même était stable, le décalage de la tension de bande plate étant de 0,17 V après un stress électrique de 4 heures à +15V. L'instabilité des TFTs venait de la contamination de la couche active des TFTs par l'oxygène lors du dépôt de l'oxyde [4].

La première solution pour remédier à ce problème de stabilité est de réduire l'épaisseur de la couche active à des épaisseurs inférieure à 40 nm pour profiter d'une structure de la couche active plus dense. Cette solution assure une meilleure stabilité, la tension de seuil se décale alors de 1,3V environ après un stress appliqué sur la grille de +15V pendant 4h. Par contre la mobilité chute à $6 \text{ cm}^2/\text{V.s}$ vue la diminution de la fraction cristalline de la couche active à ces faibles épaisseurs.

La deuxième solution consiste à utiliser le nitrure de silicium comme isolant de grille afin de bénéficier d'une meilleure stabilité électrique en dépit d'une mobilité typique de $0,5 \text{ cm}^2/\text{V.s}$ et d'une mobilité maximale de $2 \text{ cm}^2/\text{V.s}$ atteinte dans des conditions bien particulières.

IV.5. TFTs de type P fabriqués en technologie silicium microcristallin

Les TFTs de type P, en silicium microcristallin déposé par PECVD, ont été fabriqués la première fois à l'IETR en 2007 au cours de la thèse de K. Kandoussi. Ces TFTs ont été fabriqués à l'aide des premières couches, non optimisées, de silicium microcristallin dopées P réalisées à l'IETR. La couche de silicium microcristallin dopée P présentait une conductivité électrique maximale $\sigma = 1 \text{ S.cm}^{-1}$. Cette couche a été déposée en monocouche. Les conditions de dépôt de la couche de silicium microcristallin dopée P a été fixé comme le montre le tableau suivant (9) [4] :

Dépôt	Puissance (W)	Pression (mbar)	D_{A-K} (cm)	Température (°C)	SiH_4 (sccm)	H_2 (sccm)	Ar (sccm)	B_2H_6 (sccm)
$\mu\text{-Si}$ dopé P	10	1,33	4,5	140	1	30	70	4

Tableau 9. Conditions de dépôt de la couche de silicium microcristallin dopée P [4].

Ces TFTs ont été réalisés en utilisant l'oxyde pulvérisé comme isolant de grille ($e = 160 \text{ nm}$) et en utilisant les étapes de fabrication détaillées dans la partie précédente.

La mobilité calculée des TFTs de type P ainsi fabriqués a été $\mu = 3,2 \text{ cm}^2/\text{V.s}$. Cette valeur de mobilité est très faible par rapport aux TFTs de type N utilisant l'oxyde comme isolant de grille. La pente sous le seuil est aussi plus grande $S = 1,64 \text{ V/déc}$.

La caractéristique de transfert d'un TFT de type P fabriqué en silicium microcristallin est représentée par la figure suivante (24) :

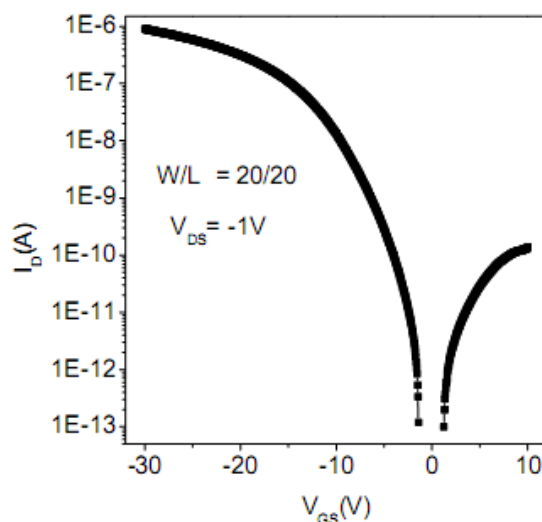


Figure 24. Caractéristique de transfert d'un P-TFT en silicium microcristallin fabriqué en utilisant l'oxyde de silicium comme isolant de grille [4].

Ceci est le premier TFT de type P réalisé à l'IETR en utilisant le silicium microcristallin déposé par PECVD. Une deuxième tentative a permis de fabriquer d'autres TFTs de type P en utilisant les couches de silicium microcristallin dopée P optimisés par K. Kandoussi et R. Cherfi [16] et en utilisant le nitrure de silicium comme isolant de grille [21]. La caractéristique de transfert typique de ces TFTs est représentée par la figure (25) ci-dessous :

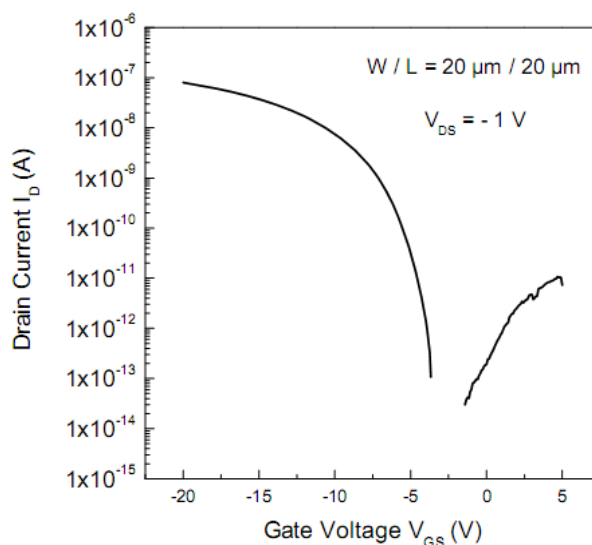


Figure 25. Caractéristique de transfert d'un P-TFT fabriqué en silicium microcristallin en utilisant le nitrure comme isolant de grille [21].

La mobilité mesurée des P-TFTs est $\mu = 0,2 \text{ cm}^2/\text{V.s}$. Cette mobilité est très inférieure à celle mesurée pour le cas des P-TFTs fabriqués en utilisant l'oxyde de silicium comme isolant de grille. Mais elle reste en même temps en accord avec la valeur de la mobilité obtenue pour les N-TFTs fabriqués en utilisant le nitrure de silicium comme isolant de grille, sachant que la mobilité des trous est toujours inférieure à la mobilité des électrons.

Au cours de nos travaux de thèse, une étude complémentaire des couches de silicium microcristallin dopées P est accomplie en réalisant notamment des TFTs de type P utilisant le nitrure de silicium et l'oxyde de silicium comme isolant de grille, ces résultats seront exposés au prochain chapitre.

V. Conclusion

La technologie de silicium microcristallin du département microélectronique et micro-capteurs de l'IETR a été optimisée à une température maximale de $180 \text{ }^\circ\text{C}$ afin d'être compatible avec les substrats plastiques de type PEN.

Les couches de silicium microcristallin intrinsèques et dopées ont été optimisées à une température $T = 165^\circ\text{C}$. Ces couches ont représenté de bonnes caractéristiques électriques et structurales. L'énergie d'activation E_a de la couche de silicium intrinsèque est comprise entre $0,4 \text{ eV}$ et $0,6 \text{ eV}$, et la fraction cristalline F_C entre 73% et 78% .

Deux types d'isolant de grille ont été optimisés à l'IETR afin d'être compatibles avec la technologie de silicium microcristallin déposée à basse température. Ces deux isolants sont l'oxyde de silicium et le nitrure de silicium. L'oxyde de silicium est élaboré par pulvérisation cathodique sans chauffer le substrat, tandis que le nitrure de silicium est déposé par PECVD à $150 \text{ }^\circ\text{C}$.

Des TFTs de type N et de type P ont été fabriqués sur un substrat en verre. Les performances de ces TFTs dépendent du type de l'isolant de grille employé. En effet, les TFTs fabriqués en $\mu\text{c-Si:H}$ en utilisant l'oxyde de silicium présentent une mobilité μ plus grande que celle obtenue par les TFTs utilisant le nitrure de silicium mais ces derniers sont nettement plus stables que les TFTs fabriqués en utilisant l'oxyde de silicium.

Références

- [1] <http://fr.wikipedia.org/wiki/Profilom%C3%A8tre>
- [2] <http://sunum.sabanciuniv.edu/equipment/kla-tencor-p6-surface-profiler>
- [3] http://fr.wikipedia.org/wiki/Microscope_%C3%A0_force_atomique
- [4] K. Kandoussi, "Procédé de fabrication à $T < 200^{\circ}\text{C}$ de transistors en couches minces de silicium microcristallin déposé par PECVD en mélange $\text{SiH}_4\text{-H}_2\text{-Ar}$ ", Thèse Université de Rennes 1, (2007)
- [5] http://www.cmeba.univ-rennes1.fr/Principe_MEB.html
- [6] <http://www.biophyresearch.com/pdf/raman.pdf>
- [7] J. Zi, H. Buscher, C. Falter, W. Ludwig, K. M. Zhang, X. D. Xie, "Raman shifts in Si nanocrystals", Appl. Phys. Lett., Vol. 69, No. 2, (1996), pp. 200-202
- [8] G. Viera, S. Huet, L. Boufendi, "Crystal size and temperature measurements in nanostructured silicon using Raman spectroscopy", J. Appl. Phys., Vol. 90, No. 8, (2001), pp. 4175-4183
- [9] E. Anastassakis, "Strain characterization of polycrystalline diamond and silicon systems", J. Appl. Phys., Vol. 86, No. 1, (1999), pp. 249-258.
- [10] Z. Iqbal, A.P. Webb, S. Veprek, "Polycrystalline silicon films deposited in glow discharge at temperatures below 250°C ", Appl. Phys. Lett., Vol. 36, No. 2, (1980), pp. 163-165
- [11] Md. N. Islam, S. Kumar, "Influence of crystallite size distribution on the micro-Raman analysis of porous Si", Appl. Phys. Lett., Vol. 78, No. 6, (2001), pp. 715-717
- [12] H. Xia, Y. L. He, L. C. Wang, W. Zhang, X. N. Liu, X. K. Zhang, D. Feng, H. E. Jackson, "Phonon mode study of Si nanocrystals using micro-Raman spectroscopy", J. Appl. Phys., Vol. 78, No. 11, (1995), pp. 6705-6708
- [13] S. D. Brotherton, "Polycrystalline silicon thin film transistors", Semicond. Sci. Technol., Vol. 10, No. 6, (1995), pp. 721-738
- [14] R. Cherfi, "Optimisation de la qualité électrique du silicium microcristallin déposé à 165°C par PECVD dans un mélange silane-hydrogène-argon", Rapport Interne IETR, (2009)
- [15] K.A. Belarbi, "Transistors en couches minces de silicium microcristallin fabriqués à $T < 180^{\circ}\text{C}$: stabilité et mobilité", Thèse Université de Rennes 1, (2010)
- [16] R. Cherfi, K. Kandoussi "Optimisation du dopage de type P", Rapport Interne IETR, (2008)

- [17] A. Gorin, “Amélioration et caractérisation d’un oxyde très basse température déposé par pulvérisation cathodique“, DEA d’électronique, Université de Rennes 1, (2003)
- [18] T. Sameshima, “Laser processing for thin film transistor application”, Materials Science and Engineering B, Solid-state materials for advanced technology, Vol. 45, No. 1-3, (1997), pp. 186-193
- [19] S. Higashi, D. Abe, Y. Hiroshima, K. Miyashita, T. Kawamura, S. Inoue, T. Shimoda, “Development of High-Performance Polycrystalline Silicon Thin-Film Transistors (TFTs) Using Defect Control Process Technologies”, IEEE Electron Device Letters, Vol. 23, No 7. (2002), pp. 407-409
- [18] O. O. Awadelkarim, Y. Z. Wang, “The impact of RCA treatment of glass substrates on the properties of polycrystalline silicon thin film transistors“, Microelectronic Engineering, Vol. 45, No. 4, (1999), pp. 299-310
- [19] I. Souleiman, K. Kandoussi, K. Belarbi, R. Cherfi, A. Fedala, N. Coulon, C. Simon, T. Mohammed-Brahim, “N and P type top-gate microcrystalline silicon TFTs processed at low temperature ($T < 200^{\circ}\text{C}$) on the same glass substrate“, Phys. Status Solidi. C, Vol. 7, No. 3-4, (2010), pp. 1148-1151

Chapitre 3. Technologie de Fabrication de $\mu\text{c-Si}$ TFTs sur un substrat en PEN

I. Introduction

Des premiers procédés de fabrication de TFTs en silicium microcristallin sur PEN ont été effectués auparavant à l'IETR [1]. Ces procédés, non encore optimisés à l'époque, ont montré la faisabilité des procédés sur PEN.

Dans ce chapitre, nous décrivons l'optimisation du procédé afin d'aboutir à des résultats optimisés en performance et en reproductibilité.

Dans un premier temps, nous essayons de choisir un substrat de PEN qui sera compatible avec notre technologie de fabrication. Nous identifions alors les différents problèmes liés au substrat lui-même ou les problèmes rencontrés lors des différentes étapes technologiques de fabrication. Nous présentons donc les solutions proposées pour résoudre ces problèmes et optimiser le procédé de fabrication des TFTs sur PEN.

Par la suite, nous présentons les caractérisations électriques de TFTs de type N fabriqués sur PEN et leurs paramètres électriques. Puis nous comparons ces résultats avec les caractérisations électriques de TFTs de type N fabriqués sur verre. Nous présentons aussi les caractérisations électriques de TFT de type P fabriqués sur PEN avec les conditions utilisées auparavant pour la fabrication de P-TFTs en silicium microcristallin. Ensuite nous présentons un autre type de process TFT de type P réalisé en utilisant des couches de silicium microcristallin non dopées et dopées P déposées toutes deux à 120°C.

II. Optimisation du procédé de fabrication des μ c-Si TFTs sur un substrat en PEN

II.1. Caractérisation du PEN : Analyse AFM du PEN

Au cours de notre travail de thèse nous avons testé deux références de PEN, le Q65F et le Q65FA, afin de déterminer le PEN le plus adapté à notre process. Ce PEN est produit par DuPont Teijin Films [2]. Les principales caractéristiques de ces deux PEN sont présentées dans le tableau (1) ci-dessous. D'après ce tableau, nous constatons que les caractéristiques de ces deux PEN sont quasiment identiques, la seule différence réside dans la déformation en (%). Cette différence de déformation est justifiée par le constructeur par un recuit à 180°C effectué sur le PEN Q65FA.

		Q65F	Q65FA
Épaisseur (μm)		125	125
Module de Young (GPa)		6,45	6,45
Rugosité de surface	Face non planarisée (nm)	1,5	1,5
	Face planarisée (nm)	0,8	0,8
Transmission optique du domaine visible (%)		87	87
Déformation (%) à 150°C pendant 30 min		0,3	0,0
Déformation (%) à 200°C pendant 10 min		0,9	0,2

Tableau 1. Caractéristiques du PEN Q65F et Q65FA [3, 4]

Les substrats de PEN Q65F et Q65FA sont livrés sous forme de feuilles de format A4. Ces feuilles de PEN sont planarisées sur une seule face, c'est-à-dire qu'une face du PEN subit un traitement afin de diminuer sa rugosité et d'améliorer sa planarité comme indiqué dans le tableau (1). Cette face est utilisée comme face active, elle constitue la face la plus favorable pour la fabrication des TFTs.

Le PEN est analysé à l'aide d'un microscope AFM afin de déterminer la rugosité de surface de chaque face et d'identifier la face traitée. Les figures ci-dessous représentent les images AFM d'une surface carrée de $6,5 \mu\text{m} \times 6,5 \mu\text{m}$ des faces traitée et non traitée des deux références du PEN. La rugosité de surface mesurée est exprimée en valeur RMS.

PEN Q65F :

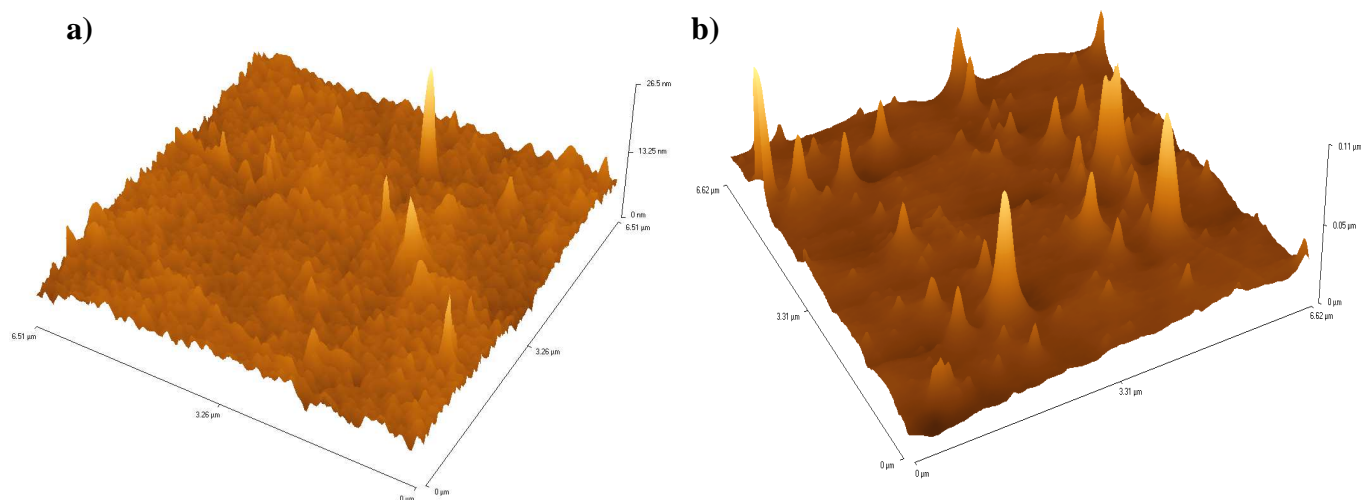


Figure 1. Images AFM du PEN Q65F. a) de la face planarisée. b) de la face non planarisée.

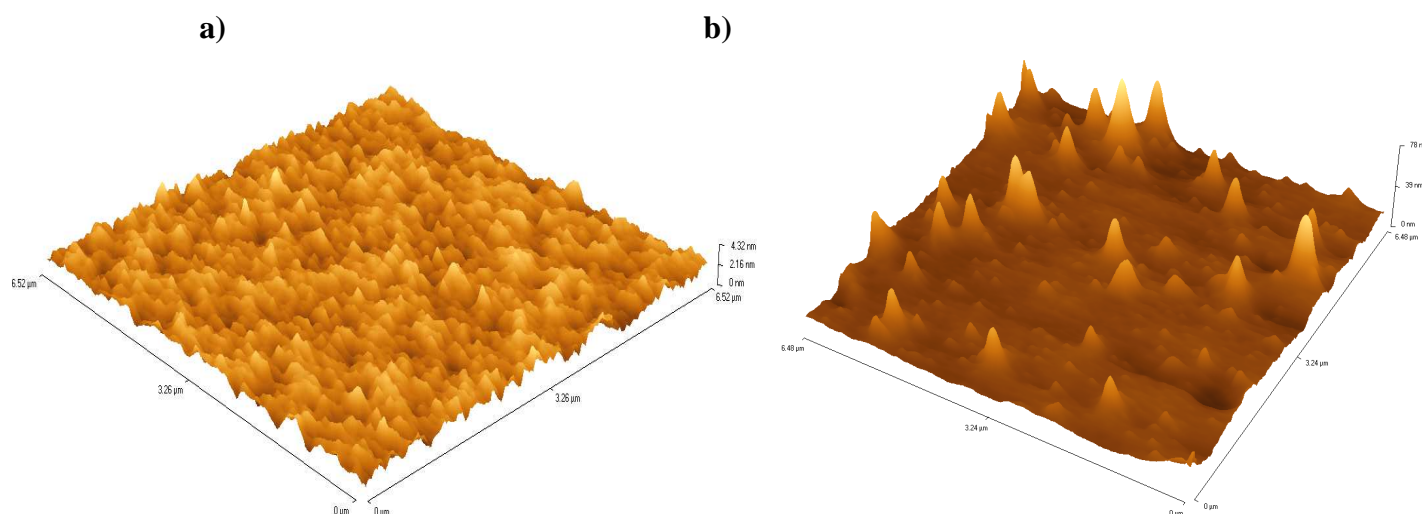
PEN Q65FA :

Figure 2. Images AFM du PEN Q65FA. a) de la face planarisée. b) de la face non planarisée.

La rugosité RMS mesurée de chaque PEN est présentée dans le tableau ci-dessous.

Surface /PEN	Q65F	Q65FA
Surface planarisée	R = 1,3 nm	R = 0,9 nm
Surface non planarisée	R = 5,5 nm	R = 5 nm

Tableau 2. Rugosité RMS mesurée du PEN Q65F et Q65FA

Cette analyse AFM nous montre que la rugosité de la surface planarisée des deux substrats PEN Q65F et Q65FA est assez faible, de l'ordre du nanomètre, pour permettre d'envisager la fabrication de transistors sur ces substrats.

Par la suite, nous utilisons ces deux références de PEN afin d'identifier les défauts de chacune d'entre elles et de choisir le substrat définitif pour la suite des travaux.

II.2. Étapes de fabrication des TFTs sur PEN et problèmes rencontrés

Le procédé de fabrication des TFTs sur PEN commence par une phase de préparation du substrat. Les feuilles de PEN de format A4 sont découpées en substrat carré de 5 cm x 5 cm. Le substrat est nettoyé avec de l'acétone et de l'alcool isopropanol, puis rincé avec de l'eau dé-ionisée suivant les recommandations de Dupont Teijin Film (communication privée).

A. Glissement et Déformation du substrat

La première étape de fabrication consiste à encapsuler le substrat de PEN précédemment découpé et nettoyé. Pour cela le substrat est mis sous vide dans le réacteur de dépôt PECVD approprié.

Le premier problème rencontré est le glissement du PEN sur le porte-substrat lors de la mise sous vide. Le substrat de PEN simplement posé sur le plateau chauffant du réacteur PECVD glisse lors du démarrage du pompage de l'enceinte.

Le second problème est la déformation du PEN Q65F lorsqu'il est chauffé pendant une longue durée $1h < t < 2h$ à une température $T = 165^{\circ}\text{C}$. La figure ci-dessus montre l'état d'un substrat en PEN Q65F après un chauffage à 165°C . Probablement cette déformation provient d'une dilatation très importante du substrat ce qui entraîne une déformation inélastique du substrat.

La déformation du substrat aura un impact sur les étapes de fabrication suivantes, notamment au niveau des étapes de photolithographie. Ce substrat Q65F n'est donc pas utilisable dans un procédé dont la température maximale est supérieure ou égale à 165°C .



Figure 3. Substrat de PEN Q65F déformé quand il est exposé à une température de 165°C .

Le PEN Q65FA, qui a été recuit par le constructeur et dont la déformation est de 0,2% après un recuit de 10 minutes à 200°C , ne subit aucune déformation supérieure à la résolution de l'alignement de nos masques lorsqu'il est chauffé à $T = 165^{\circ}\text{C}$. Par contre, il glisse sur le porte-substrat lors de la mise sous vide.

La solution à ce problème consiste à encager le substrat contre le plateau chauffant afin de l'immobiliser et d'uniformiser le dépôt.

La solution idéale pour résoudre ce problème et tout problème de manipulation est de coller temporairement le PEN sur un substrat rigide comme un wafer de silicium par exemple.

À la fin du process le PEN sera décollé du substrat. Le problème reste à trouver la résine ou la colle qui supporte tout les étapes de fabrication sans dégradation et qui peut être décollé à la fin du process facilement. Le Flexible Display Center de l'Université d'Arizona a réussi à développer en collaboration avec Henkel un adhésif permettant d'assurer cette fonction [5]. Cet adhésif reste confidentiel.

B. Encapsulation du substrat

Les substrats plastiques flexibles sont généralement encapsulés afin d'éviter la contamination organique des couches actives lors des étapes de fabrication et de limiter leur perméabilité à l'humidité et à l'oxygène qui dégradent le fonctionnement des dispositifs électroniques [6]. Les premières couches d'encapsulation utilisées sont en oxyde de silicium déposé par pulvérisation RF sans chauffage du substrat. Cet oxyde crée des limitations aux étapes de fabrication. Plus précisément, lors de l'étape du nettoyage RCA, la solution d'acide fluorhydrique (HF) attaque cet oxyde. Tous les dispositifs fabriqués dessus sont perdus.

Nous avons donc utilisé le nitrure de silicium élaboré au cours de la thèse de K. Belarbi [7] comme couche d'encapsulation.

Nous avons encapsulé la face active du PEN avec une couche de nitrure de silicium d'épaisseur $e = 250$ nm minimum. Cette couche est déposée par PECVD à 150°C . Les conditions de dépôt de cette couche sont représentées dans le tableau suivant.

Dépôt	Puissance (W)	Pression (mbar)	D_{A-K} (cm)	Température ($^{\circ}\text{C}$)	SiH_4 (sccm)	N_2 (sccm)	NH_3 (sccm)
Nitrure de silicium	30	0,6	4,5	150	2	80	40

Tableau 3. Condition de dépôt de la couche de nitrure de silicium.

Cette couche de nitrure de silicium déposée dans ces conditions avait été optimisée d'un point de vue électrique pour servir comme isolant de grille des transistors. Elle n'était pas forcément adaptée pour résister aux solutions chimiques acides et basiques. En effet, les solutions basiques et acides utilisées au moment du nettoyage RCA attaquent progressivement ce nitrure de silicium. À un certain moment, le nitrure se décolle du PEN et entraîne le décollement des dispositifs fabriqués dessus comme le montre la figure suivante.

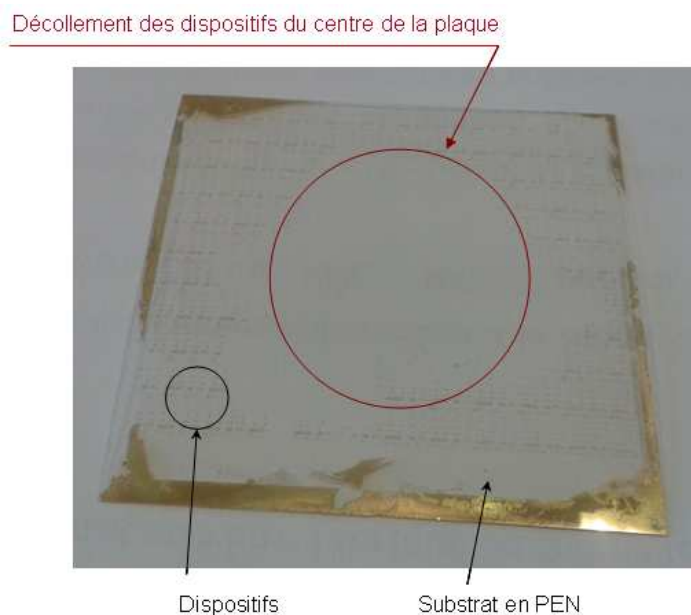


Figure 4. Décollement des dispositifs du PEN après un nettoyage RCA.

Une solution envisagée est d'utiliser d'autres conditions de dépôt du nitrure de silicium afin qu'il résiste aux solutions chimiques acides et basiques.

D'après les travaux de thèse de K. Belarbi [7], nous avons utilisé un autre nitrure de silicium déposé dans d'autres conditions et sans ajout d'ammoniac, le nitrure de silicium obtenu n'est pas un bon isolant de grille par contre il résiste mieux aux solutions acide-base.

Les conditions fixées pour ce dépôt d'encapsulation sont les suivantes :

Dépôt	Puissance (W)	Pression (mbar)	D_{A-K} (cm)	Température (°C)	SiH_4 (sccm)	N_2 (sccm)	H_2 (sccm)
Nitrure de silicium	50	0,3	4,5	150	1	100	5

Tableau 4. Conditions de dépôt de la couche de nitrure de silicium d'encapsulation.

La relative bonne résistance aux attaques chimiques du nitrure de silicium déposé dans ces conditions nous l'a fait adopter systématiquement dans nos procédés. Tous les substrats PEN à venir seront donc encapsulés entièrement, sur les deux faces, par une couche de nitrure de silicium d'épaisseur 250 nm.

C. Dilatation du substrat et désalignement au niveau des étapes de photolithographies

Les TFTs sont fabriqués à l'aide de quatre jeux de masques comme indiqué dans le chapitre (II) pour la fabrication sur verre. La seule différence est la nature du substrat de départ, en l'occurrence, ici une plaquette de PEN encapsulée entièrement par du nitrure de silicium. Pour rappel, les étapes de fabrications sont reprises succinctement dans la figure (5).

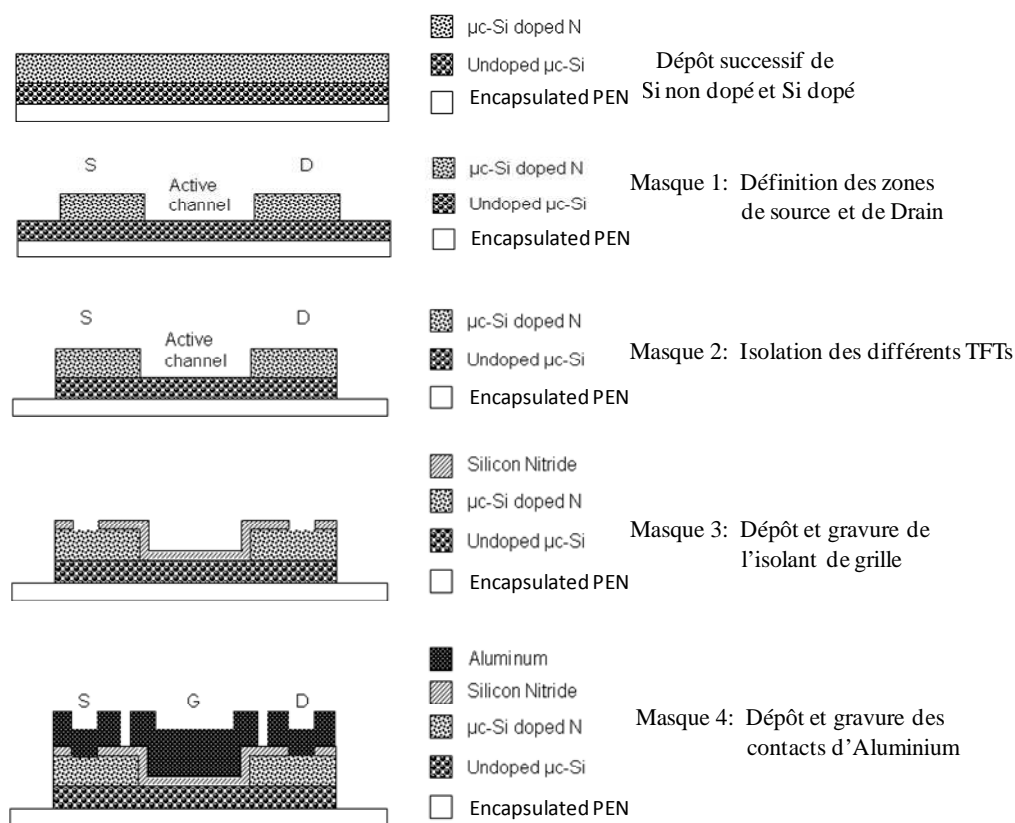


Figure 5. Rappel des différentes étapes de fabrication des transistors

Les deux premières photolithographies 1 et 2 sont réalisées successivement, aucune étape de dépôt ou de chauffage n'intervient entre ces deux photolithographies. Nous n'avons constaté aucun désalignement au niveau des dispositifs.

Nous avons rencontré une difficulté d'alignement au niveau de la troisième photolithographie (ouverture des contacts de la source et du drain). Cette étape de photolithographie est réalisée après avoir déposé le nitrure de silicium utilisé comme isolant de grille, donc après avoir chauffé le substrat à 150°C pendant une heure minimum. Ce problème d'alignement est dû à la dilatation du substrat en PEN.

Ce phénomène de dilatation engendre aussi un désalignement au niveau de la quatrième et dernière photolithographie. Cette étape d'alignement est indispensable pour assurer le recouvrement de la grille par rapport à la source et au drain du TFT. Mais malgré des 'Overlap' de $5\ \mu\text{m}$, nous n'avons pas pu aligner tous les dispositifs sur le substrat. La figure ci-dessous (6) représente un ensemble d'images prises au microscope optique à différents endroits d'une plaque de PEN de taille $5\ \text{cm} \times 5\ \text{cm}$.

À noter : la taille des TFTs prises en photo est $W/L = 100\ \mu\text{m}/20\ \mu\text{m}$.

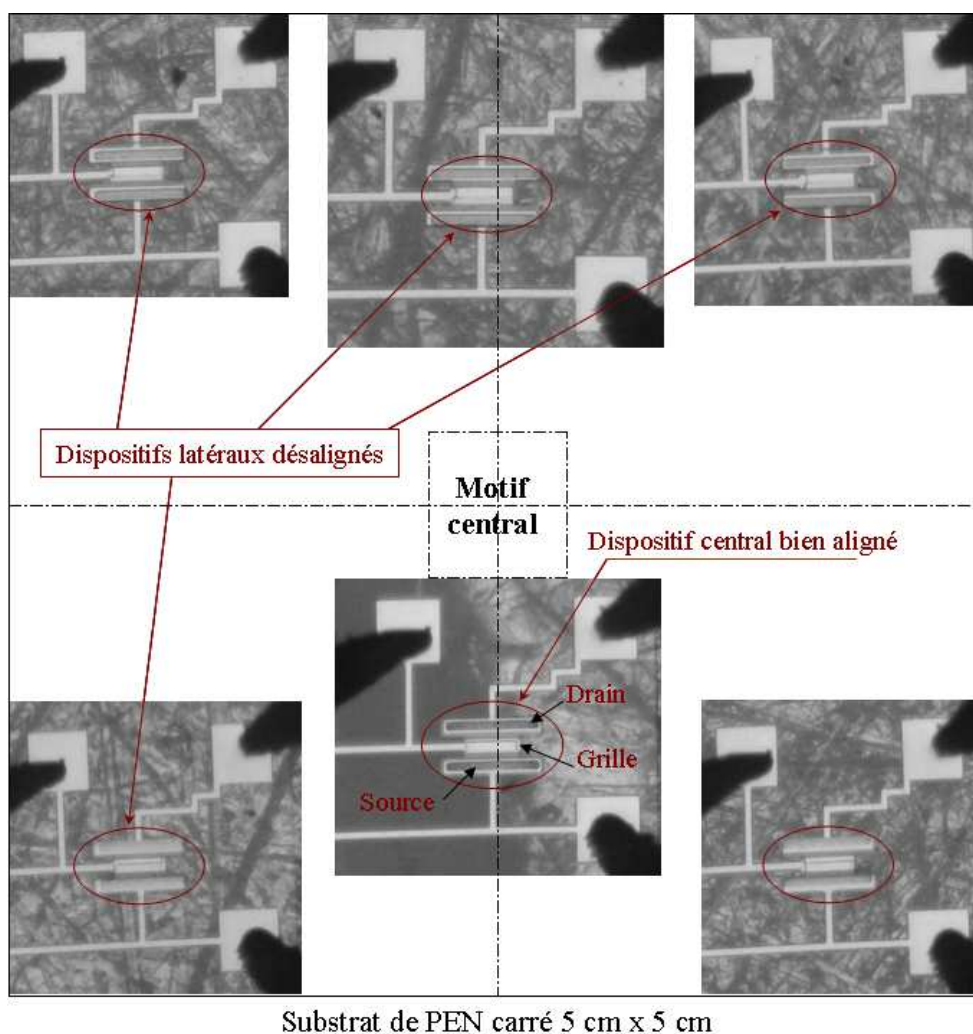


Figure 6. Images de TFTs prises par un microscope optique à différents endroits de la plaque de PEN.

Ces différentes images montrent l'impact de la dilatation du PEN sur l'alignement des différentes régions du TFT. Nous pouvons constater que les dispositifs au centre ont une structure bien alignée, c'est-à-dire que les ouvertures des contacts de la source et du drain sont

bien centrées dans la région de la source et du drain, et un bon recouvrement de la grille par rapport aux régions de la source et du drain du TFT. Tandis que les dispositifs situés autour du motif central sont désalignés.

Ce problème de dilatation a uniquement été rencontré pour le PEN Q65F, la dilatation du PEN Q65FA est négligeable ou très peu perceptible.

Le PEN Q65F a présenté des défauts lors des premiers tests de fabrication comme la déformation et la dilatation, tandis que le comportement du PEN Q65FA aux premiers tests de fabrication a été correct. Pour ces raisons, nous avons choisi d'utiliser le PEN Q65FA comme substrat pour la suite de nos travaux. Pour rappel, la différence de fabrication entre ces deux types de PEN vient essentiellement du recuit réalisé par le fabricant à 180°C subi par le type Q65FA.

D. Limitation technologique : Effet du recuit final à 180° C

D'habitude le dépôt de la couche de nitrure de silicium est suivi d'un recuit thermique à 180°C pendant deux heures sous azote. Cependant, nous avons décidé de reporter cette étape à la fin du process pour éviter toute déformation du PEN. Afin d'évaluer l'effet de ce recuit sur les caractéristiques du TFT, nous avons caractérisé électriquement les TFTs fabriqués sur PEN avant de faire le recuit final et après le recuit final à 180°C sous azote.

Les caractéristiques de transfert et de sortie d'un TFT de type N de taille $W/L = 100 \mu\text{m} / 20 \mu\text{m}$ prélevées avant le recuit final et après le recuit final sont représentées par les figures suivantes (7.a) et (7.b).

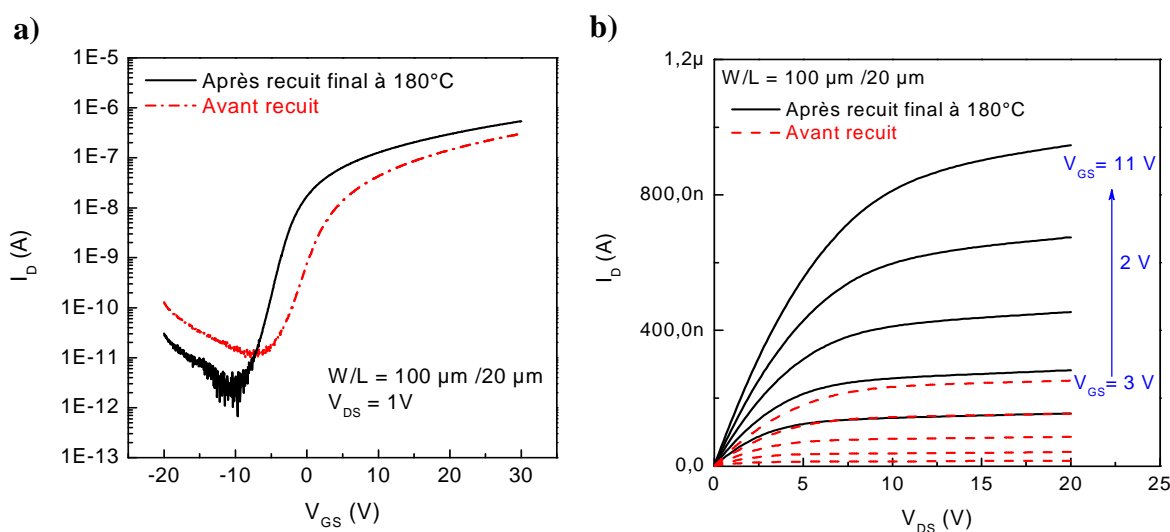


Figure 7. a) Caractéristiques de transfert prises avant et après le recuit final à 180°C

b) Caractéristiques de sortie prises avant et après le recuit final à 180°C

La comparaison des paramètres électriques du TFT pour les deux cas est reportée dans le tableau suivant (5).

	Courant direct $I_{DS} @ V_{GS} = 30V$	Courant inverse $I_{DS} @ V_{GS} = -20V$	Pente sous le seuil S (V/Déc)	Rapport I_{ON}/I_{OFF}
Avant recuit	300 nA	128 pA	2,86	10^4
Après recuit	540 nA	30,5 pA	1,83	$> 10^6$
Gain	Facteur ~ 2	Facteur ~ 4	~ 1,5	2 décades

Tableau 5. Paramètres électriques d'un TFT fabriqué sur PEN calculés avant et après le recuit.

D'après les deux caractéristiques de transfert du TFT prises avant et après recuit final, on peut constater que la caractéristique de transfert du TFT s'améliore nettement après ce recuit final. Le courant direct $I_{DS_{ON}}$ prélevé à $V_{GS} = 30V$ et à $V_{DS} = 1V$ augmente. Il passe de 300 nA à 540 nA, correspondant à une augmentation de 80%. Alors que le courant inverse $I_{DS_{OFF}}$ diminue et passe de quelques 10^{-10} ampères à quelques 10^{-11} ampères après le recuit final. De ce fait le rapport des courants I_{ON}/I_{OFF} passe à 10^6 au lieu de 10^4 , on gagne deux décades. On note aussi une amélioration importante de la pente sous le seuil S, elle passe de 2,86 V/Déc à 1,83 V/Déc après le recuit final.

Cette amélioration des paramètres électriques du TFT peut être expliquée par deux principaux phénomènes :

Le premier phénomène est l'amélioration de la qualité du nitrure de silicium, utilisé comme isolant de grille, après le recuit final. Habituellement, le nitrure de silicium, optimisé par K. Belarbi au cours de sa thèse [7], subit une densification à $180^{\circ}C$ sous azote pendant 2h juste après le dépôt, cette étape est nécessaire pour avoir un isolant de grille de bonne qualité électrique comme indiqué dans le chapitre (II). Dans notre cas le nitrure ne subit cette densification qu'à la fin du process. Cela peut justifier l'amélioration de la qualité du nitrure de silicium et par conséquent l'amélioration des paramètres électriques du TFT.

Le deuxième phénomène est lié à l'amélioration des prises de contact entre l'aluminium et les régions dopées en silicium microcristallin de la source et du drain du TFT due au recuit à $180^{\circ}C$ sous azote. Ce recuit a pour effet de réduire la résistance d'accès de la source et du drain du transistor et par conséquent le courant I_{DS} augmente.

Pour mettre en évidence l'effet du recuit sur la réduction des résistances d'accès nous avons calculé la résistance R_{DS} du TFT à partir de la caractéristique de sortie pour une tension V_{GS} fixé. La formule de calcul de R_{DS} est donnée par l'équation (1).

$$R_{DS|V_{GS}=Cte} = \frac{\partial V_{DS}}{\partial I_{DS}} \Big|_{V_{GS}=Cte} \quad (1)$$

Pour cela nous avons fixé $V_{GS} = 10V$ et $\partial V_{DS} = 18 V - 16 V$.

- Calcul de R_{DS} avant le recuit :

$$R_{DS|V_{GS}=10V} = \frac{\partial V_{DS}}{\partial I_{DS}} \Big|_{V_{GS}=10V} = \frac{18-16}{1,5 \cdot 10^{-7} - 1,52 \cdot 10^{-7}} = 1 G\Omega$$

$R_{DS|V_{GS}=10V} = 1 G\Omega$ avant le recuit final.

- Calcul de R_{DS} après le recuit :

$$R_{DS|V_{GS}=10V} = \frac{\partial V_{DS}}{\partial I_{DS}} \Big|_{V_{GS}=10V} = \frac{18-16}{6,54 \cdot 10^{-7} - 6,649 \cdot 10^{-7}} = 183 M\Omega$$

$R_{DS|V_{GS}=10V} = 183 M\Omega$ après le recuit final.

La résistance R_{DS} avant recuit est égale à $1 G\Omega$, tandis que la résistance R_{DS} après recuit est égale à $183 M\Omega$. Nous avons bien vérifié que la résistance R_{DS} du TFT calculée avant le recuit final est très grande par rapport à celle calculée après le recuit final pour une tension de grille V_{GS} fixe. Cela justifie l'amélioration des performances des TFTs après le recuit.

III. TFTs de type N sur PEN

Après avoir identifié les problèmes de fabrication et choisi le substrat adéquat à notre technologie de fabrication, nous avons réalisé des TFTs de type N sur le PEN Q65FA.

Tout d'abord, nous rappellerons les conditions d'élaboration de ces N-TFTs, puis nous présenterons la caractérisation électrique de ces N-TFTs.

Ensuite, nous comparerons les caractéristiques électriques de ces N-TFTs avec celles de N-TFTs fabriqués sur verre en utilisant les mêmes conditions de fabrication.

III.1. Fabrication des N-TFTs sur PEN

Les TFTs sont fabriqués sur PEN en utilisant les étapes de fabrication illustrées dans le chapitre (II) tout en tenant compte des améliorations apportées afin d'éviter les problèmes rencontrés précédemment. Au cours de ce process nous avons utilisé une couche de silicium microcristallin d'épaisseur 100 nm, une couche de silicium microcristallin dopé N d'épaisseur 70 nm et une couche de nitrure de silicium comme isolant de grille d'épaisseur 300 nm.

À noter que le substrat de PEN est encapsulé des deux côtés par une couche de nitrure de silicium d'épaisseur 250 nm minimum.

Les conditions de dépôt des couches de silicium microcristallin intrinsèque et dopé de type N sont rappelées dans le tableau (6).

Dépôt	Puissance (W)	Pression (mbar)	D _{A-K} (cm)	Température (°C)	SiH ₄ (sccm)	Ar (Sccm)	H ₂ (sccm)	AsH ₃ (sccm)
μc-Si:H non dopé	15	0,9	4,5	165	1,5	75	75	-
μc-Si:H dopé N	15	0,9	4,5	165	1,5	75	75	10 10 ⁻³

Tableau 6. Conditions de dépôt des couches de silicium microcristallin intrinsèque et dopé de type N.

Les conditions de dépôt de la couche de nitrure silicium utilisée comme isolant de grille sont données dans le tableau (7).

Dépôt	Puissance (W)	Pression (mbar)	D _{A-K} (cm)	Température (°C)	SiH ₄ (sccm)	N ₂ (sccm)	NH ₃ (sccm)
Nitrure de silicium	30	0,6	4,5	150	2	80	40

Tableau 7. Conditions de dépôt de l'isolant de grille en nitrure de silicium.

III.2. Caractérisation électrique des N-TFTs

Les TFTs sont répartis sur le substrat sous forme de cellules. Ces cellules sont situées autour d'un motif central dédié pour le contrôle des étapes de fabrication. Chaque cellule comporte une matrice de 19 TFTs ayant différentes tailles W/L.

Nous avons prélevé les caractéristiques de transfert de 16 TFTs de tailles identiques W/L = 100 μ m/20 μ m situés dans 16 cellules différentes. Ces cellules sont réparties sur le périmètre d'un carré de côté 1,5 cm situé autour du motif central. La répartition des 16 cellules sur le substrat de PEN est schématisée par la figure (8) suivante :

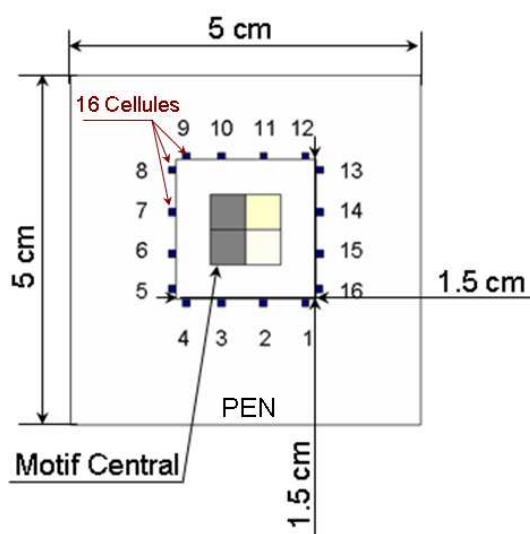


Figure 8. Répartition des 16 cellules de TFTs sur le substrat en PEN.

Nous avons aussi prélevé les caractéristiques de transfert des 19 TFTs de différentes tailles W/L et appartenant à une même cellule.

Tout d'abord, nous présentons les caractéristiques de transfert des 16 TFTs de même rapport de taille W/L = 100 μ m /20 μ m et appartenant aux 16 cellules différentes.

Ensuite, nous présentons la caractérisation électrique d'une cellule de 19 TFTs en fonction du rapport de taille W/L.

Avant de présenter les différentes caractérisations des TFTs nous présentons un test préliminaire de stabilité électrique, figure (9). Ce test consiste à prélever plusieurs fois la caractéristique de transfert d'un TFT (dans ce cas nous avons prélevé trois fois successives la caractéristique de transfert) afin de s'assurer de sa reproductibilité. Ceci est une première

indication de la stabilité des transistors mais elle est loin d'être suffisante. Il est nécessaire d'appliquer un stress électrique pendant une certaine durée et de vérifier la stabilité. Ce test de stabilité électrique des TFTs est présenté dans le chapitre (IV).

Nous avons effectué ce test de stabilité électrique sur un N-TFT fabriqué sur PEN. Le résultat est représenté par la figure (9) ci-dessous. Nous constatons que les différentes caractéristiques de transfert prélevées successivement sur ce TFT sont superposées et identiques. Nous pouvons conclure que les N-TFTs fabriqués sur PEN sont a priori stables. Par la suite nous procédons à la caractérisation électrique.

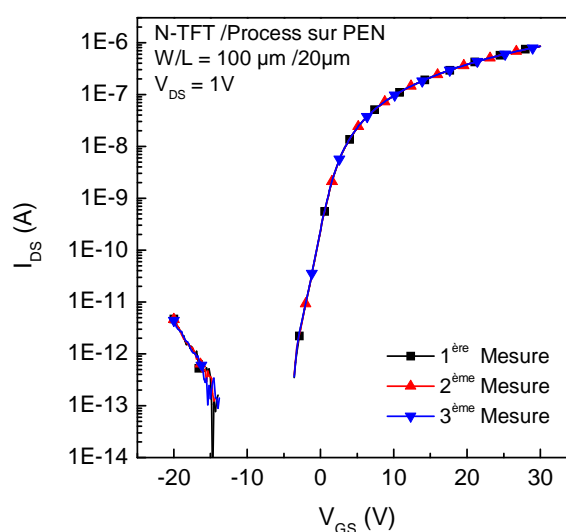


Figure 9. Caractéristiques de transfert d'un N-TFT prises trois fois successivement.

A. Caractérisation de 16 TFTs appartenant à 16 cellules différentes

Les figures suivantes (10.a) et (10.b) représentent les caractéristiques de transfert de 16 TFTs de type N fabriqués sur PEN appartenant à 16 cellules différentes. Ces TFTs possèdent le même rapport de taille $W/L = 100 \mu\text{m} / 20 \mu\text{m}$.

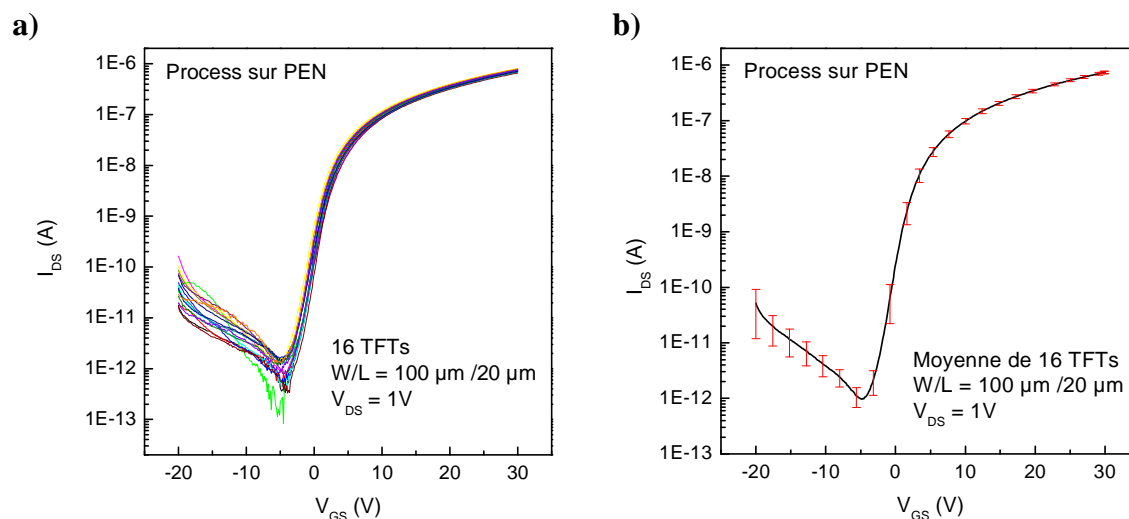


Figure 10. a) Caractéristiques de transfert de 16 N-TFTs de taille $W/L = 100\mu\text{m} / 20\mu\text{m}$ fabriqués sur PEN appartenant à 16 cellules différentes.

b) Caractéristique de transfert moyenne des 16 N-TFTs de taille $W/L = 100\mu\text{m} / 20\mu\text{m}$.

La figure (10.a) montre que les caractéristiques de transfert des 16 TFTs sont quasiment confondues et identiques. Cela reflète que les paramètres électriques des TFTs sont uniformes sur les 16 cellules. Nous pouvons constater une légère variation du courant inverse entre les 16 TFTs, toutefois le courant inverse reste très faible de l'ordre de 10^{-11} A. Ces caractéristiques quasiment identiques indiquent une bonne uniformité des transistors sur la surface de la plaquette de PEN utilisée. Elles indiquent surtout le bon degré de contrôle du procédé suite aux améliorations apportées lors des alignements afin de s'affranchir des problèmes de dilatation et de déformation du PEN.

La figure (10.b) présente une moyenne des 16 caractéristiques de transfert. À partir de cette moyenne nous pouvons tirer les paramètres électriques moyens de cette plaque. Ainsi ces paramètres sont comparés à ceux obtenus lors d'un process TFTs réalisé sur verre. Nous présenterons cette comparaison dans la partie suivante.

Les paramètres électriques des 16 TFTs sur PEN sont donnés dans le tableau suivant :

Taille W/L (μm)	Tension de seuil moyenne V_{TH} (V)	Mobilité moyenne μ ($\text{cm}^2/\text{V}\cdot\text{s}$)	Pente sous seuil moyenne S (V/Déc)
100/20	$12,19^{+0,59}_{-0,53}$	$0,46^{+0,03}_{-0,05}$	$1,35^{+0,13}_{-0,07}$

Tableau 8. Paramètres électriques moyen de 16 N-TFTs sur PEN.

La mobilité moyenne des 16 N-TFTs fabriqués sur PEN est $0,45 \text{ cm}^2/\text{V.s}$ et la tension de seuil moyenne est $12,18\text{V}$. Normalement, la mobilité et la tension de seuil sont constantes quelque soit la taille du TFT, nous vérifions par la suite cette hypothèse en caractérisant différents tailles de N-TFTs.

B. Caractérisations de 19 TFTs appartenant à une même cellule

Afin de déterminer l'efficacité du process N-TFTs sur PEN, nous présentons les caractéristiques de transfert de quatre N-TFTs fabriqués sur PEN et possédant quatre rapports de taille W/L différents, puis nous présentons le courant I_{ON} en fonction de W/L pour chaque TFTs.

Ensuite, nous présentons le courant I_{ON} en fonction de W/L pour 19 TFTs de tailles différentes. Ces résultats seront comparés dans la partie suivante avec celles d'un process réalisé sur verre dans les mêmes conditions.

La figure suivante (11.a) représente les caractéristiques de transfert de quatre N-TFTs de tailles différentes et appartenant à la même cellule.

Les tailles des TFTs sont comme suit : $W/L = 100 \mu\text{m} / 20 \mu\text{m}$, $W/L = 100 \mu\text{m} / 40 \mu\text{m}$, $W/L = 80 \mu\text{m} / 20 \mu\text{m}$ et $W/L = 80 \mu\text{m} / 40 \mu\text{m}$. Ces TFTs sont caractérisés à une tension V_{DS} égale à 1V .

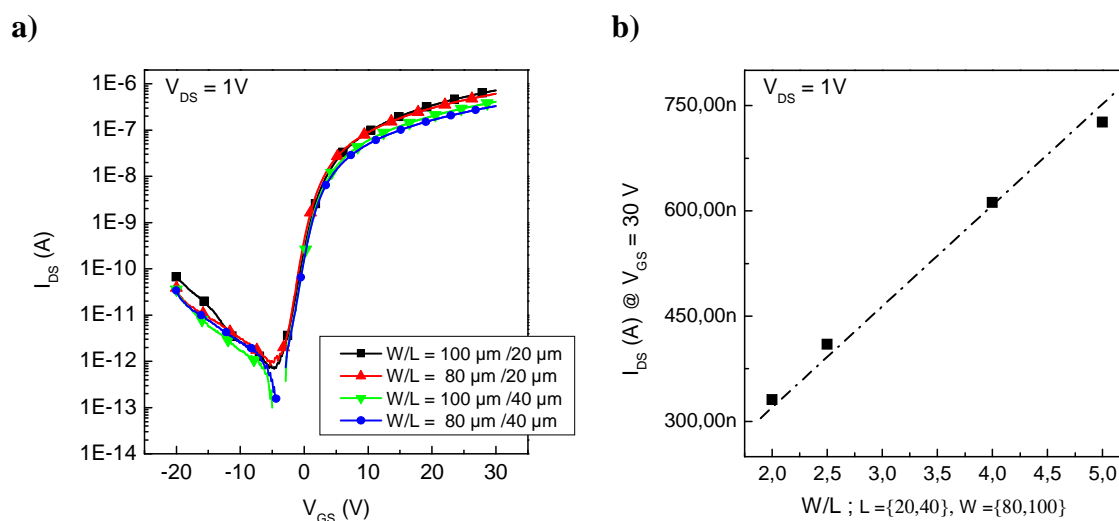


Figure 11. a) Caractéristiques de transfert de quatre N-TFTs de taille W/L différents.

b) Tracé du courant I_{ON} prélevé à $V_{GS} = 30 \text{ V}$ en fonction du rapport W/L de quatre TFTs de tailles différentes.

Nous pouvons constater que l'évolution de I_{ON} à $V_{GS} = 30V$ des 4 N-TFTs est proportionnelle au rapport de taille W/L . Le courant I_{DS} est plus élevé pour les rapports de taille les plus grands pour une même tension de V_{DS} appliquée. Nous pouvons constater que les caractéristiques sont bien serrées au niveau de la pente sous le seuil, cela montre que les pentes sous le seuil S des 4 TFTs seront identiques. Ceci est une autre confirmation du bon contrôle de l'état de surface avant dépôt de l'isolant de grille.

Les résultats de l'extraction des paramètres électriques des 4 TFTs de tailles différentes sont présentés dans le tableau (9).

Tailles W/L (μm)	Tension de seuil V_{TH} (V)	Mobilité μ ($cm^2/V.s$)	Pente sous seuil S (V/Déc)	I_{ON} à $V_{GS} = 30V$ (μA)
100/20	12,5	0,46	1,33	0,72
80/20	11,8	0,47	1,2	0,61
100/40	11,8	0,5	1,27	0,41
80/40	11,6	0,5	1,26	0,33

Tableau 9. Paramètres électriques des 4 N-TFTs.

Le calcul des paramètres électriques des 4 TFTs montre une légère variation de ces paramètres en fonction de la taille du TFT. Par exemple : la tension de seuil V_{TH} varie entre $V_{TH} = 12,5$ et $V_{TH} = 11,6V$, la mobilité μ varie entre $\mu = 0,46 cm^2/V.s$ et $\mu = 0,5 cm^2/V.s$ et la pente sous le seuil S varie entre $S = 1,33 V/Déc$ et $S = 1,2 V/Déc$. Cependant, le courant I_{ON} prélevé à $V_{GS} = 30V$ est proportionnel aux rapports de la taille du transistor et varie linéairement en fonction du rapport W/L .

Nous avons généralisé cette caractérisation en prélevant la caractéristique de transfert de 19 N-TFTs appartenant à une même cellule et nous avons tracé le courant I_{ON} en fonction de W/L pour ces 19 N-TFTs. Le courant I_{ON} est prélevé à une tension $V_{GS} = 30V$ et une tension $V_{DS} = 1V$. Les tailles des 19 N-TFTs sont comme suit :

W/L = 20/20	W/L = 40/20	W/L = 60/20	W/L = 80/20	W/L = 100/20
W/L = 20/40	W/L = 40/40	W/L = 60/40	W/L = 80/40	W/L = 100/40
W/L = 20/60	W/L = 40/60	W/L = 60/60	W/L = 80/60	W/L = 100/60
W/L = 20/80	W/L = 40/80	W/L = 60/80	W/L = 80/80	-

Le tracé du courant I_{ON} en fonction de W/L est représenté par la figure suivante (12) :

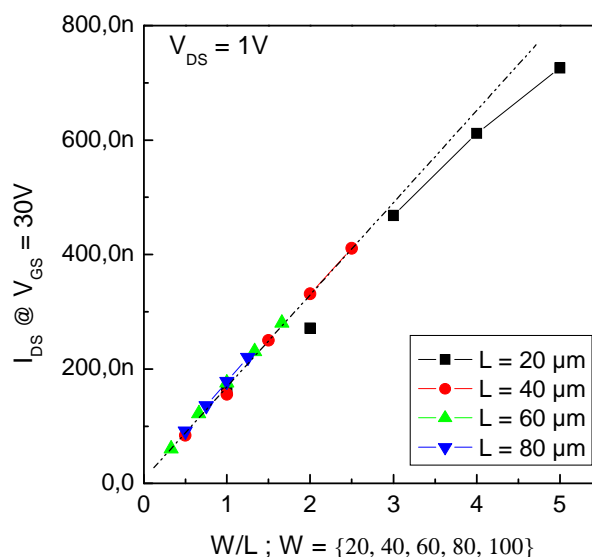


Figure 12. Tracé du courant I_{ON} prélevé à $V_{GS} = 30V$ en fonction du rapport W/L de 19 TFTs fabriqués sur PEN.

Nous pouvons constater que le courant I_{ON} est une fonction linéaire du rapport W/L . Toutefois, nous constatons une légère déviation du courant I_{ON} pour les TFTs ayant une longueur $L = 20 \mu m$. Cette constatation est à confirmer cependant. On aurait pu en effet expliquer cette déviation des TFTs de $L=20\mu m$ par une non maîtrise des alignements pour des distances de l'ordre de $20\mu m$. Cette explication ne nous semble pas plausible car $20\mu m$ est une distance assez grande pour ne pas avoir des problèmes d'alignement malgré les petits problèmes de déformation du PEN.

C. Comparaison entre process sur PEN et process sur Verre

Un process N-TFT est réalisé sur verre en même temps que le process réalisé sur PEN. Les conditions de dépôt et les épaisseurs des couches actives utilisées pour la fabrication des TFT sur verre sont identiques à celles utilisées pour réaliser les N-TFTs sur PEN. La couche de silicium est déposée directement sur verre et non pas sur une couche de nitrure de silicium comme pour le cas des TFTs fabriqués sur PEN. Pour indication, la rugosité RMS du verre est $0,2 \text{ nm}$, la rugosité de 100 nm de silicium microcristallin déposé sur verre est $0,9 \text{ nm}$ et celle du silicium déposé sur PEN encapsulé est $2,5 \text{ nm}$. Cette différence de rugosité peut introduire une différence au niveau des caractéristiques des TFTs fabriqués sur PEN et sur verre.

La figure (13.a) ci-dessous représente 16 caractéristiques de transfert de 16 TFTs fabriqués sur verre. Ces TFTs sont situés dans la même zone que les 16 TFTs caractérisés précédemment sur PEN. La figure (13.b) ci-dessous représente une caractéristique de transfert moyenne des 16 TFTs fabriqués sur verre.

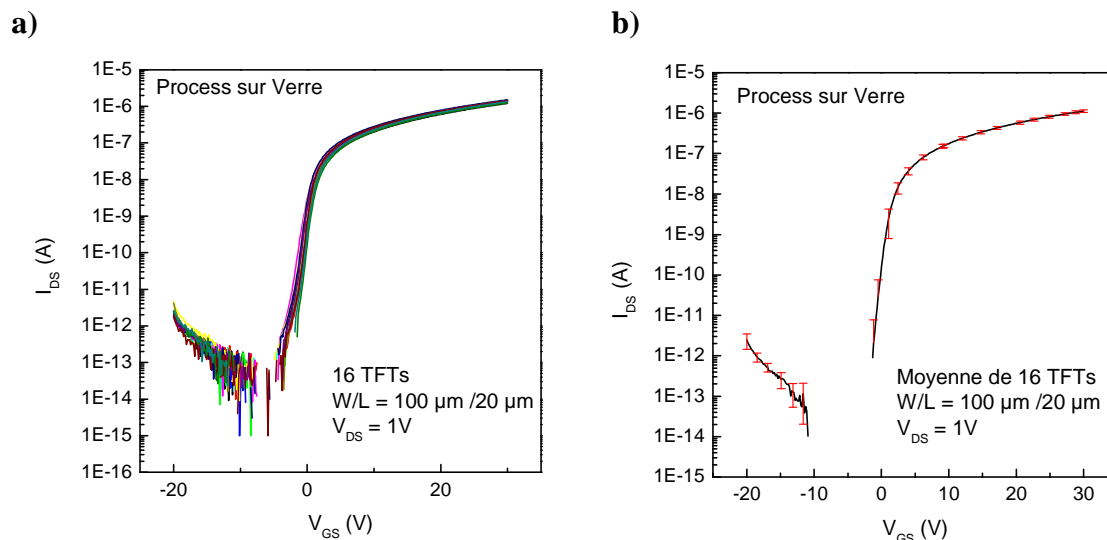


Figure 13. a) Caractéristiques de transfert de 16 TFTs de taille $W/L = 100\mu\text{m} / 20\mu\text{m}$ appartenant à 16 cellules différentes fabriqués sur Verre. b) Caractéristique de transfert moyenne de 16 TFTs de taille $W/L = 100\mu\text{m} / 20\mu\text{m}$.

Nous pouvons constater que les caractéristiques de transfert des 16 TFTs sont bien serrées et semblables ; cela implique que les paramètres électriques des TFTs sont uniformes. Nous remarquons que le courant I_{ON} des TFTs fabriqués sur verre est plus élevé que celui des TFTs fabriqués sur PEN (I_{ON} est supérieur à $1\mu\text{A}$ pour le cas des TFTs sur verre et inférieur à $1\mu\text{A}$ pour le cas des TFTs sur PEN), et le courant I_{OFF} des TFTs fabriqués sur verre est plus faible que le courant I_{OFF} des TFTs fabriqués sur PEN. Ainsi, le rapport des courants I_{ON}/I_{OFF} est plus important pour le process sur verre que pour le process sur PEN, comme indiqué dans le tableau (10). Nous remarquons aussi que dans le cas des TFTs sur verre, le courant inverse est bien serré et moins dispersé que le courant inverse des TFTs fabriqués sur PEN.

La figure (14) ci-dessous représente la caractéristique de transfert moyenne de 16 N-TFTs fabriqués sur PEN superposée avec celle de 16 N-TFTs fabriqués sur verre. Les caractéristiques de transfert sont prélevées pour une tension $V_{DS} = 1\text{V}$. La taille des TFTs est $W/L = 100\mu\text{m} / 20\mu\text{m}$.

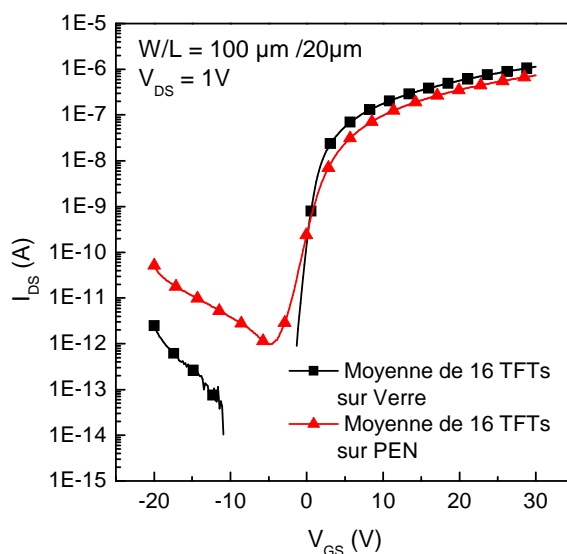


Figure 14. Comparaison entre les caractéristiques de transfert moyennes d'un TFT de taille $W/L = 100\mu\text{m} / 20\mu\text{m}$ fabriqué sur Verre et sur PEN.

Les résultats de l'extraction des paramètres électriques des TFTs sont regroupés dans le tableau (10).

Taille W/L (μm)	Tension de seuil Moyenne V_{TH} (V)	Mobilité Moyenne μ ($\text{cm}^2/\text{V.s}$)	Pente sous le seuil Moyenne S (V/Déc)	Rapport Moyen $I_{\text{ON}}/I_{\text{OFF}}$
100/20				
PEN	12,19 ^{+0,59} _{-0,53}	0,46 ^{+0,03} _{-0,05}	1,35 ^{+0,13} _{-0,07}	$> 10^6$
Verre	11,68 ^{+0,21} _{-0,42}	0,7 ^{+0,05} _{-0,04}	0,66 ^{+0,15} _{-0,05}	$> 10^7$

Tableau 10. Comparaison des paramètres électriques de TFTs fabriqués sur Verre et sur PEN.

Les caractéristiques électriques d'un N-TFT fabriqué sur PEN sont un peu moins performantes que celles d'un N-TFT fabriqué sur verre. En effet, la mobilité moyenne calculée pour un process réalisé sur PEN ($\mu = 0,46 \text{ cm}^2/\text{V.s}$) est plus faible que la mobilité calculée pour un process réalisé sur verre ($\mu = 0,7 \text{ cm}^2/\text{V.s}$). La pente sous le seuil S du process réalisé sur PEN est plus grande que celle obtenue lors du process réalisé sur verre, $S_{\text{PEN}} = 1,35 \text{ V/Déc}$ et $S_{\text{VERRE}} = 0,66 \text{ V/Déc}$. La dispersion calculée pour les différents

paramètres des TFTs fabriqués sur PEN est minimale et elle est comparable avec celle calculée pour les TFTs fabriqués sur verre. Par exemple, la dispersion de la tension de seuil V_{TH} des TFTs fabriqués sur PEN ne représente que 5% de la valeur de la tension de seuil moyenne, elle représente 10% pour le cas de la mobilité moyenne et 9% pour le cas de la pente sous le seuil moyenne. D'après ces résultats nous pouvons déduire que le process N-TFT sur PEN est uniforme sachant que les 16 TFTs caractérisés se retrouvent sur un périmètre de côté 1,5 cm.

Ensuite, nous avons prélevé le courant I_{ON} à $V_{GS} = 30V$ et $V_{DS} = 1V$ pour 16 N-TFTs fabriqués sur verre afin de tracer l'évolution du courant I_{ON} en fonction de W/L et de le comparer avec le résultat obtenu sur PEN.

La figure suivante (15) représente le tracé du courant I_{ON} en fonction de W/L pour les TFTs fabriqués sur verre et sur PEN.

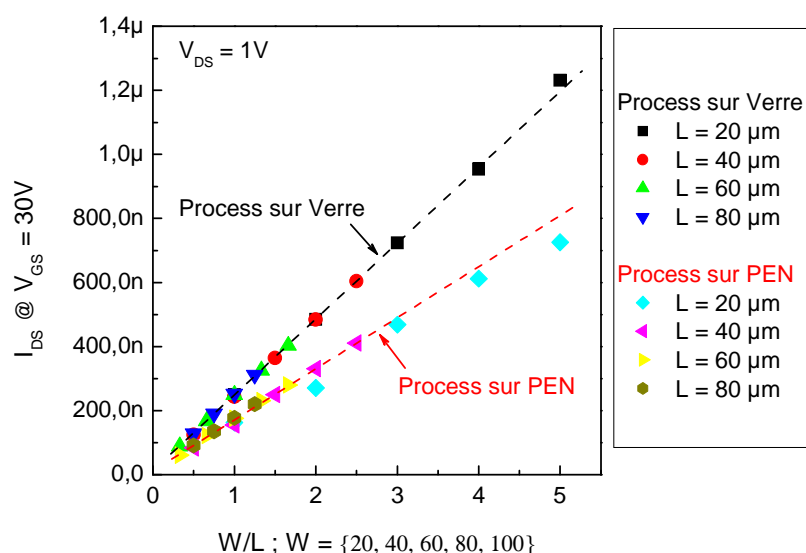


Figure 15. Tracé du courant I_{ON} prélevé à $V_{GS} = 30 V$ et $V_{DS} = 1V$ en fonction du rapport W/L pour 19 TFTs fabriqués sur Verre et 19 TFTs fabriqués sur PEN.

D'après les deux tracés nous pouvons constater que le courant I_{ON} varie linéairement sur toute la gamme des rapports de taille W/L . Cette linéarité obtenue avec une très grande variété de tailles de transistors est l'indication claire d'une grande uniformité du procédé. Il faut souligner en particulier l'uniformité du procédé sur PEN qui n'était pas évidente du tout à obtenir au départ considérant les nombreux obstacles technologiques.

La pente de la droite est plus élevée pour les TFTs sur verre que sur PEN. La pente est liée à la tension de seuil et à la mobilité par la relation suivante :

$$I_{DS} = \frac{W}{L} \mu C_{iso} [(V_{GS} - V_{TH}) V_{DS}] \quad (2)$$

donnant le courant en fonction de W/L en régime linéaire ($V_{DS} \ll V_{GS} - V_{TH}$).

Les paramètres moyens des TFTs donnés dans le tableau 10 montrent une tension de seuil équivalente pour les 2 procédés mais une mobilité plus importante sur verre, expliquant ainsi la plus grande pente de la droite $I_{DS}(W/L)$ sur verre.

La linéarité de cette courbe $I_{DS}(W/L)$ pour différentes tailles de transistors nous permet de calculer une mobilité indépendamment de la taille, qui sera ainsi une mobilité caractéristique du procédé. Pour cela il est important que la tension de seuil soit indépendante de la taille. La figure (16.a) et (16.b) montre la dispersion de cette tension de seuil V_{TH} en fonction de la taille W/L des TFTs fabriqués sur PEN et sur verre.

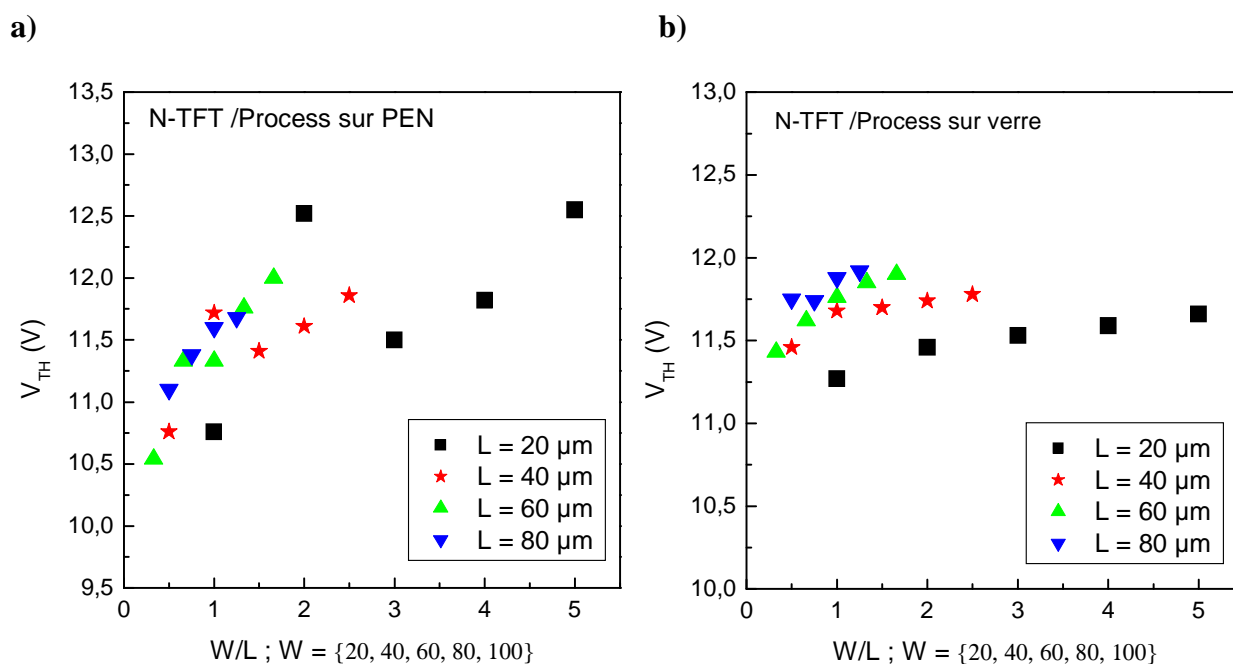


Figure 16. Dispersion de la tension de seuil V_{TH} en fonction de W/L .

a) process sur PEN. b) process sur verre

Le tableau (11) montre quantitativement cette dispersion sur verre et sur PEN. La tension moyenne est identique sur verre et sur PEN. Cependant la figure (16) et le tableau

(11) montrent une plus grande dispersion sur PEN que sur verre. Ce résultat n'est pas surprenant eu égard aux nombreux problèmes technologiques qui surviennent lors du procédé sur PEN et qui ont été déjà exposés auparavant. Mais, la figure (16) peut être trompeuse sur l'importance de la dispersion. Les écarts-type donnés dans le tableau (11) sont en effet assez faibles, même s'ils sont plus faibles sur verre. L'écart-type de la tension de seuil des TFTs réalisés sur PEN n'est en effet que de 0.5V en comparaison de la valeur de la tension qui est de 11,5V. On peut alors considérer comme assez uniforme la tension de seuil pour pouvoir aller plus en avant et calculer une valeur de mobilité typique du procédé.

	V_{THMin} (V)	V_{THMax} (V)	V_{THMoy} (V)	Écart Type (V)
PEN	10,54	12,55	11,53	0,52
Verre	11,27	11,92	11,67	0,17

Tableau 11. Dispersion de la tension de seuil pour des TFTs de différentes tailles fabriqués sur verre et sur PEN.

L'équation (2) appliquée à $I_{DS} = I_{ON}$ obtenu à $V_{GS} = 30V$ et $V_{DS} = 1V$, peut s'écrire,

$$I_{DS} = I_{ON} = \frac{W}{L} K,$$

avec

$$K = \frac{I_{ON}}{W/L} = \mu C_{iso} (V_{GS} - V_{TH}) V_{DS} \quad (3)$$

$$\text{donc } \mu = \frac{K}{C_{iso} (V_{GS} - V_{TH}) V_{DS}} \quad (4)$$

$$\text{avec } C_{iso} = \frac{\epsilon_r \epsilon_0}{e} ; \epsilon_r = 6,38 ; \epsilon_0 = 8,85.10^{-14} \text{ F.cm}^{-1}$$

ϵ_r : permittivité relative.

ϵ_0 : permittivité du vide (F.m^{-1}).

e : épaisseur du nitrure de silicium.

L'équation (4) permet de calculer la mobilité μ en tenant compte de la dispersion de V_{TH} pour chaque procédé.

Calcul de la mobilité μ pour le process sur PEN :

D'après la figure (15) et l'équation (3) : $K_{PEN} = \frac{I_{ON}}{W/L} = 1,6 \cdot 10^{-7} \text{ A}$.

D'après la figure (16.a), la tension de seuil minimale $V_{THmin} = 10,54\text{V}$, la tension de seuil maximale $V_{THmax} = 12,55\text{V}$ et la tension de seuil moyenne $V_{THmoy} = 11,53\text{V}$, à chaque tension de seuil correspond une mobilité donnée comme suit :

$$\mu_{\min} = \frac{K_{PEN}}{C_{iso} (V_{GS} - V_{TH\min}) V_{DS}} \quad (5)$$

$$\mu_{\max} = \frac{K_{PEN}}{C_{iso} (V_{GS} - V_{TH\max}) V_{DS}} \quad (6)$$

$$\mu_{\text{moy}} = \frac{K_{PEN}}{C_{iso} (V_{GS} - V_{TH\text{moy}}) V_{DS}} \quad (7)$$

AN : $\mu_{\min} = 0,436 \text{ cm}^2/\text{V.s}$, $\mu_{\max} = 0,487 \text{ cm}^2/\text{V.s}$, $\mu_{\text{moy}} = 0,46 \text{ cm}^2/\text{V.s}$.

μ_{moy} représente la mobilité moyenne des TFTs fabriqués sur PEN quelques soient leurs tailles avec une dispersion de (+) $0,027 \text{ cm}^2/\text{V.s}$ et (-) $0,024 \text{ cm}^2/\text{V.s}$. Nous retrouvons la valeur de la mobilité calculée et indiquée dans le tableau (10). La dispersion calculée par cette méthode est inférieure à celle calculée par la première méthode. Cette erreur est introduite par l'erreur de calcul de la tension de seuil. En effet, le calcul de cette dernière n'est pas très précis vue que la transconductance des TFTs en silicium microcristallin ne passe pas par un maximum, donc le calcul de la tension de seuil est approximatif.

Calcul de la mobilité μ pour le procédé sur verre :

D'après la figure (15), et l'équation (3) $K_{VERRE} = \frac{I_{ON}}{W/L} = 2,4 \cdot 10^{-7} \text{ A}$

D'après la figure (16.b), la tension de seuil minimale $V_{THmin} = 11,27\text{V}$, la tension de seuil maximale $V_{THmax} = 11,92\text{V}$ et la tension de seuil moyenne $V_{THmoy} = 11,67\text{V}$, à chaque tension de seuil correspond une mobilité donnée comme suit :

$$\mu_{\min} = \frac{K_{VERRE}}{C_{iso} (V_{GS} - V_{TH\min}) V_{DS}} \quad (8)$$

$$\mu_{\max} = \frac{K_{\text{VERRE}}}{C_{\text{iso}} (V_{\text{GS}} - V_{\text{THmax}}) V_{\text{DS}}} \quad (9)$$

$$\mu_{\text{moy}} = \frac{K_{\text{VERRE}}}{C_{\text{iso}} (V_{\text{GS}} - V_{\text{THmoy}}) V_{\text{DS}}} \quad (10)$$

AN : $\mu_{\min} = 0,695 \text{ cm}^2/\text{V.s}$, $\mu_{\max} = 0,725 \text{ cm}^2/\text{V.s}$, $\mu_{\text{moy}} = 0,699 \text{ cm}^2/\text{V.s}$.

μ_{moy} représente la mobilité moyenne des TFTs fabriqués sur verre quelques soient leurs tailles avec une dispersion de (+) $0,026 \text{ cm}^2/\text{V.s}$ et (-) $0,004 \text{ cm}^2/\text{V.s}$. Nous retrouvons la valeur moyenne de la mobilité calculée et illustrée dans le tableau (10) mais avec une dispersion plus faible.

Nous avons calculé la mobilité moyenne des TFTs fabriqués sur PEN et sur verre par deux méthodes ; pour des TFTs de tailles différentes et d'autres situés dans des matrices différentes. Nous avons retrouvé la même valeur de mobilité moyenne pour chaque process quelque soit la méthode utilisée. La dispersion de la mobilité moyenne dans le cas d'un process sur PEN est légèrement supérieure à celle d'un process sur verre. Néanmoins, elle reste toujours faible car elle ne présente que 6% de la valeur moyenne dans le cas de TFTs situé dans une même matrice et ayant des tailles différentes, et 10% dans le cas de TFTs situé dans des matrices différentes. Cela implique que les N-TFTs fabriqués sur PEN sont assez uniformes, et que le process de fabrication de TFT de type N en silicium microcristallin sur PEN est bien maîtrisé.

D. Commentaire sur les performances électriques des TFTs sur PEN

Néanmoins, le succès du process N-TFTs sur PEN, la mobilité et la pente sous le seuil de ces TFTs restent moins bonnes que celles des TFTs fabriqués sur verre. La mobilité calculée des TFTs sur PEN, $\mu = 0,46^{+0,03}_{-0,05} \text{ cm}^2/\text{V.s}$, est inférieure à la mobilité calculée des TFTs sur verre, $\mu = 0,7^{+0,05}_{-0,04} \text{ cm}^2/\text{V.s}$. La pente sous le seuil des TFTs sur PEN, $S = 1,35^{+0,13}_{-0,07} \text{ V/Déc}$ est plus grande, le double exactement, que celle des TFTs sur verre, $0,66^{+0,15}_{-0,05} \text{ V/Déc}$. Ces paramètres, mobilité et pente sous le seuil, en particulier le second, sont liés à la qualité de l'interface entre la couche active du transistor et l'isolant de grille. Leur dégradation lorsque le substrat PEN est utilisé serait à rechercher au niveau de cette interface.

Une première explication possible de la plus mauvaise qualité d'interface consiste en une différence de rugosité de surface du silicium microcristallin déposé directement sur verre ou sur PEN encapsulé par du nitrure de silicium. La rugosité mesurée du silicium déposé sur PEN encapsulé est le double de la rugosité mesurée sur verre, respectivement 2,5 nm et 1,2 nm. Pour indication, la rugosité du PEN nu est comprise entre 0,8 nm et 1 nm, la rugosité mesurée du nitrure d'encapsulation déposé sur PEN est 1,9 nm, et la rugosité du verre utilisé est 0,2 nm. La rugosité du silicium microcristallin dépend du substrat sur le quel il est déposé, la différence de rugosité sur les deux échantillons pourrait justifier la dégradation des paramètres des TFTs sur PEN. Cependant, les valeurs de rugosité sont assez faibles, même si elles doublent sur PEN, pour justifier pleinement un doublement de la pente sous le seuil et une division par deux de la mobilité.

Une autre piste, peut être plus importante, serait à rechercher autour du nettoyage chimique de la surface de la couche active avant dépôt de l'isolant de grille. Tout défaut électrique apparaissant à cette interface suite à une mauvaise qualité de nettoyage chimique de cette interface, induira un retard à la commutation du transistor, et donc une mauvaise pente sous le seuil, et une mauvaise mobilité due au multi-piégeage des porteurs. Dans tout procédé de fabrication de transistors de type MOS à base de silicium, il est ainsi important d'assurer la plus grande propreté possible à la surface du silicium avant le dépôt de l'isolant. Cette précaution est d'autant plus importante dans les procédés impliquant un dépôt de l'isolant et non une oxydation thermique du silicium. Dans le cas du dépôt de l'isolant, l'interface canal-isolant est exactement située à la surface de la couche active.

Il est ainsi habituel d'effectuer un nettoyage dit RCA. Le principe du nettoyage RCA est de former un oxyde à la surface de la couche de silicium dans lequel seront piégés successivement des contaminants organiques et métalliques, présents à la surface du substrat. Ce nettoyage consiste à plonger les échantillons dans un bain basique ($\text{H}_2\text{O} + \text{NH}_4\text{OH} + \text{H}_2\text{O}_2$) porté à 70 °C pendant 10 minutes puis dans un bain acide ($\text{H}_2\text{O} + \text{HCl} + \text{H}_2\text{O}_2$) porté à 80 °C pendant 10 minutes pour finir par une désoxydation HF. Pour le procédé sur verre, cette dernière étape de désoxydation est effectuée pendant 10 secondes. Le maintien de ce temps dans le procédé sur PEN amène souvent un début de gravure du nitrure de silicium servant d'encapsulation. Le temps de désoxydation a alors été réduit à 2 secondes dans le procédé sur PEN. Ce temps est un compromis entre une bonne désoxydation et une obtention de paramètres de TFT uniformes sur toute la surface du substrat. Au vu des plus mauvais paramètres d'interface (pente sous le seuil et mobilité) des TFTs sur PEN comparés à ceux des TFTs sur verre, il semble que cette désoxydation de 2 secondes n'est pas suffisante pour

supprimer complètement l'oxyde natif et ainsi toutes les contaminations s'y trouvant. Une solution possible serait alors de trouver une autre couche d'encapsulation qui résisterait mieux chimiquement et mécaniquement à une attaque HF.

IV. TFTs de type P sur PEN

Cette partie se divise en deux parties. La première partie consiste à utiliser les anciennes conditions de dépôt de la couche de silicium microcristallin dopée P illustrée dans le chapitre (II) afin de produire des TFTs de type P sur PEN. La deuxième partie consiste à réaliser un process avec une couche de silicium microcristallin intrinsèque et une couche de silicium microcristallin dopée P déposées toutes deux à 120°C. En effet, en déposant la couche de silicium intrinsèque et dopée avec les mêmes conditions de dépôt (hormis l'ajout de dopant) et les mêmes températures de dépôt, nous pouvons bénéficier des avantages du dépôt en monocouche.

IV.1. Fabrication et caractérisation de P-TFTs

A. Fabrication de TFTs de type P sur PEN

Nous avons fabriqué des TFTs de type P sur PEN Q65FA en utilisant les couches de silicium microcristallin intrinsèque et dopée P présentées dans le chapitre (II). Nous avons utilisé le nitrure de silicium comme isolant de grille, et nous avons utilisé les étapes de fabrication décrites précédemment en tenant compte des améliorations apportées au process sur PEN. Nous avons utilisé une couche de silicium microcristallin d'épaisseur 100 nm, une couche de silicium microcristallin dopée P d'épaisseur 70 nm et une couche de nitrure de silicium d'épaisseur 300 nm. Les conditions de dépôt de la couche de silicium microcristallin dopée P sont illustrées dans le tableau ci-dessous (12), pour le silicium intrinsèque et le nitrure d'isolant de grille, ce sont les mêmes que pour les TFTs de type N, ils sont respectivement représentés dans le tableau (6) et (8).

Dépôt	Puissance (W)	Pression (mbar)	D_{A-K} (cm)	Température (°C)	SiH ₄ (sccm)	H ₂ (sccm)	B ₂ H ₆ (sccm)
μc-Si:H dopé P	15	1,33	4,5	120	0,5	50	$2,5 \cdot 10^{-3}$

Tableau 12. Conditions de dépôt de la couche de silicium microcristallin dopée P.

B. Caractérisation électrique des P-TFTs

Les caractéristiques de transfert et de sortie d'un P-TFT fabriqué sur PEN sont représentées respectivement sur les figure (17.a) et (17.b) ci-dessous, la taille du TFT est $W/L = 100 \mu\text{m} / 20 \mu\text{m}$. Les TFTs sont caractérisés après le recuit final à 180°C sous azote. La caractéristique de transfert est prélevée à une tension $V_{DS} = -1\text{V}$.

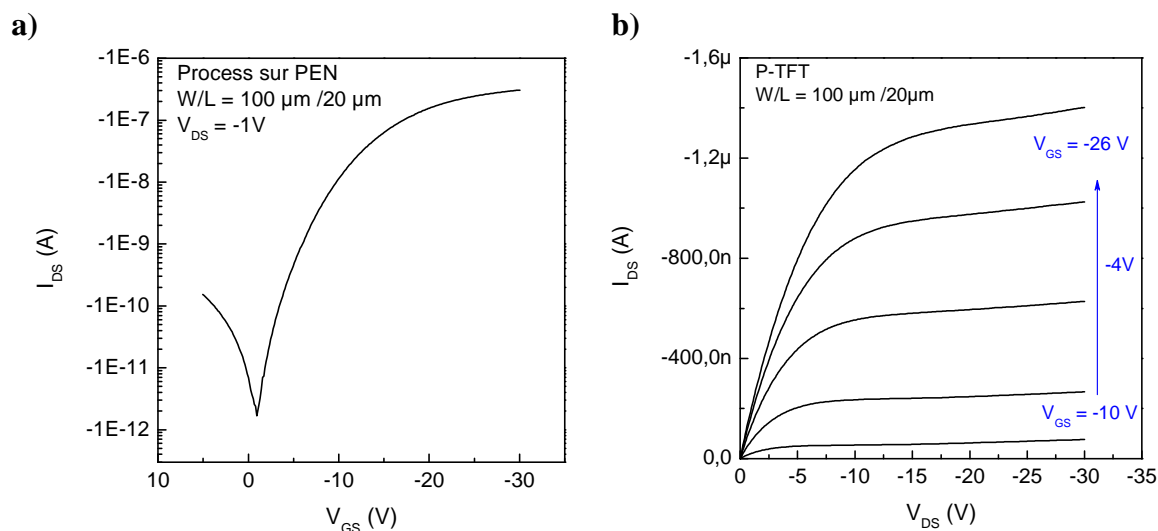


Figure 17. a) Caractéristique de transfert. b) Caractéristique de sortie.
d'un P-TFT de taille $W/L = 100\mu\text{m} / 20\mu\text{m}$ fabriqué sur PEN.

Les paramètres électriques du TFT sont illustrés dans le tableau suivant (13).

Tension de seuil	Pente sous le seuil	Mobilité	Rapport
V_{TH} (V)	S (V/Déc)	μ ($\text{cm}^2/\text{V.s}$)	I_{ON}/I_{OFF}
- 12,06	1,89	0,24	2.10^5

Tableau 13. Paramètres électriques d'un P-TFT de taille
 $W/L = 100 \mu\text{m} / 20 \mu\text{m}$ fabriqué sur PEN

Les paramètres électriques du P-TFT sont comparables avec ceux d'un N-TFT fabriqué sur PEN. La mobilité $\mu = 0,24 \text{ cm}^2/\text{V.s}$ est égale à la moitié de la mobilité obtenue par un N-TFT fabriqué en silicium microcristallin sur PEN. Le rapport de courant I_{ON}/I_{OFF} est aussi élevé et proche du rapport I_{ON}/I_{OFF} pour un N-TFT. La pente sous le seuil du P-TFT $S = 1,89 \text{ V/Déc}$ est comparable avec celle obtenu par un N-TFT $S = 1,35 \text{ V/Déc}$.

La caractéristique de sortie montre une bonne modulation du courant I_{DS} en fonction de la tension V_{DS} et pour une tension V_{GS} supérieure ou égale à $-10V$.

Nous présentons ensuite le test primaire de stabilité électrique. Pour cela nous avons prélevé successivement trois fois la caractéristique de transfert d'un P-TFT fabriqué sur PEN. Le résultat de ce test est représenté par la figure (18) suivante.

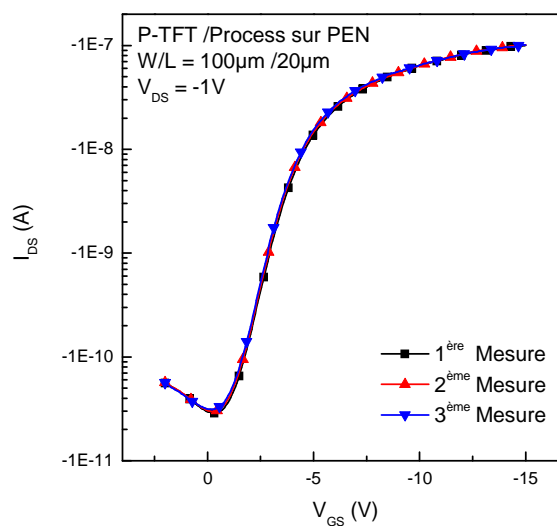


Figure 18. Caractéristiques de transfert d'un P-TFT mesurées successivement trois fois.

Nous pouvons constater que les caractéristiques de transfert du P-TFT sont identiques et superposables, cela implique que les P-TFTs sont à priori stables électriquement. Un test de stabilité électrique est présenté dans le chapitre (IV).

Les caractéristiques de transfert de différentes tailles de P-TFTs sont présentées ci-dessous, figure (19.a).

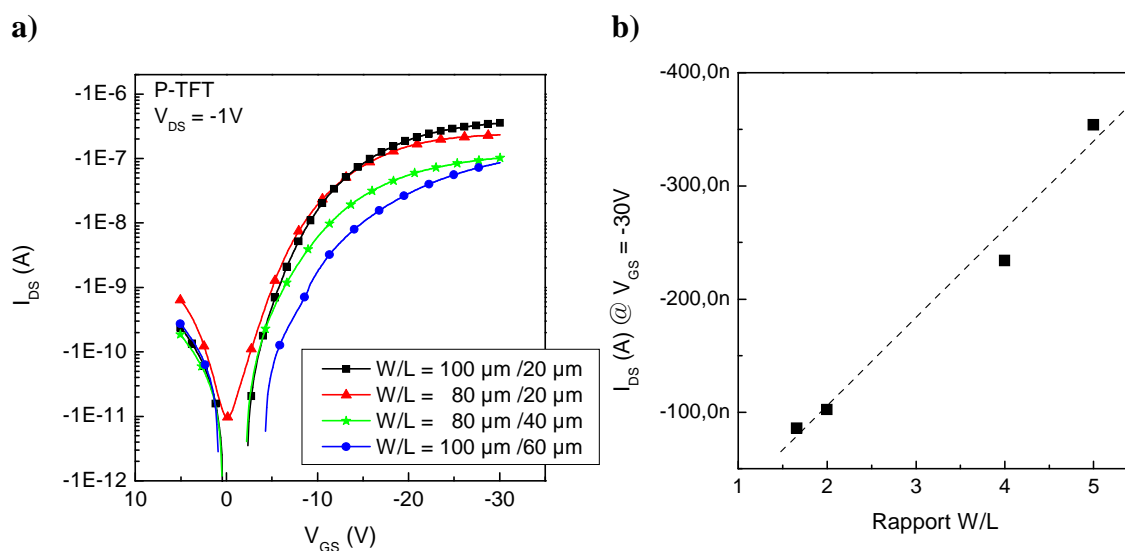


Figure 19. a) Caractéristiques de transfert de 4 P-TFTs de tailles W/L différentes.

b) Tracé du courant I_{ON} prélevé à $V_{GS} = -30 V$ en fonction du rapport W/L de 4 TFTs de tailles différentes.

Nous pouvons constater que les caractéristiques de transfert des 4 TFTs ne sont pas très uniformes, bien que le courant I_{DS} prélevé à $V_{GS} = -30V$ en fonction de W/L paraisse linéaire.

Tailles W/L (μm)	Tension de seuil V_{TH} (V)	Mobilité μ ($\text{cm}^2/\text{V.s}$)	Pente sous seuil S (V/Déc)	I_{ON} à $V_{GS} = -30V$ (μA)
100/20	-11,45	0,24	2,41	-0,354
80/20	-10,14	0,22	2,1	-0,234
80/40	-9,22	0,16	2,74	-0,102
100/60	-14,83	0,19	3,4	-0,086

Tableau 14. Paramètres électriques de 4 P-TFTs fabriqués sur PEN.

Les paramètres électriques (tableau (14)) extraits de ces caractéristiques de transfert montrent une large variation de la tension de seuil V_{TH} des P-TFTs en fonction de la taille W/L. La mobilité des TFTs varie aussi en fonction de la taille W/L autant que la pente sous le seuil S.

Cela montre que le process P-TFTs réalisé sur PEN n'est pas encore mis au point et demande à être optimisé.

IV.2. Réalisation de TFTs de type P en utilisant des couches actives de silicium microcristallin déposées à 120°C

Comme la couche de silicium microcristallin dopée P est réalisée à 120°C, nous avons pensé à uniformiser la température de dépôt de la couche de silicium intrinsèque et dopée P à 120°C dans le but de réaliser un process en monocouche. C'est-à-dire nous déposons la couche de silicium intrinsèque à 120°C et nous faisons suivre cette couche par un dépôt en monocouche de la couche de silicium microcristallin dopée P.

Tout d'abord, nous avons analysé par spectroscopie Raman la couche de silicium microcristallin intrinsèque déposée à 120°C ($e = 100$ nm). Le spectre RAMAN de cette couche est quasiment confondu avec celui d'une couche de silicium microcristallin intrinsèque déposé à 165°C dans les mêmes conditions. Le spectre RAMAN est présenté dans la figure (20). La fraction cristalline est estimée à 75%. Ce résultat est encourageant pour la suite de l'étude.

Ensuite, nous avons gardé les conditions de dépôt de la couche de silicium microcristallin intrinsèque, et nous avons introduit le diborane afin de déposer la couche de silicium dopée P. Nous avons étudié l'influence du flux de diborane afin d'améliorer la conductivité de la couche dopée P, figure (21).

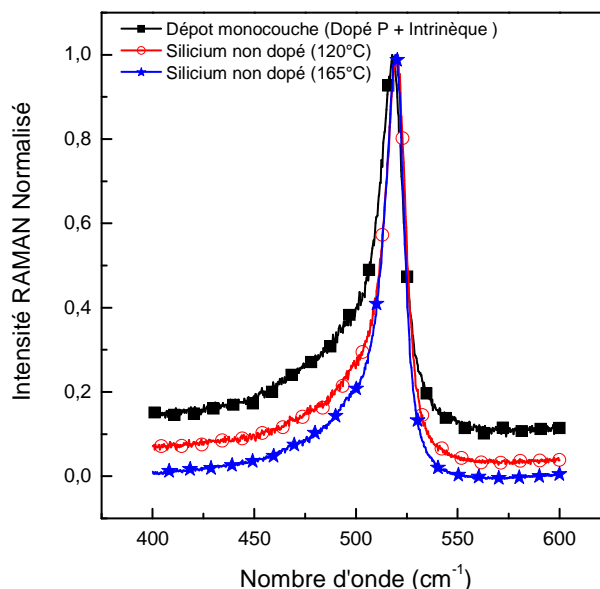


Figure 20. Spectre RAMAN : Couche de silicium intrinsèque déposée à 165°C.

Couche de silicium intrinsèque déposée à 120°C.

Monocouche de silicium microcristallin dopé P déposé à 120°C

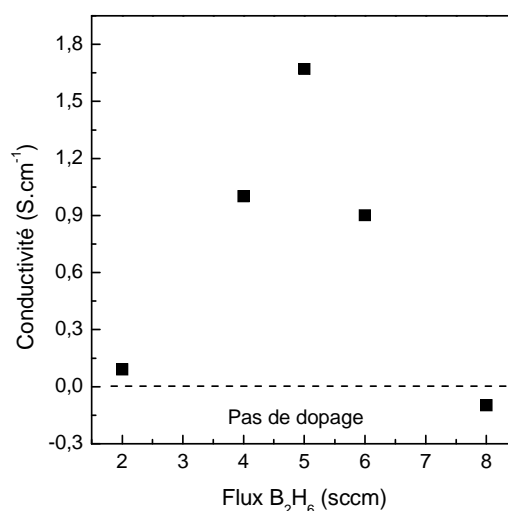


Figure 21. Étude de la conductivité de la couche de silicium microcristallin dopée P en fonction du flux de B₂H₆.

La conductivité de la couche de silicium microcristallin dopée P est maximale $\sigma = 1,67 \text{ S.cm}^{-1}$ pour un flux de diborane égale à 5 sccm. L'analyse RAMAN de cette couche dopée P ($e = 100 \text{ nm}$) déposée en monocouche montre une bonne cristallinité. La fraction cristalline est estimée à 60%. Le spectre RAMAN de cette couche est représenté par la figure (20).

Par la suite nous avons fixé les conditions de dépôt des couches non-dopée et dopée comme suit :

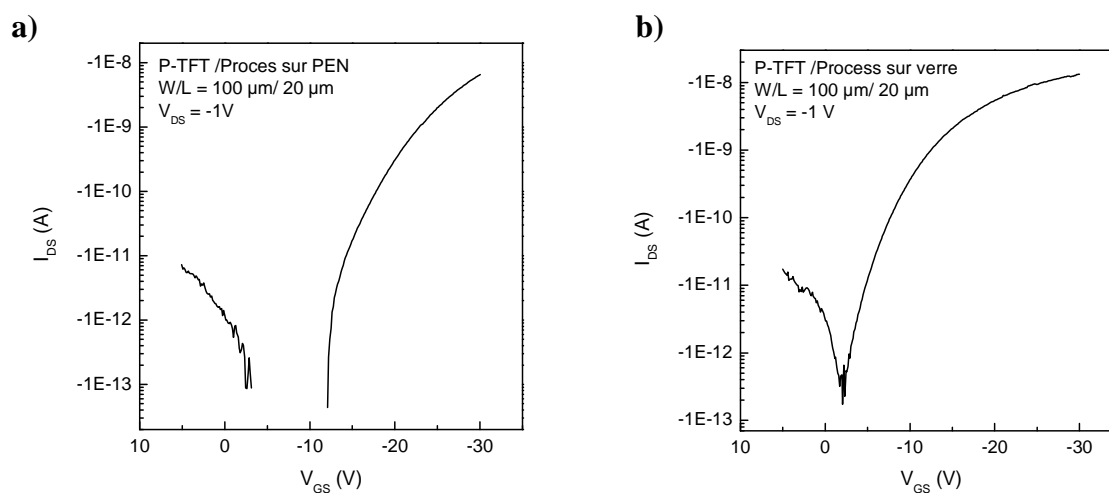
Dépôt	Puissance (W)	Pression (mbar)	D _{A-K} (cm)	Température (°C)	SiH ₄ (sccm)	Ar (Sccm)	H ₂ (sccm)	B ₂ H ₆ (sccm)
$\mu\text{c-Si:H}$ non dopé	15	0,9	4,5	120	1,5	75	75	-
$\mu\text{c-Si:H}$ Dopée P	15	0,9	4,5	120	1,5	75	75	5

Tableau 15. Conditions de dépôt en monocouche de la couche de silicium microcristallin intrinsèque et de la couche de silicium microcristallin dopée P à 120°C.

En utilisant ces couches de silicium microcristallin déposé à 120°C, chacune d'épaisseur 100 nm, nous avons fabriqué des TFTs de type P. Nous avons utilisé le nitrure de silicium et l'oxyde de silicium comme isolant de grille. L'épaisseur de la couche de nitrure de silicium est 300 nm, l'épaisseur de la couche d'oxyde de silicium est 150 nm. Les TFTs sont fabriqués sur PEN et sur verre.

La caractérisation électrique de ces P-TFTs est donnée par les figures suivantes :

- Process P-TFT réalisé sur PEN et sur verre en utilisant 300 nm de nitrure de silicium comme isolant de grille.



- Process P-TFT réalisé sur PEN et sur verre en utilisant 150 nm d'oxyde de silicium comme isolant de grille.

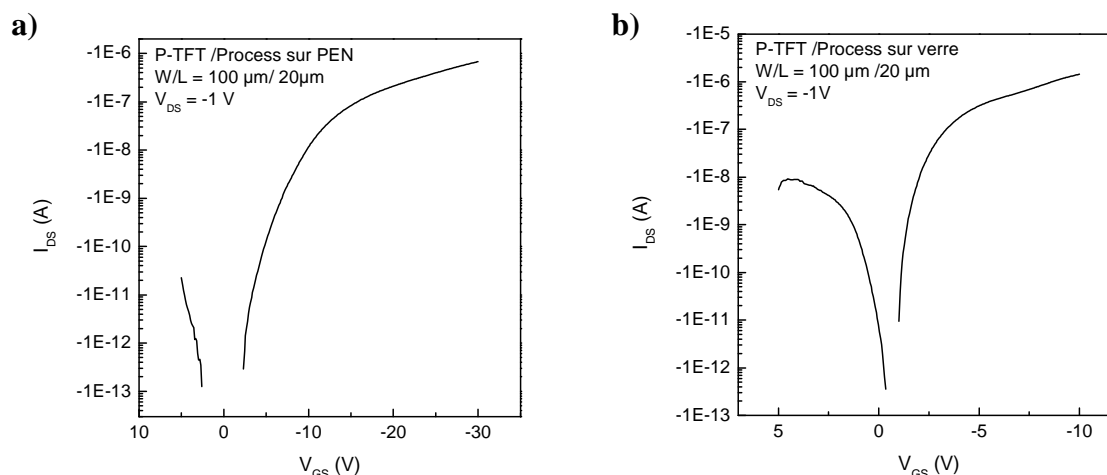


Figure 23. Caractéristique de transfert d'un P-TFT fabriqué en utilisant l'oxyde de silicium comme isolant de grille :

a) d'un P-TFT fabriqué sur PEN. b) d'un P-TFT fabriqué sur verre

Le calcul de la mobilité (μ en $\text{cm}^2/\text{V.s}$) pour les différents P-TFT est donné dans le tableau (16) suivant :

Process /Isolant de grille	Nitru de silicium	Oxyde de silicium
PEN	$\mu = 0,0128$	$\mu = 0,62$
Verre	$\mu = 0,016$	$\mu = 3,44$

Tableau 16. Extraction de la mobilité des différentes P-TFT.

La mobilité des P-TFTs fabriqués en utilisant le nitrure de silicium comme isolant de grille est très faible que ce soit sur verre ou sur PEN ($\mu_{\text{verre}} = 0,016 \text{ cm}^2/\text{V.s}$ et $\mu_{\text{PEN}} = 0,0128 \text{ cm}^2/\text{V.s}$), tandis que la mobilité des P-TFT fabriqués en utilisant l'oxyde de silicium comme isolant de grille est relativement élevée $\mu_{\text{verre}} = 3,44 \text{ cm}^2/\text{V.s}$ et $\mu_{\text{PEN}} = 0,62 \text{ cm}^2/\text{V.s}$.

Nous avons réussi à réaliser des P-TFTs à partir d'une couche active déposée à 120°C , mais malheureusement, ces P-TFTs ne sont pas stables, dès la deuxième mesure la caractéristique de transfert se décale largement et le TFT ne se stabilise pas au cours des mesures. Cet effet est présent sur les TFTs fabriqués sur verre et sur PEN et quelque soit le type d'isolant de grille utilisé (nitrure ou silicium).

La figure ci-dessous (24) montre le décalage après plusieurs mesures successives de la caractéristique de transfert d'un P-TFT fabriqué sur verre en utilisant le nitrure de silicium comme isolant de grille.

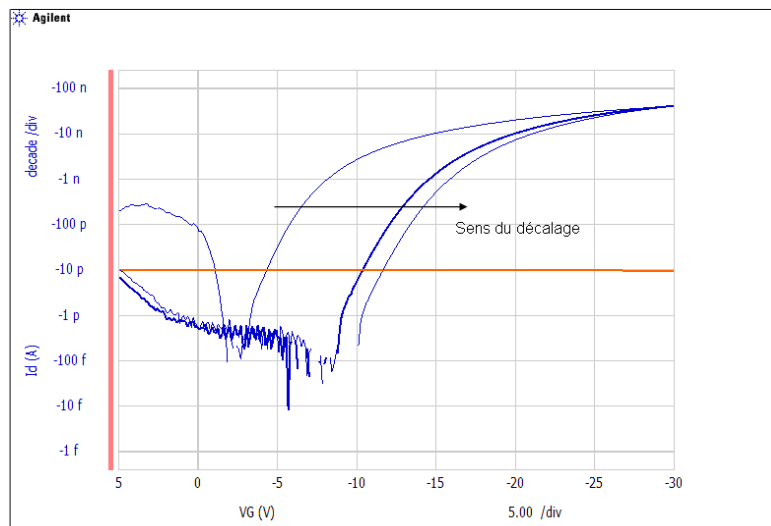


Figure 24. Caractéristiques de transfert pour plusieurs mesures successives d'un P-TFT fabriqué sur verre en utilisant une couche active déposée à 120°C et le nitrure de silicium comme isolant de grille.

Habituellement, les TFTs fabriqués en utilisant le nitrure de silicium comme isolant de grille sont stables, tandis que les TFTs fabriqués en utilisant l'oxyde de silicium comme isolant de grille le sont moins.

Actuellement les causes de cette instabilité ne sont pas clairement identifiées. Est-ce que l'instabilité est due au fait que la couche de silicium intrinsèque est déposée à 120°C, ou bien due à la couche de silicium microcristallin dopée P déposée en utilisant les conditions de dépôts illustrées dans le tableau (12).

Cette investigation est toujours en cours et nécessite des travaux complémentaires pour tenter de répondre à ces interrogations.

V. Conclusion

Nous avons présenté dans ce chapitre les problèmes que nous avons rencontrés au cours de la fabrication de transistors sur un substrat flexible et nous avons présenté les solutions envisagées. Ensuite nous avons exposé les résultats de la caractérisation électrique des TFTs de type N fabriqués sur PEN. Les TFTs de type N fabriqués sur PEN sont reproductibles et assez uniformes, leurs caractéristiques électriques sont proches de celles

obtenues pour des TFTs fabriqués sur verre. Un test primaire de stabilité des N-TFTs fabriqués sur PEN montre une bonne stabilité électrique.

Nous avons aussi fabriqué des TFTs de type P sur PEN en utilisant deux façons différentes. La première consiste à reproduire des P-TFTs sur PEN en utilisant une couche de silicium non dopé déposé à 165°C et une couche de silicium dopée P déposée à 120°C, la deuxième consiste à fabriquer des P-TFTs en utilisant des couches de silicium non dopées et dopées P déposées à 120°C. Les caractéristiques électriques des P-TFTs fabriqués par la première façon sont acceptables et assez reproductibles, un premier test de stabilité montre qu'ils sont stables. Les P-TFTs fabriqués par la deuxième façon ne sont pas stables, leurs caractéristiques électriques se décalent dès la deuxième mesure.

Références

- [1] K. Kandoussi, “Procédé de fabrication à $T < 200^{\circ}\text{C}$ de transistors en couches minces de silicium microcristallin déposé par PECVD en mélange $\text{SiH}_4\text{-H}_2\text{-Ar}$ “, Thèse Université de Rennes 1, (2007)
- [2] http://www.teijindupontfilms.jp/english/product/pen_teo.html
- [3] http://www.teijindupontfilms.jp/english/pdf/teonex_q65f.pdf
- [4] http://www.teijindupontfilms.jp/english/pdf/teonex_q65fa.pdf
- [5] J. Haq, S. Ageno, G. B. Raupp, B. D. Vogt, D. Loy, “Temporary bond-debond process for manufacture of flexible electronics: Impact of adhesive and carrier properties on performance“, J. Appl. Phys., Vol. 108, No. 11, (2010), pp. 114917.1- 114917.7
- [6] I-C. Cheng, S. Wagner, “Overview of Flexible Electronics Technology”, Book Flexible Electronics, Electronic Materials: Science & Technology, Editors W.S. Wong, A. Salleo, Vol. 11, (2009), chap 1, pp. 1-28
- [7] K.A. Belarbi, “Transistors en couches minces de silicium microcristallin fabriqués à $T < 180^{\circ}\text{C}$: stabilité et mobilité“, Thèse Université de Rennes 1, (2010)

Chapitre 4. Étude de stabilité des TFTs fabriqués sur PEN

I. Introduction

À cette étape du manuscrit, nous avons montré la réalisation de TFTs de type N et de type P sur PEN ayant des performances électriques comparables à celles des mêmes TFTs réalisés sur verre. Il est important de se pencher maintenant sur leur fiabilité en étudiant leur comportement en fonctionnement. Ceci peut être fait par l'application d'un stress en tension pendant quelques heures comme cela est fait couramment pour les TFTs réalisés sur verre.

Pour de tels TFTs fabriqués sur un substrat flexible, une autre étude s'impose. Elle concerne leur comportement en présence d'une déformation mécanique du substrat. La question du comportement des dispositifs électroniques fabriqués sur substrat flexible en présence d'une déformation mécanique s'impose en effet comme une évidence. Il est important de prévoir les performances d'une telle électronique lorsque le substrat est naturellement déformé. La variation des performances est-elle si importante pour rendre rédhibitoire l'utilisation de cette électronique ? Auquel cas, on pourrait envisager un stockage de dispositifs pliés mais un fonctionnement uniquement en position dépliée. Pour répondre à de tels questionnements, les TFTs ont été l'objet d'une étude de comportement lorsque le substrat est déformé.

II. Stress électrique

La stabilité électrique des TFTs fabriqués sur PEN a été étudiée par leur comportement sous l'effet d'une tension de grille supérieure à la tension de seuil, les contacts de source et de drain étant connectés. Ce test connu sous le nom de "Gate Bias Stress" est communément utilisé pour tester la stabilité électrique des transistors MOS (MOSFETs et TFTs). Il permet d'utiles comparaisons avec la stabilité d'autres TFTs. Il consiste à appliquer pendant un certain temps, 4 heures dans notre cas, une tension ($V_{GS} > V_{TH}$) avec $V_{DS} = 0$. Ce stress est interrompu de temps en temps pour relever une caractéristique de transfert. L'évolution de cette caractéristique au cours du test est ensuite analysée.

II.1. Stabilité des N-TFTs

Le stress électrique a été appliqué sur les N-TFTs fabriqués sur PEN et, à titre de comparaison sur des N-TFTs identiques fabriqués sur verre. La tension de grille choisie +15V est largement supérieure à la tension de seuil initiale des TFTs (de l'ordre de 4 à 6 V).

Les figures (1) et (2) représentent les résultats de ce stress électrique appliqué sur des TFTs sur PEN et sur des TFTs sur verre respectivement. Les figures (1.a) et (2.a) représentent

les caractéristiques de transfert relevées à différents temps de stress. Les figures (1.b) et (2.b) représentent les variations consécutives de la tension de seuil.

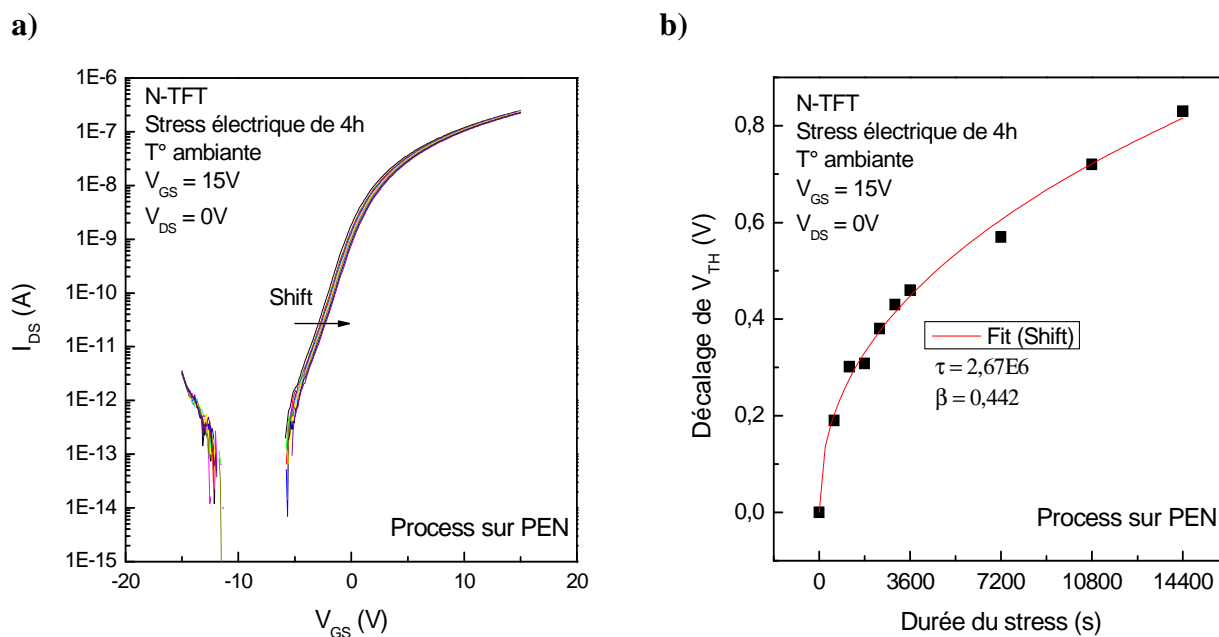


Figure 1. Stress électrique de durée 4h appliqué sur un N-TFT fabriqué sur PEN.

a) Décalage de la caractéristique de transfert au cours du stress.

b) Décalage de la tension de seuil au cours du stress.

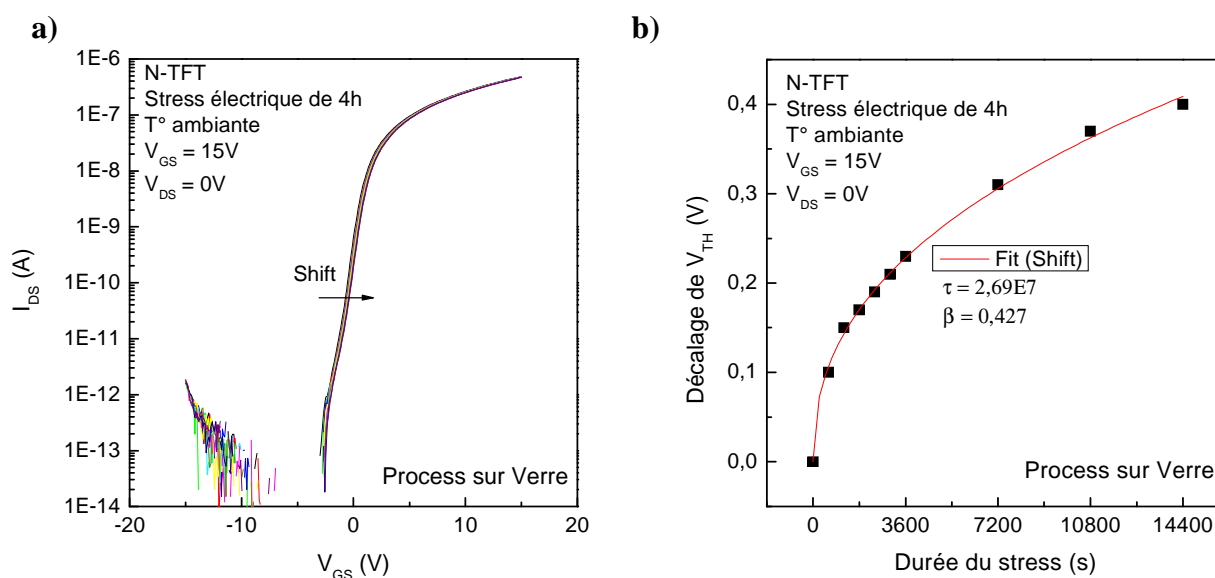


Figure 2. Stress électrique de durée 4h appliqué sur un N-TFT fabriqué sur verre.

a) Décalage de la caractéristique de transfert au cours du stress.

b) Décalage de la tension de seuil au cours du stress.

La tension de seuil du N-TFT fabriqué sur PEN se décale de 0,83 V, tandis que la tension de seuil du N-TFT fabriqué sur verre se décale de 0,4 V.

Les variations du courant direct I_{ON} et de la pente sous le seuil sont représentées par les figures (3) et (4) pour les deux process. Le courant direct diminue et la pente sous le seuil augmente au cours du stress pour les deux process.

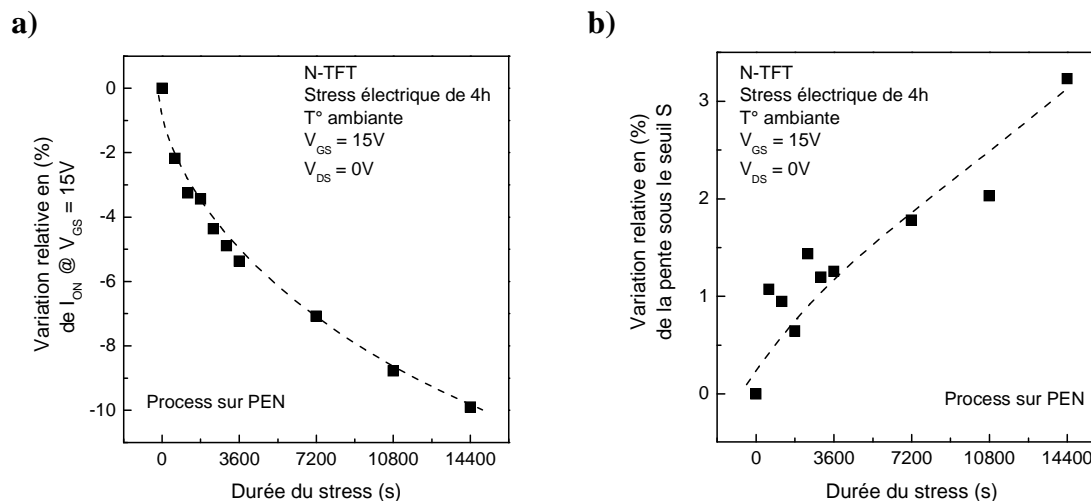


Figure 3. Évolution des paramètres du N-TFT fabriqué sur PEN au cours du stress électrique.

a) Courant I_{ON} prélevé à $V_{GS} = 15V$. b) Pente sous le seuil S.

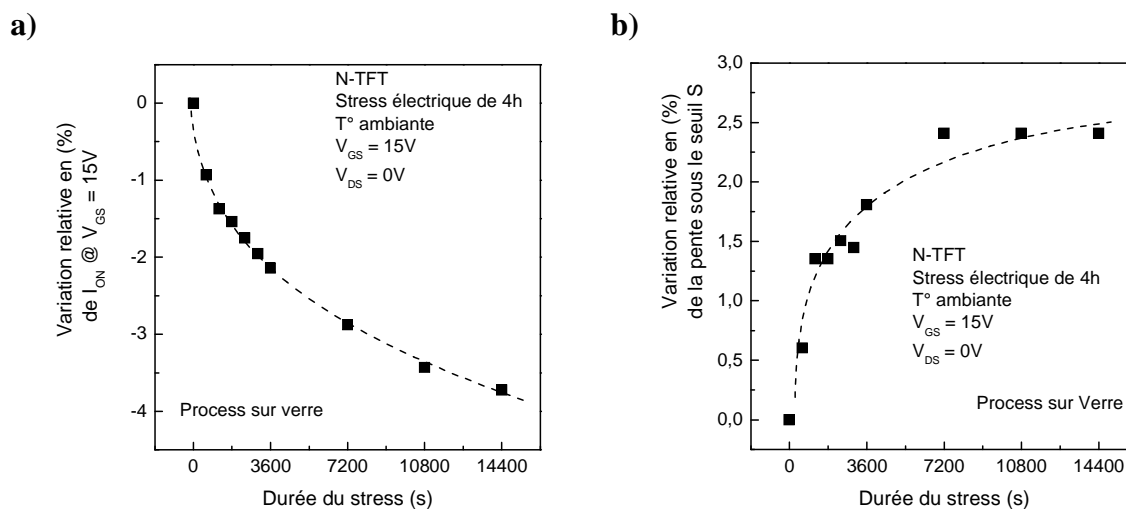


Figure 4. Évolution des paramètres du N-TFT fabriqué sur verre au cours du stress électrique.

a) Courant I_{ON} prélevé à $V_{GS} = 15V$. b) Pente sous le seuil S.

Ces évolutions de la tension de seuil, de la pente sous le seuil et du courant direct montrent toutes une dégradation des performances des TFTs sur verre et sur PEN. Visiblement, les TFTs sur PEN se dégradent plus. Les courants directs des TFTs sur PEN et

des TFTs sur verre diminuent de 10% et 4% respectivement. Les pentes sous le seuil augmentent de 3% sur PEN et 2,5% sur verre. Cependant la tendance à l'augmentation de S pour les TFTs sur PEN est nettement plus prononcée.

La dégradation des TFTs sous stress électrique est en général expliquée par trois phénomènes : la présence de charges mobiles dans l'isolant de grille, le piégeage de porteurs dans l'isolant de grille et la création de défauts à l'interface isolant-canal et/ou dans la région du canal. Les deux premiers ne font pas changer la pente sous le seuil. Par ailleurs le piégeage des porteurs est plus prononcé en présence de fortes tensions de stress. La création de défauts induit par contre une augmentation de la pente sous le seuil et un déplacement positif de la tension de seuil.

La pente sous le seuil des TFTs sur semiconducteur désordonné est donnée par l'équation suivante :

$$S = \frac{k_B T \text{Ln}(10)}{q} \left[1 + \frac{\sqrt{q^2 \epsilon_0 \epsilon_{Si} N_{ep}}}{C_{INS}} + \frac{q^2 N_{ss}}{C_{INS}} \right] \quad (1)$$

Où C_{INS} est la capacité par unité de surface de l'isolant de grille et où N_{ep} et N_{ss} sont les densités d'états profonds de volume (dans la région du canal) et de surface (interface isolant-canal) respectivement.

Cette expression montre qu'une augmentation de la densité d'états profonds de volume ou de surface conduit à une augmentation de la pente sous le seuil et donc à une dégradation de la caractéristique de transfert.

Cette augmentation de la densité d'états profonds est certainement le résultat de l'accumulation d'électrons dans le canal. Nous retrouvons ce type de comportement dans plusieurs travaux, aussi bien pour les TFT de silicium polycristallin [1, 2] que ceux de silicium amorphe hydrogéné [3, 4].

La création de défauts dans le canal ou à l'interface Si/SiO₂ sous l'effet d'une accumulation de porteurs est l'interprétation qui a été retenue pour expliquer les effets d'un stress de tension de grille dans les TFT de Silicium amorphe [3]. En effet, le désordre dans ce type de matériaux conduit à la présence de liaisons distordues ou contraintes donc énergétiquement faibles et susceptibles de changer d'état lors d'une perturbation électrique comme une accumulation de porteurs libres. Il en résulte donc la création de liaisons

pendantes. Le nouvel équilibre entre ces nouveaux états créés est alors expliqué par une diffusion de l'hydrogène faiblement lié présent dans la couche [5].

Dans nos TFTs dont la zone active est en silicium microcristallin, l'augmentation de la densité d'états sous l'effet de stress positif devrait donc être due à l'existence de zones désordonnées, connues pour être présentes dans les joints de grain. Dans ce type de dispositifs, les interfaces sont aussi le siège de désordre. Ce type de dégradation sous l'effet d'un stress de tension grille a déjà été observé dans les structures MOS de silicium monocristallin. La création de défauts est située dans ce cas dans la principale zone de désordre : l'interface Si/SiO₂ [6].

Il est connu que l'état d'équilibre d'une structure désordonnée est un état métastable maintenu par une distribution de défauts et de charge électrique. Sous l'effet d'une perturbation de type mécanique, thermique ou électrique, l'état d'équilibre évolue et la structure est alors caractérisée par un nouvel équilibre correspondant à une nouvelle distribution de densité d'états d'énergie. Dans notre cas, la perturbation est due à une variation de charge électrique induite par une accumulation de porteurs de charge.

Une analyse, plus approfondie, du comportement de la variation de la tension de seuil de nos transistors sous l'effet du stress électrique (figure (1.b), pour les TFTs sur PEN et figure (2.b) pour les TFTs sur verre) montre que la loi de variation correspondrait plus à une équation de la forme d'une exponentielle étendue [7] :

$$\Delta V_{TH} = (V_{GS} - V_{TH0}) \left(1 - \exp \left(- \left(\frac{t}{\tau} \right)^\beta \right) \right) \quad (2)$$

Où V_{TH0} est la tension de seuil initiale, t est le temps du stress, β et τ sont des paramètres définissant la cinétique de variation.

L'exponentielle étendue est une loi que l'on retrouve souvent dans la description des phénomènes de relaxation dans les verres vers un état d'équilibre sous l'effet de diverses contraintes [8]. Elle a été établie de façon assez générale en considérant un ensemble de particules susceptibles de diffuser dans un milieu présentant un certain nombre d'états distribués spatialement de façon aléatoire et susceptibles de les piéger [9]. On la rencontre souvent dans les structures désordonnées pour décrire l'évolution en fonction du temps de divers paramètres comme la conductivité [10], la tension de seuil de TFT [11], ou même l'aimantation [8]. Dans les TFTs à base de silicium amorphe hydrogéné elle est associée à la

dispersion du coefficient de diffusion des atomes d'hydrogène [11]. Cette dispersion provient de la nature même d'un milieu désordonné, où les sites de piégeage présentent toute une distribution d'états d'énergie possibles. Le terme β dépend alors de cette distribution ainsi que de la température.

Comme cette loi est suffisamment générale pour décrire l'effet d'un stress dans des cas aussi variés que dans les verres, dans les transistors MOSFETs [12], ou dans les TFT de silicium polycristallin non hydrogéné, où la diffusion d'hydrogène ne peut être invoquée, elle doit donc être liée au désordre présent autant dans les matériaux amorphes que dans les matériaux cristallins à travers les zones désordonnées que constituent les interfaces, les joints de grains. Nous pouvons alors supposer que dans ces zones désordonnées où des liaisons sont contraintes, l'accumulation de porteurs ou la présence de forts champs électriques peuvent induire un changement de l'état de contrainte et en particulier une modification de l'état des liaisons les plus faibles. La déformation peut ainsi diffuser et établir ainsi un nouvel équilibre caractérisé par une nouvelle distribution d'états.

Les structures désordonnées apportent donc une certaine flexibilité pour un réarrangement des liaisons dans ces matériaux. De façon générale, l'équilibre d'une structure désordonnée provient des états et des charges électriques. Quand ces distributions sont perturbées comme dans le cas d'une accumulation de charges dans les TFTs, la structure évolue vers un nouvel équilibre.

Le lissage des courbes de variation de la tension de seuil des TFTs sur PEN et sur verre, figures (1.b) et (2.b), par l'exponentielle étendue permet d'extraire les paramètres β et τ définissant la cinétique de variation, tableau (1).

Process /Paramètres	β	τ (s)
PEN	0,442	$2,67 \cdot 10^6$
Verre	0,427	$2,69 \cdot 10^7$

Tableau 1. Extraction des paramètres du fit.

Les valeurs de β sont similaires à ce qui a été trouvé dans de nombreux travaux sur les TFTs au silicium polycristallin et au silicium microcristallin [7, 13].

Ce paramètre est associé à la densité de défauts près de la bande de valence du silicium. $\beta_{(PEN)} \sim \beta_{(verre)}$ ceci n'est pas surprenant eu égard au même matériau silicium microcristallin utilisé dans les deux types de TFT.

La différence entre les deux types de TFT vient des valeurs du temps τ qui est plus grand pour les TFTs sur verre. Un plus grand τ implique une plus faible dérive de la tension de seuil pour le même temps de stress.

Le fait que la dérive de la tension de seuil soit plus importante pour les TFTs sur PEN vient donc de la plus grande facilité à créer des défauts dans le canal de ces TFTs sous l'effet de l'accumulation d'électrons amenés par la tension de stress positive.

II.2. Stabilité des P-TFTs

De la même façon que pour les N-TFTs, le comportement des P-TFTs en présence d'une tension de grille très supérieure à la tension de seuil a été étudié. Les P-TFTs ont été soumis à une tension grille de -15V alors que les contacts de source et de drain étaient court-circuités. Cette tension de stress est bien supérieure à la tension de seuil initiale qui est de -3,8V dans le cas des figures représentées dans cette partie.

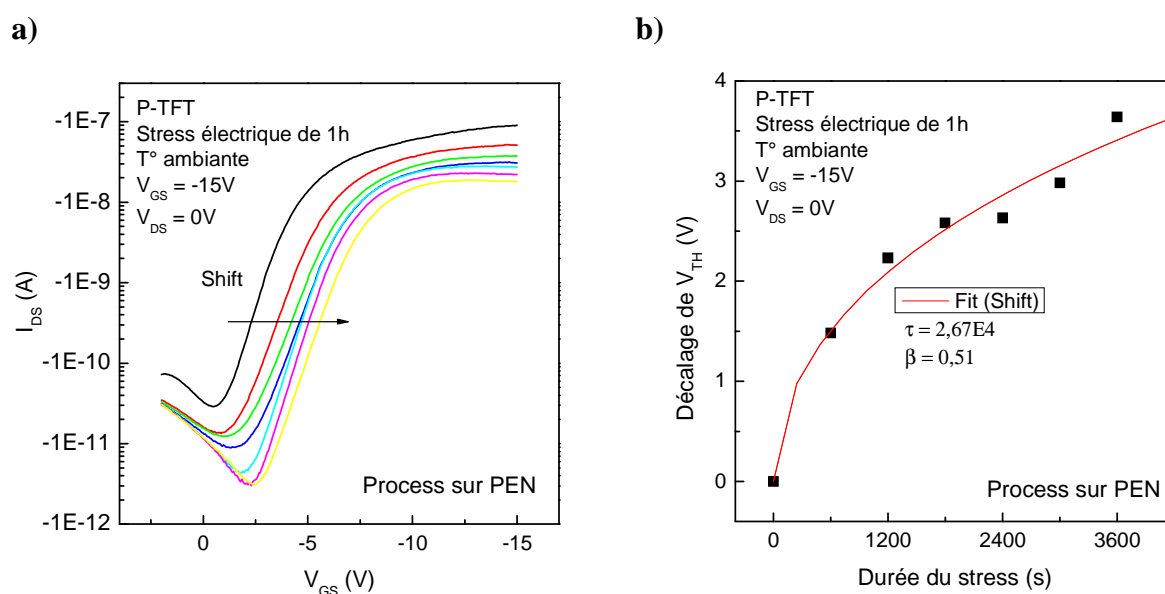


Figure 5. Stress électrique de durée 1h appliqué sur un P-TFT fabriqué sur PEN.

a) Décalage de la caractéristique de transfert au cours du stress.

b) Décalage de la tension de seuil au cours du stress.

La figure (5.a) montre le décalage de la caractéristique de transfert d'un P-TFT fabriqué sur PEN. Ainsi la tension de seuil V_{TH} du P-TFT se décale de 3,6V comme le montre

la figure (5.b). Nous avons prélevé le courant I_{ON} et nous avons calculé la pente sous le seuil S du P-TFT au cours du stress électrique. Ces paramètres sont tracés en fonction de la durée du stress comme le montrent respectivement les figures suivantes (6.a) et (6.b).

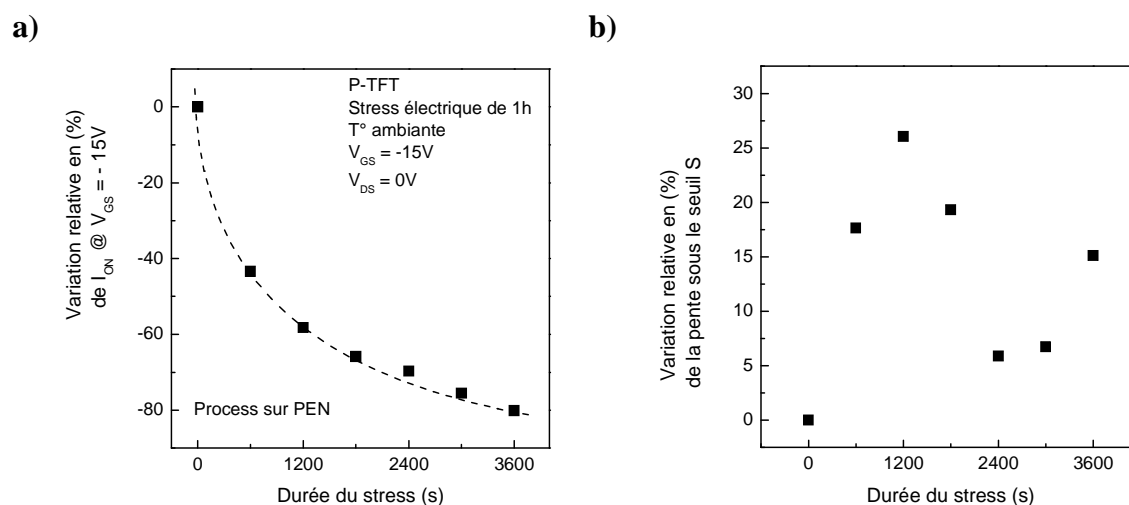


Figure 6. Évolution des paramètres du P-TFT fabriqué sur PEN au cours du stress électrique.

a) Variation relative du courant I_{ON} prélevé à $V_{GS} = -15V$. b) Pente sous le seuil S .

Le courant I_{DS} du P-TFT diminue fortement en fonction du temps tandis que la pente sous le seuil se dégrade et subit une variation aléatoire.

Bien que les P-TFTs représentent une bonne stabilité quand on mesure plusieurs fois leur caractéristique de transfert, ils ne sont pas stables quand ils sont soumis à un stress électrique. Cette conclusion négative doit être tempérée par le fait que des P-TFTs de bonne stabilité ont été précédemment réalisés dans le laboratoire sur verre. La figure (7) montre l'évolution des caractéristiques de transfert et de la tension de seuil de ces P-TFTs au cours d'un stress électrique de $-20 V$ appliqué sur la grille. Le transfert du procédé sur verre au substrat plastique n'a pu ainsi être finalisé au cours du présent travail de thèse. Ce transfert constitue une des priorités dans les perspectives de ce travail.

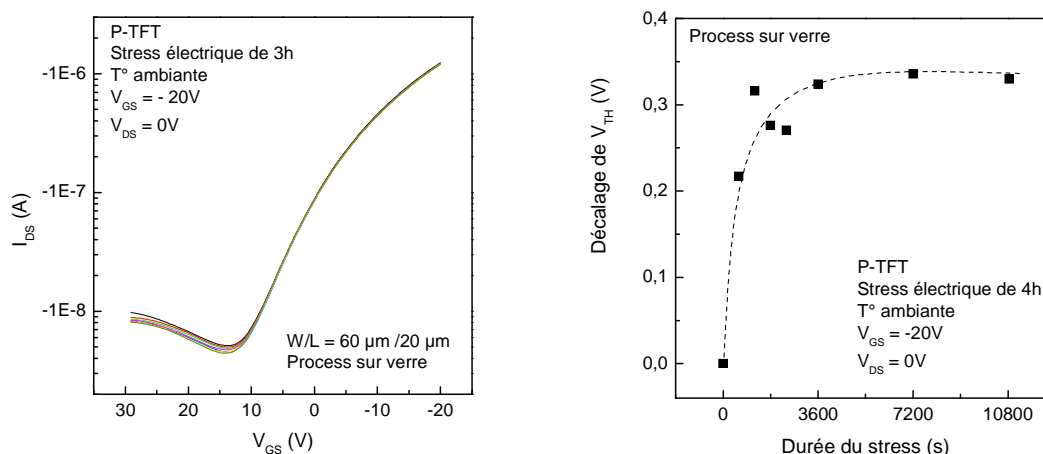


Figure 7. Évolution de la caractéristique de transfert et de la tension de seuil d'un P-TFT réalisés sur verre au laboratoire [14] au cours d'un stress électrique de -20V.

III. Stress mécanique

L'étude du comportement des dispositifs électroniques fabriqués sur substrat flexible en présence d'une déformation mécanique s'impose. Il est indispensable de prévoir les performances d'une telle électronique lorsque le substrat est déformé. Une variation trop importante des caractéristiques sous stress mécanique peut rendre l'utilisation de cette électronique inacceptable.

Les TFTs fabriqués sur PEN sont donc caractérisés en présence de déformation mécanique uniaxiale du substrat. Différents rayons de courbure induisant des contraintes en tension et en compression sont utilisés pour cette caractérisation.

Le substrat est entièrement fixé sur un support mécanique sous forme de demi-cylindre. La nature de la contrainte est déterminée selon le sens de fixation du substrat comme montré sur les deux figures ci-dessous. En effet, pour exercer une contrainte mécanique en tension sur le TFT, le substrat est fixé sur la face extérieure du demi-cylindre plein, comme illustré par la figure (8). Autrement, pour exercer une contrainte mécanique en compression sur le TFT, le substrat est fixé sur la face intérieure du demi-cylindre creux, comme illustré par la figure (9).

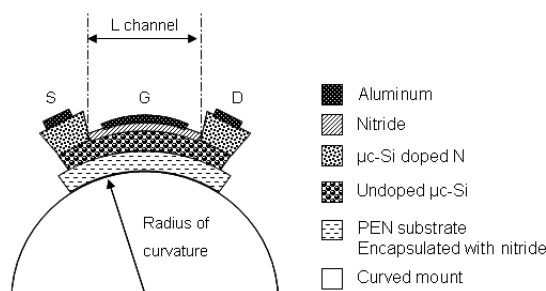


Figure 8. Stress mécanique en tension. Le TFT est fixé à la face extérieure du demi-cylindre.

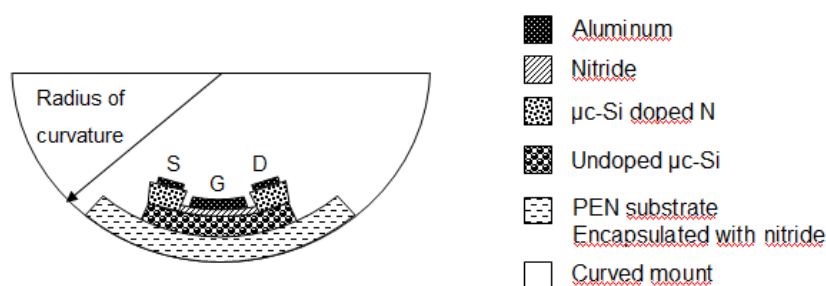


Figure 9. Stress mécanique en compression. Le TFT est fixé à la face intérieure du demi-cylindre.

La contrainte mécanique appliquée sur le TFT crée une déformation $\epsilon_{\text{surface}}$ de la surface du TFT, cette déformation de surface est exprimée en (%). La déformation est une fonction du rayon de courbure R du support. Cette fonction est décrite par l'équation (3). Cette équation [15] est valable pour le calcul d'une contrainte de tension autant qu'une contrainte de compression comme illustré par la figure (10) ci-dessous [15]. Dans cette figure, la structure est modélisée par deux couches minces identiques d'épaisseurs d_{f1} et d_{f2} déposées de chaque côté du substrat d'épaisseur d_s .

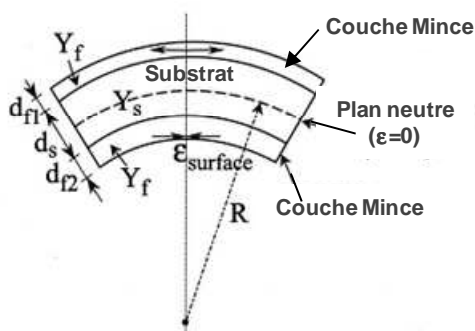


Figure 10. Méthode de calcul de la déformation mécanique $\epsilon_{\text{surface}}$ à la surface d'une couche en fonction du rayon du courbure R [15].

$$\varepsilon_{surface} = \left(\frac{1}{R} \pm \frac{1}{R_0} \right) \frac{d_s + d_{f1} + d_{f2}}{2} \frac{\chi(\eta_1^2 + \eta_2^2) + 2(\chi\eta_1 + \chi\eta_1\eta_2 + \eta_2) + 1}{\chi(\eta_1 + \eta_2)^2 + (\eta_1 + \eta_2)(1 + \chi) + 1} \quad (3)$$

Avec

$$\chi = \frac{Y_f}{Y_s} ; \eta_1 = \frac{d_{f1}}{d_s} ; \eta_2 = \frac{d_{f2}}{d_s}$$

Y_f : Module de Young des 2 couches minces,

Y_s : Module de Young du substrat,

d_{f1} : Épaisseur de la couche mince supérieure

d_{f2} : Épaisseur de la couche mince inférieure,

d_s : Épaisseur du substrat,

R : Rayon de courbure,

R_0 : Rayon de courbure initial, avant déformation (pour notre cas $R_0 = \text{infini}$).

Dans notre cas, le substrat est du PEN d'épaisseur 125 μm et de module d'Young 6,45 GPa. La couche mince inférieure est constituée par le nitrure de silicium d'encapsulation de la face arrière du PEN, d'épaisseur 250 nm et de module d'Young 270 GPa. La couche mince supérieure est formée par ce même nitrure de silicium d'encapsulation et de la structure du TFT (100 nm de silicium microcristallin de module d'Young 160 GPa, 300 nm de nitrure de silicium servant comme isolant de grille et de 300 nm d'aluminium de module d'Young 70 GPa servant comme contact de grille). Ici, les deux couches de nitrure de silicium ont une épaisseur totale de 550 nm et un module d'Young beaucoup plus grand que ceux du silicium et de l'aluminium. Le comportement mécanique de la couche supérieure est supposé alors déterminé principalement par ces deux couches de nitrure de silicium. On modélisera dans la suite cette couche supérieure par du nitrure de silicium d'épaisseur 550 nm et de module d'Young 270 GPa. La structure modélisée est représentée dans la figure (11) ci-dessous :

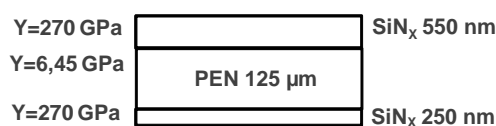


Figure 11. Structure modélisée.

La déformation $\epsilon_{\text{surface}}$ créée à la surface du TFT est ainsi calculée en fonction du rayon de courbure en utilisant l'équation (3) et les paramètres de la structure modélisée de la figure (11). Les rayons de courbures correspondent à cinq demi-cylindre plein et cinq demi-cylindre creux. Les rayons de courbures fixés sont R (cm) = {2,5; 2; 1,5; 1; 0,5}. La figure (12) représente la déformation $\epsilon_{\text{surface}}$ en tension et en compression en fonction de ces rayons de courbures.

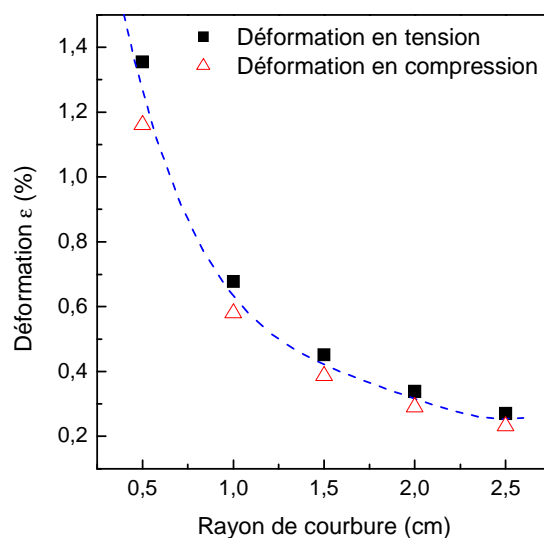


Figure 12. Déformation en tension et en compression.

Déformation à la surface du canal du TFT en fonction du rayon de courbure appliqué.

Cette courbe nous permet de représenter l'évolution des paramètres du TFT stressé mécaniquement en fonction de la déformation. La déformation en surface du TFT, en tension varie de 0,27% pour $R = 2,5$ cm à 1,35% pour $R = 0,5$ cm, et en compression, varie de 0,23% pour $R = 2,5$ cm à 1,16% pour $R = 0,5$ cm.

Les substrats comportant des TFTs processés sont fixés sur ces demi-cylindres et les TFTs sont caractérisés. Dans cette étude, nous nous sommes intéressés à la déformation uniaxiale parallèle au canal du transistor. La déformation agit ainsi dans la direction de la longueur L du canal.

III.1. Stress mécanique en tension

A. Stress mécanique en tension appliqué sur des N-TFTs

Nous avons appliqué un stress en tension sur 4 N-TFTs de taille $W/L = 100\mu\text{m}/20\mu\text{m}$; $W/L = 80\mu\text{m}/20\mu\text{m}$; $W/L = 100\mu\text{m}/40\mu\text{m}$ et $W/L = 80\mu\text{m}/40\mu\text{m}$. Nous avons utilisé les 5 rayons de courbure R (cm) = {2,5; 2; 1,5; 1; 0,5}, et nous avons prélevé pour chaque N-TFT la caractéristique de transfert pour chaque rayon de courbure R .

Nous avons constaté que les caractéristiques de transfert subissent une légère modulation du courant I_{DS} dans la zone de saturation en fonction de la contrainte appliquée. L'évolution des caractéristiques de transfert des 4 N-TFT en fonction du rayon de courbure R est représentée par la figure (13) ci-dessous.

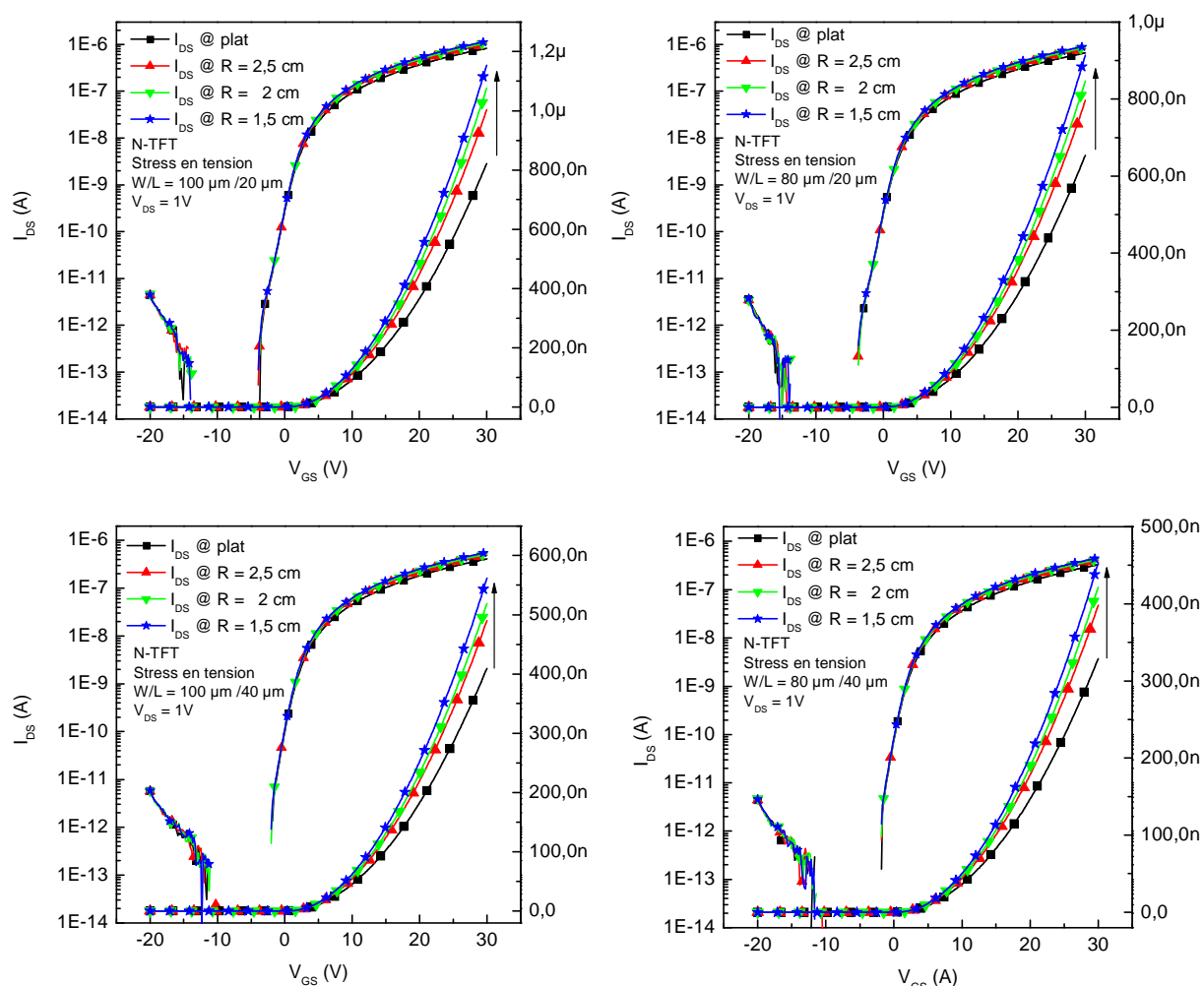


Figure 13. Stress en tension.

Évolution des caractéristiques de transfert de N-TFTs de différentes tailles en fonction du rayon de courbure R .

Nous pouvons constater que le courant I_{DS} augmente lorsque le rayon de courbure diminue c'est à dire lorsque la contrainte mécanique augmente. Cet effet est reproductible sur les 4 N-TFTs, leurs comportements sont identiques.

Par la suite, nous avons calculé les paramètres électriques de ces TFTs tels que la tension de seuil V_{TH} et la mobilité μ . Nous avons tracé l'évolution de V_{TH}/V_{TH0} , avec V_{TH0} représentant la tension de seuil à plat, en fonction de la déformation ϵ calculée en utilisant l'équation (3) et les paramètres de la structure modélisée de la figure (11). Nous avons tracé aussi l'évolution de μ/μ_0 en fonction de cette même déformation ϵ , avec μ_0 représentant la mobilité à plat.

La figure (14) suivante représente l'évolution de la tension de seuil V_{TH}/V_{TH0} en fonction de la déformation ϵ pour les 4 N-TFTs de taille différente.

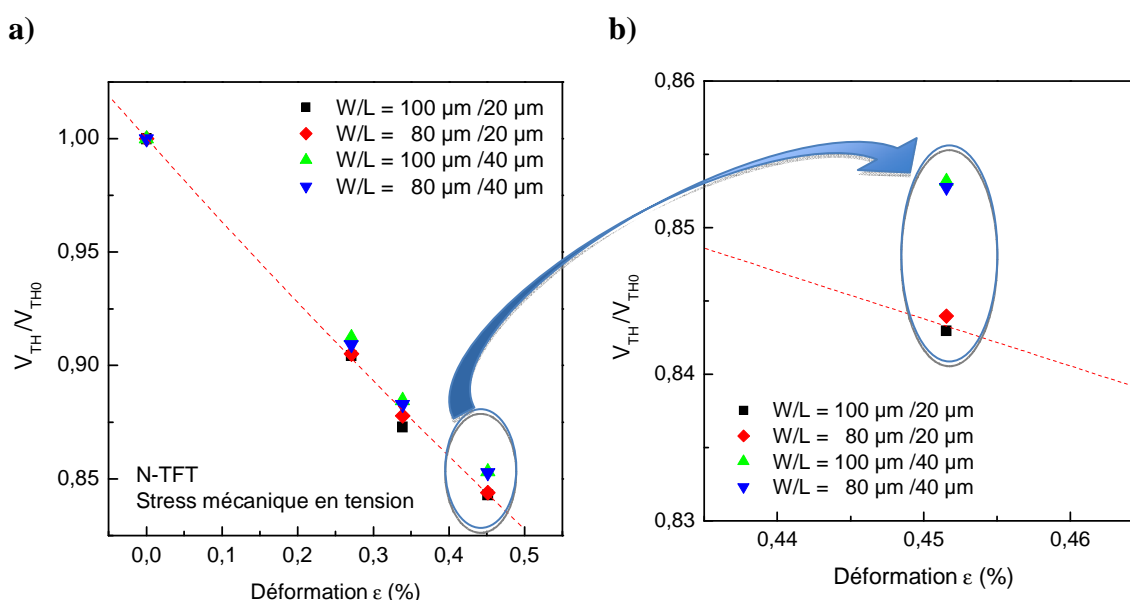


Figure 14. Stress en tension.

a) Variation du rapport de la tension de seuil V_{TH}/V_{TH0} en fonction de la déformation ϵ .

b) Agrandissement de V_{TH}/V_{TH0} pour $R = 1,5$ cm ($\epsilon = 0,4515\%$).

La tension de seuil V_{TH} diminue en fonction du stress en tension. Quelle que soit la taille du TFT le comportement de la tension de seuil est le même, figure (14.a). Le rapport de la tension de seuil V_{TH}/V_{TH0} est de 0,85 lorsque le TFT est stressé avec un rayon de courbure $R = 1,5$ cm. La diminution semble être indépendante de la taille du transistor. Cependant, une analyse plus fine de l'évolution, en particulier pour le plus petit rayon de courbure 1,5 cm, représenté dans la figure (14.b), montre une diminution identique pour les transistors ayant la

même longueur de canal et des largeurs de canal différentes. La tension de seuil diminue plus pour les transistors ayant un canal plus court.

La figure (15) représente l'évolution de la mobilité μ/μ_0 en fonction de la déformation ε pour les 4 N-TFTs de tailles différentes.

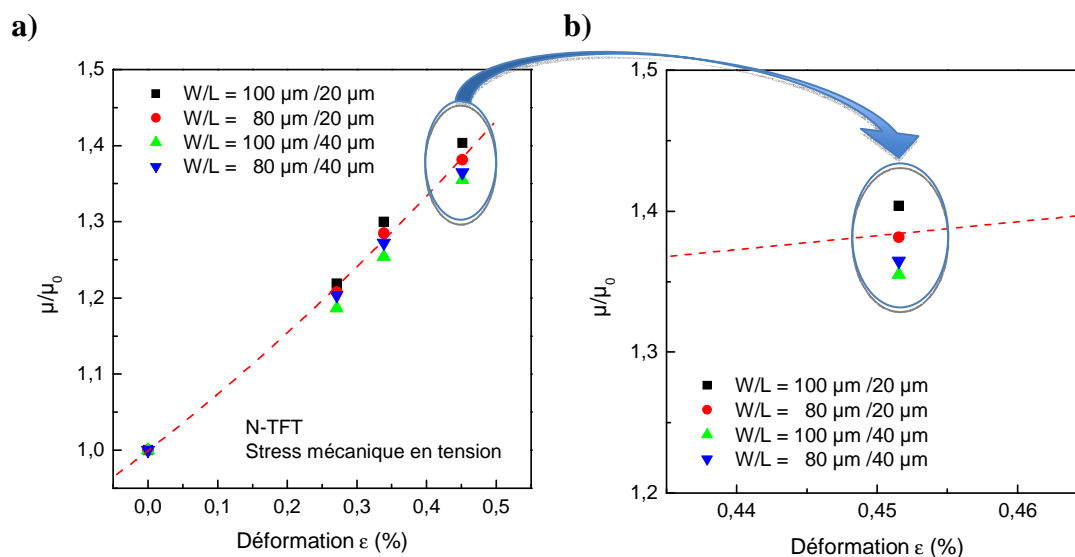


Figure 15. Stress en tension.

a) Variation du rapport de la mobilité μ/μ_0 en fonction de la déformation ε .

b) Agrandissement de V_{TH}/V_{TH0} pour $R = 1,5$ cm ($\varepsilon = 0,4515\%$)

Contrairement à l'évolution de la tension de seuil, la mobilité μ des TFTs a tendance à augmenter en fonction du stress en tension. La mobilité augmente par un rapport de 1,4 pour le plus petit rayon de courbure $R = 1,5$ cm, comme illustré dans la figure (15.a). Ici aussi, une analyse plus fine de l'évolution, en particulier pour le plus petit rayon de courbure 1,5 cm, représenté dans la figure (15.b), montre une augmentation identique pour les transistors ayant la même longueur de canal et des largeurs de canal différentes. La mobilité augmente plus pour les transistors ayant un canal plus court.

Dysfonctionnement des N-TFTs

Le plus petit rayon de courbure utilisé dans les résultats précédents était de 1,5 cm. Pour des rayons inférieurs, les caractéristiques se détériorent puis les transistors ne fonctionnent plus. La figure (16) montre un exemple de caractéristique détériorée à $R = 1$ cm, avec un fort courant inverse et une faible modulation du courant. Avec un rayon plus faible, 0,5 cm, le transistor ne fonctionne plus. Aucun courant ne passe.

Quand le TFT est stressé avec un rayon de courbure $R = 0,5$ cm, le TFT ne fonctionne plus. Des images MEB prises en stressant le TFT avec un $R = 0,5$ cm montrent plusieurs fissures sur le TFT, en particulier dans la zone du canal du TFT. Ces fissures sont perpendiculaires au canal du TFT. Cela crée un coupe-circuit entre la source et le drain du TFT entraînant la disparition du courant I_{DS} . La figure (17) ci-dessous montre une image MEB d'un TFT stressé avec $R = 0,5$ cm. Nous pouvons distinguer sur cette image la structure du TFT et les fissures créées par le stress en tension excessif. Les fissures sont perpendiculaires au sens de la contrainte appliquée, donc perpendiculaires au canal du TFT. Elles sont responsables du blocage du courant. Ainsi, les couches constituant le TFT ne supportent pas des rayons de courbure aussi faibles.

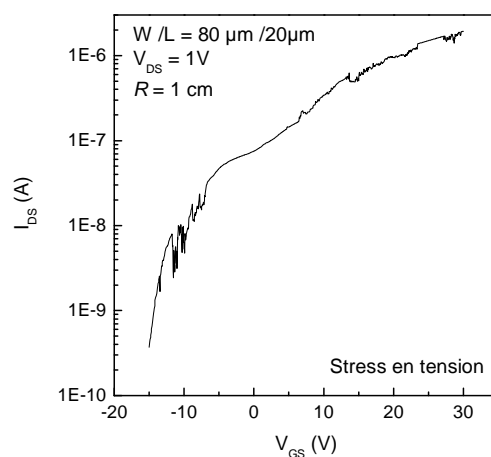


Figure 16. Stress en tension. Dégradation de la caractéristique de transfert du N-TFT quand il est stressé avec un rayon de courbure $R = 1$ cm.

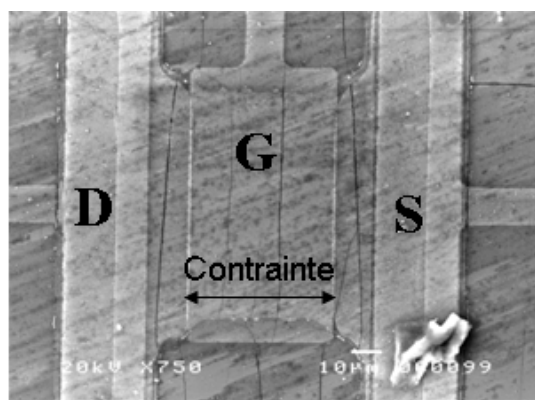


Figure 17. Image MEB prise sur un TFT soumis à une contrainte de tension. Le rayon de courbure est $R = 0,5$ cm.

B. Stress mécanique en tension appliqué sur des TFTs de type P

Nous avons caractérisé les TFTs de type P en fonction du stress mécanique en tension. Pour cela nous avons soumis un P-TFT de taille $W/L = 100 \mu\text{m} / 20 \mu\text{m}$ aux différents rayons de courbure R (cm) = {2,5; 2; 1,5; 1; 0,5}. Les caractéristiques de transfert du P-TFT en fonction du stress en tension appliqué sont représentées par la figure (18).

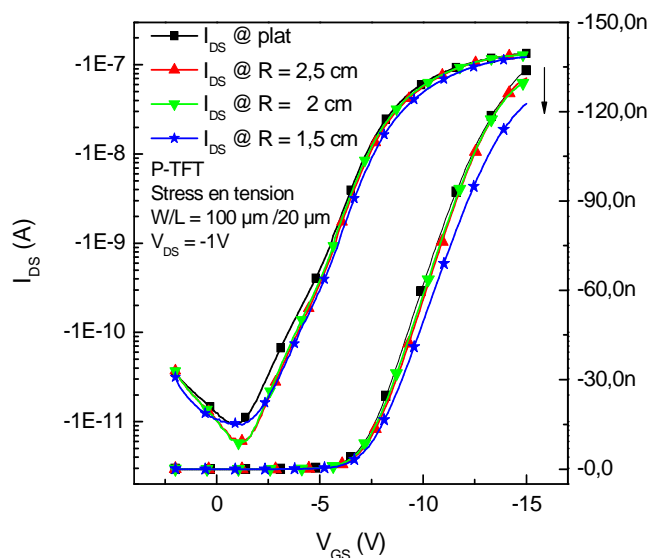


Figure 18. Stress en tension.

Évolution de la caractéristique de transfert en fonction du rayon de courbure R .

Le comportement des TFTs de type P est inverse de celui des TFT de type N lorsqu'ils sont soumis un stress mécanique en tension. En effet, le courant I_{DS} du P-TFT a tendance à diminuer en fonction du stress en tension appliqué.

La figure (19.a) montre l'augmentation du rapport V_{TH}/V_{TH0} , avec V_{TH0} représentant la tension de seuil à plat, en fonction de la déformation ϵ calculée en utilisant l'équation (3) et les paramètres de la structure modélisée de la figure (11). Nous avons tracé aussi l'évolution de μ/μ_0 en fonction de cette même déformation ϵ , comme illustré par la figure (19.b), avec μ_0 représentant la mobilité à plat.

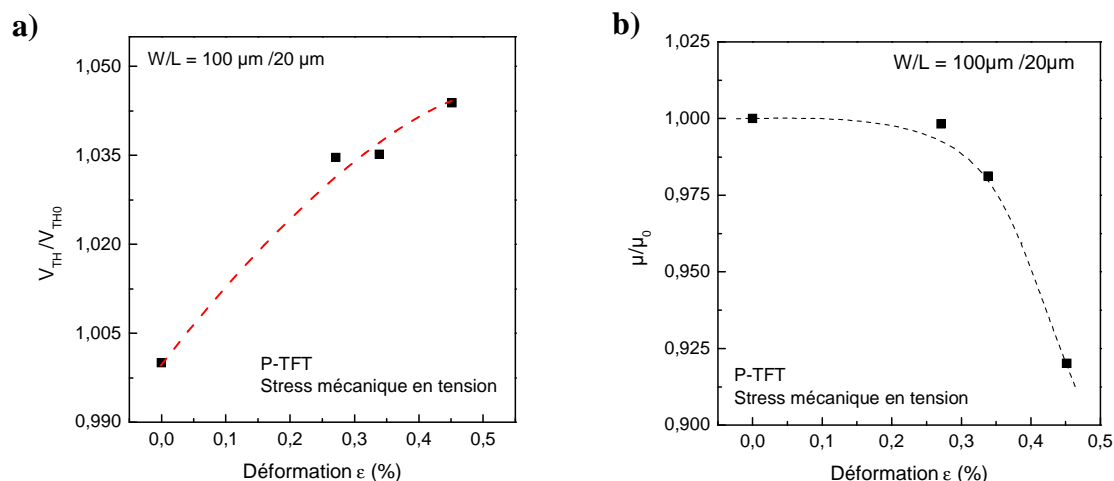


Figure 19. Stress mécanique en tension.

a) Variation du rapport de la tension de seuil V_{TH}/V_{TH0} en fonction de la déformation ϵ .

b) Variation du rapport de la mobilité μ/μ_0 en fonction de la déformation ϵ .

Quand un stress mécanique en tension est appliqué sur un TFT de type P, la tension de seuil V_{TH} de ce TFT augmente légèrement, tandis que la mobilité μ du P-TFT diminue.

Dysfonctionnement des P-TFTs

Tout comme le cas des TFTs de type N, nous avons constaté que la caractéristique de transfert du P-TFT se dégrade à $R = 1$ cm. Le courant direct I_{DS} mesuré à $V_{GS} = -15V$ est inférieur à -10 nA. À $R = 0,5$ cm le P-TFT ne fonctionne plus, figure (20). Nous retrouvons ainsi la même limite de courbure que pour les transistors de type N. Ceci n'est pas surprenant car les deux types de TFT ne diffèrent que par les régions de source et de drain qui sont dopées en arsenic pour le type N et en bore pour la type P. La limite est principalement due à la superposition du substrat PEN et des couches successives de nitrure de silicium, silicium non dopé, nitrure de silicium et aluminium au niveau du canal.

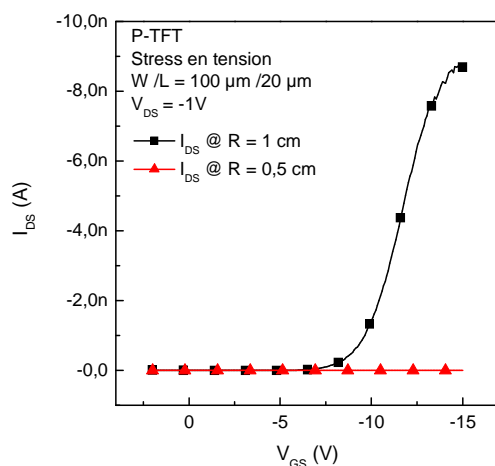


Figure 20. Stress en tension.

Dégradation de la caractéristique de transfert du P-TFT quand il est stressé avec un rayon de courbure $R = 1$ cm. Dysfonctionnement du P-TFT quand il est stressé avec un rayon de courbure $R = 0,5$ cm

III.2. Stress mécanique en compression

A. Stress mécanique en compression appliqué sur des N-TFTs

Pour l'étude de l'effet du stress en compression, nous avons utilisé le même mode opératoire que pour le stress en tension. Le stress a été appliqué sur des transistors identiques, différant par la taille, $W/L = 100\mu\text{m}/20\mu\text{m}$; $W/L = 80\mu\text{m}/20\mu\text{m}$; $W/L = 100\mu\text{m}/40\mu\text{m}$ et $W/L = 80\mu\text{m}/40\mu\text{m}$. La figure 22 montre l'évolution de la caractéristique de transfert des 4 N-TFTs en fonction du rayon de courbure R .

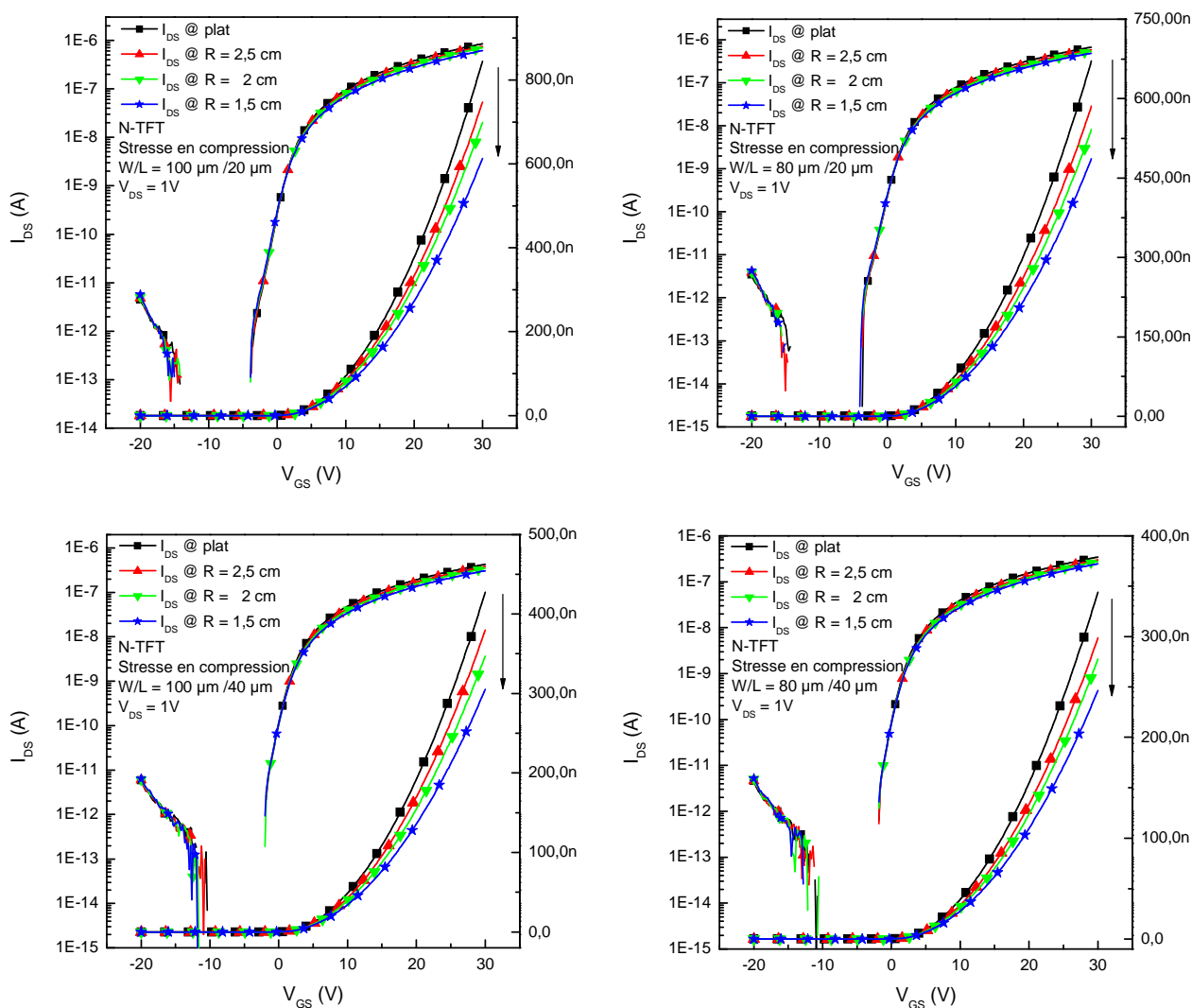


Figure 21. Stress en compression.

Évolution de la caractéristique de transfert en fonction du rayon de courbure R .

Le comportement des N-TFT soumis à un stress en compression est l'inverse de leur comportement lorsqu'ils sont soumis à un stress en tension. En effet, nous constatons que le courant I_{DS} diminue lorsque la contrainte mécanique augmente. Ce comportement est identique pour les 4 N-TFTs de tailles différentes.

Nous avons calculé les paramètres électriques de ces TFTs tels que la tension de seuil V_{TH} et la mobilité μ . Nous avons tracé l'évolution de V_{TH}/V_{TH0} , avec V_{TH0} représentant la tension de seuil à plat, en fonction de la déformation ϵ . Nous avons tracé aussi l'évolution de μ/μ_0 en fonction de la déformation ϵ , avec μ_0 représentant la mobilité à plat.

Les deux figures (22.a) et (22.b) représentent respectivement l'évolution de V_{TH}/V_{TH0} et de μ/μ_0 en fonction de la déformation ε .

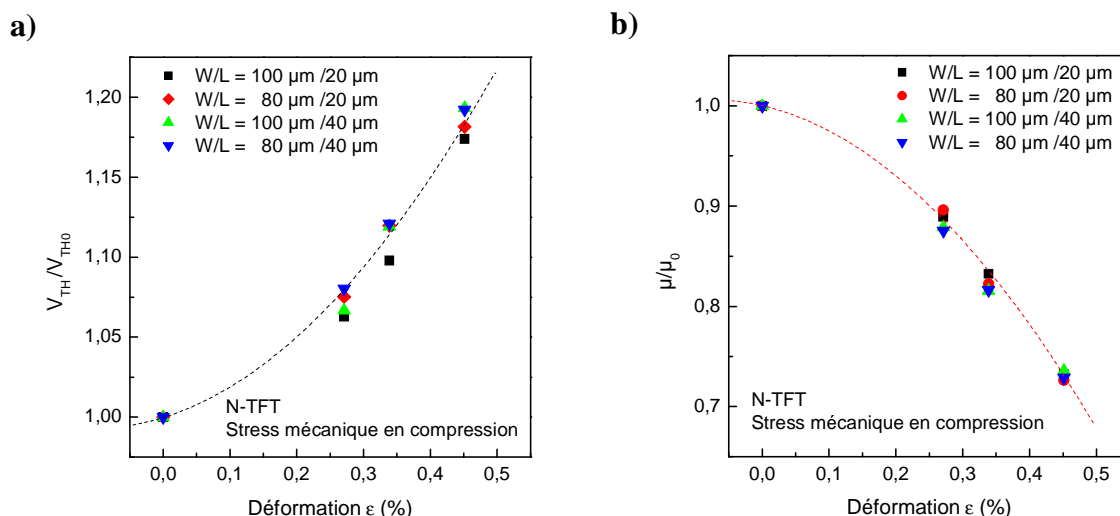


Figure 22. Stress mécanique en compression.

a) Variation du rapport de la tension de seuil V_{TH}/V_{TH0} en fonction de la déformation ε .

b) Variation du rapport de la mobilité μ/μ_0 en fonction de la déformation ε .

Nous constatons que la tension de seuil V_{TH} du N-TFT augmente en fonction du stress en compression, tandis que la mobilité μ du N-TFT diminue en fonction de ce stress.

Le rapport de la tension de seuil V_{TH}/V_{TH0} augmente à 1,17 lorsque le TFT est stressé avec un rayon de courbure $R = 1,5$ cm.

Inversement, le rapport de la mobilité μ/μ_0 diminue à 0,73 lorsque les TFTs sont soumis à un rayon de courbure $R = 1,5$ cm.

B. Stress mécanique en compression appliqué sur des P-TFTs

De la même façon, des transistors P-TFT de taille $W/L = 100\mu\text{m} / 20\mu\text{m}$ ont été soumis à un stress compressif de différents rayons de courbure. Les figures (23) et (24) présentent respectivement les caractéristiques de transfert de ces transistors et les évolutions de la tension de seuil et de la mobilité en fonction des rayons de courbure R (cm) = {2,5; 2; 1,5}.

Inversement au résultat obtenu avec un stress mécanique en tension, la tension de seuil V_{TH} du P-TFT subit une diminution. Le rapport V_{TH}/V_{TH0} diminue à 0,97 lorsque le rayon de courbure est $R = 1,5$ cm. De même, inversement au stress en tension, le stress en compression fait augmenter la mobilité μ du P-TFT. Le rapport de la mobilité μ/μ_0 augmente à 1,26 quand les TFTs sont stressés avec la même courbure.

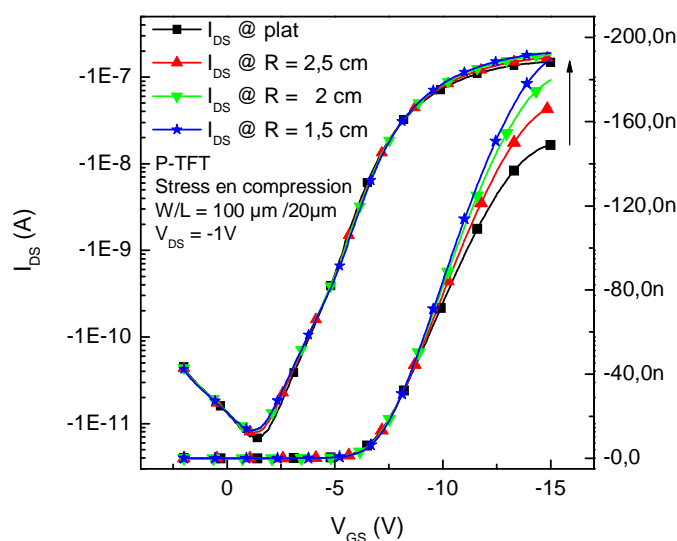


Figure 23. Stress en compression.

Évolution de la caractéristique de transfert en fonction du rayon de courbure R .

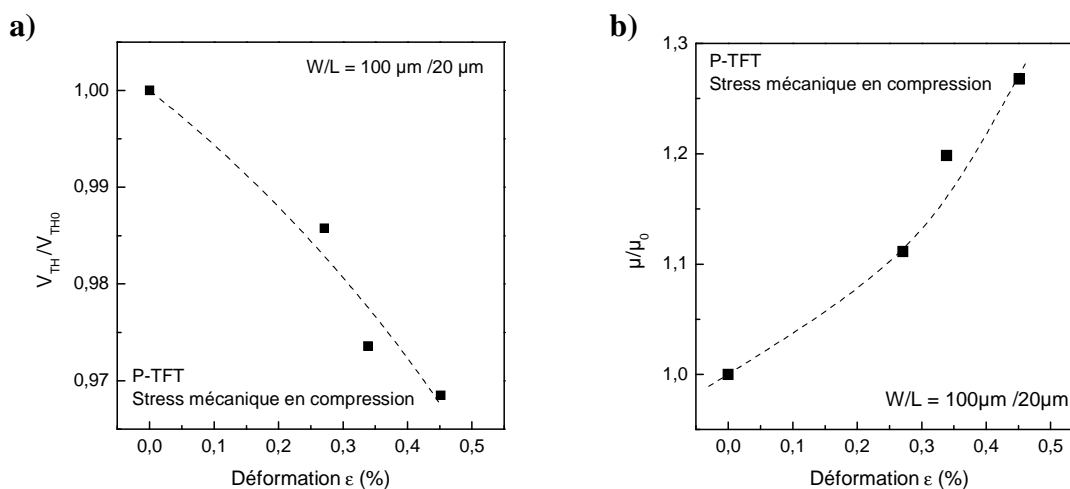


Figure 24. Stress mécanique en compression.

a) Variation du rapport de la tension de seuil V_{TH}/V_{TH0} fonction de la déformation ϵ .

b) Variation du rapport de la mobilité μ/μ_0 fonction de la déformation ϵ .

III.3. Bilan du comportement des TFTs soumis à un stress mécanique

La première indication déduite des résultats expérimentaux précédents est que l'ensemble des TFTs aussi bien de type N que de type P, tels que fabriqués dans nos process, ne supportent pas un rayon de courbure inférieur à 1,5 cm. Leurs performances se dégradent

avec un rayon de courbure de 1 cm et ils ne fonctionnent plus avec un rayon de courbure de 0,5 cm. Même si l'on n'attend pas d'une telle électronique sur substrat souple qu'elle ait des performances identiques indépendamment du rayon de courbure auquel elle est soumise, il est important qu'elle puisse être stockée pliée. Il nous faudrait comprendre pourquoi les transistors ne fonctionnent plus à partir d'un rayon de courbure de 1 cm afin d'aller au delà et pouvoir vraiment stocker l'électronique pliée.

La deuxième indication est l'évolution différente des paramètres des transistors suivant la nature du stress, en tension ou en compression, et suivant le type du transistor, N ou P. Le tableau (2) résume ces différentes évolutions.

Stress	Type du TFT	Évolution V_{TH}	Variation V_{TH}/V_{TH0}	Évolution de μ	Variation μ/μ_0
Tension	N	Diminue	0,85	Augmente	1,4
	P	Augmente	1.04	Diminue	0.92
Compression	N	Augmente	1,17	Diminue	0,73
	P	Diminue	0,97	Augmente	1,27

Tableau 2. Évolution de la tension de seuil (V_{TH}) et de la mobilité (μ) des TFTs de types N et P soumis à des stress en tension ou en compression de rayon de courbure 1,5 cm.

Le pourcentage de variation de la tension de seuil, de l'ordre de 17%, est plus faible que celui de la mobilité. La variation de mobilité peut atteindre 40%. Il s'agit de tenir compte de ces variations pour aller vers des applications pratiques. Si l'on veut que cette électronique puisse fonctionner de façon identique indépendamment de la contrainte mécanique, il faudrait savoir ce que l'on peut tolérer comme variation. Une faible variation de V_{TH} serait compatible avec le fonctionnement d'un écran électrophorétique ou d'un écran LCD. Une variation de 40% de la mobilité ne sera certainement pas compatible avec le fonctionnement d'écrans OLEDs. Dans un tel cas, il faudrait plus aller vers des écrans courbés mais fixes. Mais jusqu'à quel rayon de courbure peut-on aller ?

A. Limite de fonctionnement des TFTs pour des rayons de courbure inférieurs à 1,5 cm

Les résultats précédents ont montré que nos TFTs ne supportent généralement pas des rayons de courbure inférieurs à 1,5 cm. Une première observation au microscope électronique à balayage d'un TFT de type N soumis à un stress en tension de rayon de courbure 0,5 cm

avait montré l'apparition de fissures ou craquelures perpendiculairement au sens de la contrainte, figure (17). Pour aller plus loin dans cette analyse et comprendre laquelle des différentes couches empilées, constituant le TFT, ou quel assemblage de couches ne pouvait supporter un tel rayon de courbure, nous avons procédé à un certain nombre de tests complémentaires.

B. Comportement du PEN et des couches de silicium et de nitrure de silicium soumis à des contraintes en tension.

Les observations MEB du PEN, dont l'épaisseur est à titre de rappel 125 μm , à plat et soumis à un stress en tension de rayon de courbure 0,5 cm, sont identiques et ne révèlent donc aucune fracture, figure (25). Les craquelures observées sur les TFTs ne proviennent donc pas du substrat lui-même, qui supporte très bien une déformation en tension de 0,5 cm.

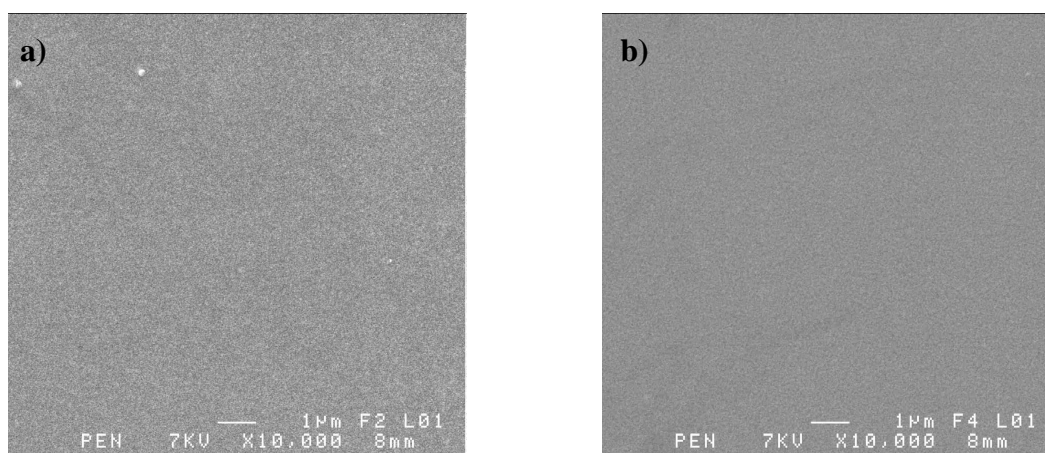


Figure 25. Observation au MEB de la surface du substrat PEN nu.

a) à plat. b) courbé à $R = 0,5$ cm.

Une couche de silicium non-dopé, identique et de même épaisseur 100 nm que les couches actives des TFTs, est déposée directement sur PEN. Son comportement en présence de déformation est observé au MEB. La figure (26.a) montre la surface de cette couche de silicium à plat. La figure (26.b) montre la surface de cette couche de silicium soumise à un stress en tension de rayon de courbure 0,5 cm. L'image (26.c) présente une vue détaillée au niveau d'une craquelure.

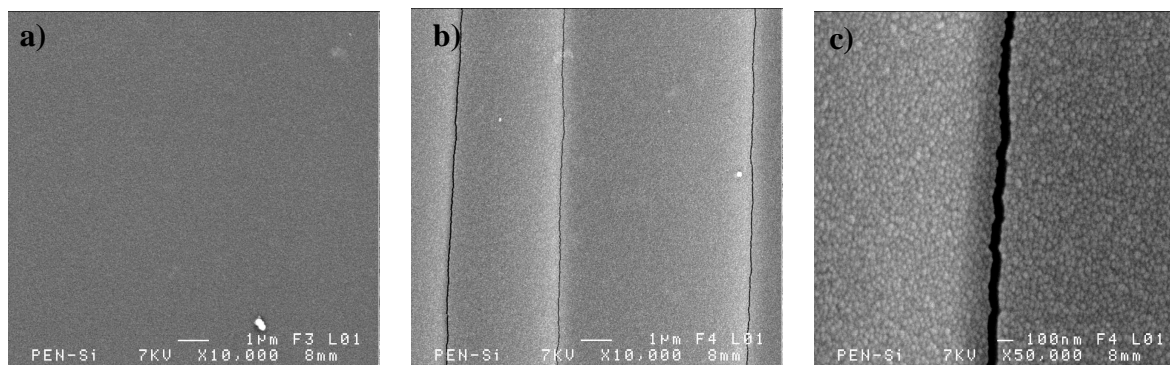


Figure 26. Images prises au MEB d'une couche de silicium microcristallin de 100 nm d'épaisseur déposée directement sur PEN nu. a) à plat. b) courbée en tension à $R = 0,5$ cm. c) courbée en tension à $R = 0,5$ cm à plus fort grossissement.

Visiblement, des craquelures perpendiculaires au sens de la contrainte apparaissent dans la couche de silicium de 100 nm d'épaisseur. La largeur de la craquelure est de l'ordre de 100 nm.

La couche active des TFTs sur le PEN utilisé ici doit donc avoir une épaisseur inférieure à 100 nm pour espérer voir fonctionner les TFTs avec des rayons de courbure inférieurs à 1,5 cm. La figure (27) montre une observation MEB d'une couche de silicium d'épaisseur 50 nm soumise à des rayons de courbure en tension de 1 cm, figure (27.a) et 0,5 cm, figure (27.b). Aucune craquelure n'est observée sur ces figures. La couche de silicium d'épaisseur 50 nm supporte bien un rayon de courbure en tension de 0,5 cm.

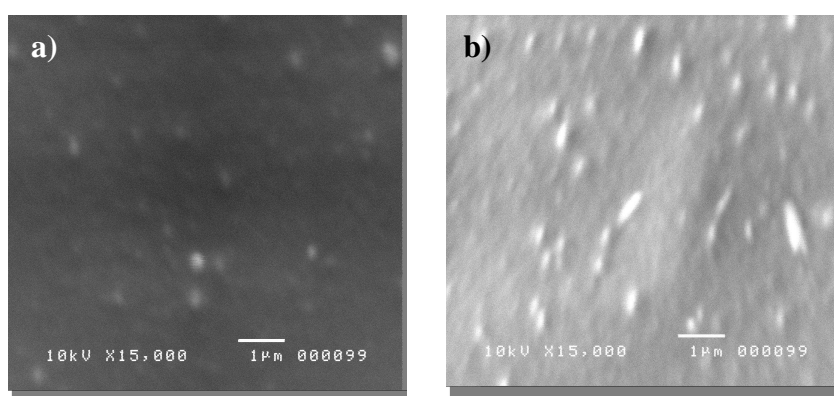


Figure 27. Images prises au MEB d'une couche de silicium microcristallin d'épaisseur 50 nm déposée directement sur PEN nu. a) courbée en tension à $R = 1$ cm. b) courbée en tension à $R = 0,5$ cm.

De la même façon, le comportement du nitrure de silicium a été observé indépendamment de la couche de silicium. Pour cela nous avons déposé une couche de nitrure de silicium d'encapsulation ($e = 250$ nm) sur PEN. Les figures (28.a) et (28.b) montrent respectivement la surface de cette couche de nitrure de silicium à plat et soumise à un stress en tension de rayon de courbure 0,5 cm. L'image (28.c) prise, à plus fort grossissement, montre un détail d'une craquelure.

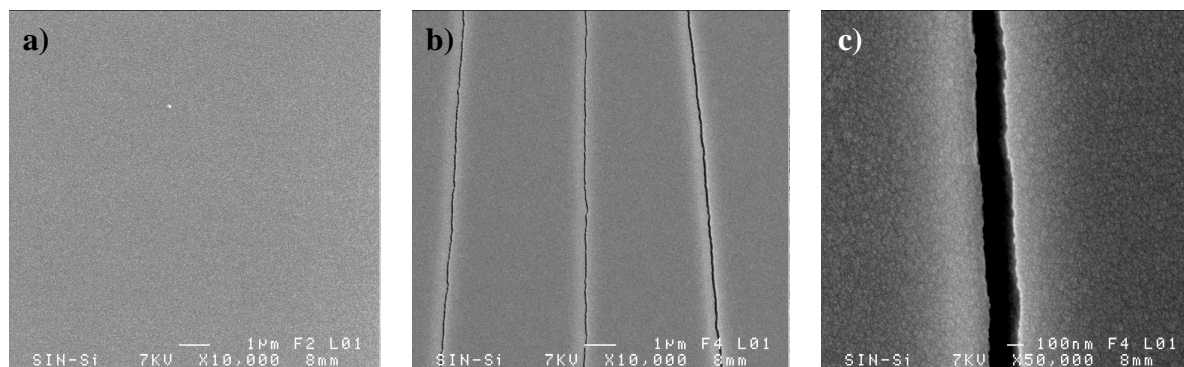


Figure 28. Images prises au MEB d'une couche de nitrure de silicium d'épaisseur 250 nm déposée directement sur PEN nu. a) à plat. b) courbée en tension à $R = 0,5$ cm. c) courbée en tension à $R = 0,5$ cm à plus fort grossissement.

Visiblement le nitrure de silicium de 250 nm d'épaisseur craquelle aussi perpendiculairement au sens de la contrainte. La largeur de la craquelure est de l'ordre de 150 nm. Cette non-résistance du nitrure d'encapsulation aux très faibles rayons de courbure pose un problème sérieux par l'importance de son rôle d'encapsulation. Il faudrait tester l'efficacité d'encapsulation de couches plus fines, ou bien trouver un autre matériau d'encapsulation qui soit aussi efficace et pouvant supporter de faibles rayons de courbure.

C. Commentaires sur la variation des paramètres des TFTs soumis à des contraintes mécaniques

La nature du stress, en tension ou en compression, influence différemment la mobilité des électrons et celle des trous. Par exemple, une contrainte en tension augmente la mobilité des électrons et une contrainte en compression augmente la mobilité des trous. L'ensemble des évolutions des paramètres des TFTs, résumé dans le tableau (2), est identique à celui des paramètres des MOSFETs dans les filières nanométriques (90, 65, 45, 32 nm) pour lesquelles on introduit des contraintes nanométriques afin d'augmenter les mobilités d'électrons et de

trous. On peut consulter la référence [16] qui donne une revue des types de manipulations afin d'augmenter la mobilité des porteurs. Les nombreux travaux dans ce domaine convergent pour attribuer l'essentiel de l'augmentation de mobilité à la déformation des bandes introduite par une contrainte perpendiculaire au canal des transistors, qui diminue la masse effective et donc fait augmenter la mobilité du porteur.

Ainsi quand une contrainte en tension s'exerce perpendiculairement au canal des N-MOSFETs, la tension de seuil diminue et la mobilité des électrons augmente [17]. La diminution de la tension de seuil est attribuée, dans cette publication, à deux contributions ; l'une due à la diminution de la largeur de la bande interdite, et l'autre à la variation de la densité d'états en bord de la bande de valence.

Le même groupe [18] donne une augmentation de la mobilité d'électrons (μ/μ_0) de 1,55 pour une contrainte uniaxiale en tension dans la direction (110) donnant une déformation de 0,0045% et pour un champ vertical de 0,7 MV/cm. L'augmentation de la mobilité de trous (μ/μ_0) est quant à elle de 3,8 pour une contrainte en compression dans la direction [110] donnant une déformation de 0,005% et pour un champ vertical de 0,7 MV/cm.

Si l'on compare l'effet des contraintes sur les MOSFETs et les TFTs de travail, on remarque une augmentation identique de la mobilité d'électrons mais avec une contrainte beaucoup plus élevée donnant une déformation de 0,45%, tableau (3).

		Augmentation de la mobilité (μ/μ_0)	
Stress	Type du Transistor	MOSFETs (110) [18]	TFT
Tension	N	1,55	1,4
Compression	P	3,8	1,27

Tableau 3. Augmentation de la mobilité en présence d'une contrainte uniaxiale en tension (type N) ou en compression (type P) donnant une déformation de l'ordre de 0,0045% pour des MOSFETs dont le canal est dans la direction (110) et de l'ordre de 0,45% pour les TFTs fabriqués lors de ce travail soumis au même champ vertical de l'ordre de 0,5MV/cm.

Même si les variations sont nettement plus importantes dans les MOSFETs, l'identité des sens de variation de la tension de seuil et de la mobilité nous pousse à les attribuer aux mêmes origines invoquées pour les MOSFETs. Ceci signifie que les contraintes agissent directement sur les propriétés des grains cristallins dans notre matériau microcristallin de la même façon qu'elles agissent sur le réseau cristallin des MOSFETs. Pour confirmer ceci,

nous avons procédé à des expériences complémentaires sur les effets des contraintes sur les propriétés de notre matériau.

La première consiste à relever le spectre de transmission optique d'une couche silicium microcristallin déposée sur PEN et soumise à des contraintes en tension de différents rayons de courbure. La figure (29) montre l'évolution de la longueur d'onde de la lumière pour une transmission constante égale à 4% en fonction de la déformation. Quand la déformation augmente le spectre se déplace vers les faibles énergies, indiquant probablement une diminution de la largeur de la bande interdite du silicium. Ce résultat rejoint l'attribution d'une partie de la diminution de la tension de seuil des N-MOSFETs soumis à une contrainte en tension à la diminution de la largeur de la bande interdite.

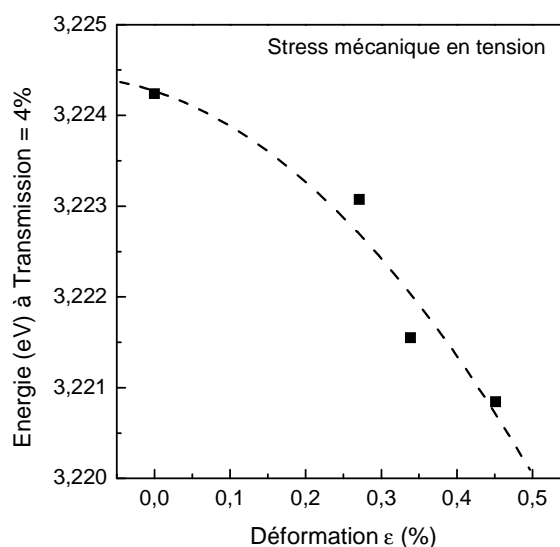


Figure 29. Énergie de la lumière incidente pour une transmission constante de 4% d'une couche de silicium microcristallin déposée sur PEN soumise à des déformations croissantes en tension.

La seconde expérience consiste à relever le spectre Raman d'une couche de silicium déposée sur PEN recouvert d'une couche d'encapsulation en nitrure de silicium. Dans ce spectre, nous nous sommes intéressés particulièrement à la raie TO vers 520 cm^{-1} attribuée à la partie monocristalline des couches de silicium microcristallin, c'est-à-dire au volume des grains cristallins. La figure (30) montre le déplacement du pic de cette bande quand la couche est soumise à une contrainte en tension croissante (rayons de courbure de plus en plus faibles). Ce déplacement a lieu vers les plus petits nombres d'onde indiquant l'introduction

d'une déformation en tension croissante à l'intérieur du volume des grains. La déformation macroscopique agit ainsi directement sur le volume des grains cristallins.

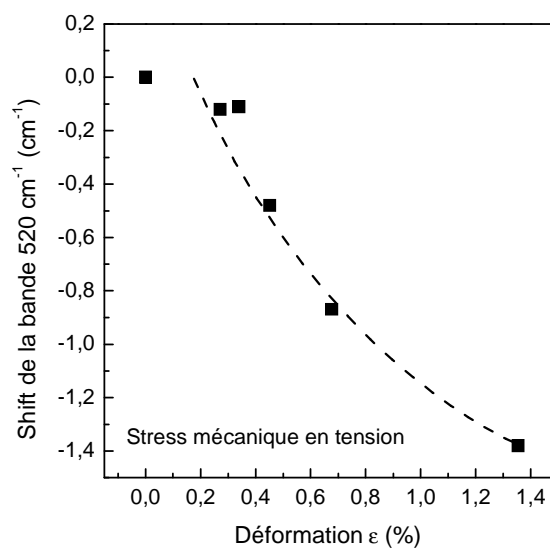


Figure 30. Déplacement du maximum de la bande Raman TO (520 cm^{-1}) attribuée au volume des grains cristallins pour une couche de silicium déposée sur PEN recouvert d'une couche de nitrure de silicium d'encapsulation soumis à une contrainte en tension croissante.

Finalement, la conductivité électrique d'une couche de silicium identique de 50 nm a été mesurée pour des déformations en tension croissantes.

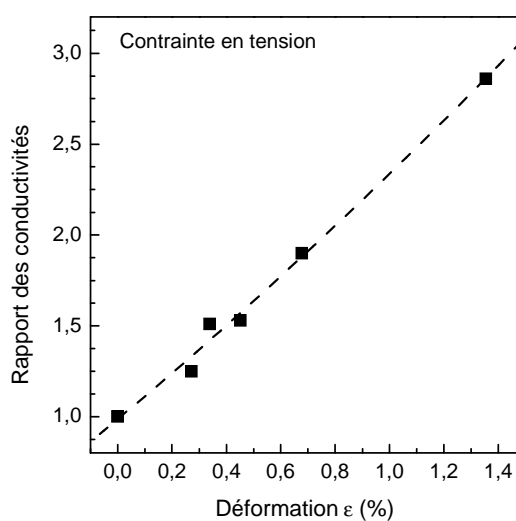


Figure 31. Rapport de la conductivité d'une couche de silicium de 50 nm d'épaisseur soumise à des déformations en tension croissantes sur sa valeur sans déformation.

La figure (31) montre une augmentation constante de la conductivité. Ceci montre qu'une couche de silicium déposée sur PEN voit intrinsèquement sa conductivité augmenter indépendamment de la superposition des différentes couches composant un TFT.

L'ensemble de ces expériences montre que l'augmentation de la mobilité électronique d'un N-TFT soumis à une contrainte en tension est liée à la déformation du réseau cristallin des grains de façon identique à celle du canal des MOSFETs des technologies nanométriques, soumis à une contrainte en tension.

IV. Conclusion

En conclusion, une contrainte mécanique en tension ou en compression influence de façon non négligeable les paramètres des TFTs sur PEN fabriqués lors de ce travail. Une variation de 40% de la mobilité des électrons et de 27% de la mobilité des trous est assez importante pour en tenir compte dans le fonctionnement de nos TFTs.

Il est donc important d'utiliser ces TFTs à rayon de courbure constant. Ceci ne remet pas en cause cependant la possibilité de les stocker à un autre rayon de courbure.

Le second point à retenir est la limite de courbure à 1,5 cm de rayon au-delà de laquelle les TFTs se dégradent. L'analyse des causes de cette défaillance a montré que les paramètres des couches de silicium et de nitrure de silicium utilisées doivent être modifiés. L'épaisseur de la couche de silicium devra être réduite à 50 nm ou moins pour lui assurer un meilleur maintien mécanique. Cette réduction d'épaisseur va dans le sens d'autres travaux effectués au Laboratoire. Probablement, l'épaisseur de la couche de nitrure de silicium d'encapsulation doit aussi être réduite dans la mesure du possible. Sinon, une couche d'encapsulation différente devra être utilisée.

Le troisième point à retenir des résultats de ce chapitre est l'identité des sens de variations des paramètres de nos TFTs avec celles des MOSFETs à structure nanométrique permettant de les attribuer essentiellement à la variation de la structure des grains cristallins.

Références

- [1] B. Tala-Ighil, A. Toutah, T. Mohammed-Brahim, K. Mourgues, F. Raoult, H. Lhermite, O. Bonnaud, "Gate Bias Aging of Unhydrogenated Polycrystalline Silicon TFT's", Solid-State Device Research Conference. Proceeding of the 27th European, 22-24 Septembre (1997), pp. 608-611
- [2] N.D. Young, A. Gill, "Electron Trapping Instabilities In Polycrystalline Silicon Thin Film Transistors", *Semicond. Sci. Tech.*, Vol. 5, No. 1, (1990), pp. 72-77
- [3] M.J. Powell, C.van Berkel, A.R. Franklin, S.C. Deane, W.I. Milne, "Defect Pool In Amorphous-Silicon Thin-Film Transistors", *Phys. Rev. B.*, Vol. 45, No. 8, (1992), pp. 4160-4170
- [4] R.B. Wehrspohn, S.C. Deane, I.D. French, I. Gale, J. Hewett, M.J. Powell, J. Robertson, "Relative Importance of The Si-Si Bond And Si-H Bond for The Stability of Amorphous Silicon Thin Film", *J. Appl. Phys.*, Vol. 87, No. 1, (2000), pp. 144-154
- [5] W.B. Jackson, "Role of band-tail carriers in metastable defect formation and annealing in hydrogenated amorphous silicon", *Phys. Rev. B.*, Vol. 41, No. 2, (1990), pp. 1059-1075
- [6] N.D. Young, J.R. Ayres, "Negative Gate Bias Instability in Polycrystalline Silicon TFT's", *IEEE Trans. Electron Devices*, Vol. 42, No. 9, (1995), pp. 1623-1627
- [7] J. Brochet, "Étude de transistors en couches minces à base de silicium polymorphe pour leur application aux écrans plats à matrice active LCD et OLED", Thèse Université de Grenoble, (2011)
- [8] R.V. Chamberlin, G. Mozurkewich, R. Orbach, "Time Decay of the Remanent Magnetization in Spin-Glasses", *Phys. Rev. Lett.* Vol. 52, No. 10, (1984), pp. 867-870
- [9] P. Grassberger, I. Procaccia, "The long time properties of diffusion in a medium with static traps", *J. Chem. Phys.* Vol. 77, No. 12, (1982), pp. 6281-6284
- [10] R. Meaudre, M. Meaudre, P. Jensen, G. Guiraud, "Thermal-equilibrium processes and electronic transport in undoped hydrogenated amorphous silicon", *Phil. Mag. Lett.*, Vol. 57, No. 6, (1988), pp. 315-320
- [11] W.B. Jackson, J.M. Marshall, M.D. Moyer, "Role of hydrogen in the formation of metastable defects in hydrogenated amorphous silicon", *Phys. Rev. B.*, Vol. 39, No. 2, (1989), pp. 1164-1179
- [12] K.O. Jeppson, C. Svenson, "Negative Bias Stress of MOS Devices at High Electric Fields and Degradation of MNOS Devices", *J. Appl. Phys.* Vol. 48, No. 5, (1977), pp. 2004-2014

- [13] R.B.Wehrspohn, S.C. Deane, I.D. French, M.J. Powell, “Stability of plasma deposited thin film transistors — comparison of amorphous and microcrystalline silicon“, *Thin Solid Films*. Vol. 383, No. 1-2, (2001), pp. 117-121
- [14] K. Kandoussi I. Souleiman, K. Belarbi, R. Cherfi, C. Simon, N. Coulon, T. Mohammed-Brahim, P and N type Microcrystalline Silicon TFTs simultaneously fabricated at $T < 180^{\circ}\text{C}$, Active Matrix Flat Panel Displays and devices AMFPD’09 Conference, Nara, Japan, July 1-3, (2009)
- [15] H. Gleskova, S. Wagner, Z. Suo, “Failure resistance of amorphous silicon transistors under extreme in-plane strain,” *Appl. Phys. Lett.*, Vol. 75, No. 19, (1999), pp. 3011- 3013
- [16] S.E. Thompson, G. Sun, Y.S. Choi, T. Nishida, “Uniaxial-Process-Induced Strained-Si: Extending the CMOS Roadmap“, *IEEE Transactions on Electron Devices*, Vol. 53, No. 5, (2006), pp. 1010-1020
- [17] S.E. Thompson, G. Sun, K. Wu, J. Lim, T. Nishida, “Key Differences For Process-induced Uniaxial vs. Substrate-induced Biaxial Stressed Si and Ge Channel MOSFETs“, *IEDM. Tech. Digest. IEEE*, (2004), pp. 221-224
- [18] S.E. Thompson, S. Suthram, Y. Sun, G. Sun, S. Parthasarathy, M. Chu, T. Nishida, “Future of Strained Si/Semiconductors in Nanoscale MOSFETs“, *IEEE International Electron Devices Meeting, IEDM’06*, (2006), pp. 681-684

Conclusion

L'objectif de cette thèse est d'assurer le transfert technologique sur un substrat flexible et transparent de la technologie TFTs en silicium microcristallin élaborée par notre laboratoire sur des substrats de verre.

Nous avons choisi le PEN Q65FA comme substrat, parmi les autres substrats flexibles (Kapton, PET, acier, etc.) pour notre technologie de fabrication. En fait ce PEN Q65FA se caractérise par sa transparence, sa température maximale de process de 200°C et son faible coefficient de dilatation en pourcentage par unité de temps.

Nous avons fabriqué des TFTs de type N en technologie silicium microcristallin. Les N-TFTs fabriqués sont assez uniformes et reproductibles. Les caractéristiques électriques des N-TFTs fabriqués sur PEN sont comparables avec ceux fabriqués sur verre. Ces TFTs se caractérisent par un faible courant I_{OFF} de l'ordre de 10^{-12} A à 10^{-11} A. La mobilité moyenne de 16 N-TFTs, fabriqués sur PEN et situés sur un périmètre carré de côté 1,5 cm, est $0,46 \text{ cm}^2/\text{V.s}$ avec une dispersion de 10%. La tension de seuil moyenne est 12V avec une dispersion de 4,8%.

L'étude de la stabilité électrique de ces N-TFTs a montré que la tension de seuil V_{TH} ne se décale que de 0,8V au bout de 4 heures de stress, en appliquant une tension de 15V sur la grille du TFT, ce qui représente 12% de la valeur de la tension de seuil initiale. Cela montre que les N-TFTs fabriqués sont assez stables électriquement.

Ces TFTs sont alors soumis à un stress mécanique en tension et en compression. Les N-TFTs ont résisté jusqu'à un rayon de courbure $R = 1,5 \text{ cm}$, au dessous de ce rayon les caractéristiques électriques des TFTs se dégradent ; en les soumettant à un rayon de courbure encore plus petit les TFTs ne fonctionnent plus. Soumis à un stress mécanique en tension, nous avons constaté que la mobilité des N-TFTs augmente et que la tension de seuil diminue. Inversement, la mobilité diminue et la tension de seuil augmente lorsqu'ils sont soumis à un stress mécanique en compression. Une investigation de ce comportement par des analyses au microscope optique et au MEB a montré que le dysfonctionnement des TFTs est dû essentiellement à des défauts créés dans les couches de silicium microcristallin et de nitrure de silicium lorsqu'ils sont soumis à un stress mécanique intense, $R < 1,5 \text{ cm}$.

De même nous avons transféré technologiquement des TFTs de type P fabriqués en silicium microcristallin sur PEN. Nous avons rencontré des problèmes au niveau de la reproductibilité des couches de silicium dopées P sur PEN. Mais nous avons surmonté ces problèmes et nous avons réussi à fabriquer des TFTs de type P sur PEN. Les caractéristiques électriques de ces P-TFT sont satisfaisantes. La mobilité calculée de ces P-TFTs est de l'ordre de $0,24 \text{ cm}^2/\text{V.s}$. Le test de stabilité électrique montre que ces P-TFTs ne sont pas très stables,

leurs caractéristiques électriques se décalent d'où le shift de la tension de seuil. Ceci nécessite une poursuite du travail de recherche pour leur mise au point.

Tout comme les N-TFTs, les P-TFTs sont soumis au même stress mécanique en tension et en compression. Ces P-TFTs présentent la même limite de fonctionnement que les N-TFTs. La caractéristique de transfert d'un P-TFT se dégrade à partir d'un rayon de courbure $R = 1$ cm et il ne fonctionne plus quand $R = 0,5$ cm. Le comportement des P-TFTs est le contraire du comportement des N-TFTs. En effet la mobilité des P-TFTs diminue et la tension de seuil augmente lorsque les TFTs sont soumis à un stress en tension, et inversement, la mobilité augmente et la tension de seuil diminue quand ils sont soumis à un stress en compression.

Nous avons retrouvé le même comportement que les transistors à base de silicium monocristallin quand ils sont soumis à un tel stress mécanique.

Finalement, nous avons tenté de fabriquer des P-TFTs en utilisant des couches de silicium microcristallin non dopée et dopée P déposées à 120°C. Nous avons réussi à obtenir des P-TFTs qui fonctionnent, mais, ces P-TFTs ne sont pas stables. La caractéristique électrique de ces P-TFTs se décale dès la deuxième mesure et ne se stabilise pas.

Nous avons réussi à fabriquer des N-TFTs en silicium microcristallin sur PEN. Ces TFTs sont assez uniformes, reproductibles, stables et peuvent être utilisés pour la fabrication d'une électronique flexible. La faisabilité des TFTs de type P sur PEN a été démontrée mais ils ne sont pas encore complètement optimisés, ils nécessitent des études complémentaires.

Ainsi l'objectif fixé au départ est presque entièrement atteint. L'utilisation du presque est liée la dernière remarque sur les TFTs de type P ; Mais ceci ne devrait pas poser de problèmes insurmontables dans l'avenir proche car des P-TFTs uniformes, reproductibles et stables ont auparavant été réalisés sur verre au Laboratoire.

Un autre problème décrit dans le texte a trait à la limite de courbure de 1 cm de rayon au delà de laquelle les transistors ne fonctionnent plus. Il sera important d'abaisser cette limite à l'avenir. Des solutions existent. La limitation de courbure liée au silicium peut être abaissée, comme nous l'avons montré dans le chapitre IV, en diminuant l'épaisseur de la couche active. Cette diminution va dans le sens d'une amélioration des performances des transistors comme cela été montré auparavant au Laboratoire.

De même une diminution de l'épaisseur des deux couches de nitrure de silicium sera favorable à la réalisation complète de l'objectif. Une étude des conditions de dépôt et de recuit de ces couches pour diminuer le stress mécanique tout en maintenant les qualités de

barrière de la couche d'encapsulation et les qualités électriques de l'isolant de grille devra aussi être menée.

Enfin, l'amélioration des mobilités d'électrons et de trous pour aller vers des applications dans les écrans de haute résolution et de grande surface reste un objectif important. Des études dans ce sens viennent de débiter au Laboratoire.