



HAL
open science

Développement de blocs élémentaires et de circuits dédiés à des applications RFID en technologie silicium microcristallin très basse température

Ismail Souleiman

► **To cite this version:**

Ismail Souleiman. Développement de blocs élémentaires et de circuits dédiés à des applications RFID en technologie silicium microcristallin très basse température. Micro et nanotechnologies/Microélectronique. Université de Rennes1, 2011. Français. NNT: . tel-02441247

HAL Id: tel-02441247

<https://hal.science/tel-02441247>

Submitted on 27 Jan 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE / UNIVERSITÉ DE RENNES 1
sous le sceau de l'Université Européenne de Bretagne

pour le grade de
DOCTEUR DE L'UNIVERSITÉ DE RENNES 1

Mention : Electronique

Ecole doctorale MATISSE

présentée par

Isman Souleiman

préparée à l'unité de recherche IETR, UMR 6164
Groupe Microélectronique
UFR Informatique - Electronique

**Système intégré
antenne et
redressement d'un
signal à 13,56 MHz
pour des applications
RFID en technologie
silicium très basse
température**

**Thèse soutenue à Rennes
le 13 juillet 2011**

devant le jury composé de :

Yvan BONNASSIEUX

MdC-HDR, Ecole Polytechnique-Palaiseau /
rapporteur

François TEMPLIER

Ingénieur CEA-HDR, LETI-MINATEC / *rapporteur*

Jean-Paul PARNEIX

Professeur, ENSCBP / *examineur*

Philippe BENECH

Professeur, Université de Grenoble / *examineur*

Laurent PICHON

Professeur, Université de Rennes 1 / *examineur*

Nathalie COULON

Ingenieur de recherche CNRS, Université de
Rennes 1 / *examineur*

Tayeb MOHAMMED-BRAHIM

Professeur, Université de Rennes 1 / *directeur de
thèse*

Samuel CRAND

MdC, Université de Rennes 1 / *co-directeur de thèse*

Sommaire

Introduction générale	1
Chapitre 1: La technologie RFID	5
I. INTRODUCTION	6
II. PRESENTATION GENERALE DE LA RFID	6
II.1. Les systèmes d'identification automatique.....	6
II.1.1 Le code-barres.....	7
II.1.2 La reconnaissance optique des caractères.....	7
II.1.3 La carte à puce	8
II.2. Historique de la RFID	9
II.3. Le principe de fonctionnement des systèmes RFID	10
II.4. Les différentes familles des systèmes RFID	11
II.4.1 Les systèmes RFID à couplage inductif	12
II.4.2. Les systèmes RFID à couplage radiatif	13
II.5. Les domaines d'applications et le marché de la RFID	15
II.6. Régulations et normes des systèmes RFID	17
II.6.1 Les régulations des systèmes RFID	18
II.6.2 Les normes	19
III. ARCHITECTURE D'UNE ETIQUETTE RFID HF PASSIVE	20
III.1. La communication lecteur -tag	20
III.2. Le lecteur	21
III.3. Le tag RFID	22
III.3.1 L'antenne	23
III.3.2 La modulation de charge	23
III.3.3 Le système redresseur	24

IV. PROBLEMATIQUE DES SYSTEMES RFID ET OBJECTIFS DU TRAVAIL	24
IV.1. Problématique	24
IV.2. Objectifs du travail de thèse	26
Bibliographie	27
Chapitre 2: Le silicium microcristallin : matériau et composants	29
I. INTRODUCTION	30
II. SILICIUM MICROCRISTALLIN : MATERIAU	31
II.1. Le terme microcristallin	31
II.2. Présentation du réacteur de dépôt par PECVD	32
II.2.1 La chambre de dépôt	32
II.2.2 Le système de pompage.....	33
II.2.3 La gestion des gaz.....	33
II.3. Plasma de dépôt	34
II.4. Structure et processus de croissance	35
II.4.1 Structure du silicium microcristallin	35
II.4.2 Processus de croissance du silicium microcristallin	35
II.4.3 Paramètres influençant la structure du silicium microcristallin	36
II.5. Propriétés électroniques du silicium microcristallin	38
II.5.1 La conductivité	39
II.5.2 La mobilité des porteurs	39
III. SILICIUM MICROCRISTALLIN : COMPOSANTS	40
III.1. Transistors de type N à base de silicium microcristallin	40
III.1.1 Structure topgate	40
III.1.2 Structure bottomgate	44
III.2. Transistors de type P à base de silicium microcristallin	47
III.3. Stabilité des transistors	48
III.3.1 Transistor avec une couche fine de silicium microcristallin	49

III.3.2 Transistor avec du nitrure de silicium comme isolant de grille	51
IV. CONCLUSION	52
Bibliographie	53

Chapitre 3: Techniques de réalisation et de caractérisation des composants

I. INTRODUCTION	58
II. LE TRANSISTOR	58
II.1. Réalisation des masques	59
II.2. Etapes technologiques de fabrication	61
II.2.1 Nettoyage du substrat	61
II.2.2 Définition des contacts de Drain et de Source	61
II.2.3 Définition de la géométrie des transistors	62
II.2.4 Ouverture des contacts dans l'isolant de grille	63
II.2.5 Prise de contact et définition des pistes d'aluminium	63
II.3. Fonctionnement des transistors en couches minces	64
II.3.1 Régime bloqué	64
II.3.2 Régime passant	64
II.3.2.1 Régime linéaire	64
II.3.2.2 Régime saturé	65
II.4. Caractérisation des transistors en couches minces	66
II.4.1 Caractéristique de transfert	66
II.4.2 Caractéristique de sortie	67
II.4.3 Détermination des paramètres du transistor	68
II.4.3.1 Tension de seuil	69
II.4.3.2 Mobilité d'effet de champ	69
II.4.3.3 Pente sous le seuil	69
II.4.3.4 Rapport I_{ON}/I_{OFF}	69
III. LA DIODE SCHOTTKY	70
III.1. Structure	70
III.2. Procédé technologique de fabrication	71
III.2.1 Nettoyage du substrat	71
III.2.2 Dépôt de couches	71
III.2.3 Photolithographie	72
III.3. Mécanismes de transport des porteurs dans une diode Schottky	72

III.3.1 Transport par diffusion	73
III.3.2 Transport par émission thermoïonique	74
III.4. Caractérisation d'une diode et paramètres électriques	76
IV. L'ANTENNE	77
IV.1. Elaboration du masque	77
IV.2. Procédé de fabrication	78
IV.2.1 Le processus d'élaboration par électrodéposition	79
IV.2.2 Appareil d'électrodéposition	80
IV.3. Procédé de caractérisation	81
V. CONCLUSION	82
Bibliographie	83
Chapitre 4: Réalisation des composants	86
I. INTRODUCTION	87
II. REALISATION DES TRANSISTORS MONTES EN DIODE	87
II.1. Choix des transistors de grandes dimensions	87
II.2. Conditions de fabrication des transistors	89
II.3. Comportement électrique des transistors en configuration normale	90
II.4. Comportement électrique des transistors en configuration diode	94
III. REALISATION DES DIODES SCHOTTKY	96
III.1. Choix du contact métallique redresseur	96
III.2. Réalisation de la diode Schottky sur substrat de verre	98
III.2.1. Premier procédé	98
III.2.2. Optimisation du procédé de fabrication de la diode	99
III.2.2.1. Effet du faible dopage de la couche de silicium intrinsèque	99
III.2.2.2. Effet de l'épaisseur de la couche faiblement dopée	104
III.2.2.3. Effet du rajout du nitrure de silicium sur les bords de la diode .	107
III.2.3. Extraction des paramètres de la diode	107
III.2.3.1. Facteur d'idéalité	107

III.2.3.2. Hauteur de barrière	112
III.2.3.3. Caractérisation de la couche faiblement dopée	113
IV. CONCLUSION	116
Bibliographie	117
Chapitre 5: Module de redressement et réalisation de l'antenne	121
I. INTRODUCTION	122
II. MODULE DE REDRESSEMENT	122
II.1. Le transistor en couches minces comme élément redresseur	122
II.1.1. Le circuit de mesure	122
II.1.2. Le redressement	123
II.2. La diode Schottky comme élément redresseur	129
II.2.1. Le dispositif de redressement	129
II.2.2. Résultats de mesure	129
III. REALISATION DE L'ANTENNE	133
III.1 Dimensionnement de l'antenne	134
III.1.1. Structure et fonctionnement de l'antenne	134
III.1.2. Inductance de l'antenne rectangulaire	136
III.2. Réalisation sur substrat PCB	138
III.3. Transfert technologique sur substrat plastique	142
III.3.1. Le chrome comme précurseur	143
III.3.2. L'or comme précurseur	143
III.4. Fonctionnement en redressement	145
IV. CONCLUSION	147
Bibliographie	149
Chapitre 6: Perspectives	151
I. INTRODUCTION	152

II. CIRCUIT DE REDRESSEMENT	152
II.1. Architecture et masques	152
II.2. Procédé de réalisation du circuit.....	153
II.3. Caractérisation électrique	155
III. ELECTRONIQUE CMOS	157
III.1. Structure des transistors	157
III.2. Conception des masques de photolithographie	157
III.3. Procédé de fabrication technologique	157
III.3.1. Nettoyage du substrat de verre	157
III.3.2. Masque 1 : Définition des contacts métalliques du bas.....	157
III.3.3. Masque 2 : Définition de la géométrie des transistors.....	158
III.3.4. Masque 3 : Définition du contact métallique de grille.....	158
III.3.5. Masque 4 : Accès aux contacts Drain et Source.....	159
III.4. Caractérisation électrique	160
IV. CONCLUSION	161
 Conclusion générale	 163
 Annexe : Description des masques pour la réalisation des transistors montés en diode de grandes dimensions	 167

Acronymes

A.I.D.C: Automatic Identification and Data Capture (technologie d'identification automatique)

C.M.I.S: Complementary Metal Insulator Semiconductor (transistors de type N et P)

C.N.I.L: Commission National de l'Informatique et des Libertés

C.V.D : Chemical Vapor Deposition (dépôt en phase vapeur)

E.P.C: Electronic Product Code (code produit électronique)

H.F : Hydrofluoric Acid (acide fluorhydrique)

I.S.M: Industrial Scientific Medical (fréquences dédiées à l'industrie, les applications scientifiques et médicales)

I.S.O: International Standards Organisation (organisme de standardisation international)

M.I.M: Metal Insulator Metal (capacité métal-isolant-semiconducteur)

O.C.R: Optical Character Recognition (reconnaissance optique des caractères)

P.E.C.V.D: Plasma Enhanced Chemical Vapor Deposition (dépôt en phase vapeur assisté par plasma)

P.E.N: Polyethylene Naphthalate (polyéthylène naphthalate)

R.C.A: Radio Corporation of America (nom de la société où travaillait l'inventeur de ce type de nettoyage)

R.F.I.D: Radio Frequency Identification (identification par radiofréquence)

R.I.E: Reactive Ion Etching (gravure ionique réactive)

R.T.F: Reader Talk First (le lecteur communique le premier)

T.F.T: Thin Film Transistor (Transistor en couche mince)

T.T.O: Tag Talk Only (L'étiquette communiqué uniquement)

μc-Si: Microcrystalline Silicon (silicium microcristallin)

INTRODUCTION GENERALE

Ce travail de thèse s'inscrit dans le cadre du projet μ TAGRFID financé par la région Bretagne. L'ensemble de ce travail s'est déroulé au sein du groupe microélectronique de l'IETR (Institut d'Electronique et des Télécommunications de Rennes), de l'Université de Rennes 1. L'objectif principal de cette étude est la mise en application d'une compétence récemment acquise par le groupe. En effet, depuis quelques années, le laboratoire a acquis une connaissance dans la mise au point d'une technologie couche mince très basse température ($T < 200^{\circ}\text{C}$) reposant sur le dépôt de silicium microcristallin.

Dans un monde de l'identification des biens et des personnes en perpétuel mouvement, la technologie de l'identification par radiofréquence ou RFID (Radio Frequency IDentification) est appelée à connaître un essor grandissant. Des efforts sont menés particulièrement pour réduire le prix d'une étiquette, dans le but de substituer cette technologie à celle courante du code-barres actuellement moins onéreuse. Le coût élevé d'un tag RFID est étroitement lié à celui de son procédé de fabrication. Dans l'optique de réduire le coût de production, des travaux sont menés pour modifier la technologie de fabrication de ces étiquettes. L'enjeu majeur est donc, le développement d'une technologie avec un budget thermique réduit, permettant ainsi l'utilisation de substrats souples. Cette solution permet de réduire les étapes de packaging. En effet, la fabrication de l'antenne et de l'électronique du tag RFID peut être envisagée sur le même support plastique. Cette méthode permet de s'affranchir d'une étape coûteuse, en l'occurrence, le report de circuits.

Parmi les différents candidats à cette évolution, figure le silicium déposé à très basse température. Le principal avantage de ce matériau est de tirer profit de toutes les avancées liées à la technologie silicium. Cette dernière est maîtrisée et son usage est très répandu dans l'industrie de l'électronique. Les différentes recherches entreprises au niveau de la technologie silicium très basse température permettent déjà de disposer d'une électronique CMIS (Complementary Metal Insulator Semiconductor) sur substrat plastique.

Les travaux présentés dans ce manuscrit s'inscrivent donc dans la suite logique des recherches menées au sein du laboratoire pour la réalisation de circuits mettant en œuvre la technologie silicium très basse température ($T < 200^{\circ}\text{C}$) compatible avec l'utilisation de substrats souples. En s'appuyant sur cet acquis, cette étude portera tout particulièrement sur la mise en place d'une bibliothèque technologique composée des éléments constituant le front-end d'une étiquette RFID. Ces éléments sont notamment l'antenne et le circuit de redressement.

Afin de présenter l'essentiel des résultats, ce manuscrit est divisé en cinq chapitres, complétés par une dernière partie consacrée aux perspectives ouvertes par ces travaux.

Le premier chapitre est consacré à une présentation de la technologie RFID dans toute sa globalité. Il est divisé en trois sections.

Le premier point aborde une description générale de la technologie de l'identification par radiofréquence. Nous présentons notamment l'historique, le principe de fonctionnement d'une étiquette passive, les différentes fréquences de fonctionnement, l'impact commercial de la technologie et enfin l'aspect normes et régulation.

Le deuxième point présente l'architecture d'une étiquette RFID passive. Les deux parties, à savoir le lecteur et le tag, sur lequel repose l'étiquette sont abordées.

Le troisième point met l'accent sur les technologies de fabrication d'une étiquette. Nous distinguons les techniques de fabrication liées à l'électronique organique et celle découlant de la technologie silicium.

Le second chapitre a pour principale mission une présentation du silicium microcristallin à la fois en termes de matériau et de composant réalisé à base de celui-ci. Dans un premier temps, la méthode d'élaboration et les propriétés électriques du matériau sont évoquées. Nous passons en revue ensuite les différents composants fabriqués en utilisant des couches minces de silicium microcristallin. Ces éléments sont des transistors de type N et P. Nous soulignons surtout dans cette partie l'aspect stabilité des éléments. Ce critère est primordial dans la mise en place d'une électronique viable.

Le troisième chapitre est consacré aux techniques expérimentales employées pour la réalisation des transistors en couches minces, des diodes Schottky et de l'antenne. En premier lieu, pour chacun de ces éléments, nous détaillons la mise en place des masques de photolithographie, le procédé de fabrication ainsi que le principe de fonctionnement et leurs caractéristiques électriques. Puis, nous expliquons les méthodes d'extraction des principaux paramètres électriques. Il s'agit surtout de la mobilité d'effet de champ, de la pente sous le seuil et de la tension de seuil en ce qui concerne le transistor en couches minces, et du facteur d'idéalité dans le cas de la diode Schottky.

Le quatrième chapitre regroupe les résultats expérimentaux concernant la réalisation des composants appelés à constituer un étage redresseur fonctionnant à 13,56 MHz. Nous nous intéressons exclusivement aux caractéristiques statiques des composants pour en déduire les principaux paramètres. Dans une première phase, le comportement électrique du transistor en

couches minces, qu'il soit fabriqué en configuration normale ou diode, est décrit et interprété. Dans une seconde phase, la caractéristique courant-tension de la diode Schottky est passée au crible pour apporter les optimisations nécessaires et pour comprendre les principes physiques régissant son fonctionnement.

Le cinquième chapitre est quant à lui consacré à l'utilisation des composants préalablement fabriqués dans un circuit de redressement fonctionnant à 13,56 MHz. Le transistor en couches minces monté en diode et la diode Schottky avec une interface or/silicium microcristallin statique démontrent tous les deux, lorsqu'ils sont incorporés dans un dispositif redresseur, leur aptitude à fournir un signal parfaitement continu après réception à leurs bornes d'un signal sinusoïdal de fréquence 13,56 MHz. Cette partie intègre aussi la réalisation d'une antenne dédiée à jouer le rôle de récepteur et de fournisseur du signal alternatif.

La dernière partie illustre les perspectives offertes par ce travail de thèse. Elle traite de l'intégration des composants nécessaires à la constitution du dispositif de redressement dans un même procédé de fabrication et sur un même substrat. Elle illustre aussi la possibilité de réaliser des circuits électroniques constituant la partie numérique d'une étiquette RFID.

Chapitre 1

La technologie RFID

I. INTRODUCTION

L'identification par radiofréquence ou la technologie RFID (Radio Frequency Identification) est un procédé utilisé pour identifier un élément placé à une certaine distance, et sans contact. Cet élément doit être muni auparavant d'un dispositif qu'on appelle communément étiquette, tag ou "transpondeur" (TRANSMitter/resPONDER). L'étiquette doit contenir au minimum le numéro d'identification de l'élément. En effet cette technologie est composée d'une part d'un tag associé au produit à reconnaître contenant les diverses informations le concernant et d'autre part d'un lecteur. Celui-ci permet de lire les données contenues dans l'étiquette. Ces données sont par la suite analysées et traitées [1].

L'objectif de ce chapitre est de présenter la technique d'identification par radiofréquence en portant un intérêt particulier à la technologie RFID passive. La première partie de ce chapitre concerne une présentation générale des systèmes RFID. Elle aborde l'historique de la technologie, le principe de fonctionnement, les différentes familles des systèmes d'identification par radiofréquence, les applications et le marché actuel et futur de la technologie RFID. De plus, il est évoqué rapidement les enjeux relatifs à l'éthique, soulevés par la mise en œuvre de cette technologie par exemple dans des domaines de la vie courante tels que les tickets de transports en commun.

La deuxième partie de ce chapitre aborde l'architecture d'une étiquette (tag ou transpondeur) RFID passive en décrivant le rôle des éléments composant le tag. Dans cette partie, l'antenne sera également évoquée. L'antenne constitue l'élément chargé de récupérer le signal émis par le lecteur et de transmettre les informations contenues dans le tag. Ce signal de nature sinusoïdale est destiné à être délivré à son tour au système de redressement à travers l'antenne du tag.

Enfin la dernière partie de ce chapitre aborde la problématique des technologies de fabrication des transpondeurs RFID passifs et définit les objectifs de ce travail.

II. PRESENTATION GENERALE DE LA RFID

II.1. Les systèmes d'identification automatique

Les systèmes d'identification par radiofréquence ou systèmes RFID sont des techniques de détection et d'identification à distance d'un objet. Ils sont partie intégrante des technologies dites d'identification automatique ou AIDC (Automatic Identification and Data Capture).

Quelques exemples caractéristiques de ces technologies sont le code-barres, la reconnaissance optique des caractères (OCR, Optical Character Recognition) et les systèmes des cartes à puce illustrés par les cartes de paiement.

II.1.1. Le code-barres

Parmi les techniques d'identification automatique usuellement rencontrées dans les applications diverses, le code-barres reste la principale technique d'identification automatique. La figure 1 présente un exemple de code-barres appelé unidimensionnel. Le code-barres est un code binaire, il est constitué d'une suite parallèle de barres noires et barres blanches. La largeur des barres est différente. La lecture d'un code-barres incorporé dans un objet se fait de manière optique. Cette lecture est basée sur la façon dont les barres réfléchissent la lumière optique envoyée par le dispositif de lecture. Cette réflexion de la lumière est différente selon que les barres sont noires ou blanches. Cette technique d'identification automatique est massivement présente dans de très nombreux secteurs d'activités dont la logistique, le transport et la distribution. Cette forte présence s'explique par le faible coût d'un code-barres et par la présence des normes bien établies. En revanche la lecture d'un code-barres nécessite une visibilité optique directe. De plus l'information contenue dans un code-barres est limitée et l'utilisateur n'a aucune possibilité de modifier les données préenregistrées [2].



Figure 1. Code-barres à une dimension

II.1.2. La reconnaissance optique de caractères

L'apparition de la technique d'identification automatique communément appelée reconnaissance optique de caractères (Optical Character Recognition, OCR) date des années 1960. Le principe de fonctionnement est basé sur la traduction d'images de textes, avec une police de caractère spécifique, en un fichier texte contenant les données d'identification de

l'élément à reconnaître. Cette technique d'identification automatique est présente aujourd'hui dans des domaines tels que les services bancaires, où elle est mise en œuvre pour l'encaissement des chèques bancaires entre autres. Le fonctionnement complexe des lecteurs et leur coût élevé font que la technologie de reconnaissance optique de caractères est faiblement répandue dans le marché de l'identification automatique [2].

II.1.3. La carte à puce

Une autre composante des systèmes d'identification automatique est la carte à puce. Comme l'indique son nom, un système de carte à puce repose sur une puce incorporée dans une carte le plus souvent en plastique. Une des premières applications des cartes à puce a été les cartes prépayées durant les années 1983. La puce contient un dispositif électronique contenant les informations associées à l'usage de la carte. Ces informations sont indispensables à l'identification de la carte. La lecture et la reconnaissance d'une carte à puce nécessite un contact physique entre le lecteur et la carte. Une fois le contact établi, la communication entre le lecteur et la carte est effective. La carte, activée, transmet ses informations et les données contenues au lecteur. Le principe de contact physique nécessaire à l'identification de la carte à puce constitue l'inconvénient principal. En effet, ceci implique une vulnérabilité de la carte à la corrosion et à la poussière plus importante. En outre la maintenance des dispositifs de lecture d'une carte à puce tels que les distributeurs des billets est coûteuse [2].

L'identification automatique par code-barres nécessite que l'élément à identifier soit placé dans le champ de vision optique du lecteur, l'identification par carte à puce nécessite, quant à elle, un contact physique entre le lecteur et la carte à puce. Pour se soustraire de ces contraintes, une autre méthode d'identification automatique est envisagée, c'est les systèmes d'identification RFID. La technique RFID ressemble à celle de la carte à puce, en effet les informations sont stockées sur une puce électronique, mais la principale différence provient du mode de communication. La communication entre un système RFID et un lecteur se fait par ondes électromagnétiques. Ce mode de communication permet de s'affranchir d'un contact physique et d'une visibilité directe. De plus l'information contenue dans une étiquette RFID est plus importante et peut être mis à jour par l'utilisateur. Ce qui est impossible avec un code-barres.

II.2. Historique de la RFID

La technologie de l'identification par radiofréquence repose sur un système formé par une puce électronique communément appelée étiquette, tag ou transpondeur et un dispositif de lecture appelé lecteur ou « base station ». Le rôle de l'étiquette est de contenir les informations associées à l'objet à identifier et de les transmettre via son antenne. La « base station » fournit le signal d'alimentation de l'étiquette à travers son antenne.

La première application de la technologie RFID date de la seconde guerre mondiale, en effet les éléments de la RAF (Royal Air Force), l'armée de l'air britannique, utilisaient cette forme d'identification pour distinguer les avions alliés des avions ennemis. Un transmetteur était placé sur chaque avion, dès qu'il recevait un signal provenant d'une station radar, il commençait à émettre un signal qui l'identifiait comme « avion-ami ». Ceci constitue essentiellement la première application de ce qu'on appelle une identification par radio fréquence ou RFID [3].

Les années 1960 et 1970 ont connu la mise en œuvre des nombreuses recherches dans les laboratoires et les établissements universitaires. Grâce aux progrès technologiques réalisés, les années 1980 sont marquées par l'apparition du tag RFID passif et le commencement de la réduction des dimensions des éléments composant le tag (Figure 2). Dans ce type de tag, l'énergie nécessaire au fonctionnement des différentes parties du tag, est fournie par le lecteur. Le tag est ainsi privé de sa propre source d'alimentation. Cette particularité a l'avantage de diminuer le prix de l'étiquette. La fabrication des tags RFID connaît un essor industriel. Les entreprises commencent à produire des étiquettes RFID notamment pour l'identification du bétail qui constitue un des premiers secteurs d'application au niveau commercial. Une clé essentielle à l'expansion rapide de la RFID a été le développement de l'ordinateur personnel (PC) qui a permis la collecte pratique et économique et la gestion des données des systèmes RFID.

Les années 1990 voient apparaître les premiers standards. L'objectif est de faciliter l'interaction entre les équipements RFID et de permettre leur interopérabilité. A partir des années 2000, les tags sont de plus en plus petits et prennent la forme d'une étiquette autocollante. La commercialisation des transpondeurs et des lecteurs RFID rencontre un succès relativement important, notamment, dans le secteur de la logistique en améliorant la traçabilité [4].

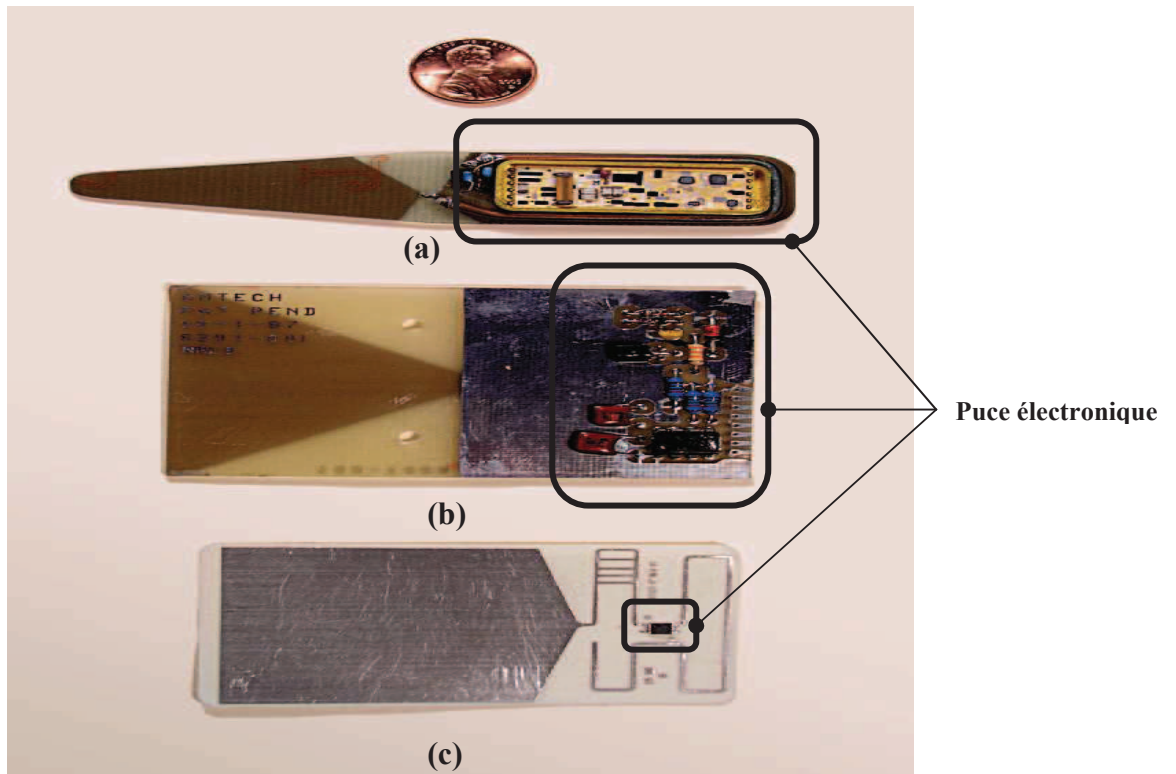


Figure 2. Evolution de la taille de la puce électronique associée à une étiquette RFID au fil des années. (a) tag en 1976, (b) tag en 1987, (c) tag en 1999 [4].

II.3. Le principe de fonctionnement des systèmes RFID

Le principe physique (Figure 3) mis en exergue dans la technologie RFID est l'utilisation du champ électromagnétique comme moyen de communication. Un lecteur ou une « base station » composée d'une électronique de contrôle et d'une antenne transmet un signal sous forme de champ électromagnétique. Ce signal transmis à une fréquence particulière permet l'alimentation de l'étiquette RFID lorsque celle-ci est passive. L'étiquette qui contient en son sein une antenne et tout un dispositif électronique reçoit ce signal et transmet à son tour l'information qu'elle contenait au lecteur. Une communication par radiofréquence est ainsi établie. Enfin le lecteur, après avoir décodé l'information transmise par la puce RFID effectue le transfert vers le système hôte qui effectuera l'analyse des données transmises [5]. Ce principe de fonctionnement est illustré par un exemple de la vie courante qui est le passage d'un péage autoroutier. Une automobile, avec un pare-brise sur lequel est fixée préalablement une étiquette RFID (télébadger), arrive dans le champ de communication et d'interrogation du lecteur. Le lecteur est fixé à côté de la barrière de passage. Une communication radiofréquence s'établit : le lecteur transmet le signal d'interrogation au transpondeur. Ce

signal envoyé par le lecteur constitue en même temps l'énergie d'alimentation du tag. Une fois alimentée, l'étiquette transmet à son tour un signal contenant son identifiant. Ainsi l'étiquette est reconnue et la barrière peut s'ouvrir pour laisser l'automobiliste continuer sa route [6].

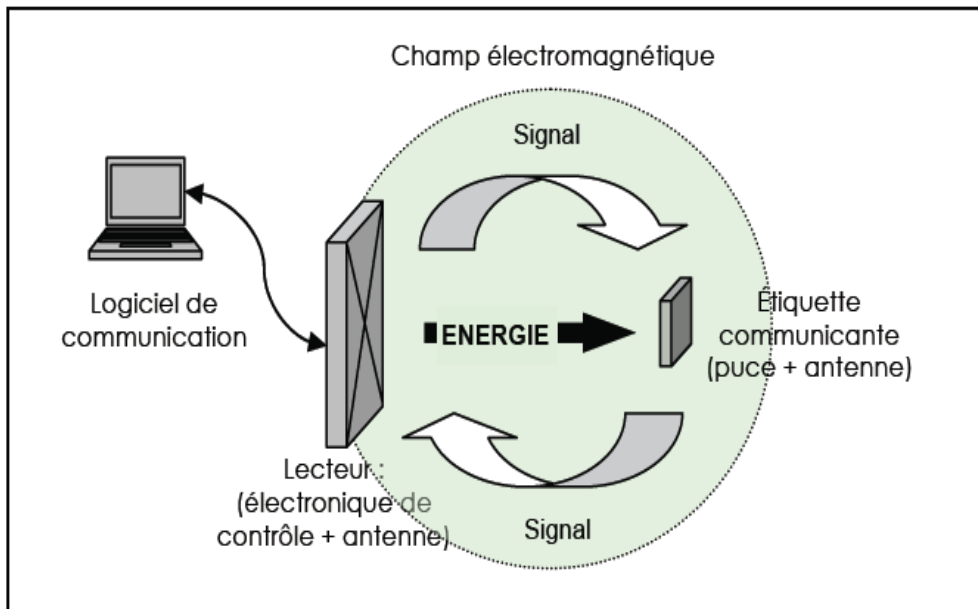


Figure 3. Principe de fonctionnement de la technologie RFID [7].

II.4. Les différentes familles d'étiquettes RFID

Les systèmes d'identification par radiofréquence ou RFID se différencient essentiellement par les fréquences de fonctionnement et par le principe physique mis en œuvre pour établir une communication entre le lecteur et le tag.

L'échange d'information entre les différentes parties des systèmes RFID fait intervenir des phénomènes de propagation d'ondes électromagnétiques. Pour cette raison, les systèmes RFID sont soumis à une réglementation stricte. Les systèmes RFID doivent notamment veiller à ne pas créer d'interférences avec les autres systèmes radio : (télévision, services radio aériens, téléphonie, ...). A ce titre, les fréquences de fonctionnement des systèmes RFID sont limitées à celles exclusivement réservées aux applications industrielles, scientifiques ou médicales. La fréquence d'utilisation d'un système d'identification radiofréquence dépend de l'application visée. En effet la vitesse et la distance d'identification d'un élément seront différentes selon que nous choisissons telle ou telle fréquence de fonctionnement. Par ailleurs

les contraintes environnementales vont varier également avec le choix de la fréquence d'utilisation.

La technologie RFID est couramment utilisée dans ces gammes de fréquence : La gamme 125-135 kHz appelée basses fréquences (BF) permet d'identifier un objet placé à une courte distance (quelques centimètres) et ce quelque soit l'environnement où est placé l'objet. La fréquence 13,56 MHz ou hautes fréquences (HF), est de loin la fréquence la plus utilisée actuellement. Cette fréquence permet la reconnaissance par le lecteur d'un élément placé à une distance de l'ordre du mètre. La gamme 868-960 MHz dite Ultra Hautes Fréquences (UHF) permet d'augmenter à la fois le débit d'échange d'informations et la distance de lecture mais par contre présente l'inconvénient majeur d'être sensible aux interférences de l'environnement dans laquelle est placé l'objet. Et la gamme des fréquences supérieures à 3 GHz appelée supra-hautes fréquences (SHF).

II.4.1. Les systèmes RFID à couplage inductif

Dans cette famille des systèmes RFID, la communication radiofréquence repose sur le principe physique de l'induction électromagnétique. Cette famille regroupe les systèmes fonctionnant dans la gamme des basses fréquences et hautes fréquences. Un champ électromagnétique est créé par le courant alternatif parcourant la bobine jouant le rôle de l'antenne du lecteur. Lorsqu'une étiquette se retrouve dans l'espace où règne ce champ électromagnétique, un courant est induit aux bornes de la bobine constituant l'antenne du transpondeur. La tension à la sortie de l'antenne du tag est transmise ensuite à la circuiterie électronique du transpondeur [8].

Selon les contraintes techniques, environnementales et les applications visées, les systèmes d'identification par radiofréquence fonctionnant dans la gamme des basses fréquences sont mis en œuvre dans des domaines très divers avec des configurations et des formes différentes. La figure 4 présente deux configurations de transpondeurs RFID. L'antenne de l'étiquette est constituée d'un enroulement de fil de cuivre (i). Cette antenne est connectée au dispositif électronique de traitement des données. La deuxième configuration (ii) illustre un système RFID avec un packaging et des dimensions réduites. Cette réduction de la dimension permet en effet une meilleure incorporation au sein d'un tissu biologique par exemple et ce type d'étiquettes est dédié généralement à une application vétérinaire.

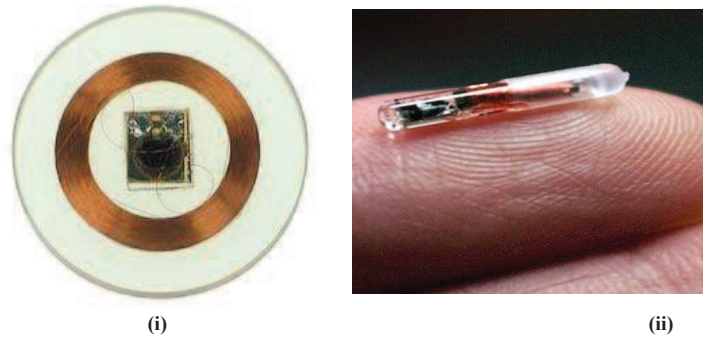


Figure 4. Exemple de configurations de tags RFID fonctionnant en basses fréquences [9].

Cependant dans cette famille, les systèmes les plus répandus sont les systèmes RFID fonctionnant dans la gamme de hautes fréquences. Les contraintes sur l'antenne sont assouplies. La fréquence de fonctionnement étant de 13,56 MHz, le nombre d'enroulement de cuivre pour former l'antenne et récupérer une valeur de tension satisfaisante est bien moindre que dans le cas des systèmes RFID basses fréquences. La figure 5 montre un exemple d'étiquette RFID fonctionnant à 13,56 MHz.

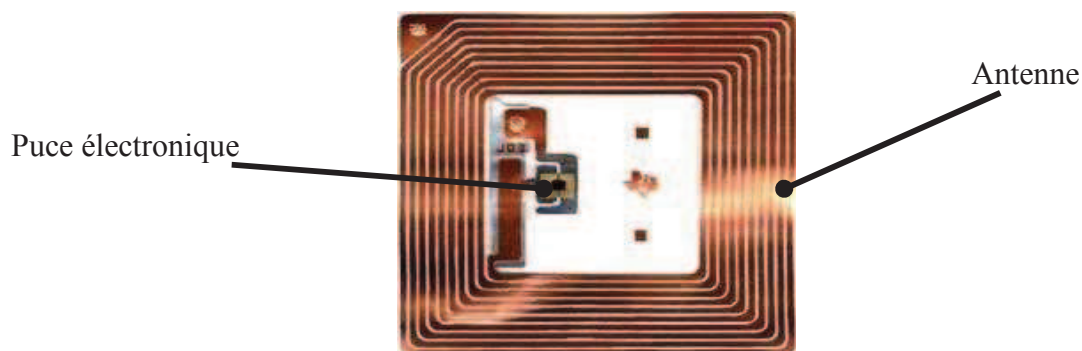


Figure 5. Tag RFID fonctionnant à 13, 56 MHz [10].

II.4.2. Les systèmes RFID à couplage radiatif

En ce qui concerne cette famille d'étiquettes RFID, les distances de lecture sont beaucoup plus importantes. Elle est composée des bandes UHF et SHF. Le principe physique mis en jeu dans l'inter-échange entre le lecteur et le tag repose sur le phénomène de propagation d'onde électromagnétique. Le lecteur envoie une onde radiofréquence au transpondeur. Cette onde est réfléchié suivant l'impédance de l'antenne du tag. La modulation de l'impédance de l'antenne du tag est réalisée par l'électronique de traitement des données qui le fait suivant le code de

l'identifiant à transmettre. L'onde réfléchiée est ensuite renvoyée au lecteur et ce dernier en décode l'identifiant du tag.

La figure 6 présente, selon le nombre de cas étudiés, la répartition des systèmes RFID, utilisés dans le secteur de l'identification automatique, en fonction de leurs fréquences de fonctionnement en 2010 [11]. Il est à noter que la majeure partie des étiquettes utilisées dans les diverses applications utilisent la fréquence de fonctionnement de 13,56 MHz. La gamme de fréquence 868-960 MHz est elle aussi de plus en plus utilisée et connaît un intérêt commercial grandissant. Ces deux bandes de fréquence de fonctionnement ont la particularité notamment d'augmenter la distance de lecture.

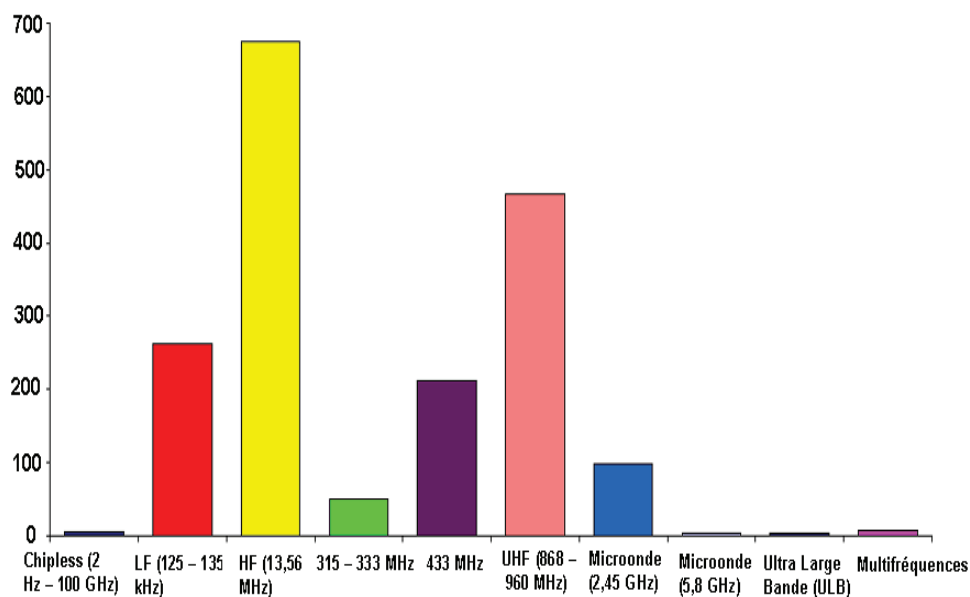


Figure 6. Répartition des tags RFID en fonction de la fréquence de fonctionnement en 2010 [11].

Les systèmes RFID peuvent être différenciés aussi en fonction de la source d'alimentation du tag. Les étiquettes dites « actives » qui ont la particularité de s'autoalimenter autrement dit elles contiennent une pile qui leur fournit leur énergie de fonctionnement. Les étiquettes dites « passives », utilise l'énergie électromagnétique rayonnante transmise par le lecteur et reçue par l'antenne du tag, pour activer leurs divers composants électroniques. Un exemple d'étiquette RFID passive est illustré par la figure 7. L'étiquette est formée de l'antenne nécessaire à la récupération de l'énergie constituant l'alimentation du tag et de la puce électronique contenant les données propres au transpondeur. Les deux parties sont connectées et assemblées dans un même support.



Figure 7. Etiquette RFID passive.

Il est à noter par ailleurs que chaque catégorie d'étiquette RFID se décompose en plusieurs familles. Les tags à lecture seule qui sont démunis de mémoire de type RAM et où l'utilisateur peut juste lire les données contenues dans l'étiquette sans pouvoir les modifier. Les tags à lecture et à écriture multiples qui permettent à l'utilisateur d'écrire, compléter et de modifier les données et ce maintes fois. Cependant ces tags à écriture multiple font intervenir des systèmes électroniques plus complexes notamment des mémoires statiques ou dynamiques et sont par conséquent beaucoup plus coûteuses à produire. En outre la communication entre le tag et le lecteur peut se faire d'une manière alternée (Half duplex), dans ce cas les informations circulent dans un sens puis dans l'autre. Mais aussi en mode simultané (Full duplex), les données circulent en même temps dans les deux sens de la communication.

II.5. Les domaines d'applications et le marché de la technologie RFID

Les systèmes d'identification par radiofréquence sont utilisés dans des nombreux champs d'activités. Les différentes évolutions technologiques ont permis par ailleurs d'élargir ces champs d'application. Parmi les nombreux domaines où la présence de la technologie RFID est effective, il y a : la logistique, l'identification du bétail, les systèmes antivols dans les centres commerciaux, les livres dans les bibliothèques, les titres des transports en commun, le télébadge pour péage, etc.... Pour les industriels, les principaux avantages de mise en œuvre des systèmes RFID résident dans une meilleure gestion des stocks et une meilleure traçabilité des produits. En effet, étant donné qu'une étiquette RFID n'a nullement besoin d'être en contact ou d'être dans le champ de vision direct du système de lecture, il est plus pratique et avantageux d'identifier à tout moment plusieurs emballages présents dans la zone d'interrogation du lecteur. La figure 8 illustre la diversité avec leurs poids respectifs des différents domaines d'application des systèmes RFID en 2010 [11]. La RFID est présente

aussi bien dans les secteurs de la sécurité, de la gestion des bagages dans les aéroports que dans le domaine de la santé.

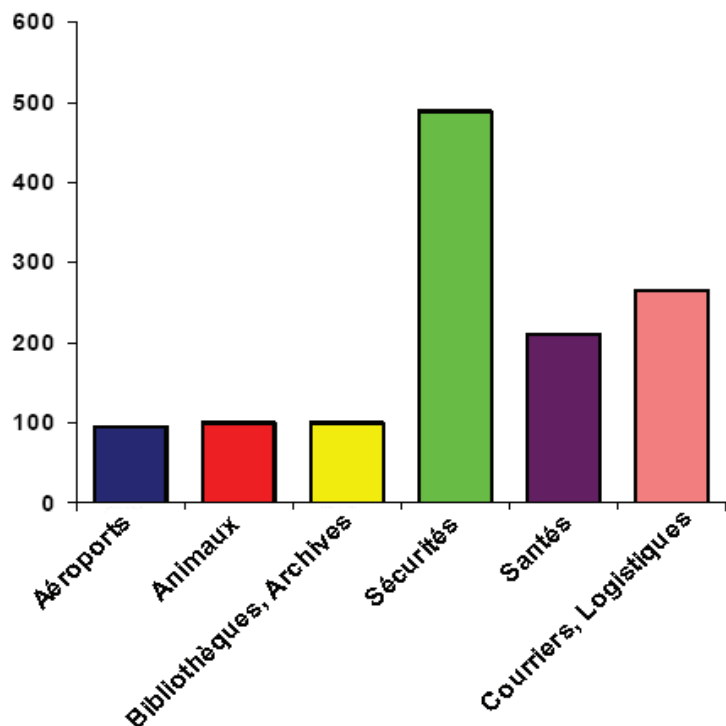


Figure 8. Répartition des applications RFID par secteur d'activité en 2010 [11]

Actuellement au niveau du marché de l'identification automatique, le transpondeur RFID est en concurrence défavorable avec le code-barres au niveau du prix étant donné que le prix d'une étiquette, de l'ordre de trente centimes d'euros pour un système RFID passif, est jugé trop cher par les professionnels du milieu pour un usage étendu aux biens de consommation courante. Cet inconvénient réduit donc pour le moment l'utilisation de la technologie RFID à grande échelle.

Le prix élevé d'une étiquette RFID est due essentiellement à une étape technologique de fabrication du tag. Cette étape dite de back-end consiste au report de l'antenne et de la puce électronique fabriquées séparément sur le même packaging. L'enjeu majeur est donc de fabriquer des tags RFID à bas prix, pour cela des travaux sont menés pour optimiser les procédés de fabrication technologiques et pour réduire le prix unitaire des tags.

Malgré cet inconvénient du prix du transpondeur, le marché de la RFID est appelé à connaître une forte croissance. En effet, ce mode d'identification possède de nombreux avantages comparés aux codes-barres habituels. Dans un avenir plus ou moins proche, cette technologie est appelée à les remplacer en partie. Parmi ces avantages, la possibilité pour

l'utilisateur de mettre à jour le contenu de l'étiquette, la vitesse d'identification qui est beaucoup plus rapide et la capacité de l'étiquette à être lue partout sans obligatoirement passer devant le lecteur contrairement à un code-barres qui doit passer en face du lecteur optique pour être identifié. Le marché de l'identification par radiofréquence devrait générer un chiffre d'affaire d'environ 10 milliards de dollars d'ici 2013 (Figure 9) [11].

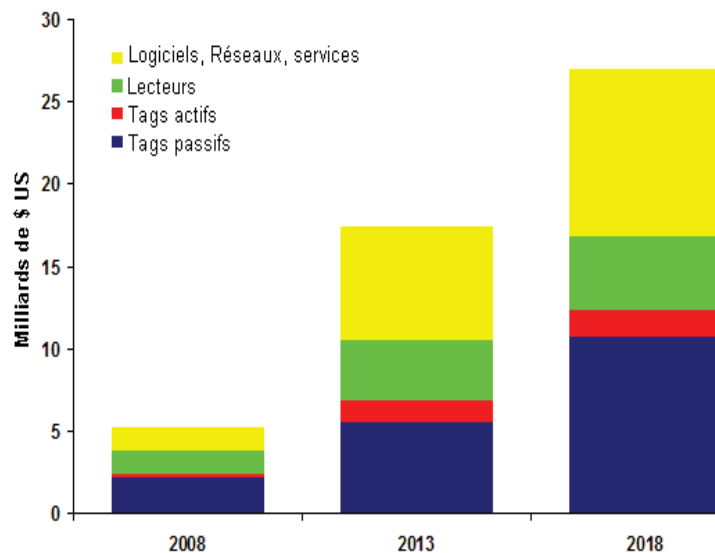


Figure 9. Evolution du marché de la RFID : Tags + Lecteurs [11].

Un autre frein au développement de la technologie RFID sont les problèmes de l'acceptation de l'utilisateur. Ces inquiétudes sont liées à la capacité des systèmes RFID à permettre un suivi des personnes utilisant des objets munis d'étiquette RFID. En effet dans l'exemple des transports en communs, l'usage des titres de transport, avec un transpondeur RFID incorporée peut permettre de reconstituer les déplacements des usagers. En France, notamment, un organisme chargé de la protection des libertés des individus telle que la CNIL (Commission Nationale de l'Informatique et des Libertés) avoue être préoccupée par certaines applications de la RFID [12]. Un autre obstacle qui freine également l'avancée de la technologie d'identification par radiofréquence est la limitation de l'interopérabilité des systèmes due à une régulation et des normes pas encore bien définies.

II.6. Régulations et normes des systèmes RFID

Les systèmes d'identification par radiofréquence sont destinés à être commercialisés comme les autres systèmes d'identification automatiques tels que le code-barres. A ce titre, ils

sont régis par plusieurs réglementations et normes. L'objectif de la régulation est de permettre la cohabitation des différents utilisateurs sur une bande de fréquence donnée. Elle définit les différentes réglementations permettant le respect des libertés des personnes et la prévention d'un éventuel problème sanitaire. Les normes ont pour principal objectif de garantir l'interopérabilité des systèmes et des produits, d'harmoniser le secteur de la RFID en rendant pratique l'utilisation de cette technologie pour les usagers et de participer ainsi à la croissance du marché des transpondeurs. Les organismes chargés de réguler la technologie RFID au niveau mondial sont l'ISO (International Standards Organisation) et l'EPC global (Electronic Product Code) [13].

II.6.1. Les réglementations des systèmes RFID

Les systèmes RFID sont régis par des systèmes de réglementation différents selon qu'ils sont mis en œuvre dans un endroit géographique déterminé. En effet la réglementation de cette technologie dépend des autorités gouvernementales. Son harmonisation au niveau mondial n'est donc pas encore établie. La réglementation intervient essentiellement aux niveaux des fréquences et des puissances d'émission. En termes de fréquence de fonctionnement les systèmes RFID ne doivent en aucun cas créer des interférences avec les autres dispositifs radiofréquences comme les services de police, de secours ou les téléphones portables. Les systèmes RFID sont donc cantonnés dans des gammes de fréquences allouées aux applications industrielles, scientifiques ou médicales, communément appelées les bandes ISM (Industrial Scientific Medical).

Au niveau mondial, la gamme de fréquences 125 kHz - 135 kHz dites basses fréquences et la fréquence 13,56 MHz connaissent une harmonisation complète. La régulation est la même pour les systèmes utilisant ces plages de fréquence quelque soit le lieu géographique. Cependant il existe une divergence au niveau de la gamme de fréquences dites UHF pour ultra hautes fréquences. Ces fréquences de fonctionnement diffèrent selon que les systèmes RFID sont mis en application dans telle ou telle région du monde. Le tableau I illustre cette divergence. Il présente les bandes de fréquences et les puissances allouées à ces systèmes en fonction des régions du globe [14].

Région	Bandes de fréquences	Puissances autorisées
Europe	869,4 à 869,65 MHz	500 mW ERP*
	865 à 868 MHz	100 mW ERP
	865,6 à 867,6 MHz	2 W ERP
	865,6 à 868 MHz	500 mW ERP
Amérique	902 à 928 MHz	4 W EIRP**
Asie et Océanie	952 à 954 MHz	4 W EIRP
	908,5 à 914 MHz	4W EIRP
	915 à 928 MHz	1 W EIRP

Tableau I. Allocations des fréquences et des puissances autorisées en fonction de la région

* 1 W ERP (Effective Radiated Power) = 1,62 W EIRP (Effective Isotropic Radiated Power).

Pour la bande de fréquences UHF, les gammes des fréquences de fonctionnement allouées ne sont pas les mêmes selon que les systèmes RFID sont utilisés dans une région déterminée du monde, tout comme les puissances d'émission autorisées. Les puissances d'émission sont généralement plus faibles en Europe. Les différences des puissances autorisées sont relatives à des questions de sécurité sanitaire des usagers.

II.6.2. Les normes

La normalisation est indispensable pour assurer l'interopérabilité et l'interchangeabilité des équipements RFID. L'établissement des normes permet de rendre compatible tous les systèmes en facilitant le travail en réseau. Les normes garantissent l'interopérabilité pour que n'importe quel lecteur puisse lire n'importe quelle étiquette ou tag RFID fabriqué par différents acteurs du marché. Il existe deux types de normes : les normes techniques qui concernent les produits et les normes applicatives qui concernent l'utilisation des produits. Les normes techniques définissent essentiellement la communication entre le lecteur et le tag appelée air-interface. Le tableau II présente les principales normes techniques développées par l'organisme international de standardisation (ISO). Elles réglementent, pour chaque gamme de fréquence, les paramètres de communication [15].

Références	Fréquences concernées	Intitulé	Statut
18000- 1	Vocabulaire et définitions	RFID pour la gestion – partie 1 : Architecture de référence et définition des paramètres à normaliser	Publié le 13/09/2004
18000- 2	< 135 kHz	RFID pour la gestion – partie 2 : Paramètres de communications d'une interface d'air à moins de 135 kHz	Publié le 13/09/2004
18000- 3	13,56 MHz	RFID pour la gestion – partie 3 : Paramètres de communications d'une interface d'air à 13,56 MHz	Publié le 13/09/2004
18000- 4	2,45 GHz	RFID pour la gestion – partie 4 : Paramètres de communications d'une interface d'air à 2,45GkHz	Publié le 31/10/2004
18000- 5	5,8 GHz	RFID pour la gestion – partie 5 : Paramètres de communications d'une interface d'air à 5,8 GHz	Pas de consensus
18000- 6	900 MHz	RFID pour la gestion – partie 6 : Paramètres de communications d'une interface d'air entre 860 MHz et 900 MHz	Publié le 31/10/2004

Tableau II. Normes ISO 18000 pour la standardisation des systèmes RFID

Un autre système de régulation de la technologie RFID est la standardisation EPC (Electronic Product Code), produit par le groupement EPCglobal. Ce standard attribue à chaque objet un identifiant EPC unique et permet donc le suivi à l'unitaire de chaque objet. Le système EPC (Electronic Product Code) est né d'une collaboration fructueuse entre des laboratoires de recherches tels que l'AutoID center, un laboratoire de recherche américain, et des industriels des produits de consommation de masse.

III. ARCHITECTURE D'UNE ETIQUETTE RFID HF PASSIVE

La technologie RFID passive a l'avantage d'être la technologie la moins chère au niveau des coûts. Cette famille des systèmes RFID est appelée à connaître un développement important dans le futur. Un système d'identification par radiofréquence passive est constitué, comme tous les autres systèmes RFID d'un lecteur et d'un transpondeur avec un protocole de communication défini.

III.1. La communication Lecteur-Tag

La communication entre le lecteur et le tag est à la fois un transfert d'informations et d'énergie comme présenté sur la figure 10. En effet une étiquette passive reçoit l'énergie nécessaire à son fonctionnement de la part du lecteur, c'est le principe de la télé-alimentation. Le transfert des données du lecteur vers le tag est appelé liaison montante et la communication du tag vers le lecteur est dite liaison descendante.

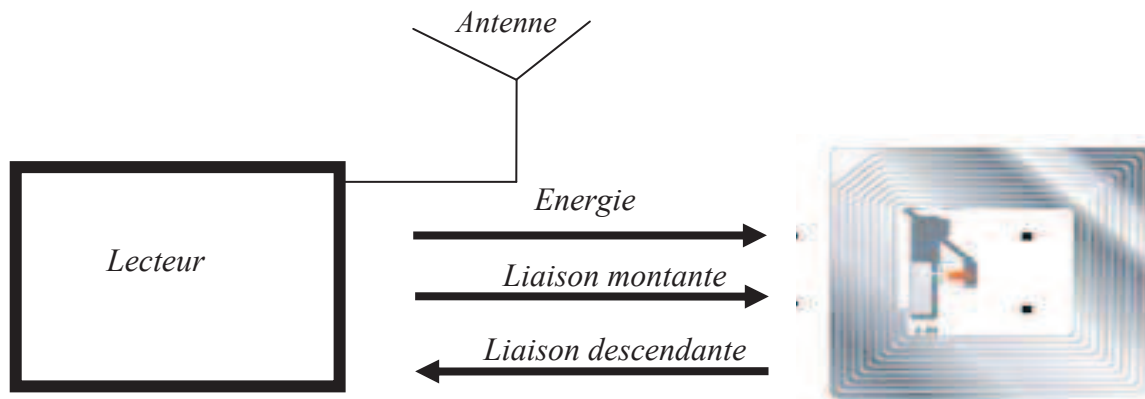


Figure 10. Représentation schématique d'une communication RFID

Deux principaux protocoles régissent la communication entre le lecteur et le tag constituant un système RFID : le protocole TTO (Tag Talk Only) et le protocole RTF (Reader Talk First). Dans le cadre du protocole TTO, qui signifie que seul le tag transmet des données, l'étiquette, après avoir été alimentée en entrant dans le champ d'un lecteur, transmet ses données de façon régulière. L'avantage de ce protocole est la possibilité de lire un grand nombre d'étiquettes RFID. Dans un cas de protocole RTF qui signifie que le lecteur a la commande sur l'échange d'informations, une requête du lecteur est indispensable pour que le transpondeur puisse transmettre son identifiant [2].

III.2. Le lecteur

Le dispositif de lecture usuellement appelé lecteur fait entièrement partie du système RFID. C'est un des éléments centraux de la technologie. Il constitue l'interface entre l'étiquette et le système hôte. Il permet par l'envoi d'un signal électromagnétique de fournir l'alimentation nécessaire au fonctionnement des étiquettes. Le lecteur peut être divisé en plusieurs éléments (Figure 11).

La partie numérique, qui a pour mission la génération et la mise en forme du signal numérique contenant la requête à transmettre à l'étiquette. La réponse du tag est aussi traitée par cette partie.

La partie RF, qui a pour fonction la génération d'un signal radiofréquence, de sa modulation avec le signal numérique préalablement généré par la partie numérique du lecteur. En outre, le signal contenant la réponse de l'étiquette est démodulé par cette partie.

La partie antenne, qui a pour mission, la transmission des signaux permettant l'échange d'informations et l'alimentation des transpondeurs.

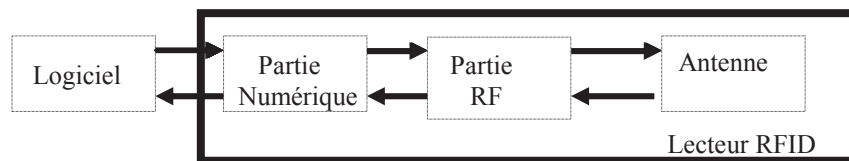


Figure 11. Représentation schématique d'un lecteur RFID

III.3. Le tag RFID

Une étiquette RFID « passive » se décompose en plusieurs parties majeures (Figure 12). L'antenne est en charge de la réception et de la transmission du signal électromagnétique. Un système de conversion d'énergie est articulé autour d'un système redresseur. Ce dernier a pour fonction de transformer le signal réceptionné en un signal continu pour l'alimentation de l'étiquette. L'électronique de traitement des données permet principalement de fournir les identifiants de l'étiquette. Le modulateur a pour rôle de transformer les données en un signal facilitant sa transmission ou sa détection par la « base station » [16].

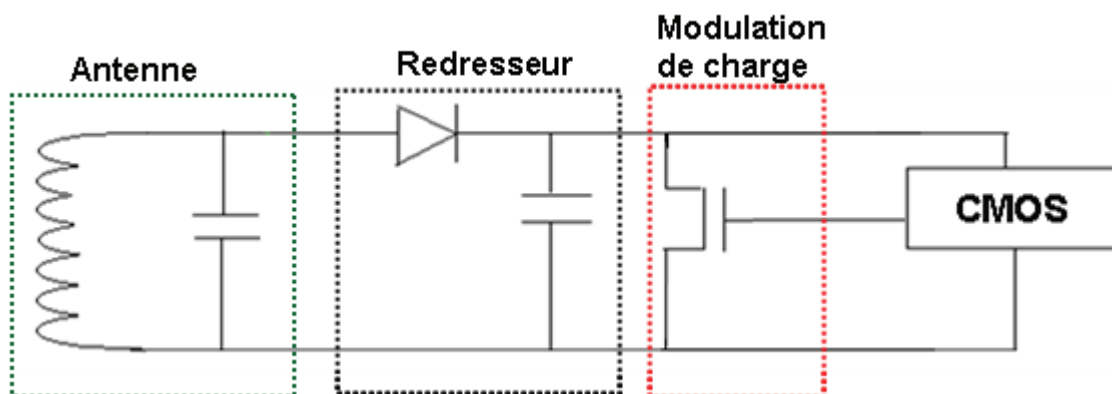


Figure 12. Représentation schématique d'un tag RFID, exemple ici avec une modulation de la charge

L'antenne et le système de redressement sont des éléments centraux du fonctionnement d'un tag RFID car ils permettent l'alimentation du système RFID. Les circuits logiques et la modulation de charge ont pour mission de transmettre la réponse du transpondeur.

III.3.1. L'antenne

L'antenne est assemblée à la partie électronique (puce) du tag sur un même support. Les deux composantes du transpondeur sont connectées entre elles.

Les paramètres d'une antenne tels que les dimensions ou la forme dépendent de l'application visée et de la distance de communication souhaitée. Les dimensions de l'antenne sont influencées directement par la fréquence de fonctionnement de celle-ci. Plus la fréquence de fonctionnement de l'antenne d'un système RFID est grande, plus le nombre d'enroulements des fils de cuivre constituant cette antenne est moindre. La figure 13 illustre différentes structures d'antennes conçues pour des systèmes RFID. Les antennes dédiées à des applications d'identification par radiofréquence se présentent sous des formes imprimées ou bobinées.

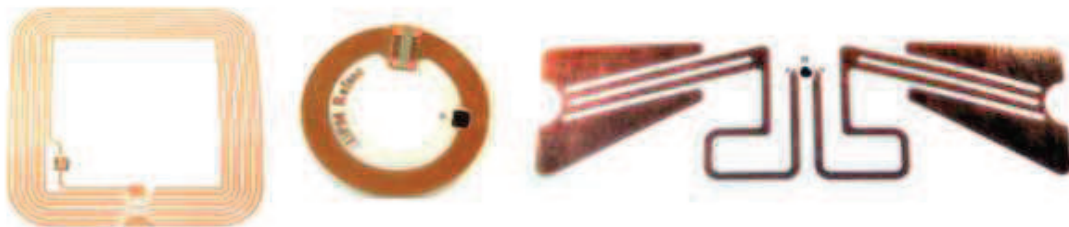


Figure 13. Différentes structures d'antennes RFID

III.3.2. La modulation de charge

Le système de modulation de charge est connecté à l'antenne. Il assure avec l'antenne, la transmission des données de l'étiquette RFID à la « base station ». Le principe de fonctionnement repose sur la variation de l'impédance à l'entrée de l'étiquette. La variation de cette impédance est assurée par les circuits numériques de l'étiquette. La modulation de l'impédance est conforme au code binaire constituant l'identifiant du transpondeur.

III.3.3 Le système redresseur

Le redressement consiste à récupérer le signal capté par l'antenne du tag. Ce signal, de nature sinusoïdale, doit être transformé en un signal continu afin d'alimenter l'ensemble des dispositifs de l'étiquette. Le module de redressement est un élément qui est appelé à travailler à la fréquence d'émission et de réception du tag.

Un système de redressement peut être conçu et fabriqué de deux manières différentes. La première plus conventionnelle consiste à utiliser une ou plusieurs diodes et la deuxième repose sur l'utilisation des transistors montés en diode [17].

IV. PROBLEMATIQUE DES SYSTEMES RFID ET OBJECTIFS DU TRAVAIL

IV.1 Problématique

La problématique la plus importante de l'introduction massive de systèmes RFID dans l'économie concerne le coût de fabrication de la carte. Le signe de cette réussite sera l'introduction de ces systèmes au niveau des produits de consommation courante. Il s'agit alors de remplacer le code-barres actuel. En effet le code-barres n'est pas si gratuit qu'il n'en paraît. Le coût réel si l'on compte le système de lecture est estimé à 5 centimes d'après le « EPC global » (Electronic Product Code, anciennement le « Auto-ID Center » du MIT). Partant de cette donnée, l'objectif fixé par le « Auto-ID Center » est de fabriquer des cartes passives RFID à 5 centimes la carte en gros volume (30 milliard d'unités pour une viabilité économique). Ce volume est cependant très inférieur à celui attendu si le système RFID pénètre vraiment le marché des produits de consommation courante.

Un standard EPC minimum a été alors défini pour fabriquer des cartes passives RFID à très bas coût. Une classe 1 pour les spécifications minimum a été définie par une mémoire non-volatile de 128 bits et une logique réduite à un nombre minimum de fonctions.

Partant de ce standard, le coût de 5 centimes a été réparti entre 1 centime pour la puce et 1 centime pour chacune des 3 étapes de packaging définies dans la figure 14. Si le coût de la puce peut être atteint, il semble difficile de faire autant avec les étapes de packaging à moins d'imaginer de nouvelles techniques différentes de celles de l'électronique actuelle.

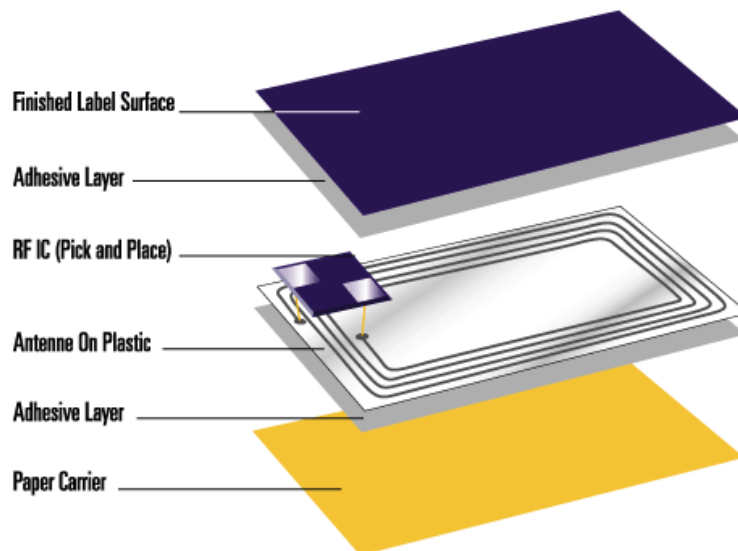


Figure 14: Etapes de packaging d'une carte RFID

Une autre possibilité retenue dans certains laboratoires et en particulier dans le Groupe Microélectronique est de fabriquer l'antenne et l'électronique directement sur un plastique. Dans ce cas, le packaging consisterait uniquement en une étape d'encapsulation de l'ensemble.

Cette possibilité est déclinée actuellement sous 2 voies, celle de l'électronique organique et celle du silicium déposé directement sur un plastique.

L'électronique organique utilise des matériaux organiques ayant des propriétés semiconductrices. Ces matériaux organiques sont déposés par des techniques de spin-coating ou d'impression à faible coût. Ainsi l'électronique organique dispose d'un potentiel certain dans la diminution du coût de fabrication. Elle fait face cependant à des défis technologiques importants. Parmi ces défis, la stabilité dans le temps et la reproductibilité s'avèrent particulièrement ardues à relever. Même si des résultats prometteurs sont régulièrement annoncés, l'émergence des produits de l'électronique organique sur le marché tarde à suivre.

Le silicium déposé à basse température sur plastique a l'avantage de bénéficier de l'expérience de la grande aventure de la technologie silicium et en particulier de celle de l'électronique grande surface dont les produits occupent une place prépondérante dans la société actuelle. Parmi les avancées de cette technologie silicium sur plastique, nous pouvons signaler la réalisation de dispositifs électroniques simples, inverseurs et oscillateurs CMOS. Ces résultats montrent que cette technologie commence à être mûre pour la réalisation de circuits complets répondant aux normes de classe 1 définies dans le standard EPC minimum.

IV.2 Objectifs du travail de thèse

Ce travail de thèse s'inscrit dans le projet de réalisation de tels circuits en utilisant la technologie silicium déposé à basse température compatible avec l'utilisation de substrats plastiques.

Parmi les 4 gammes de fréquence disponibles pour les systèmes RFID, BF (125-135 kHz), HF (13,56 MHz), UHF (868-960 MHz) et SHF (>3 GHz), le Groupe Microélectronique a focalisé ses efforts sur la bande HF. Ce choix correspond à l'application visée consistant en la mise au point d'un système RFID à très faible coût pour des produits de consommation courante. Ce choix écarte la bande BF, trop limitée en distance de lecture, et les bandes UHF et SHF pour leur sensibilité à l'environnement.

Le travail prend appui sur la technologie développée dans le Groupe Microélectronique utilisant le silicium déposé directement microcristallin à 165°C et ayant abouti à la réalisation de transistors de type N et de type P présentant une très bonne stabilité, avec une mobilité faible cependant. Si l'on peut limiter les applications possibles en tenant compte de la faible mobilité, la stabilité est une donnée fondamentale sans laquelle aucun dispositif électronique viable n'est possible.

Partant de cette technologie, la thèse s'est focalisée sur la mise au point des éléments constituant le premier étage d'une étiquette d'identification par radiofréquence passive fonctionnant dans la gamme de fréquence HF (13,56 MHz). Cet étage, qui est celui de la réception du signal transmis par le lecteur, est composé de l'antenne et du système redresseur. L'étage de redressement, qui est, comme nous l'avons présenté plus en avant, le seul élément du circuit à recevoir le signal RF à 13,56 MHz, constitue en effet un défi technologique à relever. Le redressement d'un signal de 13,56 MHz par un dispositif utilisant le silicium microcristallin déposé à 165°C n'est pas évident connaissant la faible mobilité des porteurs déterminée à partir des caractéristiques des transistors fabriqués au Laboratoire.

Parallèlement, une antenne compatible a été conçue, fabriquée et caractérisée en réception d'un signal RF.

BIBLIOGRAPHIE – Chapitre 1

- [1] **D. Paret**, “ Identification radiofréquence et cartes à puce sans contact”, *Dunod*, 2001
- [2] **K. Finkenzeller**, “RFID Handbook”, *Wiley*, 2003
- [3] **RFIDjournal**, [http:// www.rfidjournal.com/](http://www.rfidjournal.com/)
- [4] **J. Landt**, “The history of RFID”, *IEEE Potentials*, 2005
- [5] **P. Hauet**, “L’identification par radiofréquence (RFID) Techniques et Perspectives”, article invité, *REE No.10*, 2006
- [6] **D. Bechevet**, “ Contribution au développement de tag RFID UHF et Microondes sur matériaux plastique”, Thèse de doctorat, *Institut Polytechnique de Grenoble*, 2005
- [7] **J. Sarraillon**, “Traçabilité, la révolution des étiquettes intelligentes”, *JITEC*, 2002
- [8] **R. Want**, “An introduction to RFID technology”, *IEEE Pervasive Computing*, 2006
- [9] **FUTURLEC**, [http:// www.futurlec.com/](http://www.futurlec.com/)
- [10] **SMART-TRACING**, [http:// www.smart-tracing.com/](http://www.smart-tracing.com/)
- [11] **IDtechEx**, [http:// www.idtechex.com/](http://www.idtechex.com/)
- [12] **F. Roure, J.C. Gorichon, E. Sartorius**, “Les technologies de radio-identification (RFID) : enjeux industriels et questions sociétales”, Rapport N° II-B. 9, *Conseil Général des Technologies de l’Information*, 2005
- [13] **EPCglobal**, [http:// www.epcglobalinc.org/](http://www.epcglobalinc.org/)
- [14] **A. Ghiotto**, “ Conception d’antennes de tags RFID UHF, application à la réalisation par jet de matière”, Thèse de doctorat, *Institut Polytechnique de Grenoble*, 2008
- [15] **X. Barras**, “RFID, Normes et Standards”, Rapport d’entreprise, *GSI France*, 2005
- [16] **A. Ashry, K. Sharaf, M. Ibrahim**, “A compact low-power UHF RFID tag”, *Microelectronics Journal*, 40, 1504-1513, 2009

- [17] **L. Dang-Sheng, Z. Xue-Cheng, D. Kui, L. Si-Zheng, H. Xue-Mei, L. Yao, T. Qiao-Ling**, “New design of RF rectifier for passive UHF RFID transponders”, *Microelectronics Journal*, 41, 51-55, 2010

Chapitre 2

Le silicium microcristallin : matériau et composants

I. INTRODUCTION

De nos jours, les champs d'application de l'électronique se sont considérablement diversifiés. Il existe notamment, un besoin grandissant en application électronique nomade et souple tel que les écrans OLED à matrices actives. A cet égard, le marché de l'électronique sur support flexible est appelé à un développement croissant [1]. Cette orientation s'explique par une volonté d'agrandir les champs d'application et de réduire les coûts de fabrication.

Le matériau de base permettant la réalisation des circuits électroniques sur des supports flexibles doit être d'une part déposé à des températures compatibles avec l'utilisation d'un substrat souple et d'autre part avoir des performances électriques élevées. L'élaboration d'un tel matériau représente un véritable défi. En outre, l'utilisation de ce matériau pour réaliser à la fois un composant et un circuit électronique, constitue également un autre challenge [2].

Plusieurs matériaux tels que le silicium amorphe ou le matériau organique peuvent être mis en œuvre dans ces applications flexibles. Cependant, le silicium amorphe est caractérisé par une instabilité des performances électriques des dispositifs électroniques à base de celui-ci [3]. Par ailleurs ce matériau présente des mobilités des trous très faibles, donc une contrainte pour l'élaboration des transistors de type P. Quant aux polymères, il existe une difficulté physique à mettre en œuvre un matériau avec un dopage de type N. Le développement des transistors de type N et P est indispensable à la réalisation des circuits CMIS.

Un candidat idéal pour ces technologies dites basse température est le silicium microcristallin. Ce matériau a la particularité d'être déposé à des températures inférieures à 200°C. De plus, il présente une bonne stabilité [4-6] et possède des mobilités intéressantes pour la mise en œuvre des circuits à base de celui-ci [7-9].

Dans ce chapitre, sera abordé dans un premier temps l'aspect matériau proprement dit. En effet la méthode de dépôt du silicium microcristallin sera décrite dans tous ses aspects, à savoir le réacteur de dépôt, la gestion du vide et celle des gaz. Ensuite les mécanismes de dépôt par plasma seront décrits brièvement, suivi du processus de croissance du silicium microcristallin. Les propriétés électroniques de ce matériau seront par la suite énumérées.

La deuxième partie de ce chapitre concerne les composants électroniques fabriqués au sein du laboratoire, en utilisant des couches de silicium microcristallin déposées à basse température. Ces dispositifs sont essentiellement des transistors. Dans un premier temps, des transistors avec des grandes mobilités seront présentés. Dans un second temps, l'optimisation des transistors en termes de stabilité sera mise en évidence.

II. SILICIUM MICROCRISTALLIN : MATERIAU

II.1. Le terme microcristallin

La matière solide est caractérisée par deux états opposés : l'état amorphe correspondant à une distribution aléatoire à l'échelle macroscopique des atomes constituant la matière, l'état cristallisé définissant une répartition périodique des atomes constituant le matériau.

Il existe différentes structures du silicium entre l'état amorphe et l'état monocristallin. Ces états intermédiaires sont constitués d'îlots cristallins séparés par des espaces non cristallisés. Les îlots cristallins sont communément nommés grains.

L'appellation du silicium est donnée en fonction de la taille des grains qui le composent. La figure 1 illustre la classification du silicium. La taille des grains composant le silicium microcristallin se situe entre quelques nanomètres à environ 1 micromètre [10]. Les performances électriques du matériau sont étroitement liées à la taille des cristallites ou îlots cristallins.

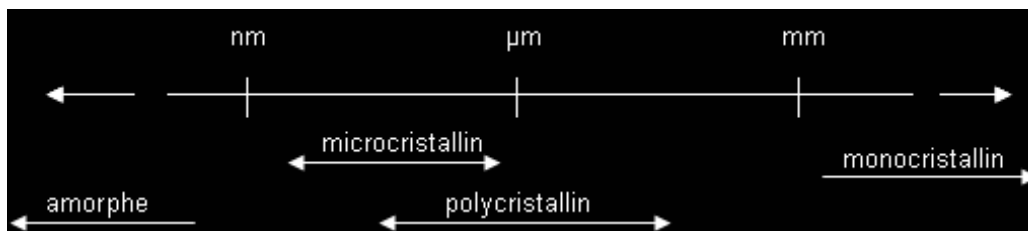


Figure 1. Classification du silicium selon la taille de grains [10]

Le dépôt de silicium microcristallin à basse température est réalisé par plusieurs techniques. Parmi celles-ci, la pulvérisation cathodique et les techniques de dépôts reposant sur la décomposition chimique en phase vapeur (CVD). La pulvérisation utilise comme principe physique le bombardement ionique. Un plasma constitué d'hydrogène (H_2) et d'un gaz porteur, l'argon (Ar) entre en collision avec une cible de silicium [11]. Les techniques CVD, quant à elles, reposent sur la dissociation des espèces chimiques par différents mécanismes.

La technique CVD la plus fréquemment mise en œuvre pour l'élaboration des couches de silicium microcristallin est le PECVD (*Plasma Enhanced Chemical Vapor Deposition*). Elle consiste en l'utilisation d'un plasma obtenu par radiofréquence à 13,56 MHz pour décomposer les précurseurs tels que le silane. L'énergie cinétique des éléments chimiques du plasma est directement liée à cette radiofréquence.

II.2. Présentation du réacteur de dépôt par PECVD

Les couches de silicium microcristallin utilisées dans la réalisation des composants électroniques lors de ce travail de thèse ont été obtenues à l'aide d'un réacteur de dépôt présent au sein du groupe microélectronique de l'IETR. La figure 2 présente la configuration de ce réacteur type diode radiofréquence. Il est constitué par : le système de pompage, le système de gestion des gaz, la chambre de dépôt et la source d'excitation (générateur RF à 13,56 MHz).

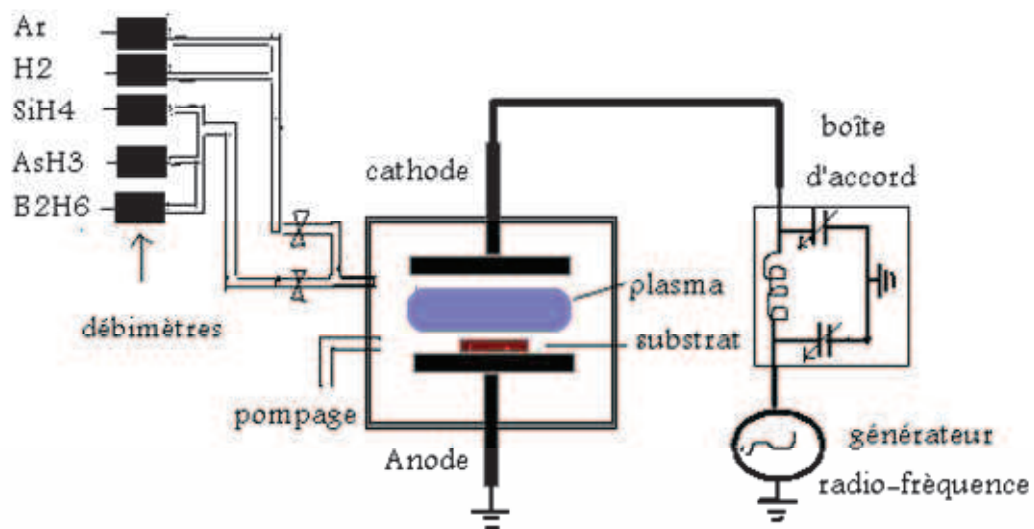


Figure 2. Schéma du réacteur de dépôt PECVD

II.2.1. La chambre de dépôt

La chambre de dépôt est une enceinte cylindrique en acier inoxydable. A l'intérieur de la chambre de dépôt, se trouvent deux électrodes planes disposées parallèlement, l'anode et la cathode qui possèdent toutes les deux un diamètre de 15 cm. La cathode est reliée à la boîte d'accord et l'anode est reliée à la masse. La boîte d'accord, d'impédance de sortie égale à 50Ω , est reliée au générateur radiofréquence fonctionnant à 13,56 MHz et elle permet de minimiser la puissance réfléchie. L'échantillon sur lequel devra être déposé le silicium est placé sur l'anode. Le mode de fonctionnement repose sur un couplage capacitif.

Pour augmenter la température du substrat au cours d'un dépôt, un élément chauffant est placé au niveau de l'anode. Un thermocouple est préalablement fixé sur cette anode. Il

garantit la régulation et la mesure de la température du substrat pendant une étape de déposition du matériau silicium.

La gestion de l'écart entre les deux électrodes planes, paramètre important pour un dépôt, est assurée par un déplacement de l'anode.

Les gaz, indispensables à l'élaboration des couches, sont injectés à travers un anneau percé de plusieurs orifices afin d'optimiser la distribution du flux gazeux.

Il faut noter par ailleurs que des hublots en quartz au sein de la chambre de dépôt permettent d'observer d'éventuelles fluctuations du plasma et d'effectuer des diagnostics du plasma par spectroscopie d'émission optique (OES).

II.2.2. Le système de pompage

La qualité d'un dépôt d'une couche de silicium microcristallin dépend en premier lieu de la qualité du vide au sein de la chambre de déposition. Un vide, de bonne qualité (10^{-6} mbar), permet de diminuer les contaminants comme l'oxygène résiduel qui peuvent détériorer la qualité du matériau.

Dans le réacteur de dépôt PECVD, deux pompes mises en série constituent le système de pompage, une pompe à diffusion d'huile (150 l/mn) et une pompe à palettes (40 m³/h). La mise sous vide de l'enceinte commence par la mise en œuvre de la pompe à palettes qui assure le pompage primaire. Dès lors que la pression mesurée atteint des valeurs de l'ordre de $2 \cdot 10^{-2}$ mbar, la pompe à diffusion est activée pour permettre le pompage secondaire. A l'issue de ces deux pompages, la pression régnant au sein de l'enceinte de dépôt atteint des valeurs avoisinantes les 10^{-6} mbar. Ce n'est qu'à ce moment là que peut commencer une phase de dépôt.

II.2.3. La gestion des gaz

Le dépôt des couches de silicium nécessite l'arrivée des différents gaz au niveau de l'enceinte. Ces gaz sont l'hydrogène (H₂, qualité alphasgaz 2), l'argon (Ar, qualité alphasgaz 2), le silane (SiH₄ de pureté 99,999), l'arsine (AsH₃, dilué à 0,1% dans H₂) et le diborane (B₂H₆, dilué à 0,1% dans H₂).

La gestion des gaz est assurée à plusieurs niveaux. En effet, les bouteilles contenant les gaz sont placées dans des armoires ventilées. Les débitmètres massiques permettant le contrôle des flux gazeux sont situés, eux aussi, dans une armoire ventilée.

Des détecteurs sensibles aux hydrures sont localisés au niveau des armoires de gaz et du panneau des débitmètres.

Au niveau de la chambre de dépôt du réacteur PECVD, une fois le vide établi et le mélange gazeux effectué, le plasma peut être enclenché pour obtenir les couches.

II.3. Plasma de dépôt

Le dépôt d'une couche de silicium microcristallin par la méthode PECVD repose sur la formation d'un plasma. Ce plasma résulte généralement de la dissociation du silane dilué dans de l'hydrogène (H_2), gaz réactif ou dans de l'argon (Ar) ou l'hélium (He), des gaz inertes.

L'entretien du plasma est garanti par le générateur radiofréquence fonctionnant à 13,56 MHz. En effet une puissance RF est appliquée entre les électrodes planes. La figure 3 présente le schéma d'une décharge radiofréquence.

Un champ électrique est établi dans l'espace entre les deux électrodes. Ce champ est créé par l'application d'une différence de potentiel aux bornes des électrodes. En effet, l'électrode RF est reliée au générateur via la boîte d'accord et l'autre à la masse. La boîte d'accord permet d'ajuster l'impédance du système pour optimiser la puissance reçue. Le champ électrique ainsi créé transfère son énergie aux électrons du plasma qui permettront la dissociation des molécules par collision.

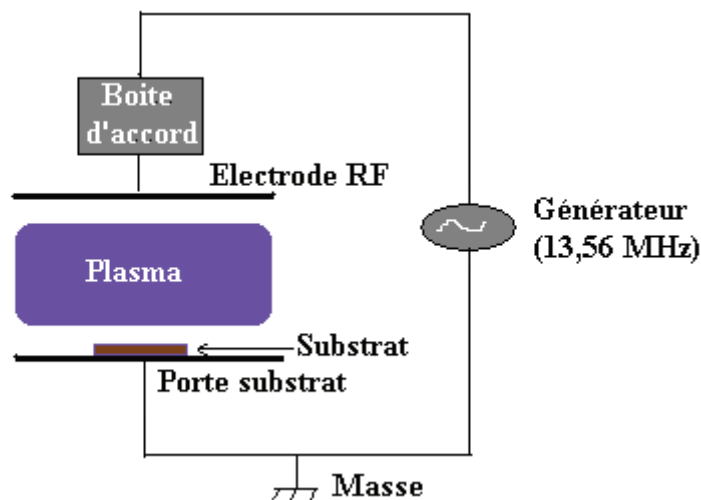


Figure 3. Schéma d'une décharge RF à couplage capacitif

II.4. Structure et processus de croissance

II.4.1. Structure du silicium microcristallin

La structure du silicium microcristallin est illustrée par la figure 4. Elle est formée par un conglomérat d'îlots cristallins appelés grains ou cristallites et des espaces désordonnés nommés joints de grains [12]. Les joints de grains constituent des zones dites amorphes avec une forte présence de défauts localisés dans le gap du silicium. Ces joints ont une incidence directe donc sur les performances des composants à base de ce silicium.

De par sa structure donc, le silicium microcristallin est un matériau hétérogène. Les grains sont également repartis d'une manière à former des colonnes. Ces dernières sont séparées par des joints de colonne. Ces joints de colonne sont très larges. Ils facilitent la contamination du silicium microcristallin par des espèces chimiques non désirables au cours de son élaboration au lors d'un procédé de fabrication d'un dispositif électronique à base de ce matériau.

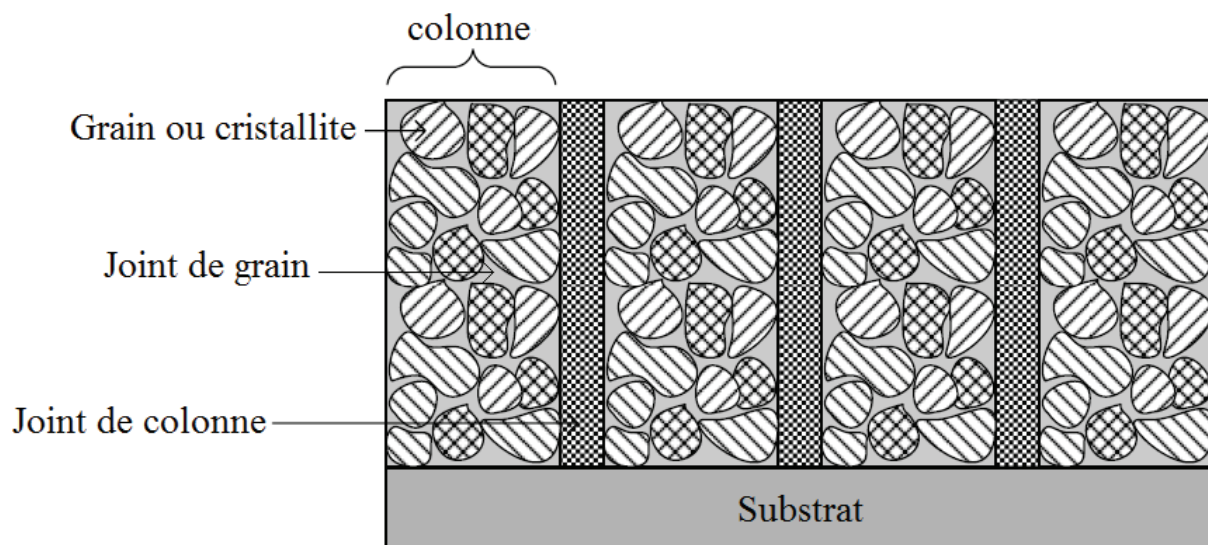


Figure 4. Structure du silicium microcristallin [12]

II.4.2. Processus de croissance du silicium microcristallin

Le processus de croissance du silicium microcristallin, depuis le substrat jusqu'à la surface de la couche, s'effectue en des étapes successives. Ces étapes donnent naissance à des couches intermédiaires [13]. Ces couches stratifiées sont différentes à la fois par leur nature et

leur volume au sein du matériau. L'ensemble de ces couches forme le silicium microcristallin déposé. La figure 5 présente de manière schématique la constitution d'une couche de silicium microcristallin.

- La couche d'interface apparaît en premier lieu pendant le dépôt. Cette dernière est amorphe. Son épaisseur est fortement influencée d'une part par les paramètres de dépôt et d'autre part par l'état de surface du substrat. La croissance du silicium microcristallin peut être dépourvue de cette phase amorphe si le silane (SiH_4) est fortement dilué dans l'hydrogène (H_2). La morphologie de la surface du substrat est un élément déterminant l'importance de cette couche d'interface. Cet effet peut être minimisé en effectuant des traitements de surface [14].
- La couche de volume qui surmonte la couche d'interface. Elle englobe la portion la mieux cristallisée du matériau.
- La sous-couche localisée en dessous de la surface du matériau. Elle possède une qualité structurale inférieure à la couche de volume. Bien que son origine reste mal définie, des travaux ont montré qu'elle a un lien étroit avec le plasma, et plus spécifiquement avec le bombardement ionique [14] et avec la diffusion d'hydrogène [15].
- La rugosité de surface formant la partie supérieure et externe du matériau.

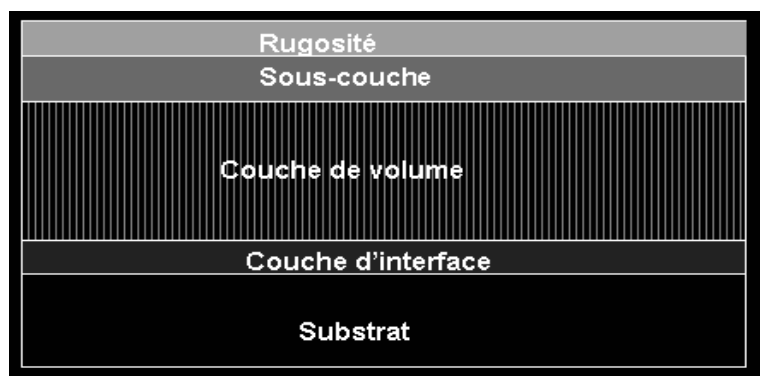


Figure 5. Morphologie d'une couche de silicium microcristallin [12]

II.4.3. Paramètres influençant la structure du silicium microcristallin

La présence ou non d'une interface amorphe, la taille des grains et la fraction cristalline sont étroitement liées aux conditions de dépôt telles que la dilution du silane dans le mélange

gazeux (hydrogène-argon), la température du substrat, la pression, la distance inter-électrodes ou la puissance délivrée par le générateur radiofréquence .

La figure 6 met en lumière un exemple de cette influence des paramètres de dépôt. Une bonne fraction cristalline ainsi qu'une taille de grains élevée peuvent être obtenues avec une forte dilution de silane dans l'hydrogène associée à une faible densité de puissance fournie par le générateur [16].

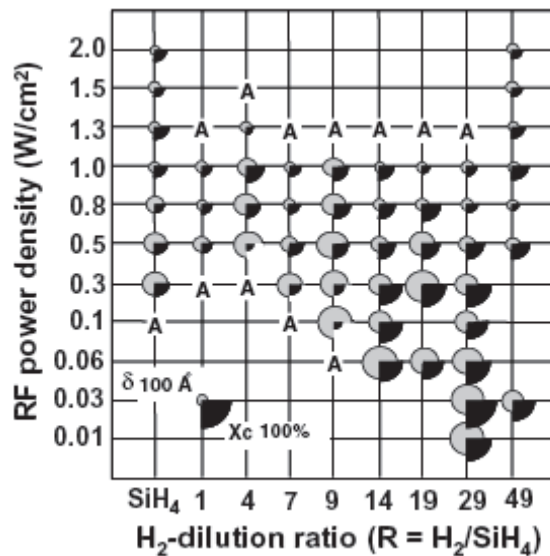


Figure 6. Influence des paramètres (densité de puissance RF- dilution de silane dans l'hydrogène) sur la taille des grains (δ) et sur la fraction cristalline (X_c) des couches. [16]

Une étude menée au sein du laboratoire basée sur l'influence des paramètres de dépôt a en effet confirmé l'obtention des couches de silicium microcristallin avec une fraction cristalline élevée en diminuant le facteur puissance (figure 7).

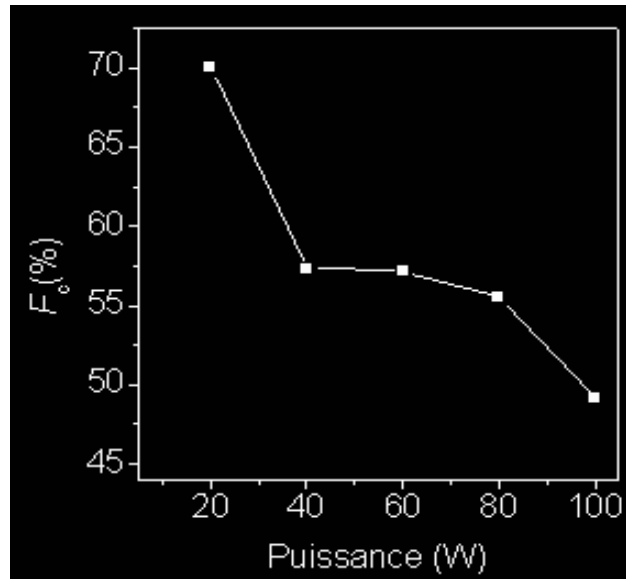


Figure 7. Effet de la puissance sur la cristallinité des couches [17].

II.5. Propriétés électroniques du silicium microcristallin

De la composition structurale du silicium microcristallin, découlent ses propriétés électroniques telles que la conductivité ou la mobilité des porteurs. Les performances intrinsèques du matériau déterminent celles des dispositifs électroniques fabriqués à partir des couches microcristallines.

II.5.1. La conductivité

La conductivité d'un matériau est définie par l'expression :

$$\sigma = \sigma_0 \exp\left(\frac{-E_a}{k_B T}\right)$$

Dans cette équation, σ_0 désigne le facteur pré-exponentiel, E_a l'énergie d'activation, k_B la constante de Boltzmann et T la température.

La valeur de la conductivité des couches de silicium microcristallin intrinsèques ou non intentionnellement dopées est généralement de l'ordre de quelques $10^{-7} \Omega^{-1} \text{ cm}^{-1}$. Cependant lorsque la fraction cristalline du matériau dépasse les 40%, seuil de la percolation des cristallites, cette valeur peut augmenter [18].

Les valeurs de l'énergie d'activation des couches intrinsèques sont comprises entre 0,4 eV et 0,6 eV. Plus la fraction cristalline du matériau augmente, plus l'énergie d'activation

diminue. La valeur de cette énergie est typiquement de 0,5 eV pour un matériau possédant une très bonne cristallinité.

Dans le cas d'un matériau dopé ou extrinsèque, la valeur de l'énergie d'activation est faible et est inférieure à celle de la couche intrinsèque. Cependant, une faible valeur de l'énergie d'activation ne désigne pas automatiquement que la couche a subi un dopage volontaire mais peut signifier que des impuretés telles que des atomes d'oxygènes se sont introduits dans la couche dans la phase de dépôt.

La valeur de ce facteur pré-exponentiel de la conductivité se situe autour de quelques $\Omega^{-1} \text{cm}^{-1}$. L'évolution de ce facteur est étroitement liée à celle de la fraction cristalline du matériau. Cette valeur diminue en présence des joints de colonne lors d'un régime de croissance colonnaire [19]. Ce comportement résulterait du principe que dans le silicium microcristallin, le transport suivant la direction parallèle au substrat est limité par les barrières entre les colonnes, et non par la traversée entre les petites cristallites.

II.5.2. La mobilité des porteurs

La mobilité des porteurs est liée à la structure et à la cristallinité des couches de silicium microcristallin. Les propriétés structurales des couches évoluent en cours de croissance. Par conséquent l'épaisseur du matériau déposé joue un rôle prépondérant dans la mobilité des porteurs. En effet plus l'épaisseur du matériau est grande, plus la fraction cristalline est élevée.

Toutefois cette augmentation de la mobilité due à la croissance de la fraction cristalline est limitée car la cristallinité n'augmente pas indéfiniment et atteint un seuil de saturation.

La valeur de la mobilité des électrons déduite des structures de transistor basé sur des couches $\mu\text{-Si}$ se situe typiquement autour de $1 \text{ cm}^2/\text{V.s}$. Cependant, pour des couches d'épaisseur élevée, les mobilités sont plus grandes.

Quant à la valeur de la mobilité des trous, elle est généralement inférieure d'un rapport 10 à celle des électrons.

Un matériau n'est mis en valeur que dans la mesure où il permet la réalisation des composants électroniques performants. Les critères de performance étant une mobilité satisfaisante du point de vue de l'application visée et une bonne stabilité. Ces deux paramètres dépendent de l'ensemble des matériaux mis en œuvre lors d'un procédé de fabrication du dispositif.

III. SILICIUM MICROCRISTALLIN : COMPOSANTS

Le groupe Microélectronique de l'IETR (Institut d'Electronique et de Télécommunications de Rennes) a acquis depuis quelques années une connaissance dans la mise au point d'une technologie couche mince basse température reposant sur une méthode de dépôt de silicium microcristallin. Cette méthode de dépôt a déjà permis au laboratoire la réalisation des transistors couches minces appelés plus couramment TFT (Thin Film Transistor) ayant des propriétés physiques et électriques reproductibles, stables et satisfaisantes.

Dans un premier temps, au cours de la thèse de A. Saboundji [13], des transistors avec un dopage de type N ont pu être réalisés avec un procédé de fabrication utilisant la technologie couche mince et à base de silicium microcristallin obtenue par voie PECVD.

Ensuite, un travail conséquent a été mené dans le cadre de la thèse de K. Kandoussi [17]. Cette thèse, intitulée « Procédé de fabrication à $T < 200^{\circ}\text{C}$ de transistors en couches minces de silicium microcristallin déposé par PECVD en mélange $\text{SiH}_4\text{-H}_2\text{-Ar}$ » a permis véritablement la mise en œuvre de la technologie silicium microcristallin au sein du laboratoire.

Par ailleurs une étude, menée par T. Pier [20] durant sa thèse, a démontrée la faisabilité d'obtenir des transistors avec de très grandes mobilités en utilisant des couches de silicium microcristallin re-cristallisées par laser excimère.

Enfin dans le cadre de la thèse de K. Belarbi [21], des travaux ont été menés pour mettre l'accent sur la stabilité des transistors. Pour cela un nouvel isolant de grille a été développé.

III.1. Transistors de type N à base de silicium microcristallin

Au cours des différents travaux de thèse, des transistors de type N obtenus avec des structures différentes ont été réalisés.

III.1.1. Structure topgate

La figure 8 illustre une structure topgate ou grille au-dessus. L'intérêt d'une telle structure réside dans le fait que le canal du transistor est localisé dans la zone supérieure de la couche de silicium microcristallin non dopé. En effet comme vu précédemment, les qualités cristallines des couches s'améliorent avec l'épaisseur. Cependant, dans une configuration

topgate, la surface de formation du canal peut subir des effets liés au dépôt de l'isolant ou à la gravure lors du process de fabrication.

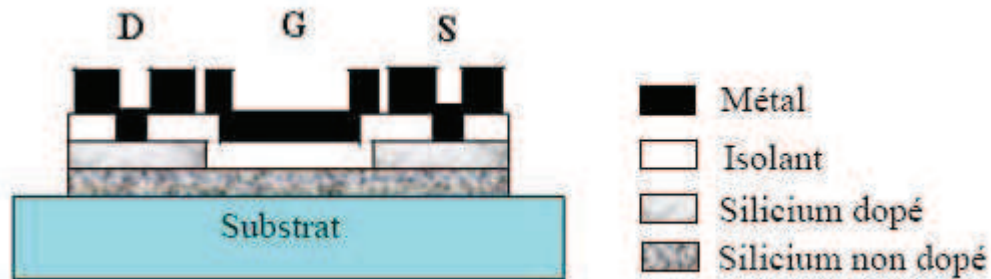


Figure 8. Structure d'un transistor topgate

Durant les travaux de thèse de K. Kandoussi [17], il a été démontré la possibilité de réaliser des transistors de type N avec de grandes mobilités en utilisant des couches de silicium microcristallin non dopées préalablement optimisées en terme de cristallinité et en terme d'efficacité de dopage pour les couches dopées, la température de dépôt étant inférieure à 200°C.

Les couches de silicium ayant servi dans ce process de fabrication qu'elles soient dopées ou non dopées ont été déposées dans le même réacteur PECVD. Pour la couche non dopée d'épaisseur 200 nm, les paramètres de dépôt sont les suivants :

- ✓ Température : 165°C
- ✓ Puissance : 15 W
- ✓ Pression : 0,9 mbar
- ✓ Distance inter-électrodes : 4,5 cm
- ✓ Flux de gaz : 1,5 sccm de SiH₄, 50 sccm de H₂ et 100 sccm d'Ar

Ensuite pour former la couche dopée d'épaisseur 150 nm, constituant la source et le drain des transistors, 10 sccm d'un gaz dopant, ici l'arsine (AsH₃) dilué 1000 ppm dans H₂ est introduite dans le mélange gazeux sans interrompre le dépôt et en conservant les autres paramètres de dépôt inchangés. Cette méthode d'élaboration est dite monocouche car elle supprime l'interface entre la zone non dopée et celle dopée.

Enfin, l'isolant de grille des transistors en couches minces est l'oxyde de silicium d'épaisseur 160 nm.

La figure 9 présente les caractéristiques de transfert de deux transistors de dimensions différentes. Elles montrent un très grand rapport de courant entre l'état passant (valeur maximale du courant) et l'état bloquant (valeur minimale du courant).

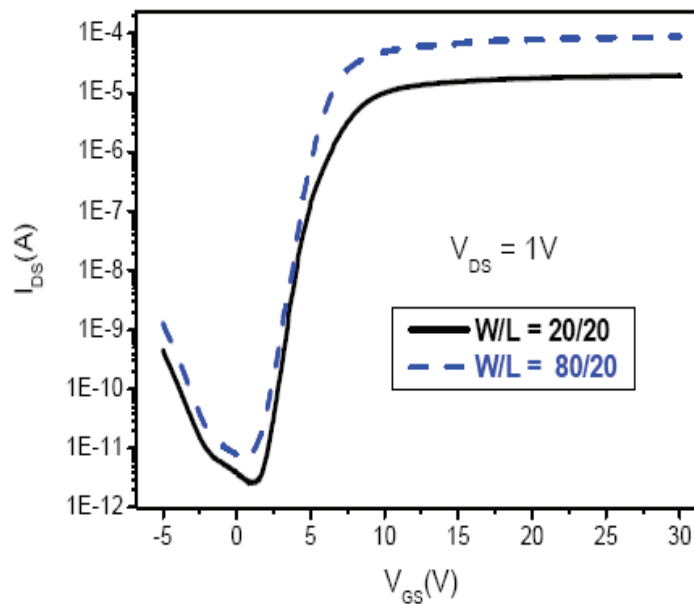


Figure 9 : Caractéristiques de transfert des transistors A4 ($W/L= 20 \mu\text{m}/20 \mu\text{m}$) et D4 ($80 \mu\text{m}/20 \mu\text{m}$) fabriqués à partir de couches de silicium $\mu\text{c-Si:H}$ déposées par PECVD à une température $T < 200^\circ\text{C}$ [17]

Les paramètres électriques de ces transistors déduits de cette caractéristique de transfert sont regroupés dans le tableau I.

Mobilité ($\text{cm}^2/\text{V.s}$)	Pente sous le seuil (V/déc)	Tension de seuil (V)	($I_{\text{ON}}/I_{\text{OFF}}$)
168	0,62	7,3	$>10^{+7}$

Tableau I. Paramètres électrique des transistors [17]

La valeur de la mobilité d'effet de champ est $168 \text{ cm}^2/\text{V.s}$. Cette valeur est largement supérieure à celles habituellement rencontrées dans les transistors en couches minces utilisant du silicium microcristallin déposé par PECVD à basse température ($T < 200^\circ\text{C}$). Cette grande

mobilité des transistors trouve son origine dans plusieurs facteurs. D'une part la fraction cristalline de la couche active non dopée est élevée, supérieure à 75 %, d'autre part le procédé monocouche permet d'améliorer la qualité de l'interface entre la couche non dopée et les régions de drain et de source. Tous ces facteurs réduisent en effet la résistance série.

La valeur de la pente sous le seuil est faible et est égale à 0,68V/décade. La condition indispensable pour avoir une pente faible est d'avoir une très bonne qualité au niveau de l'interface entre l'oxyde de silicium qui constitue l'isolant de grille et la couche active des transistors. Cette condition est satisfaite par le fait de déposer les deux couches de silicium non dopé et dopé en une seule fois dans le même réacteur avec des paramètres de dépôt identiques et par la bonne qualité de l'oxyde de grille mise en œuvre.

T. Pier a également durant sa thèse [20] exploré une piste pour obtenir des transistors avec des grandes mobilités d'effet de champ. Elle consistait en la re-cristallisation d'une couche de silicium microcristallin initialement déposée par PECVD à une température inférieure à 200°C. Le principe de cette re-cristallisation repose sur une irradiation de la surface du silicium microcristallin par un laser excimère. Cette radiation est ensuite absorbée sous forme de chaleur par la couche. Par conséquent, la zone irradiée voit sa température augmenter et commence à fondre. Le refroidissement permet au final à cette zone de recristalliser. Cette méthode permet d'obtenir des très forts taux de cristallinité.

La figure 10 illustre les caractéristiques de transfert des deux transistors fabriqués à partir des couches de silicium avec ou sans ré-cristallisation laser. La densité d'énergie fournie par le laser est 450 mJ/cm² dans le cas de la ré-cristallisation. La mobilité d'effet de champ est de 4 cm²/V.s pour les transistors sans re-cristallisation et 400 cm²/V.s dans le deuxième cas. Cette valeur de mobilité d'effet de champ est très grande comparée à celle communément trouvée dans les transistors en couche minces à base de silicium microcristallin. Elle résulte du taux élevé de la cristallinité dû à la re-cristallisation. En effet à partir des couches de silicium microcristallin avec un taux de cristallinité initial de 73 %, il a pu être produit des couches d'un taux de cristallinité de 89 %. Cela correspond à une taille de grains élevée pouvant dépasser les 300 nm.

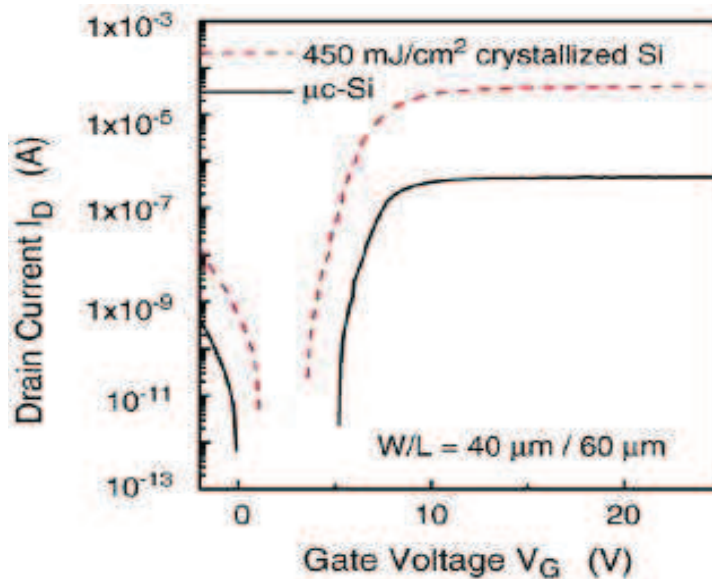


Figure 10 : Caractéristiques de transfert des transistors de même taille mais avec des couches de silicium microcristallin différentes [20]

III.1.2. Structure bottomgate

Une autre architecture fréquemment rencontrée dans la réalisation des transistors est la configuration bottomgate ou grille au-dessous. La figure 11 présente le schéma d'une telle structure. L'intérêt majeur de l'architecture bottomgate est que son procédé de fabrication est compatible avec les systèmes de production actuelle des transistors à base de silicium amorphe [21]. Les transistors au silicium amorphe constituent actuellement les éléments permettant l'adressage de pixels d'écrans plats LCD. Le silicium microcristallin étant amené en effet, dans le futur à se substituer à l'amorphe dans ces applications. Par conséquent le besoin croissant en termes d'homogénéité des caractéristiques des composants sur tout le substrat favorise cette structure. La localisation du canal des transistors permet d'éviter des problèmes de gravure lors du process de fabrication. En effet, une gravure inhomogène du canal peut engendrer des caractéristiques des transistors inhomogènes.

La couche active non dopée des transistors est directement déposée après la couche constituant l'isolant de grille. Ceci permet d'obtenir une bonne interface. Cependant du fait de la position de la zone de formation du canal des transistors, les performances électriques dépendent de la vitesse de cristallisation de la couche non dopée. En effet le fait que cette zone de départ de la couche soit amorphe ou cristallisée influe énormément sur les caractéristiques des transistors. Il est à noter par ailleurs qu'une couche de passivation est nécessaire afin d'éviter les problèmes de canal arrière. En effet, un deuxième canal peut se

former dans la partie supérieure bien cristallisée de la couche active non dopée du transistor ; ce qui a pour conséquence une dégradation des caractéristiques électriques du composant.

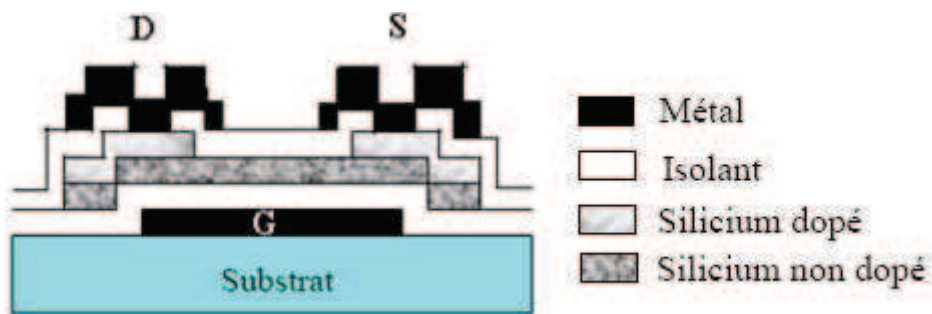


Figure 11. Structure d'un transistor bottomgate

Des transistors en structure bottomgate ont été également réalisés durant les travaux de thèse de K. Kandoussi [17]. La figure 12 présente les caractéristiques de transfert de neuf transistors de dimensions équivalentes fabriqués en structure bottomgate.

Les caractéristiques mettent en évidence une faible dispersion de leurs paramètres. En effet comme indiqué précédemment, la position du canal des transistors permet à celui-ci de se soustraire de l'influence des différentes phases de gravure ainsi que des solutions mis en œuvre lors des étapes de photolithographie comme le développer, le remover ou le nettoyage RCA.

En régime inverse, le courant de drain du transistor en couche mince croît légèrement. Toutefois sa valeur reste faible même pour une tension de grille V_{GS} négative égale à -10 V. En régime direct, le courant augmente rapidement induisant une faible valeur de pente sous le seuil.

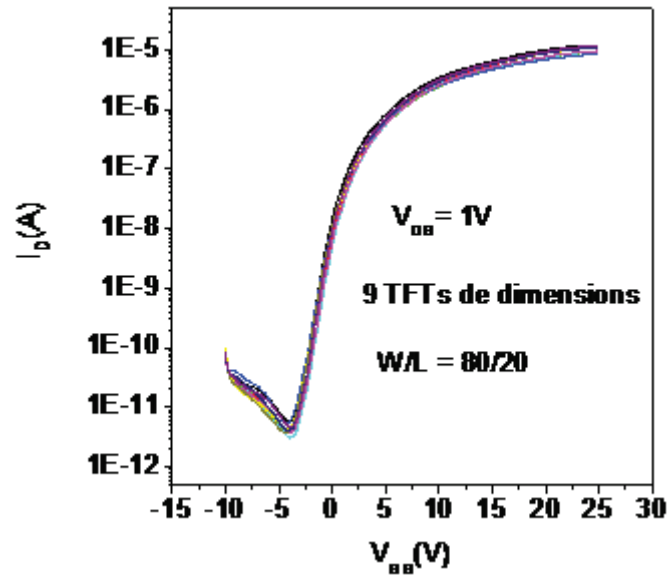


Figure 12: Caractéristiques de transfert de 9 transistors de type bottomgate de mêmes dimensions ($W/L=80/20$) pris sur le même échantillon dans 9 cellules différentes [17]

Les paramètres électriques issus de ces caractéristiques sont regroupés dans ce tableau.

Mobilité ($\text{cm}^2/\text{V.s}$)	Pente sous le seuil (V/déc)	Tension de seuil (V)	(I_{ON}/I_{OFF})
6	0,92	5,7	$>10^{+7}$

Tableau II. Paramètres électriques des transistors [17]

La valeur de la mobilité d'effet de champ est grande comparée à celles usuellement publiées dans la littérature concernant les transistors en architecture bottomgate. Elle témoigne entre autre de la bonne cinétique de cristallisation de la couche active non dopée utilisée pour réaliser ces transistors. En effet un des facteurs déterminant une grande mobilité dans un transistor en couche mince fabriqué en structure grille au-dessous est le taux de cristallinité de la zone de formation du canal. Cette zone est localisée en bas de la couche de silicium microcristallin non dopé. Par conséquent plus la vitesse de cristallisation est élevée, plus elle sera cristallisée.

III.2. Transistors de type P à base de silicium microcristallin

Afin d'envisager la mise en place d'une électronique CMOS, des transistors avec un dopage de type P ont été réalisés au sein du groupe microélectronique de l'IETR. Ces transistors sont à base de silicium microcristallin déposé par la technique standard PECVD à une température inférieure à 200°C.

Le dopage de type P des couches est fait avec le bore. Pour cela le diborane (B_2H_6) est utilisé. Les transistors sont réalisés en structure topgate.

La figure 13 présente les caractéristiques de transfert et de sortie d'un transistor en couche mince de type P. La caractéristique de transfert montre un minimum du courant de drain très faible et une augmentation de celui-ci avec les V_{GS} négatives comme dans le cas des transistors de type N (voir figure 9).

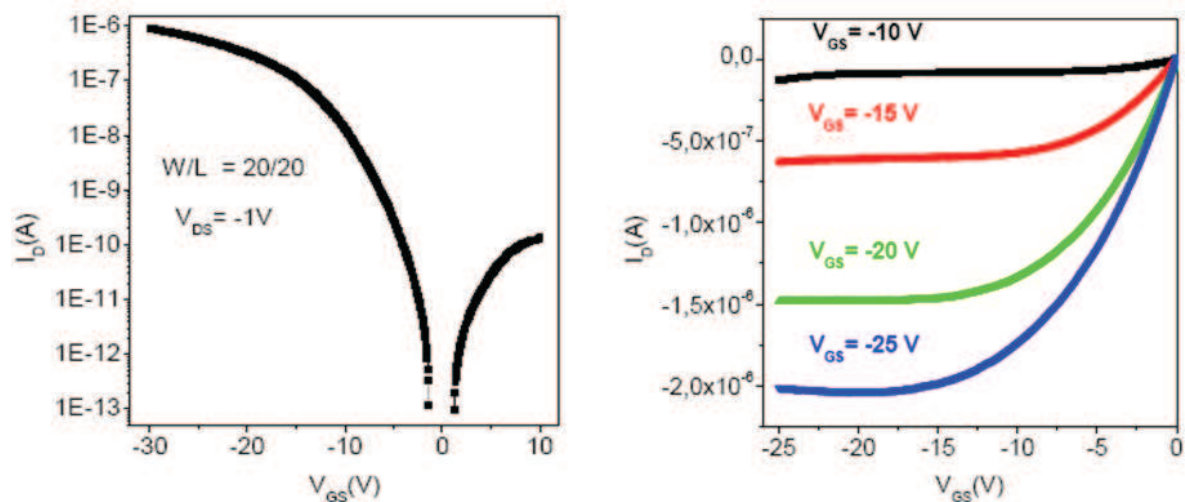


Figure 13: Caractéristiques de transfert et de sortie d'un transistor de type P fabriqué à partir de couches de silicium μc -Si:H déposées par PECVD à une température $T < 200^\circ C$ [17]

Les paramètres électriques déduits de la caractéristique de transfert sont présentés dans le tableau III.

Mobilité ($cm^2/V.s$)	Pente sous le seuil (V/déc)	Tension de seuil (V)	(I_{ON}/I_{OFF})
3,2	1,64	-15,69	$>10^{+7}$

Tableau III. Paramètres électriques d'un transistor de type P [17]

La valeur de la mobilité d'effet de champ est très inférieure à celle d'un transistor de type N (voir Tableau I). Néanmoins elle permet d'envisager la mise en place d'une électronique CMOS.

III.3. Stabilité des transistors

L'obtention des transistors avec de grandes valeurs de mobilité d'effet de champ nécessite dans la majeure partie des cas, l'utilisation des couches de silicium microcristallin d'une épaisseur de l'ordre de 200 nm [17]. Cette grande épaisseur permet en effet d'obtenir de grandes fractions cristallines. Cependant l'augmentation de l'épaisseur des couches de silicium microcristallin engendre une porosité au niveau de celles-ci. Les couches sont de moins en moins denses. Par conséquent, lors de la phase de dépôt de l'oxyde de silicium qui constitue l'isolant de grille pour tous les transistors préalablement présentés, une grande quantité d'oxygène peut s'incorporer au sein du matériau et devenir un facteur d'instabilité des comportements électriques des transistors.

La figure 14 illustre un exemple d'instabilité des caractéristiques électriques d'un transistor. La caractéristique de transfert du transistor se dégrade complètement après la réalisation d'une deuxième mesure.

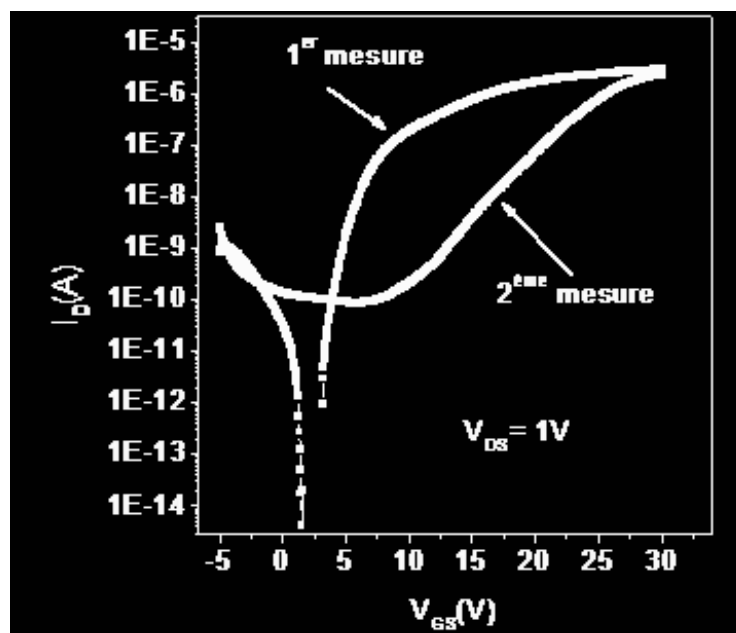


Figure 14: Dégradation de la caractéristique d'un transistor après la deuxième mesure [17]

Une très grande mobilité d'effet de champ ne peut pas à elle seule définir la performance d'un transistor. En effet une bonne stabilité des caractéristiques électriques est indispensable pour la mise en œuvre de ces transistors dans des applications diverses et variées. Pour atteindre cet objectif deux pistes ont été explorées. Une diminution de l'épaisseur de la couche active de silicium non dopée et la mise en place d'un nouvel isolant de grille dépourvu d'oxygène qui est le nitrure de silicium [17] [20].

III.3.1. Transistor avec une couche fine de silicium microcristallin

Une couche de silicium microcristallin déposé par PECVD doit être dense pour être imperméable à l'introduction des atomes d'oxygène. L'obtention d'une couche dense est conditionnée par une faible épaisseur du matériau. Un arrêt du dépôt avant la croissance colonnaire permet d'avoir des couches très denses de silicium microcristallin.

Des transistors en structure topgate ont été fabriqués en utilisant une couche de silicium microcristallin non dopé très fine d'épaisseur 40 nm. La figure 15 illustre les caractéristiques de transfert d'un transistor soumis à un stress de 4 heures afin d'évaluer l'évolution de son comportement électrique et particulièrement de la dérive de la tension de seuil qui constitue un paramètre important. Les courbes ont été prélevées à différents temps de stress. Elles mettent en évidence une faible dégradation de cette tension de seuil.

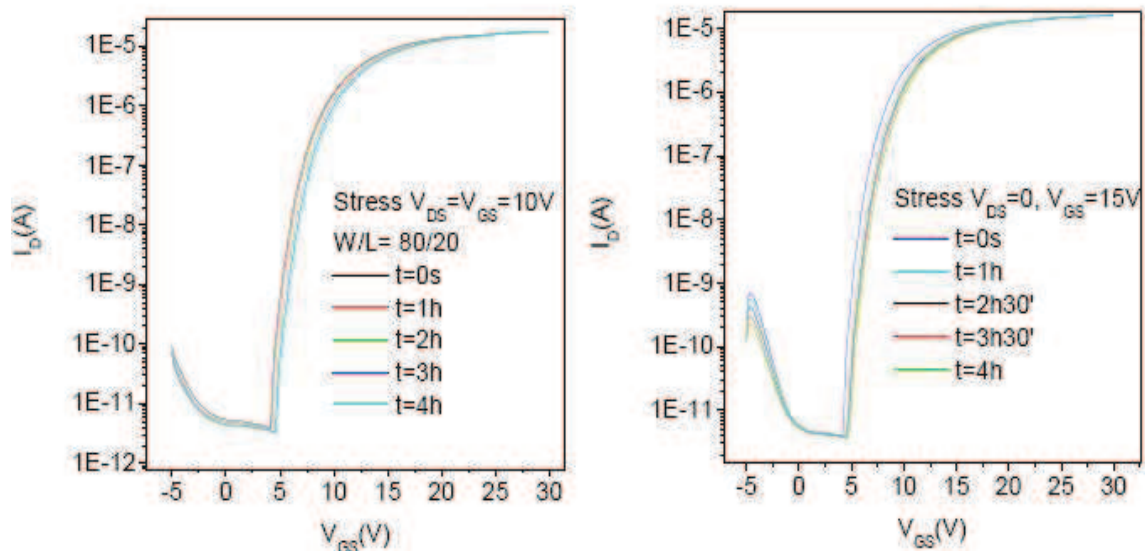


Figure 15 : Caractéristiques de transfert d'un transistor de type N à base de silicium microcristallin fabriqués à partir d'une couche fine de 40 nm d'épaisseur avant et après différents temps d'application de stress.

Le transistor possède une mobilité d'effet de champ de $6 \text{ cm}^2/\text{V}\cdot\text{s}$ et une tension de seuil de $7,3 \text{ V}$. La variation ΔV de la tension de seuil et $\Delta\mu$ de la mobilité d'effet de champ des transistors en couches minces sont présentées dans la figure 16. Ces paramètres sont déduits des caractéristiques de transfert prises pendant le stress.

Les courbes mettent en évidence une très faible variation de la mobilité d'effet de champ tandis que la tension de seuil connaît une dérive. Pour un stress avec $V_{\text{DS}} = V_{\text{GS}} = 10\text{V}$, la variation est de 1V au bout de 4 heures. Cette dérive de la tension de seuil est plus grande et a pour valeur $1,3 \text{ V}$ dans le cas d'un stress avec $V_{\text{DS}} = V_{\text{GS}} = 15 \text{ V}$ pour une durée de 4 heures également. Cette variation reste relativement importante pour la mise en place des circuits.

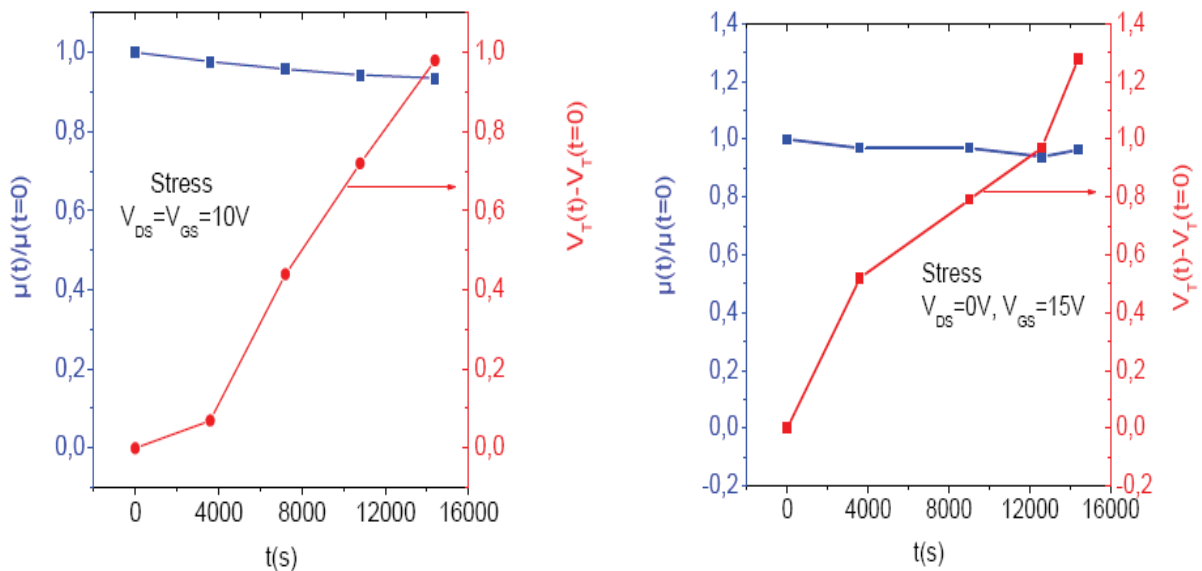


Figure 16 : Décalage de la tension de seuil déduite des caractéristiques de transfert

La dérive de la tension de seuil provient d'une incorporation d'oxygène au sein du silicium microcristallin, qui de part sa nature hétérogène favorise cette pénétration, surtout si son épaisseur est grande. Le principe de fabriquer des transistors en utilisant une couche active non dopée très fine de silicium microcristallin a permis d'obtenir une stabilité relative des performances électriques de ces transistors. Toutefois pendant les étapes de réalisation des transistors, la gravure d'une couche de faible épaisseur reste très délicate. En effet la couche dans sa totalité risque d'être gravée. Il est donc judicieux de mettre en place un nouvel isolant de grille, dont l'élaboration ne nécessite pas d'utiliser un plasma contenant de l'oxygène, afin d'obtenir des transistors mettant en œuvre des couches épaisses et qui sont stables.

III.3.2. Transistor avec du nitrure de silicium comme isolant de grille

Afin d'améliorer encore la stabilité des composants électroniques réalisés à partir des couches de silicium microcristallin, un deuxième isolant de grille est mis en place. Celui-ci est le nitrure de silicium qui est couramment utilisé dans l'industrie de la microélectronique. Il permet dans le cadre de l'utilisation du silicium microcristallin d'éviter la possibilité d'intrusion des atomes d'oxygène, source d'instabilité, dans les couches.

Au cours de ses travaux de thèse, K. Belarbi [21] a élaboré ce matériau et réalisé des transistors à base de celui-ci. La figure 17 présente les caractéristiques de transfert d'un transistor, prises à différents temps pendant un stress de 4 heures avec $V_{DS} = V_{GS} = 15$ V. Elle illustre également la variation de la tension de seuil relatif à ce stress. Le transistor utilise comme couche active non dopée, du silicium microcristallin d'épaisseur 100 nm. Ces courbes mettent en évidence une grande stabilité des performances électriques liées au nitrure de silicium. Au bout de 4 heures de stress appliqué au transistor, le déplacement de la tension de seuil n'est de 0,16 V. Ceci démontre bien en effet l'intérêt en terme de stabilité de l'utilisation de cet isolant dans la fabrication des transistors.

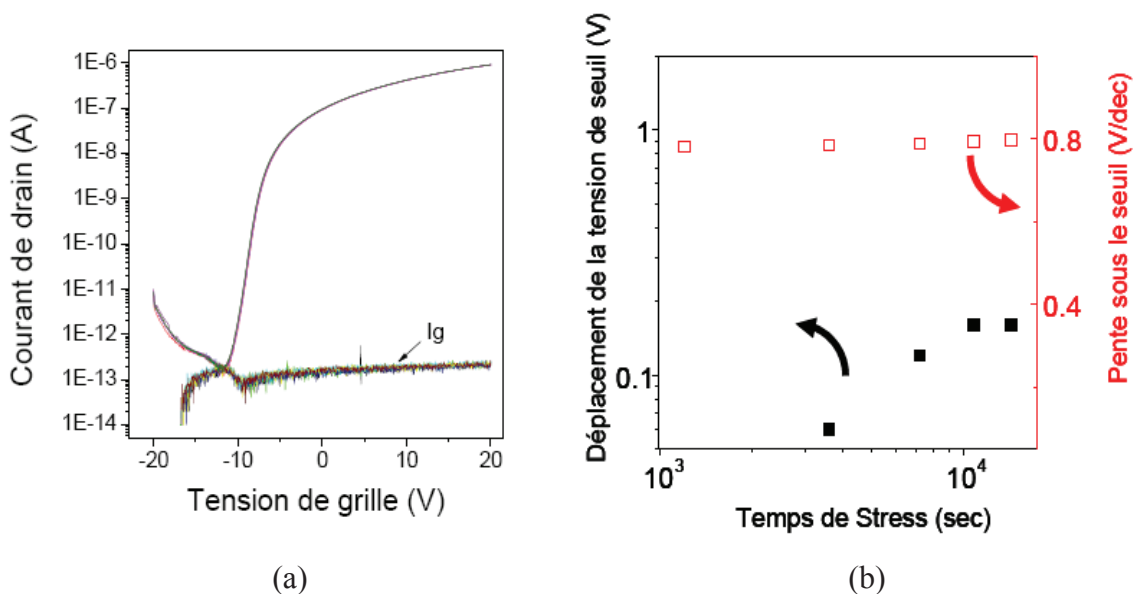


Figure 17 : Caractéristiques de transfert d'un transistor de type N après différents temps d'application de stress (a), décalage de la tension de seuil (b) [21].

IV CONCLUSION

Dans ce chapitre, une description du matériau silicium microcristallin et des dispositifs à base de celui-ci a été réalisée. Tout d'abord, l'aspect matériau a été abordé. Le moyen d'élaboration, le mode de croissance structurale des couches et les paramètres influençant cette croissance ont été décrits. Puis les propriétés électroniques intrinsèques de ce matériau, à savoir la mobilité et la conductivité ont été rappelés.

Au cours des études antérieures, le laboratoire a acquis le savoir-faire en termes de réalisation des transistors utilisant des couches de silicium microcristallin. Ces couches sont élaborées par voie PECVD à une température inférieure à 200°C au sein même du laboratoire. Ces transistors ont montré des bonnes performances électriques et particulièrement du point de vue de la mobilité d'effet de champ. La stabilité des composants a été aussi optimisée par la mise en place d'un nouvel isolant de grille, en l'occurrence le nitrure de silicium.

Toutes ces évolutions permettent d'envisager l'utilisation de ces composants dans diverses applications, parmi celles-ci, la RFID notamment pour la mise en place d'un circuit redresseur. Un système de redressement est nécessaire à l'étiquette RFID afin de convertir le signal sinusoïdal d'entrée en un signal continu formant la source d'alimentation du transpondeur.

Les solutions envisagées pour effectuer ce redressement sont d'une part, l'utilisation des couches de silicium microcristallin pour réaliser une diode Schottky et d'autre part la mise en œuvre d'un transistor en couches minces à base de silicium microcristallin et utilisant du nitrure de silicium comme isolant de grille. Ce transistor est monté en diode, en effet son électrode de grille et de drain sont court-circuitées.

Les techniques de réalisation et le mode de fonctionnement de ces composants sont décrits dans le chapitre suivant.

BIBLIOGRAPHIE – Chapitre 2

- [1] **T.W. Kelley, B.F. Baude, C. Gerlach, D.E. Ender, D. Muyres, M.A. Haase, D.E Vogel, S.D. Theiss**, “Recent progress in organic electronics: materials, devices, and processes”, *Chemistry of Materials*, 16, 4413-4422, 2004
- [2] **S. Wagner, E. Gleskova, I.C. Cheng, M. Wu**, “Silicon for thin-film transistors”, *Thin Solid Films*, 430, 15-19, 2003
- [3] **M.J. Powell, C. Van Berkel, A.R. Franklin, S.C. Deane, W.I. Milne**, “Defect pool in amorphous-silicon thin film transistors”, *Physical Review B*, 45, 4160-4170, 1992
- [4] **P. Roca i Cabarrocas, R. Brenot, P. Bulkin, R. Vanderhaghen, B. Drévilion**, “Stable microcrystalline silicon thin-film transistors produced by the layer-by-layer technique”, *Journal of Applied Physics*, 86, 7079-7082, 1999
- [5] **R.B. Wehrspohn, S.C. Deane, I.D. French, M.J. Powell**, “Stability of plasma deposited thin film transistors – comparison of amorphous and microcrystalline silicon”, *Thin Solid Films*, 383, 117-121, 2001
- [6] **S. Wagner, E. Gleskova, I.C. Cheng, M. Wu**, “Stability of nc-Si:H TFTs with silicon nitride gate dielectric”, *IEEE Transactions on Electron Devices*, 54, 45-51, 2007
- [7] **S. Kasouit, P. Roca i Cabarrocas, R. Vanderhaghen, Y. Bonnassieux, M. Elyaakoubi, I.D. French**, “Effects of grain size and plasma-induced modification of the dielectric on the mobility and stability of bottom gate microcrystalline silicon TFTs”, *Journal of Non-Crystalline Solids*, 338-340, 369-373, 2004
- [8] **K. Kandoussi, A. Gaillard, C. Simon, N. Coulon, T. Pier, T. Mohammed-Brahim**, “Improved microcrystalline silicon TFTs”, *Journal of Non-Crystalline Solids*, 352, 1728-1731, 2006
- [9] **C.H. Lee, A. Sazonov, A. Nathan**, “High mobility nanocrystalline silicon thin-film transistors fabricated by plasma-enhanced chemical vapour deposition”, *Applied Physics Letters*, 86, 222106, 1-3, 2005

- [10] **R.E.I. Schropp, M. Zeman**, “Amorphous and microcrystalline silicon solar cells : modeling, materials and device technology”, *Kluwer Academic Publishers*, 1998
- [11] **M. Kitayar, J.R. Abelson**, “Investigation of hydrogen induced phase transition from a-Si:H to $\mu\text{c-Si:H}$ using real time infrared spectroscopy”, *Materials Science Engineering A*, 304-306, 349-352, 2001
- [12] **Y. Djeridane**, “ Synthèse de nanocristaux par plasma froid et leur rôle dans la croissance de couches minces de silicium microcristallin : application aux transistors”, Thèse de doctorat, *Ecole Polytechnique*, 2008
- [13] **A. Saboundji**, “Qualification de différents matériaux silicium en vue de la réalisation sur le même substrat de transistors dédiés à différentes applications”, Thèse de doctorat, *Université de Rennes 1*, 2004
- [14] **B. Kalache, A.I. Kosarev, R. Vanderhaghen, P. Roca i Cabarrocas**, “Ion bombardment effects on microcrystalline growth mechanisms and on the film properties”, *Journal of Applied Physics*, 93, 1262-1273, 2003
- [15] **A. Fontcuberta i Morral, P. Roca i Cabarrocas**, “Role of hydrogen diffusion on the growth of polymorphous and microcrystalline silicon thin films”, *The European Physical Journal Applied Physics*, 35, 165-172, 2006
- [16] **A. Matsuda**, “Microcrystalline silicon. Growth and device application”, *Journal of Non-Crystalline Solids*, 338-340, 1-12, 2004
- [17] **K. Kandoussi**, “Procédé de fabrication à $T < 200^\circ\text{C}$ de transistors en couches minces de silicium microcristallin déposé par PECVD en mélange $\text{SiH}_4\text{-H}_2\text{-Ar}$ ”, Thèse de doctorat, *Université de Rennes 1*, 2007
- [18] **S. Hamma, P. Roca i Cabarrocas**, “In situ correlation between the optical and electrical properties of thin intrinsic and n-type microcrystalline silicon films”, *Journal of Applied Physics*, 81, 7282-7288, 1997
- [19] **J. Kocka, H. Stuchlikova, J. Stuchlik, B. Rezek, T.Mates, V. Svrcek, P. Fojtik, I. Pelant, A. Fejfar**, “Model of transport in microcrystalline silicon”, *Journal of Non-Crystalline Solids*, 299-302, 355-359, 2002

- [20] **T. Pier**, “Mise au point d’une technologie TFT à une température maximale de 200°C ; ré-cristallisation laser excimer du silicium microcristallin déposé précédemment à $T < 200^\circ\text{C}$ ”, Thèse de doctorat, *Université de Rennes 1*, 2007
- [21] **K. Belarbi**, “Transistors en couches minces de silicium microcristallin fabriqués à $T < 180^\circ\text{C}$: stabilité-mobilité”, Thèse de doctorat, *Université de Rennes 1*, 2010
- [22] **P. Roca i Cabarrocas, Y. Djeridane, V.D. Bui, Y. Bonnassieux, A. Abramov**, “Critical issues in plasma deposition of microcrystalline silicon for thin film transistors”, *Solid-State Electronics*, 52, 422-426, 2008

Chapitre 3

Techniques de réalisation et de caractérisation des composants

I. INTRODUCTION

L'objectif principal de cette thèse est l'étude et le développement de composants électroniques appelés à être mis en œuvre ultérieurement dans une étiquette RFID fonctionnant à 13,56 MHz. Ces éléments constituent le module du redressement. Ils sont composés notamment de transistors montés en diode, de diodes Schottky et d'antennes permettant l'envoi et la réception du signal [1-2]. Ces dispositifs doivent être élaborés par des technologies compatibles permettant de s'affranchir des problématiques de report ayant un impact direct sur le coût d'une étiquette RFID [3]. Ce chapitre décrit donc les techniques expérimentales mises en œuvre pour fabriquer les éléments composant ce module de redressement.

La première partie de ce chapitre concerne le transistor en couches minces. Elle aborde entre autres, la conception des masques de photolithographie, les étapes technologiques de fabrication et le fonctionnement de ces transistors. Les méthodes d'extraction des paramètres électriques à partir des caractéristiques courant-tension (I-V) sont présentées.

La seconde partie de ce chapitre, quant à elle, s'articule autour de la diode Schottky. Elle décrit le procédé de fabrication et le principe de fonctionnement de cet élément.

Enfin la troisième partie de ce chapitre aborde la technique de fabrication et de caractérisation d'une antenne.

II. LE TRANSISTOR

La structure choisie pour la réalisation des transistors en couches minces à base de silicium microcristallin très basse température ($T < 200^{\circ}\text{C}$) est l'architecture grille au-dessus (topgate). La figure 1 présente cette configuration technologique. Elle est de loin, celle qui est la plus utilisée et la mieux maîtrisée au sein du groupe microélectronique de l'IETR. Différents dispositifs sont déjà réalisés à base de cette structure que ce soit en technologie silicium microcristallin [4] ou polycristallin. Dans le dernier cas, des dispositifs numériques tels que des inverseurs, des oscillateurs [5] ainsi qu'une électronique de conditionnement pour un capteur à effet Hall [6] ont pu être réalisés.

L'avantage majeur de l'utilisation de la structure topgate réside dans le fait que le canal du transistor se forme dans la zone la mieux cristallisée de la couche active de silicium microcristallin non dopé. Par conséquent, elle permet d'obtenir des transistors avec des grandes mobilités d'effet de champ [7].

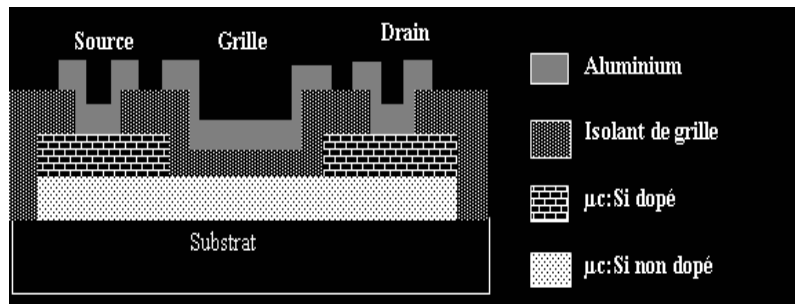


Figure 1: Structure d'un transistor top gate

La réalisation de cette structure de transistor est faite par un procédé d'élaboration comportant quatre niveaux de masquage.

II.1. Réalisation des masques

Les masques sont conçus au laboratoire à l'aide du logiciel Virtuoso. Ils sont destinés à une utilisation sur des substrats deux pouces. La figure 2 illustre ce jeu de masque. Ils sont constitués des quatre motifs de formes différentes. Chaque masque est dédié à une étape particulière.

Masque 1 :

Il est utilisé pour définir les zones de contact de drain et de source des transistors en couches minces.

Masque 2 :

Il est utilisé pour isoler les transistors les uns des autres et définir ainsi la géométrie de chaque composant.

Masque 3 :

Il est utilisé pour l'ouverture des fenêtres après le dépôt de l'isolant de grille et permet d'accéder ainsi aux zones de contact de drain et de source.

Masque 4 :

Il est utilisé pour définir les pistes d'aluminium permettant l'établissement du contact.

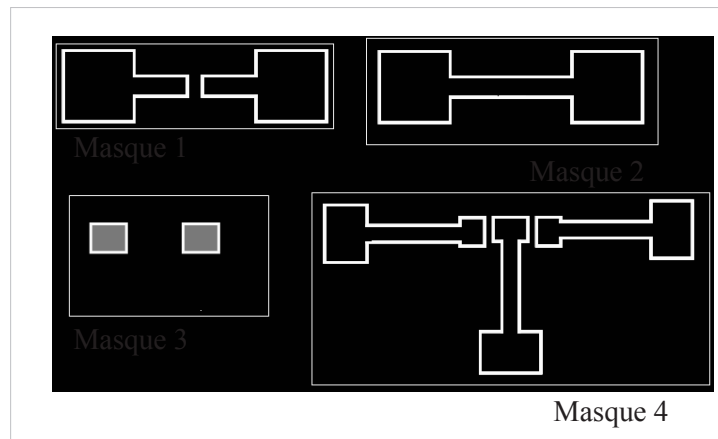


Figure 2 : Les quatre niveaux de masquage nécessaires à la réalisation des transistors en couches minces

Au niveau de la conception des masques pour la réalisation des transistors, plusieurs paramètres importants sont pris en compte tels que les dimensions du canal, le recouvrement de plusieurs couches. La figure 3 présente une vue de dessus d'un transistor avec un éclairage sur les principaux paramètres : la largeur (W) et la longueur (L) du canal des transistors, le recouvrement grille- drain ou grille-source (OL).

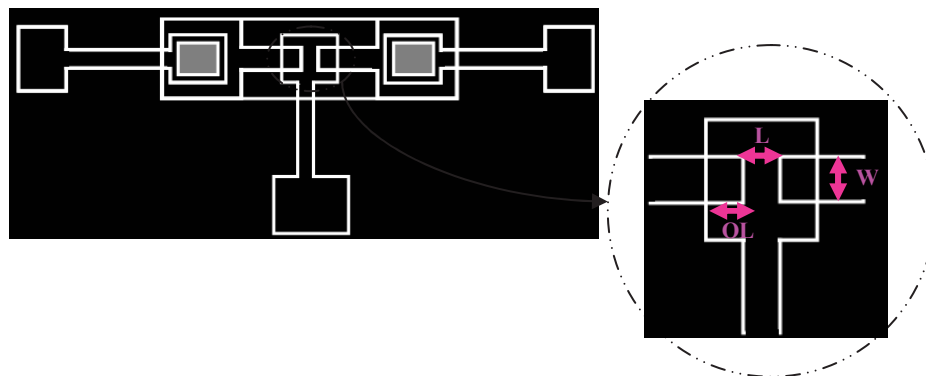


Figure 3 : Définition des paramètres sur masque.

Dans le jeu de masques réalisés, les dimensions W (Largeur du canal du TFT) et L (Longueur du canal du TFT) varient (voir Tableau I). Etant donné que le rapport W/L est proportionnel au niveau du courant du transistor en couches minces, l'objectif de la variation de ces deux paramètres technologiques est de disposer d'une gamme de transistors possédant des niveaux de performances différents que ce soit en termes de caractéristique statique ou fréquentielle. Le recouvrement OL du transistor a pour but de compenser l'erreur de lithographie lors de la phase d'alignement des masques [8] mais il ajoute une capacité au comportement dynamique du transistor. Par conséquent le paramètre OL doit être faible en

dimension et ce en accord avec les limites technologiques de l'aligneur du groupe microélectronique du laboratoire. La description détaillée des masques est donnée en annexe.

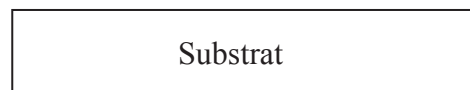
Longueur (L)	20					40					60				
Largeur (W)	2000	1000	400	200	80	2000	1000	400	200	80	2000	1000	400	200	80

Tableau I: Dimensionnement en micron (μ) des transistors sur masque.

II.2. Etapes technologiques de fabrication

II.2.1. Nettoyage du substrat

Tout processus d'élaboration d'un composant doit débiter par un nettoyage du substrat. Cette étape indispensable permet d'éliminer toutes les impuretés existantes à la surface de l'échantillon. Pour cela un nettoyage avec de l'acétone et de l'alcool est effectué suivi d'un rinçage à l'eau déionisée et d'un séchage par un flux d'azote.



II.2.2. Définition des contacts de Drain et de Source

Le procédé de fabrication commence par le dépôt successif d'une couche de silicium non dopé puis d'une couche de silicium dopé. Cette étape consiste à définir les contacts de drain et source en utilisant le masque 1. Une étape photolithographique permet donc de transférer les motifs à graver initialement présents sur le masque au niveau de l'échantillon. Ensuite, la gravure de la couche dopée s'effectue jusqu'à celle non dopée. Le canal du transistor est ainsi défini.

Cette gravure dite sèche est faite par RIE (Reactive Ion Etching, ou gravure ionique réactive) dans une machine Nextral NE110. L'hexafluorure de soufre (SF_6) est mis en œuvre comme gaz réactif. Le fonctionnement est basé sur la création d'un plasma formé par la dissociation de ce gaz. Ce plasma est généré à l'aide d'une source radiofréquence à 13,56 MHz. Les ions F ainsi obtenus permettent la rupture des liaisons Si-Si de la couche à graver. Par ailleurs il est à noter que ces ions s'associent avec les atomes de Si libérés pour former à

leur tour le composé volatil SiF_4 . Ce produit de réaction gazeuse est ensuite évacué par le système de pompage de la machine [9].

La gravure des couches est de nature anisotrope. En effet, étant données les faibles épaisseurs des couches mises en jeu, la vitesse de gravure verticale est nettement plus élevée que celle de gravure latérale. Cette propriété permet donc d'aboutir à une très bonne reproduction des motifs du masque sur le substrat.

La structure obtenue après cette étape est présentée sur la figure 4.

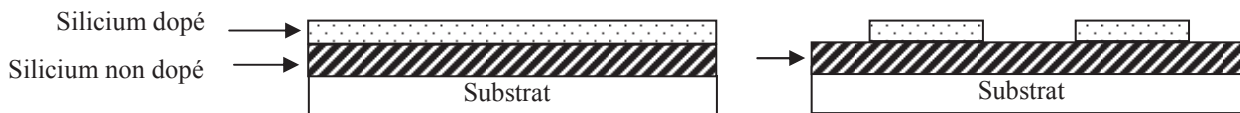


Figure 4 : Vue en coupe de la structure après gravure de la couche de silicium dopé

II.2.3. Définition de la géométrie des transistors

Cette étape consiste à graver le silicium non dopé entre les transistors en se servant des motifs contenus dans le deuxième masque. Les transistors sont séparés ainsi les uns des autres avec chacun sa zone active. La méthode permettant d'ôter la couche de silicium est celle décrite précédemment, à savoir l'utilisation d'une gravure plasma SF_6 . La figure 5 illustre la structure obtenue après cette deuxième étape photolithographique.



Figure 5 : Vue en coupe de la structure après gravure de la couche de silicium non dopé

A ce stade, la zone formant le canal du transistor a subi des dommages dus aux différentes solutions chimiques utilisées lors de la photolithographie. Cette zone forme l'interface avec l'isolant de grille et elle est importante pour l'obtention des bonnes caractéristiques électriques. Par conséquent, elle doit présenter le moins de défauts possibles. Pour cela un nettoyage RCA de la surface de la couche est effectué [10].

Le principe du nettoyage RCA repose sur la formation d'un oxyde à la surface du canal. Cet oxyde sert de centre de piégeage des défauts organiques et métalliques. L'échantillon est ainsi mis successivement dans un bain basique ($\text{H}_2\text{O} + \text{NH}_4\text{OH} + \text{H}_2\text{O}_2$) porté à 70°C pendant

10 min, dans un bain acide ($H_2O+HCl+H_2O_2$) porté à $80^{\circ}C$ pendant 10 min également et dans une solution d'acide fluorhydrique (HF dilué à 2%) pendant quelques secondes. Un rinçage est effectué entre chaque bain. Le dépôt de l'isolant de grille peut se faire à présent.

II.2.4. Ouverture des contacts dans l'isolant de grille

Cette étape consiste à ouvrir des fenêtres à travers l'isolant de grille précédemment déposé pleine plaque. Ces ouvertures permettent d'accéder aux contacts de drain et de source. Une étape de photolithographie, mettant en jeu le troisième masque, associée à une gravure humide (HF dilué à 5%) permet d'atteindre cet objectif. La figure 6 présente la structure à ce niveau du process.

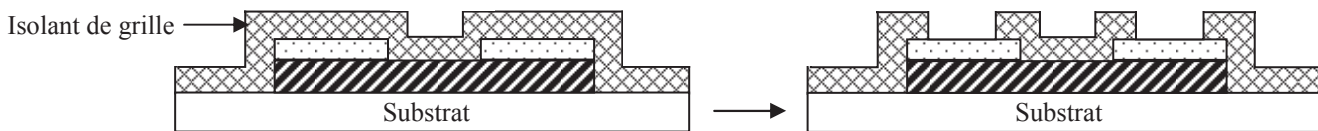


Figure 6 : Vue en coupe de la structure après ouverture des fenêtres dans l'isolant de grille

II.2.5. Prise de contact et définition des pistes d'aluminium

Le procédé de fabrication se termine par un dépôt d'aluminium réalisé par évaporation joule. Cette étape, par le biais de la métallisation et de l'utilisation du masque 4 en photolithographie, permet de définir les plots des contacts de drain, de source et de grille du transistor. Une solution chimique contenant 67 % d' H_3PO_4 , préalablement porté à une température de $60^{\circ}C$, réalise la gravure de l'aluminium non désiré.

La figure 7 illustre la structure finale du transistor à l'issue de toutes les étapes de masquage.

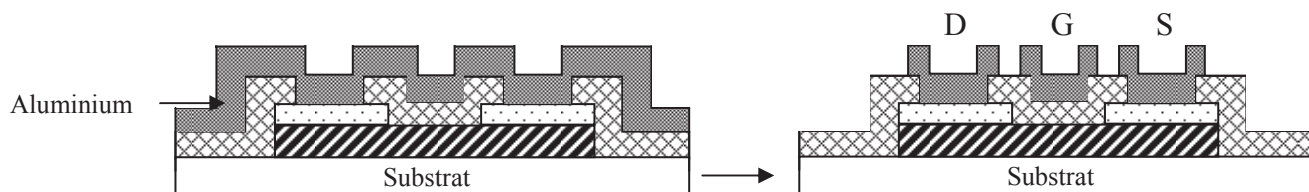


Figure 7 : Vue en coupe de la structure après gravure des pistes d'aluminium

II.3. Fonctionnement des transistors en couches minces

Le fonctionnement d'un transistor couche minces à base de silicium microcristallin est analogue dans une certaine mesure à celui d'un transistor MOS classique. Le transistor MOS diffère des TFTs principalement par la nature de son substrat qui est constitué d'une couche de silicium monocristallin massive autrement dit d'une grande épaisseur.

Les paramètres électriques suivants peuvent être définis :

- La transconductance (g_m),
- La tension de seuil (V_T),
- La mobilité d'effet de champ des porteurs à l'état passant (μ),
- La pente sous le seuil (S).

L'ensemble des transistors réalisés fonctionne par enrichissement de porteurs. En effet, au-delà d'une certaine valeur de la tension de grille (V_T), appelée tension de seuil, un canal conducteur est créé par accumulation de porteurs majoritaires (électrons ou trous) à l'interface isolant de grille - semiconducteur. Ce regroupement de porteurs permet le passage d'un courant entre l'électrode de drain et de source lorsqu'une polarisation est appliquée entre ces deux contacts. Les transistors possèdent plusieurs régimes de fonctionnement.

II.3.1. Régime bloqué

Lorsque la tension appliquée au niveau de la grille est insuffisante pour générer un canal conducteur, un courant faible peut circuler entre le contact de drain et de la source. Ce courant est le résultat de la polarisation en inverse de la jonction drain-source. C'est le courant I_{OFF}

II.3.2. Régime passant

Lorsque l'électrode de grille est soumise à une tension supérieure à la tension de seuil (V_T), un canal conducteur se crée dans l'espace situé entre le drain et la source. Dès lors un courant peut circuler entre la source et le drain, le transistor se trouve donc dans un état passant.

II.3.2.1. Régime linéaire

Au niveau du contact de drain, pour une tension appliquée très faible ($V_{DS} \ll V_{GS} - V_T$), le courant électrique dans le canal conducteur est exprimé par l'équation suivante :

$$I_{DS} = \frac{W}{L} \mu_{FE} C_{ox} (V_{GS} - V_T) V_{DS} \quad (1)$$

W (μm) : largeur du canal

L (μm) : longueur du canal

μ_{FE} (cm². V⁻¹.s⁻¹) : mobilité d'effet de champ

C_{ox} (F.cm²) : capacité par unité de surface de l'isolant de grille

V_T (V) : tension de seuil du transistor

De cette équation 1, des paramètres tels que la transconductance g_m et la conductance g_t du drain peuvent être définis comme suit :

$$g_m = \left\{ \frac{\partial I_{DS}}{\partial V_{GS}} \right\}_{V_{DS}=cte} = \frac{W}{L} \mu_{FE} C_{ox} V_{DS} \quad (2)$$

$$g_t = \left\{ \frac{\partial I_{DS}}{\partial V_{DS}} \right\}_{V_{GS}=cte} = \frac{W}{L} \mu_{FE} C_{ox} (V_{GS} - V_T) \quad (3)$$

II.3.2.2. Régime saturé

Dès que la tension de polarisation drain-source, V_{DS} , atteint la valeur de $(V_{GS} - V_T)$, il y a saturation du courant. Le canal du transistor subit un pincement du côté du drain. Cette valeur de tension particulière est dénommée tension de saturation et est appelée V_{Dsat} .

Lorsque la tension appliquée entre les électrodes de drain et de source dépasse la valeur de la tension de saturation, le phénomène de pincement effectue un déplacement du côté de la source. La tension dans la zone du canal reste sensiblement identique à V_{Dsat} .

L'excédent de tension se retrouve aux bornes de la zone de désertion qui a la propriété d'avoir une résistance très élevée. Le courant de drain reste dans ces conditions sensiblement constant et reste limité à une valeur égale à I_{DSat} appelé courant de saturation ou I_{ON} également. Son expression est donnée par l'équation 4 :

$$(I_{DS})_{sat} = \frac{W}{2L} \mu_{FE} C_{ox} (V_{GS} - V_T)^2 \quad (4)$$

La transconductance en régime de saturation est alors déduite de la relation :

$$(g_m)_{\text{sat}} = \left. \left\{ \frac{\partial I_{DS}}{\partial V_{GS}} \right\} \right|_{V_{DSsat}} = \frac{W}{L} \mu_{FE} C_{ox} (V_{GS} - V_T) \quad (5)$$

II.4. Caractérisation des transistors en couches minces

L'obtention des mesures électriques sur le transistor nécessite l'utilisation d'un analyseur de caractéristiques HP4155 en association avec un système de test sous pointes isolées. Ces mesures constituent le comportement statique du transistor. Ce sont les caractéristiques de transfert et de sortie.

II.4.1. Caractéristique de transfert

Une caractéristique de transfert typique d'un transistor en couches minces de type N est illustrée par la figure 8. Elle correspond à la mesure du courant de drain I_{DS} en fonction de la tension de polarisation de la grille V_{GS} et ce, pour une tension de drain V_{DS} fixe.

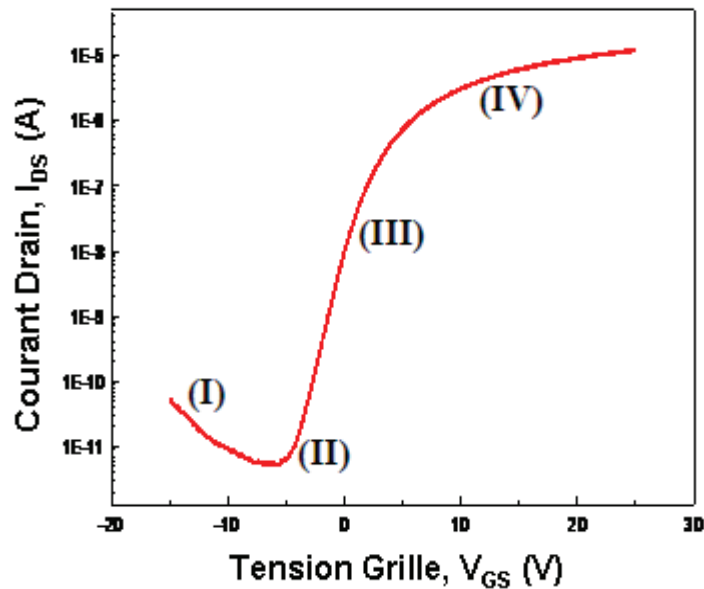


Figure 8 : Caractéristique de transfert typique, en échelle semi-logarithmique, d'un transistor en couches minces

Cette courbe met en évidence les quatre zones de fonctionnement des transistors en couches minces :

- Zone I : le transistor est dans son état bloqué, cependant le courant de drain n'est pas nul ($I_{DS} = I_{OFF}$). Il est dû essentiellement aux porteurs piégés et accélérés par la forte polarisation négative au niveau du drain.
- Zone II : elle met en évidence la conduction ohmique de toute la couche active.
- Zone III : le canal du transistor se forme et le courant de drain augmente très rapidement avec la tension de grille.
- Zone IV : le transistor est dans son état passant $I_{DS} = I_{ON}$.

II.4.2. Caractéristique de sortie

La figure 9 présente les caractéristiques de sortie $I_{DS} = f(V_{DS})$, pour différentes valeurs de la polarisation de l'électrode de grille V_{GS} .

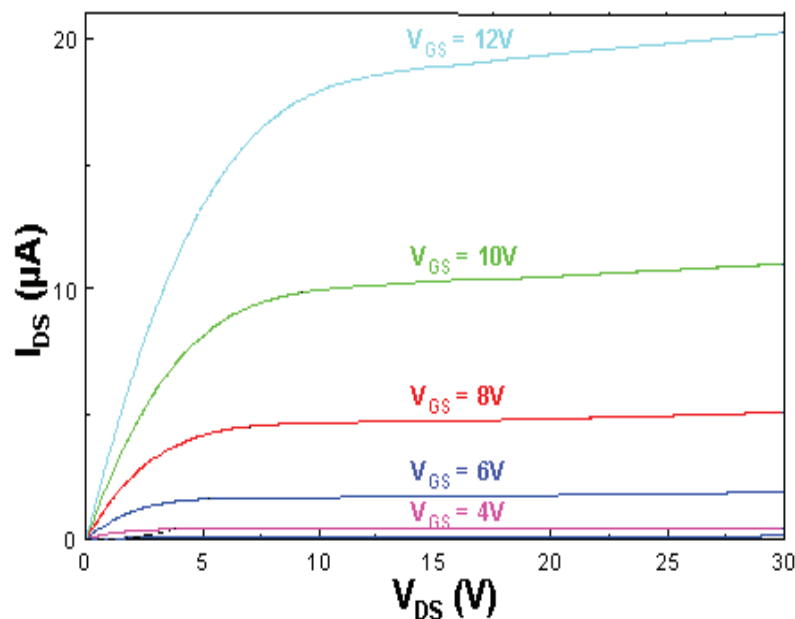


Figure 9 : Caractéristique de sortie d'un transistor en couches minces.

Ces courbes mettent en évidence le fonctionnement de type linéaire pour de faibles tensions drain-source et un mode de saturation lorsque V_{DS} augmente. Par ailleurs, l'effet de champ dans les transistors en couches minces est mis en évidence dans ces caractéristiques. En effet, le courant de drain est modulé par la tension de grille.

II.4.3. Détermination des paramètres du transistor

II.4.3.1. Tension de seuil

La tension de seuil (V_T) est définie comme étant la tension de grille pour laquelle on observe le début de la forte accumulation des porteurs formant le canal. Elle traduit donc la limite de conduction du transistor.

Elle est déterminée à partir de la caractéristique de transfert $I_{DS} = f(V_{GS})$ du transistor. Et plus particulièrement lorsque la courbe est en régime linéaire. Pour de fortes valeurs de V_{GS} , la caractéristique présente une partie linéaire. La tension de seuil est obtenue en traçant la tangente à la partie linéaire de la caractéristique et l'intersection de cette droite avec l'axe des abscisses permet donc de déterminer la valeur de la tension de seuil. La figure 10 illustre cette méthode d'extraction.

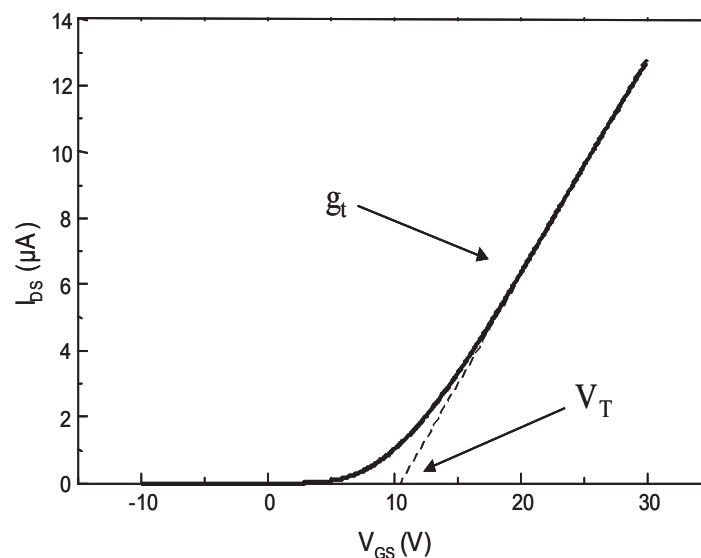


Figure 10 : Caractéristique de transfert en échelle linéaire d'un transistor. La tension de seuil est déduite de la tangente à la zone linéaire de la courbe.

II.4.3.2. Mobilité d'effet de champ

La mobilité d'effet de champ est calculée en régime linéaire. Elle est notée μ_{FE} et elle est exprimée en $\text{cm}^2/\text{V}^{-1}.\text{s}^{-1}$. Son obtention est déduite de la transconductance g_m définie dans l'équation 2. La transconductance g_m correspond à la pente de la caractéristique de transfert $I_{DS} = f(V_{GS})$. La valeur de la mobilité d'effet de champ est ensuite calculée, par analogie aux transistors MOS classiques, à l'aide de l'expression suivante :

$$\mu_{FE} = g_m \frac{L}{W} \frac{1}{C_{ox}} \frac{1}{V_{DS}} \quad (6)$$

II.4.3.3. Pente sous le seuil

La pente sous le seuil est la valeur de la tension à appliquer à la grille pour augmenter le courant de drain I_{DS} d'une décade (dans le domaine des tensions inférieures à la tension de seuil). La valeur de ce paramètre correspond à l'inverse de la plus forte pente en échelle logarithmique de la fonction de transfert dans la zone de commutation. Cette grandeur s'exprime en V/déc et traduit la facilité du canal à se former.

$$S = \left\{ \frac{\partial V_{GS}}{\partial (\log(I_{DS}))} \right\}_{V_{DS}=cte} \quad (7)$$

En outre, la présence des défauts dans le silicium et à l'interface isolant/ semiconducteur influence fortement la valeur de la pente sous le seuil. Cette influence peut être exprimée comme suit :

$$S = \frac{KT}{q} \times \ln 10 \times \left\{ 1 + \frac{C_{IT} + C_{EP}}{C_{OX}} \right\} \quad (8)$$

$(C_{IT} + C_{EP})$ représente la capacité globale due aux états piégés dans les joints de grains, à l'interface grille/couche active et à la déplétion de la couche active.

II.4.3.4. Rapport I_{ON}/I_{OFF}

Ce rapport traduit la différence des courants existant entre le moment où le transistor se trouve dans son état bloqué et celui où il est en mode passant. Il est extrait de la caractéristique de transfert $I_{DS} = f(V_{GS})$. I_{OFF} correspond au minimum de courant sur la courbe et I_{ON} représente le courant maximum de la caractéristique.

C'est un paramètre important du point de vue de la performance des transistors. Par conséquent, le rapport du courant à l'état passant sur le courant à l'état bloquant doit être le plus élevé possible ($> 10^5$ généralement).

III. LA DIODE SCHOTTKY

Dans la diversité des composants utilisés dans électronique, la diode Schottky constitue le composant semi-conducteur le plus simple à réaliser du point de vue technologique. La diode Schottky est une diode basée sur un contact métal - semi-conducteur. Ce type de contact est très utilisé dans tous les dispositifs microélectroniques.

Lorsqu'on réalise une interface métal – semiconducteur, les comportements électriques associés à ces contacts sont variés. Il existe en effet les contacts dits ohmiques et les contacts Schottky ou redresseur. La différence entre ces deux contacts provient du décalage qui existe entre le travail de sortie du métal noté ($\Phi_{Métal}$) et le travail de sortie du semi-conducteur appelé (Φ_{SC}). Le travail de sortie d'un matériau correspond à la différence entre l'énergie d'un électron dans le vide et l'énergie de Fermi du matériau. Cette différence est l'énergie minimum nécessaire à un électron pour quitter la surface d'un métal [11-14].

III.1. Structure

La structure de base d'une diode Schottky est un contact direct entre un métal et un semi-conducteur peu dopé. La figure 11 présente une vue schématique d'un tel composant. Pour obtenir un effet redresseur, le métal 1 est choisi de telle manière à avoir un travail de sortie ($\Phi_{Métal}$) supérieur à celui du semi-conducteur peu dopé (N-). Cette condition est très importante.

La prise de contact électrique nécessaire à l'établissement d'une polarisation fait appel à l'utilisation d'un deuxième métal, dans ce cas, il faut un contact ohmique. Pour cela un semi-

conducteur fortement dopé (N+) est mis en œuvre. Cette couche sert à minimiser les effets de résistance série.

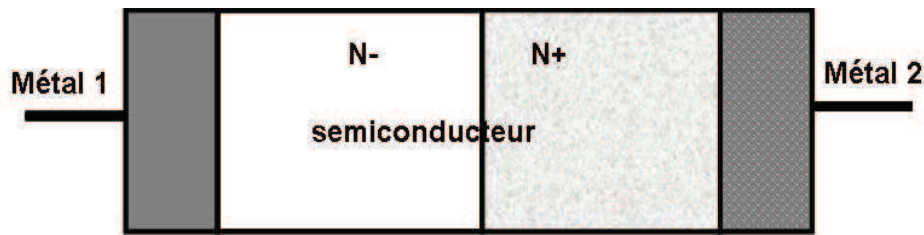


Figure 11 : Coupe schématique d'une diode Schottky

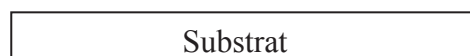
Les masques photolithographiques permettant la réalisation des diodes Schottky, sont constitués par des rectangles de surfaces différentes. Les surfaces des diodes sont donc de $800 \mu\text{m} \times 400 \mu\text{m}$, $400 \mu\text{m} \times 200 \mu\text{m}$, $200 \mu\text{m} \times 100 \mu\text{m}$, $100 \mu\text{m} \times 50 \mu\text{m}$.

III.2. Procédé technologique de fabrication

La fabrication d'une diode Schottky intégrée se fait en plusieurs étapes.

III.2.1. Nettoyage du substrat

La première étape du procédé de fabrication est le nettoyage du substrat sur lequel doit être élaboré le dispositif. Celui-ci s'effectue avec de l'alcool et de l'acétone. Il permet d'enlever toute éventuelle impureté localisée au niveau de la surface.



III.2.2. Dépôt de couches

Le procédé se poursuit par le dépôt successif de plusieurs couches sur l'échantillon (figure 12). Le premier métal correspond au contact de cathode. La couche de silicium fortement dopé (N+) formant l'interface ohmique a pour rôle de diminuer la résistance série. Ensuite, la couche de silicium faiblement dopé permet la formation de l'interface, source de

l'établissement de l'effet redresseur et enfin la deuxième métallisation constitue le contact de l'anode.

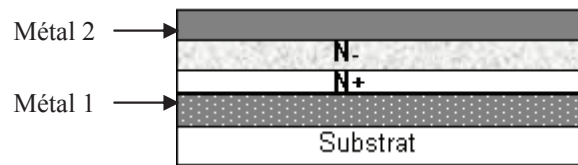


Figure 12 : Vue en coupe de la structure après le dépôt des couches

III.2.3. Photolithographie

Enfin une étape photolithographique en résine positive permet de définir la géométrie de la diode et d'isoler également les composants les uns des autres (figure 13). Elle consiste en une gravure chimique du dépôt métallique formant l'anode et en une gravure par voie RIE des couches de silicium faiblement et fortement dopé. Cette étape permet de libérer en outre le contact cathodique du bas.

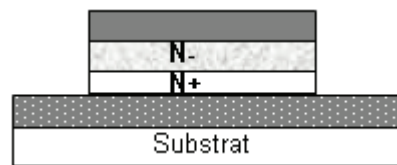


Figure 13 : Vue en coupe de la structure après la définition des diodes

III.3. Mécanismes de transport des porteurs dans une diode Schottky

Le transport du courant dans une diode à base d'une jonction Schottky est assuré par le déplacement vers le métal des porteurs majoritaires du semiconducteur choisi, en l'occurrence dans ce cas précis, les électrons du silicium faiblement dopé de type N. Lorsque le métal est mis en contact avec cette couche, il apparaît à l'interface une barrière de potentiel pour le passage des électrons du métal vers le semiconducteur dont la hauteur est exprimée comme suit :

$$\Phi_{bn} = \Phi_{Métal} - \chi \quad (9)$$

Où χ est l'affinité électronique du semiconducteur qui est la différence entre l'énergie d'un électron dans le vide et l'énergie du minimum de la bande de conduction du semiconducteur.

Cette différence est l'énergie minimum nécessaire à un électron pour quitter la surface du semiconducteur

De même une barrière de potentiel V_{bi} s'oppose au passage des électrons du semiconducteur vers le métal. Elle correspond à la courbure de bandes du semiconducteur à l'interface et est donnée par :

$$V_{bi} = \Phi_{bn} - \Phi_n$$

Où Φ_n est la différence d'énergie entre l'énergie minimum de la bande de conduction et le niveau de Fermi dans le volume du semiconducteur loin de l'interface.

Les électrons qui devront franchir cette barrière doivent être ramenés de l'intérieur de la couche de silicium jusqu'à l'interface. Lors de leur passage dans la région de déplétion du semiconducteur leur mouvement est régulé par le mécanisme classique de diffusion résultant du gradient de concentration. Au niveau de la jonction métal-semiconducteur proprement dite le transport électronique est déterminé par le nombre d'électrons pouvant franchir la barrière de potentiel. Deux modes de conduction régissent donc le transport des porteurs dans une interface Schottky. Ils se suivent dans le temps et la prédominance de l'un ou l'autre sur le courant de la diode Schottky est déterminée par la capacité d'un mode à obstruer la circulation des électrons. Le modèle de diffusion est celui prépondérant dans le mécanisme de conduction selon la théorie de la diffusion de Wagner (1931) et de Schottky et Spence (1939). Tandis que la théorie de l'émission thermoïonique de Bethe (1942) affirme l'importance du second mode dans le transport des électrons [15].

La différence entre les deux modèles réside sur le comportement du niveau de Fermi des électrons dans la bande de conduction. Selon la théorie de la diffusion la concentration des électrons se trouvant dans la zone jouxtant l'interface, n'est pas affectée par la tension appliquée au niveau de la barrière, autrement dit les niveaux de Fermi du métal et du semiconducteur coïncident en cet endroit. Dans ce cas la courbure des bandes est représentée sur la figure 14.

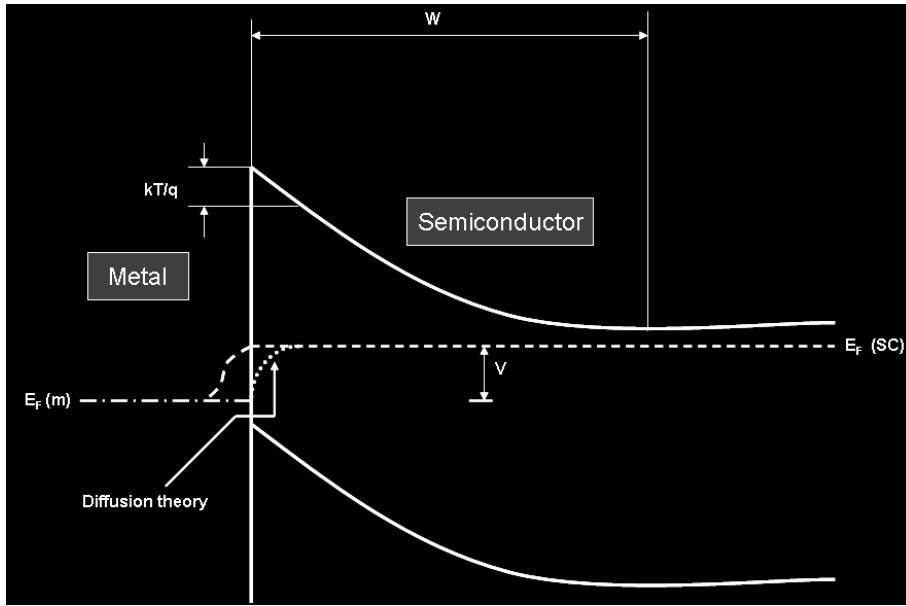


Figure 14 : Niveau de Fermi des électrons dans une barrière Schottky polarisée en direct [15]

III.3.1. Transport par diffusion

Dans le cas du modèle de conduction par diffusion, la densité de courant dans la zone de déplétion peut être exprimée comme suit :

$$J = qN_c\mu E_{\max} \exp\left(\frac{-q\phi_b}{kT}\right) \left(\exp\left(\frac{qV}{kT}\right) - 1\right) \quad (10)$$

Avec N_c la densité d'état dans la bande de conduction, μ la mobilité des électrons, V la tension appliquée et E_{\max} le champ électrique maximal régnant dans la zone de déplétion défini par la relation :

$$E_{\max} = \frac{qN_d w}{\epsilon_s} \quad (11)$$

Avec N_d la concentration des électrons, ϵ_s la permittivité du semiconducteur et w la distance défini dans la figure 14.

La relation 10 exprime l'évolution du courant avec la tension selon la théorie de la diffusion, cependant elle diffère de celle d'un redressement idéal définie

par $J = J_0 \left[\exp\left(\frac{qV}{kT}\right) - 1 \right]$. La différence est liée à la dépendance du champ électrique maximal E_{\max} avec la tension appliquée. Ce dernier est proportionnel à $(V_{d0} - V)^{1/2}$. Pour des grandes valeurs de tension inverse, le courant de la diode ne sature pas mais augmente en $|V|^{1/2}$

III.3.2. Transport par émission thermoïonique

Le courant dans la diode Schottky obéissant à la théorie de l'émission thermoïonique est défini par l'expression :

$$J = A^* T^2 \exp\left(-\frac{q\phi_b}{kT}\right) \left(\exp\left(\frac{qV}{kT}\right) - 1 \right) \quad (12)$$

Avec A^* la constante de Richardson. Cependant la hauteur de la barrière Φ_b dépend de la tension appliquée. Elle augmente avec la polarisation. En outre, Φ_b est réduit par la force image qui dépend de la tension V aussi selon cette équation.

$$\Phi_b = \Phi_{b0} - (\Delta\Phi_b)_0 + \beta V \quad \text{avec } \beta > 0 \quad (13)$$

Où $(\Delta\Phi_b)_0$ et Φ_{b0} sont l'abaissement et la barrière à $V = 0$. En prenant en compte donc l'expression de Φ_b et en définissant le terme $\frac{1}{\eta} = 1 - \beta$, l'expression 10 peut être réécrite comme suit :

$$J = J_0 \exp\left(\frac{qV}{\eta kT}\right) \left(1 - \exp\left(\frac{-qV}{kT}\right) \right) \quad (14)$$

$$\text{Avec } J_0 = A^* T^2 \exp\left(\frac{-q(\phi_{b0} - \Delta\phi_{b0})}{kT}\right).$$

Très souvent cette expression est écrite $J = J_0 \left(\exp\left(\frac{qV}{\eta kT}\right) - 1 \right)$ mais cette forme est incorrecte car l'abaissement de la barrière affecte aussi bien le flux d'électron du métal vers le

semiconducteur que celui du semiconducteur vers le métal. Le deuxième terme dans la parenthèse autrement dit le 1 doit contenir η .

La différence entre les 2 expressions est négligeable pour $V > 3kT/q$ mais la forme correcte a l'avantage que η peut être trouvé expérimentalement en traçant $\ln\left(\frac{J}{1 - \exp\left(\frac{-qV}{kT}\right)}\right)$ en

fonction de la tension appliquée V aussi bien en inverse qu'en direct [16].

De plus si la résistance série est grande, $J(V)$ dévie de l'équation pour V fortement en direct. Il est donc intéressant de disposer d'une gamme de variation de V plus grande (inverse et faiblement direct) avant l'intervention de la résistance série.

$$\text{On a donc } \ln\left(\frac{J}{1 - \exp\left(\frac{-qV}{kT}\right)}\right) = \left(\frac{q}{nkT}\right)V + \ln J_0$$

De cette équation on peut tirer, $q/\eta kT$ et $\ln J_0$ à différentes températures.

III.4. Caractérisation d'une diode et paramètres électriques

La caractérisation des diodes permet de valider son fonctionnement. La figure 15 présente une caractéristique typique courant-tension d'une diode Schottky en échelle linéaire. Elle met en évidence les deux modes de fonctionnement de la diode : à savoir le régime bloqué et passant. Ce type de diode est caractérisé par un courant en inverse plus élevé que dans une diode à jonction PN et une tension de seuil en régime direct beaucoup plus faible.

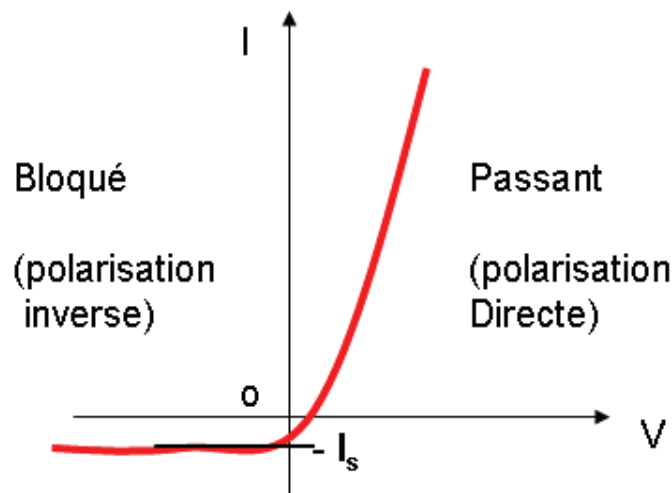


Figure 15 : Caractéristique I-V en échelle linéaire de la diode

De cette caractéristique, et à l'aide des équations décrivant le courant de la diode Schottky, des paramètres tels que le facteur d'idéalité η , ou la hauteur de barrière Φ_b peuvent être déterminés.

IV. L'ANTENNE

L'objectif est la mise en place d'une antenne délivrant et réceptionnant un signal et ce à une fréquence environnant les 13 MHz. Dans ce cadre, l'antenne est conçue dans sa façon la plus simple, c'est-à-dire, une bobine plate constituée d'un enroulement de fil conducteur. La première démarche consiste donc à concevoir le masque contenant les motifs de l'antenne.

IV.1. Elaboration du masque

Les motifs du masque de fabrication de l'antenne sont réalisés sur un support plastique et sont destinés à une utilisation sur substrat 3 pouces. Les paramètres importants dans la définition des masques (figure 16) sont d'une part le nombre de boucles ou de segments de la bobine et d'autre part, la longueur de la piste métallique (L) ainsi que sa largeur (W) et l'espace entre les pistes (S). Le dimensionnement de ces différents éléments est imposé en premier lieu, par l'application voulue, en d'autres termes par les performances électriques souhaitées de l'antenne et dans une deuxième mesure, par les contraintes technologiques imposées par les composants qui seront reliées à l'antenne telle que les capacités de résonance. L'inductance d'une antenne rectangulaire est définie comme suit :

$$L_A = 0,002L \left(\ln \left(\frac{2L}{w+t} \right) + 0,50049 + \frac{w+t}{3L} \right) \quad (\mu\text{H}) \quad (15)$$

Avec t , l'épaisseur le piste métallique. Suivant la valeur voulue de l'inductance, cette équation permet de définir les paramètres dimensionnels de l'antenne [17-20]. La figure 16 présente l'ossature du masque conçu avec les plots de contact permettant de relier les résistances et les capacités permettant l'accord de l'antenne et l'adaptation à la ligne 50 Ω .

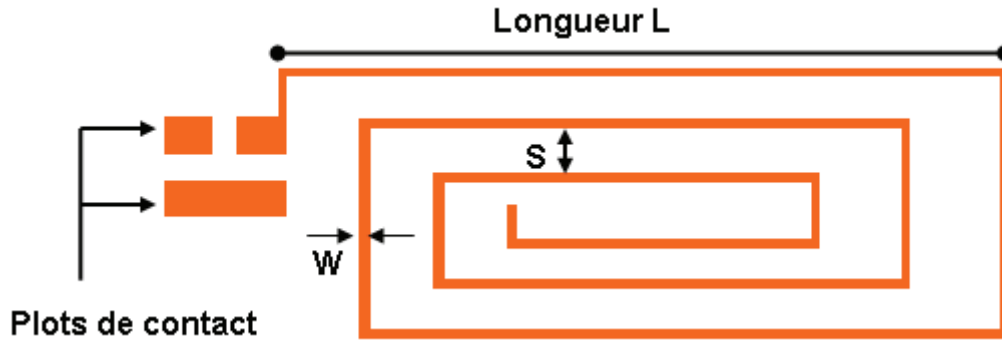


Figure 16 : Masque de fabrication d'une antenne et paramètres caractéristiques

IV.2. Procédé de fabrication

Les pistes métalliques d'une antenne RFID sont réalisées habituellement avec un matériau possédant une très forte conductivité (σ). En effet lorsque des pistes conductrices sont parcourues par un courant à des fréquences élevées, il existe l'apparition d'un phénomène appelé effet de peau. Il consiste en une circulation non uniforme du courant dans toute la section du conducteur. La conséquence est une augmentation de la résistance des pistes, ce qui conduit à des pertes.

L'effet de peau est défini par la relation suivante :

$$\delta = \frac{1}{\sqrt{\pi f \mu \sigma}} \quad (16)$$

Afin donc de rendre minime cet effet de peau et par conséquent de diminuer la résistance, le choix d'un matériau très conducteur est judicieux. En termes de conductivité, ce matériau peut être le cuivre. Ce dernier peut être déposé par pulvérisation cathodique. Cependant, cette méthode de dépôt n'est pas appropriée pour les épaisseurs mises en jeu. En effet les pistes métalliques d'une antenne nécessitent des couches de cuivre de l'ordre de $30 \mu\text{m}$ et la vitesse de dépôt par pulvérisation est en moyenne $1 \mu\text{m}/\text{heure}$, d'où un temps d'élaboration des couches particulièrement long. Une autre méthode est l'obtention des couches par voie électrochimique. Elle est très adaptée aux grandes épaisseurs, en effet sa cinétique peut atteindre les $1 \mu\text{m}/\text{min}$ selon les paramètres. C'est cette deuxième méthode communément appelée l'électrodéposition qui est donc choisie pour la mise en place des couches de cuivre.

IV.2.1. Le processus d'élaboration par électrodéposition

Le principe repose sur une électrolyse [21]. Elle consiste en un transfert d'électrons entre deux composés chimiques. La particularité est que cet échange se fait à travers un circuit électrique parcouru par un courant imposé par un générateur. Une conversion de l'énergie électrique en énergie chimique est ainsi réalisée. La figure 17 illustre le processus d'électrodéposition du cuivre. Le montage utilisé est appelé électrolyseur ou cellule d'électrolyse. A travers une source de tension, une différence de potentiels est appliquée entre deux électrodes. Ces dernières étant préalablement immergées dans une solution électrolytique. Le sens de déplacement des électrons contraire à celui du courant imposé par le générateur a pour effet d'arracher des électrons de l'anode. L'anode est le siège d'une oxydation :



Le cuivre perd deux électrons et se retrouve sous forme de Cu^{2+} dans la solution. Les cations Cu^{2+} sont ensuite attirés par l'électrode soumise au potentiel négative, la cathode. Ces cations se recombinent à leur tour avec les électrons apportés par le générateur suivant la réaction :



La cathode est le siège d'une réduction. Par ce procédé donc, un dépôt de cuivre est fait sur la cathode (et donc sur le substrat).

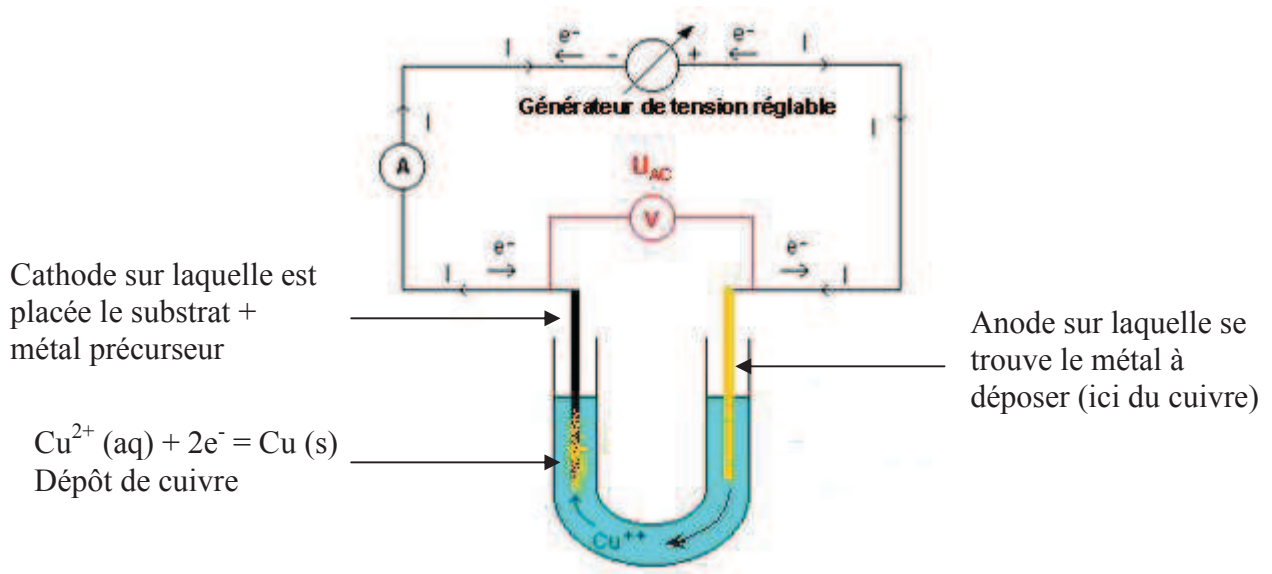


Figure 17 : Processus d'électrodéposition du cuivre

IV.2.2. Appareil d'électrodéposition

Dans le but de diversifier les outils permettant le dépôt des métaux, le groupe microélectronique de l'IETR a acquis récemment un banc d'électrodéposition. Cette machine (figure 18) permet de déposer du cuivre sur des substrats circulaires de dimension deux, trois ou quatre pouces. Les paramètres de la machine à définir lors d'un process sont la température, la tension, l'intensité et la durée du processus.

Le bain est rempli d'une solution de cuivre dénommée Microfab Cu200. Cette solution se compose :

- ✓ De 20 à 30 g/l de cuivre. L'ajout de sulfate de cuivre CuSO_4 permet de maintenir cette concentration.
- ✓ De 150 à 225 g/l d'acide sulfurique, son rôle étant d'améliorer la conductivité de l'électrolyte.
- ✓ De 20 à 80 mg/l d'ions chlorures. Leur origine est l'ajout d'acide chlorhydrique. Ils contribuent à la corrosion de l'anode en cuivre.

Air
d'évacuation

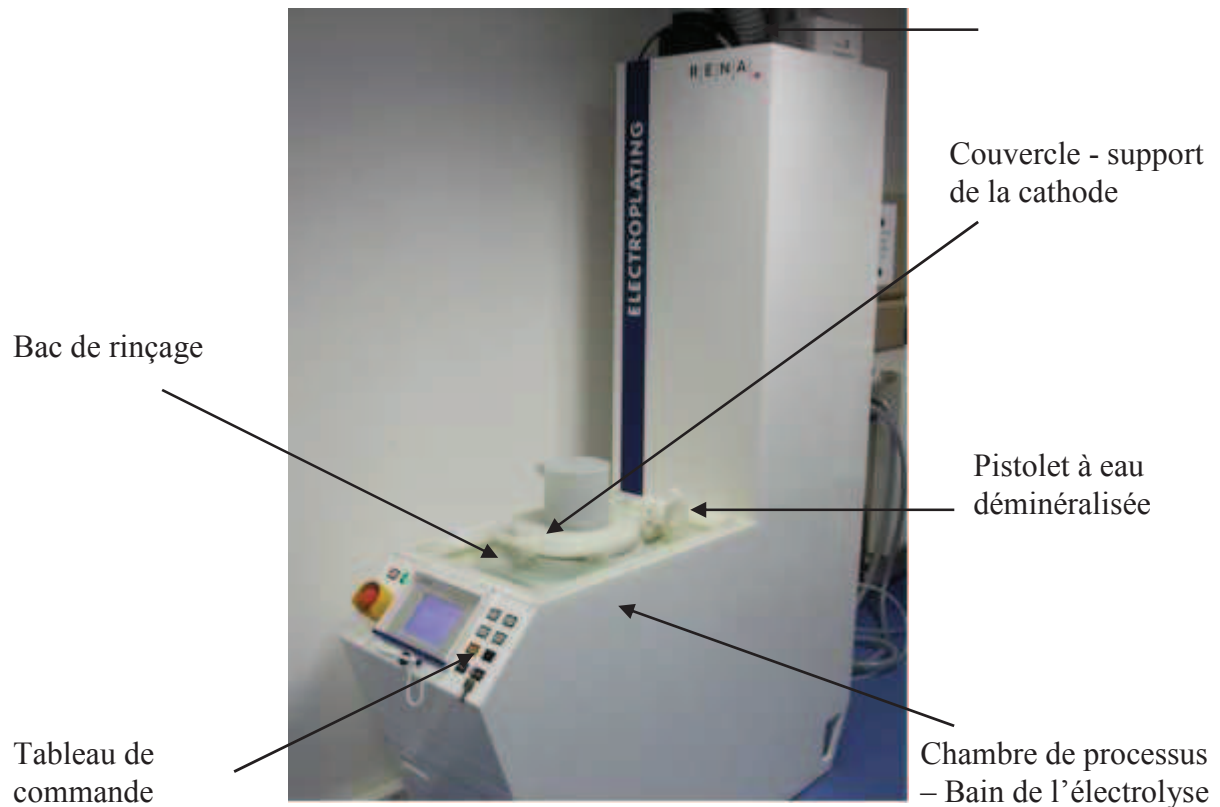


Figure 18 : Banc d'électrodéposition du cuivre, RENA GmbH

IV.3. Procédé de caractérisation

Une fois fabriquée, l'antenne doit être caractérisée afin de valider son fonctionnement. La figure 19 présente le protocole de caractérisation adopté. Il comporte un générateur délivrant une tension sinusoïdale permettant d'alimenter la première antenne. Celle-ci fournit à son tour le signal à une seconde antenne. Un oscilloscope sert à visualiser les tensions existantes aux différentes bornes du circuit.

Ce montage permet de réaliser des mesures telles que la détermination de la réponse en fréquence de l'antenne en fonction de la variation de la fréquence du signal du générateur d'entrée. Il est également possible de déterminer la distance de lecture en faisant varier la distance d entre les deux antennes.

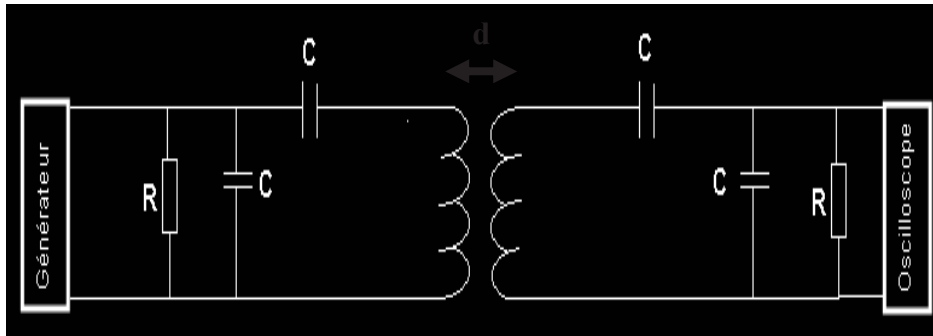


Figure 19 : Protocole de caractérisation d'une antenne

V. CONCLUSION

Ce chapitre a permis d'aborder la réalisation technologique, la caractérisation électrique et les méthodes d'extraction des paramètres importants des différents éléments constitutifs du premier étage d'un tag RFID. Le transistor en couches minces, dans sa réalisation et son fonctionnement, a été décrit. La méthode de fabrication de la diode Schottky a été également abordée. Enfin la technique de réalisation de l'antenne a été transcrite.

Les performances électriques statiques relatives aux transistors et aux diodes Schottky font l'objet du prochain chapitre.

BIBLIOGRAPHIE – Chapitre 3

- [1] **K. Myny, S. Steudel, P. Vicca, J. Genoe, P. Heremans**, “An integrated double half-wave organic Schottky diode rectifier on foil operating at 13.56 MHz ”, *Applied Physics Letters*, 93, 093305, 2008
- [2] **E.M. Biebl**, “RF system based on active integrated antennas”, *International Journal of Electronics and Communications*, 57, 173-180, 2003
- [3] **E. Cantatore, T.C.T. Geuns, A.F.A. Gruijthuisen, G.H. Gelinck, S. Drews, D.M. de Leeuw**, “A 13.56 MHz RFID system based on organic transponders”, *IEEE International Solid-State Circuits Conference*, Session 15, 2006
- [4] **K. Kandoussi**, “Procédé de fabrication à $T < 200^{\circ}\text{C}$ de transistors en couches minces de silicium microcristallin déposé par PECVD en mélange $\text{SiH}_4\text{-H}_2\text{-Ar}$ ”, Thèse de doctorat, *Université de Rennes 1*, 2007
- [5] **G. Gautier**, “Conception, réalisation et mise au point d’une technologie CMOS en transistors couches minces sur substrat de verre ”, Thèse de doctorat, *Université de Rennes 1*, 2002
- [6] **E. Jacques**, “Microsystème et capteur intégrés en technologie couches minces basse température”, Thèse de doctorat, *Université de Rennes 1*, 2008
- [7] **A. Saboundji, N. Coulon, A. Gouron, H. Lhermite, T. Mohammed-Brahim, M. Fonrodona, J. Bertomeu, J. Andreu**, “Top-gate microcrystalline silicon TFTs processed at low temperature ($< 200^{\circ}\text{C}$)”, *Thin Solid Films*, 487, 227-231, 2005
- [8] **V.D. Bui**, “Conception et modélisation de transistors TFTs en silicium microcristallin pour des écrans AMOLED”, Thèse de doctorat, *Ecole Polytechnique*, 2006
- [9] **C. Cardinaud, M-C. Peignon, P-Y. Teissier**, “Plasma etching: principles, mechanisms, application to micro-and-nano-technologies”, *Applied surface Science*, 164, 72-83, 2000

- [10] **O.O. Awadelkarim, Y.Z. Wang**, “The impact of RCA treatment of glass substrates on the properties of polycrystalline silicon thin film transistors”, *Microelectronic Engineering*, 45, 299-310, 1999
- [11] **H. Mathieu**, “Physique des semiconducteurs et des composants électroniques”, *Masson*, 3^{ème} Edition, 1996
- [12] **T. Koryu Ishii**, “Handbook of microwave technology”, *Academic Press*, Volume 1, 1995
- [13] **M. Coyaud**, “Caractérisation fonctionnelle de composants en carbure de silicium”, Thèse de doctorat, *Université Joseph Fourier*, 2002
- [14] **M. Wade**, “Fabrication et études des propriétés de diodes Schottky sur diamant homoépitaxié p⁻/p⁺”, Thèse de doctorat, *Université Joseph Fourier*, 2005
- [15] **E.H. Rhoderick, R.H. Williams**, “Metal-semiconductor contacts”, *Oxford Science Publications*, 2^{ème} Edition, 1988
- [16] **M. Missous, E.H. Rhoderick**, “New way of plotting current/voltage characteristics of Schottky diodes”, *Electronics Letters*, 22, 477-478, 1986
- [17] **F. Eken**, “RFID receiver antenna project for 13.56 MHz band”, *TE 401 Microwave Course Term Project*, 2004
- [18] **Microchip**, “13.56 MHz RFID system design guide”, *Microchip Technology Inc*, DS21654C, 2004
- [19] **Technical report**, “HF antenna design notes, Radio Frequency Identification system”, *Texas Instruments*, 3^{ème} Edition, 2003
- [20] **Application note**, “How to design a 13.56 MHz customized tag antenna”, *ST microelectronics*, AN2866, 2009
- [21] **M. Paunovic, M. Schlesinger**, “Fundamentals of electrochemical deposition”, *Wiley Intersciences*, 2^{ème} Edition, 2006

Chapitre 4
REALISATION DES COMPOSANTS

I. INTRODUCTION

L'objectif de ces travaux est de mettre en place les éléments formant le premier étage d'une étiquette RFID, en l'occurrence le système de redressement et l'antenne permettant l'envoi et la réception du signal radiofréquence. Ce chapitre est donc consacré à la présentation des résultats obtenus après la réalisation technologique des composants amenés à constituer le noyau du dispositif de redressement. Ces éléments sont au nombre de deux. Le premier composant est un transistor en couches minces avec l'électrode de grille et de drain court-circuitées. Cette configuration lui confère un comportement électrique d'une diode. L'architecture du transistor est de type topgate. Le deuxième composant repose sur une interface entre du silicium microcristallin et de l'or communément appelée diode Schottky.

L'intérêt d'utiliser le silicium microcristallin est de mettre en place des technologies de fabrication bas coût compatible avec des substrats plastiques [1].

Les caractéristiques statiques des composants sont mises en évidence dans cette partie.

II. REALISATION DES TRANSISTORS MONTES EN DIODE

II.1. Choix des transistors de grandes dimensions

Notre objectif est de récupérer une tension quantifiable à la sortie d'un système de redressement à base de transistor monté en diode fonctionnant à hautes fréquences.

Lorsqu'un transistor en couches minces est utilisé dans un dispositif avec des fréquences de fonctionnement élevées, de l'ordre du mégahertz, les effets capacitifs sont non négligeables. Ceux-ci ont pour principale origine les capacités dites grille-drain C_{GD} et grille-source C_{GS} . Le transistor peut donc être représenté par le schéma de la figure 1.

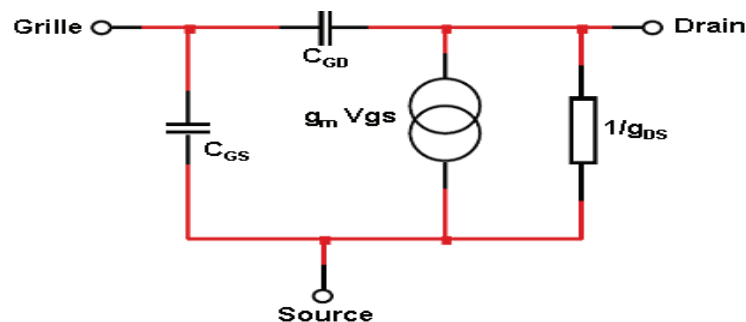


Figure 1 : Schéma équivalent en petits signaux du transistor

Lorsque le transistor est polarisé en direct, ces capacités sont estimées par les relations [2]:

$$C_{GS} = \frac{2}{3}W \cdot L \cdot C_{ox} + C_{GS0} \quad (1)$$

$$C_{GD} = C_{GD0} \quad (2)$$

Avec C_{ox} , la capacité d'isolant de grille et C_{GS0} et C_{GD0} , les capacités de recouvrement données par l'expression suivante :

$$C_{GS0} = C_{GD0} = L_{rec} \cdot W \cdot C_{ox} \quad (3)$$

Avec L_{rec} la longueur du recouvrement entre l'aluminium de contact, l'isolant de grille et le drain ou la source.

Cette estimation des capacités de recouvrement C_{GS} et C_{GD} permet, pour un transistor MOS d'évaluer sa fréquence de coupure f_c par la relation :

$$f_c = \frac{g_m}{2\pi(C_{GS} + C_{GD})} \quad (4)$$

Avec g_m , la transconductance du transistor. Au regard de ces équations, l'influence des dimensions du transistor à savoir la largeur W et la longueur L du canal sur la fréquence de coupure est minime. En effet d'une part, l'augmentation de ces dimensions entraîne une augmentation des valeurs des capacités C_{GS} et C_{GD} , mais d'autre part la transconductance augmente aussi avec le rapport W/L (équation 5). La fréquence de transition étant définie donc par le rapport de la transconductance sur les capacités, sa variation est moindre.

$$(g_m) = \left\{ \frac{\partial I_{DS}}{\partial V_{GS}} \right\} = \frac{W}{L} \mu_{FE} C_{ox} (V_{GS} - V_T) \quad (5)$$

La conductance g_{DS} ou l'inverse de la résistance drain-source est définie par la relation suivante :

$$g_{DS} = \lambda I_D \quad (6)$$

Avec I_D , le courant de drain du transistor proportionnel au rapport W/L des dimensions. Par conséquent, plus la largeur W du canal est grande, plus la conductance est élevée et donc la résistance drain-source faible. Dans le cas où le transistor est monté en diode, cette résistance moindre permet l'obtention d'un courant plus important en sortie du composant et donc un signal redressé plus grand.

Toutes ces considérations permettent de justifier le choix de la conception des masques avec des motifs des transistors montés en diode de dimension millimétrique en ce qui concerne les largeurs des canaux.

II.2. Conditions de fabrication des transistors

Le procédé de fabrication d'un transistor en couches minces, tel que décrit dans le chapitre précédent est effectué par dépôts successifs de plusieurs couches de matériaux.

Le silicium microcristallin non dopé d'épaisseur 100 nm constituant la couche active est déposée par PECVD à 165°C dans les conditions suivantes :

- Pression : 0,9 mbar
- Puissance : 15 W
- Flux de gaz : 1,5 sccm SiH_4 , 75 sccm H_2 et 75 sccm Ar
- Distance inter-électrode : 4,5 cm

Dans ces conditions la cristallinité de la couche est estimée par une analyse Raman à 76%. L'ajout d'argon dans le processus de dépôt permet d'obtenir en effet cette grande valeur de fraction cristalline. Cette dernière ayant un impact direct sur la mobilité d'effet de champ du composant réalisé [3-4].

Les zones de source et de drain sont réalisées à partir d'une couche de silicium microcristallin d'épaisseur 70 nm de type N avec un dopage à l'arsenic. Le dépôt des couches est fait à 165°C dans le même réacteur que celui utilisé pour la couche non dopée avec les paramètres suivants:

- Pression : 0,9 mbar
- Puissance : 15W
- Flux de gaz : 1 sccm de SiH_4 , 100 sccm H_2 et 7 sccm AsH_3
- Distance inter-électrode : 4,5 cm

L'isolant de grille des transistors, d'épaisseur 300 nm, est le nitrure de silicium élaboré par PECVD à 150°C, dans les conditions suivantes :

- Pression : 0,6 mbar
- Puissance : 30W
- Flux de gaz : 2 sccm SiH₄, 80 sccm N₂ et 40 sccm NH₃
- Distance inter-électrode : 4,5 cm

Les contacts métalliques sont réalisés avec une couche d'aluminium de 300 nm déposée par évaporation joule.

II.3. Comportement électrique des transistors en configuration normale

Les premières mesures sont réalisées au niveau des transistors qui ne sont pas en configuration diode afin d'en extraire les paramètres des composants. Une caractéristique de transfert d'un transistor, de largeur W (1000 μm) et de longueur L (60 μm) de canal est illustrée par la figure 2. Elle présente l'évolution du courant de drain en fonction de la polarisation de grille, et ce pour une tension drain-source constant à 1V.

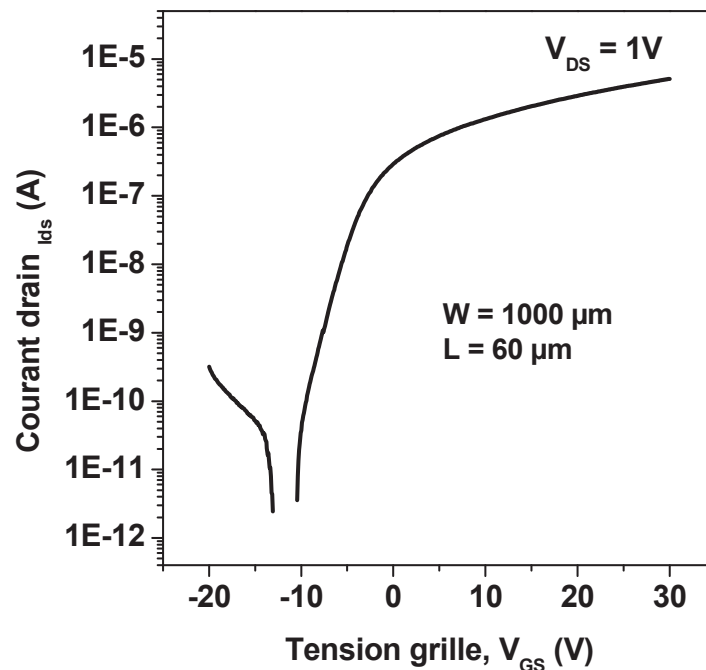


Figure 2 : Caractéristique de transfert d'un transistor ($W/L= 1000 \mu\text{m}/60 \mu\text{m}$) fabriqué à partir de couches de silicium $\mu\text{c-Si:H}$ déposées par PECVD à une température $T < 200^\circ\text{C}$.

Les paramètres électriques de ce transistor tirés de la caractéristique de transfert, sont regroupés dans le tableau I.

Mobilité (cm ² /V.s)	Pente sous le seuil (V/déc)	Tension de seuil (V)	(I _{ON} /I _{OFF})
0,6	1,7	- 0,8	>10 ⁺⁶

Tableau I. Paramètres électriques du transistor

La valeur de la mobilité d'effet de champ est de 0,6. Elle est typique de celles communément trouvées dans des transistors en couches minces à base de silicium microcristallin avec une structure topgate et avec du nitrure de silicium comme isolant de grille [5-7]. La pente sous le seuil est de 1,7 V. Elle traduit la vitesse de commutation du transistor entre son état bloqué et passant. Elle est influencée notamment par la qualité d'interface entre l'isolant de grille et la couche active de silicium microcristallin. Il est à remarquer aussi le très grand rapport du courant maximum à l'état passant I_{ON} sur le courant minimum à l'état bloquant I_{OFF} qui est supérieur à 10⁶. En effet, le courant en inverse ou de fuite est moins important dans le cadre d'une utilisation d'une couche épaisse de nitrure de silicium d'épaisseur 300 nm comme isolant de grille. La tension de seuil extraite de la partie linéaire de la courbe est négative de valeur 0,8 V. L'utilisation du nitrure de silicium a pour effet un apport en charges négatives fixes. Ceci a tendance à décaler la caractéristique de transfert vers les potentiels négatifs.

La figure 3 présente l'évolution du courant à l'état passant du transistor en fonction des dimensions de celui-ci, en l'occurrence en fonction du rapport W/L du canal. Conformément à l'équation 1 exprimant le courant du transistor en régime de saturation, l'augmentation du courant est proportionnelle à celle de la taille. Cette relation du courant I_{ON} avec la taille du composant permet donc de valider le procédé technologique de fabrication.

$$(I_{DS})_{sat} = \frac{W}{2L} \mu_{FE} C_{ox} (V_{GS} - V_T)^2 \quad (7)$$

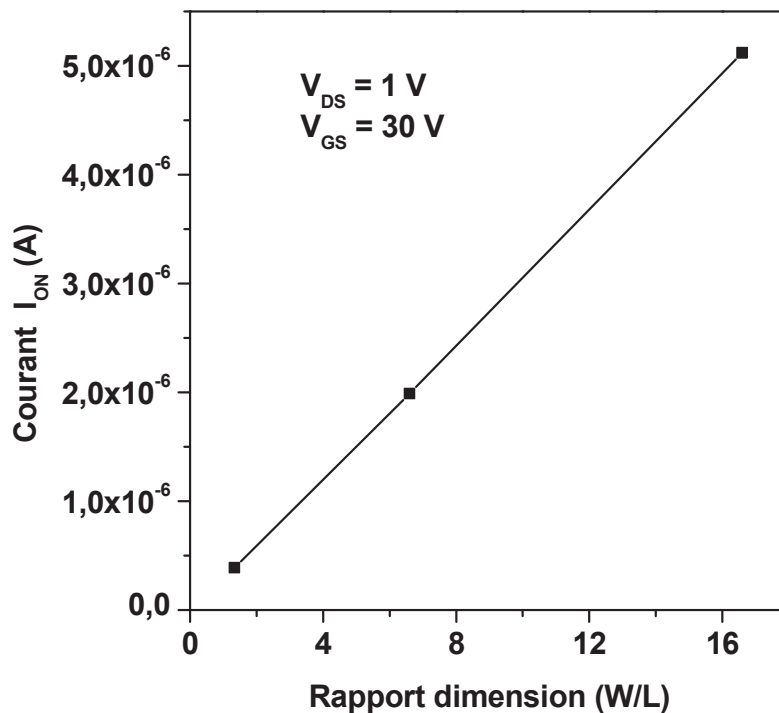


Figure 3 : Evolution du courant I_{ON} du transistor en fonction de ses dimensions.

Les caractéristiques de sortie d'un transistor de largeur de canal $1000 \mu\text{m}$ et de longueur de canal $20 \mu\text{m}$ est également présentée dans la figure 4. Elle illustre l'évolution du courant de drain en fonction de la tension drain-source appliquée, et ce pour plusieurs valeurs de tensions de grille.

Les caractéristiques de sortie ont une forme classique, un régime linéaire pour de faibles tensions V_{DS} , un régime de saturation au-delà du point de pincement du canal, et enfin une bonne modulation du courant de drain avec la tension de grille. Elles témoignent de la bonne qualité du contact métallique au niveau des zones de drain et source.

Par ailleurs, à partir de ces courbes, il est tout à fait possible de prédire le comportement courant-tension du transistor monté en diode correspondant. En effet, dans le cas de figure où le drain et la grille sont court-circuités, la tension drain-source est identique à celle entre la grille et la source. Il suffit donc, dans une gamme de tension donnée, de prendre pour une valeur de tension V_{DS} égale à V_{GS} , la valeur du courant et de tracer la caractéristique I-V. Ceci est illustré par la figure 5.

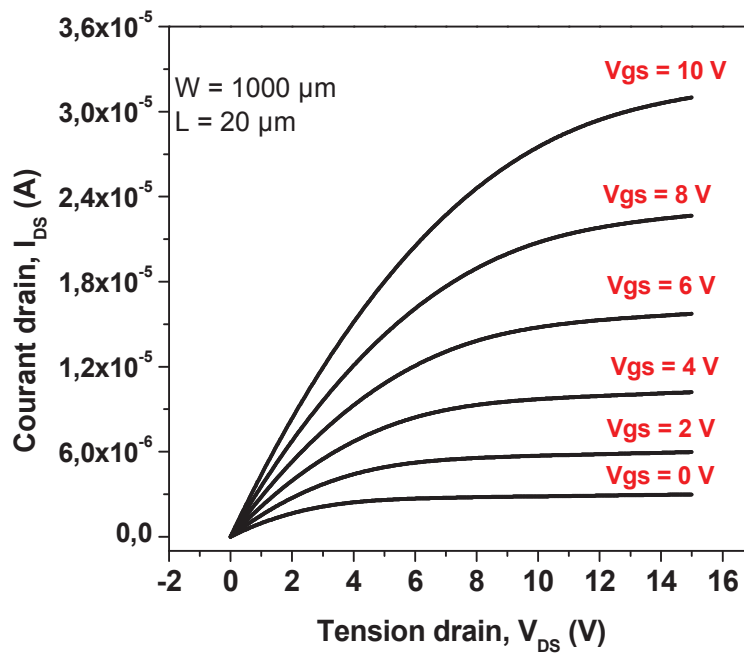


Figure 4 : Caractéristiques de sortie d'un transistor de dimension ($W/L = 1000\mu\text{m}/20\mu\text{m}$).

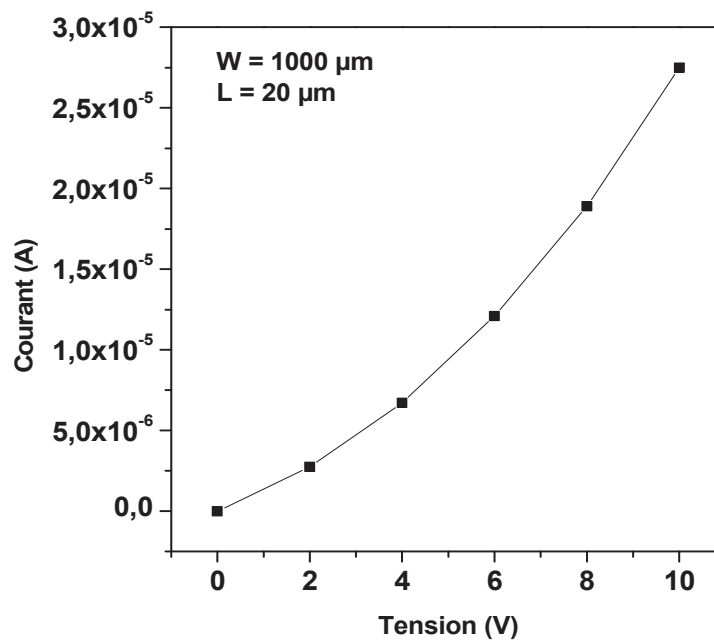


Figure 5 : Caractéristique courant-tension d'un TFT monté en diode ($W/L = 1000\mu\text{m}/20\mu\text{m}$) déduite de la caractéristique de sortie du TFT classique de même dimension.

II.4. Comportement électrique des transistors en configuration diode

Un transistor en couches minces monté en diode est un composant dont l'électrode de drain est directement reliée à celle de la grille. Cette configuration lui procure donc un comportement de diode [8-9].

La figure 6 présente une caractéristique courant-tension d'un tel transistor ($W/L = 1000 \mu\text{m} / 20 \mu\text{m}$). On retrouve le mode de fonctionnement d'une diode avec un régime bloqué pour les tensions négatives et un régime direct pour les potentiels positifs. Pour une tension appliquée de valeur $\pm 20 \text{ V}$, le courant parcourant le composant est de $87,6 \mu\text{A}$ et $-2,48 \mu\text{A}$ respectivement, démontrant un facteur de redressement de l'ordre de 35. Ce rapport de courant n'est pas très élevé. Ceci s'explique tout simplement par le fait qu'on met en œuvre ici des transistors avec de faibles mobilités d'effet de champ. Par conséquent, malgré une augmentation conséquente de la taille des dispositifs, le courant délivré reste faible. Le facteur de redressement est important dans l'optique d'obtenir des tensions redressées de grande amplitude.

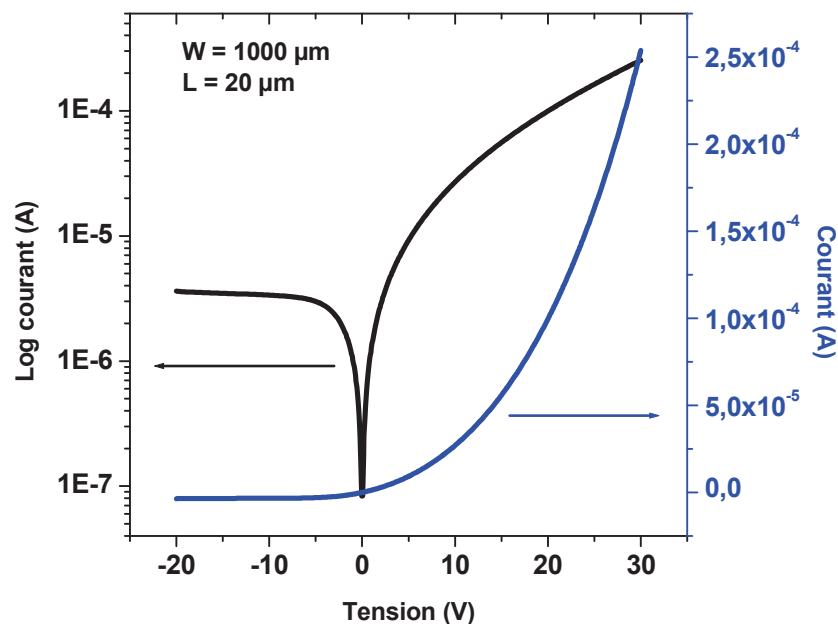


Figure 6: Caractéristiques courant-tension d'un transistor monté en diode de dimension ($W/L = 1000\mu\text{m}/20\mu\text{m}$).

La figure 7 présente également l'évolution du courant du transistor monté en diode en fonction de sa géométrie et notamment en fonction du rapport W/L du canal. Pour une polarisation du dispositif à une valeur de tension de + 20 V correspondant au régime direct, le courant croît avec l'augmentation de ce rapport. Cette tendance est observée également en régime inverse à une polarisation de -20 V. De ce fait le facteur de redressement, ou rapport de courant, est constant quelle que soit la dimension du transistor. Ceci confirme donc que le facteur de redressement découle de la mobilité du transistor en couches minces.

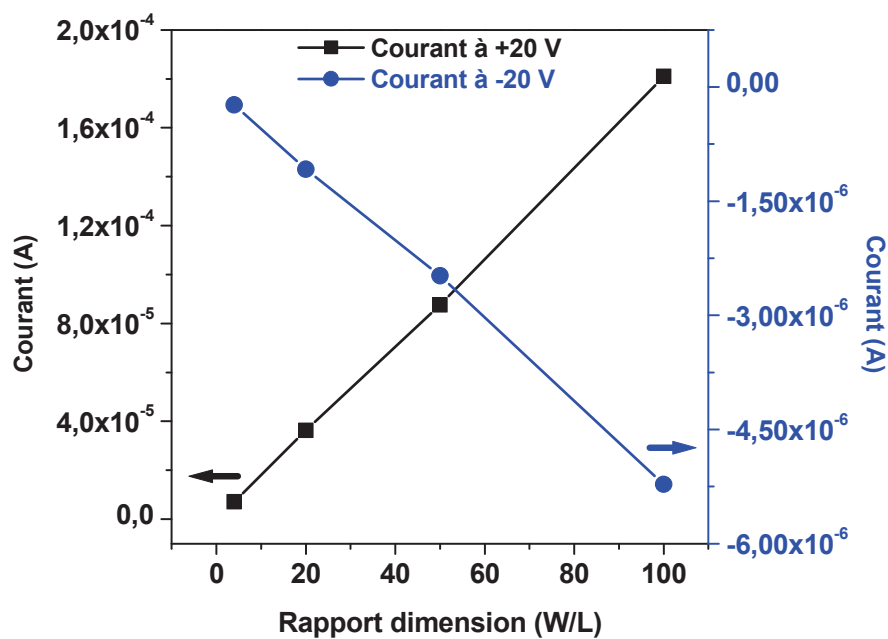


Figure 7 : Evolution du courant du TFT monté en diode en fonction du rapport W/L.

La figure 8 représente la caractéristique courant-tension mesurée au niveau du transistor monté en diode et celle déterminée à partir de la caractéristique de sortie du transistor en configuration normale ayant les mêmes dimensions. La tension de polarisation est comprise entre 0 V et 10 V. Nous observons une correspondance quasi-parfaite entre les deux courbes. Ceci permet de valider le procédé de fabrication dans son ensemble, à savoir la conception des masques et la réalisation technologique.

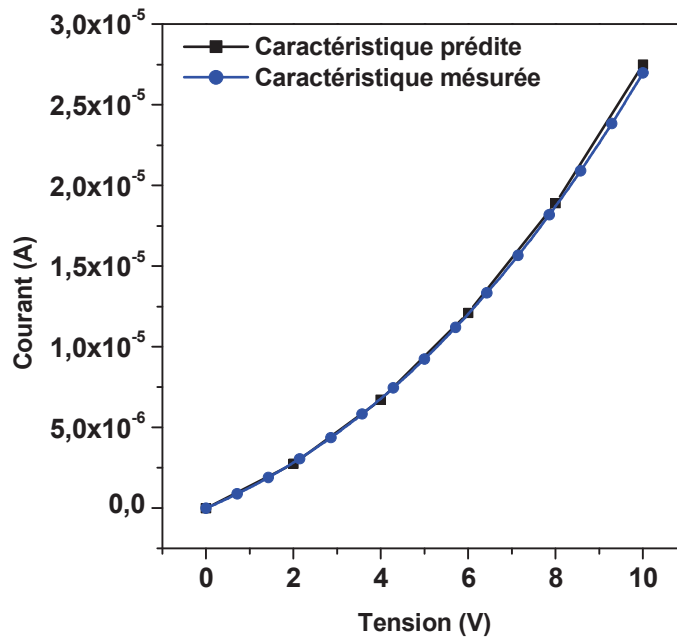


Figure 8 : Caractéristique courant-tension d'un TFT monté en diode ($W/L = 1000\mu\text{m}/20\mu\text{m}$) superposée à celle déduite de la caractéristique de sortie du TFT en configuration classique de même dimension.

III. REALISATION DES DIODES SCHOTTKY

Une autre méthode permettant de réaliser un redressement est d'utiliser une diode Schottky. Ce composant est couramment utilisé dans les applications hautes fréquences. Cette diode a la particularité de faire transiter des fortes intensités de courant pour des faibles tensions appliquées. Les surfaces de composants mises en jeu sont peu élevées. Le comportement électrique d'une diode Schottky repose sur l'interface entre un métal et un semi-conducteur [10]. Le type de ces deux derniers matériaux jouent donc un rôle prépondérant dans les mécanismes de fonctionnement de la diode.

III.1. Choix du contact métallique redresseur

Afin de déterminer la nature du contact métallique sur du silicium microcristallin non dopé nous permettant d'obtenir un effet de redressement acceptable, nous avons mis en place un procédé de fabrication utilisant un contact en aluminium ou en or. Le substrat utilisé dans les

deux cas est un wafer de silicium monocristallin très dopé de type N avec de l'arsenic comme dopant. Sa résistivité est comprise entre 0.001 et 0.005 Ohm.cm et son épaisseur est de 300 +/- 25 μm . Ce substrat est utilisé comme contact arrière de la diode.

La première étape consiste à nettoyer le substrat en effectuant une étape de nettoyage RCA pour enlever tout oxyde natif et supprimer toutes impuretés chimiques. Ensuite nous déposons successivement une couche de silicium microcristallin non dopé d'une épaisseur de 80 nm et une couche de métal d'une épaisseur de 200 nm dans le cas de l'aluminium et de 100 nm dans le cas de l'or. Cette épaisseur correspond à celle mis en œuvre souvent dans les diodes reposant sur une interface avec de l'or comme contact Schottky. Une épaisseur relativement faible d'or permet d'éviter des problèmes de dégradation observés au niveau des composants [11]. L'épaisseur de la couche de silicium microcristallin est choisie de façon à ce qu'elle corresponde approximativement à celles utilisées couramment pour fabriquer des transistors en couches minces au laboratoire. Cette épaisseur est souvent comprise entre 50 nm et 100 nm.

La couche de silicium microcristallin est déposée dans les conditions précédemment citées en début de ce chapitre.

La figure 9 représente la superposition des caractéristiques courant-tension prélevées aux niveaux des diodes avec de l'aluminium ou de l'or comme contact anodique. Elle met en évidence le caractère beaucoup plus redresseur du contact or avec le silicium. En effet un silicium non dopé formera un contact beaucoup plus redresseur avec un métal possédant un travail de sortie grand [12]. Comme le travail de sortie de l'or (5,1 eV) est supérieur à celui de l'aluminium (4,1 eV), le silicium microcristallin non dopé formera un contact plus redresseur avec l'or qu'avec l'aluminium. De ce procédé comparatif nous avons décidé d'utiliser désormais de l'or comme contact avant dans nos structures Schottky.

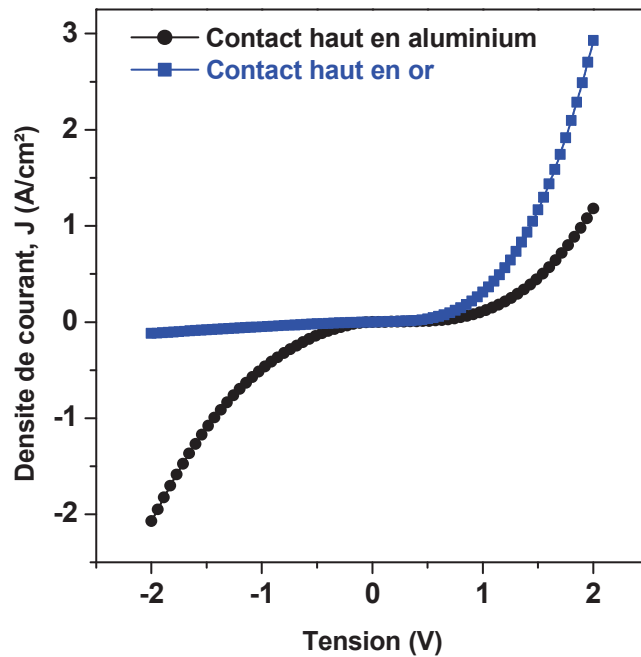


Figure 9 : Caractéristiques courant-tension des deux contacts aluminium ou or.

III.2. Réalisation de la diode Schottky sur substrat de verre

III.2.1. Premier procédé

La structure technologique est illustrée par la figure 10. Une couche de 200 nm d'aluminium est déposée sur du verre Corning pour former le contact arrière de la diode, suivie de 100 nm de silicium microcristallin fortement dopé pour former le contact ohmique et d'un dépôt de silicium microcristallin non dopé de 80 nm ; puis le contact avant de type Schottky est formé avec de l'or de 100 nm. Le silicium microcristallin est déposé avec les mêmes paramètres de dépôt cités précédemment.

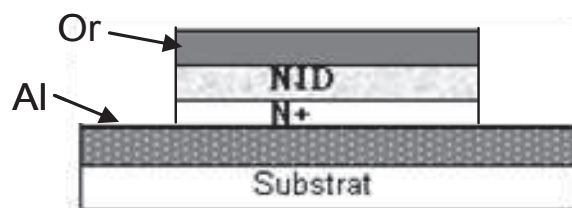


Figure 10 : Vue en coupe de la structure technologique

Après avoir fabriqué technologiquement le dispositif nous réalisons ensuite sa caractérisation électrique. La figure 11 représente la caractéristique courant - tension de la structure. Elle présente un comportement ohmique.

Ce comportement peut s'expliquer par le fait que la couche non-dopée présente un nombre important de défauts électriquement actifs facilement ionisables. Dès l'application d'une faible tension, on obtient un courant induit par les défauts.

La solution proposée pour résoudre ce problème est de doper faiblement la couche de silicium microcristallin intrinsèque pour diminuer la quantité de défauts. Il est en effet connu qu'une faible quantité de dopants participe à une passivation des défauts dans des couches de silicium polycristallin [13].

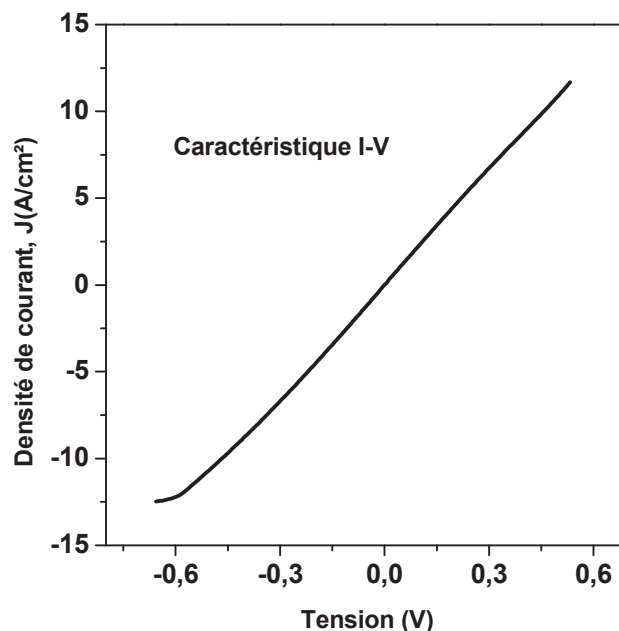


Figure 11 : Caractéristique courant-tension de la diode.

III.2.2. Optimisation du procédé de fabrication de la diode

III.2.2. 1. Effet d'un dopage faible de la couche de silicium intrinsèque

L'introduction, pendant la phase de dépôt des couches de silicium microcristallin non dopé, de l'arsine (AsH_3) au mélange de gaz (SiH_4 , H_2 , Ar) a toujours constitué la base du dopage des couches au sein du laboratoire [14-15]. Des travaux internes sur le matériau

illustrés par la figure 12 ont mis en évidence notamment qu'un ajout de 10 sccm d'arsine permettait l'obtention des couches de silicium microcristallin présentant des fortes conductivités. Cette conductivité augmente en même temps avec l'épaisseur de la couche déposée parallèlement à la cristallinité. En effet La structure du silicium microcristallin varie en fonction de l'épaisseur.

Ces couches sont utilisées notamment pour la réalisation des zones dopées sources et drain des transistors en couches minces. Mais aussi, dans notre cas, elles servent à la mise en œuvre du contact ohmique arrière de la diode Schottky.

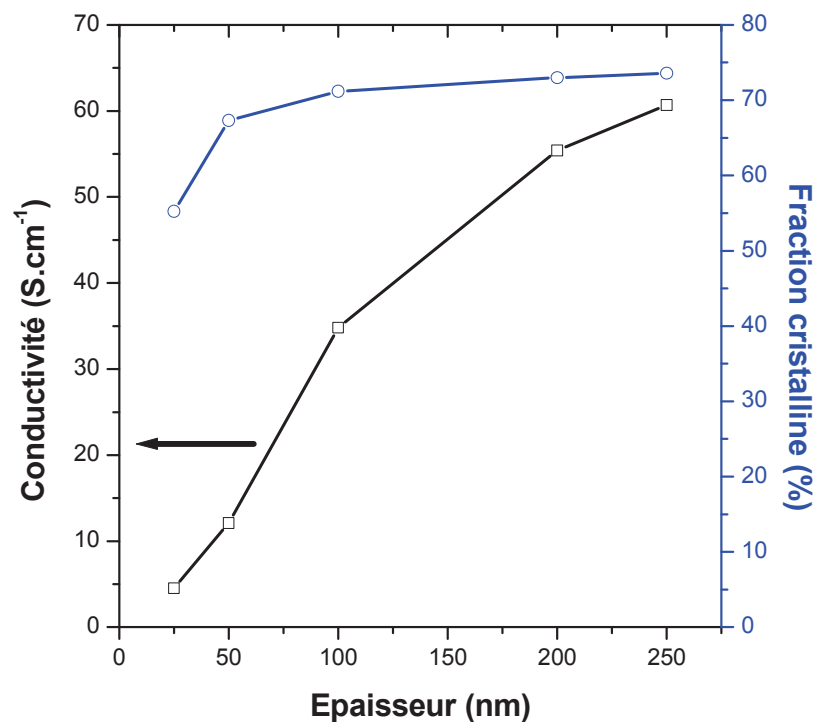


Figure 12 : Conductivité des couches de silicium microcristallin.

En partant de ces considérations et pour envisager la mise en place des couches de silicium microcristallin moins dopé, le débit du gaz dopant, en l'occurrence l'arsine est choisi de manière à être inférieur à 10 sccm. Dans ce cadre, trois valeurs de débits sont choisies : 3 sccm, 1,5 sccm et 0,5 sccm. Cette dernière valeur est déterminée par les limites technologiques, en l'occurrence celle de la régulation des gaz au niveau des débitmètres.

Les conditions de préparation des couches de silicium faiblement dopé utilisées dans la préparation des trois échantillons sont rappelées dans le tableau qui suit:

	SiH ₄	H ₂	Ar	AsH ₃	Epaisseur
Echantillon a	1,5 sccm	75 sccm	75 sccm	3 sccm	80 nm
Echantillon b	1,5 sccm	75 sccm	75 sccm	1,5 sccm	80 nm
Echantillon c	1,5 sccm	75 sccm	75 sccm	0,5 sccm	80 nm

Tableau II. Paramètres d'élaboration des couches faiblement dopées

L'effet de la variation du débit du gaz dopant sera observé directement au niveau du composant fabriqué, autrement dit sur le comportement électrique des diodes réalisées en utilisant ces différentes couches. La figure 13 représente le rapport du courant pour les trois diodes issues des couches avec les trois débits. Pour un débit de gaz égal à 3 sccm, la diode présente un comportement ohmique la valeur absolue du courant est identique pour +/- 0,5 V. Pour cette même gamme de tension, ce rapport de courant est égal à 3 et 22 pour les diodes avec un débit d'arsine de 1,5 sccm et 0,5 sccm respectivement. Ceci met en évidence une accentuation du comportement redresseur avec la diminution du débit de gaz. En effet l'introduction d'un faible débit du gaz dopant doit influencer la nature de la couche de silicium microcristallin pour permettre l'obtention d'un effet redresseur.

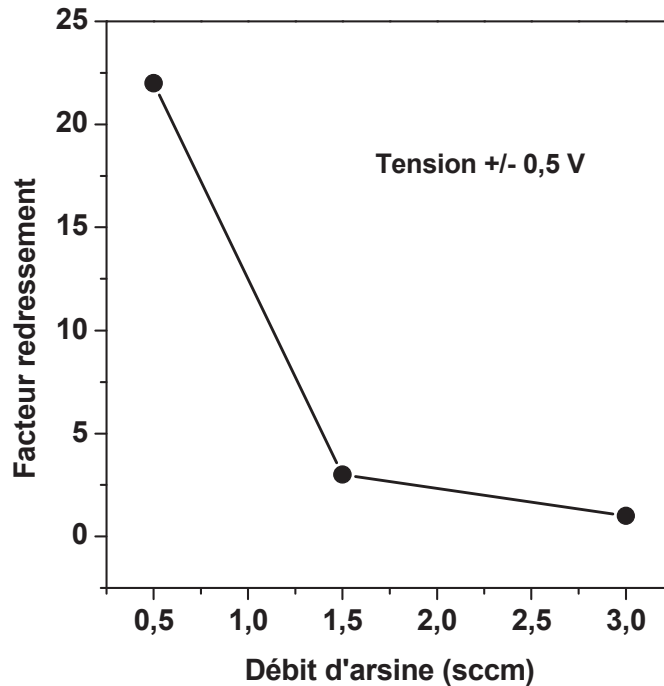


Figure 13 : Effet du dopage sur les caractéristiques courant-tension

La diode Schottky fabriquée avec une couche de silicium avec un débit d'arsine égal à 0,5 sccm est celle qui présente le comportement redresseur le plus prononcé. Sa caractéristique courant-tension est présentée dans une gamme de tension plus large dans la figure 14. Le tracé linéaire permet de mettre en évidence le caractère redresseur qualitativement de la structure. Cependant, il est préférable d'observer la caractéristique en tracé semi-logarithmique afin d'observer en détail les variations du courant sur toute la gamme de tension.

La caractéristique présente un comportement de diode Schottky avec un redressement, défini comme le rapport des courants direct et inverse, de X à +/-1V et de Y à +/-4V. Le redressement à +/-4V est un paramètre important si l'on veut redresser une tension d'amplitude importante. Il permet en particulier ici d'évaluer les capacités de redressement de cette diode pour une tension crête-crête de 8V. La valeur de ce redressement peut être considérée comme assez faible. Elle est principalement due à la grande valeur de la densité de courant en régime inverse qui est de 3,12 A/cm² à -4V. Il est donc nécessaire de diminuer ce courant inverse. Le courant de fuite dans une barrière Schottky est défini par plusieurs mécanismes tels que :

- la rugosité de surface qui peut introduire des pointes de courant

- l'épaisseur du silicium faiblement dopé qui permet d'atténuer des effets de court-circuit ponctuel.
- l'existence d'un chemin de courant entre les contacts avant et arrière ne traversant pas la couche de silicium.

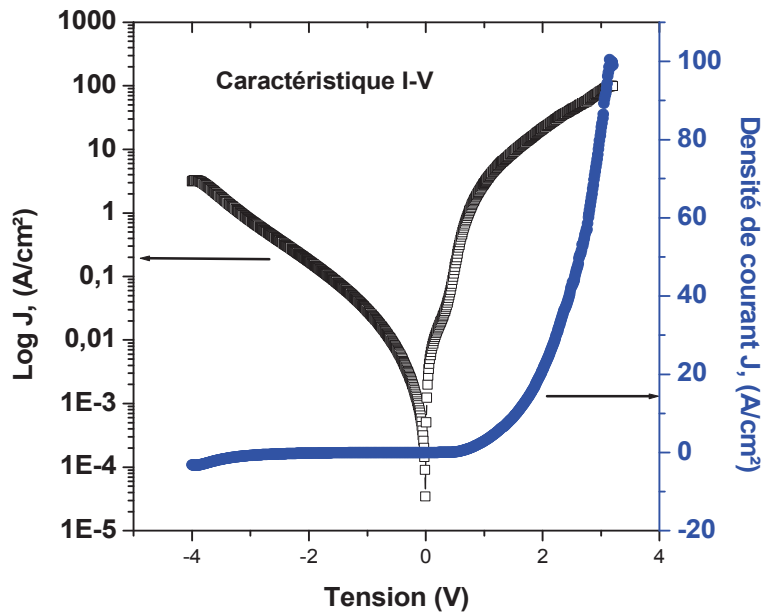


Figure 14 : Caractéristiques courant – tension, dans le cas d'un dopage $\text{AsH}_3 = 0,5 \text{ sccm}$

La rugosité de surface peut notamment avoir pour origine ou découler de celle du contact métallique formant le contact arrière de la diode. Dans notre cas, ce contact est formé par de l'aluminium déposé dans un bâti d'évaporation par effet joule. L'épaisseur de la couche est 200 nm. La figure 15 montre une observation à l'aide d'un microscope à force atomique (AFM) d'une surface de ce métal de $5 \mu\text{m} \times 5 \mu\text{m}$. La valeur de la rugosité de surface déduite est 7,40 nm. Cette dernière est relativement faible. Elle peut être cependant suffisante pour des couches de silicium de faible épaisseur.

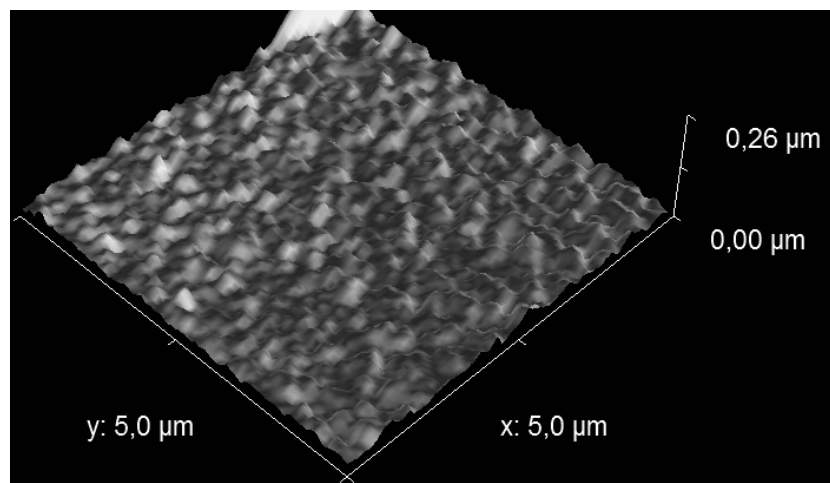


Figure 15 : Observation AFM de la surface de l'aluminium

Deux pistes sont explorées donc pour tenter de diminuer ce courant en régime inverse : une augmentation de l'épaisseur de la couche de silicium faiblement dopé et un rajout d'un isolant, en l'occurrence le nitrure de silicium sur les bords de la structure technologique de la diode Schottky.

III.2.2.2. Effet de l'épaisseur de la couche de silicium faiblement dopé

En fixant désormais le débit d'arsine permettant le dopage de la couche de silicium microcristallin à 0,5 sccm d'AsH₃, nous réalisons donc un procédé pour constater l'effet de l'augmentation de l'épaisseur sur les caractéristiques. Le tableau suivant résume les paramètres d'élaboration des couches.

	SiH ₄	H ₂	Ar	AsH ₃	Epaisseur
Echantillon 1	1,5 sccm	75 sccm	75 sccm	0,5 sccm	80 nm
Echantillon 2	1,5 sccm	75 sccm	75 sccm	0,5 sccm	300 nm

Tableau III. Conditions d'élaboration des couches faiblement dopées

La figure 16 présente l'évolution du courant en fonction de la polarisation appliquée pour les deux diodes Schottky avec une couche de silicium microcristallin faiblement dopé d'épaisseur 80 nm et 300 nm (échantillon 1 et 2). Pour une tension de -4 V, la densité de courant a une valeur de 3,12 A/cm² pour la diode avec 80 nm et 0,48 A/cm² pour la diode

avec 300 nm. Ceci dénote effectivement une diminution significative du courant de fuite d'un facteur 6 due à cette augmentation de l'épaisseur de la couche de silicium faiblement dopé. En contrepartie, le courant en régime direct est affaibli pour une tension directe donnée.

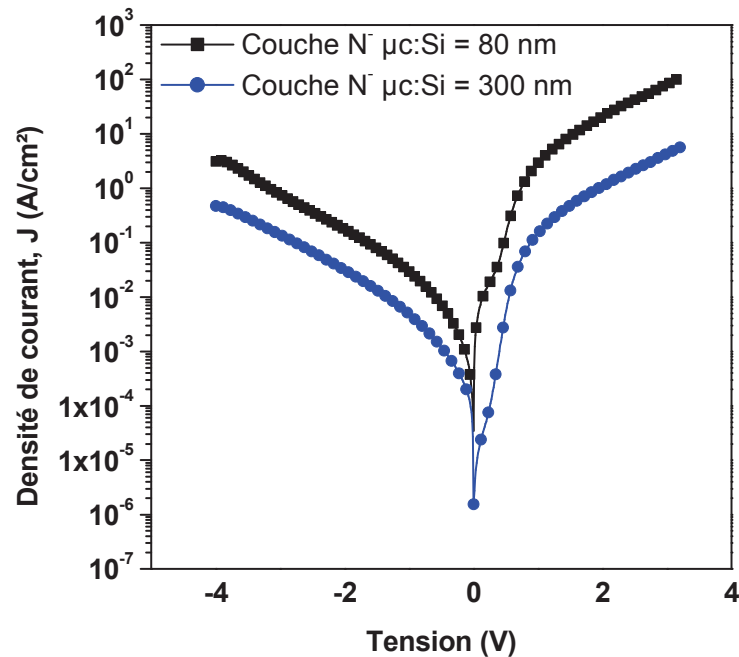


Figure 16 : Caractéristiques courant – tension, effet de l'épaisseur

Pour en savoir plus sur l'origine de ce courant de fuite, nous avons mesuré les caractéristiques I-V de 3 diodes de surfaces différentes : $100\mu\text{m} \times 50\mu\text{m}$, $200\mu\text{m} \times 100\mu\text{m}$ et $400\mu\text{m} \times 200\mu\text{m}$. La figure 17 montre le courant de fuite à -2 V de ces 3 diodes en fonction de leur surface et de leur périmètre. Les 3 points de courant en fonction du périmètre sont parfaitement alignés (coefficient de corrélation de la régression linéaire supérieur à 0.99999). Les mêmes points en fonction de la surface ne sont par contre pas du tout alignés. Ces allures témoignent d'une fuite principalement due à des effets de bord et non à des effets de chemins aléatoires sur la surface.

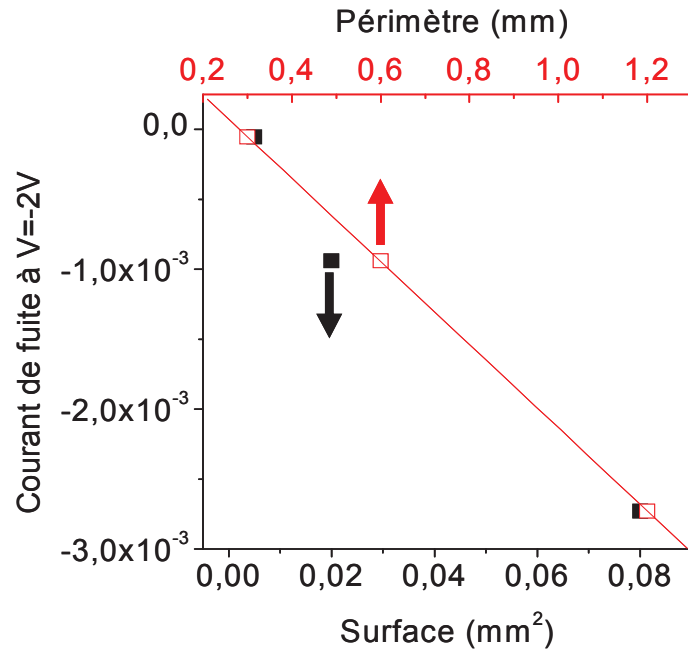


Figure 17 : Courant de fuite de 3 diodes de surfaces différentes à $V=-2V$ en fonction de la surface et du périmètre. Une linéarité parfaite peut être observée en fonction du périmètre.

Afin par ailleurs de bien confirmer la proportionnalité entre le courant direct et la surface, la figure 18 présente le courant à $V=+2V$ en fonction de la surface et du périmètre. Le courant direct présente une parfaite proportionnalité avec la surface.

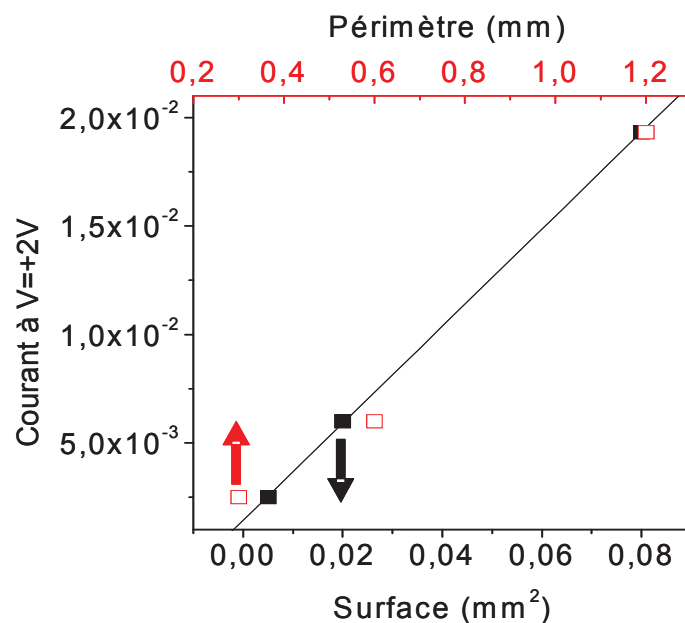


Figure 18 : Courant direct à $V=+2V$ des 3 diodes précédentes en fonction de leur surface et de leur périmètre. Une très bonne linéarité est trouvée en fonction de la surface.

Finalement, le point important à régler pour minimiser les courants de fuite consiste ainsi à veiller à passiver les bords.

III.2.2.3. Effet du rajout du nitrure de silicium sur les bords de la diode

Les tests de passivation des bords sont réalisés en utilisant les paramètres optimisés auparavant, à savoir le débit d'arsine et l'épaisseur de la couche de silicium microcristallin faiblement dopé qui sont fixés à 0,5 sccm d'AsH₃ et 300 nm respectivement. Un nouveau procédé de fabrication est réalisé avec une diode comportant un isolant, en l'occurrence le nitrure de silicium, sur ses bords afin de d'allonger le chemin externe entre les contacts avant et arrière et donc de diminuer encore le courant de fuite [16-19]. Le tableau IV regroupe les paramètres d'élaboration des couches.

	AsH ₃	Epaisseur	Si ₃ N ₄
Echantillon 2	0,5 sccm	300 nm	sans
Echantillon 3	0,5 sccm	300 nm	300 nm

Tableau IV. Conditions d'élaboration des couches faiblement dopées

La structure technologique de la diode Schottky est représentée par la figure 19, elle nécessite deux étapes de photolithographie pour sa réalisation.

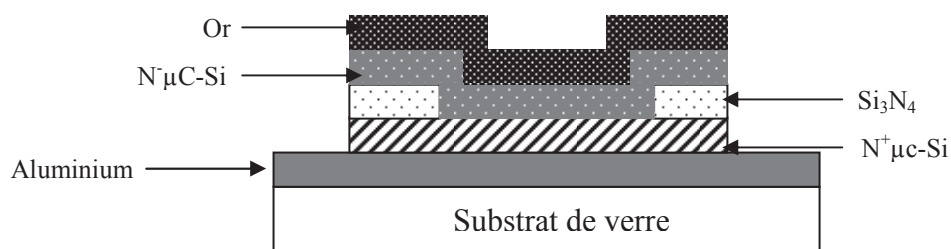


Figure 19 : Structure technologique de la diode

Le nitrure de silicium est élaboré par voie PECVD dans les conditions suivantes :

- Pression : 0,6 mbar
- Puissance : 30W
- Flux de gaz : 2 sccm SiH₄, 80 sccm N₂ et 40 sccm NH₃

- Distance inter-électrode : 4,5 cm
- Température de dépôt : 150°C

La figure 20 illustre les caractéristiques courant-tension des diodes avec des couches de silicium microcristallin faiblement dopé (AsH_3 0,5 sccm) d'épaisseur 300 nm avec ou sans présence de nitrure de silicium sur les flancs (échantillons 2 et 3). La densité de courant en régime inverse est égale à $0,016 \text{ A/cm}^2$ dans le cas de la diode avec une présence de nitrure de silicium tandis qu'elle est de $0,48 \text{ A/cm}^2$ dans l'autre cas pour une polarisation négative de -4 V. L'ajout de l'isolant a donc pour conséquence de diminuer le courant électrique au niveau des flancs.

Un élément quantifiant au premier abord, une diode est le facteur de redressement ou le rapport de courant entre le régime direct et inverse. Au niveau de la caractéristique correspondant au dernier procédé de fabrication, il est à remarquer qu'à $\pm 2 \text{ V}$ la densité de courant est égale à $1,61 \text{ A/cm}^2$ dans un cas et $6,1 \text{ mA/cm}^2$ dans l'autre. Ceci met en évidence un facteur de redressement de valeur 264. Ceci signifie surtout que la contribution de la tension négative due au courant inverse sur la tension principale redressée sera minime. Par exemple, pour une tension redressée de 1 V, en régime inverse la tension due au courant de fuite sera inférieure de 264 fois et égale à -3 mV. Par conséquent, son effet est très peu perceptible. La tension principale chutera donc que de -3 mV.

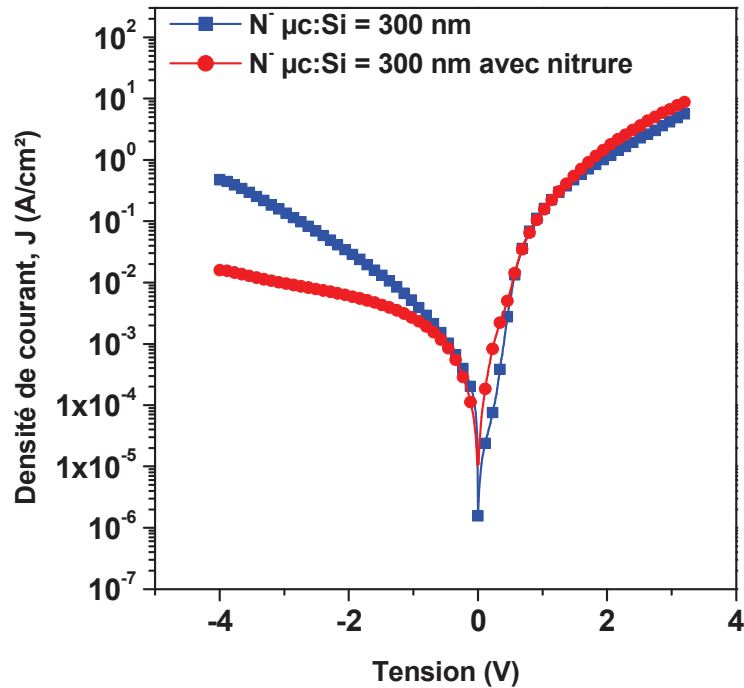


Figure 20 : Caractéristiques courant – tension, effet de l’ajout nitrure de silicium sur les flancs

Dans une structure de diode, les paramètres d’un contact redresseur ne sont pas seulement le facteur de redressement. Le comportement du contact peut être donné aussi par le facteur de qualité qui renseigne sur le modèle de transport dans le contact et par la hauteur de barrière au niveau de la jonction entre le métal et le semiconducteur.

III.2.3. Extraction des paramètres de la diode

III.2.3.1 Facteur d’idéalité

Le facteur d’idéalité η est déterminé à partir de l’équation générale du transport de courant dans une diode communément décrite par la théorie de l’émission thermoïonique [20].

$$I = I_0 \exp\left(\frac{qV}{\eta kT}\right) \left(1 - \exp\left(\frac{-qV}{kT}\right)\right) \quad (8)$$

Très souvent, cette expression exacte du courant thermoïonique est écrite sous une forme simplifiée :

$$I = I_0 \left(\exp\left(\frac{qV}{\eta kT}\right) - 1 \right) \quad (9)$$

Partant de cette expression simplifiée, le facteur d'idéalité η est déterminé à partir de la pente de la courbe $\text{Ln } I = f(V)$ en négligeant le terme 1 lorsque la diode est polarisée en directe. Cette méthode est d'une part imprécise. En effet la courbe $\text{Ln } I = f(V)$ présente rarement une seule pente. De plus, si la résistance série est grande, le courant s'écarte fortement l'équation (9). D'autre part, l'équation (9) elle même est incorrecte car l'abaissement de la barrière à l'origine de l'introduction du facteur d'idéalité affecte aussi bien le flux d'électron du métal vers le semiconducteur que celui du semiconducteur vers le métal. Le deuxième terme dans la parenthèse de l'équation 9 (c'est-à-dire le terme 1) doit aussi contenir η .

Devant ces écueils et sachant que le courant dans notre diode doit certainement être limité par une résistance série importante due à l'utilisation d'une couche de silicium microcristallin certes très dopée mais dont la résistance n'est pas très faible, le facteur d'idéalité de notre diode a été déterminé à partir de l'équation générale (8) pour la diode en inverse et en faiblement direct avant l'intervention de la résistance série.

Il suffit pour cela de tracer $\text{Ln} \left(\frac{I}{1 - \exp\left(\frac{-qV}{kT}\right)} \right)$ en fonction de la tension appliquée V (figure

21).

Le graphe présente une partie linéaire dans toute la gamme de tension inverse et faiblement directe. Pour des tensions en direct plus grandes, la courbe sature dénotant comme nous l'avions supposé l'existence d'une forte résistance série. La pente de la partie linéaire qui est égale à q/nkT donne la valeur du facteur d'idéalité à la température T. Pour cette caractéristique mesurée à température ambiante, cette valeur est de 1,03. Elle correspond presque à la valeur idéale de l'émission thermoïonique.

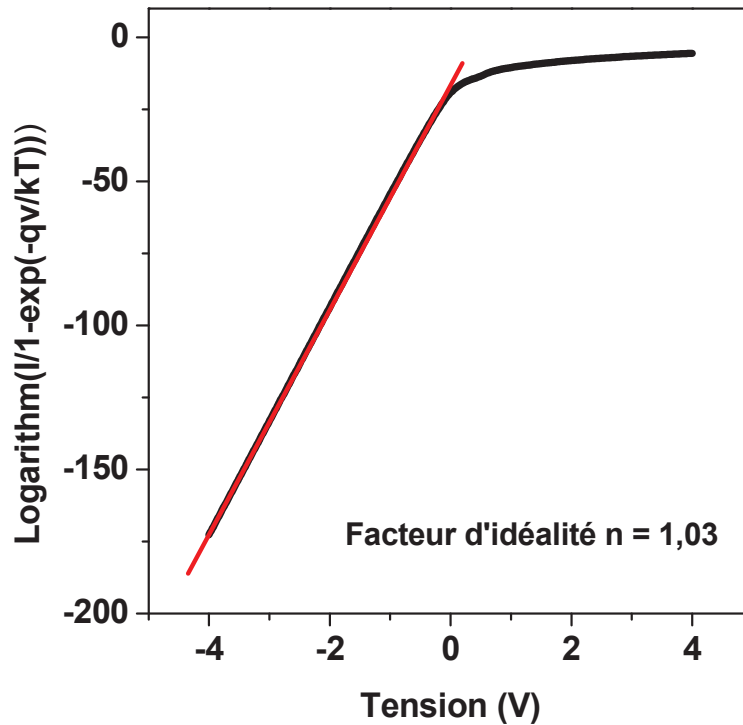


Figure 21 : Détermination du facteur d'idéalité de la diode Schottky

Si l'émission thermoionique constitue bien le phénomène de transport prépondérant, sinon unique, le facteur d'idéalité ne devrait pas trop changer avec la température. La diode a donc été caractérisée à différentes températures variant entre l'ambiante et 100°C et les courbes Ln

$\left(\frac{I}{1 - \exp\left(\frac{-qV}{kT}\right)}\right)$ en fonction de la tension appliquée V ont été tracées à ces différentes

températures. La figure 22 montre le tracé de l'inverse de la pente q/nkT de la partie linéaire des courbes en fonction de kT/q . Ce tracé est bien linéaire et sa pente qui n'est que le facteur d'idéalité est égale à 1.01. Cette linéarité montre bien que ce facteur d'idéalité est indépendant de la température, confirmant la prédominance de l'émission thermoionique.

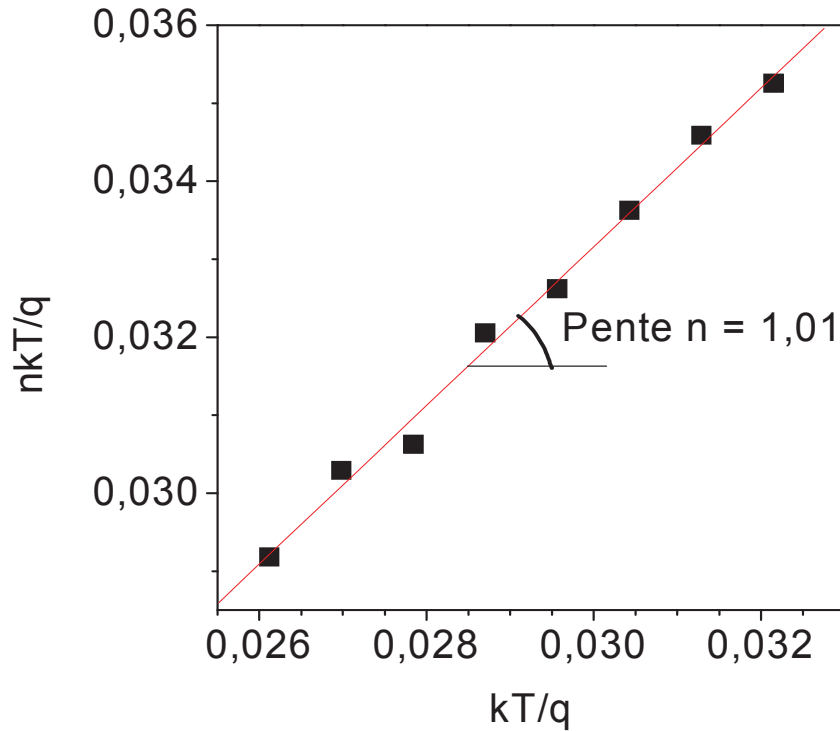


Figure 22 : Inverse $\eta kT/q$ de la pente de la partie linéaire de la courbe $Ln \left(\frac{I}{1 - \exp\left(\frac{-qV}{kT}\right)} \right)$

$=f(V)$ pour différentes températures en fonction de kT/q . La droite obtenue montre bien que le facteur d'idéalité η est indépendant de la température.

Cette émission thermoïonique prépondérante peut être associée à l'uniformité surfacique du matériau induisant une uniformité surfacique de la hauteur de barrière, mais aussi à la qualité cristalline du silicium microcristallin dans lequel le transport des porteurs n'est pas limité par la diffusion. En effet, des valeurs de η supérieures à 1 sont souvent dues à des inhomogénéités de hauteur de barrière des Schottky sur semiconducteur polycristallin [21].

III.2.3.2 Hauteur de barrière

La confirmation de la prédominance de l'émission thermoïonique nous conduit à utiliser l'équation générale de cette émission (8) et en particulier le tracé $Ln \left(\frac{I}{1 - \exp\left(\frac{-qV}{kT}\right)} \right) = f(V)$

pour déterminer la valeur du courant de saturation I_0 dont le logarithme est l'abscisse à l'origine du lissage de la partie linéaire. Ce courant de saturation est donné par l'expression

(10) dont Φ_b désigne la hauteur de barrière, A^* le facteur constant de Richardson et S la surface de la diode.

$$I_0 = SA^*T^2 \exp\left(\frac{-q\phi_b}{kT}\right) \quad (10)$$

La connaissance de I_0 à partir des courbes tracées à différentes températures nous permet de calculer la valeur de la hauteur de barrière Φ_b en traçant le logarithme naturel de (I_0/T^2) en fonction de $1/T$.

La hauteur de la barrière Schottky Φ_b est évaluée en traçant $\ln\left(\frac{I_0}{T^2}\right)$ en fonction de $1/kT$ selon l'équation 10. La figure 23 représente la dépendance en température du courant de saturation I_0 . Elle correspond à une droite. La pente $q\Phi_b$ associée à ce tracé linéaire permet de calculer la valeur de cette hauteur. Elle est estimée à 0,45 eV.

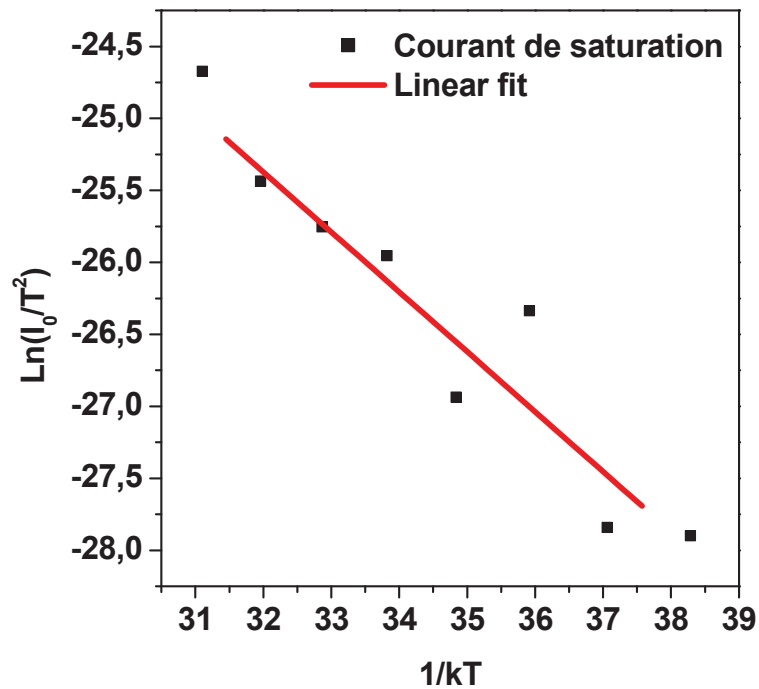


Figure 23 : Dépendance en température du courant de saturation

III.2.3.3 Caractérisation de la couche faiblement dopée

La qualité du contact Schottky, ainsi réalisé, nous permet de caractériser la couche faiblement dopée qui nous a permis de moduler la zone de charge d'espace et de réussir le contact. Les mesures de la capacité de la jonction en fonction de la polarisation inverse nous permettent en effet, par un calcul simple, d'arriver à un profil de charge électrique libre dans la région où s'étend la zone de charge d'espace et donc dans la couche faiblement dopée.

$$\text{L'équation de Poisson s'écrit : } \frac{d^2V}{dx^2} = -\frac{\rho(x)}{\epsilon_0\epsilon_s} \quad (11)$$

Où $\rho(x)$, la densité de charge au point x , provient, dans le cas présent ici d'une zone de charge d'espace désertée par les porteurs libres, essentiellement des atomes dopants et des défauts électriques ionisés dont la densité totale est $N(x)$ au point x .

$\rho(x)$ peut s'écrire ainsi $\rho(x) = q N(x)$.

Posons $\epsilon_0\epsilon_s = \epsilon$ et $\rho(x) = f''(x)$

Où $f''(x)$ est la dérivée seconde d'une certaine fonction dérivable $f(x)$

$$\text{On a } \frac{d^2V}{dx^2} = -\frac{f''(x)}{\epsilon}$$

$$\frac{dV}{dx} = -\frac{f'(x)}{\epsilon} + \text{cte}$$

Avec le champ nul à la limite W de la zone de charge d'espace : $\left(\frac{dV}{dx}\right)_{x=W} = 0$

$$\frac{dV}{dx} = -\frac{f'(x)}{\epsilon} + \frac{f'(W)}{\epsilon}$$

$$V(x) = -\frac{f(x)}{\epsilon} + \frac{xf'(W)}{\epsilon} + \text{cte}$$

$V(0) = V_b + V_a = -\frac{f(0)}{\epsilon} + \text{cte}$ en prenant $V(W)=0$. V_b est la barrière de potentiel et V_a est la tension continue appliquée, polarisant la diode en inverse.

$$V(x) = -\frac{f(x)}{\epsilon} + \frac{xf'(W)}{\epsilon} + \frac{f(0)}{\epsilon} + V_b + V_a$$

En écrivant $V(W) = 0$, on trouve : $V_b + V_a = -\frac{1}{\epsilon} [f(0) - f(W) + Wf'(W)]$

Dérivons la tension V_a par rapport à W :

$$\frac{dV_a}{dW} = + \frac{f'(W)}{\varepsilon} - \frac{Wf''(W)}{\varepsilon} - \frac{f'(W)}{\varepsilon}$$

$$\frac{dV_a}{dW} = - \frac{Wf''(W)}{\varepsilon} = - \frac{W\rho(W)}{\varepsilon}$$

La capacité de la jonction par unité de surface est : $C = \frac{\varepsilon}{W}$

$$\frac{dC}{dV} = \frac{dC}{dW} \frac{dW}{dV}$$

$$\frac{dC}{dV} = - \frac{\varepsilon}{W^2} \frac{1}{-\frac{1}{\varepsilon} W\rho(W)}$$

$$\rho(W) = qN(W) = \frac{C^3}{\varepsilon} \left[\frac{dC}{dV} \right]^{-1}$$

Nous obtenons ainsi par la mesure de la capacité en fonction de la polarisation inverse et par l'utilisation de l'expression précédente, la densité de charge à la limite de la zone de charge d'espace, modulée par la tension alternative de mesure. Cette charge modulée est représentative de la concentration de porteurs libres au niveau de cette limite. En faisant varier V, nous obtenons le profil de concentration de porteurs libres dans la couche.

La figure 24 présente une caractéristique capacité-tension mesurée à 1MHz d'une diode de 800 μm x 400 μm de surface. Le calcul du profil de concentration de porteurs libres aboutit à la courbe représentée dans la figure 25. Le profil est pratiquement uniforme avec une tendance à la remontée vers la surface et vers l'arrière constitué par la couche fortement dopée. Dans la couche elle-même, la concentration est entre 4 x 10¹⁶ et 5 x 10¹⁶ cm⁻³. Cette valeur donne ainsi le niveau de concentration de porteurs libres induit par le faible dopage introduit dans la couche.

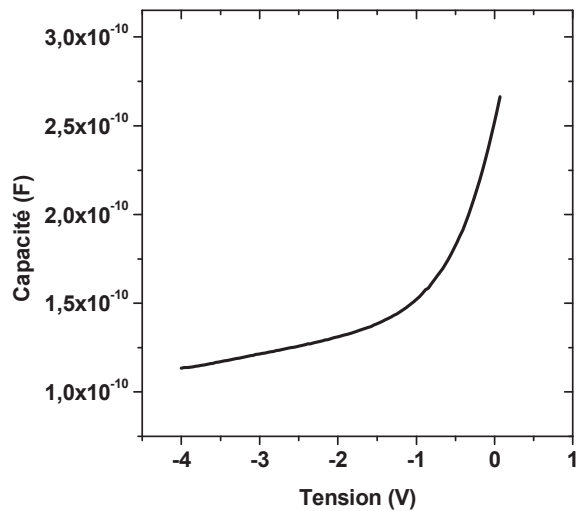


Figure 24 : Caractéristique capacité-tension d'une diode de $800 \mu\text{m} \times 400 \mu\text{m}$ de surface

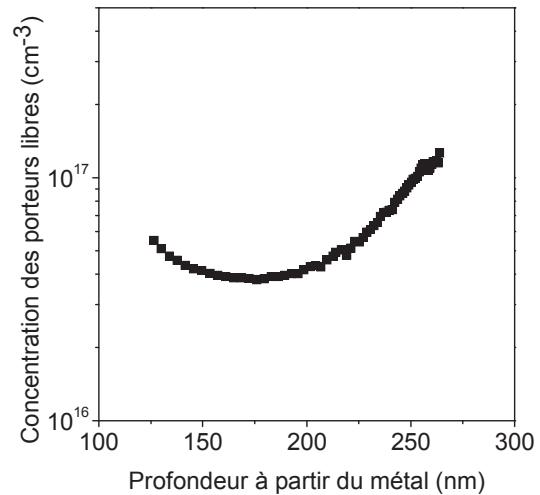


Figure 25 : Profil de concentration de porteurs libres dans la couche de silicium non-dopée, déduit de la caractéristique de la figure 24.

IV. CONCLUSION

Dans ce chapitre, nous avons mis en lumière les résultats concernant les composants permettant de former le système de redressement du premier étage d'une étiquette RFID.

Dans un premier temps, l'accent a été mis sur la réalisation des transistors en couches minces à base de silicium microcristallin déposées par PECVD à une température inférieure à $200 \text{ }^\circ\text{C}$. Une mobilité d'effet de champ typique d'un transistor en configuration topgate avec une grille en nitrure a été retrouvée. En outre, une fois leurs électrodes de grille et drain court-circuitées, ces transistors ont montré leur comportement de diode.

Dans un second temps, une diode Schottky avec une jonction métal-semiconducteur faite par une couche de silicium microcristallin faiblement dopé et d'or a été fabriquée. Ce composant a démontré un facteur d'idéalité correspondant presque à la valeur idéale de l'émission thermoionique, mais également, un rapport de courant entre le régime direct et inverse laissant présager la possibilité de l'utiliser dans une gamme de tension relativement grande.

Ce chapitre a permis la faisabilité d'intégrer ces deux composants dans un circuit de redressement adapté, le chapitre suivant présente donc les résultats concernant ce

fonctionnement en redressement. De plus, la réalisation de l'antenne nécessaire à l'alimentation d'un dispositif redresseur sera présentée .

BIBLIOGRAPHIE – Chapitre 4

- [1] **S. Janfaoui, K. Kandoussi, C. Simon, N. Coulon, S. Crand, T. Mohammed-Brahim**, “Electrical and mechanical behaviors of microcrystalline TFTs deposited on PEN”, *ECS Transactions*, 33, 217-225, 2010
- [2] **E. Jacques**, «Microsystème et capteur intégrés en technologie couches minces basse température», Thèse de doctorat, *Université de Rennes1*, 2008
- [3] **K. Kandoussi, C. Simon, N. Coulon, T. Mohammed-Brahim, A. Moreac**, “Undoped and arsenic-doped low temperature (~165°C) microcrystalline silicon for electronic devices process”, *Journal of Non-Crystalline Solids*, 352, 968-971, 2006
- [4] **K. Kandoussi, C. Simon, N. Coulon, K. Belarbi, T. Mohammed-Brahim**, “Nanocrystalline silicon TFT process using silane diluted in argon-hydrogen mixtures”, *Journal of Non-Crystalline Solids*, 354, 2513-2518, 2008
- [5] **K. Belarbi, K. Kandoussi, I. Souleiman, C. Simon, N. Coulon, T. Mohammed-Brahim**, “Decreasing the thickness of the active layer of microcrystalline silicon TFTs”, *Physica Status Solidi C*, 7, 1152-1155, 2010
- [6] **C.H. Lee, D. Striakhilev, S. Tao, A. Nathan**, “Top-gate TFTs using 13.56 MHz PECVD microcrystalline silicon”, *IEEE Electron Device Letters*, 26, 637-639, 2005
- [7] **D.P. Panda**, «Nanocrystalline silicon thin film transistors», Thèse de doctorat, *Université d'Iowa*, 2006
- [8] **R. Rotzoll, S. Mohapatra, V. Olariu, R. Wenz, M. Grigas, K. Dimmler, O. Shchekin, A. Dodabalapur**, “Radio frequency rectifier based on organic thin-film transistor”, *Applied Physics Letters*, 88, 123502, 2006

- [9] **S. Steudel, S. De Vusser, K. Myny, M. Debucquoy, J. Genoe, P. Heremans**, “High-frequency rectification for organic radio frequency identification tag”, *Symposium M*, MRS, April 2006, San Francisco, USA
- [10] **H. Mathieu**, “Physique des semiconducteurs et des composants électroniques”, *Masson*, 3^{ème} Edition, 1996
- [11] **K. Wang, R.X. Wang, S. Fung, C.D. Beling, X.D. Chen, Y. Huang, S. Li, S.J. Xu, M. Gong**, “Film thickness degradation of Au/GaN Schottky contact Characteristics”, *Materials Science and Engineering B*, 117, 21-25, 2005
- [12] **A. Thanailakis, A. Rassul**, “Transition-metal contacts to atomically clean silicon”, *Journal of Physics C*, 9, 337-344, 1976
- [13] **M. Zaghoudi**, «Effet du dopage sur les propriétés de transport des couches de silicium polycristallin : application à la réalisation de transistors à base de ces couches», Thèse de doctorat, *Université de Rennes I*, 2009
- [14] **K. Belarbi**, «Transistors en couches minces de silicium microcristallin fabriqués à $T < 180^{\circ}\text{C}$: stabilité-mobilité», Thèse de doctorat, *Université de Rennes I*, 2010
- [15] **K. Kandoussi**, «Procédé de fabrication à $T < 200^{\circ}\text{C}$ de transistors en couches minces de silicium microcristallin déposé par PECVD en mélange $\text{SiH}_4\text{-H}_2\text{-Ar}$ », Thèse de doctorat, *Université de Rennes I*, 2007
- [16] **B.W. Liou**, «Fabrication of high breakdown voltage silicon Schottky barrier diodes using various edge termination structures», *Thin Solid Films*, 517, 6558-6564, 2009
- [17] **M. Sochacki, R. Lukasiewicz, W. Rzdokiewicz, A. Werbowy, J. Szmidt, E. Staryga**, “Silicon dioxide and silicon nitride as a passivation and edge termination for 4H-SiC Schottky diodes”, *Diamond and Related Materials*, 14, 1138-1141, 2005
- [18] **M. Tarplee, V. Madangarli, T.S. Sudarshan**, “Current-voltage characteristics of an integrated Schottky diode”, *Solid-State Electronics*, 46, 753-757, 2002
- [19] **H. Lu, R. Zhang, X. Xiu, Z. Xie, Y. Zheng, Z. Li**, “Low leakage Schottky rectifiers fabricated on homoepitaxial GaN”, *Applied Physics Letters*, 91, 172113, 2007

- [20] **S.M. Sze**, “Physics of semiconductor devices”, John Wiley and Sons, 3^{ème} Edition, 2006
- [21] **R.T. Tung**, “Recent advances in Schottky barrier concepts”, *Materials Science and Engineering R*, 35 , 1-138, 2001

Chapitre 5

Module de redressement et réalisation antenne

I. INTRODUCTION

Le but de ce chapitre est de présenter d'une part, les résultats obtenus après la réalisation d'un dispositif de redressement de deux manières différentes et d'autre part, la fabrication technologique d'une antenne dédiée à une application RFID.

La première partie de ce chapitre se consacre donc à l'étude d'un circuit de redressement fonctionnant à 13,56 MHz. Ce dispositif est basé dans un premier temps sur un transistor en couches minces monté en diode et dans un second temps sur une diode Schottky.

La seconde partie du chapitre aborde la réalisation technologique sur un substrat plastique d'une antenne pouvant délivrer et réceptionner un signal à une fréquence de l'ordre de 13 MHz. Le comportement électrique de l'antenne toute seule et son fonctionnement dans un circuit redresseur sont présentés.

II. MODULE DE REDRESSEMENT

II.1. Le transistor en couches minces comme élément redresseur

II.1.1. Le circuit de mesure

Après avoir validé le comportement statique des transistors montés en diode, ces derniers sont ensuite utilisés dans un circuit de redressement monoalternance comme illustré sur la figure 1.

Le montage expérimental comporte un générateur permettant l'envoi du signal sinusoïdal d'entrée à la fréquence voulue. Une capacité C_L de valeur 300 nF est nécessaire au filtrage du signal redressé. Sa valeur est choisie de façon à ce que la constante de décharge τ du condensateur soit très grande par rapport à la période du signal alternatif d'entrée délivré par le générateur. En effet, pour récupérer un signal continu à la sortie du système de redressement, l'expression (1) ci-dessous doit être satisfaite [1].

$$R_L C_L \gg \frac{2\pi}{\omega} \quad (1)$$

Une résistance de charge R_L de valeur 1 M Ω doit aussi être connectée en parallèle à la capacité. La chute de tension entre les bornes de cette résistance forme le signal redressé. Ce

dernier, ainsi que la tension d'alimentation sont visualisés à l'aide d'un oscilloscope numérique. Cet instrument possède une capacité C'_L et une résistance R'_L interne de valeur 1 M Ω et 95 pF respectivement.

La constante de décharge associée au circuit de redressement $\tau = R_L C_L$ est égale à 300 ms. Par conséquent cette constante de temps reste très supérieure à la période des signaux d'entrée.

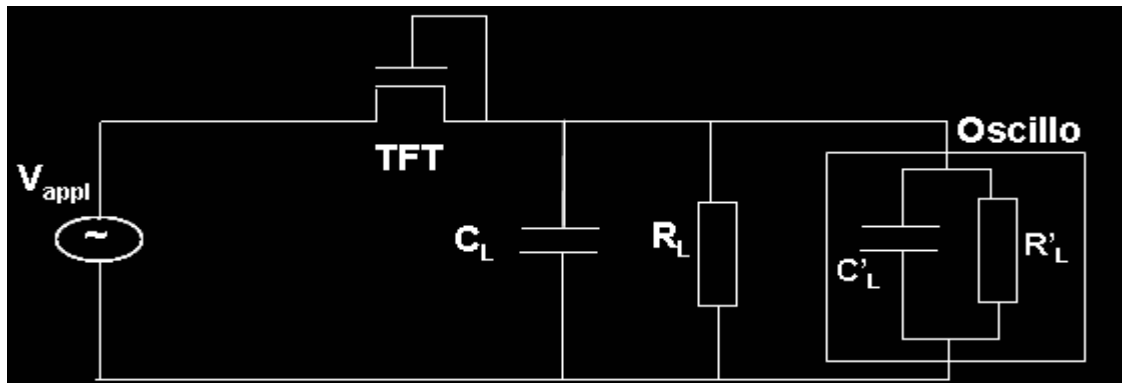


Figure 1 : Dispositif de mesure du circuit de redressement.

II.1.2. Le redressement

La figure 2 présente les oscillogrammes des tensions délivrées par le générateur et celles redressées pour deux valeurs de fréquence du signal d'entrée pour un transistor en couches minces de rapport W/L égale à 100 monté en diode. Vu la valeur de la constante de décharge τ , la capacité n'a pas suffisamment le temps de se décharger pendant la demie période suivante du signal et conserve l'énergie stockée. Le signal redressé reste donc quasi constant.

La valeur de la tension appliquée à l'entrée du dispositif par le générateur est de 10 V d'amplitude. Pour une fréquence du signal d'entrée de 1MHz (figure 2 a), la valeur du signal redressé est de 2,3 V et parfaitement constante. Pour une fréquence de 13,56 MHz (figure 2 b), le signal redressé chute et présente des oscillations. La valeur du signal récupéré relativement moindre au regard de l'importance de la tension d'alimentation, peut s'expliquer par une chute de tension conséquente aux bornes de la résistance équivalente R_{ds} du transistor. Cette dernière est importante selon la caractérisation statique présentée au chapitre précédent. Sa valeur peut être estimée à 420 k Ω pour un rapport de dimension de transistor monté en diode de 100 par exemple.

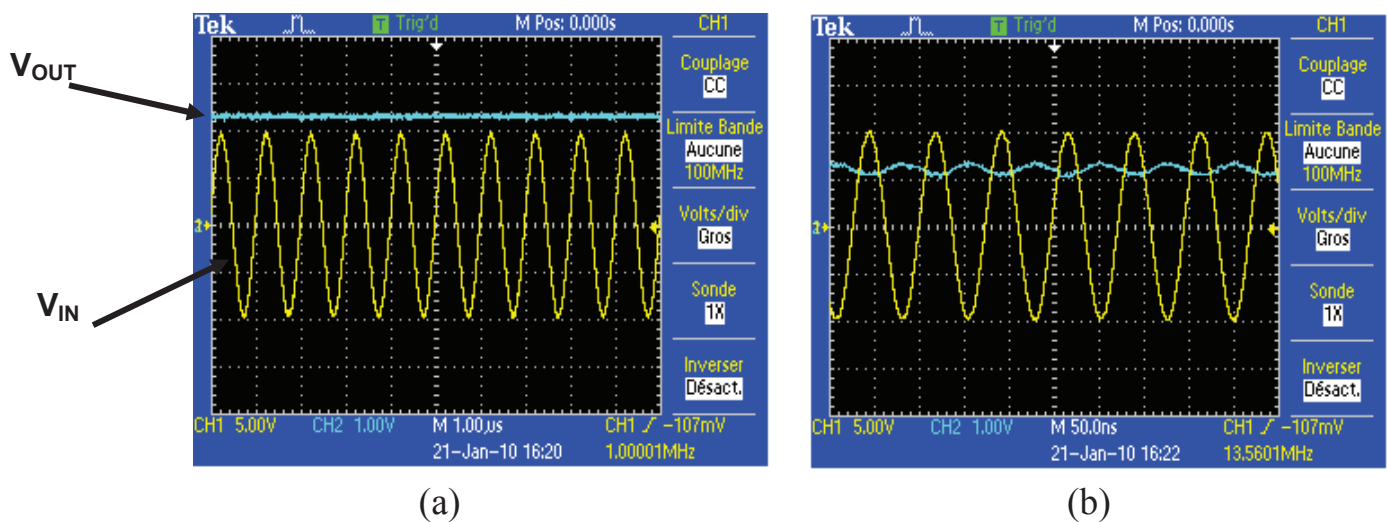


Figure 2 : Visualisation de la tension à la sortie du système de redressement, pour une fréquence du signal d'entrée (a) de 1 MHz, (b) de 13,56 MHz.

La valeur de la tension de sortie reste insuffisante dans l'état actuel pour constituer la tension d'alimentation d'un circuit à base de transistors en technologie silicium microcristallin fabriqué au sein du groupe microélectronique. En effet les tensions de seuil typiques sont supérieures à 4 V. Néanmoins l'aptitude du composant à fournir une tension continue à ces fréquences relativement élevées est démontrée.

Le facteur de forme exprimé par l'équation (2) quantifie l'ondulation d'une tension redressée et définit en conséquence la qualité de redressement d'un dispositif. La figure 3 montre l'évolution de ce paramètre avec la fréquence. Pour une gamme de fréquence de 1 kHz à 1 MHz, le signal de sortie peut être considéré comme constant, par conséquent le facteur de forme est très proche de 1. Pour une fréquence égale ou supérieure à 10 MHz, le signal redressé présente des oscillations. En effet la réponse en fréquence du transistor en couches minces monté en diode commence à être critique, en outre, le composant doit être sensible aux perturbations de l'environnement de mesure à ces fréquences de fonctionnement. Le facteur de forme augmente donc par voie de conséquence.

$$F_F = \frac{V_{rms_rip} + V_m}{V_m} \quad (2)$$

Avec V_{rms_rip} la valeur efficace des ondulations du signal redressé et V_m la valeur moyenne

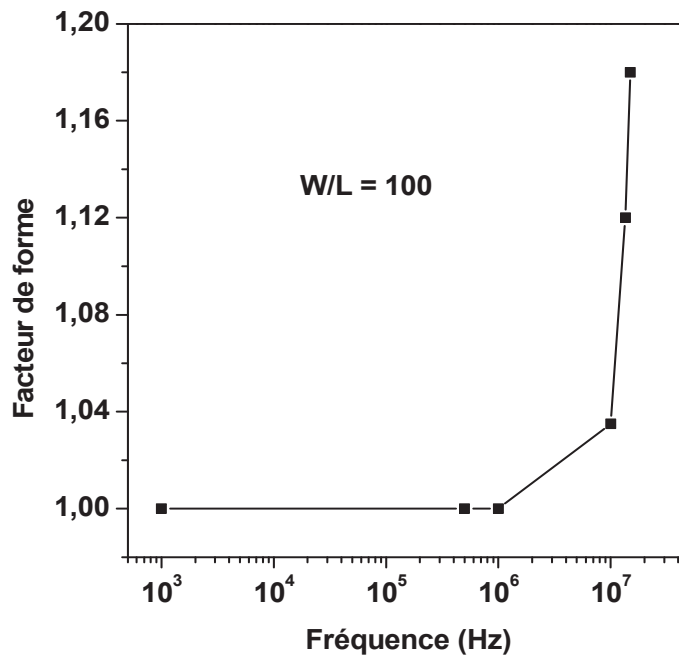


Figure 3 : Variation du facteur de forme en fonction de la fréquence

La figure 4 présente l'évolution de la tension redressée en fonction de la fréquence du signal sinusoïdal d'entrée et ce pour plusieurs transistors montés en diode de rapport (W/L) différent. Pour chaque dimension, les valeurs des tensions restent constantes jusqu'à une fréquence d'environ 1 MHz et commencent à diminuer en amplitude par la suite. Pour un rapport de taille de transistor monté en diode $W/L = 100$ par exemple, la tension redressée est égale à 2,3 V à 1 MHz pour atteindre 1,3 V à 13,56 MHz. Cette chute de presque 50 % de la valeur de la tension redressée est probablement due à la faible mobilité des porteurs. Par conséquent le comportement électrique du matériau microcristallin évolue en fonction de la fréquence et ne répond plus correctement en termes de rapidité. Cette évolution de comportement peut être modélisée par une augmentation de l'impédance drain-source en fonction de la fréquence.

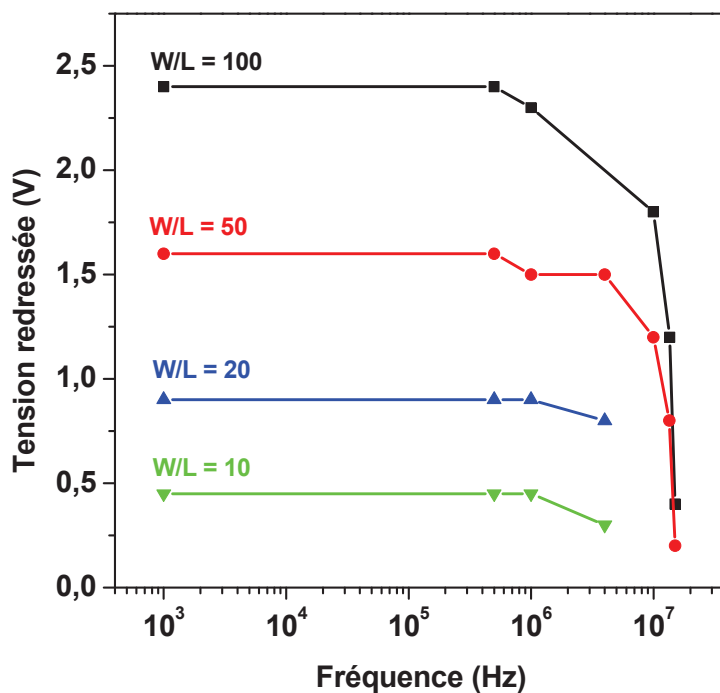


Figure 4 : Valeur de la tension à la sortie du redresseur en fonction de la fréquence du signal d'entrée.

La figure 5 présente l'amplitude de la tension redressée en fonction des dimensions du transistor monté en diode, et ce pour une fréquence de fonctionnement de 1 MHz. Plus le rapport W/L est grand et plus la valeur de la tension à la sortie du redresseur est élevée. Ceci peut s'expliquer en effet, par une évaluation de la résistance dynamique R_{ds} des transistors montés en diode à partir de la caractérisation statique. La courbe montrant l'évolution de cette résistance est également présente dans la figure 5. La valeur de la résistance suit l'évolution inverse de la tension redressée. Un accroissement de la taille du composant permet donc de diminuer la valeur de la résistance dynamique et par conséquent d'augmenter la valeur du courant débité. De cette manière, la valeur du signal à la sortie du système redresseur croît. Ceci valide enfin l'intérêt de concevoir des composants avec un grand rapport W/L afin d'obtenir un signal pour des fréquences d'utilisation élevées dans le cadre d'une utilisation des transistors ayant une faible mobilité.

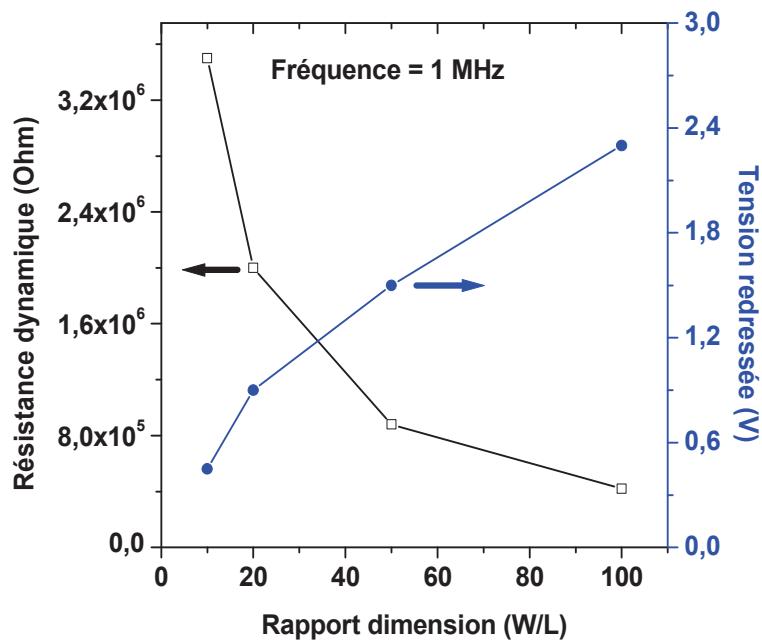


Figure 5 : Variation du signal redressé en fonction de la taille des composants

Les transistors en couches minces à base de silicium microcristallin utilisant du nitrure de silicium comme isolant de grille ont démontré une très bonne stabilité électrique [2-3]. Afin de mettre en valeur cet acquis et de détecter un éventuel changement de comportement du transistor monté en diode lorsqu'il est utilisé dans un système redresseur, un stress en fonctionnement est effectué. La valeur de la tension redressée est prélevée toutes les 30 min pendant une période de deux heures sans interrompre le dispositif de caractérisation.

La figure 6 illustre l'évolution de la valeur du signal en fonction du temps. La fréquence de fonctionnement est de 13,56 MHz et le transistor monté en diode possède un rapport W/L égal à 100. Le fonctionnement du dispositif de redressement est parfaitement stable pendant ce laps de temps.

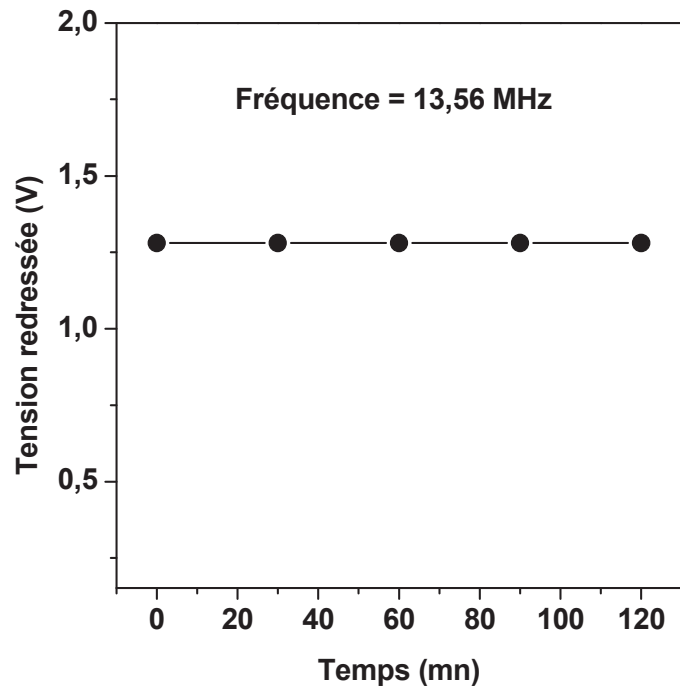


Figure 6 : Valeur de la tension à la sortie du redresseur en fonction du temps.

Les transistors en couches minces montés en diode réalisés avec ce procédé de fabrication (silicium microcristallin et grille en nitrure de silicium élaborés par voie PECVD à très basse température) ont montré leur aptitude de redressement lorsqu'ils sont associés à une capacité pour former le circuit de redressement. Cet élément constitue le premier étage d'une architecture RFID. Leur principal avantage réside notamment dans leur compatibilité avec la technologie de réalisation de l'électronique CMOS au sein du groupe microélectronique de l'IETR. Il est par conséquent possible d'envisager de fabriquer en parallèle l'électronique permettant l'alimentation de l'étiquette RFID et son électronique de traitement de l'information.

Cependant l'obtention d'une grande valeur de signal redressé nécessite une grande largeur W des canaux des transistors et donc une augmentation conséquente des dimensions des composants. Ceci a pour effet de nuire à la miniaturisation des dispositifs et également au rapport entre l'amplitude de la tension redressée et celle d'alimentation qui est faible. Par exemple, pour un transistor monté en diode de rapport de dimension (W/L) égal à 100, la tension redressée est égale à 2,3 V pour une tension d'alimentation d'amplitude 10 V, le rapport est donc de l'ordre de 0,2.

II.2. La diode Schottky comme élément redresseur

II.2.1. Le dispositif de redressement

La diode Schottky dont le comportement électrique statique a été préalablement optimisé est ensuite utilisée elle aussi dans un dispositif redresseur tel qu'illustré par le circuit de mesure de la figure 7. Le montage comporte toujours un générateur permettant l'envoi de la tension sinusoïdale d'entrée et la capacité discrète de charge C_L de valeur 300 nF. L'oscilloscope utilisé pour l'acquisition des signaux d'entrée et de sortie constitue la charge du dispositif de redressement. Sa résistance interne R'_L est égale à 1 M Ω

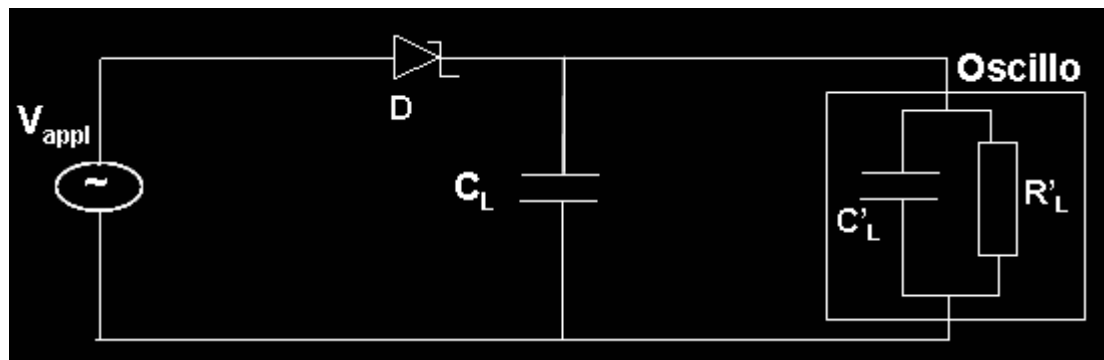


Figure 7 : Montage de mesure pour la réalisation du redressement.

II.2.2. Résultats de mesure

La figure 8 présente les oscillogrammes des signaux de sortie du système de redressement pour deux valeurs de fréquence du signal d'entrée.

La valeur de la tension appliquée à l'entrée du dispositif par le générateur est de 4 V d'amplitude. Cette valeur est choisie de manière à ne pas provoquer un claquage de la diode et à ne pas perdre ainsi l'effet redresseur. Pour une fréquence du signal d'entrée de 100 kHz (figure 8 a), la valeur du signal redressée est de 2 V. De plus l'amplitude du signal est parfaitement constante sans ondulation. Dans ce cas, le rapport de la tension redressée sur celle à l'entrée est égal à 0,5. Ceci est supérieur à celui observé dans le cas du transistor en couches minces monté en diode. Pour une fréquence de 13,5 MHz (figure 8 b), le signal redressé perd en linéarité et présente une ondulation. Le facteur de forme défini dans l'expression (2) équivaut à 1,02 dans ce cas-ci.

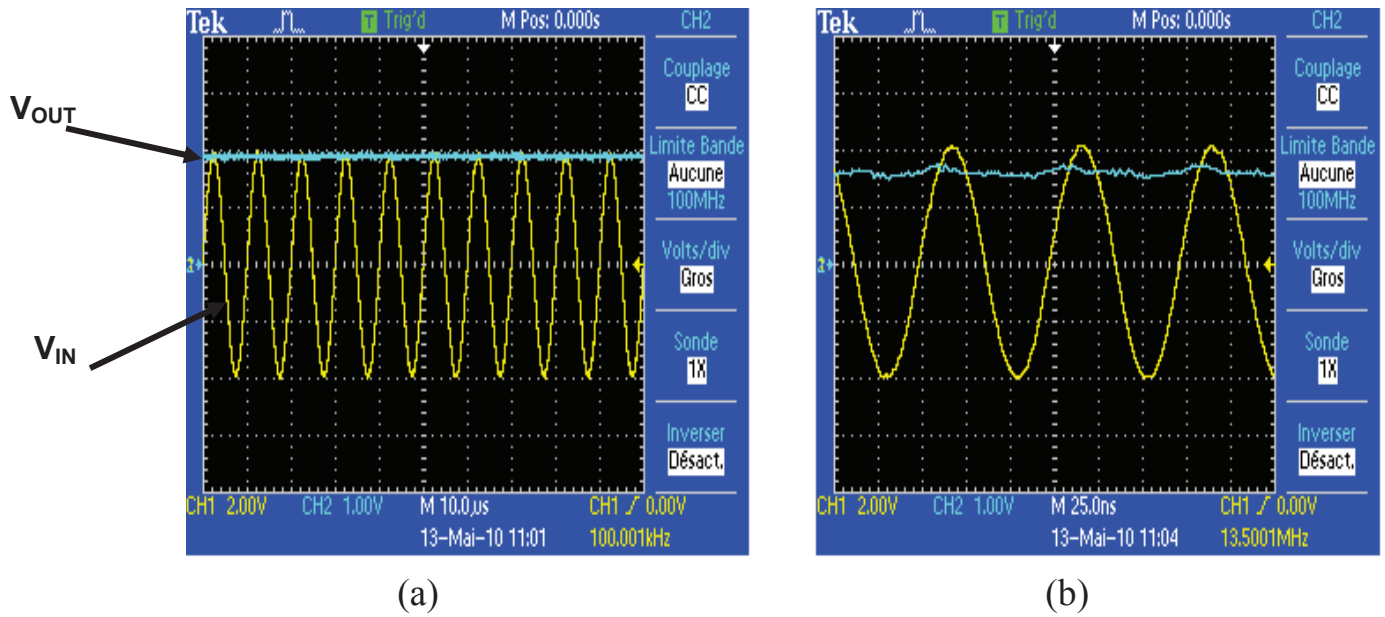


Figure 8 : Visualisation de la tension à la sortie du système de redressement, (a), 100 kHz, (b), 13,5 MHz.

La figure 9 présente la tension à la sortie du dispositif redresseur pour une tension d'entrée sinusoïdale d'amplitude 4 V et ce pour différentes fréquences de ce signal d'alimentation. La valeur du signal redressé reste aux alentours de 2 V pour une gamme de fréquence de 1 kHz jusqu'à 1 MHz. Tandis qu'elle chute à 1,6 V pour une fréquence de fonctionnement de 13,5 MHz. Excepté l'influence des perturbations liées à l'environnement de mesure sur la diode à cette fréquence de travail, cette baisse de la valeur de la tension redressée peut être expliquée par un changement de comportement de la diode Schottky. En effet elle repose sur le même matériau que le transistor en couche minces monté en diode, en l'occurrence du silicium microcristallin. Ce dernier possède une faible mobilité des porteurs. L'impédance équivalente augmente en fonction de la fréquence [4].

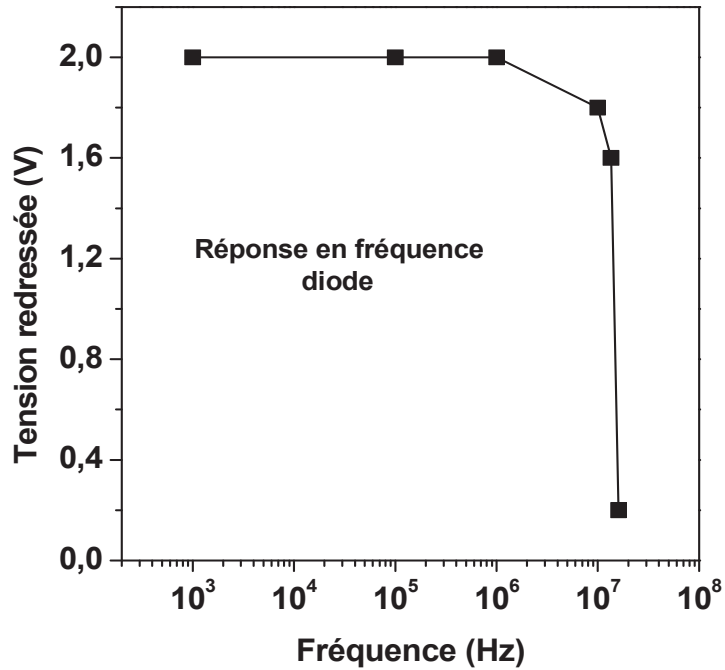


Figure 9: Valeur de la tension à la sortie du redresseur en fonction de la fréquence du signal d'entrée.

La figure 10 présente quant à elle, l'évolution de l'amplitude de la tension redressée en fonction de la tension appliquée. La tension à la sortie du système redresseur augmente avec l'accroissement de la tension sinusoïdale d'alimentation. Néanmoins la tension appliquée ne peut pas être augmentée indéfiniment et est toujours choisie dans une gamme permettant d'éviter tout claquage et toute destruction du composant

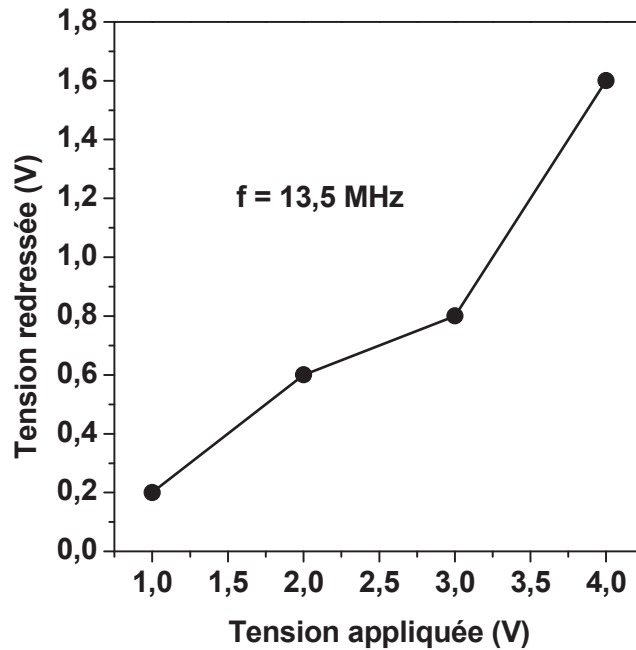


Figure 10 : Evolution de la tension redressée en fonction de la tension appliquée

Enfin pour vérifier un éventuel changement de comportement pendant le fonctionnement sous forme de système redresseur de la diode Schottky, le circuit de redressement dans lequel est incorporée cette diode est laissé en fonctionnement continu pendant une durée de deux heures. La valeur de la tension redressée est prélevée toutes les 30 minutes. La fréquence de fonctionnement est de 13,5 MHz. La figure 11 présente la valeur du signal redressé pendant ce laps de temps relatif. Cette valeur reste constante tout au long de la période de mesure. Elle témoigne de la bonne qualité en terme de stabilité du matériau silicium microcristallin.

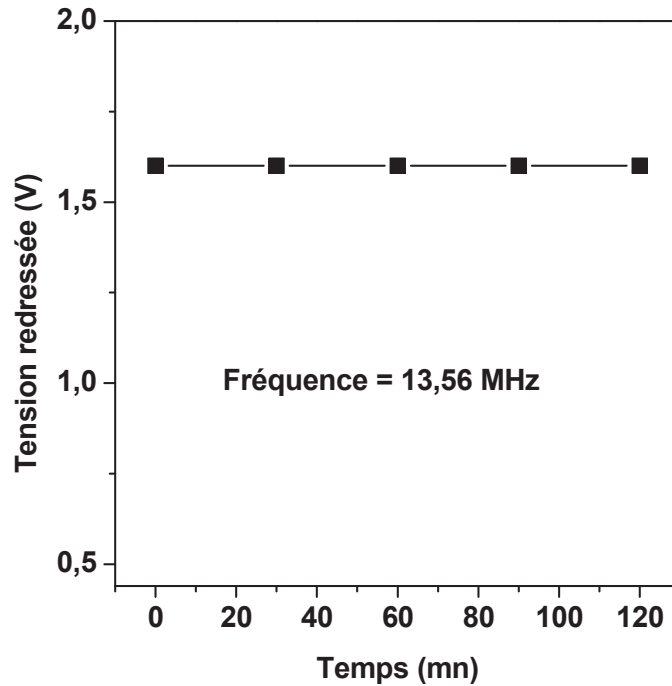


Figure 11 : Stabilité dans le temps du dispositif de redressement.

III. REALISATION DE L'ANTENNE

La partie précédente a permis de démontrer qu'un système de redressement constitué notamment d'une diode Schottky à base de silicium microcristallin déposé à une température de 165°C, permettait l'obtention d'une tension continue à partir d'un signal sinusoïdal d'au moins 13,56 MHz de fréquence.

Au niveau d'une étiquette RFID passive, la source d'alimentation est fournie par une antenne lui permettant à la fois de récupérer le signal à hautes fréquences et de fournir la tension indispensable au fonctionnement des composants électroniques du tag via le redresseur. L'antenne est donc un élément essentiel au bon fonctionnement d'une application RFID [5].

Dans cette section, nous présentons la mise en place d'une telle antenne pouvant délivrer un signal à des fréquences de l'ordre du 13 MHz. Son dimensionnement, sa réalisation technologique ainsi que sa caractérisation électrique seront abordés.

III.1. Dimensionnement de l'antenne

Un signal radiofréquence peut rayonner efficacement dans la mesure où les dimensions linéaires de l'antenne sont comparables à la longueur d'onde liée à la fréquence de fonctionnement. A la fréquence d'usage habituelle des systèmes RFID de 13,56 MHz, la longueur d'onde λ associée est de 22,12 mètres. L'amplitude de l'onde n'est pas uniforme sur toute la distance de la longueur d'onde. Il est donc possible de procéder à une division de cette longueur optimale pour l'antenne tout en conservant les propriétés du champ électromagnétique. Dans le cas où l'on souhaiterait utiliser une antenne de type monopôle [6], sa taille pourrait être de 5,4 m, correspondant à la dimension optimale $\lambda/4$ communément mise en œuvre. Cette option permet une réduction des dimensions tout en gardant les bonnes performances de l'antenne en termes de gain, d'efficacité rayonnée et de bande passante [7]. Il est évidemment bien difficile de concevoir une véritable antenne avec des telles dimensions pour les dispositifs RFID reposant sur un support de taille similaire à une carte bancaire (8 cm \times 5 cm). Cet obstacle est franchi en changeant le type d'antenne utilisable. Par conséquent, une autre forme d'antenne est généralement utilisée dans les applications d'identification par radiofréquence. Cette solution a pour inconvénient une perte en termes de performance d'antenne mais cependant elle répond au principal objectif de miniaturisation des éléments.

Elle consiste en une structure d'antenne communément appelée « antenne boucle magnétique ». Ses dimensions sont inférieures au dixième de la longueur d'onde. Cette structure est constituée d'une inductance qu'il faudra accorder sur la fréquence d'utilisation à l'aide d'un condensateur. L'ensemble forme donc un circuit résonnant de type LC.

Dans ce cadre, la conception de l'antenne repose essentiellement sur le calcul de l'inductance de celle-ci. Cette valeur de l'inductance peut donc être simplement estimée par l'utilisation des équations classiques électromagnétismes.

Dans les systèmes RFID fonctionnant à 13,56 MHz, l'inductance de l'antenne est typiquement de quelques μH . En effet l'inductance est étroitement liée à la valeur de la capacité permettant l'accord sur la fréquence de résonance. D'un point de vue technologique la réalisation d'une capacité de grande valeur nécessite une surface importante ; ceci est contradictoire avec une miniaturisation des circuits. Par conséquent le choix d'une inductance de quelques μH permet de maintenir les valeurs des capacités à des grandeurs nécessitant une surface réduite lors de leur réalisation. En prenant en compte l'intégration de tous les éléments constitutifs de l'étiquette RFID sur une zone restreinte, la surface maximale

raisonnable allouée à une capacité pourrait être de 1 mm². Le nitrure de silicium élaboré par voie PECVD à une température de 150 °C habituellement utilisé au sein du laboratoire possède une permittivité diélectrique relative de 6,5 environ. L'épaisseur couramment mise en jeu pour réaliser des transistors à base de ce diélectrique est de 300 nm [8]. L'ordre de grandeur des valeurs des capacités réalisables est donc d'une centaine de picofarad. L'inductance de l'antenne est directement liée à la capacité à travers la fréquence d'utilisation (équation 5). A une fréquence de fonctionnement de 13,56 MHz, cette inductance possède alors une valeur de l'ordre de 1 μH.

$$f = \frac{1}{2\pi\sqrt{LC}} \quad (5)$$

III.1.1. Structure et fonctionnement de l'antenne

Parmi l'antenne boucle magnétique, plusieurs formes géométriques sont possibles. Le domaine d'utilisation du dispositif détermine la géométrie de l'antenne. La structure d'antenne choisie est dite rectangulaire planeaire (figure 12). Elle est celle la plus couramment rencontrée dans l'architecture des puces RFID car elle optimise la surface d'une carte rectangulaire ou carrée. Elle permet notamment de faciliter les calculs lors de l'estimation de l'inductance de l'antenne. Elle est constituée d'un enroulement de plusieurs pistes métalliques ou segments (lignes L1, L2, ...).

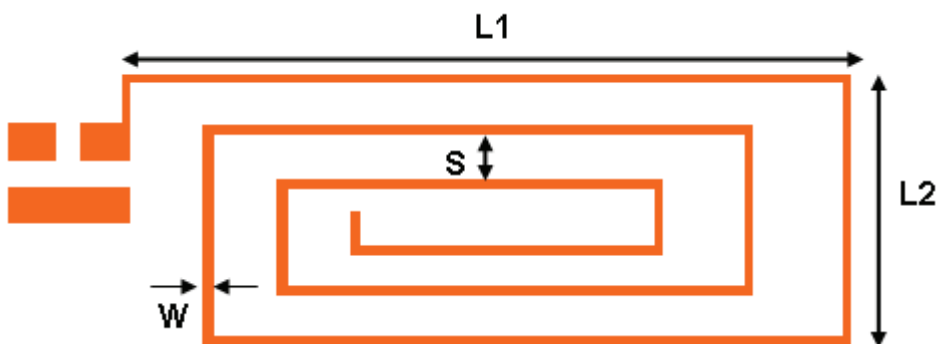


Figure 12. Structure rectangulaire de l'antenne

Le principe de fonctionnement de l'antenne rectangulaire en boucle est similaire à celui d'une antenne circulaire bouclée. Il repose sur la possibilité d'effectuer un transfert d'énergie

avec une seconde antenne placée dans son champ d'action. Le fonctionnement est régi par les équations de l'électromagnétisme.

Un enroulement circulaire formé de N spires et parcouru par un courant électrique variable I (figure 13) crée un champ magnétique variable en un point P selon l'expression :

$$B_z = \frac{\mu_0 I N a^2}{2(a^2 + r^2)^{3/2}} \quad (\text{Weber}/m^2) \quad (6)$$

Avec a le rayon du cercle, r la distance par rapport au centre du cercle et μ_0 la perméabilité du vide de valeur $4\pi \times 10^{-7}$ (Henry/mètre).

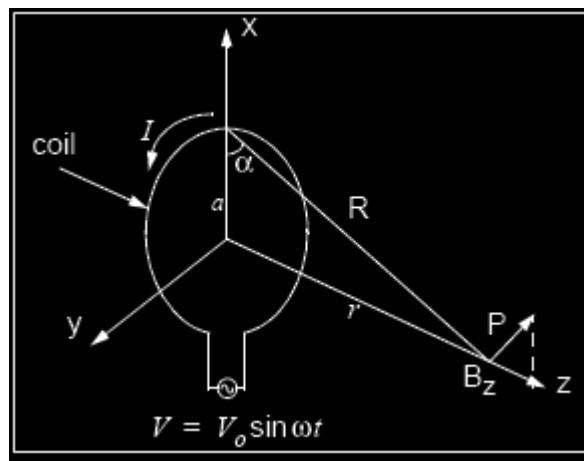


Figure 13. Champ magnétique créé en un point P par une bobine [9]

Dans le cas où le carré de la distance r est très grand par rapport à celui de la distance a, cette expression peut être réécrite comme suit :

$$B_z = \frac{\mu_0 I N a^2}{2} \left(\frac{1}{r^3} \right) \quad (\text{Weber}/m^2) \quad (7)$$

Cette équation indique que lorsque l'élément placé au point P s'éloigne, il reçoit moins de champ magnétique en provenance de l'antenne.

Lorsqu'un autre enroulement circulaire est soumis à ce champ magnétique variable comme illustré par l'exemple de la figure 14 mettant en jeu une communication RFID, il se crée alors une tension induite V communément appelée force électromotrice au sein de l'enroulement. Cette tension est donnée par l'expression :

$$V = -N \frac{d\psi}{dt} \quad (8)$$

Avec ψ le flux magnétique à travers la surface totale S du conducteur défini comme suivant :

$$\psi = \int B \cdot dS \quad (9)$$

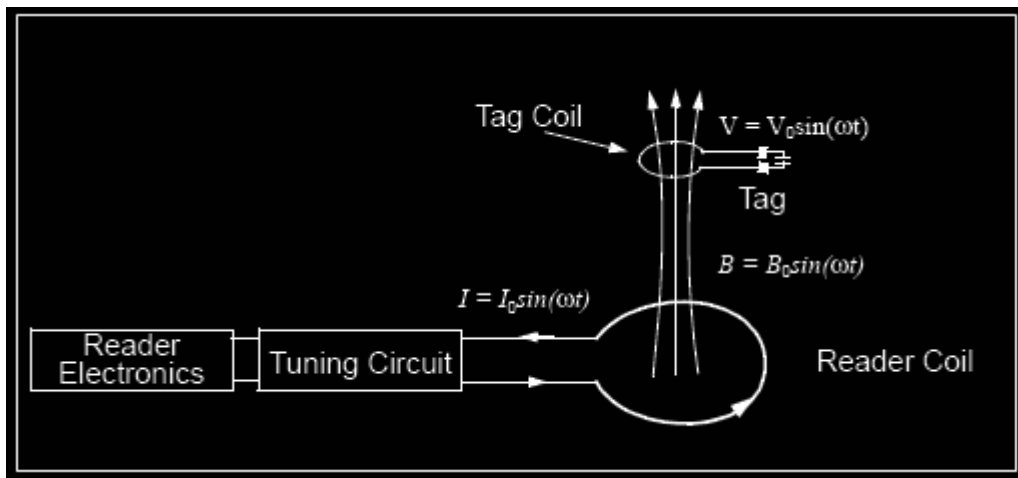


Figure 14. Transfert d'énergie dans une application RFID [9]

III.1.2. Inductance de l'antenne rectangulaire

Un courant I parcourant un conducteur génère un champ magnétique B . Ce dernier produit à son tour un courant à travers un second conducteur lorsque celui-ci est à proximité. Cette propriété est appelée inductance L . Cette inductance dépend de la géométrie du conducteur. Elle est définie comme suit :

$$L = \frac{N\psi}{I} \quad (\text{Henry}) \quad (10)$$

Avec N le nombre de tours.

Dans le cas de figure d'une piste métallique (figure 15) constituant la base de notre structure d'antenne rectangulaire, cette inductance est donnée par la relation [9-11]:

$$L_A = 0,002L \left(\ln \left(\frac{2L}{w+t} \right) + 0,50049 + \frac{w+t}{3L} \right) \quad (\mu\text{H}) \quad (11)$$

Avec t , l'épaisseur de la piste métallique, w sa largeur et L sa longueur totale. Toutes ces grandeurs sont exprimées en centimètres.

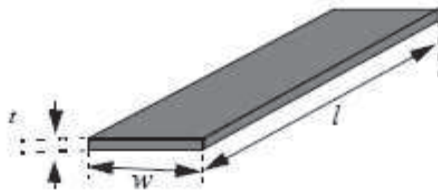


Figure 15. Piste métallique rectangulaire [9]

L'antenne est constituée de différents conducteurs connectés les uns aux autres. Lorsque des conducteurs sont situés à proximité, il est nécessaire de prendre en compte l'inductance mutuelle qui est donnée par la relation suivante :

$$M = 2LF \quad (\text{nH}) \quad (12)$$

Avec F dit le paramètre d'inductance mutuelle calculé comme suit :

$$F = \ln \left(\left(\frac{L}{d} \right) + \sqrt{1 + \left(\frac{L}{d} \right)^2} \right) - \sqrt{1 + \left(\frac{L}{d} \right)^2} + \frac{d}{L} \quad (13)$$

d étant la distance entre les centres de deux conducteurs.

Ces équations permettent donc l'estimation de l'inductance d'une antenne donnée à une fréquence donnée en choisissant les principaux paramètres intervenant dans les expressions.

Une antenne rectangulaire plate est constituée par l'association de plusieurs pistes métalliques formant un enroulement. Le nombre des pistes ou segments est étroitement lié à l'inductance voulue ; plus il est élevé, et plus l'inductance est grande. Mais l'inconvénient est qu'on y perd en miniaturisation car l'espace occupé sur le substrat sera important.

Notre cahier des charges consiste en la mise en place d'une antenne pouvant recevoir et fournir un signal à une fréquence de l'ordre de 13,56 MHz. L'inductance de cette antenne doit

être de 1 μH pour nous permettre l'utilisation d'une capacité de l'ordre d'une centaine de pF pour réaliser l'accord.

Pour ce faire nous avons choisi de réaliser une antenne constituée par les principaux paramètres regroupés dans le tableau I. L'inductance totale de l'antenne est donnée par l'expression suivante [9-11]:

$$L_T = L_0 - M_+ - M. \quad (14)$$

L_0 constitue la somme des inductances individuelles des pistes ($L_1+L_2+\dots+L_{12}$). M_+ est la somme des inductances mutuelles entre les segments parcourus par un courant dans le même sens tandis que M est l'inductance mutuelle entre les segments traversés par un courant électrique de sens opposé.

En injectant les paramètres fixés de l'antenne rectangulaire plate dans les différentes équations, l'inductance globale de celle-ci est estimée à une valeur de 980 nH. Ceci correspond approximativement à l'objectif initial.

Segments	Longueur boucle extérieure L1	Largeur boucle extérieure L2	Largeur piste	Espace entre les pistes
12	6 cm	3 cm	0,32 mm	2 mm

Tableau I. Paramètres de l'antenne rectangulaire plate

III. 2. Réalisation sur substrat PCB

Afin de valider le dimensionnement et donc le fonctionnement de l'antenne, une première réalisation est faite sur un substrat PCB. 35 μm de cuivre correspondant à l'épaisseur habituelle du cuivre des PCB pour former les pistes est déposé. L'épaisseur du matériau conducteur est étroitement liée à la résistance des pertes des pistes en haute fréquence. Cette résistance R_{ac} est définie comme suit :

$$R_{ac} = \frac{l}{(w+t)} \sqrt{\frac{\pi f \mu}{\sigma}} \quad (\Omega) \quad (14)$$

Avec l , la longueur de la piste, w sa largeur, t son épaisseur, f la fréquence de fonctionnement, μ la perméabilité absolue du cuivre et σ sa conductivité.

L'antenne est par la suite associée à des éléments discrets pour l'adaptation et pour constituer le circuit résonnant (figure 16) [11-12]. Une capacité C1 est branchée en parallèle pour effectuer l'accord en fréquence. Une autre C2 est placée en série afin de permettre l'adaptation d'impédance à 50 Ohm. Enfin une résistance R est mise en parallèle avec la capacité C1. Elle joue le rôle de la charge de l'antenne.

Le tableau II regroupe les valeurs de ces composants. Ils sont choisis pour permettre le fonctionnement de l'antenne à la fréquence d'utilisation. Néanmoins le circuit d'accord et d'adaptation relié à l'antenne peut s'avérer imparfait. A notre échelle, l'objectif n'est pas de concevoir une antenne avec un fonctionnement idéal à 13,56 MHz mais d'arriver à disposer d'un élément pouvant faire fonctionner un circuit de redressement à une fréquence de l'ordre du 13,56 MHz en se substituant au générateur de tension sinusoïdale.

Capacité C1	Capacité C2	Résistance R
100 pF	47 pF	10 kΩ

Tableau II. Composants discrets associés à l'antenne

L'inductance de l'antenne est estimée à 980 nH. L'obtention d'une résonnance à une fréquence de l'ordre de 13,56 MHz nécessite une valeur de la capacité d'accord d'environ une centaine de pF. Le choix de la valeur de C1 qui est égale à 100 pF répond à ce besoin mais aussi à celui de pouvoir intégrer communément plusieurs composants sur un espace réduit.

Par ailleurs lors de son fonctionnement l'antenne est reliée au circuit par des câbles. Son adaptation est donc nécessaire. L'impédance globale de l'antenne vue entre les points A et B est exprimée comme suit :

$$Z = \frac{-R\omega^2 L(C2 + C1) + R + j\omega L}{-C2L\omega^2 + jR\omega(C2 - C1C2L\omega^2)} \quad (15)$$

Avec L, l'inductance de l'antenne et $\omega = 2\pi f$ la pulsation.

La capacité C2 de valeur 47 pF permet donc d'adapter l'antenne à la ligne. La résistance de charge R est étroitement liée au facteur de qualité Q défini par l'équation :

$$Q = R\sqrt{\frac{C}{L}} \quad (16)$$

Ce facteur de qualité détermine la bande passante autour du point de résonance. La valeur de la résistance influence l'étalement du spectre, cet étalement dépendant des besoins spécifiques de transfert d'information pendant une communication [13].

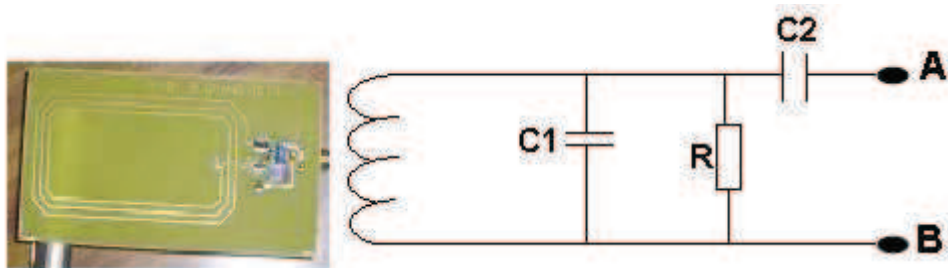


Figure 16. Antenne réalisée sur PCB et câblage

La figure 17 illustre le schéma de caractérisation de l'antenne. Une première antenne est alimentée à travers le synthétiseur de fréquence. Celui-ci délivre une tension sinusoïdale avec une fréquence variable. On visualise à l'aide d'un oscilloscope la tension aux bornes de la seconde antenne placée à une distance de 1 cm de la première et parallèlement à celle-ci. De cette manière nous déterminons le gain en transmission de l'antenne.

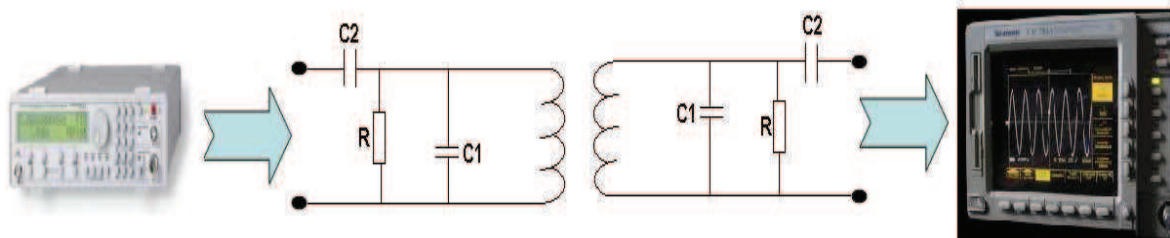


Figure 17. Protocole de caractérisation de l'antenne

La transmission de l'antenne représentée sur la figure 18 devrait présenter un maximum de gain à une fréquence de 13.56 MHz. Cependant, au niveau de la figure, on observe deux pics du gain numérotés 1 et 2. Le premier correspond à l'antenne émettrice et le second à l'antenne réceptrice. La tension récupérée aux bornes de la deuxième antenne est donc optimale pour une fréquence aux alentours de 13 MHz et 16 MHz. Ce phénomène résulte du facteur de

couplage k entre les deux antennes [13]. Ce paramètre exprime la qualité du transfert d'énergie entre les deux dispositifs. Il est lié aux dimensions des éléments et à leurs formes géométriques.

Un couplage parfait conditionne un transfert maximal du flux de l'émetteur vers le récepteur. Cependant, dans le cas où le facteur k est non idéal, il peut y résulter des inconvénients de transmission de signal telle que l'apparition d'un deuxième pic de gain non désiré. Cet inconvénient peut être remédié en adaptant plus précisément les 2 antennes. Cette adaptation est possible en utilisant une capacité $C1$ variable afin de faire coïncider les maximas. Néanmoins ce double maximum du gain n'empêche pas, une utilisation de l'antenne dans un circuit de redressement avec une fréquence de fonctionnement autour de 13 MHz.

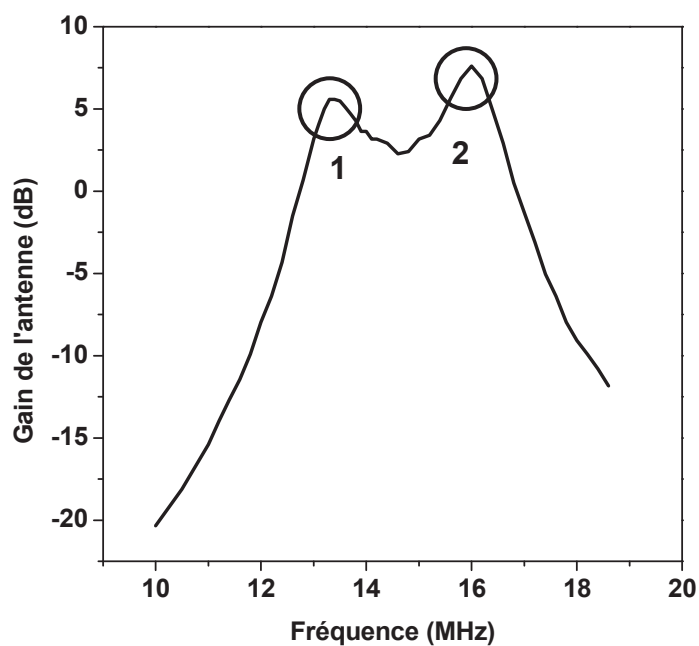


Figure 18. Gain de transmission entre les 2 antennes en fonction de la fréquence

La figure 19 illustre l'évolution de la tension à la sortie de la deuxième antenne en fonction de la distance entre les 2 antennes notées L_1 et L_2 . Le signal d'entrée est émis à une fréquence de 13,56 MHz.

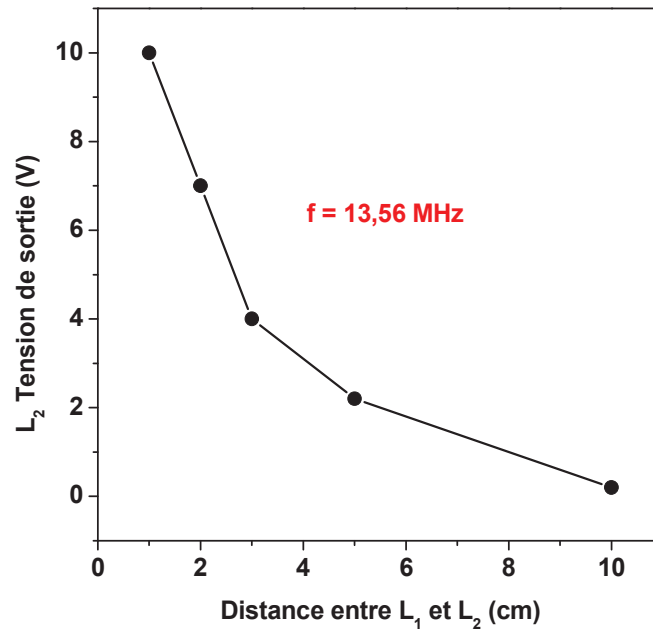


Figure 19. Evolution du signal de sortie avec la distance

Plus la distance entre les deux antennes est grande, plus le signal récupéré au niveau de la seconde est faible. Pour une distance de 1 cm la tension de sortie a une amplitude crête à crête de 10 V tandis qu'elle chute de 80 % pour atteindre une valeur de 2 V pour une distance de 5 cm. Premièrement, la chute de la tension s'explique par la diminution du champ magnétique avec la distance (équation 1). Moins de flux électromagnétique récupéré a pour conséquence une faible tension induite aux bornes de l'inductance de la seconde antenne. Deuxièmement, la longueur totale de la structure de l'antenne rectangulaire plate est très faible comparée à la longueur d'onde du signal à 13,56 MHz et les deux antennes ne sont pas parfaitement adaptées, par conséquent la transmission d'information n'est pas optimale.

III.3. Transfert technologique sur substrat plastique

Une fois validé le fonctionnement de l'antenne, nous procédons à un transfert technologique de la structure sur un substrat plastique de type PEN (Polyéthylène Naphthalate). Ce procédé de fabrication repose sur des méthodes de photolithographie classique incluant une étape de masquage et gravure des matériaux. Le dépôt de la couche métallique constituant les pistes de l'antenne sera fait ici par la méthode d'électrodéposition,

présentée dans le chapitre 3 [14]. Cette dernière est souvent mise en œuvre lorsque l'épaisseur des couches dépasse la dizaine de micron. Enfin cette méthode repose sur un premier dépôt d'une couche métallique d'une centaine de nanomètres. Cette couche joue le rôle de précurseur. La croissance du métal voulu se fera au dessus de cette couche. Il est donc important de choisir de manière judicieuse le précurseur le mieux adapté.

III.3.1. Le chrome comme précurseur

Le premier procédé de fabrication a consisté en l'utilisation d'une couche de 100 nm de chrome pour former le précurseur. Cependant après la phase d'électrodéposition, nous avons observé que le dépôt de la couche de cuivre dédiée aux pistes de l'antenne n'est pas du tout uniforme voire même absente dans certaines zones. Cette situation s'explique, par le fait que la couche de chrome s'oxyde à l'air libre et que cette formation d'une fine couche d'oxyde à la surface du chrome rend impossible la croissance de la couche de cuivre. En effet les pistes en chrome perdent de leur propriété de conducteur et ne peuvent plus attirer les cations Cu^{2+} indispensables au dépôt. La présence de cuivre dans certaines zones témoigne d'une inhomogénéité dans la formation d'oxyde au niveau de la couche de chrome. Ceci nous a conduits alors à envisager une deuxième solution reposant sur l'utilisation d'une couche d'or comme précurseur. En effet, l'or est un matériau noble exempt de tout phénomène d'oxydation.

III.3.2. L'or comme précurseur

La première étape du procédé de fabrication de l'antenne est un dépôt d'une couche d'or d'épaisseur 100 nm. Après une étape de photolithographie en résine positive suivie d'une gravure humide de l'or à l'eau régale, les pistes de l'antenne sont définies. Ensuite, l'échantillon est mis dans le bâti d'électrodéposition. Nous réalisons un dépôt de 30 μm de cuivre. Cette étape d'électrodéposition permet de ne faire croître le cuivre que sur les pistes déjà prédéfinies, autrement dit sur la couche précurseur. La figure 20 présente une image de la structure de l'antenne réalisée sur le substrat plastique. Elle met en lumière la bonne qualité d'un point de vue technologique de l'élément réalisé et souligne la possibilité de rajouter des éléments discrets comme des capacités et résistances pour effectuer et assurer l'adaptation ohmique à 50 Ω et fréquentielle à 13,56 MHz.

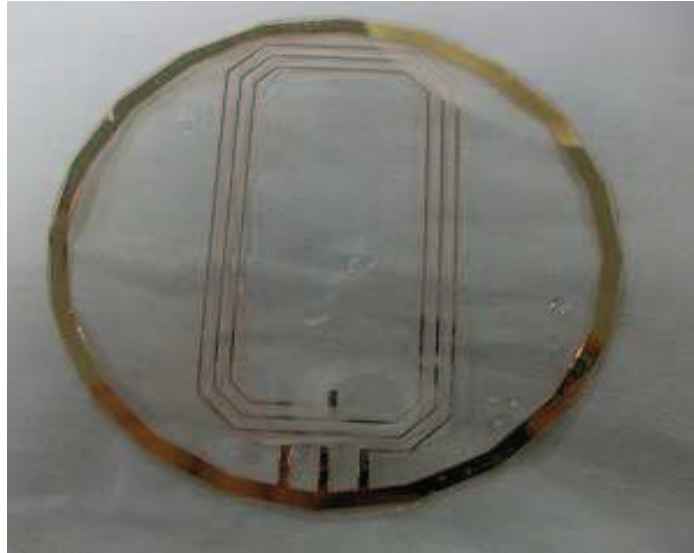


Figure 20. Antenne réalisée sur substrat plastique

La réponse en fréquence de l'antenne sur substrat PEN comparée à celle sur PCB est présentée dans la figure 21. On retrouve approximativement, les mêmes comportements en fréquence, expliqués auparavant, pour les deux antennes fabriqués par deux méthodes technologiques différentes. Ceci valide donc le transfert technologique de l'antenne sur le substrat souple.

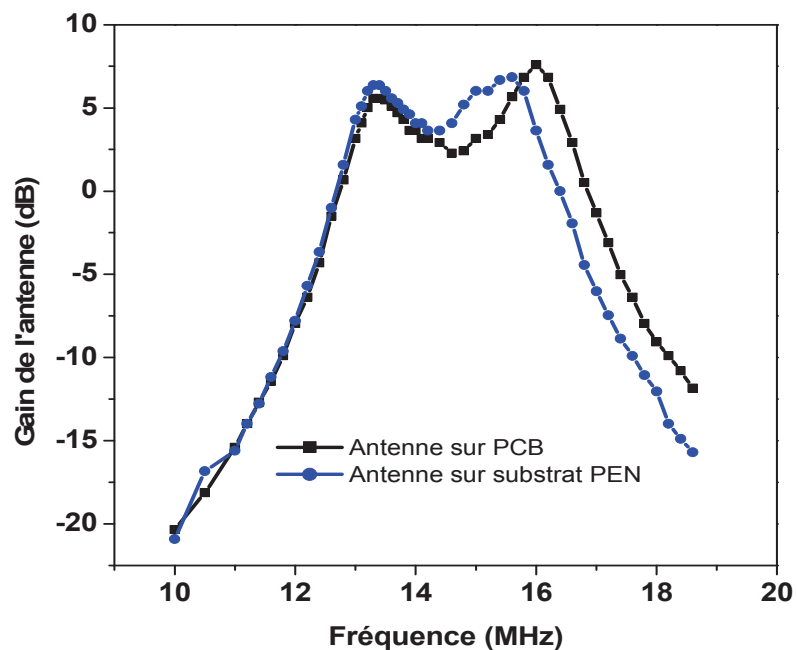


Figure 21. Réponse en fréquence des antennes sur substrat PCB ou PEN

III.4. Fonctionnement en redressement

Le comportement électrique de l'antenne a démontré son aptitude à délivrer une tension sinusoïdale à une fréquence autour du 13 MHz. L'antenne est donc associée à un dispositif de redressement illustré par la figure 22 [15]. Cet ensemble forme ce qu'on appelle communément le front-end ou le premier étage d'une étiquette RFID. Une première antenne est reliée au générateur de tension. Elle jouera le rôle de l'émetteur et fournira le signal d'alimentation. Une deuxième antenne joue le rôle du récepteur en captant le signal délivré, pour à son tour alimenter le circuit de redressement. Ce dernier est basé sur la diode Schottky silicium microcristallin/or réalisée auparavant. En effet, les tensions pouvant être générées par l'antenne sont compatibles aux tensions utiles à l'alimentation de la diode. Les caractéristiques de ces composants permettent d'envisager une utilisation conjointe dans une intégration commune. Le circuit de redressement est complété par une capacité de charge C_{Load} de valeur 100 pF et d'une résistance de charge R_{Load} de valeur 1 M Ω . La tension redressée est visualisée à l'aide d'un oscilloscope numérique.

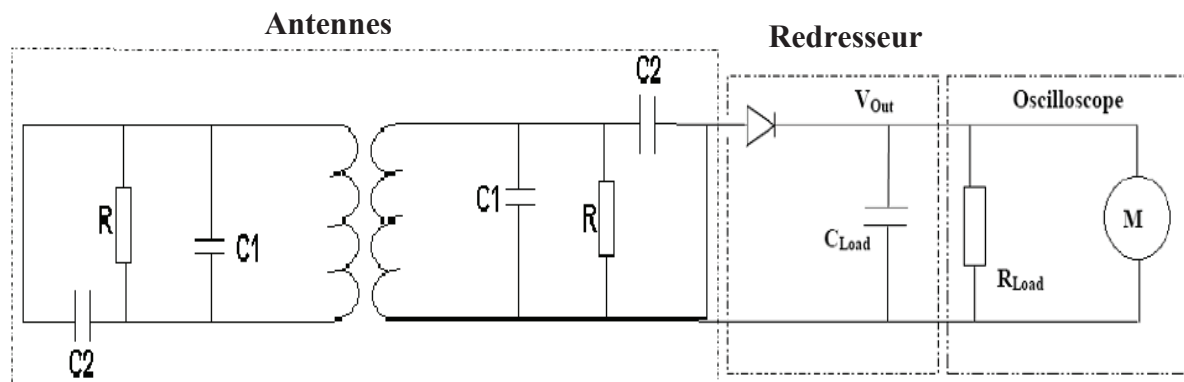


Figure 22. Protocole de mesure de redressement

La figure 23 présente l'oscillogramme des signaux de sortie et d'entrée du système de redressement pour une fréquence du signal d'entrée de 12,5 MHz. La tension fournie par l'antenne étant maximale autour de cette fréquence.

La valeur de la tension récupérée par l'antenne et fournie à l'entrée du dispositif de redressement est de 2 V d'amplitude. La tension à la sortie du redresseur est quasiment constante et possède une valeur moyenne de 1V. Le facteur de forme associé à ce signal est estimé à 1.01. Cette caractérisation montre donc la faisabilité d'utiliser l'antenne réalisée dans

un circuit de fonctionnement RFID, où elle joue le rôle de générateur de tension et de récepteur du signal nécessaire à l'alimentation des autres composantes.

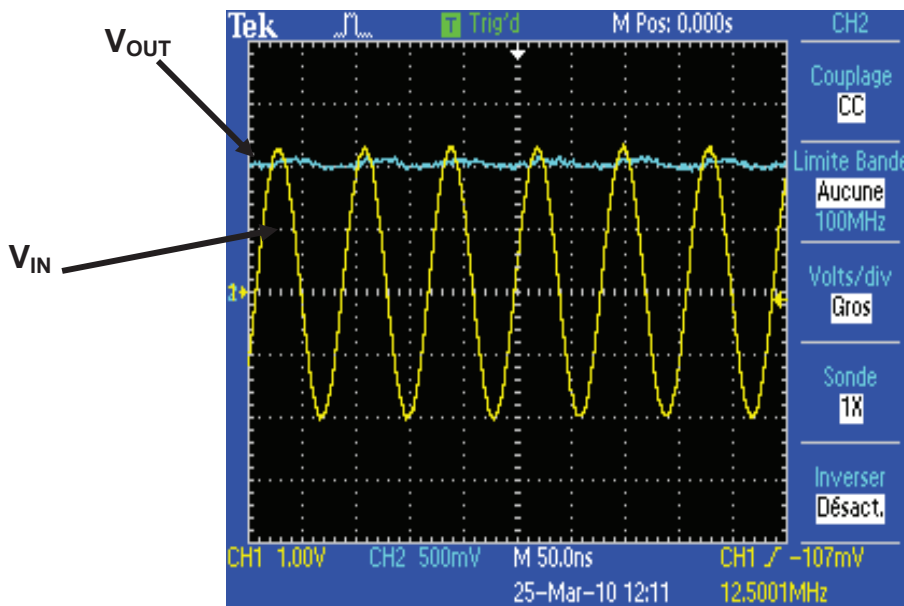


Figure 23. Visualisation de la tension de sortie du redresseur

IV. CONCLUSION

Dans ce chapitre, nous avons mis en lumière les résultats concernant les composants permettant de former le système de redressement du premier étage d'une étiquette RFID.

Dans un premier temps, le transistor en couches minces monté en diode a bien démontré sa capacité à effectuer un redressement à une fréquence de fonctionnement de 13,5 MHz. Néanmoins, l'obtention d'une tension redressée observable à cette fréquence nécessite une surface des composants importante, notamment, une largeur de canal de l'ordre du millimètre. Ceci est contraire à l'objectif de miniaturisation des dispositifs. De plus le rapport de la tension redressée sur celle appliquée est faible et le circuit de redressement nécessite une tension d'alimentation de valeur relativement grande.

Une deuxième manière de réaliser le redressement a consisté en la mise en place d'une diode Schottky à base de silicium microcristallin. Ce composant a démontré aussi son aptitude à réaliser le redressement d'un signal sinusoïdal appliqué à son entrée, avec un rapport des tensions supérieur à celui du TFT monté en diode.

La dernière partie de ce chapitre a validé la réalisation d'une antenne pouvant délivrer et réceptionner un signal à des fréquences de l'ordre du 13 MHz. Son fonctionnement dans un

circuit type front-end d'une étiquette RFID avec un circuit de redressement comportant une diode Schottky a été mis en évidence. Le transfert technologique de l'antenne sur un support plastique par des méthodes de photolithographie classique a été également démontré.

BIBLIOGRAPHIE – Chapitre 5

- [1] **S. Steudel, K. Myny, V. Arkhipov, C. Deibel, S. De Vusser, J. Genoe, P. Heremans**, “50 MHz rectifier based on an organic diode”, *Nature Materials*, 4, 597-600, 2005
- [2] **C.H Lee, D. Striakhilev, A. Nathan**, “Stability of nc-Si:H TFTs with silicon nitride gate dielectric”, *IEEE Transactions on Electron Devices*, 54, 45-51, 2007
- [3] **K. Belarbi, K. Kandoussi, N. Coulon, C. Simon, R. Cherfi, A. Fedala, T. Mohammed-Brahim**, “Stability of microcrystalline silicon TFTs”, *ECS Transactions*, 16, 121-129, 2008
- [4] **Y. Ai, S. Gowrisanker, H. Jia, I. Trachtenberg, E. Vogel, R.M. Wallace, B.E. Gnade, R. Barnett, H. Stiegler, H. Edwards** “14 MHz organic diodes fabricated using photolithographic processes”, *Applied Physics Letters*, 90, 262105, 2007
- [5] **N.C. Karmakar**, “Handbook of smart antennas for RFID systems”, John Wiley and Sons, 2010
- [6] **A. Ghiotto**, “Conception d’antennes de tags RFID UHF, application à la réalisation par jet de matière”, Thèse de doctorat, *Institut Polytechnique de Grenoble*, 2008
- [7] **M. Jeangeorges**, “Conception d’antennes miniatures intégrées pour solution RF SiP”, Thèse de doctorat, *Université de Nice-Sophia Antipolis*, 2010
- [8] **K. Belarbi**, “Transistors en couches minces de silicium microcristallin fabriqués à T<180°C : stabilité-mobilité”, Thèse de doctorat, *Université de Rennes 1*, 2010
- [9] **microID**, “13.56 MHz RFID system design guide”, Microchip Technology Inc, 2004
- [10] **ST**, “How to design a 13.56 MHz customized tag antenna”, Application note, 2009
- [11] **Texas Instruments**, “Radio frequency identification systems”, Technical Application Report, 2004

- [12] **F. Eken**, “RFID receiver antenna project for 13.56 band”, *TE 401 Microwave course term project*, 2004
- [13] **Melexis**, “13.56 MHz RFID systems and antennas design guide”, Microelectronic Integrated Systems, 2004
- [14] **N. Kanani**, “Electroplating: basic principles, processes and practice”, Elsevier, 2004
- [15] **J. D. Espejel**, “RF to DC power generation”, Thèse de doctorat, *Université de Maryland*, 2003

Perspectives

I. INTRODUCTION

Dans le cadre de ce travail de thèse, une étude a été menée pour mettre au point un dispositif de redressement dédié à une application RFID à base des composants fabriqués à très basse température ($T < 200^{\circ}\text{C}$) à partir des couches minces de silicium microcristallin, associés à des capacités discrètes. La possibilité de réaliser par le même procédé technologique, les différents éléments intervenant dans la composition des circuits de l'étiquette RFID est indispensable. En effet, par ce procédé, des étapes de report des circuits sont réduites au niveau de la fabrication. Ceci a une influence directe sur le coût de production de la technologie. Par conséquent une première perspective à cette étude est la réalisation des circuits formés par l'assemblage des diodes Schottky et des structures de capacité Métal/Isolant/Métal sur le même substrat.

Par ailleurs, excepté le redressement, une étiquette RFID passive repose également sur une circuiterie nécessaire au traitement de l'information. Parmi ces éléments on y trouve une électronique CMOS tels que des inverseurs ou des blocs des transistors formant un Switch ou interrupteur indispensable à la modulation de charge. Ces dispositifs reposent à la fois sur des transistors de type N et P. Une seconde perspective consiste donc à ouvrir la voie à la mise en place de tous les éléments intervenants dans un tag RFID par la réalisation d'une telle électronique CMOS. L'exploration de cette piste est vivement encouragée par les premiers résultats internes au groupe microélectronique concernant la réalisation des transistors avec un dopage de type P en technologie silicium microcristallin et ce à une température inférieure à 200°C compatible avec l'utilisation d'un substrat plastique.

II. CIRCUIT DE REDRESSEMENT

II.1. Architecture et masques

L'architecture de ce dispositif est présentée sur la figure 1. Elle est composée des deux diodes Schottky identiques, chacune reliée à une capacité. Ces dernières sont elles aussi de même nature et de même valeur. Outre le fait que tous les éléments constituant ce circuit seront intégrés, ce montage permet de récupérer en sortie une valeur de la tension redressée V_{DC} équivalente à V_{AC} en amplitude. Ce redressement est de type double alternance, c'est-à-dire que le signal d'entrée sinusoïdal V_{AC} est redressé dans sa phase positive et sa phase négative. La valeur de la tension récupérée est deux fois supérieure à ce qu'elle est lorsque le

circuit ne comporte qu'une seule diode en liaison avec une seule capacité. Ce type de circuit permet donc de doubler la valeur de la tension.

La fabrication technologique de ce circuit repose sur quatre niveaux de masque de photolithographie.

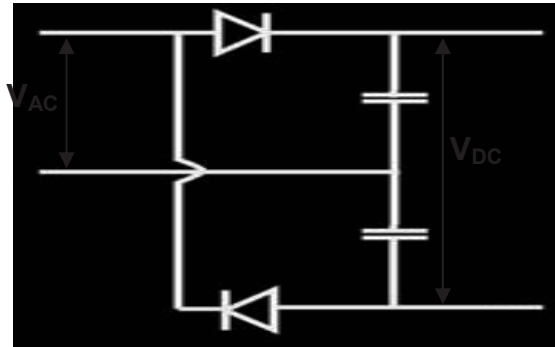


Figure 1. Architecture du circuit de redressement double alternance

II.2. Procédé de réalisation du circuit

Le procédé de fabrication du dispositif débute par un dépôt d'une couche d'aluminium d'épaisseur 150 nm sur un substrat de verre. Cette épaisseur est choisie pour éviter tout problème de flanc découvert (step coverage) ultérieurement après le dépôt de l'isolant. En effet dès que la technologie de fabrication met en œuvre des circuits avec des pistes métalliques interagissant, il faut éviter qu'un flanc du métal soit découvert en raison de sa grande épaisseur. Ceci peut engendrer des problèmes de court-circuit. Ensuite à l'aide d'une étape de photolithographie faisant appel au premier niveau de masquage, le contact métallique arrière de la diode et de la capacité est défini. Pour cela une gravure humide de la couche d'aluminium est effectuée. La figure 2 rend compte du processus de fabrication à cette étape.



Figure 2. Dépôt d'aluminium et définition des contacts arrière

Le procédé se poursuit par un dépôt successif des deux couches de silicium microcristallin. Une, fortement dopée d'épaisseur 100 nm formant le contact ohmique et une autre faiblement dopée d'épaisseur 300 nm destinée à constituer la jonction Schottky. Ces deux couches sont

évidemment élaborées par voie PECVD dans les conditions décrites dans le chapitre précédent. Ensuite à l'aide du deuxième masque, ces couches sont gravées par voie RIE, pour ne les laisser que dans les zones des diodes et libérer par contre l'emplacement réservé à la capacité. Ceci est illustré par la figure 3.

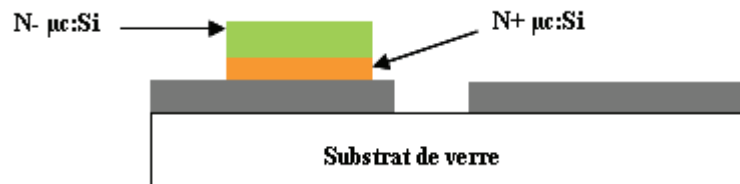


Figure 3. Dépôt des couches de silicium microcristallin et libération des zones réservées aux capacités

Le troisième niveau de masquage permet de définir les zones d'ouverture (vias) entre les deux niveaux de métallisation. Pour cela, un dépôt de nitrure de silicium d'épaisseur 150 nm est effectué. Celui-ci sert en même temps de diélectrique pour la capacité et de couche de passivation pour la diode. Il est élaboré également par voie PECVD et son épaisseur est choisie de façon à ce que le dernier dépôt, en l'occurrence l'or recouvre entièrement tout son flanc, évitant ainsi une rupture des pistes métalliques. Les ouvertures sont définies ensuite par une simple gravure RIE de la couche isolante comme le montre la figure 4. Cette étape permet d'accéder aux contacts arrière.

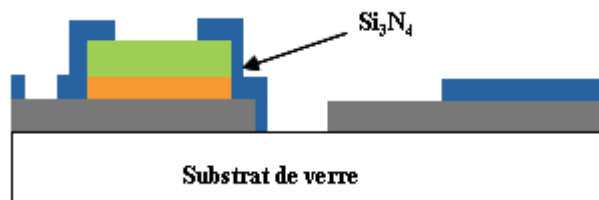


Figure 4. Dépôt du nitrure de silicium et ouverture des vias

La réalisation technologique du circuit se termine par le quatrième masque. Une couche d'or d'une épaisseur 150 nm est déposée pour constituer les contacts avant des composants et pour former les pistes d'interconnexion à travers les vias. Une étape de photolithographie suivie d'une gravure humide de la couche d'or permet d'obtenir la structure représentée par la figure 5.

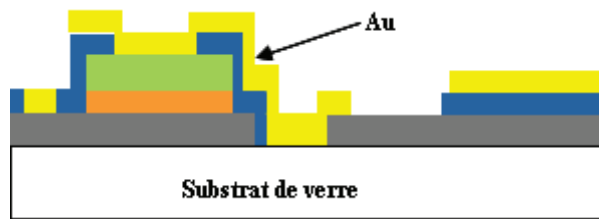


Figure 5. Dépôt d'or et définition des contacts avant et pistes

II.3. Caractérisation électrique

La figure 6 présente l'évolution du courant en fonction de la polarisation appliquée pour la diode Schottky et ce en régime inverse et direct. Pour une tension de +/- 2 V, la densité de courant a une valeur de 29,95 A/cm² et 4,69 A/cm². Ceci démontre un rapport de courant d'environ 7. Cette faible valeur du facteur de redressement est due notamment au courant inverse de la diode qui est très élevé. L'origine de cette grande valeur du courant peut s'expliquer par une fuite à travers l'isolant au niveau des flancs entre le contact en aluminium et les pistes en or.

Parallèlement les capacités Métal/Isolant/Métal sont caractérisées. La figure 7 présente les variations de la capacité avec la tension de polarisation pour deux surfaces. Les valeurs de capacités sont constantes quelle que soit la tension. Ceci correspond effectivement à un comportement d'une structure MIM. Pour des surfaces de 800 μm × 600 μm et 400 μm × 600 μm, les valeurs des capacités sont 215 pF et 92 pF respectivement. Elles correspondent approximativement aux valeurs prévues lors de la conception des masques.

Ces premiers résultats permettent de valider le procédé de fabrication technologique des composants simultanément sur un même substrat.

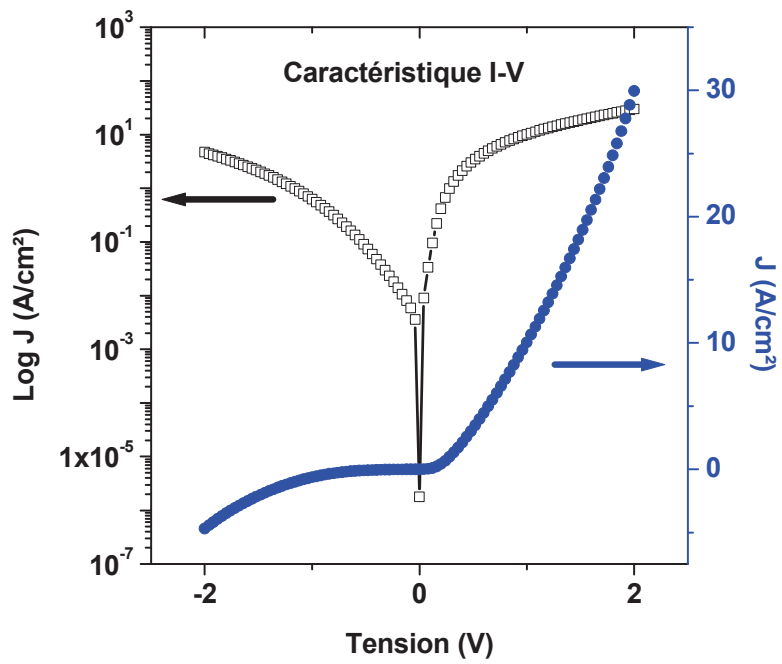


Figure 6 : Caractéristiques courant – tension de la diode Schottky

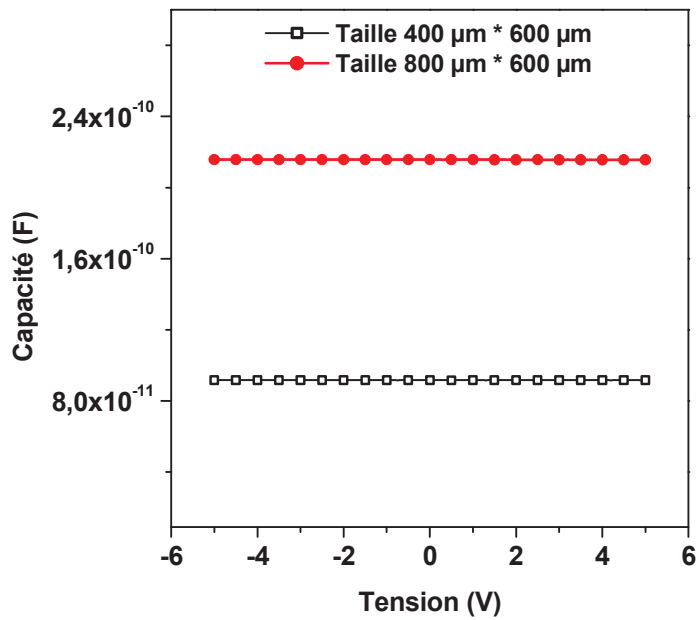


Figure 7 : Caractéristiques capacité – tension des capacités MIM

III. ELECTRONIQUE CMOS

III.1. Structure des transistors

La structure technologique choisie pour la réalisation des transistors en couches minces de silicium microcristallin très basse température ($T < 200^{\circ}\text{C}$) est l'architecture grille au-dessus (topgate) avec les contacts drain et source « inversés » (figure 8). Cette structure bénéficie toujours comme celle communément appelée topgate coplanaire (chapitre 4) du fait que la formation du canal du transistor est dans la zone la mieux cristallisée de la couche microcristalline.

La seconde raison est que cette configuration est la plus facile à mettre en œuvre du point de vue du procédé de fabrication des composants car elle simplifie énormément le contrôle de la fin de gravure RIE. En effet la définition des contacts de drain et source dès le premier niveau de masque nous évite la gravure du silicium dopé au dessus de la couche de silicium non dopé pour définir le canal comme c'était le cas dans les autres procédés de fabrication.

Cette difficulté de gravure est due notamment à la non sélectivité de la gravure plasma entre le silicium dopé et non dopé.

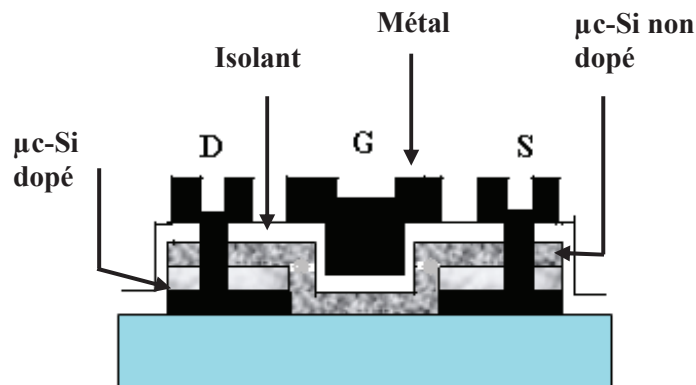


Figure 8. Architecture d'un transistor topgate inversé

III.2. Conception des masques de photolithographie

La réalisation des circuits à base d'une architecture topgate inversé impose de nouvelles contraintes. En effet ce type de structure n'étant pas présente sur les masques antérieurs, la mise en place d'un nouveau jeu de masques à l'aide du logiciel Virtuoso est indispensable.

Il est constitué de quatre niveaux de masquage pour un transistor d'un seul type (N ou P) et de six dans le cas d'un inverseur ou d'un Switch nécessitant la réalisation simultanée sur un même substrat de transistors de type N et P. Les masques sont prévus pour une réalisation sur un substrat 2 pouces correspondant à la surface du substrat de verre Corning habituellement mise en œuvre pour réaliser les dispositifs au sein du laboratoire. Les masques sont réalisés sur des plaques de verre où les motifs sont définis par une couche de chrome de quelques dixièmes de microns traitée antireflet. Chaque masque contient une cellule répétitive regroupant les motifs des différents dispositifs électroniques CMOS.

La première étape de notre démarche consiste donc à réaliser un transistor seul de type N sur un substrat de verre afin de tester la faisabilité de la structure avec notre procédé. Les étapes de sa réalisation sont détaillées dans la section suivante.

III.3. Procédé de fabrication technologique

III.3.1. Nettoyage du substrat de verre

Le substrat de verre doit être nettoyé avant d'être utilisé pour éliminer les impuretés présentes à sa surface. Pour cela un nettoyage à l'alcool et à l'acétone suivi d'un rinçage à l'eau déionisée est effectué avant un séchage par un flux d'azote.



III.3.2. Masque 1 : Définition des contacts métalliques du bas.

Le procédé de fabrication commence par le dépôt d'une couche d'aluminium de 300nm d'épaisseur immédiatement suivi d'un dépôt d'une couche de silicium microcristallin dopé de 70nm. Cette étape consiste donc à définir les contacts de drain et source en effectuant une gravure de ces deux matériaux. La gravure de l'aluminium s'effectue à l'aide d'une solution d'attaque contenant 67 % d' H_3PO_4 à une température de 60 °C. La gravure du silicium microcristallin dopé est une gravure ionique réactive de type RIE avec un plasma SF_6 .

La structure obtenue après cette étape est présentée sur la figure 9.

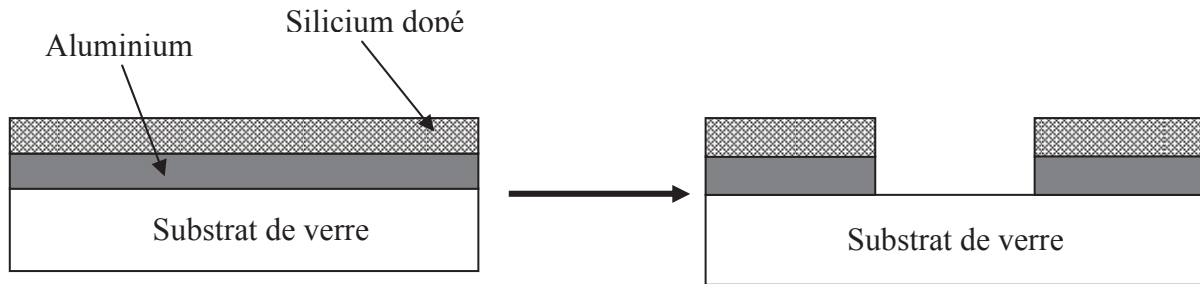


Figure 9. Vue en coupe de la structure après gravure de l'aluminium et de la couche dopée

III.3.3. Masque 2 : Définition de la géométrie des transistors.

Cette étape consiste à graver le silicium non dopé entre les transistors. Cette couche d'une épaisseur de 100nm a été préalablement déposée pleine plaque. Une gravure RIE est alors effectuée dans les mêmes conditions que précédemment. A ce niveau du procédé, la structure obtenue est représentée sur la figure 10.

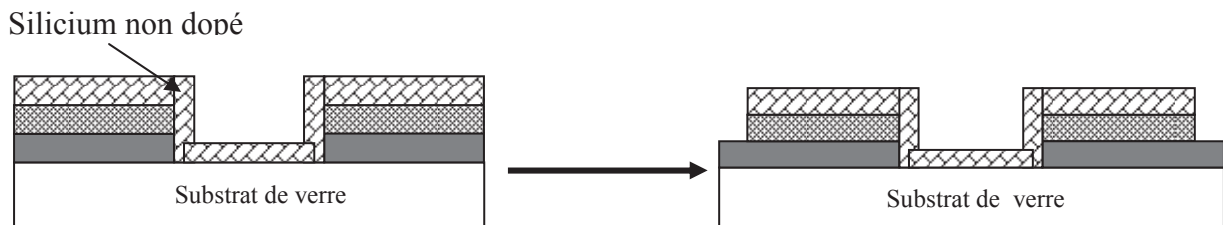


Figure 10. Vue en coupe de la structure après gravure de la couche de silicium non dopée

III.3.4. Masque 3 : Définition du contact métallique de grille.

Après le dépôt successif d'une couche de nitrure de silicium d'épaisseur 300 nm qui constitue l'isolant de grille et d'une couche d'aluminium d'environ 300 nm d'épaisseur également, une étape de photolithographie en résine positive associée à une gravure humide de l'aluminium est effectuée pour définir la grille du transistor. La structure peut alors être représentée par la figure 11.

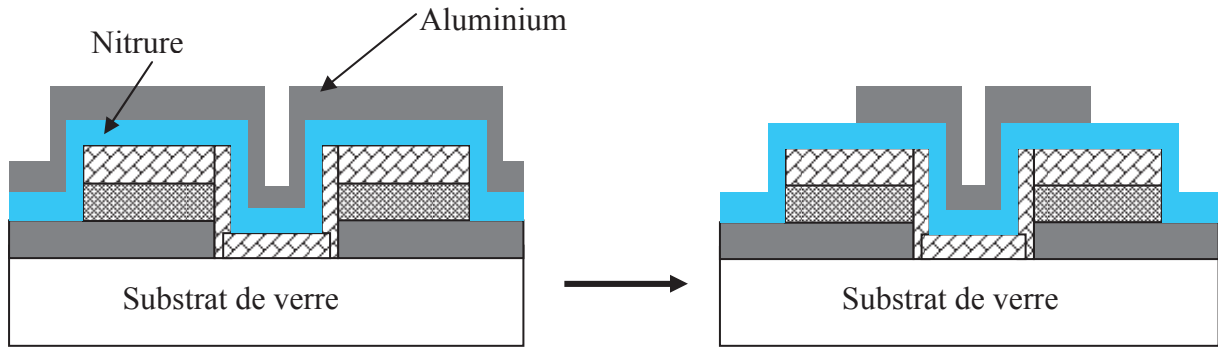


Figure 11. Vue en coupe de la structure après gravure de la couche d'aluminium de grille

III.3.5. Masque 4 : Accès au contact Drain et Source

La dernière étape du procédé de fabrication consiste en une gravure sèche de type RIE du nitrure de silicium pour accéder aux contacts de drain et source du bas.

La structure finale du transistor après toutes les étapes de photolithographie est présentée en figure 12.

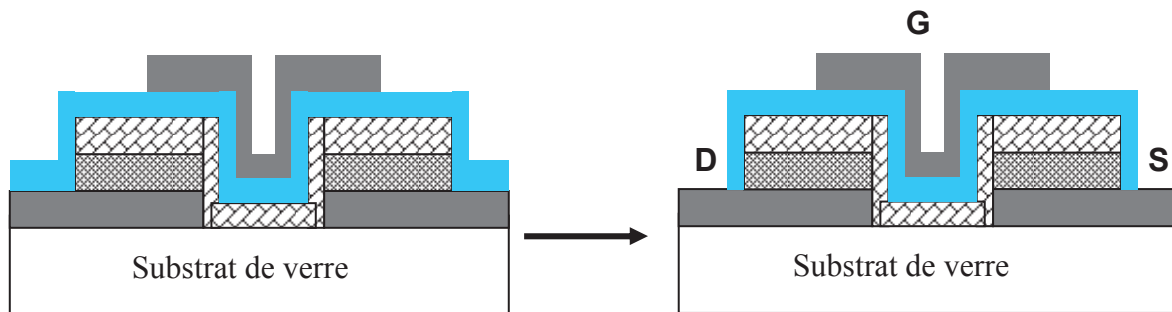


Figure 12. Vue en coupe de la structure après gravure de la couche de nitrure de silicium

III.4. Caractérisation électrique

La figure 13 présente la caractéristique de transfert d'un transistor avec une largeur W et une longueur L de canal égales à $100 \mu\text{m}$ et $20 \mu\text{m}$ respectivement. Elle illustre la variation du courant de drain du transistor avec la polarisation de grille et ce pour une tension drain-source constante égale à 1 V . La courbe (1^{ère} mesure) met en évidence un grand rapport du courant maximum à l'état passant (I_{ON}) sur le courant minimum à l'état bloquant (I_{OFF}) supérieur à 10^{+6} . Néanmoins, le courant en régime inverse augmente fortement.

Les principaux paramètres du transistor sont regroupés dans le tableau I. La mobilité d'effet de champ reste dans l'ordre de grandeur de celles trouvées habituellement pour nos transistors en structure topgate coplanaire et utilisant le nitrure de silicium comme isolant de

grille. La faible valeur de la pente sous le seuil témoigne de la bonne qualité de l'interface entre la zone du canal et l'isolant.

Mobilité (cm ² /V.s)	Pente sous le seuil (V/déc)	Tension de seuil (V)	(I _{ON} /I _{OFF})
0,4	0,38	7	>10 ⁺⁶

Tableau I. Paramètres électrique du transistor de type N en configuration topgate inversé

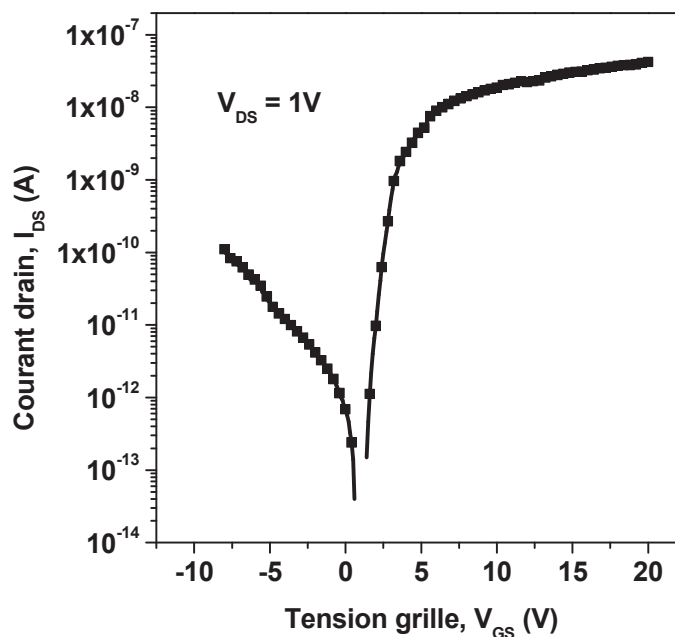


Figure 13. Caractéristiques de transfert d'un transistor de type N en configuration topgate inversé

Ce premier résultat montre que le nouveau jeu de masques réalisé est opérationnel pour entamer la fabrication et l'étude des circuits CMOS pour le traitement de l'information

IV. CONCLUSION

Ces résultats préliminaires tant au niveau de l'intégration des éléments composant le système de redressement que l'entame de la réalisation de l'électronique CMOS ouvrent donc la voie à une réalisation complète d'une étiquette RFID passive sur un substrat souple.

CONCLUSION GENERALE

L'objectif principal de ce travail de thèse consistait en la mise en place des éléments dédiés à former le premier étage d'une étiquette RFID passive fonctionnant à une fréquence de 13,56 MHz. Cette partie du tag regroupe le circuit de redressement et l'antenne ayant pour fonction de réceptionner le signal d'alimentation. En outre, les éléments devaient être réalisés en mettant en œuvre le savoir-faire du laboratoire concernant la technologie de fabrication très basse température ($T < 200^{\circ}\text{C}$) compatible avec l'utilisation de substrats plastiques, le matériau de base de cette technologie étant le silicium microcristallin.

La première étape de ce travail a été consacrée à la réalisation des composants appelés à être associés à un circuit de redressement capable de délivrer un signal continu à une fréquence d'utilisation de 13,56 MHz. Le premier élément, à savoir le transistor en couches minces avec l'électrode de grille et drain court-circuitées a démontré son comportement de diode lorsqu'il est fabriqué dans cette configuration. Au niveau du deuxième composant utilisé pour former le dispositif de redressement, en l'occurrence la diode Schottky, plusieurs optimisations ont été menées dans le but d'améliorer son comportement électrique et notamment le rapport des courants en régime direct et inverse. Dans cette optique, une étude a été menée au niveau du dopage de la couche de silicium formant l'interface avec l'or pour obtenir une diode présentant un comportement redresseur. Ensuite le courant en régime inverse de la diode a été minimisé en augmentant d'une part l'épaisseur de la couche de silicium microcristallin et d'autre part, en introduisant un isolant, le nitrure de silicium sur les flancs de la structure de la diode Schottky. Toutes ces améliorations ont permis d'améliorer la valeur de la tension appliquée au niveau du composant sans qu'il n'y ait une destruction de celui-ci.

Dans la seconde étape de ce travail, nous nous sommes intéressés à l'utilisation de ces deux composants dans un circuit de redressement et dans la mise en place d'une antenne indispensable au fonctionnement d'une étiquette RFID. Concernant le transistor en couches minces avec l'électrode de grille et drain court-circuitées, les résultats ont montré l'obtention d'un signal parfaitement continu à la sortie du système de redressement et ce à une fréquence de fonctionnement de 13,56 MHz. L'obtention d'une tension redressée relativement suffisante à cette fréquence a été surtout rendue possible par une optimisation de la taille des composants. En effet, l'obtention d'une tension relativement importante à la sortie du circuit redresseur nécessite que le transistor débite un courant relativement élevé. Or, un transistor à base de silicium microcristallin et de nitrure de silicium comme isolant de grille possède une très bonne stabilité mais par contre une faible mobilité des porteurs. Par conséquent, le

courant débité par le transistor est faible. Un moyen d'accroître ce courant a consisté en une augmentation de la taille des composants, et notamment de la largeur W du canal du transistor qui a été porté à des grandeurs de l'ordre du millimètre. De cette manière, nous avons donc abouti à l'obtention d'un signal continu de valeur relativement important à la sortie de l'étage de redressement.

La diode Schottky fabriquée à partir des couches de silicium microcristallin a démontré également son aptitude à effectuer le redressement d'une tension sinusoïdale de fréquence 13,56 MHz arrivant à son entrée.

Enfin dans la dernière partie du travail la mise en place d'une antenne pouvant réceptionner et fournir un signal à une fréquence de 13,56 MHz a été entreprise. Sa fabrication a été faite d'abord sur un substrat PCB. Puis le transfert technologique vers un substrat plastique a été entièrement validé. Cette antenne, introduite dans un circuit de mesure, a démontré également sa capacité à fournir le signal nécessaire au circuit de redressement à une fréquence de l'ordre de 13 MHz.

A l'issue des travaux réalisés dans le cadre de cette thèse, des perspectives peuvent se dégager dont notamment celles que nous avons entamé. Elles concernent la réalisation des circuits à base des diodes Schottky et des capacités MIM et la mise en place de l'électronique numérique constituant également le noyau d'une étiquette RFID passive. Il s'agit particulièrement des circuits à base de transistors de type N et P usuellement appelés CMOS.

ANNEXE : Description des masques pour la réalisation des transistors montés en diode de grandes dimensions

I. ORGANISATION DES MASQUES

Les quatre masques nécessaires à la réalisation des transistors en topgate coplanaire de grandes dimensions sont réalisés sur substrat plastique.

I.1. Dénomination des masques

Masque 1 : Dope – Définition des zones drain et source

Masque 2 : Poly – Définition de la géométrie des transistors

Masque 3 : Cont – Ouverture des contacts

Masque 4 : M1 – Métallisation

I.2. Hiérarchie des masques (ordre décroissant)

La structure globale est présentée sur la figure 1. Elle est composée de deux zones.

A) Une zone contenant les motifs répétitifs dits "motifs élémentaires".

B) Une zone centrale destinée aux différents tests de gravure et au préalignement.

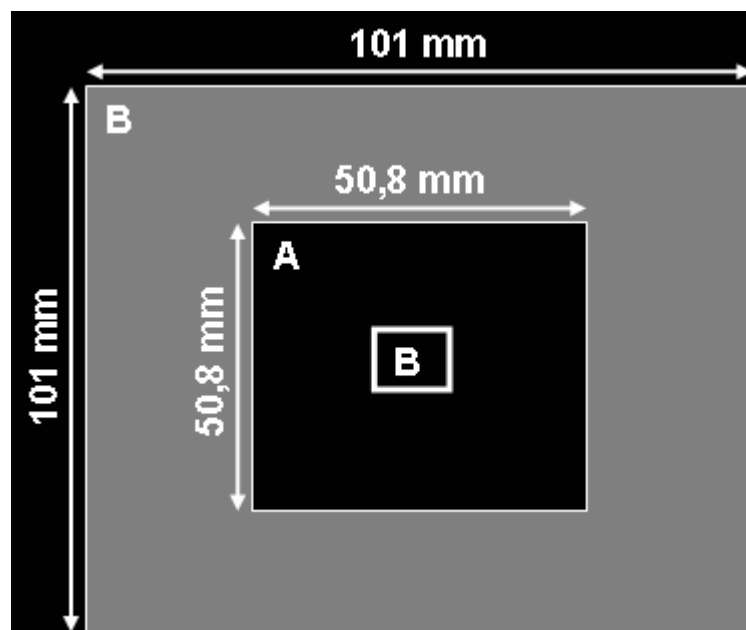


Figure 1. Différentes zones des masques

Zone A : Elle contient deux cellules élémentaires (cellule 1 et 2) répétitives contenant plusieurs dispositifs électroniques avec des dimensions différentes.

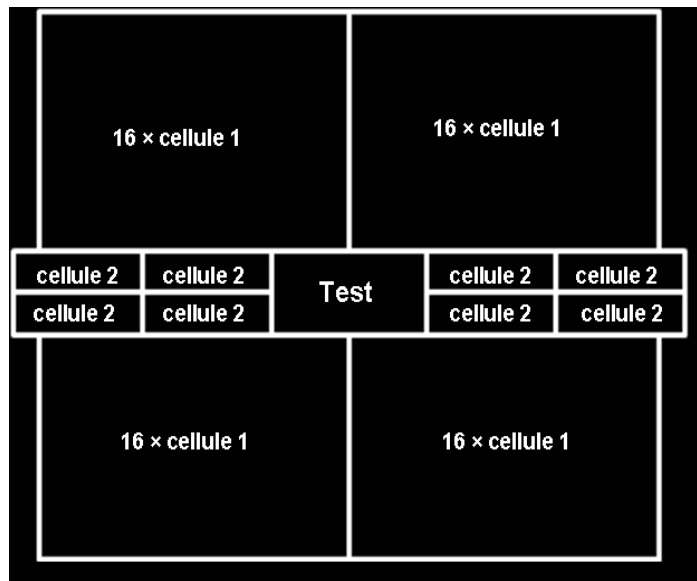


Figure 2. Répartition zone A

I.3. Spécification des cellules

La cellule C1 contient les motifs d'un transistor topgate coplanaire classique.

La cellule C2 est formée des mêmes motifs mais cette fois-ci les transistors sont montés en diode, autrement dit les électrodes de grille et de drain sont court-circuitées.

Les dimensions en μm des transistors sont regroupées dans le tableau I suivant :

Largeur du canal W (μm)	Longueur du canal L (μm)
2000	20
	40
	60
1000	20
	40
	60
500	20
	40
	60
400	20
	40
	60

Largeur du canal W (μm)	Longueur du canal L (μm)
200	20
	40
	60
100	20
	40
	60
80	20
	40
	60

Tableau I. Dimensions des transistors