



HAL
open science

Conception Optimale et Instrumentation Intégrée pour les Environnements Sévères

Pietro Maris Ferreira

► **To cite this version:**

Pietro Maris Ferreira. Conception Optimale et Instrumentation Intégrée pour les Environnements Sévères. Micro et nanotechnologies/Microélectronique. Université Paris 11, 2019. tel-02404821

HAL Id: tel-02404821

<https://hal.science/tel-02404821>

Submitted on 11 Dec 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Habilitation à diriger les recherches de l'Université Paris Sud

Spécialité : Nanosciences, Nanotechnologies,
Micro-nano-systèmes, Conversion d'énergie,
Imagerie Médicale

présentée et soutenue à CentraleSupélec – Campus Paris-Saclay,
le 6 novembre 2019, par

Pietro MARIS FERREIRA

Composition du Jury :

Luc HEBRARD Professeur, Université de Strasbourg – ICube UMR 7357	Rapporteur
Ian O'CONNOR Professeur, École Centrale de Lyon – INL UMR 5270	Rapporteur
Hervé BARTHÉLEMY Professeur, Université de Toulon – IM2NP UMR 7334	Rapporteur
Patricia DESGREYS Professeur, Telecom Paris, Institut Polytechnique de Paris - LTCI	Président
Tuami LASRI Professeur, Université de Lille – IEMN UMR 8520	Examineur
Jacques-Olivier KLEIN Professeur, Université Paris Sud – C2N UMR 9001	Examineur
Jérôme JUILLARD Professeur, CentraleSupélec, Université Paris-Saclay – GeePs UMR 8507	Examineur
Pascal LOUIS Directeur Recherche et Technologie, XFAB – Corbeil-Essonnes, France	Examineur

Sans la curiosité de l'esprit, que serions-nous ? Telle est bien la beauté et la noblesse de la science : désir sans fin de repousser les frontières du savoir, de traquer les secrets de la matière et de la vie sans idée préconçue des conséquences éventuelles.

Mme. Curie

Sommaire

Sommaire.....	2
Remerciements	4
I. Introduction	5
<hr/>	
A. Contexte	5
B. Motivation.....	7
C. Organisation du mémoire.....	8
II. Synthèse des activités scientifiques.....	10
<hr/>	
A. Les Environnements Sévères.....	11
B. Conception Optimale.....	20
C. L'instrumentation Intégrée	33
D. Contributions.....	45
III. Projet et perspectives scientifiques	54
<hr/>	
A. Défi : Mobilité et Systèmes Urbains Durables.....	56
B. Défi : Capteurs, instrumentation.....	65
C. Défi : Micro et nanotechnologies pour le traitement de l'information et la communication	69
D. Perspectives : LabCom – Environnements Sévères	75
IV. Curriculum vitae	76
<hr/>	
A. État Civil	76
B. Expérience professionnelle	76
C. Formation	77
D. Production scientifique	78
E. Activités de recherche antérieures	85
F. Activités de recherche actuelle.....	86

<i>G. Activités d'enseignement antérieures</i>	86
<i>H. Activités d'enseignement actuelles</i>	89
<i>I. Activités contractuelles</i>	92
<i>J. Expériences d'encadrement</i>	95
<i>L. Collaborations Internationales</i>	98
<i>M. Rayonnement</i>	99
<i>N. Activités de popularisation de la science et prix</i>	100
V. Conclusion	101
Annexe A – Gestion des Projets de Recherche	102
Références bibliographiques.....	106

Remerciements

Je voudrais commencer ce mémoire par dire merci. Je voudrais rappeler à tout lecteur que ce mémoire ne commence pas avec cette page. Ce travail d'HDR a commencé avec mon père et ma mère qui m'ont toujours orienté vers les sciences : les mathématiques, la physique, la biologie et surtout la chimie. Ils ont nourri ma curiosité et ma capacité d'analyse ; ils m'ont motivé pour aller plus loin. Très loin du Brésil, la France m'a accueilli, mais mon parcours n'a pas suivi un fleuve tranquille. Finalement, j'ai grandi ; je suis devenu enseignant-chercheur en électronique, car je me suis battu pour cela. Je voudrais remercier la famille Naviner : Monsieur et Madame me sont très chers. Ils ont participé à ma formation à la recherche, chacun dans son rôle. Au sein de Telecom Paris, j'ai soutenu mon doctorat, encadré par M. Naviner et M. Petit.

Je voudrais remercier chaque collègue de travail que j'ai eu la chance de rencontrer pendant mon Tour de France. Du Sud au Nord, je me suis fait beaucoup d'amis. Nous avons fait trois belles années de postdoc. J'ai bâti des coopérations ; j'ai découvert d'autres domaines scientifiques ; j'ai publié. J'ai aussi connu l'échec ; j'ai pu le surmonter. Enfin, j'ai mûri tout au long de ma carrière pour devenir ce que je suis.

Je voudrais remercier M. Bénabès, qui m'a appelé à Supélec, qui est aujourd'hui devenu CentraleSupélec. Avec M. Bénabès, j'ai pu participer à l'encadrement de trois thèses de doctorat, parmi les cinq qui constituent à ce jour mon expérience d'encadrement doctoral. Chaque membre de son équipe a su m'accueillir, à sa manière et selon sa personnalité. Une longue liste pourrait être ici faite, et je souhaite remercier chacun de vous. D'entre eux, souhaite en remercier particulièrement deux : Mme. Avignon-Meseldzija, qui m'a aidé à grandir en tant que personne ; M. Juillard, qui m'a aidé à grandir en tant que chercheur.

Il n'y a pas que le travail sur le Plateau de Saclay ; j'ai aussi beaucoup d'amis dans cette région. Je voudrais remercier les chlorés, toujours avec de la bonne humeur au bord du bassin, et de la bonne nourriture pour l'apéritif. Ce Plateau de Saclay est rempli de science, de scientifiques qui bâtissent l'avenir de la France, et dont je fais partie. Ayant dit tout cela, je commence ce mémoire en vous remerciant, membre du Jury ou lecteur de passage qui en débute la lecture de mon mémoire d'HDR.

I. Introduction

A. Contexte

Les technologies d'intégration des circuits électroniques ont engendré beaucoup de nouveaux défis pour la conception des circuits et systèmes. Les avancées résultantes de cette recherche en micro et nano électronique sont capables de changer le futur de l'humanité, comme l'électronique l'a déjà fait au siècle dernier.

Initialement, l'électronique était coûteuse, accessible seulement à une partie réduite de la population, et plutôt réservée au secteur de la sécurité et de la défense. Le procédé d'intégration autoaligné pour la fabrication de la grille des transistors et la métallisation dual-damascène pour les couches de routage ont permis de faire drastiquement baisser le coût de la fabrication des circuits. Dès lors, les lois de Moore ont régné sur l'économie de l'électronique : la densité des dispositifs doublant tous les deux ans à coût constant, la fréquence d'horloge doublant tous les dix-huit mois, la consommation étant réduite de moitié à densité de dispositifs constante (Xiu, 2019). Ainsi, le secteur de l'électronique grand public a-t-il pu se développer pour devenir un marché de quelques milliards d'objets.

Depuis peu, les lois de Moore atteignent leurs limites, la dimension caractéristique des composants arrivant à quelques dizaines de nanomètres (Powell, 2008). De nouvelles approches, technologiques ou conceptuelles comme le parallélisme des calculs, sont nécessaires pour combler l'absence de procédés d'intégration permettant une gravure de plus en plus fine et augmenter les performances des dispositifs au-delà des limites imposées par la physique (démarche de type More-Moore). Parallèlement à cela, les secteurs du transport, de l'aérospatial, du biomédical et de l'énergie se sont aussi inscrits dans la réduction d'échelle des nœuds technologiques en suivant les lois de Moore, mais avec un objectif de diversification des fonctions des dispositifs et de leurs applications, dans une démarche de type *More-than-Moore*.

Ainsi, l'électronique à l'échelle nanométrique fait émerger de nombreux défis relatifs à la consommation, la haute performance, le rendement et la fiabilité des dispositifs soumis à des environnements sévères. C'est dans la diversification de l'électronique que la recherche doit réinventer des dispositifs et des méthodologies tout en gardant l'avantage de son faible coût

(Debenedictis, 2017). Ma thématique de recherche s'inscrit dans cette nouvelle vision de l'électronique, au-delà des lois de Moore.

En 2014, j'ai rejoint le GeePs (UMR 8507) en qualité d'enseignant-chercheur sur la thématique générale des circuits analogiques d'interface entre les capteurs et l'électronique numérique. J'ai depuis pu y co-encadrer cinq doctorants et trois stagiaires de M2, et prendre part à six contrats de recherche.

C'est dans l'axe Véhicules Décarbonés du GeePs que s'inscrit ma contribution au co-encadrement de thèse de Ludwig CRON entre 2015 et 2018. Ces véhicules intelligents ont besoin de plus en plus de capteurs électroniques et de dispositifs de communication, au plus proche des moteurs. Quel que soit le véhicule, la haute température issue des moteurs est sans doute le défi environnemental le plus difficile pour l'électronique. En collaboration avec Philippe BENABES (HDR CentraleSupélec), une Nouvelle architecture de convertisseur analogique numérique haute performance pour les environnements sévères a été proposée dans le cadre d'une thèse Cifre avec Melexis. Pour atteindre la haute performance exigée, j'ai mis en place une approche *bottom-up* complémentaire à celle de P. BENABES (*top-down*). De 2016 à 2017, j'ai également démarré une collaboration internationale avec le laboratoire PADS (Brésil) lors de l'encadrement d'Adriano VIANNA FONSECA (stage M2) sur le sujet Fiabilisation de convertisseur analogique numérique haute performance pour l'automobile. Une étude a été entamée pour le contrôle de la fiabilité des blocs de construction des convertisseurs. Ainsi, ce convertisseur analogique numérique en environnement sévère atteint une résolution de 14 bits à 100 MS/s à des températures allant jusqu'à 175 °C.

À partir de 2016, j'ai collaboré avec Jérôme JUILLARD (HDR CentraleSupélec) à la conception d'électroniques d'interface robustes en température, notamment pour les structures résonantes MEMS. Nous avons démarré la thèse de doctorat d'Ali MOSTAFA (soutenance prévue pour 2020) sur le sujet : Couplage d'oscillateurs et de résonateurs MEMS pour des applications de mesure différentielle. Une équipe de recherche dans cette thématique s'est constituée lorsque João RAPOSO (soutenance prévue pour 2021) a été recruté en thèse sur le sujet Méthodologie de conception consciente des variations en température : circuits de lecture pour les environnements

sévères. En parallèle à cette thèse, Jerome JUILLARD a recruté Manon GOUSPY pour traiter la stabilité thermique des MEMS du point de vue de leur structure mécanique.

Au GeePs, j'ai aussi été attiré par les applications large bande, haute résolution, et haut débit. J'ai en premier lieu abordé l'optimisation des amplificateurs. Cette activité s'est développée dans le contexte des interfaces optoélectroniques haut débit, où s'inscrit mon co-encadrement de la thèse d'Audrey MICHARD entre 2015 et 2018. Sous la direction de P. BENABES, cette thèse Cifre avec ST Microelectronics a visé le Développement de circuits de qualification pour une plateforme photonique sur silicium hybride visant des débits supérieurs à 25Gb/s. Un démonstrateur de l'instrumentation intégrée d'un émetteur électro-optique à 20 Gb/s pour les interconnexions haut débit à l'échelle de la puce a été fabriqué. J'ai aussi pu établir une collaboration avec Émilie AVIGNON-MESELZIJIA dans l'objectif d'intégrer les systèmes radiofréquences pour les applications radar. Une étude sur l'élargissement de la bande des antennes métamatériaux a été entamée, et nous avons démarré la thèse de doctorat de João FERREIRA (soutenance prévue pour novembre 2019) dont le sujet est la Transformée de Fourier analogique intégrée temps réel pour signaux à large bande, sous la direction de P. BENABES.

En résumé, les contours de ma thématique initiale de recherche se sont précisés pour faire émerger une thématique propre : la Conception optimale et l'instrumentation intégrée pour les environnements sévères.

B. Motivation

Dans la prise de responsabilité lors de mes activités de rayonnement scientifique, je me suis rendu compte de l'importance de la démarche vers l'*Habilitation pour Diriger des Recherches* (HDR) qui se matérialise dans ce mémoire. J'ai notamment pris en 2018 le rôle de référent du laboratoire GeePs du GdR SoC-SiP désormais le GdR SOC2 (System On Chip, Systèmes embarqués et Objets Connectés). En 2018 également, j'ai été élevé au grade de *IEEE Senior Member*, à la suite de diverses contributions à la communauté scientifique.

La HDR représente une opportunité unique d'évolution de mon projet professionnel : le moment de prendre en main mes activités de recherche pour proposer une vision unique de mes travaux précédents. C'est une opportunité de participer à l'organisation d'une équipe de recherche,

en encadrant des doctorants et des stagiaires, partageant ma vision de la conception optimale et de l'instrumentation intégrée pour les environnements sévères.

Le premier élément de ma motivation est l'organisation de la recherche autour des défis sociétaux. Trois défis, au sens de l'Agence Nationale de la Recherche (ANR), en étroite relation avec mes activités liées aux capteurs résonants, à l'instrumentation intégrée, ou à la problématique des environnements sévères, peuvent être identifiés. Ils seront détaillés dans mes projets et perspectives de recherche.

Le deuxième élément de ma motivation est le rayonnement et la communication scientifiques. Par la participation aux communautés scientifiques comme le GdR SOC2 et l'IEEE, j'ai participé aux révisions d'articles scientifiques et à l'organisation de conférences internationales dans mon domaine. Je me suis notamment engagé dans un certain nombre d'activités de vulgarisation afin de rendre la science accessible à divers publics : lycéens, étudiants en licence et école d'ingénieur. C'est par ces activités de vulgarisation, du type 'Forum de la Recherche', qu'on peut rencontrer et motiver les futurs chercheurs. La participation à d'autres activités de rayonnement et à des collaborations scientifiques internationales, décrites aussi dans ce mémoire, permet également de mieux comprendre les besoins de la société.

Le troisième élément de ma motivation est l'enseignement. La recherche ne vit pas toute seule, elle se nourrit de l'enseignement et le nourrit aussi. Ce binôme enseignement-recherche est central à mon projet professionnel. L'enseignement supérieur (*i.e.* Post-Bac) est un moyen de relever les défis sociétaux et de communiquer sur la recherche pour bâtir la société du XXI^e siècle. Une notice des enseignements effectués sera détaillée dans ce mémoire.

C. Organisation du mémoire

Ce mémoire pour l'habilitation à diriger des recherches, intitulé Conception Optimale et Instrumentation Intégrée pour les Environnements Sévères, est organisé comme suit. Le **Chapitre II** présente, après un préambule sur la notion d'environnement sévère, une synthèse de mes activités scientifiques sur les méthodologies de conception optimale d'une part, et sur les techniques d'instrumentation intégrée d'autre part. Mes contributions répondent à des besoins de fiabilité et de sécurité, mais aussi à des défis comme la haute performance à l'échelle

nanométrique. Le **Chapitre III** présente mes projets et perspectives de recherche et en dresse un planning à court, moyen et long terme. Le **Chapitre IV** décrit mes expériences professionnelles avec une approche quantitative. En maintenant une charge d'enseignement de cent quatre-vingt-douze heures par an, j'ai atteint une contribution scientifique de seize articles de journaux et une trentaine des communications en conférences internationales. Ces travaux sont répertoriés dans la section **Production scientifique** du **Chapitre IV**. Le **Chapitre V** conclut ce mémoire. L'**Annexe A** explique en détail les méthodes de gestion de projet employées au cours de mes activités scientifiques, décrites en **Chapitre III**. Les références utilisées dans ce mémoire sont listées par ordre alphabétique de nom d'auteur dans la section **Références Bibliographiques**. Les publications dont je suis (co-) auteur sont soulignées.

II. Synthèse des activités scientifiques

Ma thématique de recherche s'inscrit dans le contexte de l'électronique au-delà des lois de Moore. L'échelle nanométrique fait émerger de nombreux défis relatifs à la consommation, la haute performance, le rendement et la fiabilité des dispositifs soumis à des environnements sévères. Cette synthèse des activités scientifiques est donc centrée sur la problématique de l'environnement. La **Section II.A** décrit les environnements sévères et la physique des dégradations qui conduisent à une perte de fiabilité des dispositifs électroniques.

La conception électronique optimale cherche à pousser les spécifications des circuits à leurs limites technologiques. Cette activité scientifique rejette le surdimensionnement, approche classique dans l'industrie, pour proposer un dimensionnement optimisé et adapté aux besoins de chaque application, tout en assurant son rendement et sa fiabilité. Cette conception électronique doit notamment prendre en compte l'influence d'un environnement sévère, au niveau du système comme au niveau du transistor. De nouvelles méthodologies de conception sont nécessaires pour quantifier et pour minimiser la dégradation des performances, via des choix d'architectures, des optimisations paramétriques, et garantir la fiabilité des composants, avec un bon rendement. Les travaux relevant de la conception optimale sont détaillés à partir de la littérature récente, en **Section II.B**.

La **Section II.C** est dédiée à l'instrumentation électronique intégrée. Cette activité scientifique vise l'intégration, à la même échelle et dans le même environnement de mesure, de dispositifs sous test (DUT) nanométriques et de leur instrumentation électronique. Dans ce contexte, la dérive de l'électronique, soumise au même environnement que le DUT, ne peut plus être négligée concernant la précision et à la justesse des mesures.

Ce chapitre se termine en détaillant mes valorisations scientifiques propres dans ces domaines scientifiques en **Section II.D**. Ces résultats sont liés à mes expériences professionnelles, aux activités de recherche et d'encadrement présentés au **Chapitre IV**.

A. Les Environnements Sévères

Des conditions bien particulières, en termes d'environnement (température, pression), sont nécessaires pour que les hommes vivent et s'organisent en société. De même, les dispositifs électroniques semi-conducteurs sont régis par des conditions de fonctionnement idéales. Ils ne sont fonctionnels que dans une gamme restreinte de température, d'humidité, de pression, de rayonnement, au-delà de laquelle ils deviennent défectueux. Mais à la différence d'une société humaine, qui peut dans une certaine mesure adapter son environnement (climatisation, blindage), un dispositif électronique ne peut que subir celui-ci et doit donc être conçu en conséquence.

Le rayonnement cosmique, les grandes variations de température et de pression sont des agents majeurs de dégradation des dispositifs semi-conducteurs. Dans les années 60 et 70, ce sont donc surtout les domaines de la sécurité, de la défense ainsi que de l'aérospatial qui s'intéressent par les environnements sévères. C'est donc au début du XXI^{ème} siècle que les applications de l'électronique se diversifient vers les secteurs de l'énergie et des transports, des secteurs intéressés aux environnements sévères. Récemment, l'arrivée de l'Internet des Objets a accru le besoin d'innovation technologique autant en logiciels qu'en matériels. Le rêve du tout connecté s'élargit à des dispositifs qui ont besoin de sûreté de fonctionnement. Notamment, les véhicules intelligents comportent de plus en plus de capteurs électroniques et de dispositifs de communication.

Ces véhicules intelligents devaient garder les caractéristiques de faible coût et de faible consommation d'énergie, répandus dans l'électronique grand public (~ 70 °C). En revanche, ces dispositifs électroniques sont soumis à des environnements sévères à très haute température, que ce soit dans l'automobile (~ 125 °C), dans le ferroviaire (~ 175 °C), ou dans l'aéronautique (~ 250 °C). Ce défi présenté aux véhicules intelligents dans un contexte d'Internet des Objets est illustré en Fig. II.1. Dans ce contexte, la fiabilité devient une préoccupation essentielle.

La fiabilité peut être définie comme la probabilité qu'un dispositif exécute une fonction exigée dans des conditions indiquées pendant une période indiquée (Gielen, 2008). La haute température issue des moteurs est sans doute le défi environnemental le plus difficile pour l'électronique dans le contexte présenté, mais il est loin d'être le seul pour assurer la fiabilité des composants. Il existe plusieurs phénomènes qui peuvent altérer le bon fonctionnement d'un

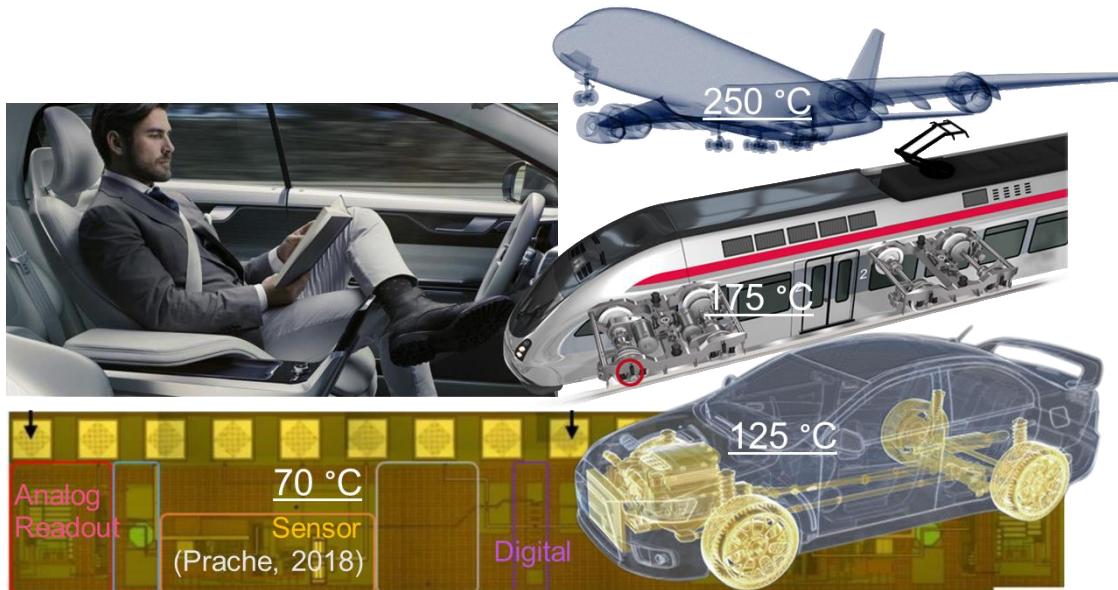


Fig. II.1. Les défis des environnements sévères aux véhicules intelligents fiables.

circuit jusqu'à sa défaillance. La Figure II.2 illustre qualitativement la courbe baignoire du taux de défaillance de l'électronique en fonction du temps. Cette courbe est divisée en trois régions principales :

- Décroissance du taux de défaillance – les défaillances lors des premières années après la fabrication sont très importantes, car l'électronique est très sensible aux variations de procédé, en particulier dans les technologies peu matures à échelle nanométrique.
- Taux de défaillance constant – les défaillances sont liées à l'environnement et aux applications. La quantité de défaillances reste inchangée, mais leur taux augmente avec la densité d'intégration des composants.
- Augmentation du taux de défaillance – les défaillances sont de plus en plus importantes. La durée de vie des dispositifs est limitée par le vieillissement des composants.

En l'absence de modèles ou de méthodes prenant en compte la variation de performance, le choix du surdimensionnement est couramment fait, ce qui engendre une augmentation du coût en surface de silicium et en consommation. On vise à assurer la robustesse électronique, ce qui exige un circuit fonctionnel, quelles que soient les conditions et la période d'utilisation du dispositif. Ce choix est sous-optimal dans le sens où il privilégie la fonctionnalité au détriment de l'efficacité. Si l'on souhaite produire à bas coût de l'électronique adaptée aux environnements sévères, le

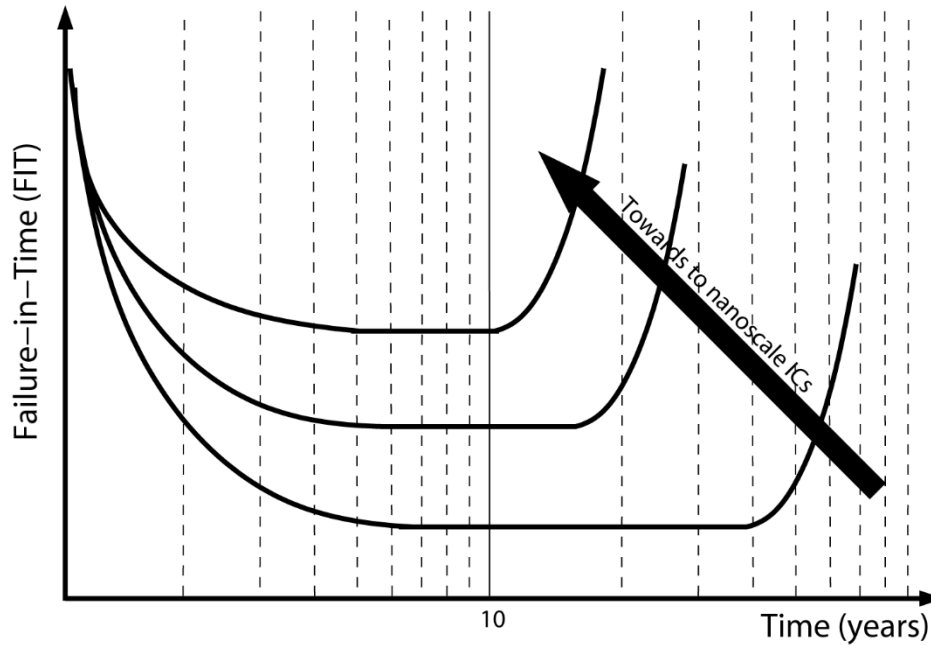


Fig. II.2. Variation du taux de défaillance des dispositifs électroniques au cours du temps vers l'échelle nanométrique.

surdimensionnement doit être impérativement évité. La recherche des modèles et méthodes, prenant en compte les variations de performance, est donc urgente pour favoriser l'optimisation des dispositifs plutôt que leur surdimensionnement. Pour cela, il faut avoir une bonne compréhension de la physique des semi-conducteurs, à l'origine de ces variations. C'est par l'innovation des modèles de dégradation des dispositifs qu'une vision système de la fiabilité serait favorisée.

Variabilité

La variabilité d'un circuit est l'ensemble des variations de paramètres du processus de fabrication, l'imperfection des masques d'intégration et les impacts sur la qualité des circuits entre les différents échantillons. La technologie CMOS à l'échelle du nanomètre est de plus en plus sensible aux phénomènes de variabilité tels que les variations entre dispositifs et le *mismatch* des composants d'un même dispositif (Saha, 2010). Avec cette variabilité, la performance du circuit change et peut ne pas répondre aux spécifications, c'est-à-dire engendrer la défaillance du dispositif.

Les phénomènes physiques liés à la variabilité sont principalement les fluctuations aléatoires des dopants (*Random Dopant Fluctuations* - RDF) et la rugosité des bords de ligne (*Line Edge Roughness* - LER). La variabilité est aussi classifiée en deux catégories (Forzan, 2009) :

- Variations systématiques - variations de caractéristiques électriques répétables entre deux transistors conçus pour être identiques.
- Variations aléatoires - variations statistiques, classées en tant que variations interpuces (également définies comme une variation globale entre les lots, les wafers et les puces) et intrapuce (entre composants d'une même puce ou locale).

L'analyse de la variabilité est assez établie dans la littérature et est souvent traitée par des analyses de *corner* ou par des analyses de *Monte Carlo*. Les deux approches sont complémentaires dans le sens que la première donne une vision déterministe des variations et la seconde une analyse statistique des variations. La première favorise une conception au pire cas vers la performance robuste des circuits et systèmes malgré leur variabilité. La seconde au contraire modélise la variabilité moyenne et son écart-type, vers un meilleur rendement des circuits et des systèmes.

De plus, RDF et LER sont responsables de la création des défauts d'interface entre l'oxyde et le Silicium (canal) et des effets de bord entre grille et source ou entre grille et drain. À l'échelle nanométrique, les tendances sont assez alarmantes, car il est prévu une augmentation prononcée de la variation des paramètres du processus par rapport à leurs valeurs nominales (Forzan, 2009). Ceci favorise d'autres phénomènes de dégradation liés aux défauts d'interface.

Température

Au niveau du transistor, les effets de la température se caractérisent par une variation de la mobilité (μ) et de la tension de seuil (V_{th}). Le courant de drain (I_{DS}) des transistors fonctionnant avec une tension V_{GS} suffisamment supérieure à V_{th} diminue toujours avec la température (Fonseca, 2017). Selon l'équation de Mathiessen (Chain, 1997) et la modélisation BSIM 3v3 (Liu, 1998), les grandeurs μ et V_{th} varient avec la température selon les équations :

$$\mu(T) = \mu_0 \left(\frac{T}{T_0} \right)^{-\alpha_\mu}, \quad (1)$$

$$V_{th}(T) = V_{th0} - \alpha_{Vth}(T - T_0), \quad (2)$$

où $\alpha_{V_{th}}$ est le coefficient de température de V_{th} (constant, environ 0.7 mV/K) et α_{μ} est le coefficient de température (environ 1.5). En revanche, ces coefficients de température dépendent tous deux de la technologie d'intégration à l'échelle nanométrique (Wolpert, 2012).

Pour les technologies d'intégration à l'échelle nanométrique, la tension de seuil nominale V_{th0} a tendance à diminuer, mais pas forcément au même rythme que la tension d'alimentation des circuits (V_{DD}). P. Gaubert *et al.* (2012) ont étudié le rôle de la température sur les mécanismes de diffusion de charges, limitant la mobilité électronique. Ils ont mis en évidence la variation de μ en fonction de la température et du champ électrique (E_{DS}) qui résulte dans une variation de α_{μ} entre 1 et 3 [voir figure 2 dans la page 214 de l'ouvrage (Gaubert,2012)]. S. Han et al. (2008) ont observé une augmentation de la sensibilité de V_{th} par rapport à la température ($\Delta\alpha_{V_{th}} \approx 0.4 \text{ mV/K}$) comparant de transistors haut-k/grille métallique à de transistors poly-Si/SiON en 45 nm. Des résultats similaires ont été déjà démontrés par G. Groeseneken *et al.* (1990), où $\alpha_{V_{th}}$ présentait des valeurs jusqu'à 3.05 mV/K selon la polarisation du substrat, la densité des dopants et l'épaisseur de l'oxyde de grille.

Un nombre important d'approximations et d'hypothèses sont faites aux équations (1) et (2). En particulier, la dépendance de μ à la température est fortement liée à la probabilité des collisions entre les charges dans le canal du transistor et d'autres particules (*scattering*). Les types de collisions les mieux modélisées dans les semi-conducteurs sont ceux entre les charges électron-proton (*charge Coulombic scattering*). C'est pour cette raison que la variation de μ avec la température est souvent représentée par un seul coefficient (constant) α_{μ} . Si certains types de collisions sont négligés à juste titre, comme celles entre les charges (électrons) et les phonons, issus de la vibration du solide cristallin (*phonon scattering*), à l'échelle nanométrique, les phénomènes de type *surface roughness scattering* et *interface charge scattering* ne sont plus négligeables (Gaubert, 2012), la réduction d'échelle favorisant une augmentation de la densité des défauts

Au niveau circuit, la variation de la performance par rapport à la température peut être constatée par la variation de I_{DS} . Dans le régime de dérive des charges dans le canal ($E_{DS} > E_{sat}$), I_{DS} diminue lorsque la température augmente. Au contraire, dans le régime de diffusion des charges ($E_{DS} < E_{sat}$), I_{DS} augmente lorsque la température augmente. En effet, dans le régime de

saturation du champ électrique (E_{sat}), le courant de dérive des électrons domine le courant de diffusion, ce qui inverse la tendance de variation de I_{DS} avec la température (Wolpert, 2012). Enfin, la compréhension des relations entre les phénomènes de *scattering* à haute température et ses conséquences au niveau circuit reste un sujet de recherche ouvert.

Rayonnements Ionisants

Les rayonnements ionisants électromagnétiques (gamma, X) ou corpusculaires (alpha, neutron, électron, positron, muon) sont responsables de la génération et de la recombinaison de porteurs de charge dans le semi-conducteur (Baumann, 2001). La dérive et la diffusion de ces charges peuvent être responsables de la génération de pulses de courant dans les jonctions (Seifert, 2010). Un tel pulse, intégré dans un condensateur, par exemple entre la grille et la source d'un transistor MOS, est responsable d'une forte tension (champ électrique) capable de générer une défaillance permanente du circuit, qu'il s'agisse d'un court-circuit ou d'un circuit ouvert. Même dans le cas d'une défaillance transitoire, le comportement d'un dispositif peut être considérablement affecté.

Par exemple, dans un circuit numérique, une défaillance transitoire peut entraîner l'inversion d'un bit, et cette information erronée pourra se propager par la logique, engendrant un *single event transient* (SET), jusqu'à être stockée dans un point de mémoire (bascule ou registre), engendrant un *single event upset* (SEU). N. M. Atkinson *et al.* (2011) proposent une technique de *layout* pour atténuer les pulses de courant issus d'un rayonnement ionisant, atteignant une réduction de 60 % de la surface sensible et une réduction de 70 % de la largeur du pulse.

Pour les circuits analogiques, les SETs sont évalués par des mesures au laser, modélisé pour différents dispositifs électroniques commerciaux et estimés directement par simulation. Récemment, A. Fontana *et al.* (2018) ont présenté une étude expérimentale sur la sensibilité des circuits analogiques aux SETs, rapportant aux transistors plus sensibles et estimant l'impacte sur la performance d'un amplificateur (OTA Miller) conçu en 180 nm. N. Maciel *et al.* (2018) ont présenté une étude de la sensibilité aux SETs pour un comparateur cadencé (StrongArm) conçu en 28 nm FDSOI, validée par simulation électrique.

Stress électrique

Le rayonnement électromagnétique non ionisant, souvent traité en électronique comme un bruit de couplage électromagnétique, est le principal responsable du stress électrique. Ce type de stress engendre des variations de tension (par exemple de V_{DD}), par un effet de vase communicant entre les signaux numériques, analogiques et radiofréquences. Cette interférence électromagnétique dégrade l'intégrité du signal et pour le plus sensible conduit à la perte d'information (Redouté, 2013). Le stress électrique peut aussi être une conséquence d'un rayonnement ionisant qui génère une paire électron-trou (Seifert, 2010), d'interactions entre les électrons du canal et les rugosités ou défauts d'interface à l'oxyde de grille (Chan, 1987), du courant de fuite issu des variations de température (Gielen, 2008).

La conséquence du stress électrique est la perte transitoire d'information ou la dégradation de la performance du dispositif (Li, 2008). Un stress électrique continu peut également être responsable d'un claquage du diélectrique (*Time Dependent Dielectric Breakdown* – TDDB). Ce phénomène est bien décrit dans le travail de J. Stathis (2002) pour de différents types de technologie et épaisseur d'oxyde de grille.

Contraintes mécaniques

Dans le contexte de l'intégration électronique biocompatible sur support organique, on souhaite une électronique flexible et de plus en plus compatible avec l'humain. Certes, on est encore loin du rêvé papier électronique, mais l'industrie du textile emploie déjà à grande échelle l'électronique flexible (Stoppa, 2014). L'électronique flexible a été un sujet de recherche très porteur ces dernières années. Beaucoup a été démontré au niveau composant. Des transistors MOS transférés sur substrat flexible (type plastique) sont proposés dans la littérature. Ces transistors sont soumis à différents stress mécaniques lors de leur opération sur substrat flexible, qui sont inexistantes pour le substrat rigide.

A. Lecavelier *et al.* (2013) ont expérimentalement observé une variation inférieure à 1 % pour I_{DS} , 2 % pour la transconductance des transistors (g_m) et 4 % pour la fréquence de transition (f_T) soumis à un stress mécanique par courbature cylindrique avec un radius de quelques dizaines de millimètres. K. Harris *et al.* (2016) ont récemment étudié la physique des déformations mécaniques pour une modélisation compacte des dispositifs électroniques sur substrat flexible. Les

travaux à l'état de l'art se concentrent plus sur la physique des matériaux sous stress et les conséquences au niveau transistor. Il existe encore un nombre important de défis scientifiques non encore relevés pour l'optimisation des circuits et systèmes sur substrat flexible.

La littérature présente un solide aperçu de la physique du stress mécanique. Cependant, il reste encore à combler le gap entre ces modèles et la prise en compte des phénomènes dans les méthodes de conception vers le niveau circuit et système.

Fracture des structures

Le besoin des structures flexibles est accru dans le contexte des réseaux de capteurs pour l'Internet des objets. Ce besoin est déjà répandu dans le marché de l'électronique et aujourd'hui chaque téléphone portable est déjà équipé des capteurs d'accélération, gyroscopes, entre autres. L'utilisation des structures flexibles microélectromécaniques (MEMS) couplées à l'électronique MOS fait apparaître un nombre important de structures minces et fragiles sur substrat Silicium.

Récemment, d'applications critiques présentent un fort besoin de ces dispositifs dans le domaine pétrolier, le transport et l'aérospatial. Dans un environnement de fortes accélérations ou de forte pression, le stress mécanique et des effets piézoélectriques indésirables ont lieu. Y. Huang et al (2012) ont listé les divers mécanismes de stress qui peuvent affecter la fiabilité de MEMS. Liée à une tension de polarisation élevée des MEMS, le stress mécanique sur le courant motionnel est capable dégrader le bon fonctionnement de l'électronique au fil du temps, ce qui engendre propagation de fissure dans les poutres.

Selon B. Abdolvand *et al.* (2016), les pertes mécaniques dans le matériau sont ainsi des sources de vibration dans le réseau cristallin du Silicium. Ces phonons se propagent dans le semi-conducteur dans le cas d'une cointégration des structures MEMS et dispositifs électroniques. Ils sont responsables de la génération de collisions entre phonons et électrons, ce qui induit l'augmentation de ce phénomène de dégradation. Une partie non négligeable des défaillances sont issues des interactions mécaniques électriques peu modélisées dans les semi-conducteurs. Quelques pratiques de contrôle de la fiabilité des MEMS sont présentées dans la littérature (Iannacci, 2015).

Vieillessement

L'électronique est sensible à la fatigue et au vieillissement qui déterminent le temps de vie du dispositif. Les phénomènes mentionnés aux paragraphes précédents ont de plus un effet cumulatif au fil du temps, dont l'ampleur dépend également du taux d'utilisation des dispositifs. Bien que les technologies nanométriques bénéficient de transistors plus rapides et plus petits, la NASA (White et Chen, 2008) souligne que la réduction d'échelle provoque un vieillissement beaucoup plus prononcé que les technologies plus anciennes. Cette tendance que l'on retrouve dans la courbe en baignoire illustrée dans la Fig. II.2. Ainsi, une durée de vie inférieure à 10 ans est attendue pour les technologies avancées telles que les nœuds 45 nm et 28 nm (White et Chen, 2008).

Le principal phénomène de vieillissement est le *bias temperature instability* (BTI). Ce phénomène s'est généralisé avec l'arrivée des technologies de *Silicon-over-Insulator* (SOI) : la polarisation du substrat des transistors NMOS (*positive BTI* – PBTI) et PMOS (*negative BTI* – NBTI) (Bansal, 2009) et les hautes températures sont responsables de la génération progressive de défauts d'interface entre le canal et l'oxyde de grille (Pae, 2008). Avec un temps de stress réduit, ces défauts peuvent être atténués grâce au recuit (*annealing*) des liaisons chimiques à l'interface (Bernstein, 2006).

Un deuxième facteur de vieillissement important est le phénomène d'injection de porteurs chauds (*hot carrier injection*, HCI), où l'énergie d'un porteur (électron ou trou) est suffisante pour surmonter la barrière de potentiel liée à une interface dans le semi-conducteur. Ainsi, un électron perdu laisse un défaut dans le semi-conducteur similaire à un trou, qui devient un piège de charge pour les électrons subséquents qui passent dans le canal du transistor (Bernstein, 2006). Une fois perdue, cette charge n'est plus récupérable et la dégradation au cours du temps est inévitable (Maricau, 2011).

Les principaux effets de dégradation de la fiabilité dans les technologies CMOS à échelle nanométrique sont revus par E. Maricau et G. Gielen (2011). BTI et HCI restent les plus souvent traités, d'autant que la réduction d'échelle engendre l'augmentation du champ électrique responsable de la création de ces deux défauts. Par ailleurs, la réduction de la surface du canal des transistors est responsable de l'augmentation du taux de défauts d'interface. E. Maricau et G.

Gielen (2011) récapitulent dans leur étude l'ensemble des modèles de vieillissement des transistors, destinés à la simulation précise de circuits. Des techniques de simulation des circuits analogiques déterministe et stochastique ont été discutées pour mieux estimer la fiabilité.

Les connexions métalliques sont également sensibles au vieillissement, lié notamment au phénomène d'électromigration (EM). Lors du passage d'une forte densité de courant, les atomes constituant le métal peuvent se déplacer à cause d'un transfert de quantité de mouvement (Yan, 2006). Ceci peut générer des fissures qui peuvent conduire à la formation d'un circuit ouvert ou à des accumulations aboutissant à un court-circuit entre connexions adjacentes (Alam, 2005). L'occurrence de défauts dus à l'électromigration est aussi dépendante de la température de fonctionnement, comme modélisé par la loi de Black (Black, 1969).

B. Conception Optimale

La conception électronique est une discipline hiérarchisée, comme représentée à la Fig. II.3 (Ferreira, 2014). Les différents niveaux de cette hiérarchie sont cependant interdépendants. Ainsi, la variation des paramètres physiques au niveau physique (résultant de variations du procédé, de l'environnement ou du vieillissement) engendre des variations des paramètres (W , L , μ , V_{th}) ou des caractéristiques (I_D , g_m) au niveau transistor. Les performances au niveau transistor se répercutent au niveau circuit, où les transistors sont assemblés pour réaliser des fonctions simples. Enfin, les circuits sont des blocs de construction de systèmes complexes, où les performances et les variations de performance au niveau circuit vont rebondir au niveau système.

La conception optimale consiste à trouver un meilleur compromis entre les performances, toute en minimisant les variations de performance. La conception optimale s'oppose ainsi à la conception robuste qui cherche à assurer le fonctionnement des dispositifs électroniques au pire cas avec des techniques de surdimensionnement, malgré l'opération du circuit dans un compromis moins favorable. Compte tenu la nature hiérarchisée de la conception électronique, deux approches de conception se détachent.

La première approche de conception des circuits et systèmes est dite *bottom-up*. Elle repose sur l'assemblage de briques de base électroniques conçues au niveau transistor. Une bonne connaissance de la physique et du processus d'intégration permet alors d'estimer et de limiter la

Device & product level: Reliability evaluation

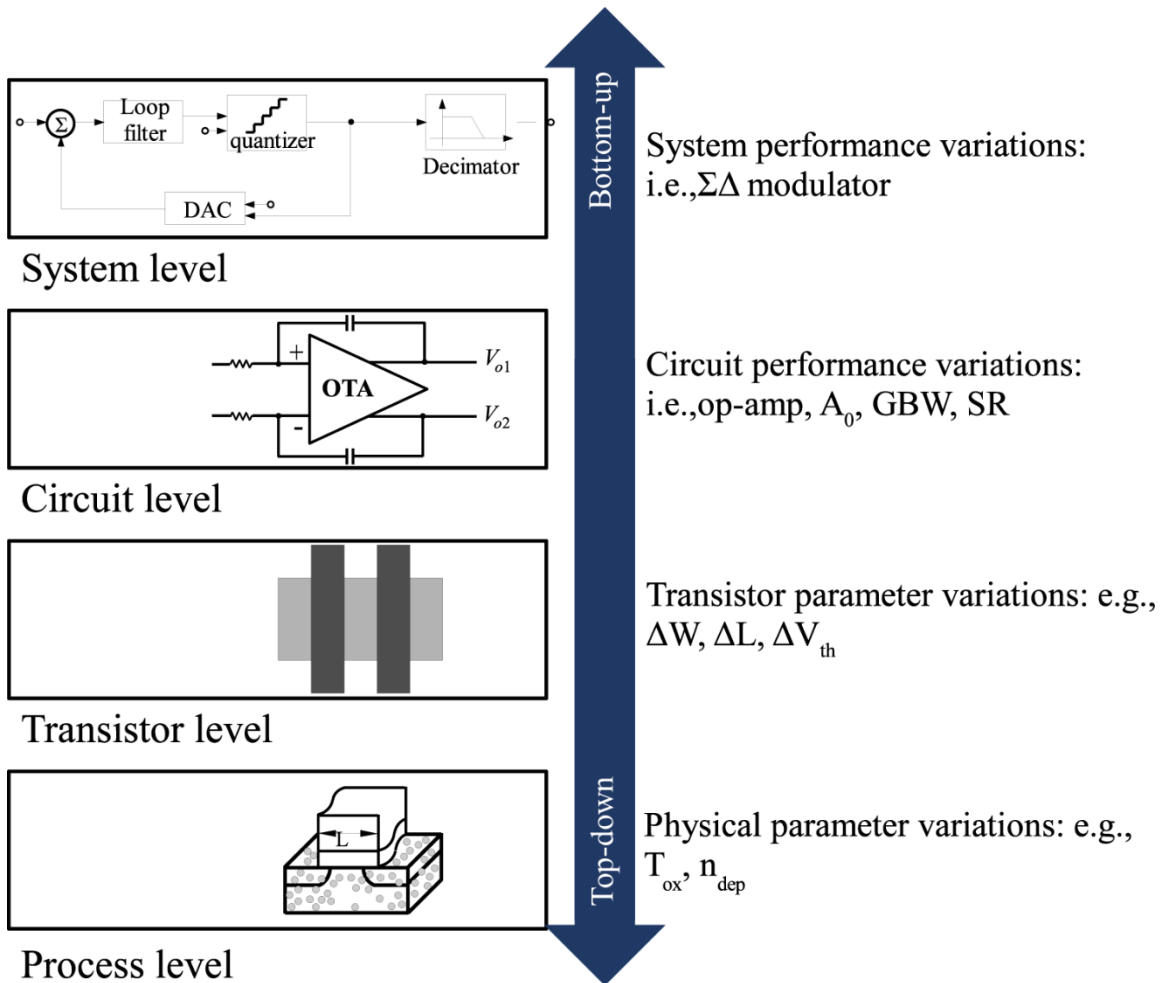


Fig. II.3. Méthodologies de conception hiérarchique : *top-down* versus *bottom-up*

variation de performance issue des environnements sévères à l'échelle du transistor ou par le choix du processus à priori. Sa principale limitation réside dans une vision étroite du système souhaité, ce qui entrave la prédiction des phénomènes de masquage des défauts et le diagnostic des défaillances des systèmes pour les environnements sévères.

La deuxième approche est dite *top-down*. Elle repose sur le découpage de chaque bloc (en partant du niveau système) en sous-blocs, chacun pouvant être réalisé par bloc du niveau hiérarchique inférieur. Les besoins et spécifications à un niveau hiérarchique donné sont répartis entre les sous-blocs et traduits en besoins et spécifications pour les blocs du niveau inférieur. Son principal atout est le raisonnement mathématique à la fois simple et juste pour conduire à la conception du système optimale (Ferreira, 2015b). Sa principale limitation reste la prise en compte

des marges, souvent surdimensionnée (conception robuste), pour la spécification circuit due au manque de connaissances des variations de performance et des modèles de dégradation.

Cependant, ces deux approches sont complémentaires dans leur nature. Ainsi, une conception optimale doit lier la conception système avec la connaissance de la physique et du processus d'intégration. Ce double choix permet d'estimer et contourner les variations de performance à l'échelle du transistor, mais aussi de prévoir des mécanismes de masquage de défauts et de diagnostic des défaillances.

Les méthodologies de conception s'appuient sur des outils mathématiques pour la modélisation et la caractérisation. Soit au niveau système, soit au niveau transistor, la manière de concevoir l'électronique est fortement dépendante de ces outils. Dans la littérature, les outils mathématiques peuvent être séparés en outils de modélisation expérimentale (Jesper, 2010), en relation étroite avec les mesures et l'expérience du concepteur ; et outils de modélisation analytique (Galup, 2018), fortement appuyés sur les équations de la physique. Deux exemples de méthodologie de conception fortement liée à ma thématique de recherche sont détaillés dans les sections suivantes.

Méthodologie Expérimentale : la méthode g_m/I_D

À l'échelle nanométrique, la complexité des modèles analytiques prenant en compte la physique des semi-conducteurs est de plus en plus importante. La modélisation expérimentale est une alternative fiable, qui s'appuie sur la simulation et la mesure pour apporter une solution *time-to-market* au concepteur pour estimer la performance et la comparer aux spécifications.

À partir d'une bonne connaissance des dispositifs et des technologies, la méthodologie expérimentale (*Design of Experiments* – DoE) se base dans un historique des projets de conception et un recueil d'expériences acquis dans une base de données. Ainsi, la conception d'un nouveau dispositif est faite par la réutilisation des pratiques conceptions courantes et l'adaptation de solutions déjà existantes. Cette approche, nommée dans la littérature par *design reuse*, est très avantageuse pour apporter une solution rapide et peu onéreuse. Sa limitation est en revanche évidente quand il existe à un fort besoin d'innovation. Dans ces conditions, les dispositifs et les technologies sont inconnus des concepteurs et l'approche n'est plus valide.

La modélisation la plus utilisée en DoE au niveau système est l'approche boîte noire. Les briques de construction sont décrites par leurs performances qui sont le résultat de la combinaison des paramètres d'entrée. Avec des équations assez simples, les performances au niveau système sont obtenues à partir de la combinaison des performances au niveau circuit. Pour proposer de nouvelles méthodologies de conceptions, ce thème de recherche vise à généraliser cette pratique en partant du niveau transistor.

Malgré la complexité de la physique des semi-conducteurs, le transistor peut aussi être modélisé par une boîte noire pour gérer une base des données utiles à la DoE. Les paramètres d'entrée sont le dimensionnement (W – largeur et L – longueur du canal) et la polarisation (V_{GS} – entre grille et source, V_{DS} – entre drain et source et V_{SB} – entre source et substrat) du transistor. Les performances principales sont le courant de drain, la transconductance et la conductance de sortie des transistors, respectivement :

$$I_{DS} = f(W, L, V_{GS}, V_{DS}, V_{SB}), \quad (3)$$

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = g_1(W, L, V_{GS}, V_{DS}, V_{SB}), \quad (4)$$

$$g_{ds} = \frac{\partial I_{DS}}{\partial V_{DS}} = g_2(W, L, V_{GS}, V_{DS}, V_{SB}). \quad (5)$$

F. Silvera *et al.* (1996) sont les premiers à proposer une méthodologie g_m/I_D capable d'aider les concepteurs à dimensionner les transistors. Cette méthode a été originellement adoptée pour estimer le comportement petits signaux (premier ordre) du transistor et pour établir un compromis entre g_m et I_{DS} lors de la conception d'un amplificateur à transconductance (OTA).

La Fig. II.4 illustre ce principe qui est applicable à toutes les performances indépendantes de W . Dans l'hypothèse où la longueur (L) du canal et la polarisation resteraient inchangées, le courant I_{DS} est directement proportionnel à W . Ainsi, l'association en parallèle de deux transistors identiques devient un transistor équivalent avec une largeur de $2 \times W$. Dans l'hypothèse de V_{SB} constant commun aux deux transistors, l'association série de deux transistors identiques peut aussi être remplacée par un transistor équivalent, dans ce cas avec une longueur de $2 \times L$. Cette configuration est seulement possible dans une technologie d'intégration avec substrat isolé comme la technologie SOI.

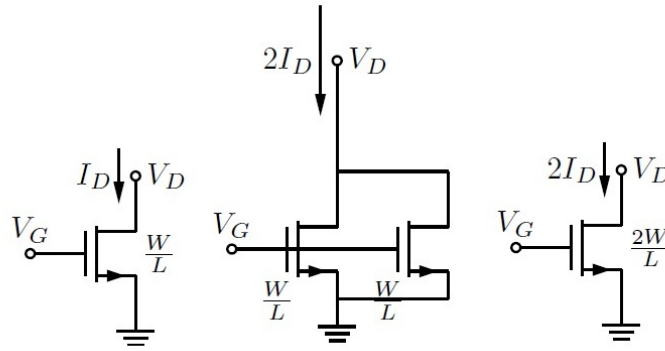


Fig. II.4. Association de transistors dimensionnés et polarisés pour avoir un même g_m/I_D

Récemment, plusieurs performances ont été étudiées avec la méthodologie g_m/I_D dans le but de faciliter le DoE. Il a été démontré dans la littérature que les caractéristiques du transistor telles que la densité de courant ($J_{DS} = I_{DS}/W$) (Jesper, 2010), le gain intrinsèque (g_m/g_{ds}) (Jesper, 2010), la fréquence de transition ($f_T = g_m/C_{GS}$) (Silveira, 1996), la fréquence de coin du bruit (f_{CO}) (Ou, 2014a), le comportement petits signaux d'ordre plus élevé ($g_{m,2}/g_{ds,2}$) (Ou, 2017) sont tous adaptés à la méthode g_m/I_D . Par ailleurs, ces caractéristiques au niveau transistor ont une étroite relation au niveau circuit avec la consommation, le gain, la vitesse, le bruit, la linéarité. Enfin, les performances circuits sont corrélées avec les spécifications système par des équations, un exemple la formule de Friis (Friis, 1946).

Pour illustrer l'utilisation de la méthodologie g_m/I_D pour la conception des circuits et des systèmes dans des environnements sévères, la technologie XT018 de XFAB (2019) a été choisie. En ayant une longueur minimale de grille de 180 nm, cette technologie d'intégration utilise une tranche d'oxyde enterrée profondément en dessous des dispositifs semi-conducteurs (*i.e.* une technologie SOI) pour la minimisation du courant de fuite aux jonctions du semi-conducteur même à des températures élevées. Elle est reconnue dans le marché automobile, car son fort atout est la modélisation des phénomènes de dégradation de transistors dans la plage de température de - 40 °C à 175 °C. Selon les mesures de la fonderie à 175 °C, il est annoncé un courant de fuite de 3 pA pour des transistors mesurés avec un $I_{DS} = 10$ nA, et une fuite de 100 pA pour $I_{DS} = 80$ μA.

S'il est envisagé de concevoir un dispositif de basse consommation et vitesse élevée (besoin d'un f_T le plus élevé) les transistors les plus adaptés sont le *nel* pour le type n et le *pel* pour le type p, compte tenu de leur faible V_{th} . Une base de données pour les transistors *nel* et *pel* est

illustrée en Fig. II.5, ce qui est nécessaire pour la conception basée sur la méthodologie g_m/I_D . Cette base de données peut être obtenue, par exemple, à partir de la simulation électrique d'un transistor normalisé ($W = 1 \mu m$ et $L = 180 nm$), polarisé avec $V_{DS} = 1 V$ et $V_{SB} = 0 V$. La Fig. II.5(a) illustre le montage de miroir de courant, topologie pseudo-Wilson, utilisé dans cet exemple pour imiter le comportement de la mesure des transistors, où J_{DS} est la seule grandeur qui contrôle le g_m/I_D . La Fig. II.5(b) présente la caractéristique g_m/I_D en fonction de J_{DS} à 27 °C. La Fig. II.5(c) présente la caractéristique g_m/g_{ds} en fonction de J_{DS} à 27 °C. La Fig. II.5(d) présente la caractéristique f_T en fonction de J_{DS} à 27 °C.

À partir de ces trois courbes qui constituent la base de données g_m/I_D , le concepteur peut déterminer J_{DS} , g_m/g_{ds} et f_T nécessaires pour atteindre les performances circuit d'un amplificateur élémentaire, comme sa consommation de puissance, gain et fréquence de transition:

$$P_{DC} \approx V_{DD} \cdot \sum_i J_{DSi} \cdot W_i, \quad (6)$$

$$A_v \approx \prod_i \left(\frac{g_m}{g_{ds}} \right)_i, \quad (7)$$

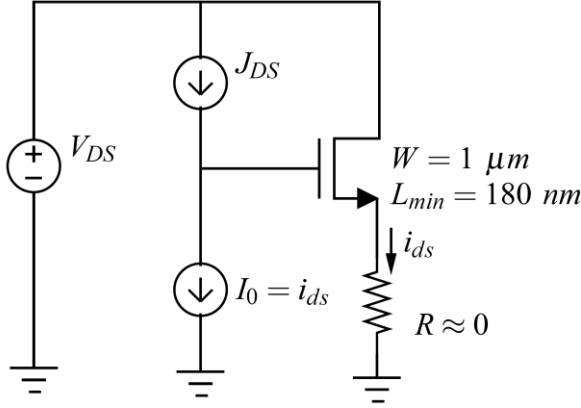
$$f_T \ll \min_i f_{Ti}. \quad (8)$$

En effet, les équations de conception devront être écrites pour chaque topologie de circuit et (6)-(8) illustrent le principe de base de la méthodologie g_m/I_D . Plus de détails sur la conception g_m/I_D différents circuits sont rassemblés par P. Jesper (2010) dans la suite de diverses communications scientifiques disponibles dans la littérature.

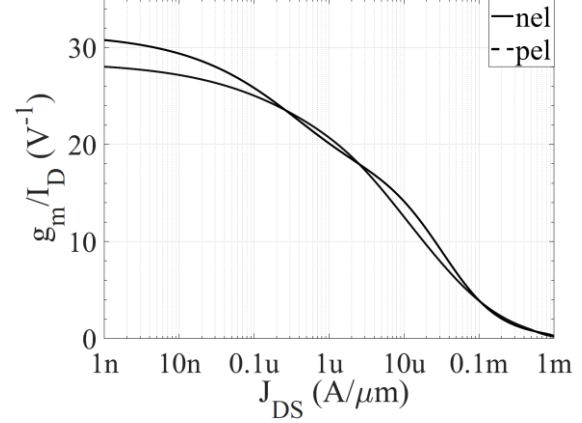
Pour considérer les variations de température, une analyse de sensibilité peut être faite à partir des équations du transistor et du modèle de dégradation présenté en (1) et (2). Ainsi, la sensibilité de J_{DS} à la température est estimée à

$$S_T^{J_{DS}} = \alpha_\mu \cdot \frac{T^{\alpha_\mu}}{T_0^{\alpha_\mu-1}} + \alpha_{V_{th}} \cdot \frac{T_0}{V_{GS} - V_{th}}. \quad (9)$$

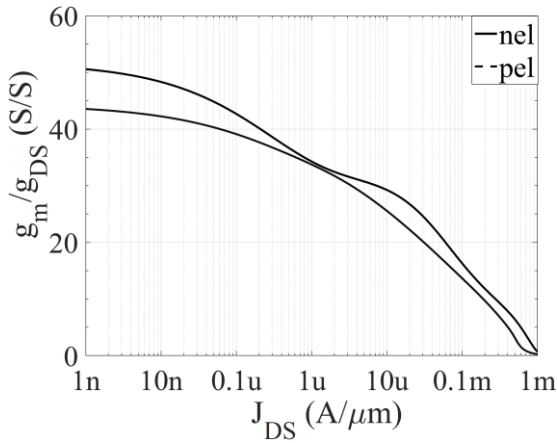
Au contraire, la sensibilité de g_m/I_D à la température dépend du régime d'inversion du transistor en suivant les cas limites en inversion forte (*strong inversion* - SI) et faible (*weak inversion* - WI), respectivement :



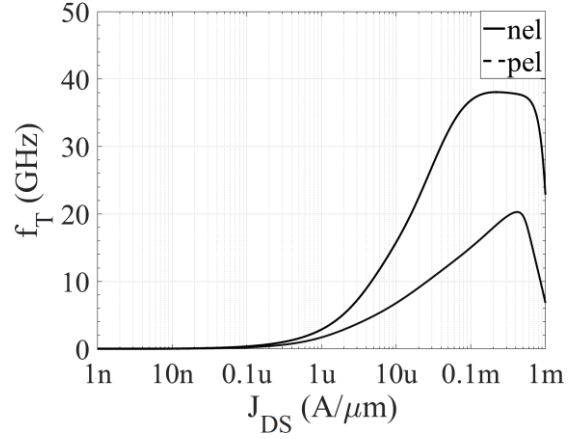
(a)



(b)



(c)



(d)

Fig. II.5. Illustration du montage de miroir de courant (a) pour l'extraction de la base de données à 27 °C (b-d) pour la conception des circuits et systèmes avec la méthodologie g_m/I_D .

$$S_T^{g_m/I_D} = \frac{2\alpha_{v_{th}}}{(V_{GS} - V_{th})^2}, \text{ si } \frac{g_m}{I_D} \rightarrow \frac{2}{(V_{GS} - V_{th})^2}, \quad (10)$$

$$S_T^{g_m/I_D} = -1, \text{ si } \frac{g_m}{I_D} \rightarrow \frac{q}{nkT}. \quad (11)$$

Les sensibilités de g_m/g_{ds} et de f_T à la température peuvent être déterminées respectivement comme :

$$S_T^{g_m/g_{ds}} = S_T^{g_m/I_D}, \quad (12)$$

$$S_T^{f_T} = S_T^{g_m/I_D} + S_T^{J_{DS}}. \quad (13)$$

La Fig. II.6 illustre le résultat numérique obtenu à partir de la base de données extraite précédemment. Il est possible d'observer les tendances présentées dans les estimations de la sensibilité (9)-(13). La Fig. II.6(a) met par exemple en évidence une région de minimisation de $S_T^{J_{DS}}$ autour de $J_{DS} \approx 50 \mu A/\mu m$, où les dépendances de μ et de V_{th} avec la température s'annulent. De manière similaire à notre étude, P. Toledo *et al.* (2015) ont exploré le point de minimisation ici décrit. Ils proposent un circuit référence de courant autopolarisé avec un coefficient de température nul avec une technologie CMOS 180 nm pour une gamme de température de $-40^\circ C$ à $85^\circ C$.

À partir de la base de données illustrée aux Fig. II.6(b)-(d), ce concept pourrait être étendu à une gamme de température plus importante et pour des circuits plus complexes comme des amplificateurs et des comparateurs. Cet exemple pourrait aussi être étendu aux divers phénomènes de dégradation décrits dans ce mémoire vers une méthodologie g_m/I_D de conception des circuits et systèmes pour les environnements sévères (Ferreira, 2015b). À la fin de ce chapitre, d'autres réalisations dans ce but seront présentées.

Méthodologie Analytique : Modèle de contrôle de courant unifié du transistor MOS

À l'échelle nanométrique, la complexité des modèles analytiques est indispensable pour en compte la physique des semi-conducteurs. Une méthodologie expérimentale n'est pas capable d'expliquer les phénomènes physiques qui engendrent au comportement des transistors soumis aux diverses conditions de l'environnement. L'innovation dans le modèle analytique fondée aux régimes d'inversion du transistor MOS est le changement de paradigme de modèle du transistor, usuellement, basé en courant qui est ainsi devenu basé en charge dans le canal. Cette idée trouve ses racines dans les premiers modèles de transistors à inversion faible qui ont commencé à être publiés dans les années 70 (Enz, 2008).

Dans la suite, il est formalisé par C. Enz, F. Krummenacher et E. Vittoz (1995), qui proposent le modèle de transistor MOS le plus reconnu dans la littérature dans ce domaine, nommé modèle EKV (*Enz-Krummenacher-Vittoz*). L'une des principales caractéristiques du modèle EKV par rapport aux autres est le petit nombre de paramètres requis pour modéliser l'ensemble des phénomènes physiques. Un autre avantage de ce modèle est sa structure hiérarchique. En effet, le modèle compact complet peut facilement être réduit au modèle de calcul manuel simple en définissant certains paramètres sur des valeurs spécifiques (Enz, 2008). Ainsi,

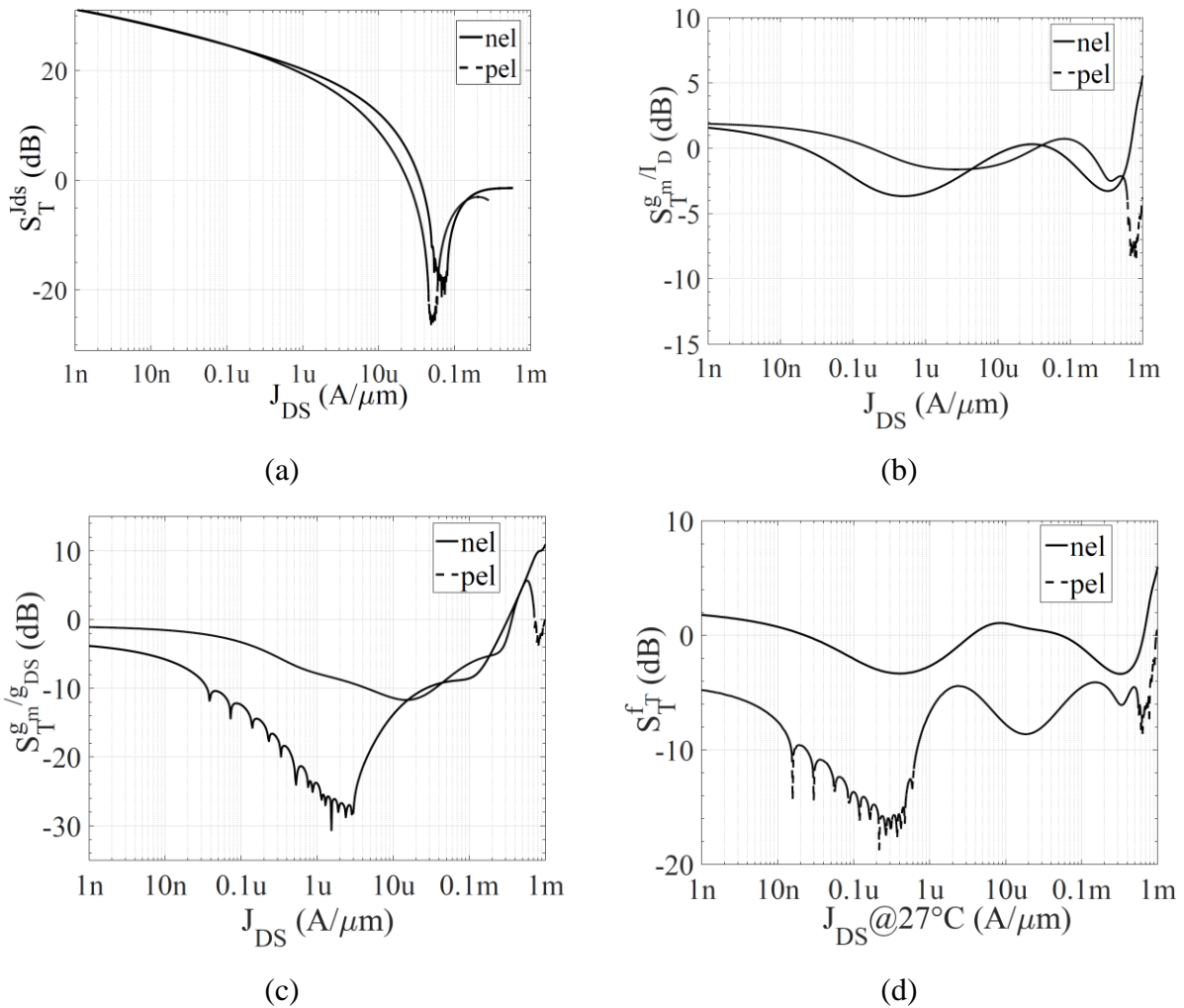


Fig. II.6. Estimation numérique de la sensibilité des caractéristiques des transistors à la température pour la conception des circuits et systèmes pour les environnements sévères avec la méthodologie g_m/I_D .

cette approche de modélisation basée en état de charge a été adoptée et généralisée à tous les niveaux de courant de transistor MOS à partir du modèle EKV. Dans la même période, d'autres équipes étaient en train de travailler sur les modèles de transistors à inversion faible. A. Cunha, M. Schneider et C. Galup-Montoro (1995) ont proposé un nouveau modèle compact, nommé ACM (*Ana-Carlos-Marcio*), ayant comme principale caractéristique des équations de modèle abordable aux concepteurs et orientées au calcul manuel. Ceci est la principale différence entre le modèle EKV et le modèle ACM, et aussi la raison de son franc succès auprès de concepteurs. Le modèle EKV exige ainsi une interpolation entre les modèles en régime de faible et de forte inversion ce qui complexifie le calcul manuel dans la région de transition entre les régimes d'inversion.

Finalement, les modèles de région d'inversion et d'interpolation entre régions, comme l'EKV, ne sont plus acceptables pour la conception de circuits dans les technologies avancées à basse tension, où la région d'inversion modérée est de plus en plus importante (Galup, 2018). Le modèle UCCM (*Unified Charge Control Model*) a été proposé par Y Byun, K. Lee et M. Shur (1990) avec une modélisation continue de l'état de charge dans le canal du transistor. Le modèle analytique du transistor MOS s'est beaucoup inspiré au modèle ACM et a ses évolutions au cours des années (Galup-Montoro, 2007). Il est un modèle compact capable de modéliser toutes les régions d'inversion, comme le modèle UCCM, il a une structure hiérarchique inspirée au modèle EKV, il est abordable aux concepteurs et orienté au calcul manuel, comme le modèle ACM.

Pour toutes ces raisons, le modèle proposé par M. Schneider et C. Galup-Montoro (2010) est devenu un atout pour les concepteurs et reconnu par sa forme compacte et orienté au calcul manuel. Il est reconnu comme l'un des modèles les plus robustes qui considèrent le transistor dans tous ses régimes d'inversion. Ce modèle du transistor MOS saturé, quel que soit le régime d'inversion est obtenu par l'intégration des charges dans le canal qui entrent en régime de conduction dans le sens de la longueur du canal. Le courant de drain est obtenu à partir de l'intégration des charges dans le canal selon la relation :

$$I_{DS} = -\mu \cdot \frac{W}{L} \int_{V_S}^{V_D} Q'_i dV, \quad (14)$$

où Q'_i est la charge à la surface d'inversion et μ est la mobilité des charges.

En régime de faible inversion (*weak inversion* – WI), l'inversion de population des charges n'est pas complète et ce phénomène de conduction est issu de l'accumulation des porteurs minoritaires du semi-conducteur (Galup, 2018). L'intégrale de l'équation (14) peut être ainsi résolue par la différence des courants de dérive et de diffusion dans le canal :

$$\begin{aligned} I_{DS} &= I(V_G, V_S) - I(V_G, V_D) \\ &= I_S e^{\frac{V_{GS}}{\eta\phi_t}} - I_S e^{\frac{V_{GD}}{\eta\phi_t}} \\ &= I_S e^{\frac{V_{GS}}{\eta\phi_t}} \left(1 - e^{\frac{-V_{DS}}{\eta\phi_t}} \right), \end{aligned} \quad (15)$$

où ϕ_t est la tension thermique kT/q , η est la pente $1 + C_d/C_{ox}$ (C_d – capacité de déplétion, C_{ox} – capacité de l’oxyde) et I_S est le courant spécifique. En considérant de petites variations de V_{DS} , l’équation (15) peut être approximée par

$$I_{DS} = G_0 e^{\frac{V_{GS_i}}{\eta\phi_t}} V_{DS_i}, \quad (16)$$

où la conductance G_0 pourra être estimée en fonction de la mobilité et du dimensionnement du transistor, comme

$$G_0 = \mu C_{ox} \cdot \frac{\phi_t}{2} \cdot W/L. \quad (17)$$

En régime de forte inversion (*strong inversion* – SI), la même densité des charges Q'_i mène à un autre équilibre entre les courants de dérive et de diffusion dans la solution de l’équation (14). Ce résultat est souvent approximé par le modèle du transistor MOS saturé en SI, et il est largement utilisé selon l’approximation quadratique (Carusone, 2012)

$$I_{DS} = \frac{\mu C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_{th})^2 \cdot (1 + \lambda V_{DS}). \quad (18)$$

Un modèle compact valable à tous les régimes d’inversion est ainsi obtenu par la solution numérique de l’équation (14), ce modèle est connu dans la littérature sous l’acronyme UICM (*Unified Current Control Model*), comme l’un des modèles les plus robustes qui considèrent le transistor dans tous ses régimes d’inversion. Le modèle UICM se présente sur sa formule générique

$$I_{DS} = i_f \cdot I_S, \quad (19)$$

où i_f est le facteur d’inversion, I_S est le courant spécifique défini comme :

$$I_S = \mu \cdot C_{ox} \cdot \eta \cdot \frac{\phi_t^2}{2} \cdot \frac{W}{L}. \quad (20)$$

En faible inversion (WI), i_f varie entre 0,1 et 1 ; en forte inversion (SI), il est supérieur à 100. Le modèle du transistor MOS saturé en inversion modérée (*moderate inversion* – MI) est obtenu à partir de l’équation (20) pour des valeurs de i_f entre 1 et 100 (Schneider, 2010). Le transistor dans le régime d’inversion désiré par le concepteur devra être polarisé selon les relations :

$$V_P - V_S = \phi_t \left[\sqrt{1 + i_f} - 2 + \ln \left(\sqrt{1 + i_f} - 1 \right) \right], \quad (21)$$

$$V_P = \frac{V_{GB} - V_{T0}}{\eta}, \quad (22)$$

$$V_{DSSat} = \phi_t \left[\ln\left(\frac{1}{\xi}\right) + (1 - \xi) \left(\sqrt{1 + i_f} - 1 \right) \right] \quad (23)$$

où V_G, V_D, V_S, V_B sont les tensions à la grille, au drain, à la source et au substrat, respectivement. Le seuil d'inversion des transistors, comme utilisé dans l'approximation quadratique [voire la tension V_{th} dans l'équation (18)], arrive quand la condition $i_f = 3$ est satisfaite, et ainsi $V_P = V_S$, selon l'équation (21). La tension V_{T0} dans l'équation (22) est la tension V_{th} du transistor, quand il est polarisé avec $V_{SB} = 0$. Le facteur de saturation du transistor MOS est ainsi noté ξ dans l'équation (23). Si $\xi \rightarrow 1$, le transistor opère en régime linéaire (connu aussi comme région triode ou région ohmique) et donc $V_{DS} < V_{DSSat}$. Si $\xi \rightarrow 0$, le transistor opère en régime saturé, autrement dit le niveau de saturation tend à être maximum. Le régime bloqué n'y a plus le même sens dans le modèle UICM, comme il avait dans l'approximation quadratique, car il a lieu quand $i_f \rightarrow 0, \forall \xi$.

Le modèle analytique UICM et le modèle expérimental de la méthode g_m/I_{DS} sont souvent comparées dans la littérature vue leurs complémentarités. Pour avoir une équation compacte valable pour les deux modèles (analytique et expérimental), la solution la plus considérée dans la littérature est le modèle heuristique (Galup, 2018)

$$I_{DS} = \eta g_m \phi_t \left[1 + \frac{g_m}{2\mu C_{ox} \phi_t (W/L)} \right], \quad (24)$$

où $g_m = \partial I_{DS} / \partial V_{GS}$. Finalement, une relation entre le modèle UICM et la méthode g_m/I_D est obtenue en réécrivant l'équation (18) sous la forme

$$\frac{g_m}{I_{DS}} = \frac{2}{\eta \phi_t (1 + \sqrt{1 + i_f})}. \quad (25)$$

La Figure II.7 compare le g_m/I_D avec la base de données de la technologie XT018 (Fig. II.5) et le facteur d'inversion i_f du modèle UICM à partir de l'équation (25).

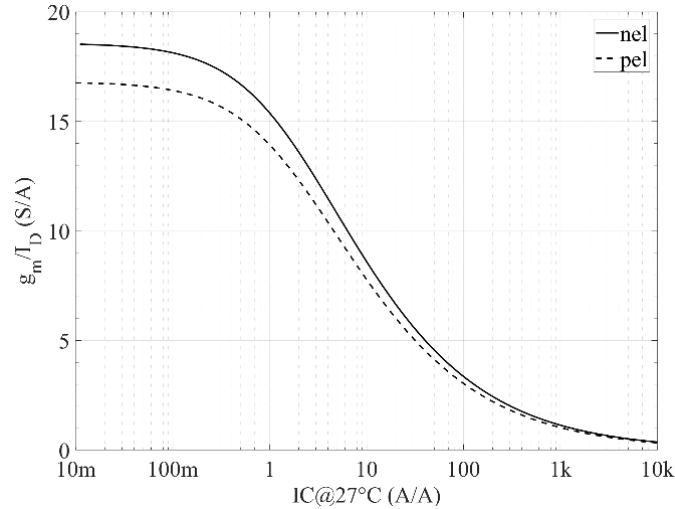


Fig. II.7. Relation entre le g_m/I_D obtenu avec modèle expérimental pour la base de données de la technologie XT018 à 27 °C avec le modèle analytique de coefficient d'inversion i_f selon UICM.

La limitation principale de l'équation (24) vient de l'interpolation numérique de l'intégrale de l'équation (14). Pour justifier cette interpolation de manière physique, il est nécessaire de chercher des modèles basés sur les charges d'accumulation et de transport qui varient selon le régime d'inversion. J. He *et al.* (2007) étaient parmi les pionniers des modèles basés sur les charges d'accumulation et de transport. Selon J. He *et al.* (2007), la solution exacte de l'équation (24) est obtenue par l'usage de la fonction W de Lambert [voir équation (14) en (He, 2007)], qui est largement appliquée dans la littérature en physique des semi-conducteurs.

Le modèle compact développé dans (He, 2007) est à l'origine du modèle de simulation BSIM5, indispensable pour la simulation numérique des circuits et des systèmes. Son principal concurrent est le modèle PSP, proposé par G. Gildenblat *et al.* (2006), qui est basé sur le potentiel de surface des semi-conducteurs. La principale avancée du modèle PSP est les corrections issues de la mécanique quantique, la description de la région de déplétion dans le poly-Silicium de la grille des transistors et l'effet de *Coulomb scattering* qui est très important quand le transistor est soumis aux hautes températures.

En innovant avec la modélisation des phénomènes physiques à l'échelle nanométrique, des modèles d'état de charge (BSIM5) ou potentiel de surface (PSP) sont les plus utilisés pour la simulation électrique des transistors dans les nœuds technologiques avancés. Une discussion plus détaillée sur ces modèles de simulation est hors la portée de ce mémoire, qui vise une conception optimale dans le point de vue du concepteur des dispositifs électroniques.

C. L'instrumentation Intégrée

La mesure est l'action d'évaluer une grandeur d'après son rapport avec une autre grandeur de même espèce, prise comme unité et comme référence (JCGM, 2012). Puisqu'il en est ainsi, la grandeur prise comme unité de référence (REF) devrait être obligatoirement constante et connue. La cible de l'instrument de mesure est ainsi un dispositif-sous-test (*device under test*, DUT) de grandeur inconnue, mais similaire à REF. Cet instrument est décrit par ses qualités de justesse et de fidélité. La justesse est une qualité de mesure dont la moyenne des indications qu'il donne pour une grandeur mesurée est très voisine de la vraie valeur de cette grandeur (JCGM, 2012). La fidélité est une qualité globale d'une mesure ou d'un instrument capable de donner à très peu près le même résultat lorsqu'on répète plusieurs fois la même mesure (JCGM, 2012).

Les signaux électriques sont des ondes électromagnétiques représentées par une combinaison linéaire de sinus et de cosinus. Cette représentation mathématique est souvent décrite par une combinaison linéaire des phaseurs. Un phaseur est entièrement défini par sa magnitude, sa phase initiale et sa pulsation. L'instrumentation électronique, dans le cadre de ce mémoire, est ainsi l'action d'évaluer un *phaseur* cible à partir d'un *phaseur* de référence. Cette instrumentation pourrait se faire par la comparaison de ses magnitudes, phases et pulsations.

De nombreux capteurs reposent sur un principe de conversion de la variation d'une grandeur physique à mesurer. Cette conversion se fait usuellement en modulant l'une des quantités caractéristiques d'un phaseur par la grandeur à être mesuré. Un exemple de principe de conversion est l'utilisation des capteurs intrinsèquement résonants (accéléromètres, gyroscopes). Un autre exemple est l'utilisation des systèmes efficaces pour circonvenir le bruit présent dans la mesure (détection synchrone, modulation $\Sigma\Delta$).

Compte tenu de contraintes liées à l'échelle nanométrique, les connectiques entre instrument de mesure, DUT ne sont plus négligeables et devront être aussi miniaturisées pour la minimisation des parasites et des pertes (Happy, 2014). La justesse et la fidélité des instruments devront aussi évoluer vers une mesure des grandeurs de plus en plus petites à la frontière de l'échelle moléculaire. L'intégration des instruments de mesure est favorisée par la hausse de performance et le bas coût des processus de fabrication avancée. C'est dans ce contexte qui se situe

mes activités de recherche décrites dans cette section qui sont déclinées en deux techniques d'instrumentation intégrée.

La première technique pousse vers l'instrumentation par interférométrie intégrée. Selon le type de sonde, cette technique est capable de répondre à la caractérisation de dispositifs électroniques à l'échelle nanométrique (Ruppert, 2017), la prédisposition biochimique des molécules vers l'aide au diagnostic biomédical (Khoshnoud, 2012), l'imagerie en microonde des matériaux 2D (Brunel, 2009). Cette technique utilise un système d'annulation des phaseurs (REF et DUT) en magnitude et phase pour une pulsation donnée. Cette annulation est perturbée par une variation de la grandeur physique à mesurer. Cette perturbation sera ressentie par une importante variation du phaseur résultant à la fois en magnitude à la fois en phase.

La deuxième technique d'instrumentation pousse vers l'intégration des capteurs résonants (REF et DUT). Les dispositifs MEMS sont au centre de cette technique. Ils sont souvent utilisés comme capteurs de masse, accéléromètres, gyroscopes, jauges de déformation, manomètres, et capteurs de force microscopique (Bao, 2000). Ces capteurs sont utilisés dans un système à boucle fermée qui est perturbé par une variation de la grandeur physique à mesurer. Cette perturbation serait sentie par la variation de la magnitude et de la phase des phaseurs.

L'instrumentation intégrée est contrainte aux conditions de l'environnement. Elle est dégradée par la sévérité du stress subi lors de l'utilisation. À ce propos, cette activité scientifique est déclinée selon la nature de la mesure. Ces deux exemples de techniques d'instrumentation intégrée sont très peu sensibles aux variations de la pulsation ce qui consiste à une instrumentation à bande étroite. Ces techniques sont fortement liées aux projets décrits dans ce mémoire, et elles seront détaillées dans les sections suivantes.

L'interférométrie : microscopie en microonde

Les techniques d'imagerie en microonde restent une activité de recherche centrale pour le développement des nombreux dispositifs pour les acteurs en biochimie, physique moléculaire, télécommunications, sécurité et défense. Pour pouvoir observer des phénomènes spécifiques de l'échelle nanométrique dans un matériau-sous-test (MUT), la microscopie à microondes à balayage (SMM) possède une configuration établie. Ce système est composé principalement d'une sonde : soit à force atomique (AFM) (Ruppert, 2017), soit à force femtonewton (Houmadi, 2015),

soit à force de Kelvin (KFM) (Brunel, 2009) ; combinée à la technique de spectroscopie d'impédance en microonde.

La spectroscopie d'impédance en microonde consiste à comparer un phaseur à l'émetteur avec un autre phaseur au récepteur après le passage du premier par le MUT. Le MUT provoque une variation de la magnitude et de la phase du phaseur à une pulsation donnée. Les caractéristiques électriques, permittivité et conductivité, des MUTs sont ainsi extraites de ces phaseurs par des équations trigonométriques. Ceci permet une mesure complémentaire de l'information topographique (2D) obtenue à partir de la sonde, vers un système d'imagerie 3D.

Les caractéristiques électriques des MUTs sont mesurées par un système d'instrumentation microonde composé d'un interféromètre et d'un analyseur de réseau vectoriel (VNA). Le montage interférométrique a été premièrement démontré par Randus et Hoffmann (2011). Il a comme principal avantage la capacité de mesurer les variations d'impédance avec une précision très élevée. Son principal inconvénient est la nécessité de mesurer de faibles variations en magnitude ou en phase ce qui implique le besoin d'un analyseur de réseau vectoriel (VNA) de grande précision, et souvent très cher.

En s'appuyant sur la technique de réflectométrie basée sur l'interférométrie (IBR) en microonde illustrée dans la Fig. II.8, les propriétés de permittivité et de conductivité à l'échelle nanométrique sont déduites de la mesure de la variation du coefficient de réflexion des MUTs, de la magnitude ou de la phase du phaseur. Dans ces IBR, les interférences se produisent à une fréquence donnée (c'est-à-dire la pulsation du phaseur) où les ondes réfléchies par le MUT et par une impédance de référence (connue) s'annulent. Cette fréquence est nommée fréquence de nul (f_{nil}) et elle dépend du déphasage existant dans le montage. Cette solution est explorée avec une architecture en émission comme illustrée dans la Fig.II.8(a) (Legrand, 2013 ; Ferreira, 2015a ; Wessel, 2017 ; Aouimeur, 2018) ou avec une architecture en réflexion comme illustrée dans la Fig.II.8(b) (Happy, 2014 ; Ferreira, 2018b).

En transmission ou en réflexion, l'IBR est un dispositif de mesure basé sur une interférence destructive des ondes de réflexion entre un matériau de référence (REF) et un dispositif syntonisation (TUN). L'opération de réglage de l'appareil est appelée processus d'annulation et le coefficient de réflexion obtenu est appelé Γ_{nil} (Ferreira, 2015a). Ce dispositif de syntonisation est

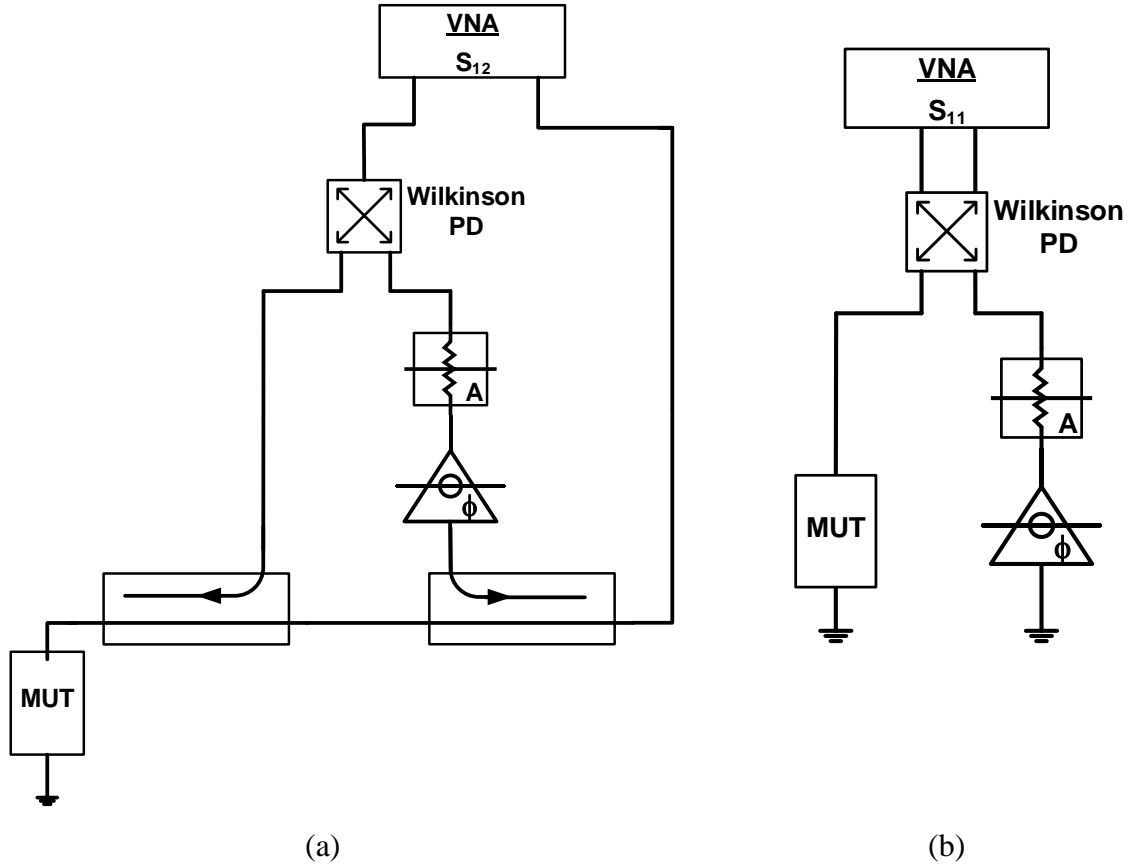


Fig. II.8. Illustration des systèmes IBR basée : (a) en transmission et (b) en réflexion

composé d'un atténuateur (A) et d'un déphaseur (ϕ) pour annuler le coefficient de réflexion REF (magnitude égale et déphasage opposé). Cependant, des ondes d'interférence parasite (INT) existent dans tout instrument IBR due à une isolation finie dans les dispositifs microondes (par exemple, des coupleurs et des diviseurs de puissance).

Dans ce cas, l'onde électromagnétique produit un résidu défini comme

$$\Gamma_{nil} = \frac{\Gamma_{REF} + \Gamma_{TUN} + \Gamma_{INT}}{2}, \quad (26)$$

ce qui peut être simplifié par

$$\Gamma_{nil} \approx \frac{\Gamma_{REF} + \Gamma_{TUN}}{2}, \quad (27)$$

dans l'hypothèse que Γ_{INT} est négligeable par rapport Γ_{REF} et Γ_{TUN} . En effet, Γ_{INT} doit être au moins 20 dB en dessous de $\Gamma_{REF} + \Gamma_{TUN}$ pour assurer l'approximation (27).

Au cours du processus d'annulation, l'atténuateur et le déphaseur (A et ϕ , voir Fig. II.8) sont réglés en utilisant des signaux de commande vers la condition $\Gamma_{nil} \rightarrow 0$ pour une fréquence de travail donné (f_{nil}). Le système IBR mesure ainsi la variation de la magnitude ou de la phase du phaseur du MUT en ayant un coefficient de réflexion similaire Γ_{REF} autour de la pulsation propre $\omega_{nil} = 2 \cdot \pi \cdot f_{nil}$. Après cette procédure, un modèle d'étalonnage vectoriel à 1-port est appliqué (Happy, 2014). Cette méthode relie le coefficient de réflexion IBR (Γ_{IBR}) au VNA [S_{12} dans la Fig. II.8(a) ou S_{11} dans la Fig. II.8(b)] au coefficient de réflexion du MUT (Γ_{MUT}) qui remplace la REF.

Le modèle de méthode de calibration vectorielle à 1-port est exprimé par (Happy, 2014)

$$\Gamma_{IBR} = E_{11} + \frac{E_{21}\Gamma_{MUT}}{1 - E_{22}\Gamma_{MUT}}. \quad (28)$$

Les termes complexes E_{11} , E_{21} , et E_{22} peuvent être calculés par la solution d'un système d'équations en (28) avec au moins trois REF différents. La justesse et la précision de la mesure par l'IBR nécessitent que les matériaux de référence aient un coefficient de réflexion très similaire au MUT lors de l'estimation de l'erreur de suivi par (28).

Comme il est bien connu, la permittivité de la plupart des MUTs sont complexes et dépendent de la fréquence. Elles peuvent être exprimées par une formule complexe comme (Hanai, 1979 ; Pethig, 1987)

$$\varepsilon_r(\omega) = \varepsilon_r'(\omega) - j\varepsilon_r''(\omega), \quad (29)$$

où $\varepsilon_r'(\omega)$ est la partie réelle et $\varepsilon_r''(\omega)$ est la partie imaginaire. La partie réelle représente la capacité du matériau à stocker de l'énergie, tandis que la partie imaginaire représente les pertes. La partie imaginaire du matériau est souvent négligeable par rapport la partie réelle (Pethig, 1987), ce qui simplifie la problématique à une mesure d'une capacité de permittivité $\varepsilon_r'(\omega)$.

En connaissant les erreurs de suivi (E_{11} , E_{21} , et E_{22}), on peut obtenir le Γ_{MUT} de tout matériau inconnu à partir du Γ_{IBR} mesuré. En considérant les pertes dans du milieu où le MUT est placé, sa permittivité pourrait être estimée par

$$\varepsilon_r'(\omega_{nil}) = \frac{h}{\varepsilon_0} \cdot \frac{Re(Y_{MUT})^2 + Im(Y_{MUT})^2}{2 \cdot \pi \cdot f_{nil} \cdot Im(Y_{MUT})}, \quad (30)$$

où h est la hauteur topographique obtenue par la sonde ; Y_{MUT} est l'admittance de MUT obtenu à partir de Γ_{MUT} après application du modèle d'erreur de suivi (E_{11} , E_{21} , et E_{22}) précédemment

obtenu à partir de l'inverse de l'équation (28). La conductivité du MUT peut être obtenue par une relation similaire (30).

La permittivité et la conductibilité contiennent beaucoup d'informations utiles du MUT, et la précision de son instrumentation a un grand intérêt scientifique et une importance fondamentale dans divers domaines d'application. Dans les secteurs agricole, alimentaire et pharmaceutique, il est possible d'estimer la qualité, la teneur en humidité et le degré de fermentation des céréales et des médicaments en surveillant la tendance de la variation de la permittivité dans le temps (Abegaonkar, 1999). En chimie, l'estimation quantitative des propriétés diélectriques du polymère, de la gélatine et du réactif peut fournir des informations précieuses sur la composition et la structure de ces produits chimiques (Daw, 2006). Dans les sciences de la santé humaine et de la biologie, la mesure de la constante diélectrique a prouvé son importance depuis (Pethig, 1987). Elle peut être utilisée pour la détection et l'isolation de cellules uniques (Grenier, 2013), le suivi de la glycémie des patients diabétiques (Xiao, 2017), et d'étudier la relaxation des protéines dissoutes (Basey-Fisher, 2011). Les autres applications connues incluent, sans s'y limiter, la détection d'humidité et de concentration de gaz (Withayachumnankul, 2012), la détermination de la composition d'un liquide (Chen, 2012).

L'état de l'art des systèmes d'interférométrie est souvent implémenté à partir des composants sur étagères (Randus, 2011 ; Legrand, 2013 ; Happy, 2014 ; [Ferreira, 2015a](#) ; Houmadi, 2015). Bien que son coût de développement soit indéniablement bas, une telle solution est souvent limitée en termes de portabilité et d'intégration à grande échelle. Des défis s'imposent vers l'instrumentation intégrée d'un système IBR comme discuté en (Wessel, 2017 ; Aouimeur, 2018 ; [Ferreira, 2018b](#)).

Le premier défi repose dans la conception mécanique des sondes et sa cointégration avec le Silicium. Quelques travaux dans la littérature cherchent à démontrer des sondes MEMS pour la réduction de l'échelle des sondes mécaniques, suggérant son utilisation dans les dispositifs de microscopie à microonde et de spectrométrie d'impédance. S. Houmadi *et al.* (2015) ont proposé la transduction capacitive d'un dispositif MEMS pour mesurer une force à l'échelle moléculaire. Une résolution de l'ordre du femtonewton est démontrée. M. Ruppert *et al.* (2017) ont présenté une sonde MEMS dans un processus d'intégration SOI-MEMS pour la mesure de la force atomique avec une poutre de longueur de $1.5 \mu m$ et $40 nm$ de diamètre.

Le deuxième défi de l'instrumentation intégré est le besoin d'un VNA haute résolution à bas coût. J. Nehring *et al.* (2016) ont présenté une solution de VNA 2-port intégré avec une architecture de récepteur hétérodyne. La solution VNA intégrée a fait ses preuves pour l'instrumentation intégrée et les applications biomédicales avec une plage dynamique de 44 dB à 77 dB dans une bande de 4 à 32 GHz, et une résolution à 100 kHz (Nehring, 2017).

Un troisième défi repose dans le fait que l'instrumentation microonde (par exemple de 4 à 32 GHz) des MUT à faible conductivité et permittivité élevée résulte dans une mesure en haute impédance avec une solution VNA souvent adaptée à 50 Ω . L'instrumentation microonde à haute impédance est un problème mis en évidence théoriquement par H. Happy *et al.* (2014) et étudié expérimentalement par P. M. Ferreira *et al.* (2015a).

Capteurs résonants : oscillateurs MEMS couplés

Les sondes microélectromécaniques, ou simplement les MEMS, sont de plus en plus attractifs grâce à leur aptitude à capter de petites variations électriques et mécaniques très difficiles à détecter par les capteurs macroscopiques. L'instrumentation par capteurs résonants est obtenue par deux sondes MEMS actionnés électriquement par un système en boucle fermée. Si la condition de *Barkhausen* (Wangenheim, 2011) est respectée, la sonde est excitée avec un signal électrique de même pulsation que son mode de vibration mécanique. Ainsi, chaque sonde MEMS entre en résonance électromécanique et se comporte comme un oscillateur à la pulsation naturelle du système en boucle fermée (Zhao, 2016).

L'instrumentation par deux capteurs résonants est une stratégie intéressante pour minimiser les variations de l'environnement, en mode-commun pour les deux sondes, et maximiser les variations par rapport au mesurant, *i.e.* mode-différentiel (Prache, 2018). Chaque capteur est placé dans un système électromécanique en boucle fermée et séparée, qu'il est sensé à être assorti. Ainsi, les capteurs résonants demandent de la cointégration des circuits électroniques MOS et des sondes MEMS dans un même environnement à l'échelle micrométrique.

Historiquement, l'instrumentation motionnelle était faite par l'estimation de la variation de la pulsation propre des résonateurs par rapport au mesurant (Abdolvand, 2016). Cette technique d'instrumentation s'utilise de deux résonateurs x et y non-couplé, l'un soumis aux variations du mesurant (résonateur x) et l'autre fonctionnant comme une référence (résonateur y).

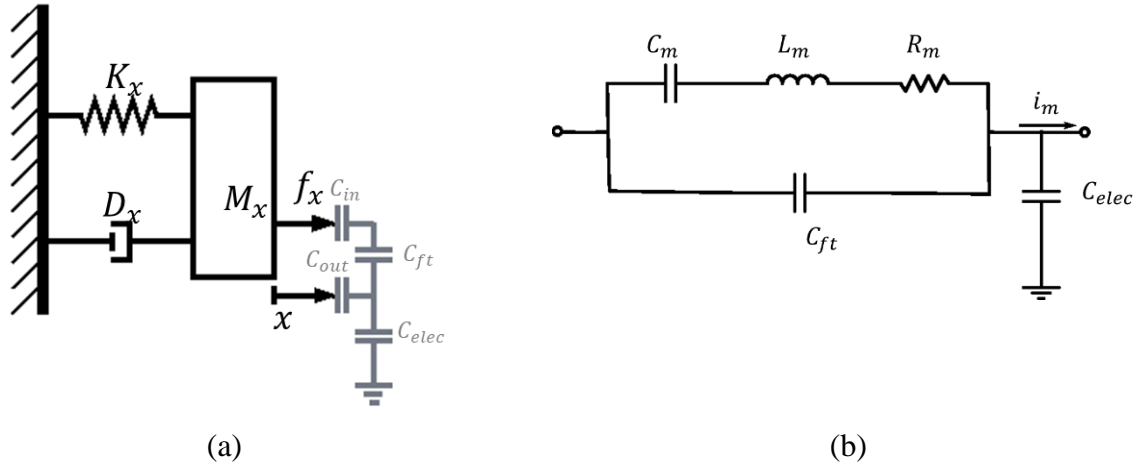


Fig. II.9. Illustration du système mécanique (a) masse-ressort-amortisseur composé du capteur résonant x (le capteur résonant y présente un modèle similaire) ; modèle électrique Butterworth Van-Dyke (b) d'un capteur résonant.

L'asservissement électronique est conçu avec une modélisation multiphysique, qui permet de décrire un modèle mécanique d'un résonateur, par exemple le résonateur x illustré en Fig. II.9(a), dans un modèle électrique. B. Legrand *et al.* (2013) ont proposé une caractérisation du système mécanique illustré dans la Fig. II.9(a) (condensateurs des électrodes représentés en gris) avec le modèle de la Fig. II.9(b) à partir des résultats expérimentaux. La Figure II.9(b) illustre l'équivalent électrique selon le modèle de Butterworth Van-Dyke, largement utilisé dans la littérature (Abdolvand, 2016).

Le mécanisme de transduction se fait par une conversion électromécanique, dont la vibration motionnelle (déplacement de M_x) est convertie en courant motionnel (i_m), c'est-à-dire une conversion mécanoélectrique. Dans le modèle mécanique de la Fig. II.9(a), M_x est la masse de la sonde ; K_x est la raideur mécanique de la sonde ; D_x modélise l'amortissement du système. Le système motionnel mécanique obtenu à partir des lois de Newton est décrit en (Abdolvand, 2016). Dans le modèle électrique de la Fig. II.9(b), ces éléments (M_x , K_x , D_x) sont représentés respectivement par L_m , C_m et R_m . L'électrode responsable pour capter le déplacement de M est modélisé un condensateur parasite (C_{elec}). L'électrode responsable pour actionner la sonde avec une force électrostatique f_x résulte dans un condensateur traversant parasite, modélisé par C_{ft} .

La variation du mesurant résulte de la variation de la raideur relative entre $K_x = K(1 + \epsilon)$ et $K_y = K(1 - \epsilon)$ pour les résonateurs non-couplés x et y , respectivement. La mesure différentielle de la pulsation de résonance est définie par

$$\omega_x - \omega_y = \omega_0 \cdot (1 + \epsilon), \quad (29)$$

où ω_x et ω_y sont les pulsations des résonateurs x et y , respectivement. La conversion analogique numérique de cette grandeur (par exemple avec *time-to-digital converters*) est reconnue dans la littérature pour être la plus avantageuse en termes d'intégration monolithique, de base consommation de puissance, d'une résolution élevée et d'une fiabilité aux environnements sévères (Chabchoub, 2018).

Dans une tendance d'intégration monolithique des résonateurs x et y , la raideur de couplement entre les sondes devient non négligeable (Prache, 2018). Ainsi, un système mécanique présente un couplage électromécanique (voir Fig. II.10), et les sondes fonctionnent de manière dépendante avec une même pulsation propre

$$\omega_0 = \sqrt{\frac{K_x}{M_x}} \approx \sqrt{\frac{K_y}{M_y}}, \quad (30)$$

et un facteur de qualité

$$Q = \frac{\omega_0}{D_x} \approx \frac{\omega_0}{D_y}. \quad (31)$$

C. Zhao *et al.* (2016) ont examiné la technique d'instrumentation de la pulsation [voir équation (29)] ; ils ont surligné sa faible sensibilité au mesurant et sa faible plage dynamique linéaire. L'intégration monolithique est soumise aux phénomènes de variabilité technologique ; or la pulsation propre des résonateurs x et y est obtenue selon les dimensions physiques de la poutre MEMS qui conditionne les valeurs de $M_{x,y}$ (Abdolvand, 2016). En outre, la pulsation propre est aussi très sensible à la tension de polarisation de la poutre (souvent noté par V_{bias}) et la température de l'environnement. H. K. Lee *et al.* (2011) ont mis en évidence cette caractéristique, par l'équation

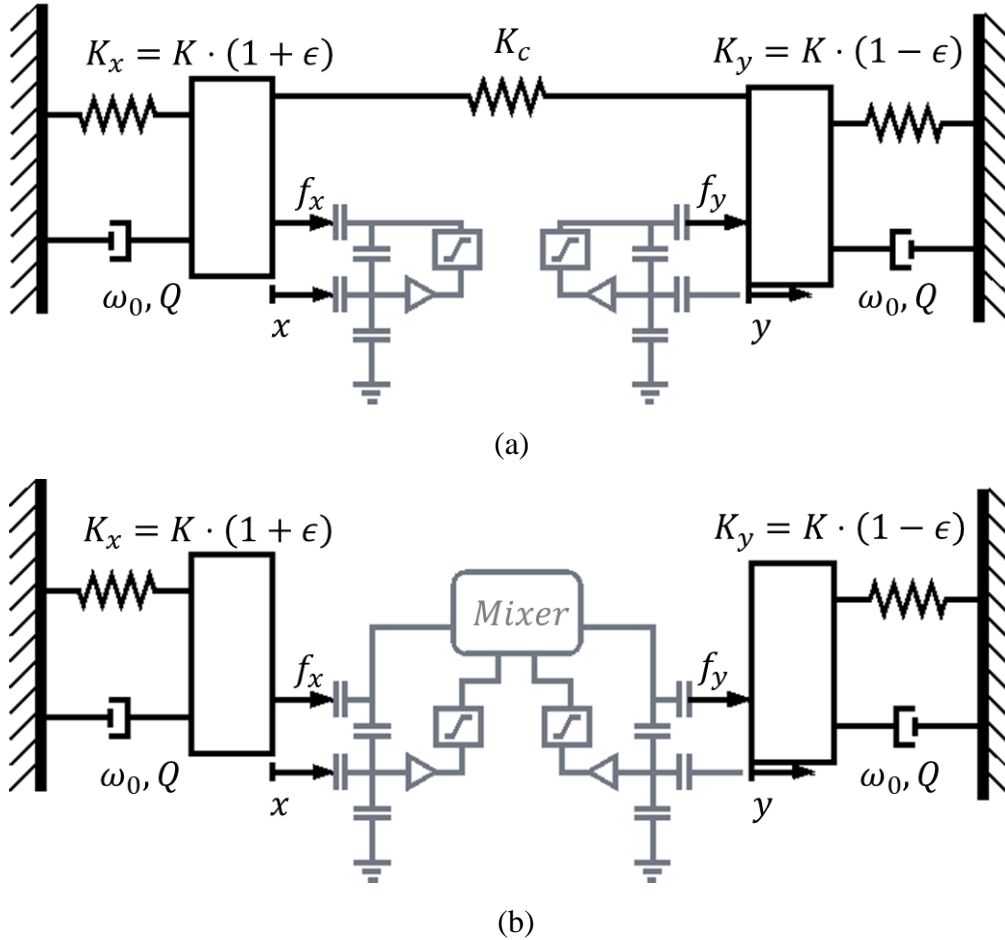


Fig. II.10. Illustration des solutions d'intégration monolithique des résonateurs x et y , couplés selon (a) C. Zhao *et al.* (2016) pour l'instrumentation par le ratio des amplitudes $|X|$ et $|Y|$; et (b) P. Prache *et al.* (2018) pour l'instrumentation par la différence des phases $\angle X$ et $\angle Y$.

(11) dans cette étude, pour proposer un ajustement électrostatique de la pulsation propre, *i.e.* corrections de la dérive en température par un ajustement de V_{bias} . Dans ces conditions d'intégration monolithique (variation PVT), l'instrumentation de la pulsation est non envisageable surtout pour les applications aux environnements sévères.

Pour résoudre cette problématique scientifique, d'autres métriques sont proposées dans la littérature. D'une manière intuitive, l'instrumentation différentielle des résonateurs x et y pourrait être envisagée par la différence d'amplitudes $|X|$ et $|Y|$, définie par

$$|X| - |Y| = |X_0| \cdot (1 + 2 \cdot \epsilon). \quad (32)$$

Cette approche se sert de la modulation en amplitude des signaux pour générer une tension de faible fréquence, linéairement dépendant de ϵ . Malheureusement, les amplitudes de vibration sont

très petites et souvent inférieures au niveau de bruit de mesure des résonateurs d'intérêt. Ce système est aussi soumis aux effets non-linéaires de l'amortissement du système et des raideurs mécaniques des sondes selon M. Pandit *et al.* (2017), qui compromet la justesse et la fidélité de la mesure.

Pour contourner ces problèmes (bruit et non-linéarité), la conversion analogique numérique, de l'amplitude se fait ainsi par un convertisseur analogique numérique $\Sigma\Delta$, où le meilleur compromis entre résolution et vitesse est établi (Cikan, 2017). Sa simplicité dans l'intégration monolithique est son principal atout. En revanche, sa fiabilité aux environnements sévères est très limitée, car deux convertisseurs seront nécessaires pour obtenir chacune des amplitudes $|X|$ et $|Y|$, pour que l'équation (32) soit réalisée dans le domaine numérique.

Une variation de l'instrumentation de $|X|$ et $|Y|$, à partir du système illustré en Fig. II.10(a), est proposée en (Zhao, 2016) et ainsi définie

$$\frac{|X|}{|Y|} = 1 + 2 \cdot \epsilon \cdot \frac{K}{K_c}. \quad (33)$$

C. Zhao *et al.* (2016) démontrent une sensibilité accrue au mesurant et une plage dynamique plus importante à partir de deux sondes couplées mécaniquement ($K_c \neq 0$). Ce travail revendique une simple division comme le principal atout de cette approche en comparaison au processus calculatoire d'estimation de la variation de la pulsation due au mesurant. Vers une intégration monolithique, le calcul de la division n'est pas tout à fait simple. À la fois, il nécessite deux convertisseurs analogiques numériques et un circuit de traitement de signal dédié pour ce calcul. Cette solution est souvent gourmande en puissance et en surface avec un compromis similaire que la métrique proposée dans l'équation (32). En revanche, le traitement analogique du signal, proposé en (Zhao, 2016), nécessiterait des amplificateurs logarithmiques pour le calcul de la division dans le domaine analogique, avant la conversion numérique d'une seule grandeur. Un meilleur compromis consommation de puissance et surface serait établi, en revanche ceci serait en détriment de la fiabilité de l'instrumentation intégrée.

J. Juillard *et al.* (2014) ont aussi étudié les problèmes de couplage électromécanique et de dispersion des résonateurs. Ils proposent une architecture alternative de détection de résonance différentielle, illustrée dans la Fig. II.10(b). Cette architecture est basée sur le fonctionnement

électroniquement synchronisé de deux résonateurs couplés électroniquement par les dispositifs d'acquisition et maintien des oscillations. La métrique proposée diffère de celle des équations (32) et (33), car elle propose d'évaluer la différence des phases $\angle X$ et $\angle Y$, définie par

$$\angle X - \angle Y = \frac{\pi}{2} \cdot (1 + 2 \cdot Q \cdot \epsilon). \quad (34)$$

Cette métrique proposée en (Juillard, 2014) est démontrée expérimentalement avec des dispositifs électroniques montés sur PCB. Elle devient dans la suite une métrique très populaire dans la littérature compte tenu de sa nature quasi-numérique, similaire à la métrique (29), mais en ayant une sensibilité comparable aux métriques (32) et (33). Récemment, cette architecture est proposée dans une intégration monolithique en (Prache, 2018). Elle a démontré fiable vis-à-vis des environnements sévères, notamment par la réjection de la dérive en température, mesurée entre 30 °C et 100 °C.

L'instrumentation pour les capteurs résonants reste un sujet de recherche passionnant, spécialement quand les diverses métriques proposées sont confrontées aux contraintes de l'intégration monolithique et aux environnements sévères. De nouveaux compromis sont mis en évidence, ce qui fait surélever de nouveaux besoins en recherche :

1. Besoin des nouvelles architectures visant des applications haut de gamme, *i.e.* une résolution élevée (par exemple jusqu'à 16 bits) et une stabilité aux variations de l'environnement à long terme.
2. Besoin des nouvelles métriques visant un meilleur compromis entre la sensibilité au mesurant et la fiabilité des dispositifs électroniques compte tenu ses limitations des performances d'interface et maintien des oscillateurs.
3. Besoin des méthodologies de co-conception CMOS-MEMS, capables de prendre en compte les enjeux électroniques et mécaniques avec une approche multiphysique.

D. Contributions

Méthodologie de Conception pour la Fiabilité

Dans le cadre de ma thèse de doctorat, j'ai pu étudier la fiabilité des frontaux RF basse consommation et faible coût. Appliqué aux télécommunications en WLAN/WiMAX, ce dispositif électronique nécessite des technologies CMOS les plus avancées, dont la dégradation des paramètres de transistor s'aggrave. Le concept de fiabilité est déjà utilisé sur des circuits numériques, mais pas systématiquement utilisé sur des circuits AMS ou RF.

Afin de combler cette lacune, nous avons proposé d'abord la conception d'un amplificateur large bande et faible bruit, surnommée WBLNA (Ferreira, 2009). Les mécanismes de défaillance du WBLNA ont été mis en évidence par rapport les phénomènes de vieillissement (HCI) et stress électrique (*soft-breakdown* et électromigration). Il a été démontré que le WBLNA, conçu en CMOS 65 nm, atteint la limite de son temps de vie quand son gain chute de 3 dB ou par une perte de bande passante estimée à 10 % de sa valeur nominale.

Une conception de circuit fiable nécessite une connaissance de la dégradation physique et des modèles permettant d'analyser la fiabilité lors des étapes précédentes. Afin d'examiner notre méthode de conception pour la fiabilité par une approche *botton-up*, nous avons proposé la conception d'un oscillateur numérique (DCO) dans la topologie 5-3 NOR interpolé à 1 GHz (Ferreira, 2010a). Cette communication en conférence a donné lieu à une étude et publié dans le journal (Ferreira, 2010b) qui a le plus de prestige dans le domaine de la fiabilité. Cet exemple de DCO a présenté une diminution de 1.4 % de la fréquence d'oscillation, une diminution de 0.2% du bruit de phase (à décalage de 1 MHz) et une diminution de 2.1 % de la consommation d'énergie après 10 ans de dégradation (modèle de simulation de HCI et BTI en CMOS 65 nm). Nous avons estimé une amélioration de 13 % dans la fiabilité du DCO par la métrique de dégradation de la fréquence d'oscillation par vieillissement, quand notre méthode est utilisée.

Vers le frontal RF, notre méthode de conception pour la fiabilité a été enfin appliquée pour le contrôle de la fiabilité d'une architecture de WBLNA et mélangeur passif, surnommé BLIXER, en (Ferreira, 2011). Les résultats de simulation électrique présentés ont été cohérents avec la spécification proposée. Malgré la dégradation par variabilité du processus d'intégration, nous avons observé que ce dispositif est fiable à 96.4 % des cas en termes de gain ; à 92.1% des cas en

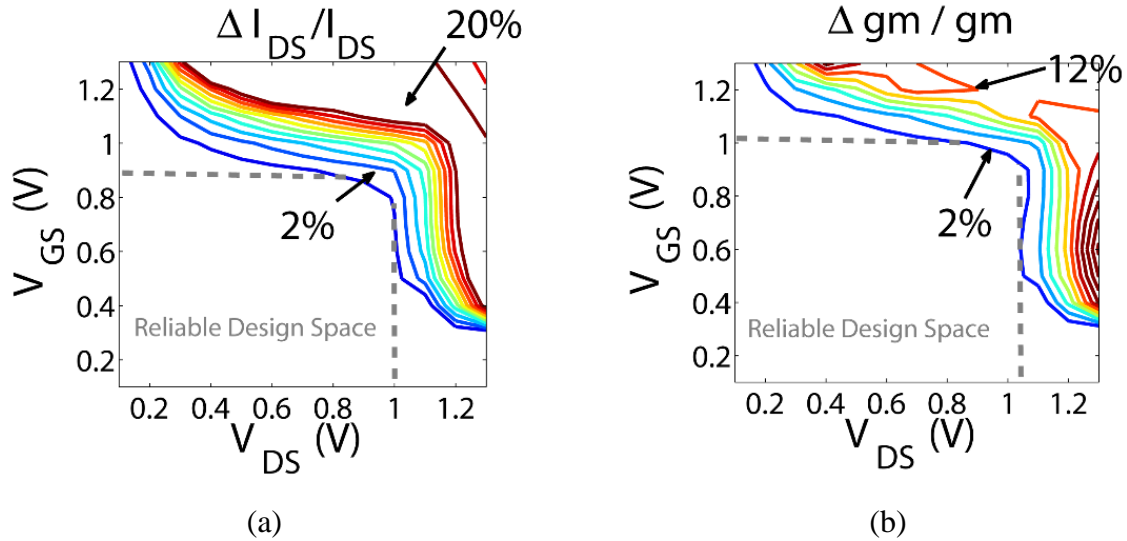


Figure II.11. Résultats de simulation d'un transistor NMOS stressé par HCI : (a) dégradation de I_{DS} et (b) dégradation de g_m (Ferreira, 2011)

termes de bruit (évalué par le NF minimum du BLIXER). Notre proposition a démontré une dégradation négligeable par rapport au phénomène de vieillissement (HCI et BTI) des transistors.

Les travaux des recherches en méthodologie de conception pour la fiabilité ont démontré qu'il est possible de définir les conditions de conception où les circuits et les systèmes seront toujours fiables. Par exemple, la dégradation du courant de drain et de la transconductance d'un transistor NMOS (CMOS 65 nm), soumis à la dégradation par HCI, dépend des conditions de polarisation (V_{GS} , V_{DS}) du transistor. La Figure II.11 illustre cette expérience et elle met en évidence l'espace de conception où ce transistor est soumis à une dégradation inférieure à 2% (Ferreira, 2011). Cette étude a été complétée dans le chapitre du livre (Ferreira, 2014). Afin d'examiner notre méthode de conception pour la fiabilité par une approche *top-down*, nous avons proposé la conception système du frontal RF en WLAN/WiMAX dans le chapitre du livre (Ferreira, 2015). Un algorithme de conception automatique a été proposé en s'appuyant sur les formules de Friis (Friis, 1946) et dans les bases de la méthodologie de conception g_m/I_D (Jesper, 2010).

Méthodologie g_m/I_D : Optimisation des performances et les implications des effets à faible géométrie

La thématique de l'analyse et l'optimisation des circuits en utilisant la méthodologie g_m/I_D est devenu l'objet d'une collaboration internationale avec Jack Ou (*California State University*).

Depuis 2012, divers circuits et systèmes analogiques ont été optimisés du point de vue de la consommation, le gain des amplificateurs (Ou, 2013), le bruit (Ou, 2014a ; Ou, 2015), la linéarité (Ou, 2017a ; Ou, 2018a), et la vitesse (Ou, 2018b). Parmi ces diverses communications en conférences internationales et journaux, j'estime que trois se détachent par leur innovation scientifique et par leur rayonnement international (en nombre des citations).

La première communication est l'étude et l'optimisation vis-à-vis les sources de bruit dans un amplificateur OTA différentiel (*folded-cascode*). En exploitant les connaissances acquises lors de nos travaux précédents, on démontre analytiquement et par simulations électriques qu'il est possible de relier la fréquence de corner de bruit (f_{co}) d'un OTA aux f_{co} des divers transistors du montage, voir l'équation (17) en (Ou, 2014b). Ainsi, nous avons proposé une nouvelle formule analytique pour estimer et optimiser le bruit équivalent à l'entrée des transistors à partir de la méthodologie g_m/I_D , voir l'équation (9) en (Ou, 2014b), ce qui est vérifié par des résultats expérimentaux (Ou, 2014a).

Dans la deuxième communication, nous explorons les défis associés à la conception d'un inducteur actif, basée sous gyrator-C, de faible puissance destinée aux applications biomédicales en quelques GHz. Nous nous concentrons en particulier sur les problèmes de dimensionnement qui se posent lorsque la vitesse du transistor est maximisée et la consommation d'énergie est minimisée (Ou, 2018b). Impédance, bruit et linéarité ont été analysés en s'appuyant sur la méthodologie g_m/I_D .

Les effets de faible géométrie sont devenus de plus en plus importants dans les circuits analogiques avec la diminution des dimensions des transistors. à l'échelle nanométrique, les paramètres dépendent du g_m/I_D des transistors ne sont plus indépendants de sa largeur (W), ce qui est l'hypothèse de base de la méthodologie g_m/I_D (Jespers, 2010).

La troisième communication propose la modification du concept *transistor de taille unitaire* pour la génération de la base des données requise à la méthodologie g_m/I_D . Avec la nouvelle définition, nous démontrons que la variation de J_{DS} se réduit à 3.6 % et que la variation de g_m/g_{DS} se réduit à 1.5 % (Ou, 2019). À partir de nos résultats, il est encore possible d'appliquer la méthodologie g_m/I_D aux transistors à l'échelle nanométrique, tout en négligeant les effets de faible géométrie.

Intégration monolithique d'un réflectomètre basée sous l'interférométrie en bande Ku

L'imagerie en hyperfréquences de dispositifs nanoélectroniques a transformé une simple mesure de coefficient de réflexion, généralement effectuée par un analyseur de réseau vectoriel au tour de 50Ω , en un défi d'instrumentation à haute impédance. L'état de l'art des systèmes de réflectométrie basés sur l'interférométrie (IBR) est souvent développé avec des composants sur étagère. Dans le cadre de mon postdoc à l'IEMN, j'ai pu étudier cette problématique et proposer une solution de réflectomètre basée sur l'interférométrie sur table.

Un premier IBR a été implémenté pour la mesure des varactors entre 0.9 et 1.6 fF à 6.8 GHz. La Figure 11.13(a) illustre les résultats communiqués ([Ferreira, 2015](#)). L'IBR proposé a démontré une justesse liée au modèle Silicium de 60 aF, tandis que VNA a 70 aF d'erreur dans le meilleur des cas. La résolution moyenne est estimée à 40 aF et à 11 aF respectivement pour le meilleur cas VNA et IBR dans les mesures C-V.

Bien que son coût soit indéniablement bas, cette solution est limitée en portabilité, consommation d'énergie et déploiement à large échelle d'intégration. Ce fait justifie le besoin d'une approche complètement intégrée qui rendra possible une caractérisation in situ des nano-DUT. Un deuxième IBR a été proposé avec une architecture en réflexion complètement intégrée pour la caractérisation in situ des capacités à une fréquence fixe en bande Ku (17.6 GHz). La Figure 11.13(b) illustre les résultats communiqués en ([Ferreira, 2018](#)). La justesse démontrée est d'environ 60 aF et la résolution est de 1.2 aF pour un varactor entre 0.65 et 0.95 fF.

Convertisseur analogique numérique pour les environnements sévères

L'électronique automobile voit une forte expansion de la demande de capteurs intelligents avec une intégration de plus en plus poussée. Capteurs, interfaces, contrôleurs ayant la puissance de calcul se trouvent de plus en plus dans un seul composant intégré à l'environnement de haute température des moteurs. Le principal dispositif électronique dans cette application est le convertisseur analogique numérique (ADC). Il sert à la fois pour la conversion de signaux issus de capteurs de température, pression, courant, mais aussi pour une chaîne de conversion de télécommunication.

Dans le cadre de la thèse Cifre, financé par MELEXIS, j'ai participé à l'encadrement de la thèse de L. Cron, dirigée par P. Bénabès. L. Cron a proposé un ADC hybride avec une résolution

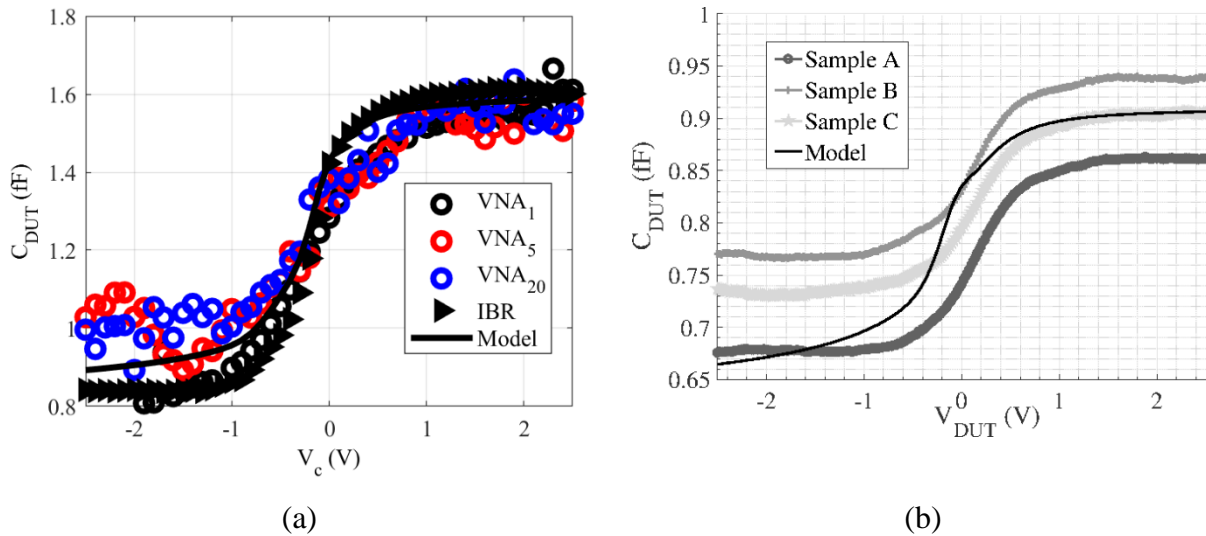


Fig. II.13. Instrumentation des varactors par un réflectomètre basé sous interférométrie : (a) mesures du banc IBR et VNA avec moyennage pour un varactor entre 0.9 et 1.6 fF à 6.8 GHz (Ferreira, 2015) ; (b) mesures du IBR complètement intégré pour trois échantillons de varactor entre 0.65 et 0.95 fF à 17.6 GHz (Ferreira, 2018).

de 14 bits et une latence de seulement cinq cycles d'horloge à une fréquence d'échantillonnage de 100 MHz. Visant une variation de température de $-40\text{ }^{\circ}\text{C}$ à $175\text{ }^{\circ}\text{C}$, l'estimation du délai des comparateurs dynamiques (*latched comparator*) est le premier défi étudié (Cron, 2017). Un dispositif d'instrumentation intégré du délai a été proposé et le délai du comparateur, topologie *Double-Tail (DT)* et *StrongArm (SA)*, a été validé expérimentalement.

Dans la suite, nous avons proposé une analyse des performances des comparateurs SA et DT sensible à la variation de température et à la variabilité du processus. Ces circuits ont été conçus à l'aide de la technologie d'intégration XH018 du fondeur XFAB (2019). Malgré les avantages connus du comparateur DT, A. V. Fonseca *et al.* (2017) ont démontré qu'un tel comparateur présente un sérieux inconvénient dans des environnements sévères. À $175\text{ }^{\circ}\text{C}$, le comparateur DT présente un pire cas de délais à 3.1 ns et 1.4 mV de décalage statique (*offset*), tandis que le SA présente 2.7 ns et 2.7 mV respectivement. De plus, la performance de bruit ($\overline{V_{n,RMS}}$) du comparateur DT a un pire cas de 0.89 mV, tandis que la performance du SA présente 0.4 mV. Ainsi, nous avons démontré que le comparateur DT est moins fiable que le SA et prévu également des conditions de défaillances critiques dans les environnements sévères. Cette communication (Fonseca, 2017) a reçu le prix du meilleur papier (*Best Paper Award*) dans le domaine des circuits et systèmes mixtes de la conférence *SBCCI'2017*. Ce résultat est issu du travail de A. Fonseca,

étudiant de Master 2 que j'ai pu encadrer en 2016/2017. Ces travaux ont été étendus à la conception d'un ADC topologie SAR avec 9 bits de résolution et une bande de 100 MHz en (Fonseca, 2018).

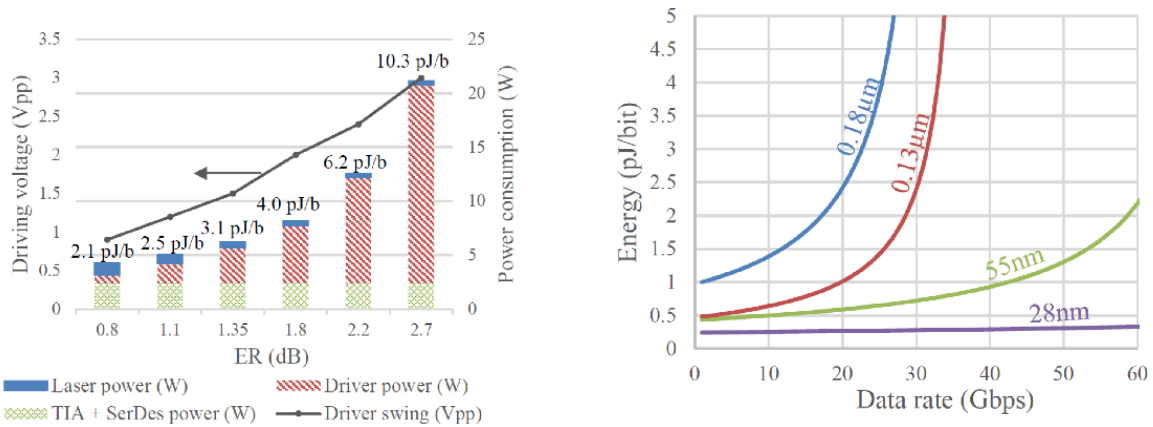
Photonique sur Silicium : émetteur électro-optique intégré pour les connexions entre puces

La conception d'interconnexions haut débit et basse puissance est un défi pour les applications de calculs de haute performance, tandis que la photonique sur silicium peut offrir des solutions attrayantes pour les communications à haute densité. Dans le cadre de la thèse Cifre, financé par ST Microelectronics, j'ai participé à l'encadrement de la thèse de A. Michard, dirigée par P. Bénabès. A. Michard a pu étudier et concevoir un émetteur électro-optique fonctionnant à 20 Gb/s (gigabits par seconde), comme première étape vers la démonstration des liaisons optiques de puce à puce.

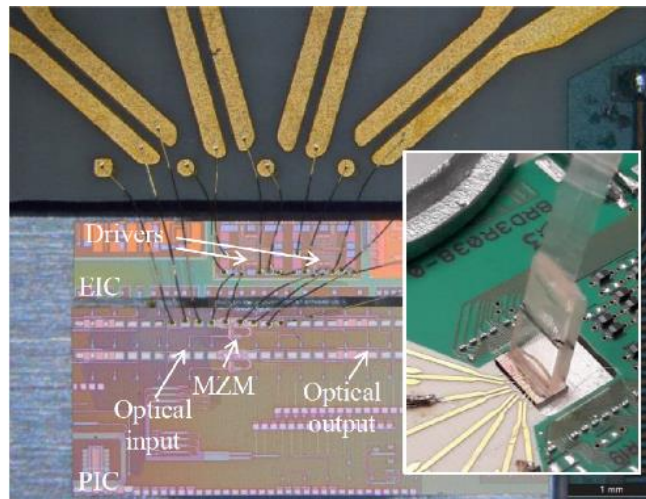
L'architecture proposée est composée d'un interféromètre Mach-Zehnder (MZM) d'actionnement double qui a été co-intégré avec des *drivers* CMOS en technologie 55 nm. La Figure II.12(a) illustre l'étude au niveau du système qui a guidé la conception optimale de l'émetteur électro-optique à partir de l'analyse des compromis : consommation énergétique, rapport d'extinction (*extinction ratio* - ER) et tension d'alimentation des *drivers* CMOS. Cette étude a été réalisée à partir de l'exemple d'un système optique avec 16 longueurs d'onde sur 8 canaux chacun à 16 Gb/s (*gigabit per second*) pour un débit total de 256 GB/s (*gigabyte per second*). Cette étude a montré que l'interconnexion optique est optimisée lorsqu'un faible ER est utilisé pour le modulateur. Dans ces conditions, la consommation des *drivers* CMOS prédomine sur la consommation du laser optique.

Pour minimiser la consommation des *drivers* CMOS, la conception optimale des *drivers* CMOS est proposée parmi les technologies : 0.18 μm , 0.13 μm , 55 nm, et 28 nm. La Figure II.12(b) illustre le compromis obtenu entre consommation et vitesse dans ces technologies en s'appuyant sur la méthodologie de conception de l'effort logique. Un premier résultat a été communiqué en (Michard, 2016), ce qui nous a conduit au choix de la technologie 55 nm. Ces *drivers* CMOS conçus en 55 nm sont capables d'actionner les interféromètres MZM à 20 Gb/s avec une consommation énergétique inférieure à 1 pJ/bit.

L'émetteur électro-optique, illustré en Figure II.12(c), atteint un taux d'erreur sur les bits négligeable ($\text{BER} < 10^{-12}$) à 20 Gb/s pour un ER de 0.73 dB et une consommation de 0.9 pJ/bit.



(a) (b)



(c)

Fig. II.12. Architecture de communication électro-optique basée sur un interféromètre MZM d’actionnement double coïntégrée avec des *drivers* CMOS : (a) l’étude niveau système, (b) conception optimale des *drivers* CMOS, et (c) photo en microscope du démonstrateur (Michard, 2019).

Ces résultats ont été valorisés par une publication (Michard, 2019) pour démontrer la preuve de concept de ce travail de thèse. Ils valident le potentiel d’un émetteur basé sur MZM pour des liaisons optiques à courte distance (*chip-to-chip*), à large bande passante et à faible consommation (environ 2.5 pJ/bit).

Convertisseur analogique numérique ratio-métrique adaptatif vers l’instrumentation intégrée des capteurs résonants CMOS/MEMS

L’instrumentation par deux capteurs résonants est une stratégie intéressante pour minimiser les variations de l’environnement, en mode-commun pour les deux sondes, et maximiser les variations par rapport au mesurant, en mode différentiel pour les deux sondes (Prache, 2018). Ma

contribution dans ce sujet commence dans le cadre de la thèse de P. Prache avec le support à la conception des circuits intégrés. Les résultats expérimentaux obtenus ont démontré l'amélioration de la sensibilité de la solution des capteurs résonants CMOS/MEMS et le rejet partiel de la dérive thermique dans une plage de température jusqu'à 70 °C.

Pour améliorer la sensibilité des capteurs, une nouvelle métrique a été explorée avec une interface ratio-métrique pour capteurs MEMS à modulation d'amplitude (Mostafa, 2019), à partir de la métrique

$$\frac{|X| - |Y|}{|X| + |Y|} = Q \cdot \epsilon, \quad (35)$$

pour bénéficier de la sensibilité de la métrique proposée par (Zhao, 2016) et la simplicité de l'intégration monolithique démontrée par M. Nabavi *et al.* (2013). En fait, l'implémentation intégrée de (23) se fait par un circuit hacheur de tension dans le domaine analogique en temps discret (Nabavi, 2013). Dans le pire des cas, l'architecture proposée atteint une résolution supérieure à 16 bits et une entrée pleine échelle de 0.6 pour une fréquence d'échantillonnage allant jusqu'à 1 MHz (f_{MEMS}). Ce sujet scientifique s'insère dans le cadre de la thèse de A. Mostafa que je co-encadre, sous la direction de J. Juillard.

L'opération non linéaire de résonateurs est aussi un facteur limitant à la sensibilité de ces capteurs. Une étude théorique a démontré les limites fondamentales d'opération, en visant une description qualitative générale de leur comportement plutôt que des résultats particuliers (Juillard, 2019b). Ces résultats ont permis d'établir une vision globale des propriétés non linéaires des capteurs avec la rigidité et les coefficients d'amortissement d'ordre quadratique. Une étude expérimentale détaillée du régime d'opération non linéaire a été proposée dans la suite pour valider les résultats théoriques. Une minutieuse caractérisation des résonateurs et de leurs composants électroniques a été proposée, ce qui a permis de démontrer un très bon ajustement quantitatif entre les résultats expérimentaux (Juillard, 2019a) et ceux prédits par la théorie particuliers (Juillard, 2019b).

L'implémentation intégrée se fait en grande partie par des composants non optimisés (*design reuse*) et blocs numériques de la bibliothèque standards comme mis en évidence en (Prache, 2018) et (Juillard, 2019a). En P. M. Ferreira et al. (2019b), nous avons récemment

démontré les limites de stabilité en température imposées par l'électronique soumise aux variations de processus de tension et de température (PVT) à partir de la métrique (34). Soumis au stress et aux dégradations issues des environnements sévères, les blocs de construction ont tendance à faire varier la métrique selon

$$\angle X - \angle Y = \frac{\pi}{2} \cdot \left(1 + 2 \cdot Q \cdot \left(\epsilon + \frac{\sqrt{2}}{2Q} \Delta\theta \right) \right), \quad (36)$$

où $\Delta\theta$ est la dérive de la phase issue d'une variation du délai des portes logiques et d'une variation de la phase des amplificateurs à la pulsation propre du système asservi (ω_0). Les résultats publiés en ([Ferreira, 2019b](#)) ont mis en évidence le besoin d'outils de co-conception et d'optimisation CMOS/MEMS pour améliorer la stabilité thermique des capteurs résonants dans des environnements sévères, tels que les applications automobiles.

III. Projet et perspectives scientifiques

Les activités de recherche s'organisent sous la forme de projets. Plus qu'un simple management de projet, le projet de recherche est avant tout une activité d'encadrement et de management de personnes. Sa réussite n'est pas la mise en vente d'un produit à l'image d'une activité industrielle, mais la valorisation d'un savoir-faire scientifique. Ce savoir-faire est valorisé sous deux formes principales : la communication scientifique (journal et conférence) et la formation par la recherche d'un jeune professionnel.

La valorisation scientifique (journaux et conférences) est la diffusion du savoir-faire en recherche, mais il doit avant tout s'adresser à une société. La communication scientifique apporte un élément de réponse à un problème de société, soit dans la continuité d'une thématique déjà établie, soit en rupture avec cette thématique. Le jeune professionnel, formé par la recherche, participe à la construction de la société d'innovation. En conséquence, les projets de recherche sont actuellement appelés par l'ANR à répondre à des défis sociétaux. Dans les activités scientifiques décrites dans le **Chapitre II**, trois défis sont identifiés en étroite relation avec les environnements sévères.

Le premier est Mobilité et Systèmes Urbains Durables (voir **Section III.A**), pour lequel les recherches doivent permettre d'évaluer et d'améliorer les performances des systèmes de transport. Dans ce défi sociétal, il y a un fort besoin de dispositifs électroniques de gestion intelligente pour accompagner, développer et promouvoir une mobilité plus durable. L'efficacité énergétique des véhicules, la modélisation et l'interaction des objets, le développement des méthodologies de conception, de l'aide à la décision et d'évaluation des performances constituent les objectifs scientifiques de mes projets de recherche qui répondent à ce défi sociétal.

Le deuxième est Capteurs et Instrumentation (voir **Section III.B**), pour lequel les recherches doivent permettre d'innover dans un domaine transverse des dispositifs électroniques, mécaniques, chimiques, ou biologiques. Dans ce défi sociétal, il y a un fort besoin de méthodes, de mesures et d'instrumentation pour le suivi en ligne des procédés et caractéristiques des dispositifs. La caractérisation à l'échelle nanométrique, l'instrumentation dédiée *in situ*,

l'intégration de capteurs et nanomatériaux dans un instrument de mesure monolithique constituent les objectifs scientifiques de mes projets de recherche qui répondent à ce défi sociétal.

Le troisième défi est celui des Micro et nanotechnologies pour le traitement de l'information et la communication (voir **Section III.C**), pour lequel les recherches doivent explorer de nouveaux paradigmes pour les prochaines générations de dispositifs électroniques. Dans ce défi sociétal, il y a un fort besoin d'amélioration de performances et d'étude de la fiabilité du niveau physique au niveau système. La communication microonde ou photonique, le traitement de l'information neuromorphique ou bioinspirée, les dispositifs électroniques, et l'intégration des circuits et systèmes constituent les objectifs scientifiques de mes projets de recherche qui répondent à ce défi sociétal.

La Figure III.1 présente une chronologie des projets et perspectives de recherche face aux défis sociétaux mentionnés. Mes projets sont organisés dans les deux activités scientifiques de ce mémoire : Conception Optimale et Instrumentation Intégrée. **L'Annexe A** explique la méthode de management de projets de recherche que j'utilise pour mener les projets et perspectives scientifiques décrits dans ce chapitre. Ma proposition pour le management de projets de recherche est inspirée des méthodes *agiles*, reconnues dans le domaine numérique. Compte tenu de l'imprécision des besoins et du manque de connaissance des ressources des projets de recherche, la méthode *agile* est très avantageuse compte tenu de sa capacité d'adaptation au changement.

Les projets, dans la Fig. III.1, sont représentés par des rectangles étendus selon l'axe du temps où les couleurs font référence à la classification de projets selon la matrice de Stacey (voir Fig. A.1 en **Annexe A**). L'encadrement constituant chaque projet est identifié entre parenthèses. Mes projets sont illustrés à court (3 ans) et moyen terme (5 ans), de même que mes perspectives de recherche à long terme (10 ans).

Dans la suite de ce chapitre, les projets scientifiques à court et moyen terme seront présentés avec les dispositifs de financement envisagés. Le chapitre se conclut par mes perspectives scientifiques. Ce travail de recherche vise à établir un Laboratoire Commun (LabCom) selon le Plan d'Action de l'ANR (2018). Ce LabCom serait construit autour des dispositifs électroniques aux environnements sévères entre l'équipe de recherche au GeePs et les

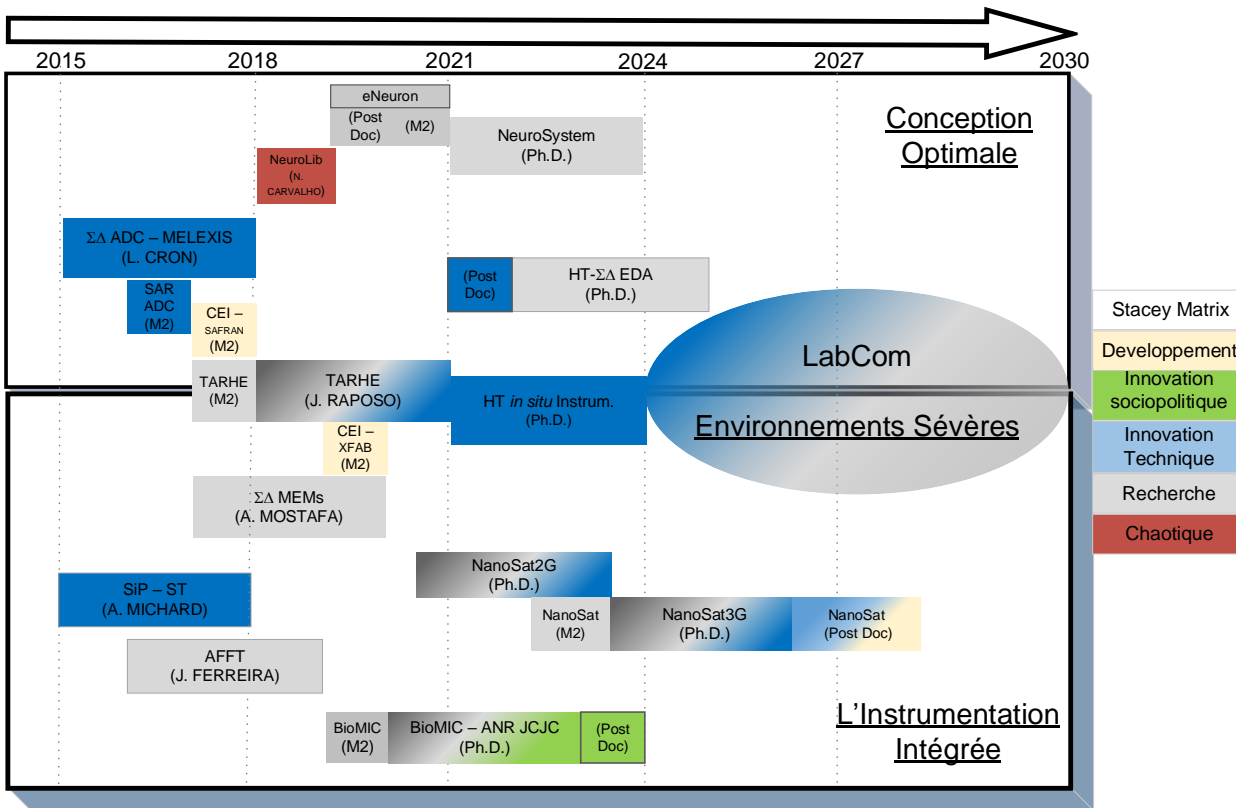


Fig. III.1. Chronologie des projets et perspectives de recherche

entreprises du domaine. Cet accomplissement serait le résultat attendu des projets de recherche et d'innovation technique dans ce domaine.

A. Défi : Mobilité et Systèmes Urbains Durables

Contexte :

L'arrivée de l'Internet des Objets a accru le besoin d'innovation technologique autant en logiciels qu'en matériel. Le rêve du tout connecté s'élargit aux dispositifs qui ont besoin de sûreté de fonctionnement, notamment les véhicules intelligents qui ont de plus en plus de capteurs électroniques et de dispositifs de communication. Dans ce domaine, le matériel est soumis à des environnements sous contrainte où la fiabilité électronique devient un impératif incontournable. Que ce soit dans l'automobile (~ 125 °C), dans le ferroviaire (~ 175 °C), ou dans l'aérospatial (~ 250 °C), la haute température issue des moteurs est sans doute la contrainte environnementale la plus forte pour l'électronique. La deuxième contrainte la plus présente est le rayonnement électromagnétique ionisant et non ionisant, qui engendre du stress électrique et une dégradation de la compatibilité électromagnétique. Dans ce contexte, ce groupement de projets vise la mise en

œuvre des outils de modélisation et de conception optimale en haute température qui rendra faisables des dispositifs intelligents à bas coûts et fiables.

Projet TARHE : Méthodologie de Conception Consciente des Variations en Température

Les microcapteurs d'accélération et de pression constitués par des MEMS sont les plus répandus parmi les capteurs intégrés aux véhicules intelligents. Ces capteurs doivent avoir une sensibilité accrue à la quantité physique qu'ils ont pour but de mesurer et une insensibilité aux variations de l'environnement (comme la température et le bruit électromagnétique). Avant tout, ces capteurs ont besoin de circuits de lecture pour l'acquisition et la mise en forme du signal. Deux des architectures de circuit de lecture les plus utilisées à l'état de l'art sont : le principe d'asservissement $\Sigma\Delta$ et en mode résonant.

Proposé par B. E. Boser et R. T. Howe (1996), le circuit de lecture basé sur le principe $\Sigma\Delta$ est illustré dans la Fig. III.4(a). Un démonstrateur intégré a été publié à la suite de ces travaux (Petkov, 2005). Cette architecture utilise le principe $\Sigma\Delta$ pour la mise en forme du bruit thermomécanique afin d'élargir la précision du capteur. La stabilité en température d'un circuit de lecture en mode résonant dépend du matériel utilisé, du désaccord des coefficients d'expansion thermique, du mode de vibration du capteur et du type d'excitation-détection dans le capteur (Stemme, 1991).

L'architecture en mode résonant peut s'utiliser dans ces deux derniers agents de perturbation pour compenser les variations de l'environnement. Dans cette optique, J. R. Vig (2001) a étudié l'architecture en double mode résonant connu pour sa capacité d'excitation-détection du capteur en différents modes de vibrations. La Fig. III.4 (b) illustre l'architecture du circuit de lecture basé sur deux modes résonants (M_1 et M_2) également sensibles à la température. Mesurer la quantité physique en mode différentiel (D_1 et D_2) fait que les variations de l'environnement présentent des caractéristiques de mode commun qui peuvent être par la suite rejetées par le circuit de lecture.

L'objectif du projet **TARHE** (*Temperature-Aware design methodology: Readout circuits for Harsh Environments*) est de proposer un outil de modélisation et de conception conscient des

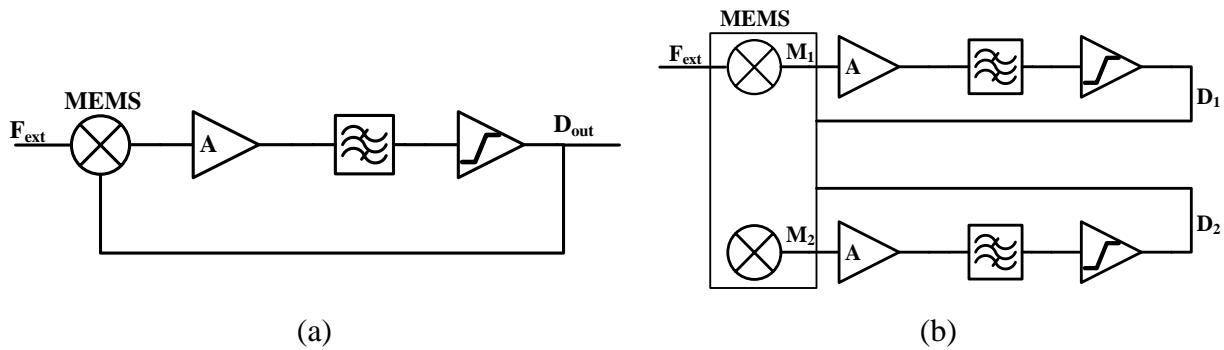


Fig. III.4. Architecture de circuit de lecture : (a) basé sous le principe $\Sigma\Delta$ pour mise en forme du bruit (Boser, 1996) et (b) basé le principe en double mode résonant (Vig, 2001).

variations en température. Pour cela, il faudra modéliser les effets de la variation de la température au niveau transistor et la variation de performance des systèmes de mesure d'environnements sous contrainte. Conscient de la variation de température, **TARHE** proposera par la suite une méthodologie innovante qui pourrait être mise en place à l'aide d'un logiciel d'aide à la conception des circuits (de types EDA/CAO) pour répondre au défi des véhicules intelligents à bas coûts et fiables. La durée du projet **TARHE** est de 42 mois en ayant recruté J. Raposo, initialement en stage de master (6 mois) puis en doctorat (36 mois) avec financement MESR.

Projet HT *in situ* Instrum. : Instrumentation in situ en haute température

Dans les avancements en dispositifs stables en température par exemple, un a priori est supposé : les effets de la variation de la température dans un circuit ou système en boucle fermée sont négligeables. Cette hypothèse est valable pour une plage de température proche de la température ambiante (27 °C). Cependant, le modèle physique des dispositifs (CMOS) réagit différemment quand il est soumis à haute température (> 100°C) et dans ce cas les variations ne sont plus négligeables (Chain, 1997). À l'état de l'art, les circuits de lecture pour cette plage de température sont réalisés avec des technologies exotiques, coûteuses et pas assez matures pour la production en large échelle, dont le *Silicon-Carbide* (SiC) (Wang, 2005).

Pour résoudre les problèmes de stabilité thermique, des capteurs de température sont souvent présents dans ces dispositifs. Ces capteurs de température basés sur des dispositifs MOS ont été intégrés en réalisant le suivi de l'environnement à forte température (~100 °C) avec une précision moyenne (100 m°C) (Wang, 2017). Une précision plus importante (10 u°C) peut être obtenue avec les capteurs basés sur des MEMS (Roshan, 2017). Cependant, la plage de température attendue n'est pas encore assez large pour les véhicules intelligents (> 100°C). La

stabilisation thermique des horloges MOS a été étudiée par S. Jeong *et al.* (2014). L'amélioration de la réponse fréquentielle des filtres actifs (Dorigo, 2015) et des amplificateurs à transimpédance (Lavasani, 2011) a été explorée avec l'implémentation des inductances actives, mais la stabilité en température reste encore un défi (Saberhari, 2016). Des études récentes ont modélisé les effets de la variation de la température dans les OTA ($\sim 200^{\circ}\text{C}$) (Stoica, 2017) et les comparateurs ($\sim 175^{\circ}\text{C}$) (Fonseca, 2017) en CMOS.

Dans la continuation du projet **TARHE**, ce projet vise l'instrumentation *in situ* des dispositifs soumis à de fortes variations de température. Pour cela, il faudra proposer notamment des capteurs de température et de pression associés à ces circuits de lecture. Cet instrument de mesure serait intégré et situé à l'intérieur des moteurs des véhicules intelligents pour ainsi évaluer sa performance énergétique *in situ*. La mise en œuvre d'un circuit de lecture stable à haute température (voir Fig. III.4) sera une étape fondamentale pour valider les outils et méthodologies mis en œuvre dans le cadre du projet **TARHE**. La durée du projet **HT *in situ* Instrum.** est de 36 mois et il est le recruter un doctorant avec financement Cifre.

Projet HT- $\Sigma\Delta$ EDA : Aide à la conception des ADC $\Sigma\Delta$ en Haute Température

L'électronique associée au circuit de lecture (voir Fig. III.4) est composée de MEMS, d'amplificateurs, de filtres et de comparateurs. Les similitudes dans les blocs de construction parmi ces architectures suggèrent un cadre unique pour un outil de modélisation et de conception électronique. Ainsi, la recherche des méthodologies de conception optimale manifeste toute son importance pour résoudre cette problématique des environnements sévères.

Le projet **HT- $\Sigma\Delta$ EDA** est dans la continuation des projets scientifiques de la thèse Cifre de L. Cron sur le **$\Sigma\Delta$ ADC**, financée par MELEXIS. En s'appuyant sur les résultats du projet **TARHE**, ce projet envisage d'aller plus loin dans la démarche de conception et optimisation pour proposer un outil (type EDA). Basé sous les langages MatLab/Python, il est nécessaire d'innover avec une interface vers les simulateurs électroniques (par exemple Spectre ou Eldo) pour atteindre une conception optimale automatique ou assistée par concepteur. La durée du projet **HT- $\Sigma\Delta$ EDA** est de 42 mois, initialement avec le recrutement d'un postdoc (6 mois), sur fonds propres, pour préparer les interfaces logicielles et ensuite par une thèse de doctorat (36 mois) avec financement Cifre.

Contexte :

Des missions ambitieuses ayant une lourde liaison descendante de données émergent dans les applications nanosatellites. Avec un poids et un budget de mission limités, les lancements de nanosatellites ne pourraient pas se permettre des coûts requis par les liaisons descendantes à haut débit. Ainsi, la liaison descendante de données reste un facteur très limitant pour la mission ou la constellation de nanosatellites (Wong, 2019). Une solution pratique consiste à créer un réseau de stations au sol, à acheter des services de liaison descendante auprès d'autres stations ou à développer une antenne à gain élevé. Les stratégies réalisées aboutiraient toutes à une dégradation drastique du compromis entre le coût et la complexité de la mission.

Des solutions récentes reposent sur des émetteurs IRIDIUM utilisant une constellation privée. Là-bas, les satellites peuvent mettre en liaison montante et descendante leurs données partout et à tout moment. Le meilleur exemple de cette stratégie est présenté depuis 2012 avec le programme TechEdSat de la NASA Ames (Murbach, 2019), qui a effectué dix missions avec la technologie IRIDIUM. En utilisant cette architecture de mission, aucun segment terrestre n'est nécessaire et le retour des données est uniquement limité par le débit du réseau IRIDIUM et non par sa couverture. Ayant un débit de quelques kilobits par seconde, des algorithmes très agressifs de compression et de décompression de données sont nécessaires. Une telle solution de système rapporte des coûts élevés des émetteurs aux circuits numériques, au détriment de la consommation d'énergie et de la surface.

De nos jours, Thales Alenia Space a construit et lancé une constellation de remplacements appelée IRIDIUM NEXT. Ce nouveau segment spatial fait passer le débit de données à 1,5 Mb/s. Un tel débit permet une liaison descendante directe de vidéos haute fidélité à partir de plateformes en orbite, mais aussi d'autres applications de données à volume élevé. Autant que nous sachions, IRIDIUM NEXT ne contient pas d'émetteurs compatibles avec les contraintes de masse et de volume des nanosatellites comme les émetteurs existants dans l'écosystème IRIDIUM.

Projet NanoSat2G : Transmetteur Band L Fiable pour l'intercommunication des Nanosatellites

L'arrivée de l'Internet des Objets (IoT) a accru le besoin d'innovation technologique autant en logiciels qu'en matériel. Le rêve du tout connecté s'élargit aux dispositifs qui ont besoin de

sûreté de fonctionnement, notamment les nanosatellites. Dans ce domaine, le matériel est soumis à des environnements sévères où la fiabilité électronique devient un impératif incontournable. Dans l'environnement spatial, la large gamme de températures (entre -40 et 175 °C) est sans doute l'une de contraintes d'environnement les plus fortes pour l'électronique. La deuxième contrainte la plus présente est le rayonnement électromagnétique ionisant et non ionisant, qui engendre du stress électrique et une dégradation de la compatibilité électromagnétique.

La Figure III.5(a) illustre une architecture de système de communication IoT (Rosa, 2009). L'architecture est composée d'un émetteur, allant des circuits numériques en bande de bases à un amplificateur de puissance (PA); et un récepteur, de l'amplificateur à faible bruit (LNA) aux circuits numériques en bande de bases. Dans la bande L (de 1 à 2 GHz), *surface-acoustic-wave* (SAW) ou *bulk-acoustic-wave* (BAW) sont généralement utilisées comme filtres passe-bande. Dans les circuits intégrés, de tels dispositifs sont fabriqués avec des systèmes microélectromécaniques (MEMS) (Abdolvand, 2016). Pour une communication synchrone, l'émetteur-récepteur de la Fig. 1 nécessite un oscillateur à commande numérique (DCO) qui est l'un des dispositifs les plus critiques en termes de fiabilité. En bande de bases, les signaux d'entrée (D_{in}) et de sortie (D_{out}) nécessitent le traitement des signaux analogiques et numériques vers une liaison montante et une liaison descendante fiables.

Pour les applications de nanosatellites, des technologies spécifiques sont souvent choisies pour traiter les ondes à haute efficacité et fiabilité (Katz, 2017). Cependant, la plupart de ces technologies ont un coût d'intégration important (*i.e.* HEMT GaN). Ces technologies ne sont pas compatibles avec la technologie CMOS numérique, comme le PA CMOS 65 nm proposé par R. Zhang *et al.* (2012). M. Ruberto *et al.* (2008) étudient la manière dont le PA devrait être soigneusement conçu pour mieux contrôler sa fiabilité. Du point de vue du circuit, une estimation de la fiabilité du LNA est présentée dans (Ferreira, 2009) et une méthode de conception du DCO pour la fiabilité est proposée dans (Ferreira, 2010). Du point de vue du système, les méthodologies de conception, de simulation et d'optimisation tenant compte de la fiabilité sont proposées en (Ferreira, 2014). Y Huang *et al.* (2012) passent en revue les mécanismes de défaillance courants dans les MEMS, y compris la fracture mécanique, la fatigue, le fluage, la friction, l'usure et les approches permettant d'atténuer ces défaillances grâce à l'optimisation de la structure et au choix des matériaux. En bande de bases, l'intégrité du signal D_{in} et D_{out} vis-à-vis des SET est un sujet

important pour assurer un circuit numérique fiable (Franco, 2008). Cependant, il s'agit d'un sujet récent dans le domaine analogique notamment pour la fiabilité d'amplificateur opérationnel (Nunes, 2018) et de comparateur (Maciel, 2018).

Le projet **nanoSat2G** vise la communication intersatélites à faible coût dans le cadre du déploiement de nanosatélites par le Centre Spatial de CentraleSupélec. Notamment, la fiabilité des systèmes de communication est centrale à la problématique aérospatiale. L'étude circuit et système de la fiabilité d'un frontal RF sera proposé dans cet objectif et une preuve de concept sera fabriqué par la suite. La durée du projet **nanoSat2G** est de 42 mois, initialement avec le recrutement d'un stagiaire de master (6 mois) et avec l'encadrement des projets liés au Centre Spatial de CentraleSupélec, pour préparer le sujet de thèse de doctorat (36 mois). Le choix des instruments pour financer un projet d'une telle ampleur reste encore ouvert, des pistes étant envisagées dans le privé (Thales) et dans le public (CNES).

Projet NanoSat3G : Récepteur Band L/Ku Fiable pour les Nanosatélites

Les dispositifs de communication présents dans les nanosatélites doivent en contrepartie répondre à plusieurs standards de communication intersatélites et avec les stations de base. Ces dispositifs de communication devront respecter les contraintes de bande (L entre 1 et 2 GHz, Ku entre 10 et 10 GHz) et de débit (soit 1.5 Mb/s, soit 8 Mb/s), toute en minimisant leur consommation de puissance. Cette versatilité, cette portabilité et le faible coût inhérent aux nanosatélites nécessitent des architectures de RF spécifiques, notamment la radio logicielle de J. Mitola (1995).

Caractérisée par une versatilité des standards pilotée par l'électronique numérique, cette architecture s'appuie sur un frontal RF de faible consommation. Le premier bloc de construction du frontal RF est l'amplificateur de faible bruit (LNA). Soit en bande étroite, il est donc groupé dans un réseau d'amplificateurs dédiés à chacun des standards [voir Fig. III.5(b)] (Rosa, 2009). Soit en bande large, il est proposé dans un dispositif unique [voir Fig. III.5(c)] (Costa, 2015) capable de répondre en bande L et en Ku simultanément.

NanoSat3G est un projet complémentaire à **NanoSat2G** dans la suite du déploiement de nanosatélites double standard. Il vise l'étude circuit et système d'un frontal RF multistandard pour la communication intersatellite (en bande Ku avec un débit de 8 Mb/s) et terrestre (en bande L avec un débit de 1.5 Mb/s). Il a une durée initialement estimée à 48 mois avec le recrutement d'un

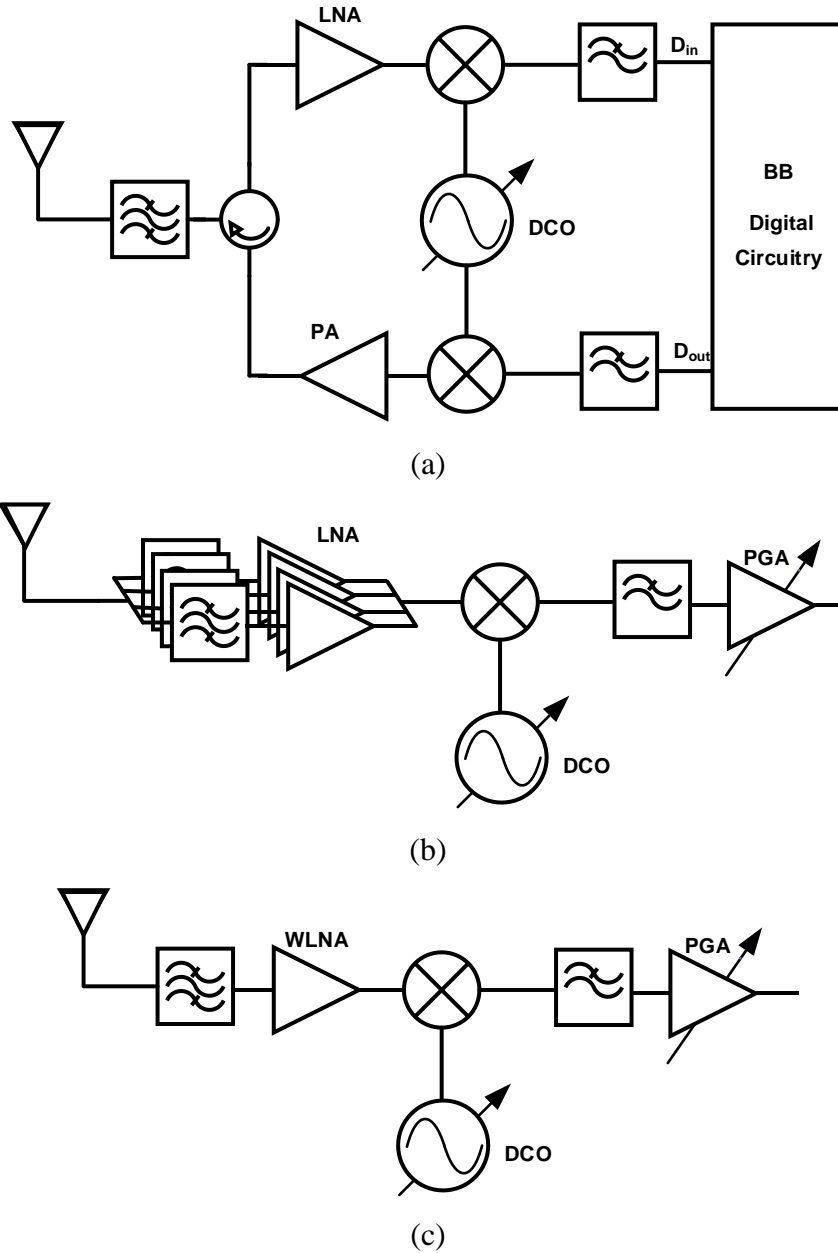


Fig. III.5. Architecture de frontal RF : (a) transmetteur usuelle (b) récepteur usuelle avec un réseau des LNA à bande étroite (un par standard) et (c) récepteur multistandard large bande (Rosa, 2009).

stagiaire de master pour ainsi recruter un doctorant. Il est aussi envisagé dans la suite de la thèse le recrutement d'un postdoc pour la maturation scientifique de ce projet de recherche et innovation.

Gestion des Risques des projets dans ce défi :

Le principal risque des projets décrits est lié à la disponibilité d'une technologie d'intégration et son support avec des modèles en haute température. Actuellement, il y a deux

choix possibles auprès de fondeurs : XT 0.18 μm qui est validé à ~ 175 °C par (XFAB, 2019) ; (b) SOI 0.35 μm qui est validé à ~ 250 °C par (Ayel, 2015). Ces technologies sont déjà connues dans l'équipe dans le cadre d'autres réalisations (Fonseca, 2017) et (Ferreira, 2018a) respectivement, ce qui permettra de limiter ce risque. Par ailleurs, la SOI 0.35 μm a une maturité de modèle plus faible et un cycle de production plus long que la XT 0.18 μm .

Pour répondre aux besoins en RF requis au projet **NanoSat2G**, la technologie XT 0.18 μm présente une fréquence de transition supérieure à 20 GHz en ayant la plus adaptée. Pour adresser les besoins de communication en bande Ku pour le projet **NanoSat3G**, la technologie BiCMOS 55 nm de ST Microelectronics (Chevalier, 2014), avec une fréquence de transition supérieure à 300 GHz, est connue dans l'équipe dans le cadre d'autres réalisations (Ferreira, 2018b). Cependant, les modèles en haute température qui ne sont pas encore supportés.

Impacts et retombées des projets dans ce défi :

Ces projets s'inscrivent dans le défi *Mobilités et Systèmes Urbains Durables* et son sous-axe *Véhicules propres, sûrs, connectés, automatisés* (B.6.1.4 de l'ANR). Les outils de modélisation et de conception, conscients de la haute température et du rayonnement électromagnétique, innoveront avec l'optimisation des circuits intégrés. Ces dispositifs industriels co-intégrés vont rendre viable la mise en place de nouveaux **systèmes d'automatisation** au plus proche des moteurs. Ces systèmes pourront mieux **contrôler le rendement énergétique** des moteurs et agir en cette faveur. Notamment, la fiabilité des systèmes de communication est centrale à la problématique aérospatiale. Les valorisations scientifiques issues des projets rendront possible le fait de mieux de **connaître et de contrôler la fiabilité de l'électronique** embarquée dans les véhicules intelligents. Ainsi, l'enjeu visé est l'évolution technologique en ajoutant de l'intelligence aux véhicules décarbonés, le savoir-faire pour mieux contrôler la sûreté de fonctionnement, évolution technologique nécessaire pour assurer la transition vers des véhicules intelligents et connectés dans les secteurs : automobile, ferroviaire et aérospatial.

B. Défi : Capteurs, instrumentation

Contexte :

La détection et l'identification des agents pathogènes reposent toujours sur les techniques microbiologiques conventionnelles. Ces techniques sont généralement coûteuses, car les échantillons ne peuvent être utilisés qu'une seule fois. Elles nécessitent un personnel hautement qualifié et prennent du temps (Rydosz, 2016). Ces méthodes conventionnelles ne sont utilisées que pour les tests de laboratoire, ce qui limite leur application courante, comme en cabinet médical. La mesure des propriétés diélectriques des matériaux biologiques a démontré sa capacité à fournir des informations importantes pour la recherche biomédicale et pour le développement de nouveaux dispositifs médicaux d'aide au diagnostic et au traitement.

Les techniques de spectroscopie microonde sont des méthodes de mesure et d'instrumentation très répandues pour la caractérisation des nanomatériaux. Elles constituent d'importantes avancées en haute résolution permettant de combiner l'information topologique (2D) avec les caractéristiques électriques (conductivité et permittivité) du dispositif sous test. Par ailleurs, la tendance va vers la mise à l'échelle nanométrique des dimensions des dispositifs à la frontière moléculaire ou atomique.

Cette technique est particulièrement intéressante pour l'instrumentation des matériaux biologiques. La spectroscopie diélectrique peut effectuer des observations en temps réel des cellules et en extraire une information très riche sur leurs propriétés physiologiques sans changer l'environnement biologique. Sa popularité est due à sa nature simple, facile d'utilisation, non invasive et temps réel. De plus, le développement des dispositifs d'instrumentation intégrée est capable d'explorer les avantages du Silicium, dont le faible coût, la portabilité et la reconfigurabilité.

Projet BioMIC : Instrumentation des Matériaux Biologiques : Réflectomètre Basé sur l'Interférométrie en Microonde

Le fonctionnement biochimique des molécules est régi par un délicat équilibre des forces électriques et électrodynamiques en leur sein et entre elles. Les propriétés diélectriques des matériaux biologiques gardent des informations importantes au niveau moléculaire, comme la polarité des molécules (Bibi, 2016), la structure moléculaire (Pitera, 2001) et sa concentration dans

le solvant (Loffler, 1997 ; Havelka, 2018) ; et au niveau cellulaire, comme les propriétés physiologiques (Heileman2013), l'identification de pathogènes (Rydosz, 2016), la différenciation des cellules (Nerguizian, 2017) et leur état de fonctionnement (Li, 2018).

La connaissance des propriétés électromagnétiques des biomolécules est essentielle à la compréhension fondamentale de l'interaction du champ électrique avec les biosystèmes et à la mise au point de nouvelles méthodes de diagnostic et de traitement biomédical. De nombreuses mesures microondes sur des matériaux biologiques ont été effectuées, basées sur différentes techniques décrites dans la littérature (Heileman, 2013 ; Rydosz, 2016 ; Nerguizian, 2017 ; Havelka, 2018 ; Li, 2018). Parmi ces techniques, la spectroscopie d'impédance en microonde a démontré une énorme efficacité pour caractériser les relaxations γ des macromolécules au tour de 18 GHz (Wolf, 2012). Les relaxations γ sont liées à la rotation de la molécule de protéine polaire dans son milieu aqueux et au mouvement de réorientation des molécules d'eau libre. Ce mouvement est responsable de la variation de la permittivité de la solution selon la structure des radicaux présents dans les protéines. Par exemple, une telle technique d'instrumentation serait capable de différencier des radicaux hydrophiles (Wolf, 2012), des radicaux hydrophobes (Havelka, 2018).

Dans l'état de l'art, les systèmes IBR sont souvent développés avec des composants passifs (Ferreira, 2015a ; Ferreira, 2018b) et actifs (Nasr, 2014 ; Nehring, 2017 ; Aouimeur, 2018). Bien que son coût soit indéniablement bas, la solution IBR présente de nombreux défis de portabilité, de reconfigurabilité, de consommation d'énergie et de déploiement à large échelle d'intégration.

Nasr *et al.* (2014) ont proposé une première solution de VNA à une ou deux portes complètement intégrées en utilisant la détection synchrone. P. M. Ferreira *et al.* (2015a) ont proposé une solution de réflectomètre basée sur l'interférométrie sur table avec des composants sur étagères. J. Nehring *et al.* (2016) ont développé ce VNA deux portes complètement intégrées à partir d'un frontal radio en bande Ku (entre 4 et 32 GHz) qui a été par la suite appliqué à l'instrumentation biomédicale (Nehring, 2017).

P. M. Ferreira *et al.* (2018b) ont proposé un premier IBR avec une architecture en réflexion complètement intégrée pour la caractérisation in situ des capacités à une fréquence fixe en bande Ku. Ils ont suggéré l'utilisation d'un déphaseur comme un degré de liberté pour reconfigurer cette fréquence de nul. La justesse démontrée est d'environ 60 aF et la résolution est de 1.2 aF pour une

capacité inférieure à 1 fF (Ferreira, 2018b). W. Aouimeur *et al.* (2018) ont proposé un premier IBR avec une architecture en transmission complètement intégrée pour la caractérisation in situ d'un transistor en bande G. En utilisant la détection synchrone, l'IBR a présenté une bonne précision de la magnitude et une bande de fréquences étendue.

Néanmoins, un premier défi qui reste pour l'implémentation microélectronique d'un IBR est sa reconfigurabilité en fréquence. En effet, Legrand *et al.* (2013) et Houmadi *et al.* (2015) ont mis en évidence qu'il y aurait un optimum de la fréquence de nul qui maximise la résolution de mesure. Par ailleurs, la fréquence optimale dépend de la permittivité et des dimensions des MUT qui forment la capacité vue par l'onde dans le plan de réflexion. À notre connaissance, il n'y a pas encore eu de réalisation d'un déphaseur intégré reconfigurable qui est un incontournable pour pouvoir couvrir la bande Ku.

En outre, le deuxième défi est l'amélioration de la justesse et de la résolution des mesures vers une précision de 10 aF et une résolution de l'ordre du zeptofarad pour une capacité inférieure à 0.1 fF. Randus et Hoffmann (2011) ont déjà suggéré l'utilisation de composants actifs dans le montage IBR. Haddadi et al. (2016) ont récemment analysé ce problème avec des composants sur étagère et expérimentalement démontré la possibilité d'améliorer la justesse et la résolution des mesures. Ces travaux s'appuient sur des amplificateurs de puissance et de faible bruit. À notre connaissance, il n'y a pas encore eu d'étude de la linéarité et du bruit de ces amplificateurs ainsi que ses effets au détriment de la justesse et de la résolution des mesures dans une approche d'IBR complètement intégré.

Le projet **BioMIC** (*Biological Instrumentation using Microwave Integrated Circuits*) a comme objectif d'apporter des améliorations au réflectomètre complètement intégré basé sur l'interférométrie. Ce projet à la suite du projet **FIBER** qui n'a pas été retenue dans l'APPG ANR JCJC en 2019. **BioMIC** élargi les ambitions du projet **FIBER** au domaine de l'instrumentation biologique vers un démonstrateur qui serait capable de caractériser les relaxations γ des macromolécules en bande Ku. Pour cela, **BioMIC** doit résoudre :

1. La reconfiguration de fréquence de nul de l'IBR complètement intégré ;
2. La limitation en justesse et en résolution de mesure haute impédance.

Le projet commencera par une étude des architectures de déphaseur reconfigurable vers une implémentation intégré en B55. Notamment, l'architecture déphaseur reconfigurable choisi aura besoin des inductances actives associées à des varactors. Évidemment, les dispositifs actifs présents dans le déphaseur reconfigurable pourront aussi être utilisés pour améliorer la justesse et la résolution. Ainsi, il sera nécessaire d'étudier les non-linéarités et le bruit des dispositifs intégrés.

Gestion des Risques :

Le principal risque du projet décrit est lié à la disponibilité des matériaux biologiques et l'expertise nécessaire pour les caractériser. Ce risque est réduit grâce à la coopération scientifique pluridisciplinaire envisagée avec des laboratoires partenaires à CentraleSupélec (notamment le LGPM). Avec ce partenaire, je serai en mesure de mieux orienter le choix des caractérisations biologiques nécessaires vers les applications envisagées.

Le deuxième risque le plus important dans ce projet est le besoin d'une expertise en caractérisation hyperfréquence. Pour réduire ce risque, nous sommes en contact avec d'autres laboratoires en France, comme le LAAS ou l'IEMN, reconnus dans le domaine de la mesure des dispositifs hyperfréquence qui pourraient participer à la caractérisation requise au système.

Impacts et retombées des projets :

Ces projets s'inscrivent dans les *Domaines Transverses* en lien avec le défi *Capteurs, instrumentation* (B.8.12 de l'ANR). Le projet vise au **développement d'instrumentation dédiée à la caractérisation à l'échelle nanométrique** des matériaux biologiques en milieux aqueux. Les propriétés physiques mesurées sont de nature biochimique qui sont mises en avant par les relaxations γ des macromolécules au tour de 18 GHz. Par l'amélioration de la justesse et de la résolution des mesures de l'IBR complètement intégré, ce projet ambitionne de pouvoir différencier les radicaux hydrophiles des radicaux hydrophobes et de **favoriser la métrologie biomédicale sur puce** (*lab-on-chip*) en s'appuyant sur les atouts de l'électronique intégrés, à savoir la réduction de coûts, la portabilité et la reconfigurabilité.

C. Défi : Micro et nanotechnologies pour le traitement de l'information et la communication

Contexte :

L'ingénierie informatique se fonde aujourd'hui sur la programmation binaire et une architecture type Von Neumann, alors que la technologie CMOS atteint actuellement des limitations en consommation d'énergie et en densité de circuits. Une nouvelle conception matérielle émerge par analogie entre biologie et circuits électroniques en silicium afin d'intégrer des modèles inspirés de la bio-ingénierie permettant de concevoir des circuits de calcul en temps réel pour des applications de robotique, de traitement des données et de classification. Flexibilité, surface, efficacité énergétique, et fiabilité sont les défis premiers relevés par de tels circuits électroniques biomimétiques.

L'ingénierie biomimétique propose d'imaginer de nouveaux circuits mimant le fonctionnement du vivant pour espérer traiter des situations complexes en un temps réduit, et avec une consommation énergétique très faible. Cette approche permettrait d'imaginer une nouvelle classe d'ordinateurs en ayant des blocs de construction avec la capacité d'apprentissage et biocompatibles par la synthèse des réseaux de neurones.

Avec l'introduction des réseaux de neurones, la possibilité de donner à une machine des types de caractère humains peut être envisagée. Les réseaux de neurones aident à déterminer les modèles de détection d'image, de traitement audio, d'apprentissage des langues et d'apprentissage somatique. Malheureusement, la plupart des implémentations de réseaux des neurones sont purement logiciels. Ceux-ci sont assez complexes, car la programmation impliquée demande un nombre important de calculs et de données, ce qui résultent en un accroissement du coût, de la consommation énergétique et de la mémoire de stockage.

La plupart des données que le cerveau humain reçoit ne sont pas classifiées, mais le cerveau humain n'a pas des limites pour stocker ces données. Alors que l'ordinateur traditionnel ne peut pas traiter ces types de données s'il n'y a pas une reconnaissance des formes qui simplifient le stockage de l'information. Inspiré de l'exemple du cerveau, où le calcul et la mémoire sont présents dans un même lieu dans la structure physique du neurone, ce groupement des projets vise la mise

en œuvre des portes neuromorphiques ou bio-inspirées vers la conception matérielle d'un nouvel ordinateur basé sur le principe du *Spiking Neural Network*.

Projet NeuroLib : Bibliothèque des Blocs Électroniques Bio-Inspirée

De toutes les cellules biologiques, l'une des plus fascinantes est le neurone, car il possède à la fois d'impressionnantes capacités de calcul et de mémoire tout en ne consommant que quelques pico Joules d'énergie par opération. Les neurones du cortex du cerveau ont été étudiés depuis les années 90 par E. M. Izhikevich (2003) qui les a classés en six types de neurones. La Figure III.6 illustre cette classification selon l'état d'activité du neurone à partir de sa réaction à un stimulus. E. M. Izhikevich (2003) développe cette classification, reproduite ci-dessous :

- *Regular Spiking* (RS) génère des pics réguliers avec une adaptation en fréquence des spikes. Pour une excitation constante, la fréquence des spike se réduit au long du temps par un effet d'inhibition.
- *Intrinsically Bursting* (IB) génère des pics de tension toniques tout au début de l'excitation en courant pour revenir ensuite à des pics réguliers avec le phénomène d'inhibition.
- *Chattering* (CH) génère des pics de tension toniques à des intervalles de temps réguliers selon une activité d'activation et d'inhibition rythmique.
- *Fast Spiking* (FS) génère des pics réguliers de haute fréquence avec une périodicité constante sans effet d'inhibition.
- *Low-threshold Spiking* (LTS) génère des pics réguliers avec une adaptation en fréquence et un rebond des spikes par effet post-inhibitoire.
- *Late Spiking* (LS) génère une rampe de tension en réponse au courant d'excitation, conduisant à de longs délais de l'ordre de la seconde.

Jusqu'à présent, cette classification est considérée comme très simplifiée, car la littérature pointe encore des sous-classes entre ces six types.

Pour l'implémentation d'un ordinateur neuromorphique ou bio-inspiré, à partir des neurones du cortex du cerveau (Izhikevich, 2003), des avancées sont déjà publiées à l'état de l'art. La plupart des travaux portent sur la couche logicielle, comme les réseaux de neurones

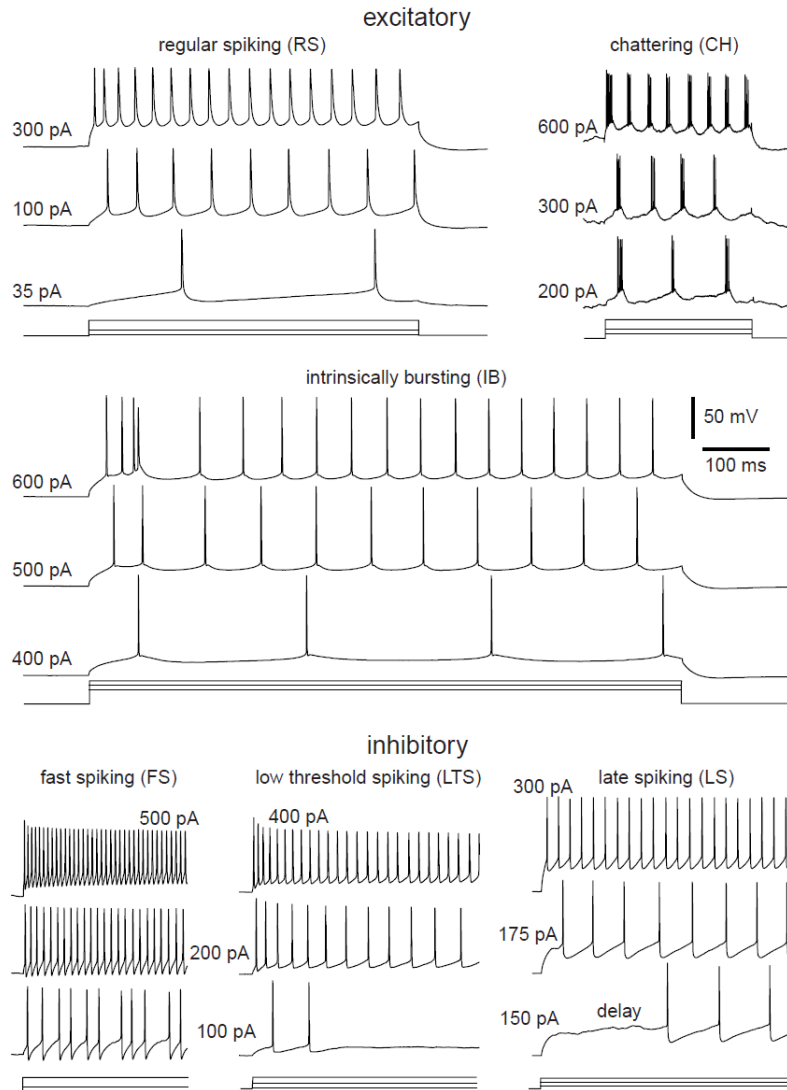


Fig. III.6. Les six types fondamentaux de neurones du cortex du cerveau selon leur activité en courant d'excitation et tension de spike. Cette figure est reproduite avec l'autorisation de www.izhikevich.com. (La version électronique de la figure et les autorisations de reproduction sont disponibles gratuitement sur www.izhikevich.com)

pour le *Big Data* et les algorithmes d'apprentissage. Cependant, très peu de résultats sont présentés sur la couche matérielle. La plupart des publications utilisent des dispositifs memristors pour ajouter de la mémoire aux portes numériques classiques (Azghadi, 2017). Ces dispositifs restent très chers et difficiles à fabriquer dans une technologie d'intégration où ces portes numériques sont disponibles. D'autres travaux s'appuient sur une architecture basée sur *Field Programed Gate Array* (FPGA) ou *Field Programed Analog Array* (FPAA) pour une implémentation matérielle des réseaux des neurones (Hasler, 2013). En revanche, c'est seulement avec les travaux de recherches

découlant de V. Rangan *et al.* (2010) que l'implémentation de neurones à partir du modèle de Izhikevich atteint des niveaux de consommation très bas.

V. Rangan *et al.* (2010) et les travaux scientifiques qui suivent explorent les comportements non linéaires des neurones du cortex. Ces travaux sont souvent établis à l'aide des modèles de Hodgkin-Huxley (1952) ou de Moris-Lecar (1981). Ces deux modèles communément acceptés présentent une intégration non-linéaire du courant de fuite et d'une impulsion exprimée au travers d'exponentielles réelles. En technologie CMOS, un tel comportement est obtenu en régime de faible inversion. D'ailleurs, les transistors fonctionnant dans ce régime ont également l'avantage d'être à faible consommation et biocompatible en termes de tensions d'alimentation (autour de 200 mV). Les inconvénients d'une telle approche biomimétique sont l'obtention d'une fréquence d'émission plus élevée et d'une capacité totale plus faible que celles mesurées dans les cellules biologiques (autour de 0.5 Hz d'impulsions et 245 pF).

Récemment, I. Sourikopoulos *et al.* (2017) a innové par la conception d'un neurone électronique (eNeuron) avec une version biomimétique et une version simplifiée. Sa proposition, illustrée dans la Fig. III.7 dans le cadre gris, présente un comportement similaire au neurone du type FS. En discutant du compromis entre vitesse et consommation, le FS eNeuron proposé en version biomimétique atteint une surface de $300 \mu\text{m}^2$, $f_{\text{spike}} = 1 \text{ kHz}$, et un $E_{\text{eff}} = 40 \text{ fJ/spike}$; simplifiée, la version obtenue a une surface de $35 \mu\text{m}^2$, $f_{\text{spike}} = 26 \text{ kHz}$, et un $E_{\text{eff}} = 4 \text{ fJ/spike}$. Ces deux propositions sont intégrées en technologie TSMC 65 nm et ouvrent la voie à une bibliothèque exhaustive concernant les modèles de neurones d'Izhikevich.

En opérant avec un f_{spike} élevée et un E_{eff} dans la plage du fJ/spike , P. M. Ferreira *et al.* (2019a) ont proposé une implémentation biomimétique, illustrée dans la Fig. III.7, qui présente un comportement similaire au neurone du type LTS. Cet eNeuron atteint une surface de $120 \mu\text{m}^2$, $f_{\text{spike}} = 205 \text{ kHz}$, et un $E_{\text{eff}} = 3.6 \text{ fJ/spike}$. Pour prendre en compte l'adaptation de fréquence et les pics de rebond dus à un effet post-inhibiteur de l'eNeuron LTS, des circuits complémentaires réalisant, au niveau transistor une fonction d'intégration (voir la branche à l'extérieur du carré gris dans la Fig. III.7), ont été ajoutés au circuit mimant l'eNeuron FS.

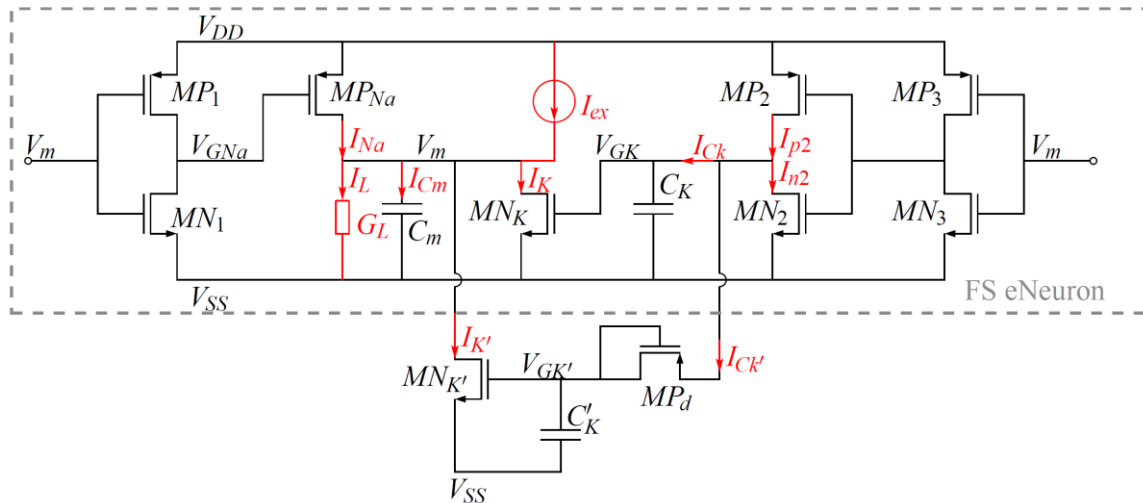


Fig. III.7. Schéma proposé en (Ferreira, 2019a) pour eNeuron LTS avec un noyau de eNeuron FS mis en évidence dans la zone grise ($V_{DD} = -V_{SS} = 200 \text{ mV}$).

L'objectif du projet **NeuroLib** est de faire une étude théorique sur le neuromorphisme qui permettra d'établir les briques de base nécessaires à l'ordinateur bio-inspiré. Les modélisations et les simulations nécessaires sont développées sous MatLab et Virtuoso Cadence avec la technologie BiCMOS 55 nm de ST Microelectronics. À l'issue de cette recherche, l'objectif est de définir une bibliothèque de briques électroniques élémentaires ayant des réponses en amplitude, en temporel et en fréquentiel compatibles avec le monde du vivant. La durée du projet **NeuronLib** est de 36 mois en ayant recruté N. De Carvalho, élève CentraleSupélec dans le Parcours Recherche.

Projet eNeuron : Hardware non-Von Neumann à faible consommation énergétique

Visant à développer une architecture matérielle biomimétique, il est indispensable de construire une bibliothèque de blocs électroniques élémentaires. Dans la suite de l'étude théorique développée dans le projet **NeuronLib**, nous souhaitons concevoir de l'électronique bio-inspirée, la faire fabriquer, et réaliser les caractérisations ad hoc. Ceci est l'objet du projet **eNeuron** pour lequel le Dr. M. Daliri a été recruté en tant que professeur invité financé par CentraleSupélec pour 2 mois. Notre objectif est d'améliorer le comportement des neurones électroniques existants en termes de surface, de consommation et de fréquence. Sur ce dernier point, l'inconvénient des neurones électroniques pourrait même devenir un avantage en termes de vitesse pour un calculateur rapide, basse consommation et économique. Dans la suite, nous envisageons le recrutement d'un stagiaire de M2, sur fonds propres (prévu pour janvier 2020).

Projet NeuroSystem : Fiabilité des Systèmes Neuromorphique sur Matériel

Le projet **NeuroSystem** se situe dans la continuité des projets scientifiques **NeuroLib** et **eNeuron**. En s'appuyant sur des résultats expérimentaux, ce projet envisage d'aller plus loin dans la démarche de conception neuromorphique ou bio-inspirée pour proposer l'étude de la fiabilité des systèmes neuromorphiques de traitement de l'information. Dans cet outil basé sur les langages MatLab/Python, il sera nécessaire d'innover dans la modélisation synaptique qui assure l'interface entre les eNeurons. Ce verrou représente l'une des sources les plus importantes de dégradation de la performance pour les réseaux de neurones basés sur le matériel. La durée du projet **NeuroSystem** est de 36 mois avec l'objectif de recruter un doctorant dans le cadre d'un projet ANR prévu pour l'appel de 2021.

Gestion des Risques :

Ces projets ici décrits ont une ambition scientifique pluridisciplinaire. Le risque réside dans la disponibilité des ressources humaines formées aux sciences du numérique, avec de l'expérience en micro et nanotechnologies (surtout en faible inversion), et les mathématiques fortement non-linéaires du domaine. Pour y remédier, les sujets des projets ont été revus et adaptés en fonction des compétences des candidats recrutés.

Ces projets sont cependant en rupture avec mes travaux précédents. En effet, ils représentent une nouvelle action au sein du laboratoire GeePs et une opportunité unique sur un sujet prioritaire dans le plan scientifique du prochain quinquennat. Ce risque est réduit grâce à la coopération scientifique sur ces sujets du Prof. A. Benlarbi-Delai et du Dr. G. Klisnick (MFC), du laboratoire L2E, qui rejoignent le GeePs à partir de janvier 2020. Leurs expériences professionnelles contribuent à la gestion de ce risque.

Impacts et retombées des projets :

Ces projets s'inscrivent dans le domaine *Sciences du numérique* en lien avec le défi *Micro et nanotechnologies pour le traitement de l'information et la communication* (B.5.3 de l'ANR). Les modèles mathématiques et les dispositifs électroniques proposés sont les premiers pas vers un système de traitement neuromorphique de l'information. Ces nouveaux circuits et systèmes visent l'exploration de nouveaux paradigmes pour les **prochaines générations de composants**. Ces projets cherchent à démontrer des **améliorations de performance**, notamment en termes de

consommation énergétique, et représentent aussi une **rupture dans le domaine de l'Intelligence Artificielle** avec l'implémentation matérielle des réseaux des neurones. Initialement axé sur une approche théorique ou numérique (simulations électriques), ces projets pourront évoluer vers **l'étude de la fiabilité des systèmes neuromorphiques ou bio-inspirés** en s'appuyant sur l'expérience développée dans les autres projets décrits dans ce mémoire.

D. Perspectives : LabCom – Environnements Sévères

CentraleSupélec est une école reconnue dans le milieu industriel pour son expertise en sciences de l'ingénieur et en physique appliquée. Le Plateau de Saclay représente un lieu géographique très attractif pour les entreprises avec un marché de niche dans l'innovation électronique et numérique. Compte tenu de mes projets scientifiques en **Environnements Sévères**, développés à court et à moyen terme, mes perspectives à **l'horizon 2030** sont de développer une structure qui favorise davantage le partenariat industriel et le transfert technologie.

L'ANR soutient la création de laboratoires communs (LabCom) entre organismes de recherche publics, et petites et moyennes entreprises (PME) ou entreprises de taille intermédiaire (ETI). Le programme LabCom propose d'accompagner les laboratoires de recherche dans l'établissement de partenariats bilatéraux durables avec les entreprises. Ce financement permet de consolider des actions comme mes perspectives scientifiques.

Les relations industrielles dans ce domaine scientifique sont très importantes pour établir une chaîne de l'innovation dans le secteur du transport, de l'énergie et de l'aérospatial. Ainsi, mes projets scientifiques viseront le développement de preuves de concept et de dispositifs électroniques de haut niveau de maturité technologique. Je crois que ce transfert des résultats scientifiques et du savoir-faire de la recherche publique vers des entreprises est un facteur de transformation de l'industrie française. Pour cette raison, je voudrais établir un LabCom dans ma thématique de recherche orientée vers les **Environnements Sévères**.

IV. Curriculum vitae

A. État Civil

Nom : MARIS FERREIRA

Prénom : Pietro

Date de naissance : 31/01/1984

Section(s) CNU de rattachement possible : 63

École doctorale de rattachement envisagée (*si connue*) :

N°575, Electrical, Optical, Bio: PHYSICS AND ENGINEERING (EOBE)

Téléphone : 01 69 85 14 09

Mél : maris@ieee.org

ORCID : <https://orcid.org/0000-0002-0038-9058>

CV HAL : <https://cv.archives-ouvertes.fr/pietro-maris-ferreira>

Employeur : CentraleSupélec

Statut : Contrat public à durée indéterminée

Adresse professionnelle :

CentraleSupélec/GeePs

3-11 rue Joliot- Curie

91192 Gif-sur-Yvette, France

B. Expérience professionnelle

- | | |
|----------------|---|
| 2014 - Présent | Professeur Associé à CentraleSupélec, GeePs - UMR 8507
<i>Contrat public à durée indéterminée</i> |
| 2013 - 2014 | Postdoc à Univ. Lille 1, IEMN - UMR 8520
<i>Contrat public à durée déterminée</i> |
| 2012 - 2013 | Enseignant Assistant à ISEN-Lille, IEMN - UMR 8520
<i>Contrat privé à durée déterminée</i> |
| 2011 - 2012 | Postdoc à l'Univ. d'Aix-Marseille, IM2NP - UMR 7334 |

Contrat public à durée déterminée

- 2008 - 2011 **Ph.D. Cand.** à TÉLÉCOM ParisTech, LTCI - UMR 5141
Contrat public à durée déterminée - MESR
- 2006 - 2008 **M.Sc. Cand.** à l'Univ. Fédérale de Rio de Janeiro, lab. PADS (Brésil)
Contrat public à durée déterminée – CAPES (Brésil)
- 2005 - 2006 **Stage d'ingénieur** à l'Univ. Fédérale de Rio de Janeiro, lab. PADS (Brésil)
Contrat public à durée déterminée – CNPq (Brésil)

C. Formation

Doctorat

Date de début de doctorat : 01/10/2008

Date de soutenance : 23/09/2011

Établissement(s) d'inscription : École Nationale Supérieure des Télécommunications (Telecom ParisTech)

École doctorale de rattachement : EDITE de Paris, Sorbonne Université

Titre de la thèse : Méthodologie de conception AMS/RF pour la fiabilité : conception d'un frontal RF fiabilisé

Directeur(s) de thèse : Hervé Petit, Jean-François Naviner

Laboratoire(s) où s'est déroulé le doctorat : Laboratoire traitement et communication de l'information (LTCI) - UMR 5141

Composition du Jury :

Mme Lirida NAVINER	Président
M. Patrice GAMAND	Rapporteur
M. Fernando SILVEIRA	Rapporteur
M. Amara AMARA	Examineur
M. Jean-François NAVINER	Directeur de thèse
M. Hervé PETIT	Directeur de thèse

Production scientifique associée au doctorat :

1 journal [J14], 1 chapitre de livre [B2] et 4 conférences internationales [C25-C28].

Master ou équivalent

Nom du diplôme : M.Sc. en Microélectronique

Établissement d'inscription : Université Fédérale de Rio de Janeiro (Brésil)

Date de début de master : 19/07/2006

Date de soutenance : 28/02/2008

Titre du mémoire : Instrumentation pour Capteurs d'Images QWIP IR P-I-N InGaAs en Mode de Courant

Laboratoire(s) où s'est déroulé le master : Laboratoire de Traitement Analogique et Numérique des Signaux (PADS)

Production scientifique associée au master : 2 journaux [J15, J16] et 2 conférences internationales [C29-C30].

Diplôme d'Ingénieur

Nom du diplôme : Ingénieur en Électronique et Informatique (*cum laude*)

Établissement d'inscription : Escola Politecnica de Rio de Janeiro (Brésil)

Date d'obtention : 06/06/2006

D. Production scientifique

La production scientifique associée à mes travaux de recherche sera séparée par type de communication : journal (J), chapitre de livre (B), conférence internationale (C). Par la suite, elle sera numérotée en ordre chronologique inverse, c'est-à-dire la communication numérotée i est plus récente que la $i+1$. Par exemple [J2, J4] sont publications dans journaux (revues avec comité de lecture) soit [J2] plus récente que [J4]. Le tableau V.1 présente un récapitulatif quantitatif de la production scientifique totale et met en évidence la production récente (4 dernières années).

Tableau V.1 : Récapitulatif de la production scientifique, le total inclut des résultats éventuels de stages précédant le doctorat.

	Total	4 dernières années
Nombre de publications dans des revues avec comité de lecture	16	11
Nombre de publications dans des actes de congrès avec comité de lecture :	30	21
Nombre de livres ou de chapitres de livres	2	1
Nombre de conférences invitées dans des congrès internationaux	0	0
Nombre de brevets	0	0

Journal :

[J1s] A. Michard, J. Carpentier, N. Michit, P. Le Maître, P. Bénabès, and **P. M. Ferreira**, “À sub-pJ/bit, low-ER Mach-Zehnder-based Transmitter for chip-to-chip Optical Interconnects,” *J. Selected Topics in Quantum Electronics*, submitted, 2019.

[J2s] J. A. de França Ferreira, E. Avignon-Meseldzija, **P. M. Ferreira**, J. Sarrazin, and P. Bénabès, “Design of integrated all-pass filters with linear group delay for analog signal processing applications,” *Int. J. Circuit Theory Appl.*, submitted, 2019.

[J1] J. Juillard, A. Mostafa, and **P. M. Ferreira**, “Nonlinear operation of resonant sensors based on weakly-coupled resonators: theory and modeling,” *IEEE Trans. Ultrason., Ferroelectr., Freq. Control*, vol. pp, no. pp, p. pp, accepted, 2019.

[J2] J. Juillard, A. Mostafa, and **P. M. Ferreira**, “Nonlinear operation of resonant sensors based on weakly-coupled resonators: experimental investigation of an actively-coupled architecture,” *Sensors & Actuators: A. Phys.*, vol. pp, no. pp, p. pp, accepted, 2019.

- [J3] J. Ou and **P. M. Ferreira**, “Implications of Small Geometry Effects on gm/ID Based Design Methodology for Analog Circuits”, *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 66, no. 1, pp. 81 - 85, Jan 2019.
- [J4] J. Juillard, P. Prache, **P. M. Ferreira**, N. Barniol, “Ultimate limits of differential resonant MEMS sensors based on two coupled resonators,” *IEEE Trans. Ultrason., Ferroelectr., Freq. Control*, vol. 65, no. 12, pp. 2440 - 2448, Dec 2018.
- [J5] A. V. Fonseca, L. Cron, F. A. P. Barúqui, C. F. T. Soares, P. Benabes, and **P. M. Ferreira**, “A Temperature-Aware Analysis of SAR ADCs for Smart Vehicle Applications,” *J. Integr. Circuits Syst.*, vol. 13, no. 1, pp. 1–10, Aug 2018.
- [J6] **P. M. Ferreira**, C. Donche, E. Avignon-Meseldzija, T. Quémerais, F. Giancesello, D. Gloria, T. Lasri, G. Dambrine, and C. Gaquière, “Fully Integrated Interferometry-Based Reflectometer for High-Impedance Instrumentation,” *IEEE Trans. Microw. Theory Techn*, vol. 66, no. 8, pp. 1–8, Aug 2018.
- [J7] J. Ou and **P. M. Ferreira**, “Design considerations of CMOS active inductor for low power applications,” *Analog Integr. Circ. Sig. Process*, vol. 94, no. 3, pp. 347–356, Mar. 2018.
- [J8] P. Prache, J. Juillard, **P. M. Ferreira**, N. Barniol, and M. Riverola, “Design and characterization of a monolithic CMOS - MEMS mutually injection - locked oscillator for differential resonant sensing,” *Sensors Actuators A. Phys.*, vol. 269, no. 1, pp. 160–170, Jan. 2018.
- [J9] E. Avignon-Meseldzija, T. Lepetit, **P. M. Ferreira**, and F. X. Boust, “Negative Inductance Circuits for Metamaterial Bandwidth Enhancement,” *EPJ Appl. Metamaterials*, vol. 4, no. 11, pp. 1–13, Dec. 2017.
- [J10] **P. M. Ferreira**, C. Donche, A. Delalin, T. Quémerais, D. Gloria, T. Lasri, G. Dambrine, and C. Gaquière, “Sub-fF 130 nm MOS Varactor Characterization using 6.8 GHz Interferometry-based Reflectometer,” *IEEE Microw. Compon. Lett*, vol. 25, no. 6, pp. 418–420, Jun. 2015.
- [J11] J. Ou and **P. M. Ferreira**, “A Unified Explanation of gm /ID -Based Noise Analysis,” *J. of Circuits Syst. Comput.*, vol. 24, no. 1, p. 1550010, Jan. 2015.
- [J12] J. Ou and **P. M. Ferreira**, “A gm/ID-Based Noise Optimization for CMOS Folded-Cascode,” *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 61, no. 10, pp. 783–787, Oct. 2014.

[J13] J. Ou, **P. M. Ferreira**, and J. Lee, “Experimental Demonstration of gm/ID Based Noise Analysis,” *Circuits Syst.*, vol. 5, no. 4, pp. 69–75, Apr. 2014.

[J14] **P. M. Ferreira**, H. Petit, and J.-F. Naviner, “A synthesis methodology for AMS/RF circuit reliability: Application to a DCO design,” *Microelectron. Rel.*, vol. 51, no. 4, pp. 765–772, Dec. 2010.

[J15] **P. M. Ferreira**, J. G. R. C. Gomes, and A. Petraglia, “Current mode read-out circuit for InGaAs photodiode applications,” *Microelectron. J.*, vol. 41, no. 7, pp. 388–394, Jul. 2010.

[J16] **P. M. Ferreira**, F. a. P. Barúqui, and A. Petraglia, “A 0.35 μm CMOS AM demodulator,” *Analog Integr. Circ. Sig. Process*, vol. 57, no. 1–2, pp. 89–96, Nov. 2008.

Chapitre de Livre :

[B1] **P. M. Ferreira**, J. Ou, C. Gaquière, and P. Benabes, “Automated System-Level Design for Reliability : RF front-end application,” in *Computational Intelligence in Electronic Design: AMS/RF Circuit Design*, M. Fakhfakh, E. Tlelo-Cuautle, and P. Siarry, Eds. Springer, 2015, pp. 363–389.

[B2] **P. M. Ferreira**, H. Cai, and L. Naviner, “Reliability Aware AMS / RF Performance Optimization,” in *Performance Optimization Techniques in Analog, Mixed-Signal, and Radio-Frequency Circuit Design*, M. FAKHFAKH, E. Tlelo-Cuautle, and M. H. S. Fino, Eds. IGI-Global, 2014, pp. 28–54.

Conférence Internationale :

[C1] E. Avignon-Meseldzija, J. A. D. F. Ferreira, **P. M. Ferreira**, and P. Bénabès, “A Compact Active Phaser with Enhanced Linearity of Group Delay for Analog Signal Processing,” in *Int. Conf. Advanced Technol., Syst. Services in Telecommun.*, 2019, pp. 1–4.

[C2] J. R. R. D. O. Martins, E. Avignon-Meseldzija, and **P. M. Ferreira**, “Temperature-Aware gm / ID-based Methodology for Active Inductor Design,” in *Workshop Circuits Syst. Design*, 2019, pp. 1–4.

[C3] A. Mostafa, J. Juillard, J. R. R. D. O. Martins, and **P. M. Ferreira**, “An Adaptative Ratio-Metric Analog-To-Digital Interface For Weakly-Coupled Resonant Sensors Based On Mutually

Injection-Locked Oscillators,” in *Proc. IEEE Design, Test, Integration & Packaging of MEMS/MOEMS*, 2019, pp. 1–4.

[C4] **P. M. Ferreira**, J. R. R. D. O. Martins, A. Mostafa, and J. Juillard, “Process-Voltage-Temperature Analysis of a CMOS-MEMS Readout Architecture,” in *Proc. IEEE Design, Test, Integration & Packaging of MEMS/MOEMS*, 2019, pp. 1–4.

[C5] **P. M. Ferreira**, N. De Carvalho, G. Klisnick, and A. Benlarbi-Delai, “Energy efficient fJ / spike LTS e-Neuron using 55-nm node,” in *Proc ACM IEEE Symp. Integr. Circuits Syst. Design*, 2019, pp. 1–6 (*Honorable Mention Award*).

[C6] J. A. de França Ferreira, E. Avignon-Meseldzija, **P. M. Ferreira**, and P. Bénabès, “Design and Synthesis of Arbitrary Group Delay Filters for Integrated Analog Signal Processing,” in *Proc IEEE Int. Conf. Electronics Circuits Systems*, Dec 2018, pp. 1–4.

[C7] **P. M. Ferreira**, M. Schaeffer, A. Mezaour, O. Petit, C. Lelandais-Perrault, and G. Charbonnier, “À -40 to 250 °C Triple Modular Redundancy Temperature Sensor for Turbofan Engines” in *Proc ACM IEEE Symp. Integr. Circuits Syst. Design*, Aug 2018, pp.1-5.

[C8] A. Michard, N. Michit, J. F. Carpentier, P. Le Maître, J. B. Quélène, and **P. M. Ferreira**, “O-band 50Gb / s Ring Modulator in a 300mm Si Photonic Platform,” in *Euro. Conf. Integr. Optics*, Jun 2018, pp. 2–4.

[C9] J. Ou and **P. M. Ferreira**, “A CMOS Envelope Detector for Low Power Wireless Receiver Applications,” in *IEEE New Circuits Syst. Conf.*, Jun 2018, pp. 2–5.

[C10] J. Juillard, P. Prache, **P. M. Ferreira**, and N. Barniol, “Resolution of phase difference and frequency measurements of mutually injection-locked oscillators for resonant sensing applications,” in *Design Test Integr. Packaging MEMS/MOEMS*, May 2018, pp. 1–6.

[C11] J. Juillard, A. Mostafa, and **P. M. Ferreira**, “Analysis of resonant sensors based on mutually injection-locked oscillators beyond the critical Duffing amplitude,” in *Euro. Freq. Time Forum & Int. Freq. Control Symp.*, Apr 2018, pp. 1–5.

[C12] J. Juillard, A. Mostafa, and **P. M. Ferreira**, “Nonlinear enhancement of locking range of mutually injection-locked oscillators for resonant sensing applications”, in *Euro. Freq. Time Forum & Int. Freq. Control Symp.*, Apr 2018, pp. 1–5.

- [C13] A. Michard, N. Michit, J. Quelene, J.-F. Carpentier, and **P. M. Ferreira**, “Influence of Thermo-mechanical Effects induced by 3D Assembly on Silicon Microring Resonator,” in *Euro. Conf. Integr. Optics*, Apr 2017, pp. 1–2.
- [C14] J. Juillard, P. Prache, **P. M. Ferreira**, and N. Barniol, “Impact of output metric on the resolution of mode-localized MEMS resonant sensors,” in *Euro. Freq. Time Forum & Int. Freq. Control Symp.*, Jul 2017, pp. 506–509.
- [C15] L. Cron, P. Laugier, **P. M. Ferreira**, F. Vinci, and P. Benabes, “Delay estimation and measurement circuit for a high-speed CMOS clocked comparator,” in *Euro. Conf Circuit Theory and Design*, Sep 2017, pp. 1–4.
- [C16] J. Ou and **P. M. Ferreira**, “Design Considerations of a CMOS Envelope Detector for Low Power Wireless Receiver Applications,” in *IEEE New Circuits Syst. Conf.*, Jun 2017, pp. 233–236.
- [C17] A. V Fonseca, R. El Khattabi, W. A. Afshari, F. A. P. Barúqui, C. F. T. Soares, and **P. M. Ferreira**, “A Temperature-Aware Analysis of Latched Comparators for Smart Vehicle Applications,” in *Proc ACM IEEE Symp. Integr. Circuits Syst. Design*, Aug 2017, pp. 1–4. (Best Paper Award)
- [C18] P. Prache, **P. M. Ferreira**, N. Barniol, and J. Juillard, “Monolithic integration of mutually-injection locked CMOS-MEMS oscillators for differential resonant sensing applications,” in *IEEE Int. Conf. on Electron. Circuits Syst.*, Dec 2016, pp. 756–759.
- [C19] A. Michard, **P. M. Ferreira**, and J. Carpentier, “0.18-um CMOS Driver Optimization for Maximum Data Rate under Power and Area Constraints,” in *IEEE New Circuits Syst. Conf.*, Jun 2016, pp. 1–4.
- [C20] **P. M. Ferreira**, A. Kolar, and P. Bénabès, “Optimization Methodology for a 460-MHz-GBW and 80-dB-SNR Low-Power Current-Mode Amplifier,” in *Proc ACM IEEE Symp. Integr. Circuits Syst. Design*, Aug 2015, pp. 1–4.
- [C21] E. Avignon-Meseldzija, **P. M. Ferreira**, K. Lekkas, and F. Boust, “A high-Q Tunable Grounded Negative Inductor for Small Antennas and Broadband Metamaterials,” in *IEEE New Circuits Syst. Conf.*, Jun 2015, pp. 1–4.

- [C22] **P. M. Ferreira**, C. Donche, K. Haddadi, T. Quémerais, D. Gloria, T. Lasri, G. Dambrine, and C. Gaquière, “1 – 20 GHz $k\Omega$ -range BiCMOS 55 nm Reflectometer,” in *IEEE New Circuits Syst. Conf.*, Jun 2014, pp. 385–388.
- [C23] J. Ou and **P. M. Ferreira**, “Transconductance / Drain Current Based Sensitivity Analysis for Analog CMOS Integrated Circuits,” in *IEEE New Circuits Syst. Conf.*, Jun 2013, pp. 1–4.
- [C24] **P. M. Ferreira**, E. Bergeret, and P. Pannier, “1.4 V and 300 nA UHF Passive RFID Voltage Regulator,” in *IEEE New Circuits Syst. Conf.*, Jun 2012, pp. 429–432.
- [C25] **P. M. Ferreira**, H. Petit, and J.-F. Naviner, “A New Synthesis Methodology for Reliable RF front-end Design,” in *Proc. IEEE Int. Symp. Circuits Syst.*, May 2011, pp. 1–4.
- [C26] **P. M. Ferreira**, H. Petit, and J.-F. Naviner, “AMS and RF Design for Reliability Methodology,” in *Proc. IEEE Int. Symp. Circuits Syst.*, May 2010, pp. 3657–3660.
- [C27] **P. M. Ferreira**, H. Petit, and J. Naviner, “WLAN / WiMAX RF Front-End Reliability Analysis,” in *IEEE Proc. of EAMTA*, Oct 2010, pp. 46–49.
- [C28] **P. M. Ferreira**, H. Petit, and J.-F. Naviner, “CMOS 65 nm wideband LNA reliability estimation,” in *IEEE New Circuits Syst. Conf.*, Jun 2009, pp. 1–4.
- [C29] **P. M. Ferreira**, J. G. R. C. Gomes, and A. Petraglia, “Current mode read-out circuit for infrared photodiode applications in 0.35 μm CMOS,” in *Proc ACM IEEE Symp. Integr. Circuits Syst. Design*, Aug 2008, pp. 100–104.
- [C30] **P. M. Ferreira**, A. Petraglia, and F. A. P. Barúqui, “A CMOS AM Demodulator for Instrumentation Applications,” in *Proc ACM IEEE Symp. Integr. Circuits Syst. Design*, Aug 2007, pp. 133–136.

E. Activités de recherche antérieures

De 2013 à 2014 : Post-Doc à l'ITEMN - UMR 8520 (Lille)

La thématique était la conception et la nanocaractérisation des composants en hyperfréquences. Un réflectomètre basé sous l'interférométrie a été proposé à partir des composants sur étagère pour l'instrumentation d'un varactor intégré en BiCMOS 130 nm à 6.8 GHz. Par la suite, une version complètement intégrée en BiCMOS 55 nm a été proposée pour l'instrumentation d'un varactor à 17.6 GHz. Ce contrat de recherche a été développé dans le cadre du projet ExCELSiOR (Equipex).

Production scientifique associée :

2 journaux [J6, J10], 1 chapitre de livre [B1] et 1 conférence internationale [C22].

Contrats de recherches obtenus :

Participation dans le projet ExCELSiOR (Equipex).

De 2012 à 2013 : Enseignant Assistant à l'ITEMN - UMR 8520 (Lille)

La thématique était la conception des circuits en hyperfréquences en partenariat avec STMicroelectronics. Un transmetteur faible puissance à partir d'un convertisseur numérique-RF à 60 GHz a été proposé en FDSOI 28 nm dans le cadre du projet MIRANDELA (ENIAC n° 120221, mené par STMicroelectronics).

Production scientifique associée :

NA

Contrats de recherches obtenus :

Participation dans le projet MIRANDELA (ENIAC n° 120221).

De 2011 à 2012 : Postdoc à l'IM2NP - UMR 7334 (Marseille)

La thématique était la récupération et la gestion d'énergie appliquée à un tag RFID passif en UHF/HF. Un système RFID a été intégré en CMOS 130 nm en partenariat avec l'entreprise INVIA dans le cadre du projet TACITES (FUI n°10, mené par Orange Labs).

Production scientifique associée :

1 conférence internationale [C24]

Contrats de recherches obtenus :

Participation dans le projet TACITES (FUI n°10)

F. Activités de recherche actuelle

Depuis 2014 : Enseignant-Chercheur Associé au GeePs – UMR 8507 (Gif-sur-Yvette)

Intéressé par la conception des circuits intégrés de haute performance pour les environnements sévères, j'ai co-encadré 5 thèses de doctorat, dont 2 récemment soutenues le 12 et le 16 novembre 2018. Au sein du GeePs, je participe au thème *Mixed-Signal Circuits and Systems* du pôle Systèmes (ECO2). Ce thème porte sur la conception de systèmes de lecture et traitement de l'information pour répondre aux différents enjeux du véhicule autonome et connecté, des télécommunications, de la sécurité et de la défense.

Dans les activités liées aux environnements sévères, j'apporte des compétences au niveau transistor avec une forte interaction à la physique des composants, dont la haute température. Dans les activités liées à la haute performance, j'apporte à l'équipe des compétences en circuits intégrés ultra-faible consommation et radiofréquence, pour élargir ses compétences système en : frontal radio, interface optoélectronique, la nanocaractérisation en hyperfréquences et le neuromorphique.

Dans le projet scientifique du GeePs pour le quinquennat 2020/2025, je me suis positionné au pôle Électronique. Mon projet de recherche, présenté dans ce document, est centré sur le thème scientifique Électronique intégrée, circuits et systèmes (ICS) avec de fortes interactions avec les thèmes : Ondes et Propagation ; NanoMatériaux, NanoDispositifs et Nanoaractérisation (NanoMDC) ; et Capteurs et Matériaux Fonctionnels (CMF).

Production scientifique associée :

8 journaux [J1-J5, J7-J9] publiés, 2 journaux en cours de révision [J1s-J2s] et 19 conférences internationales [C1-C8, C10-C15, C17-C21].

G. Activités d'enseignement antérieures

J'ai toujours été intéressé par l'enseignement depuis mon parcours en l'école d'ingénieur, où j'ai pu être élève moniteur. Durant mes années de formation, j'ai toujours enseigné et je crois que cela a été une activité très importante pour ma formation personnelle et professionnelle. Participer à la formation de mes étudiants est une activité très gratifiante, car elle me permet de transmettre mes compétences scientifiques en faisant le transfert de la recherche vers l'enseignement. Le Tableau V.2 résume mes activités d'enseignement antérieures. Par la suite,

mes compétences pédagogiques sont détaillées selon la chronologie de mes expériences professionnelles.

Tableau V.2 : Récapitulatif des activités d'enseignement antérieures.

Activités d'Enseignement	Thèmes Abordés	Période	Heures
TP Physique CIR1	Lois des Circuits (Mailles et Nœuds), Circuits Linéaires (RLC), Circuits Non-linéaires (diodes et rectificateurs d'onde), Réponse Transitoire et en Fréquence, Amplificateurs Opérationnels, Projet CAN FLASH pour l'application audio	01/09/2012 – 31/08/2013	73,5
TP Elec. Analog. CSI3	Instrumentation Électronique, Diodes, Amplificateur Opérationnel, Filtrage et Oscillateurs à Relaxation	01/09/2012 – 31/08/2013	40
TP Elec. Analog. CIR3		01/09/2012 – 31/08/2013	8
TP Microcontrôleurs	Découverte microcontrôleur ST7 et l'IDE, programmation en maquette de développement, contrôle des : LEDs, afficheurs 7 segments, interruptions, temporisation et convertisseur analogique numérique	01/09/2012 – 31/08/2013	40
Projet M1	Encadrement de projet d'un RFPA à 60 GHz en CMOS 28nm	01/09/2012 – 31/08/2013	40
ELEC101	Transformée de Laplace et Transformée en Z, Amplificateurs, Filtrage, Modulateur et Démodulateur AM et Convertisseurs Analogique-Numérique Sigma-Delta	15/02/2011 – 28/06/2011	51
		01/09/2010 – 11/02/2011	9,5
		15/02/2010 – 30/06/2010	36
COM102	Physique des semi-conducteurs, diodes, transistor MOS	28/09/2010 – 28/06/2011	15
		28/09/2009 – 12/02/2010	3
ELEC200	Transformée de Laplace et Transformée en Z, Amplificateurs, Filtrage et Convertisseurs Analogique Numérique Sigma-Delta	01/09/2010 – 27/11/2010	6
		28/09/2009 – 27/11/2009	9
COMELEC380	Encadrement de projet d'un DCO en CMOS 65nm	30/09/2009 – 18/12/2009	60
EEL439	Diodes, Transistors, Lois des Circuits (Mailles et Nœuds), Réponse en Fréquence, Contre-réaction en circuits électroniques, Amplificateurs et Oscillateurs	06/03/2007 – 29/06/2007	30
TOTAL			421

De 2012 à 2013 : Enseignant Assistant à l'ISEN (devenu YNCREA) à Lille

Durant mon contrat à l'ISEN-Lille, j'ai pu élargir mes compétences d'enseignement dans plusieurs domaines de l'électronique analogique et numérique. Dans le cours TP Physique CIR1,

j'ai encadré des séances de travaux pratiques, corrigé des comptes-rendus, enseigné les outils de CAO de type SPICE et proposé un projet basé sur un convertisseur numérique analogique de type FLASH pour des signaux audio générés par un Arduino (uP programmé en C). Dans le cours TP Électronique Analogique CSI3 et CIR 3, j'ai encadré des séances de TP et corrigé des comptes-rendus. Dans le cours TP Microcontrôleurs, j'ai développé mes compétences en électronique numérique avec la supervision des projets en ST7 (uP programmé en Assembleur). Dans le Projet M1 intitulé "28nm CMOS 60GHz Power Amplifier", j'ai pu participer au transfert de la recherche vers l'enseignement par une formation à la conception de circuits intégrés avec les outils CADENCE, par une étude de solutions existantes proposées dans le cadre du projet MIRANDELA (mentionné dans les activités de recherche antérieures).

De 2009 à 2011 : Enseignant Vacataire à Télécom Paris (devenu IPP) à Paris

Durant la formation de Doctorat à Télécom ParisTech, j'ai obtenu un poste de vacataire pendant mes deux dernières années d'études. Encadré par P. Degreys, j'ai participé à des séances de TP, aux corrections des comptes-rendus et à la préparation des questions au contrôle de connaissances dans les cours ELEC101 et ELEC200. Encadré par H. Petit, j'ai participé à des séances de TP et aux corrections des comptes-rendus dans le cours COM102. Comme vacataire à Télécom ParisTech, j'ai développé mes compétences pédagogiques en français et anglais, en enseignant à la fois à des élèves de 1^{re} année et des élèves étrangers admis sur titre (AST). Sous la responsabilité de H. Petit, j'ai participé à la supervision du Projet COMELEC380 en encadrant un élève M2 à la conception d'un oscillateur contrôlé numériquement pour une plage de fréquence de 1 GHz à 4,3 GHz. Ce projet a été associé aux activités de recherche dans la période et donc un exemple de transfert de la recherche vers l'enseignement.

De 2006 à 2007 : Enseignant Vacataire du Dép. d'Ing. Électronique et Informatique – UFRJ à Rio de Janeiro (Brésil)

Durant la formation *Master of Science* (M.Sc.) en Microélectronique, j'ai obtenu un poste de vacataire dans le cours EEL439, encadré par C. J. R. D'Avila. Dans ce contexte, j'ai préparé les séances de laboratoire d'électronique et rédigé le guide d'expériences, encadré des séances de travaux pratiques, préparé des questions au contrôle de connaissance et corrigé des compte-rendus. Dans ma première expérience d'enseignement, j'ai développé mes compétences pédagogiques en portugais.

H. Activités d'enseignement actuelles

Depuis 2014, j'ai rejoint Supélec, devenu CentraleSupélec en janvier 2015, et je participe régulièrement aux activités d'enseignements du Département des Systèmes Électroniques. En contrat à durée indéterminée, mes attributions sont en accord avec la réglementation des agents non titulaires selon les dispositions établies, ainsi qu'une activité d'enseignement de 192 heures équivalentes TD annuelles.

Tableau V.3 : Récapitulatif des activités d'enseignement actuelles.

Unité	Thèmes Abordés	Modalités	Niveau	Heures par an
Entre 2015/2016 et 2017/2018 :				
Électronique analogique	Technologies en Électronique, Modélisation et simulation, Transistor Bipolaire et MOS (modèle grands signaux/petits signaux), Architecture des circuits analogiques	CM, TD, TP	1A/L3	76
Composant semi-conducteurs	Physique des semi-conducteurs, jonction PN, effet bipolaire, JFET, MOS	TD	2A/M1	12
Projet de Synthèse	Conception des circuits sur PCB ou ASIC sur un trimestre, travail par binôme/trinôme	Projet	1A/L3	2
Projet Long	Conception des circuits sur PCB ou ASIC sur un trimestre, travail en équipe de 4 ou 5 élèves	Projet	2A/M1	9
Simulation des circuits et systèmes électroniques avec les logiciels de type SPICE	Modélisation, analyses, algorithmes, macro-modèles, LTSPICE, VHDL-AMS, études de cas en systèmes mixtes	CM, TD	FC	10
Depuis 2015/2016				
CAO des circuits intégrés analogiques	CAO Cadence, conception descendante, simulation, dessin de masque, placement-routage, DRC, ERC, LVS	TP	3A/M2	27
Méthodologies de conception avancée (CAD2)	Conception des circuits analogiques pour les technologies décanométriques ; mise en pratique en circuits et systèmes à haute performance et fiabilité contrôlée.	CM, TP	3A/M2	30
Projet CEI	Encadrement d'un binôme ou trinôme dans le cadre d'un contrat d'étude industrielle	Projet	3A/M2	30

Tutorat et stages	Suivi individualisé des étudiants en double diplôme ou en stage des toutes années confondues	NA	Tous les niveaux	10
Les composants électroniques et leur fiabilité	Qualité et qualification des composants physique des défaillances, fiabilité des composants et systèmes, modèles de fiabilité, méthodologies de conception robuste	CM	FC	8
Fondamentaux de l'électronique	Technologies électroniques, circuits linéaires et non-linéaires, transistor bipolaire et MOS, optoélectronique, radiofréquences, circuits numériques	CM, TD	FC	18
Depuis 2018/2019				
Systèmes Électroniques	Technologies en Électronique, Circuits Linéaires et Non-linéaires, Architecture des circuits analogiques	CM/TD/TP	1A/L3	30
Électronique et Composants Intégrés Analogiques (EA1)	Physique des Semi-conducteurs, modélisation MOS, Flot de Conception et Implémentation des circuits fondamentaux (AOP, Comp., Miroir de Courant), Modèles de Bruit	CM, TD	3A/M2	15

Depuis 2014 : Enseignant-Chercheur Associé à CentraleSupélec – Paris-Saclay

Mon recrutement à CentraleSupélec a eu lieu dans la suite du départ à la retraite du collègue A. Bonnoit fortement impliqué dans les cours : électronique analogique et composants semi-conducteurs ; en filière initiale. Très tôt, j'ai eu l'opportunité d'avoir la responsabilité d'une voie de 100 élèves dans le cours *électronique analogique* en 1^{er} année d'école d'ingénieur, en gérant les CM, TD, et TP tout en travaillant en équipe pédagogique pour assurer l'harmonisation avec les trois autres voies du Coursus Ingénieur Supélec. À partir de 2018/2019, ce cours a évolué avec les aspects de l'électronique numérique dans le cadre du cursus CentraleSupélec pour devenir un cours électif de 1^{er} année appelé *Systèmes Électroniques*. De plus, j'ai collaboré en tant que chargé de TD au cours *composants semi-conducteurs* dans deux voies différentes (envions 30 élèves) en 2^{ème} année du Coursus Ingénieur Supélec. J'ai eu aussi l'opportunité d'enseigner la *CAO Cadence et le flot de conception des circuits intégrés*, surtout des TP. Ce cours de majeure (3A du Coursus Ingénieur Supélec) sous la responsabilité pédagogique de E. Avignon-Meseldzija est une

opportunité rare en école d'ingénieur en France et l'une des spécialités du département à CentraleSupélec. Récemment, j'ai récupéré le cours *Électronique et Composants Intégrés Analogiques* qui aura une mise-à-jour pédagogique pour l'année scolaire 2020/2021 quand il fera partie du cursus CentraleSupélec.

CentraleSupélec valorise aussi des modalités pédagogiques axées sur la pratique du métier d'ingénieur. Pour cette raison, l'approche d'enseignement par projet est présente de la 1^{er} à la 3^{ème} année avec une charge horaire et une difficulté technique adaptées au niveau de l'élève. La formule de projet la plus importante est offerte aux élèves en 3^{ème} année sous le nom de *Contrat d'Etude Industrielle*. Plus de détails sont fournis dans la section ci-dessous sur les activités contractuelles.

Dès la création du master ICS de l'Université Paris-Saclay ; une coopération entre CentraleSupélec, Université Paris Sud et Telecom ParisTech ; j'ai eu la responsabilité de mettre en place la pédagogie du cours *méthodologies de conception avancée*. Ce cours est composé en majorité des TP sur le savoir-faire de la conception en technologies décanométriques de haute performance pour les environnements sévères (XFAB SOI 180 nm). La pédagogie mise en place est fortement inspirée de celle du cours *CAO des circuits intégrés analogiques*.

CentraleSupélec investit aussi dans la filière formation continue Supélec, devenu CentraleSupélec EXED. J'ai aussi eu cette activité pédagogique héritée du collègue A. Bonnoit et certains cours repris avec E. Avignon-Meseldzija sur cours : *Les composants électroniques et leur fiabilité ; Fondamentaux de l'électronique ; Simulation des circuits et systèmes électroniques avec les logiciels de type SPICE*. Ces sont des formations délivrées à un nombre réduit de participants (environs entre cinq et dix) issus de l'industrie selon une demande de formation personnelle.

I. Activités contractuelles

Porteur de contrat de thèse CIFRE :

1. Objet : *Nouvelle architecture de convertisseur hautes performances pour environnement sévère*

Partenaire : **MELEXIS**

Période : de juin 2015 à novembre 2018

Budget : 110 k€

Fonctions : encadrement de thèse doctorale de **L. Cron**

2. Objet : *Contribution aux développements de circuits de qualification pour une plateforme photonique sur silicium hybride visant des débits supérieurs à 25Gb/s*

Partenaire : **ST-Crolles**

Période : de novembre 2015 à novembre 2018

Budget : 49 k€

Fonctions : encadrement de thèse doctorale de **A. Michard**

Coordinateur des contrats financés :

1. Objet : *CentraleSupélec Électronique Intégration (CSEI)*

Partenaire : **Action IDEX Paris-Saclay 2014 « Initiatives pédagogiques »**

Période : de novembre 2014 à décembre 2015

Budget : 11 k€

Fonctions : encadrement de projets d'élèves en 1A, 2A, et 3A du Coursus Ingénieur Supélec avec l'objectif de faire un prototype microélectronique intégré en passant par toutes les étapes de conception du flot microélectronique

2. Objet : *Capteur de température sur circuit intégré pour un turboréacteur*

Partenaire : **SAFRAN TECH**

Période : de novembre 2017 à mars 2018

Budget : 13 k€

Fonctions : encadrement de projet en 3A Coursus Ingénieur Supélec de **A. Mezaour, O.**

Petit et M. Schaeffer

3. Objet : *Conception d'un régulateur linéaire en CMOS SOI 0.35µm haute température*

Partenaire : **SAFRAN TECH**

Période : de novembre 2018 à mars 2019

Budget : 13 k€

Fonctions : encadrement de projet en 3A Cursus Ingénieur Supélec de **M. Freire et G.**

Riondet

4. Objet : *Étude du comportement et adéquation des modèles de composants à haute température (>175°C)*

Partenaire : **XFAB-Courbevoie**

Période : de novembre 2018 à mars 2019

Budget : 13 k€

Fonctions : encadrement de projet en 3A Cursus Ingénieur Supélec de **M. Grimberty, G.**

Lamothe et A. MFoukh

Coordinateur des contrats soumis et non acceptés :

1. Objet : *Méthodologie de Conception Consciente des Variations en Température : circuits de lecture pour les environnements sous contraintes (TAHRE)*

Appel : **APPG ANR JCJC 2018**

Période : d'octobre 2018 à septembre 2021

Budget : 200 k€

Fonctions : encadrement de thèse doctorale

2. Objet : *Améliorations au Réflectomètre Complètement Intégré Basé sur l'Interférométrie (FIBER)*

Appel : **APPG ANR JCJC 2019**

Période : d'octobre 2019 à septembre 2022

Budget : 170 k€

Fonctions : encadrement de thèse doctorale

3. Objet : *Instrumentation des Matériaux Biologiques : Réflectomètre Basé sur l'Interférométrie en Microonde (BioMIC)*

Appel : **APPG ANR JCJC 2020**

Période : d'octobre 2020 à septembre 2023

Budget : 175 k€

Fonctions : encadrement de thèse doctorale (en cours de soumission)

Collaborateur des contrats soumis et non accepté :

1. Objet : *Capteur de Pression Résonant Intégré en Environnement Sévère (RIPTIDE)*

Coordinateur : J. Juillard

Partenaires : GeePs, CEA-LETI, Schlumberger, Universitat Autònoma de Barcelona
(Espagne)

Appel : **APPG ANR PRCE 2015**

Période : d'octobre 2015 à mars 2019

Budget : 384 k€

Fonctions : encadrement de thèse doctorale, collaboration internationale

2. Objet : *Optimal Stability of MEMS Oscillating Sensors (OSMOSe)*

Coordinateur : J. Juillard

Partenaires : GeePs, LIP6, ONERA, ASYGN

Appel : **APPG ANR PRCE 2016**

Période : d'octobre 2017 à septembre 2020

Budget : 462 k€

Fonctions : encadrement de thèse doctorale

3. Objet : *Récupération d'énergie ultime à partir des vibrations ambiantes non-régulière (ULTIMATE)*

Coordinateur : G. Galayko

Partenaires : LIP6, GeePs, ESYCOM

Appel : **APPG ANR PRC 2016**

Période : d'octobre 2017 à septembre 2020

Budget : 390 k€

Fonctions : encadrement de thèse doctorale

4. Objet : *Récupération d'Énergie et Propriétés Extrêmes des Résonateurs Electrostatiques (REPERE)*

Coordinateur : J. Juillard

Partenaires : GeePs, LIP6, ESYCOM

Appel : **APPG ANR PRC 2017**

Période : de septembre 2018 à août 2021

Budget : 484 k€

Fonctions : encadrement de thèse doctorale

5. Objet : *MEMS Electrostatiques Résonants en Régime d'Oscillation ExTREME (MEMSTREAM)*

Coordinateur : J. Juillard

Partenaires : GeePs, LIP6, ESYCOM, ONERA

Appel : **APPG ANR PRC 2018**

Période : de septembre 2019 à février 2023

Budget : 529 k€

Fonctions : encadrement de thèse doctorale

J. Expériences d'encadrement

Tableau V.4 : Récapitulatif des expériences d'encadrement depuis 2015.

	Total	4 dernières années
Encadrement de doctorants	5	5
Encadrement de stages de niveau M2	3	3
Encadrement de stages de niveau L3 ou M1	5	5

Encadrement des Doctorants :

- 1. De 2015 à 2018 (thèse soutenue le 16 novembre 2018) : Doctorat (financement CIFRE), Ludwig CRON, Co-encadrant à 60%, Philippe BENABES (Directeur) à 20%, Filipe VINCI à 20%**

Nouvelle architecture de convertisseur hautes performances pour environnement sévère

Production scientifique associée :

1 journal [J5] et 1 conférence internationale [C15]

Activité actuelle :

Ludwig CRON est actuellement embauché en CDI à Melexis

- 2. De 2015 à 2018 (thèse soutenue le 12 novembre 2018) : Doctorat (financement CIFRE), Audrey MICHARD, Co-encadrant à 80%, Philippe BENABES (Directeur) à 20%**

Contribution aux développements de circuits de qualification pour une plateforme photonique sur silicium hybride visant des débits supérieurs à 25Gb/s

Production scientifique associée :

1 journal en cours de révision [J1s] et 3 conférences internationales [C8, C13, C15].

Activité actuelle :

Audrey MICHARD est actuellement embauchée en CDI à ST Microelectronics

- 3. De 2016 à 2019 : Doctorat (financement MESR), João Alberto DE FRANCA FERREIRA, Co-encadrant à 20%, Philippe BENABES (Directeur) à 20%, Émilie AVIGNON-MESELZIJIA à 60%**

Transformée de Fourier Analogique Intégrée Temps Réel pour Signaux à Large Bande

Production scientifique associée :

1 journal en cours de révision [J2s] et 2 conférences internationales [C1, C6]

- 4. De 2017 à 2020 : Doctorat (financement MESR), Ali MOSTAFA, Co-encadrant à 50%, Jérôme JUILLARD (Directeur) à 50%**

Couplage d'oscillateurs et de résonateurs MEMS pour des applications de mesure différentielle

Production scientifique associée :

2 journal [J1-J2] et 3 conférences internationales [C3, C11-12]

5. De 2018 à 2021 : Doctorat (financement MESR), João Roberto RAPOSO DE OLIVEIRA MARTINS, Co-encadrant à 75%, Francisco ALVES (Directeur) à 25%

Méthodologie de Conception consciente des Variations en Température : circuits de lecture pour les environnements sévères

Production scientifique associée :

1 conférence internationale [C4]

Encadrement des Stagiaires M2 :

1. De 2016 à 2017 : Stage M2, Adriano VIANNA FONSECA, Encadrant à 100%

Fiabilisation des ADC Haute Performance pour l'Automobile

Production scientifique associée :

1 journal [J5] et 1 conférence internationale (*best paper award*) [C17]

2. De 2017 à 2018 : Projet CEI, A. MEZAOUR, O. PETIT et M. SCHAEFFER, Co-encadrant à 50%, Caroline LELANDAIS-PERRAULT à 50%

Capteur de température sur circuit intégré pour un turboréacteur

Production scientifique associée :

1 conférence internationale [C7]

3. De 2017 à 2018 : Stage M2, João Roberto RAPOSO DE OLIVEIRA MARTINS, Encadrant à 100%

Étude des circuits de lecture pour les environnements sévères

Production scientifique associée :

1 conférence internationale [C2]

Encadrement des Stagiaires M1 :

1. En 2016 : Stage M1, Meng CHEN, Encadrant à 100%

La vérification et la conception du circuit intégré analogique

Production scientifique associée :

NA

2. En 2016 : Stage M1, Jérémie DAVID, Encadrant à 100%

Conception et modélisation des I/O microélectroniques en HF

Production scientifique associée :

NA

3. En 2018 : Stage M1, Jenifer TZOC, Encadrant à 100%

Integrated Circuit Instrumentation and Data Processing

Production scientifique associée :

NA

4. De 2018 à 2021 : Parcours Recherche CentraleSupélec (du L3 au M2), Nathan de CARVALHO, Encadrant à 100%

Neuromorphisme : une Bibliothèque de Blocs Électroniques Bio-Inspirés

Production scientifique associée :

1 conférence internationale (*honorable mention*) [C5]

5. En 2019 : Stage M1, Cristian GUERRERO, Encadrant à 100%

HDL Synthesis and Implementation of low-power non-Von Neumann computing.

Production scientifique associée :

NA

Formation à la direction de thèse ou une autre formation à l'encadrement

A-Enc1 - Session S22 : Marché de l'emploi des docteurs et projet professionnel (mai 2019)

A-Enc2 - Session S23 : Management d'un projet doctoral (juillet 2019)

ABG – Université Paris Saclay : Formation à l'encadrement des doctorant(e)s (septembre 2019)

L. Collaborations Internationales

Depuis 2016 : Collaboration avec l'Université Fédérale de Rio de Janeiro (Brésil)

La thématique est l'analyse et l'optimisation des circuits et systèmes mixtes pour les environnements sévères. Une étude a été menée sous l'angle de la variation de la température. Une

deuxième étude a été démarrée sur la modélisation des transistors pour estimer les variations au niveau du circuit et du système.

Production scientifique associée :

1 journal [J5] et 1 conférence internationale [C17]

Contrats de recherches obtenus :

NA

Depuis 2014 : Collaboration avec California State University Northridge (États-Unis)

Dans la continuité de la collaboration avec *California State University*, la thématique est l'analyse et l'optimisation des circuits en utilisant la méthodologie g_m/I_D . Divers circuits et systèmes analogiques ont été optimisés du point de vue de la consommation, la vitesse, le bruit et la linéarité. De nouveaux phénomènes dont la température et l'effet de la faible géométrie des transistors ont été étudiés.

Production scientifique associée :

2 journaux [J3, J7] et 2 conférences internationales [C9, C16].

Contrats de recherches obtenus :

NA

De 2012 à 2014 : Collaboration avec California State University Sonoma (États-Unis)

La thématique était l'analyse et l'optimisation des circuits en utilisant la méthodologie de conception basée sur le g_m/I_D des transistors. Plusieurs circuits et systèmes analogiques ont été optimisés du point de vue de la consommation, la vitesse, le bruit et la linéarité.

Production scientifique associée :

3 journaux [J11-J13] et 1 conférence internationale [C23].

Contrats de recherches obtenus :

NA

M. Rayonnement

Je suis membre actif de l'IEEE (S'03-SG'06-M'12-SM'18) et bénévole dans diverses activités depuis 2003. Entre 2003 et 2008, j'ai collaboré avec la Section Rio de Janeiro de la Région 9. Durant cette période, j'ai pu participer à l'organisation des conférences : IEEE/ACM

SBCCI2007, IEEE RR2006, IEEE RNR 2005. Depuis 2011, je collabore avec la Section France de la Région 8. Dans cette période, j'ai pu participer à l'organisation des conférences : IEEE ISCAS 2010, IEEE/ACM SBCCI 2019 (Région 9), IEEE DTIP 2019, IEEE ICECS 2019.

Je suis reviseur des conférences internationales : IEEE NEWCAS ; IEEE ISCAS ; IEEE/ACM SBCCI ; IEEE MWCAS, IEEE ICECS. Je suis reviseur des journaux : IEEE Tran. Circuits and Syst. I et II ; IEEE Tran. Device Mat. Rel. ; IEEE Potentials ; Microelec. J. ; Microelec. Eng. ; Microelec. Rel. ; Integration, the VLSI J. En 2017, j'ai pu participer à la révision d'un projet PRCI soumis à l'AAPG ANR.

En 2017, j'ai pris le rôle de référent du laboratoire GeePs du GdR SoC-SiP qui a évolué vers le GdR SOC2 (System On Chip, Systèmes embarqués et Objets Connectés) en 2018.

N. Activités de popularisation de la science et prix

Prix en conférence internationale :

P. M. Ferreira, N. De Carvalho, G. Klisnick, and A. Benlarbi-Delai, "Energy efficient fJ / spike LTS e-Neuron using 55-nm node," in *Proc ACM IEEE Symp. Integr. Circuits Syst. Design*, 2019, pp. 1–6 (*Honorable Mention Award*).

A. V Fonseca, R. El Khattabi, W. A. Afshari, F. A. P. Barúqui, C. F. T. Soares, and **P. M. Ferreira**, "A Temperature-Aware Analysis of Latched Comparators for Smart Vehicle Applications," in *Proc ACM IEEE Symp. Integr. Circuits Syst. Design*, 2017, pp. 1–4 (*Best Paper Award*).

Prix de Popularisation de la Science :

Mention Honorable à XXVII Jornada Giulio Massarani de Iniciação Científica, Artística e Cultural da UFRJ, en 2005.

Médaille d'Or à XXVI Jornada Giulio Massarani de Iniciação Científica, Artística e Cultural da UFRJ, Centre des Sciences et Technologies (CT), en 2004.

V. Conclusion

Durant toutes ces années de recherche, j'ai pu collaborer avec différents laboratoires en France (LTCl, IM2NP, IEMN, GeePs) et établir des coopérations internationales (CSU, UFRJ). J'ai bénéficié du contexte favorable de CentraleSupélec et du projet de l'Université Paris-Saclay pour le déroulement de mes travaux de recherche. Cette richesse scientifique est la marque de toutes ces institutions d'enseignement et de recherche dans lesquelles j'ai pu développer mes expériences professionnelles. Par ailleurs, les compétences scientifiques et techniques de mes collègues de travail ont contribué de manière complémentaire et enrichissante aux projets de recherche décrits dans ce mémoire et à ma formation professionnelle par la recherche.

Les contours de ma thématique de recherche sont précisés dans ce mémoire. Elle s'articule autour de :

1. La Conception Optimale qui favorise un meilleur compromis entre les performances, et rejette les techniques de conception surdimensionnée ;
2. L'Instrumentation Intégrée dans l'échelle nanométrique en visant la hausse de performance et le bas coût des processus de fabrication avancée ;
3. La fiabilité des dispositifs électroniques en milieux complexes et face aux situations extrêmes caractéristiques de l'électronique en Environnements Sévères.

Ce mémoire sur une petite dizaine d'années de travaux révèle une expérience scientifique marquée par : le co-encadrement de cinq thèses de doctorat, l'encadrement de trois stages de M2 et cinq stages de M1/L3, l'établissement de deux coopérations internationales, la coordination de six contrats de recherches, la publication de seize articles de journaux, de deux chapitres de livre et d'une trentaine d'articles de conférences internationales.

Ce mémoire résume mes activités scientifiques sur un format qualitatif (**Chapitre II**) et quantitatif (**Chapitre III**), qui sont alignées avec mes projets et perspectives de recherche (**Chapitre III**) ainsi que ma vision sur le management de projets scientifiques (**Annexe A**). Finalement, ce mémoire fait preuve de mon dévouement et de ma passion pour la recherche et pour l'enseignement, un binôme essentiel pour relever les défis sociétaux et communiquer la science, afin de bâtir la société du XXI^e siècle.

Annexe A – Gestion des Projets de Recherche

Les activités de recherche s'organisent sous la forme de projets. Les projets de recherche ne peuvent pas être considérés comme un simple management de projet d'ingénieur. Sa réussite n'est pas la mise en vente d'un produit à l'image d'une activité industrielle, mais la valorisation d'un savoir-faire scientifique. Ce savoir-faire est valorisé sous deux formes principales : la communication scientifique et la formation par la recherche d'un jeune professionnel.

Chaque projet est constitué de besoins et de ressources. Les besoins d'un projet pourront être précis ou imprécis selon le descriptif du projet. Ceci transforme un projet de développement à besoins précis en un projet d'innovation sociopolitique jusqu'à un projet de recherche à besoins imprécis. Les ressources d'un projet pourront être connues ou inconnues selon leur nature : technologique et humaine. Si les ressources technologiques et humaines employées dans un projet sont assez connues, ce projet constitue un projet de développement. En revanche, un projet d'innovation technique se situe dans une région de connaissance limitée des ressources, jusqu'à la faible connaissance où se situent les projets de recherche.

À cause de l'imprécision des besoins et du manque de connaissance des ressources, le projet de recherche souffre d'un vrai danger dans la mise en place d'un management chaotique. Pour minimiser l'imprécision des besoins, l'analyse du cahier des charges est souvent la première étape d'un projet. Pour maximiser la connaissance des ressources, l'analyse des risques et l'étude de la situation initiale du projet sont fondamentales à sa réussite.

La complexité et la créativité dans les organisations, ici déclinées aux projets scientifiques, sont un thème qui a particulièrement inspiré R. D. Stacey (1996). Dans son livre, R. D. Stacey combine des idées issues de la psychanalyse, de la recherche comportementale, de la science de la complexité et du chaos afin de suggérer des moyens de gestion. La Figure A.1 illustre la matrice de R. D. Stacey (1996) adaptée au management des projets scientifiques de ce mémoire.

Les projets de développement sont représentés en bas et à gauche de la matrice (partie jaune clair) et sont caractérisés par la connaissance des ressources et la précision des besoins. Les projets scientifiques de développement ont comme situation finale un objet de haut niveau de maturité technologique [TRL – *technology readiness level* selon (ISO 16290:2013)].

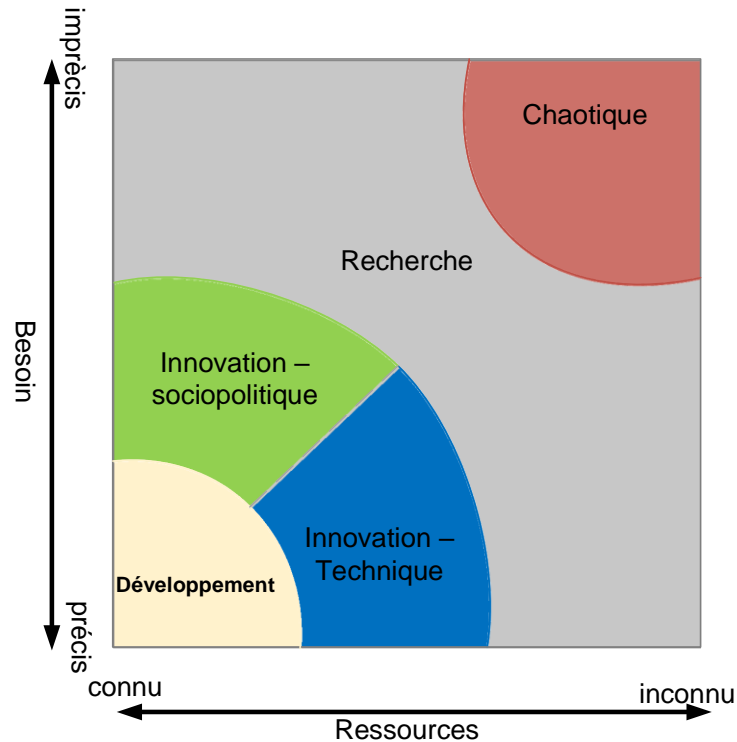


Fig. A.1. La matrice de Stacey dans le management des projets scientifiques

Typiquement, les projets de maturation scientifique ($TRL \geq 6$) avec un important partenariat industriel sont souvent managés selon un modèle de gestion de projet en cascade (*waterfall*).

La gestion de projets en cascade est la plus utilisée, et souvent demandée dans les propositions de projet à l'ANR. Elle consiste en l'enchaînement de tâches de manière linéaire et séquentielle : analyse, conception, implémentation et tests. À la fin de la phase de tests, l'évolution du projet est marquée par la production d'un jalon (*milestone*). Dans un projet scientifique, ce jalon est ainsi la valorisation scientifique.

Par opposition aux projets de développement, les projets chaotiques (partie rouge, en haut et à droite de la matrice) sont soumis à de grandes difficultés de management et, dans la plupart des cas, aucun modèle de gestion n'est adapté. Entre ces deux extrêmes se situent les projets de recherche ($TRL \leq 4$) et d'innovation ($4 \leq TRL \leq 6$). Ces types de projets ont besoin d'un modèle de gestion de projet adapté à l'imprécision des besoins ou à la faible connaissance des ressources.

La gestion des projets de recherche (partie en gris dans la Fig. A.1) devra ainsi être conduite avec un modèle de management *Agile*. Initialement proposée dans son manifeste en (Beedle,

2001), cette approche permet d'apporter une plus grande valeur ajoutée sur une plus courte durée. Elle est fondée sur un modèle de gestion qui valorise la collaboration et l'interaction au sein de l'équipe vers la production de plus-value. Les tâches sont groupées par priorité dans une preuve de concept (nommée *Story*) pour former un plan interactif toujours adapté au changement. Les *Stories* sont les fonctionnalités qui forment un produit (nommée *Epic*).

Les projets d'innovation sont marqués soit par la précision des besoins, soit par la connaissance des ressources. Le premier conduit à l'innovation technique (partie en bleu dans la Fig. A.1) en conséquence d'un manque de connaissance des ressources. Le deuxième conduit à l'innovation sociopolitique (partie en vert dans la Fig. A.1) en conséquence de l'imprécision des besoins. Les projets réalisés en réponse à un appel d'offres du secteur industriel encouragent le modèle de gestion en cascade. Par ailleurs, le manque de connaissance des ressources ou l'imprécision des besoins conduit à faire appel aux techniques du modèle *Agile*. Le management des projets d'innovations consiste à jongler entre ces deux modèles, avec ses atouts et ses inconvénients.

La Figure A.2 illustre les principales différences entre le modèle en cascade et l'*Agile*. Le modèle en cascade présente un faible risque au démarrage compte tenu la compréhension du projet traité. Cependant, il est peu adapté au changement et la valorisation arrive après toutes ces étapes. Le modèle *Agile* priorise la production de valeur ajoutée de forme interactive, ce qui permet la gestion des projets imprécis et peu connus. En revanche, la planification est minimaliste et il demande un fort engagement des parties prenantes. Dans le cadre du management d'un projet doctoral par exemple, les modèles de gestion sont illustrés dans un intervalle de temps de trois ans.

En haut de la Fig. A.2, avec un modèle en cascade, les premières années de thèse sont consacrées à l'analyse de la problématique et le démarrage de la tâche de conception. C'est le moment de compréhension du sujet de recherche et d'étude de l'état de l'art. S'ensuit une deuxième année marquée par la conception et l'implémentation des dispositifs. C'est dans la troisième année que les valorisations scientifiques ont lieu en parallèle de la rédaction du mémoire. Le risque du projet scientifique accroit seulement sur la fin de ce dernier. Quelques exemples de risques : la faisabilité des mesures électroniques, les délais de fabrication, la casse des composants, les longues révisions des articles de journaux. La réussite du projet est conditionnée par la gestion de ces risques.

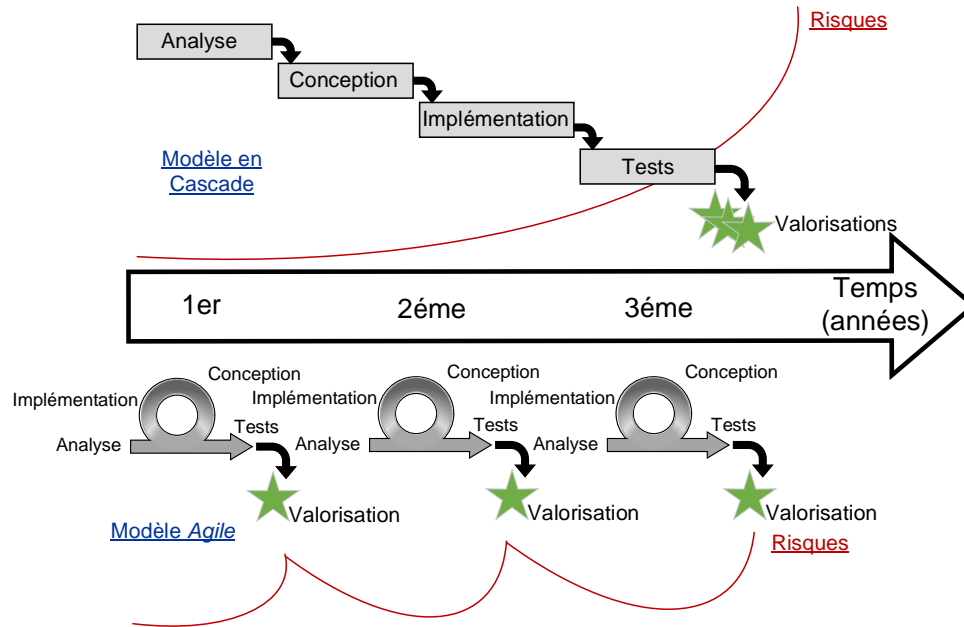


Fig. A.2. Gestion des projets : approche séquentielle versus approche interactive

En bas de la Fig. A.2, le modèle *Agile* répond aux cycles de la thèse, un cycle par an par exemple. Chaque année est une *Story* avec sa propre valorisation scientifique. La compréhension du sujet de recherche et l'étude de l'état de l'art se font au fur et à mesure, comme aussi la conception et l'implémentation des dispositifs électroniques. Le risque du projet scientifique accroît par paliers avec des pics de risque à la fin de chacune *Story* et des réductions de risque au début de chaque *Story*. Quelques exemples de risques : engagement des parties prenantes (doctorants et encadrants), difficultés des communications au sein de l'équipe (surtout en première année), la complexité des *Story* qui doivent s'adapter au niveau de compréhension du sujet ; la réussite du projet est conditionnée par la gestion de ces risques.

Cette méthode de gestion de projets est ainsi adoptée pour mes projets et perspectives scientifiques décrits dans le **Chapitre III**. Le changement de paradigme entre le modèle en cascade et le modèle *Agile* reste central dans ma vision de la gestion des projets de recherche. Les valeurs du modèle *Agile* selon son manifeste en (Beedle, 2001) sont à mon avis les valeurs les plus importantes pour mener des projets d'innovation et de recherche, et pour encadrer de jeunes chercheurs.

Références bibliographiques

- Abdolvand, R., Bahreyni, B., Lee, J. E. Y., & Nabki, F. (2016).** Micromachined resonators: A review. *Micromachines*, 7(9), 160. <https://doi.org/10.3390/mi7090160>
- Abegaonkar, M. P., Karekar, R. N., & Aiyer, R. C. (1999).** Miniaturized nondestructive microwave sensor for chickpea moisture measurement. *Review of Scientific Instruments*, 70(7), 3145–3149. <https://doi.org/10.1063/1.1149877>
- Alam, M. A., & Mahapatra, S. (2005).** A comprehensive model of PMOS NBTI degradation. *Microelectron. Reliab.*, 45(1), 71–81. <https://doi.org/10.1016/j.microrel.2004.03.019>
- Alam, S. M., Wei, F. L., Gan, C. L., Thompson, C. V., & Troxel, D. E. (2005).** Electromigration Reliability Comparison of Cu and Al Interconnects. In *Proc. IEEE International Symposium on Quality Electronic Design* (pp. 303–308). IEEE Computer Society. <https://doi.org/10.1109/ISQED.2005.51>
- ANR. (2018).** *Plan d'action*. <https://anr.fr/fileadmin/documents/2017/Plan-d-action-ANR-2018.pdf>
- Aouimeur, W., Lepilliet, S., Gaquiere, C., Lauga-Larroze, E., Arnould, J.-D., Moron-Guerra, J., ... Serhan, A. (2018).** A Fully In-Situ Reflectometer in G band in 55 nm SiGe BiCMOS. In *Proc. Int. Workshop on Integrated Nonlinear Microwave and Millimetre-wave Circuits (INMMIC)* (pp. 1–3). Brive La Gaillarde, France. <https://doi.org/10.1109/INMMIC.2018.8430015>
- Atkinson, N. M., Witulski, A. F., Member, S., Holman, W. T., Ahlbin, J. R., Member, S., ... Massengill, L. W. (2011).** Layout Technique for Single-Event Transient Mitigation via Pulse Quenching. *IEEE Trans. Nuclear Science*, 58(3), 885–890. <https://doi.org/10.1109/TNS.2010.2097278>
- Ayel, F. (2015).** HOTMOS: High temperature SOI CMOS technology platform for applications up to 250 °C. Retrieved from https://www.ims.fraunhofer.de/en/Business_Units_and_Core_Compencies/High_Temperature_Electronics.html?wcmmode=disabled#tabpanel-2
- Azghadi, M. R., Linares-Barranco, B., Abbott, D., & Leong, P. H. W. (2017).** A Hybrid CMOS-Memristor Neuromorphic Synapse. *IEEE Transactions on Biomedical Circuits and Systems*, 11(2), 434–445. <https://doi.org/10.1109/TBCAS.2016.2618351>
- Bansal, A., Rao, R., Kim, J., Zafar, S., Stathis, J. H., & Chuang, C.-T. (2009).** Impacts of NBTI and PBTI on SRAM static/dynamic noise margins and cell failure probability. *Microelectron. Reliab.*, 49(6), 642–649. <https://doi.org/10.1016/j.microrel.2009.03.016>
- Bao, M. (2000).** *Micro Mechanical Transducers*. (S. Middelhoek, Ed.). Elsevier Science.
- Basey-Fisher, T. H., Hanham, S. M., Andresen, H., Maier, S. A., Stevens, M. M., Alford, N. M., & Klein, N. (2011).** Microwave Debye relaxation analysis of dissolved proteins: Towards free-solution biosensing. *Applied Physics Letters*, 99(233703), 1–3. <https://doi.org/10.1063/1.3665413>

- Baumann, R. C., & Member, S. (2001).** Soft Errors in Advanced Semiconductor Devices — Part I: The Three Radiation Sources. *IEEE Trans. Device Mat Reliability*, *1*(1), 17–22.
<https://doi.org/10.1109/7298.946456>
- Bernstein, J. B., Gurfinkel, M., Li, X., Walters, J., Shapira, Y., & Talmor, M. (2006).** Electronic circuit reliability modeling. *Microelectron. Reliab.*, *46*(12), 1957–1979.
<https://doi.org/10.1016/j.microrel.2005.12.004>
- Bibi, F., Villain, M., Guillaume, C., Sorli, B., & Gontard, N. (2016).** A review: Origins of the dielectric properties of proteins and potential development as bio-sensors. *Sensors (Switzerland)*, *16*(8), 1–21.
<https://doi.org/10.3390/s16081232>
- Black, J. R. (1969).** Electromigration-A Brief Survey and Some Recent Results. *IEEE Trans. Electron Devices*, *16*(4), 338–347. <https://doi.org/10.1109/T-ED.1969.16754>
- Boser, B. E., & Howe, R. T. (1996).** Surface micromachined accelerometers. *IEEE J. Solid-State Circuits*, *31*(3), 366–375. <https://doi.org/10.1109/4.494198>
- Brunel, D., Deresmes, D., & Mélin, T. (2009).** Determination of the electrostatic lever arm of carbon nanotube field effect transistors using Kelvin force microscopy. *Applied Physics Letters*, *94*(22), 223508. <https://doi.org/10.1063/1.3148364>
- Byun, Y. H., Lee, K., & Shur, M. (1990).** Unified Charge Control Model and Subthreshold Current in Heterostructure Field-Effect Transistors. *IEEE Electron Device Lett.*, *11*(1), 50–53.
<https://doi.org/10.1017/CBO9781107415324.004>
- Carusone, T. C., Johns, D. A., & Martin, K. W. (2012).** *Analog Integrated Circuit Design* (2nd ed.). Danvers, MA: John Wiley & Sons, Inc.
- Chabchoub, E., Badets, F., Maily, F., Nouet, P., & Masmoudi, M. (2018).** A temperature-hardened sensor interface with a 12-bit digital output using a novel pulse width modulation technique. *Sensors*, *18*(4), 1–20. <https://doi.org/10.3390/s18041107>
- Chain, K., Huang, J., Duster, J., Ko, P. K., & Hu, C. (1997).** A MOSFET electron mobility model of wide temperature range (77 - 400 K) for IC simulation. *Semiconductor Science and Technology*, *12*, 355–358. <https://doi.org/10.1088/0268-1242/12/4/002>
- Chan, T. Y., Chen, J., Ko, P. K., & Hu, C. (1987).** The Impact of Gate Induced Drain Leakage Current on MOSFET Scaling. In *IEEE Proc. Int. Electron Devices Meeting* (pp. 718–721). Washington, DC, USA, USA. <https://doi.org/10.1109/IEDM.1987.191531>
- Chen, T., Dubuc, D., Poupot, M., Fournie, J. J., & Grenier, K. (2012).** Accurate nanoliter liquid characterization up to 40 GHz for biomedical applications: Toward noninvasive living cells monitoring. *IEEE Trans. Microw. Theory Techn.*, *60*(12), 4171–4177.
<https://doi.org/10.1109/TMTT.2012.2222660>
- Chevalier, P., Avenier, G., Ribes, G., Montagné, A., Canderle, E., Céli, D., ... Borot, B. (2014).** A 55 nm triple gate oxide 9 metal layers SiGe BiCMOS technology featuring 320 GHz f_T / 370 GHz f_{MAX}

- HBT and high-Q millimeter-wave passives. In *Int. Electron Devices Meeting, IEDM* (pp. 3.9.1-3.9.3). San Francisco, CA, USA. <https://doi.org/10.1109/IEDM.2014.7046978>
- Cikan, N. N., & Aksoy, M. (2017).** Analog to Digital Converters Performance Evaluation Using Figure of Merits in Industrial Applications. In *IEEE Proc European Modelling Symp. Comput. Modelling and Simulation* (pp. 205–209). Pisa, Italy. <https://doi.org/10.1109/EMS.2016.043>
- Costa, A. L. T., Klimach, H., & Bampi, S. (2015).** High linearity 24 dB gain wideband inductorless balun low-noise amplifier for IEEE 802.22 band. *Analog Integrated Circuits and Signal Processing*, 83(2), 187–194. <https://doi.org/10.1007/s10470-015-0531-1>
- Cron, L., Laugier, P., Ferreira, P. M., Vinci, F., & Benabes, P. (2017).** Delay estimation and measurement circuit for a high-speed CMOS clocked comparator. In *Euro. Conf Circuit Theory and Design*. Catania, Italy. <https://doi.org/10.1109/ECCTD.2017.8093261>
- Cunha, A. I. A., Schneider, M. C., & Galup-Montoro, C. (1995).** An explicit physical model for the long-channel MOS transistor including small signal parameters. *Solid-State Electronics*, 38(11), 1945–1952. [https://doi.org/https://doi.org/10.1016/0038-1101\(95\)00023-M](https://doi.org/https://doi.org/10.1016/0038-1101(95)00023-M)
- Daw, R., & Finkelstein, J. (2006).** Lab on a Chip. *Nature*, 442(7101), 367–418. <https://doi.org/10.1039/C4LC01038H>
- De Dorigo, D., Rombach, S., Maurer, M., Marx, M., Nessler, S., & Manoli, Y. (2015).** Q-enhancement of a low-power gm-C bandpass filter for closed-loop sensor readout applications. In *IEEE Proc. of Int. Symp. Circuits Syst.* (pp. 678–681). Lisbon, Portugal: IEEE. <https://doi.org/10.1109/ISCAS.2015.7168724>
- Debenedictis, E. P. (2017).** It's Time to Redefine Moore's Law Again. *Computer*, 50(2), 72–75. <https://doi.org/10.1109/MC.2017.34>
- Enz, C. C. (2008).** A Short Story of the EKV MOS Transistor Model. *IEEE Solid-State Circuits Soc. Newsletter*, 13(3), 24–30.
- Enz, C. C., Krummenacher, F., & Vittoz, E. A. (1995).** An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications. *Analog Integr. Circ. Sig. Process.*, 8(1), 83–114.
- Ferreira, P. M., Petit, H., Naviner, J.-F. (2009).** CMOS 65 nm wideband LNA reliability estimation. In *IEEE New Circuits Syst. Conf.* (pp. 1–4). Toulouse, France: IEEE. <https://doi.org/10.1109/NEWCAS.2009.5290434>
- Ferreira, P. M., Petit, H. H., Naviner, J.-F. (2010a).** AMS and RF Design for Reliability Methodology. In *Proc. IEEE Int. Symp. Circuits Syst.* (pp. 3657–3660). Paris, France: IEEE. <https://doi.org/10.1109/ISCAS.2010.5537771>
- Ferreira, P. M., Petit, H., & Naviner, J.-F. (2010b).** A synthesis methodology for AMS/RF circuit reliability: Application to a DCO design. *Microelectron. Rel.*, 51(4), 765–772. <https://doi.org/10.1016/j.microrel.2010.11.002>

- Ferreira, P. M., Petit, H., & Naviner, J.-F. (2011).** A New Synthesis Methodology for Reliable RF front-end Design. In *Proc. IEEE Int. Symp. Circuits Syst.* (pp. 1–4). <https://doi.org/10.1109/ISCAS.2011.5938204>
- Ferreira, P. M., Cai, H., & Naviner, L. (2014).** Reliability Aware AMS / RF Performance Optimization. In M. FAKHFAKH, E. Tlelo-Cuautle, & M. H. S. Fino (Eds.), *Performance Optimization Techniques in Analog, Mixed-Signal, and Radio-Frequency Circuit Design* (pp. 28–54). IGI-Global.
- Ferreira, P. M., Donche, C., Delalin, A., Quémerais, T., Gloria, D., Lasri, T., ... Gaquière, C. (2015a).** Sub-fF 130 nm MOS Varactor Characterization using 6.8 GHz Interferometry-based Reflectometer. *IEEE Microw. Compon. Lett.*, 25(6), 418–420. <https://doi.org/10.1109/LMWC.2015.2421326>
- Ferreira, P. M., Ou, J., Gaquière, C., & Benabes, P. (2015b).** Automated System-Level Design for Reliability: RF front-end application. In M. Fakhfakh, E. Tlelo-Cuautle, & P. Siarry (Eds.), *Computational Intelligence in Electronic Design: AMS/RF Circuit Design* (pp. 363–389). Springer.
- Ferreira, P. M., Schaeffer, M., Mezaour, A., Petit, O., Lelandais-Perrault, C., & Charbonnier, G. (2018a).** À – 40 to 250 °C Triple Modular Redundancy Temperature Sensor for Turbofan Engines. In *Proc ACM IEEE Symp. Integr. Circuits Syst. Design* (pp. 1–5). <https://doi.org/10.1109/SBCCI.2018.8533226>
- Ferreira, P. M., Donche, C., Avignon-Meseldzija, E., Quémerais, T., Giancesello, F., Gloria, D., ... Gaquière, C. (2018b).** Fully Integrated Interferometry-Based Reflectometer for High-Impedance Instrumentation. *IEEE Trans. Microw. Theory Techn.*, 66(8), 3901–3908. <https://doi.org/10.1109/TMTT.2018.2831699>
- Ferreira, P. M., Carvalho, N. De, Klisnick, G., & Benlarbi-Delai, A. (2019a).** Energy efficient fJ / spike LTS e-Neuron using 55-nm node. In *Proc ACM IEEE Symp. Integr. Circuits Syst. Design* (pp. 1–6).
- Ferreira, P. M., Martins, J. R. R. O., Mostafa, A., & Juillard, J. (2019b).** Process-Voltage-Temperature Analysis of a CMOS-MEMS Readout Architecture. In *Proc. IEEE Design, Test, Integration & Packaging of MEMS/MOEMS* (pp. 1–4). Paris, France. <https://doi.org/10.1109/DTIP.2019.8752699>
- Fonseca, A. V., Khattabi, R. El, Afshari, W. A., Barúqui, F. A. P., Soares, C. F. T., & Ferreira, P. M. (2017).** A Temperature-Aware Analysis of Latched Comparators for Smart Vehicle Applications. In *Proc ACM IEEE Symp. Integr. Circuits Syst. Design* (pp. 1–6). Fortaleza, CE, Brazil: ACM. <https://doi.org/10.29292/jics.v13i1.8>
- Fonseca, A. V., Cron, L., Barúqui, F. A. P., Soares, C. F. T., Benabes, P., & Ferreira, P. M. (2018).** A Temperature-Aware Analysis of SAR ADCs for Smart Vehicle Applications. *J. Integr. Circuits Syst.*, 13(1), 1–10. <https://doi.org/10.29292/jics.v13i1.8>
- Fontana, A., Pazos, S. M., Aguirre, F. L., Palumbo, F., Vega, N., Müller, N. A., & Fourniere, E. de la. (2018).** Heavy ion microbeam experimental study of ASET on a full-custom CMOS OpAmp. In *Proc ACM IEEE Symp. Integr. Circuits Syst. Design* (pp. 1–5). <https://doi.org/10.1109/SBCCI.2018.8533232>

- Forzan, C., & Pandini, D. (2009).** Statistical static timing analysis: A survey. *Integration, the VLSI Journal*, 42(3), 409–435. <https://doi.org/10.1016/j.vlsi.2008.10.002>
- Franco, D. T., Vasconcelos, M. C., Naviner, L., & Naviner, J. F. (2008).** Signal probability for reliability evaluation of logic circuits. *Microelectronics Reliability*, 48(8–9), 1586–1591. <https://doi.org/10.1016/j.microrel.2008.07.002>
- Friis, H. T. (1946).** À Note on a Simple Transmission Formula. *Proceedings of the IRE*, 34(5), 254–256. <https://doi.org/10.1109/JRPROC.1946.234568>
- Galup, C., & Schneider, M. (2018).** The compact all-region MOSFET model: theory and applications. In *IEEE Proc. of New Circuits Syst. Conf.* (pp. 166–169). Montreal, QC, Canada: IEEE.
- Galup-Montoro, C., Schneider, M. C., Cunha, A. I. A., De Sousa, F. R., Klimach, H., & Siebel, O. F. (2007).** The Advanced Compact MOSFET (ACM) Model for Circuit Analysis and Design. In *IEEE Proc. Custom Integr. Circuits Conf.* (pp. 519–526). <https://doi.org/10.1109/CICC.2007.4405785>
- Gaubert, P., Teramoto, A., Sugawa, S., & Ohmi, T. (2012).** The role of the temperature on the scattering mechanisms limiting the electron mobility in metal-oxide-semiconductor field-effect-transistors fabricated on (110) silicon-oriented wafers. In *IEEE Proc. European Solid-State Device Research Conf.* (pp. 213–216). Bordeaux, France: IEEE. <https://doi.org/10.1109/ESSDERC.2012.6343371>
- Gielen, G., De Wit, P., Maricau, E., Loeckx, J., Martin-Martinez, J., Kaczer, B., ... Nafria, M. (2008).** Emerging Yield and Reliability Challenges in Nanometer CMOS Technologies. In *Proc. Design, Automation, and Test in Europe* (pp. 1322–1327). Munich: ACM.
- Gildenblat, G., Li, X., Wu, W., Wang, H., Jha, A., Van Langevelde, R., ... Klaassen, D. B. M. (2006).** PSP: An advanced surface-potential-based MOSFET model for circuit simulation. *IEEE Trans. Electron Devices*, 53(9), 1979–1993. <https://doi.org/10.1109/TED.2005.881006>
- Grenier, K., Dubuc, D., Chen, T., Artis, F., Chretiennot, T., Poupot, M., & Fournie, J. J. (2013).** Recent advances in microwave-based dielectric spectroscopy at the cellular level for cancer investigations. *IEEE Trans. Microw. Theory Techn*, 61(5), 2023–2030. <https://doi.org/10.1109/TMTT.2013.2255885>
- Groeseneken, G., Colinge, J. P., Maes, H. E., Alderman, J. C., & Holt, S. (1990).** Temperature Dependence of Threshold Voltage in Thin-Film SOI MOSFET's. *IEEE Electron Device Letters*, 11(8), 329–331. <https://doi.org/10.1109/55.57923>
- Han, S. J., Wang, X., Chang, P., Guo, D., Na, M. H., & Rim, K. (2008).** On the difference of temperature dependence of metal gate and poly gate SOI MOSFET threshold voltages. In *IEEE Proc. Int. Electron Devices Meeting* (pp. 3–6). <https://doi.org/10.1109/IEDM.2008.4796757>
- Hanai, T., Asami, K., & Koizumi, N. (1979).** Dielectric Theory of Concentrated Suspensions of Shell-Spheres in Particular Reference to the Analysis of Biological Cell Suspensions Author(s). *Bulletin of the Institute for Chemical Research*, 57(4), 297–305. <http://hdl.handle.net/2433/76842>

- Happy, H., Haddadi, K., Théron, D., Lasri, T., & Dambrine, G. (2014).** Measurement Techniques for RF Nanoelectronic Devices. *IEEE Microw. Mag.*, *15*(1), 30–39. <https://doi.org/10.1109/MMM.2013.2288710>
- Harris, K. D., Elias, A. L., & Chung, H. J. (2016).** Flexible electronics under strain: a review of mechanical characterization and durability enhancement strategies. *Journal of Materials Science*, *51*(6), 2771–2805. <https://doi.org/10.1007/s10853-015-9643-3>
- Hasler, J., & Marr, B. (2013).** Finding a roadmap to achieve large neuromorphic hardware systems. *Frontiers in Neuroscience*, *7*, 1–29. <https://doi.org/10.3389/fnins.2013.00118>
- Havelka, D., Krivosudský, O., Průša, J., & Cifra, M. (2018).** Rational design of sensor for broadband dielectric spectroscopy of biomolecules. *Sensors and Actuators, B: Chemical*, *273*(April), 62–69. <https://doi.org/10.1016/j.snb.2018.05.124>
- He, J., Xi, X., Wan, H., Dunga, M., Chan, M., & Niknejad, A. M. (2007).** BSIM5: An advanced charge-based MOSFET model for nanoscale VLSI circuit simulation. *Solid-State Electronics*, *51*(3), 433–444. <https://doi.org/10.1016/j.sse.2006.12.006>
- Heileman, K., Daoud, J., & Tabrizian, M. (2013).** Dielectric spectroscopy as a viable biosensing tool for cell and tissue characterization and analysis. *Biosensors and Bioelectronics*, *49*, 34
- Houmadi, S., Legrand, B., Salvetat, J. P., Walter, B., Mairiaux, E., Aime, J. P., ... Faucher, M. (2015).** When capacitive transduction meets the thermomechanical limit: Towards femto-newton force sensors at very high frequency. In *Proc. IEEE Int. Conf. Micro Electro Mechanical Systems (MEMS)* (pp. 150–153). <https://doi.org/10.1109/MEMSYS.2015.7050908>
- Huang, Y., Sai Sarathi Vasan, A., Doraiswami, R., Osterman, M., & Pecht, M. (2012).** MEMS reliability review. *IEEE Transactions on Device and Materials Reliability*, *12*(2), 482–493. <https://doi.org/10.1109/TDMR.2012.2191291>
- Iannacci, J. (2015).** Reliability of MEMS: A perspective on failure mechanisms, improvement solutions and best practices at development level. *Displays*, *37*, 62–71. <https://doi.org/10.1016/j.displa.2014.08.003>
- ITRS - International Technology Roadmap for Semiconductors: Front End Processes (2009)** Retrieved from <http://www.itrs2.net/>
- IRIDIUM.** Retrieved from <https://www.iridium.com/products/>
- IRIDIUM NEXT.** Retrieved from <https://www.iridiumnext.com/>
- Izhikevich, E. M. (2003).** Simple Model of Spiking Neurons. *IEEE Trans. Neural Networks*, *14*(6), 1569–1572. <https://doi.org/10.1109/TNN.2003.820440>
- Jeong, S., Foo, Z., Lee, Y., Sim, J. Y., Blaauw, D., & Sylvester, D. (2014).** A fully-integrated 71 nW CMOS temperature sensor for low power wireless sensor nodes. *IEEE J. Solid-State Circuits*, *49*(8), 1682–1693. <https://doi.org/10.1109/JSSC.2014.2325574>

- Jespers, P. (2010).** *The gm/ID Methodology, a sizing tool for low-voltage analog CMOS Circuits.* Springer US. Boston, MA: Springer US. <https://doi.org/10.1007/978-0-387-47101-3>
- Joint Committee for Guides in Metrology – **JCGM. (2012).** International vocabulary of metrology — Basic and general concepts and associated terms (VIM). [https://doi.org/10.1016/0263-2241\(85\)90006-5](https://doi.org/10.1016/0263-2241(85)90006-5)
- Juillard, J., Bonnoit, A., Barniol, N., Uranga, A., & Vidal-Álvarez, G. (2014).** A novel architecture for differential resonant sensing. *Procedia Engineering*, 87, 1573–1576. <https://doi.org/10.1016/j.proeng.2014.11.601>
- Juillard, J., Mostafa, A., & Ferreira, P. M. (2019a).** Nonlinear operation of resonant sensors based on weakly-coupled resonators: experimental investigation of an actively-coupled architecture. *Sensors & Actuators: A. Phys.*, pp(pp), pp. <https://doi.org/https://doi.org/10.1016/j.sna.2019.07.028>
- Juillard, J., Mostafa, A., & Ferreira, P. M. (2019b).** Nonlinear operation of resonant sensors based on weakly-coupled resonators: theory and modeling. *IEEE Trans. Ultrason., Ferroelectr., Freq. Control*, pp(pp), pp. <https://doi.org/10.1109/TUFFC.2019.2932792>
- Khoshnoud, F., & De Silva, C. W. (2012).** Recent advances in MEMS sensor technology-mechanical applications. *IEEE Instrumentation and Measurement Magazine*, 15(2), 14–24. <https://doi.org/10.1109/MIM.2012.6174574>
- Kock, G., Combette, P., Tedjini, M., Schneider, M., Gauthier-Blum, C., & Giani, A. (2019).** Experimental and numerical study of a thermal expansion gyroscope for different gases. *Sensors*, 19(2). <https://doi.org/10.3390/s19020360>
- Lavasani, H. M., Pan, W., Harrington, B., Abdolvand, R., & Ayazi, F. (2011).** A 76 dBΩ 1.7 GHz 0.18 μm CMOS tunable TIA using broadband current pre-amplifier for high frequency lateral MEMS oscillators. *IEEE Journal of Solid-State Circuits*, 46(1), 224–235. <https://doi.org/10.1109/JSSC.2010.2085890>
- Layer, C., Cabanillas, E., & Benoit, J. (2017).** Using Quadrature Modulation for Precise Fault Location over Wired Communication Channels. In *IEEE Proc. of New Circuits Syst. Conf.* (pp. 357–360). Strasbourg, France. <https://doi.org/10.1109/NEWCAS.2017.8010179>
- Lecavelier Des Etangs-Levallois, A., Chen, Z., Lesecq, M., Lepilliet, S., Tagro, Y., Danneville, F., ... Dubois, E. (2013).** A converging route towards very high frequency, mechanically flexible, and performance stable integrated electronics. *Journal of Applied Physics*, 113(15), 153701. <https://doi.org/10.1063/1.4801803>
- Lee, H. K., Melamud, R., Kim, B., Hopcroft, M. A., Salvia, J. C., & Kenny, T. W. (2011).** Electrostatic tuning to achieve higher stability microelectromechanical composite resonators. *J. Microelectromech. Syst.*, 20(6), 1355–1365. <https://doi.org/10.1109/JMEMS.2011.2168083>
- Legrand, B., Ducatteau, D., Théron, D., Walter, B., & Tanbakuchi, H. (2013).** Detecting response of microelectromechanical resonators by microwave reflectometry. *Applied Physics Letters*, 103(5), 053124. <https://doi.org/10.1063/1.4817411>

- Li, X., Qin, J., & Bernstein, J. B. (2008).** Compact Modeling of MOSFET Wearout Mechanisms for Circuit-Reliability Simulation. *IEEE Trans. Device Mat. Rel.*, 8(1), 98–121. <https://doi.org/10.1109/TDMR.2008.915629>
- Li, H., Multari, C., Palego, C., Ma, X., Du, X., Ning, Y., ... Cheng, X. (2018).** Differentiation of live and heat-killed *E. coli* by microwave impedance spectroscopy. *Sensors and Actuators, B: Chemical*, 255, 1614–1622. <https://doi.org/10.1016/j.snb.2017.08.179>
- Liu, W., Jin, X., Chen, J., Jeng, M.-C., Liu, Z., Cheng, Y., ... Hu, C. (1998).** *BSIM 3v3.2 MOSFET Model Users' Manual* (No. UCB/ERL M98/51). *Memorandum No. UCBRR L M98/51*.
- Löffler, G., Schreiber, H., & Steinhauser, O. (1997).** Calculation of the dielectric properties of a protein and its solvent: Theory and a case study. *Journal of Molecular Biology*, 270(3), 520–534. <https://doi.org/10.1006/jmbi.1997.1130>
- Maciel, N., Marques, E. C., Naviner, L. A. B., & Cai, H. (2018).** Single-event transient effects on dynamic comparator in 28 nm FDSOI CMOS technology. *Microelectronics Reliability*, 88–90(9), 965–968. <https://doi.org/10.1016/j.microrel.2018.07.114>
- Maricau, E., & Gielen, G. (2011).** Computer-Aided Analog Circuit Design for Reliability in Nanometer CMOS. *IEEE Trans. Emerg Select Topics Circ. Syst.*, 1(1), 50–58. <https://doi.org/10.1109/JETCAS.2011.2135470>
- Michard, A., Ferreira, P. M., & Carpentier, J. (2016).** 0.18-um CMOS Driver Optimization for Maximum Data Rate under Power and Area Constraints. In *IEEE New Circuits Syst. Conf. Vancouver, BC, Canada.* <https://doi.org/10.1109/NEWCAS.2016.7604760>
- Michard, A., Carpentier, J., Michit, N., Maître, P. Le, Bénabès, P., & Ferreira, P. M. (2019).** À sub-pJ/bit, low-ER Mach-Zehnder-based Transmitter for chip-to-chip Optical Interconnects. *J. Selected Topics in Quantum Electronics*, rr(rr), rr.
- Mitola, J. (1995).** The Software Radio Architecture. *IEEE Commun. Mag.*, 33(5), 26–38. <https://doi.org/10.1109/35.393001>
- Morris, C., & Lecar, H. (1981).** Voltage oscillations in the barnacle giant muscle fiber. *Biophysical Journal*, 35(1), 193–213. [https://doi.org/10.1016/S0006-3495\(81\)84782-0](https://doi.org/10.1016/S0006-3495(81)84782-0)
- Mostafa, A., Juillard, J., Raposo, J. R., & Ferreira, P. M. (2019).** An Adaptative Ratio-Metric Analog-To-Digital Interface For Weakly-Coupled Resonant Sensors Based On Mutually Injection-Locked Oscillators. In *Proc. IEEE Design, Test, Integration & Packaging of MEMS/MOEMS* (pp. 1–4). Paris, France. <https://doi.org/10.1109/DTIP.2019.8752831>
- Murbach, M. S. et al. (2019).** Modulated Exo-Brake Flight Testing-Modeling and Test Results-Successes with Exo-Brake Development and Targeting for Future Sample Return Capability: TES-6, 7, 8 Flight Experiments. Retrieved from <https://ntrs.nasa.gov/search.jsp?R=20190028931>

- Nabavi, M. R., Pertijs, M. A. P., & Nihtianov, S. (2013).** An interface for eddy-current displacement sensors with 15-bit resolution and 20 mhz excitation. *IEEE Journal of Solid-State Circuits*, 48(11), 2868–2881. <https://doi.org/10.1109/JSSC.2013.2281692>
- Nehring, J., Dietz, M., Aufinger, K., Fischer, G., Weigel, R., & Kissinger, D. (2016).** A 4-32-GHz Chipset for a Highly Integrated Heterodyne Two-Port Vector Network Analyzer. *IEEE Transactions on Microwave Theory and Techniques*, 64(3), 892–905. <https://doi.org/10.1109/TMTT.2016.2520483>
- Nehring, J., Schutz, M., Dietz, M., Nasr, I., Aufinger, K., Weigel, R., & Kissinger, D. (2017).** Highly Integrated 4-32-GHz Two-Port Vector Network Analyzers for Instrumentation and Biomedical Applications. *IEEE Trans. Microw. Theory Techn.*, 65(1), 229–244. <https://doi.org/10.1109/TMTT.2016.2616873>
- Nerguizian, V., Alazzam, A., Stiharu, I., & Burnier, M. (2017).** Characterization of several cancer cell lines at microwave frequencies. *Measurement: Journal of the International Measurement Confederation*, 109, 354–358. <https://doi.org/10.1016/j.measurement.2017.05.057>
- Nunes, R. O., & Orio, R. L. De. (2018).** Operational Amplifier Performance Degradation and Time-to-Failure due to Electromigration. In *Proc ACM IEEE Symp. Integr. Circuits Syst. Design* (pp. 1–6). Bento Gonçalves, RS, Brazil. <https://doi.org/10.1109/sbcc.2018.8533265>
- Ou, J., & Ferreira, P. M. (2013).** Transconductance / Drain Current Based Sensitivity Analysis for Analog CMOS Integrated Circuits. In *IEEE New Circuits Syst. Conf.* Paris, France. <https://doi.org/10.1109/NEWCAS.2013.6573605>
- Ou, J., & Ferreira, P. M. (2014a).** A gm/ID-Based Noise Optimization for CMOS Folded-Cascode. *IEEE Trans. Circuits Syst. II, Exp. Briefs*, 61(10), 783–787. <https://doi.org/10.1109/TCSII.2014.2345297>
- Ou, J., Ferreira, P. M., & Lee, J. (2014b).** Experimental Demonstration of gm/ID Based Noise Analysis. *Circuits and Systems*, 5(4), 69–75. <https://doi.org/http://dx.doi.org/10.4236/cs.2014.54009>
- Ou, J., & Ferreira, P. M. (2015).** A Unified Explanation of gm /ID -Based Noise Analysis. *J.of Circuits Syst. and Comput.*, 24(01), 1550010. <https://doi.org/10.1142/S0218126615500103>
- Ou, J., & Ferreira, P. M. (2017).** Design Considerations of a CMOS Envelope Detector for Low Power Wireless Receiver Applications. In *IEEE Proc. of New Circuits Syst. Conf.* (pp. 233–236). Strasbourg, France. <https://doi.org/10.1109/NEWCAS.2017.8010148>
- Ou, J., & Ferreira, P. M. (2018a).** A CMOS Envelope Detector for Low Power Wireless Receiver Applications. In *IEEE New Circuits Syst. Conf.* (pp. 44–47). Montréal, Canada: IEEE. <https://doi.org/10.1109/NEWCAS.2018.8585458>
- Ou, J., & Ferreira, P. M. (2018b).** Design considerations of CMOS active inductor for low power applications. *Analog Integr. Circ. Sig. Process*, 94(3), 347–356. <https://doi.org/https://doi.org/10.1007/s10470-017-1059-3>

- Ou, J., & Ferreira, P. M. (2019).** Implications of Small Geometry Effects on gm/ID Based Design Methodology for Analog Circuits. *IEEE Trans. Circuits Syst. II, Exp. Briefs*, 66(1), 81–85. <https://doi.org/10.1109/TCSII.2018.2846484>
- Pae, S., Maiz, J., Member, S., Prasad, C., & Woolery, B. (2008).** Effect of BTI Degradation on Transistor Variability in Advanced Semiconductor Technologies. *IEEE Trans. Device Mat. Reliab.*, 8(3), 519–525. <https://doi.org/10.1109/TDMR.2008.2002351>
- Pandit, M., Zhao, C., Mustafazade, A., Sobreviela, G., & Seshia, A. A. (2017).** Nonlinear cancellation in weakly coupled MEMS resonators. In *Proc. Joint Conf. European Frequency and Time Forum and IEEE Int. Frequency Control Symposium* (pp. 16–19). Besançon, France. <https://doi.org/10.1109/FCS.2017.8088787>
- Park, W. J., Song, J. W., Kang, C. H., Lee, J. H., Seo, M. H., Park, S. Y., ... Park, C. G. (2019).** MEMS 3D DR/GPS Integrated System for Land Vehicle Application Robust to GPS Outages. *IEEE Access*, 7, 73336–73348. <https://doi.org/10.1109/ACCESS.2019.2920095>
- Pethig, R., & Kell, D. B. (1987).** The passive electrical properties of biological systems: their significance in physiology, biophysics and biotechnology. *Physics in Medicine and Biology*, 32(8), 933–970. <https://doi.org/10.1088/0031-9155/32/8/001>
- Pitera, J. W., Falta, M., & Van Gunsteren, W. F. (2001).** Dielectric properties of proteins from simulation: The effects of solvent, ligands, pH, and temperature. *Biophysical Journal*, 80(6), 2546–2555. [https://doi.org/10.1016/S0006-3495\(01\)76226-1](https://doi.org/10.1016/S0006-3495(01)76226-1)
- Powell, J. R. (2008).** The Quantum Limit to Moore's Law. *Proceedings of the IEEE*, 96(8), 1247–1248. <https://doi.org/10.1109/JPROC.2008.925411>
- Prache, P., Juillard, J., Ferreira, P. M., Barniol, N., & Riverola, M. (2018).** Design and characterization of a monolithic CMOS - MEMS mutually injection - locked oscillator for differential resonant sensing. *Sensors & Actuators: A. Phys.*, 269(1), 160–170. <https://doi.org/10.1016/j.sna.2017.11.025>
- Randus, M., & Hoffmann, K. (2011a).** Microwave impedance measurement for nanoelectronics. *Radioengineering*, 20(1), 276–283.
- Randus, M., & Hoffmann, K. (2011b).** A method for direct impedance measurement in microwave and millimeter-wave bands. *IEEE Trans. Microw. Theory Techn.*, 59(8), 2123–2130. <https://doi.org/10.1109/TMTT.2011.2141148>
- Rangan, V., Ghosh, A., Aparin, V., & Cauwenberghs, G. (2010).** A subthreshold a VLSI implementation of the Izhikevich simple neuron model. In IEEE (Ed.), *Int. Conf. Eng. Med. Biol.* (pp. 4164–4167). Buenos Aires, Argentina: IEEE. <https://doi.org/10.1109/IEMBS.2010.5627392>
- Redouté, J.-M., & Richelli, A. (2013).** A fundamental approach to EMI resistant folded cascode operational amplifier design. *IEEE International Symposium on Electromagnetic Compatibility*, 203–208.

- Rosa, J. M. D. La, Castro-López, R., Morgado, A., Becerra-Alvarez, E. C., Río, R. Del, Fernández, F. V., & Pérez-Verdú, B. (2009).** Adaptive CMOS analog circuits for 4G mobile terminals - Review and state-of-the-art survey. *Microelectron. J.*, 40(1), 156–176. <https://doi.org/10.1016/j.mejo.2008.07.001>
- Roshan, M. H., Zaliasl, S., Joo, K., Sourì, K., Palwai, R., Chen, L., ... Menon, V. (2017).** A MEMS-Assisted Temperature Sensor With 20- μ K Resolution, Conversion Rate of 200 S/s, and FOM of 0.04 pJK². *IEEE Journal of Solid-State Circuits*, 52(1), 185–197. <https://doi.org/10.1109/JSSC.2016.2621035>
- Ruppert, M. G., Fowler, A. G., Maroufi, M., & Moheimani, S. O. R. (2017).** On-Chip Dynamic Mode Atomic Force Microscopy: A Silicon-on-Insulator MEMS Approach. *J. Microelectromech. Syst.*, 26(1), 215–225. <https://doi.org/10.1109/JMEMS.2016.2628890>
- Ruberto, M., Degani, O., Wail, S., Tendler, A., Fridman, A., & Goltman, G. (2008).** A reliability - aware RF power amplifier design for CMOS radio chip integration. In *Proc. IEEE Int. Reliability Physics Symposium* (pp. 536–540). Phoenix.
- Rydosz, A., Brzozowska, E., Górska, S., Wincza, K., Gamian, A., & Gruszczynski, S. (2016).** A broadband capacitive sensing method for label-free bacterial LPS detection. *Biosensors and Bioelectronics*, 75, 328-336. <http://dx.doi.org/10.1016/j.bios.2015.08.019>
- Saberkari, A., Ziabakhsh, S., Martinez, H., & Alarcón, E. (2016).** Active inductor-based tunable impedance matching network for RF power amplifier application. *Integration, the VLSI Journal*, 52, 301–308. <https://doi.org/10.1016/j.vlsi.2015.07.013>
- Saha, S. (2010).** Modeling Process Variability in Scaled CMOS Technology. *IEEE Design & Test of Computers*, 27(2), 8–16. <https://doi.org/10.1109/MDT.2010.6>
- Schneider, M. C., & Galup-Montoro, C. (2010).** *CMOS Analog Design Using All-Region MOSFET Modeling*. Cambridge: Cambridge University Press. <https://doi.org/10.1017/CBO9780511803840>
- Seifert, N. (2010).** *Radiation-induced Soft Errors: A Chip-level Modeling Perspective*. *Found. Trends Electron. Des. Autom.* (Vol. 4). NOW. <https://doi.org/10.1561/10000000018>
- Silveira, F., Flandre, D., & Jespers, P. G. A. (1996).** A gm/Id Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA. *IEEE J. Solid-State Circuits*, 31(9), 1314–1319. <https://doi.org/10.1109/4.535416>
- Sourikopoulos, I., Hedayat, S., Loyez, C., Danneville, F., Hoel, V., Mercier, E., & Cappy, A. (2017).** À 4-fJ/spike artificial neuron in 65 nm CMOS technology. *Frontiers in Neuroscience*, 11(123), 1–14. <https://doi.org/10.3389/fnins.2017.00123>
- Stacey, R. D. (1996).** *Complexity and creativity in organizations*. San Francisco, CA, USA: Berrett-Koehler Publishers.

- Stathis, J. H. (2002).** Reliability limits for the gate insulator in CMOS technology. *IBM J. Res. & Dev.*, 46(2), 265–286. <https://doi.org/10.1147/rd.462.0265>
- Stemme, G. (1991).** Resonant silicon sensors. *Journal of Micromechanics and Microengineering*, 1, 113–125. <https://doi.org/10.1088/0960-1317/1/2/004>
- Stoica, L., Ghandi, R., Chen, C., & Solomko, V. (2017).** A 200 °C General Purpose Rail-to-Rail Complementary Input Class-AB Operational Amplifier for High Temperature Applications. In *IEEE Proc of Int Symp Signals, Circuits and Systems* (pp. 1–4). Iasi, Romania. <https://doi.org/10.1109/ISSCS.2017.8034901>
- Stoppa, M., & Chiolerio, A. (2014).** Wearable electronics and smart textiles: A critical review. *Sensors*, 14(7), 11957–11992. <https://doi.org/10.3390/s140711957>
- Toledo, P., Klimach, H., Cordova, D., Bampi, S., & Fabris, E. (2015).** MOSFET ZTC condition analysis for a self-biased current reference design. *J. Integr. Circuits and Syst.*, 10(2), 103–112.
- Vig, J. R. (2001).** Temperature-insensitive dual-mode resonant sensors - A review. *IEEE Sensors Journal*, 1(1), 62–68. <https://doi.org/10.1109/JSEN.2001.923588>
- Von Wangenheim, L. (2011).** On the Barkhausen and Nyquist stability criteria. *Analog Integr. Circ. Sig. Process.*, 66(1), 139–141. <https://doi.org/10.1007/s10470-010-9506-4>
- Wang, R., Ko, W. H., & Young, D. J. (2005).** Silicon-carbide MESFET-based 400°C MEMS sensing and data telemetry. *IEEE Sensors Journal*, 5(6), 1389–1394. <https://doi.org/10.1109/JSEN.2005.858927>
- Wessel, J., Schmalz, K., Scheytt, J. C., & Kissinger, D. (2017).** A 120-GHz Electrical Interferometer for Contactless Permittivity Measurements with Direct Digital Read-Out. *IEEE Microw. Compon. Lett.*, 27(2), 198–200. <https://doi.org/10.1109/LMWC.2017.2649384>
- White, M., & Chen, Y. (2008).** Scaled CMOS Technology Reliability Users Guide. *JPL Publication 08-14 3/08*.
- Withayachumnankul, W., Jaruwongrungrsee, K., Fumeaux, C., & Abbott, D. (2012).** Metamaterial-inspired multichannel thin-film sensor. *IEEE Sensors J.*, 12(5), 1455–1458. <https://doi.org/10.1109/JSEN.2011.2173762>
- Wolf, M., Gulich, R., Lunkenheimer, P., & Loidl, A. (2012).** Relaxation dynamics of a protein solution investigated by dielectric spectroscopy. *Biochimica et Biophysica Acta - Proteins and Proteomics*, 1824(5), 723–730. <https://doi.org/10.1016/j.bbapap.2012.02.008>
- Wolpert, D., & Ampadu, P. (2012).** Temperature Effects in Semiconductors. In *Managing Temperature Effects in Nanoscale Adaptive Systems* (pp. 15–33). Springer. <https://doi.org/10.1007/978-1-4614-0748-5>
- Wong, Y. et al. (2019).** DVB-S2 Demonstration Testing for Enhancing Data Rates for CubeSat/SmallSat Missions. Retrieved from <https://ntrs.nasa.gov/search.jsp?R=20190028947>

- XFAB** Mixed-Signal Foundry Experts. (2019). XH018 - 0.18 Micron Modular Analog Mixed HV Technology. Retrieved from <https://www.xfab.com/technology/cmos/018-um-xh018/>
- Xiao, X., & Li, Q. (2017).** A Noninvasive Measurement of Blood Glucose Concentration by UWB Microwave Spectrum. *IEEE Antennas Wireless Propag. Lett*, 16, 1040–1043. <https://doi.org/10.1109/LAWP.2016.2618946>
- Xiu, L. (2019).** Time Moore: Exploiting Moore’s Law from the Perspective of Time. *IEEE Solid-State Circuits Magazine*, 11(1), 39–55. <https://doi.org/10.1109/MSSC.2018.2882285>
- Yan, M. Y., Tu, K. N., Vairagar, V., Mhaisalkar, S. G., & Krishnamoorthy, A. (2006).** A direct measurement of electromigration induced drift velocity in Cu dual damascene interconnects interconnects. *Microelectron. Reliab.*, 46(8), 1392–1395. <https://doi.org/10.1016/j.microrel.2005.11.004>
- Zhang, R., Acar, M., Apostolidou, M., Van Der Heijden, M. P., & Leenaerts, D. M. W. (2012).** Concurrent L- and S-band class-E power amplifier in 65nm CMOS. In *IEEE Radio Freq. Integr. Circuits Symp.* (pp. 217–220). Montreal, QC, Canada: IEEE. <https://doi.org/10.1109/RFIC.2012.6242267>
- Zhao, C., Montaseri, M. H., Wood, G. S., Pu, S. H., Seshia, A. A., & Kraft, M. (2016).** A review on coupled MEMS resonators for sensing applications utilizing mode localization. *Sensors and Actuators, A: Physical*, 249(10), 93–111. <https://doi.org/10.1016/j.sna.2016.07.015>