



HAL
open science

Caractérisation et modélisation des transistors avancés et émergents pour la conception de circuit

Sebastien Fregonese

► **To cite this version:**

Sebastien Fregonese. Caractérisation et modélisation des transistors avancés et émergents pour la conception de circuit. Micro et nanotechnologies/Microélectronique. Université Bordeaux, 2019. tel-02379493

HAL Id: tel-02379493

<https://hal.science/tel-02379493>

Submitted on 25 Nov 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

HABILITATION A DIRIGER DES RECHERCHES

Présentée à
L'UNIVERSITÉ DE BORDEAUX

ECOLE DOCTORALE SCIENCES PHYSIQUES ET DE L'INGÉNIEUR
SPÉCIALITÉ : ELECTRONIQUE

Par
Sébastien FREGONESE
Chargé de recherche CNRS

Caractérisation et modélisation des transistors avancés et émergents pour la conception de circuit

Soutenance prévue le 4 Juin 2019 à l'Université de Bordeaux

Devant la commission d'examen composée de :

Mr Jean-Pierre Raskin	Professeur, Université catholique de Louvain	Rapporteur
Mr Sorin Cristoloveanu	Directeur de recherche CNRS, IMEP LAHC Grenoble	Rapporteur
Mr Mohammed Zaknونة	Directeur de recherche CNRS, IEMN Lille	Rapporteur
Mr Lionel Hirsch	Directeur de recherche CNRS, IMS Bordeaux	Examinateur
Mme Cristell Maneux	Professeur, Université de Bordeaux, IMS	Examinateur
Mr Thomas Zimmer	Professeur, Université de Bordeaux, IMS	Examinateur
M. Patrick Scheer	Responsable R&D, STMicroelectronics, Crolles	Invité
M Patrick Mounaix	Directeur de recherche CNRS, IMS Bordeaux	Invité

Table des matières

I.	Préambule.....	6
II.	Modélisation et caractérisation des composants avancés à base de silicium	8
A.	Introduction.....	8
B.	Résumé des travaux de thèse- 2002-2005	9
C.	Développement de nouvelles architectures de HBT et optimisation	10
1.	Application d'une contrainte mécanique sur le HBT SiGe (Thèse M. Al-Sa'Di- projet DOT5 -2008-2011)	10
2.	Développement d'une nouvelle architecture dans les nœuds 55nm et 28 nm (Thèse T. Van VU- CIFRE STMicroelectronics-2013-2016).....	15
D.	Caractérisation et modélisation des effets électrothermiques des composants HBT SiGe (Thèse Univ. Bordeaux et Postdoc RF2THz Amit K. Sahoo 2008-2012 et Postdoc 2012-2014 ; Thèse Rosario D'Esposito projet CATRENE RF2THZ-FP7 DOT7 2013-2016 ; Postdoc A. Dev Dwivedi 2014-2015 ; Postdoc FP7 DOT7 Suresh Balanethiram 2015-2016).....	20
3.	Modélisation des effets thermiques.....	21
4.	Caractérisation des effets électro-thermiques.....	25
E.	Techniques innovantes de caractérisation très haute fréquence (Thèse Manuel Potéreau 2012-2015 projet FP7 DOT7)	31
1.	Comparaison des types de calibrage	34
2.	Non idéalité des mesures.....	39
F.	Conclusion HBT.....	43
III.	Evaluations de transistors émergents à base de carbone pour les applications circuits	44
A.	Introduction.....	44
B.	Développement d'une famille de modèle de transistors à nanotubes de carbone.....	45
1.	Introduction.....	45
1.	Positionnement et paysage international de la modélisation compacte.....	48
2.	Eléments de modélisation	52
3.	Innovations supportées par les modèles compacts UBx	60
C.	Développement d'une famille de modèles pour les transistors à base de graphène.....	62

1.	Introduction.....	62
2.	Positionnement et paysage international de la modélisation compacte du GFET	65
3.	Eléments de modélisation	70
4.	Design de circuit et applications du modèle compact.....	76
D.	Conclusion – transistors émergents	80
IV.	Projet.....	82
A.	Court et moyen terme.....	84
1.	Caractérisations de transistors au-delà de 140 GHz.....	84
2.	Modélisation des technologies HBT SiGe.....	89
3.	Démonstrateurs circuits.....	91
B.	Moyen et long terme : Contribution au développement de la mesure THz :TDR et VNA basé sur un laser pour la mesure jusqu’au THz.....	93
C.	Conclusion.....	97
V.	Références	99
VI.	Liste de publications.....	117
1.	Articles dans des revues internationales avec comité de lecture.....	117
2.	Conférences invitées / sessions spéciales	121
3.	Communications internationales avec actes	122
4.	Communications nationales avec actes	127
5.	Modèle en ligne	128
6.	Chapitres de livre	128
7.	Brevets.....	128

I. Préambule

Positionnement de l'activité dans le laboratoire et explication de la thématique

Ce document décrit mes activités de recherche et d'encadrement depuis ma prise de fonction au 1^{er} octobre 2007 au Laboratoire IMS, dans le groupe « Nanoélectronique », au sein de l'équipe « Modélisation compacte et caractérisation des dispositifs électroniques » dirigée par Cristell Maneux (Professeure). L'équipe est constituée de deux professeurs (C. Maneux, T. Zimmer), de deux maîtres de conférences (F. Marc, M. Deng) et d'un chargé de recherche, moi-même (S. Fregonese). La modélisation compacte a pour objectif d'aider à la conception de circuit électronique avec les moyens de CAO et s'appuie sur la caractérisation électrique pour nourrir le modèle en paramètres et valider sa précision. C'est un des maillons de la chaîne du développement d'objet électronique sur lequel s'appuie l'industrie du semi-conducteur. C'est aussi un outil d'évaluation de la technologie à l'échelle d'un circuit.

L'industrie du semi-conducteur, grâce à ses moyens technologiques, développe des composants silicium de plus en plus avancés. Grâce à cette montée en fréquence des composants Silicium, un grand nombre d'applications très hautes fréquences à coûts contenus voient le jour alimentant ainsi le développement technologique. Elle concerne par exemple les applications de radar automobiles, l'imagerie THz médicale et la sécurité. En 2016, les transistors bipolaires à hétérojonction TBH SiGe ont atteint des performances record de fonctionnement avec 700GHz de f_{MAX} . Pour ce faire, des dimensions très réduites, des dopages forts et abrupts ainsi que de nouvelles architectures sont utilisés. La complexité de ces composants, leur dimension nanométrique et leur fonctionnement à forte densité de courant et haute fréquence nécessitent de nouvelles méthodes de caractérisation, d'extraction de paramètres et de modélisation.

Par ailleurs, les caractéristiques des composants silicium approchant de plus en plus de leurs limites physiques, de nouveaux dispositifs, qualifiés d'émergents, sont développés en parallèle, n'ayant pas pour but de les remplacer mais plutôt de cohabiter avec ces technologies conventionnelles pour apporter de nouvelles fonctionnalités au système final. Ces composants, très différents des technologies classiques, doivent être évalués au sein du circuit pour apprécier leur futur potentiel industriel. Aussi, leur comportement ou leur structure innovante permet par ailleurs de proposer des cellules circuits basiques innovantes. A cet effet, de nouveaux modèles compacts et des circuits innovants sont développés par les académiques pour évaluer ces technologies.

Ainsi, mon activité de recherche a pour cadre l'évaluation, la caractérisation électrothermique et haute fréquence, la modélisation de transistors à base de technologies avancées et émergentes ainsi

que leur optimisation en collaboration avec les technologues. Les technologies visées sont les composants très avancés de type HBT SiGe et les composants émergents à base de carbone. En finalité, des circuits démonstrateurs simples ont été développés dans les technologies SiGe et graphène pour mettre en avant la précision du modèle et pour proposer des structures innovantes.

Mon activité sur les composants HBT SiGe s'est maintenue depuis 2002 et réalisée en étroite collaboration avec l'industrie notamment STMicroelectronics mais aussi avec Infineon. En ce qui concerne les composants HBT SiGe, l'équipe et principalement mon collègue T. Zimmer a initié le projet FP7 IP DOT5 réunissant pour la première fois les grands acteurs européens des technologies BiCMOS Silicium. Cette activité s'est poursuivie dans le cadre des projets CATRENE RF2THZ, FP7 IP DOT7 et H2020 TARANTO. Je suis aussi responsable d'un projet région FAST dont l'objectif est d'améliorer et mieux exploiter la plateforme de caractérisation de paramètres S 500 GHz.

Concernant les technologies émergentes, mon activité a démarré lors de mon second Postdoc sur les nanotubes de carbone en 2006-2007 et s'est poursuivie sur les activités à base de transistor graphène à partir de 2010 puis s'est intensifiée suite à mon séjour dans le laboratoire IEMN de Lille. Mes principaux partenaires sont l'université de Lille avec le professeur H. Happy ainsi que l'université de Aachen RWTH avec Max Lemme. J'ai développé ces activités et en suis responsable au sein de notre équipe. Ces activités ont été menées à l'aide de financement européen FP7 GRADE pour lequel j'ai été leader d'un work-package, ainsi que les ANRs NANOGRAIN et GRACY dont j'étais le responsable scientifique pour l'université de bordeaux.

Le document s'articule selon deux chapitres, le premier concerne les technologies HBT SiGe et le second concerne les technologies émergentes à base de carbone. Chacun de ces chapitres reprend les thématiques de caractérisation, de modélisation, d'optimisation de la technologie ; il rappelle mes travaux majeurs dans chaque domaine pour mettre en évidence les résultats les plus marquants et les restituent par rapport à l'activité internationale.

II. Modélisation et caractérisation des composants avancés à base de silicium

A. Introduction

Le premier SiGe HBT a été publié par IBM en 1987 [1]. Les dispositifs ont été fabriqués en utilisant l'épitaxie à faisceau moléculaire (MBE) avec un traitement à basse température et différents teneurs en Ge. Depuis un nombre significatif de jalons ont été atteints avec notamment la fabrication du premier HBT SiGe avec base graduée atteignant des performances de 75 GHz [2] et la première technologie SiGe HBT entrée en production commerciale sur plaquette de 200 mm en 1994 [3].

Depuis cette époque, IBM a été leader sur la technologie SiGe BiCMOS pendant deux décennies. Les premiers f_{MAX} 200 GHz f_T et 280 GHz ont été réalisés chez IBM en intégrant le SiGe HBT dans le nœud CMOS 0,13 μm en 2003 [4]. IBM atteint un nouveau record de 300 GHz f_T et 350 GHz f_{MAX} en 2004 [5]. La technologie 90nm SiGe BiCMOS d'IBM (9HP), atteint de nouveau record en 2014 avec 300 GHz de f_T et 360 GHz de f_{MAX} [6].

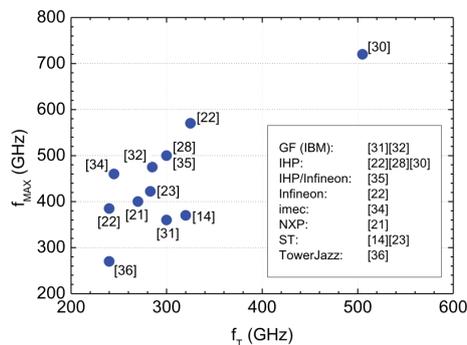


Fig. 1. Etat de l'art des technologies HBT SiGe, il faut noter que [30] n'est pas une technologie BiCMOS mais une technologie purement bipolaire.

Entre 2002 et 2016, les technologies HBT SiGe ont vu leurs performances augmenter d'une décade en terme de fréquence maximum d'oscillation avec la technologie BiCMOS 7 RF de STMicroelectronics fonctionnant à 70 GHz sur laquelle j'ai réalisé une partie des travaux de ma thèse et la dernière technologie d'IHP (encore à l'état de prototype et purement bipolaire) fonctionnant à 700 GHz [7]. Cette performance de 700 GHz est une performance mondiale développée dans le cadre du projet DOT7 auquel j'ai participé. Il est important de noter que cette thématique historiquement menée par les Etats Unis et notamment IBM est désormais guidée par l'Europe avec les industriels et instituts de recherche pour la maîtrise technologique

(STMicroelectronics, INFINEON, IHP, IMEC) et par les académiques pour ce qui concerne le champ de la caractérisation, la modélisation et la conception de circuits. Un état de l'art récent des plus grands fondeurs et instituts est donné en Fig. 1.

La Fig. 2 montre l'évolution de la technologie d'IHP entre 2009 et 2016 soit au démarrage du projet européen DOT5 (initié à IMS) et la fin du projet européen DOT7 avec les points clés de l'avancée technologique et l'amélioration des performances en terme de f_{MAX} faisant passer celle-ci de 300 à 700 GHz. Ces points-clés de l'amélioration sont : i) un profil de dopage amélioré grâce à une activation des porteurs via un flash milliseconde et un bilan thermique faible lors de la fabrication du BEOL ; ii) un profil de SiGe amélioré ; iii) un faible dopage des zones périmétriques d'émetteur et collecteur ; iv) un scaling de l'émetteur ; v) un spacer de la zone base-émetteur amélioré ; vi) une « silicidation » épaissie ; vii) et surtout une architecture permettant la fabrication de la base extrinsèque de façon monocristalline avec une interface zone intrinsèque, zone extrinsèque optimisée.

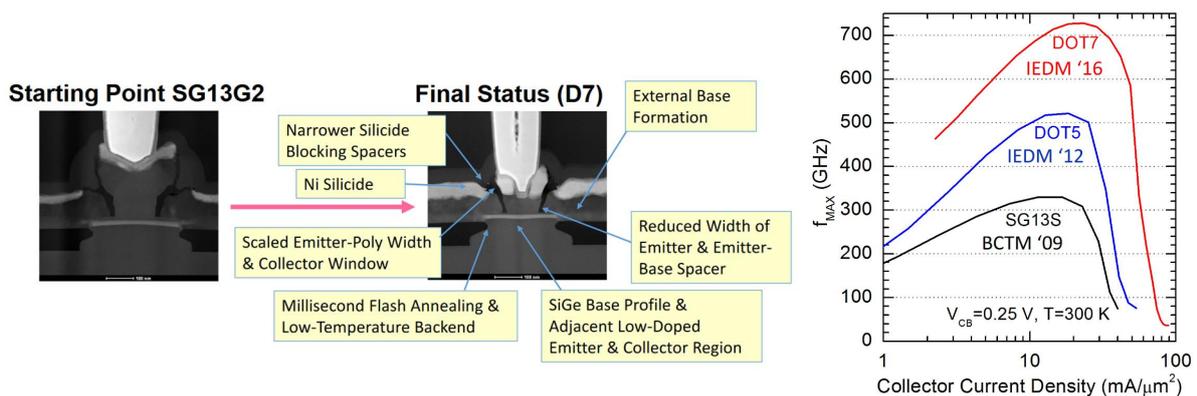


Fig. 2. Evolution de la technologie d'IHP entre 2009 et 2016 [7], [8], a) amélioration technologique, b) évolution de la f_{MAX} .

Ce chapitre donne un aperçu de mes activités de recherche, d'abord lors de ma thèse (paragraphe B) puis en tant que chargé de recherche, sur l'amélioration de la technologie (paragraphe C), la modélisation des effets thermiques (paragraphe D) et sur la caractérisation très haute fréquence de ces dispositifs (paragraphe E).

B. Résumé des travaux de thèse- 2002-2005

Mes activités de recherche sur cette thématique du transistor HBT SiGe ont démarré lors de ma thèse en 2002, sujet de recherche ayant pour objectif de modéliser les transistors en fonction de

leur géométrie. Suite à ces travaux, nous avons développé des méthodologies d'extraction de paramètres et avons démontré le bon fonctionnement du modèle HICUM L0 sur différentes technologies ; à ce titre nous sommes co-auteur du papier fondateur du modèle compact HICUM L0 avec l'équipe de M. Schröter à TU Dresden [9], [10]. Ces documents sont cités 41 et 26 fois, résultat honorable dans cette thématique.

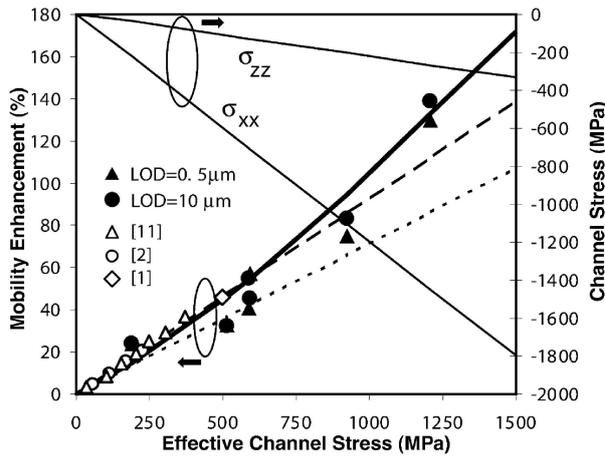
Pour compléter le modèle HICUM L0, une version « scalable » a été présentée en conférence [11]. De plus des modules spécifiques ont été ajoutés à HICUM L0 comme par exemple un modèle de substrat « scalable » dédié aux transistors isolés par tranchée profonde [12] ou un modèle de temps de transit pour les effets de blocage de charge dans l'hétérojonction base-collecteur SiGe/Si [13]. Je suis par ailleurs co-auteur de travaux sur la thématique de l'auto-échauffement du transistor et de son extraction de paramètres [14]–[16].

En outre, nous avons développé le premier modèle de transistor HBT sur film SOI partiellement déplété. En effet, ce transistor fabriqué par STMicroelectronics a la particularité d'avoir une zone de charge espace base-collecteur s'élargissant verticalement puis horizontalement menant à des changements de comportement de la charge base-collecteur, du temps de transit et en conséquence au courant de collecteur et à la conductance de sortie [17]–[20]. Malheureusement, ce transistor n'a pas été commercialisé, ceci probablement à cause du succès modéré des technologies CMOS partiellement déplétées.

C. Développement de nouvelles architectures de HBT et optimisation

1. Application d'une contrainte mécanique sur le HBT SiGe (Thèse M. Al-Sa'Di-projet DOT5 -2008-2011)

Dans le cadre du projet européen DOT5 dont l'objectif était de faire monter en fréquence les HBTs SiGe, nous avons proposé l'idée d'appliquer des contraintes mécaniques pour déformer la structure de bande et améliorer la mobilité des porteurs dans le transistor. En effet, si cette technique avait été largement appliquée aux transistors MOSFET sur silicium, et notamment de manière originale en utilisant des îlots de SiGe dans le cadre de mon POSTDOC à TU Delft [21] [22], peu de travaux avaient été proposés sur le transistor bipolaire. Les travaux préliminaires (voir Fig. 1a) montrent l'amélioration de la mobilité des trous attendue en fonction de la contrainte appliquée sur du Si. Une amélioration non négligeable pouvant aller jusqu'à plus de 100% peut être observée. Cette amélioration de la mobilité dépend du type de porteurs, de l'orientation de la contrainte et de l'orientation du wafer comme le montre la Fig. 1b.



	<100>		<110>	
Polarity	$\pi_{ }$	π_{\perp}	$\pi_{ }$	π_{\perp}
N or P	π_{11}	π_{12}	$(\pi_{11} + \pi_{12} + \pi_{44})/2$	$(\pi_{11} + \pi_{12} - \pi_{44})/2$
N-type	-102	53.4	-31.6	-17.6
P-type	6.6	-1.1	71.8	-66.3

Fig. 3. a) Amélioration de la mobilité de trous et composantes de stress en fonction de la contrainte effective du canal. [23], b) coefficient de piézo-résistance permettant de calculer l'amélioration de la mobilité en fonction du type de porteur et en fonction de l'orientation de la contrainte et en fonction de l'orientation du wafer [24].

Concernant le transistor bipolaire, à ma connaissance seul un brevet détenu par IBM [25] en 2006 et 2 publications à partir de 2004 ont été publiées [26], [27]. Dans [26], [27], une contrainte mécanique a été appliquée à l'échelle du wafer pour étudier l'influence de cette contrainte sur les performances électriques du composant. Malheureusement, seules les caractéristiques DC ont été étudiées dans ces deux documents. Nous pouvons y constater un fort impact sur les caractéristiques en courant-tension mais il est difficile d'extrapoler une performance fréquentielle. Deux paramètres sont fortement impactés par la contrainte mécanique, il s'agit de la bande interdite d'énergie et la mobilité.

Dans le cadre du projet DOT5, de la thèse de M. Al-Sa'di et en l'absence d'accès à une salle blanche et aussi de l'expertise nécessaire, nous avons utilisé un outil de simulation TCAD calibré dans le cadre du projet DOT5 en collaboration avec la Bundeswehr University (BU) Munich et le groupe de Christoph Jungemann. En effet des outils de simulation résolvant l'équation de Boltzmann ont été utilisés pour calibrer nos outils. Un modèle tabulé dédié à la simulation de transport de type hydrodynamique a été transféré de BU à notre université permettant d'obtenir un modèle précis de l'énergie des porteurs, leur temps de relaxation, la mobilité et la vitesse de saturation en fonction du champ électrique, de la fraction molaire de germanium, du dopage et de la température. Après avoir ajusté nos modèles au niveau matériau, une seconde validation a été proposée en comparant des transistors HBTs avec un profil de dopage de référence et une structure quasi 1D, l'un simulé à BU et l'autre sur le site de Bordeaux. Ce travail a été réalisé en deux étapes avec un premier transistor fonctionnant autour de 100 GHz de f_T et le second ayant une f_T proche du THz. Une

comparaison des travaux est donnée en Fig. 5. Un résumé de ces travaux de calibrage au sein du projet DOT5 est donné dans [28] et dans la Fig. 4.

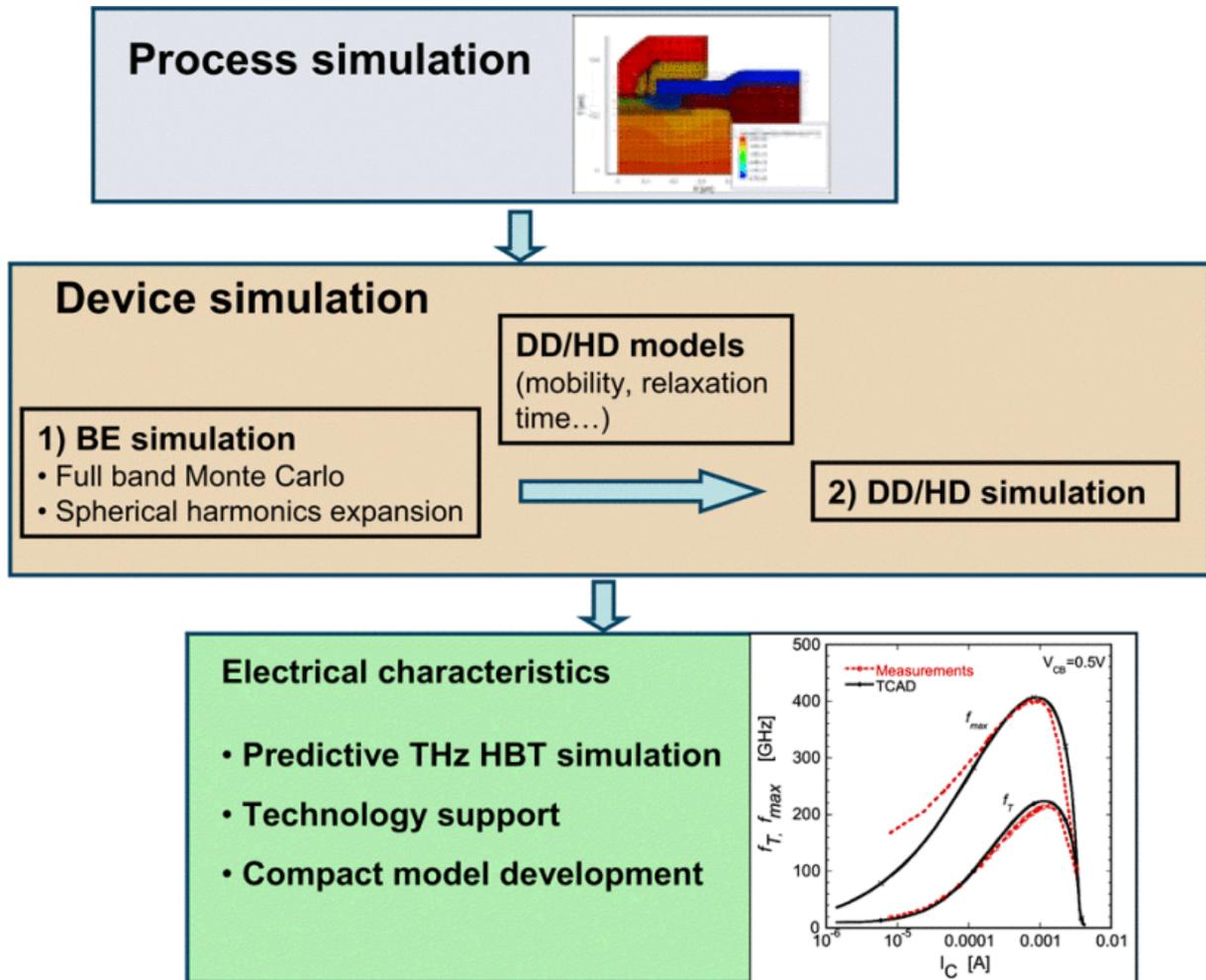


Fig. 4. Travaux de TCAD au sein du projet DOT5

Après cette première étape de calibrage fastidieuse, différentes options ont été envisagées pour analyser la zone du transistor la plus sensible à la contrainte mécanique: en effet alors que dans le transistor MOSFET un seul type de porteur intervient avec un transport dans une seule direction, il est nécessaire de considérer les deux types de porteurs et deux directions. Après cette première étape, deux zones ont été étudiées, la base, zone clé du transistor HBT et le collecteur.

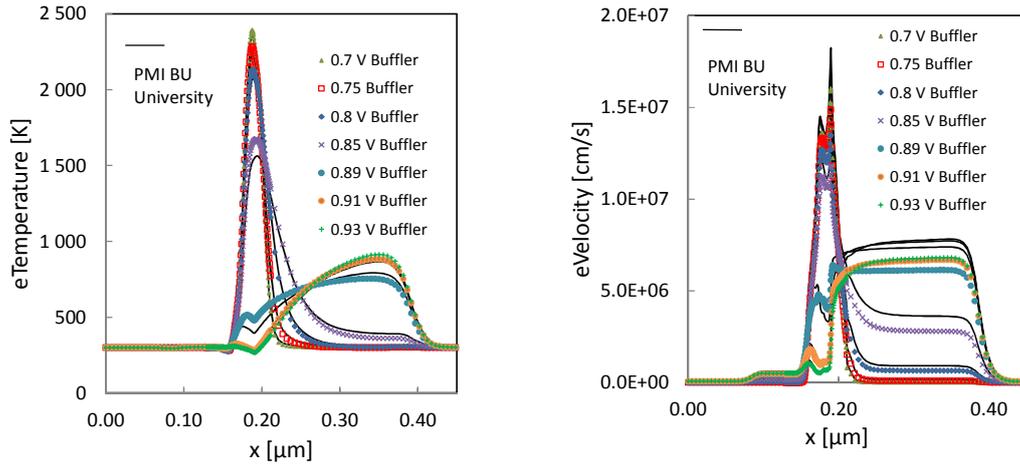


Fig. 5. Simulation d'un HBT quasi 1D réalisé à Bordeaux avec le modèle [29] et les simulations effectuées avec le modèle tabulé de Bundeswehr University basé sur une simulation de l'équation de Boltzmann.

D'un point de vue de la contrainte mécanique et du procédé technologique, la première option considérée a été d'appliquer une contrainte au niveau de la base en faisant croître une couche supplémentaire de SiGe au niveau de la base extrinsèque, en supposant que la base extrinsèque soit monocristalline. Ces contraintes mécaniques sont évaluées via une simulation de procédé relativement simplifiée car les informations technologiques sont gardées confidentielles par les fondeurs. Cette couche supplémentaire appliquée à un BJT impacte fortement la contrainte mécanique au niveau de la base mais c'est moins le cas lorsque le transistor est un HBT. En effet, la base du HBT étant déjà fortement contrainte, la contrainte mécanique additive a un impact limité. Ceci a des conséquences sur les performances attendues. Pour mener à bien cette étude, un nouveau modèle de transport de charge spécifique à une couche de SiGe recevant une contrainte mécanique supplémentaire a été développé par BU et transféré dans le cadre du projet DOT5. En effet, le modèle de base suppose que la couche de SiGe est contrainte naturellement après avoir été crû sur une couche de Silicium. Dans notre cas la contrainte mécanique est ici supérieure à celle obtenue dans un transistor HBT SiGe conventionnel. D'un point de vue électrique, une amélioration de 3% sur la fréquence de transition et de 5% [30] sur la fréquence maximale d'oscillation d'un HBT a été obtenue alors que cette amélioration était bien plus forte dans le cas d'un BJT, soit de 42% en f_T et de 13% en f_{MAX} .

La seconde option a été d'appliquer une contrainte mécanique dans le collecteur ayant pour objectif d'améliorer la mobilité des électrons dans le collecteur. Une première approche considérant un transistor simplifié nous a permis de montrer qu'appliquer une contrainte dans le collecteur permet d'améliorer les performances du transistor de manière plus significative que la première approche.

En effet, les résultats montrent une amélioration de 14 % sur la f_T et de 9% sur la f_{MAX} [31] en introduisant une contrainte d'environ 1GPa dans le collecteur. L'amélioration du produit $f_T \cdot BV_{CEO}$ est d'environ 12%. Malheureusement, le collecteur étant situé en profondeur dans le substrat, il est difficile d'introduire ce niveau de contrainte sans modifier en profondeur le procédé technologique.

La solution la plus simple pour introduire un stress mécanique dans le HBT semble d'utiliser un film de nitrure « stress liner » à la fin de la construction du HBT. Cette solution est largement utilisée pour appliquer une contrainte mécanique sur les transistors MOSFET de type N [24]. La structure qui nous semble la plus favorable pour que le film à contrainte mécanique soit le plus favorable est la structure appelée G1G fabriquée par IMEC (voir Fig. 6) car elle est construite en surface. En effet, le film à contrainte mécanique englobe de manière efficace la structure pour agir en profondeur dans le collecteur (voir Fig. 7). La contrainte mécanique obtenue dans le collecteur reste limitée avec une valeur maximale de 200 MPa selon l'axe Y et la modification est quasi nulle dans la base. Dans ce cas, l'amélioration de la fréquence de transition est seulement de 1.4% sur la f_T et quasi nulle sur la f_{MAX} .

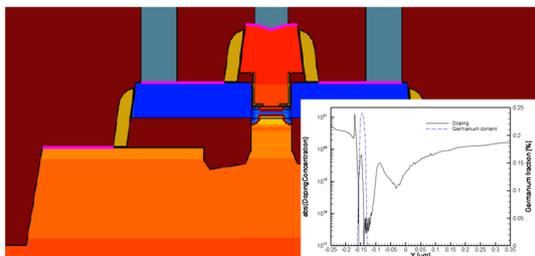


Fig. 6. Structure G1G HBT d'IMEC et profil de dopage associé.

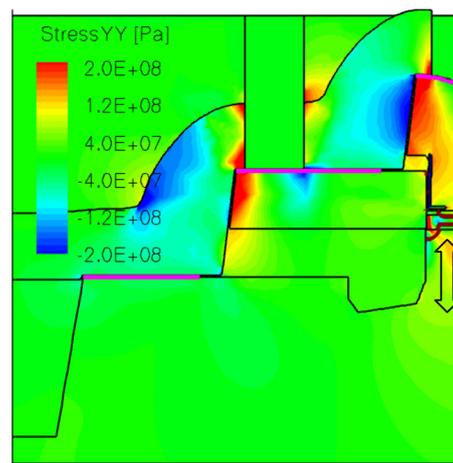


Fig. 7. Stress S_{XX} et S_{YY} à l'intérieur de la structure avec une couche compressive de 150nm et 1.5GPa

Ces travaux ont été poursuivis par d'autres équipes comme celle de M. Osling [32] en 2010 avec une fabrication de prototype de HBT contraint et des travaux de simulations dans l'équipe de C. Jungemann [33] en 2011 montrant la même tendance que celle de nos résultats.

Pour les technologues, il est bien connu que le BEOL génère un stress au niveau du front end of the line (FEOL). En 2011, une étude [34] corrèle le stress mécanique généré par le dessin du BEOL aux caractéristiques I-V. Ceci a été démontré en simulation et confirmé en mesure. La Fig. 8 montre le stress généré par le BEOL au sein du dispositif. Il est de quelques centaines de MPa et peut

modifier la valeur du courant de collecteur jusqu'à un facteur 1.5. En effet, la contrainte modifie la bande interdite d'énergie ce qui joue fortement sur les caractéristiques I-V. En 2013, des travaux menés au sein de STMicroelectronics [35] ont conclu à un impact du stress sur les performances fréquentielles des transistors HBT SiGe avec un gain de 21% sur la f_T à $V_{BE}=0.82V$ mais seulement d'environ 5% au pic de la f_T , résultats du même ordre de grandeur que nos études publiées en 2010. Nous avons par ailleurs observé ce phénomène dans [36] en jouant sur le BEOL pour réaliser un puit thermique, travaux dans lesquels nous avons constaté un effet du BEOL sur le courant de collecteur et la f_T .

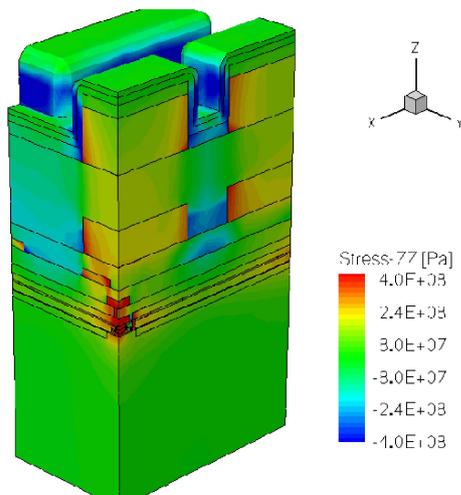


Fig. 8. Impact du BEOL sur les contraintes mécaniques sur la technologie BiCMOS [34]

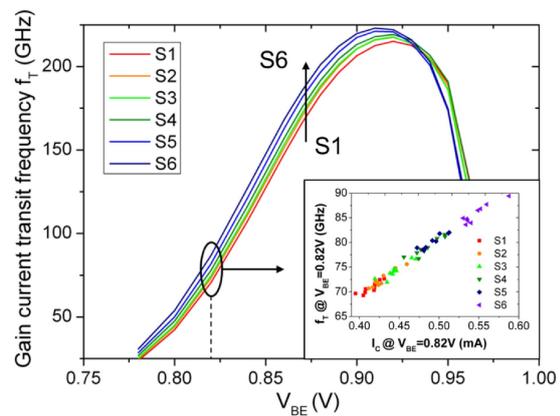


Fig. 9. Impact du BEOL sur la fréquence de transition en fonction de V_{BE} ; Inset: étude de la dispersion sur 9 réticules différents [35]

2. Développement d'une nouvelle architecture dans les nœuds 55nm et 28 nm (Thèse T. Van VU- CIFRE STMicroelectronics-2013-2016)

Dans le cadre de la thèse CIFRE de Tuan Van VU, l'objectif était de mieux appréhender les limitations de la technologie B55 de chez STMicroelectronics pour proposer une nouvelle structure de transistor toujours en 55nm permettant d'augmenter fortement les performances en termes de f_T et de f_{MAX} . L'architecture DPSA-SEG du composant avait été améliorée notamment dans le courant des projets DOT5 et RF2THz avec un certain conservatisme permettant de progresser en performance en évitant une refonte complète de la structure. Malheureusement, cette architecture montre dorénavant des limitations qui deviennent bloquantes notamment pour la jonction base extrinsèque – base intrinsèque. Pour proposer une évolution de l'architecture, la méthode la moins coûteuse consiste à s'appuyer sur la simulation par éléments finis (TCAD) pour pouvoir proposer une nouvelle architecture et aussi avoir une première solution optimisée. Premièrement, une longue étape de calibrage des paramètres physiques du simulateur TCAD a été réalisée permettant

d'approcher le modèle TCAD aux mesures publiées dans [37]. Ces travaux font suites à de nombreux travaux sur cette thématique notamment dans le projet DOT5 où un work-package était dédié à la TCAD et la modélisation [28]. Concernant sa calibration, l'outil de TCAD était alimenté aussi bien par des caractérisations électriques que physiques de type profil SIMS, des mesures de la contrainte mécanique dans la base et aussi des mesures au microscope électronique (STEM) combinées à des images de type rayon X (energy-dispersive X-ray (EDX)).

Le préalable à ces travaux de conception d'une nouvelle architecture a été une étude bibliographique poussée qui a permis d'analyser le procédé technologique des grands fondeurs, IBM, ST, IFX, HITACHI, Freescale, TowerJazz et IHP. En effet, notre doctorant a proposé une classification originale de la fabrication des HBT SiGe en 3 catégories en fonction des étapes de fabrication de l'épitaxie de SiGe de la base intrinsèque, de l'accès de base et de l'émetteur (voir Fig. 10). Cette classification a mis en avant le fait que la technologie IHP a un procédé de fabrication unique : ces performances record sont obtenues en construisant le transistor intrinsèque en premier, suivi de la base extrinsèque crûe de manière mono-cristalline. Ainsi la performance d'IHP n'est pas seulement due à une optimisation des profils de dopage, à un scaling de la géométrie et une optimisation des éléments parasites mais à une vraie refonte de l'architecture du composant comme décrit dans l'introduction. Un des points clés pour améliorer les performances de ces composants concerne la jonction base intrinsèque et base extrinsèque. En effet, il est nécessaire de fortement réduire la résistance d'accès de la base en contrôlant au mieux l'interface entre les zones de base extrinsèque et intrinsèque tout en limitant aux mieux les effets capacitifs. Pour atteindre cet objectif, l'ordre des étapes est critique et nous pouvons noter que dans le cas du fondeur IHP, la base extrinsèque monocristalline est réalisée en dernière étape. En comparaison de l'architecture DPSA-SEG de STMicroelectronics, les structures EBL et EEB permettent une réduction des résistances normalisées $(R_B+R_E) \times L_E$ de 47% et 65% respectivement.

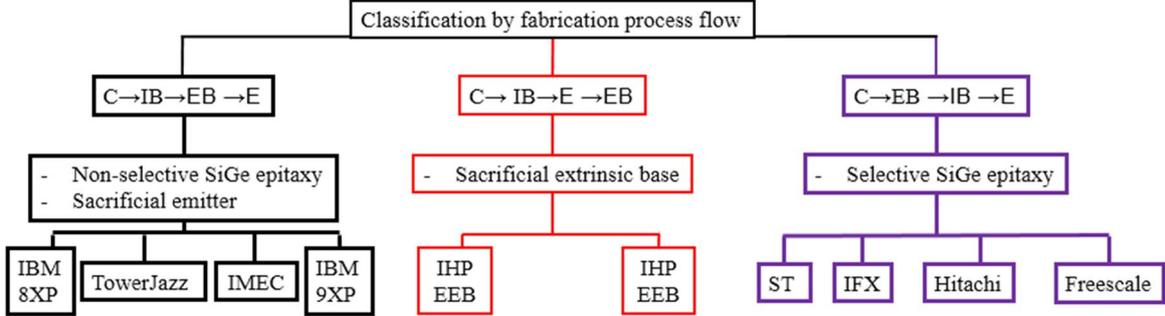


Fig. 10. Classification des procédés technologiques des grands fabricants de HBT SiGe

Concernant la conception de cette nouvelle architecture, l'objectif à terme est l'intégration de celle-ci dans le nœud 28 nm développé sur film Si fin de type SOI. Ce support nécessite de repenser complètement l'architecture et notamment la partie basse du transistor et le module de collecteur. D'après l'étude bibliographique, deux types de module de collecteur sont utilisés : le premier classique consiste en une couche enterrée N+, une épitaxie de collecteur, le DTI, le STI suivi d'un SIC ; le second est le collecteur implanté qui utilise seulement le STI, une implantation de collecteur suivi du SIC. La première architecture est complètement inadaptée au nœud très intégré comme la technologie FD 28nm SOI pour des raisons d'épaisseur du module. Le second module sera donc utilisé permettant aussi de réduire la capacité C_{BC} . Nous pouvons noter que cette structure s'affranchit du DTI. De plus, une modification du STI conventionnel est nécessaire pour réduire son épaisseur et sa largeur.

Le Tab. 1 résume les nouvelles architectures proposées dans la thèse de T. Van VU. Une seule d'entre elles sera décrite dans ce document. Pour conclure sur le développement de nouvelles architectures, cette étude bibliographique poussée a montré que la technique consistant à utiliser la catégorie C-IB-E-EB utilisée par IHP mais en réalisant un contact de la base extrinsèque par-dessous la base intrinsèque. Cette approche était libre de brevets permettant ainsi d'exploiter cette architecture.

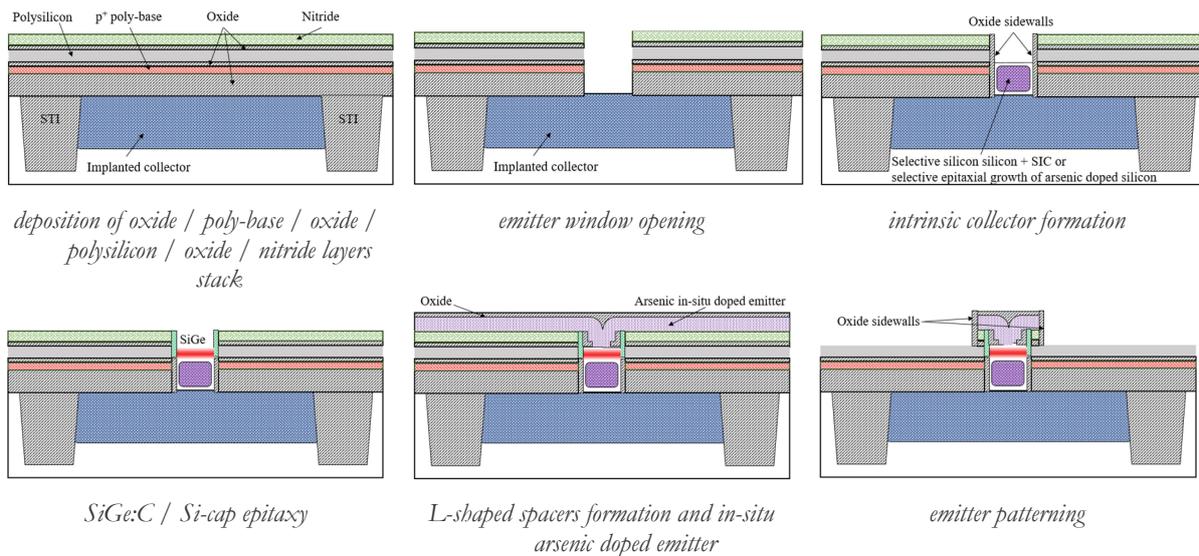
Fabrication process flow	Lateral contact	The bottom of EBL contacts to the top of IBL	The top of EBL contacts to the bottom of IBL
C→IB→EB→E	G1G [38]	8HP [39], 9HP [6] and Towerjazz	
C→IB→E→EB	EBL [8]	EEB [40]	
	Architecture proposée thèse T. Van VU STMicro.	Architecture proposée thèse T. Van VU STMicro.	
C→EB→IB→E	Lateral base link architecture was	DPSA-SEG architectures at Freescale,	Architecture proposée thèse T. Van VU STMicro. (variantes)

	developed at IHP in 2008 [41]	Hitachi, IFX and ST [42]	Architecture proposée thèse T. Van VU STMicro. EXBIC
	Architecture proposée thèse T. Van VU STMicro. EXBIC (variantes)		

Tab. 1. Classification des architectures (Blanc: architectures existantes, violet: pas architectures développées, vert olive: nouvelles architectures)-

Un des procédés proposé dans la thèse T. Van Vu nommé EXBIC pourrait être adapté dans la technologie B55, il se nommera B55+ et plus tard sur une technologie 28nm SOI. Ce procédé technologique est présenté Fig. 11 adapté à la technologie 28 nm FD SOI. Cette architecture EXBIC retient deux concepts clés : i) la croissance latérale dopée in situ du lien de base ayant pour objectif de réduire la base extrinsèque et la base intrinsèque ; ii) un mur latéral d'oxyde isolant le collecteur intrinsèque de la base extrinsèque interdisant la diffusion de bore de la base extrinsèque vers le collecteur intrinsèque. Plusieurs variantes de ce procédé sont données dans la thèse de T. Van Vu (voir Tab. 1).

En ce qui concerne les performances attendues avec ce nouveau procédé technologique, une étude TCAD a été réalisée en considérant différentes optimisations que ce soit au niveau de la géométrie avec les paramètres t_{E0} , t_{P0} , t_{W0} entre autres (Fig. 12a) ou niveau du profil de dopage (Fig. 12b).



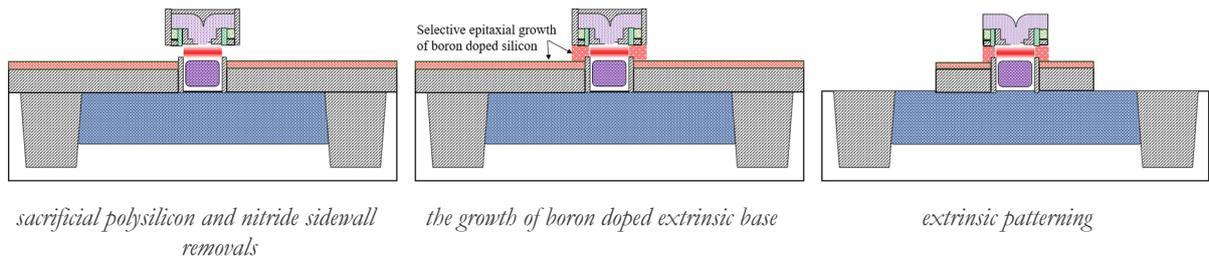


Fig. 11. Process flow of the EXBIC architecture (B28nm FDSOI)-

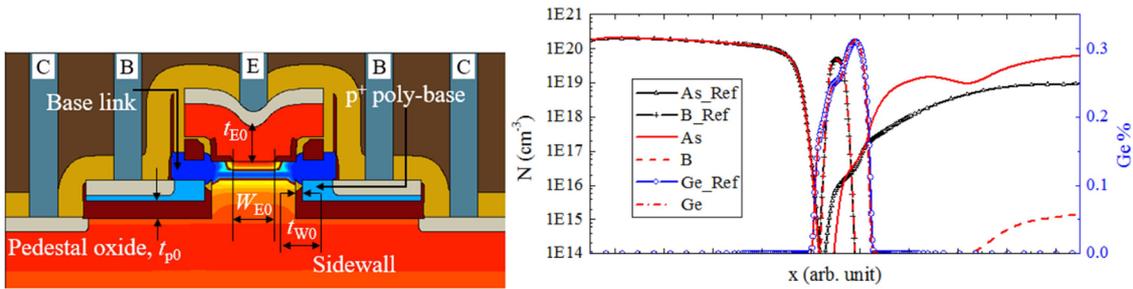


Fig. 12. a) Vue en coupe de la structure de simulation TCAD pour l'architecture EXBIC (B28nm FDSOI); b) profils verticaux de l'arsenic, du bore et du germanium-

Selon les résultats de la simulation TCAD optimisée et avec le calibrage obtenue sur la technologie B55, le transistor pourrait atteindre une fréquence de transition de l'ordre de 470 GHz pour la technologie B28 nm alors que la précédente architecture au nœud 55 nm est d'environ 300 GHz. L'amélioration la plus significative se situe au niveau de la fréquence maximale d'optimisation, la projection donne une valeur d'environ 850 GHz, valeur élevée qui semble cohérente avec la réduction de 68% de la résistance de base extrinsèque. Ces performances sont obtenues après différentes optimisations du collecteur pour conserver un BV_{CE0} de 1.65 V.

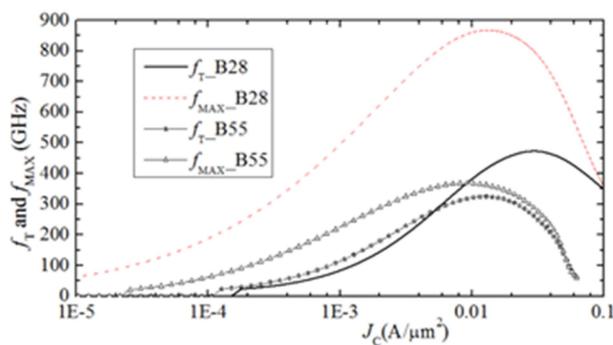
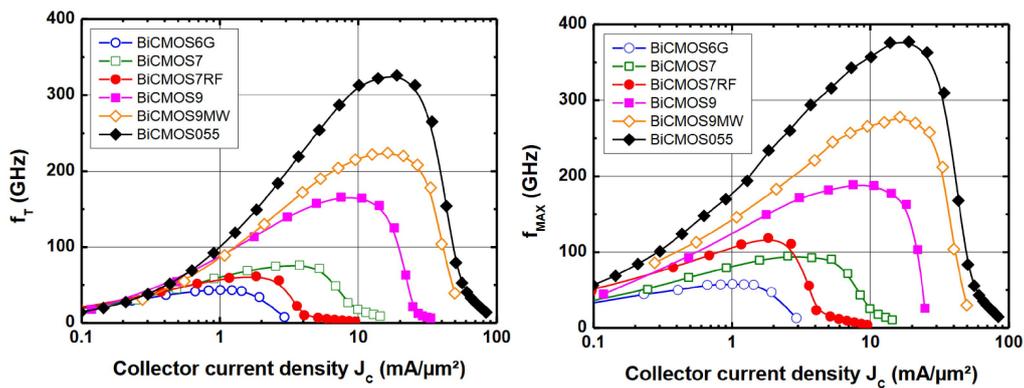


Fig. 13. Comparaison des simulations TCAD entre les technologies B28 and B55 (f_T , f_{MAX}) Thèse T. Van Vu

D. Caractérisation et modélisation des effets électrothermiques des composants HBT SiGe (Thèse Univ. Bordeaux et Postdoc RF2THz Amit K. Sahoo 2008-2012 et Postdoc 2012-2014 ; Thèse Rosario D'Esposito projet CATRENE RF2THZ-FP7 DOT7 2013-2016 ; Postdoc A. Dev Dwivedi 2014-2015 ; Postdoc FP7 DOT7 Suresh Balanethiram 2015-2016)

Lors de l'optimisation des profils de dopage, l'augmentation du dopage de collecteur permet de repousser l'effet Kirk vers de plus forte densité de courant. Aussi, cette augmentation de la densité de courant qui génère une forte dissipation de puissance engendre l'échauffement du composant. Comme le décrit la Fig. 14, nous constatons que le pic de fréquence de transition est obtenu pour une densité de courant chaque fois plus élevée à chaque nouvelle génération technologique, soit un facteur vingt entre deux technologies l'une fonctionnant à 50 GHz de f_{MAX} et l'autre à près de 400 GHz. Même si la tension collecteur-émetteur est abaissée dans le même temps et que le scaling horizontal permet d'améliorer la résistance thermique, la puissance dissipée a largement augmenté, et cet auto-échauffement s'est donc fortement accru sur les nouvelles générations. Il doit être par conséquent précisément quantifié par la mesure et le modèle et aussi modéré par des dessins de « layout » plus optimisés. En effet, l'échauffement est d'importance majeur car il réduit les performances du composant, diminue sa fiabilité et complique l'extraction des paramètres du modèle compact. Cette thématique a fait l'objet de 2 thèses que j'ai co-encadrées avec le Pr. Thomas Zimmer et la Pr. Nathalie Malbert.



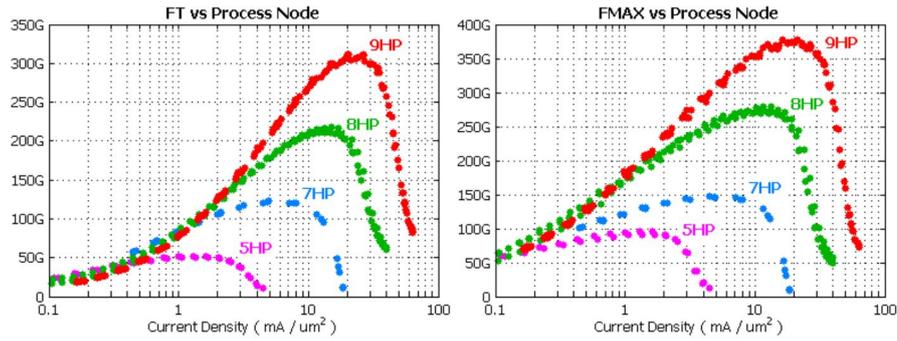
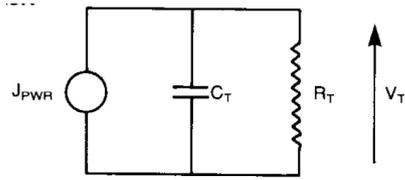


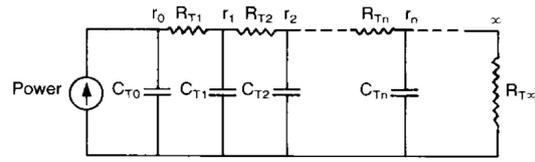
Fig. 14. Fréquence de transition et fréquence maximum d'oscillation pour les différentes générations de du fondeur STMicroelectronics extrait de [43], et du fondeur IBM [6].

3. Modélisation des effets thermiques

La modélisation des effets thermiques n'était pas présente par défaut dans les premiers modèles de transistors bipolaires et notamment le modèle Gummel-Poon [44] très utilisé avant l'avènement des transistors HBT SiGe à haute performance. Dans le courant des années 1970, des premières études démontrant les effets du self-heating ont été mises en avant [3]. Ce n'est qu'à la fin des années 80 et début des années 90, avec la montée des premiers HBT que des modèles thermiques basés sur une résistance thermique R_{TH} et une capacité thermique C_{TH} (voir Fig. 15) ont été introduits et ceci notamment dans les modèles VBIC, MEXTRAM et HICUM dédiés aux HBTs. Ultérieurement, sur ces résistances thermiques, des modèles plus complexes ont été greffés pour prendre en compte la mise à l'échelle de la géométrie du transistor ou « scaling » du transistor notamment grâce à un modèle qui suppose que le flux thermique se propage soit de manière hémisphérique en l'absence de « deep trench » d'isolation soit de manière pyramidale inversée avec un angle à 45° lorsque le flux thermique est confiné par le « deep trench » [47]. Jusqu'aux années 2000 et mis à part les travaux avant-gardiste datant de 1989 de Dennisson et Walter [45], voir Fig. 16, la dépendance en fréquence était généralement modélisée par un circuit RC à un seul pôle (Fig. 15), ce qui rendait le modèle très imprécis à proximité de la fréquence de coupure du réseau thermique. Les travaux sur cette thématique au sein du laboratoire ont démarré au début des années 2000 avec la thèse de Hassene Mnif [48]–[50] suivi par Pierre Yvan Sulima [51] et Helene Beckrich-Ros [52], tous les trois encadrés par Thomas Zimmer. Dès 2002, j'ai collaboré avec Hassene Mnif et Pierre Yvan Sulima sur cette thématique autant d'un point de vue de la simulation que de la caractérisation [14], [16].



J_{PWR} = Transistor Power Dissipation
 C_T = Thermal Capacitance
 R_T = Thermal Resistance
 V_T = Temperature Drop



$$C_{Tn} \approx \frac{2}{3} \pi \rho C (r_{n+1}^3 - r_n^3)$$

$$R_{Tn} = \frac{1}{2\pi k} \left(\frac{1}{r_n} - \frac{1}{r_{n+1}} \right)$$

Fig. 15. *Circuit thermique équivalent basique* [45]

Fig. 16. *Circuit thermique équivalent distribué basé sur le modèle hémisphérique* [45]

Après les premiers travaux sur les modèles d'impédance thermique et dans le cadre de la thèse d'Amit Kumar Sahoo que j'ai co-encadré, nous avons développé un premier modèle « scalable » pyramidal et récursif validé par des simulations TCAD simplifiées [53] en 2012. Ce modèle utilise un maillage vertical de la pyramide ayant une évolution exponentielle (voir Fig. 17). En effet, à proximité de la source de chaleur, le maillage est très fin et il devient de plus en plus large lorsque l'on s'en éloigne, permettant ainsi d'obtenir un modèle précis sur toute la bande de fréquence. La principale limitation de ce modèle est la présence de deux paramètres d'ajustement des angles de la pyramide. Pour pallier à ce problème et afin que le modèle soit plus prédictif, un nouveau modèle a été proposé dans la thèse de A. K. Sahoo [54] en 2015 : celui-ci détaille chaque zone critique du transistor et modélise partie par partie chacune de ces zones comme entre les STI (shallow trench) ou DTI (deep trenches). Dans chaque zone un sous modèle récursif basé sur une diffusion hémisphérique ou unidirectionnelle est assemblé pour modéliser l'ensemble du « front end of line » du transistor. De plus, la dépendance en température est introduite de manière distribuée ou localisée sur la profondeur du substrat ce qui n'était pas le cas dans les précédentes versions. Ce modèle plus précis nécessite plus d'itérations et un temps de simulation plus élevé. Dans le cadre du Postdoc de Suresh Balanethiram que je co-encadrais et d'une collaboration avec A. Charkravorty de IIT Madras, nous avons proposé une solution plus efficace pour la prise en compte de la variation de cette conductivité dans la profondeur du substrat [55].

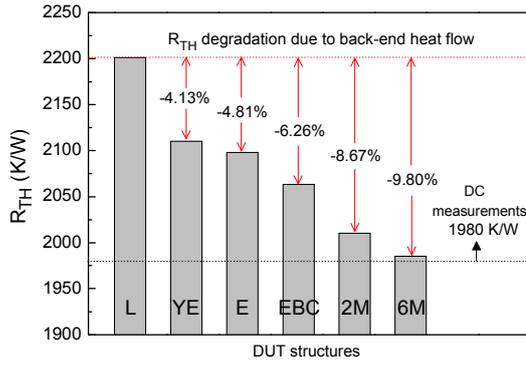


Fig. 18. R_{TH} s of different structures (L, YE, E, EBC, 2M and 6M): extracted from TCAD simulations and compared to measurements.

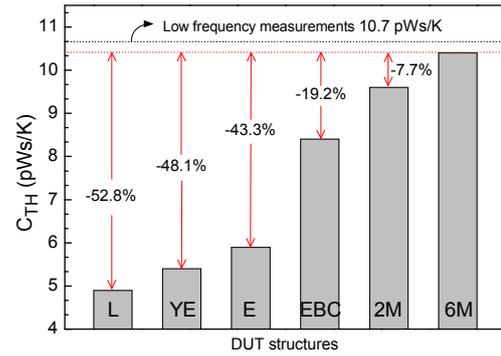


Fig. 19. C_{TH} s of different structures (L, YE, E, EBC, 2M and 6M): extracted from TCAD simulations and compared to measurements.

Les principaux résultats de l'université de Naples sur la modélisation du BEOL sont apparus en 2016 [68]. Dans ces travaux de simulation par éléments finis, le transistor est modélisé de la partie intrinsèque jusqu'aux plots et prend en compte la réduction de conductivité dans les zones fortement dopées du transistor [68]. De même, dans le cadre de la thèse Rosario D'Esposito et du Postdoc de Suresh Balanethiram en 2016, nous avons pris en compte ces réductions de conductivité thermique dans la simulation par éléments finis et dans le modèle compact [69]. Finalement, au sein du consortium DOT7, l'équipe du Pr Jungemann, spécialisée dans la simulation du transport, oriente ses travaux sur les sources du phénomène d'auto-échauffement en simulant les interactions porteurs-phonons grâce à une simulation couplée de transport de Boltzmann incluant le transport des porteurs et des phonons optiques longitudinaux avec une équation de type énergie balance qui prend en compte les autres modes de phonons.

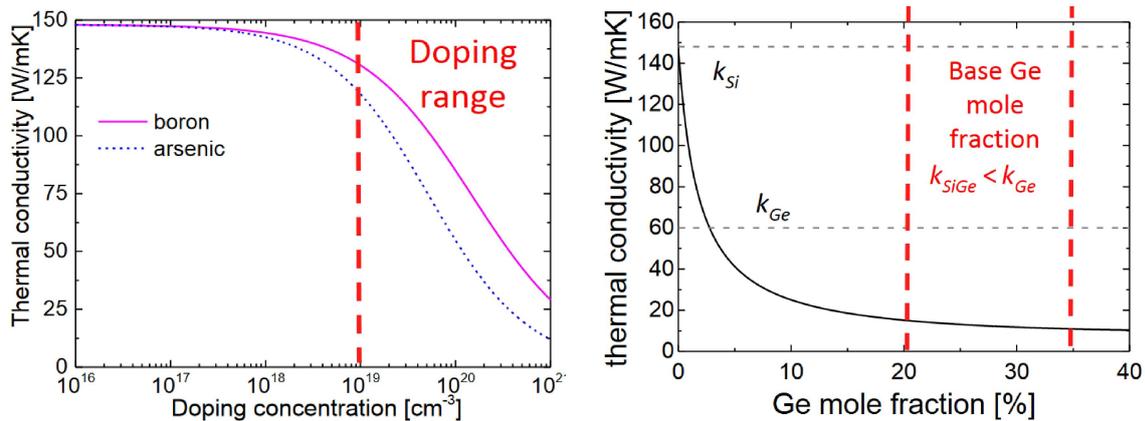


Fig. 20. Réduction de la conductivité thermique avec a) le dopage de bore et d'arsenic et b) avec la fraction molaire de Ge de la couche SiGe [68].

4. Caractérisation des effets électro-thermiques

a. Mesure de la résistance thermique

Nous avons aussi orienté nos efforts pour caractériser l'auto-échauffement grâce à de nouvelles méthodes. La première étape de la caractérisation thermique est l'extraction de la résistance thermique. De nombreuses méthodes ont été publiées [70]–[74] mais la complexité de l'interaction électro-thermique limite la précision de ces méthodologies. Ces méthodes sont en général basées sur l'utilisation de la diode base-émetteur en tant que capteur de température. En mesurant la caractéristique courant-tension de cette diode à différentes températures ambiantes, il est possible d'avoir une image de la température interne du transistor. Malheureusement, lorsqu'on polarise le transistor dans sa zone d'auto-échauffement, il est souvent difficile de départager l'impact de la résistance thermique de celle de la résistance d'émetteur car ces éléments influent les courants dans la même zone de fonctionnement et ces deux éléments sont aussi dépendants de la température. Nous avons constaté que les méthodes que nous utilisions surestimaient largement la dépendance en température de la conductivité thermique. Ceci étant, nous avons donc étudié trois méthodes parmi les plus utilisées et seule l'une d'entre elle a été capable de dissocier la dépendance en température de la résistance thermique de celle de la résistance d'émetteur. Cette méthode dite de l'intersection [75] est basée sur l'intersection de deux mesures de Gummel à deux températures différentes ($T_{amb1} > T_{amb2}$) et à deux V_{CE} différents ($V_{CE1} < V_{CE2}$). Le courant de collecteur peut s'écrire de la manière suivante si on néglige l'effet Early et d'avalanche : $I_C(V_{BE}, T_j) = I_S(T_j) \exp\left(\frac{qV_{BE}}{kT_j}\right)$

A l'intersection des courants de collecteurs, si les courants I_C et les tensions V_{BE} sont égaux pour les deux températures ambiantes T_{amb1} et T_{amb2} , il en résulte que les températures internes sont égales. Si la température ambiante T_{amb1} est plus faible, la puissance dissipée P_{diss1} est plus forte menant à une température interne égale dans le cas N°1 et N°2. En plus d'être facile à mettre en œuvre, l'efficacité de cette méthode provient de la conservation des grandeurs dont le courant de collecteur, la tension V_{BE} , la température interne qui ainsi annule les variations qu'elles soient de type électrique ou thermique de tous les éléments du transistor ; ainsi les chutes dans les résistances d'accès et particulièrement celle d'émetteur $R_E(I_i)$ sont inchangées. A partir de ces informations, il est très facile de remonter à la R_{TH} thermique : $R_{TH} = \frac{T_{amb2} - T_{amb1}}{P_{diss2} - P_{diss1}}$. En reproduisant cette méthode à différentes températures ambiantes, il est possible d'obtenir la résistance thermique en fonction de la température. La Fig. 21 montre une comparaison de trois méthodes d'extraction de la résistance thermique en fonction de la température appliquée à des données simulées et le résultat

est comparé à la référence qui est connue. Deux cas sont envisagés avec ou sans dépendance (Fig. 21a et Fig. 21b) en température de la conductivité thermique du silicium : nous pouvons constater que les méthodes de Pfof [71] et Russo [72] donnent une dépendance en température qui est trop forte. Nous pouvons constater que même si on annule la dépendance en conductivité thermique sur les données d'entrées, le résultat de ces méthodes (Pfof et Russo) donne une dépendance en température qui en fait est probablement liée à la dépendance en température d'autres éléments comme la résistance d'émetteur. Ces travaux sont réalisés dans le cadre du Postdoc de Suresh Balanethiram.

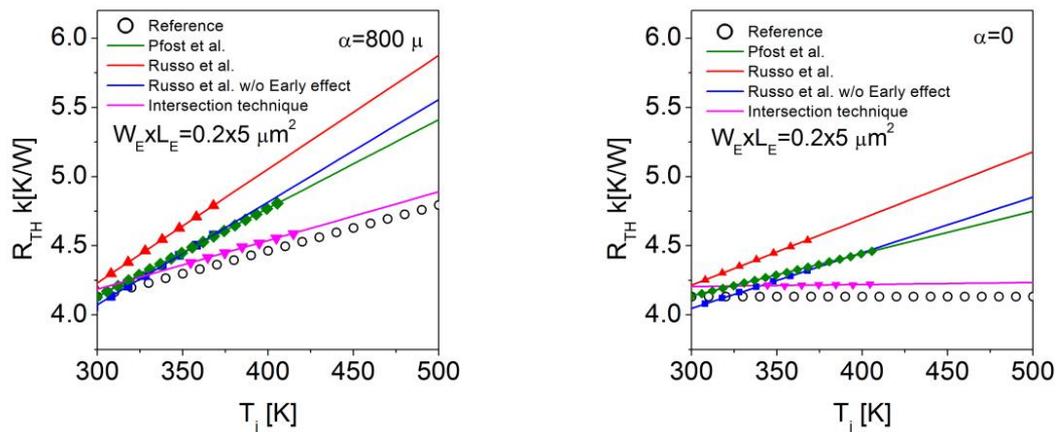


Fig. 21. « Review » des méthodes d'extraction de la résistance thermique : a) prise en compte de la dépendance en température du silicium, b) dépendance en température du silicium annulée.[75]

Finalement dans [67] et toujours dans le cadre du Postdoc de Suresh Balanethiram, nous avons proposé une technique d'extraction permettant de séparer la résistance thermique de la partie semi-conducteur de celle liée aux métaux (BEOL). Cette technique est basée sur le fait que la dépendance en température du métal est négligeable comparée à celle du semi-conducteur.

b. Mesure de l'impédance thermique

Concernant l'extraction de l'impédance thermique, nous avons commencé par utiliser des méthodes temporelles soit basées sur l'oscilloscope [76] ou des instruments de mesure pulsée. Ces méthodes donnent une bonne estimation de la capacité thermique mais sont souvent moins précises et les résultats sont éventuellement erronés par les éléments parasites qui sont difficiles à calibrer. Nos premiers résultats ont été publiés dès 2004 [50] avec des mesures à l'oscilloscope. Malheureusement, cette méthode de mesure à l'oscilloscope a montré des incohérences de la mesure C_{TH} sur les transistors les plus petits dans la thèse de Pierre Yvan Sulima soutenu à l'IXL(IMS) en 2005. Dans le cadre de la thèse d'A. K. Sahoo, nous avons montré qu'il était

nécessaire de modéliser tous les éléments du banc de mesure pour des mesures aux temps très courts ($<500\text{ns}$), dont le té de polarisation, les câbles coaxiaux, ceci pour analyser correctement les mesures transitoires réalisées avec le banc pulsé de MC2 [77], [78]. Suite au financement de nos projets FP7 DOT5 et région Fisys, j'ai participé à la rédaction de l'appel d'offre pour l'achat d'un banc de mesure DC et RF pulsé, constitué d'un analyseur de semi-conducteur Keithley 4200 avec des cartes DC pulsés 4225 et d'un analyseur de réseau ZVA 67 GHz pulsé jusqu'à 40 GHz. Nous avons ainsi développé des mesures pulsées avec le Keithley 4200(4225) permettant de faire des mesures avec des pulses démarrant à 60 ns. Cet appareil plus adapté à nos transistors de faible puissance, nous a permis de faire des mesures plus précises. En plus de permettre d'extraire l'impédance thermique en analysant les transitoires de courant (voir Fig. 22), ce banc nous a permis d'obtenir des mesures DC quasi-isothermes ou au moins avec un échauffement réduit pour l'extraction de paramètre ou pour explorer des régimes du transistor inatteignables avec une mesure DC classique (Fig. 23).

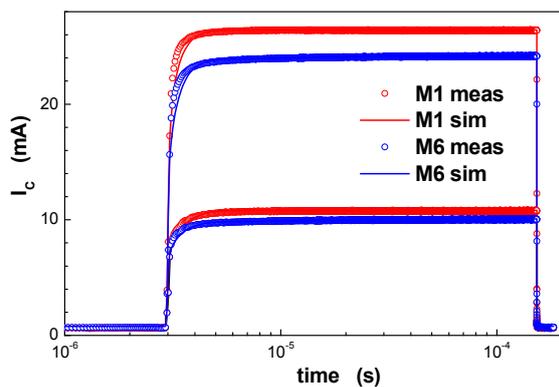


Fig. 22. Mesure transitoire de deux transistors ayant deux empilements de métaux différents sur l'émetteur, ne participant pas à la conduction pour deux $V_{BE}=0.9$ et 0.95 V et $V_{CE}=1.5$ V

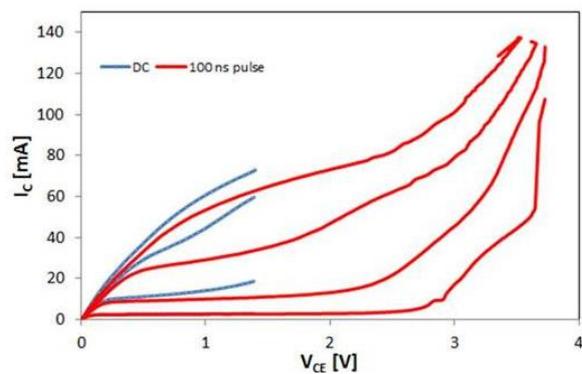


Fig. 23. Comparaison d'une mesure pulsée (100ns) sur un transistor HBT avec une mesure DC. $V_{BE}=0.85$ à 1 V avec un pas de 50mV , technologie B11HFC IFX.

De plus, nous avons réalisé des mesures de paramètres S pulsés, synchronisées avec le pulse DC (voir Fig. 24a). Ces mesures (voir Fig. 24b et c) permettent d'évaluer l'impact de l'échauffement thermique sur les caractéristiques dynamiques et figures de mérite (f_T et f_{MAX}) et d'envisager une extraction de paramètres dans laquelle les mesures pourraient être considérées comme quasi-isothermes jusqu'au pic de la fréquence de transition. Par ailleurs, dès 2002 [79], nous avons proposé des méthodes donnant des mesures quasi-isothermes en utilisant un équipement conventionnel. Cette méthode a été comparée aux mesures DC et RF pulsées à 100ns montrant une bonne concordance entre les deux méthodes tant que l'auto-échauffement est modéré. Cette

méthode a été améliorée pendant la thèse d'A. K. Sahoo et appliquée sur des transistors HBT et CMOS 28nm [80], [81].

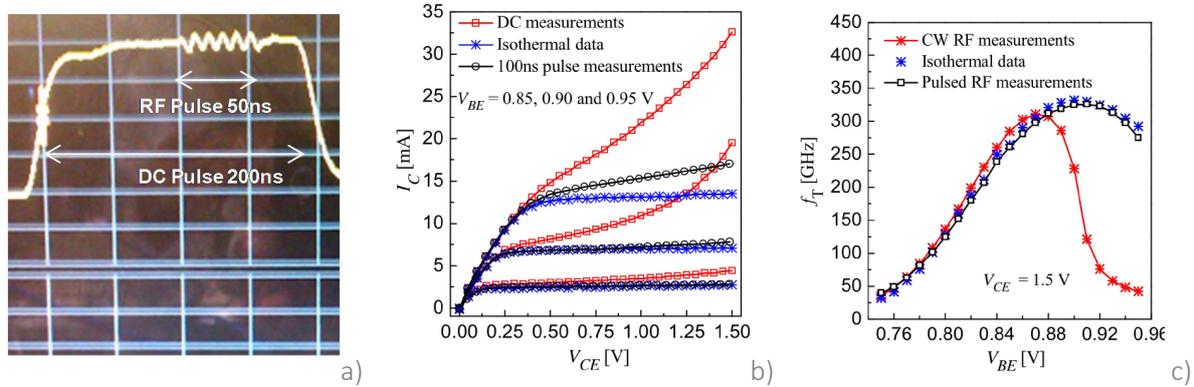


Fig. 24. a) Mesure à l'oscilloscope d'un pulse DC synchronisé avec un pulse RF, b) mesure DC, DC pulsée et méthode « isotherme » ; c) mesure de la fréquence de transition avec des paramètres S, S pulsés et méthode isotherme [39] sur un transistor.

Par ailleurs, la mesure de paramètres S à l'analyseur de réseau permet un calibrage et un épluchage très précis jusqu'au transistor. Les travaux de N. Rinaldi de l'université de Naples [82] ont permis de mettre en évidence le lien entre l'impédance thermique et les paramètres Y (et par conséquent paramètres S) du transistor. En effet, en deçà de la fréquence de coupure thermique les petites variations de puissances appliquées au transistor sont suivies d'une variation de son comportement, par exemple de sa conductance de sortie $\text{real}(Y_{22})$ qui est la dérivée du réseau de sortie (Fig. 24b).

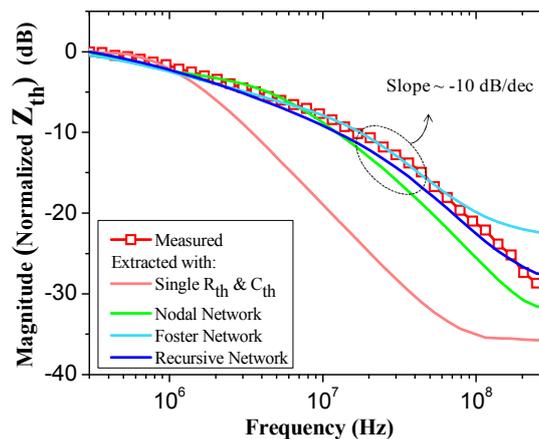


Fig. 25. Extraction de l'impédance thermique et comparaison à différents type de modèle [83]

A très faible fréquence, $\text{real}(Y_{22})$ sera égal à la dérivée du réseau de sortie mesurée en DC alors qu'au-delà de la fréquence de coupure thermique, $\text{real}(Y_{22})$ sera égale à la dérivée de la courbe isotherme. Cette technique a été utilisée et publiée en 2010 à XLIM sur une technologie III-V [84], en 2011 sur du SiGe à IMS (thèse A. K. Sahoo) [83] et IEMN en 2012 [85]. Dans la thèse de A.

K. Sahoo, nous avons ainsi pu montrer l'effet distribué de l'impédance thermique puis la non-validité du modèle simple pôle RTH-CTH et ainsi confirmer nos travaux qui avaient été réalisés 7 ans plus tôt sur le modèle récursif (voir Fig. 25)

c. Structures de tests spécifiques :

Nous avons aussi développé des structures de tests spécifiques pour l'extraction d'informations concernant les effets thermiques [63], [66] et l'optimisation des performances du transistor. Par exemple, concernant l'optimisation du transistor, nous avons créé un puits thermique à l'aide du BEOL sur le dessus du transistor permettant une réduction de la résistance thermique et aussi l'analyse de l'impact des métaux sur les effets thermiques. La Fig. 26 montre le flux thermique simulé d'une structure conventionnelle en Fig. 26a et une structure améliorée en Fig. 26b mettant en avant le flux thermique dans le puits thermique qui ainsi réduit la température dans le transistor. Quatre versions de cette structure ont été réalisées avec des empilements de métaux plus ou moins élevés allant du métal un jusqu'au métal huit).

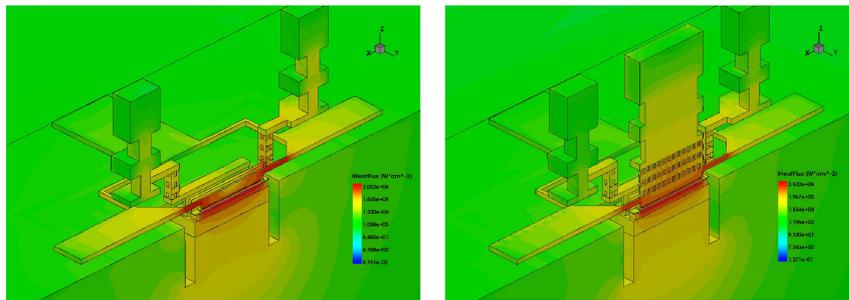


Fig. 26. Simulation TCAD montrant a) une structure classique et b) la structure améliorée avec un empilement de métaux servant de puit thermique ; puissance =40mW appliqué. Echelle : Vert : 10^3 W/cm², Rouge : $2.5 \cdot 10^6$ W/cm²

L'impédance thermique (voir Fig. 27) de ces structures a été mesurée à l'analyseur de réseau. Cet exemple montre la précision de cette méthode utilisant l'analyseur de réseau : en effet les résultats de la Fig. 27 mettent clairement en avant chacune des zones stimulées par le flux thermique en fonction de sa fréquence. Ainsi, les quatre structures présentant la même géométrie jusqu'au M1, ont le même comportement dynamique à haute fréquence (>20MHz) alors qu'à mesure que la fréquence décroît et que l'on s'éloigne de la source de chaleur, on voit apparaître les différences de topologie de chaque structure. On peut alors introduire la notion de profondeur de pénétration des effets thermiques qui varient en $\frac{1}{\sqrt{f}}$. Ces travaux ont été réalisés sur la thèse de Rosario D'Esposito et sont détaillés dans [86] (voir Fig. 28). Rosario D'Esposito a par ailleurs reçu le prix de thèse IMS.

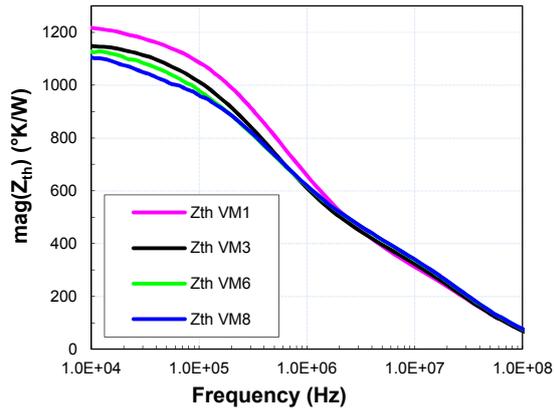


Fig. 27. Impédance thermique mesurée sur des transistors dont seul l'empilement de métal au-dessus de l'émetteur change (cet empilement n'a pas d'influence sur le chemin électrique)- Thèse Rosario D'Esposito

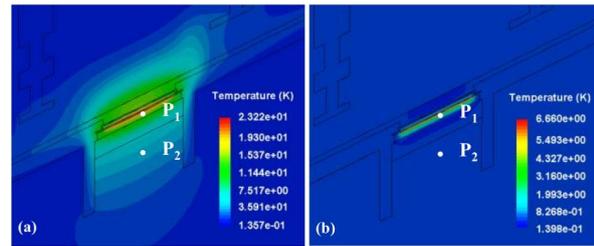


Fig. 28. Simulation 3D des effets thermiques de la technologie B11HFC d'Infineon montrant la profondeur de pénétration pour deux fréquences a) 50 kHz et b) 100 MHz.

Finalement, une batterie de mesure DC et RF, i. e. paramètres S et mesures load-pull ont démontré la supériorité de cette structure comparé au transistor conventionnel avec un gain en puissance de 2dBm et en rendement passant de 18 à 26% (voir Fig. 29 and Fig. 30). Il est important de noter que cette structure n'augmente pas le coût de fabrication et elle est applicable sur n'importe quelle technologie.

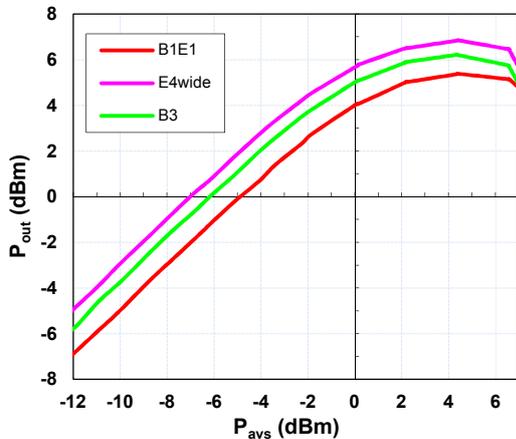


Fig. 29. Puissance de sortie en fonction de P_{avs} pour $V_{BE}=835mV$ et $V_{CE}=1.25V$; charge pour η optimal: $(20.7+j37.6)\Omega$.

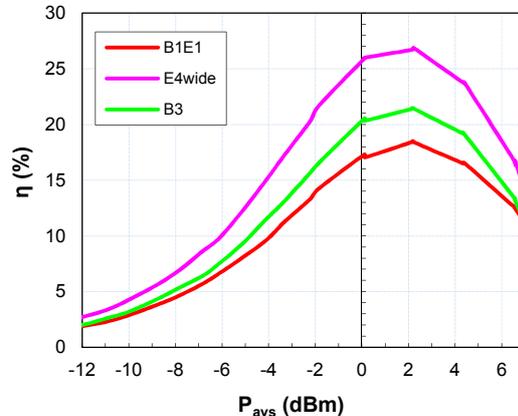


Fig. 30. Rendement en fonction de la puissance P_{avs} pour $V_{BE}=835mV$ et $V_{CE}=1.25V$ à la charge donnant le rendement optimum: $(20.7+j37.6)\Omega$, mesure à 77 GHz, ceci sur des transistors dont seul l'empilement de métal au-dessus de l'émetteur change

Ainsi, concernant la caractérisation électrothermique, nous avons utilisé et/ou développé trois méthodes complémentaires : la mesure DC à différentes températures, la mesure de paramètres S à basse fréquence, la mesure DC pulsée et RF pulsée.

L'ensemble de ces travaux sur l'auto-échauffement (caractérisation, modélisation et l'extraction de paramètres associés) ont fait l'objet de 19 revues internationales avec comité de lecture depuis 2002, nous positionnant parmi les leaders mondiaux sur cette thématique de modélisation de l'auto-échauffement.

E. Techniques innovantes de caractérisation très haute fréquence (Thèse Manuel Potéreau 2012-2015 projet FP7 DOT7)

L'évolution forte des performances en fréquence des HBTs SiGe présentée en Fig. 1 montre que les fréquences maximum d'oscillation atteignent de 350 GHz à 700 GHz pour la technologie la plus rapide. Ces technologies sont de plus en plus utilisées pour la conception de circuits au-delà de 110 GHz et même au-delà de la fréquence de transition ou éventuellement de la fréquence maximale d'oscillation [87], [88], engendrant des effets appelés non-quasi statiques au sein des transistors. Alors qu'une grande partie des paramètres du modèle compact du transistor peut être extrait avec des mesures de paramètres en deçà de 30 GHz, certains paramètres nécessitent une mesure à plus haute fréquence. C'est notamment le cas des effets non-quasi-statiques (NQS) de la charge dans le transistor. En effet, un modèle basique prendra en compte la charge et la décharge des capacités tel un modèle RC et la charge suivra instantanément la tension aux bornes de la capacité, et cette tension ne peut pas varier instantanément ceci dû au temps de charge du circuit RC. Mais ce modèle basique ne modélisera pas les effets NQS et supposera que la charge suit instantanément les tensions appliquées aux bornes de la charge et ne prendra pas en compte ce délai supplémentaire qui apparaît aux très hautes fréquences et lorsque la fréquence est du même ordre que la fréquence de transition. La mesure aux très hautes fréquences devrait permettre aussi de mieux investiguer les effets distribués au sein du modèle avec par exemple la répartition des charges entre les zones d'accès, la zone périmétrique et la zone interne du transistor.

Pour répondre à ces enjeux en termes de modélisation et pour la conception de circuit submillimétrique, les groupes de l'IXL/IMS gravitant autour de cette thématique ont procédé à des investissements lourds. En effet, alors que dans le cadre de ma thèse, notre principal analyseur de réseaux était limité à 26.5GHz, puis en 2007 un analyseur de réseau 110 GHz et sa station sous pointes ont été achetés par les équipes « Conception » et « Modèle ». Entre 2013 et 2017, avec le support des projets Européens FP7 DOT7, GRADE, CATRENE RF2THz et national

NANO2017 et le support important des projets régions (SUBTILE coordonné par T. Zimmer et FAST dont je suis le coordinateur), nous avons investi environ 600 k€ pour l'achat de deux stations sous pointes avec plusieurs jeux de pointes par bandes combinées avec un analyseur de réseaux couvrant les bandes 140 GHz jusqu'à 500 GHz.

Dans le cadre de DOT5, des premiers travaux sur la caractérisation de paramètres S avaient été proposés au sein de l'équipe MODEL pour analyser la qualité et la précision des mesures réalisées dans la bande 110 GHz et notre capacité à remonter aux paramètres intrinsèques du transistor. Dans le cadre du Postdoc de Christian Raya en 2008 puis de la thèse de Jad Bazzi soutenue en 2011, des premiers travaux au sein de l'équipe MODEL avaient déjà mis en avant les problèmes suivants et proposé des solutions et méthodes : i) couplage sous la pointe avec le wafer et les structures adjacentes dès 70 GHz [89] [90] et solutions pour limiter ce couplage, ii) les limitations des méthodes de de-embedding en 2 étapes et méthodes d'épluchage en 5 étapes [90], iii) dessin de structures de test pour le calibrage sur wafer de silicium [90].

Dès 2012, dans le cadre du projet RF2THz et DOT7 avec la thèse de Manuel Potereau, de nouveaux travaux de caractérisation haute fréquence ont démarré. Dans le cadre de cette thèse, nous avons exploré les méthodes de calibrage SOLT / TRL, les différents types d'épluchages dans la gamme 1 GHz - 110 GHz et le développement de structures de test associées. Les résultats marquants de ces travaux ont été le développement de méthodes et structures innovantes pour le calibrage TRL. En effet, une des limitations du calibrage TRL est le fait que les pointes doivent être déplacées entre la mesure de la ligne et la mesure du « through » menant à des imprécisions de positionnement de la pointe et obligeant à une intervention manuelle de l'utilisateur. De ce fait la méthode TRL est aussi plus difficilement industrialisable. Ainsi nous avons proposé une structure de ligne à méandre, qui est constituée d'un motif reproduit n fois pour réaliser un through ou p fois pour réaliser une ligne. En utilisant ce même motif, on s'assure que la constante de propagation sera la même dans le cas du « through » ou de la ligne. La Fig. 31 montre le premier prototype de ligne fabriqué sur alumine au laboratoire IMS. Nous avons pu valider cette méthodologie par la mesure jusqu'à 110 GHz dans le cadre de la thèse de Manuel Potereau, et ces travaux sont toujours en cours pour une validation plus précise via la simulation et la mesure jusqu'à 500 GHz. Ces travaux ont été brevetés mais le brevet n'a pas été maintenu par manque de possibilité d'exploitation.

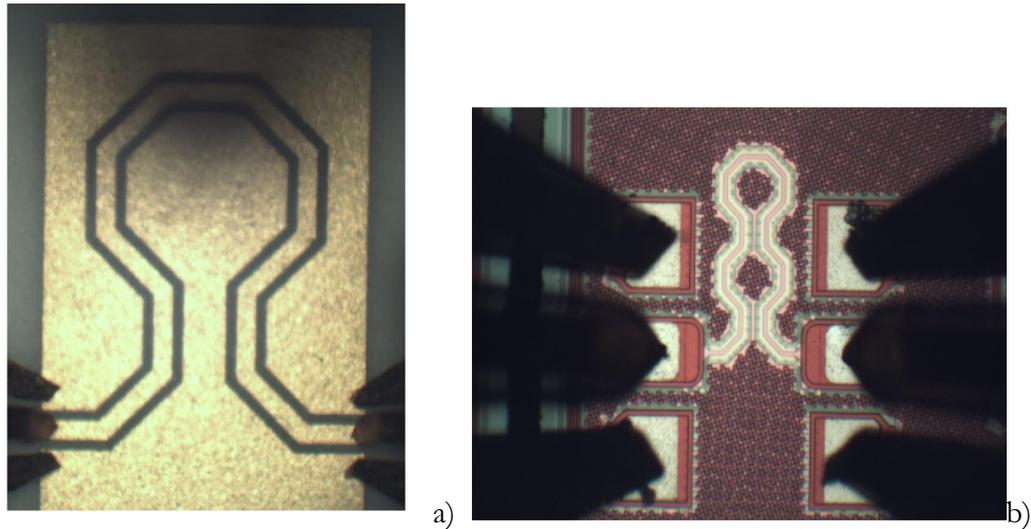


Fig. 31. a) Premier prototype de ligne à méandre réalisé sur alumine au laboratoire IMS, b) Ligne à méandre réalisée sur une technologie BiCMOS.

La seconde méthode très innovante proposée dans cette thèse est la méthode 3D TRL [91]. Celle-ci consiste à calibrer la mesure directement avec un plan de référence situé en M1 au plus proche du transistor pour limiter voire éliminer les étapes d'épluchage. Cette méthode a été validée expérimentalement jusqu'à 110 GHz et des travaux sont en cours pour mieux comprendre les limitations théoriques de cette approche.

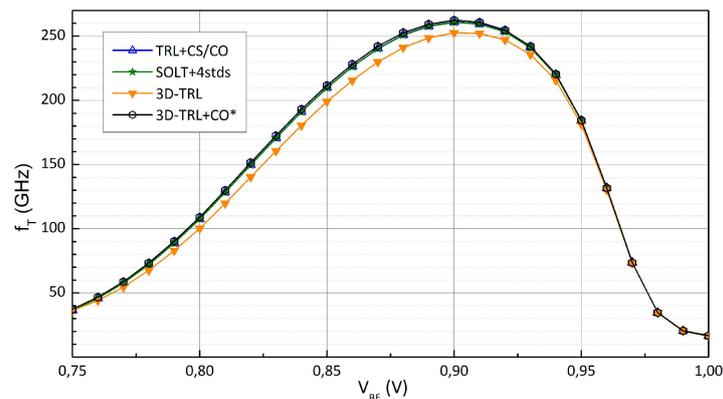


Fig. 32. Mesure de la fréquence de transition d'un transistor HBT SiGe avec 4 méthodes : SOLT sur ISS avec 4 étapes de de-embedding, TRL sur wafer avec de-embedding pad short et pad open, et 3D TRL sur wafer et 3D TRL avec correction transistor open.

Finalement dans les travaux de thèse de Manuel Potéreau, un kit de calibration on Wafer a été proposé, étudié jusqu'à 110 GHz dans le cadre de sa thèse puis a servi lors de mes premiers travaux de mesures jusqu'à 500 GHz [92].

Alors que la mesure à très haute fréquence sur tranche des dispositifs et circuits à base de III-V a été fréquemment publiée jusqu'à 220 GHz voir 500 GHz [93], [94], [95], [96] et rapportée au-delà de 500 GHz seulement par le Fraunhofer de Freiburg IAF [95], par Cascade [97] et le NIST USA [98], la caractérisation des transistors au-dessus de 110 GHz sur des tranches de silicium reste difficile et peu investiguée [99]. Seules quelques démonstrations de mesures de transistors à des fréquences plus élevées ont été réalisées sur un substrat de silicium [100]. Voinigescu et al. [101] ont démontré des mesures jusqu'à 325 GHz d'un SiGe HBT avancé (transistor bipolaire à hétérojonction) montrant les résultats des paramètres S21 et H21 ainsi que du gain maximal disponible MAG. Le calibrage a été effectué avec un substrat à impédance standard (ISS) et les méthodes d'étalonnage utilisées étaient LRRM (line-reflect-reflect-match) et TRL (Thru, Reflect, Line). Dans [102], Marina Deng et al. sur le site de l'IEMN ont présenté un ensemble de mesures de paramètres S allant jusqu'à 325 GHz sur les HBT à partir d'une technologie avancée BiCMOS 55nm utilisant une approche similaire à celle de [13] pour l'étalonnage (LRRM sur ISS). Enfin, Williams et al. [103] ont présenté des résultats de mesure d'une technologie de silicium sur isolant (SOI), où les éléments passifs ont été caractérisés jusqu'à 500 GHz, tandis que la mesure du transistor a été effectuée jusqu'à 110 GHz. Un étalonnage TRL (et multiligne-TRL) sur plaque a été appliqué. De nouveau Galatro et al. [104] ont conçu un kit d'étalonnage original sur wafer dédié à la caractérisation des transistors. Les résultats de mesure sont indiqués uniquement sur la bande de 220 GHz à 325 GHz.

1. Comparaison des types de calibrage

De nombreuses méthodologies d'étalonnage hors-plaquette, telles que la méthode short-open-load-through (SOLT), la méthode line-reflect-reflect-match LRRM, la méthode Thru-Reflect (TRL) ou la méthode multiligne Thru-Reflect (mTRL), le substrat standard d'impédance (ISS) a été analysé et comparé jusqu'à 110 GHz [105]. Par exemple dans [98] et [99], différentes méthodes d'étalonnage ont été employées montrant les imprécisions des étalonnages sur ISS par rapport à la précision de l'étalonnage TRL sur plaque, ceci principalement du fait que sur ce dernier les étalons et les structures de test partagent le même substrat. L'un des problèmes lié à l'étalonnage hors-tranche avec le kit d'étalonnage ISS concerne les propriétés de couplage substrat-sonde qui conduisent à une erreur systématique [104]. De plus, le mode d'onde parasite se propageant dans le substrat de l'ISS est introduit involontairement dans les termes d'erreur et superposé aux données de mesure [95]. Finalement, le plan de référence au niveau de la pointe de la sonde est considéré comme «approximatif» dans [100] en raison de la discontinuité du domaine (transition de la pointe de la sonde à la tranche). En dessous de 110 GHz, les méthodologies on-wafer ont été étudiées et

montrent des avantages évidents sur la précision de mesure avec un plan de référence bien défini et un couplage sonde-substrat qui reste le même pendant l'étalonnage et la mesure [100], [106].

Dans le cadre de cette activité de caractérisation haute fréquence, nous nous sommes essentiellement concentrés sur la partie allant de la sonde jusqu'aux structures de calibrage et de test, zone pour laquelle la marge de progression pour la qualité de mesure me semble importante alors que la partie concernant l'analyseur de réseau est principalement figé par le fabricant à l'exception de quelques paramètres (réglage de la IF, la moyenne et calibrage/réglage en puissance). Ainsi, nous avons aussi concentré notre activité de simulation EM sur la zone allant de la pointe jusqu'à la structure simulée. En introduisant dans la simulation la pointe à la fois sur la structure de calibrage ISS et sur la structure à simuler, nous pouvons ainsi reproduire les erreurs de couplages introduites par les méthodes off-wafer et on-wafer ainsi que les imprécisions liées à la pointes, à la précision de son posé en X, en Y et de son angle. Finalement, nous pouvons reproduire la méthodologie utilisée en mesure avec des données de simulation en utilisant les mêmes algorithmes de calibrage (SOLT, TRL) et les mêmes méthodes d'épluchages. Ainsi, un diagramme détaillé de la méthodologie de simulation est donné par la Fig. 33. En résumé, après avoir caractérisé physiquement le substrat de calibrage CS15 vendu par GGB industries (voir Fig. 34) et en utilisant des pointes simplifiées dans ce cas, nous avons simulé les structures nécessaires pour un calibrage SOLT et TRL sur alumine, puis après application d'un calibrage TRL sur alumine, puis extrait les paramètres de la SOLT pour enfin comparés à la documentation fourni par le constructeur, confirmant ainsi la validité de notre approche (Tab. 2). Les calibrages SOLT et TRL sont réalisés par un outil développé au sein de notre groupe.

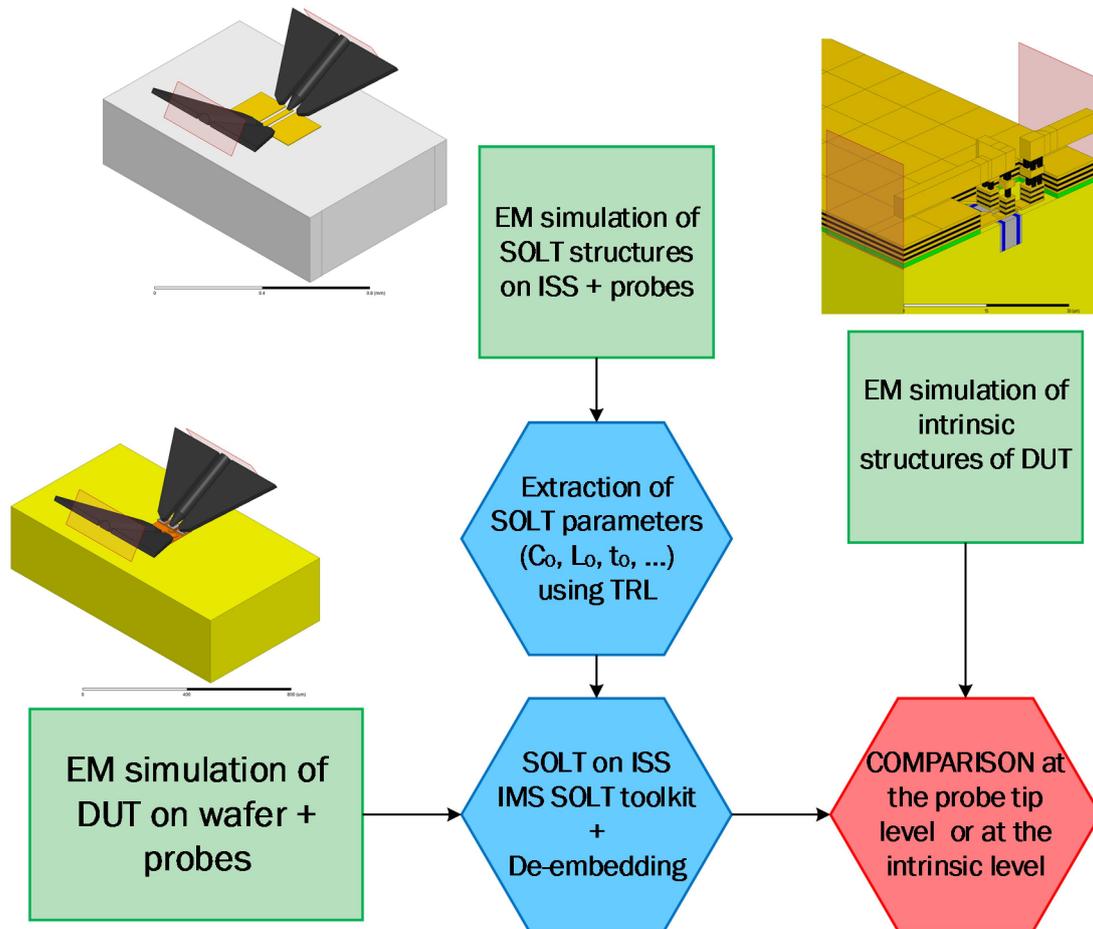


Fig. 33. Méthodologie de simulation et de traitement des données pour reproduire les données de mesure d'un calibrage SOLT avec épluchage du plot.

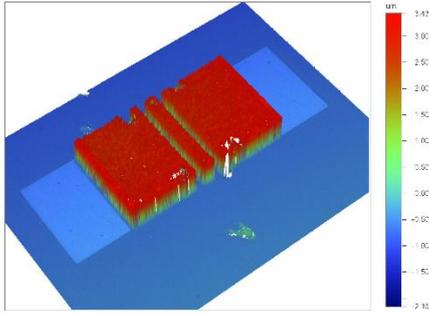


Fig. 34. Interferometry image of the through from the ISS (GGB-CS15)

	Data sheet of CS15 delivered by Pico-probe GGB industries used for 50-125 μm probe pitch	EM simulation for 50 μm probe pitch (extracted from TRL at 60 GHz and 250 GHz)
Open	3.25fF	3.2-3.4fF
Short	2pH	1.5 pH-2.5pH
Load	1.5fF	1.4-2.2fF
Through	1.13ps	1.10ps

Tab. 2. Comparison between the data sheet and the parameters extracted using a TRL calibration on the EM simulated data

Ainsi, grâce aux paramètres de la SOLT, nous pouvons reproduire un calibrage SOLT sur nos données de simulation de nos structures fabriquées en technologie BiCMOS. A titre d'exemple, la Fig. 35a montre le module et la phase de S_{22} d'un short calibré par une SOLT sur ISS. Un très bon accord entre la mesure et la simulation est observé jusqu'à 500 GHz. Nous pouvons clairement voir l'incohérence de la méthode SOLT (ISS) sur le module de S_{22} qui devient supérieur à 0 dB au-delà de 250 GHz en mesure et en simulation. Ce comportement n'est donc pas lié à une imprécision de mesure mais à la méthodologie consistant à faire un calibrage sur un substrat dont les propriétés sont très différentes de celle du substrat à mesurer.

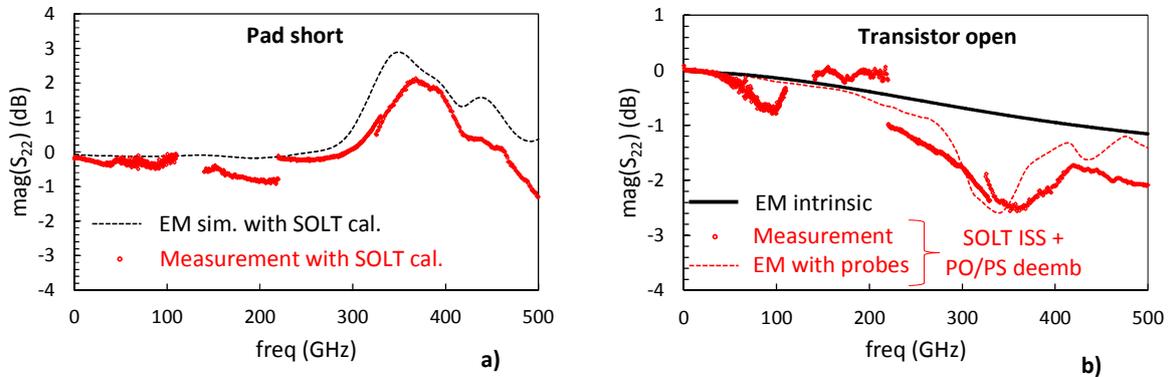
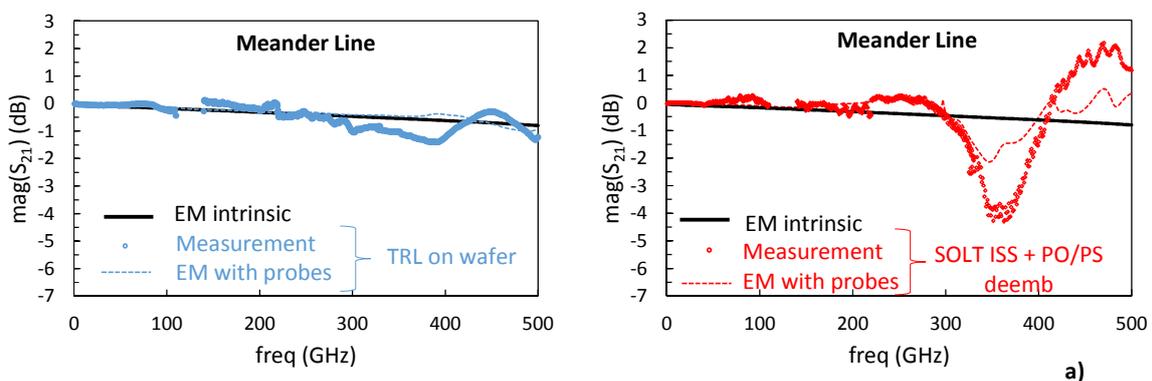


Fig. 35. a) Module de S_{22} en fonction de la fréquence d'un short après un calibrage SOLT avec un GGB CS15 –Solid line ; b) transistor open après calibrage SOLT suivi d'un épluchage open-short.

Finalement, en appliquant la même méthode et en y ajoutant l'épluchage avec une structure "pad-open" et une structure "pad-short", nous pouvons comparer nos résultats de mesure et de simulation avec pointes à la simulation intrinsèque. La Fig. 35b montre l'exemple d'un transistor open. Les simulations EM avec pointes et la mesure sont en accord jusqu'à 500GHz à l'exception de la bande 50-100GHz. Nous pouvons constater que la méthodologie SOLT ISS et que l'épluchage devient erronée au-delà de 200 GHz.

Dans cette même étude et aussi dans [92], nous avons évalué la précision de la méthode TRL sur wafer avec un plan de référence après le plot, en comparant la mesure calibrée en TRL, la simulation avec pointes calibrées en TRL et la simulation intrinsèque (c'est-à-dire sans le plot). Pour comparaison, nous avons ajouté en parallèle les mêmes courbes avec un calibrage SOLT sur ISS suivi d'un épluchage pad-short et pad-open (voir Fig. 36). Nous pouvons conclure à une bien meilleure précision de la TRL on wafer en comparaison de la SOLT même si des précautions doivent être prises avec notamment la qualité du contact lors du calibrage, l'absence de prise en compte du crosstalk puis une éventuelle dispersion de la technologie et particulièrement du BEOL sur laquelle est réalisée la mesure. Dans le cas de la simulation qui suppose un contact idéal, un léger début d'imprécision du calibrage TRL on wafer apparaît au-delà de 350 GHz. En plus des imprécisions précédemment citées, il faut noter que la précision de la TRL dépendra aussi de la géométrie de la pointe. En effet, la géométrie de la pointe a une influence directe sur la capacité de cette dernière à se coupler avec le substrat et donc à engendrer des effets parasites.



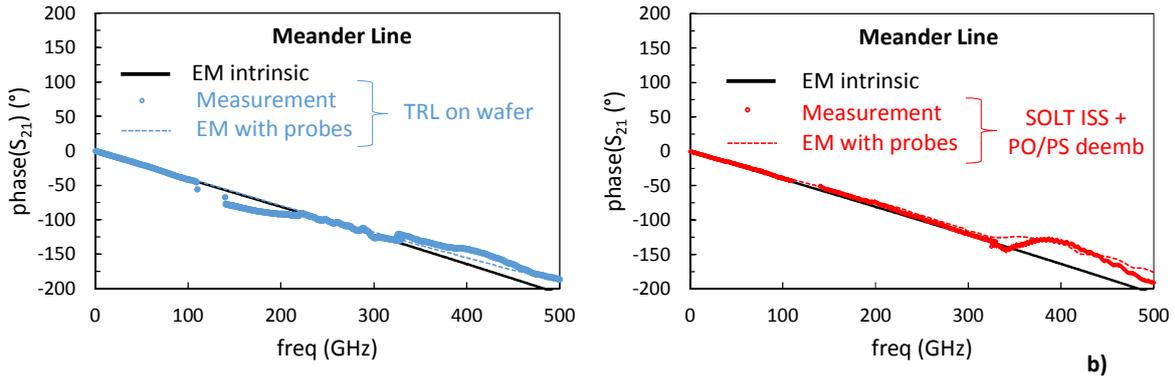


Fig. 36. a) Module et b) phase S_{21} d'une ligne à méandre en fonction de la fréquence après un calibrage TRL (à gauche) et SOLT (à droite) (GGB CS15) suivi d'un épluchage pad-short pad open.

2. Non idéalité des mesures

Les mesures au-delà de 110 GHz, comme le montre la Fig. 37 (extrait de [98]), sont réalisées en plusieurs bandes en utilisant des pointes et des têtes millimétriques différentes. Ainsi, en combinant chaque mesure des discontinuités peuvent apparaître. Nous pouvons noter que malgré l'expérience des utilisateurs dans ce domaine et la fabrication d'un kit de calibrage dédié utilisant lignes micro-ruban inversées des contacts en or et un diélectrique de type benzocyclobutène BCB très adapté aux hautes fréquences, les discontinuités sont présentes et non négligeables. Ces discontinuités peuvent être expliquées par différentes raisons : i) erreur de calibrage lié à un mauvais posé de pointes autant en terme de qualité de contact [103] que d'erreur de position en X ou Y [92], ii) couplage différent entre la pointe et le substrat car chaque pointe a une géométrie différente [95], iii) impact des structures voisines, vi) dérive de l'appareil de mesure qui est différent dans chaque bande, v) limite de la méthode de calibrage TRL qui ne prend pas en compte le crosstalk [107] et qui, de plus, varie en fonction de la géométrie de la pointe.

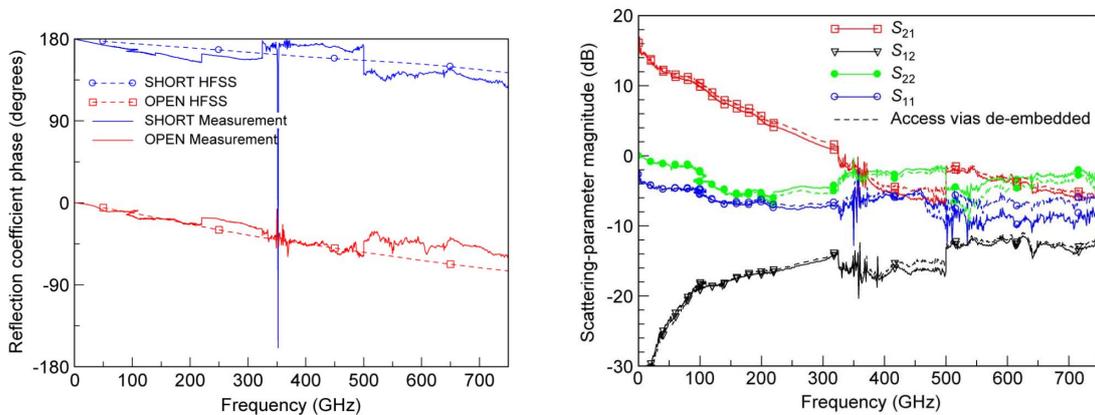


Fig. 37. Mesure du NIST (National Institute of Standards and Technologies, USA) montrant a) la mesure et la simulation EM de la phase d'un open et un short, b) la mesure du module des paramètres S d'un transistor jusqu'à 750 GHz. [98]

Pour évaluer l'ampleur et la source de ces imprécisions de mesure, nous avons volontairement introduit des erreurs dans nos mesures ou dans nos simulations avec notamment une erreur de positionnement horizontal de la pointe: La Fig. 38a montre le plot de signal du port 2 d'une ligne utilisée pour le calibrage dans la bande 325-500 GHz. Nous pouvons observer deux posés de pointes, le premier posé représente un posé relativement représentatif des posés sur l'ensemble des structures et un second posé volontairement erroné d'environ $17\mu\text{m}$. En mesurant la ligne pour ces deux posés de sondes, nous pouvons appliquer dans chaque cas un calibrage de type TRL on wafer et analyser l'impact sur le résultat final du transistor-open, d'une ligne à méandre (voir Fig. 38b) et d'un transistor. La simulation corrobore les résultats obtenus en mesure, montrant un effet relativement modéré de cet erreur de posé malgré l'importance de celle-ci dans le cas de ce kit de calibrage.

De plus, une étude sur la déformation de la pointe a été aussi proposée dans ce même article. Nous pouvons constater qu'une déformation de la pointe, qui est très souple dans un pitch de $50\mu\text{m}$ et pourrait être éventuellement liée à un plot endommagé engendrerait, des imprécisions de mesures beaucoup plus importantes.

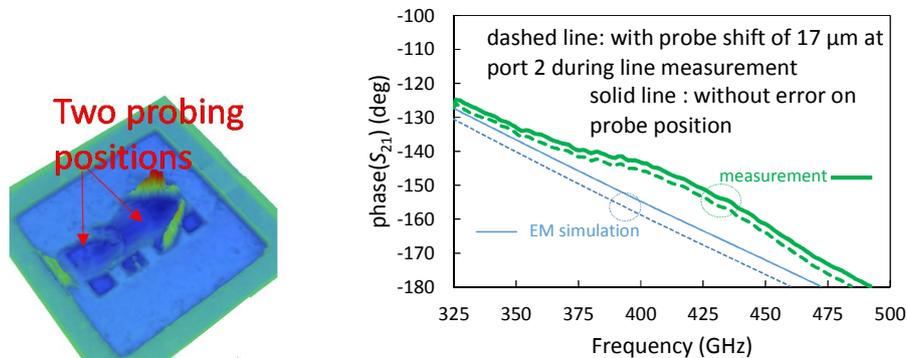


Fig. 38. A) Image du plot de signal avec deux posés b) Erreur introduite par un mauvais positionnement de pointe pendant le calibrage et impact sur la mesure d'une ligne.

Comme mentionné ultérieurement, le couplage derrière la pointe est une source majeure d'imprécision. Ce couplage est fortement dépendant des structures entourant la pointe et donc des structures adjacentes. Ainsi grâce à notre méthodologie présentée en Fig. 33 (en version TRL on wafer), nous avons pu montrer par la simulation l'impact des structures adjacentes. La Fig. 39a montre un exemple de structure HFSS simulée incluant les structures adjacentes. La Fig. 39b compare la mesure avec un calibrage TRL on wafer, la simulation de la structure isolée avec un calibrage TRL on wafer et la simulation de la structure avec ses voisins et un calibrage TRL. On

peut mentionner que toutes les structures nécessaires au calibrage TRL ont été simulées elles aussi avec leurs voisins. Nous pouvons voir qu'à partir de 200 GHz, le module de S21 oscille avec la fréquence autant en mesure qu'en simulation. Sur les dessins de masques suivants, nous avons fortement augmenté la distance entre chaque structure et les avons disposées en quinconce pour que la pointe de signal voit le plan de masse du plot. La suite de ces études devrait permettre d'optimiser la distance pour réduire l'interaction tout en contenant le coût de fabrication.

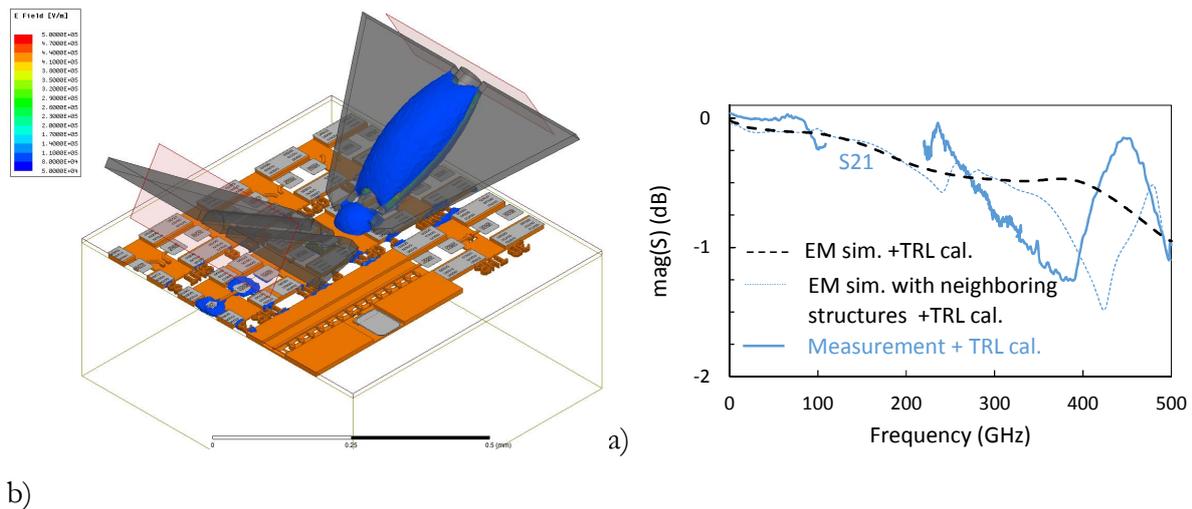


Fig. 39. a) Modèle de simulation HFSS incluant les structures voisines simulé à 500 GHz ; b) Module S21 de la ligne à méandre, mesure calibrée en TRL, simulation de la structure isolée calibrée en TRL, simulation de la structure calibrée en TRL en incluant toutes les structures adjacentes aux lignes et reflect.

D'autres types d'erreurs sont en cours d'étude avec la qualité de contact par exemple. En effet, la qualité des contacts sur aluminium et sur or a été comparée dans [103] et montre clairement la difficulté de réaliser des mesures répétibles sur des plots en aluminium couramment utilisés dans les technologies Silicium (voir Fig. 40). De plus, il faut préciser que concernant les mesures à haute fréquence un pitch plus petit doit être utilisé complexifiant encore plus la répétibilité du contact. En effet, l'amincissement de la section des métaux du bout des pointes les rend plus souples et complique le percement de la fine couche d'oxyde d'Aluminium se formant sur les plots alu. Le choix des matériaux et de la géométrie de la pointe est critique car il engendre une rigidité plus ou moins forte de la pointe [108], [109].

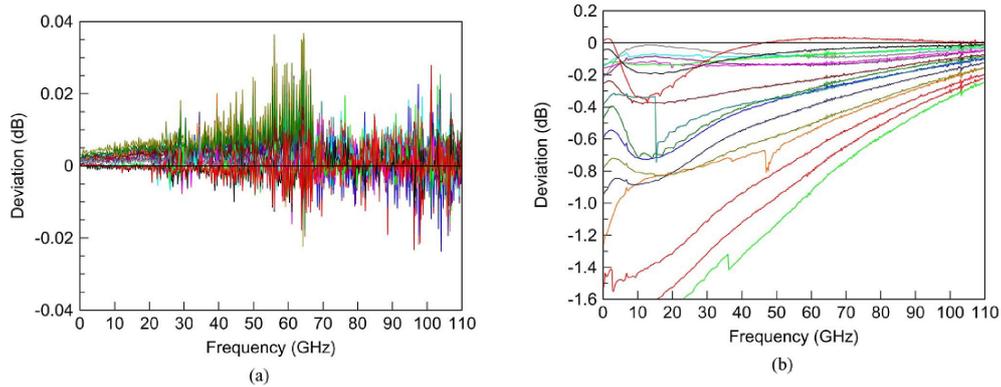


Fig. 40. Comparaison entre des mesures réalisées sur un short avec des contacts a) aluminium plaqué or et b) des contacts en aluminium standard. [103]

Finalemment dans notre article IEEE MTTT de 2018 [92], nous proposons en première mondiale des résultats de mesures jusqu'à 500 GHz d'un transistor HBT SiGe de la technologie Infineon (voir Fig. 41). La même méthodologie a été appliquée sur la technologie B55 de STMicroelectronics et sur la technologie d'IHP où des comparaisons ont été réalisées avec d'autres instituts dont le Fraunhofer fortement expérimenté sur cette thématique (Voir Fig. 42) confortant ainsi nos résultats de mesures, ceci dans le cadre du projet TARANTO.

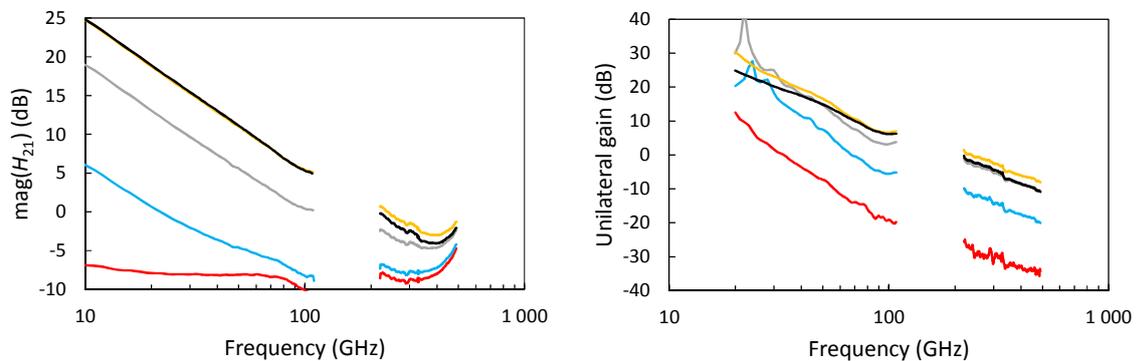


Fig. 41. Gain en courant H_{21} et gain unilatéral d'un transistor SiGe HBT $2 \times \text{CBEBC}$ ($0.22 \times 1 \mu\text{m}^2$) d'Infineon pour différents V_{BE} variant de 0.7-0.94 V avec un pas de 60 mV et $V_{CB}=0$ V, (calibrage on-wafer TRL avec correction d'impédance).

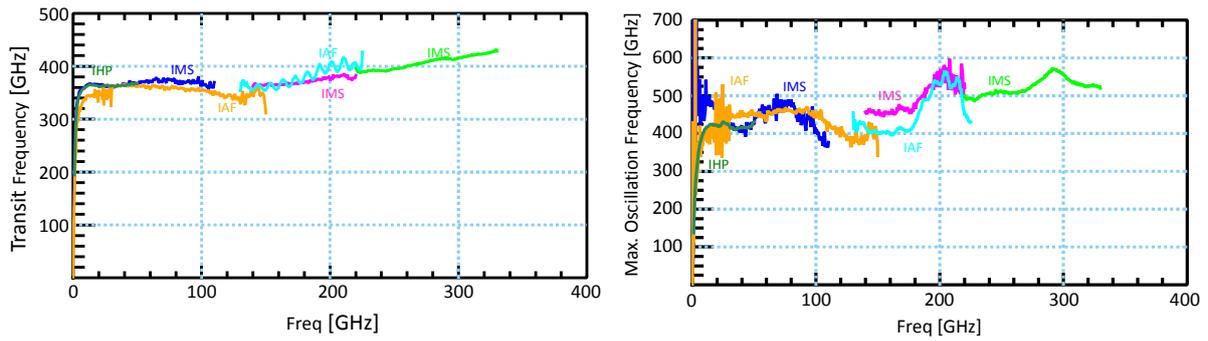


Fig. 42. Comparaison de mesures réalisées à IMS, IHP et au Fraunhofer Institute (IAF) jusqu'à 325 GHz

F. Conclusion HBT

Les activités sur le HBT SiGe ont été menées en étroite collaboration avec des acteurs industriels STMicroelectronics, INFINEON, des instituts de recherche IHP, IMEC et des partenaires académiques (TU Dresden, Univ Naples, ...). Ma contribution a été de soutenir la technologie par une activité de simulation, de caractérisation et de modélisation sur 15 ans d'évolutions technologiques. La caractérisation au-delà de 110 GHz est une nouvelle activité que j'ai activement démarrée en 2016 et qui fait partie de mon projet de recherche. Ces travaux contribuent aux soutiens des compagnies ainsi qu'aux développements de nouvelles technologies et applications dans la sécurité la santé et les télécommunications.

Nos travaux sur le transistor bipolaire ont fait l'objet de 30 revues dont 16 sur les effets thermiques dans ce composant. J'ai par ailleurs co-publié 5 revues sur les transistors MOSFETs silicium.

III. Evaluations de transistors émergents à base de carbone pour les applications circuits

A. Introduction

Depuis l'invention des circuits intégrés, la miniaturisation des transistors est un objectif fort qui devient de plus en plus critique avec des dimensions actuelles de 14 à 7 nm dans les technologies industrialisées et inférieures à 7 nm dans les prototypes. Après plusieurs décennies consacrées à un « scaling » conventionnel, i. e. réduction des masques et de l'épaisseur des oxydes, de nouvelles méthodes ont été introduites pour continuer à réduire les dimensions et à optimiser les performances des technologies silicium. Pour ce faire, de très forts investissements ont été réalisés sur les technologies à contraintes mécaniques pour optimiser la mobilité et aussi sur le diélectrique de grille avec les technologies « high K » et technologies « fully depleted SOI » pour encore réduire les effets électrostatiques de canaux courts. Plus récemment, les technologies FinFET Silicium ou à canaux superposés (3D) ont été introduites dans les technologies industrielles les plus avancées [110] [111].

Anticipant cette fin de la roadmap, les chercheurs du domaine de la physique de la chimie ont anticipé ces limites et ont commencé à chercher des solutions alternatives ou innovantes basées sur l'électronique moléculaire depuis la fin des années 1970 pour développer des dispositifs permettant de faire de l'électronique haute fréquence ou à forte densité pour le numérique. Malheureusement, les très lourds investissements financiers réalisés dans la technologie Silicium imposent un certain conservatisme limitant l'exploration de nouveaux domaines. En tant qu'électronicien et après ma thèse, certains critères me semblaient obligatoires pour trouver une technologie ayant un potentiel de développement au côté de la technologie Silicium : i) la technologie doit pouvoir réutiliser les principaux outils de procédé Silicium et être compatible avec les technologies FET ; ii) le composant doit pouvoir fonctionner de façon fiable à température ambiante ; iii) la technologie doit être reproductible après maturation industrielle ; iii) le matériau utilisé doit potentiellement offrir des capacités physiques inégalées par le Silicium en terme de performances. Voici un exemple en Fig. 43 de cohabitation d'une technologie émergente et d'une technologie silicium.

Par ailleurs, d'un point de vue conception de circuit numérique, des approches en rupture ont été étudiées comme par exemple les circuits neuro inspirés, qui sont en fort développement notamment pour la reconnaissance d'image et l'intelligence artificielle en général. On peut noter que les circuits neuro-inspirés change de paradigme de conception de circuit et de système et ne nécessitent plus des composants parfaitement reproductibles.

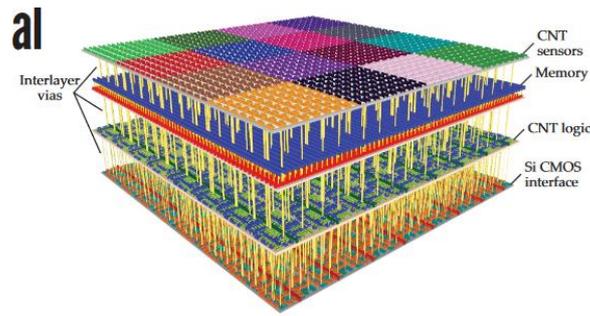


Fig. 43. *Vue d'artiste d'un circuit intégré combinant les technologies émergentes avec une technologie conventionnelle de type Silicium CMOS,*
 (<https://physicstoday.scitation.org/doi/pdf/10.1063/PT.3.3680>).

En plus de répondre aux critères ci-dessus, l'émulation scientifique autour des technologies à base de carbone et la nécessaire force liée au grand nombre de scientifiques impliqués par ces matériaux nous a encouragés à évaluer ces technologies d'un point de vue circuit. En effet, ma curiosité et mon expertise dans la modélisation compacte m'a incité à utiliser mes compétences dans ce domaine pour évaluer les performances des transistors basés sur ces matériaux innovants pas seulement en tant que dispositif isolé mais en tant que dispositif au sein de circuits. Ainsi, pendant la décennie 2006-2016, nous avons évalué successivement les transistors à base de nanotubes de carbone puis à base de graphène à partir de 2010. Ce chapitre présente successivement mes travaux sur les transistors à base de nanotubes de carbone puis à base de graphène.

B. Développement d'une famille de modèle de transistors à nanotubes de carbone

1. Introduction

Les premiers concepts d'électronique moléculaire ont été proposés à partir des années 1970. Deux décennies plus tard, une publication pionnière démontrant le fonctionnement d'un transistor moléculaire à base de nanotube de carbone est publiée par TU DELFT. Jusqu'alors, des difficultés majeures principalement liées au fait de contacter la molécule avaient limité le développement de ces composants. Les avancées en nanotechnologie ont permis d'outre passer ces difficultés et de développer la structure (voir Fig. 44), de positionner et de contacter le nanotube de carbone pour fabriquer un transistor à effet de champ.

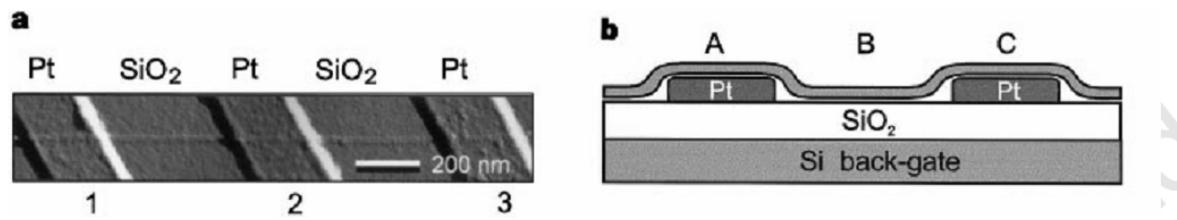


Fig. 44. Premier transistor à base de nanotube de carbones [112]

Les caractéristiques physiques du nanotube de carbone sont très prometteuses avec : i) un transport de charge quasi-balistique garantissant un fort courant avec peu de dissipation thermique en son sein ; ii) une structure et des dimensions permettant d'avoir un contrôle électrostatique quasi-idéal pour envisager des canaux ultracourts ; iii) une stabilité physique au regard des procédés technologiques ; iv) une capacité à pouvoir transporter de fortes densités de courant favorisant la fiabilité du composant. Malheureusement, certaines difficultés sont apparues lorsqu'il s'est agi de passer du prototype de transistor à un circuit complexe. La principale difficulté apparue est le contrôle de la fabrication de nanotubes pour obtenir une chiralité constante et en même temps fournir une densité de tubes élevée ($> \sim 190$ tubes/ μm [113]) pour atteindre un courant de $1.3\text{mA}/\mu\text{m}$ et qui plus est, aligner ces tubes dans une même direction. En outre, ceci doit être contrôlé à l'échelle d'un wafer de 300mm . En effet, la chiralité ou le diamètre du tube peut transformer un nanotube en un matériau semi-conducteur ou en un matériau métallique avec une probabilité de 30% générant des dysfonctionnements du transistor. De nombreuses propositions, qu'elles soient au niveau de la fabrication du tube, du tri des nanotubes, à la conception du transistor ou du circuit ou à des traitements post-fabrications, ont été envisagées pour détruire ces nanotubes métalliques. Par ailleurs, le manque de densité de nanotube et leur désalignement ne génèrent pas de dysfonctionnement mais limitent les performances des circuits.

En deux décennies de recherche sur les nanotubes de carbone, l'état de l'art est passé de la fabrication d'un simple transistor à des circuits relativement complexes comme des portes logiques [114]–[116], des oscillateurs en anneaux [117], [118], des décodeurs, des bascules flip-flop [119], un additionneur 4 bit [120], un système de BUS 8 bits [121] et aussi système de mémoire en phase d'industrialisation (Nantero).

Par exemple, la Fig. 45 [122] montre une technologie éprouvée et relativement peu sensible aux dispersions technologiques. La Fig. 45 montre un exemple d'additionneur 4 bit comportant 140 transistors pCNTFETs fonctionnant sous une tension d'alimentation de 2V. Pour atteindre cet objectif, il a été nécessaire de minimiser la dispersion technologique et notamment la tension de seuil, paramètre de référence pour les applications numériques. Sur 120 CNT-FETs, la tension de

seuil varie de 0.6 à 0.8 V avec un écart type $\sigma = 34$ mV. Pour comparaison, une technologie Silicium dont les longueurs de grille font $0.3\mu\text{m}$ a une variation de V_{th} , $\sigma = 10.8$ mV et sur un nœud 65nm , σ croît jusqu'à 25.58 mV.

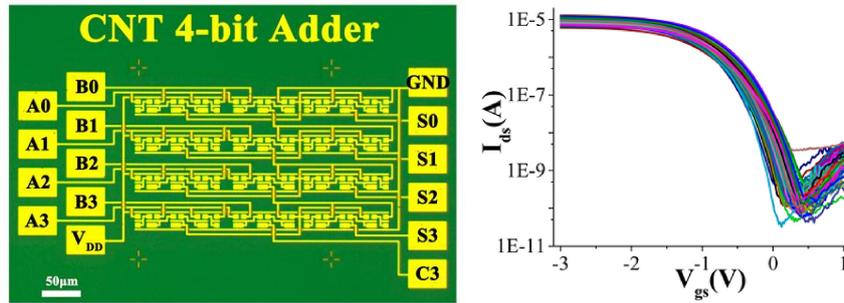


Fig. 45. Additionneur 4 bits réalisé avec une technologie p-CNTFETs ; b) Caractéristiques de transfert I_{ds} - V_{GS} de 120 CNTFETs [122]

Finalement, le premier ordinateur basique à base de nanotubes de carbone a été fabriqué [123] par les équipes de l'université de Stanford. Il est basé sur une technologie P-CNTFET dont la longueur de grille est de $1\mu\text{m}$ et constitué de 178 transistors. La densité des nanotubes est de 5 tubes par μm . Cette démonstration prouve qu'il est possible de travailler à des niveaux de complexité plus élevés avec les imperfections inhérentes à la technologie à base de nanotubes. L'ordinateur fonctionne avec un système d'exploitation multitâche. Les auteurs ont implémenté 20 instructions courantes et démontrent son fonctionnement par des opérations de tris et de comptage simultanées. L'architecture de l'ordinateur est présentée en Fig. 46 montrant la complexité du circuit. Le fonctionnement du système a été entièrement simulé et comparé aux mesures avec très peu de déviation entre modèle et mesure. Ce système reste encore très loin de la complexité et de la rapidité d'un microprocesseur moderne que nous trouvons dans nos ordinateurs d'aujourd'hui.

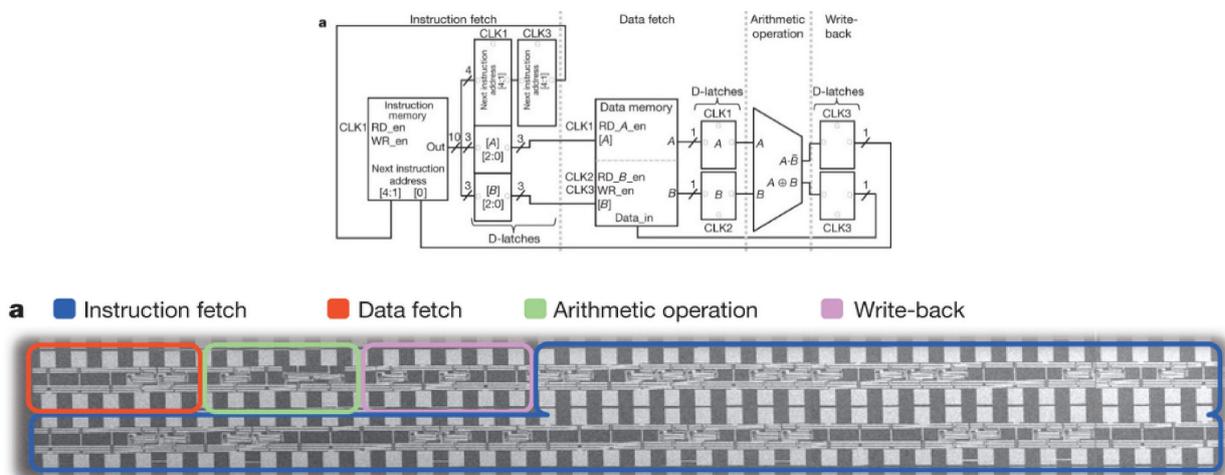


Fig. 46. Architecture de l'ordinateur réalisé à base de CNTFETs et son image SEM montrant la complexité des circuits atteints par cette technologie [123]

D'un point de vue RF et dans l'objectif d'avoir des performances intéressantes, les transistors CNTFETs nécessitent une forte densité de tubes en parallèle. Les performances atteintes jusque-là sont limitées par la qualité et la densité des nanotubes. L'équipe du Pr. H. Happy de l'université de Lille a montré des transistors CNTFETs ayant une fréquence de transition intrinsèque de 80 GHz et de 15 GHz en extrinsèque pour une longueur de grille de $0.3\mu\text{m}$ [124]. Malheureusement, une fréquence maximum d'oscillation de 3 GHz est obtenue ce qui semble encore trop limité pour des applications circuits. Des travaux plus récents de l'équipe de M. Schröter à UC San Diego donne des résultats plus équilibrés en terme de f_T/f_{MAX} avec respectivement 8/9 GHz épluchés du pad pour une longueur de grille de $0.45\mu\text{m}$. Cette technologie permet de réaliser des premiers circuits amplificateurs autour de 2 GHz. Des travaux datant de 2016 provenant de l'université de Californie annonce des performances extrinsèque f_T/f_{MAX} égales à 40 et 40 GHz respectivement et f_T/f_{MAX} égale à 70 et 80 GHz épluchée du PAD pour une longueur de grille de 100nm [125], performances reportées sur la Fig. 47 et comparées à l'état de l'art. Le réseau de sortie de ce transistor est montré sur la Fig. 47 ; il indique que la présence de nanotube métallique est très faible ou nulle ce qui implique une conductance de sortie relativement faible. La densité de courant mesurée est de $350\mu\text{A}/\mu\text{m}$ alors que la valeur visée par l'ITRS (international technology road map for semi-conductor) est de $1.9\text{mA}/\mu\text{m}$ pour les applications digitales.

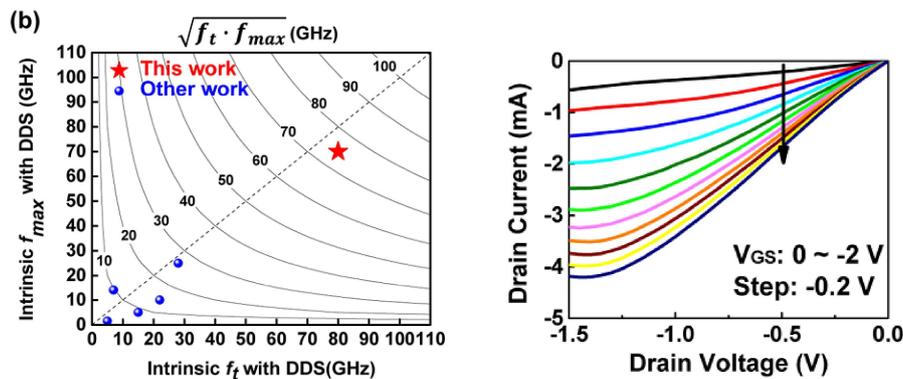


Fig. 47. Etat de l'art RF des CNTFETs et caractérisation DC (LG=100nm)

1. Positionnement et paysage international de la modélisation compacte

Quatre années après le premier prototype de transistor à nanotubes, les premiers modèles compacts ont été publiés[126], [127]. La Fig. 48 présente l'évolution des modèles compacts dans le temps, leur évolution en termes de capacités de modélisations ainsi que les différentes Universités ou industriels engagés sur cette thématique. Les principaux acteurs présents sur cette dernière sont l'Université de Purdue avec une forte expérience théorique sur la simulation physique, l'université

de Stanford dont l'activité s'est inscrite dans la durée avec à la fois un développement expérimental, un déploiement de modèle compact et la conception de circuits innovants. Les derniers travaux majeurs de l'Université de Stanford datant de 2015 sur la technologie CNTFET sont réalisés en collaboration avec IBM qui, depuis longtemps, est impliquée dans la technologie à base de CNTFETs.

Le premier modèle publié [128] est un modèle considérant que le transistor FET à nanotube est constitué de deux réservoirs d'électrons, d'un canal dont le comportement est balistique et (est) modulé par le potentiel de grille. Le couplage électrostatique entre le potentiel de canal et la tension de grille est approximé par un polynôme. C'est un modèle de type « top of the barrier » et il utilise l'équation de Landauer adaptée au transport balistique [129].

Le modèle de Stanford est un des modèles les plus complets publiés dès 2006 [130] puis 2007 [131], [132]. Plutôt que d'utiliser l'équation de Landauer intégrée mathématiquement sur l'énergie, il décompose chaque état d'énergie et somme chaque composante sur chacun de ces niveaux d'énergie. Cette formulation évite le calcul de l'intégral qui peut devenir complexe lors de la prise en compte des interactions électrons-phonons. Ainsi, ce modèle prend en compte les phonons de type acoustique et optique. Ce modèle prend aussi en compte, l'effet tunnel bande à bande (BTBT) source à drain, et d'autre non idéalités comme les barrières Schottky aux accès. En revanche, cette méthode semble plus lourde d'un point de vue numérique. Ce modèle n'a pas été confronté ni à la mesure ni la simulation numérique NEGF lors de sa publication. Malgré cette absence de confrontation, ce modèle a été le plus largement cité dans la bibliographie.

En 2007, nous co-publions des travaux [133] réalisés au sein de l'ACI NANOSYS avec l'université de Strasbourg, Grenoble, Lyon, sur un modèle très proche de celui de Purdue mais ayant des améliorations d'un point de vue convergence, calcul automatique de la structure de bande en fonction de la chiralité du nanotube. En 2008, nous améliorons le modèle précédent en y intégrant cette fois une base physique pour le calcul de la charge et du couplage électrostatique [134]. Ce modèle est validé par différentes simulations Monte Carlo réalisées à l'IEF (Université Orsay). Dès 2009, nous y ajoutons un modèle prenant en compte les interactions électrons-phonons [135] et un modèle d'effet tunnel [136]. L'approche est différente de celle de Stanford car la structure de l'équation de courant y est très différente. Ces deux modèles sont validés par des simulations numériques de type NEGF.

En 2008, un modèle est développé par NXP [137]. Il semble être très proche de celui présenté par Raychowdurry. La validation y est plus exhaustive.

En 2010, le modèle de Southampton [138] utilise une approximation de type « cubic spline » pour le calcul de la densité de charge évitant ainsi un calcul complexe de la charge.

En 2011, nous publions deux autres modèles pour compléter nos approches : le premier concerne les transistors CNTFETs à barrière Schottky [139] ; le second [140], [141] permet de modéliser les transistors à grille duale. Dans ce modèle, nous avons mis en avant le mécanisme d'appauvrissement de la source en porteurs résultant à une limitation du courant maximum atteint. Ce modèle est validé sur des mesures de la littérature de transistors développés à Stanford et IBM.

En parallèle, l'université de Stanford a proposé un modèle mettant en avant ce même mécanisme d'appauvrissement de source et l'intègre dans un modèle non-itératif permettant un gain de temps de simulation par rapport à leur précédent modèle [142].

En 2011, l'université de Dresden et Nano RF corporation propose un modèle pour les transistors multi-tubes dédiés aux applications RF. Le modèle est validé en DC et RF [143] en 2011 puis amélioré en 2013 [144] et 2015 [145].

En 2013 et 2015, l'université de Stanford et IBM propose une nouvelle génération de modèle appelé « virtual source » dont la structure permet d'être utilisé sur plusieurs types de composants à effet de champs comme le graphène FET ou le MoS₂FET [146]. Le modèle appelé « Virtual source » est un modèle semi-empirique dont les paramètres comme la mobilité et la pente sous le seuil sont extraites à partir de données de mesures. Ce modèle est validé par des mesures jusqu'à des longueurs de grille de 9 nm.

L'ensemble de mes travaux sur le CNTFET ont fait l'objet de 15 revues internationales avec comité de lecture depuis 2008.

TIME SCALE from 2004



Fig. 48. Historique, paysage international et évolution des principaux modèles compacts publiés dans des revues, nombre de citations issus de Google Scholar en Mars 2019 jusqu'en 2015 (non-exhaustif)

2. Eléments de modélisation

d. Transport balistique, équation de Landauer

Les différents modèles publiés ont utilisé une base quasi-similaire concernant le transport de porteurs dans le tube. En effet, les nanotubes ayant peu d'interaction avec leur environnement, le transport des charges est quasi balistique en leur sein. Une grande majorité des équipes [128], [134], [137], [138], [147] s'est orientée vers l'équation de Landauer mis à part les travaux de Stanford [131], [132] pour modéliser le courant drain-source.

Le calcul du courant s'appuie sur l'une des équations de la formule de Landauer [Ferr97], appliquée ici aux électrons (charge électronique négative), en prenant comme convention un courant entrant par le drain :

$$I = \frac{2e}{2\pi} M \left[\int_0^\infty v(k) f_S(k) T_S(E) dk - \int_0^\infty v(k') f_D(k') T_D(E) dk' \right] \quad 2.1$$

avec M le nombre de modes transverses occupés, $v(k)$ la vitesse des porteurs, f_S et f_D les fonctions de distribution de la source et du drain respectivement, $T_S(E)$ la probabilité de transmission d'un porteur de la source au « corps » du nanotube, $T_D(E)$ la probabilité de transmission d'un porteur du drain au « corps » du nanotube.

L'intégrale du courant devient :

$$I = \frac{4ek_B T}{h} \sum_{p=1}^{nb \text{ bands}} \left[\ln \left(1 + \exp \frac{-sbbd[p] + V_{CNT} - V_S}{k_B T} \right) - \ln \left(1 + \exp \frac{-sbbd[p] + V_{CNT} - V_D}{k_B T} \right) \right] \quad 2.2$$

Le premier terme de cette équation représente la contribution de la source, i.e. le courant des électrons provenant de la source, le deuxième terme, qui s'oppose au premier, représente la contribution du drain.

Il est intéressant de comparer cette équation à l'approche retenue par Stanford dans [131], [132]. En effet, alors que le modèle précédent prend en compte le confinement quantique dans le sens radial en sommant sur les contributions de chaque sous bande, le modèle de Stanford prend en compte le confinement quantique dans les directions radiales et axiales. Les références [131], [132] mettent en avant un léger gain en précision de cette approche à partir d'une longueur de nanotubes inférieure à 50 nm. De plus, cette méthode permet de remplacer une intégration parfois complexe notamment pour le calcul de la charge ou lors de l'intégration d'interactions électrons-phonons par

une simple somme mais au détriment du temps de calcul. En effet, cette double somme nécessite le calcul de 30 à 45 termes en fonction du diamètre et de la longueur du tube.

Voici le détail du calcul :

$$J_{m,l}(V_{XS}, \Delta\phi_B) = 2env_F \quad 2.3$$

Où V_{XS} est la différence de potentiel entre le nœud x et la source, $\Delta\phi_B$ est la variation du potentiel de surface, v_F est la vitesse de Fermi et n est le nombre d'électrons occupant le sous-état m,l. n est donné par

$$n = \frac{f_{FD}(E_{m,l} + eV_{XS} - \Delta\Phi_B)}{L_G} \quad 2.4$$

Avec f_{FD} la distribution de Fermi-Dirac, $E_{m,l}$ est l'énergie du porteur au sous-état l'état m,l

$$I_{semi}(V_{ch,DS}, V_{ch,GS}) = 2 \sum_{m=1}^M \sum_{l=1}^L \left[T_{LR} J_{m,l}(0, \Delta\Phi_B) \Big|_{+k} + T_{RL} J_{m,l}(V_{ch,DS}, \Delta\Phi_B) \Big|_{-k} \right]$$

Les évolutions des différents modèles basées sur l'équation de Landauer au cours du temps se sont principalement faites sur le calcul du potentiel interne dans le nanotube par un calcul auto-cohérent de la charge et du potentiel de canal en considérant les tensions et courants dans le composant. Le second point concerne le coefficient de transmission appliqué sur l'équation de Landauer. Ce dernier permet de considérer des non-idéalités telles que des barrières Schottky et des interactions électrons-phonons. Ces parties seront abordées par la suite.

e. Formulation de la charge dans le nanotube - Quantum capacitance

La grande majorité des modèles dite à modulation de hauteur de barrière nécessite le calcul de l'énergie de la bande de conduction dans le composant. Considérant que le transport est balistique, cette énergie peut être considérée comme constante dans le composant. Il est donc nécessaire de coupler le calcul du potentiel dans le nanotube avec la charge et la capacité d'oxyde.

Le potentiel dans le nanotube V_{CNT} peut être couplé avec la charge de manière simple avec l'équation suivante :

$$Q_{QS} + Q_{QD} - Q_{CNT}^0 = C_{INS}(V_{CNT} - V_{Gi}) + C_{ED}(V_{CNT} - V_{Di}) + C_{ES}(V_{CNT} - V_{Si}) \quad 2.5$$

avec: $Q_{QS} = eLn_{CNT}^+$ charge entrante depuis la source, $Q_{QD} = eLn_{CNT}^-$ charge entrante depuis le drain, $Q_{CNT}^0 = Q_{QS} + Q_{QD}$ for $V_{GS} = V_{DS} = 0V$, C_{INS} capacité d'oxide de grille, C_{ED} et C_{ES} capacités de jonction source/canal et drain/canal et L la longueur de grille.

La charge dans le nanotube peut se calculer en utilisant la distribution de Fermi-Dirac et la densité d'état (DOS) d'un nanotube. Cette densité considère que l'objet est unidimensionnel (1D) et a la particularité de faire apparaître des singularités de Van Hove et plusieurs bandes de conduction.

Avec l'hypothèse balistique, les porteurs issus de la source (drain) remplissent les états $+k$ ($-k$) du canal selon la distribution de Fermi de la source (drain) de la densité d'états. La densité de charge linéique n_{CNT} résulte donc de l'intégration sur l'énergie du produit de la densité d'états $g(E)$ par la distribution de Fermi $f(E)$:

$$n_{CNT} = -e \int_{E_0}^{+\infty} \frac{g(E)}{2} [f(E - E_{F,S}) + f(E - E_{F,D})] dE \quad 2.6$$

Avec E_0 l'énergie du milieu de bande interdite, e la charge électronique, $E_{F,S(D)}$ le niveau de Fermi de la source (drain).

Notons qu'il s'agit là de la densité de charge linéique des électrons dans la bande de conduction (la charge électronique e est positive), l'intégrale est faite sur les énergies positives. Pour les trous dans la bande de valence, la densité de charge se calcule de manière similaire. Le facteur $1/2$ rappelle que la moitié des états ($+k$ ou $-k$) sont remplis selon la distribution de Fermi de la source ou du drain, respectivement. L'expression de la densité d'états est donnée par :

$$g(E) = \frac{8}{3\pi a_{C-C} V_{pp\Pi}} \sum_{p=1}^{nb_bands} \frac{|E - E_0|}{\sqrt{(E - E_0)^2 - sbbd[p]^2}} h(|E - E_0| - sbbd[p]) \quad 2.7$$

avec a_{C-C} , la distance entre 2 atomes de carbone soit environ 0,142 nm, $V_{pp\Pi}$, l'énergie de liaison entre 2 atomes de carbone comprise entre 2,4 et 3,14 eV, $sbbd[p]$, le bas de la $p^{ième}$ sous-bande de conduction (ou le haut de la $p^{ième}$ sous-bande de valence pour les trous), nb_bands est le nombre de sous-bandes du nanotube (dépendant de la chiralité), $h(x)$, la fonction de Heaviside décrite par $h(-|x|) = 0$ et $h(|x|) = 1$. La somme sur p relate la discrétisation du schéma de bande d'énergies en sous-bandes. La fonction de Heaviside, qui impose une densité d'états nulle pour les énergies inférieures au bas de sous-bande (bande interdite), permet d'ajuster la borne inférieure de l'intégrale sur l'énergie au bas de la $p^{ième}$ sous-bande. La double-dégénérescence des sous-bandes est déjà prise en compte dans la constante (nombre de modes transverses M).

La densité de charge est composée de 2 contributions : celle de source et celle du drain. Chaque contribution est exprimée comme étant une somme sur les sous-bandes :

$$n_{CNT} = n_{CNT}^+ + n_{CNT}^-$$

$$= \frac{1}{2} \sum_{p=1}^{nb \text{ bands}} n(V_{CNT} - V_S, sbbd[p]) + \frac{1}{2} \sum_{p=1}^{nb \text{ bands}} n(V_{CNT} - V_D, sbbd[p]) \quad 2.8$$

En considérant le potentiel $V = V_{CNT} - V_S$ pour la contribution de source et $V = V_{CNT} - V_D$ pour celle du drain, les densités de charge associées n_{CNT}^+ et n_{CNT}^- , respectivement, s'écrivent pour une sous-bande donnée (à un facteur $1/2$ près) :

$$n(V, sbbd[p]) = \frac{-8e}{3\pi a_{C-C} V_{pp\pi}} \int_{sbbd[p]}^{+\infty} \frac{E}{\sqrt{E^2 - sbbd[p]^2}} \frac{1}{1 + \exp\left(\frac{E - eV}{k_B T}\right)} dE \quad 2.9$$

Étant donné que l'intégrale de l'équation 2.9 n'a pas de solution analytique pour toute la gamme des potentiels V et pour toutes les énergies, des solutions partielles doivent être considérées et sont détaillées dans [134]. D'autres auteurs, ne parvenant pas à proposer une solution analytique physique ont proposé des équations de type polynomial ajusté sur une solution numérique [128], [137], [138]. Le modèle de Stanford utilise la même approche que pour le calcul du courant en prenant en compte un confinement quantique dans les directions radiales et axiales, simplifiant le calcul de la charge à une double somme sur chaque sous état.

Ces travaux sont réalisés dans le cadre du projet ANR ACCENT.

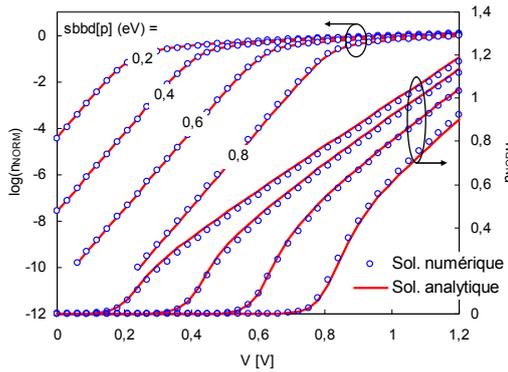


Fig. 49. Densité de charge linéique (normalisée par $-8e/(3\pi a_{C-C} V_{pp\pi})$) en fonction du potentiel V , à 300 K, pour différentes valeurs de bas de sous-bande, $sbbd[p]$, en échelle logarithmique et en échelle linéaire.

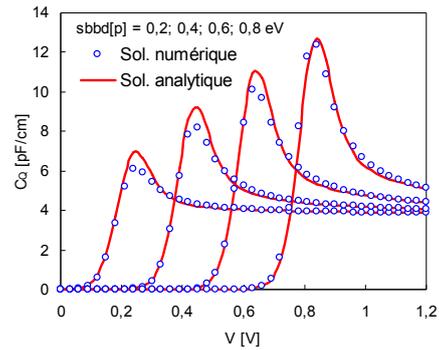


Fig. 50. Capacité quantique pour différents bas de sous-bande en fonction du potentiel V . La dérivée analytique de la densité de charge linéique (traits), soit la capacité quantique par unité de longueur du canal, est comparée à la dérivée numérique de l'équation 2.9 (cercles).

f. OP / AP phonon scattering

La Fig. 51 illustre la différence entre un transistor dont les porteurs sont purement balistiques et un transistor dont les porteurs subissent des interactions électrons phonons. Ces simulations ont servi à valider le modèle développé à Bordeaux.

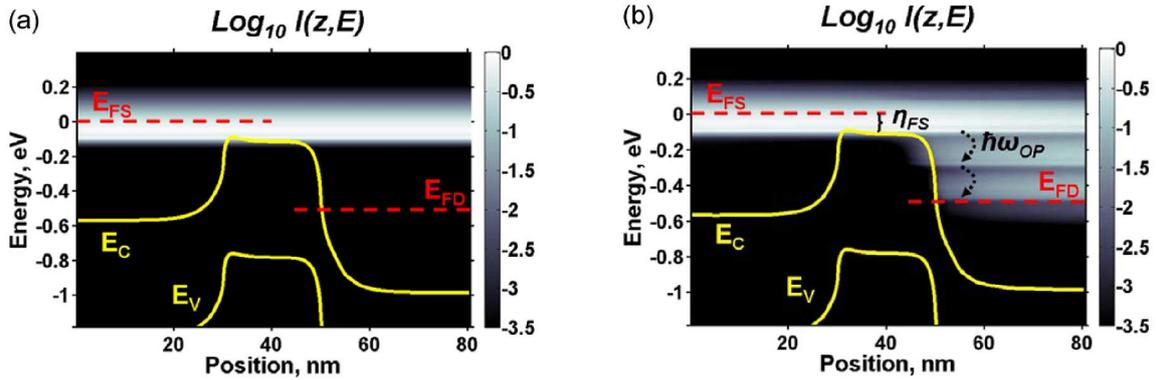


Fig. 51. Spectre de courant résolu en fonction de l'énergie pour un CNTFET (16,0) à $V_{GS}=0.5$ V et $V_{DS}=0.5$ V (échelle log.). Transport balistique en a) et prenant en compte un transport dissipatif en b).[148]

Les interactions électrons-phonons et leur impact sur le courant de drain ont été pris en compte dans un modèle compact par seulement 3 groupes, Stanford 2006, Southampton et Bordeaux en 2008.

L'approche de Stanford ne nécessitant pas d'intégration mathématique de l'équation de Landauer a permis un calcul aisé et complet des interactions électrons-phonons de type acoustique et optiques. Malheureusement, le modèle n'est pas comparé à des simulations plus complexes permettant de mettre en évidence la précision du modèle.

Pour notre part, nous proposons de prendre en compte les interactions électrons-phonons en intégrant un coefficient de transmission non idéal dans l'équation de Landauer. Cette approche est plus complexe d'un point de vue mathématique pour des raisons d'implémentation car différentes approximations sont nécessaires pour rendre le calcul possible. Ces approximations sont validées en température, en fonction de la chiralité du nanotube et de la longueur de grille par une comparaison entre un modèle numérique et analytique. Finalement, le modèle est comparé à des simulations physiques de type NEGF [148]. Ces travaux ont aussi été réalisés dans le cadre du projet ANR ACCENT [135].

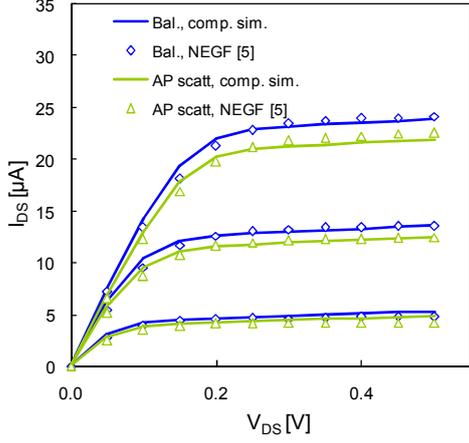


Fig. 52. Courant de drain en fonction de la tension drain-source V_{DS} pour différentes tensions de grille ($V_{GS}=0.4, 0.5, 0.6$ V): comparaison entre la simulation NEGF [148] et le modèle compact avec et sans interactions avec les phonons acoustiques.

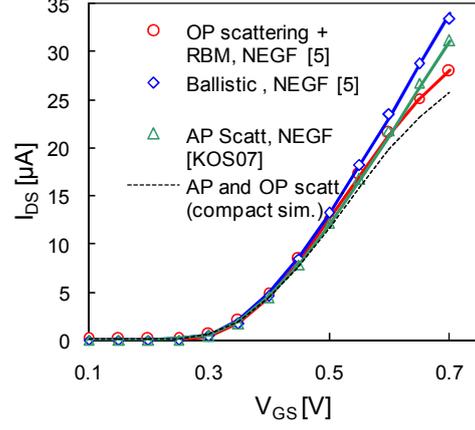


Fig. 53. Courant de drain en fonction de la tension grille source: comparaison entre la simulation NEGF [148] et le modèle compact pour les interactions avec les phonons acoustiques et optiques ($V_{DS}=0.3$ V)

g. Mécanisme d'effet tunnel

Dans le cadre du projet ACCENT, la validité du modèle a été étendue. Notamment, deux mécanismes ont été mis en évidence et quantifié grâce à simulateur de type NEGF (Non-Equilibrium Green Function) développé à l'Université de Purdue puis utilisé sur Bordeaux. Grâce au support de ce simulateur NEGF, nous avons proposé un modèle compact de ces deux effets [136].

Le premier mécanisme est l'augmentation de la charge de trous dans le canal d'un transistor de type N ; cette charge pénètre le canal par effet tunnel lorsque la tension V_{DSi} est supérieure à la bande d'énergie interdite du nanotube. Ce mécanisme est illustré par la Fig. 54. Cette charge va modifier l'équilibre électrostatique du nanotube et ainsi détériorer la pente sous le seuil du courant de drain. Ce mécanisme n'avait pas été pris en compte jusque-là. Cette charge peut être modélisée en sommant les contributions sur chaque état (p,l) :

$$Q_{BTBT,D} = \begin{cases} 8q \sum_p \sum_l T_{BTBT,D} (1 - f(E_{V_{p,l}} + qV_{Di})) & \text{while } q(V_{Si} - V_{Di}) - \Delta E_F < E_{V_{p,l}} < q(V_{Si} - V_{CNT}) - sbbd [1] \\ 0 & \text{otherwise} \end{cases} \quad (5) \quad 2.10$$

Avec $f(E)$, la distribution de Fermi, $T_{BTBT,S}$ and $T_{BTBT,D}$ sont les coefficients de transmission côté source et drain.

$$-E_{p,l} = \frac{\sqrt{3}}{2} a V_{\pi} \sqrt{k_p^2 + k_l^2}$$

Où $E_{p,l}$ est l'énergie des porteurs du sous-état (p, l) . Dans la bande de valence, cette énergie peut être réécrite en considérant les potentiels internes : $E_{V_{p,l}} = -E_{p,l} + q(V_{Si} - V_{CNT})$.

Le second mécanisme concerne un courant tunnel bande-à-bande (BTBT) source-drain. Il est mis en évidence sur la Fig. 55 montrant le spectre de fréquence de la simulation NEGF. Comme le montre la figure, à faible V_{DS} , un courant d'électrons part de la bande de conduction de la source vers la bande de conduction du drain et utilise la bande de valence du canal pour transiter. Cette simulation montre qu'il faut intégrer l'équation de Landauer du bas de la bande de conduction de la source jusqu'à la bande de valence du canal :

$$I_{BTBT} = \frac{4q}{h} \int_{qV_{Si}-E_F}^{q(V_{Si}-V_{CNT})-sbbd[1]} T_{BTBT} (f(E+qV_{Si}) - f(E+qV_{Di})) dE \quad 2.11$$

T_{BTBT} est le coefficient de transmission total tunnel et il est calculé à partir de l'équation du résonateur de Fabry Perrot.

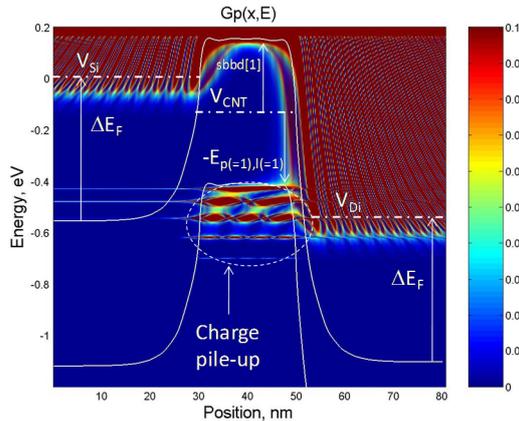


Fig. 54. Bande d'énergie de conduction et valence et distribution des trous sur l'énergie $G_p(x,E)$ et en fonction de la position obtenue des simulations NEGF à $V_{GS}=0V$ et $V_{DS}=0.55 V$. CNTFET ayant un tube de chiralité $(19,0)$ et un dopage source / drain de 1.5 dopants/nm.

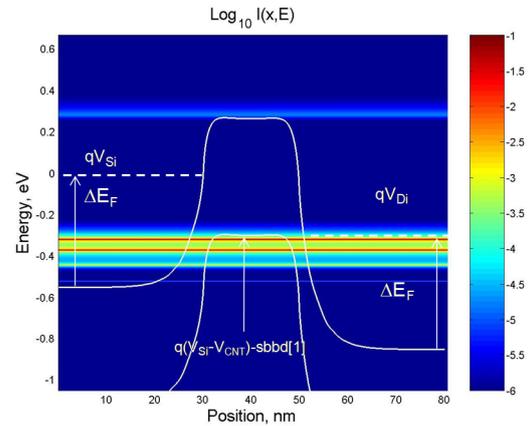


Fig. 55. Bande d'énergie de conduction et valence et spectre de courant $I(x,E)$ en fonction de la position obtenue des simulations NEGF à $V_{GS}=0V$ et $V_{DS}=0.3 V$. CNTFET ayant un tube de chiralité $(19,0)$ et un dopage source / drain de 1.5 dopants/nm.

b. CNTFET à grille duale

Dans le cadre du projet ANR NANOGRAIN, nous avons développé un modèle pour un transistor à nanotubes de carbone et à effet de champ à grille duale (Voir Fig. 56), publié en 2011 par IBM dans [204]. Pour atteindre cet objectif, le schéma équivalent ainsi que la source de courant I_{DS} ont été complètement modifiés. En effet, ce transistor nécessite 4 nœuds externes (G, D, S, BG) et de plus, le canal doit être séparé en trois zones accès source, accès drain et canal du transistor. Le schéma équivalent disponible dans [140] fait apparaître la complexité de la modélisation. De plus, la modélisation du courant est elle aussi relativement complexe car elle doit considérer différentes contributions : une contribution thermoionique, une contribution tunnel au travers de la barrière Schottky ainsi que prendre en compte l'effet d'appauvrissement de la source. Lorsque la bande de conduction du canal est suffisamment faible et n'oppose plus de barrière aux porteurs venant de l'accès, la zone limitant le courant de drain est la source. Lorsque cette dernière limite le courant, on parle d'appauvrissement de la source. Les différents mécanismes mis en jeux sont illustrés sur la Fig. 58a. Ces mécanismes sont clairement visibles sur des mesures provenant d'IBM où le courant de drain est bloqué et où le seuil est contrôlé sur plusieurs décades (voir la Fig. 57).

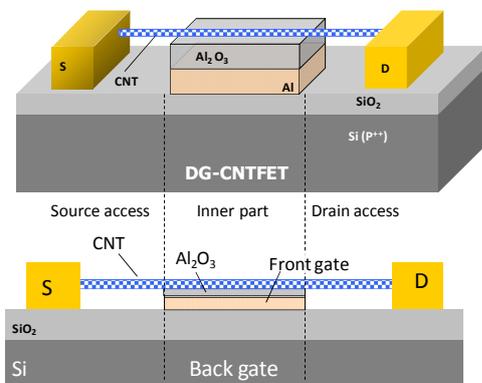


Fig. 56. Vue schématique en coupe d'un CNTFET à grille duale.

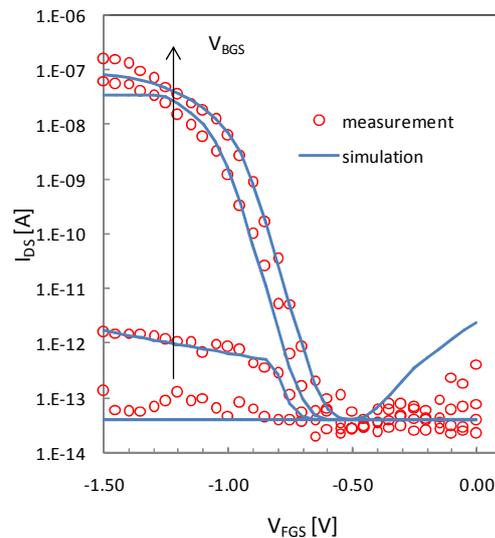


Fig. 57. Courant I_{DS} en fonction de la tension de grille avant V_{FGS} et pour différentes tensions de grille arrière V_{BGS} ($=-0.5, -1, -2, -4$ V) pour $V_{DS}=-0.5$ V, mesure d'IBM [204])

En 2011, le principe d'appauvrissement de la source est aussi mis en évidence dans une publication de l'université de Stanford [142] et utilise un principe très similaire pour le modéliser. Il est intéressant de noter que pour des raisons de convergences et de temps de calcul, leur première base

de modèle n'est plus utilisée car très complexe ; celle-ci est remplacée par un modèle non-itératif supportant mieux la complexité de ces modélisations. Nos travaux sont publiés dans [140].

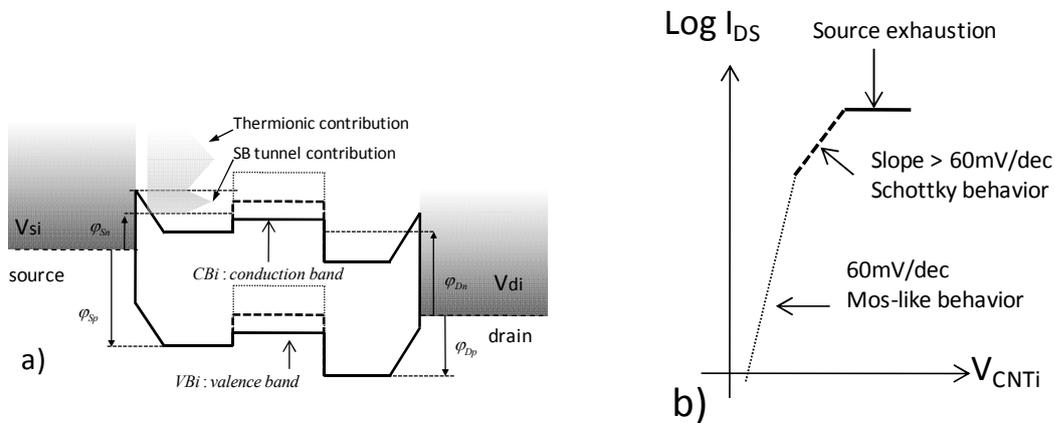
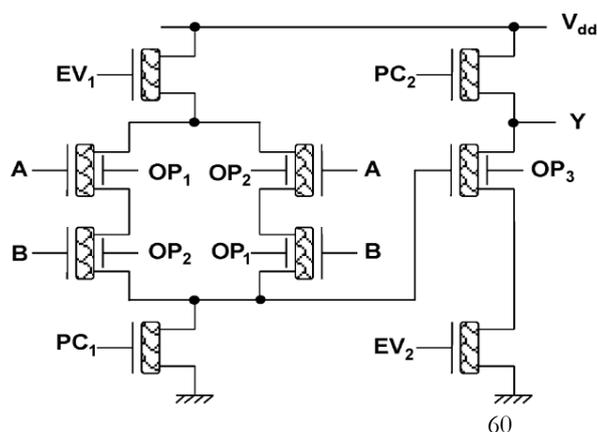


Fig. 58. a) Diagramme des bandes d'énergie montrant le flux d'électron provenant de la source et du drain pour différentes tensions de grille avant V_{FG} ; b) Courant drain-source en fonction du potentiel interne du canal montrant différents comportements de type MOS-like, Schottky, épuisement de la source.

3. Innovations supportées par les modèles compacts UBx

Une des innovations majeures qui a été supportée par le modèle compact est le développement innovant de portes logiques dans le cadre de l'ACI NANOSYS et du projet ANR NANOGRAIN. Le fonctionnement original du transistor à grille duale a permis de développer une famille de portes logiques reconfigurables et des circuits plus complexes comme des ALU [133], [149]. Par exemple, une porte logique à 8 fonctions reconfigurable dynamiquement a été imaginée, elle est présentée en Fig. 59. Le fonctionnement de cette dernière a été finalement évalué dans le cadre du projet NANOGRAIN en utilisant le modèle présenté ci-dessus dont les paramètres sont extraits des mesures d'IBM. Il est important de noter que ces travaux de conception d'électronique configurable sont toujours en développement à l'INL Université de Lyon et utilisés sur des technologies innovantes à base de silicium (nanowire (projet ANR LEGO), ...)



OP ₁	OP ₂	OP ₃	Y
+V	+V	+V	$\overline{A.B}$
+V	+V	-V	A.B
+V	-V	+V	$\overline{A \oplus B}$
+V	-V	-V	A ⊕ B
-V	+V	+V	$\overline{A \oplus B}$
-V	+V	-V	A ⊕ B
-V	-V	+V	A+B
-V	-V	-V	$\overline{A+B}$

Fig. 59. *Porte logique reconfigurable CNT DR6F et sa table de vérité*

C. Développement d'une famille de modèles pour les transistors à base de graphène

1. Introduction

Le premier transistor au graphène a été publié en 2007 par le Pr. Max Lemme [150] alors à l'université d'Aachen (voir Fig. 60). Cette structure utilise un graphène exfolié et est composée de deux grilles. Les premiers résultats de mesures montrent un composant fonctionnel avec des caractéristiques électriques ambipolaires (voir Fig. 60).

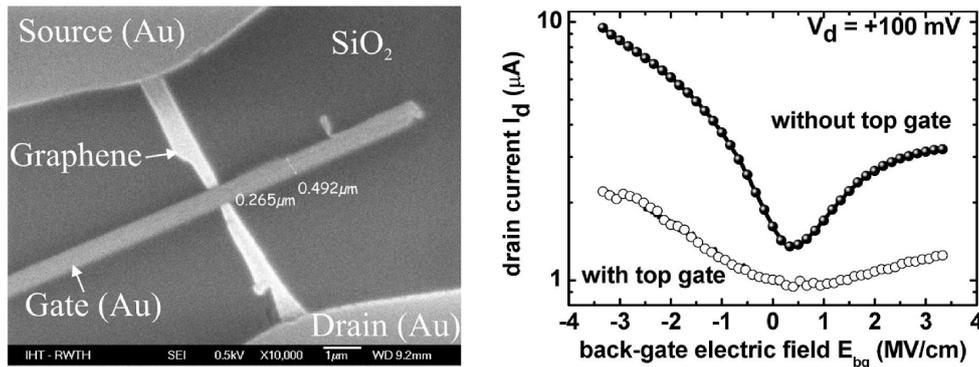


Fig. 60. Image SEM du premier transistor au graphène et sa caractéristique de transfert, [150]

D'après les premières études et calculs théoriques, les caractéristiques physiques du graphène permettent d'envisager un transport quasi-balistique; sa structure 2D et ses dimensions permettent d'avoir un contrôle électrostatique quasi-idéal pour envisager des canaux ultracourts ; une stabilité physique au regard des procédés technologiques ; une capacité à pouvoir transporter de fortes densités de courant et une forte conductivité thermique favorisant la fiabilité du composant. De plus et contrairement au nanotube, d'un point de vue procédé technologique, il semble possible à terme de faire croître du graphène à l'échelle d'un wafer avec une bonne qualité. Malheureusement, plusieurs bémols à cet ensemble de caractéristiques singulières ont été mis en avant rapidement ; l'absence de bande d'énergie interdite dans le dispositif empêche tout blocage du courant de drain interdisant les applications numériques. De plus les interactions entre le graphène et son substrat ou un oxyde réduisent drastiquement les performances en termes de transport de charge. Après ces premiers constats et depuis la fabrication du premier transistor, de gros efforts ont été réalisés pour optimiser la technologie graphène et la rendre compétitive en comparaison des technologies plus établies. Aussi, les chercheurs orientent leurs efforts vers les applications haute fréquence en ce qui concerne le graphène 2D. Quant aux applications numériques, elles sont envisagées avec les rubans de graphène mais ceci semble peu prometteur.

Les meilleures performances obtenues en régime dynamique démontrent un compromis f_T/f_{MAX} de 100 GHz qui est malheureusement bien en deçà des technologies silicium ou III-V. La figure Fig. 61 montre un comparatif des états de l'art des technologies émergentes avec des technologies établies depuis longue date. Nous pouvons noter que si les performances en terme de f_T sont relativement proches des technologies les plus matures, la f_{MAX} plafonne à 100 GHz alors que le THz est dépassé pour les HEMT InP. Il est important de noter que ce comparatif doit être analysé avec précaution car les méthodes d'épluchages employés par certaines équipes sur les transistors au graphène (ou nanotube de carbone) ne sont pas toujours en cohérence avec ce qui est utilisé dans le reste de la communauté. Un « sur-épluchage » est souvent employé donnant des résultats plus favorable.

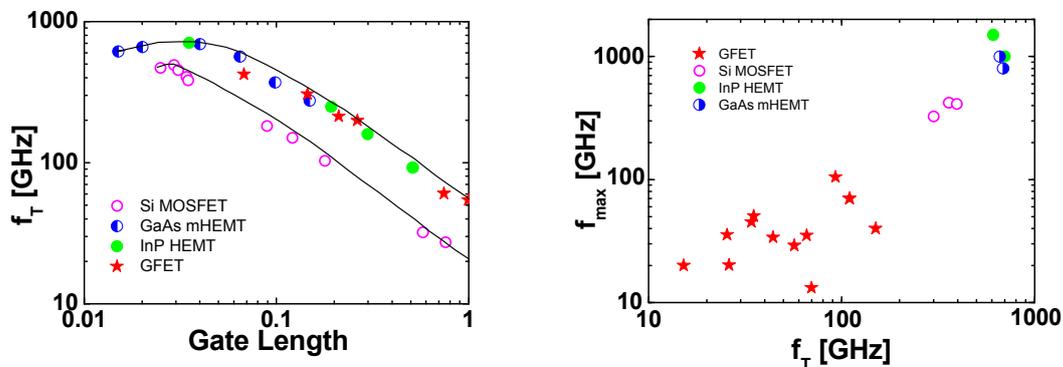


Fig. 61. *Etat de l'art des technologies émergentes et technologies avancées [151]*

Concernant le plafonnement de la f_{MAX} , ceci est dû à deux raisons : i) les résistances d'accès des transistors au graphène sont encore mal maîtrisées et peu optimisées. Ceci réduit la résistance de sortie et le gain en tension ; ii) l'absence de bande d'énergie interdite dans le matériau graphène engendre un courant ambipolaire qui dans les caractéristiques du réseau de sortie empêche une saturation franche du dispositif. Ceci réduit la résistance de sortie, le gain en tension et donc la fréquence maximum d'oscillation. La maîtrise des résistances d'accès semble être en passe d'optimisation grâce à une meilleure compréhension du mécanisme par les technologues. Deux composantes sont à prendre en compte : la première est la résistance de contact entre le métal (3D) vers le graphène matériaux 2D. Cette résistance de contact relativement forte vient du passage d'un matériau 3D à un matériau 2D et à la densité d'état limité du graphène. La seconde contribution est la résistance de couche entre le contact et le début du canal qui est liée au nombre de charges mobiles dans le matériau et donc au « dopage ». Si un dopage classique semble difficile, le couplage métal-graphène crée un transfert de charge dopant le graphène électrostatiquement à proximité de l'interface. Il semble nécessaire de travailler sur une structure auto-alignée pour réduire fortement

l'impact de la résistance de couche. Un état de l'art des différents métaux montrant à la fois la résistance de contact et celle de couche est présenté sur la Tab. 3. Pour comparaison, la résistance de contact d'un MOSFET silicium à l'état de l'art est de $80\Omega\cdot\mu\text{m}$ [152]. Concernant l'absence de bande d'énergie interdite, point le plus critique de la limitation du GFET, les solutions consistent à découper le graphène en nano-ruban ou à réaliser des trous dans le graphène pour quantifier les états d'énergie. Malheureusement, ces méthodes très complexes à mettre en œuvre réduisent fortement la mobilité au sein du ruban et ainsi ne semble pas prometteuse pour les composants RF. Une seconde méthode consiste à utiliser du graphène en 2 couches et à appliquer un champ électrique vertical intense pour obtenir une ouverture de bandgap d'environ 200 à 250meV. Malheureusement, ceci complexifie la structure imposant une seconde grille au transistor dont son impact est préjudiciable sur les performances dynamiques.

Très rapidement après le développement des premiers transistors ,des premiers circuits ont été développés allant de l'amplificateur source commune à un seul transistor [153] à un récepteur RF monolithique comportant plusieurs transistors et éléments passifs [154] en passant par les mélangeurs et détecteurs THz. Une image du circuit « transciever » développé chez IBM ainsi que ses résultats de mesures sont montrés sur la Fig. 62b. En ce qui concerne les amplificateurs, les meilleures performances connues à ce jour sont un gain S_{21} de 5dB avec une bande passante de 6GHz [153] et un amplificateur à bande étroite donnant un gain de 3.4dB à 14 GHz [155]. Très peu d'amplificateurs ont été développés. En effet, la forte conductance de sortie limite le gain en tension qui est en général inférieur à 1 obligeant dans la plupart des situations à créer une adaptation d'impédance d'entrée même à relativement basse fréquence pour espérer avoir un gain en puissance. Ceci devient complexe en terme de qualité d'éléments passifs et n'est parfois pas réalisable comme nous l'avons montré dans cette étude de caractérisation source-pull et load pull [156]. Nos travaux concernant le design de circuit amplificateur à base de graphène sont détaillés dans les publications suivantes [157], [158]. Seule la référence [158] contient des données mesurées au niveau de l'amplificateur. Des travaux sont en cours pour la réalisation d'un amplificateur MMIC et sont détaillés dans le paragraphe N° 4.

Métal utilisé pour le contact	Largeur de canal (W) (μm)	R_{SH} ($\text{k}\Omega/\square$)	$R_c W$ ($\Omega \mu\text{m}$)	Condition de mesure	Best reported $R_c W$ ($\Omega \mu\text{m}$)
Ni (75 nm)	40	1.919	(2248 \pm 417)	Air	100

Métal utilisé pour le contact	Largeur de canal (W) (μm)	R_{SH} ($\text{k}\Omega/\square$)	$R_{\text{C}} W$ ($\Omega \mu\text{m}$)	Condition de mesure	Best reported $R_{\text{C}} W$ ($\Omega \mu\text{m}$)
Au (81 nm)	40	0.793	(500 \pm 213)	Air	340
Pd (75 nm)	40	1.149	(968 \pm 317)	Air	69
Ni (25 nm) + Au (50 nm)	40	0.977	(404 \pm 382.9)	Air	–
Pt (25 nm) + Au (50 nm)	40	1.799	(1068 \pm 514.6)	Air	–

Tab. 3. State of the art of contact resistance extracted from [152]

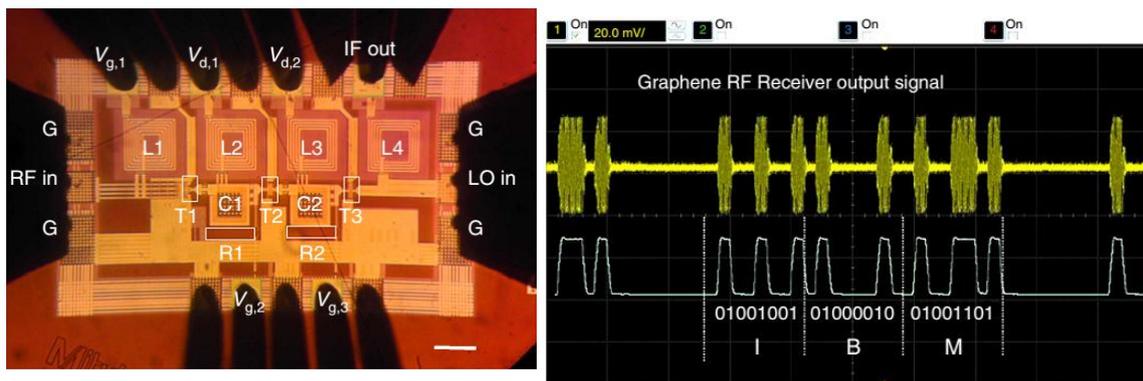


Fig. 62. Circuit « transceiver » MMIC en graphène développé à IBM, a) image au microscope et b) résultats de mesure démontrant sa fonctionnalité [154].

2. Positionnement et paysage international de la modélisation compacte du GFET

Les premiers travaux de modélisation des transistors à effet de champ à base de graphène sont apparus très peu de temps après la fabrication du premier transistor. En effet dès 2008, le groupe de l'université de Columbia propose un modèle dérivé diffusion et applique son modèle sur les premiers résultats de mesure de GFET avec succès [159]. Cette approche dérivée diffusion ainsi que ce modèle vont servir de base à de nombreux auteurs ; quelques-uns d'entre eux seulement vont proposer des approches différentes en supposant le transport balistique comme le groupe de l'université de Aizu au Japon [160]. Lors de nos premiers travaux de modélisation des GFETs et

dans le cadre du POSTDOC de H. N. Nguyen, nous avons tenté une approche balistique qui s'est révélée peu concluante lors de la comparaison avec les mesures de composants réalisées à l'ITEMN.

Si la majorité des groupes a utilisé une approche dérive-diffusion (DD) pour le transistor au graphène, il est intéressant de remarquer que la modélisation des transistors à nanotubes de carbone a été principalement faite en considérant un transport balistique et l'équation de Landauer. Cette différence s'explique par les raisons suivantes : le graphène étant encore peu idéal et surtout en forte interaction avec son substrat et l'oxyde de grille, le transport de charge est détérioré et les mobilités sont relativement faibles suggérant que le modèle DD est plus adapté. A l'opposé, les nanotubes de carbone sont moins en interaction avec leur environnement et le transport y semble être relativement balistique ; de plus, sa structuration est idéale. Aussi, le modèle dérive-diffusion implique une variation du potentiel et l'intégration de la charge tout au long du canal alors que concernant le modèle balistique, le potentiel est considéré comme constant. Ceci implique pour le modèle balistique, un calcul de la charge qui est réalisé en considérant les porteurs injectés côté source et côté drain (voir paragraphe e)

Concernant l'approche DD dans les GFET, nous pouvons noter une exception, le modèle appelé « virtual-source » est un modèle ayant une approche semi-empirique qui n'utilise ni l'approche DD ni l'approche balistique. Il a été utilisé pour les transistors à nanotubes de carbone, au graphène et HEMT III-V. Son efficacité a été démontré par des comparaisons aux mesures dans les deux cas, travaux publiés en 2011 puis 2014 par le MIT [161] [162].

La même année, un groupe de l'université de Barcelone améliore le modèle DD de l'université de Columbia en y ajoutant un modèle de charge prenant en compte la densité d'état du graphène et améliore le modèle dynamique [163]. En 2012, dans le cadre du Postdoc de V. Nguyen, nous modifions le modèle DD de Columbia et y introduisons un modèle de piège [164]. Ce modèle sera validé de manière exhaustive sur des mesures en DC et RF. En parallèle, l'équipe de l'Université de Chalmers améliore le modèle de l'Université de Columbia pour le régime dynamique et valide ce modèle avec des mesures RF ainsi qu'en puissance

En 2013 et dans le cadre des projets FP7 STREP GRADE et ANR GRACY, nous progressons sur notre approche de modélisation [165] en prenant en compte la densité d'état du graphène dans le modèle de charge mais notre méthode basée sur une simplification du calcul du champ électrique dans le canal est différente de l'approche de Barcelone qui utilise un modèle polynomial [163]. Notre modèle est validé sur des mesures de transistors ayant différentes longueurs de grille avec un seul jeu de paramètres montrant ainsi la cohérence du modèle. Nous améliorons ce modèle en y

intégrant une mobilité dépendante de la densité de charge dans le graphène et en améliorant le modèle dynamique au point de Dirac [157].

En 2012, le groupe de D. J. Akinwande de l'université du Texas propose une consolidation du modèle de charge à proximité du point de Dirac. En effet, la structure de bande est souvent approximée par une fonction « valeur absolue » de l'énergie qui se révèle être fautive à proximité de ce point de Dirac. Elle est remplacée par une fonction plus adaptée.

En 2014, dans le cadre du projet GRADE et dans le cadre d'une collaboration de Bordeaux avec les universités de Stockholm et Siegen, nous proposons une version simplifiée de notre modèle. Ce dernier permet de faire des calculs d'optimisation de circuits [166].

Notre équipe ainsi que celle de Southampton ont développé des modèles pour transistor à graphène multi-couches [167] et [168]. Celui développé à Bordeaux a été réalisé dans le cadre de la thèse J. D. Aguirre Morales financée par l'ANR GRACY. Les approches sont relativement différentes. En effet, le modèle de Southampton décompose chaque couche d'un point de vue électrostatique et prend l'écrantage en compte alors que le modèle de Bordeaux fonctionne de manière plus globale en prenant en compte directement la densité d'état du graphène multicouche. Le modèle bordelais prend aussi en compte l'ouverture de la bande interdite lorsqu'un champ vertical est appliqué à la structure, ce qui n'est pas le cas du modèle de Southampton.

Finalement, d'autres modèles ont été publiés pour mieux prendre en compte les dissymétries en terme de mobilité électrons-trous [169], [170] ou encore ayant pour objectif d'améliorer le modèle de charge qui a un impact sur le courant, sa transconductance et la précision du modèle dynamique [171], [172]. Le modèle [41] développé au sein de notre groupe permet aussi une prédiction de la fiabilité sur cette technologie.

Notre dernier modèle publié en 2017 [173] présente les différentes caractéristiques : il prend en compte la dissymétrie de mobilité de la branche d'électrons et de trous avec une approche plus physique ; il utilise un modèle de charge simplifié de type Ward-Dutton et les éléments parasites sont calculés par la simulation électromagnétique [174].

L'historique des différents modèles, leur origine, leur nombre de citations et leur principale caractéristique sont présentés sur la Fig. 63.

Mericet et al., Nature Nanotechnology, 2008 [158]	 Citations: 1383	➔	<ul style="list-style-type: none"> • Drift diffusion model • Ambipolar • Constant capacitance model 	<ul style="list-style-type: none"> • Validation avec mesure DC
H. Wang et al., IEEE Conf. 2011 [164]	 Citations: 76	➔	<ul style="list-style-type: none"> • extension of the "virtual-source" model previously proposed for Si MOSFETs 	<ul style="list-style-type: none"> • Validation avec mesure DC
D. Jiménez et al., 2011 [168]	 Citations: 54	➔	<ul style="list-style-type: none"> • Drift-diffusion model • Capacitance model is more complex • Charge model improved with quantum capacitance 	<ul style="list-style-type: none"> • Model compared to numerical simulation
S. Fregonese et al. SSE 2012 [164]	 université BORDEAUX Citations: 28	➔	<ul style="list-style-type: none"> • Drift diffusion • Constant capacitance • Trap model 	<ul style="list-style-type: none"> • Model compared to DC and RF measurement
O. Hablououn et al., IEEE TED 2012 [180]	 Citations: 67	➔	<ul style="list-style-type: none"> • Drift diffusion • Constant capacitance model 	<ul style="list-style-type: none"> • Model compared with DC and RF measurement
S. Fregonese et al. IEEE T. On Nanotech. 2012 [165]	 université BORDEAUX Citations: 71	➔	<ul style="list-style-type: none"> • Drift diffusion • Quantum capacitance 	<ul style="list-style-type: none"> • Model compared to measurement • Gate length scaling verified
K. Parrish, Applied physics letters, 2012 [178]	 Citations: 26	➔	<ul style="list-style-type: none"> • Approximation of the quantum limit $C_{ox} \gg C_q$ • Carrier density dependant mobility model • Improved capacitance model at Dirac point 	
S. Fregonese et al. JBCL 2013 [177]	 université BORDEAUX Citations: 8	➔	<ul style="list-style-type: none"> • Carrier density dependant mobility model • Improved capacitance model at Dirac point 	<ul style="list-style-type: none"> • Model compared to advanced NEGF simulation
S. Rodriguez et al., IEEE TED 2014 [166]	 UNIVERSITÄT SIEGEN  université BORDEAUX  Stockholm University Citations: 61	➔	<ul style="list-style-type: none"> • Simplified model for hand made calculation based on model - S. Fregonese, IEEE TON 2013 	
J. J. Umeh et al., IEEE Trans. On Nanotechnology, 2014 [168]	 UNIVERSITY OF SOUTHAMPTON Citations: 11	➔	<ul style="list-style-type: none"> • Multilayer graphene • Temperature effects 	<ul style="list-style-type: none"> • Model compared to DC measurement
S. Rekhajati et al., IEEE Trans. On Nanotechnology, 2014 [162]	  Citations: 35	➔	<ul style="list-style-type: none"> • Ambipolar virtual source model • Drift diffusion to quasi-ballistic 	<ul style="list-style-type: none"> • Model compared to DC measurement with different gate length from 650 nm to 40nm.
G. M. Landauer et al., IEEE Trans. On Nanotechnology, 2014 [171]	 UNIVERSITAT AUTONOMA DE BARCELONA	➔	<ul style="list-style-type: none"> • Improved model for C_q at low bias • Improved model at saturation 	<ul style="list-style-type: none"> • Model compared to DC measurement .

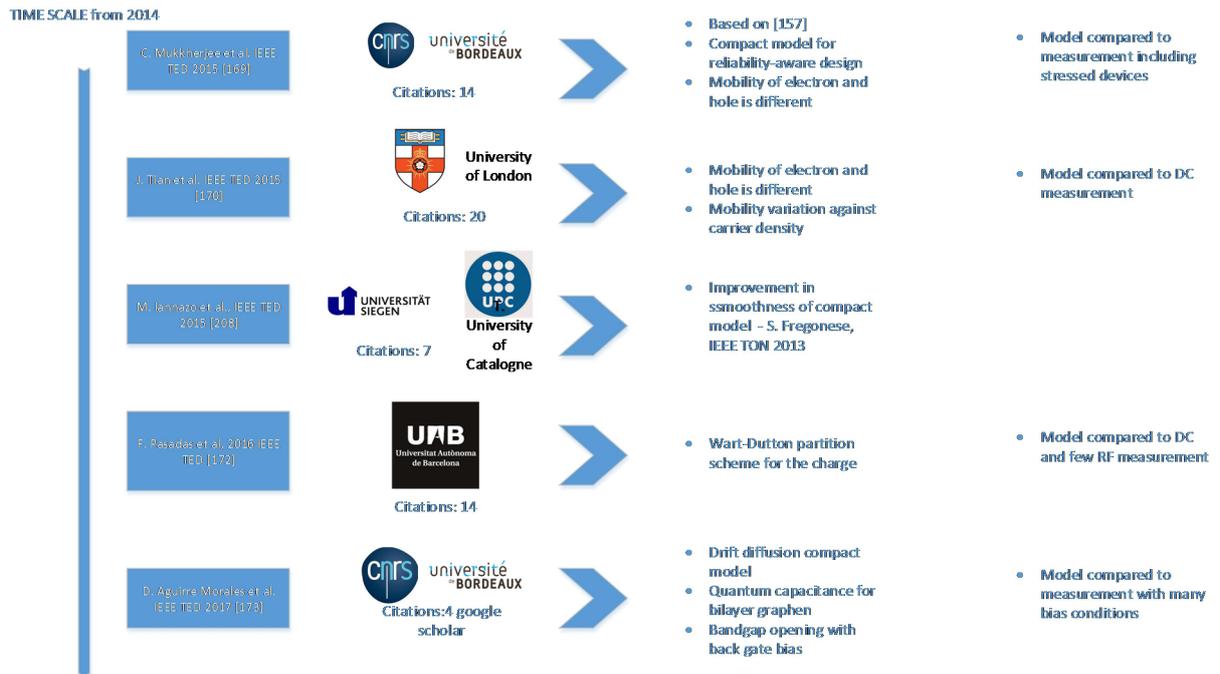


Fig. 63. Evolution des modèles de GFET selon les universités jusqu'en 2017 (citations Google Scholar au 18 mars 2019)-non exhaustif

Finally, a « review » article published by the publisher Institute Of Physics (IOP) valued our activity by citing five of our articles. This study shows the evolution of the number of publications of compact models up to 2016. We can see that our article from 2012 is part of the top ten articles on this topic according to [205].

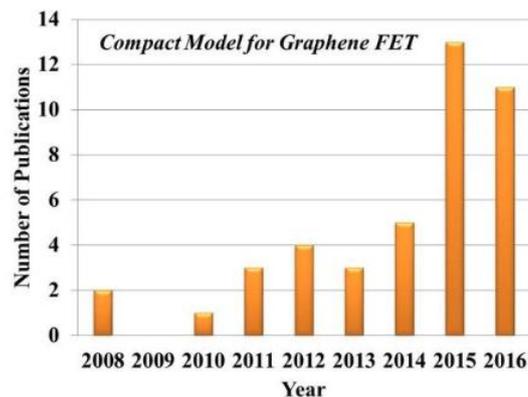


Fig. 64. Nombre d'articles de revues dédiées à des modèles compact pour les transistors GFET. [205]

Notre activité est par ailleurs mise en avant via la plateforme de simulation en ligne NanoHub pour laquelle nous avons été sollicités par Mark Lundstrom afin d'y implémenter notre modèle de transistor pour le graphène à double couche [175].

L'ensemble de ces travaux sur le GFET ont fait l'objet de 14 revues internationales avec comité de lecture depuis 2008.

3. Eléments de modélisation

i. Modèle Graphène monolayer (thèse J. D. Aguirre Morales, 2013-2016 ANR GRACY, FP7 GRADE)

Cette section décrit les points clés du modèle de transistor graphène monolayer le plus avancé. Tout d'abord, nous considérons une structure à grille duale (Fig. 65.a), ce qui d'un point de vue modèle électrostatique vertical donne un empilement grille-isolant-graphène-isolant-grille arrière. Cet empilement de matériaux est donné par la Fig. 65.b. Une première étape consiste à modéliser la structure verticale d'un point de vue électrostatique. Ainsi, deux capacités C_{top} et C_{back} modélisent les diélectriques, une capacité variable C_q modélise la charge au sein de la couche de graphène et finalement la source de tension $V(x)$ modélise la variation de potentiel horizontale liée à la tension V_{DS} qui sera intégrée dans un second temps dans le modèle.

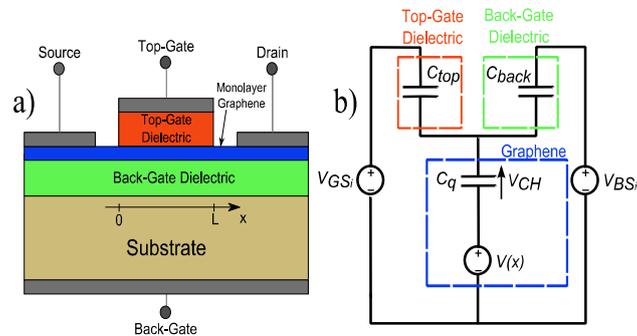


Fig. 65. (a) Cross-section view of the m-GFET structure and (b) Equivalent capacitive circuit of the m-GFET structure

Pour résoudre, ce problème 1D, il est nécessaire de modéliser la capacité C_q et donc la charge dans le canal en fonction du potentiel de la couche de graphène. Ainsi, en utilisant la densité d'état 2D d'une couche de graphène monocouche, soit $DOS(E) = [2|E|]/[\pi(\hbar \cdot v_F)^2]$ et en utilisant la statistique de distribution de la densité de porteurs de Fermi-Dirac et en supposant que le potentiel

de la couche de graphène est supérieur à $q|V_{CH}| \gg k_B T$, la charge dans une couche de graphène peut s'écrire [173] : $Q_{net}(x) = Q_p - Q_n \approx -\frac{q^3}{\pi(\hbar v_F)^2} V_{CH}(x)|V_{CH}(x)|$

avec $C_{eq} = C_{top} + C_{back}$ et $Q_{tot} = C_{top} \cdot V_{GS_i} + C_{back} \cdot V_{BS_i} + q \cdot N_{F\cdot}$, avec Q_p et Q_n les charges d'électrons et de trous, respectivement, q la charge élémentaire, \hbar la constante de Planck réduite, $V_{CH}(x)$ et le potentiel du graphène le long du canal à une distance x , et v_F ($\sim 10^6$ m/s) est la vitesse de Fermi. En utilisant le schéma électrique de la structure verticale ainsi que le modèle de charge dans le graphène, nous pouvons en déduire le potentiel du canal [176]: $V_{CH} = \text{sign}(Q_{tot} - C_{eq}V) \frac{-C_{eq} + \sqrt{C_{eq}^2 + 4\alpha|Q_{tot} - C_{eq}V|}}{2\alpha}$

Calcul du courant drain-source avec le modèle dérive-diffusion :

Après la première étape de modélisation de la structure verticale, il est nécessaire d'intégrer les équations dans le sens horizontal correspondant au sens du transport des porteurs pour permettre le calcul de la charge totale dans le canal ainsi que pour le calcul du courant drain-source. En se basant sur un modèle de transport de type dérive-diffusion, en considérant une saturation douce de la vitesse des porteurs et en connaissant la charge dans le canal grâce à l'expression de la charge en fonction des potentiels extérieurs, il est possible d'en déduire le courant drain-source I_{DS} . Ainsi, le courant I_{DS} peut s'exprimer par l'équation suivante [19] :

$$I_{DS} = \mu W \frac{\int_0^{V_{DS_i}} (|Q_{net}| + q \cdot n_{puddle}) dV}{L + \mu \left| \int_0^{V_{DS_i}} \frac{1}{v_{sat}} dV \right|} \quad 3.12$$

Où W et L sont respectivement la largeur et la longueur du canal, μ est une mobilité moyenne, $n_{puddle} = \Delta^2 / [\pi(\hbar v_F)^2]$ modélise la charge résiduelle et localisée dans le canal liée à la déformation locale de la couche de graphène [177]. Le terme Δ représente l'inhomogénéité spatiale du potentiel de surface.

Bien que cette équation de courant qui considère une mobilité moyenne fonctionne généralement sur les transistors GFET, dans de nombreux cas, une différence de comportement en termes de transport est observé entre la branche de trous et la branche d'électrons limitant la précision du modèle. Ainsi, nous avons étendu les capacités du modèle en considérant séparément les contributions des courants d'électrons et de trous dans le courant total drain-source.

Pour ce faire, les contributions électrons et trous ont été séparées ($I_{DS} = I_{DS_n} + I_{DS_p}$) avec

l'équation suivante : $I_{DS(n,p)} = \mu_{(n,p)} W \frac{\int (|Q_{(n,p)}| + q \cdot \frac{n_{puddle}}{2}) dV}{L + \mu_{(n,p)} \left| \int \frac{1}{v_{sat(n,p)}} dV \right|}$. Si cette approche semble simple

lorsque le canal est constitué soit d'électrons soit de trous, la procédure se complexifie lorsque que le canal est constitué des deux types de porteurs. En effet, la tension dans la longueur du canal $V_{CH}(x)$ déterminée par les conditions de polarisation définit si la conduction est principalement assistée par des électrons (Fig. 2a) ou par des trous (Fig. 2b) ou une combinaison de l'ensemble (Fig. 2c et Fig. 2d). La frontière entre la zone dominée par les électrons ou les trous se déplace en fonction de la polarisation extérieure. Cette frontière va servir de borne pour le calcul de l'intégral du courant.

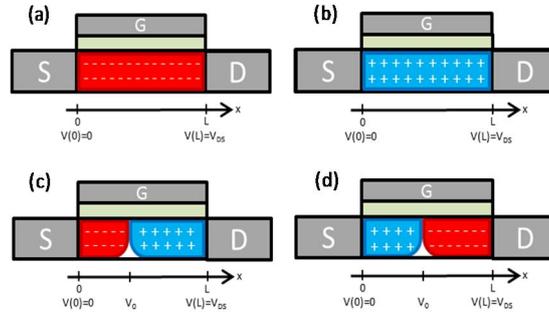


Fig. 66. Channel charge polarity for different operating modes of the m-GFET.

Lorsque l'équation est simplement dominée par un type de porteur, la nouvelle équation s'exprimera de la manière suivante :

$$I_{DS_n} = \mu_n W \frac{\int_{V_{CH0}}^{V_{CHL}} \left(\alpha V_{CH}^2 + q \cdot \frac{n_{puddle}}{2} \right) \cdot \frac{dV}{dV_{CH}} dV_{CH}}{L + \mu_n \left| \frac{1}{\Omega} \int_{V_{CH0}}^{V_{CHL}} \sqrt{\frac{\pi\alpha}{q}} V_{CH}^2 + \frac{\pi n_{puddle}}{2} \cdot \frac{dV}{dV_{CH}} dV_{CH} \right|} \quad 3.13$$

Lorsque, deux types de porteurs seront présents, l'équation du courant d'électrons se transformera de la manière suivante :

$$= \mu_n W \frac{\int_{V_{CH_0}}^{V_{CH_D}} \left(\alpha V_{CH}^2 + q \cdot \frac{n_{puddle}}{2} \right) \cdot \frac{dV}{dV_{CH}} dV_{CH} + \int_{V_{CH_D}}^{V_{CH_L}} q \cdot \frac{n_{puddle}}{2} \cdot \frac{dV}{dV_{CH}} dV_{CH}}{L + \mu_n \left[\frac{1}{\Omega} \left(\int_{V_{CH_0}}^{V_{CH_D}} \sqrt{\frac{\pi \alpha}{q}} V_{CH}^2 + \frac{\pi n_{puddle}}{2} \cdot \frac{dV}{dV_{CH}} dV_{CH} + \int_{V_{CH_D}}^{V_{CH_L}} \sqrt{\frac{\pi n_{puddle}}{2}} \cdot \frac{dV}{dV_{CH}} \right) \right]}$$

La solution complète est détaillée dans [174].

Schéma de répartition de la charge :

Les premiers modèles développés au sein de notre laboratoire [165] et par d'autres équipes [178]–[180] utilisaient un modèle dynamique de type Meyer basé sur deux capacités C_{GS} et C_{GD} dérivées de la charge par rapport aux tensions V_{GS} et V_{DS} . Le modèle de Meyer donne directement la valeur de C_{GS} et C_{GD} . Ce modèle, pratique pour la modélisation petit signal qui utilise les dérivées des termes « grand signal » soit par exemple la transconductance ou la capacité, n'est pas adapté pour la modélisation en grand signal. En effet, un modèle grand signal travaillera non pas avec les transconductances et capacités mais directement avec le courant et la charge qui seront ultérieurement dérivées de manière numérique par le simulateur lors d'une simulation AC. Ainsi, le modèle de Meyer oblige à recalculer la charge en utilisant l'expression approximative $Q=C*V$, l'expression plus précise utilisant l'intégrale n'ayant pas de solution. Ce modèle de type Meyer ne permet pas une conservation de la charge et peut mener à des problèmes de convergence spécialement lors de simulation transitoire. Pour étendre les capacités de notre modèle, dans le cadre de la thèse de J. D. Aguirre Morales, nous avons proposé d'implémenter un modèle de type Ward-Dutton très utilisé pour les modèles de type MOSFET sur Silicium. La répartition de la charge sur les quatre terminaux peut se faire de la façon suivante (voir eq. 3.15 à eq. 3.18). On peut noter que la répartition entre la source et le drain est faite de manière empirique en intégrant avec une fraction de la charge croissant linéairement à mesure que l'on se rapproche du terminal.

$$Q_G = \frac{W \cdot C_{top}}{C_{top} + C_{back}} \left[C_{back} L (V_{GS_i} - V_{BS_i} + qN_F) - \int_0^L (Q_{net} + q \cdot n_{puddle}) dx \right] \quad 3.15$$

$$Q_B = \frac{W \cdot C_{back}}{C_{top} + C_{back}} \left[C_{top} L (V_{BS_i} - V_{GS_i} - qN_F) - \int_0^L (Q_{net} + q \cdot n_{puddle}) dx \right] \quad 3.16$$

$$Q_D = W \int_0^L \frac{x}{L} (Q_{net} + q \cdot n_{puddle}) dx \quad 3.17$$

$$Q_S = -(Q_G + Q_B + Q_D) \quad 3.18$$

La solution analytique à ce problème est détaillée dans [174].

Contrairement au modèle de Meyer, le modèle de Ward-Dutton donne directement la charge sur chaque nœud ce qui est plus direct en terme d'implémentation dans le modèle compact. En effet, l'implémentation de la charge dans le schéma équivalent (voir Fig. 67a) se réalise simplement (voir Fig. 67b):

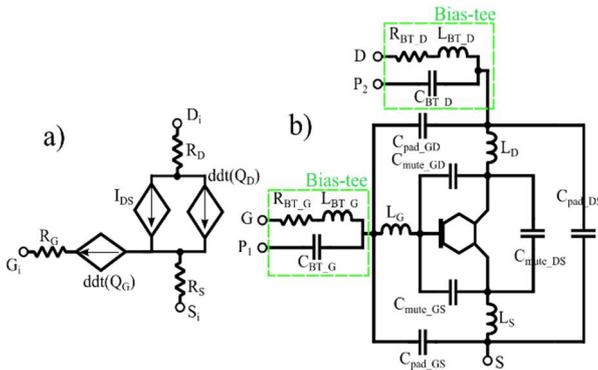


Fig. 67. (a) Intrinsic large-signal equivalent circuit and (b) Large-Signal equivalent circuit of the m-GFET in measurement conditions.

branch (dii, sii) b_ds;
 branch (gii, sii) b_gs;
 $I(b_ds) <+ ddt(Q_D)$
 $I(b_gs) <+ ddt(Q_G)$

Fig. 68. Implémentation du modèle de charge dans le code Verilog A.

Des exemples de modélisation de transistors provenant de l'ITEMN sont montrés en suivant :

Le premier GFET utilise du graphène de type croissance CVD transféré sur un substrat SOI. Ce transistor CVD GFET utilise deux doigts de grille en aluminium sur lesquels une couche de 3nm Al_2O_3 a été crûe par oxydation. Cette couche sert d'oxyde de grille. La couche de graphène est déposée sur cet oxyde. Le transistor a une largeur de $2*12\mu m$ et une longueur de grille de 300nm. Les caractérisations et la modélisation ont été menées à l'IMS et sont présentées en Fig. 69.

Le second GFET est fabriqué sur wafer SiC. Cette fois-ci, l'oxyde de grille de 12 nm d' Al_2O_3 est déposé directement sur la couche de graphène. Le transistor a une largeur de $2*24\mu m$ et une longueur de grille de 270nm. Les caractérisations et la modélisation ont été menées à l'IMS et sont présentées en Fig. 70.

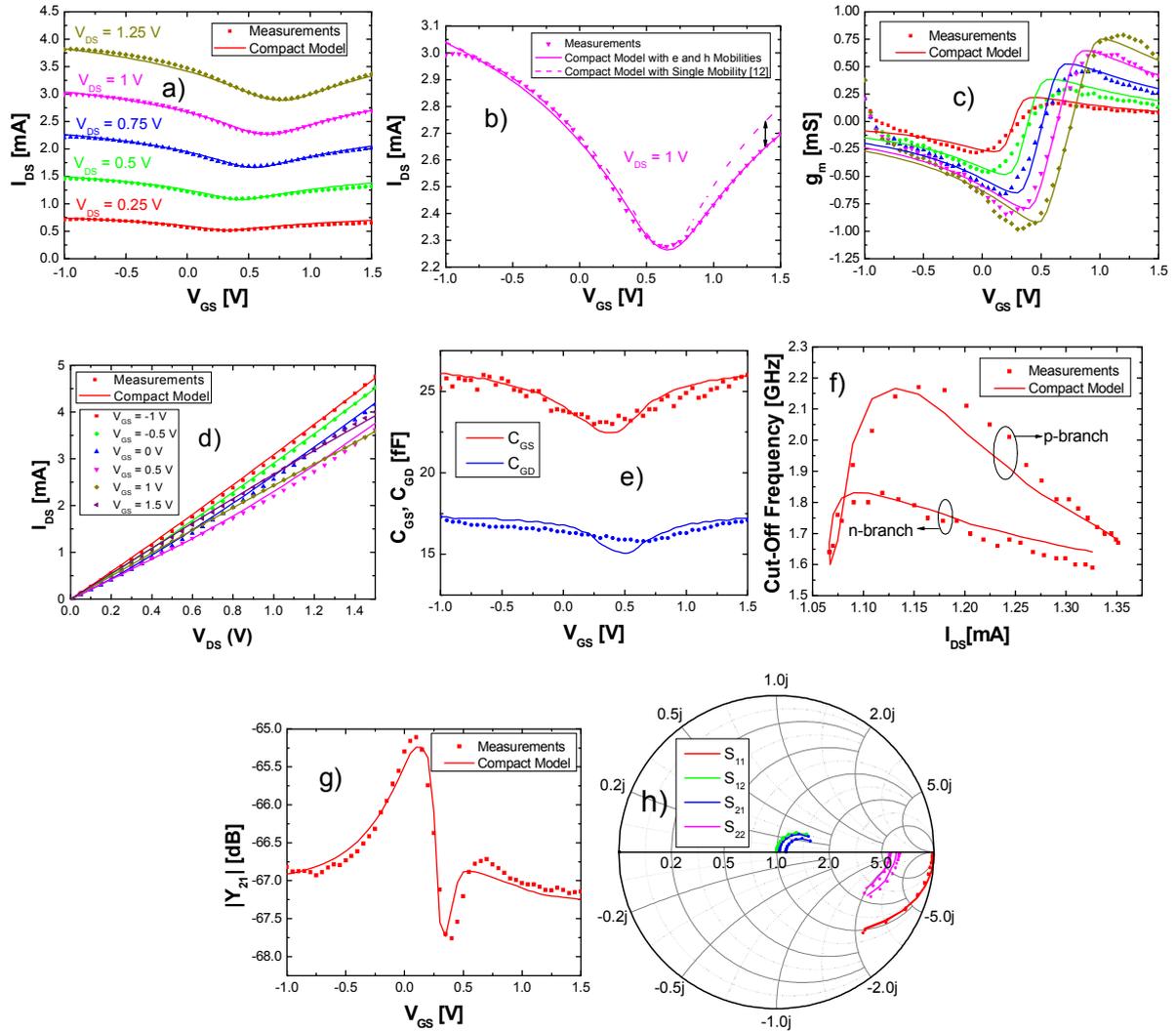
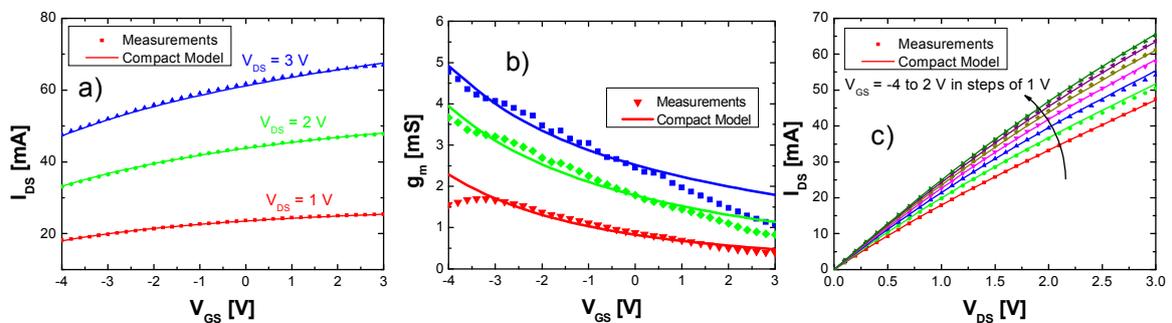


Fig. 69. Comparaison des caractéristiques DC (a) et (b) I_D - V_{GS} , (c) g_m - V_{GS} et (d) I_D - V_{DS} . (b) Evolution du modèle compact par rapport au modèle précédent. Comparaison des caractéristiques AC (e) C_{GS} , C_{GD} (f) fréquence de coupure f_T and (g) $|Y_{21}|$ en fonction de V_{GS} (variant de -1 to 1.5 V et $V_{DS} = 500$ mV) @ 4 GHz; (h) Paramètres S pour $V_{GS} = 250$ mV et $V_{DS} = 500$ et 1.5 V pour des fréquences allant de 400 MHz jusqu'à 40 GHz. Mesures (symboles) et modèle compact (lignes continues)



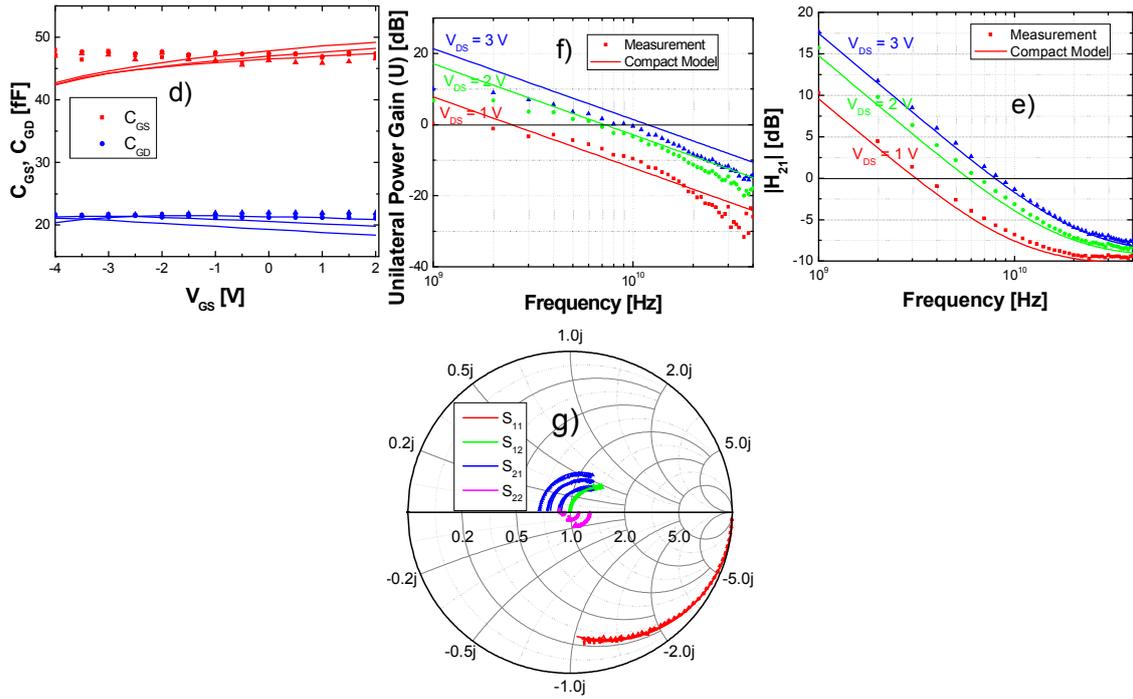


Fig. 70. : Comparaison des caractéristiques DC (a) I_{DS} - V_{GS} , (b) g_m - V_{GS} et (c) I_{DS} - V_{DS} . Comparaison des caractéristiques AC (d) C_{GS} , C_{GD} en fonction de V_{GS} pour $V_{DS} = 1$ to 3 V par pas de 1 V; (e) ($|H_{21}|$), f) Gain en puissance unilatéral (U) et (g) Paramètres S pour $V_{GS} = -2$ V et $V_{DS} = 1, 2, 3$ V pour une gamme de fréquence allant de 1 GHz jusqu'à 40 GHz. Mesures (symboles) et modèle compact (lignes continues)

4. Design de circuit et applications du modèle compact

a. BalUn circuit with GFET

Un des concepts clé en conception de circuit à très haute fréquence est l'utilisation de signaux électroniques différentiels. L'architecture de type BalUn offre la possibilité de transformer un signal « single ended » en signal différentiel. D'un point de vue circuit, la topologie différentielle offre différents avantages telle que l'immunité au bruit en mode commun ou la réduction de la distorsion d'ordre pair par exemple.

Dans le cadre du projet GRADE, T. Zimmer, H. Happy et moi avons imaginé une première structure de type BalUn actif à partir de transistors au graphène (Fig. 71a). Cette topologie innovante a été modélisée, développée et mesurée. Suite à la démonstration de fonctionnalité du circuit en utilisant des résistances discrètes, un brevet a été déposé [181]. Les mesures de ce circuit n'ont pu se faire que dans une gamme de fréquence limitée de l'ordre du MHz [182]. Finalement, j'ai imaginé une seconde cellule de type BalUn (Fig. 71b). Ces travaux ont été publiés dans [182].

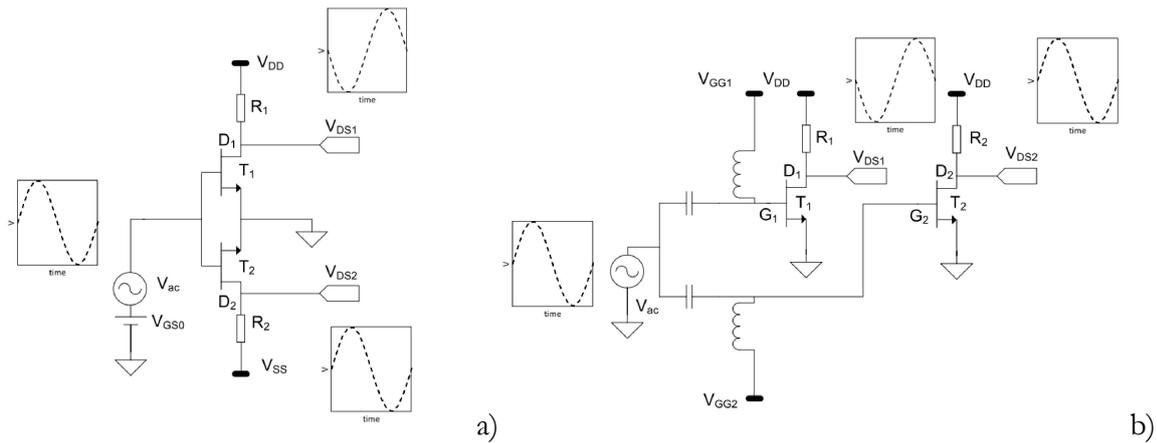


Fig. 71. Cellules circuits permettant de faire une fonctionnalité de type « BalUn »

Plus récemment, j'ai dessiné une version intégrée du circuit BalUn (voir Fig. 72) utilisant la topologie de la Fig. 71a. Les mesures ont montré que ce circuit était fonctionnel (voir Fig. 73a) et permettait d'obtenir deux sorties déphasées de 180° avec une erreur de phase inférieure à 10° jusqu'à 6 GHz. La différence de gain est inférieure à 0.5dB jusqu'à 6 GHz (voir Fig. 73b). Il est intéressant de noter que ce type d'architecture peut être réutilisé sur d'autres composants émergents.

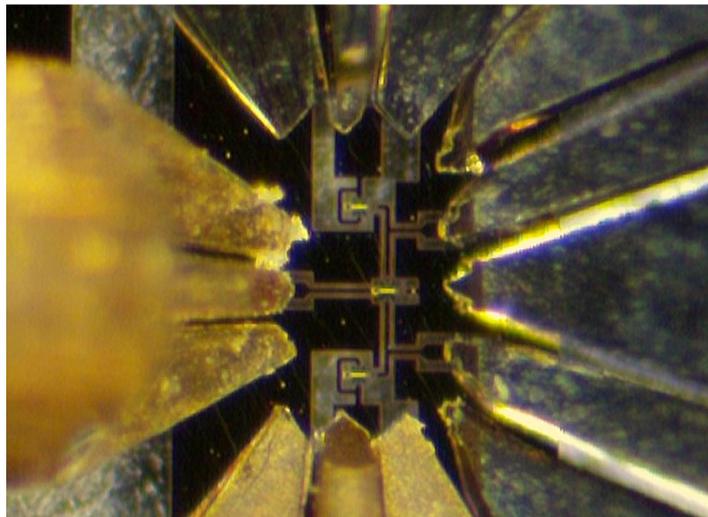


Fig. 72. Circuit BalUn MMIC en graphène (SiC) conçu et mesuré à l'IMS et fabriqué à l'IEMN. Les deux résistances sont remplacées par deux transistors montés en charge active

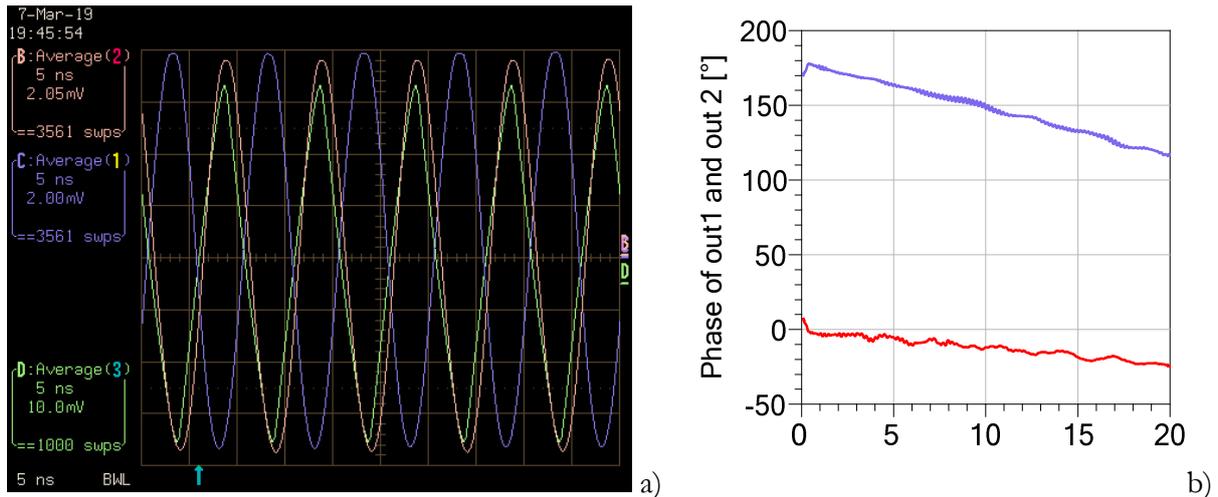


Fig. 73. a) ; b) Forme d'onde mesurée à l'oscilloscope, voie D input, voies B et C output, mesuré à $f=100\text{MHz}$; b) mesure de la différence de phase mesurée jusqu'à 20 GHz.

b. Circuit amplificateur avec un GFET

Le principal objectif du projet ANR GRACY consistait à développer un amplificateur faible bruit. L'amplification avec les transistors GFET est un des points bloquant l'évolution de la technologie graphène pour les fonctions RF. En effet, malgré des fréquences de transition et fréquence maximum d'oscillation d'un niveau correct pour des technologies de laboratoire, peu de circuits amplificateurs ont été développés ; or, cette fonction est à la base de l'électronique analogique ou RF. La fabrication de circuit MMIC est relativement complexe car elle nécessite d'intégrer les éléments passifs sans détériorer les performances du transistor. Après des premiers essais se limitant à la simulation (Thèse J. D. Aguirre Morales, Tony Hanna (financement UB 2014-2017)), nous avons réalisé un circuit d'adaptation d'impédance en PCB et avons connecté le PCB aux transistors via une pointe RF [158]. Cette méthode assez rustique et faible en terme de performances a eu le mérite de montrer pour la première fois en France une fonction d'amplification puis nous a permis de valider la précision du modèle. Plus récemment, l'IEMN a développé une technologie permettant l'adjonction d'éléments passifs, capacités, inductances et ponts à air sur la technologie graphène. Nous avons développé différents jeux de paramètres pour le modèle sur trois géométries de transistors pour évaluer la meilleure géométrie à utiliser puis, une fois sélectionnée, trois jeux de paramètres ont été développés sur une même géométrie pour évaluer l'impact de la dispersion. Suite à cette étude, nous avons proposé un design de layout au plus proche de la technologie IEMN en utilisant la simulation circuit combiné à la simulation électromagnétique.

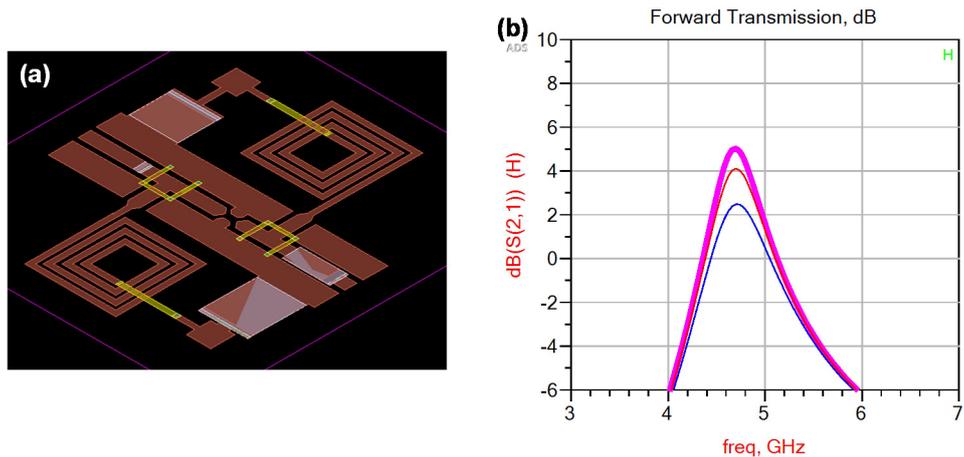


Fig. 74. A) Layout du circuit, b) Gain S_{21} pour différentes épaisseurs de métal du BEOL.

Le layout et les résultats de simulation sont donnés en Fig. 74. Le circuit est réalisé en Fig. 75. Malheureusement, les performances du GFET s'avèrent être trop faibles par rapport au précédent procédé qui avait servi de référence pour la modélisation des transistors, et le circuit ne fonctionne pas comme attendu. Par contre, ceci nous a permis de valider les performances des éléments passifs ainsi que la précision de leur modèle.

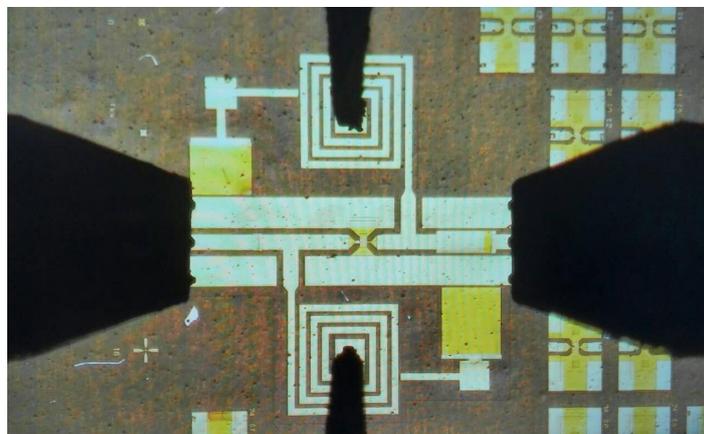


Fig. 75. Circuit fabriqué et mesuré sous pointes à l'IEMN (Les ponts à air ne sont pas encore implémentés sur cette technologie)

D. Conclusion – transistors émergents

20 ans après le développement du premier transistor à base de carbone, les activités de recherche sont toujours en cours et les applications directement liées au transistor découlant des technologies émergentes de type graphène ou nanotube de carbone sont jusque-là quasi inexistantes à l'exception de quelques sociétés dont Nantero qui fabrique des mémoires. En effet, l'industrialisation de ces technologies nécessite soit de rentrer directement en compétition avec les technologies silicium ce qui est très difficile aux vues des performances des technologies Si, soit de proposer une innovation majeure en terme de fonctionnalité ou une performance nettement supérieure sur un point précis pour cohabiter sur le même substrat.

Les limitations sont différentes dans le cas du nanotube de carbone et dans le cas du graphène. Dans le cas du CNTFET, les caractéristiques physiques sont quasi idéales pour l'application transistor. En effet, le nanotube présente une bande d'énergie interdite, un comportement quasi balistique et d'autres caractéristiques comme sa conductivité thermique par exemple. Malheureusement, sa principale limitation vient du procédé technologique. En effet, la fabrication d'un transistor performant et reproductible nécessite l'alignement de nanotubes avec une densité très forte tout en conservant la chiralité des nanotubes pour éviter la présence de nanotubes métalliques. De plus, la fabrication d'un circuit nécessite la fabrication de transistors à très grande échelle avec un taux d'échec extrêmement faible.

Dans le cas du Graphène FET, même si le procédé technologique n'est pas encore mature des voies semblent être possible pour améliorer ce procédé, réduire la dispersion et envisager de fabriquer ces transistors à plus grande échelle. Malheureusement, dans le cas de ce matériau les limitations semblent être physiques, en effet, l'absence de bande interdite d'énergie banni son utilisation pour les applications numériques et aussi empêche un bon fonctionnement en mode amplification pour les applications RF. De plus si dans des conditions idéales son comportement est balistique, dès que le graphène est déposé sur son substrat il rentre en forte interaction avec ce dernier limitant fortement ses performances (à l'exception du H-BN).

Nos activités de recherche sur cette thématique ont permis de mieux appréhender le fonctionnement des transistors pour optimiser le procédé technologique et évaluer les performances de ces derniers à l'échelle du circuit. Nous avons aussi contribué au développement de circuits innovants comme les circuits logiques reconfigurables ou les BaLuns à base de GFET.

Les statistiques de citations de deux publications majeures [112] et [183] sur les nanotubes de carbone sont ici utilisées pour montrer la dynamique et l'évolution dans le temps de l'intérêt pour cette thématique. La Fig. 76 montre en effet une forte évolution de cette thématique dans la première décennie suivie d'une légère chute liée à l'apparition de nouveaux thèmes de recherche et d'un déplacement des centres d'intérêt notamment vers le graphène. Malgré cela, l'activité sur les nanotubes se maintient avec des publications récentes de Stanford, IBM et de l'université de Pékin.

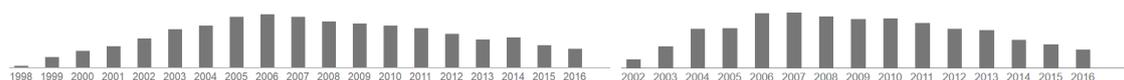


Fig. 76. Distributions du nombre de citations dans le temps de [112] et [183] cité un total de 6285 fois et 3292 fois respectivement. (Google Scholar)

Sur la thématique des dispositifs carbone, nous avons publiés 29 revues à ce jour. Ces publications sur les transistors émergents sont bien citées en comparaison de celles sur les composants avancés HBT SiGe pour des raisons de taille de communauté et de leur dynamisme et ceci malgré un avenir très incertain de ces technologies émergentes que sont les CNTFET et le GFET.

IV. Projet

Pendant plusieurs décennies, la partie du spectre concernant le Sub-THz (100GHz à 500GHz) n'a été utilisée que dans des applications de niche et dans la recherche fondamentale. Depuis moins d'une décennie, le domaine des ondes THz est perçu comme un nouveau champ de développements scientifiques et aussi d'applications ; il est encore largement inexploré et inexploité. En effet, au niveau industriel, la mise en œuvre de techniques basées sur les ondes THz reste marginale car celles-ci dépendent encore, à l'heure actuelle, pour une large part de procédés optiques et/ou électro-optiques extrêmement coûteux et encombrants lesquels sont incompatibles avec une production de masse et des applications grand public. En imaginant que l'utilisation de technologies électroniques à base de semi-conducteurs apporte ne serait-ce qu'une fraction des réductions de coût et d'encombrement qu'elles ont apporté à la téléphonie mobile puis à l'internet, on imagine aisément le potentiel formidable de création, d'innovation et de richesses que celles-ci pourraient apporter au domaine des applications THz et Sub-THz. Par exemple, les applications d'imagerie THz et Sub-THz actuelles, que ce soit pour des applications de sécurité aéroportuaires, médicales ou industrielles, pourraient être largement adoptées en passant d'un pixel électro-optique coûtant plusieurs centaines de milliers d'Euros et pesant plusieurs kg [184] à une multitude de pixels à base de semi-conducteurs similaires à ceux existant actuellement dans les caméras de Smartphone [185]. Ci-dessous est donné un exemple d'imagerie THz (Fig. 77) d'un tissu cancéreux réalisé au laboratoire IMS dans le cadre du projet NearSense auquel mon groupe participe. Un second exemple d'application et de réduction d'échelle grâce aux technologies sub-THz, qui sera largement exploité et ceci à plus court terme est le radar automobile pour le transport intelligent. En effet, si dans le passé, le radar était un système coûteux, complexe et encombrant réservé à des applications spécifiques, l'augmentation en fréquence de la technologie va le faire passer du système encombrant à une simple puce de type « sensor » (voir Fig. 78) qui, à l'avenir, pourra être utilisée à grande échelle dans l'automobile, les drones et certainement d'autres applications du « transport intelligent ».

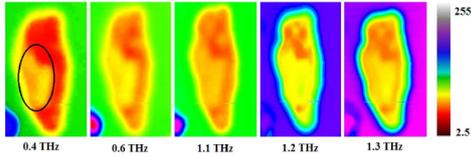


Fig. 77. Tissu cancéreux mesuré par imagerie THz dans le cadre du projet NearSense au laboratoire IMS (groupe Nanoélectronique)



Fig. 78. Source : "79 GHz CMOS RADAR Chips for Cars from IMEC and INFINEON", Semiconductor Manufacturing & Design

La Fig. 79a extrait de [186] présente un état de l'art des technologies ayant un potentiel pour les technologies THz en fonction de trois critères : leur performance (fonctionnalité / sensibilité), leur capacité à être associées à une électronique de commande et finalement leur coût. En effet, si auparavant, le critère donnant la puissance en fonction de la fréquence était prépondérant (voir Fig. 79b), cette caractéristique est maintenant fortement pondérée par le coût, le « scaling » et la capacité à associer directement sur la puce le traitement numérique. Ainsi en regardant, l'ensemble de ces critères, les technologies CMOS Si et BiCMOS SiGe sont particulièrement bien placées. En effet, grâce à la fabrication de transistors bipolaires à hétérojonction (TBH) haute performance et aussi aux technologies CMOS en technologie Silicium, la communauté scientifique et industrielle mondiale commence à s'intéresser fortement aux dispositifs électroniques fonctionnant dans ce domaine de fréquence. Ces progrès technologiques concernant la fabrication de ces TBHs en Silicium-Germanium en font actuellement des candidats idéaux pour la conception de circuits dédiés aux applications Sub-THz émergentes, qui répondent aux défis sociétaux des décennies à venir. IHP Microelectronics, un de nos proches partenaires, a en effet fabriqué des transistors fonctionnant au-delà de 700 GHz. Ce record mondial, qui a été publié à IEDM 2016, a été confirmé par des mesures réalisées sur notre plateforme. Ainsi, la société Terasense basée à San José et spécialisée dans les imageurs THz affiche officiellement sur leur site internet leur objectif de remplacer leur technologie GaAs coûteuse par une technologie silicium moins chère et relativement diffusée, ce qui permettra d'intégrer sur la même puce la détection et l'amplification ainsi qu'une augmentation du nombre de pixels et une simplification de la production [Terasense.com].

Grâce aux technologies silicium, si nous pouvons transformer les technologies THz présentes dans les laboratoires en des technologies compactes, complexes, reconfigurables et le tout à coût

contenu tel que nous sommes passés de l'électronique discrète à l'électronique intégrée, se profilent alors à l'horizon de nombreuses possibilités d'applications.

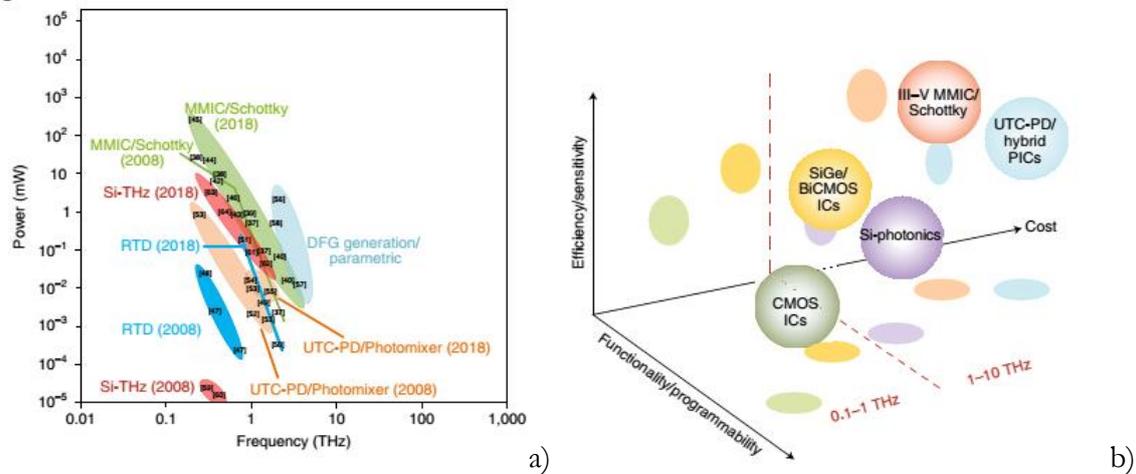


Fig. 79. a) Progrès des sources THz durant les dernières décennies, b) Illustration qualitative des technologies ayant un potentiel fort pour les applications THz en fonction de trois critères, performances en termes d'efficacité, sensibilité, du coût et de leur fonctionnalité et leur capacité à être programmer extrait de [186].

Cette constante augmentation des performances des technologies silicium nécessite une évolution coordonnée des capacités et des connaissances en termes de caractérisation électrique, modélisation et dessin de structure. L'objectif principal de mon projet de recherche **vise à développer ces moyens, ces connaissances et ces méthodologies de mesure et de modélisation indispensables à l'émergence des technologies de semi-conducteur silicium dans le domaine THz.** Au niveau Européen, la disponibilité de ces technologies est un point stratégique pour l'indépendance des intégrateurs de système électronique européen.

A. Court et moyen terme

1. Caractérisations de transistors au-delà de 140 GHz

Mes travaux de caractérisation s'attacheront à développer des méthodes de paramètres S sous pointes et sur substrat silicium jusqu'à 500GHz et au-delà. Pour rendre les mesures précises et répétables, les principaux verrous sont de : i) maîtriser la qualité du contact entre la sonde de mesure et le plot de contact en aluminium ; ii) pousser le plan de référence de la mesure du transistor au plus proche de la zone intrinsèque ; iii) minimiser l'incertitude de mesure liée aux erreurs de positionnement de pointes et aussi à la dispersion des métallisation servant à faire le kit de calibrage ; iv) s'affranchir de l'impact des structures adjacentes dont l'influence est grandissante avec la fréquence ; v) mieux comprendre l'influence de la géométrie de la pointe qui a un impact

modéré mais présent sur la mesure notamment à cause d'un couplage entre la sonde, le substrat et entre sondes. Si l'étude de certains points a d'ores et déjà commencé depuis 2016, il est nécessaire d'approfondir ces études pour clarifier les méthodologies de mesures et règles de conception afin d'obtenir des mesures répétibles et utilisables pour l'industrie.

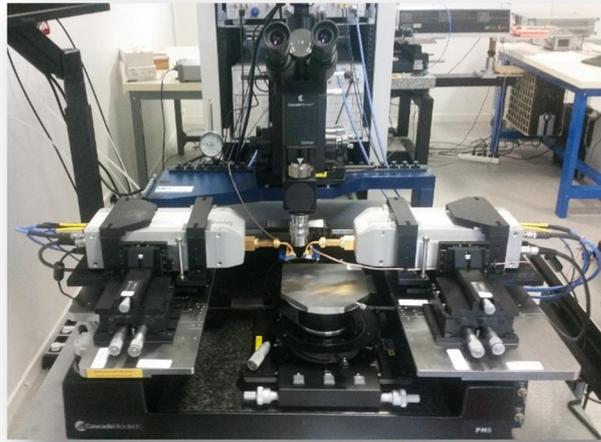


Fig. 80. Banc de mesure de la plateforme NANOCOM sous pointe fonctionnant jusqu'à 500 GHz

a. Simulation EM

Pour atteindre ces objectifs, un travail de simulation conséquent permettra de mieux comprendre et dé-corréler les phénomènes avérés des incertitudes de mesure. En effet, notre méthodologie de simulation décrite dans le chapitre 1 (voir Fig. 33) qui permet de prendre en compte une partie du système de mesure, c'est-à-dire au moins jusqu'aux sondes, permettra de clarifier chacun des points cités plus haut indépendamment les uns des autres et donc de s'affranchir de l'incertitude liée à la mesure. Cette méthodologie de simulation permet de comparer des simulations calibrées sur ISS ou sur plaque puis épluchées et de comparer le résultat final à la simulation de la structure intrinsèque. En traitant les données de simulation de la même manière que les données de mesure, nos comparaisons seront au plus proche de la réalité. Les erreurs de positionnement horizontal ou de contact seront nulles dans ces études de simulation contrairement à l'expérience ou, au contraire, pourront être volontairement introduites dans la simulation pour une étude de dispersion liée à l'application de l'utilisateur.

b. Contact

La difficulté de premier ordre concerne la qualité de contact sur plot aluminium. En effet, quelques secondes suffisent pour voir croître une vingtaine d'Angstrom d'oxyde d'Aluminium sur

un plot à l'air ambiant [187]. L'épaisseur d'oxyde d'aluminium peut atteindre 60 Angstrom. Cette croissance est de plus favorisée par l'échauffement thermique local lorsqu'une puissance électrique est dissipée par un mauvais contact.

Une force appliquée sur la pointe de 5 à 10 grammes est suffisante pour casser l'oxyde d'aluminium. L'utilisateur doit jouer manuellement sur la pression de la pointe pour ajuster le contact ce qui peut entraîner une différence de pression de contact de structure à structure. Malheureusement, cet oxyde d'aluminium vient aussi polluer la pointe, imposant un nettoyage régulier qui peut induire une usure prématurée de la pointe. Aussi, la stabilité de ce type de contact est très sensible aux vibrations mécaniques et diminue la durée de vie de ces contacts, ce qui peut générer des incohérences lors d'une mesure longue de paramètres S de transistor à différentes polarisations.

Nous avons prévu d'introduire une dispersion de la qualité de contact dans la simulation pour évaluer son impact. Cette étude en simulation sera recoupée avec des tests répétés ayant pour but d'évaluer la dispersion de mesure contact après contact. Différents types de sondes utilisant des matériaux différents seront finalement investigués. En fonction du résultat, nous envisageons des dépôts d'or sur les plots aluminium pour améliorer la qualité du contact.

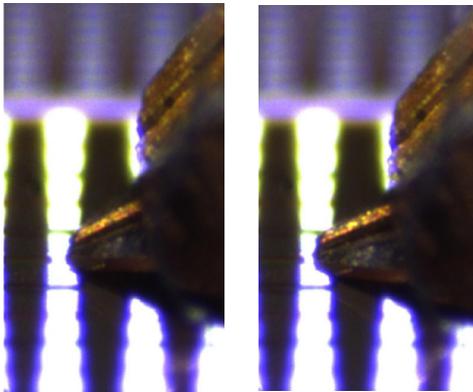


Fig. 81. Image d'une pointe qui se déforme en fonction de la force du posé (réalisée sur notre plateforme)

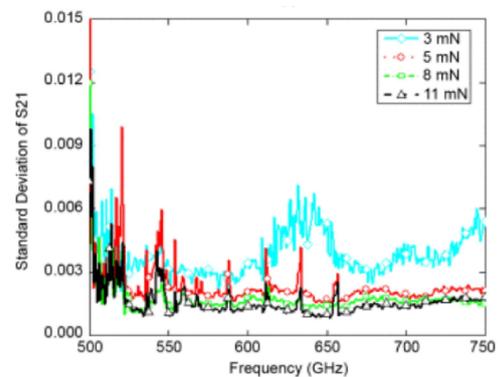


Fig. 82. Déviation des paramètres S en fonction de la force du posé sur plot or [188]

Nous envisageons aussi de prendre en compte l'effet des déformations de la pointe sur le résultat de mesure (voir Fig. 81). En effet, comme le montre les images relevées lors d'une de nos expériences, ces pointes se déforment légèrement lors du contact en fonction de la pression exercée par l'utilisateur (voir Fig. 81). Il est clair que cette déformation va entraîner un couplage différent si chaque posé n'est pas réalisé avec une pression constante. C'est la raison pour laquelle la marque Dominion a publié de nouvelles pointes basées sur des techniques MEMS qui embarquent des

capteurs de contrainte mécanique pour améliorer la répétabilité du contact mécanique [189] [188]. De plus, leurs pointes sont utilisées sur une station semi-automatique pour un meilleur contrôle du positionnement de la pointe. Actuellement, seule la taille de la marque de la pointe sur le plot nous informe de la pression exercée. Il est difficile de reproduire exactement la même empreinte de campagne de mesure en campagne de mesure, alors qu'un capteur donnant la contrainte mécanique permettrait de mieux contrôler ce paramètre. De plus, après de premières études, il semble envisageable de modifier notre station sous pointe pour y ajouter un positionneur en z avec un pas sub-micrométrique permettant de mieux contrôler la pression exercée sur la pointe.

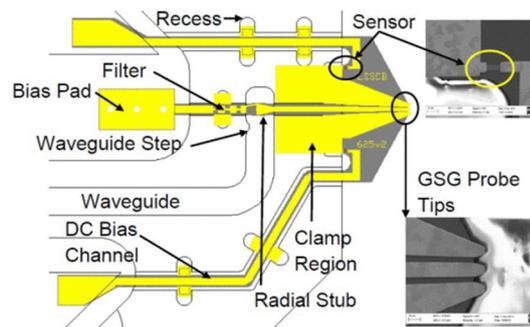


Fig. 83. Schéma d'une pointe 500-750 GHz pour la mesure sur plaque intégrant un capteur de pression [188]

Par ailleurs, la mesure de paramètres S sans contact semble envisageable et très intéressante dans le principe comme la société Teraprobe avec l'université de l'Ohio l'ont démontrée. Cette méthode permet de s'affranchir de pointes coûteuses sur quatre bandes pour atteindre 500 GHz et de supprimer les erreurs de contacts. Malheureusement, la démonstration réalisée dans [190], [191] de la mesure d'un transistor HEMT méthode semble consommer beaucoup d'espace sur le wafer. Il faut plus de 3mm de longueur pour positionner la structure, les lignes d'accès et surtout les antennes qui remplacent les plots de contact. Nous investiguerons des possibilités de rendre plus compact cette technique via la simulation EM.

c. Méthode de calibrage et épluchage

En second lieu, les méthodes de calibrage et le design de kit de calibrage innovant on – wafer peuvent être évalués en termes de précision. Nous proposerons des méthodes de calibrage dont le plan de référence sera situé au plus près du transistor comme par exemple la méthode 3D TRL ou en travaillant sur les niveaux de métaux inférieurs. En effet, il est nécessaire de minimiser l'étape d'épluchage qui exige des mesures supplémentaires et introduit une erreur cumulative au résultat final. L'augmentation des étapes de mesures impose un nombre de contacts de pointes supplémentaires ainsi qu'un accroissement de la durée de mesure réduisant la précision du résultat.

Par ailleurs, l'épluchage utilise dans la plupart des cas des éléments non distribués qui oblige ainsi à réduire au maximum la dimension de ces éléments par rapport à la longueur d'onde du signal. Si le plan de référence de calibrage ne peut être suffisamment rapproché, nous évaluerons des méthodes d'épluchages plus complexes utilisant des éléments distribués.

d. Optimisation du layout et couplage

Nos premières mesures et simulations ainsi que quelques études bibliographiques (sur alumine [192] ou IIIV, voir Fig. 84) ont montré que les structures voisines ont une influence non négligeable sur le résultat de la mesure d'un DUT alors que celui-ci devrait être totalement indépendant des contributions voisines. Ainsi, le dessin du plot sera amélioré pour confiner au mieux le signal EM. Aussi les distances inter-structures seront optimisées pour réduire le couplage sonde-substrat et le couplage inter-structure. Différents types de sondes seront investigués pour clarifier l'impact de leur géométrie sur le couplage avec le substrat, les structures adjacentes et le crosstalk. En effet, le comportement des pointes microstrip de la marque Infinity se comporte très différemment des pointes CPW de marque Picoprobe, autant d'un point de vue électromagnétique que d'un point de vue mécanique. La technologie de type MEMs utilisée pour la fabrication des pointes de marque Dominion sera également investiguée.

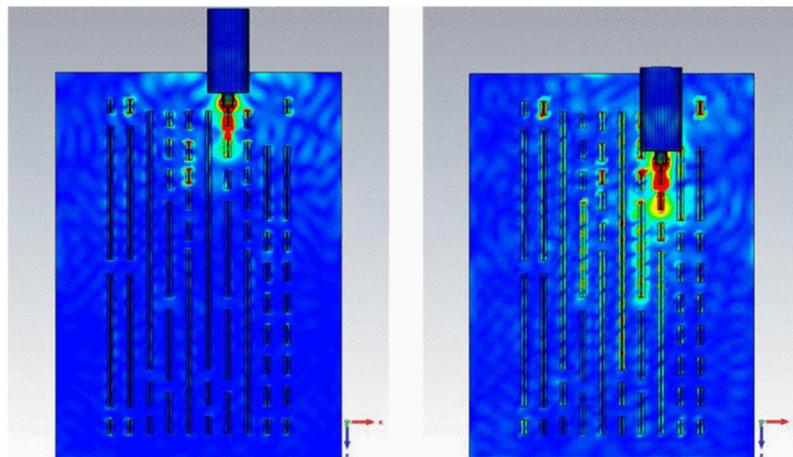


Fig. 84. Simulation du module du champ électrique lorsque la sonde est posée sur un même « thru » mais à deux positions différentes [192] à 85 GHz

Le calibrage sur plaque suppose une bonne maîtrise des dimensions des lignes. Hors, la dispersion d'un procédé silicium est relativement important, de l'ordre de 10% sur la largeur d'une ligne sur une technologie 28nm d'après le « design rules manual ». Aussi, la dispersion des métallisations de la plaque de silicium sera étudiée pour évaluer son influence sur le résultat des mesures.

e. Conclusion

Les compétences acquises au cours de la dernière décennie sur la partie caractérisation avec l'encadrement de la thèse de Manuel Potéreau ainsi que les compétences de mes collègues T. Zimmer et Marina Deng sur cette thématique de la caractérisation me confortent sur les chances d'atteindre mes objectifs sur cette partie. De plus, depuis 2015, mon fort investissement tant d'un point de vue expérimental que d'un point de vue simulation sur la mesure au-delà de 110 GHz m'a permis d'obtenir des résultats de bons niveaux et des premières mesures jusqu'à 500 GHz. Par ailleurs, l'investissement matériel, des bancs de mesures jusqu'à 500 GHz consolide la partie développement de méthode de caractérisation jusqu'à 500 GHz. D'un point de vue dispositif sous test et développement de véhicule de test, le laboratoire commun STM-IMS ainsi que mes collaborations avec IFX et IHP confortent nos capacités pour la fabrication de futur kit de calibrage, de transistors de test et éventuellement de circuit démonstrateur.

Finalement, nos mesures seront comparées avec d'autres acteurs du domaine notamment au sein de projets européens comme Taranto. Les résultats de ces mesures seront exploités pour le développement de modèles compacts pour la conception de circuits dans la gamme THz.

2. Modélisation des technologies HBT SiGe

D'après Voiginescu et al. [193], les simulations TCAD et atomistiques confirment qu'un scaling de la technologie CMOS est possible théoriquement jusqu'à 5nm mais que les interactions de surface et les effets quantiques mèneraient à une dégradation des performances hautes fréquences en dessous de 10nm. D'après ces simulations, les performances en termes de f_T plafonneraient aux alentours de 600 GHz. En revanche, celles des HBT SiGe pourraient continuer à croître jusqu'en 2030 avec une f_T de 0.78 THz et une f_{MAX} de presque 2 THz. Les travaux de la thèse Tuan Van Vu ont montré que les performances pourraient d'ores et déjà s'approcher du THz sur le nœud 28nm (FD SOI) alors que nous sommes aux alentours de 400 GHz de f_{MAX} sur la technologie 55nm de chez STMicroelectronics (voir Fig. 85).

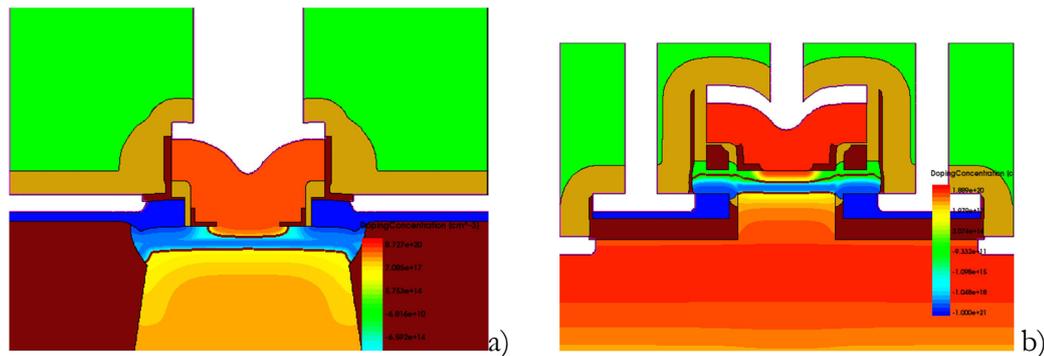


Fig. 85. Structure TCAD du HBT SiGe dans la technologie a) B55 et b) dans la technologie B28FDSOI.
Thèse Tuan Van VU.

Sur la partie modélisation des technologies B55, de nouvelles difficultés apparaissent d’ores et déjà au-delà de 110 GHz, car des effets distribués latéraux comme le « lateral emitter current crowding » et des phénomènes de déplacement verticaux non quasi statiques (NQS) de charges entrent en jeu. La Fig. 86 montre une mesure et le modèle associé jusqu’à 500 GHz d’un HBT SiGe pour des points de polarisation jusqu’au pic de la f_T . Si lorsque l’on regarde le gain en puissance et le gain en courant, le modèle et la mesure semblent cohérents, les paramètres S montrent dans certains cas un désaccord entre mesure et simulation comme le paramètre $|S_{22}|$ par exemple. Des modèles NQS et distribués ont été développés mais leur validation n’a pu se faire jusqu’à présent qu’uniquement via des outils de simulation par manque de données expérimentales [194], [194]–[196].

De plus, la montée en fréquence des transistors HBTs est suivie d’une dissipation thermique forte au sein de ces composants imposant une modélisation de plus en plus précise de ces effets avec une meilleure prise en compte de la dépendance en température des matériaux, des métallisations du BEOL. Finalement, le changement d’architecture des composants de la nouvelle génération avec par exemple le HBT en 28nm nécessite de repenser la modélisation de ces transistors tant d’un point électrique que thermique. Au premier ordre et d’un point de vue thermique, la suppression des tranchées profondes d’isolation et leur remplacement par des tranchées courtes nécessite de modifier les modèles « scalables ». Aussi, l’amincissement des couches actives modifie la conductivité thermique de ces dernières par effet de confinement des phonons [68]. D’un point de vue électrique, la validité du modèle compact basée sur l’équation de dérive-diffusion devra être réévaluée car l’épaisseur de base peut laisser supposer un transport quasi balistique des porteurs. Concernant la partie modélisation, les outils de TCAD seront utilisés pour mieux comprendre les mécanismes mis en jeu dans ces transistors à très haute fréquence.

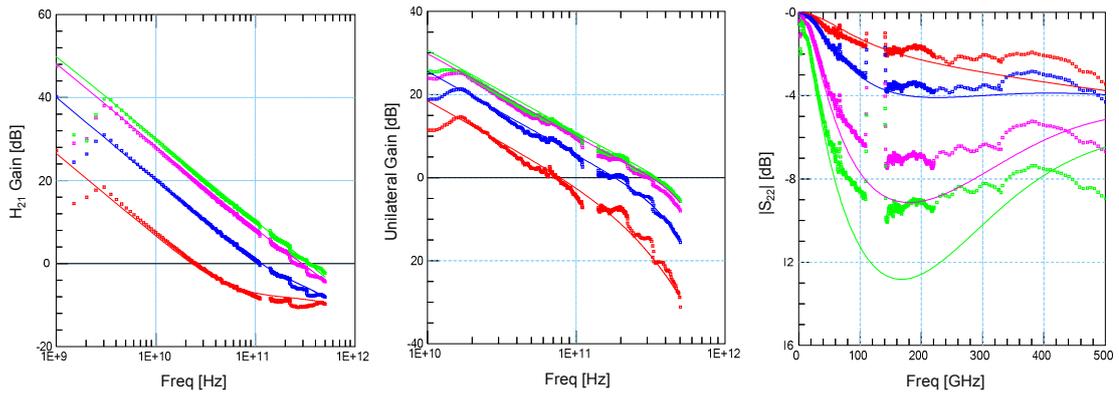


Fig. 86. HBT SiGe de la technologie STMicroelectronics jusqu'à 500 GHz, HICUM simulation en ligne et mesure en symboles ; a) Gain en courant, b) Gain unilatéral, c) $|S_{22}|$. (measurement : symbole ; simulation : ligne)

3. Démonstrateurs circuits

Quelques équipes ont déjà démontré les capacités des technologies silicium à fonctionner au-delà de 100 GHz et jusqu'au THz. Par exemple en Fig. 87, une boucle à verrouillage de phase a été dessinée pour fonctionner à 0.56 THz par une équipe de UCLA [197].

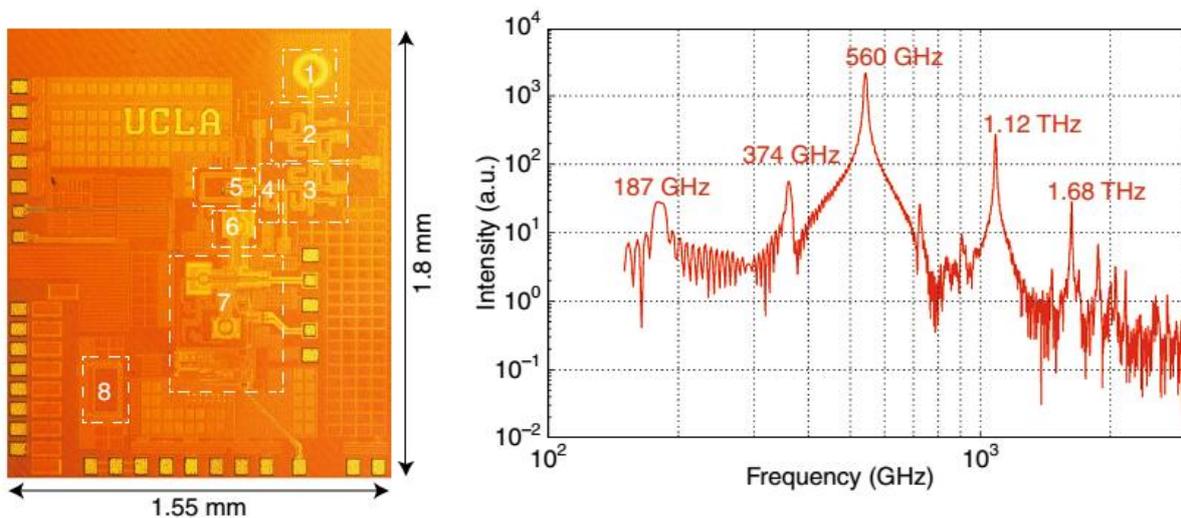


Fig. 87. Fully integrated THz phase-locked loops in CMOS where the fundamental and the harmonic signal (at 0.56 THz) is locked to an external low phase-noise reference [197]

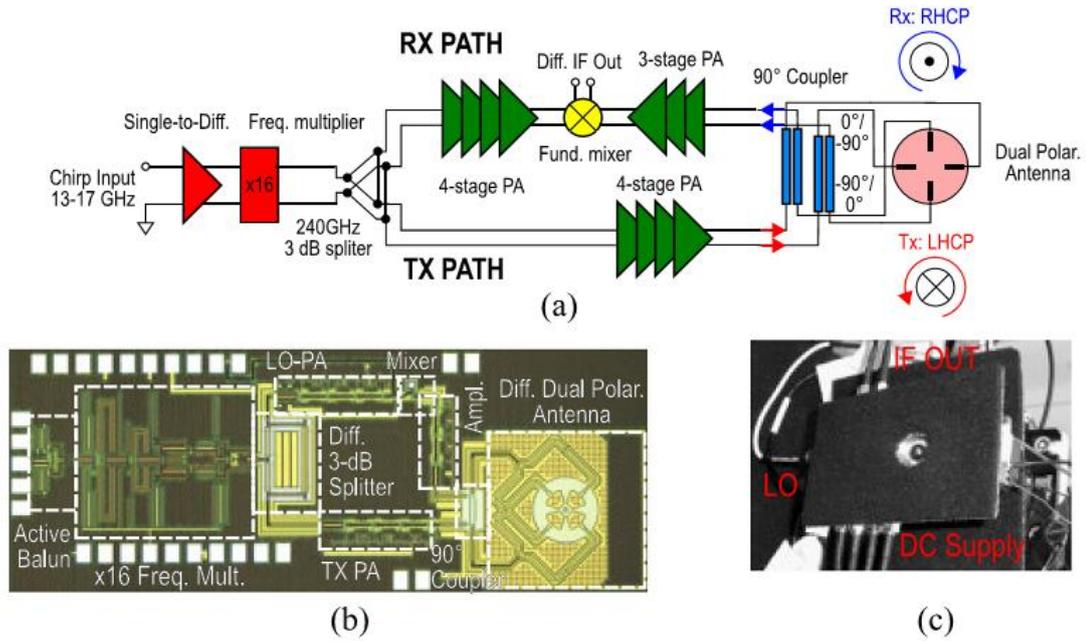


Fig. 88. 210–270 GHz radar front-end chip in 0.13- μm SiGe HBT technology. (a) Chip architecture. (b) Chip micrograph. (c) Silicon lens-packaged radar module on low-cost FR-4 PCB with the mounted absorber material [198].

Le groupe de Wuppertal, partenaire du projet Taranto, a proposé plusieurs circuits dont un radar FMCW [198] présenté en Fig. 88 et a aussi fait la démonstration de différentes caméra THz basées sur des technologies SiGe ou CMOS dont l'état de l'art est rappelé dans [198].

Pour notre part, et comme première étape, des démonstrateurs circuits seront conçus dans la gamme au-delà de 140 GHz pour évaluer la pertinence de nos modèles et de nos caractérisations au niveau du transistor. Tous ces travaux s'appuieront sur les outils de simulation électromagnétique 3D. En effet, pour discriminer l'erreur engendrée par le modèle de transistors de celles des éléments passifs, il sera nécessaire d'avoir une simulation précise des éléments passifs mais également des éléments mesurés servant au calibrage de la simulation de ces éléments passifs. Cette partie sera réalisée en collaboration avec Marina Deng qui a eu une expérience sur la partie conception de circuit silicium entre 140 GHz et 220 GHz lors de sa thèse au laboratoire IEMN [199]. Nous espérons à terme gagner en compétence sur cette thématique pour contribuer au développement de systèmes plus complexes.

B. Moyen et long terme : Contribution au développement de la mesure THz :TDR et VNA basé sur un laser pour la mesure jusqu'au THz

Alors que le principal outil de caractérisation des ingénieurs en électronique haute fréquence fonctionnant du GHz au THz est l'analyseur de réseau VNA, la méthode prédominante dans le THz optique est basée sur une analyse dans le domaine temporelle (TDS-time domain system). Cette dernière méthode inventée au début des années 90 est basée sur l'utilisation de lasers pulsés ultra-rapides. Cette méthode TDS qui opère dans le domaine temporel et qui utilise des pulses THz large bande contient des fréquences allant de la centaine de GHz jusqu'à plusieurs THz. Si la méthode TDS est principalement utilisée pour la mesure de matériaux et objets, les VNAs sont essentiellement utilisés pour la mesure de dispositifs électroniques. Alors que les méthodes de calibrage de VNA sont robustes, éprouvées et aussi en évolution, les mesures TDS nécessitent d'être mieux standardisées [200], avec des méthodes d'analyse de données et de calibrage notamment lorsqu'elles sont utilisées en espace guidée. Une des forces du groupe nanoélectronique est de posséder ces deux types d'équipements dont les bandes de fréquence se superposent et d'avoir l'expertise associée. Alors que la plupart des travaux sont réalisés en espace libre, peu de travaux ont été menés en espace guidé de façon analogue à ce que l'on peut retrouver avec un VNA. Le principal acteur de ce domaine est Teraview avec sa méthode EOTPR (Electro Optical Terahertz Pulse Reflectometry) dédiée à la recherche de défauts dans les puces électroniques [206]. Le système Teraview fonctionne en deçà de 110 GHz. Ainsi, un champ de recherche immense s'ouvre à nous pour comparer ces méthodes et les standardiser pour une contribution aux développements de méthode de caractérisation et au développement des applications dans le domaine du THz. De plus, des applications sont rendues possibles avec ce type d'outils TDS comme la caractérisation de défauts dans les technologies semi-conducteurs. A terme, le développement de ces méthodes de type TDS permettrait aussi de caractériser des éléments passifs et éventuellement nos transistors ou circuits sur une bande allant de la centaine de GHz jusqu'au THz en une mesure seulement [201]–[203] (voire Fig. 89). En effet, réaliser une mesure de paramètres S jusqu'à 500 GHz nécessite de passer le composant sous test à quatre reprises soit sur chacune des bandes de fréquence (<110 GHz, 140-220GHz, 220-325 GHz et 325-500 GHz), allongeant la durée de caractérisation avec le risque de vieillissement du composant ainsi que la détérioration de ses plots.

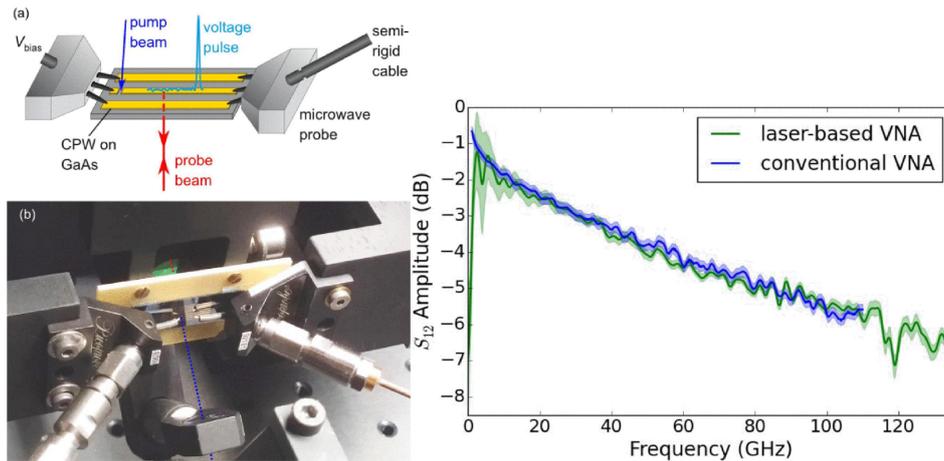


Fig. 89. A) technique de mesure de paramètres S basée sur une mesure temporelle à l'aide d'un laser; B) Comparaison entre un VNA classique et un VNA basé sur un laser (A)[201]

Des premiers travaux ont vu le jour notamment avec un VNA basé sur un laser exploitant la méthode du TDS [201]–[203]. D'après [202], les premiers résultats montreraient une dynamique supérieure à 40 dB et une bande de fréquence supérieure à 500 GHz. Ainsi **nous envisageons de suivre une piste** similaire, c'est-à-dire **le développement d'un VNA basé sur un laser** mais adapté à la mesure sous pointe large bande, ce qui n'est pas le cas dans les travaux publiés [201]–[203].

La Fig. 90 présente le banc développé à ce jour par l'équipe Laser et notamment Jean Paul Guillet. Le laser femto-seconde excite une antenne photo-conductrice de la marque Protemics (Fig. 91) qui génère un signal THz, lequel est transmis sur le DUT. Le signal rétro-propagé est capté par une seconde antenne. La mesure est réalisée en appliquant différents délais pour reconstruire le signal en fonction du temps.

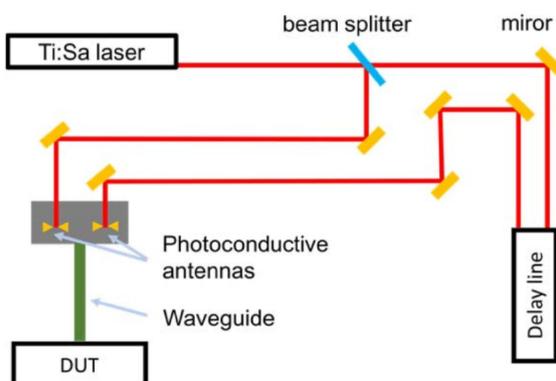


Fig. 90. Banc de mesure de réflectométrie THz guidée basée sur un laser pulsé femto-second

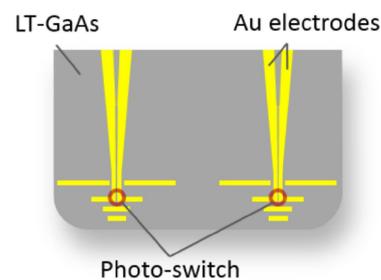


Fig. 91. Sonde THz équipée de deux photo-switchs générant l'onde THz après stimuli du laser femtosecond (Protemics)

Les principales faiblesses de ces mesures TDS sont : i) l'utilisation d'une fenêtre de temps réduite par les contraintes expérimentales imposant un pas de fréquence relativement large (quelques GHz) ; ii) les bancs TDS classiques ne permettent pas de séparer les contributions incidentes et réfléchies du signal comme dans un VNA classique et aussi la mesure en temps réel de la contribution incidente et réfléchié ; iii) la dynamique est réduite en comparaison des VNA conventionnels. Sur le second point, des solutions ont été proposées par M. Bieler [202] en mesurant à deux positions différentes le signal sur la ligne permettant de séparer l'onde incidente et réfléchié.

Ainsi, les premières activités consisteront à comparer les mesures TDS réalisées sur le banc de l'équipe Laser avec les mesures TDS calculées par le VNA en espace libre dans un premier temps. Dans un second temps, nous envisageons cette même comparaison mais sous pointes notamment sur des lignes « offset open » réalisées sur une technologie B55 de STMicroelectronics. La Fig. 92 présente les premières mesures TDS réalisées à partir du VNA et ont été calibrées avec un plan de référence à la sortie du plot. Les mêmes mesures ont été réalisées sur le banc TDS laser et sont en cours d'étude et d'amélioration. Le setup monté pour cette étude est présenté en Fig. 93, dans laquelle nous avons tenté de coupler la sonde/antenne générant des pulses THz présentée en Fig. 91 avec une sonde de mesure sous pointes.

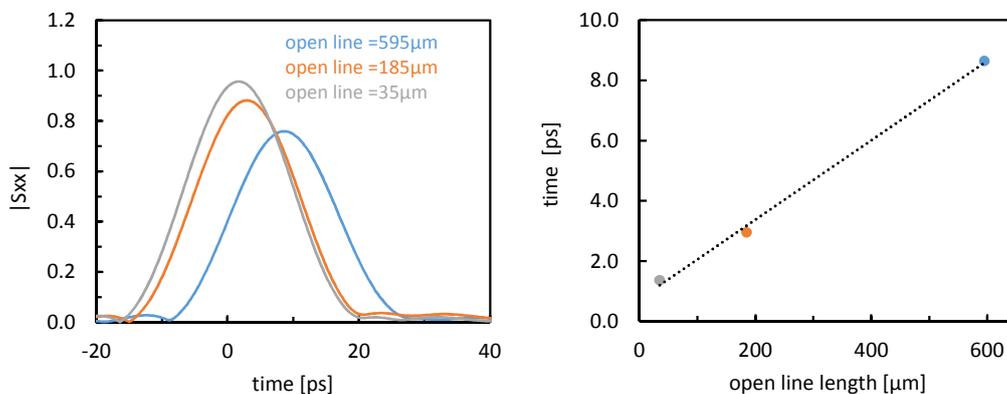


Fig. 92. Exemple de mesure TDS réalisée sous pointe avec notre VNA R&S (bande 220-330 GHz)

Pour réaliser une mesure optimisée directement sur plaque, la sonde Protemics utilisée actuellement devra être re-dessinée pour remplacer l'antenne par une pointe de type ground-signal-ground car il semble difficile de coupler le signal THz via ces antennes à une sonde de mesure sous pointes (type Cascade / Picoprobe). De plus, il serait intéressant de travailler sans les guides d'ondes pour travailler sur une large bande de fréquence. En comparaison des travaux de Bieler [201] (voir

Fig. 89), le photo-switch et le récepteur devraient être intégrés directement sur une sonde de mesure sur wafer dans le but de pouvoir contacter n'importe quel dispositif. Aussi, les parties émission et réception THz devront être complètement repensées. J. P. Guillet propose de dessiner cette sonde avec mon soutien et de la faire concevoir dans une salle blanche. Des études mécaniques et électromagnétiques seront nécessaires pour atteindre ces objectifs dans le but d'optimiser la qualité du contact et optimiser la durée de vie de la sonde.

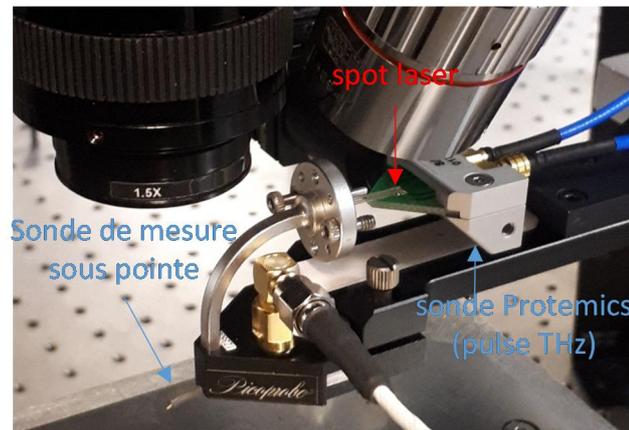


Fig. 93. Banc de mesure TDS sous pointe : Sonde THz excitée par un laser couplé à une sonde de mesure sous pointe (en cours de développement à IMS)

La puissance du signal envoyé est aussi un point à étudier car il influence fortement la validité du résultat, notamment sur les composants actifs qui doivent rester en mode linéaire. En effet, nous pouvons constater que la puissance de sortie du signal THz s'atténue avec une pente de 40 dB/dec. Nous pourrions ainsi travailler sur le design électromagnétique de la sonde pour ajuster la puissance de sortie en atténuant le signal aux fréquences les plus basses.

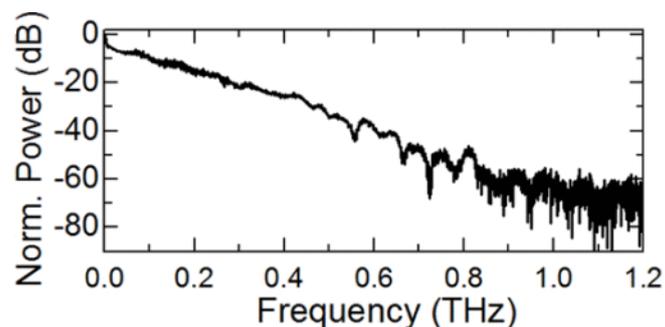


Fig. 94. Puissance du signal THz en fonction de la fréquence [202]

Finalement, le banc TDS (laser) IMS fonctionne pour l'instant uniquement en réflexion et non en transmission. À terme, il faudrait donc développer ce banc pour permettre la mesure en transmission et réflexion sur 2 ports pour obtenir une mesure similaire à celle d'un VNA.

C. Conclusion

Dans les années 70, le développement de l'électronique intégré (numérique /analogique / RF) a révolutionné l'électronique qui jusque-là était limité à des systèmes relativement peu complexes ou sinon très encombrant. Cette révolution n'a pu se faire que grâce au développement d'outils, de méthodologie allant du développement des salles blanches pour la microélectronique en passant par le développement d'outils de caractérisation (VNA, Scope, ...) et aussi d'outils de CAD (layout) et de simulation (SPICE). En effet, si les circuits utilisant l'électronique discrète pouvaient être réalisés à l'aide d'une étude sur papier, les circuits intégrés d'aujourd'hui ne pourraient se faire sans l'utilisation d'outils de CAD et de méthodologie de mesure adaptées. Delors, il est intéressant d'imaginer que ce changement de paradigme puisse se reproduire aux systèmes THz. En effet, les systèmes THz sont jusque-là relativement encombrants, complexes, coûteux et peu diffusés, comme décrit dans l'introduction. La révolution des systèmes THz pourra se faire en utilisant les capacités de l'électronique intégrée en termes de rapport performances, coûts, traitement de l'information, reconfigurabilité et aussi grâce à des outils, méthodes, connaissances et compétences permettant d'exploiter ces technologies au plus proche de leurs limites. Ainsi, **la technologie Silicium et particulièrement SiGe pourrait devenir une plateforme pour les technologies THz low cost** permettant le **développement de masse de ces technologies**. De plus cette technologie silicium permettra d'intégrer sur une seule puce de nombreuses fonctionnalités permettant de simplifier le packaging qui est par nature contraignant en termes de qualité et de précision sur les technologies THz. Ce développement ne saurait se faire sans les **outils et méthodes permettant de caractériser et modéliser plus rapidement et précisément les briques de bases et aussi les systèmes complexes**.

D'un point de vue outils de caractérisation, nous continuerons à développer notre banc de caractérisation tout d'abord en y ajoutant un contrôle micrométrique des positionnements et en repoussant la gamme de fréquence jusqu'à 1.1THz s'y cela s'avère nécessaire. Nous espérons que le développement du VNA basé sur la génération d'un pulse THz généré via un laser femto seconde pourra contribuer au développement de technique de caractérisation plus large bande simplifiant à terme la caractérisation de ces systèmes.

Par ailleurs, la modélisation de différents couplage de différents domaines de la physique (Fig. 79b) tels que la photonique et l'électronique ou encore l'électromagnétisme nécessiteront de proposer des approches multi-physiques permettant ainsi de proposer aux ingénieurs une interface de support d'aide à la construction de ces systèmes complexes tout en gommant la complexité réelle du système.

D'un point de vue de la cohérence de groupe, si une partie du groupe est largement engagée dans la modélisation et la caractérisation des technologies silicium ou IIIV, et la seconde partie du groupe (P. Mounaix, J. P. Guillet) a largement développé les méthodes et applications de l'utilisation des technologies THz pour l'imagerie ou l'analyse, un « gap » est toujours présent entre ces deux thématiques. Pour effacer ce gap et maîtriser la chaîne de conception, il est nécessaire de gagner en compétence sur la partie conception de circuit THz situé entre la thématique de l'équipe modèle, c'est-à-dire, le transistor, sa modélisation et sa caractérisation et le système plus haut niveau. Finalement, cette compétence de conception de circuit THz pourra évidemment être développée en collaboration avec nos collègues de conception de circuit (Y. Deval, A. Ghiotto) et au sein du laboratoire commun STMicroelectronics-IMS.

Ainsi mes activités de recherche contribueront à l'extension du pôle THz de Bordeaux vers une thématique du THz à coût contenu, ceci avec mes collègues du groupe nanoélectronique et aussi des activités de conception haute fréquence. Nous espérons que ces activités pourront avoir à terme un impact sociétal notamment sur la sécurité des transports ou sur l'imagerie médicale.

V. Références

- [1] S. S. Iyer, G. L. Patton, S. S. Delage, S. Tiwari, et J. M. C. Stork, « Silicon-germanium base heterojunction bipolar transistors by molecular beam epitaxy », in *1987 International Electron Devices Meeting*, 1987, vol. 33, p. 874-876.
- [2] « 63-75 GHz fT SiGe-base heterojunction bipolar technology - Semantic Scholar ». [En ligne]. Disponible sur: [/paper/63-75-GHz-fT-SiGe-base-heterojunction-bipolar-Patton-Comfort/fac44739416949b67a5a5f3ea90085ec654f567f](#). [Consulté le: 05-juill-2018].
- [3] D. L. Harame *et al.*, « A 200 mm SiGe-HBT technology for wireless and mixed-signal applications », in *Proceedings of 1994 IEEE International Electron Devices Meeting*, 1994, p. 437-440.
- [4] Orner *et al.*, « A 0.13 μm BiCMOS technology featuring a 200/280 GHz (fT/fmax) SiGe HBT », in *2003 Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting (IEEE Cat. No.03CH37440)*, 2003, p. 203-206.
- [5] M. Khater *et al.*, « SiGe HBT technology with fmax/fT=350/300 GHz and gate delay below 3.3 ps », in *Technical Digest - International Electron Devices Meeting, IEDM*, 2005, p. 247-250.
- [6] J. J. Pekarik *et al.*, « A 90nm SiGe BiCMOS technology for mm-wave and high-performance analog applications », in *2014 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2014, p. 92-95.
- [7] B. Heinemann *et al.*, « SiGe HBT with fx/fmax of 505 GHz/720 GHz », in *2016 IEEE International Electron Devices Meeting (IEDM)*, 2016, p. 3.1.1-3.1.4.
- [8] B. Heinemann *et al.*, « SiGe HBT technology with fT/fmax of 300GHz/500GHz and 2.0 ps CML gate delay », in *2010 International Electron Devices Meeting*, 2010, p. 30.5.1-30.5.4.
- [9] M. Schroter, S. Lehmann, S. Frégonèse, et T. Zimmer, « A computationally efficient physics-based compact bipolar transistor model for circuit design-Part I: Model formulation », *IEEE Trans. Electron Devices*, vol. 53, n° 2, p. 279-286, 2006.
- [10] S. Frégonèse *et al.*, « A computationally efficient physics-based compact bipolar transistor model for circuit design-part II: Parameter extraction and experimental results », *IEEE Trans. Electron Devices*, vol. 53, n° 2, p. 287-295, 2006.
- [11] S. Fregonese, D. Berger, T. Zimmer, C. Maneux, P.-Y. Sulima, et D. Céli, « Scalable bipolar transistor modelling with HICUM L0 », janv. 2004.
- [12] S. Fregonese, D. Celi, T. Zimmer, C. Maneux, et P.-Y. Sulima, « A scalable substrate network for compact modelling of deep trench insulated HBT », *Solid-State Electron.*, vol. 49, n° 10, p. 1623-1631, 2005.

- [13] S. Fregonese, T. Zimmer, C. Maneux, et P. Y. Sulima, « Barrier effects in SiGe HBT: modeling of high-injection base current increase », in *Bipolar/BiCMOS Circuits and Technology, 2004. Proceedings of the 2004 Meeting*, 2004, p. 104-107.
- [14] H. Mnif, T. Zimmer, J. L. Battaglia, et S. Fregonese, « Representation of the SiGe HBT's thermal impedance by linear and recursive networks », *Microelectron. Reliab.*, vol. 44, n° 6, p. 945–950, 2004.
- [15] S. Fregonese, T. Zimmer, H. Mnif, P. Baureis, et C. Maneux, « Obtaining isothermal data for HBT », *IEEE Trans. Electron Devices*, vol. 51, n° 7, p. 1211–1214, 2004.
- [16] H. Mnif, T. Zimmer, J. L. Battaglia, et S. Fregonese, « Analysis and modeling of the self-heating effect in SiGe HBTs », *Eur. Phys. J.-Appl. Phys.*, vol. 25, n° 1, p. 11–23, 2004.
- [17] S. Fregonese, G. Avenier, C. Maneux, A. Chantre, et T. Zimmer, « A transit time model for thin SOI Si/SiGe HBT », in *Bipolar/BiCMOS Circuits and Technology Meeting, 2005. Proceedings of the*, 2005, p. 184–187.
- [18] G. Avenier *et al.*, « A self-aligned vertical HBT for thin SOI SiGeC BiCMOS », in *Bipolar/BiCMOS Circuits and Technology Meeting, 2005. Proceedings of the*, 2005, p. 128–131.
- [19] G. Avenier *et al.*, « Investigation of fully-and partially-depleted self-aligned SiGeC HBTs on thin film SOI », in *Solid-State Device Research Conference, 2005. ESSDERC 2005. Proceedings of 35th European*, 2005, p. 133–136.
- [20] S. Fregonese, G. Avenier, C. Maneux, A. Chantre, et T. Zimmer, « Thin film SOI HBT: A study of the effect of substrate bias on the electrical characteristics », *Solid State Electron.*, vol. 50, p. 1673–1676, 2006.
- [21] S. Fregonese, Y. Zhuang, et J. N. Burghartz, « Modeling of strained CMOS on disposable SiGe dots: Strain impacts on devices' electrical characteristics », *IEEE Trans. Electron Devices*, vol. 54, n° 9, p. 2321-2326, 2007.
- [22] S. Frégonèse, Y. Zhuang, et J. N. Burghartz, « Modeling of strained CMOS on disposable SiGe dots: Shape impacts on electrical/thermal characteristics », *Solid-State Electron.*, vol. 52, n° 6, p. 919-925, juin 2008.
- [23] L. Smith *et al.*, « Exploring the limits of stress-enhanced hole mobility », *IEEE Electron Device Lett.*, vol. 26, n° 9, p. 652-654, sept. 2005.
- [24] S. E. Thompson *et al.*, « A logic nanotechnology featuring strained-silicon », *IEEE Electron Device Lett.*, vol. 25, n° 4, p. 191-193, avr. 2004.
- [25] D. Chidambarao, G. G. Freeman, et M. H. Khater, « Bipolar transistor with extrinsic stress layer », US7102205B2, 05-sept-2006.

- [26] F. Yuan, S. R. Jan, S. Maikap, Y. H. Liu, C. S. Liang, et C. W. Liu, « Mechanically strained Si-SiGe HBTs », *IEEE Electron Device Lett.*, vol. 25, n° 7, p. 483-485, juill. 2004.
- [27] T.-J. Wang *et al.*, « Effects of Mechanical Uniaxial Stress on SiGe HBT Characteristics », *J. Electrochem. Soc.*, vol. 154, janv. 2006.
- [28] M. Al-Sa'di *et al.*, « TCAD simulation and development within the European DOTFIVE project on 500GHz SiGe:C HBT's », in *The 5th European Microwave Integrated Circuits Conference*, 2010, p. 29-32.
- [29] F. M. Bufler *et al.*, « Low- and high-field electron-transport parameters for unstrained and strained Si/_{1-x}/Ge/_x », *IEEE Electron Device Lett.*, vol. 18, n° 6, p. 264-266, juin 1997.
- [30] M. Al-Sa'di, S. Fregonese, C. Maneux, et T. Zimmer, « TCAD modeling of NPN-SiGe-HBT electrical performance improvement through extrinsic stress layer », présenté à 2010 27th International Conference on Microelectronics, MIEL 2010 - Proceedings, 2010, p. 387-390.
- [31] M. Al-Sa'di, S. Fregonese, C. Maneux, et T. Zimmer, « Modeling of a novel NPN-SiGe-HBT device structure using strain engineering technology in the collector region for enhanced electrical performance », présenté à Proceedings of the IEEE Bipolar/BiCMOS Circuits and Technology Meeting, 2010, p. 216-219.
- [32] S. Persson *et al.*, « Strained-Silicon Heterojunction Bipolar Transistor », *IEEE Trans. Electron Devices*, vol. 57, n° 6, p. 1243-1252, juin 2010.
- [33] T. Viet Dinh, S.-M. Hong, et C. Jungemann, « Improving the high-frequency performance of SiGe HBTs by a global additional uniaxial stress », *Solid-State Electron.*, vol. 60, n° 1, p. 58-64, juin 2011.
- [34] H. Rücker, B. Heinemann, R. Barth, et M. Lisker, « Impact of back end stress on SiGe bipolar transistors », in *2011 International Electron Devices Meeting*, 2011, p. 34.5.1-34.5.4.
- [35] E. Canderle, P. Chevalier, G. Avenier, N. Derrier, D. Céli, et C. Gaquière, « Impact of BEOL stress on BiCMOS9MW HBTs », in *2013 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2013, p. 223-226.
- [36] R. D'Esposito, S. Frégonèse, A. Chakravorty, P. Chevalier, D. Céli, et T. Zimmer, « Innovative SiGe HBT Topologies with Improved Electrothermal Behavior », *IEEE Trans. Electron Devices*, vol. 63, n° 7, p. 2677-2683, 2016.
- [37] V. T. Vu, D. Céli, T. Zimmer, S. Fregonese, et P. Chevalier, « TCAD calibration of high-speed Si/SiGe HBTs in 55-nm BiCMOS », présenté à ECS Transactions, 2016, vol. 75, p. 113-119.

- [38] S. V. Huylenbroeck *et al.*, « A 400GHz fMAX fully self-aligned SiGe:C HBT architecture », in *2009 IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, 2009, p. 5-8.
- [39] B. A. Orner *et al.*, « A BiCMOS Technology Featuring a 300/330 GHz (fT/fmax) SiGe HBT for Millimeter Wave Applications », in *2006 Bipolar/BiCMOS Circuits and Technology Meeting*, 2006, p. 1-4.
- [40] J. Korn, H. Rücker, B. Heinemann, A. Pawlak, G. Wedel, et M. Schröter, « Experimental and theoretical study of fT for SiGe HBTs with a scaled vertical doping profile », in *2015 IEEE Bipolar/BiCMOS Circuits and Technology Meeting - BCTM*, 2015, p. 117-120.
- [41] A. Fox *et al.*, « SiGe HBT module with 2.5 ps gate delay », in *2008 IEEE International Electron Devices Meeting*, 2008, p. 1-4.
- [42] M. Laurens *et al.*, « A 150GHz fT/fmax 0.13 μ m SiGe:C BiCMOS technology », 2003, p. 199-202.
- [43] P. Chevalier, « 55nm SiGe BiCMOS for Optical, Wireless and High - Performance Analog Applications ». Workshop DOT7, EuMic conference, 06-sept-2015.
- [44] H. K. Gummel et H. C. Poon, « An Integral Charge Control Model of Bipolar Transistors », *Bell Syst. Tech. J.*, vol. 49, n° 5, p. 827-852, juill. 2013.
- [45] R. T. Dennison et K. M. Walter, « Local thermal effects in high performance bipolar devices/circuits », in *Proceedings of the Bipolar Circuits and Technology Meeting*, 1989, p. 164-167.
- [46] « Two-dimensional carrier flow in a transistor structure under non-isothermal conditions », in *1974 International Electron Devices Meeting (IEDM)*, 1974, vol. Supplement, p. 6-6.
- [47] R. David, « Computerized Thermal Analysis of Hybrid Circuits », *IEEE Trans. Parts Hybrids Packag.*, vol. 13, n° 3, p. 283-290, sept. 1977.
- [48] H. Mnif, T. Zimmer, J. L. Battaglia, et B. Ardouin, « Modeling the self-heating effect in SiGe HBTs », in *Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting*, 2002, p. 96-99.
- [49] H. Mnif, T. Zimmer, J. L. Battaglia, et S. Fregonese, « Analysis and modeling of the self-heating effect in SiGe HBTs », *EPJ Appl. Phys.*, vol. 25, n° 1, p. 11-23, 2004.
- [50] H. Mnif, T. Zimmer, J. L. Battaglia, et S. Fregonese, « Representation of the SiGe HBT's thermal impedance by linear and recursive networks », *Microelectron. Reliab.*, vol. 44, n° 6, p. 945-950, 2004.
- [51] P. Y. Sulima, J.-L. Battaglia, T. Zimmer, et J.-C. Batsale, « Self heating modeling of SiGe heterojunction bipolar transistor », *Int. Commun. Heat Mass Transf.*, vol. 34, n° 5, p. 553-563, mai 2007.

- [52] H. Beckrich-Ros, « Contribution à la caractérisation et à la modélisation de transistors bipolaires de puissance intégrés dans une filière BiCMOS submicronique ». [En ligne]. Disponible sur: <http://www.theses.fr/120489767>. [Consulté le: 13-juin-2018].
- [53] A. K. Sahoo, S. Fregonese, M. Weis, N. Malbert, et T. Zimmer, « A Scalable Electrothermal Model for Transient Self-Heating Effects in Trench-Isolated SiGe HBTs », *IEEE Trans. Electron Devices*, vol. 59, n° 10, p. 2619-2625, oct. 2012.
- [54] A. K. Sahoo, S. Fregonese, R. Desposito, K. Aufinger, C. Maneux, et T. Zimmer, « A geometry scalable model for nonlinear thermal impedance of trench isolated HBTs », *IEEE Electron Device Lett.*, vol. 36, n° 1, p. 56-58, 2015.
- [55] A. Chakravorty, R. D'Esposito, S. Balanethiram, S. Fregonese, et T. Zimmer, « Analytic Estimation of Thermal Resistance in HBTs », 2016.
- [56] J. J. Liou, L. L. Liou, et C. I. Huang, « Analytical model for the AlGaAs/GaAs multiemitter finger HBT including self-heating and thermal coupling effects », *IEE Proc. - Circuits Devices Syst.*, vol. 141, n° 6, p. 469-475, déc. 1994.
- [57] J. M. Andrews, C. M. Grens, et J. D. Cressler, « Compact Modeling of Mutual Thermal Coupling for the Optimal Design of SiGe HBT Power Amplifiers », *IEEE Trans. Electron Devices*, vol. 56, n° 7, p. 1529-1532, juill. 2009.
- [58] S. Lehmann, Y. Zimmermann, A. Pawlak, et M. Schröter, « Characterization of the Static Thermal Coupling Between Emitter Fingers of Bipolar Transistors », *IEEE Trans. Electron Devices*, vol. 61, n° 11, p. 3676-3683, nov. 2014.
- [59] M. Weiss *et al.*, « Characterization of intra device mutual thermal coupling in multi finger SiGe:C HBTs », in *2013 IEEE International Conference of Electron Devices and Solid-state Circuits*, 2013, p. 1-2.
- [60] A. D. D. Dwivedi, A. Chakravorty, R. D'Esposito, A. K. Sahoo, S. Fregonese, et T. Zimmer, « Effects of BEOL on self-heating and thermal coupling in SiGe multi-finger HBTs under real operating condition », *Solid-State Electron.*, vol. 115, p. 1-6, 2016.
- [61] A. D. D. Dwivedi, R. D'Esposito, A. K. Sahoo, S. Fregonese, et T. Zimmer, « A Study on Self-Heating and Mutual Thermal Coupling in SiGe Multi-Finger HBTs », *J. Electron. Mater.*, vol. 45, n° 11, p. 5612-5620, 2016.
- [62] R. D'Esposito, M. Weiß, A. K. Sahoo, S. Fregonese, et T. Zimmer, « A study on transient intra-device thermal coupling in multifinger SiGe HBTs (Student) », présenté à Proceedings of the IEEE Bipolar/BiCMOS Circuits and Technology Meeting, 2014, p. 179-182.

- [63] R. D'Esposito, M. Weiß, A. K. Sahoo, S. Fregonese, et T. Zimmer, « A study on transient intra-device thermal coupling in multifinger SiGe HBTs (Student) », présenté à Proceedings of the IEEE Bipolar/BiCMOS Circuits and Technology Meeting, 2014, p. 179-182.
- [64] A. K. Sahoo, S. Fregonese, M. Weis, C. Maneux, N. Malbert, et T. Zimmer, « Impact of back-end-of-line on thermal impedance in SiGe HBTs », présenté à International Conference on Simulation of Semiconductor Processes and Devices, SISPAD, 2013, p. 188-191.
- [65] A. D. D. Dwivedi, A. Chakravorty, R. D'Esposito, A. K. Sahoo, S. Fregonese, et T. Zimmer, « Effects of BEOL on self-heating and thermal coupling in SiGe multi-finger HBTs under real operating condition », *Solid-State Electron.*, vol. 115, p. 1-6, 2016.
- [66] R. D'Esposito, S. Fregonese, T. Zimmer, et A. Chakravorty, « Dedicated test-structures for investigation of the thermal impact of the BEOL in advanced SiGe HBTs in time and frequency domain », présenté à IEEE International Conference on Microelectronic Test Structures, 2016, vol. 2016-May, p. 28-31.
- [67] S. Balanethiram, R. D'Esposito, A. Chakravorty, S. Fregonese, et T. Zimmer, « Extraction of BEOL Contributions for Thermal Resistance in SiGe HBTs », 2017.
- [68] V. d'Alessandro, A. Magnani, L. Codecasa, N. Rinaldi, et K. Aufinger, « Advanced thermal simulation of SiGe:C HBTs including back-end-of-line », *Microelectron. Reliab.*, vol. 67, p. 38-45, déc. 2016.
- [69] S. Balanethiram, A. Chakravorty, R. D'Esposito, S. Fregonese, et T. Zimmer, « An improved scalable self-consistent iterative model for thermal resistance in SiGe HBTs », présenté à Proceedings of the IEEE Bipolar/BiCMOS Circuits and Technology Meeting, 2016, vol. 2016-November, p. 150-153.
- [70] S. P. Marsh, « Direct extraction technique to derive the junction temperature of HBT's under high self-heating bias conditions », *IEEE Trans. Electron Devices*, vol. 47, n° 2, p. 288-291, févr. 2000.
- [71] M. Pfof, V. Kubrak, et P. Brenner, « A practical method to extract the thermal resistance for heterojunction bipolar transistors », in *33rd Conference on European Solid-State Device Research, 2003. ESSDERC '03*, 2003, p. 335-338.
- [72] S. Russo, V. d'Alessandro, L. L. Spina, N. Rinaldi, et L. K. Nanver, « Evaluating the self-heating thermal resistance of bipolar transistors by DC measurements: A critical review and update », in *2009 IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, 2009, p. 95-98.
- [73] M. Reisch, « Self-heating in BJT circuit parameter extraction », *Solid-State Electron.*, vol. 35, n° 5, p. 677-679, mai 1992.

- [74] N. Bovolon, P. Baureis, J. E. Muller, P. Zwicknagl, R. Schultheis, et E. Zanoni, « A simple method for the thermal resistance measurement of AlGaAs/GaAs heterojunction bipolar transistors », *IEEE Trans. Electron Devices*, vol. 45, n° 8, p. 1846-1848, août 1998.
- [75] S. Balanethiram, R. D'Esposito, S. Fregonese, T. Zimmer, J. Berkner, et D. Celi, « Extracting the temperature dependence of thermal resistance from temperature-controlled DC measurements of SiGe HBTs », in *2017 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2017, p. 94-97.
- [76] D. T. Zweidinger, S. G. Lee, et R. M. Fox, « Compact modeling of BJT self-heating in SPICE », *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 12, n° 9, p. 1368-1375, sept. 1993.
- [77] A. K. Sahoo, S. Fregonese, M. Weiß, N. Malbert, et T. Zimmer, « Electro-thermal characterization of Si-Ge HBTs with pulse measurement and transient simulation », présenté à European Solid-State Device Research Conference, 2011, p. 239-242.
- [78] A. K. Sahoo, M. Weiß, S. Fregonese, N. Malbert, et T. Zimmer, « Transient electro-thermal characterization of Si-Ge heterojunction bipolar transistors », *Solid-State Electron.*, vol. 74, p. 77-84, août 2012.
- [79] S. Frégonèse, T. Zimmer, H. Mnif, P. Baureis, et C. Maneux, « Obtaining isothermal data for HBT », *IEEE Trans. Electron Devices*, vol. 51, n° 7, p. 1211-1214, 2004.
- [80] A. K. Sahoo, S. Fregonese, R. D'Esposito, C. Maneux, et T. Zimmer, « Isothermal electrical characteristic extraction for mmWave HBTs », *IEEE Trans. Electron Devices*, vol. 62, n° 1, p. 232-235, 2015.
- [81] A. K. Sahoo, S. Fregonese, P. Scheer, D. Celi, A. Juge, et T. Zimmer, « Obtaining DC and AC isothermal electrical characteristics for RF MOSFET », *Solid-State Electron.*, vol. 106, p. 78-80, 2015.
- [82] N. Rinaldi, « Small-signal operation of semiconductor devices including self-heating, with application to thermal characterization and instability analysis », *IEEE Trans. Electron Devices*, vol. 48, n° 2, p. 323-331, févr. 2001.
- [83] A. K. Sahoo, S. Fregonese, T. Zimmer, et N. Malbert, « Thermal Impedance Modeling of Si-Ge HBTs From Low-Frequency Small-Signal Measurements », *IEEE Electron Device Lett.*, vol. 32, n° 2, p. 119-121, févr. 2011.
- [84] A. E. Rafei, R. Sommet, et R. Quere, « Electrical Measurement of the Thermal Impedance of Bipolar Transistors », *IEEE Electron Device Lett.*, vol. 31, n° 9, p. 939-941, sept. 2010.

- [85] I. Hasnaoui, A. Pottrain, D. Gloria, P. Chevalier, V. Avramovic, et C. Gaquiere, « Self-Heating Characterization of SiGe:C HBTs by Extracting Thermal Impedances », *IEEE Electron Device Lett.*, vol. 33, n° 12, p. 1762-1764, déc. 2012.
- [86] R. D'Esposito, S. Balanethiram, J. L. Battaglia, S. Frégonèse, et T. Zimmer, « Thermal Penetration Depth Analysis and Impact of the BEOL Metals on the Thermal Impedance of SiGe HBTs », *IEEE Electron Device Lett.*, vol. 38, n° 10, p. 1457-1460, oct. 2017.
- [87] P. Hillger, J. Grzyb, R. Lachner, et U. Pfeiffer, « An antenna-coupled 0.49 THz SiGe HBT source for active illumination in terahertz imaging applications », in *2015 10th European Microwave Integrated Circuits Conference (EuMIC)*, 2015, p. 180-183.
- [88] P. Hillger *et al.*, « A 128-pixel 0.56THz sensing array for real-time near-field imaging in 0.13 μm SiGe BiCMOS », in *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*, 2018, p. 418-420.
- [89] J. Bazzi, C. Raya, A. Curutchet, et T. Zimmer, « Investigation of high frequency coupling between probe tips and wafer surface », in *2009 IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, 2009, p. 87-90.
- [90] C. Raya, *Modélisation et optimisation de transistors bipolaires à hétérojonction Si/SiGeC ultra rapides pour applications millimétriques*. Bordeaux 1, 2008.
- [91] P. Manuel, S. Fregonese, A. Curutchet, P. Baureis, et T. Zimmer, « New 3D-TRL structures for on-wafer calibration for high frequency S-parameter measurement », présenté à European Microwave Week 2015: « Freedom Through Microwaves », EuMW 2015 - Conference Proceedings; 2015 45th European Microwave Conference Proceedings, EuMC, 2015, p. 167-170.
- [92] S. Fregonese *et al.*, « On-Wafer Characterization of Silicon Transistors Up To 500 GHz and Analysis of Measurement Discontinuities Between the Frequency Bands », *IEEE Trans. Microw. Theory Tech.*, p. 1-10, 2018.
- [93] A. Fung *et al.*, « Two-Port Vector Network Analyzer Measurements in the 218- and 356-500-GHz Frequency Bands », *IEEE Trans. Microw. Theory Tech.*, vol. 54, n° 12, p. 4507-4512, déc. 2006.
- [94] A. Fung, L. Samoska, M. Varonen, P. Kangaslahti, S. Sarkozy, et R. Lai, « A practical implementation of millimeter and submillimeter wave length on-wafer S-parameter calibration », in *2014 39th International Conference on Infrared, Millimeter, and Terahertz waves (IRMMW-THz)*, 2014, p. 1-2.

- [95] M. Seelmann-Eggebert *et al.*, « On the Accurate Measurement and Calibration of S-Parameters for Millimeter Wavelengths and Beyond », *IEEE Trans. Microw. Theory Tech.*, vol. 63, n° 7, p. 2335-2342, juill. 2015.
- [96] A. Fung *et al.*, « On-Wafer S-Parameter Measurements in the 325 #x2013;508 GHz Band », *IEEE Trans. Terahertz Sci. Technol.*, vol. 2, n° 2, p. 186-192, mars 2012.
- [97] C. B. Sia, « Minimizing discontinuities in wafer-level sub-THz measurements up to 750 GHz for device modelling applications », in *2017 89th ARFTG Microwave Measurement Conference (ARFTG)*, 2017, p. 1-4.
- [98] D. F. Williams, A. C. Young, et M. Urteaga, « A Prescription for Sub-Millimeter-Wave Transistor Characterization », *IEEE Trans. Terahertz Sci. Technol.*, vol. 3, n° 4, p. 433-439, juill. 2013.
- [99] N. Derrier, A. Rumiantsev, et D. Celi, « State-of-the-art and future perspectives in calibration and de-embedding techniques for characterization of advanced SiGe HBTs featuring sub-THz fT/fMAX », in *2012 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2012, p. 1-8.
- [100] D. F. Williams *et al.*, « Calibrations for Millimeter-Wave Silicon Transistor Characterization », *IEEE Trans. Microw. Theory Tech.*, vol. 62, n° 3, p. 658-668, mars 2014.
- [101] S. P. Voinigescu *et al.*, « Characterization and Modeling of an SiGe HBT Technology for Transceiver Applications in the 100 #x2013;300-GHz Range », *IEEE Trans. Microw. Theory Tech.*, vol. 60, n° 12, p. 4024-4034, déc. 2012.
- [102] M. Deng *et al.*, « Small-signal characterization and modelling of 55nm SiGe BiCMOS HBT up to 325GHz », *Solid-State Electron.*, 2016.
- [103] D. F. Williams *et al.*, « Calibration-Kit Design for Millimeter-Wave Silicon Integrated Circuits », *IEEE Trans. Microw. Theory Tech.*, vol. 61, n° 7, p. 2685-2694, juill. 2013.
- [104] L. Galatro, A. Pawlak, M. Schroter, et M. Spirito, « Capacitively Loaded Inverted CPWs for Distributed TRL-Based De-Embedding at (Sub) mm-Waves », *IEEE Trans. Microw. Theory Tech.*, vol. PP, n° 99, p. 1-11, 2017.
- [105] A. Rumiantsev, P. Sakalas, N. Derrier, D. Celi, et M. Schroter, « Influence of probe tip calibration on measurement accuracy of small-signal parameters of advanced BiCMOS HBTs », in *2011 IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, 2011, p. 203-206.
- [106] A. Rumiantsev, S. L. Sweeney, et P. L. Corson, « Comparison of on-wafer multiline TRL and LRM+ calibrations for RF CMOS applications », in *2008 72nd ARFTG Microwave Measurement Symposium*, 2008, p. 132-136.

- [107] D. F. Williams, F. J. Schmückle, R. Doerner, G. N. Phung, U. Arz, et W. Heinrich, « Crosstalk Corrections for Coplanar-Waveguide Scattering-Parameter Calibrations », *IEEE Trans. Microw. Theory Tech.*, vol. 62, n° 8, p. 1748-1761, août 2014.
- [108] T. J. Reck *et al.*, « Micromachined Probes for Submillimeter-Wave On-Wafer Measurements #x2014;Part II: RF Design and Characterization », *IEEE Trans. Terahertz Sci. Technol.*, vol. 1, n° 2, p. 357-363, nov. 2011.
- [109] T. J. Reck *et al.*, « Micromachined Probes for Submillimeter-Wave On-Wafer Measurements #x2014;Part I: Mechanical Design and Characterization », *IEEE Trans. Terahertz Sci. Technol.*, vol. 1, n° 2, p. 349-356, nov. 2011.
- [110] J. Zhang *et al.*, « High-k metal gate fundamental learning and multi-Vt options for stacked nanosheet gate-all-around transistor », in *2017 IEEE International Electron Devices Meeting (IEDM)*, 2017, p. 22.1.1-22.1.4.
- [111] H. Mertens *et al.*, « Vertically stacked gate-all-around Si nanowire transistors: Key Process Optimizations and Ring Oscillator Demonstration », in *2017 IEEE International Electron Devices Meeting (IEDM)*, 2017, p. 37.4.1-37.4.4.
- [112] S. J. Tans, A. R. M. Verschueren, et C. Dekker, « Room-temperature transistor based on a single carbon nanotube », *Nature*, vol. 393, n° 6680, p. 49-52, mai 1998.
- [113] C. S. Lee, E. Pop, A. D. Franklin, W. Haensch, et H. S. P. Wong, « A Compact Virtual-Source Model for Carbon Nanotube FETs in the Sub-10-nm Regime #x2014;Part II: Extrinsic Elements, Performance Assessment, and Design Optimization », *IEEE Trans. Electron Devices*, vol. 62, n° 9, p. 3070-3078, sept. 2015.
- [114] A. Bachtold, P. Hadley, T. Nakanishi, et C. Dekker, « Logic circuits with carbon nanotube transistors », *Science*, vol. 294, n° 5545, p. 1317-1320, 2001.
- [115] A. Bachtold, P. Hadley, T. Nakanishi, et C. Dekker, « Logic circuits based on carbon nanotubes », *Phys. E Low-Dimens. Syst. Nanostructures*, vol. 16, n° 1, p. 42-46, 2003.
- [116] D. Sun *et al.*, « Flexible high-performance carbon nanotube integrated circuits », *Nat. Nanotechnol.*, vol. 6, n° 3, p. 156-161, mars 2011.
- [117] A. Javey, Q. Wang, A. Ural, Y. Li, et H. Dai, « Carbon nanotube transistor arrays for multistage complementary logic and ring oscillators », *Nano Lett.*, vol. 2, n° 9, p. 929-932, 2002.
- [118] Z. Chen *et al.*, « An integrated logic circuit assembled on a single carbon nanotube », *Science*, vol. 311, n° 5768, p. 1735-1735, 2006.

- [119] J. Noh *et al.*, « Fully Gravure-Printed D Flip-Flop on Plastic Foils Using Single-Walled Carbon-Nanotube-Based TFTs », *IEEE Electron Device Lett.*, vol. 32, n° 5, p. 638-640, mai 2011.
- [120] Y. Yang, L. Ding, J. Han, Z. Zhang, et L.-M. Peng, « High-Performance Complementary Transistors and Medium-Scale Integrated Circuits Based on Carbon Nanotube Thin Films », *ACS Nano*, vol. 11, n° 4, p. 4124-4132, avr. 2017.
- [121] T. Pei *et al.*, « Modularized Construction of General Integrated Circuits on Individual Carbon Nanotubes », *Nano Lett.*, vol. 14, n° 6, p. 3102-3109, juin 2014.
- [122] B. Chen *et al.*, « Highly Uniform Carbon Nanotube Field-Effect Transistors and Medium Scale Integrated Circuits », *Nano Lett.*, vol. 16, n° 8, p. 5120-5128, août 2016.
- [123] M. M. Shulaker *et al.*, « Carbon nanotube computer », *Nature*, vol. 501, n° 7468, p. 526-530, sept. 2013.
- [124] L. Nougaret *et al.*, « 80 GHz field-effect transistors produced using high purity semiconducting single-walled carbon nanotubes », *Appl. Phys. Lett.*, vol. 94, n° 24, p. 243505, juin 2009.
- [125] Y. Cao, G. J. Brady, H. Gui, C. Rutherglen, M. S. Arnold, et C. Zhou, « Radio Frequency Transistors Using Aligned Semiconducting Carbon Nanotubes with Current-Gain Cutoff Frequency and Maximum Oscillation Frequency Simultaneously Greater than 70 GHz », *ACS Nano*, vol. 10, n° 7, p. 6782-6790, juill. 2016.
- [126] J. Guo *et al.*, « Assessment of silicon MOS and carbon nanotube FET performance limits using a general theory of ballistic transistors », in *Electron Devices Meeting, 2002. IEDM '02. International*, 2002, p. 711-714.
- [127] L. C. Castro, D. L. John, et D. L. Pulfrey, « Towards a compact model for Schottky-barrier nanotube FETs », in *2002 Conference on Optoelectronic and Microelectronic Materials and Devices*, 2002, p. 303-306.
- [128] A. Raychowdhury, S. Mukhopadhyay, et K. Roy, « A circuit-compatible model of ballistic carbon nanotube field-effect transistors », *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 23, n° 10, p. 1411-1420, oct. 2004.
- [129] R. Landauer, « Electrical transport in open and closed systems », *Z. Für Phys. B Condens. Matter*, vol. 68, n° 2-3, p. 217-228, juin 1987.
- [130] J. Deng et H.-P. Wong, « Metrics for performance benchmarking of nanoscale Si and carbon nanotube FETs including device nonidealities », *IEEE Trans. Electron Devices*, vol. 53, n° 6, p. 1317-1322, juin 2006.

- [131] J. Deng et H. S. P. Wong, « A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistors Including Nonidealities and Its Application #x2014;Part II: Full Device Model and Circuit Performance Benchmarking », *IEEE Trans. Electron Devices*, vol. 54, n° 12, p. 3195-3205, déc. 2007.
- [132] J. Deng et H. S. P. Wong, « A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistors Including Nonidealities and Its Application #x2014;Part I: Model of the Intrinsic Channel Region », *IEEE Trans. Electron Devices*, vol. 54, n° 12, p. 3186-3194, déc. 2007.
- [133] I. O'Connor *et al.*, « CNTFET modeling and reconfigurable logic-circuit design », *IEEE Trans. Circuits Syst. Regul. Pap.*, vol. 54, n° 11 SPEC. ISS., p. 2365-2379, 2007.
- [134] S. Frégonèse *et al.*, « Computationally efficient physics-based compact CNTFET model for circuit design », *IEEE Trans. Electron Devices*, vol. 55, n° 6, p. 1317-1327, 2008.
- [135] S. Frégonèse, J. Goguet, C. Maneux, et T. Zimmer, « Implementation of electron-phonon scattering in a CNTFET compact model », *IEEE Trans. Electron Devices*, vol. 56, n° 6, p. 1184-1190, 2009.
- [136] S. Frégonèse, C. Maneux, et T. Zimmer, « Implementation of tunneling phenomena in a CNTFET compact model », *IEEE Trans. Electron Devices*, vol. 56, n° 10, p. 2224-2231, 2009.
- [137] H. Hashempour et F. Lombardi, « Device Model for Ballistic CNFETs Using the First Conducting Band », *IEEE Des. Test Comput.*, vol. 25, n° 2, p. 178-186, mars 2008.
- [138] T. J. Kazmierski, D. Zhou, B. M. Al-Hashimi, et P. Ashburn, « Numerically Efficient Modeling of CNT Transistors With Ballistic and Nonballistic Effects for Circuit Simulation », *IEEE Trans. Nanotechnol.*, vol. 9, n° 1, p. 99-107, janv. 2010.
- [139] M. Najari, S. Frégonèse, C. Maneux, H. Mnif, T. Zimmer, et N. Masmoudi, « Efficient physics-based compact model for the Schottky barrier carbon nanotube FET », *Phys. Status Solidi C Curr. Top. Solid State Phys.*, vol. 7, n° 11-12, p. 2624-2627, 2010.
- [140] S. Frégonèse, C. Maneux, et T. Zimmer, « A compact model for dual-gate one-dimensional FET: Application to carbon-nanotube FETs », *IEEE Trans. Electron Devices*, vol. 58, n° 1, p. 206-215, 2011.
- [141] J. Goguet, S. Frégonèse, C. Maneux, et T. Zimmer, « Compact model of a dual gate CNTFET: Description and circuit application », présenté à 2008 8th IEEE Conference on Nanotechnology, IEEE-NANO, 2008, p. 388-389.
- [142] L. Wei, D. J. Frank, L. Chang, et H. S. P. Wong, « Noniterative Compact Modeling for Intrinsic Carbon-Nanotube FETs: Quantum Capacitance and Ballistic Transport », *IEEE Trans. Electron Devices*, vol. 58, n° 8, p. 2456-2465, août 2011.

- [143] M. Schroter *et al.*, « A 4" wafer photostepper-based carbon nanotube FET technology for RF applications », in *2011 IEEE MTT-S International Microwave Symposium*, 2011, p. 1-4.
- [144] M. Schroter, M. Haferlach, P. Sakalas, et M. Claus, « A semi-empirical large-signal compact model for RF carbon nanotube field-effect transistors », in *2013 IEEE MTT-S International Microwave Symposium Digest (MTT)*, 2013, p. 1-4.
- [145] M. Schröter, M. Haferlach, A. Pacheco-Sanchez, S. Mothes, P. Sakalas, et M. Claus, « A Semiphysical Large-Signal Compact Carbon Nanotube FET Model for Analog RF Applications », *IEEE Trans. Electron Devices*, vol. 62, n° 1, p. 52-60, janv. 2015.
- [146] J. Luo *et al.*, « Compact Model for Carbon Nanotube Field-Effect Transistors Including Nonidealities and Calibrated With Experimental Data Down to 9-nm Gate Length », *IEEE Trans. Electron Devices*, vol. 60, n° 6, p. 1834-1843, juin 2013.
- [147] B. C. Paul, S. Fujita, M. Okajima, et T. Lee, « Modeling and analysis of circuit performance of ballistic CNFET », in *2006 43rd ACM/IEEE Design Automation Conference*, 2006, p. 717-722.
- [148] S. O. Koswatta, S. Hasan, M. S. Lundstrom, M. P. Anantram, et D. E. Nikonov, « Nonequilibrium Green's Function Treatment of Phonon Scattering in Carbon-Nanotube Transistors », *IEEE Trans. Electron Devices*, vol. 54, n° 9, p. 2339-2351, sept. 2007.
- [149] J. Ben *et al.*, « FPGA design with double-gate carbon nanotube transistors », présenté à ECS Transactions, 2011, vol. 34, p. 1005-1010.
- [150] M. C. Lemme, T. J. Echtermeyer, M. Baus, et H. Kurz, « A Graphene Field-Effect Device », *IEEE Electron Device Lett.*, vol. 28, n° 4, p. 282-284, avr. 2007.
- [151] « 2D Materials for Nanoelectronics », *CRC Press*, 05-avr-2016. [En ligne]. Disponible sur: <https://www.crcpress.com/2D-Materials-for-Nanoelectronics/Houssa-Dimoulas-Molle/p/book/9781498704175>. [Consulté le: 04-sept-2018].
- [152] A. Gahoi, S. Wagner, A. Bablich, S. Kataria, V. Passi, et M. C. Lemme, « Contact resistance study of various metal electrodes with CVD graphene », *Solid-State Electron.*, vol. 125, p. 234-239, nov. 2016.
- [153] S.-J. Han, K. A. Jenkins, A. Valdes Garcia, A. D. Franklin, A. A. Bol, et W. Haensch, « High-Frequency Graphene Voltage Amplifier », *Nano Lett.*, vol. 11, n° 9, p. 3690-3693, sept. 2011.
- [154] S.-J. Han, A. V. Garcia, S. Oida, K. A. Jenkins, et W. Haensch, « Graphene radio frequency receiver integrated circuit », *Nat. Commun.*, vol. 5, p. 3086, janv. 2014.
- [155] C. Yu *et al.*, « Graphene Amplifier MMIC on SiC Substrate », *IEEE Electron Device Lett.*, vol. 37, n° 5, p. 684-687, mai 2016.

- [156] S. Fregonese, M. De Matos, D. Mele, C. Maneux, H. Happy, et T. Zimmer, « Source-Pull and Load-Pull Characterization of Graphene FET », *Electron Devices Soc. IEEE J. Of*, vol. 3, n° 1, p. 49-53, janv. 2015.
- [157] S. Fregonese, M. Potereau, N. Deltimple, C. Maneux, et T. Zimmer, « Benchmarking of GFET devices for amplifier application using multiscale simulation approach », *J. Comput. Electron.*, vol. 12, n° 4, p. 692-700, nov. 2013.
- [158] J. D. Aguirre-Morales *et al.*, « Towards amplifier design with a SiC graphene field-effect transistor », in *2015 Joint International EUROSOCI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOCI-ULIS)*, 2015, p. 93-96.
- [159] I. Meric, M. Y. Han, A. F. Young, B. Ozyilmaz, P. Kim, et K. L. Shepard, « Current saturation in zero-bandgap, top-gated graphene field-effect transistors », *Nat. Nanotechnol.*, vol. 3, n° 11, p. 654-659, nov. 2008.
- [160] V. Ryzhii, M. Ryzhii, et T. Otsuji, « Thermionic and tunneling transport mechanisms in graphene field-effect transistors », *Phys. Status Solidi A*, vol. 205, n° 7, p. 1527-1533, juill. 2008.
- [161] H. Wang, A. Hsu, J. Kong, D. A. Antoniadis, et T. Palacios, « Compact Virtual-Source Current-Voltage Model for Top- and Back-Gated Graphene Field-Effect Transistors », *IEEE Trans. Electron Devices*, vol. 58, n° 5, p. 1523-1533, mai 2011.
- [162] S. Rakheja, Y. Wu, H. Wang, T. Palacios, P. Avouris, et D. A. Antoniadis, « An Ambipolar Virtual-Source-Based Charge-Current Compact Model for Nanoscale Graphene Transistors », *IEEE Trans. Nanotechnol.*, vol. 13, n° 5, p. 1005-1013, sept. 2014.
- [163] D. Jiménez, « Drift-diffusion model for single layer transition metal dichalcogenide field-effect transistors », *Appl. Phys. Lett.*, vol. 101, n° 24, p. 243501, déc. 2012.
- [164] S. Frégonèse *et al.*, « Electrical compact modelling of graphene transistors », *Solid-State Electron.*, vol. 73, p. 27-31, juill. 2012.
- [165] S. Fregonese, M. Magallo, C. Maneux, H. Happy, et T. Zimmer, « Scalable electrical compact modeling for graphene FET transistors », *IEEE Trans. Nanotechnol.*, vol. 12, n° 4, p. 539-546, 2013.
- [166] S. Rodriguez *et al.*, « A Comprehensive Graphene FET Model for Circuit Design », *IEEE Trans. Electron Devices*, vol. 61, n° 4, p. 1199-1206, avr. 2014.
- [167] J. Aguirre-Morales, S. Fregonese, C. Mukherjee, C. Maneux, et T. Zimmer, « An Accurate Physics-Based Compact Model for Dual-Gate Bilayer Graphene FETs », *IEEE Trans. Electron Devices*, vol. 62, n° 12, p. 4333-4339, déc. 2015.

- [168] I. J. Umoh, T. J. Kazmierski, et B. M. Al-Hashimi, « Multilayer Graphene FET Compact Circuit-Level Model With Temperature Effects », *IEEE Trans. Nanotechnol.*, vol. 13, n° 4, p. 805-813, juill. 2014.
- [169] C. Mukherjee, J. D. Aguirre-Morales, S. Frégonèse, T. Zimmer, et C. Maneux, « Versatile Compact Model for Graphene FET Targeting Reliability-Aware Circuit Design », *IEEE Trans. Electron Devices*, vol. 62, n° 3, p. 757-763, mars 2015.
- [170] J. Tian, A. Katsounaros, D. Smith, et Y. Hao, « Graphene Field-Effect Transistor Model With Improved Carrier Mobility Analysis », *IEEE Trans. Electron Devices*, vol. 62, n° 10, p. 3433-3440, oct. 2015.
- [171] G. M. Landauer, D. Jiménez, et J. L. González, « An Accurate and Verilog-A Compatible Compact Model for Graphene Field-Effect Transistors », *IEEE Trans. Nanotechnol.*, vol. 13, n° 5, p. 895-904, sept. 2014.
- [172] F. Pasadas et D. Jiménez, « Large-Signal Model of Graphene Field-Effect Transistors-Part I: Compact Modeling of GFET Intrinsic Capacitances », *IEEE Trans. Electron Devices*, vol. PP, n° 99, p. 1-6, 2016.
- [173] J. Aguirre-Morales *et al.*, « A Large-Signal Monolayer Graphene Field-Effect Transistor Compact Model for RF-Circuit Applications », *IEEE Trans. Electron Devices*, vol. 64, n° 10, p. 4302-4309, oct. 2017.
- [174] J. D. Aguirre-Morales, S. Frégonèse, C. Mukherjee, C. Maneux, et T. Zimmer, « A Large-Signal Monolayer Graphene Field-Effect Transistor Compact Model for RF Circuit Applications », *IEEE Trans. Electron Devices*, (under review).
- [175] J. Aguirre Morales, S. Frégonèse, C. Mukherjee, C. Maneux, et T. Zimmer, *NanoHub: Physics-Based Compact Model for Dual-Gate Bilayer Graphene FETs*; <https://nanohub.org/publications/133/?v=1> . .
- [176] S. Frégonèse, M. Magallo, C. Maneux, H. Happy, et T. Zimmer, « Scalable Electrical Compact Modeling for Graphene FET Transistors », *IEEE Trans. Nanotechnol.*, vol. 12, n° 4, p. 539-546, juill. 2013.
- [177] W. Zhu, V. Perebeinos, M. Freitag, et P. Avouris, « Carrier scattering, mobilities, and electrostatic potential in monolayer, bilayer, and trilayer graphene », *Phys. Rev. B*, vol. 80, n° 23, p. 235402, déc. 2009.
- [178] K. N. Parrish et D. Akinwande, « An exactly solvable model for the graphene transistor in the quantum capacitance limit », *Appl. Phys. Lett.*, vol. 101, n° 5, p. 053501, juill. 2012.

- [179] M. B. Henry et S. Das, « SPICE-compatible compact model for graphene field-effect transistors », in *2012 IEEE International Symposium on Circuits and Systems*, 2012, p. 2521-2524.
- [180] O. Habibpour, J. Vukusic, et J. Stake, « A Large-Signal Graphene FET Model », *IEEE Trans. Electron Devices*, vol. 59, n° 4, p. 968-975, avr. 2012.
- [181] T. Zimmer, S. Fregonese, et H. Happy, « Balun device with GFET transistors », EP3029830A1, 05-déc-2014.
- [182] T. Zimmer et S. Fregonese, « Graphene Transistor-Based Active Balun Architectures », *IEEE Trans. Electron Devices*, vol. 62, n° 9, p. 3079-3083, sept. 2015.
- [183] R. E. Smalley, M. S. Dresselhaus, G. Dresselhaus, et P. Avouris, *Carbon nanotubes: synthesis, structure, properties, and applications*. Springer Science & Business Media, 2003.
- [184] T. Hochrein, « Markets, Availability, Notice, and Technical Performance of Terahertz Systems: Historic Development, Present, and Trends », *J. Infrared Millim. Terahertz Waves*, vol. 36, n° 3, p. 235-254, mars 2015.
- [185] R. Courtland, « A Cheap Terahertz Camera », *IEEE Spectrum: Technology, Engineering, and Science News*, 17-avr-2012. [En ligne]. Disponible sur: <http://spectrum.ieee.org/semiconductors/optoelectronics/a-cheap-terahertz-camera>. [Consulté le: 20-déc-2016].
- [186] K. Sengupta, T. Nagatsuma, et D. M. Mittleman, « Terahertz integrated electronic and hybrid electronic–photonic systems », *Nat. Electron.*, vol. 1, n° 12, p. 622-635, déc. 2018.
- [187] J. Kister, « INTRODUCTION TO PHYSICS OF CONTACT RESISTANCE », San Diego, 1998.
- [188] Q. Yu, M. F. Bauwens, C. Zhang, A. W. Lichtenberger, R. M. Weikle, et N. S. Barker, « Improved Micromachined Terahertz On-Wafer Probe Using Integrated Strain Sensor », *IEEE Trans. Microw. Theory Tech.*, vol. 61, n° 12, p. 4613-4620, déc. 2013.
- [189] N. S. Barker, M. Bauwens, A. L. erger, et R. Weikle, « Silicon-on-Insulator Substrates as a Micromachining Platform for Advanced Terahertz Circuits », *Proc. IEEE*, vol. 105, n° 6, p. 1105-1120, juin 2017.
- [190] Y. Karisan, C. Caglayan, G. C. Trichopoulos, et K. Sertel, « Lumped-Element Equivalent-Circuit Modeling of Millimeter-Wave HEMT Parasitics Through Full-Wave Electromagnetic Analysis », *IEEE Trans. Microw. Theory Tech.*, vol. 64, n° 5, p. 1419-1430, mai 2016.
- [191] C. Caglayan, G. C. Trichopoulos, et K. Sertel, « Non-Contact Probes for On-Wafer Characterization of Sub-Millimeter-Wave Devices and Integrated Circuits », *IEEE Trans. Microw. Theory Tech.*, vol. 62, n° 11, p. 2791-2801, nov. 2014.

- [192] F. J. Schmückle, T. Probst, U. Arz, G. N. Phung, R. Doerner, et W. Heinrich, « Mutual interference in calibration line configurations », in *2017 89th ARFTG Microwave Measurement Conference (ARFTG)*, 2017, p. 1-4.
- [193] S. P. Voinigescu, S. Shopov, J. Bateman, H. Farooq, J. Hoffman, et K. Vasilakopoulos, « Silicon Millimeter-Wave, Terahertz, and High-Speed Fiber-Optic Device and Benchmark Circuit Scaling Through the 2030 ITRS Horizon », *Proc. IEEE*, vol. 105, n° 6, p. 1087-1104, juin 2017.
- [194] J. Jacob, A. DasGupta, M. Schroter, et A. Chakravorty, « Modeling Nonquasi-Static Effects in SiGe HBTs », *IEEE Trans. Electron Devices*, vol. 57, n° 7, p. 1559-1566, juill. 2010.
- [195] N. Augustine, K. Kumar, A. Chakravorty, A. Bhattacharyya, et T. Zimmer, « Efficient models for non-quasi-static effects and correlated noise in SiGe HBTs », in *2012 IEEE International Conference on Electron Devices and Solid State Circuit (EDSSC)*, 2012, p. 1-4.
- [196] S. Yadav, A. Chakravorty, et M. Schroter, « Modeling of the Lateral Emitter-Current Crowding Effect in SiGe HBTs », *IEEE Trans. Electron Devices*, vol. 63, n° 11, p. 4160-4166, nov. 2016.
- [197] Y. Zhao *et al.*, « A 0.56 THz Phase-Locked Frequency Synthesizer in 65 nm CMOS Technology », *IEEE J. Solid-State Circuits*, vol. 51, n° 12, p. 3005-3019, déc. 2016.
- [198] P. Hillger, J. Grzyb, R. Jain, et U. R. Pfeiffer, « Terahertz Imaging and Sensing Applications With Silicon-Based Technologies », *IEEE Trans. Terahertz Sci. Technol.*, vol. 9, n° 1, p. 1-19, janv. 2019.
- [199] M. Deng, « Contribution à la caractérisation et la modélisation jusque 325 GHz de transistors HBT des technologies BiCMOS », thesis, Lille 1, 2014.
- [200] M. Naftaly, R. G. Clarke, D. A. Humphreys, et N. M. Ridler, « Metrology State-of-the-Art and Challenges in Broadband Phase-Sensitive Terahertz Measurements », *Proc. IEEE*, vol. 105, n° 6, p. 1151-1165, juin 2017.
- [201] M. Bieler et U. Arz, « Comparison between time- and frequency-domain high-frequency device characterizations », in *2016 Conference on Precision Electromagnetic Measurements (CPEM 2016)*, 2016, p. 1-2.
- [202] M. Bieler, H. Füser, et K. Pierz, « Time-Domain Optoelectronic Vector Network Analysis on Coplanar Waveguides », *IEEE Trans. Microw. Theory Tech.*, vol. 63, n° 11, p. 3775-3784, nov. 2015.

- [203] P. Struszewski et M. Bieler, « All-optical vector network analyzer with 500 GHz bandwidth and 76 MHz frequency resolution », in *2018 43rd International Conference on Infrared, Millimeter, and Terahertz Waves (IRMMW-THz)*, 2018, p. 1-2.
- [204] Yu-Ming Li, Joerg Appenzeller, IEEE, Joachim Knoch, and Phaedon Avouris,. “High-Performance Carbon Nanotube Field-Effect Transistor With Tunable Polarities”, *IEEE Transactions On Nanotechnology*, Vol. 4, No. 5, September 2005
- [205] Nianduan Lu, Lingfei Wang, Ling Li and Ming Liu, “A review for compact model of graphene field-effect transistors”, *Chinese Physical Society and IOP Publishing Ltd*
- [206] J Deng, HSP Wong “A circuit-compatible SPICE model for enhancement mode carbon nanotube field effect transistors”, *2006 International Conference on Simulation of Semiconductor Processes and Devices*, 2006.
- [207] Yongming Cai, Zhiyong Wang, Rajen Dias, Deepak Goyal, “Electro Optical Terahertz Pulse Reflectometry—an innovative fault isolation tool”, *2010 Proceedings 60th Electronic Components and Technology Conference (ECTC)*
- [208] M Iannazzo, VL Muzzo, S Rodriguez, H Pandey, A Rusu, M Lemme, “Optimization of a Compact I-V Model for Graphene FETs: Extending Parameter Scalability for Circuit Design” *Exploration, IEEE Transactions on Electron Devices* 62 (11), 3870-3875

VI. Liste de publications

- Lien publications sous Google Scholar :

<https://scholar.google.fr/citations?user=dxPk0m8AAAAJ&hl=fr>

- Lien site du laboratoire :

<https://www.ims-bordeaux.fr/fr/annuaire/5029-fregonese-sebastien>

1. Articles dans des revues internationales avec comité de lecture

68 articles RICL de 2002 à 2019

- [RICL68] Chhandak Mukherjee, Marine Couret, Virginie Nodjiadjim, Muriel Riet, J-Y Dupuy, Sebastien Fregonese, Thomas Zimmer, Cristell Maneux, “Scalable Modeling of Thermal Impedance in InP DHBTs Targeting Terahertz Applications”, IEEE Transactions on Electron Devices, vol. 66, 2019
- [RICL67] S Fregonese, M Deng, M De Matos, C Yadav, S Joly, B Plano, C Raya, Bertrand Ardouin, Thomas Zimmer, “Comparison of on-wafer TRL calibration to ISS SOLT calibration with open-short de-embedding up to 500 GHz”, IEEE Transactions on Terahertz Science and Technology 9 (1), 89-97
- [RICL66] Chhandak Mukherjee, Christian Raya, Bertrand Ardouin, Marina Deng, Sebastien Fregonese, Thomas Zimmer, Virginie Nodjiadjim, Muriel Riet, Jean-Yves Dupuy, Mathieu Luisier, Wei Quan, Akshay Arabhavi, Colombo R Bolognesi, Cristell Maneux, “Scalable Compact Modeling of III–V DHBTs: Prospective Figures of Merit Toward Terahertz Operation”, IEEE Transactions on Electron Devices, Vol 65, N 12, pages 5357-5364
- [RICL65] Fregonese, Sebastien ; De Matos, Magali ; Deng, Marina ; Potéreau, Manuel ; Ayela, Cédric ; Aufinger, Klaus ; Zimmer, Thomas, “On-Wafer Characterization of Silicon Transistors Up To 500 GHz and Analysis of Measurement Discontinuities Between the Frequency Bands”, Dans : IEEE Transactions on Microwave Theory and Techniques, 10.1109/TMTT.2018.2832067
- [RICL64] Himadri Pandey, Jorge-Daniel Aguirre-Morales, Satender Kataria, Sebastien Fregonese, Vikram Passi, Mario Iannazzo, Thomas Zimmer, Eduard Alarcon, Max C Lemme, “Enhanced intrinsic voltage gain in artificially stacked bilayer CVD graphène field effect transistors”, 2017/11, Annalen der Physik, Volume 529, Numéro 11.
- [RICL63] Rosario D’Esposito, Suresh Balanethiram, Jean-Luc Battaglia, Sébastien Fregonese and Thomas Zimmer, “Thermal penetration depth analysis and impact of the BEOL metals on the thermal impedance of SiGe HBTs”, IEEE Electron Device Letters, 2017, DOI: 10.1109/LED.2017.2743043
- [RICL62] Jorge-Daniel Aguirre-Morales; Sébastien Fregonese; Chhandak Mukherjee; Wei Wei; Henri Happy; Cristell Maneux; Thomas Zimmer, “A Large-Signal Monolayer Graphène Field-Effect Transistor Compact Model for RF-Circuit Applications”, IEEE Transactions on Electron Devices, Year: 2017, DOI: 10.1109/TED.2017.2736444
- [RICL61] Suresh Balanethiram; Anjan Chakravorty; Rosario D’Esposito; Sebastien Fregonese; Didier Céli; Thomas Zimmer, “Accurate Modeling of Thermal Resistance for On-Wafer SiGe HBTs Using Average Thermal Conductivity”, IEEE Transactions on Electron Devices, Year: 2017, Volume: 64, Issue: 9, Pages: 3955 - 3960, DOI: 10.1109/TED.2017.2724939
- [RICL60] Chevalier P, et al., “Si/SiGe:C and InP/GaAsSb Heterojunction Bipolar Transistors for THz Applications”, (2017) Proceedings of the IEEE, . DOI: 10.1109/JPROC.2017.2669087

- [RICL59] Kazemi, A., Vaziri, S., Aguirre Morales, J.D., Fregonese, S., Cavallo, F., Zamiri, M., Dawson, N., Artyushkova, K., Jiang, Y.B., Brueck, S.J.R., Krishna, S., “Vertical Charge Transfer and Lateral Transport in Graphène/Germanium Heterostructures”, (2017) ACS Applied Materials and Interfaces, DOI: 10.1021/acsami.7b01424
- [RICL58] Balanethiram, S., D'Esposito, R., Chakravorty, A., Fregonese, S., Zimmer, T., “Extraction of BEOL Contributions for Thermal Resistance in SiGe HBTs”, (2017) IEEE Transactions on Electron Devices, DOI: 10.1109/TED.2016.2645615
- [RICL57] Hanna, T., Deltimple, N., Khenissa, M.S., Pallecchi, E., Happy, H., Fregonese, S., “2.5 GHz integrated graphène RF power amplifier on SiC substrate”, (2017) Solid-State Electronics, DOI: 10.1016/j.sse.2016.10.002
- [RICL56] Dwivedi, A.D.D., D'Esposito, R., Sahoo, A.K., Fregonese, S., Zimmer, T., “A Study on Self-Heating and Mutual Thermal Coupling in SiGe Multi-Finger HBTs”, (2016) Journal of Electronic Materials, DOI: 10.1007/s11664-016-4728-6
- [RICL55] Balanethiram, S., D'Esposito, R., Chakravorty, A., Fregonese, S., Céli, D., Zimmer, T., “Efficient modeling of distributed dynamic self-heating and thermal coupling in multifinger SiGe HBTs”, (2016) IEEE Transactions on Electron Devices, DOI: 10.1109/TED.2016.2586539
- [RICL54] D'Esposito, R., Fregonese, S., Chakravorty, A., Chevalier, P., Céli, D., Zimmer, T., “Innovative SiGe HBT Topologies with Improved Electrothermal Behavior”, (2016) IEEE Transactions on Electron Devices, DOI: 10.1109/TED.2016.2570601
- [RICL53] Fregonese, S., Zimmer, T., “Comments on optimization of a compact I-V model for graphène FETs: Extending parameter scalability for circuit design exploration”, (2016) IEEE Transactions on Electron Devices, DOI: 10.1109/TED.2016.2540920
- [RICL52] Chakravorty, A., D'Esposito, R., Balanethiram, S., Fregonese, S., Zimmer, T., “Analytic Estimation of Thermal Resistance in HBTs”, (2016) IEEE Transactions on Electron Devices, DOI: 10.1109/TED.2016.2572959
- [RICL51] Dwivedi, A.D.D., Chakravorty, A., D'Esposito, R., Sahoo, A.K., Fregonese, S., Zimmer, T., “Effects of BEOL on self-heating and thermal coupling in SiGe multi-finger HBTs under real operating condition”, (2016) Solid-State Electronics, DOI: 10.1016/j.sse.2015.09.016
- [RICL50] Aguirre-Morales, J.-D., Fregonese, S., Mukherjee, C., Maneux, C., Zimmer, T., “An Accurate Physics-Based Compact Model for Dual-Gate Bilayer Graphène FETs”, (2015) IEEE Transactions on Electron Devices, DOI: 10.1109/TED.2015.2487243
- [RICL49] Fregonese, S., Venica, S., Driussi, F., Zimmer, T., “Electrical compact modeling of Graphène base transistors”, (2015) Electronics, DOI: 10.3390/electronics4040969
- [RICL48] Zimmer, T., Fregonese, S., “Graphène Transistor-Based Active Balun Architectures”, (2015) IEEE Transactions on Electron Devices, DOI: 10.1109/TED.2015.2457496
- [RICL47] Mukherjee, C., Aguirre-Morales, J., Fregonese, S., Zimmer, T., Maneux, C., “Versatile Compact Model for Graphène FET Targeting Reliability-Aware Circuit Design”, (2015) IEEE Transactions on Electron Devices, DOI: 10.1109/TED.2015.2395134
- [RICL46] Sahoo, A.K., Fregonese, S., Scheer, P., Celi, D., Juge, A., Zimmer, T., “Nonlinear modelling of dynamic self-heating in 28 nm bulk complementary metal-oxide semiconductor technology”, (2015) Electronics Letters, DOI: 10.1049/el.2015.0200
- [RICL45] Sahoo, A.K., Fregonese, S., Scheer, P., Celi, D., Juge, A., Zimmer, T., “Obtaining DC and AC isothermal electrical characteristics for RF MOSFET”, (2015) Solid-State Electronics, DOI: 10.1016/j.sse.2015.01.021
- [RICL44] A. K. Sahoo, S. Fregonese, P. Scheer, D. Celi, A. Juge, et T. Zimmer, « Pulsed radio frequency characterisation on 28nm complementary metal-oxide semiconductor technology », *Electron. Lett.*, vol. 51, n° 1, p. 71-72, 2015.
- [RICL43] A. K. Sahoo, S. Fregonese, R. D'Esposito, C. Maneux, et T. Zimmer, « Isothermal electrical characteristic extraction for mmWave HBTs », *IEEE Trans. Electron Devices*, vol. 62, n° 1, p. 232-235, 2015.
- [RICL42] A. K. Sahoo, S. Fregonese, R. Desposito, K. Aufinger, C. Maneux, et T. Zimmer, « A geometry scalable model for nonlinear thermal impedance of trench isolated HBTs », *IEEE Electron Device Lett.*, vol. 36, n° 1, p. 56-58, 2015.
- [RICL41] S. Fregonese, M. De Matos, D. Mele, C. Maneux, H. Happy, et T. Zimmer, « Source-pull and load-pull characterization of graphène FET », *IEEE J. Electron Devices Soc.*, vol. 3, n° 1, p. 49-53, 2014.

- [RICL40] S. Rodriguez, S. Vaziri, A. Smith, S. Fregonese, M. Ostling, M. C. Lemme, et A. Rusu, « A comprehensive graphène FET model for circuit design », *IEEE Trans. Electron Devices*, vol. 61, n° 4, p. 1199-1206, 2014.
- [RICL39] C. Maneux, S. Fregonese, et T. Zimmer, « Innovative dual-gate CNTFET logic cell: Investigation of technological dispersion impact through compact modeling », *IEEE Trans. Nanotechnol.*, vol. 13, n° 6, p. 1053-1062, 2014.
- [RICL38] T. Zimmer et S. Fregonese, « Foreword », *Solid-State Electron.*, vol. 84, p. 1, 2013.
- [RICL37] M. Weiß, S. Fregonese, M. Santorelli, A. K. Sahoo, C. Maneux, et T. Zimmer, « 80 ns/45 GHz Pulsed measurement system for DC and RF characterization of high speed microwave devices », *Solid-State Electron.*, vol. 84, p. 74-82, 2013.
- [RICL36] C. Maneux, S. Fregonese, T. Zimmer, S. Retailleau, H. N. Nguyen, D. Querlioz, A. Bournel, P. Dollfus, F. Triozon, Y. M. Niquet, et S. Roche, « Multiscale simulation of carbon nanotube transistors », *Solid-State Electron.*, vol. 89, p. 26-67, 2013.
- [RICL35] Potereau, M. ; Raya, C. ; De Matos, M. ; Fregonese, S. ; Curutchet, A. ; Zhang, M. ; Ardouin, B. ; Zimmer, T., « Limitations of on-wafer calibration and de-embedding methods in the sub-THz range », *Journal of Computer and Communications (JCC)*, 2013, 1 (6), pp.25-29. <10.4236/jcc.2013.16005>
- [RICL34] S. Fregonese, M. Potereau, N. Deltimple, C. Maneux, et T. Zimmer, « Benchmarking of GFET devices for amplifier application using multiscale simulation approach », *J. Comput. Electron.*, vol. 12, n° 4, p. 692-700, 2013.
- [RICL33] S. Fregonese, M. Magallo, C. Maneux, H. Happy, et T. Zimmer, « Scalable electrical compact modeling for graphène FET transistors », *IEEE Trans. Nanotechnol.*, vol. 12, n° 4, p. 539-546, 2013.
- [RICL32] A. K. Sahoo, S. Fregonese, M. Weiß, B. Grandchamp, N. Malbert, et T. Zimmer, « Characterization of self-heating in Si-Ge HBTs with pulse, DC and AC measurements », *Solid-State Electron.*, vol. 76, p. 13-18, 2012.
- [RICL31] A. K. Sahoo, S. Frégonèse, M. Weis, N. Malbert, et T. Zimmer, « A scalable electrothermal model for transient self-heating effects in trench-isolated SiGe HBTs », *IEEE Trans. Electron Devices*, vol. 59, n° 10, p. 2619-2625, 2012.
- [RICL30] B. Grandchamp, S. Frégonèse, C. Majek, C. Hainaut, C. Maneux, N. Meng, H. Happy, et T. Zimmer, « Characterization and modeling of graphène transistor low-frequency noise », *IEEE Trans. Electron Devices*, vol. 59, n° 2, p. 516-519, 2012.
- [RICL29] S. Frégonèse, N. Meng, H.-N. Nguyen, C. Majek, C. Maneux, H. Happy, et T. Zimmer, « Electrical compact modelling of graphène transistors », *Solid-State Electron.*, vol. 73, p. 27-31, 2012.
- [RICL28] Kumar Sahoo, Amit ; Weiß, Mario ; Fregonese, Sébastien ; Malbert, Nathalie ; Zimmer, Thomas, « Transient electro-thermal characterization of Si-Ge heterojunction bipolar transistors », *Solid-State Electronics*, Elsevier, 2012, 74, pp.77-84. <10.1016/j.sse.2012.04.015>.
- [RICL27] A. K. Sahoo, S. Fregonese, T. Zimmer, et N. Malbert, « Thermal impedance modeling of SiGe HBTs from low-frequency small-signal measurements », *IEEE Electron Device Lett.*, vol. 32, n° 2, p. 119-121, 2011.
- [RICL26] M. Najari, S. Frégonèse, C. Maneux, H. Mnif, N. Masmoudi, et T. Zimmer, « Schottky barrier carbon nanotube transistor: Compact modeling, scaling study, and circuit design applications », *IEEE Trans. Electron Devices*, vol. 58, n° 1, p. 195-205, 2011.
- [RICL25] S.-Y. Liao, J.-M. Retrouvey, G. Agnus, W. Zhao, C. Maneux, S. Frégonèse, T. Zimmer, D. Chabi, A. Filoramo, V. Derycke, C. Gamrat, et J.-O. Klein, « Design and modeling of a neuro-inspired learning circuit using nanotube-based memory devices », *IEEE Trans. Circuits Syst. Regul. Pap.*, vol. 58, n° 9, p. 2172-2181, 2011.
- [RICL24] S. Frégonèse, C. Maneux, et T. Zimmer, « A compact model for dual-gate one-dimensional FET: Application to carbon-nanotube FETs », *IEEE Trans. Electron Devices*, vol. 58, n° 1, p. 206-215, 2011.
- [RICL23] H. Ben Jamaa, M. ; Gaillardon, p.-E. ; Frégonèse, S. ; De Marchi, M. ; De Micheli, G. ; Zimmer, T. ; O'Connor, I. ; Clermidy, F., « FPGA Design with Double-Gate Carbon Nanotube Transistors », *The Electro-Chemical Society Transactions*, 2011, 34 (1), pp.495-501
- [RICL22] T. Zimmer, P.-M. Mans, S. Jouan, S. Fregonese, B. Vandelle, D. Pache, C. Arnaud, et C. Maneux, « SiGe HBTs optimization for wireless power amplifier applications », *Act. Passive Electron. Compon.*, vol. 2010, 2010.

- [R1CL21] M. Najari, S. Frégonèse, C. Maneux, H. Mnif, T. Zimmer, et N. Masmoudi, « Efficient physics-based compact model for the Schottky barrier carbon nanotube FET », *Phys. Status Solidi C Curr. Top. Solid State Phys.*, vol. 7, n° 11-12, p. 2624-2627, 2010.
- [R1CL20] S.-Y. Liao, C. Maneux, V. Pouget, S. Frégonèse, et T. Zimmer, « Compact modeling of optically gated carbon nanotube field effect transistor », *Phys. Status Solidi B Basic Res.*, vol. 247, n° 8, p. 1858-1861, 2010.
- [R1CL19] S. Frégonèse, C. Maneux, et T. Zimmer, « A versatile compact model for ballistic 1D transistor: GNR-FET and CNT-FET comparison », *Solid-State Electron.*, vol. 54, n° 11, p. 1332-1338, 2010.
- [R1CL18] M. Al-Sadi, S. Frégonèse, C. Maneux, et T. Zimmer, « TCAD modeling of NPN-SI-BJT electrical performance improvement through SiGe extrinsic stress layer », *Mater. Sci. Semicond. Process.*, vol. 13, n° 5-6, p. 344-348, 2010.
- [R1CL17] S. Frégonèse, C. Maneux, et T. Zimmer, « Technological dispersion in CNT-FET: Impact of the presence of metallic carbon nanotubes in logic circuits », *Solid-State Electron.*, vol. 53, n° 10, p. 1103-1106, 2009.
- [R1CL16] S. Frégonèse, C. Maneux, et T. Zimmer, « Implementation of tunneling phenomena in a CNT-FET compact model », *IEEE Trans. Electron Devices*, vol. 56, n° 10, p. 2224-2231, 2009.
- [R1CL15] S. Frégonèse, J. Goguet, C. Maneux, et T. Zimmer, « Implementation of electron-phonon scattering in a CNT-FET compact model », *IEEE Trans. Electron Devices*, vol. 56, n° 6, p. 1184-1190, 2009.
- [R1CL14] C. Adessi, R. Avriller, X. Blase, A. Bournel, H. Cazin d'Honinchtun, P. Dollfus, S. Frégonèse, S. Galdin-Retailleau, A. López-Bezanilla, C. Maneux, H. Nha Nguyen, D. Querlioz, S. Roche, F. Triozon, et T. Zimmer, « Multiscale simulation of carbon nanotube devices », *Comptes Rendus Phys.*, vol. 10, n° 4, p. 305-319, 2009.
- [R1CL13] S. Frégonèse, Y. Zhuang, et J. N. Burghartz, « Modeling of strained CMOS on disposable SiGe dots: Shape impacts on electrical/thermal characteristics », *Solid-State Electron.*, vol. 52, n° 6, p. 919-925, 2008.
- [R1CL12] S. Frégonèse, H. Cazin d'Honinchtun, J. Goguet, C. Maneux, T. Zimmer, J.-P. Bourgoin, P. Dollfus, et S. Galdin-Retailleau, « Computationally efficient physics-based compact CNT-FET model for circuit design », *IEEE Trans. Electron Devices*, vol. 55, n° 6, p. 1317-1327, 2008.
- [R1CL11] L. Béchou, Y. Danto, J.-Y. Deletage, F. Verdier, Y. Deshayes, S. Frégonèse, C. Maneux, T. Zimmer, et D. Laffitte, « Challenges and potential of new approaches for reliability assessment of nanotechnologies », *Comptes Rendus Phys.*, vol. 9, n° 1, p. 95-109, 2008.
- [R1CL10] G. Avenier, S. Frégonèse, P. Chevalier, J. Bustos, F. Saguin, T. Schwartzmann, C. Maneux, T. Zimmer, et A. Chantre, « Electrical behavior and technology optimization of Si/SiGeC HBTs on thin-film SOI », *IEEE Trans. Electron Devices*, vol. 55, n° 2, p. 585-593, 2008.
- [R1CL9] I. O'Connor, J. Liu, F. Gaffiot, F. Prégaldiny, C. Lallement, C. Maneux, J. Goguet, S. Frégonèse, T. Zimmer, L. Anghel, T.-T. Dang, et R. Leveugle, « CNT-FET modeling and reconfigurable logic-circuit design », *IEEE Trans. Circuits Syst. Regul. Pap.*, vol. 54, n° 11 SPEC. ISS., p. 2365-2379, 2007.
- [R1CL8] S. Frégonèse, Y. Zhuang, et J. N. Burghartz, « Modeling of strained CMOS on disposable SiGe dots: Strain impacts on devices' electrical characteristics », *IEEE Trans. Electron Devices*, vol. 54, n° 9, p. 2321-2326, 2007.
- [R1CL7] M. Schroter, S. Lehmann, S. Frégonèse, et T. Zimmer, « A computationally efficient physics-based compact bipolar transistor model for circuit design - Part I: Model formulation », *IEEE Trans. Electron Devices*, vol. 53, n° 2, p. 279-286, 2006.
- [R1CL6] S. Frégonèse, S. Lehmann, T. Zimmer, M. Schroter, D. Céli, B. Ardouin, H. Beckrich, P. Brenner, et W. Kraus, « A computationally efficient physics-based compact bipolar transistor model for circuit design - Part II: Parameter extraction and experimental results », *IEEE Trans. Electron Devices*, vol. 53, n° 2, p. 287-295, 2006.
- [R1CL5] S. Frégonèse, G. Avenier, C. Maneux, A. Chantre, et T. Zimmer, « A compact model for SiGe HBT on thin-film SOI », *IEEE Trans. Electron Devices*, vol. 53, n° 2, p. 296-303, 2006.
- [R1CL4] S. Frégonèse, D. Céli, T. Zimmer, C. Maneux, et P. Y. Sulima, « A scalable substrate network for compact modelling of deep trench insulated HBT », *Solid-State Electron.*, vol. 49, n° 10, p. 1623-1631, 2005.

- [RICL3] H. Mnif, T. Zimmer, J. L. Battaglia, et S. Fregonese, « Analysis and modeling of the self-heating effect in SiGe HBTs », *EPJ Appl. Phys.*, vol. 25, n° 1, p. 11-23, 2004.
- [RICL2] H. Mnif, T. Zimmer, J. L. Battaglia, et S. Fregonese, « Representation of the SiGe HBT's thermal impedance by linear and recursive networks », *Microelectron. Reliab.*, vol. 44, n° 6, p. 945-950, 2004.
- [RICL1] S. Frégonèse, T. Zimmer, H. Mnif, P. Baureis, et C. Maneux, « Obtaining isothermal data for HBT », *IEEE Trans. Electron Devices*, vol. 51, n° 7, p. 1211-1214, 2004.

2. Conférences invitées / sessions spéciales

15 articles ont été publiés.

- [ICCL15] W Wei, D Fadil, E Pallecchi, G Dambrine, H Happy, M Deng, S Fregonese, T Zimmer, “High frequency and noise performance of GFETs”, 2017/6/20, IEEE Conference Noise and Fluctuations (ICNF), 2017.
- [ICCL14] S. Fregonese, M. Deng, M. Potereau, M. De Matos, T. Zimmer, « Beyond 100GHz: Device characterization for THz applications », MOS-AK Hangzhou, China 2017
- [ICCL13] Fregonese, S., Daniel Aguirre Morales, J., De Matos, M., Maneux, C., Zimmer, T., “Graphène FET evaluation for RF and mmWave circuit applications”, (2015) Proceedings - IEEE International Symposium on Circuits and Systems, DOI: 10.1109/ISCAS.2015.7169298
- [ICCL12] Ardouin, Bertrand ; Schroter, Michael ; Zimmer, Thomas ; Aufinger, Klaus ; Pfeiffer, Ulrich ; Raya, Christian ; Mukherjee, A. ; Malz,, S. ; Fregonese, Sebastien ; D'Esposito, Rosario ; De Matos, Magali, “Compact Model Validation Strategies Based on Dedicated and Benchmark Circuit Blocks for the mm-Wave Frequency Range”, proceeding of the Compound Semiconductor Integrated Circuit Symposium (CSICS), 2015 IEEE,, New Orleans, LA, USA (United States)On the Use of Single-Crystals of Organic Semiconductors in Novel Electronic Devices
- [ICCL10] Guillaume Wantz, Stephane Bachevillier, Marcos Reyes-Martinez, Cedric Ayela, Sebastien Fregonese, Lionel Hirsch, Alejandro L Briseno, « On the Use of Single-Crystals of Organic Semiconductors in Novel Electronic Devices », 2015 MRS Spring Meeting, San Francisco, California
- [ICCL9] T. Zimmer, M. Wei, S. C. Maneux, et S. Fregonese, « Electro-Thermal Investigation and Modeling of SiGe Hbt High-Speed Devices », in *SiGe, Ge & Related Compounds: Materials, Processing and Devices*, Mexico, 2014.
- [ICCL8] T. Zimmer, S. Fregonese, et C. Maneux, « The potential of graphène for RF applications », in *BIT's 3rd World Congress of Advanced Materials*, China, 2014.
- [ICCL7] Z. T., S. K.A., W. S. M., M. C., et F. S., « Electro-thermal characterization of advanced technologies », in *ICTC Compact Modeling Workshop*, Shanghai, China, 2014.
- [ICCL6] T. Zimmer, S. Fregonese, et C. Maneux, « The potential of graphène for electronics », in *The International Multi-Conference on Systems, Signals and Devices 2013*, Hammamet, Tunisia, 2013,
- [ICCL5] T. Zimmer, S. Fregonese, et C. Maneux, « The potential of graphène for electronics », in *SDD, International Multi-Conference on Systems Signals & Devices*, Tunisia, 2013.
- [ICCL4] H. Happy, D. MELE, S. FREGONÈSE, H. Kim, E. Pichonat, S. Lepilliet, C. Sire, V. Derycke, D. Vignaud, et G. Dambrine, « Graphène : what challenges for RF applications? », in *TELECOM'2013 and 8èmes Journées Franco-Maghrébines des Micro-ondes et leurs Applications*, Marrakech, Morocco, 2013, p. papier 324, 1-4.
- [ICCL3] S. Fregonese, A. Kumar Sahoo, M. Weib, et C. Maneux, « Electro-Thermal Device Characterization & Modelling », in *OBip: Open Bipolar Workshop at BCTM in Bordeaux*, France, 2013.
- [ICCL2] S. Fregonese, M. Cristell, et Z. Thomas, « Anything else beyond CMOS? », in *Atelier CNRS : « Nouveaux paradigmes de traitement de l'information »*, Paris, France, 2011.

[ICCL1] H. Happy, L. Nougaret, G. Dambrine, N. Chimot, V. Derycke, J. P. Bourgoin, T. Zimmer, C. Maneux, et S. Fregonese, « Carbon nanotube FETs for high frequency applications : overview and state of the art », in 12èmes Journées Nano, Micro et Optoélectronique, JNMO'08, St Pierre d'Oléron, France, 2008.

3. Communications internationales avec actes

89 articles internationaux avec comité de lecture ont été publiés depuis 2003. .

- [ICICL89] C Yadav, M Deng, S Fregonese, M DeMatos, B Plano, T Zimmer, “Impact of on-Silicon De-Embedding Test Structures and RF Probes Design in the Sub-THz Range”, 2018 48th European Microwave Conference (EuMC), 21-24
- [ICICL88] D Fadi, W Wei, E Pallecchi, M Anderson, J Stake, M Deng, S Fregonese, T Zimmer, H Happy, 2D RF Electronics: from devices to circuits-challenges and applications, 2018 76th Device Research Conference (DRC), 1-2
- [ICICL87] D Fadil, W Wei, M Deng, S Fregonese, W Strupinski, E Pallecchi, H Happy “2D-Graphène Epitaxy on SiC for RF Application: Fabrication, Electrical Characterization and Noise Performance”, 2018 IEEE/MTT-S International Microwave Symposium-IMS, 228-231
- [ICICL86] Chandan Yadav, Marina Deng, Magali De Matos, Sebastien Fregonese, Thomas Zimmer, Importance of complete characterization setup on on-wafer TRL calibration in sub-THz range, 2018 IEEE International Conference on Microelectronic Test Structures (ICMTS)
- [ICICL85] M Deng, S Frégonèse, D Céli, P Chevalier, M De Matos, T Zimmer, “Design of Silicon On-Wafer Sub-THz Calibration Kit”, 2017 Mediterranean Microwave Symposium (MMS), 1-4
- [ICICL84] S Balanethiram, R D'Esposito, S Fregonese, T Zimmer, J Berkner, D Celi, “Extracting the temperature dependence of thermal resistance from temperature-controlled DC measurements of SiGe HBTs”, 2017 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), 94-97
- [ICICL83] Tony Hanna, Nathalie Deltimple, Sébastien Frégonèse, « A class-J power amplifier for 5G applications in 28nm CMOS FD-SOI technology”, 2017/8/28, Proceedings of the 30th Symposium on Integrated Circuits and Systems Design: Chip on the Sands, Pages 110-113
- [ICICL82] Tony Hanna, Nathalie Deltimple, Sebastien Fregonese, A wideband highly efficient class-J integrated power amplifier for 5G applications, 2017/6/25, 2017 15th IEEE International New Circuits and Systems Conference (NEWCAS), pages 325-328
- [ICICL81] Schroter, M., Boeck, J., D'Alessandro, V., Fregonese, S., Heinemann, B., Jungemann, C., Liang, W., Kamrani, H., Mukherjee, A., Pawlak, A., Pfeiffer, U., Rinaldi, N., Sarmah, N., Zimmer, T., Wedel, G., “The EU DOTSEVEN Project: Overview and Results”, (2016) Technical Digest - IEEE Compound Semiconductor Integrated Circuit Symposium, CSIC, DOI: 10.1109/CSICS.2016.7751070
- [ICICL80] Vu, V.T., Celi, D., Zimmer, T., Fregonese, S., Chevalier, P. “Advanced Si/SiGe HBT architecture for 28-nm FD-SOI BiCMOS”, (2016) Proceedings of the IEEE Bipolar/BiCMOS Circuits and Technology Meeting, DOI: 10.1109/BCTM.2016.7738955
- [ICICL79] Balanethiram, S., Chakravorty, A., D'Esposito, R., Fregonese, S., Zimmer, T., “An improved scalable self-consistent iterative model for thermal resistance in SiGe HBTs”, (2016) Proceedings of the IEEE Bipolar/BiCMOS Circuits and Technology Meeting, DOI: 10.1109/BCTM.2016.7738953
- [ICICL78] Aguirre-Morales, J.D., Fregonese, S., Mukherjee, C., Maneux, C., Zimmer, T., Wei, W., Happy, H., “Physics-based electrical compact model for monolayer Graphène FETs”,(2016) European Solid-State Device Research Conference, DOI: 10.1109/ESSDERC.2016.7599630

- [CICL77] Curutchet, A., Ghiotto, A., Potéreau, M., De Matos, M., Fregonese, S., Kerhervé, E., Zimmer, T., “On the development of a novel high VSWR programmable impedance tuner”, (2016) International Journal of Microwave and Wireless Technologies, DOI: 10.1017/S1759078716000659
- [CICL76] D'Esposito, R., Fregonese, S., Zimmer, T., Chakravorty, A. “Dedicated test-structures for investigation of the thermal impact of the BEOL in advanced SiGe HBTs in time and frequency domain”, (2016) IEEE International Conference on Microelectronic Test Structures, DOI: 10.1109/ICMTS.2016.7476168
- [CICL75] Potereau, M., Curutchet, A., D'Esposito, R., De Matos, M., Fregonese, S., Zimmer, T., “A test structure set for on-wafer 3D-TRL calibration”, (2016) IEEE International Conference on Microelectronic Test Structures, DOI: 10.1109/ICMTS.2016.7476182
- [CICL74] Vu, V.T., Celi, D., Zimmer, T., Fregonese, S., Chevalier, P., “TCAD calibration of high-speed Si/SiGe HBTs in 55-nm BiCMOS”, (2016) ECS Transactions, DOI: 10.1149/07508.0113ecst
- [CICL73] Potéreau, M., Deng, M., Raya, C., Ardouin, B., Aufinger, K., Ayela, C., De Matos, M., Curutchet, A., Frégonèse, S., Zimmer, T., “Meander type transmission line design for On-Wafer TRL calibration”, (2016) European Microwave Week 2016: "Microwaves Everywhere", EuMW 2016 - Conference Proceedings; 46th European Microwave Conference, DOI: 10.1109/EuMC.2016.7824358
- [CICL72] Manuel, P., Fregonese, S., Curutchet, A., Baureis, P., Zimmer, T., “New 3D-TRL structures for on-wafer calibration for high frequency S-parameter measurement”, (2015) European Microwave Week 2015: "Freedom Through Microwaves", EuMW 2015 - Conference Proceedings; 2015 45th European Microwave Conference Proceedings, DOI: 10.1109/EuMC.2015.7345726
- [CICL71] Curutchet, A., Ghiotto, A., Potereau, M., De Matos, M., Fregonese, S., Kerherve, E., Zimmer, T., “Early demonstration of a high VSWR microwave coaxial programmable impedance tuner with coaxial slugs”, (2015) European Microwave Week 2015: "Freedom Through Microwaves", EuMW 2015 - Conference Proceedings; 2015 45th European Microwave Conference Proceedings, EuMC, DOI: 10.1109/EuMC.2015.7345845
- [CICL70] Vu, V.T., Rosenbaum, T., Saxod, O., Celi, D., Zimmer, T., Fregonese, S., Chevalier, P., “Impact study of the process thermal budget of advanced CMOS nodes on SiGe HBT performance”, (2015) Proceedings of the IEEE Bipolar/BiCMOS Circuits and Technology Meeting, DOI: 10.1109/BCTM.2015.7340558
- [CICL69] Balanethiram, S., Chakravorty, A., D'Esposito, R., Fregonese, S., Zimmer, T., “Efficient modeling of static self-heating and thermal-coupling in multi-finger SiGe HBTs”, (2015) Proceedings of the IEEE Bipolar/BiCMOS Circuits and Technology Meeting, DOI: 10.1109/BCTM.2015.7340557
- [CICL68] Aguirre-Morales, J.D., Fregonese, S., Mukherjee, C., Maneux, C., Zimmer, T., “A new physics-based compact model for Bilayer Graphène Field-Effect Transistors”, (2015) European Solid-State Device Research Conference, DOI: 10.1109/ESSDERC.2015.7324743
- [CICL67] Mukherjee, C., Aguirre-Morales, J.D., Fregonese, S., Zimmer, T., Maneux, C., Happy, H., Wei, W., “Characterization and modeling of low-frequency noise in CVD-grown graphène FETs”, (2015) European Solid-State Device Research Conference, DOI: 10.1109/ESSDERC.2015.7324742
- [CICL66] Ardouin, B., Schroter, M., Zimmer, T., Aufinger, K., Pfeiffer, U., Raya, C., Mukherjee, A., Malz, S., Fregonese, S., D'Esposito, R., De Matos, M., “Compact Model Validation Strategies Based on Dedicated and Benchmark Circuit Blocks for the mm-Wave Frequency Range”, (2015) 2015 IEEE Compound Semiconductor Integrated Circuit Symposium, CSICS 2015, DOI: 10.1109/CSICS.2015.7314492
- [CICL65] Fregonese, S., D'Esposito, R., De Matos, M., Kohler, A., Maneux, C., Zimmer, T., “Substrate-coupling effect in BiCMOS technology for millimeter wave applications”, (2015) Conference Proceedings - 13th IEEE International NEW Circuits and Systems Conference, NEWCAS 2015, DOI: 10.1109/NEWCAS.2015.7181981
- [CICL64] Aguirre-Morales, J.D., Frégonèse, S., Dwivedi, A.D.D., Zimmer, T., Khenissa, M.S., Belhaj, M.M., Happy, H., “Towards amplifier design with a SiC graphène field-effect transistor”, (2015) EUROSIOI-ULIS 2015 - 2015 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon, DOI: 10.1109/ULIS.2015.7063781

- [CICL63] T. Zimmer et S. Fregonese, « Graphène electronics: how far from industrial applications », in ICTC Compact Modeling Workshop, Shangai, China, 2014.
- [CICL62] C. Mukherjee, D. A. Morales, S. Fregonese, C. Maneux, et T. Zimmer, « Statistical Study on the Variation of Device Performance in CVD-grown Graphène FETs », in Graphène week 2014, France, 2014, p. 1-3.
- [CICL61] M. Chhandak, S. Fregonese, T. Zimmer, H. Happy, D. MELE, et C. Maneux, « Qualitative Assessment of Epitaxial Graphène FETs on SiC Substrates via Pulsed Measurements and Temperature Variation », in Solid State Device Research Conference (ESSDERC), 2014, 44th European, Venise, Italy, 2014.
- [CICL60] J. D. Aguirre-Morales, C. Mukherjee, S. Fregonese, C. Maneux, et T. Zimmer, « Analytical Study of Performances of Bilayer and Monolayer Graphène FETs based on Physical Mechanisms », in Graphène week, Toulouse, France, 2014, p. 1-3.
- [CICL59] M. Weib, A. K. Sahoo, C. Maneux, S. Fregonese, et T. Zimmer, « Mutual thermal coupling in SiGe:C HBTs », in Chip in Curitiba 2013 - SBMicro 2013: 28th Symposium on Microelectronics Technology and Devices, Curitiba, Brazil, 2013, p. Article number 6676131.
- [CICL58] M. Weib, K. Sahoo Amit, C. Raya, M. Santorelli, S. Fregonese, C. Maneux, et T. Zimmer, « Characterization of intra device mutual thermal coupling in multi finger SiGe:C HBTs », in EDSSC 2013, Hong Kong, China, 2013.
- [CICL57] M. Weib, K. Sahoo Amit, C. Maneux, S. Fregonese, et T. Zimmer, « Modeling of mutual thermal coupling in SiGe:C HBTs », in SBMicro 2013, Curitiba, Brazil, 2013, p. ...
- [CICL56] K. Sahoo Amit, S. Fregonese, M. Weib, M. Santorelli, N. Malbert, et T. Zimmer, « Impact of Back-end-of-line on Thermal Impedance in SiGe HBTs », in SISPAD 2013, Glasgow - Ecosse, United Kingdom, 2013, p. ...
- [CICL55] K. Sahoo Amit, S. Fregonese, M. Weib, C. Maneux, et T. Zimmer, « A Scalable Model for Temperature Dependent Thermal Resistance of SiGe HBTs », in IEEE Bipolar / BiCMOS Circuits and Technology Meeting, Bordeaux, France, 2013, p. ...
- [CICL54] M. Potereau, C. Raya, M. De Matos, S. Fregonese, A. Curutchet, M. Zhang, B. Ardouin, et T. Zimmer, « Limitations of on-wafer calibration and de-embedding methods in the sub-THz range », in ECC 2013 conference, Sanya, China, 2013.
- [CICL53] D. MELE, S. Fregonese, S. Lepilliet, E. Pichonat, G. Dambrine, et H. Happy, « High frequency noise characterisation of graphène FET Device », in 61st IEEE MTT-S International Microwave Symposium, IMS 2013, Seattle, WA, United States, 2013, p. paper TU3C-1, 4 pages.
- [CICL52] S. Fregonese, A. Kumar Sahoo, M. Weib, et C. Maneux, « Electro-Thermal Device Characterization & Modelling », in OBip: Open Bipolar Workshop at BCTM in Bordeaux, France, 2013.
- [CICL51] M. Weib, S. Fregonese, M. Santorelli, A. Kumar Sahoo, C. Maneux, et T. Zimmer, « Pulsed I(V) - Pulsed RF Measurement System for Microwave Device Characterization with 80ns/45GHz », in European Solid-State Device Research Conference (ESSDERC), 2012, Bordeaux, France, 2012, p. 189-192.
- [CICL50] M. Weib, S. Fregonese, M. Santorelli, A. Kumar Sahoo, C. Maneux, et T. Zimmer, « Pulsed I(V) pulsed RF measurement system for microwave device characterization with 80ns/45GHz », in Solid-State Device Research Conference (ESSDERC), 2012 Proceedings of the European, Bordeaux, France, 2012.
- [CICL49] D. MELE, E. Pichonat, S. Fregonese, A. Ouerghi, et H. Happy, « High frequency epitaxial graphène fields effect transistors (GFET) on SiC », in 13th Trends in Nanotechnology International Conference, TNT2012, Madrid, Spain, 2012, p. 1-2.
- [CICL48] K. Sahoo Amit, S. Fregonese, M. Weib, N. Malbert, et T. Zimmer, « Electro-thermal dynamic simulation and thermal spreading impedance modeling of Si-Ge HBTs », in 25th IEEE Bipolar/BiCMOS Technology and Circuits Meeting, BCTM 2011, ATLANTA, United States, 2011, p. art. no. 6082746, pp. 45-48.
- [CICL47] K. Sahoo Amit, S. Fregonese, M. Weib, N. Malbert, et T. Zimmer, « Electro-thermal characterization of Si-Ge HBTs with pulse measurement and transient simulation », in 41st European Solid-State Device Research Conference, Helsinki, Finland, 2011, p. art. no. 6044190, pp. 239-242.

- [CICL46] M. Najari, S. Fregonese, C. Maneux, H. Mnif, T. Zimmer, et N. Masmoudi, « Carbon-based Schottky barrier transistor: From compact modeling to digital circuit applications », in 6th International Conference on Design and Technology of Integrated Systems in Nanoscale Era, DTIS'11, France, 2011, p. art. no. 5941435.
- [CICL45] S. Fregonese, H.-N. Nguyen, C. Majek, C. Maneux, H. Happy, N. Meng, et T. Zimmer, « Electrical compact modelling of graphène transistors », in Conference Graphène 2011, Bilbao, Spain, 2011.
- [CICL44] S. Fregonese, H. N. Nguyen, C. MAJEK, C. Maneux, H. Happy, N. Meng, et T. Zimmer, « Electrical compact modelling of graphène transistors », in ImagineNano, Graphène 2011, Bilbao, Spain, 2011, p. 121-122.
- [CICL43] A. Bhattacharyya, C. Maneux, S. Fregonese, et T. Zimmer, « NQS modelling with HiCuM: What works, what doesn't », in 24th BipAk, Munich, Germany, 2011.
- [CICL42] A. Bhattacharyya, C. Maneux, S. Fregonese, et T. Zimmer, « NQS effect and implementation in compact transistor model », in MOS-AK/GSA Workshop, Paris, France, 2011.
- [CICL41] A. Bhattacharyya, S. Fregonese, C. Maneux, et T. Zimmer, « Modeling of SiGe spike mono emitter HBT with HICUM in static and dynamic operations », in 2011 25th IEEE Bipolar/BiCMOS Technology and Circuits Meeting, BCTM 2011, Atlanta, United States, 2011, p. art. no. 6082748, pp. 53-56.
- [CICL40] H. Ben Jamma, P.-E. Gaillardon, S. Fregonese, M. De Marchi, G. De Micheli, T. Zimmer, F. Clermidy, et I. O'Connor, « FPGA design with double-gate carbon nanotube transistors », in 10th China Semiconductor Technology International Conference 2011, CSTIC 2011, France, 2011, p. 34 (1), pp. 1005-1010.
- [CICL39] T. Zimmer, S. Fregonese, et C. Maneux, « A versatile compact model for ballistic 1D transistor: Applications to GNR-FET and CNT-FET », in First EuroGRAPHÈNE Symposium, Strasbourg, France, 2010.
- [CICL38] S.-Y. Liao, M. Najari, C. Maneux, S. Fregonese, T. Zimmer, H. Mnif, et N. Masmoudi, « Optically-Gated CNT-FET compact model including source and drain Schottky barrier », in 5th Conference on Design and Technology of Integrated Systems in Nanoscale Era, Hammamet, Tunisia, 2010, p. 1.
- [CICL37] S. Ghosh, T. Zimmer, B. Ardouin, C. Maneux, S. Frégonèse, F. Marc, B. Grandchamp, et G. A. Koné, « Benchmarking of HBT Models for InP Based DHBT Modeling », in International Conference on Microelectronics, Nis, Serbia, 2010, p. 399-402.
- [CICL36] S. Fregonese, C. Maneux, et T. Zimmer, « From nanoscale technology scenarios to compact device models for ambipolar devices », in 17th IEEE International Conference on Electronics, Circuits, and Systems (ICECS), Athènes, Greece, 2010, p. 57, 61.
- [CICL35] S. Fregonese, C. Maneux, et T. Zimmer, « A compact model for double gate carbon nanotube FET », in ESSDERC 2010, Séville, Spain, 2010, p. 452-455.
- [CICL34] M. Al-Sa'Di, S. Fregonese, C. Maneux, et T. Zimmer, « Modeling of a novel NPN-SiGe-HBT device structure using strain engineering technology in the collector region for enhanced electrical performance », in 2010 IEEE Bipolar/BiCMOS Circuits and Technology Meeting, Austin, United States, 2010, p. 216-219.
- [CICL33] M. Al-Sa'Di, V. D'Alessandro, S. Fregonese, S. M. Hong, C. Jungemann, C. Maneux, I. Marano, A. Pakfar, N. Rinaldi, G. Sasso, M. Schröter, A. Sibaja-Hernandez, C. Tavernier, et G. Wedel, « TCAD simulation and development within the European DOTFIVE project on 500GHz SiGe:C HBT's », in European Microwave Week 2010: Connecting the World, EuMIC 2010, Paris, France, 2010, p. 29.
- [CICL32] M. Al-Sa'Di, S. Fregonese, C. Maneux, et T. Zimmer, « TCAD Modeling of NPN-SiGe-HBT Electrical Performance Improvement Through Extrinsic Stress Layer », in International Conference on Microelectronics, Nis, Serbia, 2010, p. 387-390.
- [CICL31] M. Al-Sa'Di, S. Fregonese, C. Maneux, et A. T. Zimmer, « Modeling of NPN-SiGe-HBT Electrical Performance Improvement through Employing Si₃N₄ Strain in the Collector Region », in 218th ECS Meeting, Las Vegas, United States, 2010, vol. 33, p. 191-199.
- [CICL30] M. Najari, S. Fregonese, C. Maneux, T. Zimmer, H. Mnif, et N. Masmoudi, « Analytical modeling of the tunneling current in schottky barrier carbon nanotube field effect transistor using the verilog-a language », in) 2009 6th International Multi-Conference on Systems, Signals and Devices, Tunisia, 2009.

- [CICL29] S.-Y. Liao, C. Maneux, V. Pouget, S. Fregonese, et T. Zimmer, « Compact modeling of Optically-Gated Carbon NanoTube Field Effect Transistor », in Trends in NanoTechnologies 2009, Barcelonna, Spain, 2009, p. _.
- [CICL28] S. Fregonese, C. Maneux, et T. Zimmer, « A versatile compact model for ballistic 1D transistor: Applications to GNR-FET and CNT-FET », in Semiconductor Device Research Symposium, 2009. ISDRS '09. International, United States, 2009, p. 1 - 2, ISBN: 978-1-4244-6030-4.
- [CICL27] M. Al-Sa'Di, S. Fregonese, C. Maneux, et T. Zimmer, « Investigation of Electrical BJT Performance through Extrinsic Stress Layer Using TCAD Modeling », in Semiconductor Conference Dresden 2009, Dresden, Germany, 2009.
- [CICL26] M. Najari, S. Fregonèse, C. Maneux, T. Zimmer, H. Mnif, et N. Masmoudi, « Compact Modeling Of The Schottky Barrier Junction In The Carbon Nanotube Field Effect Transistor », in JNTE 08, French Symposium on Emerging Technologies for micro-nanofabrication, Toulouse, France, 2008.
- [CICL25] M. Najari, S. Fregonese, C. Maneux, T. Zimmer, H. Mnif, et N. Masmoudi, « Towards Compact Modelling of Schottky Barrier CNT-FET », in IEEE 2008 International Conference on Design & Technology of Integrated Systems in Nanoscale Era, Tunisia, 2008, p. pp 1-6.
- [CICL24] P. M. Mans, S. Jouan, A. Pakfar, S. Fregonese, F. Brossard, A. Perrotin, C. Maneux, et T. Zimmer, « Germanium Base Profile Optimization to Improve fT Characteristics at High Injection in RF Power SiGe:C HBTs », in 7th IEEE Topical Symposium on Power Amplifiers for Wireless Communications, Orlando, United States, 2008, p. _.
- [CICL23] S.-Y. Liao, C. Maneux, S. Fregonese, et T. Zimmer, « Toward compact model of Optical-Gated Carbon Nanotube Field Effect Transistor (OG-CNT-FET) », in JNTE 08, French Symposium on Emerging Technologies for micro-nanofabrication, Toulouse, France, 2008.
- [CICL22] J. Goguet, S. Fregonese, C. Maneux, et T. Zimmer, « Compact Model of a Dual Gate CNT-FET: Description and Circuit Application », in 8th IEEE Conference on Nanotechnology, Arlington, TEXAS, USA, United States, 2008, p. Page(s):388 - 389.
- [CICL21] J. Goguet, S. Fregonese, C. Maneux, et T. Zimmer, « A Charge Approach for a Compact Model of Dual Gate CNT-FET », in IEEE 2008 International Conference on Design & Technology of Integrated Systems in Nanoscale Era, Tozeur, Tunisia, 2008, p. pp 1-6.
- [CICL20] P.-M. Mans, S. Jouan, A. Pakfar, S. Fregonese, F. Brossard, A. Perrotin, C. Maneux, et T. Zimmer, « Investigation of Ge content in the BC transition region with respect to transit frequency », in 20th BipAk, Munchen, Germany, 2007.
- [CICL19] L. Shi, G. Lorito, S. Fregonese, V. Jovanovic, et L. K. Nanver, « JFET test structures for monitoring strain-enhanced mobility », in SAFE 2006, Netherlands, 2006.
- [CICL18] C. Maneux, J. Goguet, S. Fregonese, T. Zimmer, H. Cazin D'Honincthun, et S. Galdin-Retailleau, « Analysis of CNT-FET physical compact model », in IEEE Design and Test of integrated Systems In Nanoscale Technology, Tunisia, 2006, p. Page(s):40 - 45.
- [CICL17] A. Chantre, L. Boissonnet, G. Avenier, G. Borot, P. Bouillon, F. Brossard, P. Chevalier, F. Deleglise, D. Dutartre, J. Duvernay, S. Fregonese, F. Judong, R. Pantel, A. Perrotin, B. Rauber, L. Rubaldo, F. Saguin, T. Schwartzmann, B. Vandelle, et T. Zimmer, « Prospects for Complementary SiGeC BiCMOS on Thin-Film SOI », in ECS Transactions, Cancun, Mexico, 2006, vol. 3, p. pp. 355-363.
- [CICL16] P.-Y. Sulima, T. Zimmer, H. Beckrich, J. L. Battaglia, S. Fregonese, et D. Celi, « A Transient Measurement Setup for Electro-thermal Characterisation for SiGe HBTs », in MIXDES, Mixed Design of Integrated Circuits and Systems, Poland, 2005, p. 1.
- [CICL15] P.-Y. Sulima, J. L. Battaglia, T. Zimmer, S. Fregonese, et D. Celi, « Study of a 3D thermal characterization of SiGe HBTs », in Microtherm 2005, VI Conference Thermal Problems in Electronics, Poland, 2005.
- [CICL14] H. Mnif, J.-L. Battaglia, P. Y. Sulima, S. Fregonese, et T. Zimmer, « Network Analysis for SiGe HBT's Thermal Impedance Modelling », in Fractional Differentiation and its Applications, UBooks, ISBN 3-86608-026-3, 2005, p. pp 401-410.
- [CICL13] S. Fregonese, G. Avenier, C. Maneux, A. Chantre, et T. Zimmer, « Base-collector junction charge investigation of Si/SiGe HBT on thin film SOI », in European Solid-State Device Research Conference - ESSDERC 2005, France, 2005, p. 1.

- [CICL12] S. Fregonese, G. Avenier, C. Maneux, A. Chantre, et T. Zimmer, « A transit time model for thin SOI Si/SiGe HBT », in BCTM 2005, Bipolar/BiCMOS circuits and technology meeting, United States, 2005, p. 1.
- [CICL11] S. Fregonese, G. Avenier, C. Maneux, A. Chantre, et T. Zimmer, « A Hicum SOI extension », in 5th European HICUM Workshop, France, 2005.
- [CICL10] G. Avenier, T. Schwartzmann, P. Chevalier, B. Vandelle, L. Rubaldo, D. Dutartre, L. Boissonnet, F. Saguin, R. Pantel, S. Fregonese, C. Maneux, T. Zimmer, et A. Chantre, « A self-aligned vertical HBT for thin SOI SiGeC BiCMOS », in BCTM 2005, Bipolar/BiCMOS circuits and technology meeting, United States, 2005, p. 1.
- [CICL9] G. Avenier, P. Chevalier, B. Vandelle, D. Lenoble, F. Saguin, S. Fregonese, T. Zimmer, et A. Chantre, « Investigation of fully- and partially-depleted self-aligned SiGeC HBTs on thin film SOI », in European Solid-State Device Research Conference - ESSDERC 2005, France, 2005, p. 1.
- [CICL8] H. Mnif, J. L. Battaglia, S. Fregonese, et T. Zimmer, « Representation of the SiGe HBT's Thermal Impedance by Linear and Recursive Networks », in IFAC - FDA04, France, 2004, p. 1.
- [CICL7] S. Fregonese, T. Zimmer, C. Maneux, et P.-Y. Sulima, « Barrier effects in SiGe HBT: Modeling of high-injection base current increase », in IEEE Bipolar/BiCMOS circuits and technology meeting, Canada, 2004, p. 1.
- [CICL6] S. Fregonese, D. Celi, T. Zimmer, et C. Maneux, « Scalable Substrate Modeling based on 3D Physical Simulation Substrat », in XIX Conference on Design of Circuits and Integrated Systems - DCIS, France, 2004, p. 1.
- [CICL5] S. Fregonese, D. Berger, T. Zimmer, C. Maneux, P.-Y. Sulima, et D. Celi, « Scalable bipolar transistor modelling with HICUM L0 », in 4th European HICUM Workshop, France, 2004.
- [CICL4] S. Fregonese, D. Berger, T. Zimmer, C. Maneux, P.-Y. Sulima, et D. Celi, « Scalable Bipolar Transistor Modelling with HICUM », in IEEE Mixed Design of Integrated Circuits and Systems, Poland, 2004, p. 1.
- [CICL3] T. Zimmer, S. Fregonese, H. Mnif, et B. Ardouin, « Obtaining isothermal data with standard measurement equipment », in 3th European HICUM Workshop, Dresden, Germany, 2003.
- [CICL2] H. Mnif, T. Zimmer, J. L. Battaglia, et S. Fregonese, « Bipolar modeling and selfheating: An Equivalent Network representation For The Thermal Spreading Impedance In SiGe HBTs », in 10th International Conference Mixed Design of Integrated Circuits and Systems, Poland, 2003, p. 1.
- [CICL1] H. Mnif, T. Zimmer, J. L. Battaglia, et S. Fregonese, « Analytical model for the self-heating effect in SiGe HBTs and its network representationAnalytical model for the self-heating effect in SiGe HBTs and its network representation », in IEEE International Conference on Signals, Systems, Decision and Information Technology, Tunisia, 2003, p. 1.

4. Communications nationales avec actes

- [1] S. Fregonese, C. Maneux, H. Mnif, et T. Zimmer, « Simulation physique de TBH SiGe□ : Etude du temps de transit sur une structure 1D et 2D », in Journées Nationales du GDR Nanoélectronique - 4èmes Journées, France, 2003.
- [2] S. Fregonese, Y. Zhuang, et J. N. Burghartz, « 3D Simulation Study of Strained CMOS based on a disposable SiGe Dot Technology », in GDR Nanoélectronique, Grenoble, France, 2006.
- [3] C. Maneux, S. Fregonese, et T. Zimmer, « Modélisation compacte et transport balistique », in Atelier Du Gdr Nanoelectronique De La Realite Et De L'interet Du Transport Balistique Dans Les Composants Nanoelectroniques, France, 2009.
- [4] H. Mnif, T. Zimmer, J. L. Battaglia, et S. Fregonese, « Modélisation thermique des TBH SiGe destinés à des applications radiofréquences », in Conférence Internationale Sciences Electroniques, Technologies de l'Information et des Télécommunications, Tunisia, 2003, p. 1.
- [5] J. Goguet, S. Fregonese, C. Maneux, et T. Zimmer, « Modèle compact du transistor double grille CNTFET », in Journées thématiques sur la simulation multiphysique de composants et dispositifs nanométriques, Lille, France, 2007.

5. Modèle en ligne

[Mod1] Aguirre-Morales, J.-D., Fregonese, S., Mukherjee, C., Maneux, C., Zimmer, T., “Physics-Based Compact Model for Dual-Gate Bilayer Graphène FETs 1.0.0”, nanoHUB. doi:10.4231/D30C4SM1H

6. Chapitres de livre

[Book1] R D’Esposito, S Frégonèse, T Zimmer, Electrothermal Characterization, TCAD Simulations, and Physical Modeling of Advanced SiGe HBTs Nanoelectronics, 27-94

7. Brevets

[BR1] T. Zimmer, S. Fregonese, H. Happy, « Balun Device with GFET Transistors », EP 14196649.9, 05-12-2014

[BR2] A. Curutchet, C. Raya, S. Fregonese, T. Zimmer, B. Ardouin; « dispositif de calibrage pour l’ajustement d’une mesure radiofréquence »Patent FR 15/56033, 29 juin 2015,

