



HAL
open science

Algorithmes et architectures pour le calcul embarqué haute performance

Maher Jridi

► **To cite this version:**

Maher Jridi. Algorithmes et architectures pour le calcul embarqué haute performance. Traitement du signal et de l'image [eess.SP]. Université de Bretagne Occidentale, 2018. tel-02124011

HAL Id: tel-02124011

<https://hal.science/tel-02124011>

Submitted on 27 May 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

HABILITATION À DIRIGER DES RECHERCHES

UNIVERSITÉ BRETAGNE OCCIDENTALE

ÉCOLE DOCTORALE MATHSTICC

présentée par

Maher JRIDI

Enseignant Chercheur, ISEN Yncréa Ouest, L@bISEN

ALGORITHMES ET ARCHITECTURES POUR LE CALCUL
EMBARQUÉ HAUTE PERFORMANCE

Soutenu le : 5 Décembre 2018

Après avis des rapporteurs :

M.	Jean-Philippe DIGUET	DR CNRS	Lab-STICC, UMR 6285
M.	Bertrand GRANADO	Professeur	LIP6, UMR 7606, Sorbonne Université
M.	William PUECH	Professeur	LIRMM, UMR 5506, Université de Montpellier

Devant la commission d'examen formée de :

M.	Christian BROSSEAU	Professeur	Université Bretagne Occidental
M.	Jean-Philippe DIGUET	DR CNRS	Lab-STICC, UMR 6285
M.	Bertrand GRANADO	Professeur	LIP6, UMR 7606, Sorbonne Université
M.	William PUECH	Professeur	LIRMM, UMR 5506, Université Montpellier
M.	Ayman ALFALOU	Professeur	LabISEN, ISEN Yncréa Ouest

*pour mon épouse,
pour ma fille,
vous êtes ma joie !*

Avant propos

Demander une Habilitation à Diriger des Recherches m'a permis de faire une pause, le temps de la rédaction, pour analyser et synthétiser les activités de recherche menées, 10 ans, après la thèse de doctorat. Ce manuscrit présente un résumé des activités passées, actuelles et futures au sein de l'équipe VISION (Vidéo, Image et Signal, de l'Optique au Numérique) du laboratoire La@ISEN de l'ISEN Yncréa Ouest, en collaboration avec des partenaires académiques et industriels. Ces travaux sont présentés avec un focus sur le volet technique pour souligner l'apport concret des contributions et montrer le niveau de maturation scientifique.

D'abord, je souhaite témoigner ma gratitude à l'ensemble du jury pour le temps qu'ils m'ont accordé et pour l'honneur qui m'ont fait pour juger ce travail. Je transmets mes sincères remerciements à Jean-Philippe DIGUET, Bertrand GRANADO et William PUECH qui me font la faveur d'être rapporteurs malgré leur charge de travail et leurs responsabilités.

Je souhaite adresser ici ma reconnaissance aux doctorants que j'ai co-encadrés ou que je co-encadre actuellement : Yousri OUERHANI, Nihel NÉJI, Yassin KORTLI et Sonda BEN JDIDIA et aussi aux étudiants de l'ISEN Yncréa Ouest que j'ai encadrés pour des projets de 4^{ème} et 5^{ème} années. Leur aide m'a été précieuse. Par ailleurs, j'ai une pensée à mes collègues de l'équipe VISION pour les différentes collaborations fructueuses et les moments passés ensemble dans la bonne humeur. Je souhaite leur exprimer ma reconnaissance et leur dire que sans eux ce travail aurait été plus long et moins intéressant. Je tiens également à remercier toutes les personnes avec lesquelles j'ai eu des discussions enrichissantes au sein du laboratoire ou lors des séminaires de recherche et des réunions de projets. Enfin, par cette occasion, je souhaite saluer ceux qui m'ont fait confiance et avec qui j'ai pu collaborer à l'échelle internationale, notamment en Tunisie, en Italie et à Singapour.

Table des matières

A	Dossier administratif	1
B	Rapport technique	3
	Introduction	5
I	Amélioration des performances des codecs vidéo	11
1	Introduction : Avancement de la standardisation	11
1.1	De la norme H.264 à la norme HEVC	12
1.2	Vers la norme VVC	13
2	Optimisations algorithmiques des transformations	14
2.1	Expression du besoin	14
2.2	Prédiction des calculs	15
2.3	Algorithme de décomposition	18
2.4	Approximations par binarisation	20
2.5	Approximation par voisinage	23
3	Optimisations architecturales	25
3.1	Architecture à base de partage des calculs	25
3.2	Architecture pour la prédiction des calculs	30
3.3	Architectures à base d’approximation des calculs	32
4	Contributions pour le codage entropique	37
4.1	Le codage entropique dans les normes de codage vidéo	37
4.2	Accélération matérielle du codeur CABAC	38
5	Conclusions et perspectives	40
II	Prototypage des techniques de traitement d’images	43
1	Positionnement	43
2	Amélioration des techniques existantes	45
2.1	Introduction	45
2.2	La corrélation optique	46
2.3	La corrélation optique simplifiée	46
3	La plateforme SCAM	51
3.1	La technologie ZYNQ	51
3.2	Architectures conçues	52
3.3	Exemples de traitements développés	53
3.4	Validation de la solution complète	54
4	La plateforme GIoMT	55
4.1	Intérêt du calcul proche capteur	55
4.2	Considérations algorithmiques et architecturales	56

TABLE DES MATIÈRES

4.3	Co-design HW/SW	58
4.4	Extensions	60
5	Conclusions	61
III Conception de couches PHY des systèmes de télécommunications		63
1	Introduction	63
2	Design reuse	64
2.1	Définition et intérêt du concept	64
2.2	Conception d'IP FFT	66
2.3	Validations, tests et mesures	68
2.4	Exemples d'applications	71
3	Couche physique pour récepteurs acoustiques	73
3.1	Contexte du projet FUI ASEMAR	73
3.2	Conception du front-end numérique	75
4	Réalisations et prospections pour des solutions IoT	78
4.1	Contexte	78
4.2	Un nouveau paradigme pluridisciplinaire	79
4.3	Intégration de l'IoT dans l'industrie 4.0	82
4.4	Prospection dans le cadre de la chaire IoT	85
5	Conclusion	86
Conclusion et perspectives		89
Résumé		95
Bibliographie		97

Première partie

Dossier administratif

Deuxième partie

Rapport technique

Introduction

Les travaux de recherche détaillés dans ce manuscrit traitent plusieurs aspects du domaine du calcul embarqué haute performance (HPEC). Au vu des nouveaux défis scientifiques pour capitaliser des informations et produire de la connaissance, nous pouvons affirmer que lever les verrous technologiques du calcul HPEC est à la fois nécessaire et difficile. Cette introduction décrit dans un premier temps le contexte technologique difficile et donne des arguments sur la nécessité de conduire ces travaux de recherche. Ensuite, les directions de recherche possibles sont citées afin d'expliquer le choix de notre démarche. Enfin, l'approche méthodologique d'Adéquation Algorithme-Architecture est introduite en plus des différentes contributions.

Contexte des travaux

L'industrie du semiconducteur a misé pendant le dernier demi-siècle sur l'augmentation de la densité d'intégration, qui en moyenne, double tous les deux ans. On assiste, depuis, à des nouvelles technologies produisant des transistors plus petits, moins chers et plus performants en termes de délais intrinsèques, en comparaison avec les générations précédentes. Ces caractéristiques ont été déterminantes pour permettre la fabrication de microprocesseurs avec des fréquences de fonctionnement de plus en plus élevées. Parallèlement à la densification des transistors, la consommation de puissance a été dimensionnée pour suivre la réduction des tailles des transistors. À mesure que les surfaces des transistors se contractaient, la consommation de puissance baisse linéairement. Ceci était possible grâce principalement à la réduction des tensions d'alimentation [1]. Cependant, cette dernière tendance, connue sous le nom de loi de Dennard [2], n'est plus tenable depuis 2006. En effet, les courants de fuite, les tensions seuils et les effets thermiques ont stoppé cette évolution. Désormais, il est devenu pratiquement impossible de continuer à augmenter simultanément la fréquence de fonctionnement et le nombre de transistors dans le même circuit. Cette perturbation dans la technologie du semiconducteur est à l'origine du concept « Dark Silicon » qui se traduit par la non/sous-alimentation d'une partie du circuit intégré dans son régime d'utilisation maximale. C'est ainsi qu'une fraction de 21% d'un circuit intégré fabriqué en technologie 16 nm n'est plus utilisable, et que selon l'IRDS [3] cette fraction peut atteindre 50% pour la technologie 8 nm. Aujourd'hui, l'importance des perturbations technologiques se matérialise par le fait que les performances des circuits intégrés n'évoluent plus avec la même vitesse que celles des générations des deux dernières décennies. Concrètement, nous assistons à une limitation de l'augmentation du nombre de transistors et à une stagnation des fréquences maximales de fonctionnement.

Parallèlement à ce contexte difficile, les nouvelles avancées dans plusieurs champs applicatifs exigent des capacités de calcul exponentiellement plus importantes. Nous en citons ici quatre exemples pour illustrer ces propos. Le domaine de l'intelligence artificielle qui utilise en partie des algorithmes d'apprentissage profond, notamment ceux

en lien avec les techniques de vision, permet de fournir une multitude d'applications innovantes embarquées dans des systèmes électroniques. Les performances fonctionnelles établies souvent sur des critères de décision dépassent dans plusieurs cas les capacités de décision de l'homme, mais elles sont contrebalancées par un coût en complexité de calcul et en temps d'accès aux mémoires importants. De même pour le domaine de l'Internet des Objets (IoT) qui constitue un virage technologique majeur de par son impact économique et sociétal. D'ailleurs, il serait une erreur de considérer que les contraintes de calcul sont moins sévères que dans d'autres domaines en raisons de l'ultra-faible consommation et du faible coût requis par les nœuds finaux du réseau IoT. D'autre part, l'avènement des systèmes de télécommunications et les évolutions vers les communications sans fils est un autre domaine applicatif qui interagit avec les systèmes embarqués au sens large. Cette fois, les contraintes sont liées à la demande accrue de plus en plus de données avec des contraintes temps-réel très fortes impliquant ainsi des exigences sévères en termes de latence, de débit (throughput) et de consommation énergétique. Ces contraintes sont d'autant plus importantes dans un contexte où le smartphone est le principal, voire l'unique, système de calcul pour plusieurs personnes. Enfin, le domaine du cloud computing est utile pour ingérer toutes les données fournies par les applications susmentionnées et par d'autres applications nécessitant du calcul intensif pour les grands défis scientifiques comme la médecine, le climat, l'espace et la biotechnologie. Les limites en bande passante et en efficacité énergétique des centres de données commencent à se faire ressentir dès à présent et montrent qu'il n'est plus envisageable de continuer à gérer les grands volumes de données avec des moyens traditionnels. Bref, des approches radicalement différentes sont nécessaires.

Périmètre des directions possibles

De notre point de vue, la réussite d'implantation des applications à base de calcul intensif ne doit pas être limitée par le processeur. Ainsi, trois degrés de liberté sont possibles pour relever les défis du calcul embarqué haute performance. Il s'agit de la technologie, de l'architecture et de la façon avec laquelle les algorithmes de calcul sont définis. Le premier niveau est d'ordre technologique car il faut rappeler que les avancées majeures réalisées jusque-là sont d'origine technologique. À court terme, d'autres avancées en lien avec la physique des composants et des matériaux sont envisagées, sans rupture majeure avec les technologies actuelles. Des concepts comme « More Moore » et « Beyond CMOS » sont introduits pour définir le périmètre des actions à conduire à travers l'utilisation des transistors 3D, des mémoires NAND flash 3D, des nouveaux concepts de lithographie, d'interconnexion et de packaging. Ce premier niveau, non traité dans nos travaux, est sûrement le plus efficace, mais en même temps il s'agit d'actions à l'échelle mondiale qui sont extrêmement coûteuses en raison de la hausse des coûts des masques, des coûts de conception et des investissements toujours plus importants.

Le deuxième niveau est lié aux plateformes de calcul. Le processeur n'ayant pas connu beaucoup d'évolutions (il faut rappeler que l'architecture des microcontrôleurs d'aujourd'hui se base sur les concepts introduits par Von Neumann en 1945), ne peut donc pas, à

lui seul, satisfaire les besoins des calculs massifs. L'utilisation de processeurs à plusieurs cœurs de calcul (multi-core) et la version optimisée qui exploite le parallélisme (many-core) ont donné naissance aux GPU qui sont largement utilisés grâce à leur performances et souplesse de programmation. L'utilisation de ces derniers convient pour des applications nécessitant du calcul parallèle et accédant aux données à travers des structures d'accès régulières comme pour les algorithmes de vision, dont la reconnaissance d'objets. Toutefois, les GPU qui ont peuplé les serveurs de calcul dans le cloud, ne sont pas énergétiquement efficaces. Aujourd'hui, ils sont absorbés par les Filed Programmable Gate Array (FPGA), surtout quand il faut faire un compromis performance/consommation. Pour plusieurs applications critiques, les FPGA ont montré des avantages attractifs en termes de performances, coûts, tailles, consommation et souplesse d'utilisation, en comparaison avec les microprocesseurs traditionnels et les ASIC. Ceci s'explique d'abord par les performances des FPGA actuels qui embarquent plus de 10 000 fois plus d'éléments logiques, peuvent fonctionner plus de 100 fois plus rapidement, consomment jusqu'à 5 000 fois moins d'énergie et sont 10 000 fois moins chers (en termes de prix par cellule logique) que les FPGA originaux [4]. Ensuite, les fabricants des FPGA, conscients des temps de développement longs, voire très longs, ont développé des outils de conception avec une tendance qui consiste à lever de plus en plus le niveau d'abstraction. Par conséquent, les FPGA d'aujourd'hui sont embarqués dans des Systems On Chip (SoC) composés de plateformes de calcul hybrides comme la dernière génération de Xilinx, le SoC Ultrascale à base de FPGA, GPU, processeurs, éléments de mémorisation, etc. L'intérêt des SoC à base d'architectures hybrides est de rendre possible le calcul HPEC en orchestrant l'affectation des traitements à des cibles spécifiques selon leurs natures. Concrètement, les fonctions de communications et de gestion des données sont gérées par les processeurs ; les traitements intensifs, en virgule flottante, contraints en temps de développement sont dédiés aux GPU ; et les autres traitements nécessitant de faibles latences et une haute efficacité énergétique sont gérés par le FPGA. Enfin, des bus de données sont utilisés pour raccorder les différentes cibles de calcul entre elles et avec l'environnement extérieur formé principalement par des capteurs et des actionneurs.

Le troisième niveau concerne le calcul lui-même. En effet, plusieurs applications ne nécessitent pas autant de calculs. L'évolution vers des Volumes de données avec un grand « V » ne doit pas conduire à la croissance non-linéaire des besoins de calcul. Il est vrai que, théoriquement, la complexité de calcul des algorithmes de traitement du signal et de l'image évolue non-linéairement avec la profondeur des données. Mais, c'est à ce niveau qu'il faut revoir et revisiter certains algorithmes pour réduire les contraintes du calcul haute performance. La littérature récente est riche d'innovations dans ce sens. C'est le cas de l'échantillonnage compressif dans lequel un algorithme de reconstruction convenable peut assurer une reconstruction exacte du signal à condition qu'il soit suffisamment parcimonieux. C'est aussi le cas de plusieurs techniques de traitements d'images dans lesquelles des phases de prétraitement sont dédiées à la recherche de zones d'intérêt afin d'appliquer les calculs sur des fractions de l'image et non sur l'image entière. Idem pour la vidéo dont les traitements exploitent les notions de redondances spatiales, temporelles, spectrales et statistiques en mettant en place des prétraitements comme la conversion

de l'espace couleur et l'estimation de mouvements.

Dans nos travaux de recherche, nous avons pris en considération les deux derniers niveaux pour aboutir à des implantations efficaces de systèmes embarqués à base d'applications de traitement de signal, image et vidéo.

Approche méthodologique et contributions

Nos travaux de recherche ont pour but d'étudier et de développer des moyens algorithmiques et architecturaux¹ afin de lever le verrou technologique du calcul HPEC. Les applications qui ont été visées concernent principalement les systèmes embarqués pour le domaine de la vision, des codecs vidéo et des communications sans fils, avec des contraintes variées allant du débit au facteur de bruit (NF) en passant par la qualité d'expérience (QoE) et l'efficacité énergétique. L'Adéquation Algorithme-Architecture (AAA) est l'approche méthodologique qui a été considérée dans le but d'obtenir des traitements haute performance, efficaces, flexibles, et faibles consommations. Cette approche consiste à étudier simultanément les aspects algorithmiques et architecturaux ainsi que leurs interactions en vue d'une implantation optimisée des applications de traitement de signal, image et vidéo. Étant donné qu'il est difficile de concilier plusieurs de ces contraintes de conception simultanément, la conception se fait conjointement entre l'algorithme et l'architecture. Au niveau algorithmique, des choix se font pour une description séquentielle/parallèle, récursive/non récursive et pour un calcul localisé/distribué, in-place/out-of-place. De ce fait, la connaissance approfondie des algorithmes constitue une aide importante pour leur implantation. Au niveau architectural, nous pouvons contrôler le flux des données, favoriser les réalisations pipelines, partager des blocs de mémorisation, utiliser des architectures hiérarchisées et réutiliser des IPs.

En plus de ces approches classiques, d'autres techniques plus innovantes de calcul embarqué ont été exploitées dans nos activités de recherche. Elles se déclinent sur 3 volets :

- Calcul approximé (approximate computing) pour gérer le compromis qualité d'expérience QoE et efficacité énergétique ;
- Calcul proche capteur (NSC : near sensor computing) pour une meilleure gestion du budget énergétique : équilibre entre puissances consommées dans les transmissions et les traitements ;
- Calcul prédictible et adaptable au contexte et aux applications.

Enfin, d'un point de vue architectural, l'utilisation de techniques avancées pour la conception de systèmes embarqués sur des SoC hybrides à base de FPGA permet d'améliorer les performances et de réduire les coûts. Plus particulièrement, nous nous sommes intéressés à l'utilisation des techniques suivantes :

1. le terme architecture en lien avec nos contributions ne renvoie pas à l'architecture du calculateur, mais à l'architecture matérielle avec laquelle l'algorithme de calcul est implanté.

- Architectures à base de partitionnement matériel/logiciel pour la conception conjointe des systèmes électroniques. Les tâches nécessitant du calcul intensif et reconfigurable sont gérées par la partie matérielle, alors que la couche logicielle est dédiée aux fonctions d'interfaçage et de communication.
- Architectures à base de reconfiguration dynamique partielle des FPGAs ce qui permet une adaptabilité au cours de l'exécution.
- Architectures à base de virtualisation des FPGAs ce qui permet aux utilisateurs de réduire les coûts d'achats et de gestions des FPGAs en plus d'une meilleure utilisation des ressources. Dans ce contexte, un FPGA est considéré comme une ressource de calcul virtuelle et partagée.

Le dernier point concernant la virtualisation des FPGAs est une thématique très récente dans laquelle nous nous positionnons aujourd'hui en tant que utilisateur d'outils de virtualisation des FPGAs comme l'outil SDaccel de Xilinx qui permet de déployer des conceptions au niveau RTL sur le cloud AWS d'Amazon.

Organisation du manuscrit

Plusieurs choix sont possibles pour établir un plan du manuscrit. On peut faire une organisation par différents types d'optimisations algorithmiques, puis leurs architectures et finir par les applications. Comme on peut organiser le manuscrit par techniques de traitements : filtrage, reconnaissance, compression et chiffrement pour finir avec les contributions qui en découlent. Ici, nous avons opté pour une autre alternative avec une organisation en lien avec le type de données : vidéo, image et signal. Ce choix est expliqué sur plusieurs volets :

- la nature de la donnée influe sur la technique d'optimisation employée. Par exemple, les modèles statistiques appliqués aux images naturelles permettent d'extraire des propriétés caractéristiques qu'un signal en une dimension ne possède pas. Idem, pour la redondance temporelle des trames dans une vidéo.
- en plus des algorithmes, les contraintes, et par conséquent les architectures, ne sont pas les mêmes pour chaque type de données. Ainsi, séparer le signal de l'image et de la vidéo permet d'avoir un regard ciblé sur chaque contenu.
- enfin, l'identité de l'équipe VISION (Vidéo, Image et Signal, de l'Optique au Numérique) sera mieux représentée en dédiant un chapitre pour chacune de ses composantes.

Ainsi, le premier chapitre est dédié aux contributions dans le domaine du codage vidéo. L'apport des optimisations algorithmiques qui concernent la prédiction, la décomposition et l'approximation des calculs est mis en avant. De même pour les aspects architecturaux dans lesquels les techniques avancées de conception de circuits et systèmes numériques sont évaluées suite à leurs applications aux opérateurs arithmétiques ainsi qu'à des niveaux d'abstractions supérieurs pour obtenir des architectures reconfigurables, systoliques, pipelinées et unifiées. L'ensemble de ces améliorations a été validé par des

tests sur les outils de références des derniers standards vidéo et par des implantations sur FPGA. Des compromis performances, consommations et qualité sont dressés pour offrir à l'utilisateur des possibilités d'intégration d'un large spectre d'applications.

Le deuxième chapitre est centré sur l'apport du codesign algorithme architecture, et matériel logiciel à travers l'utilisation des outils de prototypage rapide pour la mise en place de plateformes électroniques embarquées dédiées aux applications de traitement d'images. La simplification de techniques de traitement d'images a été traitée dans un premier temps afin de faciliter l'exportation des techniques de traitement d'images du monde des simulateurs numériques au monde des prototypes électroniques pour des terminaux mobiles. Un exemple d'algorithmes et d'architectures pour la reconnaissance de visage est considéré, avec en prime la proposition d'un schéma de reconnaissance de visage novateur, simplifié et plus robuste que les schémas classiques. De plus, des descriptions et des analyses sont faites sur deux plateformes développées et mises en place dans le cadre de nos travaux, l'une pour le traitement d'images (plateforme SCAM) et l'autre pour l'Internet des objets multimédia (plateforme GIoMT). La première plateforme s'appuie sur le prototypage rapide pour construire une caméra intelligente capable de prendre des décisions. La deuxième, permet de crypto-compresser et de communiquer des images multiples venant de plusieurs nœuds finaux (end-user). Elle se base sur l'utilisation de plusieurs techniques de calcul innovant comme le calcul proche capteur.

Quant au troisième chapitre, il résume les contributions de conception de techniques de traitement de signal sur des systèmes embarqués pour des applications de télécommunications au sens large. D'abord une introduction du concept de design reuse est faite pour expliquer son potentiel d'accélérer les temps de développement et de réduire par conséquent le gap qui sépare la complexité des algorithmes du niveau de productivité. Comme cas d'étude, l'implantation des FFT à grain fin est considérée pour gagner en portabilité. Le projet IPdesign est détaillé et les résultats à travers des bancs de tests sont donnés pour montrer les avantages des IP développés. Une application de guerre électronique est également présentée dans laquelle les FPGA sont utilisés pour traiter massivement des bandes passantes et analyser le spectre radio. Le deuxième volet de ces contributions est en lien avec le dimensionnement de la chaîne de réception des signaux acoustiques pour un environnement marin et la conception du front-end numérique composé de blocs pour démodulation du signal. Le dernier axe de recherche est en lien avec l'IoT. Comme nous sommes à l'aube d'une nouvelle révolution, les conceptions en lien avec ce domaine sont semées de doutes et d'hésitations qui sont exprimés dans ce manuscrit. Les développements des activités en lien avec cet axe sont détaillés à travers deux projets, académiques et industriels, en cours de développement et en lien avec la santé et l'industrie 4.0.

Enfin, une synthèse de l'ensemble de ces recherches est présentée en fin du manuscrit, accompagnée des aspects prospectifs de ces travaux à court et moyen terme.

Amélioration des performances des codecs vidéo

1 Introduction : Avancement de la standardisation

La vidéo est la source d'information la plus contraignante en termes de besoin de traitement à cause des quantités de données à enregistrer ou à transmettre. Les instances internationales de traitement d'images et des vidéos ont donc développé des techniques de codage vidéo pour compresser les quantités volumineuses d'informations visuelles en données codées représentées numériquement avec peu d'informations binaires. Les différentes générations de codeurs vidéo emploient des mécanismes de compression de flux vidéo en se basant sur les traitements des redondances spectrales, spatiales, temporelles et statistiques. Ces codeurs possèdent des éléments de codage communs ou bien similaires et des profils variés (Baseline, Extended, Main, High, etc.) adaptés à des contextes applicatifs différents. Ainsi, chaque utilisateur est concerné par un profil en fonction de son application. Quant aux décodeurs, ils sont soumis en plus des contraintes matérielles liées aux applications, à l'obligation de supporter un grand nombre de codeurs (tels que JPG, MP1-V, MP1-A, MP2-V, MP4-V (ASP), AVC, H265). Ainsi, face à l'évolution constante et particulièrement rapide des standards de codage vidéo, les composants multimédia doivent permettre un décodage en temps-réel et efficace énergétiquement pour des contenus de plus en plus riches implanté sur des supports légers. Un cas typique pour ces applications est l'utilisation des contenus multimédia sur des systèmes mobiles connectés dont le nombre connaît une augmentation exponentielle pour atteindre 1,5 terminal par habitant en 2019 [5]. Le codage, décodage, téléchargement et affichage sont les fonctions les plus utilisées par ces systèmes. Ainsi, des réalisations faible-consommation pour ces fonctions sont nécessaires pour avoir des durées de vie de batteries raisonnables. Dans ce cadre, il faut savoir que la consommation énergétique est composée de deux parties : (i) la consommation liée au codage et décodage qui est induite par la complexité du codage vidéo, et (ii) la consommation dans les transmissions ou téléchargements qui est fonction du débit (taille du fichier compressé) et dépend donc de l'efficacité du codec employé. Aujourd'hui, il est plus coûteux énergétiquement de transmettre une donnée binaire (1pJ/bit/mm) que de la calculer (1aJ/bit/op). Par conséquent, la réduction des quantités des données transmises devient un enjeu majeur. Il est vrai que les codecs des dernières générations sont efficaces ce qui permet de réduire les consommations liées aux transmissions. Mais, ces mêmes codeurs sont de plus en plus complexes ce qui induit des consommations liées aux traitements plus importantes.

Un aperçu rapide de dernières générations de codage vidéo est nécessaire pour saisir le périmètre du problème, sans faire un état de l'art étendu sur les évolutions des codecs vidéo. Des contributions aux niveaux algorithmiques et architecturaux ont été apportées aux codecs vidéo pour améliorer leurs performances et faciliter leur intégrations dans des structures légères. Enfin, un axe secondaire à ces travaux a concerné le cryptage sélectif et les techniques de crypto-compression à l'aide de générateurs chaotiques implantés sur des architectures matérielles. Cet axe ne sera pas détaillé ici en lien avec le codage vidéo.

1.1 De la norme H.264 à la norme HEVC

En 2011, nous avons commencé à nous intéresser aux problématiques du codage vidéo. La norme de compression utilisée est la norme H.264, ou MPEG-4 AVC qui est ouverte et sous licence compatible avec la plupart des techniques de compression disponibles. Elle est développée conjointement par l'ISO/IEC MPEG (Moving Picture Experts Group) et ITU-T VCEG (Video Coding Experts Group) suite à leur fusion en 2001 sous le nom de JVT (Join Video Team). La norme H.264 a permis de surpasser les codeurs précédents en modifiant le schéma de codage classique par l'introduction de certaines techniques communes comme la prédiction spatiale¹, la précision au quart de pixel pour les estimations et compensations de mouvements, la transformation DCT (Discrete Cosine Transform) entière, le codage entropique arithmétique. D'autres changements ont été apportés aux codeurs vidéo, mais leur influence est minime pour être citées dans ce manuscrit. Grâce à ces améliorations, la norme H.264 permet de réduire de 50% la taille des vidéos compressées, par conséquent le débit binaire ou bit rate, comparé aux codeurs précédents, pour une même qualité d'expérience (QoE) [6]. Mais, l'augmentation de la diversité des services, la popularité des vidéos HD et l'émergence des formats beyondHD (résolutions $4K \times 2K$ ou $4K \times 2K$) ont créé un besoin croissant pour des performances de codage supérieures à celles offertes par la norme H.264. Ce besoin est d'autant plus grand quand les hautes résolutions sont accompagnées par des contenus stéréo ou multi-vue.

Nos travaux de recherche liés au codage vidéo se sont intensifiés avec l'apparition en 2013 de la nouvelle norme High Efficiency Video Coding (HEVC) développée conjointement par ITU-T VCEG, ISO/IEC VCEG et ISO/IEC MPEG. L'objectif principal de la norme est de fournir des outils de codage efficaces pour des contenus de résolution Ultra High Definition (UHD) tout en prenant en compte les nouveaux formats comme des contenus High Dynamic Range (HDR) et Wide Colour Gamut (WCG). Comparée à la norme H.264, la norme HEVC permet une réduction de 50% de débit binaire pour une même QoE. Ces performances sont rendues possibles grâce à des changements sur plusieurs volets comme par exemple dans la structure de codage², le nombre de modes de la prédiction spatiale (qui dépasse 33 modes), l'utilisation d'algorithmes d'estimation

1. Cette opération (dite aussi prédiction Intra) consiste à prédire le contenu d'un bloc de pixel en se référant à ses voisins. La prédiction est déterminée par un mode qui définit le sens de la prédiction : verticale, horizontale, pondérée, etc.

2. Pour donner un exemple, la taille maximale des transformations définie par Transform Unit (TU) est de 32×32 , contrairement à celle de la norme H.264 qui ne dépasse pas 16×16

et de compensation de mouvement qui offrent plus de précision, l'utilisation de la DCT exacte et de la Discrete Sine Transform (DST) pour des informations résiduelles de tailles 4×4 , en plus de la possibilité d'utiliser des extensions multi-vue pour filmer une scène avec plusieurs caméras.

Comme tous ses prédécesseurs, le codage HEVC est de type hybride qui se base sur un schéma de prédiction Inter/Intra en plus des transformations. Les prédictions Inter et Intra sont dédiées à l'élimination des redondances spatiales et temporelles dans la même trame ou dans des trames successives, alors que la transformation est employée pour décorrélérer le signal résiduel après prédiction. De même, comme tous ses prédécesseurs, le gain en efficacité de codage se fait au détriment d'une complexité croissante. [7–9]. En effet, les performances débit-distortion du codeur actuel dépendent de la possibilité d'exploiter la large variété d'outils de codage disponibles. Ceci revient à un impact important sur les quantités de calculs nécessaires puisque le choix d'une des techniques évaluées pendant le codage se fait sur le principe de trial-and-error process à travers des optimisations lagrangiennes [10].

1.2 Vers la norme VVC

Comme expliqué précédemment, le besoin de formats à résolution élevée augmente continuellement et pose des problèmes critiques à la fois pour le stockage des données et l'utilisation de la bande passante. D'ailleurs, les nouvelles générations de systèmes de télécommunications dont la 4G et la 5G promettent des bandes passantes plus élevées, mais emploient en même temps des services qui utilisent massivement des informations de signalisation dont la proportion est non loin négligeable par rapport aux données utiles. Par conséquent, des efforts sont à faire pour fournir une meilleure efficacité de codage. Le groupe JVET développe actuellement une nouvelle technologie de codage vidéo qui vise à améliorer efficacement les performances débit-distortion, en comparaison avec le standard HEVC. Le nouveau standard en cours de développement est baptisé en Avril 2018 Versatile Video Coding (VVC). Plus particulièrement, il inclut les nouveautés suivantes : des structures de blocs pouvant atteindre la taille de 256×256 , 65 modes de prédiction Intra, une prédiction Inter avec des vecteurs de mouvements de 1/16 pixel de précision, un flux optique bidirectionnel (BIO), plusieurs transformations adaptatives (Adaptive Multiple Core Transform appelé aussi Enhanced Multiple Transform (EMT)), des filtres bilatéraux et adaptatifs ainsi qu'un codeur entropique arithmétique amélioré en termes de gestions de contextes et d'estimation des hypothèses de probabilité [11]. D'autres pistes d'amélioration sont en cours d'évaluation à travers le modèle de référence du nouveau standard JEM. L'utilisation des transformations multiples semble donner satisfaction et constitue un élément de changement majeur. En effet, contrairement aux standards existants qui emploient uniquement la DCT-II, il a été démontré dans [12, 13] qu'il sera bénéfique en termes d'efficacité de codage d'utiliser un ensemble assez large de transformations au niveau du codeur. Plus spécifiquement, il a été prouvé que pour le processus Markovien du premier ordre avec des coefficients hautement corrélés, la DST-VII approche plus les propriétés optimales de concentration énergétique indiquées par la transformation Karhunen–Loève Transform (KLT) pour la prédiction Intra. De ce fait,

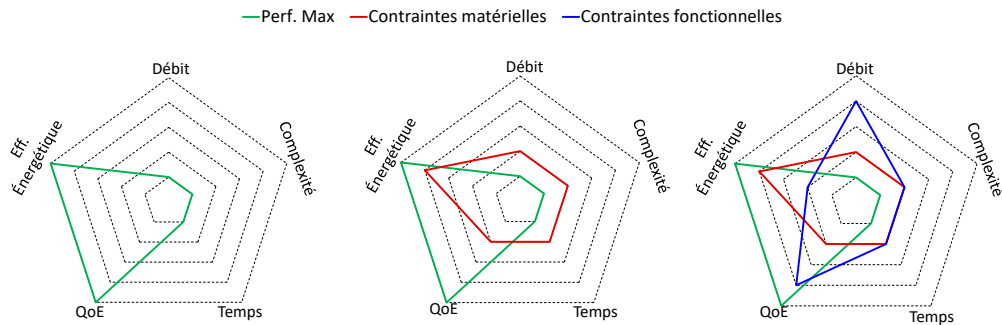


FIGURE I.1 – Contraintes matérielles et fonctionnelles du codage vidéo. Les performances maximales sont en vert (à gauche), les performances réelles en considérant les contraintes matérielles sont en rouge (au centre), les performances réelles en considérant les contraintes fonctionnelles sont à bleue (à droite).

le standard HEVC a adopté la DST-VII pour la transformation de blocs de luminance de tailles 4×4 [14]. En suivant le même concept, la norme VVC a élargi l'ensemble des transformations pour inclure la DCT-V, DCT-VIII, DST-VII and DST-I tout en gardant la transformation originale DCT-II. Des signaux de signalisation sont mis en place pour indiquer le choix des transformations utilisées. Certes, les performances débit-distortion sont améliorées, mais l'application de 5 possibilités de transformations dans le sens horizontal et vertical pour chaque bloc d'informations résiduelles augmente la complexité de calcul de l'encodeur. Nos travaux de recherche dans cet axe ont pour but de concilier les contraintes liées à la fois à l'aspect fonctionnel (performance débit-distortion) et aux contraintes d'implantation matérielle (complexité de calcul et efficacité énergétique). Comme le montrent les diagrammes de la figure I.1, sans effort de conception, les contraintes fonctionnelles et matérielles dégradent les performances des codeurs et limitent leurs champs d'application. Les travaux de recherche menés dans cet axe ont permis d'avoir des performances débit-distortion proches des performances maximales tout en gérant convenablement les contraintes matérielles. Quelques contributions sont détaillées dans la suite du chapitre.

2 Optimisations algorithmiques des transformations

2.1 Expression du besoin

Grâce aux nouvelles normes de codage vidéo, les consommations de puissance liées aux transmissions et téléchargements sont réduites alors que celles requises par le codage et décodage augmentent suite à l'augmentation des complexités de calcul. Dans ce contexte, une initiative de standardisation est parue en 2013 sous le nom de Green Metadata [15] pour aboutir à une compression vidéo efficace énergétiquement. Un aperçu de

ce standard est fourni dans [16]. Ce dernier spécifie comment les métadatas permettent (i) des réductions de consommation sans dégradation de la QoE, ou (ii) comment sacrifier légèrement la QoE quand un gain important d'efficacité énergétique peut être atteint. Ces études sont venues nous conforter dans nos démarches méthodologiques entreprises dès l'année 2011 avec des publications scientifiques dans lesquelles des séparations claires entre les deux aspects cités plus-haut ont été faites [17].

Les optimisations algorithmiques et architecturales constituent un axe de recherche probant pour la réduction de la consommation énergétique des codeurs vidéo. À l'échelle algorithmique, la complexité de calcul peut être réduite significativement par des prédictions et des approximations bien étudiées. De plus, l'adéquation algorithme-architecture peut fournir des réductions importantes en surface consommée, temps de calcul et par conséquent en consommation énergétique. Il est évident que les algorithmes de transformations DCT et IDCT ainsi que ceux des opérations de filtrage peuvent tolérer des erreurs, et peuvent donc être approximés. De plus, des résultats de profilage appliqué aux codecs HEVC ont été détaillés dans [7] pour montrer les évaluations des temps passés dans les différentes classes *C++* du modèle de référence du standard (modèle HM). Il est indiqué que dans une configuration all-intra (toutes les trames vidéo sont codées sans références à des trames prédites par estimation et compensation de mouvement), le quart du temps global du codage est passé dans les routines de transformations et de quantifications. Il est alors évident que l'optimisation du calcul et de l'implantation des transformations est nécessaire. Il s'agit d'un axe qui a été centrale dans nos activités de recherche de par l'importance des transformations dans les chaînes de codage vidéo et de leur potentiel à être prédites, simplifiées, approximées et accélérées.

2.2 Prédiction des calculs

Une solution prometteuse pour réduire la complexité du calcul de DCT consiste à identifier les calculs redondants afin de les éviter. Dans cet axe nous avons présenté une méthode qui prédit les coefficients de la DCT qui seront quantifiés à zéro (ZQDCT pour Zero-Quantized DCT) pour une implantation efficace du codage vidéo Intra. Les méthodes traditionnelles utilisent des modèles statistiques gaussien appliqués aux pixels résiduels pour prédire si tout un bloc ou une partie d'un bloc sera quantifié à zéro. La méthode que nous proposons est basée sur deux éléments clés. D'abord, nous avons déterminé les limites théoriques d'évolutions des coefficients de la DCT en utilisant les signaux intermédiaires définis dans schéma bloc de la DCT. Ensuite, les conditions nécessaires et suffisantes pour prédire les éléments ZQDCT sont choisies afin de réduire la complexité arithmétique sans dégradation de qualité. Le modèle analytique fut validé par des simulations numériques et des implantations sur FPGA (qui seront détaillées plus loin dans ce manuscrit).

2.2.a État de l'art des méthodes de prédiction

Suite à l'application de la DCT, les coefficients à hautes fréquences n'ont pas un impact majeur sur la reconstruction de l'image ou des trames vidéo. La grande partie de ces

coefficients peut être quantifiée à zéro et par conséquent elle ne nécessite pas l'affectation de ressources de calculs dédiées. Plusieurs méthodes [18–31] ont été proposées dans la littérature pour la prédiction des coefficients ZQDCT afin de réduire la complexité de calcul du codage Inter [18–24] et Intra [25–28]. La comparaison des sommes des différences absolues (SAD) des pixels résiduels à des seuils est la technique sur laquelle se base la majorité de ces méthodes. Les résultats expérimentaux montrent que les taux des faux négatifs (FRR pour False Rejection Rate) peuvent être améliorés pour détecter plus de coefficients. Ce taux peut atteindre 60% dans certaines méthodes comme dans [28], ce qui signifie que 60% des coefficients ZQDCT n'ont pas été prédits à zéro. D'un autre côté, d'autres méthodes de prédiction se sont focalisées sur le codage Inter. Ces méthodes sont efficaces mais ne s'appliquent que sur des entrées compensées en mouvement pour être modélisées par des distributions gaussiennes [18–20] et laplaciennes [21].

Concernant le codage Intra, des techniques de prédiction ont été proposées dans [25] et consistent à considérer un coefficient quantifié à zéro si un certain nombre de caractères zéros sont contenus dans le coefficient. La méthode est simple et peut convenir facilement à des implantations matérielles, mais une dégradation de qualité visuelle d'en moyenne 1,6 dB est constatée. Une autre méthode plus avancée s'appuie sur un modèle hybride a été proposé dans [27] utilisant le modèle statistique de [26] en plus d'algorithmes de test de conditions suffisantes. La méthode réduit les demandes de calcul du codeur vidéo, mais nous trouvons qu'elle est complexe en termes de mise en œuvre sur des architectures matérielles et présente un taux de faux positif (FAR pour False Acceptance Rate) important ce qui induit à prédire des coefficients à zéro alors qu'ils y sont différents.

2.2.b Algorithme de prédiction proposé

L'algorithme de prédiction proposé a été publié dans [32], puis dans [33] pour sa version plus évoluée. Au lieu de calculer les SAD des pixels résiduels ou des distributions gaussiennes, nous avons proposé un modèle mathématique pour déterminer les valeurs limites de chaque coefficient en se basant sur le comportement des signaux intermédiaires. Les éléments clés de l'algorithme proposé sont résumés dans les points suivants :

- Décomposition de la matrice de quantification $Q(u, v)$ en deux éléments α et Q^f respectivement pour la quantification des sorties du premier étage de la DCT et du deuxième étage de la DCT, avec $\alpha = \lfloor \sqrt{\min\{Q(u, v)\}} \rfloor$, $Q^f(u, v) = \lfloor Q(u, v) / \alpha \rfloor$.
- Étude de la transformation de la DCT-2D en la décomposant en deux transformations DCT-1D sur les lignes et les colonnes. Chaque coefficient est étudié de façon disjointe de sorte à extraire les symétries afin de les associer par la suite en commun avec plusieurs coefficients. Chaque coefficient sera représenté sous une forme qui présente des éléments de calcul communs avec d'autres coefficients.
- Établissement des limites de chaque coefficient en se basant sur les relations trigonométriques définies ci-haut.
- Extraction des limites d'un ensemble de coefficients partageant les mêmes éléments sous forme de représentation matricielle.

- Établissement des conditions suffisantes de détermination de coefficients ZQDCT.

Ainsi, nous avons abouti aux équivalences suivantes :

$$\begin{pmatrix} C_q(x, 1) = 0 \\ C_q(x, 3) = 0 \\ C_q(x, 5) = 0 \\ C_q(x, 7) = 0 \end{pmatrix} \Leftrightarrow \left| \begin{pmatrix} M(1) \\ M(3) \\ M(5) \\ M(7) \end{pmatrix} \right| \leq \frac{2\alpha}{\cos\frac{\pi}{16}} \quad (\text{I.1})$$

où

$$\begin{pmatrix} M(1) \\ M(3) \\ M(5) \\ M(7) \end{pmatrix} = \begin{pmatrix} 1 & 1 & 1 & 1 \\ 1 & -1 & -1 & -1 \\ 1 & -1 & 1 & 1 \\ 1 & -1 & 1 & -1 \end{pmatrix} \begin{pmatrix} E12 \\ E14 \\ E16 \\ E18 \end{pmatrix} \quad (\text{I.2})$$

Les variables $E12$, $E14$, $E16$, $E18$ sont les sorties paires du premier étage de calcul de la DCT selon l'algorithme de Leoffler [34] et les coefficients $C_q(x, :)$ sont les sorties de la DCT-1D quantifiés. De façon similaire, les coefficients impairs quantifiés à zéro sont obtenus comme indiqué ci-dessous :

$$\begin{pmatrix} C_q(x, 0) = 0 \\ C_q(x, 2) = 0 \\ C_q(x, 4) = 0 \\ C_q(x, 6) = 0 \end{pmatrix} \Leftrightarrow \left| \begin{pmatrix} M(0) \\ M(2) \\ M(4) \\ M(6) \end{pmatrix} \right| \leq \begin{pmatrix} 2\sqrt{2}\alpha \\ \frac{2\alpha}{\cos\frac{\pi}{16}} \\ 2\sqrt{2}\alpha \\ \frac{2\alpha}{\cos\frac{\pi}{8}} \end{pmatrix} \quad (\text{I.3})$$

où

$$\begin{pmatrix} M(0) \\ M(2) \\ M(4) \\ M(6) \end{pmatrix} = \begin{pmatrix} 1 & 1 & 1 & 1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 \\ 1 & -1 & 1 & -1 \end{pmatrix} \begin{pmatrix} E11 \\ E13 \\ E15 \\ E17 \end{pmatrix} \quad (\text{I.4})$$

et x indique l'indice d'une colonne. Les variables $E11$, $E13$, $E15$, $E17$ sont les sorties impaires du premier étage de calcul de la DCT selon l'algorithme de Leoffler. Enfin, il faut signaler qu'une approche similaire est utilisée pour déterminer les coefficients ZQDCT de la deuxième DCT-1D. Cette partie ne sera pas détaillée dans ce rapport et est consultable dans [33].

2.2.c Validation fonctionnelle

Une première phase de validation fonctionnelle a été mise place dans laquelle un bloc de pixel de taille 8×8 a été considéré. Les équations établies précédemment ont été calculées afin de déduire le nombre de coefficients ZQDCT. La stratégie de quantification des coefficients est en adéquation avec le standard MPEG4. Pour l'exemple considéré, nous avons obtenu 3 coefficients ZQDCT alors qu'il y a 4 coefficients ZQDCT. Il est également à souligner que sous les mêmes conditions, la méthode dans [27] ne détecte aucun coefficient pour la même séquence d'entrée. Une validation plus étendue a été

TABLE I.1 – Évaluation de la robustesse de la méthode de prédiction de calcul proposée.

Sequence	Qp	FRR			FAR		
		[26]	[27]	Proposée	[26]	[27]	Proposée
Foreman	4	52,54	48,23	31,31	0,14	0,18	0
	8	35,67	29,24	26,58	0,26	0,32	0
	16	22,11	14,39	22,09	0,86	0,93	0
	31	14,80	7,59	18,40	2,17	2,30	0
Glasgow	4	49,81	44,47	27,32	0,10	0,13	0
	8	34,95	28,45	25,68	0,92	0,97	0
	16	22,37	15,78	22,90	1,57	1,69	0
	31	15,30	8,03	19,05	2,09	2,26	0
Akiyo	4	40,52	35,11	23,13	0,55	0,61	0
	8	24,25	16,67	20,79	0,89	0,97	0
	16	17,82	8,45	18,75	2,10	2,13	0
	31	13,43	5,96	17,15	3,52	3,74	0
Miss America	4	36,54	31,73	20,94	0,63	0,74	0
	8	21,62	15,78	15,54	1,05	1,17	0
	16	13,23	6,63	12,57	2,18	2,54	0
	31	12,02	4,69	9,37	3,91	4,08	0

ensuite mise en place en considérant 4 séquences vidéo de résolution QCIF avec des pas de quantification Qp allant de 4 à 31. Les résultats de simulation de la méthode proposée et de celles dans [26] et [27] sont illustrés dans le tableau I.1.

En comparant la méthode proposée avec celles dans [26] et [27], nous pouvons remarquer que le taux FAR est égale à zéro. Il s'agit d'un avantage indéniable puisque la méthode proposée n'induit pas d'erreurs dans le processus de prédiction. Il est aussi intéressant de remarquer que pour des valeurs de Qp importantes, le taux FRR est faible puisque le nombre de coefficients prédits à zéro est important. De même, il est montré que quand Qp double, le taux FRR diminue constamment. Ce résultat est attendu et est en conformité avec le processus de prédiction expliqué dans la section précédente. En conclusion, la méthode proposée est complémentaire avec celles existantes dans la littérature et semble être plus avantageuse quand des débits importants sont attendus.

2.3 Algorithme de décomposition

Récemment, plusieurs travaux de recherche s'intéressent à l'approximation du calcul de la DCT 8–point pour réduire sa complexité de calcul [35–40]. L'objectif principal de cette approche est de supprimer les opérations de multiplications qui consomment la majeure partie de l'énergie et du temps de calcul. Les premiers travaux dans cette thématique remontent à 2001 avec une première méthode baptisée SDCT pour DCT signée [39]. Chaque élément de la matrice de la DCT est remplacé par son signe, i.e. ± 1 . La méthode est très simple dans son principe et offre à la fois d'excellentes performances

de codage et de simplification de l'implantation matérielle. D'autres chercheurs comme Bouguezal-Ahmad-Swamy (BAS) ont proposé une série de méthodes en remplaçant les éléments de la matrice DCT par des $0, \pm 1/2, \pm 1$ [38]. Dans la même veine, Bayer et Cintra [36,37] ont introduit deux transformations avec des matrices DCT composées par 0 et ± 1 comme éléments du noyau de la transformation et dépassent les performances obtenues dans [38], en particulier pour les scénarios faible et fort rapport de compression.

Le besoin des approximations est d'autant plus important pour des tailles élevées de DCT. Comme vu précédemment, les standards de codage améliorent l'efficacité de codage par augmentation des tailles des blocs des transformations, ce qui engendre une complexité croissante de façon non linéaire. En plus du codage vidéo, d'autres applications de traitement d'image comme le suivi de cibles [41], crypto-compression [42] requièrent des DCT de tailles élevées. Dans ce contexte, une nouvelle classe de transformation fut introduite par Cintra pour application de la DCT sur plusieurs tailles de blocs [43,44]. Plus récemment, deux nouvelles transformations sans multiplications ont été proposées pour des tailles 8-, 16- et 32-points [35,45].

L'ensemble des méthodes proposées consiste à trouver une matrice approximée utilisant des techniques à base de recherches exhaustives. L'application de ces transformations aux codeurs vidéo montre que les performances obtenues sont perfectibles. En effet, certaines de ces méthodes sont déficientes en termes de scalabilité [45], d'indépendance à la taille [44] et d'orthogonalité [43]. Ce dernier critère est important car il permet d'avoir des passages des transformations directes aux transformations inverses et vice versa moyennant des opérations de transposition, ce qui facilite la définition d'architectures unifiées pour les transformation directes et inverses [46], [47].

L'originalité de nos travaux dans cette thématique a été de proposer un algorithme de décomposition qui servira à l'approximation des DCT indépendamment de leur taille. Ainsi, nous avons introduit une nouvelle classe d'algorithmes qui peut s'adapter aux codeurs vidéo actuels et à ceux des futures générations. Cette nouvelle classe d'algorithmes a été conçue pour respecter les critères suivants :

- Réduire la complexité des calculs.
- Fournir des performances de compression proches de la transformation exacte. Pour cela, il est préférable que les transformations soient orthogonales pour le potentiel fort de décorrélation de ce type de transformation.
- Être indépendant de la taille de la DCT pour satisfaire un grand nombre d'applications.

L'algorithme en question repose sur une représentation de la DCT à base de matrices creuses qui sert pour séparer les éléments calculatoires des éléments d'ordonnement qui sont gérés par une matrice de permutation M_N^{per} . Quant à la partie calculatoire elle se divise en deux composantes : le premier étage d'addition et de soustraction représenté par la matrice M_N^{add} et les noyaux de calcul contenus dans T_N , comme indiqué par (I.5) :

$$C_N = \frac{1}{\sqrt{2}} M_N^{per} T_N M_N^{add} \quad (\text{I.5})$$

Plus spécifiquement, T_N est une matrice creuse représentée par :

$$T_N = \begin{bmatrix} C_{\frac{N}{2}} & 0_{\frac{N}{2}} \\ 0_{\frac{N}{2}} & S_{\frac{N}{2}} \end{bmatrix} \quad (\text{I.6})$$

où $0_{\frac{N}{2}}$ est une matrice d'éléments nuls de taille $\left(\frac{N}{2} \times \frac{N}{2}\right)$. La matrice $S_{\frac{N}{2}}$ est composée de la première partie des lignes impaires d'une forme pondérée de la matrice C_N [48]. Les éléments des matrices M_N^{per} et M_N^{add} ne sont pas évoqués ici pour des raisons de brièveté. Plus de détails concernant ces matrices sont consultables dans notre article [48]. De plus, comme indiqué précédemment, la matrice C_N est orthogonale. En effet, il existe une matrice diagonale D_N qui permet d'utiliser la matrice $C_N^{orth} = D_N \times C_N$ à la place de C_N car $(C_N^{orth})^{-1} = (C_N^{orth})^t$. Comme la matrice D_N est diagonale, elle peut être intégrée dans la matrice de quantification comme un facteur d'échelle, sans aucun coût additionnel de calcul.

Au final, l'algorithme de décomposition peut être déduit comme décrit ci-dessous. En fixant une matrice de transformation sous forme de puissance de 2, l'algorithme déduit de façon systématique toutes les transformations de tailles supérieures ainsi que leurs matrices de diagonalisation. Il est aussi important de noter que cet algorithme s'applique à la fois pour des transformations exactes et approximées. D'ailleurs la méthode de décomposition est considérée comme un outil de validation de méthodes d'approximation qui présentent des limitations d'extensibilité des tailles. Elle a été utilisée par une vingtaine de chercheurs depuis l'année de sa publication en 2015.

2.4 Approximations par binarisation

L'algorithme de décomposition est la pierre angulaire pour la proposition de nouveaux algorithmes d'approximation de la DCT. Nous avons proposé deux nouveaux algorithmes d'approximation qui ont été publiés dans des journaux internationaux. Dans [48],

Algorithm 1: Génération de matrices DCT.

```

function DÉCOMPOSITION DCT(N) ▷ N puissance de 2, N ≥ 4
    N0 ← log2  $\frac{N}{4}$  ▷ N0 est le nombre de blocs à 4 échantillons
    C $_{\frac{N}{2^{N_0}}}$  ← [2C4] while N0 > 0 do
    –    $\tilde{N} \leftarrow \frac{N}{2^{N_0-1}}$ 
        Calculer  $M_{\tilde{N}}^{per}$ ,  $M_{\tilde{N}}^{add}$  ▷ référence dans [48]
        Calculer  $C_{\tilde{N}}$  ▷ Eq (I.5)
        N0 ← N0 – 1

    Calculer DN
    donner CN, DN
end function
    
```

nous avons proposé un algorithme d'approximation de la DCT obtenu en partie par l'utilisation d'un algorithme d'approximation existant mais non extensible, mais aussi grâce à l'algorithme de décomposition décrit dans la section 2.3. La partie innovante de la proposition a consisté à approximer la matrice $S_{\frac{N}{2}}$ dans I.6 par la matrice $C_{\frac{N}{2}}$. Ce point a permis de garder des performances de codage intéressantes et a contribué fortement à améliorer les architectures matérielles qui seront détaillées plus tard. En effet, la complexité arithmétique de cet algorithme a été comparée favorablement avec les méthodes existantes. Les approximations obtenues présentent également moins d'erreurs d'approximation par rapport à la transformation exacte. Ensuite, nous avons proposé une autre version d'approximation dans [49] basée en partie non pas sur des travaux existants comme dans [48], mais sur un nouveau noyau de binarisation décrit par :

$$\tilde{C}_4(i, j) = 32 \times \mathcal{R} \left(\frac{C_4(i, j) + 32 \times \text{sgn}(C_4(i, j))}{64} \right) \quad (\text{I.7})$$

\forall, i, j , où $\mathcal{R}(\cdot)$ est l'opérateur d'arrondi et $\text{sgn}(\cdot)$ est la fonction signe. Pour la conformité par rapport au dernier standard HEVC, la première ligne de la matrice est composée d'éléments exclusivement égaux à 64. Par conséquent, nous avons utilisé un facteur d'échelle de $2^{(6+M/2)}$, où $M = \log_2 N$, ce qui permet d'avoir des matrices orthonormées. Le noyau de calcul proposé satisfait les propriétés suivantes : (1) plusieurs tailles d'approximation de DCT sont possibles allant de 4×4 à 32×32 ; (2) les vecteurs de base utilisés sont orthogonaux; (3) chaque coefficient est décrit par une représentation sur 8 bits en incluant le bit de signe; (4) les coefficients de sortie de chaque DCT-1D est de 16 bits indépendamment de la taille (ce qui induit une gestion des arrondis des coefficients).

Deux scénarios sont utilisés pour les validations des méthodes proposées. Le premier parue dans [39] concerne une compression d'image avec une méthode de quantification spécifique qui consiste à sélectionner progressivement des coefficients à retenir et de mettre tous les autres à zéro. Ceci permet de valider les performances de concentration d'énergie des méthodes d'approximation. Le deuxième scénario qui est détaillé dans ce rapport consiste à appliquer les méthodes d'approximation dans des codeurs en venant modifier les modèles de références fournis par les organismes de standardisation tout en respectant le contexte d'utilisation dicté par des conditions de test normatives [50]. C'est ainsi que nous avons comparé les performances de nos méthodes avec celles des autres [35], [39], [45] et [51] en montrant les écarts par rapport au modèle de référence.

Les performances débit-distortion déduites à travers l'utilisation des courbes RD (Rate/Distortion) sont illustrées dans la figure I.2. Il est montré que les méthodes d'approximation proposées dans [48] DCT-TCAS1 et [49] DCT-TCSVT permettent d'avoir des performances en termes de Peak Signal Noise Ratio (PSNR) et de débit meilleures que les méthodes existantes et très proches du modèle de référence. En particulier, il a été constaté que dans certaines vidéos, pour des PSNR supérieurs à 40 dB, la méthode d'approximation présentée dans [49] permet d'avoir une réduction de débit d'environ 5 Mb/s. Mieux encore, dans certains cas il a été constaté que pour une même qualité, les performances en débit obtenues par [49] sont meilleures que celles dans le modèle de référence. Malheureusement, ceci est rare pour être généralisé. Ainsi, la transformation

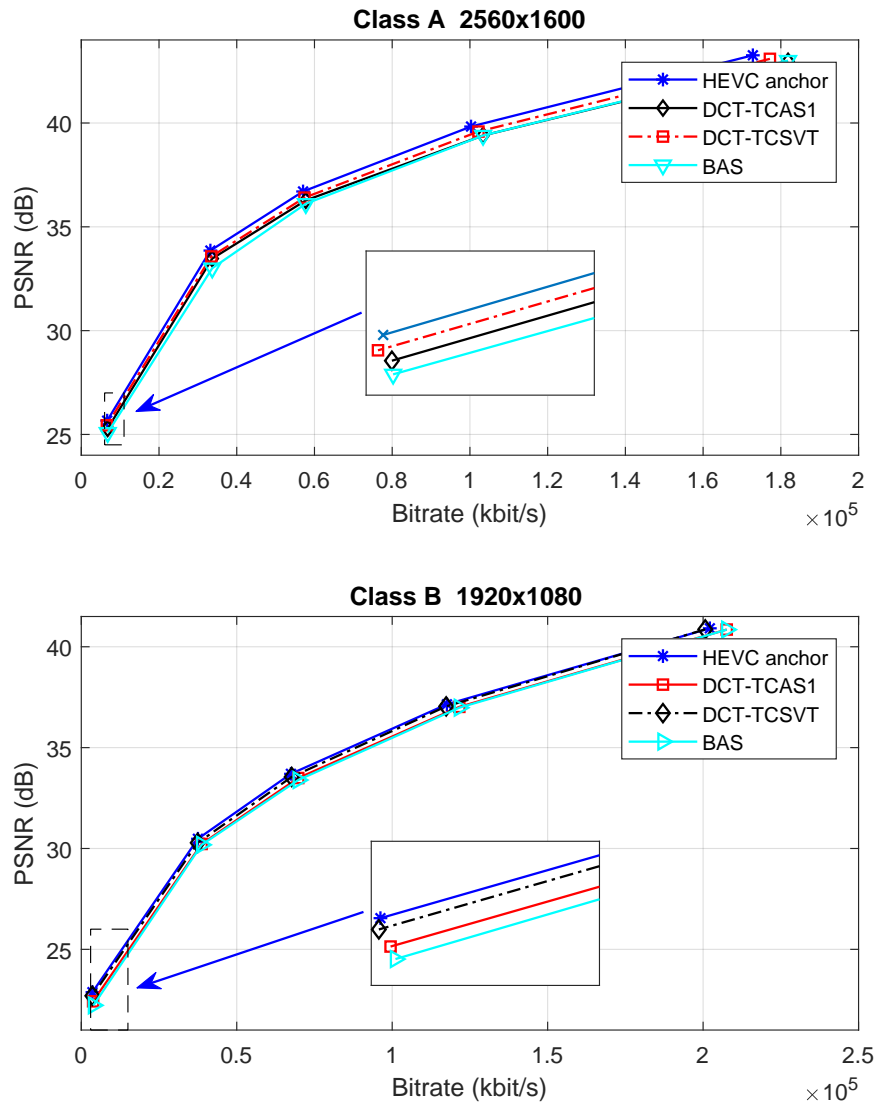


FIGURE I.2 – Évaluation des performances du codeur HEVC utilisant les approximations par binarisation.

proposée ne se substitue pas à celle du modèle de référence, mais elle peut être envisagée dans certains scénarios non seulement pour l'allègement des contraintes matérielle comme il sera montré plus tard, mais aussi pour ses performances débit-distortion.

Pour valider davantage les méthodes proposées, des expérimentations supplémentaires ont été conduites. Les tableaux I.2 et I.3 comparent les performances de codage des deux méthodes proposées en se référant au modèle du standard. Trois profils ont été testés intra-only, low-delay, and random-access pour permettre de couvrir un large nombre d'applications. Le critère de Bjontegaard [52] a été utilisé pour mesurer les varia-

TABLE I.2 – Performance en PSNR du codeur HEVC utilisant les approximations proposées.

Class	Intra-only		Low-delay B		Random-access	
	[48]	[49]	[48]	[49]	[48]	[49]
A (4K)	-0,61	-0,34			-0,43	-0,36
B (1080p)	-0,36	-0,04	-0,23	-0,08	-0,10	-0,09
C (WVGA)	-1,47	-0,78	-1,23	-0,68	-1,65	-0,71
D (240i)	-0,60	-0,51	-0,61	-0,61	-0,55	-0,62
E (720p)	-0,83	-0,12	-0,61	-0,29		
F (XGA)	-0,47	-0,27	-0,60	-0,22	-0,61	-0,1
Average	-0,82	-0,34	-0,68	-0,31	-0,56	-0,37

tions de PSNR et de débit. Ce critère permet de comparer les évolutions de deux courbes en extrayant un indice pondéré des différentes valeurs de PSNR et de débit où les valeurs négatives du PSNR indiquent une dégradation par rapport à la référence alors que les valeurs positives du débit signalent une perte de débit. Il est montré dans le tableau I.3 que la dégradation du débit est faible pour les plus grandes résolutions comme la 4K (2560 x 1600), la 1080p (1920 x 1080) et la 720p (1280 x 720). Pour toutes ces résolutions, la perte en débit est de l'ordre de 0.02 à 0.06 pour la méthode dans [49] contre 0.03 à 0.11 pour [48]. Ceci est attendu car pour des résolutions élevées, les pixels voisins sont fortement corrélés et les transformations approximées produisent des valeurs grossières (souvent proches de zéro pour les faibles fréquences) qui seront par la suite traitées par le codeur entropique de la même façon que les coefficients venant des transformations exactes. Les cases vides dans les deux tableaux correspondent à des conditions non définies dans la documentation de référence des standards.

2.5 Approximation par voisinage

Le cercle des recherches sur les méthodes d'approximation des transformations s'est élargi ces dernières années et la thématique a pris plus d'importance avec l'avènement des résolutions de plus en plus élevées. A titre d'exemple, une trame de vidéo UHD contient 64 mille blocs d'éléments de taille 32×32 ce qui engendre des besoins de débit de calcul d'environ 2 Gop/s pour les transformations quand un codage Intra à 30 fps est considéré, si toutes les trames sont codées avec des décompositions à base de tailles de blocs de 32×32 . D'un point de vue matériel, il a été montré dans [53] que les ressources logiques consommées par les modules de transformation directe atteignent les 326 k gates en technologie TSMC 90nm, alors que la transformation inverse consomme environ 175 k gates. Ainsi, 46% des ressources consommées par un codec sont dédiées aux transformations, le reste est utilisé par le codeur entropique, les prédictions Intra, la compensation

TABLE I.3 – Performance en débit du codeur HEVC utilisant les approximations proposées.

Class	Intra-only		Low-delay B		Random-access	
	[48]	[49]	[48]	[49]	[48]	[49]
A (4K)	0,09	0,06			0,08	0,06
B (1080p)	0,07	0,03	0,04	0,02	0,03	0,02
C (WVGA)	0,24	0,17	0,34	0,30	0,27	0,27
D (240i)	0,11	0,12	0,15	0,17	0,14	0,16
E (720p)	0,11	0,02	0,09	0,03		
F (XGA)	0,14	0,07	0,18	0,06	0,17	0,05
Average	0,12	0,07	0,16	0,11	0,13	0,11

de mouvement, l'estimation de débit et le contrôleur global. Cette complexité de calcul pour les transformations ne cesse de s'agrandir notamment avec la complexité des transformations prévues pour les nouvelles normes de codage comme pour le standard VVC.

Les approximations de calcul de la transformation constituent donc un moyen intéressant pour la réduction de la complexité tout en gardant des performances intéressantes en débit-distorsion. Nous continuons à travailler dans cette thématique car le compromis complexité calculatoire et qualité peut être amélioré davantage. Pour les méthodes citées précédemment la dégradation du PSNR des images reconstruites varie entre 1,5 dB et 3,9 dB pour des approximations de tailles 8-points et pour un rapport de compression de 50%. De même, pour un codage vidéo, la perte relative en PSNR dans [35, 45, 48] dépasse les 3% en comparaison avec la DCT exacte pour un codage Intra. Récemment, des approximations adaptatives ont été proposées dans [54] pour permettre le calcul de 4 approximations allant de la DCT exacte à la Walsh–Hadamard transform (WHT) en plus de modes intermédiaires que le concepteur peut sélectionner pour différents compromis. Malgré l'originalité de la démarche, les architectures conçues sont plus énergivores que ses prédécesseurs.

Dans les travaux existants, les approximations se font par application de binarisation sur les vecteurs de base de la DCT. Ainsi, chaque élément est approximé par une valeur constante. L'originalité de notre méthode proposée dans [55] consiste à prendre en considération la position de l'élément à approximer par rapport à sa distance des valeurs extrêmes. Les valeurs extrêmes sont approximées par binarisation pour garantir l'effet de décorrélation des coefficients de sortie de la DCT. Cette démarche vient du fait que nous prenons en compte la nature des images à l'entrée. En effet, les images naturelles ont une forte corrélation des pixels voisins notamment pour les résolutions élevées des images. Les éléments qui assurent la décorrélation de ces blocs sont les extrêmes. Il est donc nécessaire que les autres éléments ne perturbent pas cet effet pour garantir des

performances de codage intéressantes. Comme dans la première phase nous donnons une importance élevée aux extrémums, il faut donc maintenir cette importance en associant des codes aux autres éléments des vecteurs de base en lien avec les valeurs extrémums. Ainsi, un élément proche de la valeur maximale est codé avec une valeur importante. Inversement, un élément proche de la valeur minimale est codé avec une valeur faible. Notons que par construction des vecteurs de base, un élément donné ne peut pas avoir la même distance par rapport au minimum et au maximum. De plus, il est important de souligner qu'avec cette méthode, un élément donné peut être associé à différentes valeurs tout dépend de sa position. Cette méthode a été appliquée à une matrice de taille 8×8 et ensuite généralisée pour plusieurs tailles suivant notre algorithme de décomposition détaillé dans la section 2.3. L'évaluation des qualités d'images reconstruites a été étudiée dans [55] par des simulations sur 40 images de la base dédiée [56]. Un schéma de quantification grossier est utilisé et consiste à retenir dans chaque itération un nombre de coefficients de sortie de DCT, les autres coefficients sont fixés à zéro. Les résultats de simulation sont illustrés dans la figure I.3 et montrent l'amélioration des performances en PSNR grâce à l'utilisation de la méthode d'approximation par voisinage DCT-JRTIP [55] par rapport aux autres méthodes DCT-TCAS1 [48], DCT-TCSVT [49], BAS-TCAS1 [35] et BAS-MWSCAS [45]. Plus de détails sur les performances de codage de la méthode proposée peuvent être consultés dans [55]. Quant à l'étude architecturale elle sera détaillée dans les sections suivantes.

3 Optimisations architecturales

3.1 Architecture à base de partage des calculs

Dans cette section nous abordons les optimisations aux niveaux des opérateurs arithmétiques qui ont été appliquées aux transformations mathématiques afin de simplifier leur implantation matérielle sans aucune dégradation de qualité car les calculs effectués sont des calculs exacts et ne sont pas le produit d'approximations.

3.1.a État de l'art

Simplifier l'implantation d'un algorithme de traitement de signal et de l'image sur des cibles électroniques revient d'abord à s'intéresser à son architecture interne et plus particulièrement à ces composantes arithmétiques. Comme expliqué précédemment, les multiplieurs sont des circuits coûteux en silicium, en consommation de puissance et présentent souvent des chemins critiques assez longs ce qui réduit leur latence. Toutefois, dans la plupart des algorithmes DSP les multiplieurs sont utilisés dans le contexte de multiplications scalaires sous formes de multiplications par constantes (filtres, transformées, etc.) ce qui offre aux concepteurs de circuits un axe de recherche à fort potentiel. En effet, la multiplication vecteur constante présente plusieurs propriétés qui ont été exploitées pour alléger les contraintes de calcul des multiplieurs sans passer par des approximations de calcul.

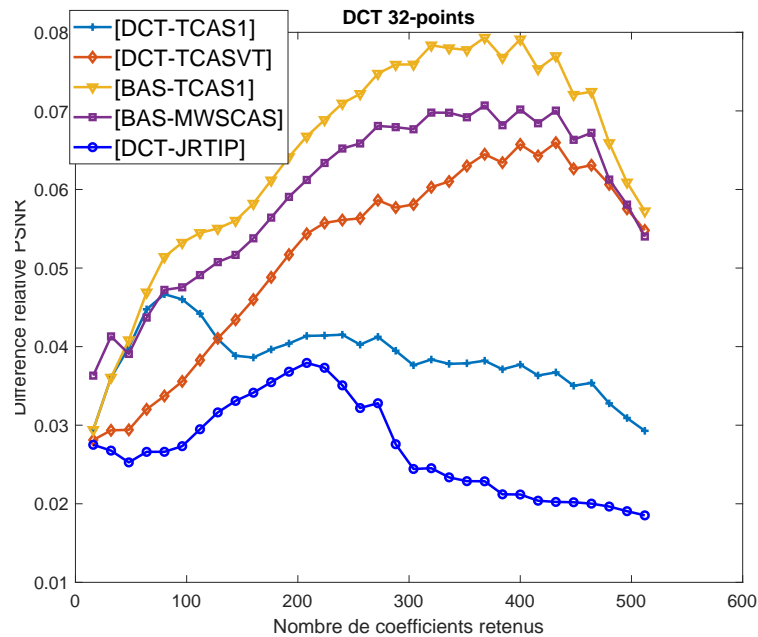


FIGURE I.3 – Évaluation des performances du codeur HEVC utilisant les approximations par voisinage.

Une solution possible d’implanter ces produits est d’utiliser les multiplieurs embarqués. Pour des solutions à base de FPGA, les fabricants de ces solutions proposent une gamme assez variée de multiplieurs. Le problème est qu’ils ne sont pas conçus pour des multiplications par constantes. De plus, les systèmes conçus à base de ces multiplieurs dépendent fortement du fabricant et ne sont pas portables ce qui va à l’encontre des avantages offerts par les langages de description matérielle qui ciblent à la fois toutes les familles des FPGA ainsi que les ASICs.

Plusieurs solutions ont été proposées par la suite pour améliorer l’efficacité des implantations des algorithmes DSP. Le calcul à base de mémoire a attiré l’attention de la communauté de conception de circuits et systèmes. Ceci a tiré profit des avancées des technologies du semiconducteur en termes d’accélération des temps d’accès aux mémoires. Dans le cadre du calcul de la DCT pour des applications de codage vidéo, une solution à base de mémoire a été proposée dans [57] et consiste à précalculer toutes les sorties des multiplieurs et de les stocker dans des ROM. La simplicité de la démarche est contrebalancée par la taille des ROM mise en jeu qui peut rapidement dépasser les quelques Mo pour des DCT 8–points. Pour réduire les tailles mémoires, un ensemble de techniques récentes publiées dans [58]³ emploient 3 optimisations conjointes. Elles

3. L’auteur de ces travaux est Pramod Kumar Meher, chercheur sénior à NTU Singapour, a été invité

consistent à stocker uniquement les multiples impairs des constantes (les multiples pairs peuvent être déduits), à utiliser le schéma Anti-symmetric Product Coding (APC) pour fournir que la moitié des mots à stocker, et utiliser des techniques de codage des entrées en les décomposant en sous-mots binaires et de les gérer par des LUT séparés. L'association de ces techniques d'optimisation permet de réduire les contraintes de consommation d'espace à des proportions dépendantes des algorithmes DSP.

Pour avoir moins d'espace consommé que les réalisations conventionnelles à base de ROM, les algorithmes de calcul des produits partiels à base de la technique Distributed Arithmetic (DA) ont été proposés dans [59]. Il est vrai que l'origine de la méthode remonte à 1974 avec les travaux proposés dans [60], mais cette technique a eu un regain d'utilisation avec l'avènement des technologies à base de FPGA. L'originalité de la démarche consiste à réordonner et mélanger les multiplications en passant par une représentation bit-par-bit des nombres à multiplier pour ainsi faire une arithmétique distribuée. Un gain d'espace de près de 80% est souvent obtenu pour les architectures des algorithmes DSP. Mais comme la méthode est basée sur des représentations sérialisées des nombres, les performances en rapidité sont affaiblies.

D'autres versions plus évoluées ont été introduites dans [61] sous le nom de New Distributed Arithmetic (NEDA). La méthode fait d'autres distributions sur les constantes pour avoir une architecture à base d'additions sans faire recours aux multiplieurs ni aux ROM. Ceci induit de meilleures performances en efficacité énergétique et en débit. D'autres réalisations plus exotiques se basent sur l'algorithme COordinate Rotation Digital Computer (CORDIC) pour générer les fonctions sinusoïdaux de façon dynamique contrairement aux générateurs statiques à base de ROM [62], [63]. Une architecture détaillée de l'algorithme CORDIC appliquée aux synthétiseurs de fréquence utilisés pour les systèmes de réception radio est disponible dans nos travaux publiés dans [64]. Il est montré que l'utilisation du CORDIC permet de réduire les contraintes au niveau des tailles mémoires, mais souffrent d'une latence élevée.

3.1.b Proposition d'architectures à base du codage CSD et CSE

Nous avons proposé dans [17] des améliorations algorithmiques et architecturales pour la compression d'images fixes. La partie algorithmique qui ne sera pas détaillée dans ce rapport est basée sur un nouveau schéma de quantification qui tire profit d'une granularité innovante afin de maximiser les adjacences entre les pixels voisins. Quant aux améliorations architecturales, elles se basent sur l'adaptation d'un codage canonique signé (CSD) introduit par Avizienis dans [65] qui a été utilisé dans un premier temps pour éliminer les chaînes de propagation de retenues dans les opérateurs arithmétiques. Elle fut ensuite employée pour améliorer les performances des filtres FIR. En effet, pour un codage binaire les données sont codées avec des digits qui est un ensemble de 0 et de 1. Le codage CSD permet de représenter les données sous forme ternaire avec des éléments appartenant à l'ensemble $-1, 0, 1$. L'intérêt d'une telle représentation est la diminution

en 2011 à l'ISEN Brest dans le cadre d'un mini Workshop IEEE (programme IEEE CaS Chapter) pour donner deux conférences sur cette thématique.

du nombre de produits partiels utilisés dans les multiplications par constantes, qui passe de 50% pour une représentation binaire à 33% pour un codage CSD. Comme le nombre de produits partiels diminue, les performances en rapidité s'améliorent comme conséquence systématique de la réduction des latences grâce à des chemins critiques plus courts.

L'utilisation du codage CSD est accompagnée par l'utilisation de techniques de partage d'éléments communs. Un élément commun à deux ou plusieurs coefficients est calculé une fois mais utilisé plusieurs fois pour réduire l'espace consommé et la puissance requise. Cette technique appelée Common Subexpression Elimination (CSE) a été introduite dans [66] pour application aux filtres FIR. Dans ce cas, cette technique permet d'abord d'identifier des occurrences de motifs dans les codes CSD des coefficients des filtres FIR. Un motif commun représente une sous-expression commune à économiser aux niveaux des ressources matérielles. Comme les coefficients du filtre multiplient le même signal (signal à filtrer qui sera décalé dans le temps à chaque étage), le codage CSD et la technique CSE permettent de réaliser moins de calculs.

Contrairement aux filtres FIR, les constantes des vecteurs de base utilisés dans le calcul de la DCT 8-points multiplient 8 entrées différentes pour générer 8 sorties. Ainsi, l'utilisation de la technique CSE n'est pas possible dans sa forme actuelle et nécessite une adaptation en profondeur pour avoir des effets intéressants. De plus, nous avons constaté dans un premier abord que les constantes des vecteurs de base de la DCT ne sont pas composées par des motifs communs ce qui empêche l'identification de sous-expressions communes. Pour remonter ces problèmes, nous avons considéré l'interaction entre les codes du calcul de la DCT. Le calcul de certains coefficients peut être déduit partiellement par le calcul d'autres coefficients. Nous avons pu trouver des liens entre les sorties paires et impaires de la DCT et les exploiter pour extraire des sous-expressions communes. Pour être concret, le calcul de la 2ème sortie de la DCT 8-points nécessite 11 additionneurs et 4 multiplieurs embarqués, ou 23 additionneurs et soustracteurs si le codage CSD est appliqué sur les constantes des vecteurs de bases. L'utilisation de la technique CSD et CSE conjointement permet de réaliser les calculs avec uniquement 16 additionneurs. Une illustration de ce fait est montré dans la figure I.4. Il est important de noter que les sous-expressions communes utilisées pour le calcul de la deuxième sortie de la DCT seront mises en commun pour calculer d'autres coefficients.

La solution proposée ainsi que les autres existantes ont été validée par des simulations fonctionnelles à travers un schéma de compression d'images équivalent à celui d'un codage JPEG. De plus, les architectures matérielles déduites ont été décrites avec le langage VHDL afin d'évaluer leurs performances en termes de consommations d'énergie et de ressources matérielles. Pour des réalisations à base de FPGA, des descriptions pipelinées sont privilégiées puisque l'insertion de registres pour séparer les étages de calcul ne revient pas à un coût supplémentaire car les Flip Flop sont disponibles dans les éléments configurables des circuits FPGA. Les résultats de synthèse et d'estimation de consommation d'énergie sont illustrés dans la figure I.5. À la lecture des courbes, deux remarques peuvent être formulées. La première concerne l'amélioration de performances énergétiques suite à l'utilisation de la technique proposée. La deuxième concerne la consommation de ressources matérielles quasiment équivalente entre le calcul de 4 ou

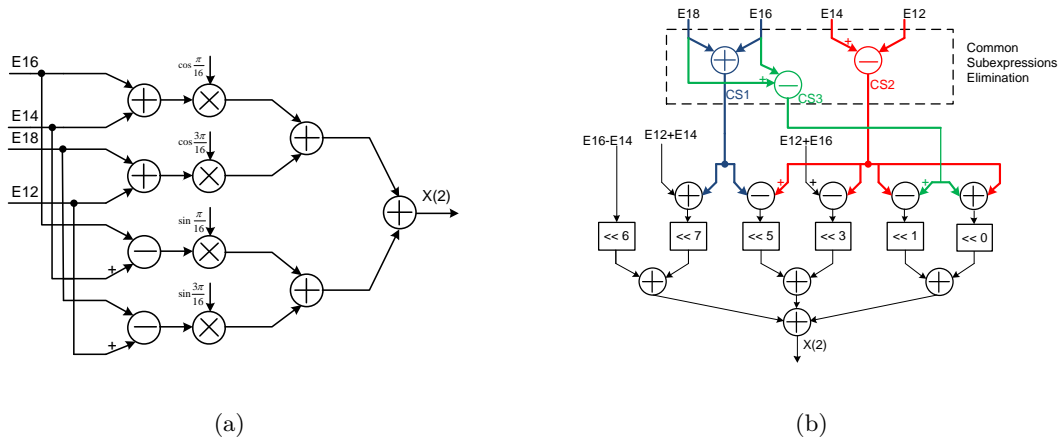


FIGURE I.4 – Calcul du deuxième coefficient de la DCT 8–points. (a) avec des multiplieurs embarqués, (b) avec codage CSD et CSE proposé.

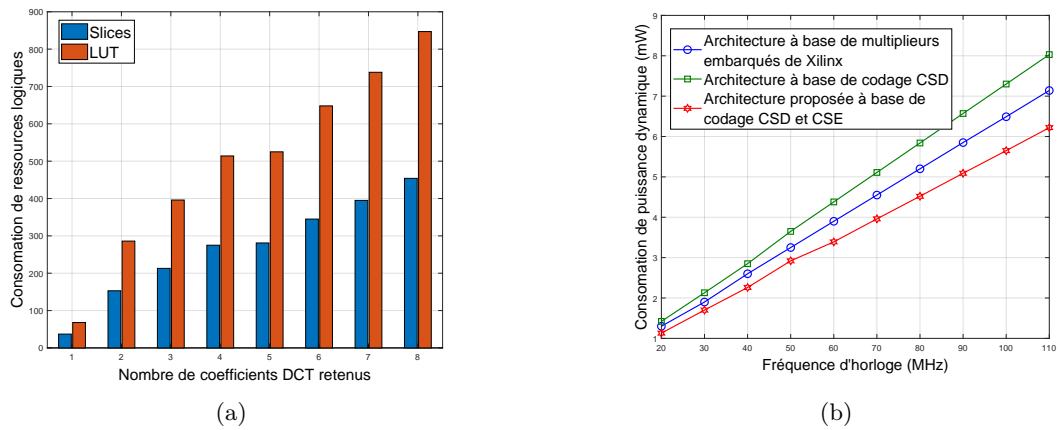


FIGURE I.5 – Évaluation des performances de l'architecture proposée. (a) ressources matérielles utilisées, (b) consommation de puissance dynamique.

de 5 coefficients de la DCT. Ceci revient à une architecture commune pour calculer ces deux sorties qui ne diffèrent que d'un additionneur. Même si les consommations de ressources sont quasi-identiques, les performances en termes de PSNR sont meilleures avec le calcul de 5 coefficients. Ainsi, un schéma de compression a été proposé pour tenir compte de la profondeur de la DCT dans le but d'améliorer le compromis ressources/qualité.

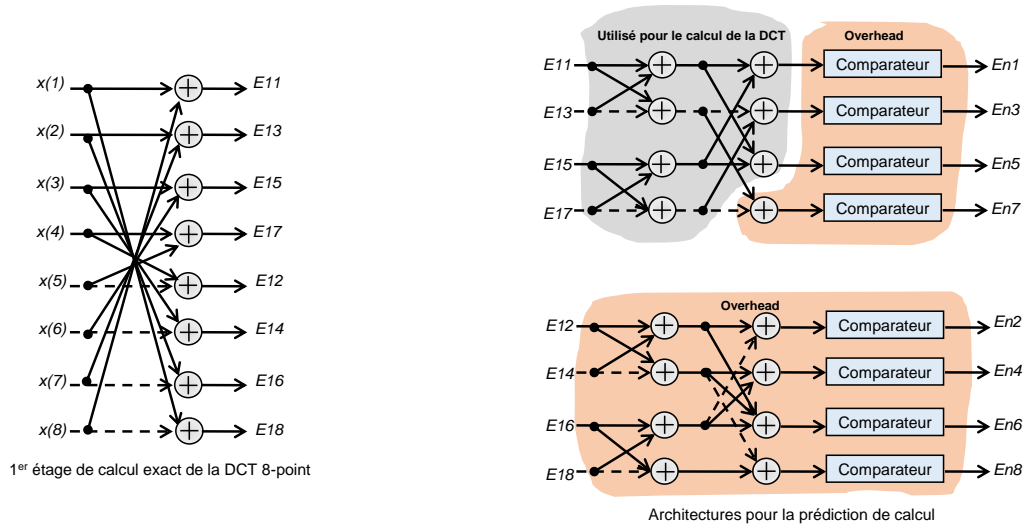


FIGURE I.6 – Schéma bloc de l'architecture de prédiction proposée à base de partage de ressources de calcul.

3.2 Architecture pour la prédiction des calculs

Les algorithmes de prédiction de calcul décrits dans la section 2.2 ne sont présentés que sur une forme d'implantation logicielle. L'utilisation des techniques à base de calcul de SAD n'est pas adaptée à une implantation matérielle car ces techniques ne possèdent pas un fort potentiel de parallélisme. Par conséquent, les circuits additionnels à la DCT utilisés pour la prédiction de calcul induisent des latences supplémentaires ce qui est en contradiction avec l'intérêt d'employer des prédictions pour alléger les calculs. L'intérêt que présente la méthode que nous présentons est double. D'abord, les circuits utilisés pour la prédiction des calculs sont communs en partie avec ceux utilisés pour le calcul de la DCT. Ce sont donc des circuits disponibles et n'ont pas besoin d'être conçus à nouveau. Ensuite, les équations (I.1) and (I.3) peuvent être réalisées avec des structures en papillon et ainsi partagées des éléments de calcul communs. Le schéma bloc de l'architecture matérielle proposée pour la prédiction de calcul d'une DCT-1D est illustré dans la figure I.6. Les comparateurs utilisés ont pour rôles de réaliser les comparaisons décrites par les équations (I.1) and (I.3).

Une attention particulière a été donnée pour l'évaluation du gain en opérations de multiplications induit par la prédiction. Dans un contexte de codage vidéo appliqué à 300 trames QCIF sur différentes séquences vidéo, un gain entre 56% et 94% a été constaté ce qui revient à 10% de plus en comparaison avec les méthodes existantes. De plus, une analyse plus fine a été conduite pour évaluer l'apport de l'architecture proposée en termes de ressources matérielles et de latence. Plusieurs configurations ont été considé-

TABLE I.4 – Évaluation de l’apport des prédictions de calcul dans la réduction de complexité du codeur vidéo.

	1D-DCT			2D-DCT+Quant.			
	Exacte	1D-ZQDCT		Exacte	2D-ZQDCT		
		Min.	Max.		All	AC	Non ZQDCT
Latence	$4T_A + 2T_M$	$3T_A$	$6T_A + 2T_M$	$8T_A + 5T_M$	$3T_A$	$6T_A$	$12T_A + 5T_M$
Add.	29	24	38	58	24	29	76
Mult.	11	0	11	22	0	0	22
Comp.	0	8	8	0	8	8	16
Slices	513	338	673	1138	338	354	1510
DSP	4	0	4	9	0	0	9
MOF	206	528	192	170	528	468	162

rées : La première consiste à supposer que tout le Macrobloc est composé de pixels à zéros. Dans ce cas, il existe 64 coefficients ZQDCT qui seront détectés dès le premier étage de calcul. Ainsi, la prédiction au niveau de la deuxième DCT-1D peut être évitée. La deuxième configuration est considérée pour un Macrobloc composé de 64 éléments identiques, ce qui peut arriver lors de l’utilisation de résolutions vidéo importantes. Dans ce cas, le premier coefficient calculé est différent de zéro, mais cela ne correspond pas à des calculs supplémentaires car ils sont déjà intégrés dans le calcul de la DCT. Le calcul des coefficients AC exécuté par la deuxième DCT-1D peut être évité. La dernière configuration traite le cas où il n’y a pas de coefficients ZQDCT après l’opération de transformation et de quantification. Dans ce cas, l’engagement de la prédiction des coefficients DCT n’a pas servi et le calcul de la transformation est demandé à nouveau. Par conséquent, l’architecture utilisée emploie plus de ressources matérielles en comparaison avec l’algorithme initial. L’ensemble des résultats de l’évaluation de l’apport des prédictions de calcul dans la réduction de complexité du codeur vidéo est présenté dans le tableau I.4. Les constantes T_A , T_M représentent respectivement les temps dédiés à l’addition et à la multiplication. Les temps des comparaisons ne sont pas cités car ils sont négligeables devant T_A et T_M . Globalement, l’estimation des ressources utilisées et de la fréquence maximale de fonctionnement (MOF) montrent la pertinence de l’algorithme de prédiction employé, exception faite au cas assez rare où il n’y a pas de coefficients ZQDCT.

D’autres résultats d’évaluation de l’accélération de calcul et d’efficacité de codage sont disponibles dans [33]. Plus particulièrement, le pourcentage de la complexité de calcul obtenue avec la méthode proposée a été déterminé et confirme les résultats détaillés dans cette section. L’autre avantage détaillé dans l’article en question concerne le fait que la méthode proposée ne présente aucun faux positif, ce qui constitue un avantage majeur en comparaison avec les dernières méthodes de l’état de l’art.

3.3 Architectures à base d'approximation des calculs

Contrairement aux calculs exacts dont les architectures ont été détaillées dans les deux sections précédentes, ici nous nous intéressons aux architectures matérielles flexibles qui émanent des approximations des calculs introduites dans les sections 2.4 et 2.5. Un des aspects les plus intéressants de ces algorithmes est leur potentiel à être facilement évolutif pour des implantations logicielles et matérielles, quel que soit la taille de la transformation. De plus, nous avons estimé les coûts engendrés par la flexibilité pour des architectures reconfigurables suivant la taille de la transformation et pour des architectures unifiées qui permettent de calculer les transformations directes et inverses. Il a été démontré à travers les publications dans des revues internationales que les performances matérielles obtenues sont intéressantes. Plus particulièrement, les contributions aux niveaux des architectures matérielles proposées sont résumées dans les points suivants :

- Une architecture matérielle de la DCT approximée de taille 4×4 a été proposée et présente des ressources matérielles requises plus faibles que celles obtenues par l'architecture définie par le standard.
- Cette même architecture matérielle de DCT de taille 4×4 constitue le noyau de calcul des DCTs de tailles supérieures. Elle permet donc d'obtenir les architectures matérielles de toutes les tailles des transformations indiquées par le standard.
- Des architectures parallèles et d'autres contraintes en surface sont proposées ce qui permet de satisfaire un panel d'applications assez large pour gérer au mieux le compromis entre les complexités en latences et en ressources.
- Des architectures reconfigurables ont été proposées pour calculer des DCT de taille N en se basant sur une DCT de taille $(N/2)$ -points, pour $N = 8, 16, \text{ et } 32$. De plus, nous avons démontré la possibilité d'utiliser une DCT de taille N pour calculer deux DCTs de taille $(N/2)$ -points tout en gardant une conformité au standard HEVC. La transformation obtenue permet de calculer une DCT de taille N -points, deux DCT de taille $(N/2)$ -points, 4 DCT de taille $(N/4)$ -points ou 8 DCTs de taille $(N/8)$ -points. Grâce à cette flexibilité, il est devenu possible de coder en temps-réel une séquence vidéo au format 8K UHD TV ($7680 \times 4320 @ 30 \text{ fps}$).
- Une architecture unifiée qui permet de partager les ressources de calcul pour réaliser la transformation directe et inverse.
- Deux nouvelles métriques pour l'évaluation des performances matérielles ont été introduites et largement adoptées par la communauté scientifique.

Pour des raisons de brièveté, nous n'évoquons ici que quelques contributions et invitons le lecteur à consulter les publications en lien avec ces travaux.

3.3.a Analyse de complexité

Par multiplication matricielle, le nombre d'opérateurs arithmétiques pour une DCT de taille N -points est de N^2 multiplications et $N \times (N - 1)$ additions. Ce nombre décroît

TABLE I.5 – Complexité de calcul des algorithmes d’approximations et de l’algorithme de référence de la DCT 1–D. L’algorithme de référence est celui du standard HEVC publié dans [67, 68].

N	Référence [67, 68], [54] MODE0			[55]			[45]		
	Mult	Add	Shift	Mult	Add	Shift	Mult	Add	Shift
4	4	8	2	0	8	2	0	8	2
8	22	28	4	0	24	6	0	24	4
16	86	100	8	0	64	12	0	64	8
32	342	372	16	0	160	24	0	160	16

N	[48]			[35], [54] MODE3, [39]			[49]		
	Mult	Add	Shift	Mult	Add	Shift	Mult	Add	Shift
4	-	-	-	-	-	-	0	8	2
8	0	22	0	0	24	0	0	24	4
16	0	60	0	0	64	0	0	64	8
32	0	152	0	0	160	0	0	160	16

avec l’utilisation des propriétés de symétries du noyau de calcul. Avec les approximations de calculs, il devient possible d’avoir des architectures sans multiplications. Néanmoins, toutes les architectures proposées dans la littérature ne présentent pas les mêmes consommations en ressources matérielles, certaines non citées dans ce rapport présentent plus que le double des ressources utilisées par les algorithmes étudiés. Une comparaison quantitative en termes de complexité entre les différentes architectures étudiées et proposées est illustrée dans le tableau I.5. Il est évident de constater que les architectures proposées présentent des performances compétitives en comparaison avec les architectures existantes et avec celles fournies par l’algorithme de référence. Notons que la comparaison avec l’algorithme [54] peut être biaisée du fait du nombre important de modes supportés par cet algorithme. Pour cette raison, nous présentons les performances obtenues avec cette méthodes en deux niveaux en lien avec les modes les plus et les moins complexes.

3.3.b Architectures reconfigurables

Un des objectifs des architectures reconfigurables proposées est la possibilité du passage entre plusieurs tailles de transformations à travers des signaux de contrôle gérés par l’unité du contrôle du décodeur. Un exemple de ces réalisations est illustré par la figure I.7.b où le calcul de la DCT 8–points ou d’une paire de DCT 4–points est embarqué. La structure est décrite à base de décompositions d’éléments de calculs avec une approche bottom-up. La structure est composée de deux unités de calcul de la partie paire de la DCT (schématisée par $\tilde{E}_4\text{CU}$) et une unité de calcul de la partie impaire (schématisée par $\tilde{O}_4\text{CU}$), toutes détaillées par leurs schémas présentés dans la figure I.7.a. Le premier $\tilde{E}_4\text{CU}$ est géré par 4 multiplexeurs pour sélectionner les entrées parmi deux ensemble : $\{x[0], \dots, x[3]\}$ pour un calcul de DCT de taille 4–points ou la première moitié de la sortie du bloc d’additions des entrées (Input Adder Unit (IAU)) pour une

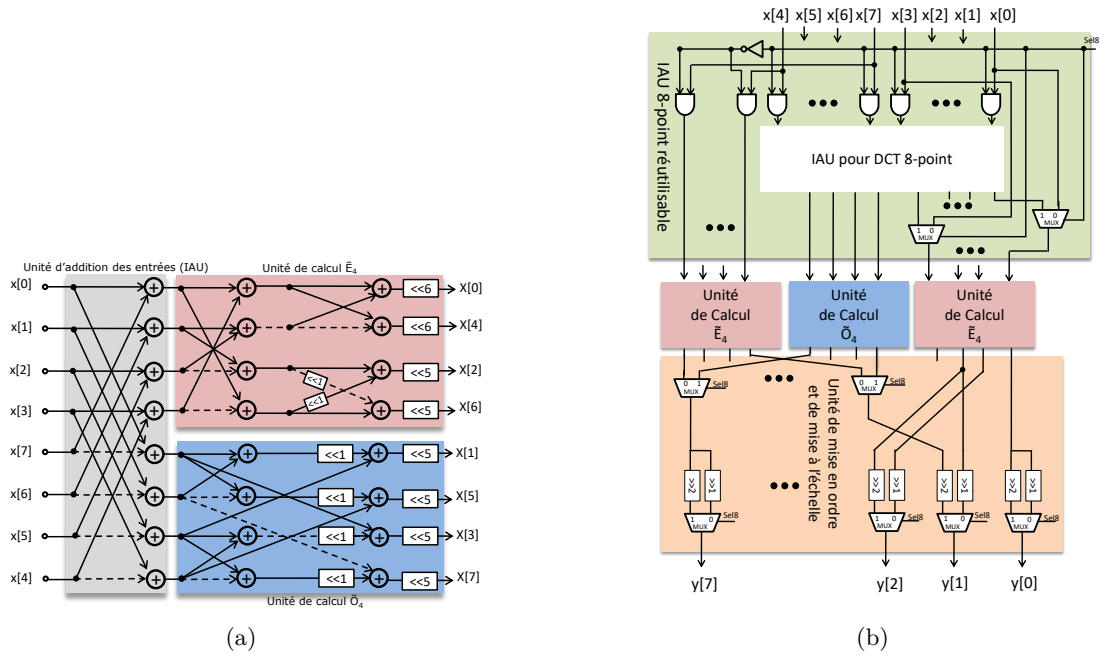


FIGURE I.7 – Blocs diagrammes pour les architectures matérielles proposées. (a) calcul de DCT 8–points, (b) architecture reconfigurable pour le calcul d’une DCT 8–points ou de deux DCT 4–points. Les lignes pointillées représentent des multiplications par -1 .

DCT 8–points. Le deuxième \tilde{E}_4 CU est utilisé pour le calcul de DCT 4–points pour les entrées $\{x[4], \dots, x[7]\}$. Quant au bloc \tilde{O}_4 CU, il sert pour calculer la partie impaire de la DCT 8–points. Notons également l’utilisation du bloc IAU 8–points composé d’une unité d’additions et de soustractions (structure en papillon du premier étage de calcul) accompagnée de 12 portes logiques AND. Pour un calcul de deux DCT 4–points, le bit de contrôle $sel_8 = 0$ et le calcul de l’IAU 8–point est désactivé. Par contre, pour un calcul de DCT 8–points, sel_8 passe au niveau haut et le calcul du deuxième \tilde{E}_4 CU est désactivé. Enfin, une unité d’organisation et de sélection de taille est utilisée au niveau de l’étage de sortie avec emploi de 1 ou de 2 opérations de décalage respectivement pour le calcul de DCT de taille 4– ou 8–points, comme indiqué dans [68].

Le schéma proposé a été généralisé conformément à l’algorithme de décomposition décrit dans la section 2.3 afin de dériver l’architecture de la DCT 32–points comme présenté dans la figure I.8. Deux bits de contrôle additionnels sel_{32} and sel_{16} ont été introduits pour activer respectivement le calcul de la DCT de taille 32– ou 16–points. Ainsi, il est possible d’activer le calcul d’une DCT 32–points, deux DCT 16–points, quatre DCT 8–points ou huit DCT 4–points. Enfin, une structure de calcul de l’unité IAU est nécessaire et différente de celle utilisée ultérieurement. Cette différence est dû au fait que le calcul de la DCT 16– ou 32–points repose exclusivement sur une DCT

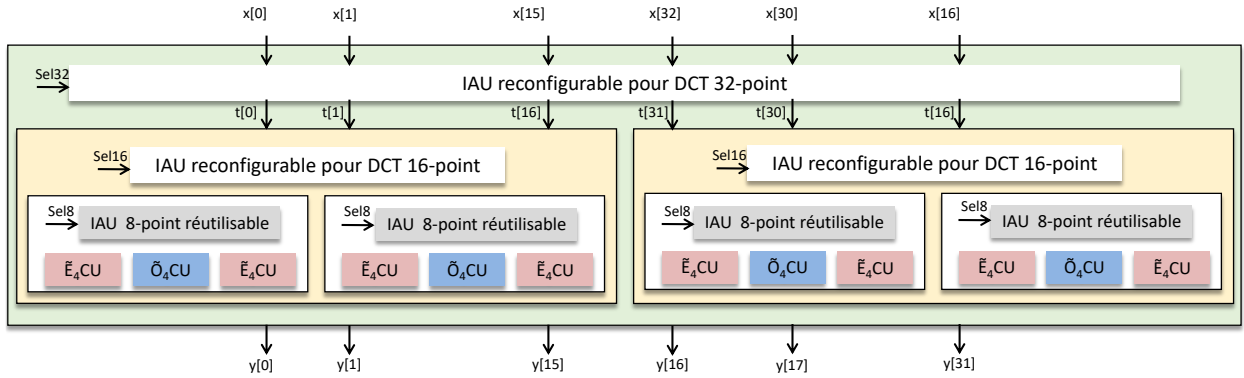


FIGURE I.8 – Architecture simplifiée pour le calcul de la DCT approximée de taille 32-points.

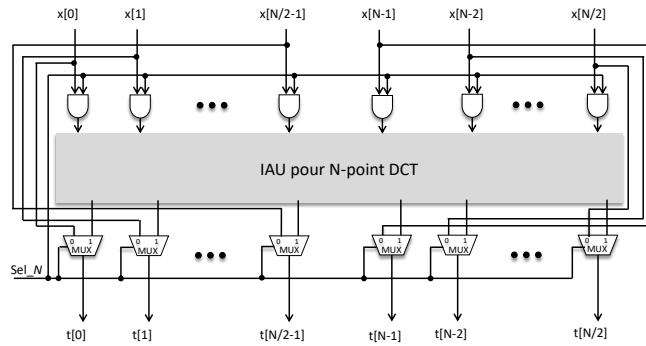


FIGURE I.9 – Unité d'addition et de soustraction reconfigurable pour le calcul de DCT N -points.

8-points, contrairement à l'architecture de la DCT 8-point qui nécessite une DCT 4-points en plus de l'unité $\tilde{O}_4\text{CU}$. Une structure généralisée est proposée dans la figure I.9. Quand le signal $Sel_N = 1$, le calcul de l'IAU pour une DCT N -points est activé ce qui permet de la DCT N -points, autrement, le calcul de l'IAU N -points est bypassé afin d'autoriser le calcul d'une paire de DCT $N/2$ -points.

3.3.c Architectures unifiées

Le besoin d'architectures unifiées réalisant la transformation directe et inverse dans le même circuit est principalement lié aux applications mobiles dans lesquelles le terminal doit réaliser la lecture de la vidéo en plus de la capture et de l'enregistrement. Les architectures unifiées ont suscité l'intérêt de plusieurs recherches pour la norme H264/AVC [69, 70] et la norme HEVC [68, 71]. L'objectif de ces travaux est de maximiser le partage de ressources matérielles entre les transformations directes et inverses ce qui est facilité par le fait que les deux transformations partagent le même noyau de calcul. Une différence est à souligner et réside dans le fait que l'unité IAU qui se situe à l'étage d'entrée de la DCT se trouve à l'étage de sortie de la IDCT. Ceci passe par une

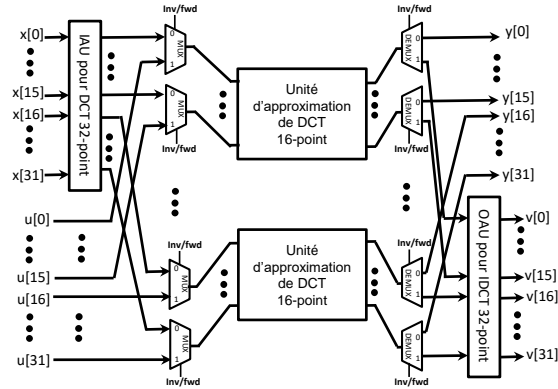


FIGURE I.10 – Schéma bloc du circuit de l'architecture unifiée pour l'approximation de la transformée 1-D de taille 32-points.

gestion adéquate de l'unité IAU qui se trouve à l'étage d'entrée pour le calcul de la DCT dans le sens direct, et à l'étage de sortie pour le calcul de la DCT dans le sens inverse. À cet objectif de maximisation de partage de ressources, nous avons ajouté la contrainte de conformité au standard pour les deux sens de la transformation. Une architecture unifiée a été dérivée et est présentée dans la figure I.10. Elle utilise 64 MUX/DEMUX additionnels contrôlés par un signal binaire *Inv/fwd* pour choisir la transformation directe ou inverse. De plus, pour garantir la conformité au standard HEVC, nous avons trouvé que la mise en échelle de la IDCT est légèrement différente de la DCT comme expliqué dans [68]. Cette mise à l'échelle utilise les facteurs *IST1* et *IST2* respectivement pour le premier et le deuxième étage de la IDCT. Les valeurs intrinsèques de ces facteurs sont détaillées dans [49].

3.3.d De nouvelles métriques pour l'évaluation des performances

Contrairement aux implantations logicielles basées sur des architectures multi- et many-core [72] et [73], les transformations proposées ont été décrites au niveau RTL (Register Transfer Level) utilisant le langage VHDL pour être synthétisées avec l'outil XST et implantées sur des cartes d'évaluations de FPGA de la marque Digilent. Pour les descriptions RTL, nous avons fixé les tailles des entrées à 8 bits et nous n'avons pas effectué de troncatures entre les étages de calcul des transformations, et ce quel que soit la transformation à évaluer. Ensuite, et en plus des paramètres basiques liés à la latence et aux consommations de ressources matérielles et de puissance, nous avons introduits de nouveaux paramètres de calculs pour pondérer les paramètres basiques. En effet, souvent, une augmentation de consommation de ressources est payée par une augmentation de la latence et donc par une baisse de la rapidité. Nous avons introduit et évalué le area-delay product (ADP) et le energy per output coefficient (EOC) de l'algorithme de référence et des algorithmes des transformations approximées (méthodes proposées et existantes). L'utilisation de ces paramètres a été bien acceptée par la communauté internationale pour la publication des travaux de recherches. Aujourd'hui il est devenu difficile de présenter

une nouvelle méthode d'approximation sans citer et comparer les performances en termes de EoC et de ADP. L'EOC est obtenu en multipliant la puissance dissipée par le temps moyen de calcul (Average Computation Time ou ACT). L'ACT est obtenu en multipliant la période d'horloge par le nombre de cycles d'horloge nécessaires pour le calcul de la DCT N -points, divisé par N pour avoir une valeur moyennée. Nous avons montré que nos architectures proposées dans [49] présentent respectivement jusqu'à 28 fois et 60 fois moins d'ADP et d'EOC quand elles sont comparées à l'algorithme de référence. De plus, nos dernières architectures d'approximations à base de voisinage [55] présentent des performances en ADP et EOC proches de ce qui a été obtenu dans [49]. Enfin, notons qu'une étude de comparaison entre les architectures reconfigurables présentées dans I.8 et non reconfigurables (à base de plusieurs tailles de DCT séparées) est disponible dans [49, 55]. Il est montré que les performances en latence, consommation de ressources et de puissance sont meilleures avec l'architecture reconfigurable.

4 Contributions pour le codage entropique

C'est dans un contexte purement académique que les travaux de codage entropique et de chiffrement sélectif ont été conduits. Mais, contrairement aux travaux sur les transformations qui ont été réalisés sans aucun soutien, une partie de ces recherches a été faite dans le cadre de l'encadrement de la thèse de Mme Nihel Néji financée par des moyens propres des deux laboratoires d'accueil de l'ISEN Brest et de l'ENIS Sfax, des bourses d'alternance de l'état Tunisien et par une bourse de l'Agence Universitaire de la Francophonie (AUF).

4.1 Le codage entropique dans les normes de codage vidéo

Toute séquence vidéo contient des redondances spectrales, temporelles, spatiales et statistiques et peut donc être compressée. Pour les trois premières formes de redondances elles sont réduites ou éliminées par les transformations du niveau RGB à des niveaux YUV ou YcRcB, par les DCTs et par les estimations et compensations de mouvements. Avec ces traitements, il n'est plus possible de remonter aux informations originales à cause des pertes de données. Quant à la quatrième forme de redondance, il s'agit d'une compression sans pertes qui se manifeste par l'élimination de la redondance statistique à l'aide du codage entropique. Cette opération réversible se situe au niveau du dernier bloc de l'opération d'encodage après que le signal vidéo soit converti en une série d'éléments syntaxiques (SE). L'entropie d'une source est définie comme outil de présentation du lien entre l'information et la distribution de probabilité. Le codage entropique utilise les propriétés statistiques pour compresser l'information de façon que le nombre de bits utilisés pour représenter une information est logarithmiquement proportionnel à la probabilité de l'information [74]. En se basant sur ces définitions, Claude Shannon a démontré à la fin des années 40 l'existence d'un moyen pour compacter les données sans rien perdre de leur signification [75, 76]. La technique basique de codage d'information qui en découle se base sur le calcul des fréquences d'apparition des symboles ce qui permet par la suite

d'éliminer les redondances. Les codes en bloc à longueurs variables VLC sont nés de cette technique et permettent d'allouer des codes de tailles faibles pour les symboles les plus probables et des tailles importantes pour les symboles les moins probables. Ces codes ont connu un grand succès et ont été adoptés par les standards de compression d'image fixes comme le standard JPEG et ont donné naissance par la suite au codage CAVLC (Context-Adaptive Variable Length Coding) utilisé dans la norme H264/AVC. Toutefois, il faut souligner que les performances en compression des codeurs VLC ont été dépassées par les codeurs arithmétiques qui ont la capacité de s'approcher de l'entropie. Le codage arithmétique introduit par Rissanen [77] se différencie des techniques de codage par blocs car il n'attribue pas un code à chaque symbole (ou groupe de symbole), mais au message tout entier, ce qui permet de représenter chaque symbole du message sur la fraction adéquate de bits. Plus concrètement, des subdivisions d'intervalles comprises entre 0 et 1 sont définies en relation avec la probabilité d'occurrences des symboles. Pour chaque nouveau symbole à coder dans le même message, les bornes minimales et maximales 0 et 1 sont mises à jour pour tenir compte de la probabilité du nouveau symbole. Ce même processus est réalisé de façon récursive jusqu'au dernier symbole du message ce qui permet de déduire un code unique en fonction du message à coder. Les performances en compression de ces codeurs ont été améliorées par l'adaptation au contexte d'utilisation des éléments syntaxiques à coder et ont donné naissance au codeur CABAC (Context-Adaptive Binary Arithmetic Coding) qui a été utilisé partiellement par la norme H264/AVC puis exclusivement par la norme HEVC et par la nouvelle norme VVC.

L'encodage d'un élément par CABAC s'effectue en trois étapes : la binarisation, la modélisation du contexte et le codage arithmétique binaire. La binarisation est un pré-traitement qui permet de diminuer la taille des éléments à coder. Concrètement, il s'agit de convertir les éléments syntaxiques non binaires à une forme binaire appelée binstrings qui peut être compressée par le codeur arithmétique binaire, le BAC. Pour chaque type d'élément syntaxique une méthode de binarisation est prédéfinie afin d'augmenter l'efficacité du codage. Une des propriétés les plus importantes du codage CABAC est la possibilité d'utiliser la modélisation du contexte comme interface entre la binarisation et le codage. Ceci permet d'assigner aux symboles un modèle de distribution de probabilité qui est utilisé par la suite par le BAC pour produire une représentation de ces symboles en adéquation avec ce modèle de distribution : il s'agit d'adapter la probabilité d'apparition d'un symbole binaire à son contexte comme le type de l'information codée, la valeur des symboles déjà traités dans un voisinage spatio-temporel, etc. Ainsi, la modélisation des contextes élimine les probabilités de chaque bin codé par le BAC de façon régulière en se basant sur un contexte spécifique. Enfin, le codage binaire arithmétique compresse réellement les bins en bits selon une probabilité estimée.

4.2 Accélération matérielle du codeur CABAC

Une architecture matérielle pour le codage et décodage CABAC a été proposée dans les travaux de thèse de Nihel Néji [78]. Cette architecture a été conçue pour être à la fois conforme aux contraintes des deux standards H264/AVC et HEVC. Un prototype pro-

posé a été implanté sur un FPGA de la famille Xilinx et permet d’avoir des performances intéressantes en termes d’occupation de ressources logiques et d’efficacité énergétique. Plus particulièrement, l’architecture proposée est basée sur l’utilisation d’éléments de mémorisation en dépit de dédier des multiplieurs pour la binarisation et pour le BAC. La partie modélisation des contextes a été implantée partiellement car les standards de codage vidéo définissent plusieurs centaines de contextes et la prise en compte de la totalité des contextes est chronophage et relève plus du travail d’ingénierie que d’une activité de recherche académique. Toutefois, une analyse statistique a été réalisée dans le but de privilégier la prise en compte des contextes les plus utilisés.

Pour chaque élément syntaxique, une opération de binarisation est effectuée et le choix du contexte correspondant est fait. Toutes les méthodes de binarisation spécifiées par les standards ont été implantées. Il s’agit de la binarisation Unaire (U), l’unaire tronquée (TU), la k th-ordre Exp-Golomb (EGk) et la binarisation à longueur fixe (FL). Conformément aux standards, des combinaisons de méthodes de binarisation sont mises en place comme la méthode U(prefix)+FL(suffix) et la méthode TU(prefix)+EG0(suffix). Chaque méthode de binarisation a été implantée séparément. Il s’agit d’une logique séquentielle plus ou moins complexe qui associe à chaque valeur de SE une chaîne de bins. La sélection de la méthode de binarisation à employer parmi les sept méthodes définies par les standards se fait par le type de l’élément syntaxique, et dans certains cas par la valeur de l’élément syntaxique qui vient d’être codé. Enfin, un assemblage de toutes les méthodes de binarisation a été réalisé pour construire une IP du binariseur. Cette dernière considère comme entrées la valeur de l’élément syntaxique (SE) et le type du SE et génère les bins et une information sur la longueur du bin. Les détails de l’architecture de chaque méthode de binarisation ainsi que ceux de l’IP binariseur sont fournis dans les travaux de thèse [78].

La chaîne des bins de l’élément syntaxique est envoyée bin par bin au codage arithmétique binaire dont le principe est basé sur une subdivision récursive des intervalles relatifs aux probabilités d’apparition des symboles. D’abord, un intervalle initial représenté par la bande inférieure et par la dynamique est subdivisé en deux intervalles disjoints. Ensuite, de façon récursive, la sélection de l’un des deux intervalles se fait par rapport à l’identification du symbole à coder comme LPS (Least Probable Symbol) ou MPS (Most Probable Symbol). Enfin, pour garder une précision finie un bloc de normalisation est prévu et sert pour regrouper les données en blocs de 32 bits. Concernant l’implantation matérielle, l’opération la plus coûteuse du BAC est la multiplication utilisée pour déterminer la limite inférieure de la subdivision d’intervalle. Une solution a été proposée pour la norme H264/AVC pour des BAC sans multiplieurs connue sous le nom de modulo coder (M coder) [79,80]. Nous avons conçu le schéma du BAC en se basant sur ce codeur et ce choix s’est avéré pertinent par la suite. En effet, l’innovation majeure de ce dernier est l’utilisation des tables pour la subdivision, couplées avec une FSM pour l’estimation des probabilités. La solution M coder a été privilégiée par la norme HEVC car elle offre plus de 18% plus de throughput comparée à d’autres solutions. Cette amélioration du throughput n’est pas engendrée uniquement par la suppression des multiplieurs, mais aussi grâce à un codage particulier appelé bypass coder qui permet de ne pas calculer

une estimation de probabilité pour des bins à distributions uniformes.

Les binariseurs, la RAM pour la gestion des contextes, les différentes familles du codeur BAC, ainsi que des unités de gestion des éléments syntaxiques ont été implantés dans un FPGA et validés par une réalisation matérielle utilisant un analyseur logique embarqué de l'outil Chipscope de Xilinx. En plus de notre satisfaction de la validation expérimentale, les résultats de synthèse sont encourageants et témoignent de l'efficacité de l'IP proposée. Le binariseur global qui, rappelons-le, englobe sept méthodes de binarisation, a une puissance dynamique de moins de 10 mW, consomme près de 900 LUT avec une fréquence maximale de fonctionnement de plus de 285 MHz sur une Spartan 6 de la famille LX45. Le codeur régulier consomme une cinquantaine de LUT, fonctionne à 400 MHz et a une consommation dynamique de plus de 21 mW. Pour le décodeur, les performances matérielles du débinarisateur sont équivalentes à celles du binarisateur, par contre, le décodeur régulier constitue le goulot d'étranglement de l'architecture car il fonctionne à une fréquence maximale de fonctionne de moins de 150 MHz pour 75 mW de consommation de puissance dynamique.

5 Conclusions et perspectives

L'échelle de complexité de calcul des codeurs vidéo a atteint des sommets qui empêchent leur implantation efficace sur des systèmes portables. Cette problématique s'intensifie avec la création de demande de nouveaux services qui conduisent au raccourcissement des cycles de vie des codeurs (moins de 5 ans pour HEVC) et à la création de nouveaux standards plus complexes. Les travaux de recherche menés depuis 2011 dans cet axe ont permis d'améliorer les performances débit-distortion des codecs vidéo tout en prenant compte des contraintes d'implantation matérielles. Nous avons montré qu'une alternative pour s'affranchir des contraintes matérielles engendrées par les complexités de calcul des codeurs vidéo consiste à revisiter les traitements les plus complexes et qui présentent en même temps un potentiel d'accélération et de simplification. Dans ce contexte, des techniques innovantes de prédiction de calculs ont été proposées et ont permis d'avoir un gain en termes d'opérations de calcul de 94% tout en assurant un calcul exacte. En plus, un algorithme de décomposition de la transformation DCT a été proposé et a servi pour des approximations de calculs. Plusieurs travaux sur les approximations de calcul ont été proposés et détaillés dans ce chapitre pour montrer la valeur ajoutée de ces techniques sur les aspects fonctionnels et et sur la réduction drastique des contraintes matérielles. Nous voulons signaler que nous étions parmi les précurseurs pour travailler sur cet axe de recherche qui concerne les approximation de calcul et qu'aujourd'hui ces outils de calculs suscitent plus d'intérêt notamment avec les groupes de recherche qui organisent des journées thématiques comme celle organisée en 2017 par le GdR ISIS et qui été intitulée « Approximate Computing : Consommation et Précision dans les SoCs ». De même, pour le GdR SoC2, l'approximation de calcul est une thématique centrale dans l'axe « Calcul embarqué haute performance » évoqué dans le rapport d'activité de 2017.

Actuellement nous continuons le travail dans cette thématique à travers un investis-

sement personnel et l'implication dans des travaux de thèse à l'échelle internationale. Récemment, j'ai été rapporteur de la thèse de Maurizio Massera à Politecnico de Torino, thèse qui traite de nouvelles méthodes d'approximation de calcul pour la DCT. Je suis également co-directeur de la thèse de Sonsa Ben Jdidia thèse en co-tutelle avec l'ENIS de Sfax pour la proposition de prototypes matériels traitant les nouvelles formes de transformations appliquées aux codeurs VVC. D'ailleurs, les travaux de cette thèse avancent correctement avec la publication de deux conférences internationales [81, 82], d'un chapitre de livre [83] et la préparation, à court terme, d'au moins deux revues internationales.

Plus concrètement, pour le standard VVC notre objectif ultime est la proposition d'une version légère visant des terminaux mobiles. Les besoins pour ce travail ont été expliqués précédemment et concernent la recherche de solutions pour alléger les contraintes d'implantation électronique pour les terminaux mobiles et la réduction des flux échangés par ces derniers. Les traitements peuvent concerner les transformations et le codeur entropique comme ce que nous avons fait pour les normes de codage vidéo actuelles et précédentes et en même temps s'étendre à d'autres blocs comme les filtres d'interpolation et les estimations et compensations de mouvements. S'agissant des transformations, à l'image de ce que nous avons proposé comme algorithme de décomposition pour la norme HEVC, nous travaillons actuellement dans le cadre de la thèse de Sonda Ben Jdidia sur la création d'une nouvelle classe de transformations approximées et adaptables au contexte applicatif. Des algorithmes de recherches exhaustives sont mis en place pour calculer les matrices de transformations qui minimisent les contraintes matérielles et fonctionnelles. Pour les contraintes matérielles, les matrices recherchées sont composées de constantes nulles ou sous la forme de $\pm 2^k$, où la constante k est en lien directe avec la capacité du codeur vidéo à mobiliser des ressources matérielles pour la transformation. D'un autre côté, plusieurs métriques pour les contraintes fonctionnelles sont en cours d'évaluation et concernent l'erreur quadratique moyenne, le gain de codage, l'efficacité de codage ainsi que la capacité de décorrélation. En plus de satisfaire ces contraintes, les transformations doivent fournir des flux vidéo en conformité avec le standard et par conséquent des opérations d'orthogonalisation et/ou de mise à l'échelle sont nécessaires.

Prototypage des techniques de traitement d'images

1 Positionnement

Un des challenges communs pour le traitement et la communication des images et des vidéos est le besoin de terminaux portables ultra-faible consommation. La mise œuvre de systèmes embarqués pour ces applications doit répondre à de fortes contraintes conflictuelles liées (i) aux systèmes à concevoir, (ii) aux besoins des utilisateurs et (iii) à la technologie du semi-conducteur. D'abord, côté utilisateur, il y a exigence d'un confort d'utilisation qui se matérialise par une demande de contenu de plus en plus riche avec des résolutions Ultra High Definition (UHD), des images 3D et High Dynamic Range (HDR), des couleurs plus intenses avec l'espace couleur Wide Color Gamut (WCG), en plus des contraintes liées au coût des systèmes, à la portabilité, à la disponibilité, à la mobilité, au QoS et à l'efficacité énergétique. Ensuite, il faut savoir que les systèmes à concevoir permettent d'échanger de plus en plus de données avec des contraintes temps-réel très fortes avec des débits dépassent souvent les GFlops/s. Enfin, il faut rappeler que l'état actuel de la technologie semi-conducteur, en lien avec la densité d'intégration et la limitation de la consommation, ne permet pas de répondre à tous les besoins de conception. Un autre fait marquant de l'état des avancées technologiques est lié au nombre d'entrées et sorties dans une puce qui ne suit pas les mêmes évolutions de la densité d'intégration. Selon l'ITRS, il est prévu que la densité d'intégration se multiplie par 8 dans les dix prochaines années ce qui permet de réaliser plus de traitements dans la même surface. Par contre, le nombre d'entrées sorties dans une puce ne suit pas la même évolution puisqu'il n'est multiplié que par un rapport de deux pour la même période.

Notre objectif est de développer et d'implanter des systèmes hautes performances et efficaces énergétiquement pour des applications multimédia incluant la vision par ordinateur, le codage vidéo (traitées dans ce rapport dans un autre chapitre) et à court terme l'apprentissage automatique (ou machine learning). Nous nous focalisons à la conception conjointe d'algorithmes, d'architectures, de circuits et de systèmes offrant le compromis optimal entre la consommation, la rapidité et la qualité. Par conséquent, nous traversons plusieurs niveaux d'abstraction allant des agencements des calculs dans les algorithmes aux choix des techniques de conceptions avancées pour la conception d'architectures (pipeline, parallélisme, calcul in place, partage d'éléments de mémorisation) en passant par les méthodes et les outils de conception.

Pour les deux premiers niveaux, l'adéquation algorithme-architecture (AAA) est l'approche qui a été considérée dans nos activités de recherche. Il s'agit d'étudier simulta-

nement les aspects algorithmiques et architecturaux ainsi que leurs interactions en vue d'une implantation optimisée des applications de traitement du signal et de l'image. Plusieurs approches plus ou moins formelles sont développées dans ce contexte. Le résultat le plus connu est le partitionnement matériel/logiciel pour la conception conjointe des systèmes électroniques. D'autres outils permettent un passage quasi-automatique d'une description fonctionnelle à son implantation sur une architecture matérielle, comme l'outil SynDEx de l'IETR, l'approche IMOCA du Lab-STICC, ou encore les plateformes GAUT et PALMYR du Lab-STICC. Les travaux de recherche que nous menons jusque-là traitent principalement des aspects moins formels et concernent l'optimisation de l'implantation des algorithmes sur des cibles programmables (principalement des FPGAs). Cette optimisation se fait d'abord par la définition d'objectifs tels que l'amélioration du throughput ou de la latence ou encore la réduction de la dissipation de puissance et du nombre de ressources matérielles utilisées. Étant donné qu'il est difficile de concilier plusieurs de ces critères simultanément, la conception se fait conjointement entre l'algorithme et l'architecture. Au niveau algorithmique, des choix se font pour une description séquentielle/parallèle, récursive/non récursive et pour un calcul localisé/distribué, in-place/out-of-place. De ce fait, la connaissance approfondie des algorithmes constitue une aide importante pour leur implantation. Au niveau architectural, nous pouvons contrôler le flux des données, favoriser les réalisations pipelines, partager des blocs de mémorisation, utiliser des architectures hiérarchisées et réutiliser des IPs.

Comme expliqué précédemment, afin de maîtriser l'efficacité énergétique des circuits et systèmes embarquant des techniques de traitement d'images et de vidéo, il est nécessaire de considérer des méthodes et des outils de conception efficaces. En plus des méthodes non formelles, nous nous sommes intéressés à l'apport des outils de prototypage rapide proposés par les constructeurs de cartes FPGAs, et plus particulièrement, les outils de Xilinx comme l'outil Vivado HLS et la dernière famille des outils de Xilinx connue sous le nom de SDx. Ainsi, nous ne développons pas d'outils, mais nous sommes utilisateurs des outils des fabricants des cartes FPGA avec lesquels nous évaluons l'apport des optimisations proposées. Dans ce cadre, nous avons pu développer une plateforme d'acquisition de flux vidéo (USB ou IP) pour réaliser des traitements bas niveau (détection de contours, détection de mouvement). L'utilisateur pourra choisir en ligne l'emplacement des traitements : dans la partie CPU ou dans la partie logique programmable. La plateforme permet l'accès à distance à des images pertinentes enregistrées automatiquement. Le tout a été développé sur des cartes à base de SoC hybride MultiCPU/FPGA de la famille ZYNQ et autour d'un OS Linux embarqué (Linaro).

Ces travaux sont souvent menés sous forme d'activités de recherches académiques en amont de projets et de contrats industriels qui constituent un cadre intéressant pour la valorisation de la recherche (transfert technologique) et qui permettent par la même occasion de contribuer à la valeur ajoutée du laboratoire et de l'école.

Dans ce chapitre, nous considérons la corrélation optique appliquée à la reconnaissance de visage comme cas d'étude et nous montrons comment une nouvelle classe de corrélation simplifiée a été créée. Ensuite, nous illustrons nos contributions pour le prototypage rapide des techniques de traitement d'images à travers deux plateformes tech-

nologiques à base de SoC. La première est une forme de caméra intelligente qui englobe des traitements d'images simples, comme la détection de contours, et plus complexes, en lien avec la reconnaissance. La deuxième est sous forme d'une preuve de concept de la conception d'une passerelle utilisée dans le contexte de l'internet des objets multimédia. Les deux plateformes sont le résultat de travaux de recherche académique en amont de transfert de technologie.

2 Amélioration des techniques existantes

2.1 Introduction

Reconnaître, identifier et localiser une personne est une thématique de recherche qui suscite un intérêt croissant. Les dernières avancées dans ce domaine montrent que reconnaître une personne dans un environnement contraint est un problème résolu. Par contre, pour des environnements non-contraints (variations de la pose, de l'expression, de l'illumination et de la résolution), les taux de reconnaissance chutent considérablement et peuvent atteindre les 65% de bonnes reconnaissances. Aujourd'hui, le défi des chercheurs est l'amélioration des taux de reconnaissance de visages acquis dans des conditions réelles (Wild) afin d'augmenter la robustesse de ces techniques. Cette approche est intéressante puisqu'elle permet d'exporter les techniques de reconnaissances de visage du monde des simulateurs numériques vers le monde des applications réelles à base de prototypes de systèmes de vision. Par contre, la réussite d'intégration d'applications de vision ne repose pas uniquement sur la robustesse de la méthode, mais aussi sur son niveau de complexité. C'est à ce niveau que les algorithmes de reconnaissance de visage en particulier et les techniques de traitement d'images en générale doivent être revisités pour faciliter leur implantation sur des cibles électroniques reconfigurables.

En plus de ce constat général, proposer des techniques et des prototypes pour la reconnaissance de visage peut être conduit sous plusieurs angles. D'abord, de notre point de vue, la communauté de traitement d'images est très active pour la recherche de techniques de plus en plus robustes pour la reconnaissance et l'identification, et ce avec peu de regard pour la complexité de ces techniques et encore moins pour leur temps d'exécution. Ceci définit notre premier objectif de recherche concernant l'intérêt qui doit être porté pour la simplification et l'accélération des techniques de traitement d'images. D'un autre côté, pour l'équipe VISION qui a un savoir-faire dans les méthodes optiques pour le traitement d'images, il est tout à fait naturel qu'on doit s'imprégner de ces compétences pour les faire évoluer. Par conséquent, notre deuxième objectif consiste à étudier le potentiel d'intégration des méthodes optiques pour faciliter leur réalisation dans des prototypes électroniques. Ces deux objectifs définissent l'empreinte de nos contributions non seulement pour la reconnaissance et l'identification de visages, mais aussi pour les techniques de traitement d'images au sens large pour inclure les problématiques de suivi de cibles et de chiffrement.

2.2 La corrélation optique

La corrélation optique est une technique qui a été appliquée avec succès pour plusieurs applications de traitement d'images qui incluent non seulement la reconnaissance de visage [84–86], mais aussi le suivi de cibles [87–90], la localisation d'objets [91, 92], la détection d'objets [93, 94], la reconnaissance de texture, la classification [95] ainsi que la détection d'activité [96]. Quelque soit l'application, la réalisation optique de la corrélation est basée sur le montage de corrélation de Vander Lugt (VLC) appelé montage 4-f. La figure II.1 illustre le schéma de corrélation optique et son équivalent numérique. D'un point de vue optique, la cible est illuminée par une source monochromatique avant sa transformation par une lentille convergente. Dans le plan focal, un filtre est utilisé pour multiplier le spectre et une seconde lentille est utilisée pour obtenir l'image filtrée dans le plan de sortie. D'un point de vue numérique, la corrélation consiste à multiplier dans le domaine spectrale le spectre du visage/objet par un filtre préalablement enregistré dans une base de données. Ensuite, une décision est prise dans le domaine spatial en comparant l'énergie du pic de corrélation par rapport à un seuil. Plusieurs métriques ont été proposées pour le critère de décision, dont le Peak Correlation Energy (PCE) qui est le plus utilisé. Malgré la simplicité du montage optique de la corrélation, son intégration fait face à plusieurs obstacles comme la portabilité, les effets d'aberration, les problèmes d'alignement des composants optiques et le coût des dispositifs opto-électroniques. De même l'implantation numérique de ce montage peut être améliorée. En effet, la corrélation optique est basée sur des transformations du domaine spatiale vers le spectrale et ensuite du domaine spectrale vers le spatiale. Ces transformations redondantes nécessitent des ressources matérielles importantes et sont un frein pour la conception de systèmes temps-réel et portables. Ainsi, nous avons besoin de revisiter le schéma classique pour alléger ses contraintes de calcul et simplifier son prototype.

2.3 La corrélation optique simplifiée

2.3.a Principe de la méthode proposée

Malgré le nombre limité des traitements requis par le schéma VLC, les temps de calcul et les ressources matérielles requises sont relativement élevés. Un schéma de corrélation simplifiée doit respecter les contraintes fonctionnelles suivantes :

- il doit être invariant par rapport au filtre de corrélation. Le schéma de corrélation simplifiée doit fonctionner quel que soit le filtre de corrélation ;
- il doit réaliser un compromis entre le taux de reconnaissance et la complexité de calcul. Il doit permettre une réduction de la complexité sans dégradation de la robustesse de reconnaissance, ou sacrifier légèrement le taux de reconnaissance quand un gain important en ressources de calcul est obtenu ;
- il doit maintenir la faisabilité des réalisations optiques et numériques.

L'élément de calcul qui nécessite des efforts de conception est incontestablement les transformations du domaine spatiale vers le spectrale et inversement. Ces traitements doivent être simplifiés d'autant plus que leur complexité évoluent non-linéairement avec

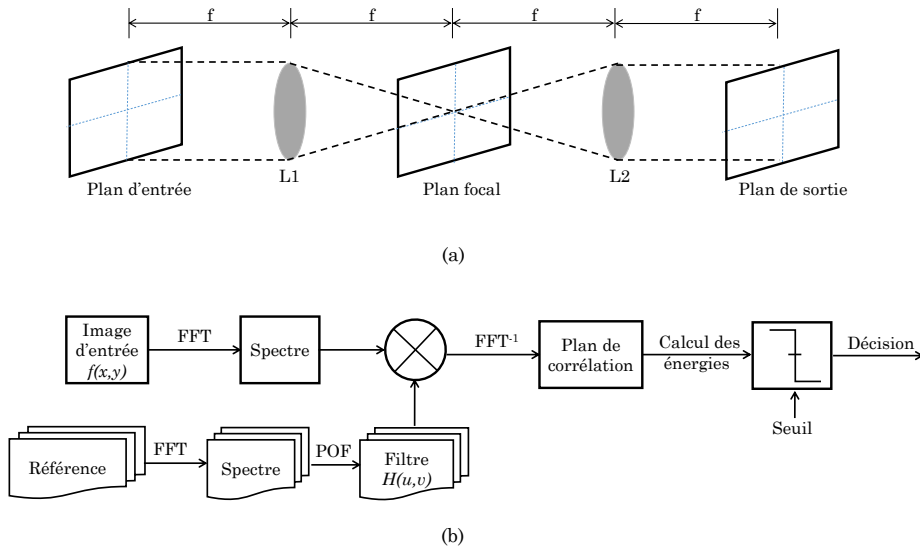


FIGURE II.1 – Schéma de corrélation VLC. (a) montage optique, (b) équivalent numérique du corrélateur VLC.

la taille des images et la résolution. Il est vrai que la transformation du domaine spatiale vers le spectrale offre un autre angle de vue pour l'image et permet d'extraire des caractéristiques intéressantes (non visibles dans le domaine spatiale) suite à la multiplication par le filtre. Par contre, la transformation du domaine spectral vers le domaine spatiale, ne nous semble pas pertinente car elle n'est utilisée que pour appliquer la métrique de reconnaissance. De plus, comme la transformation inverse s'applique sur les sorties de la transformation directe, sa complexité calculatoire est plus élevée que celle de la transformation directe car (i) elle s'applique sur des données complexes, (ii) elle s'applique sur des données à résolution élevées, à cause de la propagation de la dynamique des données des étages précédents. Par conséquent, le schéma de corrélation simplifiée élimine la transformation inverse et met en place un autre moyen pour extraire les informations utiles au niveau spectral. De plus, le calcul du PCE pour la prise de décision a été supprimé car il requiert le calcul de l'énergie totale du plan pour déterminer le pic. Le bloc diagramme du schéma proposé pour la corrélation optique simplifiée est composée de deux phases, une en ligne et une hors ligne comme illustré dans la figure II.2.

Trois modifications ont été apportées à la phase hors ligne en comparaison avec le schéma VLC classique. La première concerne la taille du spectre utile $\mu_{c_{ref}}$ qui est calculée en se basant sur la durée du root-mean-square (RMS) introduite dans [97]. Le calcul de $\mu_{c_{ref}}$ permet de retenir la grande partie de l'information utile et de rejeter les hautes fréquences. En effet, il est bien connu en analyse spectrale que pour des images naturelles non-bruitées, l'énergie est concentrée dans les basses fréquences du domaine de Fourier. Nous nous sommes inspirés de l'utilisation de cette technique pour débruiter

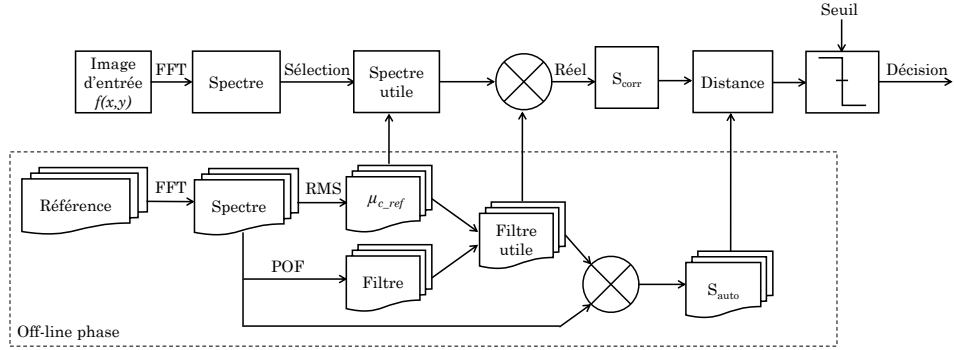


FIGURE II.2 – Schéma de corrélation VLC. (a) montage optique, (b) équivalent numérique du corrélateur VLC.

et reconstruire des images biomédicales avec la technique du compress sensing [98] où μ_{c_ref} est fixé à 10% de la taille du spectre. Par contre, pour des images de visages, μ_{c_ref} peut varier du simple au double. En se basant sur ces considérations, nous proposons de calculer μ_{c_ref} dans la phase hors ligne et l'utiliser par la suite comme critère discriminant pour la reconnaissance. Dans [99], nous avons montré par des simulations que cette taille varie de 21, 27 et 37 pour trois images de taille 260×190 . Il est vrai que ce calcul est assez complexe, mais comme il est effectué une seule fois dans la phase hors ligne, il n'impacte pas la complexité de la méthode. La deuxième modification consiste à utiliser le paramètre μ_{c_ref} pour sélectionner la zone utile du filtre de corrélation. Ceci permet d'alléger les contraintes des tailles mémoires réservées pour enregistrer les filtres de corrélation. Enfin, la troisième modification consiste à calculer la matrice d'auto-corrélation S_{auto} entre les zones utiles du spectre de référence et le filtre de corrélation correspondant.

Pour la phase en ligne qui permet le calcul du spectre de l'image de référence, le paramètre μ_{c_ref} est utilisé pour sélectionner la taille utile du spectre corrélié avec les éléments du filtre. Le résultat de cette opération construit la matrice S_{corr} qui est comparée avec S_{auto} pour déterminer les similarités entre les deux matrices à l'aide du paramètre Zero-mean Normalized Cross-Correlation (ZNCC) [100]. Notons que pour le calcul du ZNCC, les éléments des deux matrices sont prises avec une décomposition ligne colonne ou une décomposition circulaire en partant des cercles proches du centre vers l'extérieur. Cette dernière configuration a fourni de meilleurs résultats de reconnaissance notamment quand les anneaux circulaires situés à l'intérieur sont pondérés par un noyau gaussien.

2.3.b Analyse de complexité

L'objectif de cette section est de comparer quantitativement les schémas de corrélation existants et proposés en termes de tailles mémoires et de nombre d'opérateurs

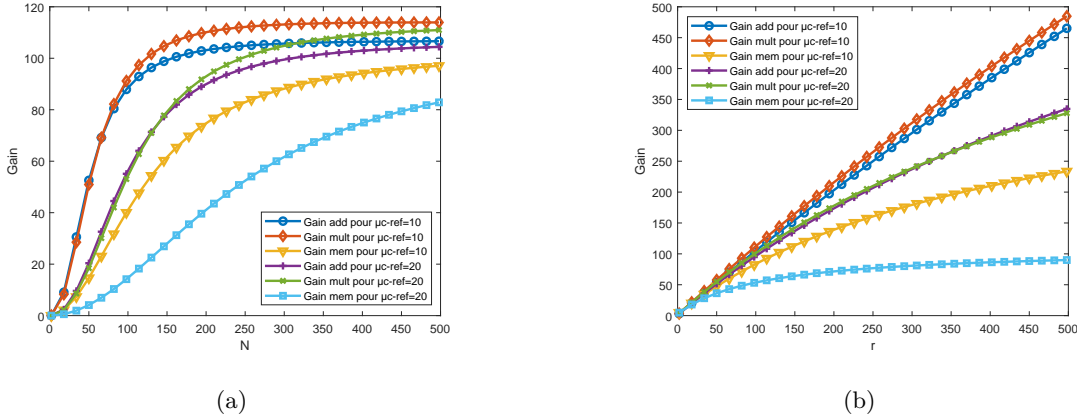


FIGURE II.3 – Évaluation des gains en ressources du schéma proposé comparé au schéma classique. (a) Gain par rapport à N et μ_{Cref} pour r constant, (b) Gain par rapport à r et μ_{Cref} pour N constant.

arithmétiques requis. Pour des raisons de simplicités, des images de tailles $N \times N$ ont été considérées. Une étude analytique a été conduite pour évaluer les consommations en opérations arithmétiques des blocs de traitement comme la FFT-2D, le PCE et le paramètre ZNCC. Une architecture parallèle est prise en compte pour la FFT-2D dans laquelle la décomposition ligne colonne est considérée. Les évaluations sont exprimées en fonction du nombre d'additions, de multiplications, des tailles mémoires, des tailles d'images, du nombre d'images dans la base de données (paramètre r) et de μ_{Cref} . Il peut être observé des figures II.3.(a) et II.3.(b) que les gains en ressources (ressources requises par le schéma VLC divisées par les ressources requises par le schéma simplifié) augmente avec la taille des images N et le nombre d'images r . Plus particulièrement, le schéma proposé fourni 113 fois moins de multiplications et 106 fois moins d'additions que le schéma classique pour $\mu_{Cref} = 10$, $N \geq 180$ et $r = 100$. De la figure II.3.(b), il est montré que les gains en ressources évoluent linéairement avec la taille de base de données. Il est évident que ces gains en ressources permettent d'envisager des prototypes efficaces énergétiquement.

2.3.c Validations fonctionnelles

Pour évaluer les performances de l'approche proposée, nous avons choisi d'appliquer la corrélation simplifiée à la reconnaissance de visage. Cette application peut être divisée en deux catégories : l'identification et la vérification. Pour la première, l'objectif est de comparer une image de visage avec une base de données et d'évaluer la distance entre chaque paire afin de déterminer l'identité d'une personne. Pour la deuxième, le but est de vérifier si deux images données correspondent à la même personne. D'un autre côté, les

algorithmes de reconnaissance de visage sont évalués dans des environnements contraints ou non-contraints comme expliqué précédemment. Forts de ces constats, nous avons conduits plusieurs expérimentations afin de vérifier si la simplification de la corrélation proposée ne détériore pas les performances de la reconnaissance.

D'abord, pour l'identification nous avons utilisé la base Pointing Head Pose Image Database (PHPID) [101] qui contient 2790 images de visage pour 15 personnes avec des variations d'angles (pan et tilt) de -90 à $+90$ degrés. Pour chaque personne deux séries de 93 images sont disponibles pour l'apprentissage et le test. Un prétraitement sur les images a été réalisé pour les aligner et supprimer les arrières plans, ajuster les positions des yeux pour chaque visage et fixer une taille de 80 pixels entre les yeux. Pour la validation fonctionnelle, un apprentissage des paramètres de la gaussienne utilisée pour le calcul du ZNCC a été réalisé sur le set d'images que nous avons dédié pour l'apprentissage. Nous avons trouvé que notre schéma proposé utilisant la métrique ZNCC à base d'anneaux circulaires fourni les meilleurs résultats de reconnaissance comparé au schéma classique et aux autres schémas proposés incluant des métriques différentes. De plus, nous remarquons qu'en considérant des angles de rotation réduits, les taux de bonnes reconnaissance atteignent 75,3%. Ce taux passe à 100% pour des angles de rotation de -15 degré. La méthode proposée est moins sensible aux rotations et ceci s'explique par le fait que nous sélectionnons la zone utile du spectre dans laquelle l'énergie de l'image est concentrée sans prise en compte des informations non pertinentes qui ont une influence négative sur le taux de reconnaissance.

Ensuite, pour une application de vérification nous avons utilisé la base Labeled Faces in the Wild (LFW) [102]. Elle contient 13233 images de 5749 personnes différentes représentées avec des images JPEG de taille 256×256 . Les visages qui sont détectés par le détecteur Viola-Jones sont pris dans des conditions réelles et incluent des variations d'âge, de pose, d'arrière-plan, d'expression, de luminosité, ect. Les sets d'images disponibles sont alignés et coupés au préalable et ne nécessitent pas de pré-traitement. Le protocole standard « Image-Restricted, No Outside Data » de la base est utilisé. Les résultats d'expérimentation montrent que le schéma proposé présente des performances supérieures ou égales à celles obtenues par le schéma classique. Plus particulièrement, le paramètre Area Under Curve (AUC) appliqué au courbes ROC a été calculé et vaut 0,76 et 0,74 respectivement pour le schéma proposé et le schéma classique.

Avec des deux applications (identification et vérification) nous pouvons affirmer que le schéma simplifié proposé est plus robuste que le schéma de corrélation classique en plus d'être beaucoup moins contraignant en termes d'implantation matérielle. L'application de cette méthode de corrélation simplifiée à la reconnaissance de visage est considérée comme un cas d'étude car la méthode peut être appliquée à plusieurs techniques de traitement d'images comme listés ci-dessus. Ces travaux sont récents et ont été publiés en 2018 en dans un journal international de renom [103]. À court terme, nous envisageons d'approfondir l'étude de cette méthode sur au moins quatre axes principaux : l'extension à plusieurs filtres de corrélation, l'application à d'autres techniques de traitement d'images, la proposition de nouvelles métriques de prise de décision et l'implantation sur un prototype réel basé sur un SoC.

3 La plateforme SCAM

La plateforme SCAM (pour Smart Camera) est une plateforme que nous avons développée avec un groupe d'étudiants de l'ISEN dans le cadre de projets encadrés de 4ème et 5ème années. L'objectif initial du projet est de développer un nœud pour les réseaux de capteurs d'images. Le nœud doit être capable d'acquérir des images via des capteurs d'images (caméra USB, IP), de traiter les images reçues et de les communiquer. Pour gagner en efficacité énergétique, l'utilisation des FPGA est recommandée afin d'accélérer les calculs. En même temps, l'utilisation des microprocesseurs est nécessaire pour les phases d'acquisition et de communications. Notons que nous avons travaillé sur d'autres plateformes à base de microcontrôleur RaspberryPi pour notamment implanter l'algorithme Tracking Learning Detection TLD [104] sur un réseau de capteurs d'images et partager les modèles d'apprentissage entre plusieurs nœuds d'un réseau. Pour des raisons de brièveté, cette dernière plateforme ne sera pas détaillée dans ce rapport.

3.1 La technologie ZYNQ

La technologie des FPGA ZYNQ est la dernière famille des FPGA de Xilinx dédiée à un large panel d'applications. Les travaux de recherche que nous menons ces dernières années emploient ces FPGA comme outil matériel de validation des techniques proposées. Pour comprendre le niveau de complexité de développement d'application avec la technologie ZYNQ, il est nécessaire d'avoir un aperçu rapide sur les éléments clés de cette technologie. Un FPGA ZYNQ contient en plus de la partie PL (Programmable Logic), une partie PS (Processing System), à savoir, un système microprocesseur ARM double cœur complet avec ses contrôleurs mémoires et ses périphériques. Son architecture est dite centrée sur le PS car le processeur démarre en premier, puis configure la PL. Il est possible d'utiliser uniquement la partie PL, mais dans ce cas, la configuration est réalisée via le lien Joint Test Action Group (JTAG) de la carte d'évaluation. Cette option n'est pas retenue car la plateforme SCAM requière l'utilisation de la partie PS. L'ARM Cortex-A9 est un processeur performant, du même type que ceux utilisés pour les tablettes, fonctionnant jusqu'à 800 MHz. Il possède un cache L1 (I/O caches) de 32 ko sur les données et sur les adresses. Il est constitué de deux cœurs A9. Le cache L2 de 512 ko est unifié et performant (huit voies associatives, write-back, write-through). Les cartes ZYNQ sont construites autour de l'Accelerator Coherence Port (ACP) qui est un port Advanced eXtensible Interface (AXI) de 64 bits reliant la PL avec la Snoop Control Unit (SCU) qui permet aux deux Cortex-A9 d'accéder à la mémoire système (ROM/RAM) et au cache L2. De plus, l'ACP permet à l'accélérateur matériel dans la PL d'accéder au contenu des caches L1 et L2 tout en maintenant la cohérence des données. Il est utilisé pour partager les données entre PS et PL avec une faible latence. Le système contient aussi un coprocesseur NEON dédié aux instructions audio, vidéo et 3D ainsi qu'une Floating Point Unit (FPU) dédiée aux opérations sur les nombres réels respectant la norme IEEE-754 en simple et double précisions. Un autre point clé à maîtriser pour développer des systèmes avec cette technologie concerne les interconnexions. L'Advanced Microcontroller Bus Architecture (AMBA) est utilisée comme bus

interne dans les SoC basés sur les processeurs ARM depuis 1996. L'AXI est une extension de l'AMBA (version 4.0) pour Xilinx. Directement reliées aux entrées/sorties des périphériques qui sont eux-même reliés au bus AMBA du PS, on trouve 54 Multiplexed Input/Output (MIO) connectées aux broches externes du FPGA et 64 Extended MIO (EMIO) qui sont reliées à la logique programmable PL. Les I/O des périphériques sont riches et contiennent principalement les USB, QSPI, NAND Flash, SRAM/NOR Flash, ETH, CAN, I2C, UART, SPI, GPIO, etc.

3.2 Architectures conçues

Deux architectures, une matérielle et une logicielle, ont été conçues pour cette plateforme. Pour le premier volet, il faut savoir que la majorité des systèmes acquérant de la vidéo utilise des tampons externes pour le stockage temporaire de trames vidéo. Les exigences de ces systèmes constituent un défi pour les développeurs afin de contrôler facilement ce tampon externe et le transfert des données pour le traitement. De plus, d'autres spécificités rendent le contrôle plus complexe comme : l'implantation des traitements à différents taux d'échantillonnage et les restrictions imposés par les interfaces de mémoire externes au niveau du format et de l'emplacement des transferts de mémoire. En conséquence, la synchronisation vidéo qui passe dans un système multi-débit peut être très difficile et source d'erreurs, ce qui rend la conception au niveau système fastidieuse. Le VDMA a été conçu pour répondre à ces questions et s'interface directement sur le cadre de la Video Frame Buffer Controller (VFBC) intégré dans le Multi Port Memory Controller (MPMC). Il génère automatiquement les signaux commande pour le VFBC et simplifie le processus de mise en place ainsi que le contrôle frame buffers en mémoire externe. De plus, il peut compenser les transferts de données qui ne répondent pas aux exigences de format VFBC. Le DMA vidéo dispose également d'un mécanisme de synchronisation de système appelé Gen-Lock qui facilite la charge de la synchronisation des données comme il se déplace d'un domaine de traitement à un autre fondée sur la signalisation bloc à bloc partagé. Enfin, il faut noter que pour l'architecture matérielle, le port VDMA nécessite l'utilisation du port AXI HP (haute performance) qui est réservé au préalable pour connecter le son de l'IP HDMI.

Concernant l'architecture logicielle, des modules peuvent être ajoutés au noyau Linux, soit lors de sa compilation (modules) soit en les téléchargeant une fois l'OS démarré à l'aide d'un gestionnaire de packages tels que APT. Une webcam USB Logitech C210 a été choisie pour son faible coût et son utilisation répandue dans le monde du traitement d'images. Pour les besoins de la plateforme SCAM, la bibliothèque Open Computer Vision (OpenCV) a été installée en plus de l'API V4L qui est une couche abstraite entre les logiciels de vidéo et les périphériques vidéo qui permet principalement l'acquisition du flux vidéo. Une fois le flux vidéo récupéré, il est transféré via le port VDMA au traitement implanté dans la partie PL. A ce niveau, un point déterminant pour les performances globales du système est lié à la gestion des mémoires mises en jeux. La fonction mmap est utilisée pour faire correspondre une partie de la mémoire physique avec un espace de la mémoire virtuelle de l'application dans le but de faire communiquer l'application et la partie PL, pour écrire et lire dans les registres de contrôle des IP et pour transférer

un flux vidéo de l'application vers la PL et vice versa. Il existe différentes méthodes pour copier ces données, comme par exemple la copie point par point de chaque pixel de l'image. Nous avons démontré que le temps nécessaire pour cette copie est important et peut atteindre 98,3% du temps totale réservé à une image (acquisition, copie, traitement). Si ce temps ne peut être amélioré, alors l'intérêt de coupler un ARM et un FPGA n'existe pas car le temps gagné par les accélérateurs matériels et perdu dans la copie et la recopie des données. Pour lever ce verrou, d'autres fonctions ont été testées et améliorées pour répondre au besoin de la plateforme SCAM, dont la fonction memcopy et NEON copy.

3.3 Exemples de traitements développés

Un des traitements simples à mettre en place et utile dans plusieurs applications de traitement d'image est la détection de contours. Il s'agit d'une technique qui sert à repérer les points d'une image numérique qui correspondent à un changement brutal de l'intensité lumineuse. Ces changements de propriétés de l'image traduisent en général des événements importants. Ils incluent des discontinuités dans la profondeur, dans l'orientation d'une surface, dans les propriétés d'un matériau et dans l'éclairage d'une scène. Il existe différents algorithmes de détection de contours plus ou moins élaborés (Prewitt, Sobel, Canny, etc.) qui ont été tous implantés dans la partie PL sous formes d'IP.

Les algorithmes de détection de visage ont suscité notre intérêt de par leur importance comme bloc de traitement dans plusieurs applications comme la reconnaissance de visage, le suivi de personnes, la reconnaissance d'expression et le dénombrement de personnes. Un algorithme intéressant et très utilisé par la communauté du traitement d'images a été proposé par Paul Viola and Michael Jones dans [105]. Il s'agit d'un algorithme basé sur l'apprentissage automatique entraîné sur des lots positifs et négatifs. Son implantation sur le processeur ARM A9 d'un FPGA ZYNQ permet de détecter des visages avec une cadence de 15 images par seconde. Nous avons aussi considéré la technique local binary pattern (LBP) [106] pour la détection de visage. Il s'agit d'un type de descripteur appliqué à la vision qui permet notamment la classification des textures. Le descripteur de texture est réalisé en calculant des histogrammes à 256 bins qui sont obtenus en appliquant un seuil sur des blocs de tailles 3×3 autour d'un pixel central.

L'implantation des deux techniques citées ci-dessus est réalisée utilisant l'outil HLS qui permet une synthèse haut niveau en partant d'un code développé en langage C ou C++. L'ajout de directives est possible pour permettre de répondre à des contraintes spécifiques. Récemment, les outils de Xilinx ont évolué pour intégrer un ensemble de fonctions de traitement d'images et de vision par ordinateur de façon plus systématique. En effet, certaines fonctions disponibles dans la bibliothèque OpenCV peuvent être incluses directement sans aucune phase de développement et de codage des fonctions à intégrer. Chaque fonction de traitement d'image peut être conçue sous forme d'IP moyennant des fonctions de conversion du flux vidéo. Ce dernier venant du port AXI est converti sous forme de matrice, puis traité avec une fonction accélérée pour être converti à nouveau sous forme de flux vidéo. La plateforme SCAM que nous développons a inté-

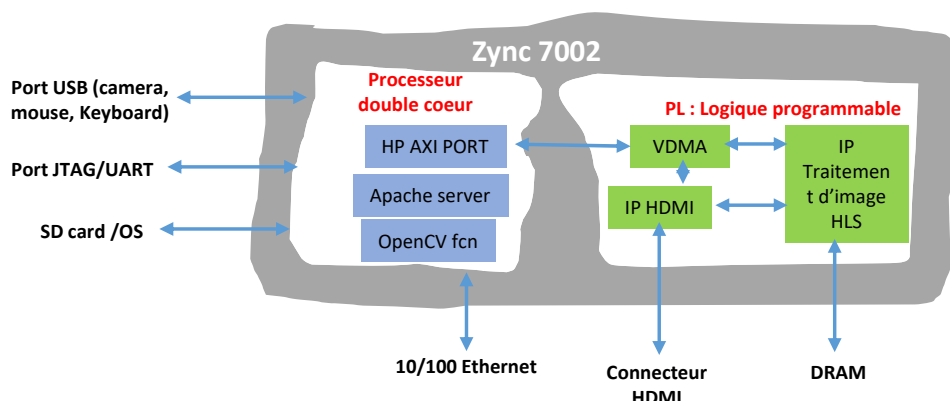


FIGURE II.4 – Bloc diagramme simplifié de la plateforme SCAM.

gré récemment ce mode fonctionnement pour évaluer les fonctions comme : l'égalisation d'histogramme, le filtrage 2D et la dilatation

3.4 Validation de la solution complète

Un bloc diagramme très simplifié de la plateforme SCAM est présenté dans la figure II.4. Ce schéma bloc a été implanté sur une carte d'évaluation ZedBoard qui est connectée à un écran HDMI, au réseau local via la connexion Ethernet et à un switch USB sur lequel sont connectés une caméra USB, un clavier et une souris pour gagner en flexibilité d'utilisation. Dans les premières versions de la plateforme, l'utilisateur accède aux traitements implantés à travers un terminal et une interface graphique de l'OS accessible depuis une carte SD. Le choix du traitement est possible en saisissant les raccourcis clavier indiqués sur l'interface graphique. De même pour le choix du lieu du traitement : partie PS ou PL. Les résultats des traitements et des temps des calculs sont visibles à travers un écran connecté sur le port HDMI. Pour les temps d'exécution, une moyenne sur plusieurs exécutions est réalisée pour chaque traitement afin de donner des estimations précises. Aujourd'hui, la dernière version de la plateforme SCAM permet un accès distant aux traitements via une page web développée avec le framework Bootstrap pour garantir un accès multiplateforme (Smartphone, PC et tablette) grâce au serveur Apache implanté sur la carte ZedBoard. Notons qu'avec les optimisations réalisées aux niveaux des gestions de la mémorisation, l'implantation hardware d'un filtre de détection de contours consomme respectivement 27 ms et 76 ms pour des résolutions 640×480 et $720p$. Une accélération d'un rapport de 5 est obtenue avec l'implantation matérielle ce qui permet l'exécution de 37 fps et 13 fps respectivement pour des résolutions 640×480 et $720p$. Il faut savoir que ces rapports d'accélération sont très différents sans considération de l'acquisition et du temps de communication entre PS et PL. Dans ces conditions, le

temps d'exécution du traitement software est de 0.144285 s alors que le traitement sur la partie matérielle du FPGA ne consomme que 0.001441 s, soit un rapport d'accélération égal à cent.

4 La plateforme GIoMT

Pour des applications orientées Internet des Objets (IoT) et Internet des Objets Multimédia (IoMT), l'utilisation d'une seule technique d'optimisation est souvent insuffisante à cause de la sévérité des contraintes de conception. L'utilisation conjointe de plusieurs méthodes avancées pour de conception de circuits et systèmes a été expérimentée dans une plateforme baptisée GIoMT. En effet, la réponse aux contraintes des applications liées à l'internet des objets multimédia (IoMT) ne peut être réalisée qu'en cumulant plusieurs méthodes de conception comme l'adéquation algorithme architecture, la conception conjointe HW/SW, le calcul approximé et le calcul proche capteur (ou calcul NSC pour near sensor computing). Le tout pour concevoir une plateforme expérimentale d'un nœud spécifique appelée passerelle utilisée dans le contexte de l'internet des objets multimédia (IoMT). L'IoMT est considérée comme une classe de l'IoT et est composée d'objets intelligents équipées de capacités à observer et interagir avec l'environnement. En effet, il est difficile de concevoir des applications de villes intelligentes sans capteurs de vision. Quant à la passerelle qui est appelée aussi puits du réseau, gateway ou encore concentrateur, il s'agit d'un nœud spécifique qui permet la collecte des informations des autres nœuds et qui peut jouer elle-même le rôle d'un nœud envoyant les informations aux autres parties du réseau. La plateforme proposée est composée de modules de traitement reconfigurables pour compresser et chiffrer, en plus de modules dédiés pour la transmission et l'affichage des images. À partir des résultats expérimentaux, nous avons vérifié que plus les modules sont inclus dans la partie PL, plus les accélérations de calcul sont importantes et meilleure est l'efficacité énergétique. La plateforme proposée est conçue pour intégrer d'autres traitements reconfigurables. Elle peut constituer la pierre angulaire pour des applications de reconnaissance de visage, de détection de personnes et d'analyse vidéo.

4.1 Intérêt du calcul proche capteur

L'architecture simplifiée d'un nœud IoT est composée de trois couches : perception, réseaux et application. Les données acquises sont transmises au cloud pour être analysées afin de créer une valeur ajoutée. C'est ainsi que plus de 90% du big data a été généré depuis 2011, avec plus de 2/3 de données multimédia [107]. Toutefois, le cloud ne peut pas supporter et analyser les quantités d'information en constante augmentation. Par exemple, le cloud computing n'est plus approprié quand il s'agit de l'analyse vidéo à cause des latences dans les transmissions et des préoccupations de protection de vie privée. Pour s'affranchir de ces problèmes, un nouveau paradigme qui est souvent appelé edge, fog ou near sensor computing (NSC) a émergé ces dernières années. L'objectif du calcul NSC est de traiter les données proches du capteur et d'envoyer les informations

intéressantes aux couches supérieures. Selon l'International Data Corporation (IDC) [108], il est attendu qu'en 2019, au moins 40% des données créées par l'IoT seront enregistrées, traitées et analysées proche ou sur le contour du réseau. Il faut par ailleurs souligner le fait que quand on considère des objets multimédia, l'intérêt du calcul NSC est plus fort à cause des quantités de données mises en jeu.

En étendant le cloud vers les objets, le calcul NSC permet de décharger le réseau, d'agir rapidement sur les objets connectés (sans la latence du cloud) et de sécuriser les objets [109]. Les avantages de cette approche sont indéniables par rapport aux approches classiques comme en témoignent les résultats des travaux de recherche récents, avec certes des temps d'accélération très différents d'un travail à l'autre, mais en même temps les bénéfices sont incontestés. L'ETSI a établie plusieurs cas d'utilisation pour le calcul NSC. Un des cas d'utilisation les plus intéressants cité par l'ETSI porte sur l'analyse vidéo où les caméras envoient des flux vidéo large bande à la gateway (passerelle) qui se charge de l'analyse et envoie des flux faible bande avec des informations pertinentes au cœur du réseau. Ce scénario est détaillé dans [110] et présenté dans la figure II.5.

Pour les travaux de recherche académiques, il a été démontré dans [111] que les temps de calcul d'une application de reconnaissance de visage sont divisés d'un rapport de 5 en déplaçant les calculs du cloud vers le contour du réseau. Pour des applications d'assistance portable, les temps de réponse sont réduits de 30% à 40% [112]. Une autre étude [113] s'est intéressée au déchargement du cloud en termes du compromis énergie/performance et a démontré que les temps de calcul et l'énergie peuvent être réduits d'un rapport de $20x$ pour les applications testées, comme la détection de véhicules roulant dans le sens inverse. Enfin, en télémédecine, un nouveau framework IoMT a été développé dans [114] pour assister les patients et leur donner les moyens de promouvoir la santé et d'améliorer la santé et la qualité de la vie.

Pour notre plateforme, l'objectif est de réaliser une preuve de concept du calcul NSC appliqué à l'IoMT en se basant sur le co-design HW/SW. Aujourd'hui, nous nous connaissons pas de travaux de recherche qui ont mis en avant la fusion de techniques incluant calcul NSC, co-design HW/SW sur FPGA, le tout appliqué au contexte IoMT. Nous avons considéré la compression et cryptage simultané d'images multiples comme cas d'étude. Le choix de ces traitements est justifié par la nécessité de compresser les images avant de les transmettre pour gagner en bande passante et en efficacité énergétique, en plus du besoin en chiffrement qui est devenu un des enjeux majeurs de ces dernières années.

4.2 Considérations algorithmiques et architecturales

Nous avons dédié un chapitre de ce manuscrit pour détailler les motivations et les contributions réalisées dans le domaine de la compression des images et de la vidéo. Nous n'allons pas reprendre ces notions, mais nous rappelons que le codage, décodage, téléchargement et transmission sont des fonctionnalités communes à tout noeud IoMT et qui nécessitent des efforts de conception particulier pour des réalisations faibles consommations. Rappelons aussi que la puissance totale consommée comprends deux parties : (i) une partie liée au traitement de la compression et décompression qui est fonction de

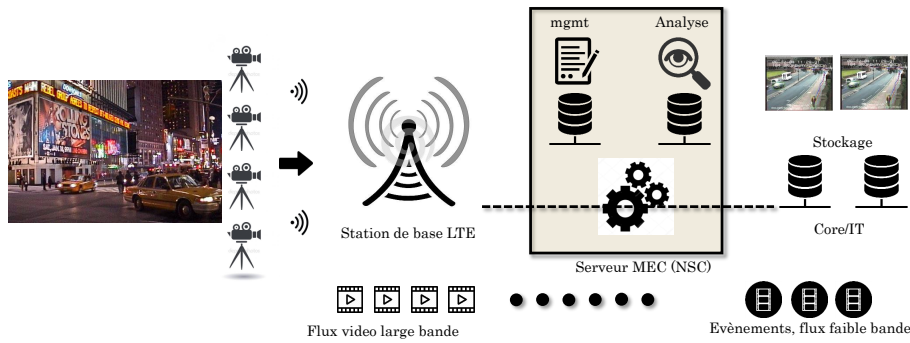


FIGURE II.5 – Cas d’utilisation d’analyse vidéo pour le calcul NSC.

la complexité du codeur d’image ou de vidéo, (ii) une partie liée à la transmission ou téléchargement qui dépend du débit binaire et par conséquent de l’efficacité du codec. Étant donné qu’il est devenu plus coûteux de transmettre une information binaire que de la traiter, il est nécessaire de compresser les images avec des méthodes de compression efficaces et légères comme développé dans le chapitre consacré à la compression vidéo.

D’un autre côté, il y a besoin de protéger le contenu multimédia. Une solution viable pour compresser et chiffrer plusieurs images simultanément a été développée par l’équipe VISION [115] et illustrée par la figure II.6. La méthode utilise la DCT appliquée à chaque image prise séparément, puis applique un filtrage spécifique dans le domaine spectral pour ne garder que les composantes à faibles fréquences. Les composantes spectrales gardées par le processus de filtrage sont fusionnées de façon aléatoire et pour fournir l’image compressée chiffrée. Une version améliorée de ce travail a été publiée dans [116] où les tailles de blocs après filtrage ont été adaptées à l’image à compresser utilisant le critère temps-fréquence du root-mean-square (RMS). Toutefois, il faut souligner que la réalisation directe de cette application dans le contexte NSC rencontre deux problèmes majeurs. Le premier est en lien avec les temps de calculs requis par les algorithmes de compression et de génération de clé. Comme dit précédemment, le calcul approximé permet de lâcher les contraintes sur les temps de calcul et sur l’efficacité énergétique. Mais, contrairement aux méthodes optiques dans lesquelles la DCT s’applique sur l’image entière, nous procédons au calcul de la DCT avec des zones carrées de tailles limitées. Le second problème, plus critique, est en lien avec la robustesse de la méthode contre des attaques statistiques et différentielles car l’algorithme de chiffrement est très simple et se base uniquement sur des mélanges de positions des composantes fréquentielles.

Il est bien connu que pour le chiffrement d’images, les méthodes traditionnelles basées sur les algorithmes DES, AES et RSA ne sont pas bien adaptées à cause des propriétés intrinsèques de l’image comme la corrélation des pixels voisins et les volumes importants des données. Ce sont les générateurs chaotiques qui ont été les plus utilisés dans ce contexte grâce à des propriétés qui permettent de renforcer la robustesse du chiffre-

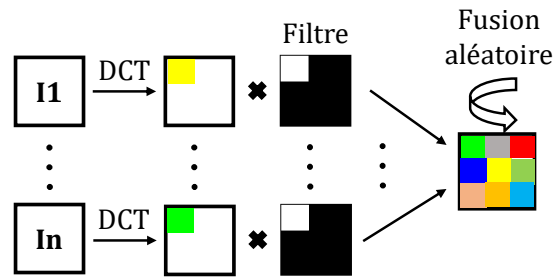


FIGURE II.6 – Schéma simplifié pour compression et chiffrement simultané.

ment comme la sensibilité aux conditions initiales et aux paramètres de contrôle, la non périodicité, le comportement déterministe, la largeur de l'espace des clés en plus de la faible de complexité de leur génération [117]. Ces propriétés ont permis aux générateurs chaotiques d'être adoptés dans des cryptosystèmes notamment ceux basés sur le principe de diffusion et confusion.

Nous avons utilisé deux générateurs chaotiques, Henon [118] et Skew Tent [119], pour construire un schéma de chiffrement basé sur la diffusion et confusion inspiré de [120]. Nous avons prouvé à travers des simulations appliquées à ce schéma l'amélioration de la robustesse du chiffrement contre diverses attaques comme brute force, statistiques, différentielles et plaintext. Enfin, pour concevoir la couche matérielle de la plateforme, une description matérielle des générateurs chaotiques a été faite conformément aux blocs diagrammes proposés pour chaque générateur, comme détaillé dans la figure II.7. Les constantes a , b et p sont les paramètres de contrôle et d'initialisation des générateurs en question. Notons que les modules reconfigurables sont conçus sous formes d'IPs pour la compression et le chiffrement : une IP pour compresser et chiffrer, une autre pour décompresser et déchiffrer. La compression a été développée avec l'outil Vivado HLS en se basant sur les algorithmes d'approximation de la DCT, alors que les algorithmes de chiffrement ont été décrits en VHDL. Les bus AXI ont été ajoutés aux deux IPs pour interconnecter les parties PS et PL.

4.3 Co-design HW/SW

La plateforme développée est composée de la carte ZedBoard pour l'évaluation du FPGA Zynq XC7Z020, de deux modules Émetteur/Récepteur Zigbee, deux écrans HDMI. L'utilisation des écrans HDMI est non appropriée pour le contexte IoMT, mais ce choix est fait pour ajouter des fonctionnalités de debug pour la conception du système, le contrôle de l'émission et de la réception et l'évaluation subjective des qualités d'images qui peuvent être altérées par les conditions de la transmission ou par la robustesse du chiffrement. Pour cet effet, l'écran est divisé en deux parties pour montrer les images d'entrée et les images générées : les images générées à l'entrée sont chiffrées, celles générées

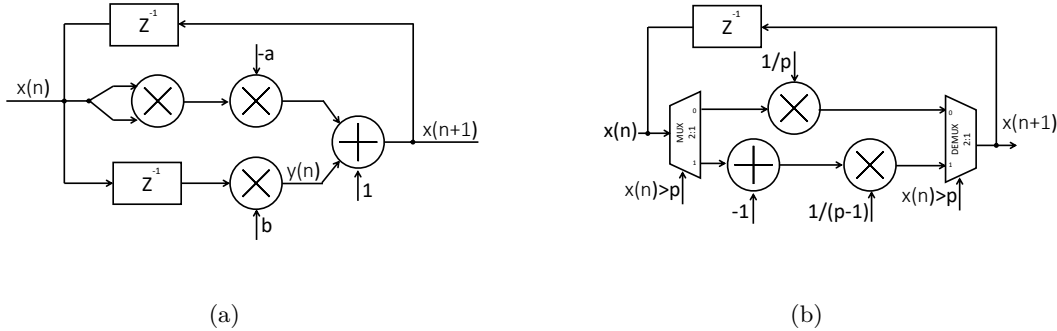


FIGURE II.7 – Blocs diagrammes proposés pour les générateurs chaotiques. (a) Henon, (b) Skew Tent.

à la sortie sont déchiffrés.

La transmission d'images est réalisée par des modules sans fils Xbee (module S6B) qui fournissent une connectivité en IEEE 802.11. Ces modules sont connectés physiquement à la ZedBoard à travers le Pmod E qui est connecté directement à la partie PS de la carte Zynq. Une liaison UART se charge de l'émission et de la réception des données entre les deux cartes.

La chaîne de traitement des images crypto-compressées se compose d'éléments qui sont implantés exclusivement sur la partie PS comme la gestion des modules Xbee, d'autres implantés exclusivement sur la partie PL comme la gestion de l'affichage qui se fait avec l'IP HDMI de Xilinx et d'éléments qui peuvent s'implanter aussi bien sur la partie logicielle que matérielle. Nous avons exploré le co-design HW/SW pour ces blocs et créé quatre configurations en translatant certains traitements de la partie PS vers la partie PL. Pour chaque configuration une évaluation des performances du système est réalisée afin de quantifier l'effet d'ajout de composants reconfigurables dans la partie PL. Ces configurations sont illustrées dans la figure II.8 pour l'émission (figure de gauche) et la réception (figure de droite) des images. La configuration Config1 est une réalisation purement software. Le chiffrement et la fusion sont ajoutés à la partie PL de Config2. La filtrage est incluse dans Config3 alors que l'approximation de la DCT est ajouté à la partie matérielle de Config4. La décomposition des images en blocs de taille 16×16 est réalisée dans la partie software puisqu'aucun opérateur de calcul n'est mobilisé pour ce traitement.

Une description détaillée de ces configurations en termes d'occupations de ressources matérielles est publiée dans [121]. La comparaison des différentes configurations montre que Config1 possède le moins de ressources matérielles aux niveaux de tous les éléments logiques reconfigurables : nombre de LUT (look up table), DRAM, registres, multiplexeurs, tuile BRAM et blocs DSP48. Ce résultat est attendu car Config1 n'implante en hardware que l'IP HDMI et les bus AXI. Par contre, avec Config4, l'utilisation des ressources matérielles de la ZedBoard atteint son maximum avec 17% de ressources utili-

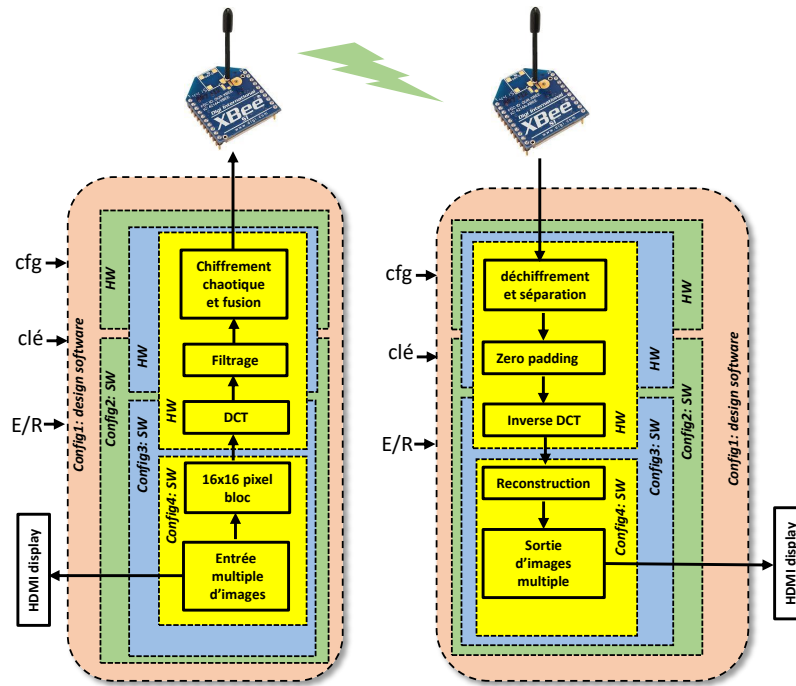


FIGURE II.8 – Bloc diagramme simplifié de la plateforme SCAM.

sées. De plus, l'estimation de la consommation de puissance pour Config4 qui inclue tous les traitements développés (DCT, IDCT, chiffrement avec les générateurs chaotiques, le filtrage et le zéro padding) est autours de 100 mW. Quant à la durée du chemin critique des traitements implantés sur la partie PL, il est de 2,25 ns pour toutes les configurations. Enfin, il faut noter que quand on utilise respectivement Config1 et Config4, les temps de calcul sont de 8.685 s et 897.28 ms. Ainsi, l'efficacité énergétique est de 213 nJ/bit quand tous les traitements sont réalisés dans la partie PL, soit 7,7 fois meilleur par rapport à Config1 dont l'efficacité énergétique dépasse $1,64 \times 10^3$ nJ/bit.

4.4 Extensions

Comme les ressources matérielles ne sont consommées que de l'ordre de 17%, il est possible d'enrichir cette plateforme avec de nouveaux traitements. En particulier, il est envisagé à court terme d'implanter des techniques de reconnaissance de formes et de visage et de ne communiquer que des informations sur le contenu de la scène comme expliqué précédemment. Il est aussi possible d'étendre la plateforme pour utiliser d'autres FPGAs qui permettent des moyens de calculs plus importants. Il est envisagé d'exporter cette plateforme vers une FPGA de la famille UltraScale pour gagner en nombre de ressources et en souplesse de développement.

Plus concrètement, la figure II.9 illustre les éléments que devrait intégrer un nœud

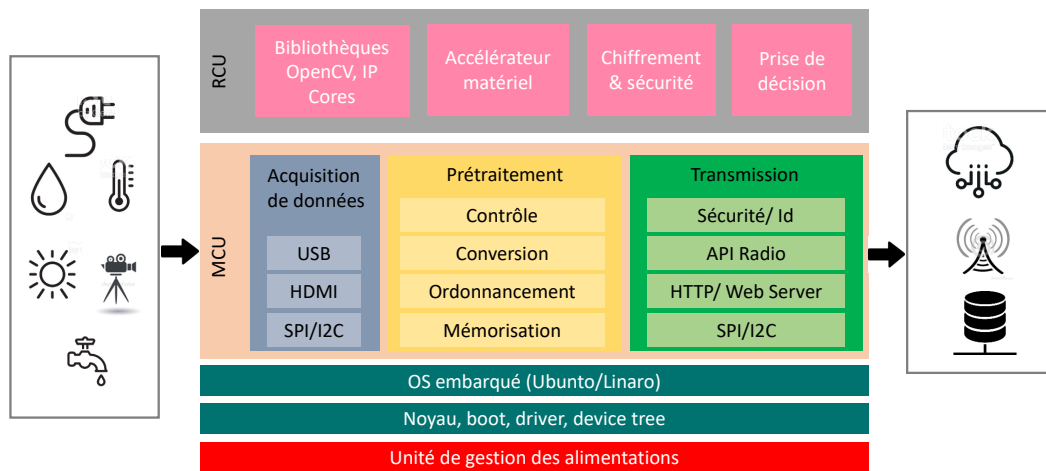


FIGURE II.9 – Extension de la plateforme existante.

IoMT pour l'extension de la plateforme existante. En plus de l'unité de gestion des alimentations et de la couche du noyau temps réel qui permet de booter le système, deux unités sont à considérer : la MCU (Microcontroller Unit) et la RCU (Reconfigurable Computing Unit). Concernant la première unité elle peut embarquer les traitements liés à l'acquisition des données, à leur prétraitement (conversion de format, ordonnancement, mémorisation, détection de flag, etc.) et à leur transmission vers les couches applicatives avec des moyens sécurisés. Pour l'unité de calcul reconfigurable, elle peut embarquer des traitements d'images disponibles dans des bibliothèques dédiées (OpenCV par exemple), ou sous formes d'IPs développées pour des traitements spécifiques à l'image de ce qui a été montré dans les sous-sections précédentes. La RCU et la MCU peuvent gérer la prise de décision en fonction des critères utilisés.

5 Conclusions

Le prototypage des techniques de traitement d'images est une thématique centrale dans les activités de recherche de l'équipe VISION. Elle se situe au dernier étage de l'organigramme des activités de recherche de l'équipe après les activités liées à l'acquisition et traitement optique de l'information et celles centrées sur la vision par ordinateur et l'intelligence artificielle. Nous avons détaillé dans ce chapitre un exemple d'algorithmes et d'architectures pour la reconnaissance de visage, avec en prime la proposition d'un schéma de reconnaissance de visage novateur, simplifié et plus robuste que les schémas classiques.

De plus, nous avons mis en place la plateforme SCAM basée sur la technologie FPGA

ZYNQ pour construire un nœud dans les réseaux de capteurs d'images et pour accélérer certaines fonctions de traitement d'images. Toutes les techniques étudiées et proposées ici ont été intégrées dans notre plateforme SCAM pour évaluer leurs performances. A court terme, cette plateforme sera enrichie par les travaux de thèse de Yassin Kortli avec l'intégration du schéma de corrélation simplifiée que nous avons proposé. Nous souhaitons également amener deux changements majeurs pour cette plateforme. D'abord, nous évoluerons vers l'utilisation des cartes UltraScale qui ont des ressources de calculs supérieures en nombre et en performances que celles disponibles dans la version actuelle. Ensuite, nous envisageons d'intégrer des fonctions de conscience par rapport à l'environnement en intégrant des outils comme la reconfiguration dynamique. En termes de ressources humaines, ces deux évolutions peuvent être possibles dans le cadre de la thèse ARED VISEMAR qui commence en Octobre 2018.

La deuxième plateforme qui a été mise en place concerne la conception d'une passerelle utilisée dans le contexte IoMT. Contrairement aux nœuds IoMT qui doivent être légers, la passerelle peut réaliser un certain nombre de traitements afin d'envoyer des informations sur le contenu de la scène. Ce gain de bande passante se traduit par des avantages en efficacité énergétique au niveau du système. Enfin, nous avons présenté des piste d'extension de cette plateforme pour accompagner les demandes du calcul NSC.

Conception de couches PHY des systèmes de télécommunications

1 Introduction

Les activités décrites dans ce chapitre concernent nos contributions dans le domaine conjoint des télécommunications et des systèmes embarqués. Il s'agit de domaines à spectre large nécessitant des compétences en algorithmes de traitement de signal, architectures matérielles en plus de connaissances sur les systèmes de télécommunications et leurs évolutions. C'est tout naturellement que cet axe a été considéré dans mes travaux de recherche de par ma formation en tant qu'ingénieur en télécommunications et de mon sujet de thèse dont la thématique centrale traitait l'étude, la modélisation et la correction des erreurs de disparités des convertisseurs analogique numérique entrelacés dans le temps (TIADCs pour Time-Interleaved Analog to Digital Converters). L'objectif de la thèse a été l'optimisation du compromis vitesse/résolution des TIADC tout en gardant une puissance consommée assez faible afin de concevoir des CAN rapides qui répondent aux besoins des nouvelles tendances des systèmes de télécommunications comme celles de la radio logicielle (SDR). Ces demandes se situent essentiellement aux niveaux de l'augmentation de la fréquence d'échantillonnage (afin de permettre une numérisation au plus proche de l'antenne), réduire le nombre des fréquences intermédiaires et profiter des avantages du traitement numérique. Les contributions de mes travaux de thèse concernaient la modélisation des CANs, la correction d'erreur et la mise en place d'une plateforme de test (ADCLab). Les méthodes de correction d'erreur proposées devaient maintenir les cadences d'échantillonnage des CANs. Des architectures reconfigurables et pipelinées basées sur des filtres adaptatifs, comme le filtre de gradient stochastique LMS et de moindres carrés récurrents RLS, ont été proposées et implantées sur des FPGA.

Le dénominateur commun des activités menées aujourd'hui dans cet axe concerne l'utilisation des technologies reconfigurables pour proposer des architectures performantes et ultra-faible consommation. En effet, les activités liées à cet axe se déclinent sous la forme de trois thèmes qui sont : (i) la conception d'IPs pour les algorithmes de traitement de signal, (ii) le dimensionnement et la conception de couches physiques pour les récepteurs acoustiques et (iii) la mise en place de solutions IoT. Aujourd'hui, les objets connectés ne sont plus une promesse. Chaque semaine les industriels produisent un nombre croissant de petits objets connectés et intelligents pour des marchés diversifiés et variés. D'ailleurs, les marchés traditionnels se décloisonnent ce qui permet le développement de nouveaux marchés liés principalement à la santé, les villes et à l'industrie.

La conception d'objets connectés profite de l'engouement qu'il y a derrière l'intérêt pour l'IoT, mais de façon surprenante, elle souffre de l'hétérogénéité des solutions, des protocoles et des plateformes causés par l'absence de label et de certification électronique.

Nous présentons dans ce chapitre des cas d'études liés à ces thèmes. Le premier concerne le concept du design reuse appliqué aux IPs de traitement de signal pour des implantations sur des architectures reconfigurables. Ces travaux ont été menés dans le cadre d'un projet de recherche collaboratif avec l'entreprise Interface Concept un des leaders européens de fabrication de cartes électroniques à base de FPGA. Une application de guerre électronique a été mise en place pour évaluer les performances de l'IP FFT proposée. Le deuxième cas d'étude traite le dimensionnement d'une chaîne de réception acoustique et l'optimisation du front-end numérique. Ces travaux ont été menés dans le cadre du projet FUI ASEMAR pour la conception d'un véhicule autonome marin (AUV) pour des applications de sécurité et de surveillance maritime. Le troisième cas d'étude est centré sur la réalisation de solutions IoT pour des applications médicales (maintien à domicile des personnes âgées) et industrielles pour l'accompagnement des entreprises dans leur transformation digitale.

2 Design reuse

2.1 Définition et intérêt du concept

Les fabricants de composants FPGA ont réussi à faire de ces derniers les circuits incontournables pour l'implantation d'algorithmes de traitement de signal et d'images. Le gap très connu qui sépare la complexité de la conception et la productivité a nécessité la création de nouvelles méthodes et approches de conception. Ce fait, qui est dû en partie aux densités d'intégration en constante augmentation, a été managé par des méthodes de conception avancées permettant des implantations efficaces (élévation du niveau d'abstraction, reconfiguration dynamique) ainsi que par la possibilité d'utiliser des fonctions préconçues et personnalisables conduisant par la même occasion à l'augmentation des techniques de conception à base de blocs préconçus, appelés aussi cores ou encore IPs pour « Intellectual Property ». Cette solution a été largement adoptée par les concepteurs de circuits et systèmes numériques afin de faire face à la complexité des applications pour des systèmes sur puce et d'assurer leurs flexibilités. Les conséquences directes liées à ces tendances sont visibles sur le métier de conception de firmware qui se trouve scindé en deux parties : d'un côté les concepteurs d'IP « Intellectual Property » qui par des optimisations algorithmiques et architecturales proposent des blocs de traitements efficaces et flexibles. D'un autre côté, les utilisateurs d'IPs qui par un travail de configuration et d'assemblage conçoivent des systèmes embarqués complexes, mais avec des temps de développement raisonnables. Pour ces derniers, le temps de conception est principalement consacré, en plus de l'assemblage et l'adaptation, au développement de parties innovantes en s'appuyant sur le principe de la réutilisation des IPs.

Aujourd'hui, pour développer des systèmes complexes, les concepteurs font face au choix entre une conception complètement nouvelle ou une autre basée sur des composants

existants. Dans plusieurs cas, il est moins cher de partir sur des blocs existants et de les assembler pour créer un nouveau système. Ce processus de réutiliser et d'adapter des composants existants s'appelle design reuse. On peut distinguer deux sortes de blocs dans le design reuse. Les premiers sont des composants pris des bibliothèques sous formes de fonctions figées paramétrables. Les deuxièmes sont à réutiliser à partir de conceptions existantes. Les nouvelles chaînes d'outils de conception encouragent ces démarches en mettant en oeuvre des moyens pour packager des blocs, les documenter et les interfacier avec des bus de données génériques.

Une nouvelle forme du design reuse est la virtualisation des FPGA qui un processus lancé dernièrement par Xilinx en collaboration avec Amazon (solution AWS EC2 F1) permettant aux concepteurs d'utiliser des IPs propriétaires, mais aussi de mettre à disposition d'autres concepteurs leur propre IP en les partageant sur le Cloud AWS d'Amazon. Ceci permet de créer des applications complexes à base d'accélérateurs matériels dédiés disponibles dans le cloud. On parle désormais de calcul élastique¹ dans le sens où les ressources sont fournies et utilisées autre part. De plus, la solution AWS EC2 F1 ne permet pas uniquement de réutiliser des blocs matériels, mais aussi de créer des solutions complètes (accélérateur matériel, composants logiciels pour l'acquisition et le contrôle, OS et bus d'interconnexion), de les enregistrer sous formes d'un Amazon FPGA Image (AFI) et de les déployer sous forme d'instance dans le cloud. Il est clair que le fait de mettre à disposition de la communauté des développeurs ses propres accélérateurs matériels contribue à la visibilité, la réutilisabilité voire à la commercialisation des solutions développées. Un autre intérêt majeur pour cette démarche est la mise à disposition de plateforme matérielle composée de deux à huit FPGA UltraScale+ en 16 nm, chacun contient 2 millions de cellules logiques et plus de 5000 blocs DSP programmables.

Indépendamment de la source, la conception d'IP implique des considérations supplémentaires pour préparer le bloc à être réutilisé. Il est alors nécessaire de fournir une documentation détaillée, d'utiliser des interfaces standardisées et de fournir des codes bien commentés. De plus, pour garantir un niveau de flexibilité élevé, l'IP doit être générique notamment au niveau du choix des entrées/sorties, des tailles et des types des données. L'IP doit être décrite avec un langage de description matérielle comme le VHDL avec des choix de syntaxes sans aucune dépendance aux outils de conception [122].

Quel que soit la forme et la fonction, les IP sont classées en fonction de leur flexibilité en trois groupes [122] :

- les Soft-cores : sont connus par leurs flexibilité et facilité d'utisation. Ils sont des blocs décrits dans un langage de description matérielle synthétisable. Leur implémentation a été vérifiée. Ils sont fournis sans garanties de performances et présentent des failles de sécurités importantes. Ils sont indépendants de toute technologie et sont donc très souples d'utilisation.
- les Hard-cores : sont des blocs complètement implantés et vérifiés. De plus, les vendeurs fournissent les layout et les modèles de simulation RTL. Les fonctionnalités, propriétés et performances sont prédictibles, mais les blocs sont difficilement

1. L'élasticité des calculs est une des voies de développement des prochaines solutions de Xilinx connues sous le nom de « adaptive compute acceleration platform » (ACAP).

modifiables et ne sont pas portables.

- les Firm-cores : sont à base de description RTL après optimisation en surface et en vitesse. Les performances du core en termes de consommation énergétique et de surface sont obtenues suite au process floorplane. Le core est présenté sous forme implémentée, mais peut être porté sur d'autres technologies avec quelques limitations.

Par ailleurs, il faut noter que les outils de conception permettent un accès à une offre d'IP très riche pour des fonctions de traitement de données allant des opérateurs arithmétiques aux codeurs entropiques en passant par les multiplications matricielles, les filtres et les transformées du signal. Toutefois, ces IPs propriétaires ne sont pas portables ni commercialisables gratuitement par les fabricants des cartes d'évaluation des FPGA. C'est pour répondre cette problématique que s'inscrit notre relation avec un des leaders européens de fabrication de cartes d'évaluation, l'entreprise Interface Concept qui a financé les travaux de thèse de Yousri Ouerhani en collaboration avec l'ISEN Brest. L'objectif de ces travaux est de concevoir et d'intégrer des blocs de traitements dans les cartes d'évaluation commercialisées par Interface Concept. Nous nous sommes focalisés sur l'implantation d'IPs de traitement de signal, tels que l'IP de la transformée de Fourier rapide (FFT) et, dans un degré moindre, la transformée en cosinus discret (DCT) et le filtre à réponse impulsionnelle finie (FIR).

2.2 Conception d'IP FFT

2.2.a Algorithmes existants

D'un point de vue purement mathématique, la transformation fait correspondre un ensemble de fonctions vers un autre ensemble de fonctions et s'accompagne souvent d'une complexité de calcul assez élevée. Parmi les transformations existantes, la transformation de Fourier vient en pole position quand il s'agit d'expliquer l'intérêt d'une transformation d'un signal. Elle permet de voir le signal sous un autre angle (angle spectral) pour l'analyser, le décomposer ou extraire ces propriétés. Depuis sa découverte par le mathématicien et physicien français Joseph Fourier (1768-1830), la transformée de Fourier a été utilisée dans plusieurs applications allant de la détection des signaux radars pour la guerre électronique à la reconnaissance des formes à base de descripteurs de Fourier appliqués aux images en passant par les communications numériques avancées comme pour les modulations multi-proteuse des systèmes MiMo.

La théorie du traitement numérique du signal a permis d'adapter la transformée de Fourier sur un nombre fini d'échantillons donnant lieu à l'algorithme de Transformée de Fourier Discrète (DFT). Pour un signal discret de N échantillons, la DFT $X(k)$ est définie par l'équation III.1 :

$$X(k) = \sum_{n=0}^{N-1} x(n)e^{\frac{-2j\pi nk}{N}} \quad (\text{III.1})$$

avec $n, k \in [0, N - 1]$. L'équation (III.1) peut être représentée sous forme d'une multiplication matricielle utilisant des facteurs de rotation W_N^n définis par $W_N^n = e^{\frac{-2j\pi n}{N}}$. Le

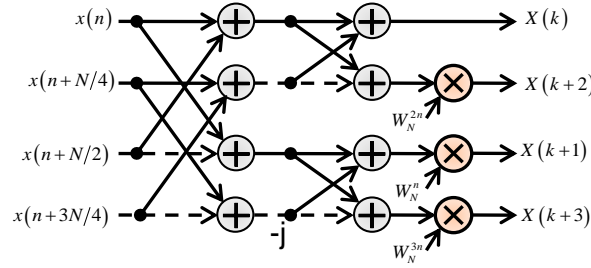


FIGURE III.1 – Structure de calcul du radix-4 en décimation de fréquence.

calcul de la DFT pour un signal complexe à N échantillons nécessite N^2 multiplications complexes et $N(N-1)$ additions complexes. Par conséquent, l'implantation de cet algorithme sur des composants électroniques nécessite un nombre d'opérateurs arithmétiques élevé. L'utilisation des propriétés de symétrie des facteurs de rotation a permis à Cooley et Tukey [123] de proposer l'algorithme de la FFT et de réduire la complexité algorithmique de calcul de la DFT de $O(N^2)$ à $O(N \log N)$. Suite à cette proposition, plusieurs algorithmes ont été proposés dans la littérature afin d'optimiser le temps de calcul et réduire davantage la complexité d'implantation de la DFT. Parmi ces algorithmes, nous citons à titre d'exemple radix-4 [124], Split Radix [125], radix-8 [126], prime factor [127], en plus d'autres algorithmes hybrides à bases de ceux cités précédemment.

L'étude des différents algorithmes a été réalisée afin d'évaluer la complexité matérielle en termes de nombres d'opérateurs arithmétique, des tailles mémoires, du nombre d'entrées sorties et des latences relatives qui sont liées aux nombre d'étages de calcul. L'algorithme à base de décomposition radix-4 avec décimation de fréquence qui calcule la FFT sous forme de 4 transformées indépendantes de taille $\frac{N}{4}$ a été retenu. Il s'agit d'une succession de $\log_4(N)$ étages de $\frac{N}{4}$ éléments de traitement (PE) où N est une puissance de 4 représentant le nombre d'échantillons constituant le signal considéré. Le nombre d'opérations requis par cet algorithme est de $3 \log_4(N)$ multiplications complexes et $8 \log_4(N)$ additions complexes.

En plus des algorithmes, plusieurs architectures ont été envisagées comme la réalisation directe, récursive et étendue (ou parallèle). La comparaison entre ces architectures est illustrée dans le tableau III.1, avec T_A et T_M désignant respectivement le temps d'une addition et d'une multiplication. La latence présentée dans le tableau III.1 représente une valeur approximative du temps écoulé entre l'arrivée de la première donnée et l'obtention de la première sortie. Il est montré que l'architecture récursive présente une latence N fois plus importante que celle de la réalisation directe. Quant à l'architecture pipeline, elle présente un meilleur compromis surface/rapidité.

	Multiplieurs	Additionneurs	Latence	Mémoires
Réalisation directe	$\frac{3N}{4} \log_4(N)$	$\frac{8N}{4} \log_4(N)$	$\log_4 N (2T_A + T_M)$	0
Architecture récursive	3	8	$N \log_4 N (2T_A + T_M)$	N
Architecture pipeline	$3 \log_4(N)$	$8 \log_4(N)$	$N(2T_A + T_M)$	$N \log_4(N)$

TABLE III.1 – Comparaison entre des architectures de réalisation de la FFT.

2.2.b Techniques d'optimisations proposées

Les performances soulignées précédemment pour la réalisation pipeline s'expliquent par le calcul de la FFT à travers un nombre d'étages limité. Toutefois, il y a besoin d'éléments de mémorisation dans chaque étage, ce qui pose problème de surface pour des tailles de FFT importantes. Les éléments de mémorisations sont nécessaires pour stocker temporairement les résultats intermédiaires des différents étages avant leurs utilisations par les étages qui les succèdent. Une architecture pipeline à base de partage de mémoire a été proposée dans les travaux de thèse que nous avons encadrée en relation avec l'entreprise Interface Concept. La figure III.2 illustre le bloc diagramme. Il est montré que le calcul de la FFT est divisé en $\log_4(N)$ étages, chaque étage est composé d'un seul bloc Radix-4 (contrairement à d'autres réalisations dans lesquelles on duplique $\frac{N}{4}$ blocs radix-4). Comme dit plus haut, la dépendance des données entre les différents étages exige la sauvegarde des sorties après chaque étage. Une mémoire est alors nécessaire à chaque étage pour sauvegarder les sorties élémentaires. Afin de réduire la taille et le nombre de mémoires, nous avons proposé d'utiliser conjointement deux techniques. La première est le calcul in-place pour le premier étage de la FFT qui consiste à utiliser une seule mémoire de taille N points complexes à partager entre le premier et le deuxième étage. Cette optimisation est liée au fait que les deux étages n'utilisent pas les mêmes données en mêmes moments. La deuxième porte sur le partage et la division des mémoires entre les différents étages. En effet, les mémoires embarquées sont à un ou deux ports d'écritures. Cependant, comme nous utilisons l'algorithme Radix-4, il est nécessaire d'effectuer 4 accès simultanés à la mémoire. Par conséquent, les mémoires utilisées doivent être divisées en 4 mémoires dans un premier temps, puis divisées de façon graduelle dans le sens où plus on avance vers les étages de sortie, plus la taille mémoire requise est faible. Des détails sur les tailles mémoires et le processus de leur division sont expliqués dans notre article [128]. Il faut souligner également qu'avec ces modifications la gestion des générateurs de coefficients, des mémoires et des instants de début de calcul s'est complexifiée ce qui a nécessité la mise en place d'une unité de contrôle conséquente.

2.3 Validations, tests et mesures

2.3.a Validations matérielles et fonctionnelles

Les bornes limites de latence relative et de complexité algorithmique pour l'architecture proposée ont été calculées et comparées favorablement avec les résultats de l'état

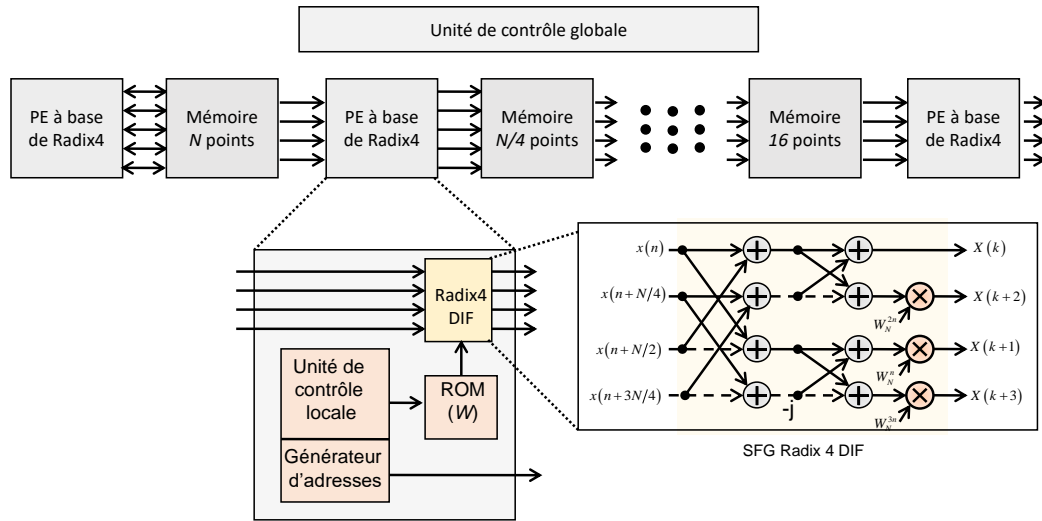


FIGURE III.2 – Bloc diagramme de l'IP FFT proposée.

de l'art récent. Il en va de même pour les résultats d'implantation matérielle de l'IP proposée qui ont été comparés avec plus d'une dizaine de travaux cités dans la thèse de Yousri Ouerhani [129]. Plus particulièrement, les produits surface et temps de propagation induits par l'architecture proposée ont été réduits considérablement. Quand l'IP FFT de Xilinx est prise comme référence, les rapports surface débit montrent l'avantage de l'IP proposée. Pour certaines tailles de FFT, un ratio d'environ $5x$ a été obtenu. Les divisions en micro-mémoire et le partage de certaines mémoires ont permis de réduire la surface consommée, alors que le calcul parallèle utilisant 4 sorties en même temps a contribué à l'augmentation des débits. Toutefois, il est important de souligner que l'avantage majeure de notre IP par rapport à celle de Xilinx est l'utilisation de sorties parallèles. Certes les comparaisons réalisées ont pris comme référence la version la plus rapide de l'IP de Xilinx (version streaming), mais il faut noter que l'IP de Xilinx en question a été produite en 2011 et que depuis d'autres versions plus robustes ont été mises sur le marché.

En plus des paramètres d'évaluation de l'efficacité matérielle, la qualité des résultats obtenus après transformation a été évaluée. Il faut savoir que les entrées de la FFT sont codées en virgule fixe, des troncatures sont nécessaires afin de maintenir la dynamique des sorties et des signaux intermédiaires. Ces troncatures peuvent affecter la précision des sorties de la FFT en introduisant du bruit de quantification. Il est ainsi nécessaire d'évaluer ce bruit de quantification. Plusieurs travaux ont traité le bruit causé par la troncature des opérateurs pour des valeurs à virgule fixe utilisées dans les transformations orthogonales tels que FFT [130], DCT [131] et filtres FIR [132]. Notre objectif dans cette section est d'évaluer les effets de troncatures liées à l'architecture proposée. Les troncatures ont été réalisées uniquement pour les multiplications. En effet, les entrées

sont codées sur n bits. Le calcul de chaque élément de calcul PE engendre une augmentation de 2 bits. Cette augmentation est due au fait que le PE à base de Radix-4 contient une cascade de 2 additionneurs, chacun introduit un dépassement de 1 bit. Concernant l'étape de multiplication, les valeurs de facteurs de rotation sont comprises entre 0 et 1. Par conséquent la multiplication par ces facteurs n'augmente pas la dynamique de la sortie du multiplieur. Pour cette raison, nous avons supposé que les entrées et sorties à chaque bloc multiplieur ont la même taille. Si nous supposons que le facteur de rotation est codé sur c bits, le résultat de la multiplication s'écrit naturellement sur $c + n$ bits. La troncature se fait en gardant que les n bits les plus significatifs. Par conséquent, les sorties d'une FFT de taille N points sont codées sur $n + 2\log_4(N)$ bits, où le terme $\log_4(N)$ représente le nombre d'étages. Le paramètre RSBQ (Rapport Signal à Bruit de Quantification) a été calculé en référence à une sortie FFT 'théorique' (codée sur 64 bits) appliquée à un signal sinusoïdal. Des évaluations du RSBQ pour différentes tailles de FFT et différentes tailles d'entrées ont été faites et ont montré que le RSBQ dépend du nombre d'étages de calcul parcourus et par conséquent de la taille de la FFT. En effet, en augmentant la taille de la FFT le nombre de troncatures augmente, le bruit dû à la quantification augmente et par conséquent le RSBQ diminue. De plus, en augmentant la taille des entrées, la précision est meilleure et par conséquent le RSBQ augmente. Il a été montré que l'erreur quadratique moyenne entre les sorties 'théoriques' et celles de l'IP proposée pour une FFT de taille 256 points est d'environ 1% pour un nombre de bits $n = 12$ bits.

2.3.b Tests et mesures

Outre les validations fonctionnelles sur carte à travers l'analyseur logique embarqué de Xilinx (ILA de la chaîne ChipScope), un banc de test a été mis en place pour l'évaluation des performances de l'IP proposée dans un contexte de numérisation du signal, comme montré dans figure III.3.(a). Le banc est composé entre autres d'un générateur de signal, un synthétiseur d'horloge, un Quad CAN permettant de numériser 4 entrées simultanément et de délivrer 4 sorties chacune sur 16 bits et d'un FPGA embarquant l'IP FFT. Les sorties sont récupérées sur ordinateur via JTAG et analysées.

Un intérêt a été porté pour la mesure de puissance de l'IP proposée avec pour objectifs : (i) évaluer la consommation de puissance réelle, (ii) comparer les valeurs de puissances mesurées avec celles de l'IP Xilinx et (iii) estimer l'écart entre les valeurs mesurées et celles données par l'outil Xpower de Xilinx pour l'estimation de la consommation de puissance. Un banc de test pour la mesure de puissance a été mis en place comme montré dans la figure III.3.(b). Il est composé de d'une carte d'évaluation d'un FPGA Virtex-6 SX 315 T liée à un appareil de mesure de puissance (CPX 400A DUAL 60V 20A).

Pour une mesure précise de la puissance consommée, nous avons évalué dans un premier temps la puissance à vide du FPGA. Cette mesure est faite pour déterminer la consommation statique du FPGA qui est obtenue suite à l'implantation d'un compteur. Ensuite, sachant que la puissance dynamique mesurée est sensiblement inférieure à la puissance statique, la mesure de puissance pour un seul traitement peut être imprécise

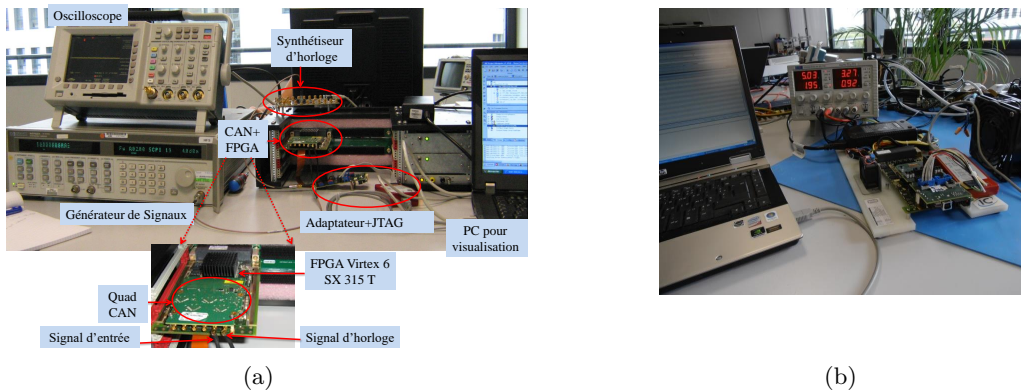


FIGURE III.3 – Banc de tests et mesures. (a) pour l'évaluation fonctionnelle d'une chaîne de numérisation, (b) pour la mesure de puissance.

car elle peut se situer dans la marge d'erreur. Nous avons procédé à une duplication du traitement considéré dans la carte FPGA pour augmenter la valeur de la puissance dynamique totale qui est engendrée par les traitements dupliqués. La puissance consommée par un traitement est alors déduite par division sur le nombre de duplications.

Les mesures ont été réalisées pour différentes tailles de FFT. Les entrées des FFT ont été produites avec l'IP DDS qui génère des signaux numériques. Pour des besoins de débogage et de contrôle, les sorties des FFT ont été connectés avec ChipScope pour s'assurer du bon fonctionnement de l'IP. La puissance à vide du FPGA étant mesurée à 9,8085 W. L'IP FFT de taille 16 points a été dupliqué 100 fois pour couvrir tous les éléments logiques du FPGA. Le courant ainsi fournit est égal à 2.42 A ce qui engendre une consommation de puissance totale de 12.1726 W et une puissance dynamique (après soustraction de la puissance à vide) unitaire (après division par le nombre de duplications) égale 23,4 mW. Les mesures de puissance ainsi réalisées sur différentes tailles de FFT sont illustrées dans la figure III.4. Les valeurs de mesure obtenues sont sensiblement identiques entre l'IP proposée et celle de Xilinx.

2.4 Exemples d'applications

Étant donné le contexte industriel du financement de ces travaux, il est évident que les d'applications traitées soient définies en partie par l'entreprise qui finance ces travaux en relation avec ses clients. Comme l'entreprise Interface Concept développe un modèle économique qui la différencie de la concurrence en vendant des cartes d'évaluation des FPGA avec des IP non proposées par les fabricants des FPGA, elle porte un intérêt majeur pour l'utilisation de ces FPGA chez ses clients. C'est pour des raisons d'anticipation qu'elle s'est intéressée à développer une preuve de concept liée à la guerre électronique qui est une thématique centrale pour le marché visé. La guerre électro-

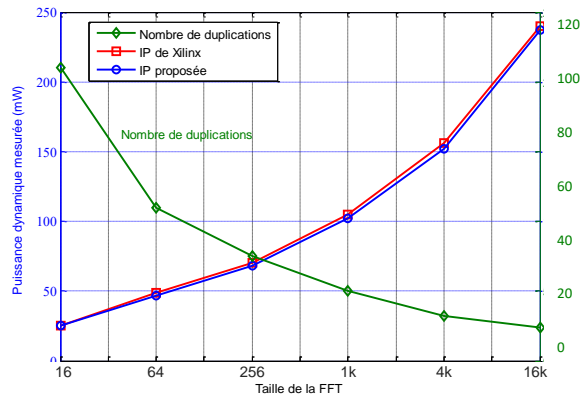


FIGURE III.4 – Consommation de puissance dynamique par l’IP proposée et celle de Xilinx pour différentes tailles de FFT.

nique est vue comme ensemble d’opérations qui visent à acquérir la maîtrise du spectre électromagnétique, avec trois composantes : le renseignement d’origine électromagnétique, l’attaque électromagnétique et la protection électronique. Pour le renseignement d’origine électromagnétique il s’agit de systèmes passifs chargés de détecter, localiser et identifier les émetteurs présents dans l’environnement par l’interception des ondes électromagnétiques. On parle alors d’ESM (Electronic Support Measures), de détecteurs de radars ou encore de toute électronique qui permet de voir sans être vu.

L’objectif principal des ESM est la description de l’environnement électromagnétique de la cible qui les transporte en transformant les bandes de fréquences acquises du domaine temporel au domaine fréquentiel. De plus, la mise en place de la détection et de la caractérisation nécessite l’utilisation préalable de FFT. La preuve de concept pour la détection et caractérisation emploie une DDS pour générer des signaux sinusoïdaux, une FFT suivie d’algorithme de calcul du maximum et de recherche d’indice, le tout implanté sur un FPGA. Ainsi, de façon aveugle, les traitements implantés sur FPGA permettent de détecter la présence de signaux d’autrui en comparant leur amplitude à celle d’un seuil qui peut être calé sur le paramètre SFDR (Spurious Free Dynamic Range) du CAN propre à l’ESM.

Une autre application de l’utilisation des FFT a été développée pour faire la reconnaissance de visage à base de corrélation spectrale. Il est vrai que les techniques de traitement d’images ont été vues dans le chapitre II, mais il est intéressant de montrer comment avec la réutilisation des IPs il devient facile (ou rapide) de passer d’une représentation 1D à une autre en 2D. Il est connu qu’un moyen simple pour calculer une FFT 2D appliquée à une image consiste à appliquer une FFT 1D sur les lignes suivie d’une FFT 1D sur les colonnes des résultats de la première étape. Ainsi, il est possible de calculer une FFT 2D à base de FFT 1D. Deux architectures ont été envisagées et

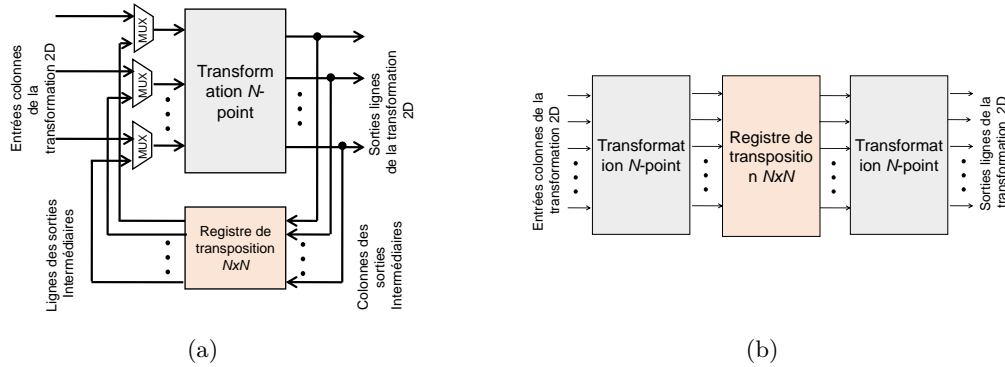


FIGURE III.5 – Illustration du concept design reuse pour FFT 2D à base de FFTs 1D. (a) architecture réursive, (b) architecture parallèle.

implantées, l'une réursive (figure III.5/(a)) nécessitant peu de surface, l'autre parallèle (figure III.5/(a)), plus gourmande en surface, mais dispose de performances en rapidité intéressantes. Il faut noter que quel que soit l'architecture employée, une mémoire de transposition est nécessaire pour stocker les résultats intermédiaires. De plus, l'architecture réursive emploie des multiplexeurs pour différencier le calcul du premier étage de la FFT qui prend les pixels de l'image comme entrées, du calcul du deuxième étage de la FFT qui prend comme entrée les sorties du premier étage de la FFT. C'est pour cette raison que l'architecture parallèle permet d'envisager la reconnaissance de visage sur un flux vidéo en faisant fonctionner les deux FFT 1D de manière entrelacée. Les résultats d'implantation sur un FPGA Virtex5 SX95T utilisant des images 256×256 et des entrées codées sur 8 bits montrent que que la FFT 2D parallèle consomme 64 bloc BRAM, peut fonctionner à une fréquence avoisinant les 300 MHz, ce qui permet de faire une corrélation spectrale en 0,105 ms.

3 Couche physique pour récepteurs acoustiques

3.1 Contexte du projet FUI ASEMAR

La sécurité maritime consiste principalement à prendre en compte les risques inhérents à la navigation en mer. L'un des enjeux de la navigation en mer est d'assurer une communication efficace entre les systèmes sous-marins et de leur permettre de réaliser leur opérations en mer en embarquant de plus en plus de traitements. Les communications entre un navire et un système sous-marin peuvent se faire deux manières : filaire à travers l'échange par un câble dont la connexion est réalisée par un ROV, ou non filaire par propagation d'onde. Comme les ondes radios sont très rapidement absorbées par le milieu aquatique², les communications sous-marine sans fils sont essentiellement basées

2. à part les ondes TBF qui nécessitent des transducteurs de trop grande dimension pour être embarqués sur des navires ou des véhicules sous-marins

sur les ondes acoustiques. Le milieu marin disperse temporellement les ondes générées par les phénomènes de réflexion et de réfraction et les absorbe selon leur fréquence, ce qui empêche les modems acoustiques de communiquer sur une échelle suffisante. Concevoir des chaînes de réception efficiente a été et sera encore un enjeu important pour les opérations maritimes.

L'objectif du projet ASEMAR est de réaliser un prototype d'AUV (Autonomous Underwater Vehicule) spécialisé dans la surveillance permettant la détection d'objets sur des zones étendues. En plus de l'aspect fonctionnel, le projet ASEMAR vise à atteindre des performances inégalées et discriminantes. Ainsi, un haut niveau d'autonomie est exigé pour améliorer les activités de navigation, de perception et de décision. De plus, le drone autonome doit permettre d'une part, une grande capacité d'imagerie pour avoir une grande visibilité de l'environnement sous-marin et d'autre part une haute résolution d'image pour la reconnaissance d'objets. Enfin, l'AUV à réaliser doit tenir compte des aspects évolutifs dans le domaine de surveillance maritime avec une attention particulière pour la détection d'objets enfouis et d'objets dans le volume. Les lots de travaux sous la responsabilité de l'ISEN Brest ne s'intéressent pas aux aspects traitements d'images, mais plutôt à l'électronique embarquée pour la réception. Dans ce projet, notre tâche consiste à renouveler les chaînes d'acquisition électroniques situées en aval de l'acoustique des AUV. Les partenaires industriels du projet souhaitent tirer profit de l'évolution technologique en utilisant des ADC plus performants (16 à 18 bits) et en réduisant les consommations de puissance à travers notamment l'utilisation des FPGAs. De plus, le traitement et prévention des obsolescences est un autre objectif à atteindre à travers le remplacement de certaines briques de base qui commencent à dater dont l'ASIC CELTIC (Complex dEmoduLaTion Integrated Circuit).

La partie numérique de la chaîne de réception comprend le synthétiseur numérique (appelé aussi DDS pour Direct Digital Synthesizer), le changement de fréquence pour les canaux acoustiques, les cascades des filtres de sélection de canal et le système de collecte de données. L'application typique consiste à faire un changement de fréquence du signal de bande limitée. La sélection de la bande est accompagnée par une décimation et un centrage autour de la composante DC. Le changement de fréquence est réalisé par une multiplication des signaux d'entrée par une fréquence générée par la DDS sur deux voies : la in-phase (I) et la quadrature phase (Q). Les signaux obtenus sont filtrés avec une cascade de filtres pour éliminer les signaux indésirables puis rassemblés par le collecteur de données pour les envoyer aux couches supérieures.

Le traitement des obsolescences revient à remettre à plat toute l'architecture de réception. Il est vrai que l'aspect confidentiel du projet ne nous permet pas de divulguer des détails techniques qui peuvent nuire aux porteurs du projet. Toutefois, nous pouvons affirmer, sans plus de détails, que l'architecture de réception considérée dans le projet ASEMAR a permis d'alléger le nombre de blocs dans la partie analogique et de choisir un CAN avec des performances plus élevées en résolution et fréquence d'échantillonnage. Ces changements dans la partie analogique et bande de base ont des répercussions directes sur tous les composants du front-end numérique (filtre, DDS et collecte des données).

3.2 Conception du front-end numérique

La nouvelle chaîne de réception doit permettre une modularité des filtres FIR (idéalement avec des coefficients à définir par l'utilisateur) et des performances d'intégration plus intéressantes. Cependant, le changement de la résolution du CAN engendre une augmentation de la taille mémoire de la DDS. De même, l'augmentation de la fréquence d'échantillonnage pose des contraintes matérielles sévères aux niveaux des filtres FIR. De plus, le nouveau système doit être capable de traiter une bande de fréquence d'entrée plus large et de fournir une dégradation du facteur de bruit inférieure à 0,2 dB (ceci impose notamment des contraintes sur le cadrage de la dynamique des signaux entre l'étage analogique et l'étage de numérisation). En termes de densité d'intégration, comme le CELTIC embarque le traitement de 4 canaux acoustique dans le même circuit, la réalisation sur FPGA du nouveau système doit, à minima, garder ces mêmes ratios.

3.2.a Architecture innovante de DDS

La DDS fonctionne sur le principe de création d'un signal sinusoïdal à partir d'échantillons, non pas en faisant varier leur vitesse d'apparition, mais en faisant varier leur nombre et ce à vitesse constante. La DDS est souvent constituée d'un accumulateur de phase et d'un convertisseur phase/amplitude. L'accumulateur de phase est réalisé à partir d'un additionneur et d'un registre de mémorisation. Sa sortie (valeur numérique codée sur i bits) représente la phase instantanée du signal à synthétiser. À chaque période d'horloge, le mot de contrôle de la fréquence (MCF) est ajouté à la valeur précédemment stockée dans le registre de phase. Il représente l'incrément de phase entre deux points successifs du signal de sortie. La continuité de la phase d'une période par rapport à la suivante est obtenue systématiquement par le comptage implicitement cyclique de l'accumulateur de phase. Le convertisseur phase/amplitude transforme la phase instantanée en signal d'amplitude, souvent à travers l'utilisation de ROM de transcodage.

Pour une meilleure résolution des signaux générés par la DDS, la taille de la ROM de transcodage pose problème. Ceci est d'autant plus important que la résolution du CAN a augmenté ce qui nécessite de revisiter l'algorithme de la DDS. Pour réduire la taille de la ROM, deux approches ont été étudiées [133, 134]. La première applique des approximations polynomiales à base de décomposition des séries de Taylor pour la fonction sinus, ce qui permet de réduire la taille mémoire. Ces réductions sont réalisées d'abord en exploitant les symétries des fonctions trigonométriques qui permettent d'avoir un ratio de réduction égale à 4. Ensuite, les approximations polynomiales des différentes méthodes proposées dans la littérature peuvent conduire à des réductions de taille de ROM avec un rapport cumulé d'environ 160. Malheureusement, ces approximations restent insuffisantes pour des résolutions spatiales élevées. La deuxième approche de réduction de taille de ROM est basée sur l'algorithme CORDIC (COordinate Rotation DIgital Computer) avec lequel les ROM statiques sont remplacées par un calcul dynamique des fonctions trigonométriques. Mais, qui dit calcul, dit latence à prendre en compte et fréquence maximale de fonctionnement en baisse.

Une architecture hybride a été proposée pour tirer profit des avantages des deux ap-

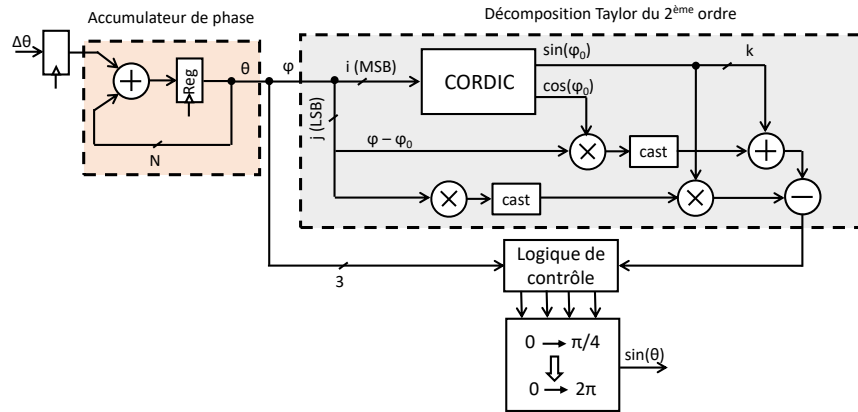


FIGURE III.6 – Schéma bloc de l'architecture DDS proposée à base de CORDIC et de décomposition en série de Taylor.

proches [64]. La première optimisation est obtenue en s'appuyant sur les symétries des fonctions trigonométriques. Contrairement aux approches conventionnelles qui utilisent 2 MSB pour représenter le quadrant occupé par $\pi\theta$, nous avons proposé l'utilisation de 3 MSB pour déterminer si l'angle générée se trouve dans la partie haute ou basse du quadrant. Ainsi, une conversion est obtenue de l'espace $0 \rightarrow \frac{\pi}{4}$ à $0 \rightarrow 2\pi$ ce qui permet d'avoir des tailles de ROMs divisées par 8 et de réduire le nombre d'étages requis par l'algorithme CORDIC. De plus, nous avons utilisé les décompositions des séries de Taylor et remplacé les deux ROMs nécessaires (pour calcul du sinus et cosinus) par l'algorithme CORDIC. Suite à ces modifications, la génération des fonctions trigonométriques nécessite des entrées sur i bits et non plus sur $N = i + j + 3$ bits. En effet, grâce à la décomposition de l'angle $\varphi = \frac{\theta}{8}$ en φ_0 et $\varphi - \varphi_0$, l'algorithme CORDIC est utilisé pour calculer $\sin(\varphi_0)$ comme indiqué dans la figure III.6. Des opérations de contrôle de dynamique ont été incluses pour gérer les tailles des vecteurs intermédiaires en relation avec les opérateurs arithmétiques.

Les résultats de simulations sur des données d'entrée de 20 bits montrent les bonnes performances de la DDS en termes de qualité de signal généré. Une erreur relative inférieure à 6.10^{-9} est obtenue ce qui permet d'avoir un taux SFDR d'environ 115 dB, comme indiqué dans la figure III.7. De plus, les résultats d'implantation matérielle montrent que l'utilisation de l'architecture proposée permet de gagner plus de deux fois de ressources en comparaison avec l'algorithme CORDIC.

3.2.b Étage de filtrage et décimation

L'ancienne structure de l'étage de filtrage comprend un filtre FIR d'ordre très important nécessitant de la mémoire pour sauvegarder les coefficients et des ressources arithmétiques pour calculer les sorties du filtre. Cette contrainte s'est intensifiée pour

3. COUCHE PHYSIQUE POUR RÉCEPTEURS ACOUSTIQUES

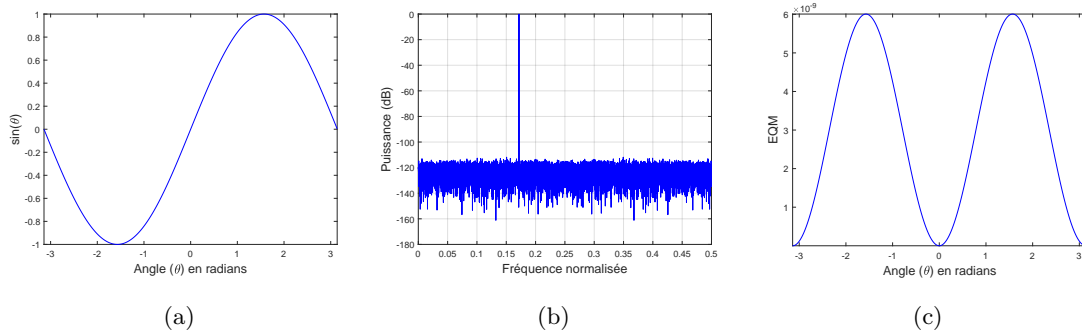


FIGURE III.7 – Évaluation fonctionnelle de la DDS proposée. (a) sortie $\sin(\theta)$ calculée par l’algorithme proposé, avec $\theta \in [-\pi, +\pi]$, (b) spectre de sortie de la DDS, (c) erreur relative de $\sin(\theta)$, avec $\theta \in [-\pi, +\pi]$.

la nouvelle chaîne de réception car les changements de la résolution du CAN, de sa fréquence d’échantillonnage et l’augmentation de la bande de fréquence des signaux d’entrée font qu’il devient plus complexe d’implanter ce filtre avec peu de ressources. La solution proposée pour le projet ASEMAR se base sur la conception d’un étage de filtrage et de décimation. La décimation d’un facteur M consiste à retenir un échantillon sur M . Évidemment, à cause du repliement de spectre, il ne suffit pas de supprimer brutalement $(M - 1)$ points, mais à effectuer une moyenne de tous les échantillons récupérés pendant une période correspondant à la fréquence de Nyquist. Cette opération permet de ramener la fréquence d’échantillonnage à une fréquence proche de la fréquence de Nyquist. Au final, les données issues du filtrage sont décimées afin de réduire le débit d’information. Cette opération peut être effectuée au cours du filtrage, en plusieurs étapes successives ou tout à la fin. Plusieurs possibilités peuvent donc être envisagées pour dimensionner cet étage en prenant en compte le nombre de filtres, le rapport de décimation globale et entre les étages ainsi que les contraintes fonctionnelles telles que l’atténuation dans la bande, la bande de transition et l’ondulation dans la bande du filtre.

Pour réduire considérablement la complexité de calcul, nous avons employé un filtre CIC (Cascade Integrator and Comb) à l’entrée de l’étage de filtrage. D’un point de vue structurel, le filtre CIC revient à une cascade d’intégrateurs et d’accumulateurs séparés par une décimation. Pour filtrer d’avantage le signal acoustique et réduire la bande du signal utile, nous avons employé deux filtres demi-bande. Un filtre demi-bande est un cas particulier d’un filtre FIR qui présente la particularité d’avoir des coefficients symétriques par rapport au coefficient central qui vaut 0,5, en plus d’avoir un coefficient sur 2 égale à 0. Pour des besoins d’ordres élevés, le choix des filtres demi-bande est pertinent car il permet d’avoir des pentes de bandes de coupure assez raides sans pour autant consommer beaucoup de ressources.

Pour l’implantation matérielle, deux architectures de filtres ont été étudiées qui sont à base de la structure directe et la structure polyphasée. Mais, pour réduire davantage les

consommations en surface, car il s'agit d'intégrer le plus de canaux dans le même carte, il a fallu entreprendre des optimisations à un niveau plus bas en lien avec les opérateurs arithmétiques. Il ne s'agit pas de réduire la dynamique des données car auquel cas des dégradations en qualité vont être observées, mais de changer le codage des constantes utilisées pour les opérations de multiplication. Habituellement, le codage binaire est considéré pour multiplier un vecteur par une constante ce qui requiert un nombre de produits partiels important. L'utilisation du codage CSD (Canonical Signed Digit) est une alternative qui consiste à représenter toutes constantes dans la base ternaire avec les symboles $\{-1, 0, 1\}$. En effet, il a été démontré dans [66] qu'avec le codage CSD le nombre de produits partiels passe de $\frac{N}{2}$ à $\frac{N}{3}$ pour des constantes représentées sur N bits. De plus, un autre critère important pour la représentation des nombres CSD est l'unicité de la représentation ce qui permet d'aboutir à des structures unifiées. Enfin, pour optimiser l'implantation de l'étage de filtrage nous avons employé la technique de partage d'éléments communs comme expliqué dans la section 3.1.b du chapitre I. Les similitudes entre les différentes représentations des coefficients sont relevées et mises en commun pour réduire les latences et la consommation de ressources matérielles. Les résultats de synthèse de l'étage de filtrage et de la DDS montrent une occupation de surface d'environ 50% des ressources disponibles dans un FPGA d'entrée de gamme comme la cible Xilinx 3s500efg320. L'implantation de ce front-end numérique sur un Virtex-6 montre qu'il est possible d'intégrer 6 canaux acoustiques dans le même FPGA. Par ailleurs, il faut savoir que nos travaux se sont arrêtés à ce niveau pour des raisons de confidentialité. Les équipes de Thales que nous avons formées sur la prise en main des outils utilisés et du flot de conception du front-end numérique se sont chargées d'adapter les coefficients des filtres et les valeurs de DDS en lien avec la partie analogique. En 2016, l'AUV ASEMAR a fait des essais en mer.

4 Réalisations et prospections pour des solutions IoT

4.1 Contexte

Un virage technologique majeur est en train de se produire autour de l'Internet of Things (IoT) pour connecter tout ce qui n'est pas connecté. Ceci signifie que les objets non connectés actuellement à un réseau d'ordinateurs, à savoir Internet, seront connectés de telle sorte qu'ils peuvent communiquer et interagir avec des personnes et avec d'autres objets. L'IoT est considéré comme une transition technologique avec laquelle les circuits permettent de capturer et de contrôler le monde physique à travers des objets intelligents et connectés entre eux avec un objectif ultime consistant à offrir de nouveaux services et d'améliorer le confort et la sécurité, au quotidien.

Il a été collectivement admis que l'âge de l'IoT remonte à l'année 2008. Depuis, le nombre d'objets connectés ne cesse de croître pour dépasser en 2016 la population mondiale. On parle alors de révolution de l'internet, la quatrième, après les échanges de mails, le paiement électronique et l'avènement des réseaux sociaux et du cloud. Du côté des commutés de standardisation, l'IoT a été défini dans la Recommandation UIT-T

Y.2060 [135] comme étant une infrastructure globale pour la société de l'information. Dans les rapports de l'UIT, l'IoT est défini comme nouveau type d'infrastructure qui permet d'offrir des services avancés en interconnectant des objets (physiques et/ou virtuels). Cette interconnexion est rendue possible grâce à l'exploitation des capacités d'identification, de capture de données, de traitement et de communication, pour permettre à l'IoT une utilisation complète et optimisée des objets afin d'offrir des services à différents types d'applications [136], tout en assurant des exigences de sécurité et de vie privée.

Les projections à court terme et le potentiel d'impact des solutions IoT sont impressionnants. Avec plus de 14 billions d'objets connectés aujourd'hui, nous sommes qu'à un ratio de 0,06% par rapport au nombre total d'objets (connectés et non-connectés). Cisco prédit qu'en 2020 ce nombre atteint 50 billions, d'autres entreprises et gouvernements spéculent sur un nombre beaucoup plus important. Ceci montre l'engouement qu'il y a derrière cette technologie et les attentes sur plusieurs secteurs.

4.2 Un nouveau paradigme pluridisciplinaire

L'IoT est par définition un concept à l'interconnexion entre plusieurs domaines : de la physique pour les capteurs, de l'électronique pour l'assemblage des composants et la fabrication de cartes, de l'informatique pour les couches supérieures, du réseau, systèmes embarqués, techniques de traitement de signal, en plus des spécificités liés aux domaines d'applications qui ne sont pas moins variés. Les développements entrepris dans cet axe de recherche, nécessitent des mises à niveau dans plusieurs domaines qui s'accompagnent souvent par des doutes et des mises en questions. Par exemple, on se demande assez souvent quelle architecture réseau choisir ? Idem pour le type de nœud et de gateway, le langage ? la plateforme matérielle et logicielle, le service à fournir pour une application bien déterminée. En somme, plusieurs doutes (avec peu de certitudes) qui peuvent se justifier par la diversité des solutions et applications et par la nouveauté du domaine.

4.2.a Architecture du réseau

La définition d'une architecture IoT est différente de celle des réseaux IT classiques car les contraintes liées à l'IoT sont plus complexes. Une des différences clés entre ces deux architectures est la donnée. Les réseaux IT sont concernés par le support fiable et continu pour des applications et des systèmes spécifiques, alors qu'un réseau IoT s'intéresse principalement à la génération des données par le capteur, le transport, l'analyse et l'action rapide sur le réseau. D'autres différences peuvent être citées comme l'échelle massive des réseaux IoT en termes de nombre de nœuds, la sécurité des objets IoT souvent exposés au monde extérieur, les contraintes matérielles des circuits utilisés (en termes d'efficacité énergétique, de puissance de calcul, capacité mémoire débit radio), les volumes des données générées qui peuvent causer des congestions dans les réseaux, le besoin d'analyse des données en temps-réel et les contraintes liées à l'assemblage de blocs physiques et de protocoles propriétaires non-certifiés et hétérogènes.

Plusieurs tentatives de définition d'architectures IoT ont été lancées. L'ETSI a défini en 2008 une architecture pour les communications M2M qui peut être étendue pour

inclure l'IoT. L'IoT World Forum (IoTWF) dirigé par plusieurs entreprises dont Cisco et IBM a introduit en 2014 une architecture de référence composée de 7 couches. De ces architectures a émergé une architecture simplifiée en 3 couches : la couche physique (objets : capteurs et actionneurs), la couche réseau (réseau d'accès (LoRa, PLC, etc.), gestion (CoAP, MQTT) et gateway), et la couche application pour l'analyse et les applications verticales spécifiques.

Nos travaux de recherche liés à cet axe sont pluridisciplinaires et se focalisent sur les 3 couches simultanément. En effet, naturellement, nous avons porté un intérêt pour la couche physique car les contraintes matérielles pour ces composants sont problématiques, mais pour des applications industrielles et de transfert technologique, il y a nécessité de maîtriser toute la chaîne : l'objet, la gateway, le standard de communications, le transceiver, l'agrégation des données, en plus des couches supérieures applicatives et des algorithmes d'analyse de données.

La difficulté de conception de la couche physique vient des contraintes matérielles sévères, notamment celles qui portent sur l'efficacité énergétique. En plus, les cas d'utilisation diverses et variés font qu'il convient de concevoir des nœuds qui correspondent à une multitude d'applications. Dans ce sens, il faut savoir que les marchés traditionnels se décroissent ce qui amène à la notion du smart world et ce qui nécessite par la même occasion l'assemblage des composants flexibles. Selon l'INSEE et Eurostat, la France, dans ce secteur, s'en sort bien puisqu'elle occupe la 1^{ère} place du classement européen pour les services de production électronique [137]. Certes, le problème de l'assemblage de briques est lié à l'absence d'architecture certifiée et sécurisée, mais leur utilisation dans des travaux de recherches académiques permet d'aboutir rapidement à des preuves de concept afin de mettre en valeur des prototypes développés.

4.2.b Architecture du nœud et de la gateway

L'architecture électronique du nœud IoT que nous proposons est composée de 4 éléments : les capteurs et actionneurs pour interagir avec le monde extérieur, l'unité de traitement et de mémorisation, l'unité de communications et l'unité de gestion d'énergie. Comme expliqué dans le chapitre II, l'unité de traitement comprend un microcontrôleur pour les opérations d'échanges de données avec les capteurs et le transceiver, ainsi qu'un FPGA pour toutes opérations nécessitant une accélération des calculs. Ce choix revient à une efficacité énergétique améliorée et semble bien adapté aux nœuds IoT, surtout si nous utilisons des FPGA faible consommation comme celles du fabricant Lattice. Aujourd'hui, nous nous sommes contentés de faire des preuves de concept s'appuyant sur des cartes d'évaluations de FPGA Xilinx.

En effet, pour les aspects consommation d'énergie, il est connu que la répartition classique du budget énergétique pour un nœud IoT comprend deux parties : une première pour la composante radio avec une consommation de 30 à 70 mW, et une deuxième pour l'unité de traitement avec une consommation de 5 à 10 mW [138]. Pour développer une plateforme IoT efficiente en énergie, des efforts de conception peuvent être entrepris à trois niveaux. D'abord, au niveau matériel, l'utilisation du co-processing Hard/soft a démontré des avantages dans ce sens pour plusieurs applications. La récupération de

l'énergie électrique à travers des moyens en lien avec l'application envisagée est une alternative intéressante. Il a été démontré que même les bactéries sont pourvoyeuses d'énergie car, vivantes, elles fournissent une photosynthèse qui permet de récupérer de l'énergie électrique. Le deuxième niveau d'optimisation concerne exclusivement la partie radio afin de gérer au mieux l'activité des trancivers. Les résultats les plus connus dans cet axe concernent les processus de wake-up radio. Les recherches que nous menons n'ont pas pris en compte cet aspect, mais l'utilisation de certains types de modules tranciver comme ceux de LoRa Alliance permet de mettre en valeur cet effet. Enfin, le troisième niveau d'optimisation concerne la réduction des puissances transmises. Souvent, la réduction de la puissance d'émission se traduit par une portée affaiblie. Pour résoudre ce problème, l'utilisation des techniques de traitement de signal et de communications numériques avancées (cas des codes correcteurs d'erreurs) est conseillée. Ici, les trois niveaux d'optimisation n'ont pas pris en compte la réduction des quantités d'information à transmettre avec des algorithmes de compression efficaces et dont l'implantation matérielles est légère, comme détaillé dans les chapitres I et II.

Un autre volet pour nos travaux de recherche dans cette thématique concerne la conception et la mise en place de gateway pour un réseau IoT. En effet, à cause de l'hétérogénéité des solutions des transmissions radio (ZigBee, NBIoT, LoRa, etc.) et du nombre croissant des nœuds IoT dans un réseau, il y a besoin de traitements intermédiaires (logiciels et matériels) entre les objets et le cloud. Ces traitements maintiennent une connexion fonctionnelle, robuste et sécurisée pour acheminer les données collectées vers les couches supérieures. Dans ce contexte, nous avons employé des gateway LoRa pour des activités d'enseignements. De plus, nous avons développé notre propre gateway appliqué aux données multimédia, comme illustré dans le chapitre II.

4.2.c Positionnement

De par la diversité des contraintes et des composants logiciels et matériels, nous nous sommes positionnés au niveau système. Certes, dans nos travaux, une importance majeure est donnée à la couche physique, mais les développements réalisés dans les autres couches sont conséquents. En effet, le modèle économique de la recherche à l'ISEN Yncréa Ouest est basé en partie sur le transfert technologique. Les PME qui s'intéressent à développer des activités en lien avec l'IoT s'attendent à un intérêt financier qui passe par l'amélioration des chaînes de productions par exemple. On comprend bien que l'optimisation d'un composant IoT ne suffit pas. Le retour sur investissement des entreprises avec lesquelles nous collaborons n'est atteint qu'avec un système IoT complet qui répond à des besoins spécifiques des entreprises.

Outre les entreprises, l'ensemble de composants décrits précédemment (noeud, gateway, architecture) en plus de la couche applicative de gestion de données et de lancement d'alerte, a été évalué dans une plateforme liée à la santé au sein du Living-Lab (que nous avons participé à son développement) de l'ISEN Yncréa Ouest. Il s'agit de montrer l'apport des solutions à base d'IoT dans le contrôle des activités des personnes âgées. Le but du projet est le développement d'une application pour rendre compte de l'activité d'une personne dans un environnement indoor. Cette application permettra d'une part

de générer des bilans concernant le temps de sommeil, l'habillage, le nombre de repas pris par jour, la présence de la personne dans l'environnement surveillé, le temps passé dans la salle de bain, les toilettes, etc. D'autre part, l'application pourra rappeler à la personne ses rendez-vous, la prise de ses médicaments, l'heure du repas ainsi que celle du couché. La finalité du système est de contrôler les activités de la personne âgée et de moduler le type d'assistance dont elle a besoin. La réalisation de ce système en cours de développement nécessite l'utilisation de capteurs à bas coûts tels que les capteurs de contact et les contrôleurs de consommation d'énergie ainsi qu'une caméra connectée. Les réflexions actuelles concernent l'utilisation d'une unité de calcul centralisée ou distante ainsi que les contraintes de connectivité.

4.3 Intégration de l'IoT dans l'industrie 4.0

4.3.a Argumentaire technique et scientifique

Pendant des années, les usines traditionnelles ont été désavantagées par les environnements de production déconnectés ou à connexion limitée aux systèmes d'informations d'entreprise, aux chaînes d'approvisionnement, aux clients et aux partenaires. Les gestionnaires de ces usines traditionnelles font face au manque de visibilité dans leurs opérations. Par conséquent, il est souvent difficile de rectifier les problèmes du temps d'arrêt, les problèmes de qualité et les causes profondes des diverses inefficacités de fabrication. L'enjeu premier que peut offrir un environnement d'usine connecté est l'augmentation de la productivité. Ceci passe par plusieurs éléments comme : l'accélération de l'introduction de nouveaux produits et services pour répondre aux opportunités des clients et du marché, l'augmentation de la qualité et de la disponibilité des installations tout en réduisant les coûts, l'atténuation des temps d'arrêt imprévus (qui gaspillent en moyenne au moins 5% de la production) et la sécurisation des usines contre les cybermenaces.

Face à ces ambitions, le constat général que nous pouvons dresser aujourd'hui est que les industriels font face à de nombreux défis pour passer des PoC à des réalisations concrètes et opérationnelles. La complication que nous citons en premier lieu est le fait que ces défis doivent souvent être traités dans différents services de l'entreprise dans lesquels les priorités ne sont pas les mêmes. La direction générale recherche de nouveaux moyens de fabriquer de manière plus rentable avec une priorité absolue pour le développement de produits. Les directeurs d'usine sont entièrement concentrés sur les gains d'efficacité de l'usine et la souplesse opérationnelle. Le département contrôle qualité mise sur une visibilité complète sur tous ces systèmes [139]. En résumé, les pratiques et organisations métiers sont difficiles à changer et constituent un premier frein pour le développement de l'usine connectée. Ensuite, d'autres complications viennent s'ajouter comme : la manque de développement d'offre capteurs pour les industries lourdes (les capteurs existants sont difficilement interfaçables avec d'autres composants (microcontrôleurs, trancivers, etc.) comme pour les différents domaines d'applications), l'hétérogénéité des technologies et de leur niveau de maturation dans chaque étape de chaîne de fabrication, en plus des contraintes réglementaires qui viennent perturber les règles du jeu et complexifier les choix technologiques [140].

Comme dans le cas des solutions IoT pour la santé évoqué précédemment, il existe un grand nombre de capteurs non-connectés dans les usines. Cependant, avec l’IoT, ces capteurs deviennent plus intelligents³, avancés et atteignent également un nouveau niveau de connectivité. Les communications avec ces capteurs sont faites principalement en utilisant le protocole Internet (IP) sur une infrastructure Ethernet existante. En plus des capteurs, les appareils installés dans l’usine ont intégré des capacités à transmettre et à recevoir de grandes quantités de données d’information et de diagnostic en temps réel. La connectivité Ethernet est en train de devenir omniprésente et de se répandre au-delà des principaux contrôleurs d’une usine vers des appareils tels que les robots, les caméras vidéo et les objets de diagnostic. Ainsi avec l’IoT de véritables connexions «machine à personne» sont mises en œuvre pour apporter les données de capteur directement aux opérateurs sur le sol via des appareils mobiles. On ne perd plus de temps à aller et venir entre les salles de contrôle et l’usine : les décisions peuvent être prises immédiatement pour améliorer la production et résoudre tout problème de qualité.

Bien que l’IoT est considéré comme une évolution de l’Internet, elle suscite également une évolution dans l’industrie. On parle alors de la 4^{ème} évolution de l’industrie suite aux trois premières liées à l’assistance mécanique, la production de masse et l’introduction de l’automatisation par des moyens électroniques. L’IoT dans la fabrication offre la possibilité d’intégrer de l’intelligence dans les usines. Cela commence par la création d’objets intelligents, ce qui implique d’intégrer des capteurs, des actionneurs et des contrôleurs dans à peu près tout ce qui concerne la production. Les connexions lient le tout pour que les personnes et les machines travaillent ensemble pour analyser les données et prendre les décisions adéquates. Finalement, cela conduit à des machines prédisant les défaillances, réduisant le nombre de pannes et augmentant la durée de vies des machines existantes.

Pour donner un exemple de l’état d’avancement actuel de l’usine 4.0, il faut savoir qu’en France, de grands acteurs misent sur l’IoT pour améliorer leur performance, à l’image de la SNCF qui vise 10 à 30% de réduction des coûts de maintenance des matériels et des voies en déployant des capteurs IoT sur l’ensemble du réseau SNCF (50 000 km de voies, 2 200 systèmes d’aiguillage). Un vaste plan d’investissement pour mettre en place la maintenance prédictive avec près de 300 millions d’euros qui permettra d’économiser 537 millions d’euros jusqu’à 2020. Néanmoins, à part le cas SNCF, la plupart des industriels sont en phase exploratoire car ils hésitent à passer à l’échelle et se contentent aujourd’hui de foisonner de nouvelles idées et de mettre en place des expérimentations.

4.3.b Cas d’étude : projet CASTEL

Pour se rendre compte des défis qui entourent le développement de l’IoT industriel, rien ne vaut une illustration avec un cas concret. Le projet CASTEL entre ISEN Yncréa Ouest et l’entreprise Castel29 (concepteur de systèmes de manutention de produits pour les secteurs agro-industriels, agricoles) est un travail commun dont le but ultime est d’accompagner l’entreprise dans sa transformation digitale vers une usine intelligente. Ceci

3. le terme intelligence dans ce contexte renvoie vers des capteurs qui puissent communiquer les données acquises, avec éventuellement une étape de prétraitement

se matérialise à terme par la numérisation des process de production permettant ainsi d'améliorer la productivité de l'entreprise. Dans ce cadre, nous cherchons à proposer à Castel29 des solutions technologiques innovantes lui permettant d'apporter de la plus-value à ses produits et de se démarquer des concurrents. Ce travail nécessite dans un premier temps la compréhension, l'analyse et le dimensionnement du besoin de Castel29 et de ses clients. Dans ce cadre, nous proposons dans une phase initiale d'engager des travaux de 5 mois qui se déclinent sur deux volets. Le premier lot concerne la conception d'un prototype pour numériser l'environnement de Castel29 (sous forme de preuve de concept). Dans ce lot, nous envisageons d'équiper l'entreprise Castel29 d'un réseau miniaturisé d'objets connectés pour donner accès continue à l'environnement de l'usine et à des sites (objets) stratégiques de l'usine. Le réseau d'objets connectés à concevoir est composé de capteurs d'environnement, connectés à un ordinateur qui acquiert les données des capteurs et les transmet à un concentrateur relié à un serveur informatique. Le serveur permet de stocker les informations et assure un accès à distance aux données des capteurs. Le serveur, concentrateur et ordinateur peuvent être fusionnés dans un même matériel (de façon transparente) qui se matérialise par une carte électronique. Les données à acquérir sont diverses et variées : la température (-40° à $+80^{\circ}$), l'humidité, la luminosité, la pression atmosphérique, la pression d'un fluide, la moisissure (dans le sol, ou ailleurs), la qualité de l'air (taux de CO_2), la teneur de l'environnement en certains gaz, la vitesse du vent, la présence de flammes, le niveau de couleurs d'une zone cible, la distance par rapport à un obstacle, les lignes droites dans un objet ou un environnement, les mouvements, le niveau sonore, les vibrations, le niveau d'eau, les coordonnées gps d'un objet en mouvement, ainsi que des caméras. Des réunions avec les techniciens métiers sont prévues dans le but de voir quels types de capteurs sont à prioriser dans un premier temps et quelle plateforme intégrée d'IoT est à développer dans un court terme. Les données seront accessibles de façon responsive avec une cadence et une portée à définir avec Castel29. Plus tard, quand la profondeur des données le permet, nous utiliserons les données acquises pour proposer de nouveaux services comme la maintenance prédictive basée sur des algorithmes d'apprentissage. Le deuxième lot de ces travaux est en lien avec la veille technologique sur l'IoT industriel et la définition d'un plan d'action. Dans ce lot, nous mènerons une étude bibliographique sur des expériences, projets et solutions disponibles chez des industriels afin de définir les nouveaux services à proposer pour Castel29. Ces services compléteront la liste de service que Castel29 a pu définir en concertation avec ses clients.

Aujourd'hui, au moment de la rédaction de ce manuscrit, les travaux dans le cadre de ce projet avancent à grands pas. L'un des points clés a consisté au choix de l'architecture du réseau d'objets connectés. L'architecture à déployer doit répondre à deux besoins importants : l'évolutivité et l'accessibilité. Elle doit être évolutive pour permettre l'ajout de capteurs associés à des microcontrôleurs en cas de besoin. Ceci permet de répondre aux besoins de l'entreprise après la fin des travaux engagés dans le cadre de cette collaboration. De même, l'architecture du réseau doit fournir l'accès à tout moment et de n'importe quel lieu aux données fournies par les capteurs. L'architecture qui a été validée est une architecture en étoile dans laquelle les capteurs liés aux microcontrôleurs seront

disposés dans l'entreprise dans des sites stratégiques, non loin des sites de production. Un autre choix a concerné le nœud de collecte des données. Nous avons opté à des microcontrôleurs avec des alimentations fixes (choix de l'entreprise) et des communications locales en WiFi. Une possibilité d'intégrer des fonctionnalités de communications en LoRa avec la conception de gateway LoRa est en cours d'étude. Parmi la liste des capteurs intégrés, le capteur de luminosité a suscité plus d'intérêt à cause de la législation en vigueur relative à la densité de lumière pour les travailleurs dans les usines. De plus, le capteur de particules (poussières) a nécessité des phases d'adaptation pour être en conformité avec les taux de concentration de $1\mu\text{g}/\text{m}^3$ indiqué par le fabricant. Ce capteur donne une indication sur la qualité de l'air et permet de prévenir des incendies en détectant des taux de concentration de poussières élevés. Les développements à envisager visent à agir sur la chaîne de production pour améliorer l'efficacité de l'entreprise. Ceci passe par la définition d'information pertinente de la chaîne de production que l'entreprise souhaite acquérir et connaître en temps-réel pour envisager des actions par la suite. La maintenance prédictive est au centre de ces évolutions.

4.4 Prospection dans le cadre de la chaire IoT

4.4.a Présentation de la chaire IoT

Les chaires ISEN sont des outils au service du développement de l'établissement. Elles se déclinent sous les volets académiques, recherche, valorisation, transferts de technologies et création d'entreprises innovantes. Elles sont créées en partenariat étroit avec des industriels, des centres de recherche et des partenaires universitaires notamment pour le volet des écoles doctorales. L'ensemble de ces partenariats renforce la visibilité de nos activités de recherche et permet de solliciter plus aisément les pouvoirs publics pour bénéficier de subventions.

La chaire IoT du groupe ISEN est co-fondée avec des partenaires industriels comme Gemalto et le Crédit mutuel pour le co-financement, CEA Tech comme partenaire pour la recherche et IBM comme partenaire académique. Avec ces partenaires dont les compétences et centres d'intérêts sont complémentaires, l'un des objectifs est de participer au montage et à la coordination des projets.

4.4.b Projet SIOT PARI

Nous avons participé avec des collègues du laboratoire Le2I de l'Université de Bourgogne à l'appel à projets « amorçage de projets de recherche » dans le cadre du plan d'actions régional pour l'innovation (PARI). Le projet est intitulé : Sécurité de bout en bout dans un environnement Internet des Objets : application au domaine de l'e-santé et des villes intelligentes. Notre candidature à cet appel à projet a passé le premier niveau de sélection et a échoué dans le deuxième. Nous comptons par la suite améliorer notre proposition pour conduire un travail collaboratif pour la sécurité des systèmes se basant sur l'IoT. Les challenges peuvent concerner plusieurs volets que nous décrivons dans ce qui suit :

1. Assurer les services de sécurité (confidentialité, authentification, intégrité, etc.) et les aspects relevant de la vie privée (privacy issues) dans un environnement IoT. Les travaux menés dans le cadre de ce projet permettront d'identifier les services de sécurité concernés ainsi que les défis de recherche correspondants afin de proposer des solutions dans le cadre d'un Framework ou d'une architecture à spécifier afin de garantir ces services de sécurité.
2. Proposer une approche multicouches pour une offre globale de sécurité avec des mécanismes spécifiques à chacune des couches de l'environnement IoT. Ainsi, les mécanismes de sécurité qui seront proposés au niveau de la couche la plus basse dans ce type d'infrastructure à savoir la couche « Sensing » doivent prendre en considération les contraintes éventuelles d'énergie et de capacité de calcul réduite des objets qui forment cette couche, mais aussi les technologies utilisées dans cette couche (LoRaWAN, 6low, 6lowPAN, Zigbee, NB-IoT, BLE...). D'autre part, les mécanismes de sécurité qui seront spécifiés au niveau de la couche la plus haute à savoir la couche « Application » basée sur les différents services offerts par le Cloud Computing (IaaS : Infrastructure as a Service, PaaS : Platform as a Service et SaaS : Software as a Service) peuvent profiter des ressources à la demande, mais doivent prendre en considération les risques élevés de sécurité et de vie privée relatifs à l'utilisation des technologies Cloud. Une dernière couche qui sera concernée par la sécurité est la couche réseau qui permettra une communication fiable entre les objets de la couche « Sensing » et la couche « Application ».
3. Simuler et implémenter les différents mécanismes de sécurité proposés afin d'évaluer les performances de cette architecture et valider les contributions relatives à une offre de sécurité de bout en bout dans un environnement IoT.

L'environnement d'étude de cette proposition est en cours de normalisation et c'est par conséquent un bon moment pour concevoir des solutions en adéquation avec les efforts de standardisation d'où un potentiel industriel pour implémenter une solution qui sera proposée afin de garantir la sécurité de bout en bout dans une infrastructure Internet des Objets. Cette solution peut être mise en avant par les industriels afin de permettre aux fournisseurs de services IoT de proposer des offres avec garantie de sécurité pour de nouvelles applications sensibles dans cet environnement Internet des objets. Ainsi, nous pouvons augmenter le pouvoir concurrentiel lors de l'offre de ce genre de services en se basant sur une infrastructure IoT sécurisée de bout en bout grâce avec une approche multicouches.

5 Conclusion

Dans ce chapitre, nous avons détaillé nos contributions pour intégrer des algorithmes de traitement de signal dans des systèmes embarqués. Nous avons insisté dans un premier temps sur la notion du design reuse qui permet d'accélérer les temps de développement et de réduire par conséquent le gap qui sépare la complexité des algorithmes et le niveau de productivité. Comme cas d'étude, nous avons pris l'implantation des FFT en grain

fin afin que l'architecture développée soit portable et optimisée. Le projet IPdesign a été détaillé et les résultats à travers des bancs de tests ont montré les avantages des IP développés. Une application de guerre électronique a été présentée dans laquelle les FPGA sont utilisés pour traiter massivement des bandes passantes et analyser le spectre radio. Le deuxième volet de ces contributions est en lien avec le dimensionnement de la chaîne de réception des signaux acoustiques pour un environnement marin et la conception du front-end numérique composé de blocs pour démodulation du signal. Le dernier axe de recherche détaillé est en lien avec l'IoT. Aujourd'hui, nous avons montré que le décloisonnement des marchés traditionnels a conduit au développement de nouveaux produits. Comme nous sommes à l'aube d'une nouvelle révolution, les conceptions en lien avec ce domaine sont semées de doutes et d'hésitations qui ont été exprimés dans ce manuscrit. Les développements des activités en lien avec cet axe ont été détaillés à travers deux projets dont un en lien avec l'industrie 4.0.

Conclusion et perspectives

Conclusion

Nous avons présenté dans ce mémoire plusieurs contributions algorithmiques, architecturales et applicatives pour le calcul embarqué haute performance. Le plan de ce manuscrit a été fixé en lien avec le type de la donnée à traiter, *i.e.* signal, image et vidéo. Nous avons dédié le premier chapitre pour les contributions dans le domaine du codage de la vidéo, le deuxième pour le prototypage rapide de techniques de traitement d'images et le dernier chapitre pour les contributions dans le domaine du traitement de signal embarqué avec des applications pour les systèmes de télécommunications. Dans les différentes parties nous avons expliqué la nécessité de simplifier les calculs en revisitant certains algorithmes et nous avons mis l'accent sur l'impact de l'adéquation algorithme architecture sur les systèmes considérés. Des techniques avancées pour la conception des circuits et systèmes ont été introduites, ou utilisées, pour concevoir des systèmes qui respectent des contraintes technologiques conflictuelles.

Dans le premier chapitre, nous avons traité le problème de simplification de la complexité de calcul des codeurs vidéo, et ce, en considérant l'implantation sur des systèmes portables. Cette problématique s'intensifie avec la création de demande de nouveaux services qui conduisent au raccourcissement des cycles de vie des codeurs (moins de 5 ans pour HEVC) et à la création de nouveaux standards plus complexes. Les travaux de recherche menés depuis 2011 dans cet axe ont permis d'améliorer les performances débit-distorsion des codecs vidéo tout en prenant compte des contraintes d'implantation matérielles. Nous avons montré qu'une alternative pour s'affranchir des contraintes matérielles engendrées par les complexités de calcul des codeurs vidéo consiste à revisiter les traitements les plus complexes et qui présentent en même temps un potentiel d'accélération et de simplification. Dans ce contexte, des techniques innovantes de prédiction de calcul ont été proposées et ont permis d'avoir un gain en termes d'opérations de calcul de 94% tout en assurant un calcul exacte. En plus de la prédiction des calculs, un algorithme innovant de décomposition des transformations utilisées par le codeur a été proposé et a servi par la suite pour des approximations de calcul. Nous voulons signaler que nous étions parmi les précurseurs à travailler sur cet axe de recherche qui concerne les approximations de calcul, comme peut en témoigner les dates de nos publications dans ce domaine. Aujourd'hui, ces méthodes de calcul suscitent plus d'intérêt notamment dans les groupes de recherche nationaux qui organisent des journées thématiques comme celle organisée en 2017 par le GdR ISIS et qui s'intitule « Approximate Computing : Consommation et Précision dans les SoCs ». De même, pour le GdR SoC2, l'approximation de calcul est une thématique centrale dans l'axe « Calcul embarqué haute performance » évoqué dans le rapport d'activité de 2017.

Nos contributions dans le domaine du prototypage rapide des techniques de traitement d'images ont permis à l'équipe VISION de s'approprier cette thématique et de mettre l'accent sur ce volet dans les communications externes et la recherche de finan-

ement. Certes, nous ne positionnons pas du côté du développement d'outils (encore faut-il le redire à certain enseignants-chercheurs Bretons!), mais par l'utilisation d'outils de conception fournis par les fabricants de cartes FPGA, nous arrivons à démontrer tout l'intérêt des accélérateurs matériels et du co-design matériel logiciel. Il faut savoir qu'aujourd'hui, la partie processeur est généralement utilisée pour la gestion de piles TCP/IP ou pour des besoins de reconfiguration dynamique par exemple. Pour les prochaines familles 7 nm des FPGA, le processeur reste présent, qu'on l'utilise ou pas, et la partie FPGA (au sens glue logique) devient l'élément central et bootable. Nos contributions dans cet axe sont en symbiose avec ces constats que nous avons appuyés par la mise en place de plateformes dédiées aux caméras intelligentes et à l'Internet des objets multimédia. Des capteurs vision, quel que soit leur interface, sont alors dotés de capacités de calcul haute performance en embarquant des algorithmes simplifiés pour la reconnaissance, l'identification, le chiffrement et la communication sans fils.

D'autre part, s'agissant de la mise en place de firmware appliqué au traitement numérique du signal, nous avons synthétisé nos contributions dans le dernier chapitre, et ce sur trois volets. Le premier porte sur la notion du design reuse, largement utilisé aujourd'hui pour accélérer les temps de développement. Les outils de conception de circuits et systèmes intègrent de plus en plus de moyens logiciels pour aider à faire ses propres IP, les packager, les réutiliser ou les mettre à disposition de la communauté des concepteurs. Le projet IPdesign a été détaillé et les résultats à travers des bancs de tests ont montré les avantages des IP développés. Une application de guerre électronique a été présentée dans laquelle les FPGA sont utilisés pour traiter massivement des bandes passantes et analyser le spectre radio. Le deuxième volet de ces contributions est en lien avec le dimensionnement de la chaîne de réception des signaux acoustiques pour un environnement marin et la conception du front-end numérique composé de blocs pour démodulation du signal. Là aussi, l'adéquation algorithme architecture a montré tout son intérêt pour densifier plusieurs front-end numérique et les intégrer dans un même FPGA. Les optimisations aux niveaux des circuits arithmétiques nous ont été bénéfiques. Enfin, le dernier volet est en lien avec l'IoT au sens large avec un focus sur la conception du nœud, mais aussi sur la mise en place de solutions complètes. Dans cet axe, nous avons mis en exergue la nécessité de la pluridisciplinarité et du travail en équipe car pour être proche du monde industriel, il y a obligation de mettre en place des plateformes optimisées et opérationnelles. Cette demande de pluridisciplinarité s'explique par le succès même de l'IoT qui vient en grande partie du fait que c'est un point de rencontre de plusieurs thématiques comme l'informatique, l'électronique (numérique, analogique, de puissance), les télécommunications, avec application à une chaîne de valeur incluant plusieurs marchés tels que la santé, l'usine, l'agriculture et la ville.

D'autres thématiques traitées n'ont pas été abordées en détail dans ce manuscrit comme le chiffrement sélectif appliqué à la vidéo compressée. Les résultats obtenus de la méthode proposée pour la crypto-compression sont satisfaisants et ont été publiés dans une revue internationale. Toutefois, il serait judicieux de conduire des recherches plus avancées afin de s'approprier cette thématique.

Enfin, avec le recul, j'aimerais dire que si je devais refaire une partie de mes projets

sur l'implantation de techniques de traitement d'images (reconnaissance, identification), détaillées dans le chapitre II, je procèderais différemment. En effet, de par ma formation plus proche de l'électronique que de l'informatique, je suis plus efficace pour décrire certains algorithmes en VHDL et faire mes propres IPs par la suite (comme pour le traitement de signal), que de m'appuyer sur des bibliothèques existantes comme celles d'OpenCV. En ce qui me concerne, le gain en temps de développement n'a pas été ressenti.

Perspectives

Outre les perspectives mentionnées dans chaque conclusion de chapitre, plusieurs axes de recherche découlent assez naturellement des travaux présentés dans ce mémoire. Nous en avons sélectionné quatre, qui correspondent aux quatre projets sur lesquels nous avons une forte implication.

Intelligence embarquée pour le milieu marin

Ce thème est un axe prioritaire des travaux que nous conduirons à très court terme. Dans le cadre du programme régional Systèmes Autonomes en Milieu Maritime (SAMM), nous collaborons avec Thales comme partenaire industriel et le Lab-STICC via le projet intitulé : « Système de VISION Embarqué pour l'amélioration de l'autonomie des drones sous-MARins » (VISEMAR). Le projet VISEMAR vise à améliorer les performances de fonctionnement des drones autonomes sous-marins et donc leur autonomie en embarquant un système de vision doté de fonctions d'apprentissage, d'analyse de scène, de prise de décision et de communications. Toutefois, la nature de l'environnement sous-marin comme la turbidité et le manque de luminosité, fait que les traitements des images acquises ne sont pas complètement adaptés aux dernières avancées liées aux algorithmes de vision par ordinateur qui incluent les réseaux de neurones convolutifs et l'apprentissage profond. Des prétraitements doivent être utilisés pour améliorer la qualité des images. Plus concrètement, dans le cadre de ce projet nous souhaitons améliorer l'autonomie des drones sous-marins en proposant des techniques d'apprentissage et les traitements d'images adéquats à embarquer sur un drone. Nous ciblons en particulier la reconnaissance d'objets et la classification objets naturels ou manufacturés dans le cadre de la lutte contre les mines. Une attention particulière sera donnée aux techniques d'apprentissage en ligne pour prendre en compte les variations de l'environnement et les retours d'expériences passées afin d'améliorer les taux de reconnaissance. Doté des fonctionnalités listées ci-dessus, le drone sera en mesure de lever le doute quant à la nature des objets pour éviter l'utilisation de moyens lourds et coûteux.

En termes d'approches méthodologiques, le travail de recherche porte sur une approche multidisciplinaire au croisement des domaines de l'ingénierie système, de l'intelligence artificielle, du traitement d'image et des calculateurs embarqués. L'approche consiste à définir un large éventail de cas d'emploi et d'environnements pour lesquels le système devra être capable de s'adapter. En particulier, les flux dynamiques de données

pourront aussi bien venir de caméras positionnées sur l'avant, l'arrière le côté, le dessus ou le dessous du véhicule sous-marin. L'étude s'intéresse à définir les modèles d'apprentissage des scènes sous-marine et à segmenter l'environnement en espaces distincts (objets, fonds, vie marine, flux de particules, etc.). Il s'agit également de préciser les méthodes d'apprentissage et de représentation dynamique des données dans les séquences vidéo. Dans ce cadre, la compression des informations en vue de leur analyse voire de leur transmission par un canal à faible débit présente un intérêt particulier. Cette partie peut être couplée avec du chiffrement simultané afin de sécuriser les communications (ceci est envisageable, mais considéré comme secondaire dans ce projet).

Un cas d'usage sera traité en priorité et concerne la classification d'objets naturels ou manufacturés (enfouis ou reposant sur le fond) très utilisé dans la détection de mines en milieu maritime. L'étude vise également à préciser les modes d'implantation des technologies permettant de sélectionner la meilleure configuration de tâches à exécuter en fonction de la phase de la mission, de l'environnement et des retours d'expériences passées. Enfin, les méthodes d'apprentissage et de reconnaissance d'objets seront implantées sur une carte dédiée de type Zynq-Ultrascale+. L'architecture logicielle amène de la flexibilité notamment dans l'acquisition des données (caméra, capteur), alors que le FPGA est utilisé comme accélérateur matériel des fonctions de traitement d'images. Les temps de développement sur FPGA peuvent être longs, une solution à base de GPU peut être considérée pour avancer sur les tests intermédiaires. Ce démonstrateur sera embarqué dans un drone afin de vérifier ses capacités de détection de mines en temps-réel. Des tests peuvent être envisagés dans la Sea Test Base pour la validation du prototype.

Vers des réseaux de neurones embarqués

Les réseaux de neurones profonds (DNN) sont au centre de plusieurs applications basées sur l'intelligence artificielle telles que la reconnaissance de voix, de visage et du type de modulations dans les systèmes de radio cognitives. Dans plusieurs cas, les DNN sont capables de dépasser les capacités de décision de l'homme. Ces performances en précision viennent de la capacité de ces méthodes à extraire des formes et motifs spécifiques après une phase d'apprentissage statistique sur des volumes de données importants. Toutefois, les performances élevées sont payées par un coût en complexité de calcul. Il s'agit donc d'un frein qui empêche le déploiement de DNN sur des terminaux mobiles, là où les algorithmes de vision peuvent être la source d'applications révolutionnaires. Par conséquent, une des thématiques pour nos travaux futurs consiste à améliorer l'efficacité énergétique des DNN. Plusieurs travaux existants se sont intéressés à cette thématique. Parmi ceux-là, des équipes de recherche à l'échelle internationale ayant proposé des méthodes d'approximation des transformées pour le codage vidéo se sont intéressées à utiliser leur savoir-faire pour simplifier les réseaux de neurones, sans perte significative de qualité. Ainsi, il y a moyen d'envisager des travaux dans ce sens. Plus concrètement, il y a moyen de réduire la taille du modèle et/ou simplifier sa complexité de calcul tout en allant plus profondément dans les couches. Ceci peut se faire en sous-échantillonnant les poids, en créant des filtres à base de matrices creuses ou avec des éléments dont la multiplication n'engage pas beaucoup de ressources, ou en revisitant l'architecture globale du DNN.

Il faut noter que ces constats sont contrebalancés par de nouvelles études qui indiquent que le nombre de poids et la taille du modèle n'influencent pas directement l'efficacité énergétique du réseau de neurones. Un DNN avec un jeu limité de poids et une taille limitée présente une consommation énergétique élevée car le DNN n'est pas composé uniquement de ressources de calcul, mais aussi de mémoires. Extraire des données de la DRAM est plus coûteux énergétiquement que des simples calculs, d'autant plus que les accès mémoires vont dépendre de la configuration du DNN en termes de la taille de filtres, du nombre de filtres, du nombre de canaux et de la résolution des caractéristiques. Plusieurs aspects sont donc à explorer dans ce domaine qui peut rapidement constituer un virage technologique majeur. Nous estimons que nous sommes juste au bon moment pour s'engager dans cette aventure, car cette technique a fait ses preuves, a du potentiel pour d'autres applications et que le niveau de maturation scientifique de ces techniques est suffisamment élevé pour considérer que les retours sur investissements à fournir sont pérennes.

IoT pour l'industrie 4.0 et la sécurisation de la ville intelligente

Il est inutile de revenir sur l'essor de l'IoT et de son succès. Notre investissement en recherche et en enseignement pour cette thématique reste constant. Les aspects autour de l'électronique embarquée, miniaturisation, faible consommation et gestion de la puissance des trancivers sont au centre de notre intérêt. De même pour l'approche système pour s'approcher des industriels demandeurs de soutien. Concernant les applications, l'industrie 4.0 et la sécurisation de la ville intelligente sont à prioriser de par leur importance et les projets en cours.

Nos travaux dans le cadre du projet Castel peuvent dépasser le cadre d'une simple activité contractuelle nécessitant un travail d'ingénierie. Le domaine de manutention du vrac pour les secteurs de l'agronomie et de l'agriculture est en lien avec des réseaux de PME et TPE qui nécessitent une transformation digitale en profondeur. Des liens forts existent entre le fabricant de machines pour le transport du vrac, le fournisseur d'alimentation pour animaux d'élevage (utilisateur des machines de vrac) et l'agriculteur comme client final. Outre l'importance de la donnée dans un domaine aussi vital que celui décrit ici, plusieurs scénarios peuvent être envisagés pour automatiser les liens entre les composants de cette chaîne de valeur comme par exemple le suivi du stock du vrac chez l'agriculteur par des objets connectés fournis dans les machines.

D'autre part, notre implication dans le projet PIAVE SafeCity jusqu'à 2021 constitue un cadre applicatif intéressant pour mettre en place les algorithmes et architectures conçus pour ce contexte. Un travail de thèse en cours est en lien direct avec ce projet. Comme expliqué précédemment, l'implication de l'équipe VISION de l'ISEN porte sur la sécurisation d'une école utilisant des moyens de vision et des objets connectés en vue de réalisation d'un portail connecté. Nous nous intéressons principalement à la couche sensing (couche physique), mais la collaboration avec les autres membres de l'équipe nous permet de concevoir le système dans sa globalité. Lors de la première phase d'étude, nous avons proposé de considérer plusieurs environnements pour les travaux traitement vidéo. L'utilisation des environnements permet de contraindre les prises d'images et de

contextualiser les environnements afin d'augmenter la robustesse du système en termes de précision.

Enfin, nous tenons à signaler que l'implication de l'ISEN Brest dans la chaire IoT du groupe Yncréa avec des co-fondateurs de renoms comme Capgemini, Crédit Mutuel, CeaTech, Gemalto et IBM, nous offre une visibilité sur le marché des IoT, ce qui nous permet de solliciter plus aisément les pouvoirs publics pour bénéficier de subventions, mais aussi de renforcer la visibilité des activités de recherche menées dans cet axe.

Amélioration des performances des nouveaux codeurs VVC

Actuellement nous continuons le travail dans cette thématique à travers un investissement personnel et l'implication dans la co-direction des travaux de thèse à l'échelle internationale. Récemment, j'ai été rapporteur de la thèse de Maurizio Massera à Politecnico de Torino, thèse qui traite de nouvelles méthodes d'approximation de calcul pour la DCT. Je suis également co-directeur de la thèse de Sonsa Ben Jdidia thèse en co-direction avec l'ENIS de Sfax pour la proposition de prototypes matériels traitant les nouvelles formes de transformations appliquées aux codeurs VVC. Il s'agit donc de travaux purement académiques sans aucune visibilité à court termes sur des moyens de transfert technologique.

Plus concrètement, pour le standard VVC notre objectif ultime est la proposition d'une version légère visant des terminaux mobiles. Les besoins pour ce travail ont été expliqués dans le chapitre I et concernent la recherche de solutions pour alléger les contraintes d'implantation électronique pour les terminaux mobiles et la réduction des flux échangés par ces derniers. Les traitements peuvent concerner les transformations et le codeur entropique comme ce que nous avons fait pour les normes de codage vidéo actuelles et précédentes et en même temps s'étendre à d'autres blocs comme les filtres d'interpolation et les estimations et compensations de mouvements. S'agissant des transformations, à l'image de ce que nous avons proposé comme algorithme de décomposition pour la norme HEVC, nous travaillons actuellement dans le cadre de la thèse de Sonda Ben Jdidia sur la création d'une nouvelle classe de transformations approximées et adaptables au contexte applicatif. Le nouveau standard prévoit une phase de sélection d'une transformation parmi cinq disponibles. Des algorithmes de recherches exhaustives sont mis en place pour calculer les matrices de transformations qui minimisent les contraintes matérielles et fonctionnelles. Pour les contraintes matérielles, les matrices recherchées sont composées de constantes nulles ou sous la forme de $\pm 2^k$, où la constante k est en lien directe avec la capacité du codeur vidéo à mobiliser des ressources matérielles pour la transformation. D'un autre côté, plusieurs métriques pour les contraintes fonctionnelles sont en cours d'évaluation et concernent l'erreur quadratique moyenne, le gain de codage, l'efficacité de codage ainsi que la capacité de décorrélation. En plus de satisfaire ces contraintes, les transformations doivent fournir des flux vidéo en conformité avec le standard et par conséquent des opérations d'orthogonalisation et ou de mise à l'échelle sont nécessaires.

Résumé

Au vu des nouveaux défis scientifiques pour capitaliser des informations et produire de la connaissance, lever les verrous technologiques du calcul embarqué haute performance (HPEC) est à la fois nécessaire et difficile. En effet, les perturbations de l'industrie du semi-conducteur des dernières années sont traduites par la production de processeurs de calcul limités en fréquence maximale de fonctionnement pour un niveau de consommation énergétique stable. Au même temps, les nouvelles avancées dans plusieurs domaines d'application exigent des capacités de calcul exponentiellement plus importantes. C'est le cas des applications de vision basées sur l'apprentissage profond, de l'Internet des Objets, des nouveaux standards de communications et des nouvelles générations de codage vidéo. De notre point de vue, la réussite d'implantation de ces applications ne doit pas être limitée par le processeur lui-même.

Les travaux de recherche traitent plusieurs aspects du domaine HPEC en utilisant une démarche d'adéquation algorithme architecture où il est étudié simultanément les aspects algorithmes et architectures ainsi que leurs interactions en vue d'une implantation optimisée des applications de traitement de signal, image et vidéo. Plus concrètement, en plus de ces approches classiques, d'autres techniques plus innovantes de calcul embarqué ont été exploitées dans nos activités de recherche. Elles se déclinent sur 3 volets :

- Calcul approximé (approximate computing) pour gérer le compromis qualité d'expérience QoE et efficacité énergétique ;
- Calcul proche capteur ou NSC (near sensor computing) pour une meilleure gestion du budget énergétique : équilibre entre puissances consommées dans les transmissions et les traitements ;
- Calcul prédictible et adaptable au contexte et aux applications.

D'un point de vue architectural, l'utilisation de techniques avancées pour la conception de systèmes embarqués sur des SoC (system on chip) hybrides à base de FPGA (field programmable gate array) permet d'améliorer les performances et de réduire les coûts. Plus particulièrement, nous nous sommes intéressés à l'utilisation d'architectures à base de partitionnement matériel/logiciel pour la conception conjointe des systèmes électroniques. Les tâches nécessitant du calcul intensif et reconfigurable sont gérées par la partie matérielle, alors que la couche logicielle est dédiée aux fonctions d'interfaçage et de communication.

Le manuscrit des travaux de HDR comprend deux parties administrative et technique. La première, courte, est un bilan synthétique du parcours puis des activités d'enseignement et de recherche. La seconde reprend les contributions scientifiques regroupées en trois chapitres suivant la nature des données manipulées : signal, image, vidéo. Le premier chapitre est dédié aux contributions dans le domaine du codage vidéo. L'apport

des optimisations algorithmiques qui concernent la prédiction, la décomposition et l'approximation des calculs est mis en avant. Le deuxième chapitre est centré sur l'apport du codesign algorithme architecture, et matériel logiciel à travers l'utilisation des outils de prototypage rapide pour la mise en place de plateformes électroniques embarquées dédiées aux applications de traitement d'images. Quant au troisième chapitre, il résume les contributions de conception de techniques de traitement de signal sur des systèmes embarqués pour des applications de télécommunications au sens large. Enfin, une synthèse de l'ensemble de ces recherches est présentée en fin du manuscrit, accompagnée des aspects prospectifs de ces travaux à court et moyen terme.

Bibliographie

- [1] Ricardo Santos, Liana Duenha, Ana Caroline Silva, Matheus Sousa, Luiz Augusto Tedesco, João Carlos Melgarejo, Tony Santos, and Rodolfo Azevedo. Dark-silicon aware design space exploration. *Journal of Parallel and Distributed Computing*, 120:295 – 306, 2018. 5
- [2] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, and A. R. LeBlanc. Design of ion-implanted mosfet’s with very small physical dimensions. *IEEE Journal of Solid-State Circuits*, 9(5):256–268, 1974. 5
- [3] IRDS. International roadmap for devices and systems, executive summary. Technical report, <https://irds.ieee.org/roadmap-2017>, 2017. 5
- [4] S. Ahmad, V. Boppana, I. Ganusov, V. Kathail, V. Rajagopalan, and R. Wittig. A 16-nm multiprocessing system-on-chip field-programmable gate array platform. *IEEE Micro*, 36(2):48–62, Mar 2016. 7
- [5] Cisco-Networks. Visual Networking Index: Global Mobile Data Traffic Forecast Update 2014–2019. 3 Feb. 2015. 11
- [6] T. Wiegand, H. Schwarz, A. Joch, F. Kossentini, and G. J. Sullivan. Rate-constrained coder control and comparison of video coding standards. *IEEE Trans. Circ. Syst. Vid.*, 13(7):688–703, July 2003. 12
- [7] F. Bossen, B. Bross, K. Suhring, and D. Flynn. HEVC complexity and implementation analysis. *IEEE Trans. Circ. Syst. Vid.*, 22(12):1685–1696, 2012. 13, 15
- [8] J. Vanne, M. Viitanen, T. D. Hamalainen, and A. Hallapuro. Comparative rate-distortion-complexity analysis of hevc and avc video codecs. *IEEE Trans. Circ. Syst. Vid.*, 22(12):1885–1898, July 2012. 13
- [9] G. Correa, P. Assuncao, L. Agostini, and L. A. da Silva Cruz. Performance and computational complexity assessment of high-efficiency video encoders. *IEEE Trans. Circ. Syst. Vid.*, 22(12):1899–1909, December 2012. 13
- [10] G. J. Sullivan and T. Wiegand. Rate-distortion optimization for video compression. *IEEE Signal Process. Magazine.*, 15(6):74–90, November 1998. 13
- [11] J. Boyce J. Chen, E. Alshina. JVET AHG report: JEM algorithm description editing (AHG2). July 2017. 13
- [12] A. Saxena and F. C. Fernandes. DCT/DST-based transform coding for intra prediction in image/video coding. *IEEE Trans. Image Processing*, 22(10):3974–3981, October 2013. 13
- [13] J. Han, A. Saxena, and K. Rose. Towards jointly optimal spatial prediction and adaptive transform in video/image coding. In *IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP)*, page 726–729, March 2010. 13

- [14] G.J. Sullivan, J. Ohm, Woo-Jin Han, and T. Wiegand. Overview of the high efficiency video coding (HEVC) standard. *IEEE Trans. Circ. Syst. Vid.*, 22(12):1649–1668, 2012. 14
- [15] Information-Technology. MPEG Systems Technologies - Part 11: Energy-Efficient Media Consumption (Green Metadata), ISO/IEC JTC1/SC29/WG11, Final Draft International Standard 23001-11 (w14853). Oct. 2014. 14
- [16] F.C. Fernandes, X. Ducloux, Zhan Ma, E. Faramarzi, P. Gendron, and Jiangtao Wen. The green metadata standard for energy-efficient video consumption. *Multimedia, IEEE*, 22(1):80–87, Jan 2015. 15
- [17] M. Jridi and A. AlFalou. *VLSI-SoC: Forward-Looking Trends in IC and System Design*. VLSI-SoC 2010 IFIP WG 10.5. Springer Verlag, 2012. 15, 27
- [18] J. Li, M. Gabbouj, and J. Takala. Zero-quantized inter DCT coefficient prediction for real-time video coding. *IEEE Trans. Circ. Syst. Vid.*, 22(02):249–259, February 2012. 16
- [19] H. Wang and S. Kwong. Hybrid model to detect zero quantized DCT coefficients in H264. *IEEE Trans. Multimedia*, 9(4):728–734, 2007. 16
- [20] C.-W. Kok H. Wang, S. Kwong. Fast video coding based on gaussian model of DCT coefficients. In *Proc. IEEE Symp. on Circuits and Syst*, pages 1703–1706, May 2006. 16
- [21] I. M. Pao and M. T. Sun. Modeling DCT coefficients for fast video encoding. *IEEE Trans. Circ. Syst. Vid.*, 9(4):608–616, 1999. 16
- [22] L. A. Sousa. General method for eliminating redundant computations in video coding. *IEEE Electron. Lett.*, 36:306–307, February 2000. 16
- [23] X. Ji, S. Kwong, D. Zhao, H. Wang, C. C. J. Kuo, and Q. Dai. Early determination of zero-quantized 8×8 DCT coefficients. *IEEE Trans. Circ. Syst. Vid.*, 19(12):1755–1765, December 2009. 16
- [24] H. Wang, S. Kong, C.-W. Kok, and M. Chan. Zero-quantized discrete cosine transform prediction technique for video encoding. *Proc. IEE Vis. Image Signal Process.*, 153(5):677–683, October 2006. 16
- [25] Y. Nishida, K. Inoue, and V.G. Moshnyaga. A zero-value prediction technique for fast DCT computation. In *SIPS*, pages 165 – 170, Aug 2003. 16
- [26] H. Wang, S. Kwong, and C-W. Kok. Efficient predictive model of zero quantized DCT coefficients for fast video encoding. *Image Vision Comput.*, 25:922–933, 2007. 16, 18
- [27] J. Li, M. Gabbouj, and J. Takala. Hybrid modeling of intra-DCT coefficients for real-time video encoding. *EURASIP Journal on Image and Video Processing*, (749172):13 pages, December 2008. 16, 17, 18
- [28] J. Li, J. Takala, M. Gabbouj, and H. Chen. A detection algorithm for zero-quantized DCT coefficients in JPEG. In *Proc. IEEE Int. Conf. Acoust., Speech, and Signal Processing*, pages 1189–1192, May 2008. 16

-
- [29] Y.M. Lee and Y. Lin. Efficient zero-block mode decision algorithm for high bit-rate coding in H.264/AVC. In *Proc. IEEE Symp. on Circuits and Syst.*, pages 4189–4192, May 2010. 16
- [30] L. Shen, Z. Zhang, Z. Liu, and W. Zhang. An adaptive and fast fractional pixel search algorithm in H.264. *Signal Processing*, 87(11):2629–2639, November 2007. 16
- [31] T. Zhou and W. Wang. Adaptive method for early detecting zero quantized DCT coefficients in H.264/AVC video encoding. *IEEE Trans. Circ. Syst. Vid.*, 19(1):103–107, January 2009. 16
- [32] M. Jridi and A. Alfalou. Efficient prediction technique of zero quantized DCT coefficients for fast image encoding. *European Journal of Scientific Research*, 63(04):489–497, November 2011. 16
- [33] M. Jridi, P.K. Meher, and A. Alfalou. Zero-quantised discrete cosine transform coefficients prediction technique for intra-frame video encoding. *Image Processing, IET*, 7(2):–, 2013. 16, 17, 31
- [34] C. Loeffler, A. Lightenberg, and G. S. Moschytz. Practical fast 1-D DCT algorithm with 11 multiplications. In *Proc. IEEE Int. Conf. Acoust., Speech, and Signal Processing*, pages 988–991, May 1989. 17
- [35] S. Bouguezel, M.O. Ahmad, and M.N.S. Swamy. Binary discrete cosine and Hartley transforms. *IEEE Trans. Circuits and Syst. I*, 60(4):989–1002, 2013. 18, 19, 21, 24, 25, 33
- [36] F.M. Bayer and J.M. Cintra. DCT-like transform for image compression requires 14 additions only. *Electron. Lett.*, 48(15):919–921, July 2012. 18, 19
- [37] R.J. Cintra and F.M. Bayer. A DCT approximation for image compression. *Signal Processing Letters, IEEE*, 18(10):579–582, Oct 2011. 18, 19
- [38] S. Bouguezel, M.O. Ahmad, and M.N.S. M.N.S Swamy. Low-complexity 8×8 transform for image compression. *Electron. Lett.*, 44(21):1249–1250, October 2008. 18, 19
- [39] Tarek I. Haweel. A new square wave transform based on the dct. *Signal Processing*, 81(11):2309 – 2319, 2001. 18, 21, 33
- [40] P. Yip V. Britanak and K. R. Rao. *Discrete Cosine and Sine Transforms: General Properties, Fast Algorithms and Integer Approximations*. Academic Press, Amsterdam, 2006. 18
- [41] Xi Li, A. Dick, Chunhua Shen, A. van den Hengel, and Hanzi Wang. Incremental learning of 3D-DCT compact representations for robust visual tracking. *IEEE Trans. Pattern Anal. Mach. Intell.*, 35(4):863–881, 2013. 19
- [42] A. Alfalou, C. Brosseau, N. Abdallah, and M. Jridi. Assessing the performance of a method of simultaneous compression and encryption of multiple images and its resistance against various attacks. *Opt. Express*, 21(7):8025–8043, 2013. 19

- [43] R. J. CINTRA. An integer approximation method for discrete sinusoidal transforms. *Circuits, Systems, and Signal Process.*, 30(6):1481–1501, 2011. 19
- [44] F.M. Bayer, R.J. Cintra, A. Edirisuriya, and A. Madanayake. A digital hardware fast algorithm and FPGA-based prototype for a novel 16-point approximate DCT for image compression applications. *Measurement Science and Technol*, 23(11):1–10, 2012. 19
- [45] S. Bouguezel, M.O. Ahmad, and M.N.S. Swamy. A novel transform for image compression. In *Circuits and Systems (MWSCAS), 2010 53rd IEEE International Midwest Symposium on*, pages 509–512, 2010. 19, 21, 24, 25, 33
- [46] K. Rao and N. Ahmed. Orthogonal transforms for digital signal processing. In *ICASSP '76. IEEE International Conference on Acoustics, Speech, and Signal Processing*, volume 1, pages 136–140, Apr 1976. 19
- [47] Z. Mohd-Yusof, I. Suleiman, and Z. Aspar. Implementation of two dimensional forward dct and inverse dct using fpga. In *2000 TENCON Proceedings. Intelligent Systems and Technologies for the New Millennium (Cat. No.00CH37119)*, volume 3, pages 242–245 vol.3, 2000. 19
- [48] M. Jridi, A. Alfalou, and P. K. Meher. A generalized algorithm and reconfigurable architecture for efficient and scalable orthogonal approximation of dct. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 62(2):449–457, Feb 2015. 20, 21, 23, 24, 25, 33
- [49] M. Jridi and P. K. Meher. Scalable approximate DCT architectures for efficient HEVC-compliant video coding. *IEEE Trans. Circ. Syst. Vid.*, 27(8):1815–1825, Aug 2017. 21, 23, 24, 25, 33, 36, 37
- [50] Joint Collaborative Team on Video Coding (JCT-VC) of ITU-T SG16 WP3 and ISO/IEC JTC1/SC29/WG11. *Common test conditions and software reference configurations*. Document:JCTVC-L1100, 2013. 21
- [51] Pramod Kumar Meher, Sang Yoon Park, B.K. Mohanty, Khoon Seong Lim, and Chuohao Yeo. Efficient integer DCT architectures for HEVC. *IEEE Trans. Circ. Syst. Vid.*, 24(1):168–178, Jan 2014. 21
- [52] G. Bjontegaard. *Calculation of average PSNR differences between RD-curves*, 2001. Doc. VCEG-M33 ITU-T Q6/16, Austin, TX, USA. 22
- [53] G. Pastuszak and A. Abramowski. Algorithm and architecture design of the H.265/HEVC intra encoder. *IEEE Trans. Circ. Syst. Vid.*, 26(1):210–222, Jan 2016. 23
- [54] M. Masera, M. Martina, and G. Masera. Adaptive approximated DCT architectures for HEVC. *IEEE Trans. Circ. Syst. Vid.*, PP(99):1–1, 2016. 24, 33
- [55] Maher Jridi, Ayman Alfalou, and Pramod K. Meher. Efficient approximate core transform and its reconfigurable architectures for HEVC. *Journal of Real-Time Image Processing*, Apr 2018. 24, 25, 33, 37
- [56] Signal University of Southern California and Image Processing Institute. *USC-SIPI Image Database*. <http://sipi.usc.edu/database/>. 25

-
- [57] D. Slawecki and W. Li. Dct/idct processor design for high data rate image coding. *IEEE Trans. Circ. Syst. Vid.*, 2(2):135–146, June 1992. 26
- [58] P.K. Meher. LUT optimization for memory-based computation. *IEEE Trans. Circuits and Syst. II*, pages 285–289, April 2010. 26
- [59] S. Yu and E.E. Swartzlander. DCT implementation with distributed arithmetic. *IEEE Trans. Computers*, 50(9):985–991, September 2001. 27
- [60] A. Peled and B. Liu. A new hardware realization of digital filters. In *IEEE Transactions on Acoustics, Speech, and Signal Processing*, volume 22, pages 456–462, 1974. 27
- [61] M. Alam, W. Badawy, and G. Julien. A new time distributed architecture for MPEG-4 hardware reference model. *IEEE Trans. Circ. Syst. Vid.*, 15(5):726–730, May 2005. 27
- [62] S. Yu and E.E. Swartzlander. A scaled DCT architecture with the CORDIC algorithm. *IEEE Trans. Signal Process.*, 50(1):160–167, January 2002. 27
- [63] C.C Sun, S.J Ruan, B. Heyne, and J. Goetze. Low-power and high quality cordic-based loeffler dct for signal processing. *Circuits, Devices. Syst.*, 1(6):453–461, December 2007. 27
- [64] M. Jridi and A. AlFalou. Direct digital frequency synthesizer with CORDIC algorithm and taylor series approximation for digital receivers,. *European Journal of Scientific Research*, 30(4):542–553, August 2009. 27, 76
- [65] A. Avizienis. Signed-digit number representations for fast parallel arithmetic. *IRE Transaction on Electron. Computer.*, 10:389–400, 1961. 27
- [66] R.I. Hartley. Subexpression sharing in filters using canonic signed digit multipliers. *IEEE Trans. Circuits and Syst. II*, 43(10):677–688, October 1996. 28, 78
- [67] A. Fuldseth, G. Bjøntegaard, M. Budagavi, and V. Sze. *JCTVC-G495, CE10: Core Transform Design for HEVC: Proposal for Current HEVC Transform [Online]*, 2011. Available: http://phenix.int-evry.fr/jct/doc_end_user/current_document.php?id=3752. 33
- [68] M. Budagavi, A. Fuldseth, G. Bjøntegaard, V. Sze, and M. Sadafale. Core transform design in the high efficiency video coding (HEVC) standard. *Selected Topics in Signal Processing, IEEE Journal of*, 7(6):1029–1041, Dec 2013. 33, 34, 35, 36
- [69] T. Dias, N. Roma, and L. Sousa. High performance multi-standard architecture for DCT computation in H.264/AVC high profile and HEVC codecs. In *Design and Architectures for Signal and Image Processing (DASIP), 2013 Conference on*, pages 14–21, Oct 2013. 35
- [70] Woong Hwangbo and Chong-Min Kyung. A multitransform architecture for h.264/avc high-profile coders. *Multimedia, IEEE Transactions on*, 12(3):157–167, April 2010. 35
- [71] M. Budagavi and V. Sze. Unified forward+inverse transform architecture for HEVC. In *Image Processing (ICIP), 2012 19th IEEE International Conference on*, pages 209–212, Sept 2012. 35

- [72] Erwan Raffin, Erwan Nogues, Wassim Hamidouche, Seppo Tomperi, Maxime Pelcat, and Daniel Menard. Low power HEVC software decoder for mobile devices. *Journal of Real-Time Image Processing*, 12(2):495–507, Aug 2016. 36
- [73] Chi Ching Chi, Mauricio Alvarez-Mesa, Jan Lucas, Ben Juurlink, and Thomas Schierl. Parallel HEVC decoding on multi- and many-core architectures. *Journal of Signal Processing Systems*, 71(3):247–260, Jun 2013. 36
- [74] Gérard BATTAIL. *Communication Theory of Secrecy Systems*. Masson, 1997. 37
- [75] Claude E. Shannon. A mathematical theory of communication. *Bell System Technical Journal*, 27:379–423, July 1948. 37
- [76] Claude E. Shannon. Communication theory of secrecy systems. *Bell System Technical Journal*, 28:656–715, October 1949. 37
- [77] J.J. Rissanen. Generalized kraft inequality and arithmetic coding. *IBM Journal of Research and Development*, 28:200–203, May 1976. 38
- [78] Nihel Néji. *Conception conjointe sur FPGA d'un décodeur HD H264/AVC utilisant un codage entropique de type CABAC*. Université de Bretagne Occidentale, Université de Sfax, 2015. 38, 39
- [79] D. Marpe, G. Heising, G. Blattermann, and T. Wiegand. JVT-C061: Fast arithmetic coding for cabac. *Joint Video Team (JVT)*, 2002. 39
- [80] D. Marpe and T. Wiegand. A highly efficient multiplication-free binary arithmetic coder and its application in video coding. In *IEEE Inter. Conf. on Image Processing*, page 263–266, 2003. 39
- [81] Sonda Ben Jdidia, Maher Jridi, Fatma Belghith, and Nouri Masmoudi. Low-complexity algorithm using dct approximation for post-hevc standard. volume 10649, pages 10649 – 10649 – 6, 2018. 41
- [82] Sonda Ben Jdidia, Maher Jridi, Fatma Belghith, and Nouri Masmoudi. New calass of cosine and sine approximation for vvc standard. volume 30, 2018. 41
- [83] Maher JRIDI, Sonda Ben Jdidia, Nouri Masmoudi, Ayman Alfalou, and Pramod Kumar Meher. *VLSI architectures for future video coding*. To be published. Springer Verlag, 2018. 41
- [84] Q. Wang, A. Alfalou, and C. Brosseau. New perspectives in face correlation research: a tutorial. *Adv. Opt. Photon.*, 9(1):1–78, Mar 2017. 46
- [85] B. V. K. Vijaya Kumar, Marios Savvides, Chunyan Xie, Krithika Venkataramani, Jason Thornton, and Abhijit Mahalanobis. Biometric verification with correlation filters. *Appl. Opt.*, 43(2):391–402, Jan 2004. 46
- [86] Chunyan Xie, M. Savvides, and B. V. K. V. Kumar. Quaternion correlation filters for face recognition in wavelet domain. In *Proceedings. (ICASSP '05). IEEE International Conference on Acoustics, Speech, and Signal Processing, 2005.*, volume 2, pages ii/85–ii/88 Vol. 2, March 2005. 46
- [87] C. Ma, X. Yang, Chongyang Zhang, and M. Yang. Long-term correlation tracking. In *2015 IEEE Conference on Computer Vision and Pattern Recognition (CVPR)*, pages 5388–5396, June 2015. 46

-
- [88] T. Liu, G. Wang, and Q. Yang. Real-time part-based visual tracking via adaptive correlation filters. In *2015 IEEE Conference on Computer Vision and Pattern Recognition (CVPR)*, pages 4902–4912, June 2015. 46
- [89] D. S. Bolme, J. R. Beveridge, B. A. Draper, and Y. M. Lui. Visual object tracking using adaptive correlation filters. In *2010 IEEE Computer Society Conference on Computer Vision and Pattern Recognition*, pages 2544–2550, June 2010. 46
- [90] João F. Henriques, Rui Caseiro, Pedro Martins, and Jorge Batista. High-speed tracking with kernelized correlation filters. *Computer Vision and Pattern Recognition*, abs/1404.7584, 2014. 46
- [91] D. S. Bolme, B. A. Draper, and J. R. Beveridge. Average of synthetic exact filters. In *2009 IEEE Conference on Computer Vision and Pattern Recognition*, pages 2105–2112, June 2009. 46
- [92] A. Rodriguez, V. N. Boddeti, B. V. K. V. Kumar, and A. Mahalanobis. Maximum margin correlation filter: A new approach for localization and classification. *IEEE Transactions on Image Processing*, 22(2):631–643, Feb 2013. 46
- [93] A. Mahalanobis, R. R. Muise, S. R. Stanfill, and A. Van Nevel. Design and application of quadratic correlation filters for target detection. *IEEE Transactions on Aerospace and Electronic Systems*, 40(3):837–850, July 2004. 46
- [94] D. S. Bolme, Y. M. Lui, B. A. Draper, and J. R. Beveridge. Simple real-time human detection using a single correlation filter. In *2009 Twelfth IEEE International Workshop on Performance Evaluation of Tracking and Surveillance*, pages 1–8, Dec 2009. 46
- [95] Kenny Chen Abhijit Mahalanobis, Robert Stanfill. A bayesian approach to activity detection in video using multi-frame correlation filters, 2011. 46
- [96] Y. Ouerhani, M. Jridi, A. Alfalou, and C. Brosseau. Optimized pre-processing input plane gpu implementation of an optical face recognition technique using a segmented phase only composite filter. *Optics Communications*, 289:33 – 44, 2013. 46
- [97] Fred M. Dickey and Bruce D. Hansche. Quad-phase correlation filters for pattern recognition. *Appl. Opt.*, 28(9):1611–1613, May 1989. 47
- [98] W. Meinel, Y. Le Montagner, E. Angelini, and J. Olivo-Marin. Image denoising by multiple compressed sensing reconstructions. In *2015 IEEE 12th International Symposium on Biomedical Imaging (ISBI)*, pages 1232–1235, April 2015. 48
- [99] Maher Jridi, Thibault Napoléon, and Ayman Alfalou. One lens optical correlation: application to face recognition. *Appl. Opt.*, 57(9):2087–2095, Mar 2018. 48
- [100] Arie Nakhmani and Allen Tannenbaum. A new distance measure based on generalized image normalized cross-correlation for robust video tracking and image recognition. *Pattern Recogn. Lett.*, 34(3):315–321, February 2013. 48
- [101] Nicolas Gourier, Daniela Hall, and James L. Crowley. Estimating face orientation from robust detection of salient facial structures. In *FG NET WORKSHOP ON VISUAL OBSERVATION OF DEICTIC GESTURES*, 2004. 50

- [102] G. B. Huang and E. Learned-Miller. Labeled faces in the wild: updates and new reporting procedures. Technical report, University of Massachusetts, 03 2014. 50
- [103] Maher Jridi, Thibault Napoléon, and Ayman Alfalou. One lens optical correlation: application to face recognition. *Appl. Opt.*, 57(9):2087–2095, Mar 2018. 50
- [104] Z. Kalal, K. Mikolajczyk, and J. Matas. Face-tld: Tracking-learning-detection applied to faces. In *2010 IEEE International Conference on Image Processing*, pages 3789–3792, Sept 2010. 51
- [105] P. Viola and M. Jones. Rapid object detection using a boosted cascade of simple features. In *Proceedings of the 2001 IEEE Computer Society Conference on Computer Vision and Pattern Recognition. CVPR 2001*, volume 1, pages I–I, Dec 2001. 53
- [106] Y. Ma. Number local binary pattern: An extended local binary pattern. In *2011 International Conference on Wavelet Analysis and Pattern Recognition*, pages 272–275, July 2011. 53
- [107] Cisco global cloud index: Forecast and methodology. *2015–2020 White paper*, Cisco Public, 2016. 55
- [108] Carrie MacGillivray et al. Idc futurescape:. *Worldwide Internet of Things 2017 Predictions*, Nov. 2016. 56
- [109] Cisco. Fog computing and the internet of things: Extend the cloud to where the things are. *White. Paper*, 2015. 56
- [110] Cisco. Mobile-edge computing MEC service scenarios. *ETSI GS MEC-IEG 004 V1.1.1*, page 8, Nov. 2015. 56
- [111] S. Yi, Z. Hao, Z. Qin, and Q. Li. Fog computing: Platform and applications. In *Proc. 3rd IEEE Workshop Hot Topics Web Syst. Technol. (HotWeb)*, Washington, DC, USA,, pages 73–78, 2015. 56
- [112] K. Ha et al. Towards wearable cognitive assistance. In *Proc. 12th Annu. Int. Conf. Mobile Syst. Appl. Services, Bretton Woods, NH, USA*, pages 68–81, 2014. 56
- [113] B.-G. Chun, S. Ihm, P. Maniatis, M. Naik, and A. Patti. Clonecloud: Elastic execution between mobile device and cloud. review of the crypto-compression system and improvements. In *Proc. 6th Conf. Comput. Syst., Salzburg, Austria*, pages 301–314, 2011. 56
- [114] M. Orsini, M. Pacchioni, A. Malagoli, and G. Guaraldi. My smart age with hiv: An innovative mobile and iomt framework for patient’s empowerment. In *IEEE 3rd International Forum on Research and Technologies for Society and Industry (RTSI), Modena*, pages 1–6, 2017. 56
- [115] A. Alfalou, C. Brosseau, N. Abdallah, and M . Jridi. Simultaneous fusion, compression and encryption of multiple images. *OSA. Opt. Express*, 19(24):24023–24029, Nov. 2011. 57
- [116] A. Alfalou, C. Brosseau, N. Abdallah, and M . Jridi. Assessing the performance of a method of simultaneous compression and encryption of multiple images and

- its resistance against various attacks. *OSA. Opt. Express*, 21(7):8025–8043, Apr. 2013. 57
- [117] R. Matthews. On the derivation of a “chaotic” encryption algorithm. *Cryptologia*, 8(1):29–41, Jan. 1984. 58
- [118] Yonggang Su, Chen Tang, Xia Chen, Biyuan Li, and Zhenkun Lei Wenjun Xu. Cascaded fresnel holographic image encryption scheme based on a constrained optimization algorithm and henon map. *Optics and Lasers in Engineering*, 88:20–27, Jan. 2017. 58
- [119] Khadijeh Mirzaei Talarposhti and Mehrzad Khaki Jamei. A secure image encryption method based on dynamic harmony search (dhs) combined with chaotic map. *Optics and Lasers in Engineering*, 81:21–34, Jun. 2016. 58
- [120] Mohamad Javad Rostami, Abbas Shahba, Saeid Saryazdi, and Hossein Nezamabadi. A novel parallel image encryption with chaotic windows based on logistic map. *Computers and Electrical Engineering*, Apr. 2017. 58
- [121] Maher Jridi, Thibault Chapel, Victor Dorez, Guéno le Le Bougeant, and Antoine Le Botlan. Soc-based edge computing gateway in the context of the internet of multimedia things: Experimental platform. *Journal of Low Power Electronics and Applications*, 8(1), 2018. 59
- [122] M. Keating and P. Bricaud. *Reuse Methodology Manual for System-on-a-Chip Designs*. Springer Publishing Company, Incorporated, 2007. 65
- [123] J. W. Cooley and J. W. Tukey. An Algorithm for the Machine Calculation of Complex Fourier Series. *Math. Computing*, 19:297–301, 1965. 67
- [124] A. V. Oppenheim, R. W. Schaffer, and J. R. Buck. *Discrete-Time Signal Processing (2nd Edition) (Prentice-Hall Signal Processing Series)*, chapter 11, pages 775–802. Prentice Hall, 1999. 67
- [125] H. Sorensen, M. Heideman, and C. Burrus. On computing the split-radix FFT. *IEEE Transactions on Acoustics, Speech and Signal Processing*, 34(1):152 – 156, 1986. 67
- [126] D. B. Glenn. A Fast Fourier Transform Algorithm for Real-Valued Series. *Communications of the ACM*, 11:703–710, 1968. 67
- [127] D. Kolba and T. Parks. A prime factor FFT algorithm using high-speed convolution. *IEEE Transactions on Acoustics, Speech and Signal Processing*, 25(4):281 – 294, 1977. 67
- [128] Y. Ouerhani, M. Jridi, and A. Alfalou. Area-delay efficient architecture using parallel processing and new memory sharing technique. *Journal of Circuits, Systems and Computers*, 21(6):1 – 13, 2012. 68
- [129] Yousri Ouerhani. *Contribution   la d finition,   l’optimisation et   l’implantation d’IP de traitement du signal et des donn es en temps r el sur des cibles programmables*. Universit  de Bretagne Occidentale, 2012. 69

- [130] W-H. Chang and T.Q. Nguyen. On the Fixed-Point Accuracy Analysis of FFT Algorithms. *IEEE Transactions on Signal Processing*, 56(10):4673–4682, 2008. 69
- [131] L. Tan and L. Wang. Oversampling Technique for Obtaining Higher Order Derivative of Low-Frequency Signals. *IEEE Transactions on Instrumentation and Measurement*, 60:3677–3684., 2011. 69
- [132] M. Hassan and F. Shalash. FPGA Implementation of an ASIP for high throughput DFT/DCT 1D/2D engine. *Circuits and Systems (ISCAS)*, pages 1255–1258, 2011. 69
- [133] A. Bellaouar, M. Obrecht, A. Fahim, and M.I. Elmasry. A low-power direct digital frequency synthesizer architecture for wireless communications. In *IEEE Custom Integrated circuits*, pages 593–596, 1999. 75
- [134] S.W. Mondwurf. Versatile COFDM Demodulation Based on the CORDIC-Algorithm. *IEEE Transaction on Consumer Electronics*, 48(3):718–723, 2002. 75
- [135] Recommendation ITU-T. Overview of the internet of things. Technical report, accessible via: <http://www.itu.int/ITU-T/recommendations/rec.aspx?rec=y.2060>. 79
- [136] ITU-T. IoT and its applications including smart cities and communities (SCC). Technical report, accessible via: <http://www.itu.int/en/ITU-T/studygroups/2013-2016/20/Pages/default.aspx>. 79
- [137] INSEE. Nomenclature d’activités française – naf rév. 2. Technical report, <https://www.insee.fr/fr/information/2120875>, 2018. 80
- [138] Olivier Berder. Vers des capteurs sans fil autonomes en énergie. In *Pôle Image et Réseau. Technoférence 22, Et si on connectait le monde ? Enjeux d’aujourd’hui et de demain*, Oct. 2017. 80
- [139] David Hanes, Gonzalo Salgueiro, Patrick Grossetete, Robert Barton, and Jerome Henry. *IoT Fundamentals: Networking Technologies, Protocols, and Use Cases for the Internet of Things*, chapter 1, pages 13–16. Cisco Press. Part of the Fundamentals series, 2017. 82
- [140] Jean-Baptiste BLONDEL, Romain POTOCKI, and Oussama AJDOR. *L’IoT industriel, du PoC à l’industrialisation*, chapter 1, pages 1–88. Wavestone, 2018. 82