



**HAL**  
open science

# Caractérisation et modélisation compacte de mémoires émergentes

Marc Bocquet

► **To cite this version:**

Marc Bocquet. Caractérisation et modélisation compacte de mémoires émergentes. Micro et nanotechnologies/Microélectronique. Aix Marseille Université, 2017. tel-01737675

**HAL Id: tel-01737675**

**<https://hal.science/tel-01737675v1>**

Submitted on 19 Mar 2018

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# AIX-MARSEILLE UNIVERSITÉ

## IM2NP

Préparée et soutenue publiquement pour obtenir l'habilitation à diriger des recherches

Marc BOCQUET

## Caractérisation et modélisation compacte de mémoires émergentes

Soutenue le 23/06/2017 devant le jury composé de :

Pr. Christophe MULLER	CNRS Délégation Alpes	Président
Dr. Gérard GHIBAUDO	IMEP-LAHC	Rapporteur
Pr. Ian O'CONNOR	INL	Rapporteur
Pr. Cristell O'MANEUX	IMS	Rapporteur
M. Marc BELLEVILLE	CEA-LETI	Examineur
Cr. Damien QUERLIOZ	C2N	Examineur
Pr. Jean-Michel PORTAL	IM2NP	
M. Jean-Michel MIRABEL	STMicronics	Invité



Cette oeuvre est mise à disposition selon les termes de la [Licence Creative Commons Attribution - Pas d'Utilisation Commerciale - Pas de Modification 4.0 International](https://creativecommons.org/licenses/by-nc-nd/4.0/).

*Pour aller où on ne sait pas,  
il faut prendre des chemins qu'on ne connaît pas.  
Sagesse des Indes.*



# Table des matières

<b>Préambule</b>	<b>1</b>
<b>1 Introduction et positionnement des travaux de recherche</b>	<b>3</b>
1.1 Positionnement des mémoires non-volatiles	5
1.1.1 Histoire de hiérarchie : des peintures rupestres aux datacenters	6
1.2 Les limitations des mémoires Flash	11
1.2.1 Couplages électrostatiques	12
1.2.2 Nombre d'électrons pour coder un état :	13
1.2.3 Hautes tensions	14
1.3 Vers une nouvelle ère	15
1.3.1 Une Flash more than Moore	15
1.3.2 Mémoires émergentes	16
1.3.3 Conclusion	20
1.4 Positionnement des activités de recherche	22
<b>2 Caractérisation de mémoires résistives OxRRAM</b>	<b>25</b>
2.1 Contexte et positionnement	27
2.2 Propriétés fondamentales des OxRRAM à base de HfO <sub>2</sub>	30
2.3 Analyse en température — Endurance, Rétention	33
2.3.1 Comportement électrique et performances	33
2.3.2 Impact de l'état LRS sur la rétention	36
2.3.3 Impact de l'état LRS sur l'opération de <i>Reset</i>	39
2.4 Analyse Sécuritaire - Attaque LASER	42
2.4.1 Contexte de l'étude	42
2.4.2 Attaque de cellules 1R	42
2.4.3 Éléments de compréhension	43
2.5 Conclusions et perspectives	45
<b>3 Modélisation des mémoires résistives</b>	<b>47</b>
3.1 Contexte et positionnement	49
3.2 Modélisation des mémoires OxRRAM unipolaires à base de NiO	50
3.2.1 Description du modèle	51
3.2.2 Validation du modèle	53
3.2.3 Conclusion	55
3.3 Modèle compact des dispositifs OxRRAM bipolaires	56

3.3.1	Détail du modèle compact mis en œuvre . . . . .	57
3.3.2	Validation du modèle . . . . .	62
3.3.3	Conclusion . . . . .	69
3.4	Conclusions et perspectives . . . . .	70
<b>4</b>	<b>Matrice FeRAM à base de technologie C-OTFT</b>	<b>71</b>
4.1	Contexte . . . . .	73
4.1.1	Positionnement et objectifs . . . . .	73
4.1.2	Filière C-OTFT : Complementary Organic Thin Film Transistors . . . . .	75
4.1.3	Mémoire ferroélectrique : FeRAM . . . . .	76
4.2	Caractérisation et modélisation des cellules FeRAM . . . . .	78
4.2.1	Caractérisation électrique . . . . .	78
4.2.2	Modélisation compacte . . . . .	82
4.2.3	Conclusion . . . . .	84
4.3	Architecture mémoire . . . . .	85
4.3.1	Choix design . . . . .	85
4.3.2	Décodeur . . . . .	88
4.3.3	Amplificateur de lecture – Sense . . . . .	91
4.4	Conclusions et perspectives . . . . .	95
	<b>Conclusions générales et projet de recherche</b>	<b>97</b>
	<b>Bibliographie</b>	<b>101</b>
	<b>Index</b>	<b>122</b>

---

# Table des figures

1.1	Marché des semi-conducteurs (source : Semico Research Corporation).	5
1.2	Évolution de la quantité mondiale de données stockées	5
1.3	Hierarchie mémoires	6
1.4	Quelques repères historiques des moyens de stockages numériques	8
1.5	Architecture NOR.	9
1.6	Architecture NAND.	9
1.7	Évolution des revenus du marché des mémoires	10
1.8	Évolution du prix du gigaoctet des mémoires NAND Flash et HDD	10
1.9	Évolution de la hiérarchie mémoire	11
1.10	Schéma électrique du couplage entre cellules NAND.	13
1.11	Mise en œuvre de la technique “Air-gap”	13
1.12	Classification des principales technologies mémoires non-volatiles [ITRS13]	16
1.13	Schéma simplifié de l’empilement PCRAM	17
1.14	Schéma structurel des différentes générations de mémoires MRAM	18
1.15	Commutation unipolaire et bipolaire des mémoires ReRAM	19
1.16	Mécanismes de <i>Set</i> et de <i>Reset</i> dans une OxRRAM unipolaire de type TCM.	19
1.17	Mécanismes de <i>Set</i> et de <i>Reset</i> dans une OxRRAM bipolaire de type VCM.	20
1.18	Opérations de <i>Set</i> et de <i>Reset</i> dans un empilement CBRAM.	20
2.1	Caractéristiques $I(V)$ et schéma d’une d’une architecture “1T1R”	30
2.2	$I(V)$ d’empilements (a) Non-polaire (Pt/HfO <sub>2</sub> /Pt) et Bipolaire (Ti/HfO <sub>2</sub> /TiN)	31
2.3	Diagramme d’Ellingham pour l’oxyde de Pt <sub>3</sub> O <sub>4</sub> et de TiO <sub>2</sub>	31
2.4	Évolution de $I_{Reset}$ en fonction de $I_{CompSet}$ ; de $R_{HRS}$ en fonction de $V_{StopReset}$ ; et du temps de commutation du <i>Set</i> en fonction de la tension appliquée	32
2.5	Évolution en températures des résistances LRS et HRS programmées à 25°C.	34
2.6	Évolution avec température des tensions de commutation, de $R_{LRS}$ et de $R_{HRS}$	34
2.7	Caractéristique d’endurance à 25°C, 150°C et 200°	35
2.8	Tests de rétention à 250°C : évolution de $R_{LRS}$ en fonction du temps	36
2.9	$\sigma$ et $R_{LRS}$ calculées en fonction de la concentration en lacunes d’oxygène	38
2.10	Rétention expérimental et simulé en fonction de la température de <i>Set</i>	38
2.11	Impact de la température du <i>Set</i> sur l’opération de <i>Reset</i>	39
2.12	a) $R_{CF}$ et $n_{CF}$ utilisées en simulation et b) Ratio $I_{Reset}/I_{CompSET}$ simulé	40



2.13 Simulation du <i>Reset</i> pour des filaments ayant caractéristiques microscopiques différentes . . . . .	40
2.14 Distribution cumulée des valeurs de résistances avant et après attaque . . . . .	43
2.15 Schéma de l'empilement complet utilisé dans la simulation des attaques LASER . . . . .	44
2.16 Cartographie simulée de la répartition de la température après 0.8 ns suivant l'attaque LASER. . . . .	44
2.17 Rétention à 300°C des dispositifs de l'étude des attaques LASER . . . . .	45
3.1 Schéma de la structure utilisé dans le modèle d'OxRRAM unipolaire . . . . .	51
3.2 Caractéristiques $I(V)$ expérimentales et simulées de cellules OxRRAM unipolaires . . . . .	54
3.3 Caractéristiques $I(V)$ simulées pour $I_{CompSet} = 5\text{ mA}$ et $10\text{ mA}$ . . . . .	54
3.4 Évolution des tensions de commutation en fonction de la vitesse de la rampe . . . . .	55
3.5 Description schématique des mécanismes de fonctionnement de la technologie OxRRAM – VCM : <i>Valency Change Memory</i> . . . . .	57
3.6 Schéma des différentes régions considérées dans le modèle compact d'OxRRAM bipolaire . . . . .	58
3.7 Organigramme du programme employé dans l'implémentation numérique sous ELDO . . . . .	62
3.8 Chronogrammes obtenu par simulation d'une OxRRAM bipolaire 1T1R . . . . .	63
3.9 Caractéristiques $I(V)$ expérimentales et simulées d'une structure mémoire à base de $\text{HfO}_2$ . . . . .	64
3.10 Evolution de $I_{Reset}$ en fonction de $I_{CompSet}$ obtenu en simulation . . . . .	64
3.11 Évolution de $R_{HRS}$ en fonction de $V_{StopReset}$ . . . . .	65
3.12 Temps de commutation de l'opération de <i>Set</i> en fonction de la tension appliquée . . . . .	65
3.13 Confrontation des résultats de simulation avec les données expérimentales des tensions de commutation en fonction de la température. . . . .	66
3.14 Caractéristiques $I(V)$ expérimentales et simulées de l'Électroforming, du <i>Set</i> et du <i>Reset</i> reflétant la variabilité dispositif à dispositif. . . . .	67
3.15 Distributions cumulées des tensions de commutation et des résistances de $R_{HRS}$ et de $R_{Pristine}$ . . . . .	68
3.16 Exemples d'applications réalisés à partir des modèles compacts OxRRAM . . . . .	69
4.1 Système RFID . . . . .	73
4.2 Vue de coupe de la technologie C-OTFT. . . . .	75
4.3 Chronogrammes de mesure et Cycle d'hystérésis typique d'une mémoire FeRAM avec les grandeurs le caractérisant . . . . .	77
4.4 Schéma des dispositifs de type <i>Plot</i> et des dispositifs de type <i>Cross Finger</i> . . . . .	79
4.5 Caractéristique électrique d'un condensateur $\text{Au/P(VDF-TrFE)/Au}$ . . . . .	79
4.6 Caractéristique électrique d'un condensateur $\text{Au/P(VDF-TrFE)/Au}$ lors des premiers cycles de réveil . . . . .	80
4.7 Caractéristique de la fatigue d'une cellule FeRAM $\text{Au/P(VDF-TrFE)/Au}$ . . . . .	80

---

4.8	Caractéristique de la rétention d'un empilement $Au/P(VDF-TrFE)/PEDOT:PSS-Ag$ à $24^{\circ}C$ et $80^{\circ}C$ . . . . .	81
4.9	Opérateur hystérésis élémentaire . . . . .	82
4.10	Logigramme simplifié . . . . .	83
4.11	Confrontation entre simulations et mesures du cycle d'hystérésis et des courants dans un empilement $Au/P(VDF-TrFE)/PEDOT:PSS-Ag$ . . . . .	83
4.12	Cycles d'hystérésis obtenus en simulation pour différentes fréquences de la tension appliquée . . . . .	84
4.13	Architecture complète d'une matrice mémoire ferroélectrique. . . . .	85
4.14	Plan mémoire FeRAM de type 2T2C : 2 transistors et 2 condensateurs . . . . .	85
4.15	Schéma de l'unité élémentaire de décodage 1 vers 2 . . . . .	88
4.16	Schéma de l'étage de sortie à double inversion . . . . .	88
4.17	Schéma électrique complet du décodeur 3 vers 8 . . . . .	88
4.18	Décodeur 3 vers 8 avec étage de sortie double inversion . . . . .	89
4.19	Chronogrammes des signaux de sortie du décodeur . . . . .	90
4.20	Ratio $V_{OUT}/V_{DD}$ et délais d'activation et de désactivation du décodeur . . . . .	90
4.21	<i>Sense</i> et sélecteur de Lecture/Écriture . . . . .	91
4.22	Schéma électrique du <i>Sense</i> . . . . .	91
4.23	Chronogrammes du <i>Sense</i> . . . . .	92
4.24	Schéma de test du <i>Sense</i> relié à deux cellules mémoires FeRAM simulant les conditions standards de lecture . . . . .	94
4.25	Chronogrammes de test du <i>Sense</i> . . . . .	94

## Liste des tableaux

1.1	Tableau comparatif des performances des mémoires résistives . . . . .	21
2.1	Paramètres physiques utilisés dans le modèle de diffusion . . . . .	37
2.2	Paramètres physiques utilisés dans le modèle de <i>Reset</i> . . . . .	40
3.1	Paramètres du modèle OxRRAM unipolaire . . . . .	53
3.2	Paramètres physiques utilisés dans le modèle compact d'OxRRAM bipolaire . . . . .	63
4.1	Paramètres utilisés dans le modèle compact FeRAM . . . . .	82
4.2	Tableau de sélection de l'architecture du plan mémoire . . . . .	86
4.3	Tableau de sélection de l'architecture du décodeur . . . . .	87
4.4	Tableau de sélection de l'architecture du <i>Sense</i> . . . . .	87

---



# Préambule

Ce manuscrit présente quelques-unes de mes activités de recherche sur la période 2010 à 2017 dans le cadre de la préparation à l'Habilitation à Diriger des Recherches.

Ainsi, après une introduction sur le contexte général des mémoires non-volatiles et le positionnement de mes activités de recherche réalisé dans le chapitre 1, quelques faits saillants seront présentés.

Le chapitre 2 s'attardera sur l'étude des mémoires résistives de type OxRRAM bipolaires à base de  $\text{HfO}_2$ . Une attention particulière sera apportée sur la caractérisation et la compréhension des mécanismes de commutation. De plus une analyse sécuritaire sera effectuée à travers l'étude de l'intégrité des données stockées suite à des attaques LASER en vu d'applications embarquées.

Le chapitre 3 s'intéressera à la modélisation des mémoires OxRRAM unipolaires et bipolaires à travers la présentation d'un modèle numérique et d'un modèle compact.

Le chapitre 4 traitera du développement d'une matrice mémoire à base d'une technologie mémoire FeRAM et d'une technologie transistor C-OTFT sur support souple dans le cadre d'une collaboration avec le CEA-LITEN. Ce chapitre illustrera une partie des activités de l'équipe mémoire dans le domaine des dispositifs mémoires sur support souple tout en mettant en avant notre savoir-faire dans les domaines de la caractérisation et de la conception de circuit.

Enfin, les conclusions générales ainsi que quelques perspectives à court, moyen et long terme seront ensuite présentées.

---



# Chapitre 1

## Introduction et positionnement des travaux de recherche

*Notre plus grande faiblesse, c'est l'abandon.  
Le moyen le plus sûr de réussir est de toujours essayer une fois de plus.  
Thomas Edison*

L'objectif de ce chapitre introductif est de rappeler brièvement le contexte — à la fois historique, scientifique et économique — dans lequel s'inscrivent les travaux de recherche présentés dans ce manuscrit.

Après un rapide tour d'horizon des technologies mémoires non-volatiles, notamment sur silicium, dominées par la cellule E<sup>2</sup>PROM-Flash, leurs limitations seront rappelées introduisant la nécessité de nouvelles approches : cellule, structure et paradigme.

Un focus plus particulier sera fait sur les technologies à bases de mémoires résistives pour finir sur la présentation de mes travaux.

---

## Sommaire

---

<b>1.1</b>	<b>Positionnement des mémoires non-volatiles</b>	<b>5</b>
1.1.1	Histoire de hiérarchie : des peintures rupestres aux datacenters	6
<b>1.2</b>	<b>Les limitations des mémoires Flash</b>	<b>11</b>
1.2.1	Couplages électrostatiques	12
1.2.2	Nombre d'électrons pour coder un état :	13
1.2.3	Hautes tensions	14
<b>1.3</b>	<b>Vers une nouvelle ère</b>	<b>15</b>
1.3.1	Une Flash more than Moore	15
1.3.2	Mémoires émergentes	16
1.3.2.1	FeRAM	16
1.3.2.2	PCM	17
1.3.2.3	MRAM	17
1.3.2.4	ReRAM	18
1.3.3	Conclusion	20
<b>1.4</b>	<b>Positionnement des activités de recherche</b>	<b>22</b>

---

## 1.1 Positionnement des mémoires non-volatiles

Depuis le milieu des années 60, le marché des semi-conducteurs a connu un essor exceptionnel (cf FIG. 1.1). Sa capacité à infiltrer les marchés, associés aux efforts incessants en matière d'innovation technologique, lui a permis de faire face au renouvellement de la demande des consommateurs pour lui permettre d'atteindre en 2015 336 milliards de dollars, dont 20% était porté par le marché des mémoires.

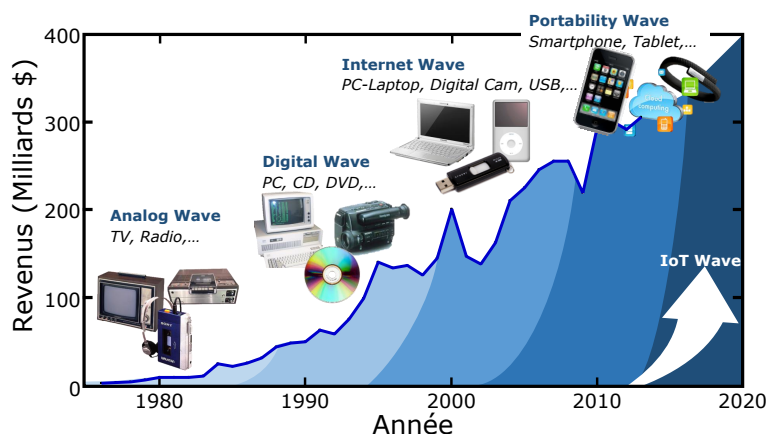


FIGURE 1.1 – Marché des semi-conducteurs (source : Semico Research Corporation).

Sa réussite applicative provient de l'intelligence qu'elle vient apporter aux systèmes grâce à sa capacité à traiter et à stocker l'information. Ainsi la mémoire est un élément central de ces systèmes. Au delà des problématiques de miniaturisation, les technologies mémoires sont au centre d'un grand nombre de défis découlant de l'explosion des données manipulées par l'humanité (cf. FIG. 1.2) et du BigData, et vont jusqu'à remettre en cause les paradigmes imposés par les architectures Von Neumann.

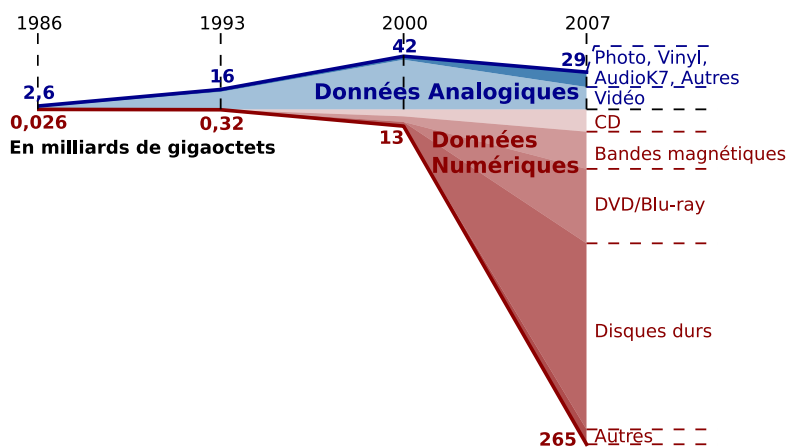


FIGURE 1.2 – Évolution dans le temps de la quantité mondiale de données stockées sur des supports analogiques et numériques [Hilb11 ; Hilb]



### 1.1.1 Histoire de hiérarchie : Des peintures rupestres aux datacenters

Si l'on devait revenir aux origines, la première forme "d'enregistrement et de transmission de l'information" serait sans doute les peintures rupestres ou encore les écritures lapidaires. Avec les progrès de l'humanité, les supports de transmission ont constamment évolué en devenant plus légers mais aussi plus fragiles avec, par exemple, le papyrus ou le papier. Ces supports étaient utilisés comme média là où la transmission orale ne permettait plus d'assurer la pérennité de la connaissance. Les informations apposées sur ces supports naturels étaient directement accessibles à l'Homme, moyennant la compréhension du langage associé, i.e. codage. C'est avec la carte perforée utilisée dans les premiers métiers à tisser, en 1725, que, pour la première fois, le décodage d'une information nécessitait une machinerie de lecture. La machine analytique imaginée par Charles Babbage en 1834 a conduit à l'exécution du premier programme utilisant les cartes perforées. Cette machine a pavé la voie de la révolution informatique et, avec elle, la nécessité de stocker des informations binaires (ou bits), sous la forme de 0 et de 1, en quantités de plus en plus grandes.

Aujourd'hui la mémoire digitale est largement présente dans notre quotidien. La mémoire idéale, universelle, se voudrait être infiniment rapide, très dense, endurante et apte à conserver l'information de manière permanente tout en étant facilement interfaçable avec les unités de traitement. Cette mémoire n'existant pas, les technologies actuelles reposent sur un compromis entre leurs performances au regard de l'application visée. Deux caractéristiques s'opposent généralement : le temps d'accès et la densité. Cette contrainte a vu naître les architectures Von Neumann et Harvard (1944) et une hiérarchie mémoire s'est mise en place (FIG. 1.3) en rapprochant les mémoires les plus rapides — mais aussi les moins denses — du cœur de calcul, et en éloignant les mémoires de forte densité et/ou d'archivage — les plus lentes.

Les mémoires opérant en lien direct avec le processeur sont constituées de transistors leur conférant des temps d'accès très courts et d'une technologie silicium toujours plus agressive :

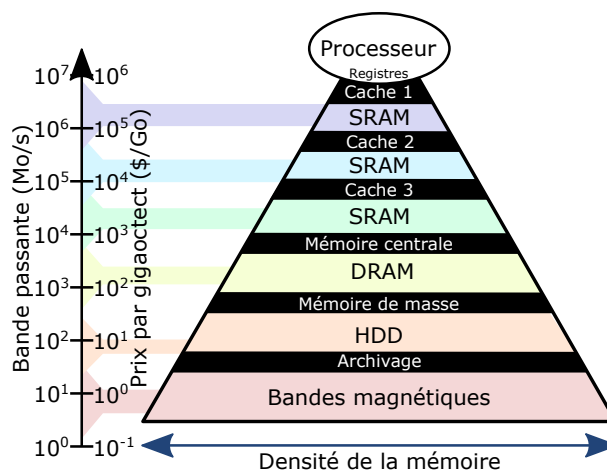


FIGURE 1.3 – Hiérarchie mémoires imposée par la densité, le coût et la rapidité des différentes technologies.

- La mémoire SRAM – Static Random Access Memory – est la plus utilisée dans les premiers niveaux de cache avec son architecture à 6 transistors. Toutefois, une alimentation permanente est nécessaire pour conserver l’information.
- La mémoire centrale est classiquement une mémoire DRAM – Dynamic RAM – constituée d’un transistor et d’un condensateur. Elle est la solution faible coût pour le stockage haute densité. Néanmoins, elle requiert un rafraîchissement périodique pour conserver l’information, induisant une consommation d’énergie. Les mémoires DRAM sont généralement *Standalone*, offrant la possibilité de mettre en œuvre des technologies de fabrication dédiées et optimisées.

On note enfin une vaste “zoologie” de ces mémoires sur semi-conducteurs (DPRAM, GDDR5, SDRAM, etc.) qui correspondent à des déclinaisons architecturales spécifiques de mémoires SRAM ou DRAM, adaptées à chaque application.

Contrairement aux mémoires volatiles<sup>1</sup> SRAM et DRAM, les mémoires non-volatiles<sup>2</sup> ont été pendant longtemps dominées par des technologies non intégrables sur semi-conducteurs. La carte perforée de Baggage a très vite été remplacée par des supports magnétiques, optiques ou électroniques. Le support magnétique a longtemps été le moyen d’archivage par excellence pour les particuliers et les industriels : cassette audio (K7, Compact Cassette), cassette vidéo VHS, Betamax, disquette ZIP, etc. S’agissant du stockage informatique, c’est en 1967 qu’IBM lance la disquette souple – Floppy Disk par opposition au disque dur (Hard Disk Drive, HDD) – qui sera l’un des supports d’échange et d’archivage le plus répandu jusque dans les années 2000. Soulignons qu’après 3 générations (8½, 5¼ et 3½ pouces), la dernière disquette est sortie des usines Sony en mars 2011. Même si cette technologie est aujourd’hui dépassée, le stockage sur bande magnétique reste compétitif avec un coût/bit très inférieur à celui des disques HDD.

Le stockage de masse a été, pendant des décennies, dominé par le disque dur HDD associant un plateau magnétique rigide tournant et une tête de lecture/écriture fixe. Mis au point par IBM en 1956, il a fait l’objet d’évolutions spectaculaires en termes de vitesse, débit et fiabilité ; en passant d’une densité de quelques Megaoctets dans les années 1960 à quelques Téraoctets aujourd’hui. Cette explosion de la densité de stockage s’explique par l’avènement, dans les années 1990, de l’électronique de spin (ou spintronique). Moins de 10 ans ont été nécessaires entre la démonstration en laboratoire par Albert Fert et Peter Grünberg, à la fin des années 1980, de l’effet emblématique de la spintronique — la magnéto-résistance géante<sup>3</sup> — et la commercialisation des premiers disques durs utilisant cette propriété par IBM en 1997.

Le développement des média optiques explique la disparition de la plupart des supports magnétiques, hors HDD. L’invention du CD – Compact Disk – par Philips en 1979 et sa commercialisation par Philips et Sony en 1982, a conduit au bouleversement des supports de stockage pour l’audio et la vidéo. Dans les CD-R – inscriptibles – les données sont gravées sur un support en polycarbonate alors que les CD-RW – réinscriptibles – reposent sur la modification de l’indice optique d’un matériau à changement de phase passant d’un état amorphe à un état cristallin sous l’effet d’une impulsion laser.

---

1. Les mémoires volatiles perdent l’information en l’absence d’alimentation électrique

2. Les mémoires non-volatiles conservent l’information en l’absence d’alimentation électrique

3. Fert et Grünberg ont obtenu, pour ces travaux, le prix Nobel de physique en 2007.

---

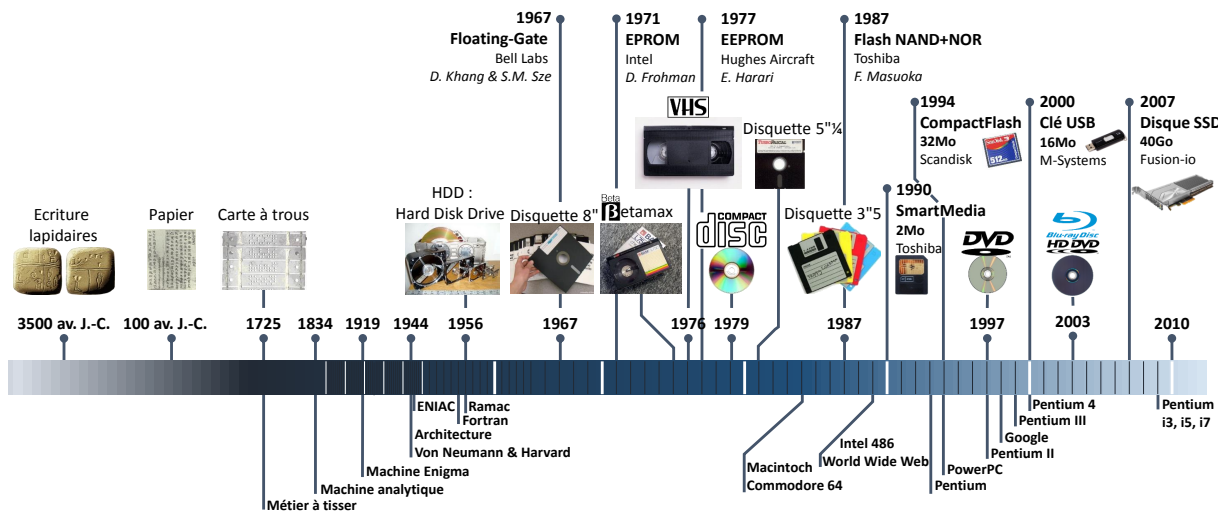


FIGURE 1.4 – Quelques repères historiques des moyens de stockages numériques

La diminution des longueurs d'onde du laser et les substrats multicouches ont permis l'augmentation de la densité de stockage et l'apparition de nouveaux standards comme le DVD en 1997 et, dans les années 2000, le développement du HD-DVD de Toshiba et le disque Blu-ray de Sony débouchant sur l'avènement de ce dernier.

Le panorama des technologies de stockage de masse a été profondément bouleversé par l'émergence des mémoires électroniques s'appuyant sur les technologies silicium. Historiquement, les mémoires électroniques étaient scindées en 2 familles :

- les mémoires vives RAM (mémoire à accès direct) regroupant les technologies SRAM et DRAM et permettant le stockage des variables des programmes ;
- les mémoires mortes ROM (Read Only Memory, mémoire en lecture seule) dont le contenu, non réinscriptible, est réservé au stockage du code.

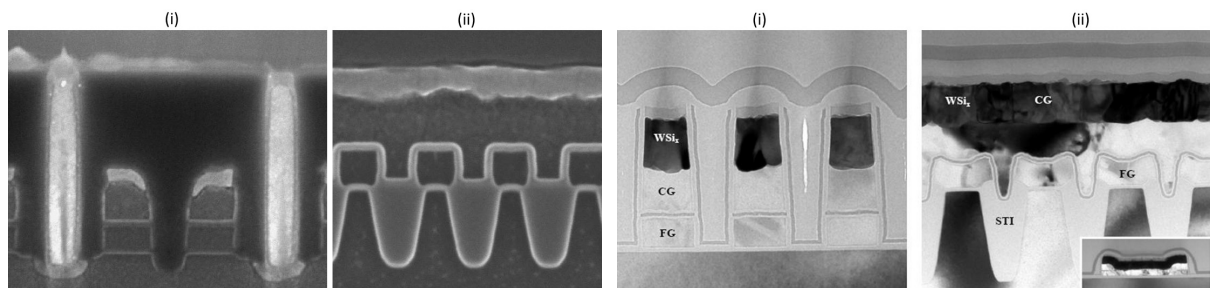
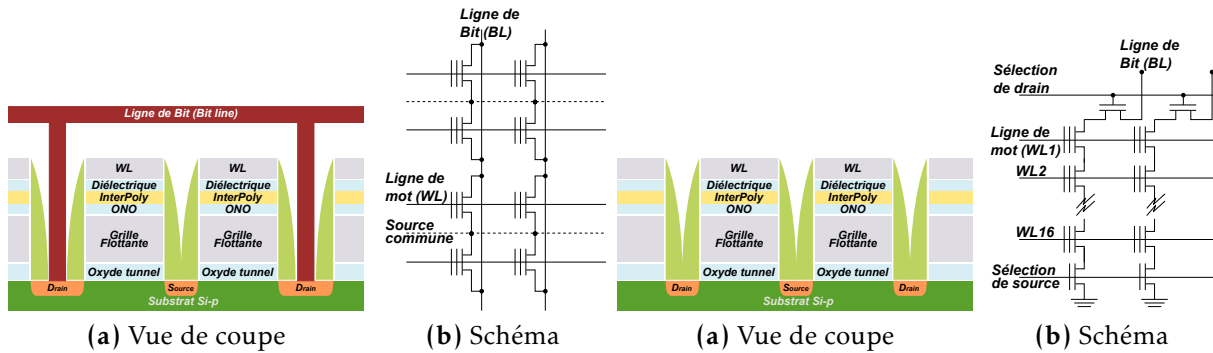
Sur la base de progrès technologiques, les développements se sont davantage focalisés sur la non-volatilité de l'information avec des évolutions progressives :

**ROM :** *Read Only Memory* est la première technologie commerciale de mémoires non-volatiles. Les données sont écrites par gravure de façon permanente lors de la fabrication, et sont donc uniquement lisibles. Ses premiers succès commerciaux eurent lieu à partir des années 70 où elle était utilisée comme support de stockage pour les jeux vidéo.

**PROM :** *Programmable ROM*, aussi appelée OTP (One-Time Programmable), constitue une alternative moins coûteuse que la ROM car programmable électriquement par le client en faisant claquer des fusibles ou des anti-fusibles. Elle fut inventée en 1956 par Wen Tsing Chow, à la demande de la United States Air Force <sup>4</sup>.

**EPROM :** *Erasable PROM* est une mémoire reprogrammable grâce à un effacement possible par ultra-violet. Ce type de dispositif a été décrit pour la première fois par

4. Avant la première apparition des circuits intégrés dont la fabrication industrielle démarra en 1959 chez Texas Instruments



(c) Photographies TEM, (i) parallèlement à la ligne de bits et (ii) parallèlement à la ligne de mots [Serv05]

FIGURE 1.5 – Architecture NOR.

(c) Photographies TEM, (i) parallèlement à la ligne de bits et (ii) parallèlement à la ligne de mots [Jame07]

FIGURE 1.6 – Architecture NAND.

Kahng *et al.* [Kahn67] dans une structure MIMIS<sup>5</sup> en 1967. C'est la base des mémoires à grille flottante et à stockage de charges sur lesquelles reposent actuellement tous les produits E<sup>2</sup>PROM et Flash.

**E<sup>2</sup>PROM** : *Electrically EPROM* peut s'écrire et s'effacer électriquement. Le point mémoire est constitué de deux transistors : un transistor de sélection et un transistor mémoire. Elle présente donc une surface importante mais chaque cellule mémoire peut être programmée de manière indépendante. La première mémoire E<sup>2</sup>PROM a été introduite sur le marché en 1983 au format de 16Kbit.

**Flash** : ou mémoire Flash E<sup>2</sup>PROM est semblable à la mémoire E<sup>2</sup>PROM mais sans le transistor de sélection. La cellule mémoire pouvant avoir le rôle de transistor de sélection. La mémoire Flash E<sup>2</sup>PROM a été mise en production vers 1990. Son nom provient de son effacement ultra-rapide permettant l'effacement par secteur. Comme le point mémoire est constitué d'un seul transistor, la surface occupée est faible. Les deux principales architectures de mémoires Flash sont<sup>6</sup> :

**La flash NOR<sup>7</sup>** : La grille de contrôle est commune à une ligne de cellules appelée ligne de mots (*word line*) et le drain est commun à une ligne de bits (*bit line*), cf FIG. 1.5. L'accessibilité du drain pour chaque cellule permet des modes de programmation rapide et un véritable accès aléatoire. La Flash NOR est essentiellement utilisée pour le stockage de codes d'instruction pour

5. MIMIS : Metal Insulator Metal Insulator Semiconductor

6. Ces architectures rappellent les portes logiques NAND et NOR, d'où leur nom.

les applications embarquées.

**La flash NAND<sup>8</sup>** : Les cellules sont organisées en série, cf FIG. 1.6. Le drain des cellules n'étant pas adressable, les mécanismes physiques d'écriture et d'effacement sont plus lents. Mais la programmation étant réalisée par blocs mémoires, les temps de programmation globaux sont plus rapides que la NOR. L'accès en lecture nécessite la polarisation de toutes les lignes de mots imposant des temps de chargement importants rendant les temps d'accès plus longs que ceux des NOR. Enfin, l'absence de contact de drain (cf FIG. 1.6a) permet une diminution de la taille, environ 40% par rapport à une Flash NOR. Cette densité plus élevée, et donc un coût par bit plus faible, la positionne comme mémoire de données ou de stockage pour des applications mobiles (clés USB baladeur MP3, smartphone, tablette numérique ...).

La mémoire Flash avec son architecture NAND (dense et peu chère) a vu son marché exploser avec le stockage de données dans les applications nomades dès les années 2000 (cf FIG. 1.7). La réduction du coût/bit a permis l'apparition des mémoires Flash SSD — Solid-State Drive — plus robustes, plus rapides et moins gourmandes en énergie que les disques HDD (cf FIG. 1.8) ; ainsi que l'avènement d'une nouvelle classe dans la hiérarchie mémoire, nommée SSD-S<sup>9</sup>, permettant de combler le gouffre en temps d'accès qui sépare la DRAM du HDD. Les nouvelles technologies de Flash NAND 3D commercialisées par Samsung[Kang16] suivi par Micron-Intel[Tana16] et Toshiba, les rendent encore plus attractives et compétitives face au HDD pour les applications grand public.

Enfin, durant l'été 2015, Intel et Micron ont annoncé une nouvelle mémoire : 3D Xpoint<sup>®</sup>. Ce nouveau type de mémoire vient encore une fois compléter la hiérarchie mémoire avec la classe des SSD-M<sup>10</sup> permettant de désengorger la mémoire centrale

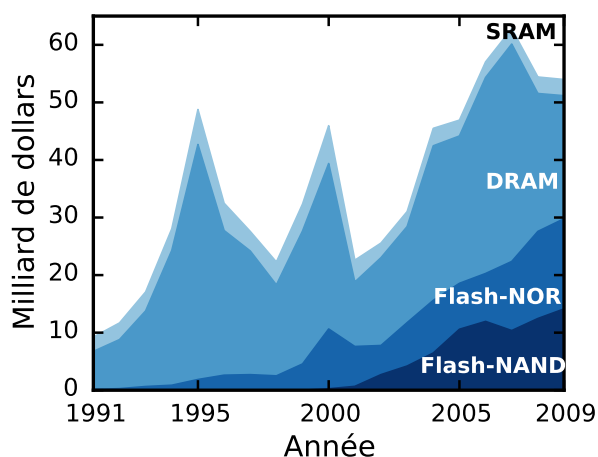


FIGURE 1.7 – Évolution des revenus du marché des mémoires semi-conducteur : les mémoires DRAM ont longtemps dominé mais la technologie Flash-NAND représentent 50% du marché en 2017.

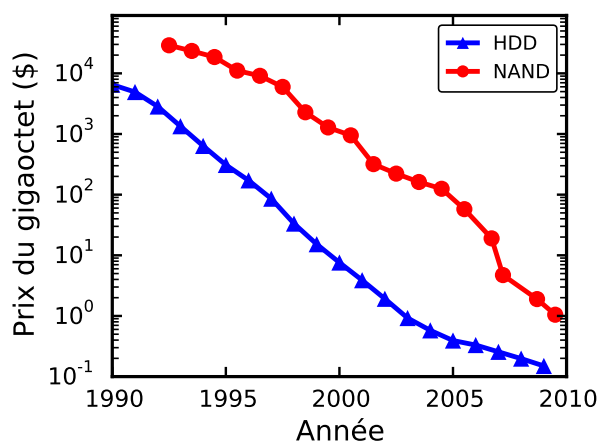


FIGURE 1.8 – Comparaison de l'évolution du prix du gigaoctet de mémoires non-volatiles pour la technologie NAND Flash et les disques durs magnétiques HDD (Hard Disk Drive).

9. S comme "Storage"

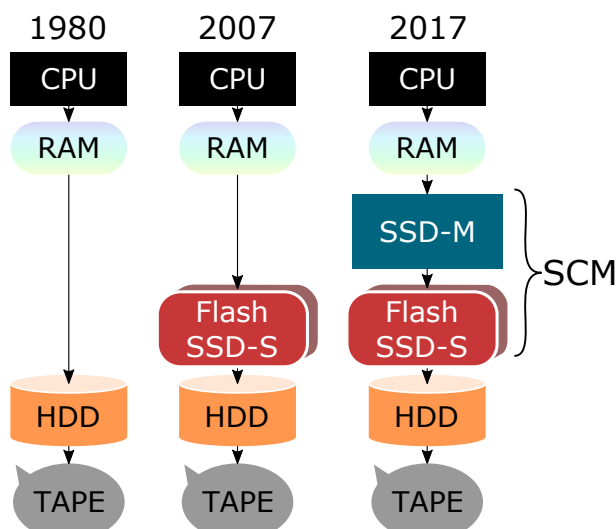


FIGURE 1.9 – Évolution de la hiérarchie mémoire avec l’apparition des SSD orientés “stockage” : SSD-S, et les SSD orientés “mémoire” : SSD-M.

DRAM. Il modifie définitivement la hiérarchie historique (cf FIG. 1.9) en particulier pour les applications serveurs ou datacenters. De manière plus générale, ces dernières années ont vu l’émergence d’une nouvelle classe mémoire — la *Storage Class Memory* — regroupant des mémoires non-volatile de très forte densité mais offrant des performances proche de celles de la DRAM.

En résumé de ce bref historique sur les supports de stockage de l’information, force est de constater une évolution technologique extraordinaire permettant l’émergence de nouvelles solutions aux performances toujours améliorées. Depuis les peintures rupestres, l’Homme a été maître de son développement et a su, en fonction du besoin, adapter ses moyens de stockage. On peut néanmoins s’interroger sur le vecteur numérique comme seul élément de mémoire de la connaissance de l’humanité. En effet, même si on parle aujourd’hui exaOctet ( $10^{18}$  octets), la durée de vie des moyens de stockage fait pâle figure au regard de la pierre de Rosette ou des papyrus de la mer Morte. Les technologies actuelles imposent une duplication des données et une machinerie sophistiquée pour accéder à une information souvent cryptée et compressée expliquant l’explosion de données du *Cloud*.

## 1.2 Les limitations des mémoires Flash

Au vu des enjeux financiers, les technologies E<sup>2</sup>PROM-Flash, en particulier Flash-NAND, ont bénéficié d’efforts technologiques importants de la part des grands groupes industriels. Cette dynamique a permis une accélération de leur miniaturisation, dépassant les technologies MOS et DRAM depuis l’année 2004, et repoussant plusieurs fois les limites annoncées depuis le nœud technologique 90nm. Néanmoins l’approche des nœuds sub décannométriques annonce la fin de la feuille de route commune de l’industrie des semi-conducteurs : la “Loi de Moore” avec son doublement de la densité tous

10. M comme “Memory”

les deux ans. Les solutions permettant de prolonger cette réduction de taille se heurtent dorénavant à des verrous technologiques et physiques majeurs.

### 1.2.1 Couplages électrostatiques

De par leur structure — un transistor MOS possédant une grille flottante entre le canal et la grille de contrôle, cf FIG. 1.6 — les mémoires E<sup>2</sup>PROM-Flash planaires sont assujetties aux problématiques inhérentes à la miniaturisation des transistors MOS (limites lithographiques, transport dans les canaux courts, variabilité du dopage canal, etc.). Mais les spécificités de ces dispositifs à stockage de charges imposent des contraintes supplémentaires, notamment en terme de couplage électrostatique :

#### Couplage canal :

Tout comme les transistors MOS, la diminution des dimensions impose une réduction de l'oxyde tunnel pour maintenir le bon couplage entre canal et grille flottante. Cette contrainte induit des dégradations de la fiabilité du dispositif : rétention altérée, sensibilité plus forte aux phénomènes de vieillissement (e.i. SILC, *Stress Induced Leakage Current*), etc. L'approche la plus répandue pour se prémunir de ce phénomène SILC est l'utilisation de mémoires à couche de piégeage discret, telles que les mémoires nitrures [Vian09 ; Lee03] (SONOS<sup>11</sup>, NROM<sup>12</sup>, TANOS [Park15 ; Kang16], ...) ou les mémoires à nanocristaux [Pral07 ; Mola07]. Le remplacement de l'oxyde de silicium par un empilement de plusieurs diélectriques est aussi une alternative permettant une optimisation des performances à la fois en programmation et en rétention [Buck05].

#### Couplage entre grille flottante et grille de contrôle :

Pour assurer le bon fonctionnement de la cellule, une juste répartition des couplages capacitifs est nécessaire entre la grille flottante, le canal et la grille de contrôle. Cette bonne répartition est généralement obtenue par le débordement de la grille de contrôle autour de la grille flottante (cf FIG. 1.5c & 1.6c). Néanmoins, avec la diminution des nœuds technologiques, l'espace nécessaire à la réalisation de celle-ci est de plus en plus limité [Kim2005-IEMD].

L'une des solutions permettant la suppression de ces extensions latérales est l'intégration de matériaux à forte permittivité, appelés High- $\kappa$ , en remplacement de l'empilement ONO en diélectrique d'interpoly. Ces matériaux High- $\kappa$  permettent une augmentation importante du couplage grâce à leur forte constante diélectrique maintenant ainsi un coefficient de couplage de 0,6 – 0,7 [Duur06].

#### Couplage entre cellules adjacentes :

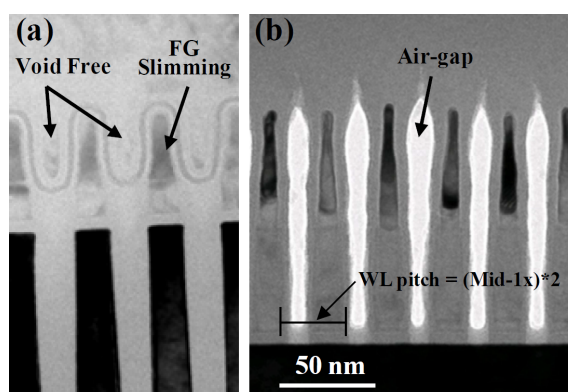
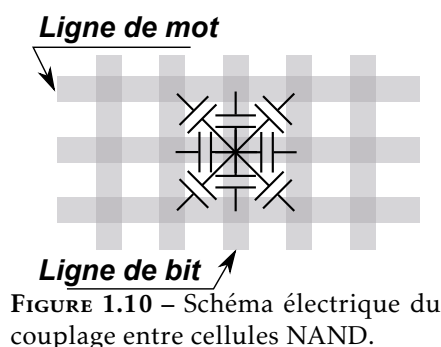
Une autre limitation de la miniaturisation est l'augmentation des interférences entre cellules. En effet, lorsque la densité d'intégration augmente, les cellules se rapprochent et le couplage capacitif entre grilles flottantes augmente (cf FIG.. 1.10). Ainsi, la charge stockée dans une grille flottante peut modifier la tension de seuil de la cellule voisine [Hsia09 ; Blom09].

11. Le nom SONOS vient des initiales de l'empilement mémoire : Silicium / Oxyde / Nitrure / Oxyde / Silicium. Les épaisseurs typiques sont 6 nm pour le nitrure et 2 ~ 3 nm pour l'oxyde tunnel.

12. Dans les mémoires NROM la couche de nitrure est épaisse et joue le rôle de couche de piégeage et d'isolation, soit un empilement Silicium / Oxyde / Nitrure. L'oxyde tunnel est épais > 5 nm.

Pour palier cela, le remplacement des espaceurs en nitrure par du  $\text{SiO}_2$ , l'utilisation de matériaux à très basse permittivité (dits *low- $\kappa$* ) ou l'insertion de vide (technique appelée "Air-gap", cf FIG. 1.11) entre les cellules sont envisagés [Kim07]. L'objectif de ces développements est de diminuer la permittivité du diélectrique qui assure l'isolation entre les cellules.

Une autre solution est l'utilisation de mémoires moins sensibles au couplage inter-cellules. Les mémoires à nanocristaux [Mola07] et à couche de piégeage [Shin05 ; Jung06] présentent une plus grande immunité à ces couplages parasites. En effet, ces couches de piégeage sont fines (entre  $4\text{nm}$  et  $10\text{nm}$ ) comparées à celles des mémoires à grille flottante continue (une centaine de nanomètres) et diminuent la surface en regard entre les cellules réduisant ainsi grandement le couplage. De plus, des algorithmes de découplage, similaires à ceux utilisés dans les disques durs<sup>13</sup>, peuvent aussi être utilisés [Li09].



### 1.2.2 Nombre d'électrons pour coder un état :

Il s'agit de la limite fondamentale touchant la physique des dispositifs à stockage de charges. La réduction des dimensions des dispositifs implique que la quantité d'électrons utilisés pour coder un bit devient de plus en plus faible, pouvant aller jusqu'à une dizaine d'électrons pour le nœud 15 nm : c'est l'une des technologies les plus agressives à ce jour [Hwan11]. Cette réduction peut induire des problèmes de fiabilité [Mola04 ; Mola06], et pour les dimensions ultimes, un comportement discontinu des phénomènes de chargement/déchargement [Mola06 ; Yano99]. Ces phénomènes stochastiques induisent des dispersions sur le temps de rétention et la fenêtre de programmation. Rappelons que les mémoires NAND utilisent très souvent un stockage "multi-niveaux" permettant de coder 2 à 3 bits par cellule, scindant ainsi la fenêtre de programmation en 4 à 8 niveaux distincts. Cette technique les expose d'autant plus à ce problème en diminuant encore le nombre d'électrons séparant les états mémoires.

13. En effet, la tête de lecture étant trop grosse pour la densité de l'information, on lit plusieurs bits à la fois avec une plus ou moins grande importance du bit central. Il est donc nécessaire de décorréler les informations lues.



Les seules échappatoires à cette limite fondamentale sont :

- une rupture technologique forte vers de nouveaux effets mémoires plus locaux, plus intégrables ;
- les approches 3D empilant plusieurs plans mémoires les uns sur les autres offrant un accroissement de la densité : pour  $n$  couches mémoires, la surface au sol d'une cellule mémoire est donc ramenée à  $6F^2/n$  [[Tana07](#)], tout en relâchant le dimensionnel.

### 1.2.3 Hautes tensions

Une limitation intrinsèque des cellules mémoires E<sup>2</sup>PROM-Flash réside dans leurs tensions de programmation. Ces tensions très largement supérieures aux tensions supportées par le cœur CMOS nécessitent l'utilisation de composants haute tension très difficiles à miniaturiser. Ainsi, c'est l'ensemble de la périphérie mémoire qui devient un frein important, notamment pour les applications embarquées [[Stre11](#)]. De plus, ces hautes tensions rendent impossibles les approches de mémoires distribuées dans les circuits pour améliorer leurs performances ou leur autonomie.

---

## 1.3 Vers une nouvelle ère

### 1.3.1 Une Flash more than Moore

Même si la mort des mémoires Flash et de la loi de Moore est annoncée à chaque nouveau nœud technologique depuis quelques années, les industriels ont su tirer le meilleur de cette technologie pour l'amener en production jusqu'au nœud technologique, ahurissant, de 15 nm [Hwan11] actuellement commercialisé par Toshiba. Il est normal de s'interroger sur la suite. Et face aux difficultés présentées précédemment, seules trois alternatives sont possibles :

- pousser la technologie Flash planar à son paroxysme et se confronter aux problématiques de couplage électrostatique et de phénomènes de mono-électronique ;
- partir sur des approches 3D pour relâcher les contraintes dimensionnelles et ainsi s'affranchir de ces limitations fondamentales mais au prix d'un procédé de fabrication très complexe ;
- amorcer une rupture technologique forte abandonnant la cellule E<sup>2</sup>PROM-Flash pour des mémoires émergentes à plus fort potentiel.

Connaître et comprendre les limitations technologiques dont sont assujetties les mémoires Flash est essentiel, mais la direction prise par les grands groupes est un indicateur pertinent. Aujourd'hui, l'intégration 3D est la solution plébiscitée par les fabricants de Flash-NAND. Même si c'est Toshiba qui a proposé en premier une intégration monolithique 3D en 2007[Fuku07], c'est Samsung qui a lancé en 2013 sa 3D V-NAND s'appuyant sur un empilement de grilles enrobant à piégeage de charges[Park15 ; Kang16]. Et il faudra attendre 2016 pour que l'alliance Intel-Micron lance en production une technologie 3D concurrente [Tana16]. Ainsi pour les mémoires *stand alone*, les feuilles de route des différents fabricants placent les solutions 3D Flash au centre des développements technologiques et laissent peu de place pour une nouvelle rupture technologique. Toutefois, la porte reste ouverte aux mémoires émergentes pour les applications hautes performances avec les produits *stand alone* d'Adesto Technologies (CBRAM), de XFab (CBRAM), d'Everspin Technologies(MRAM), etc.

Les mémoires embarquées posent quant à elles plus de problèmes. La co-intégration avec un cœur CMOS impose des contraintes de fabrication fortes rendant délicate, et/ou trop coûteuse, la miniaturisation des cellules E<sup>2</sup>PROM-Flash. Un autre problème majeur réside dans la périphérie de la matrice mémoire avec des circuits haute tension extrêmement difficiles à miniaturiser et d'une efficacité énergétique limitée. Ceci représente un frein aux composants ultra-basse consommation que nécessite, par exemple, l'Internet des objets.

Même si un travail sur l'architecture des cellules a été entamé par plusieurs grands groupes visant à réduire leur coût énergétique ainsi que leur empreinte physique [Kim10 ; Tkac12], les mémoires embarquées ont davantage besoin d'un renouvellement que leur cousine *stand alone*. C'est sans doute par ces applications que d'actuelles mémoires émergentes perceront comme successeurs de la cellule E<sup>2</sup>PROM-Flash.

---

### 1.3.2 Mémoires émergentes

Le développement de cellules mémoires ne s'appuyant plus sur un stockage de charges semble de plus en plus nécessaire notamment pour les applications embarquées, comme souligné précédemment. Qu'elles soient à un niveau de maturité avancé ou encore émergentes (cf FIG. 1.12), l'intérêt porté par les grands groupes pour ces solutions alternatives est croissant.

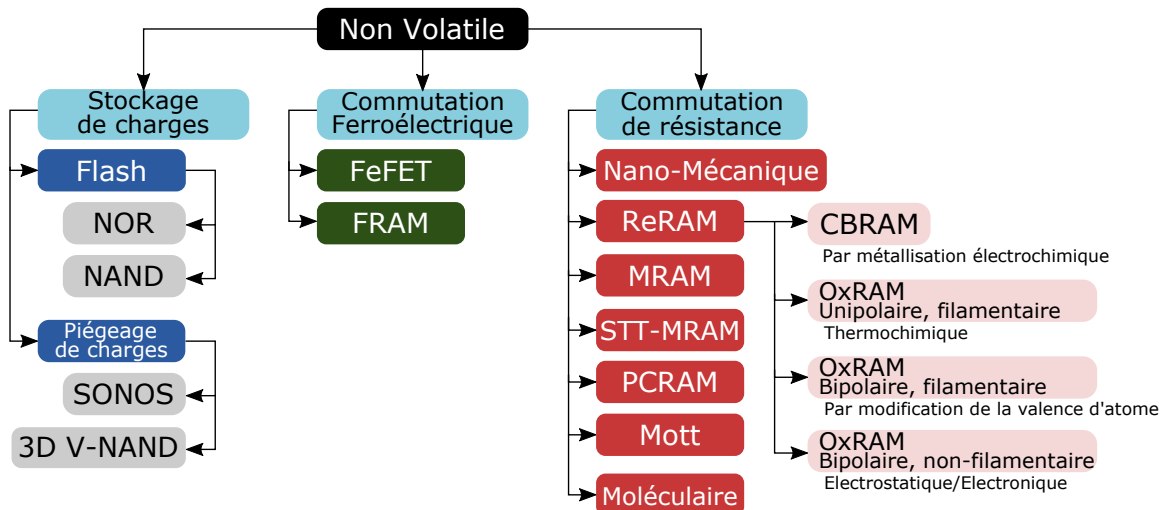


FIGURE 1.12 – Classification des principales technologies mémoires non-volatiles [ITRS13]

#### 1.3.2.1 FeRAM

Dès les années 1950, les matériaux ferroélectriques offrant la particularité de présenter une modification stable de leur polarisation ont été envisagés comme éléments de stockage pour les circuits digitaux [Ande53]. Ces matériaux, principalement l'oxyde SBT ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ) [Arau95; Goux05] ou les céramiques à structure pérovskite [Inou02], sont généralement intégrés sous la forme de capacités Métal-Isolant-Métal (MIM) associées à un transistor pour former une cellule mémoire ferroélectrique : FeRAM. Ces structures FeRAM de type 1T1C ont présenté très vite des caractéristiques exceptionnelles<sup>14</sup> [Kryd09] et était présenté comme la future DRAM non-volatile. Néanmoins, elles n'ont pas su s'imposer face aux technologies l'E<sup>2</sup>PROM-Flash ou DRAM à cause de leur capacité de miniaturisation limitée et de l'exotisme des matériaux mis en œuvre. Elles sont actuellement utilisées dans des produits de niche, tels que certains microcontrôleurs sécuritaires ultra base consommation<sup>15</sup>.

Les recherches actuellement les plus prometteuses portent sur les transistors ferroélectriques à effet de champ (FeFET) [Ishi99; Ng09; Yoon11] permettant une miniaturisation avancée contrairement à la structure 1T1C.

14. Non-volatilité, endurance de  $10^{15}$ , vitesse de écriture/lecture  $< 100\text{ns}$ , consommation énergétique pouvant descendre en dessous de  $5\text{pJ}$  et immunité aux radiations.

15. Par exemple les microcontrôleurs MSP430 de chez TEXAS INSTRUMENTS ou encore la famille F<sup>2</sup>MC-8FX chez FUJITSU

### 1.3.2.2 PCM

S'appuyant sur les technologies des disques optiques réinscriptibles (CD-RW), notamment développées par Philips, la mémoire à changement de phase PCRAM (*Phase Change RAM*), ou PCM (*Phase Change Memory*), peut être considérée comme une technologie très mature. Basée sur la transition de phase réversible d'un chalcogénure, typiquement l'alliage GST (Germanium – Antimoine – Tellure), entre un état amorphe et un état cristallin, cette mémoire est apte à supporter une réduction drastique de ses dimensions et offre une forte densité de stockage et des temps d'accès courts. Les transitions de phase s'effectuent grâce à une élévation locale de la température obtenue par effet Joule permettant soit la cristallisation du chalcogénure soit son amorphisation à travers une trempe du matériau en fonction de signaux électriques de programmation. S'appuyant sur des phénomènes thermiques, ses principales faiblesses sont une forte consommation et une rétention limitée en particulier à haute température. Malgré tout, la mémoire PCRAM apparaît comme une solution de remplacement viable de la mémoire Flash NOR en témoignent les investissements massifs de nombreuses entreprises (Intel, Micron, Samsung, NXP, TSMC, STMicroelectronics, etc.) depuis 10 ans [Ielm06 ; Atwo07 ; Ha07].

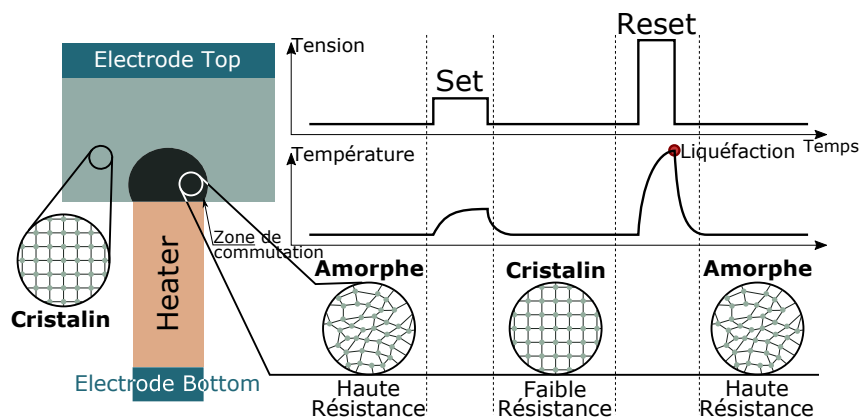


FIGURE 1.13 – Schéma simplifié de l'empilement PCRAM ainsi que ses différents états mémoires en fonction des signaux électriques appliqués

### 1.3.2.3 MRAM

La mémoire magnéto-résistive MRAM – Magnetoresistive RAM – est directement issue du développement de l'électronique de spin mise à profit dans les disques HDD. Au vu de sa non-volatilité, de sa très grande endurance et de ses temps d'accès extrêmement courts, elle se positionne potentiellement comme une SRAM non-volatile. Les technologies MRAM ont été l'objet d'une évolution et d'améliorations constantes visant à lever les verrous technologiques bloquant leur déploiement industriel. Ainsi le principe de Jonction Magnétique Tunnel — *MTJ*, *Magnetic Tunnel Junction* — a déjà vu quatre générations :

- FIMS-MRAM, Field Induced Magnetic Switching : 1<sup>ère</sup> génération des mémoires MRAM dont la commutation de spin est due à un champ magnétique à l'intersection de deux lignes de courant ;

- TAS-MRAM : 2<sup>ème</sup> génération des mémoires MRAM dont la commutation de spin est due à un champ magnétique et une activation en température ;
- STT-MRAM : 3<sup>ème</sup> génération des mémoires MRAM dont la commutation de spin est due à un courant polarisé de spin dans le plan ou hors du plan.
- SOT-MRAM : 4<sup>ème</sup> génération des mémoires MRAM dont la commutation de spin est due à un effet Hall de spin.

Pour les années à venir, l'architecture SOT — Spin Orbital Transfer — semble prometteuse en combinant faible consommation, temps d'accès courts et meilleure immunité aux écritures parasites.

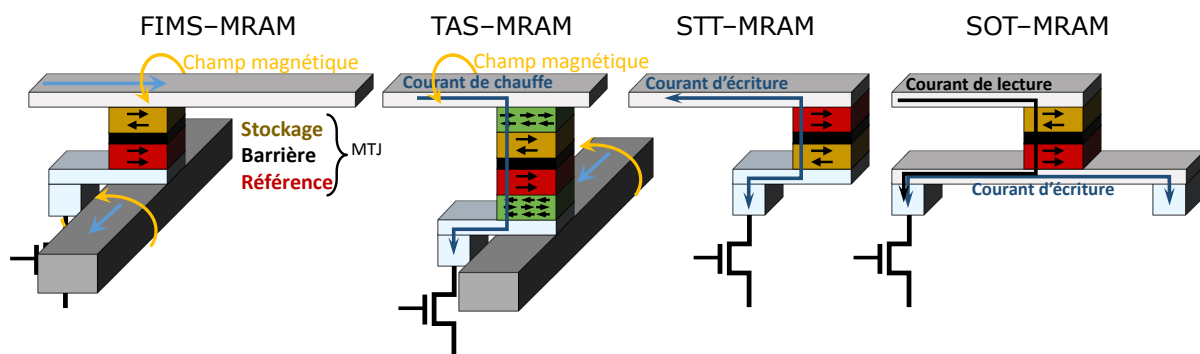


FIGURE 1.14 – Schéma structurel des différentes générations de mémoires MRAM

### 1.3.2.4 ReRAM

La grande famille des mémoires ReRAM regroupe différentes technologies caractérisées par une structure de type MIM ainsi qu'un état mémoire défini par des niveaux de résistances distincts — bien souvent séparés de plusieurs décades : l'état de faible résistance, noté LRS pour Low Resistance State ; et l'état de haute résistance, noté HRS pour High Resistance State. Même si les premières commutations de résistance ont été observées dans les années soixantes [Hick62], ce n'est qu'à partir des années 2000 [Liu00 ; Beck00] qu'une réelle effervescence apparaît pour les présenter comme des candidates très prometteuses au remplacement des mémoires non-volatiles conventionnelles pour les nœuds technologiques sub 20nm [Hong10]. Leurs points forts restent incontestablement leur simplicité d'intégration<sup>16</sup>, leur tension faible<sup>17</sup> et leur fort potentiel de miniaturisation.

Usuellement, en utilisation standard, le changement d'état de HRS vers LRS est appelé "l'étape de Set" et la tension caractérisant cette commutation est notée  $V_{Set}$ . Inversement le passage de LRS vers HRS est appelé "l'étape de Reset" et est caractérisée par la tension  $V_{Reset}$ . Ces commutations peuvent être unipolaire, bipolaire ou non-polaire (cf. FIG. 1.15). Soulignons qu'à l'état vierge, une tension supérieure à la tension de Set est bien souvent nécessaire pour observer la première commutation de résistance, appelée *Électroforming*, d'un état de très haute résistance vers l'état LRS.

16. Leurs matériaux sont bien souvent compatibles avec les procédés CMOS standards

17. Niveaux de tension bien inférieurs à ceux des cellules E<sup>2</sup>PROM-Flash

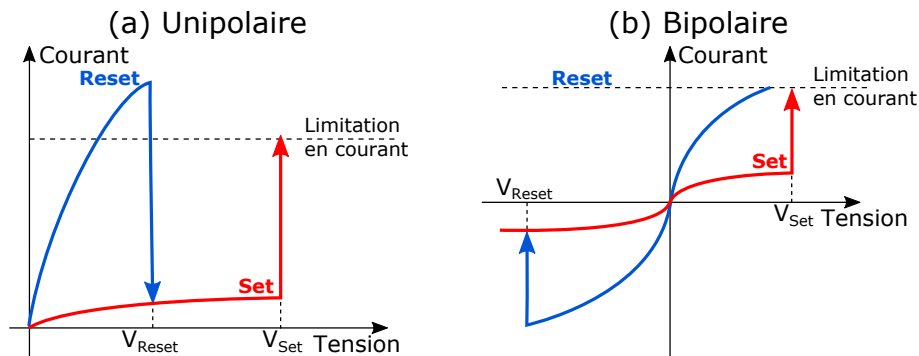


FIGURE 1.15 – Opérations de *Set* et de *Reset* pour les deux modes de commutation unipolaire et bipolaire.

Cette grande famille de mémoires regroupe plusieurs technologies différenciables par la physique de commutation mise en œuvre et en particulier le rôle joué par les électrodes et le matériau isolant. Ces sous-familles se nomment :

- TCM : Thermo Chemical Memory, aussi appelée OxRRAM unipolaire ;
- VCM : Valency Change Memory, aussi appelée OxRRAM bipolaire ;
- ECM : ElectroChemical Memory, aussi appelée CBRAM(Conductive-Bridge RAM).

#### OxRRAM unipolaire — TCM, Thermo Chemical Memory

Les mémoires OxRRAM unipolaires — aussi appelées TCM, Thermo Chemical Memory — intègrent dans leur structure MIM un oxyde de métal de transition comme le NiO, le TiO<sub>2</sub>, le ZnO ou le Cu<sub>x</sub>O. Elles se distinguent par leur comportement unipolaire : les opérations de *Set* et de *Reset* pouvant avoir lieu sous la même polarité (cf. FIG. 1.15). Le mécanisme de *Set* est associé à la création d'un chemin conducteur et le mécanisme de *Reset* à sa dissolution (cf FIG. 1.16) [Russ09a ; Sato07 ; Lee09]. Ces mémoires ont été les premières à attirer l'attention avec une publication de Samsung [Baek04] en 2004. Néanmoins, leur défektivité importante et la difficulté à réduire les courants de programmation les ont progressivement écartées de la course à l'industrialisation.

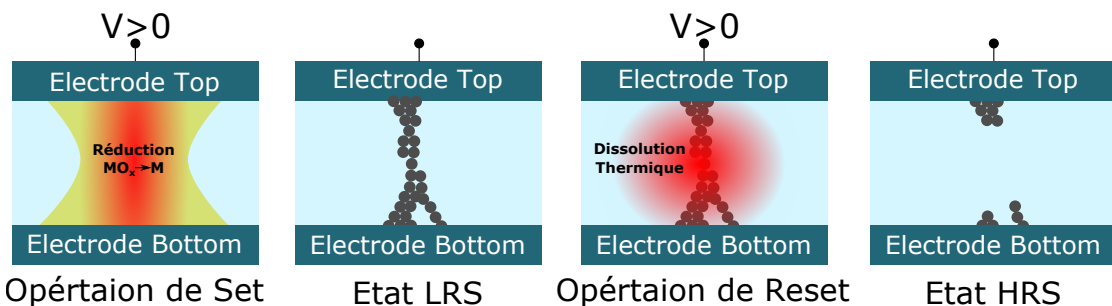


FIGURE 1.16 – Mécanismes de *Set* et de *Reset* dans un empilement OxRRAM unipolaire de type TCM.

#### OxRRAM bipolaire — VCM, Valency Change Memory

Ces éléments mémoires reposent sur un mécanisme de changement de valence modifiant la microstructure de l'oxyde, lui-même générant une commutation bipolaire associée à un chemin conducteur (cf FIG. 1.17). Leur structure, semblable aux mémoires

TCM (structure MIM intégrant un oxyde de métal de transition tel que le  $\text{HfO}_2$  [Cagl11 ; Govo11], le  $\text{Ta}_2\text{O}_5$  [Lee11] ou le  $\text{NiO}$  [Goux10]) se distingue par la présence d'électrodes oxydables en titane [Cagl11 ; Fang14], en hafnium ou en tantale [Chen13] ainsi de par la présence d'une zone d'oxyde sous-stœchiométrique [Lee11] riche en défauts.

Leurs bonnes performances électriques (vitesse de programmation [Torr11], endurance, rétention) et leur intégration aisée les positionnent comme candidats très sérieux pour les applications embarquées ; en témoigne le micro-contrôleur *Super low-power MN101L* à base OxRRAM de Panasonic. Le principal verrou actuel de cette technologie reste une variabilité importante.

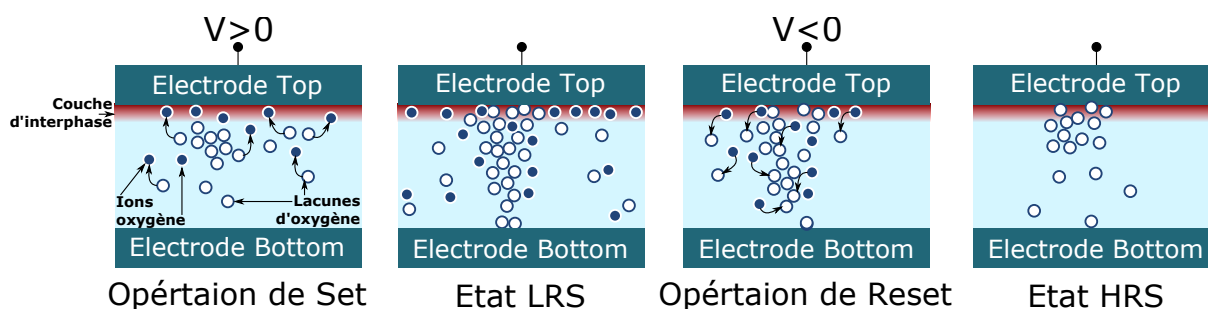


FIGURE 1.17 – Mécanismes de *Set* et de *Reset* dans un empilement OxRRAM bipolaire de type VCM.

### CBRAM — ECM, ElectroChemical Memory

Le principe de commutation de résistance des mémoires CBRAM repose sur l'oxydation, la migration puis la réduction d'espèces métalliques comme l'argent ou le cuivre d'une électrode active vers une électrode inactive. L'isolant de l'empilement MIM ne joue ici qu'un rôle d'électrolyte solide (cf FIG. 1.18). Il est réalisé à base de chalcogénure ou d'oxyde de silicium. Tout comme les mémoires OxRRAM bipolaires, les mémoires CBRAM présentent d'excellentes performances, ce qui en fait des technologies concurrentes. Si l'on devait les comparer, les CBRAM offrent des tensions de fonctionnement plus attractives que les mémoires OxRRAM grâce à l'absence de l'étape d'*Électroforming* dans bon nombre de cas, mais présentent une endurance moins bonne.

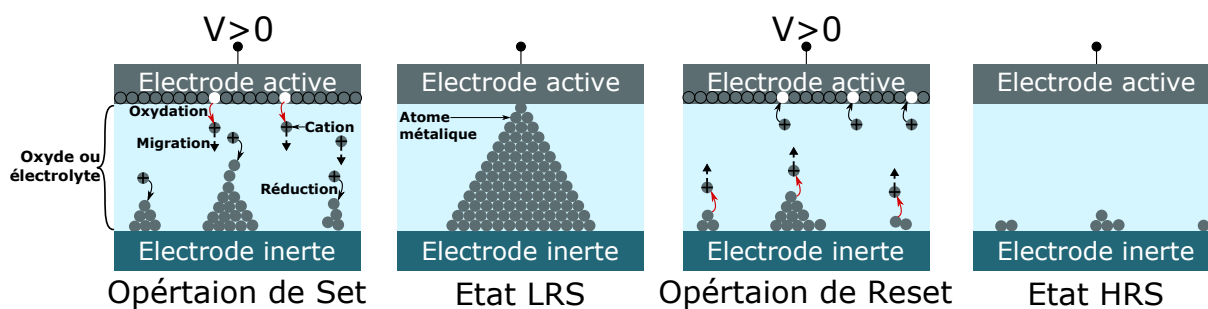


FIGURE 1.18 – Opérations de *Set* et de *Reset* dans un empilement CBRAM.

### 1.3.3 Conclusion

Le marché des mémoires non-volatiles à semi-conducteurs est dominé par les mémoires E<sup>2</sup>PROM-Flash. Néanmoins, cette technologie se heurte de plus en plus à des

limites de miniaturisation aussi bien physiques qu'économiques. Le passage à la 3D, pour les technologies Flash-NAND, est la solution permettant de continuer l'augmentation de la densité mémoire pour les applications "stand-alone" [Capp15]. L'avenir de la Flash-NOR, pour les applications embarquées, est plus incertain. En effet, les contraintes imposées par la co-intégration d'un cœur CMOS avec des cellules Flash et leur périphérie haute tension limitent les solutions technologiques envisageables, et ce, bien souvent pour des raisons économiques<sup>18</sup>. Rappelons aussi que les transistors "haute tension" présentent de grandes difficultés de miniaturisation et que la génération des tensions nécessaires au bon fonctionnement de la mémoire Flash est très peu efficace énergétiquement posant ainsi des problèmes de consommation. Dans tous les cas, les problématiques du "Von Neumann Bottleneck", que ce soit pour des applications Big Data ou pour des applications embarquées, restent omniprésentes d'où la nécessité de solutions mémoires innovantes.

Ainsi, l'intérêt d'une technologie mémoire ayant des niveaux de tensions supportés par le cœur CMOS est immense et ouvre la porte à de nouveaux paradigmes, comme la mémoire distribuée et les conceptions neuromorphiques ou neuroinspirées. Associées à un procédé de fabrication simple et compatible avec les standards CMOS, les mémoires résistives offrent une alternative pertinente à la traditionnelle mémoire à piégeage de charges. Même si le tableau 1.1 est à relativiser, il résume bien la situation actuelle. Ainsi sans qu'il n'y ait véritablement de mémoires révolutionnaires, les mémoires CBRAM et OxRRAM bipolaires sont sans doute les technologies les mieux pressenties comme remplaçantes de la Flash embarquée.

Paramètres	FeRAM	PCM	STT-MRAM	CBRAM	OxRRAM bipolaire	OxRRAM unipolaire
Miniaturisation	😡	😊	😞	😊	😊	😊
MLC	😡	😊	😡	😊	😞	😞
Intégration 3D	😡	😊	😞	😞	😊	😊
Coût de fabrication	😞	😞	😞	😞	😊	😞
Rétention	😞	😞	😞	😞	😊	😞
Rapidité	😊	😞	😊	😞	😞	😞
Consommation	😊	😡	😞	😊	😞	😡
Endurance	😊	😞	😊	😞	😞	😡
Variabilité	😊	😞	😡	😞	😡	😡

TABLE 1.1 – Tableau comparatif des performances, points forts et points faibles des mémoires résistives extrait de [ITRS13]

18. Les approches *System in Package* (à base de TSV ou de microbump) permettent l'intégration d'un cœur CMOS et d'une technologie Flash-NOR optimisée. Elles peuvent se révéler pertinentes pour les nœuds technologiques ultimes. Néanmoins, la plus grande difficulté de ces solutions reste incontestablement leurs coûts.



## 1.4 Positionnement des activités de recherche

Ainsi dans ce contexte, mes activités de recherche depuis 2010 se positionnent dans le domaine des mémoires non-volatiles pour les applications embarquées. Elles se sont articulées autour des trois axes suivant :

- *La modélisation et la caractérisation des mémoires résistives* ont été au centre de mes activités de recherche. Ces études se sont principalement intéressées à la compréhension des mécanismes de commutation et de conduction dans les mémoires CBRAM, PCM, ainsi que dans les OxRRAM unipolaires et bipolaires. Un lien fort entre caractérisation électrique, modélisation physique et modélisation compacte a été maintenu sur l'ensemble des actions menées permettant d'assurer une passerelle entre effet physique et application circuit. Cette thématique a fait l'objet de nombreuses collaborations débouchant sur des publications co-écrites et a été soutenue par :
    - La thèse de M. Thomas CABOUT (2011-2014), en collaboration avec le CEA-LETI, sur la caractérisation et la compréhension des mécanismes de commutation dans les mémoires OxRRAM bipolaires à base de  $\text{HfO}_2$ . Ces travaux seront illustrés dans le chapitre 2.
    - La thèse de M. Alexis KRAKOVINSKY (2014-2017), en collaboration avec le CEA-LETI et le CEA-DPACA, sur l'analyse sécurité des mémoires OxRRAM bipolaires à base de  $\text{HfO}_2$ . Quelques résultats préliminaires seront présentés dans le chapitre 2.
    - Le projet ANR DIPMEM (2012-2015), en partenariat avec le CEA-LETI, Spintec, STMicroelectronics, le CMP, le LIRMM et l'IEF, sur la réalisation d'un micro-contrôleur intégrant des mémoires OxRRAM ou MRAM. Mon implication dans ce projet s'est située dans la mise en place des modèles compacts OxRRAM. Ces modèles seront décrits dans le chapitre 3.
    - La thèse de M. Corentin PIGOT (2016-2019) de type CIFRE avec l'entreprise STMicroelectronics, sur la caractérisation électrique et la modélisation compacte de mémoires non volatiles embarquées (PCM, OxRRAM et Flash avancée).
  - *Le développement technologique de dispositifs mémoires sur support souple* est une activité forte mise en place dans l'équipe mémoire à laquelle j'ai peu pu prendre part. Cette activité est née d'un triptyque : la nécessité de développer des technologies de l'information sur support flexible, la structure de type capacité MIM d'un grand nombre de mémoires émergentes n'ayant pas besoin d'un support semi-conducteur, et la nécessité de développer en interne à IM2NP des dispositifs mémoires. Ainsi, cette activité peut se découper en deux parties :
    - Une 1<sup>ère</sup> activité, soutenue par un projet inter-CARNOT : POLYMEM (Non-Volatile **POLY**meric **MEM**ories) entre l'IM2NP (CARNOT STAR) et le CEA-LITEN (CARNOT "Energies du futur"), s'est intéressée au développement et à la réalisation d'une matrice mémoire à base de technologies mémoire FeRAM et de transistors C-OTFT sur plastique. Au delà d'un démonstrateur valorisant
-

les technologies flexibles du CEA-LITEN et le large spectre de compétences de l'équipe mémoire, ce projet s'inscrit dans le développement de solutions alternatives pour le marché des étiquettes intelligentes et internet des objets. Ce projet reflétant l'ensemble des activités de l'équipe mémoire au sein desquels j'ai pu évoluer (caractérisation électrique, modélisation compact, design et layout), j'ai choisi de détailler cette activité à travers le chapitre 4.

- Une 2<sup>ème</sup> activité, spécifique à l'IM2NP et initiée par le biais d'un projet financé par l'institut CARNOT-STAR (projet CORNFLEX), porte sur la réalisation et la caractérisation de mémoires résistives sur support souple. Elle a ensuite été soutenue par un projet ANR "Jeunes Chercheuses Jeunes Chercheurs" (projet REFLEX, labellisé par le pôle de compétitivité Solutions Communicantes Sécurisées) où j'étais responsable de la tâche "Étude des cellules mémoires à pont de conduction : CBRAM". J'ai fait le choix de ne pas traiter cette activité dans ce manuscrit car l'ensemble de ces thématiques était déjà traité par ailleurs (caractérisation électrique, modélisation, technologie flexible). Elle n'en reste pas moins une activité pertinente aux cœurs des besoins sociétaux actuels.
  - *L'optimisation et la réduction de la variabilité d'une nouvelle architecture mémoire de type EEPROM/Flash* est une activité de recherche applicative avec l'entreprise STMicroelectronics. Soutenue par la thèse CIFRE de M. El Amine AGARBEN, elle vise à mettre en place une boucle de régulation durant le procédé de fabrication d'une nouvelle architecture mémoire de type EEPROM/Flash développée par l'entreprise STMicroelectronics. Ces objectifs sont la diminution de la variabilité des paramètres électriques de cette cellule mémoire et ainsi l'optimisation de ses performances. Néanmoins pour des raisons de confidentialité, ces activités ne seront pas illustrées dans ce manuscrit.
-



## Chapitre 2

# Caractérisation de mémoires résistives OxRRAM

*La connaissance s'acquiert par l'expérience, tout le reste n'est que de l'information.*  
Albert Einstein

Ce chapitre s'intéresse au comportement électrique des mémoires émergentes de type OxRRAM bipolaires à base de  $\text{HfO}_2$ . Après une présentation des propriétés électriques fondamentales de ces empilements, une analyse en température sera proposée. L'objectif de cette étude est d'apporter quelques éléments de compréhension sur les mécanismes de commutation et leur impact sur l'état de résistance obtenu.

Par la suite, une investigation sur l'intégrité des données face à des attaques LASER sera entamé. Cette partie engage une analyse sécuritaire essentielle aux applications embarquées et aux objets connectés.

L'ensemble de ces travaux a été réalisé dans les cadres de deux thèses que j'ai eu l'opportunité d'encadrer :

- M. Thomas CABOUT – “*Optimisation technologique et caractérisation électrique de mémoires résistives OxRRAM pour application basse consommation*”, 10/2011-12/2014.
  - M. Alexis KRAKOVINSKY – “*Étude Sécuritaire des Mémoires Non-Volatiles Émergentes*”, 10/2014-10/2017.
-

## Sommaire

---

<b>2.1</b>	<b>Contexte et positionnement</b>	<b>27</b>
<b>2.2</b>	<b>Propriétés fondamentales des OxRRAM à base de HfO<sub>2</sub></b>	<b>30</b>
<b>2.3</b>	<b>Analyse en température — Endurance, Rétention</b>	<b>33</b>
2.3.1	Comportement électrique et performances	33
2.3.2	Impact de l'état LRS sur la rétention	36
2.3.3	Impact de l'état LRS sur l'opération de <i>Reset</i>	39
<b>2.4</b>	<b>Analyse Sécuritaire - Attaque LASER</b>	<b>42</b>
2.4.1	Contexte de l'étude	42
2.4.2	Attaque de cellules 1R	42
2.4.3	Éléments de compréhension	43
<b>2.5</b>	<b>Conclusions et perspectives</b>	<b>45</b>

---

## 2.1 Contexte et positionnement

Les mémoires ReRAM exploitent les phénomènes de commutation de résistance se produisant principalement dans des oxydes métalliques. Les premières observations de ce phénomène ont lieu à partir des années 60. Notamment en 1962, T. W. Hickmott du General Electric Research Lab. (New-York) révèle des effets de résistance différentielle négative (RDN) assortis d'un effet mémoire sur des oxydes d'aluminium, de tantale ou de titane obtenus par oxydation électrolytique [Hick62]. En 1970, le Laboratoire d'Electronique et Physique du Métal (Grenoble) mentionne des effets de commutation de résistance réversibles et répétables sur des films d'oxyde de nickel obtenus par oxydation sèche d'un film métallique [Bruy70]. Ces travaux pionniers se cantonneront à des observations et à des tentatives d'interprétations sans envisager de véritables exploitations de ce phénomène singulier. C'est en 2000, avec les travaux menés par l'Université de Houston (Texas) [Liu00] et d'IBM (Zürich) [Beck00], que les études s'orientent vers le développement d'une nouvelle classe de mémoires non volatiles basées sur la commutation de résistances réversibles de couches minces. Ces travaux marqueront véritablement le démarrage des activités de recherche autour des ReRAM.

D. Deleruyelle, dans son HDR [Dele13], a synthétisé les trois phases du développement technologique des mémoires résistives présentées par I.G. Baek (Samsung) lors du premier Workshop International portant sur les ReRAM<sup>1</sup> [Baek11] :

- Phase I (2000-2005) : découverte et compréhension du phénomène de commutation.

Suite aux travaux de l'Université de Houston et d'IBM, les premières études s'orientent sur les oxydes pérovskites [Liu00 ; Beck00 ; Szot02 ; Tsui04 ; Chen05] dont la compréhension des phénomènes physiques reste encore superficielle [Chen05]. Parallèlement, cette phase se caractérise par une exploration de nouveaux matériaux présentant des effets de commutation de résistance, tels que les matériaux organiques [Ma02 ; Sezi03 ; Oyam03 ; Ouya05 ; Mull04] ou les électrolytes solides [Kozi04 ; Saka04]. Les travaux publiés sur des prototypes à l'International Electron Devices Meeting (IEDM) en 2004 et 2005 par Samsung sur les oxydes métalliques [Baek04 ; Baek05] marquent la fin de cette phase d'exploration.

- Phase II (2005-2010) : optimisation de cellules individuelles.

Les cellules ReRAM à base d'oxyde de nickel (NiO) constituent le premier système sur lequel une phase intensive d'optimisation est entreprise. Les études visent à élucider le rôle joué par les électrodes [Seo05 ; Lin07 ; Lee08a], le dopage et la stoechiométrie du matériau actif [Tsun07 ; Shim07 ; Lee07a ; Park08]. A ce stade de développement, des efforts de recherche intensifs sont portés sur la réduction des courants de programmation qui constituent l'obstacle majeur à la réalisation de matrices embarquées [Kino06 ; Schi07 ; Kino08 ; Lee08c ; Ahn08]. Dès lors, les premiers modèles physiques décrivant la commutation de résistances unipolaires<sup>10</sup> font leur apparition [Russ07 ; Sato07 ; Inou08 ; Russ09a ; Cagl08 ; Cagl09] et matérialisent l'avancée des connaissances sur les phénomènes physiques. Les

---

1. Les mémoires à changement de phase sortent de cette classification leur développement étant plus ancien et leur technologie plus mature.

---

premiers articles de revue font leur apparition et permettent une première catégorisation des mémoires ReRAM, selon la polarité de fonctionnement (FIG. 1.15) ou l'origine physique de la commutation de résistance [Wase07 ; Sawa08]. On distingue à présent les cellules basées sur différents phénomènes : effets thermo-chimiques (TCM, dont font partie les mémoires OxRRAM unipolaires à base de NiO), commutations par changement de valence de l'oxyde (VCM, e.g. les mémoires OxRRAM bipolaires à base de  $\text{HfO}_2$ ), ou effets d'électrodéposition (ECM, il s'agit ici des mémoires CBRAM). L'émergence de travaux orientés sur des problématiques propres à l'intégration de cellules ReRAM (compatibilité avec les filières CMOS, développement de sélecteurs,...) marque la fin de cette phase d'optimisation [Lee07c ; Lee07b ; Cour08].

- Phase III (depuis 2010) : optimisation et ingénierie en vue d'applications. Malgré l'engouement initial, le développement de cellules TCM à base d'oxyde de nickel (NiO) est finalement abandonné, faute de résultats convaincants en terme de réduction des courants de programmation et de fiabilité. De la multitude de matériaux ayant fait l'objet d'études exhaustives, seules deux technologies sont parvenues à s'imposer dans l'écosystème des mémoires ReRAM.
  - La première technologie concerne les mémoires électrochimiques de type ECM<sup>2</sup> qui reposent sur la création/dissolution de filaments métalliques dans un électrolyte solide. Elles ont été initialement développées par l'Arizona State University dans le groupe de M.N. Kozicki qui relaye la gestion de la propriété intellectuelle à sa spin-off, Axon Technology. Micron, Infineon puis Qimonda font alors l'acquisition de licences de développement auprès de Axon qui sem-blent présenter tous les atouts d'une future technologie de base : les tensions de fonctionnement sont plus faibles que celles de toutes les autres ReRAM (de l'ordre du volt)[Diet07 ; Kama11 ; Gopa10], les courants de programmation peuvent être inférieurs au micro-ampère [Kama11 ; Gopa10] et l'endurance et la rétention sont en ligne avec les spécifications requises pour les mémoires non volatiles [Diet07 ; Gopa10]. Après sa création en 2007 et le rachat, en 2010, des principaux brevets de Qimonda, c'est Adesto Technologies qui détient aujourd'hui le plus gros portefeuille de brevets sur ce type de mémoires. La stabilité en température de l'effet mémoire semble actuellement un point restant à améliorer. Toutefois, des produits de type mémoire *stand-alone*<sup>3</sup> sont actuellement commercialisés par Adesto.
  - La seconde technologie concerne les ReRAM à changement de valence de type VCM<sup>4</sup>. Elles reposent sur des oxydes de type  $\text{TiO}_x$ ,  $\text{TaO}_x$  qui ont été étudiés par le groupe de R. Waser (Jülich Research Center), l'Université Nationale de Seoul puis par HP, Fujitsu et Panasonic entre 2005 et 2008 [Choi05 ; Sato07 ; Yosh07 ; Yang08 ; Wei08]. Les cellules à base d'oxyde de Hafnium ( $\text{HfO}_x$ ) viennent compléter cette famille : ce matériau attire une attention grandissante en tant que candidat idéal aux technologies mémoires embar-

2. Appelées couramment CBRAM

3. Il s'agit ici de boîtiers mémoires non-volatiles avec bus SPI

4. Généralement l'ensemble des OxRRAM bipolaires fait partie de cette catégorie

quées et a fait l'objet d'études approfondies par l'Imec ou l'Industrial Technology Research Institute (ITRI) de Taiwan [Govo11 ; Lee10]. En terme d'endurance, l'oxyde de tantale a été préféré à l'oxyde de titane et affiche, selon les résultats publiés par HP et le SAIT (Samsung Advanced Institute of Technology), des performances allant de 10 à 100 Giga-cycles d'écriture/effacement [Yang10]. Les points qui semblent aujourd'hui être un frein à l'industrialisation en masse de cette technologie sont :

- La forte variabilité, en particulier celle de l'état HRS ;
- Un mécanisme d'activation en température encore mal connu pour qualifier les produits commerciaux en rétention ;
- Des tensions de fonctionnement encore légèrement trop fortes par rapport à celles du cœur CMOS (2V-3V) pour assurer des performances intéressantes dans le cadre d'applications embarquées ou intégrant de la mémoire distribuée ;
- Pas de sélecteurs performants pour les architectures. *Stand-alone Cross-Bar*.

Aujourd'hui, le seul produit embarquant des mémoires VCM est un MCU 8bits basse consommation commercialisé par Panasonic utilisant comme mémoire centrale des OxRRAM à base de TaOx [Haya15]. Malgré tout, beaucoup d'annonces sont faites sur la commercialisation future de produits intégrant des mémoires résistives. Soulignons l'entreprise CrossBarr qui a présenté quelques résultats intéressants sur les sélecteurs [Jo15]. De même, suite à la présentation du consortium Micron-Intel en juillet 2015 de leur mémoire 3D XPoint<sup>®</sup>, c'est le consortium ScanDisk-HP qui a annoncé le développement d'une mémoire 3D ReRAM-memresistorNotons aussi l'annonce de Fujitsu en octobre 2016 de la mise en production d'une mémoire *stand-alone* de 4 Mbit à base de ReRAM.

Dans ce contexte, j'ai eu l'opportunité d'encadrer deux thèses sur les mémoires OxRRAM bipolaires à base de HfO<sub>2</sub>. Tout d'abord la thèse de M. Thomas Cabout (2011-2014) qui a débuté durant la phase d'abandon du NiO et le passage au HfO<sub>2</sub>. Cette thèse, localisée au CEA-LETI (Grenoble), s'intégrait dans une collaboration bipartie avec la société STMicroelectronics visant à mettre en place une filière OxRRAM à base de HfO<sub>2</sub>. Ainsi ce programme de recherche bilatéral entre STMicroelectronics et CEA-LETI apportant des procédés de fabrication avancés et des échantillons de qualité, a imposé à cette thèse une close de confidentialité courant jusqu'au 19 décembre 2017. Aussi seuls les résultats ayant fait l'objet de publications seront présentés ici. La seconde thèse, réalisée par M. Alexis Krakovinsky, se positionne en pleine phase III. A travers les problématiques sécuritaires des mémoires non-volatiles émergentes, c'est un questionnement applicatif sur la pertinence des technologies OxRRAM pour le monde de l'Internet des Objets qui sera adressé.

Ainsi, après un rappel des propriétés fondamentales caractérisant les mémoires OxRRAM bipolaires, une analyse approfondie de l'effet de la température sur les mécanismes de commutation sera abordée à partir des publications de Cabout *et al.* [Cabo13b ; Cabo14]. Enfin, les aspects sécuritaires de mémoires OxRRAM à base de HfO<sub>2</sub> seront traités à travers l'intégrité des données stockées face à des attaques LASER.

---



## 2.2 Propriétés fondamentales des OxRRAM à base de $\text{HfO}_2$

Les mémoires OxRRAM se caractérisent par quelques propriétés fondamentales qui peuvent être résumées de cette façon :

**La commutation de résistance** est la propriété fondamentale caractérisée par deux états de résistance distincts : l'état de haute résistivité, appelé HRS<sup>5</sup>, et l'état de basse résistance, appelé LRS<sup>6</sup>. L'opération induisant le passage de l'état HRS vers LRS est nommée *Set*. L'opération réciproque est nommée *Reset*. Comme l'illustre la FIG. 2.1a, ces deux opérations sont caractérisées par la tension déclenchant le mécanisme de commutation :  $V_{Set}$  et  $V_{Reset}$ . Avant son utilisation dans des conditions standards, le dispositif est dans un état *vierge* de très faible niveau de courant et nécessite un premier "*Set*" appelé *Électroforming* dont la tension ( $V_{Forming}$ ) est très supérieure à  $V_{Set}$ . Notons enfin que l'état *vierge* et l'état HRS n'ont généralement pas un comportement ohmique.

**Une capacité MIM<sup>7</sup>** est la structure classique d'intégration des éléments résistifs OxRRAM mais aussi CBRAM ou PCM. La nécessité de limiter le courant durant l'étape de *Set* induit souvent l'intégration conjointe d'un transistor (cf. FIG. 2.1b)). Cette architecture est généralement nommée "1T1R". Dans le cas de la caractérisation de cellules unitaires, l'utilisation d'un équipement extérieur réalisant cette limitation est aussi possible. Néanmoins, le contrôle du courant maximal que voit la cellule n'est pas parfait de par la décharge de capacités parasites dans l'élément résistif [Tira11a]. Aussi l'utilisation des architectures "1R" n'intégrant que l'élément résistif est généralement réservée aux études préliminaires ou prospectives.

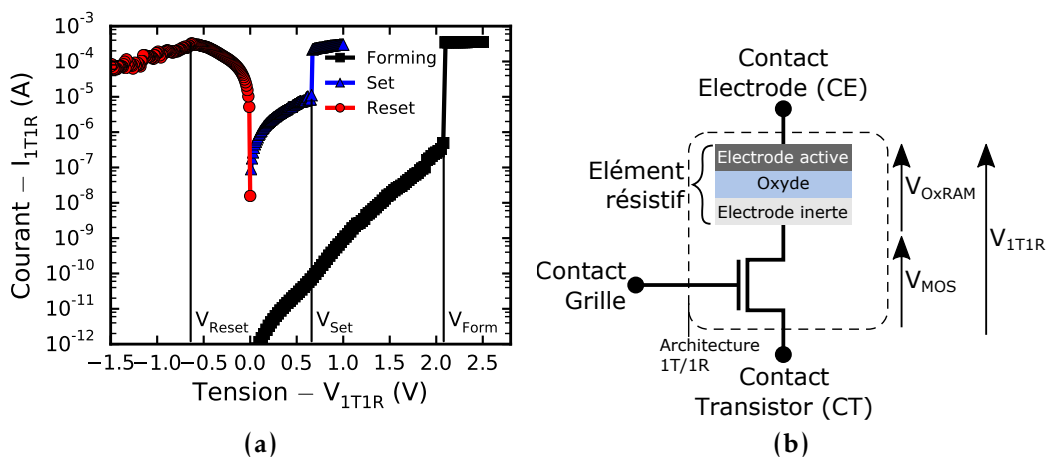


FIGURE 2.1 – (a) Caractéristiques courant-tension lors des étapes d'Électroforming, de *Reset* et de *Set* d'une architecture "1T1R". (b) Schéma d'une architecture "1T1R" intégrant l'élément résistif OxRRAM à base d'oxyde d'hafnium.

- 
- 5. High Resistance State
  - 6. Low Resistance State
  - 7. Métal/Isolant/Métal
-

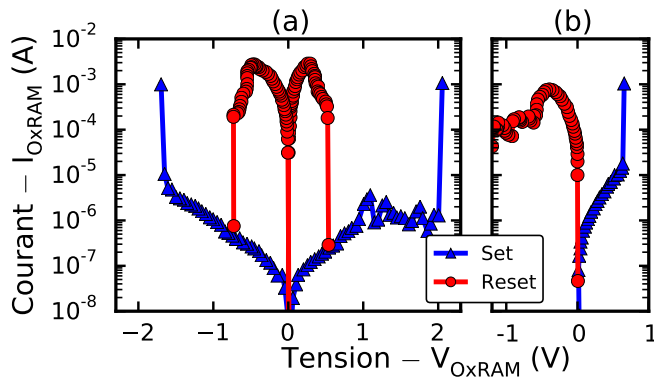


FIGURE 2.2 – Caractéristique électrique d'une architecture 1R. (a) Empilement Pt-25nm/HfO<sub>2</sub>-10nm/Pt-25nm — Comportement Non-polaire (b) Empilement Ti-10nm/HfO<sub>2</sub>-10nm/TiN-25nm — Comportement Bipolaire.

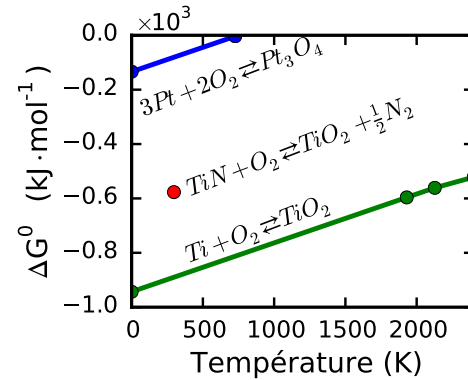
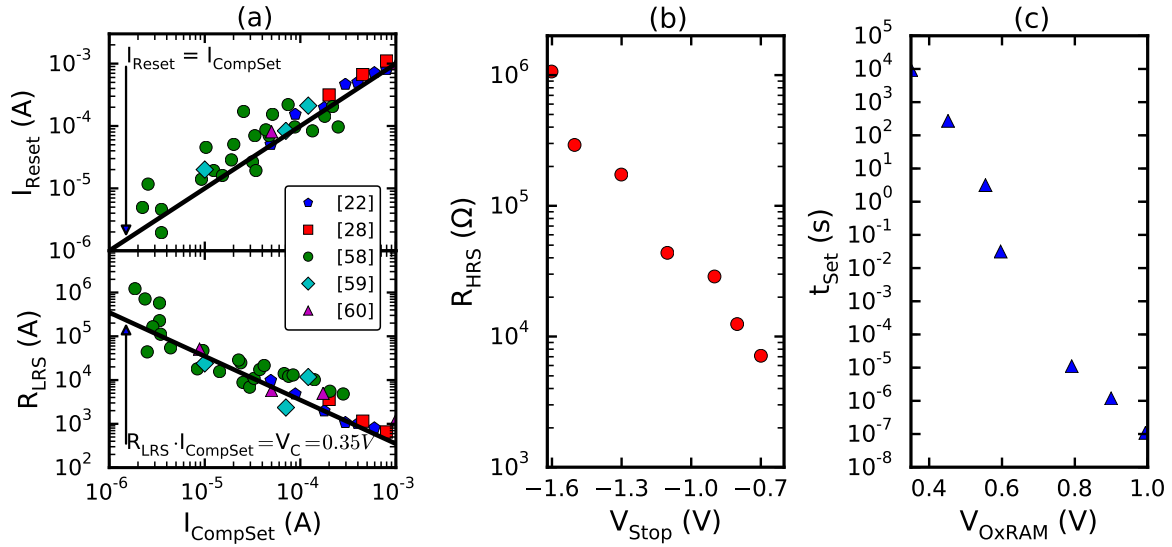


FIGURE 2.3 – Diagramme d'Ellingham représentant l'enthalpie libre standard de formation  $\Delta G^0$  en fonction de la température pour la formation de l'oxyde Pt<sub>3</sub>O<sub>4</sub> et de l'oxyde TiO<sub>2</sub>.

Les électrodes jouent un rôle central dans le comportement des dispositifs OxRRAM. La FIG. 2.2 montre qu'un empilement Pt/HfO<sub>2</sub>/Pt possède un comportement non-polaire, alors qu'un empilement Ti/HfO<sub>2</sub>/TiN se comporte de façon bipolaire. Cette observation souligne l'influence de la nature chimique du couple d'électrodes sur la commutation de résistance. Celles-ci auront un comportement soit inerte, soit réactif, vis-à-vis de la couche active, ici l'oxyde d'hafnium. On peut remarquer que l'électrode réactive possède une enthalpie libre standard de formation de l'oxyde ( $\Delta G_0$ ) la plus faible, elle est l'électrode la plus oxydable du couple d'électrodes (cf FIG. 2.3). Cette électrode aura une tendance plus importante à absorber l'oxygène et favorisera ainsi l'apparition de lacunes d'oxygène dans la couche active<sup>8</sup>. Dans le cas des matériaux utilisés ici comme électrode, on peut les classer du moins réactif au plus réactif : platine, nitrure de titane et titan. L'opération de *Set* s'obtient par l'application d'une tension positive sur l'électrode la plus oxydable, soit pour un empilement Ti/HfO<sub>2</sub>/TiN, l'électrode de Ti.

Soulignons qu'une comparaison approfondie entre ces deux comportements, menée dans la thèse de T. Cabout, a montré un intérêt plus important pour les empilements Ti/HfO<sub>2</sub>/TiN. Aussi, dans la suite de cette étude, seuls ces empilements seront présentés. Le courant de compliance durant l'opération de *Set* ( $I_{CompSet}$ ) est le paramètre électrique permettant de contrôler le niveau de résistance de l'état LRS ( $R_{LRS}$ ) ainsi que le niveau de courant maximal durant l'opération de *Reset* ( $I_{Reset}$ , pour les dispositifs étudiés ici  $I_{Reset} \sim 0.8 \cdot I_{CompSet}$ ). La FIG. 2.4a met en évidence que ces dépendances ont été observées par plusieurs auteurs [Tsun07; Kino08; Nard11; Lee08b; Seo04] et sur une grande variété de dispositifs (cellules mémoires unipolaires ou bipolaires, intégrant divers oxydes et différents couples d'électrodes). La valeur de  $V_C = 0,35$  V, reliant le  $I_{CompSet}$  et  $R_{LRS}$  semble avoir un caractère "universel", indépendamment de la nature du dispositif mémoire [Ielm11d] dans le cas de mesures à très faible vitesse de rampe :

8. Notons que l'électrode la plus oxydable est généralement déposée comme électrode supérieure dans le cas d'un dépôt de HfO<sub>2</sub> par ALD pour assurer sa sous-stœchiométrie ainsi que son bon comportement comme couche de commutation de résistance [Cagl11].



**FIGURE 2.4** – (a) Courant maximum durant l’opération de *Reset* ( $I_{Reset}$ ) et la résistance de l’état LRS en fonction du courant maximum recherché durant la précédente opération de *Set* (noté  $I_{CompSet}$ ), données expérimentales extraites de plusieurs publications [Tsun07; Kino08; Nard11; Lee08b; Seo04] et regroupées par Nardi *et al.* [Nard11]. (b) Evolution de la résistance HRS en fonction de la tension maximale appliquée durant la précédente opération de *Reset* ( $V_{Stop}$ ) présentée dans [Diok13]. (c) Temps de commutation de l’opération de *Set* en fonction de la tension appliquée présenté dans [Diok13].

mesures quasi-statiques<sup>9</sup>. Enfin, soulignons que la variabilité de l’état LRS est relativement faible, surtout lorsque  $I_{CompSet}$  est supérieur à la cinquantaine de microampères. En deçà de cette valeur, la dispersion des niveaux de résistance de l’état LRS commence à augmenter, soulignant les problématiques de variabilité intrinsèque de ces dispositifs [Fant13].

**La tension d’arrêt de l’opération de *Reset*** est un paramètre électrique permettant d’influencer fortement l’état de résistance de l’état HRS, comme l’illustre la FIG. 2.4b. Il est important de souligner l’importante dispersion de l’état HRS [Ragh13], l’état LRS étant mieux contrôlé. Notons aussi qu’une excursion trop importante dans les tensions négatives peut entraîner un claquage irréversible de la cellule OxRRAM.

**Les temps de commutation** sont fortement impactés (dans un rapport exponentiel) par la tension appliquée à la cellule. Ceci est un comportement central des mémoires résistives : l’augmentation de la tension appliquée durant l’opération de *Set* et de *Reset* permet un fonctionnement rapide de la cellule. Torrezan *et al.* [Torr11] (HP lab) ont montré des commutations en dessous de la nanoseconde permettant un fonctionnement à des niveaux d’énergie inférieurs au picojoule [Yu11]. Le prix à payer pour atteindre ces consommations est une tension de fonctionnement supérieure à 3 V. Ainsi, il faut donc choisir entre mémoire distribuée, et donc tension de fonctionnement faible ; et mémoire basse consommation au niveau picojoule avec des temps de programmation inférieurs à la nanoseconde.

9. Fantini *et al.* [Fant13] ont montré que, dans le cas de mesures en mode impulsif, la tension  $V_C$  dépend de la limitation en courant.

## 2.3 Analyse en température — Endurance, Rétention

Les comportements en température des mémoires OxRRAM à base de  $\text{HfO}_2$  ne sont pas simples à appréhender. En effet, les observations rapportées dans la littérature varient en fonction du type d'empilement, et sans doute, des niveaux de résistance utilisés. Fang *et al.* [Fang10] observent une activation des tensions de *Set&Reset* sur un empilement  $\text{TiN}/\text{HfO}_2\text{-8nm}/\text{Pt}$  alors que Walczyk *et al.* [Walc11] relèvent des tensions de commutation stables mais une activation des niveaux de résistance<sup>10</sup> dans un empilement  $\text{Ti-10nm}/\text{HfO}_2\text{-10nm}/\text{TiN}$ . De même, Gao *et al.* [Gao10], sur leurs dispositifs  $\text{TiN}/\text{Gd-HfO}_2\text{-10nm}/\text{Pt}$ , révèlent le passage brutal de l'état HRS vers l'état LRS en rétention alors que Chen *et al.* [Chen13] rapportent une défaillance de l'état LRS.

Il semble donc que l'empilement (électrodes et matériaux actifs) ainsi que l'état électrique de la cellule influencent le comportement en température : rétention et cyclage. Aussi, une étude plus poussée des mémoires OxRRAM a été menée dans le cadre de la thèse de Thomas Cabout et a été valorisée à travers deux conférences internationales [Cabo13b; Cabo14]. Les cellules mémoires étudiées ont été fabriquées au CEA-LETI. Il s'agit d'une structure 1T1R dont l'empilement résistif est :  $\text{Ti-10nm}/\text{HfO}_2\text{-5nm}/\text{TiN-50nm}$ . Dans cette partie, une synthèse des résultats les plus marquants sera présentée, en particulier l'évolution en température des paramètres électriques et l'étude des propriétés d'endurance et de rétention. De plus, ces analyses en température serviront de base pour la compréhension des mécanismes physiques qui sera détaillée dans un deuxième temps.

### 2.3.1 Comportement électrique et performances — Endurance, Rétention

L'activation des niveaux de résistance en température a été étudiée sur les dispositifs 1T1R intégrant un empilement  $\text{Ti-10nm}/\text{HfO}_2\text{-5nm}/\text{TiN-50nm}$ . Après les opérations d'*Électroforming*, de *Set* et de *Reset* réalisées à température ambiante, une lecture à faible champ de l'état LRS et HRS a été effectuée de  $25^\circ\text{C}$  à  $200^\circ\text{C}$  (cf. FIG. 2.5). L'état LRS présente une activation de type métallique avec une augmentation de sa résistivité avec la température. Mais ce comportement est principalement attribuable au transistor de la structure 1T1R et non à l'empilement OxRRAM [Walc11; Fang10; Ielm11c; Trao13]. La résistance de l'état HRS est, quant à elle, constante ou en très légère baisse dans la plage de températures considérée. Cette évolution est en accord avec les mécanismes de transport de type tunnel assisté par pièges (TAT) faiblement activés en température. Il apparaît donc que les niveaux de résistance des états LRS et HRS sont faiblement activés en température.

L'impact de la température sur les mécanismes de commutation et l'état résistif qui en résulte sont présentés FIG. 2.6. La FIG. 2.6a) représente l'évolution des tensions d'*Électroforming*, de *Set* et de *Reset* en fonction de la température. Comme reportée dans la littérature [Butc11; Vand11a], la tension d'*Électroforming* diminue fortement avec la

---

10. Dans Walczyk *et al.* l'état vierge est fortement activé, l'état LRS présente un comportement métallique alors que l'état HRS a un comportement de type semi-conducteur.

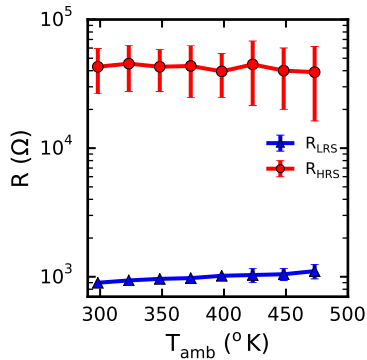


FIGURE 2.5 – Évolution des résistances LRS et HRS programmées à 25°C puis mesurées à différentes températures.

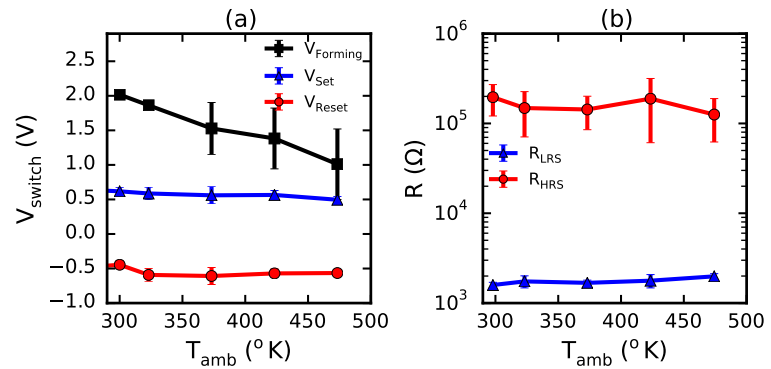


FIGURE 2.6 – a) Évolution des tensions de commutation des opérations d'Électroforming, de Set et de Reset en fonction de la température. b) Niveaux de résistance des états en fonction de la température de programmation.

température : 0.5 V pour 100°C. Or l'étape d'Électroforming est un frein à l'utilisation des OxRRAM comme mémoires distribuées. En effet, elles doivent fonctionner avec les niveaux logiques standards (autour de 1 V). Même si les tensions de Set et de Reset sont généralement compatibles, l'étape d'Électroforming est un véritable challenge pour les designers et un stress important pour les TMOS environnant la cellule<sup>11</sup>. Aussi la possibilité de diminuer la tension d'Électroforming via la température est intéressante mais délicate à mettre en œuvre de par la diminution concomitante du courant de saturation des transistors.

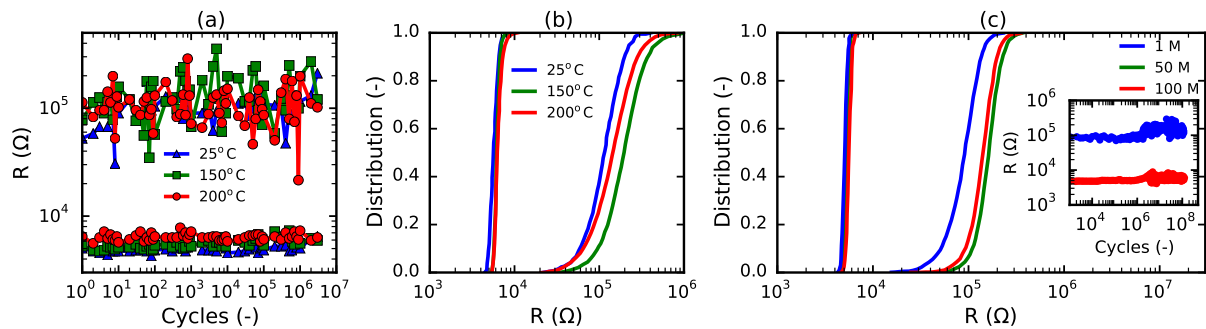
Les tensions de commutation de l'opération de Set et de Reset sont quant à elles stables, ne présentant qu'une variation inférieure à 50 mV dans la gamme de températures considérées. Les états résistifs qui en résultent ne présentent pas de variations significatives.

Il apparaît que dans un cas de fonctionnement standard — Set & Reset — les tensions de commutation et les niveaux de résistance obtenus ne sont pas impactés par la température à laquelle l'opération est effectuée. Mais il est possible que l'état obtenu, même s'il possède le même niveau de résistance, soit différent dans sa microstructure. Il convient donc d'évaluer les performances en endurance et en rétention pour déceler des modifications éventuelles.

L'endurance a été évaluée dans un premier temps à travers 3 millions de cycles réalisés à différentes températures (cf. FIG. 2.7a-b)). Il apparaît que ces performances sont bonnes (avec le maintien d'une décade entre les deux états et des distributions similaires) indépendamment de la température de cyclage.

Pour aller plus loin dans l'analyse de l'endurance, la FIG. 2.7c présente l'évolution des résistances LRS et HRS mesurées sur 10<sup>8</sup> cycles à température ambiante. Les distributions cumulées des états LRS et HRS au 1<sup>er</sup>, 50<sup>ème</sup> et 100<sup>ème</sup> million de cycles montrent que la dispersion des niveaux de résistance, notamment HRS, n'est pas liée à la dégradation des 10<sup>8</sup> cycles. Le recouvrement des états, représentant 0.001% des cycles, est donc principalement lié à la variabilité cycle à cycle des dispositifs OxRRAM et peut être

11. Par exemple, la tension d'Électroforming pour les cellules étudiées ici est supérieure à 2 V.



**FIGURE 2.7** – Caractéristique d’endurance à 25°C, 150°C et 200°C, (a) niveaux de résistance des états LRS et HRS et (b) distribution cumulée de ces niveaux pour  $3 \times 10^6$  cycles à différentes températures. c) Endurance de  $10^8$  cycles à température ambiante, distribution cumulée des états LRS et HRS au 1<sup>er</sup>, 50<sup>ème</sup> et 100<sup>ème</sup> million de cycles. Insert : Évolution mesurée pour l’ensemble des  $10^8$  cycles de la résistance des états LRS et HRS en fonction du nombre de cycles.

Conditions d’endurance pour l’ensemble de ces mesures, *Set* : durée du pulse :  $10\mu\text{s}$ ,  $V_{1T1R} = 3\text{ V}$ ,  $I_{CompSET} = 100\mu\text{A}$ . *Reset* : durée du pulse :  $10\mu\text{s}$ ,  $V_{1T1R} = -1.3\text{ V}$ .

fortement amélioré via une programmation “intelligente”.

La **rétenion** a été étudiée dans le cas d’une température de conservation de l’information de 250°C et pour des temps inférieurs à  $10^6\text{ s}$ . Il en a résulté que seul l’état LRS a présenté des défaillances : l’état HRS étant parfaitement stable pour ces conditions de mesure.

La FIG. 2.8a-b) présente la rétenion de l’état LRS obtenue après une opération de *Set* réalisée à 25°C et à 150°C pour  $I_{CompSET} = 350\mu\text{A}$ . On observe que le niveau initial de résistance est le même (en accord avec les observations des FIG. 2.5 & FIG. 2.6). Néanmoins, les dispositifs programmés à haute température présentent une dégradation plus importante de leurs niveaux de résistance. De même, la FIG. 2.8c) met en évidence que ce phénomène se renforce pour des états de résistance obtenus avec de faibles niveaux de compliance durant le *Set*.

Pour confirmer que la résistance LRS ne dépendait pas de la température de l’opération de *Set*, des cycles de programmation ont été effectués à différents courants de compliance,  $I_{CompSET}$ , et pour des températures allant de 25°C à 200°C (non montrés ici). Il a été observé un résultat parfaitement similaire à celui de la FIG. 2.4a) sans influence de la température : le niveau de résistance de l’état LRS étant contrôlé uniquement par  $I_{CompSET}$  [Ielm11a].

Il apparaît que les dispositifs étudiés (Structure 1T1R, empilement résistif : Ti-10nm/HfO<sub>2</sub>-5nm/TiN-50nm) présentent d’excellentes performances en température : stabilité des états en température, rétenion à haute température, endurance supérieure à  $10^8$  cycles. Il a aussi été mis en évidence que l’état LRS, même s’il présente des niveaux de résistance identiques, voit sa microstructure changer en fonction de la température à laquelle l’opération de *Set* est effectuée. Pour aller plus loin dans l’analyse de ce phénomène, une modélisation de la rétenion a été réalisée ainsi qu’une étude sur le mécanisme de l’opération de *Reset*.

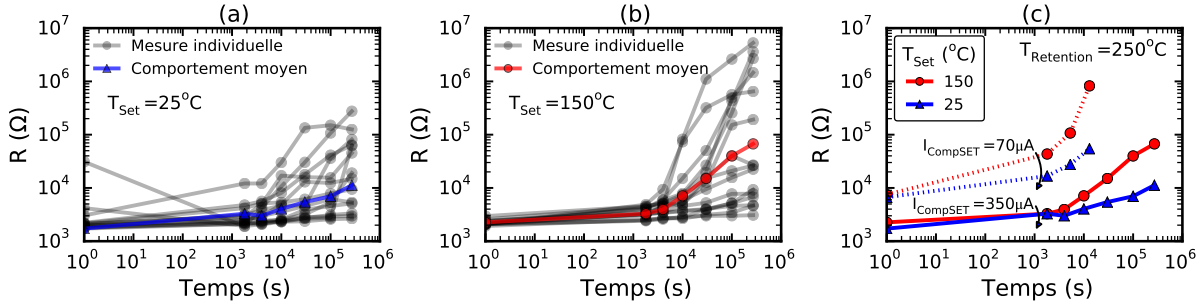


FIGURE 2.8 – Tests de rétention à 250°C : évolution de résistance des états LRS en fonction du temps de rétention pour des cellules 1T/1R programmées avec une complianc en courant de 350  $\mu\text{A}$  à a) 25°C et à b) 150°C . Les courbes noires représentent le comportement individuel des cellules, les courbes bleues et rouges représentant l'évolution moyenne. c) Confrontation des caractéristiques de rétention pour différentes températures de l'opération de Set (25°C et 150°C) et pour différents courants de complianc (350  $\mu\text{A}$  et 70  $\mu\text{A}$ ). Chaque courbe correspond à une moyenne des comportements individuels d'une vingtaine de cellules.

### 2.3.2 Impact de l'état LRS sur la rétention

L'étude de la rétention en température a montré que la température à laquelle est réalisée l'opération de Set modifie la microstructure du filament conducteur sans changer sa résistance. Pour confirmer cette hypothèse, un modèle de rétention inspiré de Wei *et al.* [Wei12] a été réalisé.

En considérant que le mécanisme de diffusion est prépondérant sur le processus de recombinaison, il est possible de modéliser la destruction du filament en ne considérant que la dispersion progressive des lacunes d'oxygène le constituant. Pour calculer l'évolution dans le temps de cette densité, un système de coordonnées cylindriques avec une invariance selon l'axe de révolution  $\Theta$  a été considéré. Le formalisme des fonctions de Green a été utilisé pour résoudre simplement l'équation de la diffusion (seconde loi de Fick), équation 2.1. La fonction de Green solution de l'équation aux dérivés partielles associées à l'équation 2.1 est bien connue et peut s'écrire suivant l'expression 2.2 dans le cas d'une géométrie cylindrique. Ainsi, la solution générale de l'équation 2.1 s'obtient par convolution de la fonction de Green avec la distribution initiale du système. Dans le cas d'un filament initialement considéré comme un cylindre de rayon  $r_0$  et de densité  $n_0$ , on obtient l'expression 2.3.

$$\frac{\partial n_{CF}}{\partial t} - D \cdot \frac{\partial^2 n_{CF}}{\partial r^2} = 0 \quad (2.1)$$

$$G(r, \Theta, t) = \frac{H(t)}{4 \cdot \pi \cdot D \cdot t} \cdot \exp\left(-\frac{r^2}{4 \cdot D \cdot t}\right) \quad (2.2)$$

$$n_{CF}(r, t) = \frac{H(t)}{2 \cdot D \cdot t} \int_0^{r_{CF}} r_0 \cdot n_0 \cdot \exp\left(-\frac{(r - r_0)^2}{4 \cdot D \cdot t}\right) dr_0 \quad (2.3)$$

Avec :

$n_{CF} [m^{-3}]$ :	densité de lacunes d'oxygène
$D [m^2 \cdot s^{-1}]$ :	coefficient de diffusion
$t [s]$ :	temps
$r [m]$ :	variable d'espace en coordonnées cylindriques
$H$ :	fonction de Heaviside
$r_0 [m]$ :	rayon initial du filament conducteur
$n_0 [m^{-3}]$ :	densité de lacunes d'oxygène constituant initialement le filament conducteur

Pour obtenir la résistance de notre dispositif mémoire, il convient de relier la densité des lacunes d'oxygène à la conductivité électrique. Plusieurs approches sont proposées dans la littérature. Chae *et al.* [Chae08] calculent la conductivité d'une distribution donnée en considérant des chemins de percolation. Larcher *et al.* et Guan *et al.* [Larc12; Guan12] proposent, quant à eux, une conduction assistée par pièges. Néanmoins, ces approches nécessitent un formalisme discret inadapté dans notre approche. Le formalisme continu proposé par Larentis *et al.* [Lare12], s'appuyant sur une approche empirique, est parfaitement utilisable ici et permet de prendre en compte la diminution de la conductivité lorsque la densité de défauts diminue [Nino13]. L'expression 2.4 permet de lier la conductivité électrique du HfO<sub>2</sub> en fonction de la concentration de lacunes d'oxygène (FIG. 2.9a). Notons que la FIG. 2.9b) permet d'illustrer les iso-résistances en fonction du couple rayon du filament et densité de lacunes d'oxygène<sup>12</sup>.

$$\sigma(n_{CF}) = \beta \cdot n_{CF} \cdot \exp\left(\frac{Ea(n_{CF})}{k \cdot T}\right) \quad (2.4)$$

$$Ea = \begin{cases} 0 & \text{si } n_{CF} \geq n_{TAC} \\ E_{a_0} - n_{CF} \frac{E_{a_0}}{n_{TAC}} & \text{si } n_{CF} < n_{TAC} \end{cases}$$

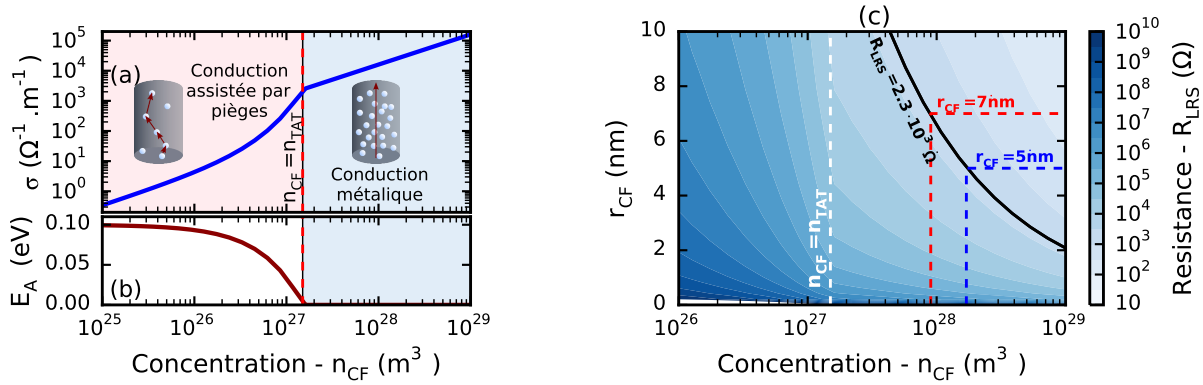
où  $\beta$  un préfacteur,  $k$  la constante de Boltzmann,  $T$  la température.  $Ea$  est l'énergie d'activation, fonction de la densité de lacunes d'oxygène (cf FIG. 2.9), telle que  $E_{a_0}$  est l'énergie d'activation pour  $n_{CF} = 0$  et  $n_{TAC}$  la densité de lacunes marquant la transition entre une conduction de type semi-métallique (typique dans un HfO<sub>2</sub> fortement sous-stœchiométrique comme le Hf<sub>2</sub>O<sub>3</sub> [Xue13]) et une conduction assistée par pièges.

12. Il est intéressant d'observer sur la FIG. 2.9b) que pour un rayon de filament fixé, deux niveaux de résistances ne vont pas avoir la même dépendance à la variation de concentration en lacunes d'oxygène. Cette constatation peut être une base à l'analyse de la variabilité des états LRS en fonction du courant de compliance utilisé durant l'opération de *Set*. Des travaux sur ce sujet ont été réalisés dans le cadre d'une collaboration avec l'Université Technologique de Pohang (POSTECH) et ont abouti à un article dans Applied Physics Letters [Prak15].

TABLE 2.1 – Paramètres physiques utilisés dans le modèle de diffusion

	$D = 6 \times 10^{-23} m^2 \cdot s^{-1}$	$\beta = 1.6 \times 10^{-24} S \cdot m^2$
	$E_{a_0} = 0.1 eV$	$n_{TAC} = 1.5 \times 10^{28} m^{-3}$
Filament 1 :	$R_{CF_1} = 5 nm$	$n_{0_1} = 1.45 \times 10^{28} m^{-3}$
Filament 2 :	$R_{CF_2} = 7 nm$	$n_{0_2} = 7.5 \times 10^{27} m^{-3}$

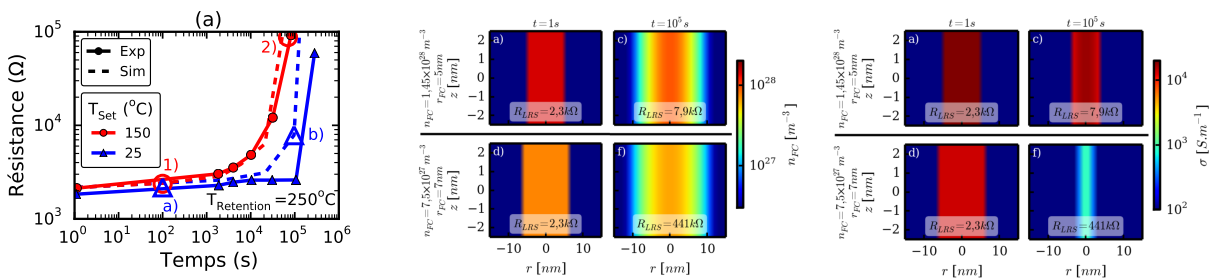




**FIGURE 2.9** – a) Conductivité électrique calculée en fonction de la concentration en lacunes d’oxygène à partir de l’expression 2.4. Insert : évolution de l’énergie d’activation en fonction de  $n_{CF}$ . (b) Carte de  $R_{LRS}$  en fonction du rayon du filament pour des concentrations en lacunes d’oxygène constantes.

A partir de ce modèle, il est possible de décrire la diffusion de deux filaments de même résistance ( $2.3 k\Omega$ ) mais de rayons et de densités de lacunes d’oxygène différents. Le tableau 2.1 regroupe les paramètres utilisés. La FIG. 2.10a) présente les courbes de rétention simulées dans ces deux configurations. Un bon agrément est observé avec les données expérimentales : il apparaît que le filament le plus fin et le plus dense présente la meilleure stabilité. Les FIG. 2.10b) et FIG. 2.10c) représentent respectivement les cartographies 2D de la densité de lacunes d’oxygène et de la conductivité après  $10^2 s$  et  $10^5 s$ . La moins bonne rétention du filament large et initialement moins dense s’explique par le fait qu’il atteint plus rapidement la densité seuil de  $n_{TAC}$ , induisant la chute de sa conductivité.

Ainsi, comme observée par Ninomiyaé *et al.* [Nino13], la rétention dépend grandement de la densité des défauts constituant le filament conducteur. Il en résulte que le filament le plus large et le moins dense aura la moins bonne rétention. Il semble donc que les filaments formés à haute température sont plus larges et présentent une densité de lacunes d’oxygène plus faible que ceux créés à plus basse température.



**FIGURE 2.10** – a) Caractéristique expérimentale et simulée de la rétention de l’état LRS à  $250^\circ C$  en fonction de la température de Set. La simulation considère deux configurations initiales de filament conducteur :  $R_{CF_1} = 5 nm$  pour les pointillés bleus et  $R_{CF_2} = 7 nm$  pour les pointillés rouges. Cartographie 2D de la densité de lacunes d’oxygène (b) et conductivité  $\sigma$  (c) est obtenue dans la simulation de la FIG.2.10a) après  $10^2 s$  (points a et 1) et  $10^5 s$  (point b et 2). Les deux configurations de même résistance initiale  $R = 2.3 k\Omega$ , présentent après  $10^5 s$  des résistances différentes (b)  $R = 7.8 k\Omega$ , (2)  $R = 440 k\Omega$ .

### 2.3.3 Impact de l'état LRS sur l'opération de *Reset*

L'opération de *Reset* est elle aussi fortement impactée par l'état LRS de la cellule. Aussi son étude peut nous permettre de mieux appréhender les modifications de la microstructure de l'état LRS induites par la température de l'opération de *Set*.

Les cellules OxRRAM ont donc été placées dans un état LRS via une opération de *Set* réalisée à deux températures différentes (25 et 200 °C) avec un courant de compliance de  $\sim 350 \mu A$  (FIG. 2.11a-i). Un *Reset* a ensuite été effectué, soit à la température de *Set* (FIG. 2.11a-ii), soit à 100 °C (FIG. 2.11a-iii). Pour chaque caractéristique  $I(V)$ , le courant maximum observé durant l'opération de *Reset* ( $I_{Reset}$ ) a été extrait et reporté en fonction de la température de *Set* sur la FIG. 2.11b. Il apparaît que lorsque l'opération de *Reset* est effectuée à la même température que l'opération de *Set*,  $I_{Reset}$  est proportionnel à  $I_{CompSET}$  ( $I_{Reset} \approx 0.8 \times I_{CompSET}$ ) alors que les opérations de *Reset* réalisées à température fixe, 100 °C (FIG. 2.11iii), montrent une dépendance avec la température de *Set* (le ratio  $I_{Reset}/I_{CompSET}$  augmente avec la température de l'opération de *Set*). Ces résultats tendent à confirmer les observations effectuées en rétention : la température de *Set* modifie l'état LRS dans la microstructure du filament conducteur tout en gardant le même niveau de résistance.

Pour confirmer les hypothèses effectuées pendant l'étude en rétention, l'opération de *Reset* a été modélisée en considérant un filament conducteur de rayon et de densité de lacunes d'oxygène différents mais présentant le même niveau de résistance. Le formalisme utilisé est très fortement inspiré de celui présenté dans le chapitre 3. Une réaction d'oxydoréduction locale est considérée comme origine de la destruction du filament.

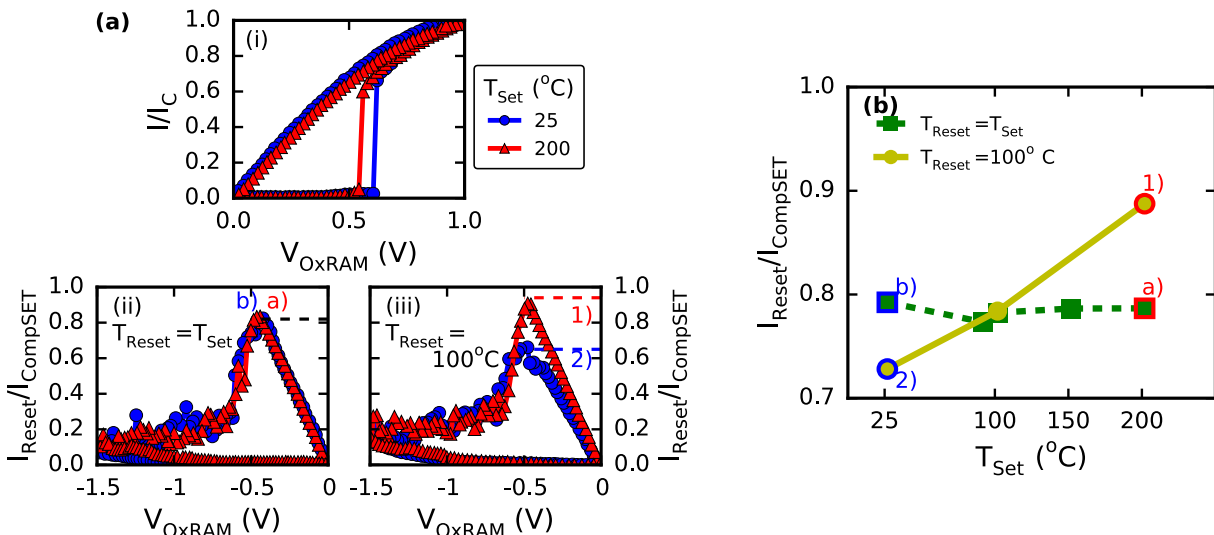


FIGURE 2.11 – a) Caractéristique  $I(V)$  i) des opérations de *Set* réalisées à différentes températures (la compliance utilisée est de  $\sim 350 \mu A$ ); ii) des opérations de *Reset* réalisées à la même température que l'opération de *Set* (bleu 25 °C, rouge 200 °C); iii) des opérations de *Reset* réalisées à 100 °C après des *Set* à différentes températures (bleu 25 °C, rouge 200 °C). b) Ratio  $I_{Reset}/I_{CompSET}$  en fonction de la température de l'opération de *Set*. Les pointillés noirs représentent les opérations de *Reset* effectuées à la même température que l'opération de *Set* qui l'a précédée (FIG. 2.11a-ii). La ligne jaune correspond aux opérations de *Reset* réalisées à 100 °C alors que l'opération de *Set* a été réalisée à des températures différentes (FIG. 2.11a-iii).

TABLE 2.2 – Paramètres physiques utilisés dans le modèle de *Reset*

$\alpha = 0.8$	$\tau_{RedOx} = 10^{-5} s$
$k_{th} = 2 W.K^{-1}.m^{-1}$	$E_{a_R} = 0.8 eV$

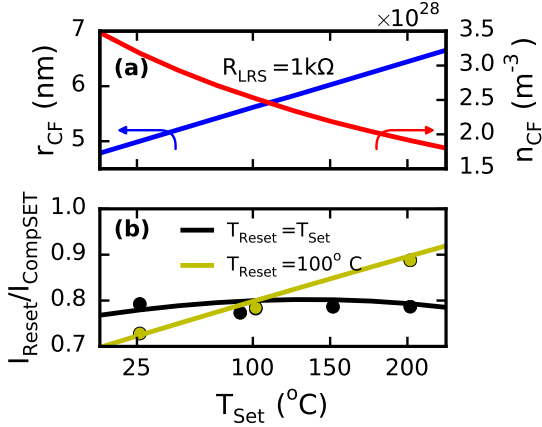


FIGURE 2.12 – a) Valeurs de  $R_{CF}$  et  $n_{CF}$  utilisées pour maintenir une résistance de CF à  $1k\Omega$  dans le modèle pour les différentes température de simulation. b) Ratio  $I_{Reset}/I_{CompSET}$  en fonction de la température de l'opération de *Set* obtenu expérimentalement (symbole provenant de la FIG. 2.11) et en simulation (lignes).

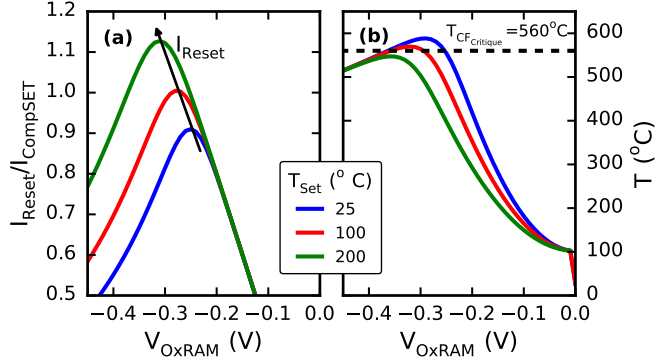


FIGURE 2.13 – Simulation de l'opération de *Reset* à  $T_{Reset}=100^\circ C$  pour des filaments obtenus à différentes températures de *Set* dont les caractéristiques microscopiques (rayon et densité de lacunes d'oxygène) sont définies sur la FIG.2.12a). a) Caractéristiques courant-tension normalisées; b) Caractéristiques température-tension.

La température interne du filament,  $T$  calculée par effet Joule, active la réaction. Le courant dans la cellule est celui d'un filament conducteur suivant l'équation 2.7.

$$\frac{dn_{CF}}{dt} = -\frac{n_{CF}}{\tau_{RedOx}} \cdot \exp\left(\frac{E_a + q \cdot (1 - \alpha) \cdot V_{OxRAM}}{k_b \cdot T}\right) \quad (2.5)$$

$$T = T_{amb} + \frac{\sigma(n_{CF})}{2 \cdot k_{th}} \cdot V_{OxRAM} \quad (2.6)$$

$$I = F \cdot \pi \cdot \sigma(n_{CF}) \cdot R_{CF}^2 \quad (2.7)$$

$\tau_{RedOx}$  [ $s^{-1}$ ] : taux d'oxydoréduction nominal,  
 $\alpha$  [-] : coefficient de transfert de charges (compris entre 0 et 1),  
 $\sigma(n_{CF})$  [ $S \cdot m^{-1}$ ] : conductivité électrique, fonction de  $n_{CF}$  suivant l'équation 2.4,  
 $E_{a_R}$  [J] : énergie d'activation.

La FIG. 2.12a) présente les couples rayon/densité de lacunes utilisés pour les simulations de *Reset* permettant de maintenir  $R_{LRS} = 1k\Omega$ . Comme pour la simulation de rétention, l'état LRS provenant d'un *Set* effectué à  $25^\circ C$  a été supposé constitué d'un filament fin et dense ( $R_{CF} = 5nm$  et  $n_{CF} = 3.2 \times 10^{28} m^{-3}$ ) alors que le *Set* à  $200^\circ C$  induit un filament plus large mais moins dense ( $R_{CF} = 6.8nm$  et  $n_{CF} = 1.9 \times 10^{28} m^{-3}$ ). La FIG. 2.12b) confronte les données expérimentales  $I_{Reset}/I_{CompSet}$ , déjà présentées dans la FIG. 2.11, avec les résultats de simulation de l'opération de *Reset*. Une très bonne adéquation est observée permettant de valider l'approche utilisée.

La FIG. 2.13a présente les caractéristiques  $I - V$  ainsi que la température interne obtenue en simulation pour une opération de *Reset* effectuée à 100°C. Il apparaît que le *Reset* semble se déclencher à une température critique,  $\sim 500^\circ\text{C}$ , directement reliée à la densité de courant et donc au rayon du filament et à sa constitution.

En résumé, le mécanisme physique responsable de l'opération de *Reset* est fortement dépendant de la température locale dans le filament. Cette dépendance se traduit par une température critique à laquelle l'opération de *Reset* se déclenche. Cette température est d'autant plus simple à atteindre — diminution de la tension et du courant — que la température de l'opération de *Set* a été élevée, ou que la température ambiante est forte. Néanmoins, cette température critique ne doit pas être considérée comme une constante absolue. Au contraire, elle peut être interprétée comme la température à laquelle le temps caractéristique du mécanisme de commutation de résistance est comparable à l'échelle de temps de la rampe de tension utilisée pour l'opération de *Reset*. Par exemple dans le cas d'une vitesse de rampe plus rapide, la température critique sera plus importante pour abaisser le temps caractéristique du mécanisme de commutation et le rendre comparable à l'échelle de temps de la rampe de tension utilisée. De plus l'effet de la température sur l'opération de *Reset* a aussi permis de confirmer l'impact de la température de *Set* sur la géométrie et la composition du filament conducteur observé dans l'analyse de la rétention.

---

## 2.4 Analyse Sécuritaire - Attaque LASER

### 2.4.1 Contexte de l'étude

Comme nous venons de le voir, la mémoire OxRRAM offre des performances très intéressantes en terme d'endurance, de rétention, de vitesse de programmation et de tension d'utilisation. De plus, son intégration dans le *Back-End* et sa capacité de miniaturisation très prometteuse la positionne comme successeur possible de la mémoire Flash pour les applications embarquées. La contrainte sécuritaire de ces applications pose la question de l'intégrité des données, de leur confidentialité et de leur accessibilité. Contrairement aux mémoires à bases de stockage de charges [Skor09 ; Skor10], très peu d'études se sont intéressées à cette thématique pour les technologies émergentes.

Ainsi la thèse de M. Alexis KRAKOVINSKY sur l'*Étude Sécuritaire des Mémoires Non-Volatiles Émergentes* a pour objectif d'évaluer l'impact des attaques LASER sur des cellules OxRRAM à base de  $\text{HfO}_2$ . Elle s'appuie sur un co-encadrement apportant multi-compétences complémentaires :

- CEA-DPACA, R. Wacquez, pour son expertise sécuritaire
- CEA-LETI, J. Coignus, fournissant les échantillons mémoires et son expertise en caractérisation électrique
- IM2NP, J.-M. Portal & moi même, apportant des moyens et des compétences en caractérisation électrique et en conception mémoires.

### 2.4.2 Attaque de cellules 1R

Dans une première phase exploratoire, des cellules OxRRAM constituées seulement de l'élément résistif ont été attaquées par LASER. Cette étude a fait l'objet d'une publication dans la conférence internationale IEEE ICMTS [Kra16].

L'empilement étudié est de type  $\text{Ti-10nm}/\text{HfO}_2\text{-5nm}/\text{TiN-15nm}$ [Vian14]. Pour positionner la cellule dans un état stable, un *Électroforming* puis dix cycles de *Set/Reset* ont été effectués. Le courant de compliance de l'opération de *Set* a été fixé par l'analyseur de paramètres à une valeur de 1 mA.

Les deux longueurs d'ondes utilisées (355 nm (Ultraviolet) et 1064 nm (Infrarouge)) ont été obtenues à partir de LASER possédant une source de Nd :YAG. La puissance surfacique a été maintenue constante à  $5 \cdot 10^{10} \text{ W/m}^2$  durant une attaque de 10 ns, soit une énergie déposée de 129 nJ dans ces deux cas.

La FIG. 2.14 représente les distributions cumulées avant et après attaque pour 168 cellules dont la moitié initialement dans un état LRS et l'autre moitié dans un état HRS. La FIG. 2.14b met en évidence que les cellules placées avant attaque dans un état LRS n'ont souffert d'aucune modification de leur état résistif. Les cellules initialement placées dans un état HRS ont, quant à elles, vu leur résistance chuter d'un facteur dix (cf FIG. 2.14a). Il est intéressant de constater que l'impact du LASER sur les cellules OxRRAM semble indépendant de la longueur d'onde utilisée.

Enfin, des cycles de *Set/Reset* après attaque (non montrés ici) ont aussi indiqué que le comportement des cellules restait identique. Seul le premier *Reset* présente une si-

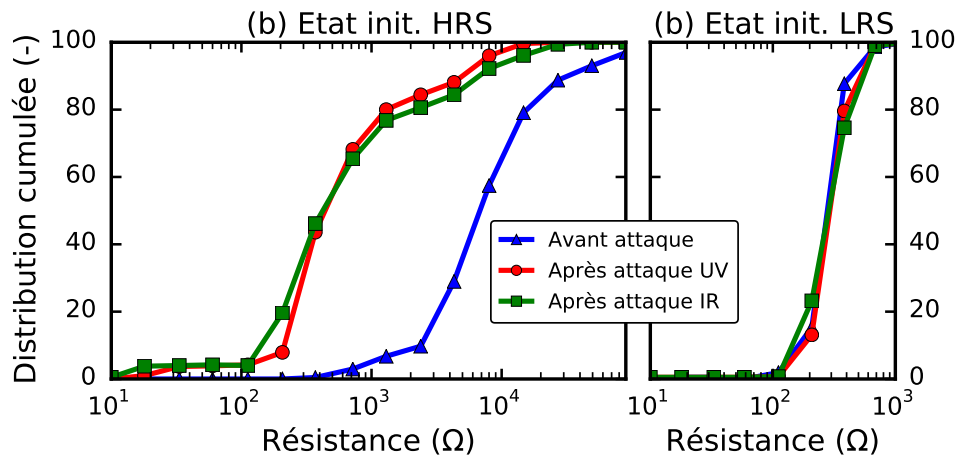


FIGURE 2.14 – Distribution cumulée des valeurs de résistances avant et après attaque pour 168 cellules dont (a) 84 placées initialement dans un état Hrs et (b) 84 placées initialement dans un état LRS.

gnature particulière pour les cellules HRS ayant vu leur niveau de résistance chuter après attaque : la tension de *Reset* se disperse davantage vers des valeurs plus fortes soulignant une opération plus difficile.

### 2.4.3 Éléments de compréhension

Il existe deux possibilités permettant d'expliquer des changements dans la structure du  $\text{HfO}_2$  induit par attaque LASER. La première proviendrait d'un effet optique par injection de photons jusqu'à la couche active et la seconde serait un effet thermique dû à l'énergie LASER apportée par absorption.

Dans un premier temps, il convient d'estimer la pénétration optique du rayon LASER à travers l'empilement complet. La FIG. 2.15 schématise l'ensemble des couches de la cellule 1R. L'empilement OxRRAM constitué de deux électrodes et d'un oxyde actif ( $\text{Ti-10nm}/\text{HfO}_2\text{-5nm}/\text{TiN-15nm}$ ) est inter-connecté par deux lignes métalliques ( $\text{AlCu}$ )<sup>13</sup>. Notons la présence d'un oxyde de titane en surface dû à l'oxydation naturelle du TiN à l'air. On peut donc observer une multitude de couches métalliques entre la surface et le  $\text{HfO}_2$ . Il en résulte que les coefficients de transmission optique sont extrêmement faibles :  $1.7 \times 10^{-15}$  pour  $\lambda = 1064 \text{ nm}$  et à  $4.3 \times 10^{-24}$  pour  $\lambda = 355 \text{ nm}$ . L'effet photonique au niveau de la couche active de  $\text{HfO}_2$  semble très limité. L'aspect thermique semble le plus probable, ce qui corrobore l'indépendance des attaques vis-à-vis de la longueur d'onde.

Comme montré précédemment, l'aspect thermique joue un rôle important dans les mémoires OxRRAM. Aussi, il est intéressant d'estimer les températures atteintes dans l'empilement durant le tir LASER et de les comparer à celles présentes durant une commutation électrique. Une simulation multi-physiques faisant intervenir l'énergie transmise dans chacune des couches et la quantité de chaleur apportée a été réalisée via le logiciel COMSOL Multiphysics®. L'empilement simulé est donné FIG. 2.15.

13. Les couches de Ti et TiN supplémentaires étant des couches d'accroche et des barrières de diffusion

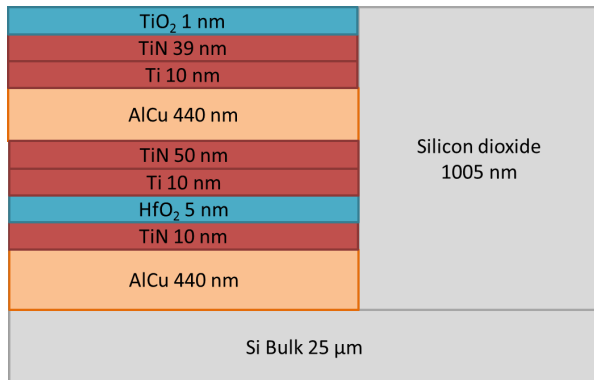


FIGURE 2.15 – Schéma de l'empilement complet utilisé dans la simulation des attaques LASER

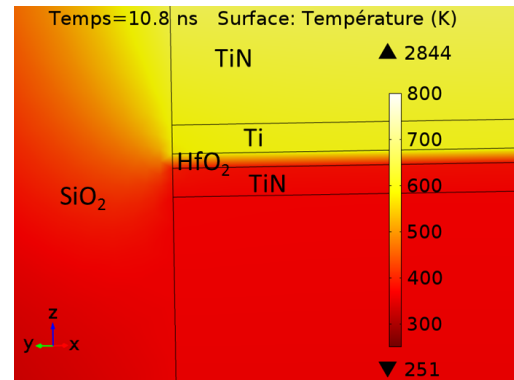


FIGURE 2.16 – Cartographie simulée de la répartition de la température après 0.8 ns suivant l'attaque LASER.

La FIG. 2.16 représente la cartographie de température au moment où la température maximale de  $340^{\circ}\text{C}$  est observée dans le  $\text{HfO}_2$ , soit 0.8 ns après le pulse LASER. La température se stabilise de nouveau à  $32^{\circ}\text{C}$  après  $1\ \mu\text{s}$ .

A la suite de ces simulations, plusieurs constatations apparaissent :

- Les températures atteintes durant l'attaque LASER sont supérieures aux températures induisant des défaillances en rétention ;
- Un retour à la température ambiante en  $1\ \mu\text{s}$  ;
- Les attaques LASER ont montré un état HRS défaillant et un LRS stable.

Ceci met en évidence qu'il s'agit bien d'un effet thermique qui est responsable de la forte diminution des valeurs de résistance suite à une attaque LASER des dispositifs 1R placés dans un état HRS. Ceci est en accord avec leur comportement en rétention à haut température. Comme le montre la FIG. 2.17, l'état HRS est instable et tend à diminuer vers un état de plus faible résistance.

Néanmoins, les résultats de rétention présentés plus tôt dans ce chapitre montrent une défaillance de l'état LRS après  $10^5\ \text{s}$  à  $250^{\circ}\text{C}$ , et non HRS, ce qui semble en contradiction. Toutefois, une grande variété de comportement en température ont été rapportées dans la littérature en fonction de l'empilement (électrodes et matériaux actifs) ainsi que de l'état électrique de la cellule (rétention et endurance) [Fang10; Walc11; Gao10; Chen13]. Les différences d'épaisseurs et d'architectures (1R vs 1T1R) peuvent expliquer ce comportement.

En conclusion, il a été montré qu'il était possible d'atteindre à l'intégrité des données stockées dans les cellules isolées OxRRAM de type 1R par une attaque LASER. Il semble que la diminution de la résistance HRS observée soit due à un effet thermique. Néanmoins, le comportement en température est fortement dépendant de la gamme des résistances exploitées et des conditions de l'Électroforming. Aussi, il convient de réaliser une étude similaire sur des dispositifs 1T1R permettant d'ajuster plus finement les courants de compliance. Cela pourrait permettre d'identifier des modes de fonctionnement plus robustes à ce type d'attaque et/ou la mise en place de contre-mesures.

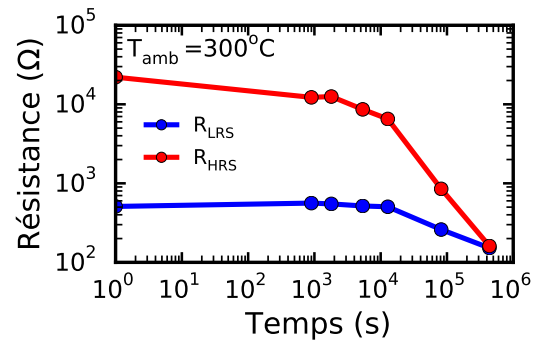


FIGURE 2.17 – Caractéristiques de rétention réalisées à 300°C des dispositifs 1R utilisés dans l'étude sur l'influence des attaques LASER sur les dispositifs OxRRAM.

## 2.5 Conclusions et perspectives

A travers la thèse de M. Thomas CABOUT, sur l'«*Optimisation technologique et caractérisation électrique de mémoires résistives OxRRAM pour application basse consommation*», soutenue en décembre 2014, un important travail de caractérisation et d'analyse des performances des mémoires OxRRAM à base de HfO<sub>2</sub> a été mené. Cette étude a permis de souligner le fort potentiel de cette technologie avec des performances au niveau des spécifications de l'ITRS pour concurrencer la mémoire Flash :

- Une programmation possible en quelques nanosecondes, soit une énergie de l'ordre du picojoule ;
- Une endurance supérieure à 10<sup>8</sup> cycles d'écriture/effacement ;
- Une rétention extrapolée d'au moins 10 ans à des températures élevées (85°C voir 125°C) ;
- Un temps de faute pour une lecture à 100 mV de 10<sup>12</sup> s.

D'une manière générale, ces résultats expérimentaux ont permis de corroborer l'hypothèse, largement admise dans la communauté scientifique, selon laquelle le changement de résistance est piloté par la formation/destruction d'un filament conducteur formé à partir d'une accumulation spatiale de défauts ponctuels (lacunes, interstitiels, etc.). Les paramètres de programmation (e.g. courant de compliance, tension d'arrêt de *Reset*) permettent de moduler la résistance des états LRS et HRS ; cette modulation pouvant être attribuée à une modification des caractéristiques micro/nanostructurales de ce filament conducteur, et donc de ses performances.

Une étude de l'activation thermique de la commutation de résistance a permis aussi d'apporter un éclairage nouveau et des éléments de compréhension supplémentaires sur les mécanismes de commutation. Il est apparu que la température de *Set* conditionne la géométrie et la composition du filament conducteur, modifiant le comportement en rétention et en *Reset* des cellules OxRRAM.

Enfin, l'analyse sécuritaire des mémoires OxRRAM prend tout son sens dans le contexte actuel de l'Internet des Objets si celle-ci veut véritablement concurrencer les mémoires Flash embarquées sur les nœuds technologiques avancés. La thèse M. Alexis KRAKOVINSKY, sur l'«*Étude Sécuritaire des Mémoires Non-Volatiles Émergentes*», débutée



en octobre 2014, se positionne sur cette thématique. Dans un premier temps, il a été mis en évidence que l'intégrité de la donnée stockée peut être altérée par attaque LASER, l'état HRS ayant présenté une commutation vers un état LRS après attaque. Toutefois, en comparaison avec les cellules mémoires Flash ou E<sup>2</sup>PROM sensibles aux effets photoélectriques, les puissances LASER nécessaires au basculement des mémoires OxRRAM sont importantes soulignant ainsi la robustesse de ces dernières.

Il reste encore beaucoup à comprendre sur les mécanismes de commutation et de conduction des mémoires OxRRAM. L'activité scientifique est en pleine effervescence dans ce domaine. Cela est sans doute un signe du fort potentiel de cette technologie. Les trois points qui me semblent critiques et qu'il conviendrait de résoudre pour donner plus de crédibilité à l'industrialisation de cette technologie seraient :

- **La variabilité cycle à cycle** des tensions de commutation ainsi que des niveaux de courant de l'état HRS sont sans doute les principaux défauts des mémoires OxRRAM. Apporter des éléments de compréhension afin de mieux contrôler, anticiper ou réduire ces dispersions est l'un des aspects les plus stratégiques.
  - **La loi d'activation en température en rétention** est actuellement supposée de type Arrhenius, mais la jeunesse de cette technologie limite la validation de cette loi. Il est donc essentiel d'apporter des méthodes de vieillissement accéléré permettant de qualifier ces mémoires. Sans cela, et même au vu des excellents résultats de tenue en température, les industriels se montreront réticents à commercialiser ces mémoires, notamment pour des applications sensibles telles que l'automobile ou l'aéronautique.
  - **La programmation progressive** est un aspect essentiel pour les applications neuromorphiques. En effet, les mémoires OxRRAM présentent un grand nombre de spécificités recherchées pour ces applications : dipôle, commutation résistive, variabilité, densité importante, etc. Le point actuel limitant l'utilisation des mémoires OxRRAM dans les architectures neuroinspirées est sa commutation brutale et son niveau LRS contrôlé par un élément extérieur (le transistor de sélection). La possibilité de programmer des cellules à différents niveaux de résistance, simplement en fonction du nombre de pulses de programmation, serait un véritable tournant pour les applications neuromorphiques.
-

## Chapitre 3

# Modélisation des mémoires résistives

*Votre théorie est folle, mais elle ne l'est pas assez pour être vraie.*

*Niels Bohr*

*Le principe d'un modèle, c'est d'avoir des imperfections.*

*Michel Dirand*

Ce chapitre présente différents travaux de modélisation de mémoires résistives menés au sein de l'équipe mémoire de l'IM2NP. Dans une première partie, un modèle numérique décrivant le fonctionnement des mémoires OxRRAM unipolaires sera présenté. Puis dans un deuxième temps, nous nous attarderons sur la description détaillée d'un modèle compact de mémoires OxRRAM bipolaires. Ces deux modèles ont été choisis car étant proches l'un de l'autre, ils soulignent certains points communs aux mémoires unipolaires et bipolaires. Ils permettent aussi d'illustrer le passage d'un modèle numérique à une approche compacte. Il faut noter que ces travaux ont donné naissance à de nombreuses collaborations académiques et industrielles.

---

---

## Sommaire

---

<b>3.1</b>	<b>Contexte et positionnement</b>	<b>49</b>
<b>3.2</b>	<b>Modélisation des mémoires OxRRAM unipolaires à base de NiO</b>	<b>50</b>
3.2.1	Description du modèle	51
3.2.1.1	Structure étudiée	51
3.2.1.2	Description du problème électro-thermique	51
3.2.1.3	Oxydoréduction locale du filament	52
3.2.1.4	Dissolution thermique du filament	52
3.2.1.5	Équation maîtresse – cinétique de création/dissolution	53
3.2.2	Validation du modèle	53
3.2.2.1	Validation quasi-statique	53
3.2.2.2	Validation dynamique	55
3.2.3	Conclusion	55
<b>3.3</b>	<b>Modèle compact des dispositifs OxRRAM bipolaires</b>	<b>56</b>
3.3.1	Détail du modèle compact mis en œuvre	57
3.3.1.1	Opérations de Set/Reset	59
3.3.1.2	Étape d'Électroforming	60
3.3.1.3	Dépendance en température	60
3.3.1.4	Courant à travers la structure MIM	61
3.3.1.5	Implémentation numérique	62
3.3.2	Validation du modèle	62
3.3.2.1	Comportement quasi-statique	63
3.3.2.2	Caractéristiques dynamiques	66
3.3.2.3	Dépendance en température	66
3.3.2.4	Variabilité dispositif à dispositif	67
3.3.3	Conclusion	69
<b>3.4</b>	<b>Conclusions et perspectives</b>	<b>70</b>

---

## 3.1 Contexte et positionnement

L'activité de recherche présentée dans ce chapitre s'intéresse aux problématiques de modélisation des mémoires résistives, et plus particulièrement aux modèles physiques numériques et leurs versions compactes. Développée en interne dans l'équipe mémoire de l'IM2NP, elle a permis un support substantiel sur les thèses : d'E. Tirano – *“Développement et caractérisation de cellules mémoires RRAM embarquées”*, 2009–2013, directeur de thèse : C. Muller, Co-encadrant : D. Deleruyelle (IM2NP), L. Perniola (CEA-LETI) — et T. Cabout – ; *“Optimisation technologique et caractérisation électrique de mémoires résistives OxRRAM pour application basse consommation”*, 2011–2014, directeur de thèse : C. Muller, Co-encadrant : M. Bocquet (IM2NP), E. Jalaguier (CEA-LETI).

Elle a aussi été stratégique en permettant de positionner l'équipe mémoire sur la thématique design OxRRAM avec un modèle compact robuste et a débouché sur :

- Un projet ANR (ANR DIPMEM, partenaires : CEA-LETI, Spintec, IM2NP, STMicroelectronics, CMP, LIRMM , IEF) ;
- Des collaborations académiques (Collaboration entre CARNOT-STAR et CARNOT-Leti, collaboration avec l'université d'Utah) ;
- Des thèses design (S. Onkaraiyah *“Modélisation et conception de circuits à base de mémoires non-volatiles résistives innovantes”*, A. Levisse *“Conception d'architectures pour mémoires résistives de type cross-bar”*) ou modèle compact (C. Pigot *“Caractérisation électrique et modélisation compacte de mémoires non volatiles embarquées avancées”*).

Cette activité a débuté en 2010 lorsque les mémoires unipolaires avaient le vent en poupe. Très vite un modèle physique, s'appuyant sur le mécanisme de *Reset* proposé par Russo *et al.* [Russ09a ; Russ09b] et sur une approche originale basée sur des mécanismes d'oxydoréduction pour le *Set*, a été mise place. Ce modèle numérique a été valorisé par une publication [Bocq11] puis décliné sous forme compacte. Il a permis d'acquérir de l'expérience dans le design de circuits à base d'OxRRAM unipolaires et sera l'objet de la première partie de ce chapitre.

Les années qui ont suivi ont marqué le déclin progressif des mémoires unipolaires et l'essor des mémoires OxRRAM bipolaires ; avec notamment les publications d'un groupe de l'“Industrial Technology Research Institute” de Taïwan [Lee08b]. Ainsi, dans le même temps, nous avons développé un modèle compact correspondant à l'empilement TiN/HfO<sub>2</sub>/Ti. Ce travail a débouché sur un article [Bocq14]. Notons qu'à la même période, de nombreux modèles physiques ont été présentés [Xu08 ; Gao09 ; Ielm11d ; Nard12 ; Lare12 ; Larc12 ; Larc13]. L'approche compacte proposée dans la deuxième partie de ce chapitre est aujourd'hui la plus utilisée par les différents membres de l'équipe. Elle a permis le plus grand nombre de collaborations et projets.

## 3.2 Modélisation des mémoires OxRRAM unipolaires à base d'oxyde de nickel

Ce travail de modélisation a été mené conjointement avec M. Damien Deleruyelle (Maître de conférences, équipe "Mémoires") et a donné lieu à une publication [Bocq11].

Les interprétations de l'effet mémoire dans les OxRRAM unipolaires émergent dès les premiers travaux industriels portant sur le sujet. Un consensus s'établit rapidement autour de la conduction contrôlée par un (ou plusieurs) filament(s) conducteur(s) [Baek04; Baek05]. De nombreux travaux exposés s'inscrivent dans une démarche visant à conforter cette hypothèse; notons les études menées en microscopie à sonde locale [Son08; Chae08; Dele11], ou en émission de photoélectrons [Yasu09]. En se basant sur des considérations électrochimiques et thermodynamiques, le groupe de Rainer Waser (Forschungszentrum de Jülich, Allemagne) livre en 2009 une explication phénoménologique de la création de filaments conducteurs dans les oxydes métalliques [Wase09]. De façon synthétique, l'apparition des filaments résulterait d'une réaction d'oxydoréduction locale se produisant le long du chemin de claquage du diélectrique (durant l'étape d' *Électroforming* ou de *Set*), aboutissant à la formation d'un précipité riche en nickel. Waser souligne également le rôle prépondérant joué par la température en s'appuyant sur les diagrammes de stabilité d'Ellingham : au delà d'une température "critique", le nickel est plus stable sous forme réduite (i.e.  $Ni^+$ ,  $Ni^{2+}$ ) que son oxyde (NiO). A ce jour, cette interprétation reste la plus convaincante et la plus communément admise sur le sujet pour expliquer le phénomène de *Set* (resp. *Électroforming*) sur les OxRRAM unipolaires [Ielm11b]. La température joue également un rôle fondamental durant le phénomène de *Reset*, comme l'a décrit de façon satisfaisante par le groupe de D. Ielmini [Russ07], bien avant les phases de *Set* ou d'*Électroforming*. Basés sur des simulations par éléments finis 2D puis transposés de façon semi-analytique, les travaux de ce groupe montrent que la dissolution de filaments conducteurs peut être expliqué par un phénomène d'emballlement électro-thermique aboutissant à une exodiffusion partielle ou complète des espèces métalliques qui constituent le filament [Russ09a; Russ09b].

Contrairement aux approches de type Monte-Carlo [Chae08; Liu09] qui ont été déployées pour modéliser les phénomènes de *Set/Reset*, les formulations analytiques ou semi-analytiques se prêtent à l'implémentation dans des simulateurs circuits. Si ce type d'approche existait pour le phénomène de *Reset*, aucun modèle de ce genre n'était alors disponible pour décrire le phénomène de *Set*. L'objectif de ce travail a été de développer un modèle semi-analytique permettant de modéliser, à l'aide d'un jeu de paramètres uniques, les deux étapes de programmation dans le domaine quasi-statique et dynamique.

De façon succincte, le travail réalisé a consisté à développer un modèle électro-thermique permettant d'obtenir la distribution du champ dans la structure et le profil de température induit par l'effet Joule. Un jeu d'équations cinétiques a été déployé pour décrire la dynamique de création (resp. dissolution) du filament conducteur.

### 3.2.1 Description du modèle

#### 3.2.1.1 Structure étudiée

La configuration de calcul étudiée est présentée sur la FIG. 3.1. Il s'agit d'une géométrie pseudo-2D, à symétrie cylindrique, représentant un empilement MIM contenant une couche d'oxyde de nickel (épaisseur  $t_{ox}$  et conductivité électrique  $\sigma_{ox}$ ). Un filament conducteur, de conductivité électrique  $\sigma_{CF} \gg \sigma_{ox}$ , peut se développer entre les deux électrodes de la structure MIM; il est décrit par son rayon à l'aide de la variable d'espace  $r_{CF}(x)$ .

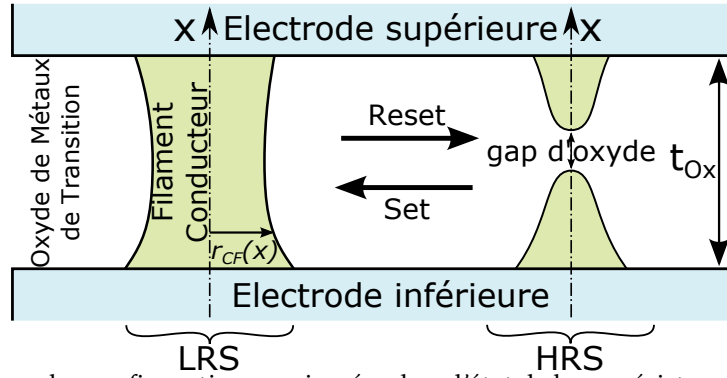


FIGURE 3.1 – Schéma des configurations envisagées dans l'état de basse résistance (LRS) ou de haute résistance (HRS). Dans les deux cas, la structure possède un axe de révolution; le rayon du filament conducteur étant décrit à l'aide de la variable d'espace  $r_{CF}(x)$ .

#### 3.2.1.2 Description du problème électro-thermique

Sous l'effet d'une tension appliquée ( $V_a$ ) entre les deux électrodes, un courant se développe dans la structure, à la fois dans le filament et dans l'oxyde environnant. La densité de courant est obtenue à partir du champ électrique ( $\xi$ ) par la loi d'ohm microscopique :

$$J = \sigma(x) \cdot \xi(x) \quad (3.1)$$

où  $\sigma(x) = \sigma_{CF}$  dans le filament et  $\sigma(x) = \sigma_{ox} \ll \sigma_{CF}$  dans l'oxyde de nickel. A partir de la relation précédente, il est possible de relier le champ électrique et le courant dans la structure par intégration longitudinale :

$$I = 2\pi \int_0^{r_{max}} J \cdot r dr \Rightarrow \xi(x) = I \cdot R_L(x) \quad (3.2)$$

où  $R_L(x)$  est la résistance linéique :

$$R_L(x) = \frac{1}{\pi} \cdot \frac{1}{r_{CF}^2(x) \cdot (\sigma_{CF} - \sigma_{ox}) + r_{max}^2 \cdot \sigma_{ox}} \quad (3.3)$$

La courant total est alors obtenu en résolvant l'équation de Poisson (en prenant des conditions de Dirichlet sur les électrodes) et en supposant la continuité du courant le long de la structure :

$$I = \frac{V_a}{R_\Sigma} \quad (3.4)$$

où  $R_\Sigma$  désigne la résistance totale de la structure :

$$R_\Sigma = \int_0^{t_{ox}} R_L(x) dx \quad (3.5)$$

La puissance dissipée par effet Joule provoque l'échauffement du filament, dont le profil de température  $T_{CF}(x)$  est calculé en résolvant l'équation de la chaleur par différences finies en régime quasi-statique :

$$\sigma_{CF}(x) \cdot \xi(x)^2 = -k_{thCF} \frac{\partial^2 T_{CF}(x)}{\partial x^2} + h \frac{T_{CF}(x) - T_{Ox}}{t_{ox}} \quad (3.6)$$

où  $k_{thCF}$  désigne la conductivité thermique du filament. Le second terme du membre de droite désigne l'échange de chaleur entre le filament et la matrice d'oxyde, dont la température est  $T_{Ox}$ . La déperdition latérale de chaleur est caractérisée par le coefficient d'échange  $h$ .

### 3.2.1.3 Oxydoréduction locale du filament

Comme l'ont suggéré Waser *et al.* [Wase09], nous avons supposé que l'apparition du filament était liée à une réaction d'oxydoréduction locale décrite par l'équation suivante :



dont la cinétique est gouvernée par les taux d'oxydoréduction, respectivement  $\nu_{ox}$  et  $\nu_{red}$ , calculés à l'aide de l'équation de Butler-Volmer [Bard01] :

$$\begin{cases} \nu_{red} = k_0 e^{-\frac{\Delta rG_0 + 2(1-\alpha)F(E-E_{eq})}{R \cdot T_{Ox}}} (1 - C_{Ni}) \\ \nu_{ox} = k_0 e^{-\frac{\Delta rG_0 - 2\alpha F(E-E_{eq})}{R \cdot T_{CF}(x)}} C_{Ni} \end{cases} \quad (3.8)$$

dont les paramètres principaux sont :

- $\alpha$  : facteur d'asymétrie (égal à 1/2 dans notre cas)
- $k_0$  : constante de la réaction
- $F$  : constante de Faraday
- $R$  : constante des gaz parfaits
- $\Delta rG_0$  : variation de l'énergie libre de Gibbs associée à la réaction
- $E_{eq}$  : potentiel d'équilibre
- $E$  : potentiel redox appliqué à la structure
- $C_{Ni}$  : concentration en espèce métallique (i.e. nickel).

Dès lors, les taux d'oxydoréduction sont donnés par la concentration locale en nickel représentée par la variable adimensionnelle  $C_{Ni}$  et par le potentiel redox appliqué à la structure, supposé égal à  $-q \cdot Va$ .

### 3.2.1.4 Dissolution thermique du filament

Comme l'ont proposé Ielmini *et al.* dans leurs travaux [Russ09a ; Russ09b], la rupture du filament conducteur est attribuée à une dissolution du nickel assistée par l'élévation de température du filament (dissolution thermique). Ce phénomène est caractérisé par son énergie d'activation,  $E_a$ . Le taux de dissolution est alors :

$$\nu_{diss} = k_{diss} \cdot e^{-\frac{E_a}{k_b \cdot T_{CF}(x)}} \cdot C_{Ni} \quad (3.9)$$

### 3.2.1.5 Équation maîtresse – cinétique de création/dissolution

Les réactions d'oxydoréduction étant concomitantes avec la dissolution thermique, la cinétique globale de création/dissolution du filament est donnée par l'équation maîtresse suivante :

$$\frac{dC_{Ni}}{dt} = \nu_{red} - \nu_{ox} - \nu_{diss} \quad (3.10)$$

Ainsi le rayon du filament conducteur —  $r_{CF} = r_{CF_{max}} \times C_{Ni}$  — est calculé à partir du champ électrique (EQ. 3.2.1.2), de la température (EQ. 3.6), des vitesses de réaction et de diffusion (EQs. 3.8&3.9) et de la concentration des espèces métalliques (EQ. 3.10).

## 3.2.2 Validation du modèle

Pour valider le modèle dans les domaines quasi-statique et dynamique, celui-ci a été confronté à des données expérimentales tirées de la littérature. Ces données correspondent à deux cellules OxRRAM à base de NiO d'épaisseurs respectives égales à 160 nm [Cagl08] et 30 nm [Lee07b]. Les paramètres physiques utilisés pour la simulation des cellules à base de NiO sont donnés dans le tableau 3.1.

TABLE 3.1 – Paramètres physiques utilisés pour la simulation des cellules à base de NiO

$k_{diss} = 5 \times 10^{10} s^{-1}$	$E_a = 1.9 eV$
$k_0 = 10^{12} s^{-1}$	$r_{CF_{max}} = 60 nm$
$\alpha_T = 1.1 \times 10^{-3} K^{-1}$	$h = 100 W/(K \cdot m^2)$
$T_{ox} = T_{amb}$	$k_{th_{CF}} = 91 W/(K \cdot m)$ [Chan08]
$\alpha = 0.5$	$\sigma_{ox} = 12.5 k\Omega^{-1} cm^{-1}$ [Russ09a]
$\Delta rG_0 - 2(1 - \alpha)F \cdot E_{eq} = 222 kJ \cdot mol^{-1}$	$\sigma_{CF_0} = 6.67 m\Omega^{-1} cm^{-1}$ [Ohga03; Sato07]

### 3.2.2.1 Validation quasi-statique

Comme le montre la FIG. 3.2, le modèle présente un très bon accord expérimental dans le domaine quasi-statique, tant pour décrire les niveaux de courant dans les deux états de résistance de la cellule, que pour prédire les tensions de *Reset* ou de *Set*. Soulignons qu'à part l'épaisseur d'oxyde, l'ensemble des simulations présenté dans cette partie a été réalisé à l'aide d'un unique jeu de paramètres, dont nous donnons les valeurs dans le tableau 3.1.

Comme le rapportent de nombreux travaux, la résistance LRS ( $R_{LRS}$ ) et le courant de *Reset* dépendent fortement du courant maximal délivré durant l'opération de *Set* préalable (noté  $I_{CompSet}$ ) [Kim06; Kino07; Lee08c; Nard11]. Ce comportement traduit finalement que la réduction du rayon du filament conducteur se traduit par une augmentation de la résistance de la structure [Nard11]. Ainsi, il est possible de réduire le courant de *Reset* en limitant le courant durant l'opération de *Set* par l'intégration d'un dispositif de sélection (e.g. transistor, résistance). La FIG. 3.3(a) montre les caractéristiques  $I(V)$  de *Set* et de *Reset* obtenues en simulation pour différents courants max ( $I_{CompSet}$ ). La diminution du courant de *Reset* est bien observée avec l'augmentation de



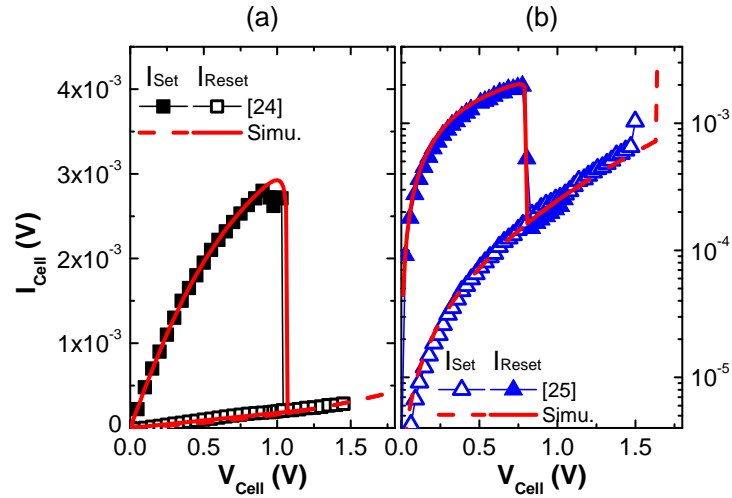


FIGURE 3.2 – Caractéristiques électriques et simulations de cellules OxRRAM unipolaires à base d’oxyde de nickel d’épaisseur (a) 160 nm [Cagl08] et (b) 30 nm [Lee07b]. Le même jeu de paramètres physiques a été utilisé pour les deux simulations, hormis l’épaisseur d’oxyde.

$R_{LRS}$ . Les FIG. 3.3(b) et 3.3(c) montrent l’évolution expérimentale de  $I_{reset}$  et  $R_{LRS}$  en fonction de  $I_{CompSet}$ . Une bonne adéquation est également observée entre le modèle proposé et l’ensemble des données expérimentales regroupé par Nardi *et al.* [Nard11].

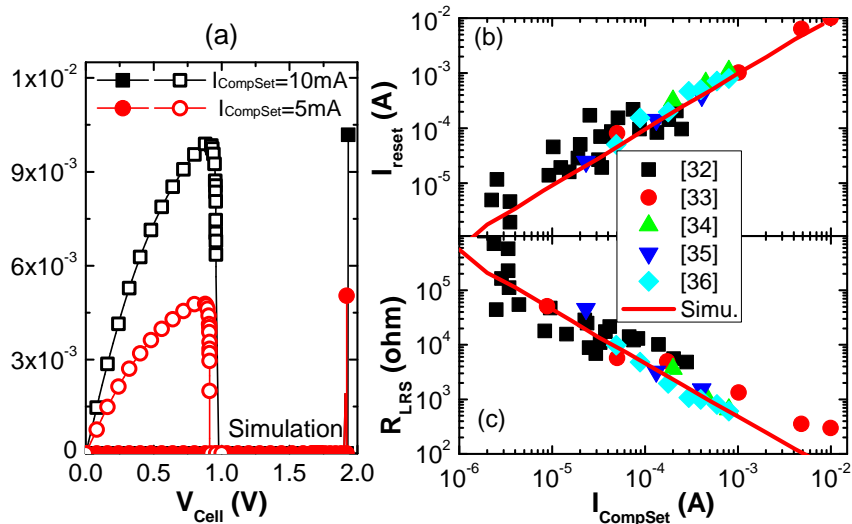


FIGURE 3.3 – (a) Simulations des caractéristiques  $I(V)$  de Set et de Reset pour  $I_{CompSet} = 5$  mA et 10 mA. (b) Courant maximum durant l’opération de Reset ( $I_{Reset}$ ) et (c) résistance LRS en fonction du courant maximum délivré durant l’opération de Set préalable (noté  $I_{CompSet}$ ). Les données expérimentales sont extraites des publications [Nard11; Seo04; Kino08; Fang06; Tsun07] regroupées par Nardi *et al.* [Nard11]. Les paramètres de la carte modèle sont regroupés dans le tableau 3.2.

### 3.2.2.2 Validation dynamique

A des fins d'utilisation dans un simulateur de circuits, il est également important de vérifier la validité du modèle dans la gamme dynamique. Comme l'ont montré Cagli *et al.*, un accroissement des tensions de *Set* et *Reset* est observé lorsque les cellules sont programmées avec des rampes de tension de vitesses croissantes [Cagl08]. La FIG. 3.4 indique que le modèle est en très bon accord avec les tendances expérimentales et qu'il permet de prédire de façon satisfaisante l'évolution des tensions de commutation lors d'une programmation dynamique des cellules.

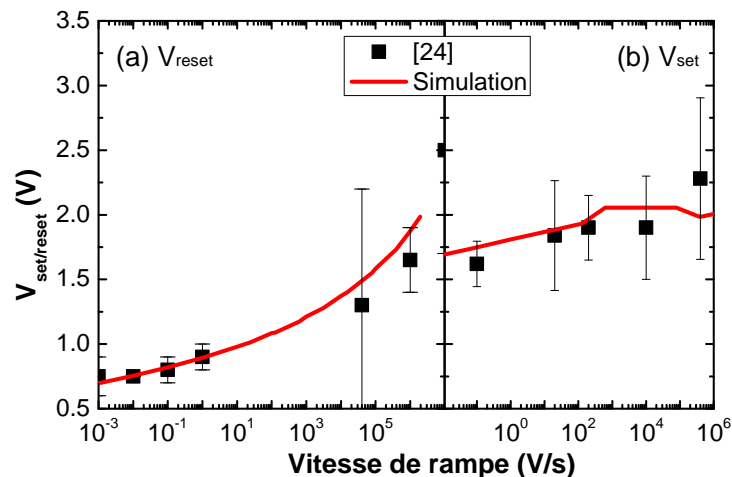


FIGURE 3.4 – Tensions (a) de *Set* et (b) de *Reset* en fonction de la vitesse de la rampe de tension utilisée lors de la programmation des cellules OxRRAM unipolaires obtenues en simulation et confrontées aux données expérimentales extraites de la publication de Cagli *et al.* [Cagl08]. Les paramètres de la carte modèle sont regroupés dans le tableau 3.2.

### 3.2.3 Conclusion

Pour conclure sur la modélisation des cellules OxRRAM unipolaires, nous mentionnerons que ce modèle a également été calibré sur des cellules mémoires du CEA-Leti [Cagl11] pour lesquelles il a permis de mener une étude portant sur la variabilité des cellules mémoires durant la thèse d'Eddie Tirano [Tira11b]. D'un point de vue architectural, une version compacte de ce modèle a été développée<sup>1</sup>. Elle a permis d'effectuer la validation fonctionnelle d'une bascule Flip-Flop non-volatile qui intègre une cellule OxRRAM comme élément de sauvegarde (*resp.* restauration) de son état logique lors de l'extinction (*resp.* restauration) de l'alimentation du bloc logique [Port11].

1. La version compacte de ce modèle unipolaire considère un rayon du filament conducteur constant suivant  $x$ . Ainsi  $r_{CF}$  n'est plus une variable d'espace mais bien l'unique variable d'état du système. La température est, quant à elle, calculée à partir de la formule analytique Eq. 3.23.

### 3.3 Modèle compact des dispositifs OxRRAM bipolaires

Dans cette partie, pour continuer d'illustrer mes activités de modélisation, un modèle compact de mémoires OxRRAM bipolaires est présenté. Ce modèle, implémenté dans le simulateur de circuit ELDO, a fait l'objet d'une publication [Bocq14]. Son utilisation a permis de nombreuses études design débouchant sur des collaborations académiques et industrielles (projet ANR-DIPMEM), de nombreuses publications [Aziz13a; Port13; Aziz13b; Cast13; Turk14; Zhao14b; Zhao14a; Hraz13; Zhan13] ainsi qu'un brevet [Beno15].

La commutation des mémoires OxRRAM filamenteuses bipolaires a vite été attribuée à un changement de valence de l'oxyde métallique aboutissant à la création (*resp.* à la destruction) d'un filament conducteur constitué de lacunes d'oxygène. Le comportement bipolaire souligne une commutation de résistance pilotée par le champ électrique (ou le potentiel appliqué). La température<sup>2</sup> reste, quant à elle, un facteur d'accélération des mécanismes physiques. Les premiers modèles proposés s'inspirent largement des travaux menés sur les Memristor par HP Labs en 2008 [Stru08]. Ils sont basés sur une redistribution spatiale des lacunes d'oxygène [Gao08; Vand11b; Yu11; Ielm11d; Nard12; Lare12; Gilm12]. Dans ces approches, les opérations de *Set* et de *Reset* sont dues à une migration<sup>3</sup> des lacunes d'oxygène, affectées d'une charge positive. L'application d'une tension alternativement positive ou négative provoque une migration des lacunes d'oxygène dans un sens ou dans l'autre, entraînant ainsi la création ou la destruction du filament conducteur.

Néanmoins, comme le souligne Waser *et al.* [Wase09], le couple électrochimique métal-oxyde joue un rôle important dans la création/annihilation des lacunes d'oxygène. Il est au centre de la commutation de résistance comme l'illustrent Wong *et al.* [Wong12]. Ainsi, une approche intégrant simultanément la migration et la création/annihilation des lacunes d'oxygène a été proposée par des groupes de recherche des Universités de Pékin et de Tsinghua [Xu08; Gao09]. Ces approches seront reprises par Larcher *et al.* de l'Université de Modena [Larc12; Larc13] en apportant une modélisation plus approfondie du processus de création des lacunes d'oxygène.

Dans cette approche, illustrée FIG. 3.5, la création des paires anion oxygène/lacune d'oxygène est attribuée à la brisure de liaisons chimiques  $Hf - O$  assistée par le champ électrique et la température. La modification locale de la stœchiométrie en oxygène qui en découle entraîne la création d'un filament conducteur. Cette génération de défauts est calculée par simulation Monte-Carlo. Pendant l'opération de *Set*, les anions oxygènes créés migrent sous l'effet du champ électrique vers l'électrode active où ils sont piégés. Lors de l'opération de *Reset*, l'application d'une différence de potentiel de signe opposé provoque une migration en sens inverse d'anions oxygènes en sites interstitiels qui se recombinent alors avec les lacunes et provoquent ainsi la destruction du filament.

A l'image des activités autour des modèles numériques discrets, les approches ana-

2. Il s'agit ici de la température à l'intérieur de la structure provoquée par exemple par effet joule ou par transport électronique de type TAT inélastique; la température extérieure, ambiante, n'intervenant qu'au second ordre .

3. Les mécanismes de migration généralement considérés sont de type dérive/diffusion. Notons que ces mécanismes sont fortement activés en température.

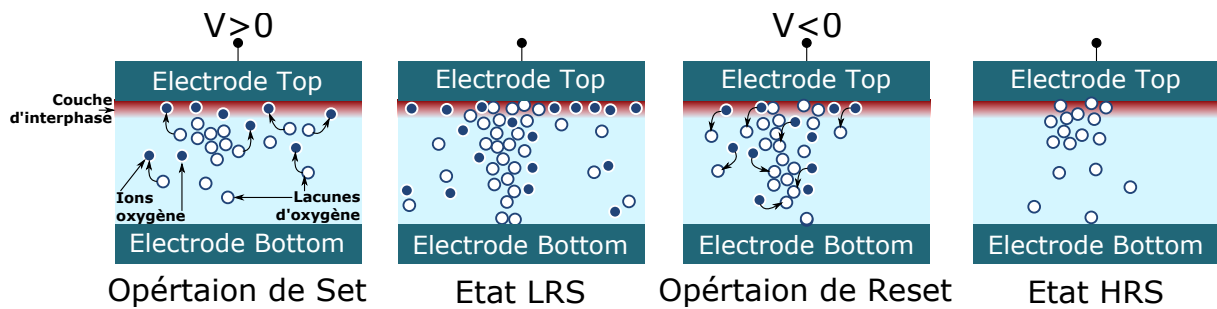


FIGURE 3.5 – Description schématique des mécanismes de fonctionnement de la technologie OxRRAM – VCM : *Valency Change Memory*.

lytiques ou compactes reprennent ces deux visions de création filamentaire :

- Migration des lacunes d'oxygène : sans doute la vision la plus répandue s'appuyant sur les travaux menés sur le Memristor [Stru08]. Elle a été mise en œuvre à de nombreuses reprises ; citons l'approche analytique de Lu *et al.* [Lu12] sur les temps de *Reset*, le modèle spice de Sheridan *et al.* [Sher11] ainsi que le modèle VerilogA de Jiang *et al.* [Jian14] s'intéressant aux aspects stochastiques des mémoires OxRRAM.
- Création/Annihilation des lacunes d'oxygène<sup>4</sup> modifiant les modes de conduction à travers le diamètre du filament [Noh13] ou la densité de défauts générés [Siem14].

Il est important d'avoir du recul sur ces deux approches, surtout dans l'optique d'une implémentation compacte ne pouvant faire intervenir qu'une ou deux variables d'état. L'objectif premier reste l'excellente restitution des caractéristiques quasi-statiques et dynamiques des dispositifs, même si cela doit être obtenu au détriment du sens physique des paramètres de la carte modèle. Le second objectif est la rapidité et la stabilité du modèle intégré à l'environnement du simulateur électrique.

De par nos précédents travaux sur les mémoires OxRRAM unipolaires, nous nous sommes orientés naturellement dès 2011 vers une approche basée sur la création/annihilation des lacunes d'oxygène. Nos objectifs étaient la mise en place d'un modèle compact permettant la bonne adéquation avec un maximum de quadrants expérimentaux (comportement DC : Courant–Tension, adéquation  $I_{CompSet} - R_{LRS}$ ,  $V_{StopReset} - R_{HRS}$  ; dépendance en température, dynamique et variabilité) au travers d'un modèle simple et robuste.

Après une présentation des équations physiques constituant notre modèle, celui-ci sera confronté aux données expérimentales pour identifier sa gamme de validité.

### 3.3.1 Détail du modèle compact mis en œuvre

Notre approche repose sur la création/destruction d'un filament conducteur (CF) par création/annihilation de lacunes d'oxygène due à une réaction d'oxydoréduction locale [Wase09 ; Wei08]. A des fins de simplification, le déplacement des ions oxygènes

4. En effet, l'une comme l'autre font intervenir le champ électrique ainsi que la variable d'état du système de façon très similaire.

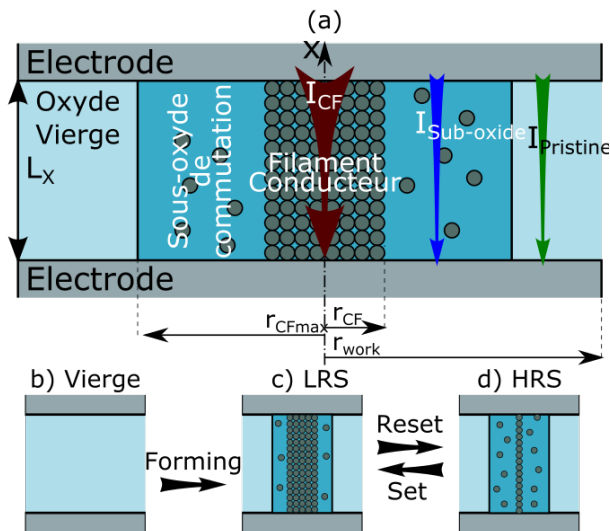


FIGURE 3.6 – Schéma représentant a) les différentes régions considérées de la structure MIM ainsi que les mécanismes permettant la commutation entre les états de la cellule : b) état vierge, c) LRS et d) HRS.

n'est pas pris en compte ici, seule la réaction d'oxydoréduction gouverne la commutation de résistance. Nous verrons que cette hypothèse simplificatrice est satisfaisante au vu de la bonne adéquation entre mesures et réponses électriques du modèle.

La figure 3.6a décrit le modèle proposé. La couche active, composant l'OxRRAM, est décomposée en trois régions distinctes :

- L'oxyde vierge : oxyde obtenu à la fabrication du dispositif, exempt de tout défaut extrinsèque. Le courant qui le traverse — nommé  $I_{Pristine}$  — est supposé de type tunnel ;
- Le filament conducteur : région de très forte densité de défauts extrinsèques autorisant le passage d'une forte densité de courant dans l'état LRS. Le courant qui le traverse — nommé  $I_{CF}$  — est considéré ohmique en accord avec différents travaux de la littérature [Akin10 ; Wong12] ;
- Le sous-oxyde de commutation : à l'issue d'un *Reset* la disparition des défauts extrinsèques ne permet pas de retrouver l'isolation électrique de l'oxyde vierge. L'oxyde ayant été fragilisé lors des commutations précédentes (mécanismes de *Set* ou d'*Électroforming*), le courant qui le traverse — nommé  $I_{Sub-oxide}$  — est dominant dans l'état HRS. Il est fortement assisté par les défauts ou les pièges composant cet oxyde (Poole-Frenkel, Schottky emission, space charge limited current...). Néanmoins, un comportement ohmique a été considéré dans un souci de simplicité.

L'épaisseur de l'oxyde est nommée  $L_x$ , et  $x = 0$  correspond au milieu de la structure. De plus pour limiter à deux le nombre de variables d'état du système, le rayon du filament conducteur  $r_{CF}$  et le rayon du sous-oxyde  $r_{CFmax}$  sont considérés uniformes.

Les opérations de *Set* et de *Reset* sont décrites par réaction d'oxydoréduction [Wase09] s'appuyant sur l'équation de Butler-Volmer [Bard01]. Ainsi, l'opération d'*Électroforming* est associée à l'augmentation simultanée de  $r_{CFmax}$  et  $r_{CF}$ . Les opérations de *Reset* et de *Set* consistent, quant à elles, à la diminution et à l'augmentation de  $r_{CF}$ .

### 3.3.1.1 Opérations de Set/Reset

Les opérations de *Set* et de *Reset* s'appuient donc sur les cinétiques d'oxydoréduction décrites par l'équation de Butler-Volmer [Bard01]. Dans le cas d'une réaction d'oxydo-réduction simple, c'est-à-dire un mécanisme en une étape comme présenté dans EQ. 3.11 avec R le réducteur et O l'oxyde, le courant ionique peut être exprimé selon l'EQ. 3.12.



$$j = j_0 \cdot \left[ e^{\frac{\alpha \cdot z \cdot F}{R \cdot T} \cdot (V - V_{eq})} - e^{\frac{(1-\alpha) \cdot z \cdot F}{R \cdot T} \cdot (V - V_{eq})} \right] \quad (3.12)$$

$j$ [ $A/m^2$ ]	densité de courant,
$j_0$ [ $A/m^2$ ]	densité de courant nominal,
$V$ [V]	potentiel de l'électrode,
$V_{eq}$ [V]	potentiel à l'équilibre,
$T$ [°K]	température,
$z$ [-]	nombre d'électrons impliqués dans la réaction,
$F$ [ $A \cdot s/mol$ ]	constante de Faraday,
$R$ [ $J \cdot kg^{-1} \cdot K^{-1}$ ]	constante des gaz parfaits,
$\alpha$ [-]	coefficient de transfert de charges (compris entre 0 et 1).

Dans ce cas, les taux de réduction et d'oxydation s'expriment classiquement selon les EQs. 3.13 et 3.14. En découle l'expression de la cinétique des espèces métalliques : EQ. 3.15, où  $C_R$  et  $C_O = 1 - C_R$  représentent les concentrations, sans dimension, des espèces métalliques et oxydées.

$$v_{red} = k_0 e^{-\frac{\Delta rG_0 + \alpha \cdot z \cdot F \cdot (E - E_{eq})}{R \cdot T}} \cdot C_O \quad (3.13)$$

$$v_{ox} = k_0 e^{-\frac{\Delta rG_0 - (1-\alpha) \cdot z \cdot F \cdot (E - E_{eq})}{R \cdot T}} \cdot C_R \quad (3.14)$$

$$\frac{dC_R}{dt} = v_{red} - v_{ox} \quad (3.15)$$

Pour déterminer le potentiel de réduction et d'oxydation des espèces, le mécanisme est supposé isotropique et le potentiel d'oxydoréduction ( $E - E_{eq}$ ) est supposé égal à  $-V_{Cell}$ . A partir de EQ. 3.11, nous considérons que la densité d'électrons disponibles durant l'oxydoréduction ne limite pas la réaction. Enfin, en utilisant  $E_a$  [J] plutôt que  $\Delta rG_0$  [ $J \cdot mol^{-1}$ ]<sup>5</sup>, le rayon du CF ( $r_{CF} = r_{CF_{max}} \times C_R$ ) peut être calculé à partir de la concentration de l'espèce métallique (EQ. 3.15). Ainsi, les opérations de *Set* et de *Reset* sont réunies sous la forme d'une seule équation maîtresse auto-consistante se fondant sur une cinétique thermochimique : EQ. 3.18.

$$\tau_{Red} = \tau_{RedOx} \cdot e^{\frac{E_a - q \cdot \alpha \cdot V_{Cell}}{k_b \cdot T}} \quad (3.16)$$

---

5. avec  $k_0 e^{-\frac{\Delta rG_0}{R \cdot T}} = \frac{1}{\tau_{RedOx} \cdot e^{\frac{E_a}{k_b \cdot T}}}$

---

$$\tau_{Ox} = \tau_{RedOx} \cdot e^{\frac{E_a + q \cdot (1 - \alpha) \cdot V_{Cell}}{k_b \cdot T}} \quad (3.17)$$

$$\frac{dr_{CF}}{dt} = \frac{r_{CF_{max}} - r_{CF}}{\tau_{Red}} - \frac{r_{CF}}{\tau_{Ox}} \quad (3.18)$$

- $V_{Cell}$  [V] : la tension appliquée entre l'électrode supérieure et inférieure,  
 $T$  [°K] : température dans la structure,  
 $E_a$  [J] : énergie d'activation,  
 $\tau_{RedOx}$  [s] : temps d'oxydoréduction nominal,  
 $\alpha$  [-] : coefficient de transfert de charges (compris entre 0 et 1).

### 3.3.1.2 Étape d'Électroforming

L'étape d'Électroforming transforme l'oxyde vierge de forte résistivité en un sous-oxyde susceptible de subir une commutation de résistance. Après cette étape, les opérations standards de *Set* et de *Reset* peuvent avoir lieu dans cette région fragilisée. Notons que de par la forte tension appliquée durant l'Électroforming l'opération de *Set* a généralement lieu de façon concomitante. Ainsi le CF se forme dans le sous-oxyde durant l'Électroforming (cf. FIG. 3.6c). La cinétique d'Électroforming décrite par  $\tau_{Form}$ , est donnée par l'EQ. 3.19 tandis que la croissance de l'oxyde fragilisé est contrôlée par l'EQ. 3.20.

$$\tau_{Form} = \tau_{Form0} \cdot e^{\frac{E_{a_{Form}} - q \cdot \alpha \cdot V_{Cell}}{k_b \cdot T}} \quad (3.19)$$

$$\frac{dr_{CF_{max}}}{dt} = \frac{r_{work} - r_{CF_{max}}}{\tau_{Form}} \quad (3.20)$$

- $r_{work}$  [m] : zone de travail limitant l'extension du sous-oxyde,  
 $E_{a_{Form}}$  [J] : énergie d'activation de l'Électroforming,  
 $\tau_{Form0}$  [s<sup>-1</sup>] : taux d'Électroforming nominal.

### 3.3.1.3 Dépendance en température

De la même manière que pour les OxRRAM unipolaires et comme l'ont montré Govoreanu *et al.* [Gov13], la température joue un rôle crucial dans les taux de réaction. Dans ce modèle, le calcul de la température locale du filament s'appuie sur l'équation de la chaleur (EQ. 3.21). En considérant un filament cylindrique et des électrodes thermostatées à température ambiante, elle trouve une expression simple (cf EQ. 3.22). Dans notre cas, seul la valeur maximale, atteinte au centre du CF ( $x = 0$ ), sera exploitée (EQ. 3.23).

$$\sigma(x) \cdot F(x)^2 = -k_{th} \frac{\partial^2 T(x)}{\partial x^2} \quad (3.21)$$

$$T(x) = T_{amb} + \frac{V_{Cell}^2}{2 \cdot L_x^2 \cdot k_{th}} \cdot \left( \frac{L_x^2}{4} - x^2 \right) \sigma_{eq} \quad (3.22)$$

$$T = T_{amb} + \frac{V_{Cell}^2}{8 \cdot k_{th}} \cdot \sigma_{eq} \quad (3.23)$$

$$\sigma_{eq} = \sigma_{CF} \cdot \frac{r_{CF}^2}{r_{work}^2} - \sigma_{OX} \cdot \frac{r_{CFmax}^2 - r_{CF}^2}{r_{work}^2} \quad (3.24)$$

$T_{amb}$ [°K]	: température ambiante,
$F(x)$ [V/m]	: champ électrique local,
$k_{th}$ [W/m/K]	: conductivité thermique,
$\sigma(x)$ [S/m]	: conductivité électrique locale,
$\sigma_{CF}$ [S/m]	: conductivité électrique du CF,
$\sigma_{OX}$ [S/m]	: conductivité électrique du sous oxyde fragilisé,
$\sigma_{eq}$ [S/m]	: conductivité électrique moyenne de la zone de travail.

Il est intéressant de noter que durant l'opération de *Set*, la température va augmenter avec le rayon du CF, diminuant ainsi le temps caractéristique de création  $\tau_{Red}$ . La réaction s'auto-accélère aboutissant à l'emballement et à une commutation abrupte caractéristique du *Set*. Inversement, durant l'opération de *Reset*, le rayon du CF et la température vont diminuer, entraînant une auto-limitation de la réaction expliquant le *Reset* progressif couramment observé dans ces dispositifs [Diok13].

#### 3.3.1.4 Courant à travers la structure MIM

Le courant total traversant l'élément mémoire OxRRAM est la somme de trois contributions (EQ. 3.25) :

$I_{CF}$	: Courant dans le CF ;
$I_{Sub-oxide}$	: Courant à travers le sous-oxyde fragilisé, susceptible de commuter ;
$I_{Pristine}$	: Courant à travers l'oxyde vierge, non-commutable.

$I_{CF}$  et  $I_{Sub-oxide}$  (EQs. 3.26 & 3.27 respectivement) sont décrits comme des contributions ohmiques; cette approche a déjà été utilisée de manière efficace pour les TCM [Russ09b] et permet une bonne approximation tout en gardant une implémentation numérique simple et rapide. La conduction dans l'oxyde vierge est décrite par un courant tunnel donné par l'EQ. 3.28 [Pana95].

$$I_{Cell} = I_{Sub-oxide} + I_{CF} + I_{Pristine} \quad (3.25)$$

$$I_{CF} = F \cdot \pi \cdot \sigma_{CF} \cdot r_{CF}^2 \quad (3.26)$$

$$I_{Sub-oxide} = F \cdot \pi \cdot \sigma_{OX} \cdot (r_{CFmax}^2 - r_{CF}^2) \quad (3.27)$$

$$I_{Pristine} = S_{Cell} \cdot A \cdot F^2 \cdot \exp \frac{-B}{F} \quad (3.28)$$

$$A = \frac{m_e \cdot q^3}{8\pi \cdot h \cdot m_e^{ox} \cdot \phi_b}$$

$$\text{si } \phi_b \geq qL_x F : B = \frac{8\pi \sqrt{2m_e^{ox}}}{3 \cdot h \cdot q} \left[ \phi_b^{3/2} - (\phi_b - qL_x F)^{3/2} \right]$$

$$\text{sinon} : B = \frac{8\pi \sqrt{2m_e^{ox}}}{3 \cdot h \cdot q} \cdot \phi_b^{3/2}$$



$F = \frac{V_{Cell}}{L_x}$  [V/m] : champ électrique dans la couche active,  
 $m_e$  [kg] : masse effective des électrons dans la cathode,  
 $m_e^{ox}$  [kg] : masse effective des électrons dans l'oxyde,  
 $h$  [ $m^2 \cdot kg/s$ ] : constante de Planck,  
 $\phi_b$  [S/J] : hauteur de barrière entre métal et oxyde,  
 $S_{Cell}$  [ $m^2$ ] : surface du dispositif.

### 3.3.1.5 Implémentation numérique

L'implémentation du modèle compact dans les outils de simulation électrique requiert la résolution discrète du jeu d'équations différentielles. Dans le cas d'un pas temporel suffisamment petit,  $\tau_{Red}$ ,  $\tau_{Ox}$  et  $\tau_{Form}$  peuvent être considérés comme constants. Ainsi, la forme discrète des EQs. 3.18&3.20 peut être donnée par les EQs. 3.29&3.30. On notera que l'utilisation de ces expressions est essentielle à la bonne convergence des simulateurs.

$$r_{CFmax_{i+1}} = \left( r_{CFmax_i} - r_{work} \right) \cdot e^{\frac{-\Delta t}{\tau_{Form}}} + r_{work} \quad (3.29)$$

$$r_{CF_{i+1}} = \left( r_{CF_i} - r_{CFmax_i} \cdot \frac{\tau_{eq}}{\tau_{Red}} \right) \cdot e^{\frac{-\Delta t}{\tau_{eq}}} + r_{CFmax_i} \cdot \frac{\tau_{eq}}{\tau_{Red}} \quad (3.30)$$

où  $\tau_{eq} = \frac{\tau_{Red} \cdot \tau_{Ox}}{\tau_{Red} + \tau_{Ox}}$

Ces équations ont ensuite été implémentées sous ELDO à partir de l'organigramme de la FIG. 3.7. A chaque appel de l'instance OxRRAM, l'état précédent du filament ainsi que la tension appliquée sont fournis au modèle afin de prendre en compte l'effet mémoire. Le nouvel état et le courant sont ainsi obtenus pour le pas temporel considéré.

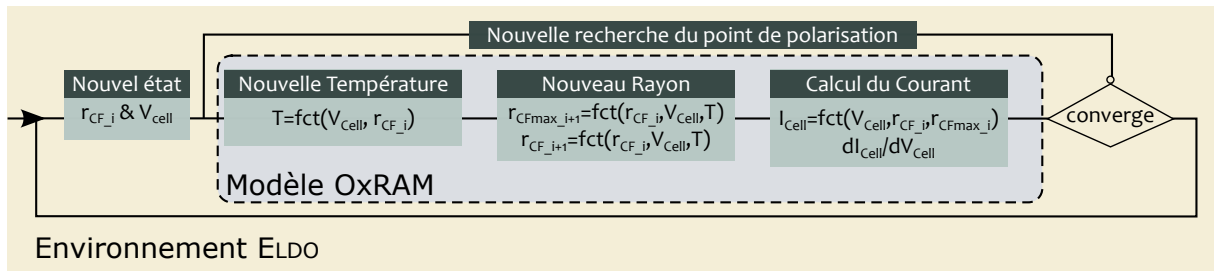


FIGURE 3.7 – Organigramme du programme employé dans l'implémentation numérique mise en place sous l'environnement ELDO.

### 3.3.2 Validation du modèle

Pour valider l'approche théorique, le modèle a été confronté à un ensemble de caractéristiques expérimentales quasi-statiques et dynamiques. La carte modèle a été ajustée sur des éléments mémoires 1T1R OxRRAM à base de  $HfO_2$  [Cabo13b] constitués d'un empilement résistif  $Ti/HfO_2/TiN$  dont l'épaisseur de l'oxyde hafnium est de 5 nm. L'ensemble des paramètres utilisés est résumé dans le tableau 3.2.

TABLE 3.2 – Paramètres physiques utilisés dans le modèle compact d'OxRRAM bipolaire

$r_{work} = 5 \text{ nm}$	$L_x = 5 \text{ nm}$
$Scell = 1 \mu\text{m} \times 1 \mu\text{m}$	$T_{amb} = 300 \text{ K}$
$\tau_{RedOx} = 1 \times 10^{-5} \text{ s}$	$E_a = 0.7 \text{ eV}$
$\tau_{Form} = 1 \times 10^{-21} \text{ s}$	$E_{aForm} = 2.7 \text{ eV}$
$\alpha = 0.7$	$k_{th} = 2 \text{ W}/(\text{K} \cdot \text{m})$
$\phi_b = 2 \text{ eV}$	$m_e^{ox} = 0.1 \cdot m_e$
$\sigma_{Ox} = 50 \text{ m} \cdot \text{S}$	$\sigma_{CF} = 5 \times 10^6 \text{ m} \cdot \text{S}$

### 3.3.2.1 Comportement quasi-statique

Pour une validation complète du modèle compact et de son intégration dans un simulateur électrique, un exemple de simulation niveau circuit d'une cellule mémoire OxRRAM 1T1R est donné FIG. 3.8. Le modèle du transistor MOS utilisé provient du Design Kit 65 nm STM. Cette simulation a été réalisée avec l'outil ELDO. Le courant étant limité par le transistor durant les opérations d'Électroforming et de Set, la bonne intégration du modèle dans un environnement circuit a pu être vérifiée. On notera la bonne stabilité et la grande robustesse du modèle permettant de réaliser des simulations de matrices mémoires (jusqu'à 128k-bits [Port]) intégrant de la variabilité cellule à cellule [Aziz13b] et cycle à cycle [Picc15].

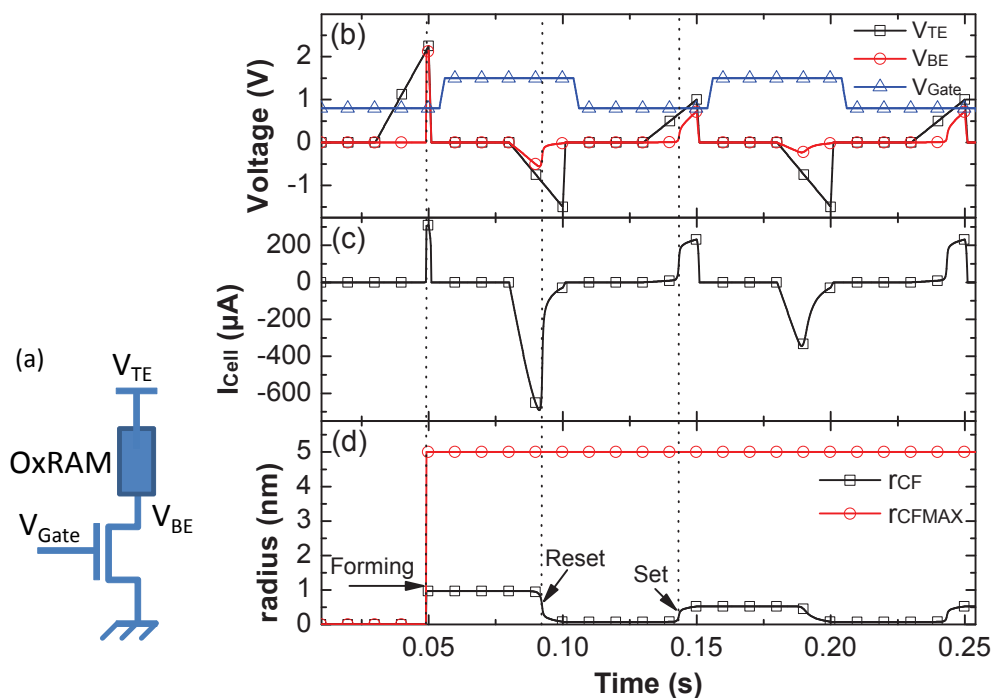


FIGURE 3.8 – Simulation électrique (ELDO) d'une cellule mémoire OxRRAM 1T1R. a) Schéma de la structure 1T1R. Chronogrammes b) des tensions appliquées ( $V_{TE}$  &  $V_{Gate}$ ) et de la tension obtenue ( $V_{BE}$ ) dans la structure, c) du courant traversant la cellule et d) du rayon du filament.

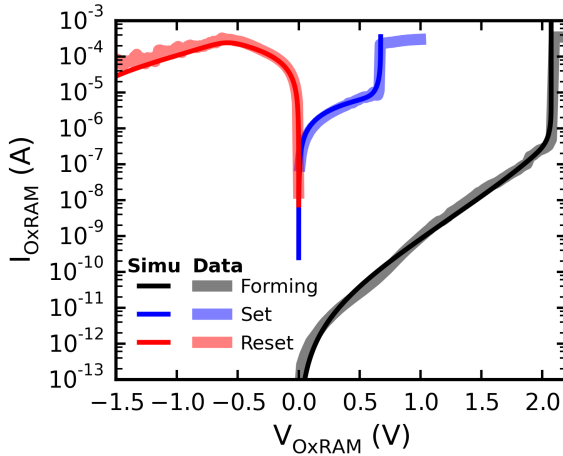


FIGURE 3.9 – Caractéristiques expérimentales  $I(V)$  mesurées sur une structure mémoire à base de  $\text{HfO}_2$  présentée dans [Cabo13b] et les résultats de simulation obtenus FIG. 3.8. Les paramètres de simulation utilisés sont ceux du tableau 3.2.

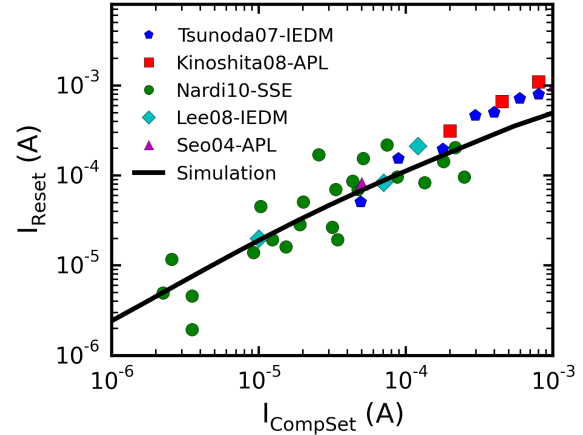


FIGURE 3.10 – Courant maximal durant l'opération de *Reset* ( $I_{Reset}$ ) en fonction du courant maximum durant la précédente opération de *Set* ( $I_{CompSet}$ ). Les données expérimentales sont extraites des publications [Nard11; Seo04; Kino08; Fang06; Tsun07; Lee08b] regroupées par Nardi *et al.* [Nard11].

A partir du chronogramme de la FIG. 3.8, les caractéristiques  $I(V)$  ont pu être extraites. La FIG. 3.9 montre les caractéristiques  $I(V)$  obtenues en régime quasi-statique lors des étapes d'*Electroforming*, de *Set* et de *Reset*. Une bonne corrélation entre mesures et simulations est obtenue avec le jeu de paramètres du tableau 3.2.

Une attention particulière doit être apportée sur la dépendance de la résistance de l'état LRS et du courant maximum traversant la cellule durant l'opération de *Set* ( $I_{CompSet}$ ). Comme reporté dans de nombreuses études,  $R_{LRS}$  et le courant de *Reset* sont fortement contrôlés par  $I_{CompSet}$  [Nard11; Seo04; Kino08; Fang06; Tsun07; Lee08b]. La FIG. 3.10 présente l'évolution expérimentale du courant de *Reset* ( $I_{reset}$ ) en fonction du courant maximum du *Set* ( $I_{CompSet}$ ) [Nard11]. Le modèle montre un accord quantitatif avec les données expérimentales provenant de sources bibliographiques différentes. Il confirme la possibilité de réduire le courant nécessaire au *Reset* ( $I_{reset}$ ) en limitant le courant maximum de *Set* avec l'intégration en série d'un élément de sélection (e.g. transistor ou résistance série).

Une autre signature typique des OxRRAM est le *Reset* progressif qui induit une dépendance entre la résistance de l'état HRS ( $R_{HRS}$ ) et la tension d'arrêt de l'opération de *Reset* ( $V_{stop}$ ) [Diok13]. Ce comportement peut être expliqué par une destruction incomplète du CF comme illustré dans la FIG. 3.6d. La FIG. 3.11 indique que la dépendance de  $R_{HRS}$  en fonction de  $V_{stop}$  est bien prise en compte par notre modèle compact. De par le faible niveau de résistance de l'état LRS, la température interne de la structure augmente très vite dès qu'une tension est appliquée. Cette augmentation favorise le mécanisme de destruction du CF (cf Eq. 3.17). Cependant, dès que le *Reset* est amorcé (diminution du rayon du filament et du courant) la température interne chute et limite le mécanisme *Reset* : il faut alors augmenter la tension aux bornes de l'empilement pour que le taux de destruction redevienne significatif. Ce comportement auto-limité est à l'origine du *Reset* progressif.

A partir de là, il est possible de proposer une expression analytique de la dépendance de  $R_{HRS}$  en fonction de  $V_{stop}$ .  $R_{HRS}$  peut s'écrire à partir des Eqs. 3.26 et 3.27 comme suivant :

$$R_{HRS} \simeq \frac{L_x}{\pi \cdot \left( \sigma_{CF} \cdot r_{CFHRS}^2 + \sigma_{Ox} \cdot r_{work}^2 + A_{HRS} r_{work}^2 \cdot \left( \frac{V_{Read}}{L_x} \right)^{\alpha_{HRS}-1} \right)} \quad (3.31)$$

$$\text{si } r_{CFHRS} \neq 0 : R_{HRS} \sim \frac{L_x}{\pi \cdot \sigma_{CF} \cdot r_{CFHRS}^2} \quad (3.32)$$

En considérant  $tps$ , le temps d'application d'un échelon dans une rampe de tension en escalier, il est possible d'extraire des Eqs. 3.17 et 3.23 :

$$\sigma_{CF} \cdot r_{CFHRS}^2 = \frac{8k_{th} \cdot r_{work}^2}{V_{Stop}} \left( \frac{E_a + q(1-\alpha)V_{Stop}^2}{k_b \cdot \ln\left(\frac{tps}{\tau_{RedOx}}\right)} - T_{amb} \right)$$

Ainsi, une expression analytique de  $R_{HRS}$  en fonction de  $V_{stop}$ , présentant une bonne corrélation avec les données expérimentales et la simulation, peut être proposée :

$$R_{HRS} \sim \frac{L_x \cdot V_{Stop}^2}{8\pi k_{th} \cdot r_{work}^2 \left( \frac{E_a + q(1-\alpha)V_{Stop}^2}{k_b \cdot \ln\left(\frac{tps}{\tau_{RedOx}}\right)} - T_{amb} \right)} \quad (3.33)$$

Par la suite, nous présenterons d'autres expressions analytiques pour l'ensemble des comportements caractéristiques des cellules mémoires OxRRAM. Bien que ces expressions présentent des paramètres à ajuster, elles permettent de bien cerner toutes les dépendances et offrent une aide importante dans l'extraction de la carte modèle.

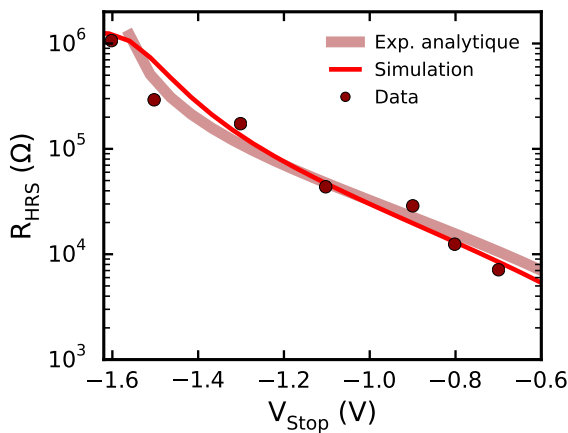


FIGURE 3.11 – Évolution de  $R_{HRS}$  en fonction de la tension maximale appliquée durant le Reset  $V_{stop}$ . Pour l'expression analytique  $tps = 50\text{ms}$

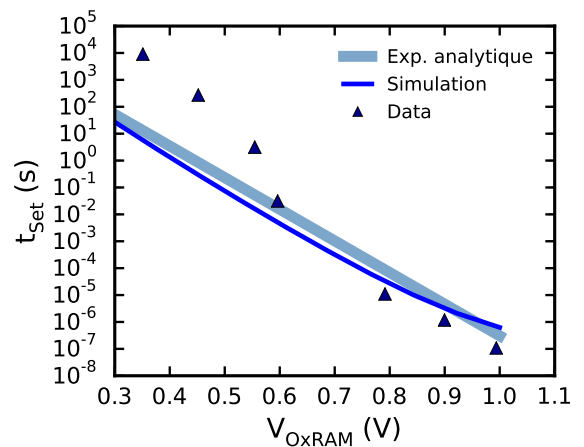


FIGURE 3.12 – Temps de commutation de l'opération de Set en fonction de la tension appliquée présenté dans [Diok13].

### 3.3.2.2 Caractéristiques dynamiques

Une autre caractéristique importante pour les concepteurs est la dépendance du temps de *Set* et de *Reset* en fonction de la tension appliquée  $V_{Cell}$ . La FIG. 3.12 présente le temps de commutation pour l'opération de *Set* en fonction de la tension appliquée (les données expérimentales proviennent de la ref. [Diok13]). Notre modèle prend en compte de manière satisfaisante cet effet avec toujours le même jeu de paramètres donnés dans le tableau 3.2. Il est intéressant d'observer que le temps de commutation du *Set* est proportionnel au taux de réduction  $\tau_{Red}$ . Ainsi,  $\ln(t_{Set})$  peut être exprimé en fonction de  $V_{Cell}$  permettant l'extraction du paramètre  $\alpha$  grâce à la pente de cette expression :

$$\ln(t_{Set}) = \frac{q \cdot \alpha}{k_b \cdot T_{amb}} \cdot \left( \frac{E_a}{q \cdot \alpha} - V_{Cell} \right) + cst \quad (3.34)$$

### 3.3.2.3 Dépendance en température

Comme le montre la FIG. 3.13 et comme le présentent les refs. [Butc12; Vand11a], la tension d'Électroforming ( $V_{Forming}$ ) présente une activation en température significative, typiquement  $-0.005 V/K$ . Ainsi  $V_{Forming}$  peut être divisée par deux entre un Électroforming à température ambiante et 473 K. Néanmoins, on observe une faible activation en température pour le *Set* et le *Reset*, comportement bien pris en compte par notre modèle.

Les expressions analytiques de  $V_{Set}$  et de  $V_{Forming}$  peuvent être obtenues à partir des cinétiques de réaction du *Set* (Eq. 3.16) et de l'Électroforming (Eq. 3.19) :

$$V_{Set} \sim \frac{E_a}{q \cdot \alpha} - \frac{k_b \cdot T_{amb}}{q \cdot \alpha} \cdot \ln \left( \frac{E_a}{q \cdot \alpha \cdot \beta} \cdot \frac{1}{\tau_{RedOx}} \right) \quad (3.35)$$

$$V_{Form} \sim \frac{E_{aForm}}{q \cdot \alpha} - \frac{k_b \cdot T_{amb}}{q \cdot \alpha} \cdot \ln \left( \frac{E_{aForm}}{q \cdot \alpha \cdot \beta} \cdot \frac{1}{\tau_{Form}} \right) \quad (3.36)$$

Ces expressions peuvent aider à l'extraction des paramètres  $E_a$ ,  $E_{aForm}$ ,  $\tau_{RedOx}$  et  $\tau_{Form}$ .

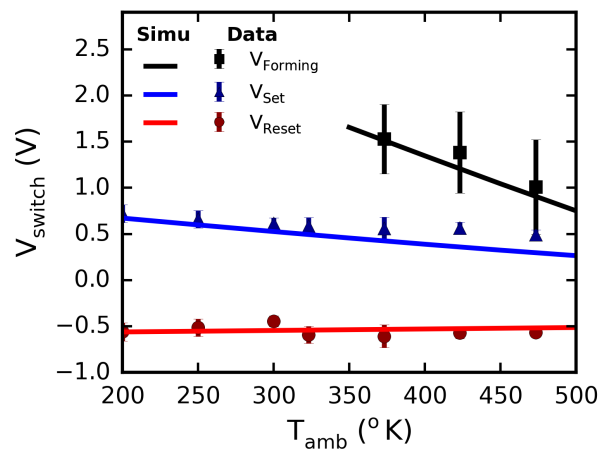


FIGURE 3.13 – Données expérimentales des tensions de commutation en fonction de la température ambiante [Cabo13b] et les résultats de simulation associés.

### 3.3.2.4 Variabilité dispositif à dispositif

Même si beaucoup d'efforts R&D sont mis en œuvre, le déploiement à l'échelle industrielle des mémoires à changement de résistance reste encore marginal. De nombreux challenges sont encore à relever pour satisfaire aux exigences de la production de masse, telle que la variabilité électrique et technologique. Rappelons qu'il y a deux types de variabilités [Chen11 ; Cabo13a] :

- La variabilité dispositif-à-dispositif : caractéristique de l'uniformité technologique (e.g. géométrie, matériau) du plan mémoire ;
- La variabilité cycle-à-cycle : caractéristique de la reproductibilité des mécanismes.

Il est donc essentiel que notre modèle compact soit capable de prendre en compte ces différentes variabilités afin d'intégrer ces éléments et quantifier leur impact au niveau du circuit.

La FIG. 3.14 décrit les caractéristiques  $I(V)$  des opérations d'Électroforming, de Set et de Reset obtenus sur un grand nombre de cellules mémoires provenant de [Cabo13b ; Diok13]. Une distribution normale de certains paramètres choisis (ici  $\alpha$  et  $L_x$ , dont la déviation standard est respectivement 10% et 5%) permet de prendre en compte de manière satisfaisante la variabilité dispositif-à-dispositif. On notera que la variabilité cycle-à-cycle peut être retranscrite de manière similaire. Ces dispersions peuvent être expliquées par des variations locales d'épaisseur, pour  $L_x$ , et de composition chimique, pour  $\alpha$ . La modulation du paramètre  $\alpha$  joue sur la cinétique de création/destruction du CF qui, à son tour, introduit une variabilité dans les tensions de programmation ( $V_{Forming}$ ,  $V_{Set}$  &  $V_{Reset}$ ) et la taille du CF. La variation de  $L_x$  impacte le courant au travers de l'oxyde vierge, c'est-à-dire le courant avant Électroforming. Toutes ces variations peuvent être interprétées en terme de variations structurales ou chimiques de l'oxyde : cristallinité, joints de grain, rugosité d'interface, etc.

On notera donc que la contre-partie de la grande capacité d'intégration des mémoires

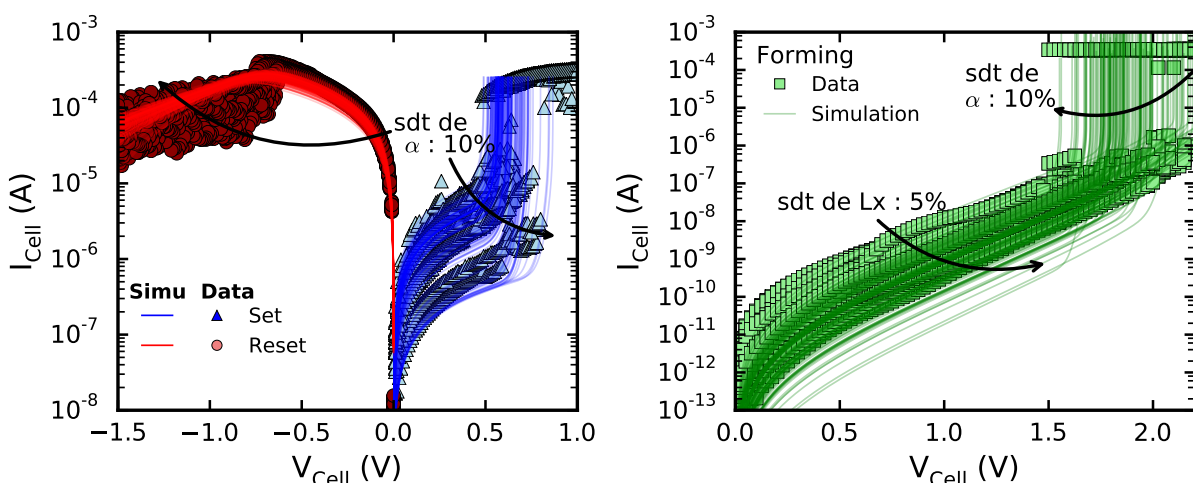


FIGURE 3.14 – Caractéristiques  $I(V)$  expérimentales de l'Électroforming, du Set et du Reset obtenus sur un grand nombre de cellules mémoires reflétant la variabilité dispositif-à-dispositif. Simulation Monte-Carlo avec une distribution normale des paramètres  $\alpha$  et  $L_x$  dont la déviation standard, respectivement 10% et 5%, permet d'obtenir une variabilité dispositif à dispositif compatible avec celle observée expérimentalement.

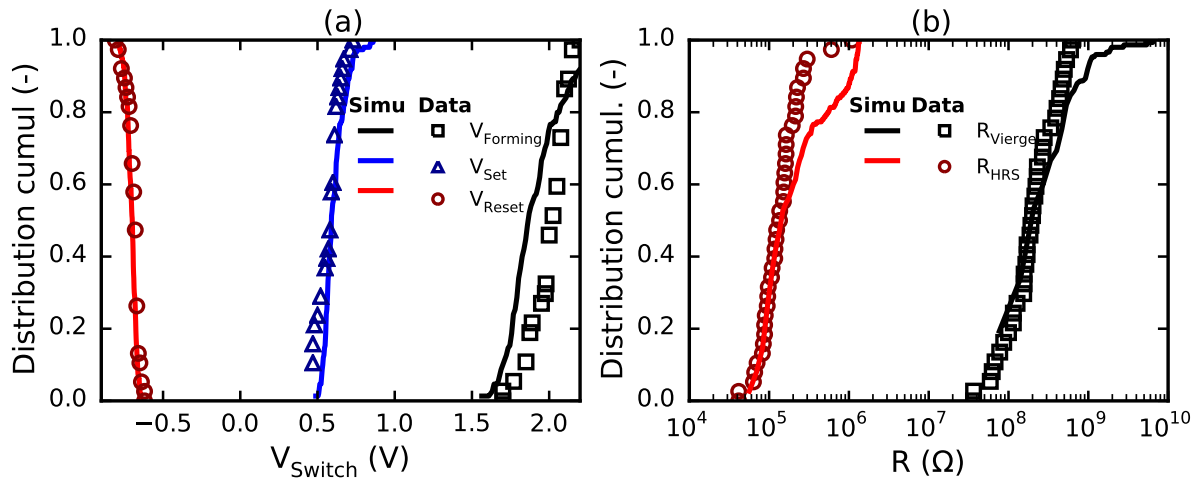


FIGURE 3.15 – a) Distributions cumulées des tensions de l'Électroforming, du Reset et du Set; b) Distributions cumulées de  $R_{HRS}$  et de  $R_{Pristine}$  extraites de FIG. 3.14.

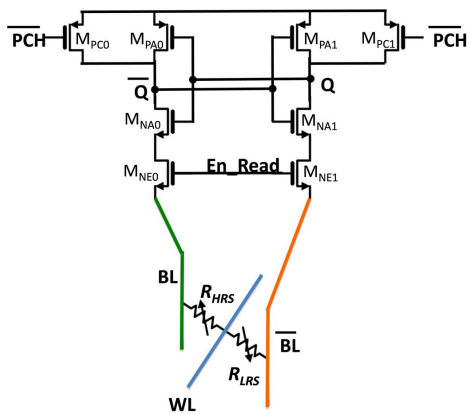
OxRRAM – grâce à un mécanisme filamentaire – est sa forte sensibilité aux variations locales de l'oxyde et de ses interfaces, notamment dans tous les mécanismes mettant en œuvre un nombre réduit de défauts sans contrôle extérieur, comme dans l'état HRS.

La FIG. 3.15 montre les distributions cumulées des tensions de commutation (FIG. 3.15a) et les résistances de l'état vierge et HRS (FIG. 3.15b) extraites à partir des courbes  $I(V)$  de la FIG. 3.14. La FIG. 3.15b représente les résistances de l'état vierge et de l'état HRS. Le modèle (lignes) coïncide avec les tendances expérimentales (symboles).

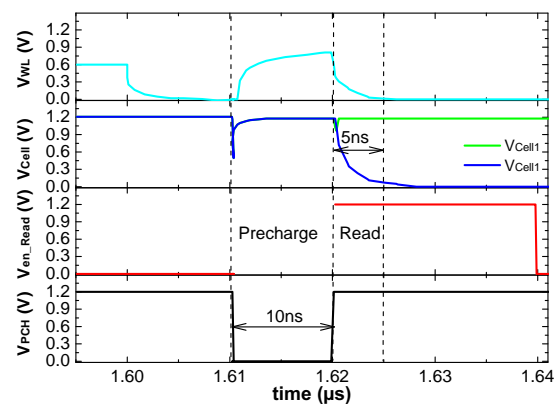
La résistance LRS étant fortement contrôlée par la limitation externe du courant ( $I_{CompSet}$ ) imposée durant l'opération de Set, la variabilité de  $R_{LRS}$  est fortement liée au transistor de sélection et n'a donc pas été étudiée ici. Il est important de souligner qu'au niveau circuit, la variabilité du transistor de sélection induira des fluctuations sur les tensions de Set et Reset (FIG. 3.15a), mais aussi sur les niveaux de résistance LRS (resp. HRS). Il est ainsi essentiel pour le designer de prendre en compte l'ensemble de ces variations pour s'assurer de la robustesse de son circuit.

### 3.3.3 Conclusion

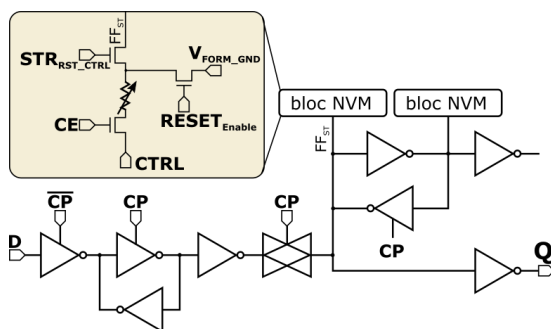
En conclusion, cette partie présente un modèle compact basé sur une approche physique ayant démontré sa grande robustesse et sa bonne description des opérations d'Électroforming, Set et Reset dans le cas de mémoires résistives bipolaires à base de  $\text{HfO}_2$ . En s'appuyant sur l'équation de la chaleur et des réactions électrochimiques locales regroupées dans une seule équation maîtresse, le modèle prend en compte de manière concomitante la création et la destruction de filaments conducteurs. Les résultats de simulation présentés montrent un accord très satisfaisant avec les données expérimentales en régimes quasi-statique et dynamique, une bonne restitution de la dépendance en température des paramètres de commutation ainsi qu'une description très satisfaisante de la variabilité dispositif à dispositif. Enfin, ce modèle répond à l'ensemble des critères de mise en œuvre des simulateurs électriques et a permis la validation de nombreux concepts innovants au niveau circuit, soit dans le cadre de travaux internes



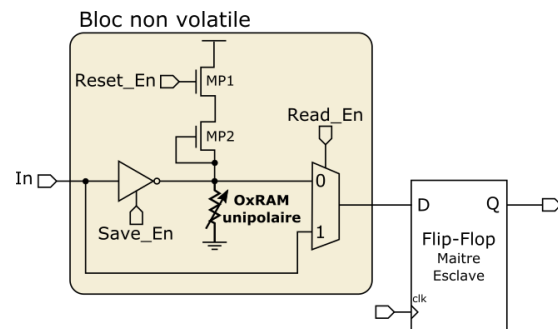
(a) Amplificateur de lecture avec précharge pour mémoire OxRRAM bipolaire présenté dans [Hraz13; Zhao12]



(b) Simulation de l'amplificateur de lecture présenté [Hraz13; Zhao12]



(c) Architecture Bi-RNVFF avec bloc non-volatile à base d'OxRRAM bipolaires [Onka12]



(d) Architecture RNVFF avec bloc non-volatile à base d'OxRRAM unipolaires [Port11]

FIGURE 3.16 – Exemples d'applications et preuves de concepts réalisés à partir des modèles compacts OxRRAM unipolaires et bipolaires et valorisés à travers des conférences et journaux internationaux.



à l'équipe mémoire [Aziz13a; Port13; Aziz13b; Cast13], soit dans le cadre de partenariats avec d'autres laboratoires ou instituts [Turk14; Zhao14b; Zhao14a; Hraz13; Zhan13; Beno15] comme l'illustre la FIG. 3.16.

### 3.4 Conclusions et perspectives

A travers ce chapitre, deux approches de modélisation ont été présentées :

- Une approche numérique dont les contraintes de temps de calcul et de nombre de variables portant l'état du système sont relâchées. Son objectif est d'apporter une meilleure compréhension des mécanismes physiques en les confrontant aux données expérimentales.
- Une approche compacte imposant un nombre limité de variables d'état caractérisant le système — en particulier pour l'effet mémoire — et un calcul rapide. Son objectif est d'offrir au simulateur électrique un comportement le plus fidèle possible même au détriment de la physique mise en œuvre.

Ces deux modèles reprennent les principaux ingrédients de la commutation de résistance : I-V quasi-statique, dépendance Courant–Résistance, comportement dynamique, etc.

Même si le comportement unipolaire a été présenté à travers un modèle numérique discret, un modèle compact a aussi été implémenté. Ainsi nos modèles compacts (unipolaire et bipolaire) ont présenté une grande robustesse et une bonne rapidité, notamment à travers des simulations *Monté-Carlo* sur des matrices mémoires de grandes dimensions (128k bits), et ce, sans sacrifier la physique mise en œuvre.

Enfin ces modèles ont permis la validation de nombreux concepts innovants au niveau circuit et ont donné naissance à de nombreuses collaborations académiques et industrielles [Tira11b; Cagl11; Port11; Aziz13a; Port13; Aziz13b; Cast13; Turk14; Zhao14b; Zhao14a; Hraz13; Zhan13; Beno15]. Soulignons que suite à ces activités, un contrat pluriannuel sur la thématique modèle compact est en cours de signature entre l'équipe mémoire de IM2NP et le CEA-LETI.

De manière générale, les modèles compacts de mémoires résistives trouvent principalement leur intérêt dans le cas d'applications où elles sont proches des circuits logiques comme les mémoires embarquées ou les approches mémoires distribuées. Aussi même si j'ai pu mettre en place une bibliothèque de modèles compacts relativement complète (OxRRAM, CBRAM, PoRAM, FeRAM, PCM), il est essentiel de rester à l'état de l'art des évolutions ainsi que des choix technologiques pour ajuster les modèles et être en avance de phase par rapport aux besoins des concepteurs.

L'une des thématiques qu'il convient de suivre avec attention est la conception neuromorphique ou neuroinspirée. En effet, en plus d'être à très fort potentiel, c'est un domaine de recherche a des besoins importants en modèle compact pour permettre des simulations circuits réalistes. De plus, il reste encore beaucoup à faire sur l'ingénierie des dispositifs RRAM pour offrir les performances et les caractéristiques nécessaires à ce type d'applications. Il en va de même pour les modèles associés.

## Chapitre 4

# Développement d'une matrice mémoire souple à base de technologie FeRAM et C-OTFT

*La théorie, c'est quand on sait tout et que rien ne fonctionne. La pratique, c'est quand tout fonctionne et que personne ne sait pourquoi. Ici, nous avons réuni théorie et pratique ...*  
Albert Einstein

*Le plastique c'est fantastique ...*  
Elmer F. B.

Les travaux présentés dans ce chapitre concernent le développement et la réalisation d'une matrice mémoire FeRAM sur support souple intégrant l'électronique de décodage et de lecture. Ces résultats ont été obtenus dans le cadre d'un projet inter-CARNOT : POLYMEM (Non-Volatile **POLY**meric **MEM**ories) entre l'IM2NP (CARNOT STAR) et le CEA-LITEN (CARNOT "Energies du futur").

Après une brève présentation du contexte et des technologies C-OTFT et FeRAM, la première partie de cette étude s'intéressera à la caractérisation et à la modélisation compacte des mémoires FeRAM à base de polymère ferroélectrique – P(VDF-TrFE). Dans un deuxième temps, en s'appuyant sur les contraintes de ces deux technologies, une architecture de matrice mémoire sera présentée. Cela sera suivi d'un travail de simulation et de caractérisation des différents éléments constituant les périphériques du plan mémoire.

---

---

## Sommaire

<b>4.1</b>	<b>Contexte</b>	<b>73</b>
4.1.1	Positionnement et objectifs	73
4.1.2	Filière C-OTFT : Complementary Organic Thin Film Transistors	75
4.1.3	Mémoire ferroélectrique : FeRAM	76
<b>4.2</b>	<b>Caractérisation et modélisation des cellules FeRAM</b>	<b>78</b>
4.2.1	Caractérisation électrique	78
4.2.2	Modélisation compacte	82
4.2.3	Conclusion	84
<b>4.3</b>	<b>Architecture mémoire</b>	<b>85</b>
4.3.1	Choix design	85
4.3.1.1	Plan mémoire FeRAM	86
4.3.1.2	Décodeur	86
4.3.1.3	Amplificateur de lecture — Sense	87
4.3.1.4	Conclusion	87
4.3.2	Décodeur	88
4.3.2.1	Description	88
4.3.2.2	Tests et validation	89
4.3.2.3	Conclusion	90
4.3.3	Amplificateur de lecture – Sense	91
4.3.3.1	Description et simulations	91
4.3.3.2	Tests et validation	93
4.3.3.3	Conclusion	94
<b>4.4</b>	<b>Conclusions et perspectives</b>	<b>95</b>

---

## 4.1 Contexte

### 4.1.1 Positionnement et objectifs

Les systèmes d'authentification et de traçabilité possèdent un marché potentiel considérable : celui de la grande distribution et de l'ensemble des secteurs logistiques. Néanmoins, l'un des freins à la généralisation de ces systèmes est leur coût. Aussi, dans une démarche *More than Moore*, les technologies sur support flexible se sont positionnées comme une solution alternative aux technologies silicium standards sur ces marchés à bas coût et à faible complexité.

Avec un marché en pleine expansion<sup>1</sup>, les étiquettes "intelligentes" exploitant la technologie RFID — **R**adio **F**requency **I**Dentification — constituent à l'heure actuelle l'un des objets les plus représentatifs de ces technologies (cf. FIG. 4.1). Un système RFID se compose d'un lecteur distant et d'une étiquette, aussi appelée Tag. Le Tag est constitué d'une antenne et d'une interface RF permettant la communication avec le lecteur, mais peut aussi intégrer en fonction de son application :

- un module de traitement de l'information ;
- une unité de stockage de l'information ;
- des capteurs.

Aussi, l'utilisation conjointe d'une technologie silicium et d'une technologie organique/souple semble être l'approche la plus cohérente au vu des contraintes de coûts et des caractéristiques de chacune d'entre elles :

- une technologie silicium offrant traitements complexes et performances associées au coût attractif d'une technologie mature ;
- une technologie organique/souple permettant la réalisation à faible coût d'éléments de grandes dimensions comme les antennes ou les capteurs.

Toutefois, l'utilisation de réseaux de capteurs passe par l'intégration d'une électronique d'interfaçage pour limiter le nombre d'entrées/sorties vers l'unité de traitement silicium.

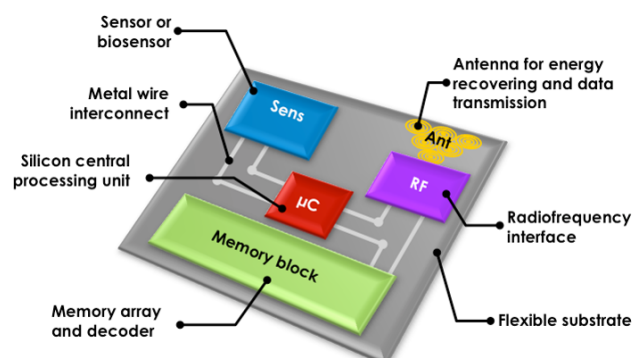


FIGURE 4.1 – Système RFID

De même, l'association de capteurs et de mémoires pour créer des capteurs mémorisant

1. Chiffre d'affaires estimé à 27,31 milliards de dollars en 2024[Das15])

peut se révéler extrêmement astucieux.

Aussi dans ce contexte, il apparaît stratégique de développer des matrices mémoires sur support souple intégrant des matériaux organiques ou mettant en œuvre des procédés de fabrication tels que l'impression, la sérigraphie ou le roll-to-roll [Subr08]. De plus des approches délaissées par les technologies silicium peuvent se révéler intéressantes sur support souple car intégrant des matériaux organiques facilement imprimables [Scot07]. C'est le cas des FeRAM à base de P(VDF-TrFE). Soulignons aussi le fort potentiel des mémoires à base de commutation de résistance — RRAM — qui bien qu'émergentes présentent des performances intéressantes.

Notons que plusieurs équipes du laboratoire IM2NP travaillent autour de la thématique des technologies sur support souple : l'équipe "Conception de Circuits Intégrés", l'équipe "Micro-capteurs", l'équipe "Mémoires" et l'équipe "RFID".

Les deux projets "Mémoires" sur lesquels j'ai pu intervenir concernent :

- La réalisation de cellules élémentaires de type RRAM à base de technologies émergentes. Cette activité est soutenue pour un projet ANR Jeunes chercheuses/Jeunes chercheurs REFLEX où j'avais la responsabilité de la tâche "*Étude des cellules mémoires à pont de conduction : CBRAM*";
- La mise en œuvre d'une matrice mémoire complète FeRAM sur support souple intégrant l'électronique de décodage et de lecture. Ce démonstrateur a été réalisé dans le cadre d'un projet inter-CARNOT POLYMEM entre l'IM2NP et le CEA-LITEN. A travers ce projet, je suis intervenu comme responsable de la tâche "*Caractérisation et Modélisation des mémoires FeRAM*". J'ai ainsi encadré deux stagiaires (Y. PERCIOT et N. CHEIKH) sur des activités de caractérisation électrique des mémoires FeRAM ainsi qu'un stagiaire M2 (F. BARROS) et un CDD ingénieur (A. EL AMRAOUI) sur le design, la caractérisation et le test de l'électronique de décodage et de lecture.

Dans ce chapitre, j'ai choisi de développer plus particulièrement la mise en œuvre de la matrice FeRAM pour illustrer les aspects design-circuit-test dans lesquels j'ai été impliqué.

Ce travail naît d'une collaboration avec le CEA-LITEN dont l'objectif était la réalisation d'un démonstrateur technologique : une matrice mémoire non-volatile sur support flexible. Le CEA-LITEN, maître d'œuvre technologique, a apporté sa filière C-OTFT et des dispositifs FeRAM en cours de développement. L'équipe "Mémoires" de l'IM2NP a apporté son savoir-faire en caractérisation des cellules mémoires permettant un retour d'expériences visant à l'amélioration des cellules FeRAM. De même, la conception des architectures mémoires et leurs tests ont aussi été menés dans l'équipe "Mémoires". Après une rapide présentation des technologies utilisées, une première partie sera consacrée à la caractérisation des capacités FeRAM du CEA-LITEN en vue de leur optimisation et de leur modélisation afin de permettre le design d'une architecture mémoire complète (plan mémoire, décodeur, unité de lecture, circuit d'écriture) qui sera présentée dans une deuxième partie.

---

### 4.1.2 Filière C-OTFT : Complementary Organic Thin Film Transistors

On peut estimer la naissance de l'électronique organique avec Henry Letheby qui en 1862 obtient un matériau semi-conducteur par oxydation anodique sur de l'aniline dans de l'acide sulfurique [Leth62]. Néanmoins, ce n'est qu'en 1977 qu'Alan Heeger, Alan MacDiarmid et Hideki Shirakawa découvrent et développent un polymère conducteur, le polyacétylène chimiquement dopé [Chia77]; travaux qui leur valurent le prix Nobel de chimie en 2000. Cela ouvrira la porte au premier transistor organique en 1987 par l'équipe de H. Koezuka [Koez87], 27 ans après le transistor MOS de J. Kahng et D. Attala [Atal60].

Notons que les domaines de l'électronique organique ne se limitent pas qu'aux transistors. Ainsi, les diodes électroluminescentes organiques (OLED) et les panneaux solaires organiques sont des filières très matures.

Dans cet environnement, le CEA-LITEN a mis en place une filière technologique de transistors complémentaires à effet de champ (C-OTFT : Complementary Organic Field-Effect Transistor) sur feuille flexible de  $11 \times 11 \text{ cm}^2$  [Daam11 ; Jaco12]. La FIG. 4.2 représente le schéma simplifié d'une vue de coupe d'une paire complémentaire OTFT [Maie13].

Cette technologie s'appuie sur un substrat en Polynaphtalate d'éthylène (PEN) de  $125 \mu\text{m}$  d'épaisseur, jouant le rôle de support mécanique. Les transistors présentent une architecture "top-gate bottom-contact multi-finger". Les électrodes de drain et de source sont les premiers éléments à être réalisés soit par photolithographie, soit par ablation laser. La longueur du canal ainsi obtenue est typiquement de  $20 \mu\text{m}$ . Après un traitement de surface [Jaco12], les couches de semi-conducteurs<sup>2</sup> de  $50 \text{ nm}$  à  $150 \text{ nm}$  d'épaisseur sont déposées et définies par sérigraphie. Les mobilités caractéristiques des porteurs de type P et de type N sont respectivement de  $\mu_p = 1,5 \text{ cm}^2.V^{-1}.s^{-1}$  et de  $\mu_n = 0,55 \text{ cm}^2.V^{-1}.s^{-1}$ . L'isolant de grille est réalisé à partir d'un polymère fluoré diélectrique (CYTOP®) de  $750 \text{ nm}$  déposé par sérigraphie puis recuit. Enfin, les grilles ainsi que le deuxième niveau d'interconnexion sont définis à partir d'une pâte d'argent sérigraphiée et recuite à  $100^\circ\text{C}$ .

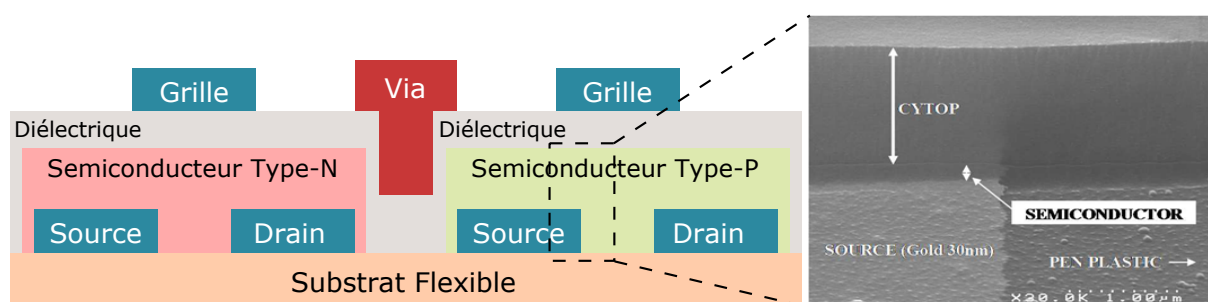


FIGURE 4.2 – Vue de coupe de la technologie C-OTFT.

Cette technologie monolithique permet l'intégration de transistors OTFT avec des

2. Dans le cas des transistors de type P : un dérivé du polytriarylamine (PTAA) tandis que le semi-conducteur de type N est un diimide

dispositifs réalisés en Back-End comme des capacités MIM (Métal-Insolant-Métal), des résistances [Vall11] ou des cellules mémoires FeRAM. Notons que les dispositifs à base de polymère imposent souvent un environnement de fonctionnement contrôlé (atmosphère, pression et température). Aussi il est important de souligner que la technologie du CEA-LITEN fonctionne de manière standard sous atmosphère, pression et température ambiantes. Il en va de même pour une grande partie du procédé de fabrication.

### 4.1.3 Mémoire ferroélectrique : FeRAM

Les mémoires ferroélectriques – FeRAM – [Defa11] sont généralement des capacités Métal/ Isolant-Métal – MIM – intégrant comme isolant un matériau ferroélectrique<sup>3</sup>. Les matériaux ferroélectriques ont la particularité de présenter une modification stable de leur polarisation générée par l'alignement des moments dipolaires liés à leur structure cristalline lorsqu'ils sont soumis à un champ électrique [Meno04].

Les mémoires FeRAM ont présenté très vite des caractéristiques exceptionnelles (non-volatilité, endurance de  $10^{15}$ , vitesse de écriture/lecture  $< 100ns$ , consommation énergétique pouvant descendre en dessous de  $5pJ$ , immunité aux radiations)[Kryd09]. Néanmoins, elles n'ont pas su s'imposer face aux technologies l'EEPROM/Flash à cause de leur capacité de miniaturisation limitée et de l'exotisme des matériaux mis en œuvre. Elles sont actuellement utilisées dans des produits de niche, tels que certains microcontrôleurs sécuritaires ultra base consommation<sup>4</sup>. Dans ces produits, ce sont des matériaux ferroélectriques inorganiques qui sont intégrés dans les technologies silicium. Les plus utilisés sont l'oxyde SBT ( $SrBi_2Ta_2O_9$ ) [Arau95 ; Goux05] ou les céramiques PZT ( $PbZr_{1-x}Ti_xO_3$ ) – Titano-Zirconate de Plomb – à structure pérovskite [Inou02].

Dans la filière des matériaux ferroélectriques organiques, l'activité s'est focalisée sur le PVDF – poly(fluorure de vinylidène) :  $(CH_2CF_2)_n$  – et son copolymère P(VDF-TrFE) – poly(fluorure de vinylidène - trifluoroéthylène) :  $(CH_2CF_2)_n - (CHFCF_2)_m$ . En effet, un certain nombre de matériaux ferroélectriques organiques existe, mais le P(VDF-TrFE) présente certains avantages comme une polarisation rémanente importante, une bonne vitesse de commutation et une bonne stabilité thermique qui l'ont placé comme principal candidat à une technologie mémoire pendant plus de vingt-cinq ans [Lovi83 ; Ling08].

Il a fallu attendre 2009 pour que l'entreprise allemande PolyIC, en collaboration avec la firme norvégienne ThinFilm Electronics, annonce la production de masse de mémoires ferroélectriques sur support flexible à base de P(VDF-TrFE)[09]. Les produits actuellement commercialisés par ThinFilm [] sont des cellules mémoires sous forme de *cross finger* ou *cross bar* d'une capacité maximum de 36-bits utilisant un procédé de fabrication roll-to-roll. Il est important de souligner que ces produits n'intègrent aucun circuit de décodage ou de lecture. Ces deux opérations sont effectuées par un lecteur externe en technologie silicium. Ainsi, sans circuit de décodage, la capacité de la matrice mémoire est principalement limitée par le nombre de contacts et leur occupation spatiale.

3. Notons que d'autres structures mémoires à base de matériaux ferroélectriques existent comme par exemple les transistors ferroélectriques à effet de champ (FeFET) [Ishi99 ; Ng09 ; Yoon11].

4. Par exemple les microcontrôleurs MSP430 de chez TEXAS INSTRUMENTS ou encore la famille  $F^2MC-8FX$  chez FUJITSU

Il est intéressant de souligner la collaboration entre ThinFilm et le centre de recherche PARC (Palo Alto Research Center) sur le développement de solutions organiques pour le décodage des matrices FeRAM [Ng12].

Le moment dipolaire donnant au PVDF ses propriétés ferroélectriques est dû à la torsion de sa chaîne polymère qui peut s'aligner avec le champ électrique appliqué. Ce moment dipolaire provient de la forte électronégativité de l'atome de fluor. Soulignons que les films minces de PVDF obtenus par fonte ou par solution ne présentent pas d'effets ferroélectriques à cause d'une structure annulant les moments dipolaires. Une étape supplémentaire est donc nécessaire pour le contraindre dans une autre conformation et lui donner ses propriétés ferroélectriques. Ce n'est pas le cas du P(VDF-TrFE) qui présente des propriétés ferroélectriques tout de suite après dépôt [Nabe10].

Le cycle d'hystérésis de la FIG. 4.3 est la signature la plus caractéristique de l'empilement ferroélectrique [Rick02]. Il montre la relation entre la polarisation et la tension (champ électrique) appliquée. Les principales caractéristiques de ce cycle d'hystérésis sont :

- $P_r^+/P_r^-$  : Polarisation rémanente positive/négative.
- $P_{rrel}^+/P_{rrel}^-$  : Polarisation rémanente relaxée positive/négative.
- $P_{max}^+/P_{max}^-$  : Polarisation de saturation positive/négative.
- $V_C^+/V_C^-$  : Tension coercitive positive/négative.

L'application d'un champ électrique va entraîner la croissance et la réorientation de la polarisation de régions indépendantes (domaines ferroélectriques) dans la direction du champ électrique modifiant la polarisation globale du matériau. Cette modification des domaines ferroélectriques se traduit par un pic de courant (cf FIG. 4.3-a) lors de leur commutation. Le caractère non-volatile de ces mémoires est porté par les polarisations rémanentes après relaxation des domaines :  $P_{rrel}^+$  et  $P_{rrel}^-$ . La courbe de première polarisation caractérise un matériau vierge où l'arrangement aléatoire des domaines est modifié de manière irréversible en un état organisé.

Durant l'opération de lecture, une tension est appliquée aux bornes de la capacité

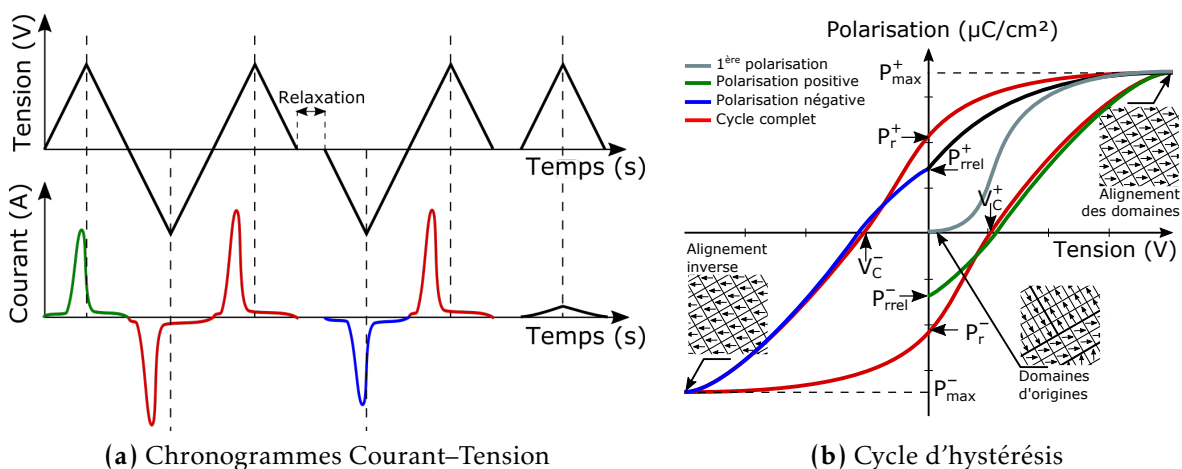


FIGURE 4.3 – (a) Chronogramme de mesure et (b) Cycle d'hystérésis typique d'une mémoire FeRAM avec les grandeurs le caractérisant



ferroélectrique. Si la polarisation rémanente de la capacité ferroélectrique est :

- Dans une direction correspondant à la tension de lecture, il en résulte un faible pic de courant : FIG. 4.3a (courbe noire) ;
- Dans une direction opposée à la tension de lecture, il en résulte le basculement des domaines, générant un courant plus important : FIG. 4.3-a (courbe verte).

La lecture peut s'effectuer soit par rapport à une référence de tension ou de courant, soit par une mesure différentielle entre deux capacités ferroélectriques polarisées dans des états opposés. Il est important de souligner que la lecture des capacités ferroélectriques est destructive (DRO : Destructive Read Operation) et nécessite donc une étape de réécriture.

## 4.2 Caractérisation et modélisation des cellules FeRAM

La mise en place d'une filière FeRAM à base de P(VDF-TrFE) au CEA-LITEN a nécessité de nombreux ajustements sur le procédé de fabrication (épaisseurs, compositions, nature des matériaux, passivations, recuits, etc.) s'appuyant en partie sur les retours d'expérience de la caractérisation des dispositifs réalisés. Cette section présente dans un premier temps quelques-uns des résultats les plus significatifs obtenus sur ces dispositifs FeRAM. Puis, dans une deuxième partie, le modèle compact mis en place pour les simulations circuit sera présenté.

### 4.2.1 Caractérisation électrique

Les dispositifs présentés dans cette partie sont des capacités MIM intégrant comme matériau ferroélectrique du P(VDF-TrFE). Ces dispositifs, réalisés au CEA-LITEN, peuvent être séparés en deux familles :

- Dispositifs *Plot*, FIG. 4.4-a : Cette structure simple est réalisée sans report de contact ni définition de motif pour l'électrode inférieure et le P(VDF-TrFE) (dépôt pleine plaque). Elle a permis les premières mesures électriques et le test de plusieurs recettes de P(VDF-TrFE). L'empilement présenté par la suite est :  $Au/P(VDF-TrFE)/Au$  avec une épaisseur de  $200\text{ nm}$  de P(VDF-TrFE) ;
- Dispositifs *Cross Finger*, FIG. 4.4-b : Cette structure plus avancée, n'utilisant que des techniques imprimables, intègre deux niveaux de métallisation, un report des contacts et un parfait contrôle des motifs. L'électrode supérieure est réalisée en PEDOT:PSS. De par sa grande instabilité à l'air, le PEDOT:PSS est recouvert avec de l'encre d'argent puis l'ensemble est passivé grâce à un polymère fluoré. Des ouvertures sont laissées pour les contacts or et argent.

L'équipement utilisé pour la caractérisation des propriétés ferroélectriques est un banc de mesures spécialement dédié : AixACCT TFAlyser 2000.

La FIG. 4.5 présente l'évolution de la réponse électrique d'un condensateur élémentaire  $Au/P(VDF-TrFE)/Au$  de type *Plot* lors d'une sollicitation électrique de  $100\text{ Hz}$  en fonction de l'amplitude de la tension appliquée. L'épaisseur du P(VDF-TrFE) est supposée de  $200\text{ nm}$  pour une surface active de  $0.2\text{ mm}^2$ . La FIG. 4.5-a met en évidence les pics

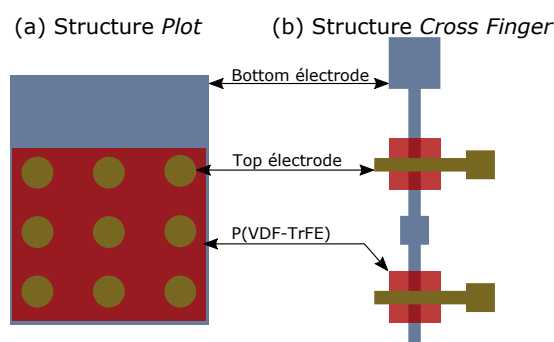


FIGURE 4.4 – Schéma a) des dispositifs de type *Plot* et b) des dispositifs de type *Cross Finger*.

de courant caractéristiques de la commutation des domaines ferroélectriques. Les performances recherchées sont un faible courant de fuite et un pic de commutation étroit indiquant que l'ensemble des domaines commute à la même tension. Cela se traduit par la recherche d'un cycle d'hystérésis "carré", cf. FIG. 4.5-b. Les tracés de la tension coercitive et de la polarisation rémanente, FIG. 4.5-c et FIG. 4.5-d, présentent une bonne symétrie reflétant que les étapes d'élaboration sont bien maîtrisées et n'induisent pas de défauts favorisant l'apparition d'un état préférentiel de domaines ferroélectriques. On soulignera l'impact de l'amplitude de la tension appliquée sur les propriétés de commutation du P(VDF-TrFE) avec l'établissement de la polarisation rémanente maximale pour une amplitude de la tension appliquée de 20 V.

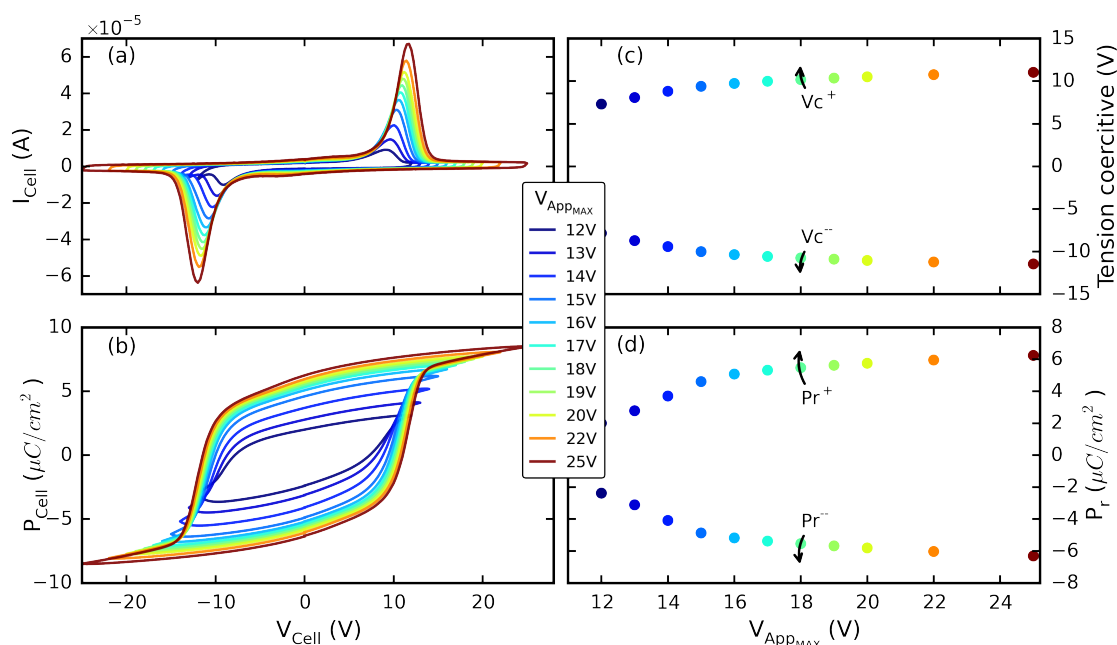
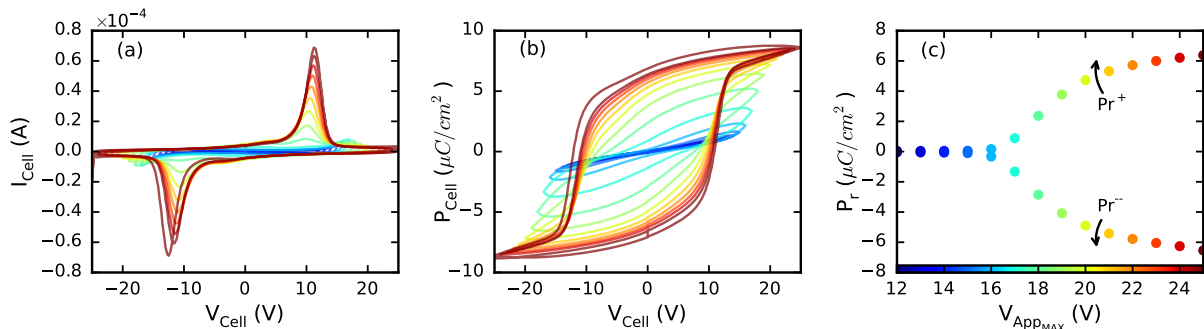


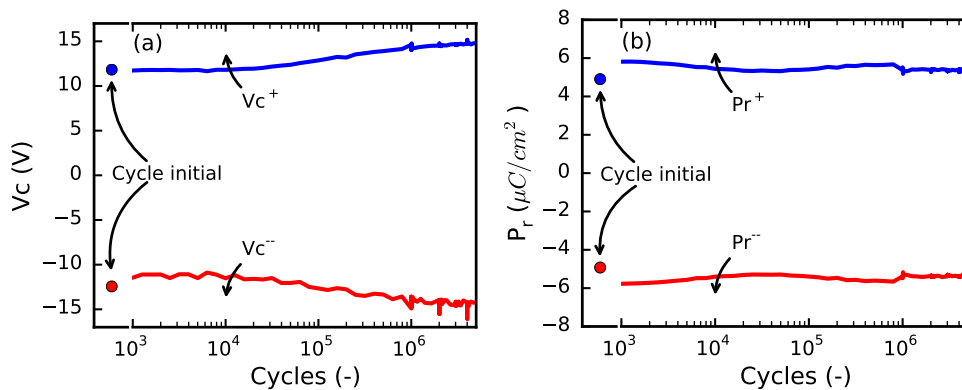
FIGURE 4.5 – Évolution de la réponse électrique d'un condensateur élémentaire  $Au/P(VDF-TrFE)/Au$  de type *Plot* lors d'une sollicitation électrique de 100 Hz en fonction de l'amplitude de la tension appliquée : évolution a) de la réponse en courant, (b) du cycle d'hystérésis, (c) des tensions coercitives et (d) des polarisations rémanentes. L'épaisseur du P(VDF-TrFE) est de 200 nm et la surface de la capacité MIM est de  $0.2 \text{ mm}^2$ .



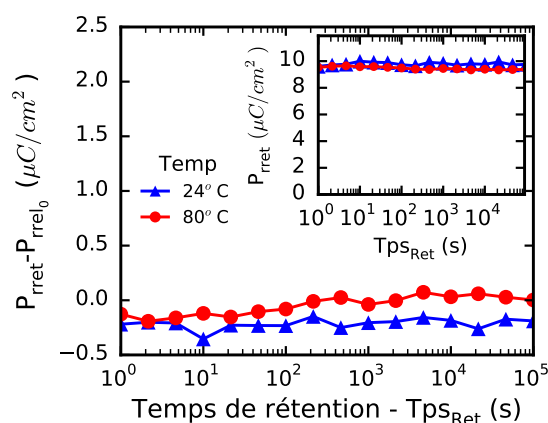
**FIGURE 4.6** – Évolution de la réponse électrique d'un condensateur élémentaire  $Au/P(VDF-TrFE)/Au$  de type *Plot* en fonction de l'amplitude des premières tensions appliquées lors de la phase de réveil : évolution a) de la réponse en courant, (b) du cycle d'hystérésis et c) des polarisations rémanentes. L'épaisseur du  $P(VDF-TrFE)$  est de  $200\text{ nm}$  et la surface de la capacité MIM est de  $0.1963\text{ mm}^2$ .

La FIG. 4.6 illustre le réveil des cellules FeRAM. Le réveil est l'étape permettant de positionner la cellule FeRAM dans son état de fonctionnement standard. En effet, avant l'application d'un quelconque champ électrique, les domaines ferroélectriques ne possèdent aucune orientation particulière. Ce premier cycle va organiser de façon irréversible les domaines. Ce mécanisme nécessite l'application d'un champ électrique plus important que celui du fonctionnement standard, comme on peut l'observer sur la FIG. 4.6. Notons aussi que la polarisation de fonctionnement est fortement contrôlée par la polarisation obtenue lors du réveil. De plus, dans le cas d'un réveil complet dès le premier cycle de mesures ( $0\text{ V} \rightarrow 25\text{ V}$ , caractéristique non montrée ici), on peut observer plusieurs pics de courant caractéristiques de la présence de multidomains dans leur état vierge qui se dissipent après cette première polarisation.

La FIG. 4.7 présente une caractéristique de fatigue effectuée en appliquant aux



**FIGURE 4.7** – Caractéristique de fatigue d'une cellule FeRAM  $Au/P(VDF-TrFE)/Au$  de type *Plot* de type *Plot* soumis à des signaux triangulaires d'amplitude  $25\text{ V}$  à  $1\text{ kHz}$ . Évolution en fonction du nombre de cycles d'hystérésis (a) des tensions coercitives et (b) des polarisations rémanentes. L'épaisseur du  $P(VDF-TrFE)$  est de  $200\text{ nm}$ .



**FIGURE 4.8** – Caractéristique de la rétention d'un empilement  $Au/P(\text{VDF-TrFE})/\text{PEDOT:PSS-Ag}$  de type *Cross Finger* à  $24^\circ\text{C}$  et  $80^\circ\text{C}$ . Écart entre la polarisation rémanente mesurée après le temps de rétention donné ( $P_{rret}$ ) et la polarisation rémanente relaxée dans le cas d'une mesure standard ( $P_{rrel_0}$ ).

bornes du condensateur une tension triangulaire de  $\pm 25\text{ V}$  d'amplitude à une fréquence de  $1\text{ kHz}$  durant  $2 \times 10^6$  cycles. Ce test correspond à un test d'endurance, il caractérise la diminution de polarisation lorsque la cellule est soumise à un grand nombre de cycles de programmation. Les cellules FeRAM caractérisées s'avèrent relativement résistantes à la fatigue. Une augmentation de 10% des tensions coercitives est observée après 3 millions de cycles, mais de par la tension de cyclage utilisée, les polarisations rémanentes restent stables. Néanmoins, l'augmentation progressive des tensions coercitives souligne la difficulté grandissante de polariser les domaines au fil des cycles.

La FIG. 4.8 illustre la tenue en température des dispositifs étudiés à travers la caractéristique de rétention à  $24^\circ\text{C}$  et  $80^\circ\text{C}$ . Elle représente l'écart entre la polarisation rémanente mesurée après le temps de rétention ( $P_{rret}$ ) et la polarisation rémanente relaxée dans le cas d'une mesure standard ( $P_{rrel_0}$ ). Elle montre une bonne stabilité en température ainsi qu'une excellente rétention, caractéristique des mémoires FeRAM. Notons que des mesures AC-AFM effectuées en température ont montré qu'au delà de  $130^\circ\text{C}$  la structure du P(VDF-TrFE) est irrémédiablement modifiée, détruisant probablement totalement ses propriétés électriques et ferroélectriques.

### 4.2.2 Modélisation compacte

Les technologies C-OTFT étant émergentes, un modèle compact des dispositifs FeRAM a été nécessaire pour permettre la validation fonctionnelle en simulation de l'ensemble des éléments de commande et de lecture de la matrice FeRAM. Le modèle mis en place s'appuie sur la théorie des comportements en hystérèse de Preisach [Prei35 ; Maye91] largement utilisée dans les mémoires FeRAM comme le détaillent les travaux de Meyer *et al.* [Meye03].

Dans ces approches, l'hystérésis est obtenue à partir d'un dipôle élémentaire possédant deux états distincts : +1 et -1, et de deux seuils de commutation  $\alpha$  et  $\beta$  distincts lors de l'augmentation ou de la diminution du champ, comme représenté dans la FIG. 4.9.

Le matériau ferroélectrique est vu ensuite comme un ensemble de dipôles possédant des seuils de commutation différents. Deux fonctions de distribution,  $f^+$  et  $f^-$ , permettent une description complète du système. Elles représentent le nombre de dipôles commutant à un champ électrique donné dans le cas d'un balayage croissant pour  $f^+$  et décroissant pour  $f^-$ .

Meyer *et al.* [Meye03] ont montré que ces fonctions de distribution correspondent à  $dP/dE$  et qu'il était possible d'extraire cette distribution à partir d'une mesure d'un cycle d'hystérésis quasi-statique. Dans le cas de nos dispositifs, la distribution Lorentzienne, EQ. 4.1, a présenté une bonne adéquation. La table 4.1 regroupe les paramètres utilisés dans ce modèle.

$$f(E)^\pm = y_0^\pm + \frac{2 \cdot \frac{A^\pm}{\pi} \cdot w^\pm}{4 \cdot (E - x_C^\pm)^2 + w^{\pm 2}} \quad (4.1)$$

Les approches proposées dans [Maye91] et [Meye03] peuvent être implémentées dans les outils de simulation électrique comme ELDO en suivant l'algorithme proposé FIG. 4.10. En effet, cette approche permet de calculer simplement la variation de polarisation à chaque pas de simulation. De plus, l'effet mémoire n'est porté que par une seule variable :  $E_{max}$ , point très important pour les simulations intégrant un grand nombre de cellules mémoires. Néanmoins, cette approche ne permet pas de prendre en compte le fonctionnement lors de la première polarisation. De même, les champs coercitifs varient de manière significative en fonction de la fréquence appliquée [Scot96 ; Chen99]. Aussi

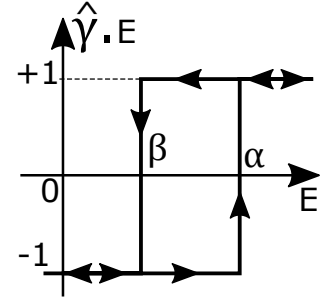


FIGURE 4.9 – Opérateur hystérésis élémentaire

TABLE 4.1 – Paramètres utilisés dans le modèle compact FeRAM

$S_{cell} = 0.2 \text{ mm} \times 0.2 \text{ mm}$	$L_{cell} = 170 \text{ nm}$
$w^+ = w^- = 2.6 \times 10^7 \text{ V/m}$	$A^+ = A^- = 6.3 \times 10^5 \text{ C/m}^3$
$y_0^+ = y_0^- = 3.95 \times 10^{-4} \text{ C} \cdot (\text{V} \cdot \text{m}^2)^{-1}$	
$x_C^+ = 4.56 \times 10^7 \text{ V/m}$	$x_C^- = -5.2 \times 10^7 \text{ V/m}$
$V_{Ref} = 2 \text{ V}$	$\tau_\infty = 1 \text{ ms}$

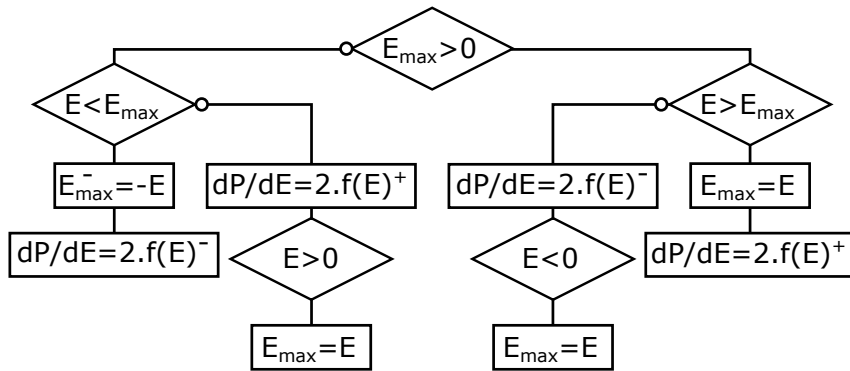


FIGURE 4.10 – Logigramme simplifié

pour prendre en compte ces différents éléments, l’algorithme a été raffiné et une correction a été apportée pour les aspects fréquentiels [Kuhn00]. Celle-ci permet la prise en compte de la dépendance fréquentielle grâce à l’utilisation d’un délai entre la tension externe appliquée sur le dispositif :  $V_{ext}$ , et la tension vue par les domaines ferroélectriques :  $V_{eff}$  :

$$\tau_S = \tau_\infty \cdot \exp\left(-\frac{|V_{ext} - V_{eff}|}{V_{Ref}}\right) \quad (4.2)$$

$$\frac{dV_{eff}}{dt} = \frac{V_{ext} - V_{eff}}{\tau_S} \quad (4.3)$$

La FIG. 4.11 illustre le bon fonctionnement de notre modèle compact par rapport aux données expérimentales. La FIG. 4.11-a représente le cycle d’hystérésis obtenu à partir de l’évolution de la tension donnée en FIG. 4.11-b et du courant obtenu en FIG. 4.11-c. On notera la bonne adéquation entre mesures et simulations à la fois pour un cycle d’hystérésis complet, en polarisation et en courant ; mais aussi lors de la phase de première polarisation. Soulignons aussi que l’effet mémoire est bien modélisé lors de la phase de lecture dans le cas d’un état laissé en polarisation positive. Enfin, la FIG. 4.12

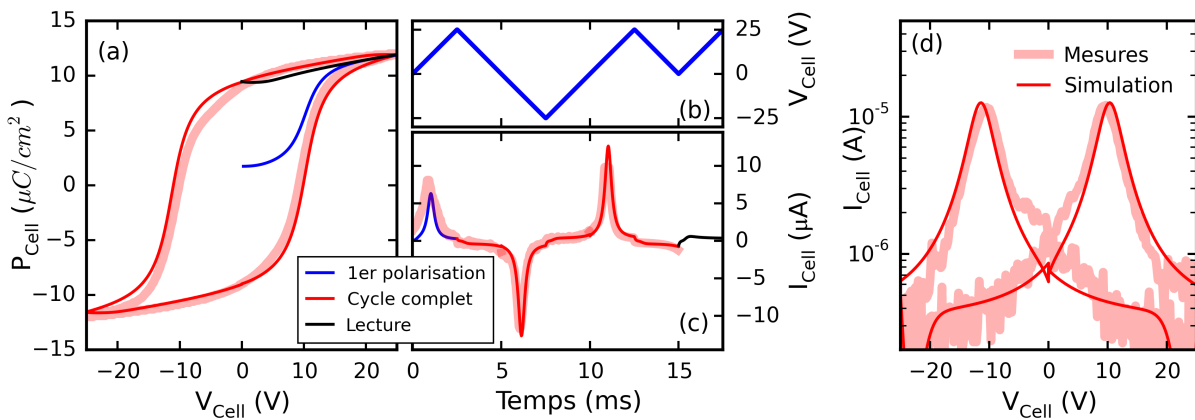


FIGURE 4.11 – Confrontation entre simulations et mesures d’un empilement  $Au/P(VDF-TrFE)/PEDOT:PSS-Ag$  de type *Cross Finger*. a) Cycle d’hystérésis. b) Tension appliquée à l’empilement en fonction du temps. Évolution du courant en fonction c) du temps et d) de la tension appliquée.

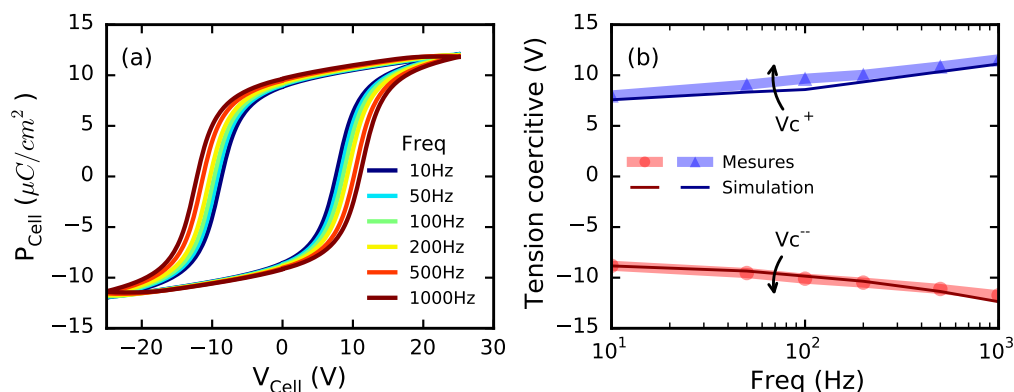


FIGURE 4.12 – a) Cycles d’hystérésis obtenus en simulation pour différentes fréquences de la tension appliquée. b) Évolution des tensions coercitives en fonction de la fréquence obtenue en simulation et expérimentalement dans le cas d’une application d’un signal triangulaire de 25 V sur un empilement  $\text{Au}/\text{P}(\text{VDF-TrFE})/\text{PEDOT:PSS-Ag}$  de type *Cross Finger*.

met en évidence que le bon comportement dynamique de notre approche qui permet de prendre en compte l’augmentation des tensions coercitives avec l’augmentation des fréquences utilisées.

### 4.2.3 Conclusion

Dans un premier temps, le partenariat mis en place en le CEA-LITEN et l’IM2NP à travers le projet inter-CARNOT POLYMEM a permis de mettre en place une filière FeRAM complète offrant une technologie mémoire compétitive avec l’état de l’art actuel et fournissant un modèle compact pour la simulation de ces cellules dans un simulateur électrique comme ELDO.

Mon implication s’est focalisée sur la caractérisation électrique de cellules mémoires FeRAM ainsi que sur la mise en œuvre du modèle compact. A travers cette activité j’ai eu l’opportunité d’encadrer deux stages de M1.

## 4.3 Architecture mémoire

### 4.3.1 Choix design

Le choix de l'architecture des différents blocs constituant notre matrice mémoire est une étape clé qui doit se faire au regard de la technologie utilisée et des objectifs de ce projet. En effet, nous travaillons avec une technologie émergente intégrant de nouveaux matériaux dont l'objectif principal reste le développement d'un ensemble fonctionnel indépendamment des performances de vitesse, consommation ou autre. Ainsi un effort particulier sera porté sur la limitation du nombre de transistors permettant de réduire les risques de défaillance. De plus, il est important de garder en tête que la technologie OTFT utilisée présente des transistors de type P de meilleure mobilité électrique, contrairement aux technologies CMOS traditionnelles.

Les éléments constituant la matrice mémoire présentés FIG. 4.13 sont :

- Le plan mémoire FeRAM ;
- Le décodeur de ligne ;
- Le contrôleur de Plate ;
- Le multiplexeur ;
- Le sélecteur de Lecture/Écriture ;
- L'amplificateur de lecteur, appelé *Sense*.

Même si l'ensemble de ces éléments constituant la matrice mémoire a été étudié, seuls le plan mémoire, le décodeur de ligne et le *Sense* seront détaillés par la suite. Notons aussi que les différents blocs ont été fabriqués indépendamment afin d'éviter la réalisation d'un seul circuit très complexe et ainsi maximiser les chances de fonctionnement de l'ensemble. Leur interconnexion pourra s'effectuer par la suite via le connecteur équipant chaque circuit.

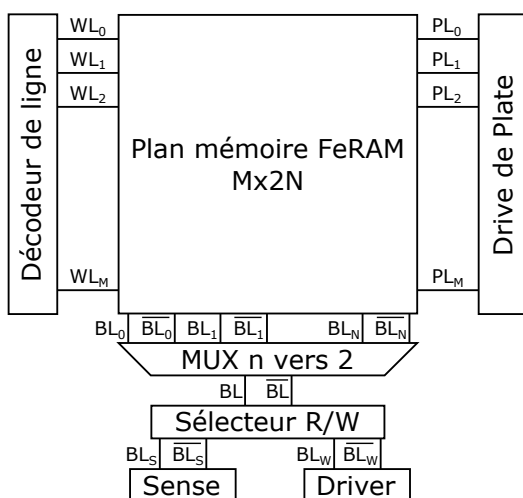


FIGURE 4.13 – Architecture complète d'une matrice mémoire ferroélectrique.

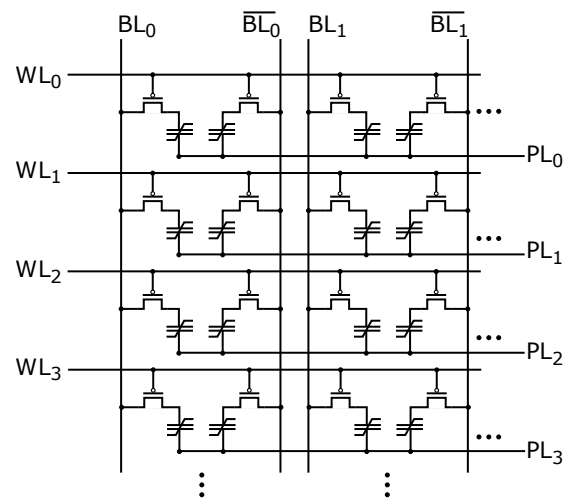


FIGURE 4.14 – Plan mémoire FeRAM de type 2T2C : 2 transistors et 2 condensateurs



### 4.3.1.1 Plan mémoire FeRAM

Le plan mémoire peut être soit actif, soit passif. Dans le cas d'un plan passif seul le condensateur FeRAM est utilisé dans le plan mémoire permettant une densité de *Layout* plus importante. Néanmoins, l'absence de sélecteur impose une activation/désactivation des cellules du plan par l'application de tensions d'inhibition sur les WordLine et BitLine. Cette absence totale d'isolation entre cellules peut introduire une consommation excessive, une programmation parasite ou une lecture erronée [Shei00]. L'utilisation d'un transistor assurant l'accès à la cellule mémoire rend la matrice active. Plusieurs combinaisons sont possibles. La plus simple est la structure 1T1C<sup>5</sup> permettant une bonne isolation des cellules entre elles. Néanmoins, l'utilisation d'une seule cellule FeRAM pour le stockage d'un bit nécessite une référence lors de la lecture. Cette référence peut être délicate à mettre en place et est problématique dans le cas de dérives des caractéristiques électriques de la cellule mémoire. La configuration 2T2C<sup>6</sup>, présentée FIG. 4.14, permet une lecture différentielle entre deux cellules configurées dans un état opposé. Cette structure occupe une surface plus importante mais présente la meilleure fiabilité face aux dérives des caractéristiques électriques, qu'elles soient dues à des variations technologiques ou au vieillissement des cellules [Rick02].

Type de plan	Taille de la cellule	Contrôle de la Complexité	Effet de voisinage	Immunité aux variations technologiques	Tension de référence
Passif	+++	-	-	-	Nécessaire
1T1C	++	+++	+++	+	Nécessaire
2T2C	+	+++	+++	+++	None

TABLE 4.2 – Tableau de sélection de l'architecture du plan mémoire. Architecture choisie : 2T2C

### 4.3.1.2 Décodeur

La fonctionnalité du décodeur de ligne est d'activer une ligne à partir de sa valeur d'adresse en y positionnant un '1' (ou un '0') ; les autres lignes étant forcées à '0' (resp. '1'). L'approche la plus largement utilisée est le décodeur à base de portes logiques pour sa stabilisation rapide des sorties (temps de propagation court) et sa bonne puissance de sortie (sortance). Néanmoins, le nombre de transistors constituant cette structure augmente de façon exponentielle avec le nombre de lignes à décoder (12 pour un décodeur 3 vers 8, 128 pour un décodeur 4 vers 16, etc.). Quelques modifications peuvent être apportées pour améliorer certaines propriétés sans augmenter le nombre de transistors, comme par exemple la vitesse de stabilisation des sorties (temps de propagation) avec l'utilisation d'un module de pré-décodage [Yoko], ou encore des systèmes de pré-charge pour réduire la consommation [Turi07].

Le décodage des lignes peut aussi être réalisé à partir de *Pass-Gate* organisés en arbre. La cellule élémentaire du décodeur en arbre est formée de deux *Pass-Gate*, comme présenté dans la FIG. 4.15. Les sorties de cette cellule peuvent être utilisées pour contrôler deux autres cellules et ainsi de suite, générant une structure en arbre. Cette architecture

5. 1T1C : 1 Transistor et 1 Condensateur

6. 2T2C : 2 Transistors et 2 Condensateurs

a pour avantage de nécessiter un nombre réduit de transistors, mais impose un étage supplémentaire pour fournir le courant nécessaire en sortie. Ainsi comme le résume la TAB. 4.3, la structure *Pass-Gate* a été choisie pour son nombre de transistors réduit.

Type	Vitesse	Puissance de sortie	Nb. de Transistors	Densité
Logic Gate	++	+++	+	+++
Log. Gate + pre-dec.	+++	+++	-	++
Log. Gate + pre-charge	+++	+++	-	++
Pass Gate + pull-up	+	+	+++	+

TABLE 4.3 – Tableau de sélection de l’architecture du décodeur. Architecture choisie : Pass Gate avec pull-up

### 4.3.1.3 Amplificateur de lecture — Sense

L’amplificateur de lecture est l’élément assurant la lecture de la donnée adressée. Il est généralement constitué d’un élément central de type verrou bistable.

Deux types de lecture peuvent être effectués :

- Une lecture en tension appelée : *Voltage Latch Sense Amplifier* (VLSA) [Zhan03] ;
- Une lecture en courant appelée : *Current Latch Sense Amplifier* (CLSA) [Tang06 ; Siu03].

Ces deux circuits peuvent être utilisés pour des plans mémoires 1T1C ou 2T2C. Rappelons que pour une architecture 1T1C une référence de tension est nécessaire. Une structure avec pré-charge assurant le niveau des *bits-lines* avant lecture présente un fort intérêt dans notre approche pour réduire le taux d’erreurs. De plus, un circuit de *Write-Back* est essentiel dans le cas de FeRAM [Rick02].

Type	Contrôle de la Complexité	Nb. de Transistors	Vitesse	Puissance de sortie	Impédance d’entrée
VLSA	+++	+++	+++	+	+++
CLSA	+	+	++	+++	++

TABLE 4.4 – Tableau de sélection de l’architecture du *Sense*. Architecture choisie : VLSA avec pré-charge et *Write-Back*

### 4.3.1.4 Conclusion

La FIG. 4.13 reprend l’architecture complète de la matrice mémoire. Dans un souci d’assurer la fonctionnalité complète du système, elle est constituée d’un minimum de transistors et se construit autour d’un plan mémoire FeRAM 2T2C de 8x8 bits présenté FIG. 4.14. L’architecture choisie pour le décodeur de ligne (connecté aux grilles des transistors (PMOS) de sélection) et pour le multiplexeur 2x8 vers 2 (connecté aux lignes de bits et permettant la lecture et la programmation) est une structure *Pass-Gate*. L’amplificateur de lecture — *Sense* — s’appuie sur une lecture en tension, VLSA, intégrant un circuit de pré-charge et de réécriture (*Write-Back*).

## 4.3.2 Décodeur

### 4.3.2.1 Description

La base de l'architecture en arbre de notre décodeur est un décodeur élémentaire 1 vers 2 constitué d'une paire de *Pass-Gate* activée par le signal A (cf FIG. 4.15). La sortie non-sélectionnée est positionnée à  $V_{DD}$  via un transistor câblé en pull-up. Un décodeur à  $n$  sorties sera constitué de  $n - 1$  étages intégrant  $2 \cdot n$  décodeurs élémentaires comme le montre la FIG. 4.17 dans le cas de notre décodeur à 8 sorties et 3 bits d'adresses. Pour assurer le pilotage des lignes de mots pilotées par le décodeur, un étage de sortie est nécessaire. La solution présentée dans la suite s'appuie sur un étage à double inversion (cf FIG. 4.16) avec des transistors de très large dimensions ( $W = 2000\mu m$ ). Notons qu'un étage de sortie à base de *Pass-Gate* permettant d'ajuster les niveaux des tensions de sélection a aussi été réalisé et testé avec succès. Cette approche à base de *Pass-Gate* est essentielle pour la sélection des cellules dans un plan mémoire passif [Ng12]. Néanmoins dans un souci de synthèse, seul l'étage de sortie à double inverseur utilisé dans le cas de matrice active est présenté ici.

L'architecture finale du décodeur 3 vers 8 requiert 42 transistors : 36 pour l'étage de décodage, 6 pour l'étage d'inversion. Une solution de taille similaire avait été proposée par Ng *et al.* [Ng12] mais comportait 52 transistors. La FIG. 4.18 représente le *Layout* ainsi qu'une photographie du décodeur imprimé sur substrat flexible. Des simulations électriques ont été réalisées durant la phase de design permettant de vérifier la fonctionnalité du circuit (non présentées ici). Ces simulations s'appuient sur les modèles compacts de C-OTFT [Vall11 ; Rapi12 ; Mari13].

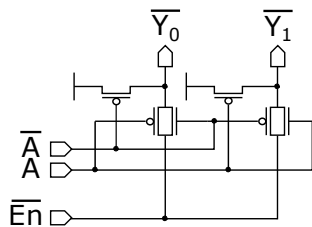


FIGURE 4.15 – Schéma de l'unité élémentaire de décodage 1 vers 2

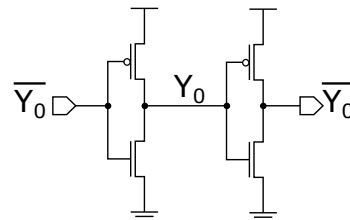


FIGURE 4.16 – Schéma de l'étage de sortie à double inversion

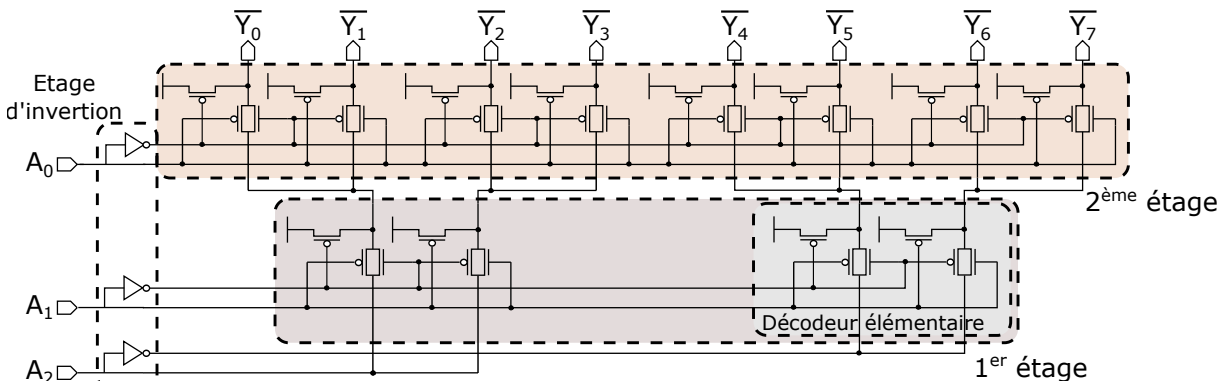
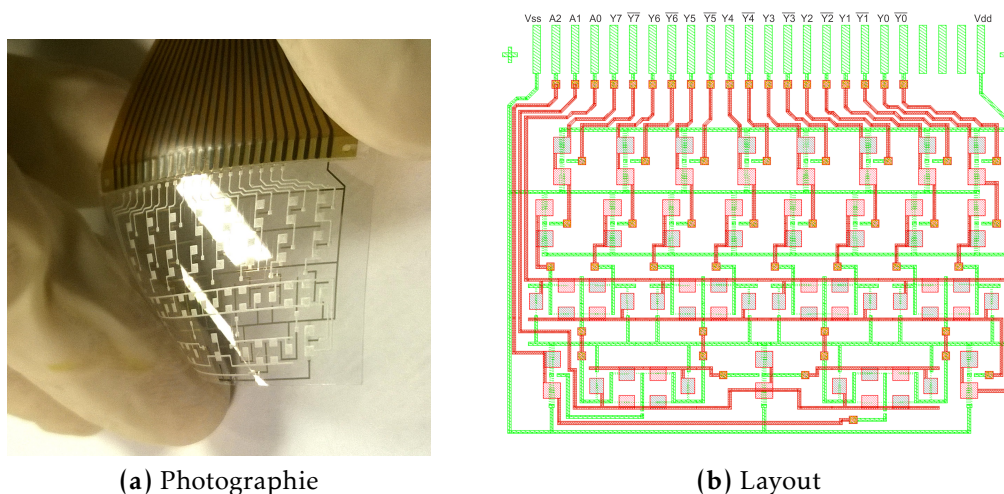


FIGURE 4.17 – Schéma électrique complet du décodeur 3 vers 8. Le  $n^{\text{ème}}$  étage utilise  $2^n$  unités de décodage de base



**(a)** Photographie  
**(b)** Layout

**FIGURE 4.18** – (a) Photographie du décodeur 3 vers 8 avec étage de sortie double inversion et (b) le *Layout* de son circuit.

#### 4.3.2.2 Tests et validation

Comme souligné plus haut, ces mesures ont été réalisées sous atmosphère *non* contrôlée et à température ambiante. La validation fonctionnelle a été réalisée par l'application sur les signaux d'adresses ( $A_2$ ,  $A_1$  et  $A_0$ ) de l'ensemble des configurations possibles et le contrôle de l'activation de la ligne sélectionnée. Le bon fonctionnement du décodeur a pu être mis en évidence dans le cas d'une utilisation standard de la technologie C-OTFT (tension d'alimentation de  $V_{DD} = 30\text{ V}$ ) comme l'illustre la FIG. 4.19-a. La FIG. 4.19-b présente les chronogrammes des signaux de sortie dans le cas d'une alimentation  $V_{DD} = 5\text{ V}$ . Même si les temps de montée et de descente des tensions de sortie sont dégradés, le circuit reste fonctionnel pour une durée de mots de  $500\text{ ms}$ .

Pour évaluer le domaine de fonctionnalité du décodeur en terme de tension et de dynamique, une série de mesures a été effectuée à différentes tensions d'alimentation allant de  $5\text{ V}$  à  $40\text{ V}$  et pour différentes durées de mots allant de  $5\text{ ms}$  à  $95\text{ ms}$ . Le ratio  $V_{OUT}/V_{DD}$  est reporté FIG. 4.20-a. Il permet d'identifier le couple Temps/Tension assurant la fonctionnalité du circuit en fonction de l'application visée. Il met aussi en évidence que la fonctionnalité est préservée jusqu'à des tensions de  $5\text{ V}$  au détriment de la rapidité du circuit.

Pour évaluer ces problématiques de dynamique relatives aux délais d'activation et de désactivation, les temps de propagation ont été mesurés pour différentes tensions d'alimentation (cf FIG. 4.20-b). On observe une classique dégradation de ces délais avec la diminution de la tension d'alimentation. Notons que le délai d'activation est plus important que le délai de désactivation. Ceci peut s'expliquer par la structure en arbre du décodeur. En effet, la désactivation des sorties est réalisée via un chemin très court ne traversant qu'un transistor de type P utilisé en Pull-up (cf FIG. 4.20-c) alors que le chemin d'activation traverse toute la structure. Cette observation a aussi été confirmée par simulation électrique.

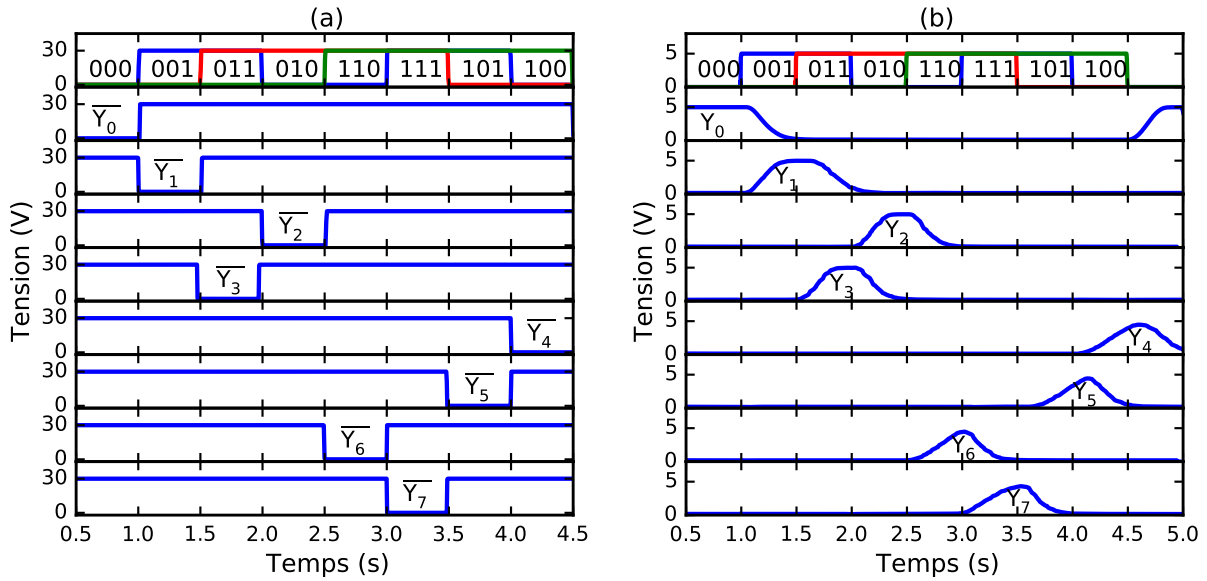


FIGURE 4.19 – Chronogrammes des signaux de sortie du décodeur : (a) après l'étage de sortie double inverseur pour une tension d'alimentation  $V_{DD} = 30V$ , et (b) après un étage d'inversion à  $V_{DD} = 5V$ . La durée du mot utilisé est de  $500ms$

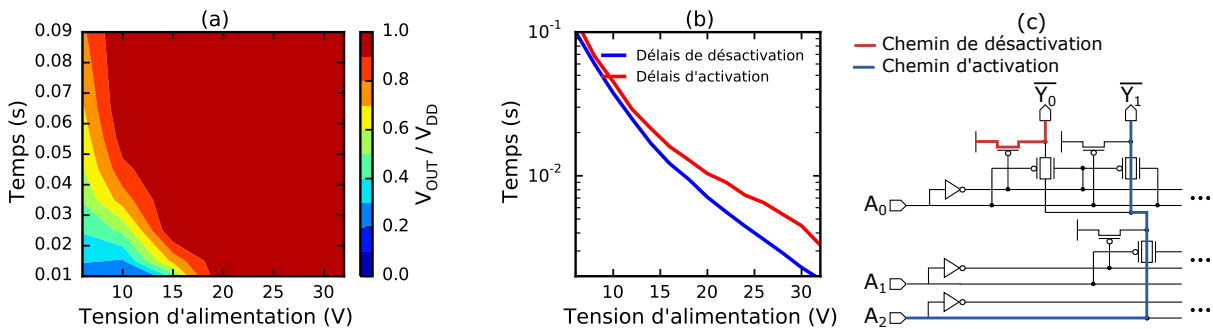


FIGURE 4.20 – (a) Ratio  $V_{OUT}/V_{DD}$  et (b) délais d'activation et de désactivation du décodeur en fonction de la tension d'alimentation  $V_{DD}$ . (c) Chemins électriques liés à l'activation/désactivation des sorties

### 4.3.2.3 Conclusion

Le décodeur de ligne mis en œuvre ici s'appuie sur une architecture à base de *Pass-Gate* organisée en arbre. Deux options d'étage de sortie permettant d'adresser les matrices actives ou passives ont été réalisées et ont montré leur fonctionnalité. Néanmoins, seul le circuit de décodage avec étage de sortie double inverseur a été présenté ici. Ces circuits ont été réalisés à partir de la technologie imprimée flexible C-OTFT. La mesure du ratio  $V_{OUT}/V_{DD}$  et des temps de propagation a montré la fonctionnalité du circuit sous atmosphère *non* contrôlée pour une gamme de tensions d'alimentation de  $5V$  à  $40V$ . Cette architecture en arbre a donc permis de réaliser un design avec un nombre réduit de transistors par rapport à une architecture à base de portes NAND tout en limitant l'impact sur les délais d'activation.

Ces travaux ont été valorisés à travers une présentation à la conférence ESSCIRC [E1 A14].

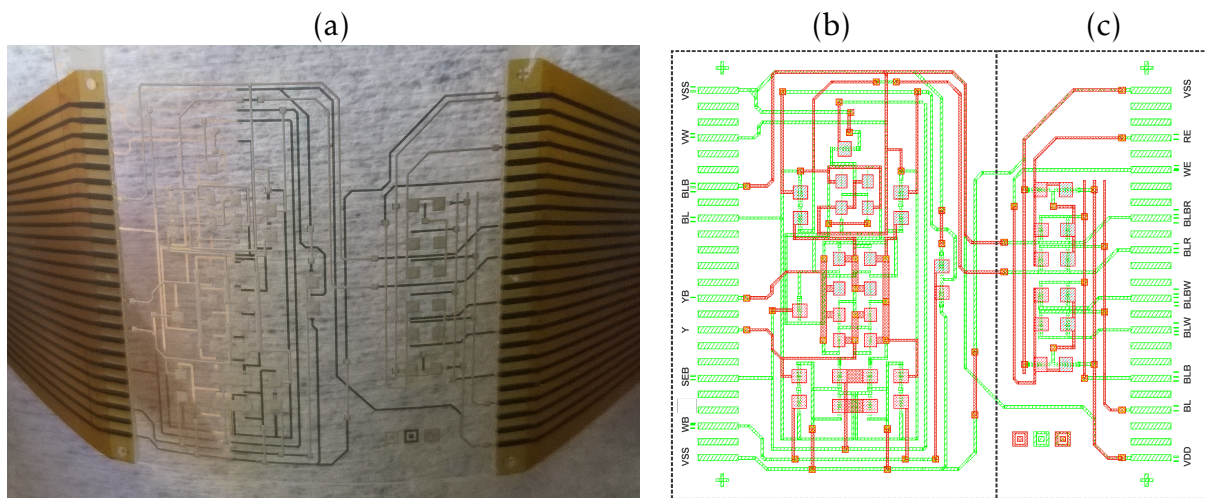


FIGURE 4.21 – (a) Photographie du *Sense* et du sélecteur de Lecture/Écriture. *Layout* (b) du circuit de *Sense* et (c) du circuit de sélection de Lecture/Écriture.

### 4.3.3 Amplificateur de lecture – Sense

#### 4.3.3.1 Description et simulations

L'architecture de l'amplificateur de lecture — *Sense* — est basée sur un comparateur différentiel digital avec pré-charge et sur un circuit de réécriture. La photographie du circuit réalisé ainsi que son *Layout* sont donnés FIG. 4.21. Notons que le *Sense* est directement relié au sélecteur de Lecture/Écriture (FIG. 4.21-c) pour faciliter le test du système complet le cas échéant. Néanmoins, les deux modules sont sécables pour permettre un test indépendant.

Le schéma complet du *Sense* est donné par la FIG. 4.22 [Rick02]. Le circuit de lecture s'appuie sur une *Latch* centrale permettant de capturer une très faible différence des tensions d'entrées :  $BL_S$  et  $\overline{BL}_S$ . Les sorties du *Sense* sont celles de la *Latch* :  $Y$  et  $\overline{Y}$ .

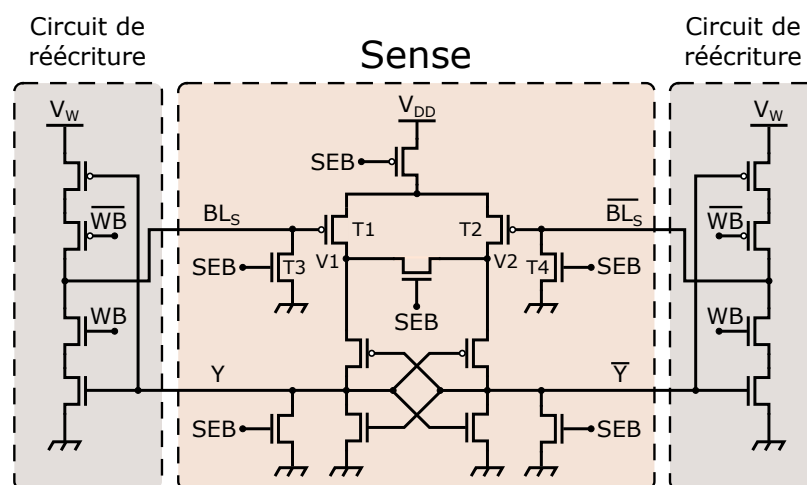


FIGURE 4.22 – Schéma électrique du *Sense*

Le circuit de pré-charge forçant les deux branches du *Sense* (Branche 1 :  $BL_S$ ,  $V1$ ,  $Y$ ; Branche 2 :  $\overline{BL_S}$ ,  $V2$ ,  $\overline{Y}$ .) à 0V est activé par le signal  $SEB$ . Le circuit de réécriture consiste en un driver trois états activé par les signaux  $WB$  et  $\overline{WB}$  permettant la recopie de  $Y$  (resp.  $\overline{Y}$ ) sur  $BL_S$  (resp.  $\overline{BL_S}$ ). Enfin, notons qu'une approche *Common-centroid* a été adoptée dans la réalisation du *Layout* de la *Latch* afin d'éviter un déséquilibre des quatre transistors la constituant.

Le fonctionnement du *Sense* est illustré grâce aux chronogrammes de la FIG. 4.23 extraits d'une simulation complète de la matrice mémoire incluant : le décodeur de lignes, le décodeur de mots, le sélecteur de Lecture/Écriture, le circuit de réécriture, le *Sense* et le plan mémoire 2T2C. Cette simulation a permis de vérifier la fonctionnalité de l'ensemble des modules constituant la matrice mémoire ainsi que le bon comportement du modèle compact de FeRAM dans un environnement de simulation complexe.

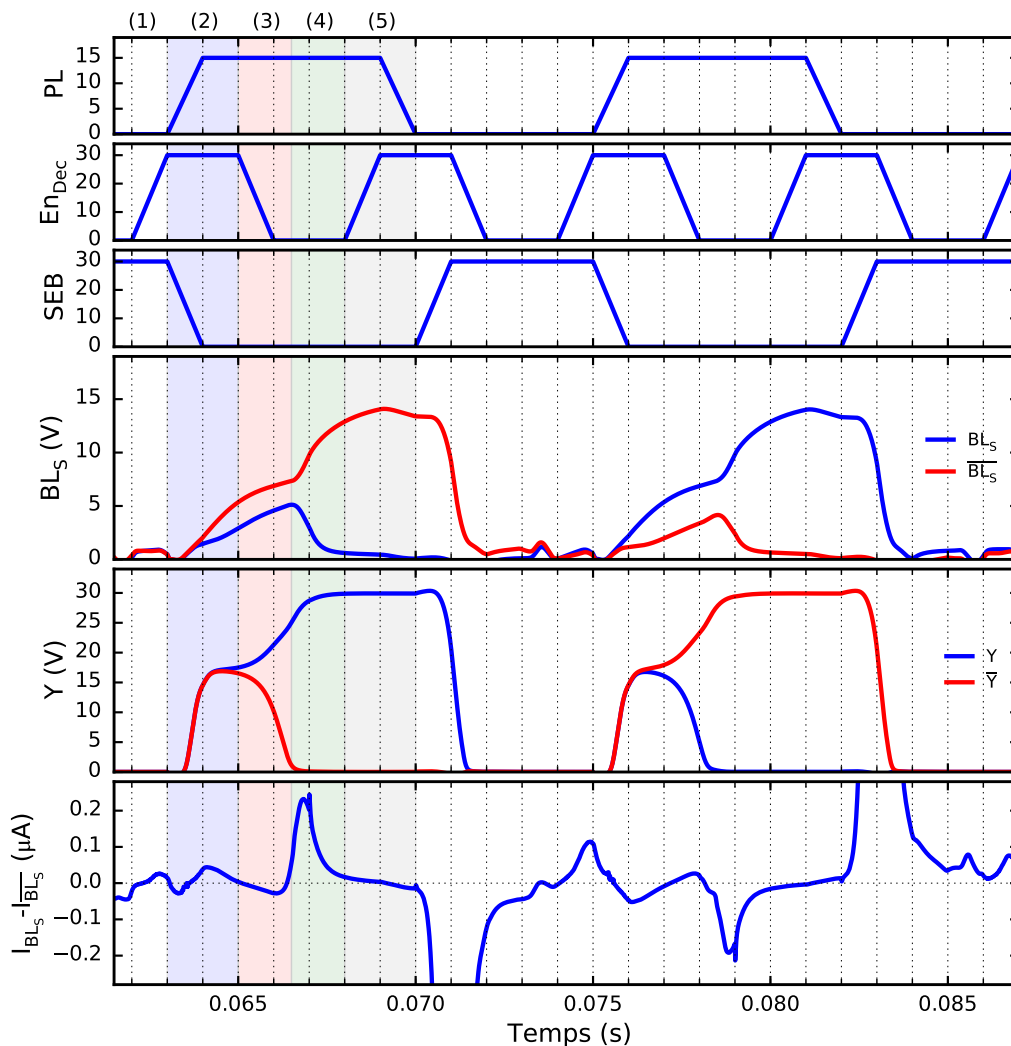


FIGURE 4.23 – Chronogrammes du *Sense*

Les différents signaux représentés sont (cf FIG. 4.13) :

- $PL$  Signal de Plate
- $En_{Dec}$  Signal de sélection du point mémoire.
- $SEB$  Signal de pré-charge du *Sense*.
- $BL_S$  &  $\overline{BL}_S$  Signaux de Bit Line du *Sense*.
- $Y$  &  $\overline{Y}$  Signaux de sorties du *Sense*.
- $I_{BL}$  &  $I_{\overline{BL}}$  Courant traversant les transistors T3 et T4.

Les différentes étapes constituant l'opération de lecture sont :

1. Activation du signal  $SEB$ , pré-chargé du *Sense* :

- La mise à zéro des lignes  $BL_S$  et  $\overline{BL}_S$  ;
- La mise à zéro des lignes  $Y$  et  $\overline{Y}$  ;
- L'équilibre des tensions  $V1$  et  $V2$ .

La procédure d'initialisation se termine par la sélection du point mémoire réalisée par l'activation du décodeur de lignes et de mots. Notons que le signal de Plate ( $PL$ ) est positionné à  $0V$  afin de ne pas modifier l'état des cellules lors de leur sélection.

2. Désactivation du signal  $SEB$  et montée du signal de Plate, générant le basculement de l'une des cellules FeRAM constituant le point mémoire, par exemple celle côté  $BL$  : on observe un courant plus important sur  $I_{BL}$  que sur  $I_{\overline{BL}}$ . Cette commutation génère un déséquilibre du *Sense* :

- La tension  $BL$  augmente moins vite que  $\overline{BL}_S$  ;
- T1 est plus passant que T2 ;
- Augmentation (resp. diminution) de la tension  $V1$  (resp.  $V2$ ) ;
- Augmentation (resp. diminution) du potentiel  $Y$  (resp.  $\overline{Y}$ ).

3. Désactivation des décodeurs : déconnexion des cellules mémoires du *Sense*.

4. Activation du signal de réécriture  $WB$  : via le circuit de réécriture. Les signaux  $Y$  et  $\overline{Y}$  vont imposer leur niveau à  $BL_S$  et  $\overline{BL}_S$  aboutissant à la stabilisation complète du *Sense*.

5. Re-sélection du point mémoire lu pour permettre sa réécriture. Notons que dans cette simulation le signal de Plate descend à  $0V$  pour permettre l'inversion de la donnée initiale. Cela permet de continuer la simulation avec la lecture de l'état opposé.

#### 4.3.3.2 Tests et validation

Pour valider le bon fonctionnement du *Sense*, un protocole permettant de reproduire les conditions réelles d'utilisation a été mis en place. Le test se déroule en deux parties. Dans un premier temps, deux cellules FeRAM vont être programmées dans des états opposés puis connectées aux lignes  $BL_S$  et  $\overline{BL}_S$  du *Sense*. La procédure de lecture peut ensuite être effectuée. La FIG. 4.24 rappelle le schéma électrique du *Sense* sur lequel sont connectées les cellules FeRAM. La FIG. 4.25 présente les chronogrammes des signaux de contrôle  $SEB$  et  $PL$ , ainsi que ceux mesurés  $BL_S$ ,  $\overline{BL}_S$ ,  $Y$  et  $\overline{Y}$ . La lecture



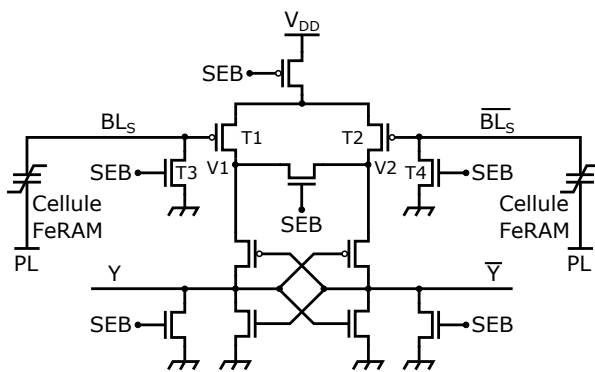


FIGURE 4.24 – Schéma de test du *Sense* relié à deux cellules mémoires FeRAM simulant les conditions standards de lecture

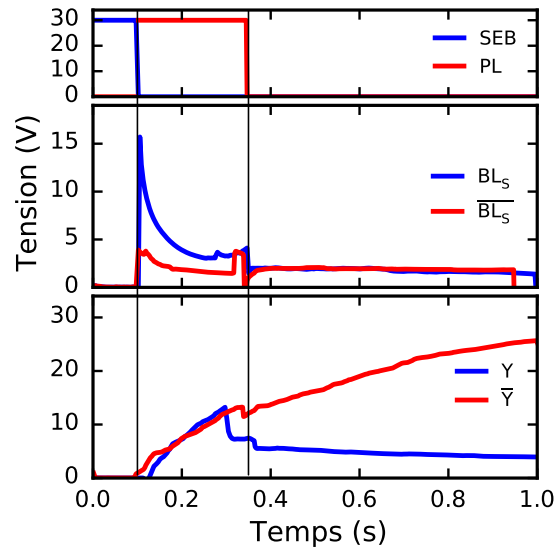


FIGURE 4.25 – Chronogrammes de test du *Sense*

commence par l'activation du *SEB* forçant à zéro l'ensemble des lignes du *Sense*. Ensuite le signal de Plate (*PL*) est activé générant la commutation de l'une des FeRAM, ici celle côté  $BL_S$ . On observe bien la remontée du signal de  $BL_S$  induisant le déséquilibre des tensions de sortie.

Néanmoins, le fonctionnement qui a pu être mesuré n'est pas parfait. En effet, une asymétrie importante sur la réponse de  $Y$  et  $\bar{Y}$  a été observée :  $\bar{Y}$  étant très difficilement tiré à zéro. De plus, le circuit de réécriture permettant de recopier l'état de  $Y$  (resp.  $\bar{Y}$ ) dans  $BL_S$  (resp.  $\bar{BL}_S$ ) et verrouillant l'état du *Sense* a montré de grandes difficultés à positionner l'état bas. Ces symptômes sont ceux de transistors de type N présentant une faible conductivité. Cette observation est le principal défaut de la technologie C-OTFT qui comporte des transistors de type N de performances limitées, alors qu'une technologie uniquement de type P est bien meilleure. Pour remédier à ce problème, plusieurs correctifs de *layout* ont été apportés visant à augmenter la taille des transistors de type N du *Sense* et du circuit de réécriture.

#### 4.3.3.3 Conclusion

En conclusion de cette partie, un circuit de lecture — *Sense* — basé sur un comparateur différentiel digital avec pré-charge et circuit de réécriture a été entièrement réalisé : design, *layout*, fabrication et tests. Néanmoins, celui-ci a présenté des difficultés de fonctionnement principalement liées à une conduction insuffisante des transistors OTFT de type N ; difficultés liées soit à une défaillance soit à un sous dimensionnement. Un nouveau *Layout* a donc été proposé.

## 4.4 Conclusions et perspectives

Les travaux présentés dans ce chapitre naissent d'une collaboration avec le CEA-LITEN à travers un projet inter-CARNOT (CARNOT STAR et CARNOT "Energies du futur") : POLYMEM (Non-Volatile **POLY**meric **MEM**ories). L'objectif était la réalisation d'un démonstrateur technologique : une matrice mémoire FeRAM sur support flexible intégrant l'électronique de décodage et de lecture.

Ce partenariat a permis, d'une part de mettre en place une filière FeRAM complète offrant une technologie mémoire compétitive avec l'état de l'art actuel et fournissant un modèle compact pour la simulation de ces cellules dans un environnement de simulation de type ELDO. Et d'autre part, la réalisation complète sur technologie imprimée flexible de type C-OTFT :

- D'un circuit de décodage à base d'une architecture de type *Pass-Gate* ;
- D'un circuit de sélection de mode d'écriture/lecture (non montré ici) ;
- D'un circuit de lecture basé sur un comparateur différentiel (approche VLSA) digital avec circuit de réécriture.

L'ensemble de ces circuits, permettant le pilotage d'une matrice 2T2C FeRAM, a été conçu, routé, fabriqué et testé. Seul l'amplificateur de lecteur a présenté un dysfonctionnement dû à une conduction insuffisante des transistors OTFT de type N.

A travers cette activité, j'ai eu l'opportunité d'encadrer deux stagiaires de M1, deux stagiaires de M2 ainsi qu'un CDD ingénieur. Cela m'a aussi permis de gagner en expérience dans la caractérisation et la modélisation des mémoires FeRAM ainsi que dans la caractérisation, le test et l'évaluation des performances de la technologie C-OTFT.

De manière plus globale, ce projet a permis la valorisation de la technologie C-OTFT du CEA-LITEN tout en mettant en avant le savoir-faire de l'équipe mémoire de IM2NP dans les domaines de la caractérisation des mémoires FeRAM, la conception sur technologie émergente, le test de circuits ainsi que dans le développement de modèles compacts rapides et robustes dans un environnement de simulation circuit.

Le principal point noir qui a pu être souligné à travers ce projet est la faible performance des transistors de type N, véritable frein au développement de circuits plus complexes. Aussi, au vu des excellentes performances de la technologie de P-OTFT du CEA-LITEN, deux contrats de sous-traitance pour le développement de circuits génériques de décodage et de lecture nous ont été confiés. Ces circuits ont pour vocation d'adresser des matrices de LED ou de capteurs abondant en électronique organique imprimée.

Plus généralement, le développement de cellules mémoires 100% imprimables est stratégique pour le développement d'étiquettes "intelligentes" très faible coût.

Aussi, la réalisation de mémoires organiques imprimées est une activité en cours dans le laboratoire IM2NP où j'interviens à travers l'ANR jeune chercheur REFLEX (**RE**sistive memories on **FLEX**ible substrates) comme responsable de la tâche CBRAM. Cette activité demande encore beaucoup d'efforts à la fois sur le choix des matériaux à utiliser (matériaux actifs, électrodes...), sur les procédés de réalisation (couche d'interface ...) et sur la compréhension des mécanismes physiques mis en œuvre.

---



## Conclusions générales et projet de recherche

A travers ce manuscrit une partie de mes activités de recherche est présentée. Pour offrir une cohérence dans la lecture, chaque chapitre s'attarde sur certaines thématiques de recherche que j'ai pu mener depuis 2010.

Le domaine des mémoires résistives a été au centre de mes activités durant cette période. Les thèses d'Eddie Tirano, sur les mémoires OxRRAM unipolaires, puis celle de M. Thomas CABOUT, sur les OxRRAM bipolaires que j'ai pu encadrer, auront permis de mieux appréhender les performances et le comportement intrinsèque de ce type de mémoires. Le chapitre 2 revient sur leurs propriétés fondamentales (influence des électrodes sur le comportement unipolaire/bipolaire, commutation filamentaire, la résistance LRS contrôlée à travers le courant de compliance de l'opération de *Set*, la cinétique des opérations de *Set* et *Reset*, etc.). Ce chapitre détaille quelques éléments de caractérisation et de modélisation physique mis en place durant la thèse de M. Thomas CABOUT permettant une meilleure compréhension de la micro-structure du filament conducteur en fonction des conditions de programmation. Les excellentes performances des mémoires OxRRAM ont aussi été soulignées (programmation en quelques nanosecondes, endurance supérieure à  $10^8$  cycles, très bonne rétention, etc.). Ainsi, alliées à leur procédé de fabrication parfaitement compatible avec la filière MOS standard et des niveaux de tension de programmation faibles comparés aux mémoires EEPROM/Flash, elles sont un candidat sérieux pour les applications embarquées. Dans ce contexte, les problématiques sécuritaires prennent tout leur sens. Ce chapitre se termine donc avec quelques résultats de la thèse de M. Alexis KRAKOVINSKY, que je co-encadre, présentant l'effet d'attaque LASER sur des dispositifs bipolaires à base de  $\text{HfO}_2$ .

Les activités de caractérisation électrique et de modèles physiques ou compacts ont été menées en parallèle permettant un enrichissement mutuel des deux thématiques. Le chapitre 3 détaille les modèles compacts de mémoires OxRRAM unipolaires et bipolaires qui ont été des éléments stratégiques dans le développement de circuits hybrides

---

innovants<sup>1 2 3 4 5 6 7 8 9</sup>. Cette activité a été le point de départ de plusieurs thèses en conception : la thèse de M. Santhosh ONKARAIHAH sur la *Modélisation et conception de circuits à base de mémoires non-volatiles résistives innovantes* et la thèse de M. Alexandre LEVISSE sur le *Design et les architectures 3D de mémoires résistives*. Ce travail réalisé en interne est l'une des pierres angulaires sur laquelle s'appuie un grand nombre d'activités de l'équipe, débouchant sur la mise en place de nouvelles collaborations à travers des projets (e.g. ANR DIPMEM (2012-2015)) ou de nouvelles thèses (e.g. la thèse de M. Corentin PIGOT).

Le développement technologique de dispositifs mémoires sur support souple est lui aussi une activité importante qui a été développée dans l'équipe depuis 6 ans. Le chapitre 4 s'intéresse à la collaboration avec le CEA-LITEN et soutenue par le projet inter-CARNOT POLYMEM. Le choix de détailler cette activité vient de la variété des actions menées : caractérisation électrique, modélisation compacte, design, layout et réalisation. Ce projet reflète bien l'ensemble des compétences de l'équipe mémoire à travers le développement d'un démonstrateur technologique : une matrice mémoire à base de technologie mémoire FeRAM organique et transistor C-OTFT sur support souple. Un autre aspect des activités sur support souple qui n'a pas été mentionné dans ce manuscrit mais qui mérite d'être souligné est la réalisation de dispositifs mémoires fabriqués au sein de l'IM2NP. Initiée par le biais d'un projet financé par l'institut CARNOT-STAR (projet CORNFLEX) puis soutenue par un projet ANR "Jeunes Chercheuses Jeunes Chercheurs" (projet REFLEX, labellisé par le pôle de compétitivité Solutions Communicantes Sécurisées), cette activité a pour objectif de développer des cellules mémoires sur support flexible. En s'appuyant initialement sur le savoir faire du laboratoire dans les dépôts de couche par pulvérisation cathodique, puis supportés par la thèse de M. Charles RÉBORA sur le *développement de matrices mémoires non-volatiles sur support flexible pour les circuits électroniques imprimés*, des empilements CBRAM à base de chalcogénure et d'électrodes argent ont été réalisés. Mon rôle dans cette activité s'est centralisé sur la modélisation des mémoires CBRAM et sur un travail d'encadrement durant la caractérisation des dispositifs. Ces deux facettes, modélisation et caractérisation, étant déjà largement détaillées dans ce manuscrit, cette thématique n'a pas été traitée ici.

En marge de mes activités "mémoires résistives", j'ai aussi pu participer à *L'optimisation et la réduction de la variabilité d'une nouvelle architecture mémoire de type EEPROM/Flash* à travers la thèse CIFRE de M. El Amine AGARBEN avec l'entreprise STMicroelectronics en collaboration avec l'EMSE. Néanmoins, pour des raisons de confidentialité, ces activités ne seront pas illustrées dans ce manuscrit.

Les activités sur la modélisation compacte de mémoires résistives restent stratégiques. Au-delà d'être la base sur laquelle s'appuie les activités de conception de l'équipe,

1. J.-M. Portal, *et al.*, JOLPE, 2012, doi: [10.1166/jolpe.2012.1172](https://doi.org/10.1166/jolpe.2012.1172).
2. H. Aziza, *et al.*, IDT, 2013, doi: [10.1109/IDT.2013.6727097](https://doi.org/10.1109/IDT.2013.6727097).
3. J.-M. Portal, *et al.*, NanoArch, 2013, doi: [10.1109/NanoArch.2013.6623047](https://doi.org/10.1109/NanoArch.2013.6623047).
4. H. Aziza, *et al.*, JMR, 2013, doi: [10.1016/j.microrel.2013.07.012](https://doi.org/10.1016/j.microrel.2013.07.012).
5. K. Coulie, *et al.*, LATW 2013, doi: [10.1109/LATW.2013.6562684](https://doi.org/10.1109/LATW.2013.6562684).
6. O. Turkyilmaz, *et al.*, JPDC, 2014, doi: [10.1016/j.jpdc.2013.08.003](https://doi.org/10.1016/j.jpdc.2013.08.003).
7. W.-S. Zhao, *et al.*, TCSI, 2014, doi: [10.1109/TCSI.2013.2278332](https://doi.org/10.1109/TCSI.2013.2278332).
8. W.-S. Zhao, *et al.*, JPDC, 2014, doi: [10.1016/j.jpdc.2013.08.004](https://doi.org/10.1016/j.jpdc.2013.08.004).
9. Y. Zhang, *et al.*, NEWCAS, 2013, doi: [10.1109/NEWCAS.2013.6573578](https://doi.org/10.1109/NEWCAS.2013.6573578).

elles jouent un rôle pivot dans le montage de projets et sont un savoir-faire réellement différenciant de l'équipe.

En tant que perspectives à court et moyen terme, il est essentiel de maintenir une bibliothèque de modèles compacts (OxRRAM, CBRAM, PoRAM, FeRAM, PCM) à l'état de l'art. En suivant attentivement les évolutions ainsi que les choix technologiques qui seront prochainement effectués, les modèles devront être ajustés pour conserver une avance de phase par rapport aux besoins des concepteurs. Maintenir et durcir le lien entre modélisation compacte, modélisation physique, caractérisation électrique avancée et design circuit est la clé pour exister dans ce domaine en pleine effervescence. Dans le cas des mémoires OxRRAM, les principales thématiques à ne surtout pas négliger et à adresser dans le triptyque caractérisation électrique, modèle compact et physique reste :

- la variabilité cycle à cycle des tensions de commutation ainsi que des niveaux de courant de l'état HRS, sans doute les principaux défauts des mémoires OxRRAM ;
- les lois d'activation en température en rétention encore mal connues en raison de la jeunesse de ces technologies ; aspect qui reste bloquant pour certaines applications sensibles telles que l'automobile ou l'aéronautique.

De manière générale, les modèles compacts de mémoires résistives trouvent principalement leur intérêt dans le cas d'applications où elles sont proches des circuits logiques comme les mémoires embarquées ou les approches de mémoires distribuées.

Enfin soulignons aussi la nécessité de rester à l'état de l'art dans le développement de méthodes et de moyens de caractérisation, qu'ils soient électriques ou physiques. Il convient de ne pas oublier qu'ils sont le cœur de notre expertise, et c'est à travers eux que l'on accède aux analyses des performances, de la fiabilité ainsi qu'à la compréhension physique des dispositifs. Aussi, à court et moyen terme, notre rôle dans cette thématique sera principalement axé dans le transfert industriel de modèles compacts, et/ou l'accompagnement vers des technologies mémoires émergentes. Dans ce cadre soulignons la thèse CIFRE de M. Corentin PIGOT avec l'entreprise STMicroelectronics qui a débuté en 2016 que j'encadre, ainsi que les discussions pour la mise en place d'un laboratoire commun entre IM2NP et l'entreprise STMicroelectronics dans ce domaine.

A moyen terme, l'une des thématiques qu'il serait intéressant de mettre en place est la conception neuromorphique ou neuroinspirée. Plusieurs laboratoires ou d'instituts de recherche se sont déjà fortement intéressés à la plasticité du memristor et des mémoires résistives (OxRRAM, CBRAM, MRAM, etc.) pour les systèmes neuromorphiques. Juste en France et pour n'en citer que quelques un : IMS (Bordeaux) <sup>10</sup>, CEAL-LETI(Grenoble) <sup>11</sup>, C2N (Paris) <sup>12, 13</sup>. Leurs travaux se sont focalisés sur l'intérêt des différentes technologies RRAM sur les méthodes d'apprentissage, les architectures matérielles et leur intégration dans des systèmes neuromorphiques complets et complexes. Néanmoins, même si les dispositifs RRAM présentent un grand nombre de spécificités recherchées (dipôle, commutation résistive, variabilité, densité importante, etc.) pour jouer le rôle de synapses artificiels, il reste encore beaucoup à faire sur leur ingénierie

---

10. S. Saighi, *et al.*, *Frontiers in Neuroscience*, 2015, doi: [10.3389/fnins.2015.00051](https://doi.org/10.3389/fnins.2015.00051).

11. M. Suri, *et al.*, *IEEE Trans. on Elec. Devices*, doi: [10.1109/TED.2013.2263000](https://doi.org/10.1109/TED.2013.2263000).

12. D. Querlioz, *et al.*, *Proc. of the IEEE*, 2015, doi: [10.1109/JPROC.2015.2437616](https://doi.org/10.1109/JPROC.2015.2437616).

13. A.F. Vincent, *et al.*, *IEEE Trans. on Biomed. Cir. and Sys.*, 2015, doi: [10.1109/TBCAS.2015.2414423](https://doi.org/10.1109/TBCAS.2015.2414423)

---

pour offrir les performances et les caractéristiques nécessaires à ce type d'application. Ainsi, d'autres équipes (comme CEA-LETI (Grenoble)<sup>14</sup> ou IEMN (Lille)<sup>15</sup>) travaillent sur l'optimisation des dispositifs pour les applications neuromorphiques. Aussi notre positionnement dans cet écosystème très concurrentiel pourrait se situer entre le système et l'optimisation des dispositifs. Dans un premier temps, notre plus-value pourrait se appuyer sur notre savoir-faire en modélisation compacte et en caractérisation électrique. L'exploitation de comportements atypiques ou hors des domaines d'utilisation classiques des mémoires résistives (e.g. programmation progressive, quasi-volatilité<sup>16</sup>, etc.) serait une première voie d'étude et serai un véritable challenge en terme de modélisation compacte. Cela nous permettrait aussi d'adresser des simulations circuits au niveau transistor intégrant neurone et synapse.

De plus notre expérience de conception nous a montré que l'utilisation de technologie RRAM présente de très grandes difficultés dans la réalisation de plan mémoire/synaptique important. Ainsi, il ne semble pas pertinent d'adresser des systèmes de très grande taille visant à recréer un cerveau. Le mariage entre capteurs et champs synaptiques réduits, avec sélecteur, semble être une approche adaptée. De mini-matrices de capteurs/synapses/neurones permettraient de traiter et fusionner les informations<sup>17</sup>. Cette "fusion de capteurs" limiterait, voir supprimerait, le traitement numérique usuellement réalisé par un micro-contrôleur complexe (grand nombre d'entrées/sorties et de périphériques d'acquisition, ainsi qu'un cœur de calcul puissant pour réaliser des traitements complexes sur les données collectées).

Dans tous les cas, il convient de se placer de manière complémentaire par rapport à la communauté nationale et internationale. Le montage de projets au niveau local ou d'ANR JCJC pourrait jouer le rôle d'amorce à cette activité. Puis à moyen terme une consolidation à travers un projet national incluant les grands acteurs français du domaine permettrait de consolider et de valoriser l'activité ; l'ouverture vers des projets européen d'envergure ne pouvant être qu'une projection à plus long terme.

Au-delà de l'équipe mémoire, l'IM2NP possède une expertise variée et de pointe dans un grand nombre de domaines de la microélectronique : techniques de dépôt de couche mince<sup>18</sup>, conception de circuit<sup>19</sup>, réalisation de capteur<sup>20</sup>, modélisation physique avancée<sup>21</sup>, etc. Ainsi pour des perspectives à plus long terme, il est intéressant de constater que la thématique des mémoires émergentes, notamment appliquées à des systèmes neuromorphiques ou neuroinspirés, est très fédérateur et regroupe l'ensemble des activités précédemment citées. Elle pourrait être un bel objet d'étude transverse renforçant les liens au sein du laboratoire. Soulignons que les activités de réalisation de mémoires sur support souple supportées par le projet ANR JCJC REFLEX, et par la thèse de M. Charles RÉBORA illustrent la pluridisciplinarité de cette thématique et amorce cette synergie.

---

14. G. Piccolboni, *et al.*, *Proc. IEEE Int. Elec. Devices Meeting*, 2015, doi: [10.1109/IEDM.2015.7409717](https://doi.org/10.1109/IEDM.2015.7409717).

15. F. Alibart, *et al.*, *Nanotechnology*, 2012, doi: [10.1088/0957-4484/23/7/075201](https://doi.org/10.1088/0957-4484/23/7/075201).

16. C. Rebor, *et al.*, *Materials for Advanced Metallization Conference*, 2016.

17. S. Dos Santos and S. Furui, *Int. Ultrasonics Symp. (IUS)*, 2016, doi: [10.1109/ULT-SYM.2016.7728885](https://doi.org/10.1109/ULT-SYM.2016.7728885).

18. [Équipe Réactivité et Diffusion aux Interfaces](#)

19. [Équipe Conception de Circuits Intégrés](#)

20. [Équipe Microcapteur](#)

21. [Équipe Théorie, Modélisation et Simulation](#)

---

---

## Bibliographie

- [Ahn08] S.-E. AHN et al. “Write Current Reduction in Transition Metal Oxide Based Resistance Change Memory”. In : *Advanced Materials* 20.5 (mar. 2008), p. 924–928. ISSN : 09359648. DOI : [10.1002/adma.200702081](https://doi.org/10.1002/adma.200702081) (cf. p. 27).
- [Akin10] H. AKINAGA et H. SHIMA. “Resistive Random Access Memory (ReRAM) based on metal oxides”. In : *Proc. IEEE* 98.12 (déc. 2010), p. 2237–2251. ISSN : 0018-9219. DOI : [10.1109/JPROC.2010.2070830](https://doi.org/10.1109/JPROC.2010.2070830) (cf. p. 58).
- [Ande53] J. R. ANDERSON. “Ferroelectric materials as storage elements for digital computers and switching systems”. In : *Transactions of the American Institute of Electrical Engineers, Part I : Communication and Electronics* 71.6 (1953), p. 395–401. ISSN : 0097-2452. DOI : [10.1109/TCE.1953.6371953](https://doi.org/10.1109/TCE.1953.6371953) (cf. p. 16).
- [Arau95] C. A-P. de ARAUJO et al. “Fatigue-free ferroelectric capacitors with platinum electrodes”. In : *Nature* 374.6523 (avr. 1995), p. 627–629. ISSN : 0028-0836. DOI : [10.1038/374627a0](https://doi.org/10.1038/374627a0) (cf. p. 16, 76).
- [Atal60] J. ATALLA et D. KAHNG. *Electric field controlled semiconductor device*. 1960 (cf. p. 75).
- [Atwo07] G. ATWOOD et R. BEZ. “90nm Phase Change Technology with  $\mu$ Trench and Lance Cell Elements”. In : *2007 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA)*. IEEE, avr. 2007, p. 1–2. ISBN : 1-4244-0584-X. DOI : [10.1109/VTSA.2007.378938](https://doi.org/10.1109/VTSA.2007.378938) (cf. p. 17).
- [Aziz13a] H. AZIZA et al. “A novel test structure for OxRRAM process variability evaluation”. In : *Microelectronics Reliability* 53.9-11 (sept. 2013), p. 1208–1212. ISSN : 00262714. DOI : [10.1016/j.microrel.2013.07.012](https://doi.org/10.1016/j.microrel.2013.07.012) (cf. p. 56, 70).
- [Aziz13b] H. AZIZA et al. “Built-In Self-Test Structure (BIST) for Resistive RAMs Characterization : application to Bipolar OxRRAMs”. In : *Proc. IEEE International Semiconductor Device Research Symposium (ISDRS)*. 2013, p. 2–3 (cf. p. 56, 63, 70).
- [Baek05] I. G. BAEK et al. “Multi-layer cross-point binary oxide resistive memory (OxRRAM) for post-NAND storage application”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. Washington, DC, USA, 2005, p. 750–753. DOI : [10.1109/IEDM.2005.1609462](https://doi.org/10.1109/IEDM.2005.1609462) (cf. p. 27, 50).
-



- 
- [Baek11] I.-G. БАЕК. “Opportunities and Risks of the Resistive Memory in the Future Memory Market”. In : *1st International Workshop on*. 2011 (cf. p. 27).
- [Baek04] I.G. БАЕК et al. “Highly scalable nonvolatile resistive memory using simple binary oxide driven by asymmetric unipolar voltage pulses”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. San Francisco, CA, USA, 2004, p. 587–590. ISBN : 0-7803-8684-1. DOI : [10.1109/IEDM.2004.1419228](https://doi.org/10.1109/IEDM.2004.1419228) (cf. p. 19, 27, 50).
- [Bard01] A. J. BARD et L. R. FAULKNER. *Electrochemical methods : fundamentals and applications*. Sous la dir. de John WILEY et Sons INC. New York, 2001. ISBN : 0471043729. DOI : [10.1016/j.aca.2010.06.020](https://doi.org/10.1016/j.aca.2010.06.020) (cf. p. 52, 58, 59).
- [Beck00] A. BECK et al. “Reproducible switching effect in thin oxide films for memory applications”. In : *Applied Physics Letters* 77.1 (2000), p. 139. ISSN : 00036951. DOI : [10.1063/1.126902](https://doi.org/10.1063/1.126902) (cf. p. 18, 27).
- [Beno15] T.-M. BENOIST et al. *Mémoire non volatile à résistance programmable*. 2015 (cf. p. 56, 70).
- [Blom09] P. BLOMME et J. VAN HOUDT. “Scalability of fully planar NAND Flash memory arrays below 45nm”. In : *Proc. IEEE International Memory Workshop (IMW) 23.2002* (2009), p. 9–10. DOI : [10.1109/IMW.2009.5090607](https://doi.org/10.1109/IMW.2009.5090607) (cf. p. 12).
- [Bocq11] M. BOCQUET et al. “Self-consistent physical modeling of set/reset operations in unipolar resistive-switching memories”. In : *Applied Physics Letters* 98.26 (2011), p. 263507. ISSN : 00036951. DOI : [10.1063/1.3605591](https://doi.org/10.1063/1.3605591) (cf. p. 49, 50).
- [Bocq14] M. BOCQUET et al. “Robust Compact Model for Bipolar Oxide-Based Resistive Switching Memories”. In : *IEEE Transactions on Electron Devices* 61.3 (mar. 2014), p. 674–681. ISSN : 0018-9383. DOI : [10.1109/TED.2013.2296793](https://doi.org/10.1109/TED.2013.2296793) (cf. p. 49, 56).
- [Bruy70] J. C. BRUYERE et B. K. CHAKRAVERTY. “Switching and Negative Resistance in Thin Films of Nickal Oxide”. In : *Applied Physics Letters* 16.1 (1970), p. 40–43. ISSN : 00036951. DOI : [10.1063/1.1653024](https://doi.org/10.1063/1.1653024) (cf. p. 27).
- [Buck05] J BUCKLEY et al. “Experimental and theoretical study of layered tunnel barriers for nonvolatile memories”. In : *Proc. IEEE European Solid State Device Research Conference (ESSDERC)*. IEEE, 2005, p. 509–512. ISBN : 0-7803-9203-5. DOI : [10.1109/ESSDER.2005.1546696](https://doi.org/10.1109/ESSDER.2005.1546696) (cf. p. 12).
- [Butc11] B. BUTCHER et al. “High endurance performance of 1T1R HfO<sub>x</sub> based RRAM at low (<20μA) operative current and elevated (150°C) temperature”. In : *Proc. IEEE International Integrated Reliability Workshop Final Report*. IEEE, oct. 2011, p. 146–150. ISBN : 978-1-4577-0115-3. DOI : [10.1109/IIRW.2011.6142611](https://doi.org/10.1109/IIRW.2011.6142611) (cf. p. 33).
- [Butc12] B. BUTCHER et al. “Hot forming to improve memory window and uniformity of low-power HfO<sub>x</sub> -based RRAMs”. In : *Proc. IEEE International Memory Workshop (IMW)*. V. 2012, p. 49–52. ISBN : 9781467310819 (cf. p. 66).
-

- 
- [Cabo13a] T. CABOUT et al. “Role of Ti and Pt electrodes on resistance switching variability of HfO<sub>2</sub>-based Resistive Random Access Memory”. In : *Thin Solid Films* 533.2009 (avr. 2013), p. 19–23. ISSN : 00406090. DOI : [10.1016/j.tsf.2012.11.050](https://doi.org/10.1016/j.tsf.2012.11.050) (cf. p. 67).
- [Cabo13b] T. CABOUT et al. “Temperature impact (up to 200°C) on performance and reliability of HfO<sub>2</sub>-based RRAMs”. In : *Proc. IEEE International Memory Workshop (IMW)*. V. IEEE, mai 2013, p. 116–119. ISBN : 978-1-4673-6169-9. DOI : [10.1109/IMW.2013.6582112](https://doi.org/10.1109/IMW.2013.6582112) (cf. p. 29, 33, 62, 64, 66, 67).
- [Cabo14] T. CABOUT et al. “Effect of SET temperature on data retention performances of HfO<sub>2</sub>-based RRAM cells”. In : *Proc. IEEE International Memory Workshop (IMW)*. IEEE, mai 2014, p. 1–4. ISBN : 978-1-4799-3596-3. DOI : [10.1109/IMW.2014.6849355](https://doi.org/10.1109/IMW.2014.6849355) (cf. p. 29, 33).
- [Cagl09] C. CAGLI, F. NARDI et D. IELMINI. “Modeling of Set/Reset Operations in NiO-Based Resistive-Switching Memory Devices”. In : *IEEE Transactions on Electron Devices* 56.8 (août 2009), p. 1712–1720. ISSN : 0018-9383. DOI : [10.1109/TED.2009.2024046](https://doi.org/10.1109/TED.2009.2024046) (cf. p. 27).
- [Cagl08] C. CAGLI et al. “Evidence for threshold switching in the set process of NiO-based RRAM and physical modeling for set, reset, retention and disturb prediction”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. Ieee, 2008, p. 1–4. ISBN : 978-1-4244-2377-4. DOI : [10.1109/IEDM.2008.4796678](https://doi.org/10.1109/IEDM.2008.4796678) (cf. p. 27, 53–55).
- [Cagl11] C. CAGLI et al. “Experimental and theoretical study of electrode effects in HfO<sub>2</sub> based RRAM”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. IEEE, déc. 2011, p. 28.7.1–28.7.4. ISBN : 978-1-4577-0505-2. DOI : [10.1109/IEDM.2011.6131634](https://doi.org/10.1109/IEDM.2011.6131634) (cf. p. 20, 31, 55, 70).
- [Capp15] P. CAPPELLETTI. “Non volatile memory evolution and revolution”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. IEEE, déc. 2015, p. 10.1.1–10.1.4. ISBN : 978-1-4673-9894-7. DOI : [10.1109/IEDM.2015.7409666](https://doi.org/10.1109/IEDM.2015.7409666) (cf. p. 21).
- [Cast13] K. CASTELLANI-COULIE et al. “SPICE level analysis of Single Event Effects in an OxRRAM cell”. In : *2013 14th Latin American Test Workshop - LATW*. IEEE, avr. 2013, p. 1–5. ISBN : 978-1-4799-0597-3. DOI : [10.1109/LATW.2013.6562684](https://doi.org/10.1109/LATW.2013.6562684) (cf. p. 56, 70).
- [Chae08] S. C. CHAE et al. “Random Circuit Breaker Network Model for Unipolar Resistance Switching”. In : *Advanced Materials* 20.6 (2008), p. 1154–1159. ISSN : 09359648. DOI : [10.1002/adma.200702024](https://doi.org/10.1002/adma.200702024) (cf. p. 37, 50).
- [Chan08] S. H. CHANG et al. “Effects of heat dissipation on unipolar resistance switching in Pt/NiO/Pt capacitors”. In : *Applied Physics Letters* 92.18 (2008), p. 183507. ISSN : 00036951. DOI : [10.1063/1.2924304](https://doi.org/10.1063/1.2924304) (cf. p. 53).
-

- [Chen11] A. CHEN et M.-R. LIN. “Variability of resistive switching memories and its impact on crossbar array performance”. In : *Proc. IEEE International Reliability Physics Symposium (IRPS)*. Avr. 2011, MY.7.1–MY.7.4. ISBN : 978-1-4244-9113-1. DOI : [10.1109/IRPS.2011.5784590](https://doi.org/10.1109/IRPS.2011.5784590) (cf. p. 67).
- [Chen99] I.-W. CHEN et Y. WANG. “Activation field and fatigue of (Pb, La)(Zr, Ti)O<sub>3</sub> thin films”. In : *Applied Physics Letters* 75.26 (1999), p. 4186. ISSN : 00036951. DOI : [10.1063/1.125577](https://doi.org/10.1063/1.125577) (cf. p. 82).
- [Chen05] X. CHEN, N. WU et A. IGNATIEV. “Perovskite RRAM devices with metal/insulator/PCMO heterostructures”. In : *IEEE Symposium Non-Volatile Memory Technology*. T. 3. 001. IEEE, 2005, p. 125–128. ISBN : 0-7803-9408-9. DOI : [10.1109/NVMT.2005.1541418](https://doi.org/10.1109/NVMT.2005.1541418) (cf. p. 27).
- [Chen13] Y. Y. CHEN et al. “Endurance/Retention Trade-off on HfO<sub>2</sub> Cap 1T1R Bipolar RRAM”. In : *IEEE Transactions on Electron Devices* 60.3 (mar. 2013), p. 1114–1121. DOI : [10.1109/TED.2013.2241064](https://doi.org/10.1109/TED.2013.2241064) (cf. p. 20, 33, 44).
- [Chia77] C. K. CHIANG et al. “Electrical Conductivity in Doped Polyacetylene”. In : *Physical Review Letters* 39.17 (oct. 1977), p. 1098–1101. ISSN : 0031-9007. DOI : [10.1103/PhysRevLett.39.1098](https://doi.org/10.1103/PhysRevLett.39.1098) (cf. p. 75).
- [Choi05] B. J. CHOI et al. “Resistive switching mechanism of TiO<sub>2</sub> thin films grown by atomic-layer deposition”. In : *Journal of Applied Physics* 98.3 (2005), p. 033715. ISSN : 00218979. DOI : [10.1063/1.2001146](https://doi.org/10.1063/1.2001146) (cf. p. 28).
- [Cour08] L. COURTADE et al. “Integration of resistive switching NiO in small via structures from localized oxidation of nickel metallic layer”. In : *Proc. European Solid-State Device Research Conf. (ESSDERC)*. IEEE, 2008, p. 218–221. ISBN : 978-1-4244-2363-7. DOI : [10.1109/ESSDERC.2008.4681737](https://doi.org/10.1109/ESSDERC.2008.4681737) (cf. p. 28).
- [Daam11] A. DAAMI et al. “Fully printed organic CMOS technology on plastic substrates for digital and analog applications”. In : *Proc. IEEE International Solid-State Circuits Conference (ISSCC)*. IEEE, fév. 2011, p. 328–330. ISBN : 978-1-61284-303-2. DOI : [10.1109/ISSCC.2011.5746340](https://doi.org/10.1109/ISSCC.2011.5746340) (cf. p. 75).
- [Das15] R. DAS et P. HARROP. *RFID Forecasts, Players and Opportunities 2016-2026*. 2015. URL : <http://www.idtechex.com/research/reports/rfid-forecasts-players-and-opportunities-2016-2026-000451.asp> (cf. p. 73).
- [Defa11] E. DEFAÏ et al. *Diélectriques ferroélectriques intégrés sur silicium*. Sous la dir. de Cachan (Val-de-Marne) HERMÈS SCIENCE PUBLICATIONS. Traité EGE. 2011. ISBN : 978-2-7462-2562-6 (cf. p. 76).
- [Dele13] D. DELERUYELLE. *Contribution à la caractérisation électrique et à la modélisation des mémoires non-volatiles émergentes*. Sous la dir. de HDR. 2013 (cf. p. 27).
-

- 
- [Dele11] D. DELERUYELLE et al. “Direct Observation at Nanoscale of Resistance Switching in NiO Layers by Conductive-Atomic Force Microscopy”. In : *Applied Physics Express* 4.5 (2011), p. 51101. ISSN : 18820778. DOI : [10.1143/APEX.4.051101](https://doi.org/10.1143/APEX.4.051101) (cf. p. 50).
- [Diet07] S. DIETRICH et al. “A Nonvolatile 2-Mbit CBRAM Memory Core Featuring Advanced Read and Program Control”. In : *IEEE Journal of Solid-State Circuits* 42.4 (avr. 2007), p. 839–845. ISSN : 0018-9200. DOI : [10.1109/JSSC.2007.892207](https://doi.org/10.1109/JSSC.2007.892207) (cf. p. 28).
- [Diok13] T. DIOKH et al. “Investigation of the impact of the oxide thickness and RESET conditions on disturb in HfO<sub>2</sub>-RRAM integrated in a 65nm CMOS technology”. In : *Proc. IEEE International Reliability Physics Symposium (IRPS)*. 2013, p. 3–6 (cf. p. 32, 61, 64–67).
- [Duur06] M. van DUUREN et al. “Pushing the scaling limits of embedded non-volatile memories with high-K materials”. In : *Proc. IEEE International Conference on IC Design and Technology*. IEEE, 2006, p. 1–4. ISBN : 1-4244-0097-X. DOI : [10.1109/ICICDT.2006.220786](https://doi.org/10.1109/ICICDT.2006.220786) (cf. p. 12).
- [El A14] A. EL AMRAOUI et al. “Printed complementary organic thin film transistors based decoder for ferroelectric memory”. In : *Proc. IEEE European Solid State Circuits Conference (ESSCIRC)*. IEEE, sept. 2014, p. 111–114. ISBN : 978-1-4799-5696-8. DOI : [10.1109/ESSCIRC.2014.6942034](https://doi.org/10.1109/ESSCIRC.2014.6942034) (cf. p. 90).
- [Fang06] T.-N. FANG et al. “Erase mechanism for copper oxide resistive switching memory cells with nickel electrode”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. San Francisco, CA, USA, 2006, p. 1–4. DOI : [10.1109/IEDM.2006.346731](https://doi.org/10.1109/IEDM.2006.346731) (cf. p. 54, 64).
- [Fang10] Z. FANG et al. “Temperature Instability of Resistive Switching on HfO<sub>x</sub>-Based RRAM Devices”. In : *IEEE Electron Device Letters* 31.5 (mai 2010), p. 476–478. ISSN : 0741-3106. DOI : [10.1109/LED.2010.2041893](https://doi.org/10.1109/LED.2010.2041893) (cf. p. 33, 44).
- [Fang14] Z. FANG et al. “The Role of Ti Capping Layer in HfO<sub>x</sub>-Based RRAM Devices”. In : *IEEE Electron Device Letters* 35.9 (sept. 2014), p. 912–914. ISSN : 0741-3106. DOI : [10.1109/LED.2014.2334311](https://doi.org/10.1109/LED.2014.2334311) (cf. p. 20).
- [Fant13] A. FANTINI et al. “Intrinsic switching variability in HfO<sub>2</sub> RRAM”. In : *Proc. IEEE International Memory Workshop (IMW)*. IEEE, mai 2013, p. 30–33. ISBN : 978-1-4673-6169-9. DOI : [10.1109/IMW.2013.6582090](https://doi.org/10.1109/IMW.2013.6582090) (cf. p. 32).
- [Fuku07] Y. FUKUZUMI et al. “Optimal Integration and Characteristics of Vertical Array Devices for Ultra-High Density, Bit-Cost Scalable Flash Memory”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. IEEE, 2007, p. 449–452. ISBN : 978-1-4244-1507-6. DOI : [10.1109/IEDM.2007.4418970](https://doi.org/10.1109/IEDM.2007.4418970) (cf. p. 15).
-

- 
- [Gao08] B. GAO et al. "Oxide-based RRAM switching mechanism : a new ion-transport-recombination model". In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. San Francisco, CA, USA, 2008, p. 1–4. DOI : [10.1109/IEDM.2008.4796751](https://doi.org/10.1109/IEDM.2008.4796751) (cf. p. 56).
- [Gao09] B. GAO et al. "Unified Physical Model of Bipolar Oxide-Based Resistive Switching Memory". In : *IEEE Electron Device Letters* 30.12 (déc. 2009), p. 1326–1328. ISSN : 0741-3106. DOI : [10.1109/LED.2009.2032308](https://doi.org/10.1109/LED.2009.2032308) (cf. p. 49, 56).
- [Gao10] B. GAO et al. "Oxide-based RRAM : Physical based retention projection". In : *Proc. IEEE European Solid State Device Research Conference (ESSDERC)*. IEEE, sept. 2010, p. 392–395. ISBN : 978-1-4244-6658-0. DOI : [10.1109/ESSDERC.2010.5618200](https://doi.org/10.1109/ESSDERC.2010.5618200) (cf. p. 33, 44).
- [Gilm12] D. C. GILMER et al. "Asymmetry, vacancy engineering and mechanism for bipolar RRAM". In : *Proc. IEEE International Memory Workshop (IMW)*. Mai 2012, p. 1–4. ISBN : 978-1-4673-1081-9. DOI : [10.1109/IMW.2012.6213649](https://doi.org/10.1109/IMW.2012.6213649) (cf. p. 56).
- [Gopa10] C. GOPALAN et al. "Demonstration of Conductive Bridging Random Access Memory ( CBRAM ) in Logic CMOS Process REFERENCES :". in : *Solid-State Electronics* 58.1 (avr. 2010), p. 0–3. ISSN : 00381101. DOI : [10.1016/j.sse.2010.11.024](https://doi.org/10.1016/j.sse.2010.11.024) (cf. p. 28).
- [Goux05] L. GOUX et al. "A Highly Reliable 3-D Integrated SBT Ferroelectric Capacitor Enabling FeRAM Scaling". In : *IEEE Transactions on Electron Devices* 52.4 (avr. 2005), p. 447–453. ISSN : 0018-9383. DOI : [10.1109/TED.2005.845082](https://doi.org/10.1109/TED.2005.845082) (cf. p. 16, 76).
- [Goux10] L. GOUX et al. "Coexistence of the bipolar and unipolar resistive-switching modes in NiO cells made by thermal oxidation of Ni layers". In : *Journal of Applied Physics* 107.2 (2010), p. 24512. DOI : [10.1063/1.3275426](https://doi.org/10.1063/1.3275426) (cf. p. 20).
- [Govo11] B. GOVOREANU et al. "10x10nm<sup>2</sup> Hf/HfO<sub>x</sub> crossbar resistive RAM with excellent performance, reliability and low-energy operation". In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. Washington, DC, USA, 2011, p. 729–732. ISBN : 9781457705052 (cf. p. 20, 29).
- [Govo13] B. GOVOREANU et al. "Complementary role of field and temperature in triggering ON/OFF switching mechanisms in Hf/Hf<sub>2</sub> resistive RAM cells". In : *IEEE Transactions on Electron Devices* 60.8 (2013), p. 1–8 (cf. p. 60).
- [Guan12] X. GUAN, S. YU et H.-S. P. WONG. "On the Switching Parameter Variation of Metal-Oxide RRAM—Part I : Physical Modeling and Simulation Methodology". In : *IEEE Transactions on Electron Devices* 59.4 (avr. 2012), p. 1172–1182. ISSN : 0018-9383. DOI : [10.1109/TED.2012.2184545](https://doi.org/10.1109/TED.2012.2184545) (cf. p. 37).
-

- [Ha07] D. HA et K. KIM. “Recent Advances in High Density Phase Change Memory (PRAM)”. In : *2007 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA)*. IEEE, 2007, p. 1–4. ISBN : 1-4244-0584-X. DOI : [10.1109/VTSA.2007.378939](https://doi.org/10.1109/VTSA.2007.378939) (cf. p. 17).
- [Haya15] Y. HAYAKAWA et al. “Highly reliable TaOx ReRAM with centralized filament for 28-nm embedded application”. In : *IEEE Symposium on VLSI Circuits, Digest of Technical Papers 2015-Augus.2011 (2015)*, T14–T15. ISSN : 07431562. DOI : [10.1109/VLSIC.2015.7231381](https://doi.org/10.1109/VLSIC.2015.7231381) (cf. p. 29).
- [Hick62] T. W. HICKMOTT. “Low-Frequency Negative Resistance in Thin Anodic Oxide Films”. In : *Journal of Applied Physics* 33.9 (1962), p. 2669–2682 (cf. p. 18, 27).
- [Hilb] M. HILBERT. *The world’s technological capacity to handle information*. URL : <http://www.martinhilbert.net/WorldInfoCapacity.html> (cf. p. 5).
- [Hilb11] M. HILBERT et P. LÓPEZ. “The World’s Technological Capacity to Store, Communicate, and Compute Information”. In : *Science* 332 (2011), p. 60–65. ISSN : 1095-9203. DOI : [10.1126/science.1200970](https://doi.org/10.1126/science.1200970) (cf. p. 5).
- [Hong10] S. HONG. “Memory technology trend and future challenges”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. San Francisco, CA, USA, 2010, p. 292–295. DOI : [10.1109/IEDM.2010.5703348](https://doi.org/10.1109/IEDM.2010.5703348) (cf. p. 18).
- [Hraz13] A. M. HRAZII et al. “Operation and stability analysis of bipolar OxRRAM-based Non-Volatile 8T2R SRAM as solution for information back-up”. In : *Solid-State Electronics* 90 (déc. 2013), p. 99–106. ISSN : 00381101. DOI : [10.1016/j.sse.2013.02.045](https://doi.org/10.1016/j.sse.2013.02.045) (cf. p. 56, 69, 70).
- [Hsia09] Y. H. HSIAO et al. “A study of stored charge interference and fringing field effects in sub-30nm charge-trapping NAND flash”. In : *Proc. IEEE International Memory Workshop (IMW)*. 2009, p. 124–125. ISBN : 9781424437610. DOI : [10.1109/IMW.2009.5090576](https://doi.org/10.1109/IMW.2009.5090576) (cf. p. 12).
- [Hwan11] J. HWANG et al. “A middle-1X nm NAND flash memory cell (M1X-NAND) with highly manufacturable integration technologies”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)* (déc. 2011), p. 9.1.1–9.1.4. DOI : [10.1109/IEDM.2011.6131518](https://doi.org/10.1109/IEDM.2011.6131518) (cf. p. 13, 15).
- [Ielm11a] D. IELMINI. “Filamentary-switching model in RRAM for time, energy and scaling projections”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. IEEE, déc. 2011, p. 17.2.1–17.2.4. ISBN : 978-1-4577-0505-2. DOI : [10.1109/IEDM.2011.6131571](https://doi.org/10.1109/IEDM.2011.6131571) (cf. p. 35).
- [Ielm11b] D. IELMINI, R. BRUCHHAUS et R. WASER. “Thermochemical resistive switching : materials, mechanisms, and scaling projections”. In : *Phase Transitions* 84.7 (2011), p. 570–602. ISSN : 0141-1594. DOI : [10.1080/01411594.2011.561478](https://doi.org/10.1080/01411594.2011.561478) (cf. p. 50).
-

- [Ielm11c] D. IELMINI, F. NARDI et C. CAGLI. “Physical models of size-dependent nanofilament formation and rupture in NiO resistive switching memories.” In : *Nanotechnology* 22.25 (2011), p. 254022. ISSN : 1361-6528. DOI : [10.1088/0957-4484/22/25/254022](https://doi.org/10.1088/0957-4484/22/25/254022) (cf. p. 33).
- [Ielm11d] D. IELMINI, F. NARDI et C. CAGLI. “Universal Reset Characteristics of Unipolar and Bipolar Metal-Oxide RRAM”. In : *IEEE Transactions on Electron Devices* 58.10 (2011), p. 3246–3253. ISSN : 0018-9383. DOI : [10.1109/TED.2011.2161088](https://doi.org/10.1109/TED.2011.2161088) (cf. p. 31, 49, 56).
- [Ielm06] D. IELMINI et Y. ZHANG. “Physics-based analytical model of chalcogenide-based memories for array simulation”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. T. 40. IEEE, 2006, p. 1–4. ISBN : 1-4244-0438-X. DOI : [10.1109/IEDM.2006.346795](https://doi.org/10.1109/IEDM.2006.346795) (cf. p. 17).
- [Inou08] I. H. INOUE et al. “Nonpolar resistance switching of metal/binary-transition-metal oxides/metal sandwiches : Homogeneous/inhomogeneous transition of current distribution”. In : *Physical Review B* 77.3 (jan. 2008), p. 1–7. ISSN : 1098-0121. DOI : [10.1103/PhysRevB.77.035105](https://doi.org/10.1103/PhysRevB.77.035105). arXiv : [0702564 \[cond-mat\]](https://arxiv.org/abs/0702564) (cf. p. 27).
- [Inou02] N. INOUE, T. TAKEUCHI et Y. HAYASHI. “Compositional design of Pb(Zr, Ti)O<sub>3</sub> for highly reliable ferroelectric memories”. In : *IEEE Transactions on Electron Devices* 49.9 (sept. 2002), p. 1572–1579. ISSN : 0018-9383. DOI : [10.1109/TED.2002.802649](https://doi.org/10.1109/TED.2002.802649) (cf. p. 16, 76).
- [Ishi99] H. ISHIWARA. “Current Status of Fabrication and Integration of Ferroelectric-Gate Fet’s”. In : *MRS Proceedings* 596 (jan. 1999), p. 427. ISSN : 1946-4274. DOI : [10.1557/PROC-596-427](https://doi.org/10.1557/PROC-596-427) (cf. p. 16, 76).
- [ITRS13] ITRS. “Emerging Desearch Devices”. In : (2013). URL : <http://www.itrs.net/ITRS%201999-2014%20Mtgs,%20Presentations%20%7B%5C&%7D%20Links/2013ITRS/2013Chapters/2013ERD.pdf> (cf. p. 16, 21).
- [Jaco12] S. JACOB et al. “High performance printed N and P-type OTFTs for complementary circuits on plastic substrate”. In : *Proc. IEEE European Solid State Device Research Conference (ESSDERC)* (2012), p. 173–176. ISSN : 19308876. DOI : [10.1109/ESSDERC.2012.6343361](https://doi.org/10.1109/ESSDERC.2012.6343361) (cf. p. 75).
- [Jame07] D. JAMES. “Nano-Scale Flash in the Mid-Decade”. In : *IEEE/SEMI Advanced Semiconductor Manufacturing Conference (ASMC)*. IEEE, juin 2007, p. 371–376. ISBN : 1-4244-0652-8. DOI : [10.1109/ASMC.2007.375066](https://doi.org/10.1109/ASMC.2007.375066) (cf. p. 9).
- [Jian14] Z. JIANG et al. “Verilog-A compact model for oxide-based resistive random access memory (RRAM)”. In : *2014 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*. 2. IEEE, sept. 2014, p. 41–44. ISBN : 978-1-4799-5288-5. DOI : [10.1109/SISPAD.2014.6931558](https://doi.org/10.1109/SISPAD.2014.6931558) (cf. p. 57).
-

- [Jo15] S. H. JO et al. “Cross-Point Resistive RAM Based on Field-Assisted Superlinear Threshold Selector”. In : *IEEE Transactions on Electron Devices* 62.11 (2015), p. 1–5. ISSN : 00189383. DOI : [10.1109/TED.2015.2426717](https://doi.org/10.1109/TED.2015.2426717) (cf. p. 29).
- [Jung06] S.-M. JUNG et al. “Three Dimensionally Stacked NAND Flash Memory Technology Using Stacking Single Crystal Si Layers on ILD and TANOS Structure for Beyond 30nm Node”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. IEEE, 2006, p. 1–4. ISBN : 1-4244-0438-X. DOI : [10.1109/IEDM.2006.346902](https://doi.org/10.1109/IEDM.2006.346902) (cf. p. 13).
- [Kahn67] D. KAHNG et S. M. SZE. “A Floating Gate and Its Application to Memory Devices”. In : *Bell System Technical Journal* 46.6 (1967), p. 1288–1295. ISSN : 15387305. DOI : [10.1002/j.1538-7305.1967.tb01738.x](https://doi.org/10.1002/j.1538-7305.1967.tb01738.x) (cf. p. 9).
- [Kama11] D. KAMALANATHAN, A. AKHAVAN et M. N. KOZICKI. “Low voltage cycling of programmable metallization cell memory devices.” In : *Nanotechnology* 22.25 (juin 2011), p. 254017. ISSN : 0957-4484. DOI : [10.1088/0957-4484/22/25/254017](https://doi.org/10.1088/0957-4484/22/25/254017) (cf. p. 28).
- [Kang16] D. KANG et al. “256Gb 3b/cell V-NAND flash memory with 48 stacked WL layers”. In : *Proc. IEEE International Solid-State Circuits Conference (ISSCC)*. T. 3. IEEE, jan. 2016, p. 130–131. ISBN : 978-1-4673-9466-6. DOI : [10.1109/ISSCC.2016.7417941](https://doi.org/10.1109/ISSCC.2016.7417941) (cf. p. 10, 12, 15).
- [Kim06] D. C. KIM et al. “Electrical observations of filamentary conduction for the resistive memory switching in NiO films”. In : *Applied Physics Letters* 88.20 (2006), p. 20–22. ISSN : 00036951. DOI : [10.1063/1.2204649](https://doi.org/10.1063/1.2204649) (cf. p. 53).
- [Kim10] S.-R. KIM et al. “High performance 65nm 2T-embedded Flash memory for high reliability SOC applications”. In : *Proc. IEEE International Memory Workshop (IMW)*. 2010 (cf. p. 15).
- [Kim07] S. KIM et al. “Air-Gap Application and Simulation Results for Low Capacitance in 60nm NAND Flash Memory”. In : *IEEE Non-Volatile Semiconductor Memory Workshop* (2007), p. 54–55. DOI : [10.1109/NVSMW.2007.4290578](https://doi.org/10.1109/NVSMW.2007.4290578) (cf. p. 13).
- [Kino06] K. KINOSHITA et al. “Lowering the Switching Current of Resistance Random Access Memory Using a Hetero Junction Structure Consisting of Transition Metal Oxides”. In : *Japanese Journal of Applied Physics* 45.No. 37 (sept. 2006), p. L991–L994. ISSN : 0021-4922. DOI : [10.1143/JJAP.45.L991](https://doi.org/10.1143/JJAP.45.L991) (cf. p. 27).
- [Kino07] K. KINOSHITA et al. “Reduction of Reset Current in NiO-RRAM Brought about by Ideal Current Limiter”. In : *Proc. 22nd IEEE Non-Volatile Semiconductor Memory Workshop*. T. 5655. 2004. 2007, p. 66–67. ISBN : 1424407532. DOI : [10.1109/NVSMW.2007.4290583](https://doi.org/10.1109/NVSMW.2007.4290583) (cf. p. 53).
-



- [Kino08] K. KINOSHITA et al. "Reduction in the reset current in a resistive random access memory consisting of NiOx brought about by reducing a parasitic capacitance". In : *Applied Physics Letters* 93.3 (2008), p. 033506. ISSN : 00036951. DOI : [10.1063/1.2959065](https://doi.org/10.1063/1.2959065) (cf. p. 27, 31, 32, 54, 64).
- [Koez87] H. KOEZUKA, A. TSUMURA et T. ANDO. "Field-effect transistor with polythiophene thin film". In : *Synthetic Metals* 18.1-3 (fév. 1987), p. 699–704. ISSN : 03796779. DOI : [10.1016/0379-6779\(87\)90964-7](https://doi.org/10.1016/0379-6779(87)90964-7) (cf. p. 75).
- [Kozi04] M. N. KOZICKI et al. "Nonvolatile memory based on solid electrolytes". In : *Proc. Non-Volatile Memory Technology Symposium*. IEEE, 2004, p. 10–17. ISBN : 0-7803-8726-0. DOI : [10.1109/NVMT.2004.1380792](https://doi.org/10.1109/NVMT.2004.1380792) (cf. p. 27).
- [Krak16] A. KRAKOVINSKY et al. "Impact of a laser pulse on HfO<sub>2</sub>-based RRAM cells reliability and integrity". In : *Proc. International Conference on Microelectronic Test Structures (ICMTS)*. IEEE, mar. 2016, p. 152–156. ISBN : 978-1-4673-8791-0. DOI : [10.1109/ICMTS.2016.7476196](https://doi.org/10.1109/ICMTS.2016.7476196) (cf. p. 42).
- [Kryd09] M.H. KRYDER et CHANG SOO KIM. "After Hard Drive - What Comes Next?" In : *IEEE Transactions on Magnetics* 45.10 (oct. 2009), p. 3406–3413. ISSN : 0018-9464. DOI : [10.1109/TMAG.2009.2024163](https://doi.org/10.1109/TMAG.2009.2024163) (cf. p. 16, 76).
- [Kuhn00] C. KUHN et al. "A dynamic ferroelectric capacitance model for circuit simulators". In : *Proceedings of the 12th IEEE International Symposium on Applications of Ferroelectrics*. T. 2. IEEE, 2000, p. 695–698. ISBN : 0-7803-5940-2. DOI : [10.1109/ISAF.2000.942415](https://doi.org/10.1109/ISAF.2000.942415) (cf. p. 83).
- [Larc13] L. LARCHER, A. PADOVANI et L. VANDELLI. "A simulation framework for modeling charge transport and degradation in high-k stacks". In : *Journal of Computational Electronics* 12.4 (déc. 2013), p. 658–665. ISSN : 1569-8025. DOI : [10.1007/s10825-013-0526-z](https://doi.org/10.1007/s10825-013-0526-z) (cf. p. 49, 56).
- [Larc12] L. LARCHER et al. "Microscopic understanding and modeling of HfO<sub>2</sub> RRAM device physics". In : *Proc. IEEE International Electron Devices Meeting (IEDM)* (2012), p. 474–477. ISSN : 01631918. DOI : [10.1109/IEDM.2012.6479077](https://doi.org/10.1109/IEDM.2012.6479077) (cf. p. 37, 49, 56).
- [Lare12] S. LARENTIS et al. "Resistive switching by voltage-driven ion migration in bipolar RRAM – part II : modeling". In : *IEEE Transactions on Electron Devices* 59.9 (sept. 2012), p. 2468–2475. ISSN : 0018-9383. DOI : [10.1109/TED.2012.2202320](https://doi.org/10.1109/TED.2012.2202320) (cf. p. 37, 49, 56).
- [Lee08a] C. B. LEE et al. "Effects of metal electrodes on the resistive memory switching property of NiO thin films". In : *Applied Physics Letters* 93.4 (2008), p. 042115. ISSN : 00036951. DOI : [10.1063/1.2967194](https://doi.org/10.1063/1.2967194) (cf. p. 27).
- [Lee03] C. H. LEE et al. "A novel SONOS structure of SiO<sub>2</sub>/SiN/Al<sub>2</sub>O<sub>3</sub> with TaN metal gate for multi-giga bit flash memories". In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. IEEE, 2003, p. 26.5.1–26.5.4. ISBN : 0-7803-7872-5. DOI : [10.1109/IEDM.2003.1269356](https://doi.org/10.1109/IEDM.2003.1269356) (cf. p. 12).
-

- [Lee08b] H. Y. LEE et al. “Low power and high speed bipolar switching with a thin reactive Ti buffer layer in robust HfO<sub>2</sub> based RRAM”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. San Francisco, CA, USA, 2008, p. 1–4. DOI : [10.1109/IEDM.2008.4796677](https://doi.org/10.1109/IEDM.2008.4796677) (cf. p. 31, 32, 49, 64).
- [Lee10] H.-Y. LEE et al. “Comprehensively study of read disturb immunity and optimal read scheme for high speed HfO<sub>x</sub> based RRAM with a Ti layer”. In : *Proceedings of 2010 International Symposium on VLSI Technology, System and Application*. IEEE, 2010, p. 132–133. ISBN : 978-1-4244-5063-3. DOI : [10.1109/VTSA.2010.5488918](https://doi.org/10.1109/VTSA.2010.5488918) (cf. p. 29).
- [Lee07a] M.-d. LEE et al. “Effect of Oxygen Concentration on Characteristics of NiO<sub>x</sub>-Based Resistance Random Access Memory”. In : *IEEE Transactions on Magnetics* 43.2 (fév. 2007), p. 939–942. ISSN : 0018-9464. DOI : [10.1109/TMAG.2006.888525](https://doi.org/10.1109/TMAG.2006.888525) (cf. p. 27).
- [Lee07b] M.-J. LEE et al. “2-stack 1D-1R Cross-point Structure with Oxide Diodes as Switch Elements for High Density Resistance RAM Applications”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. IEEE, 2007, p. 771–774. ISBN : 978-1-4244-1507-6. DOI : [10.1109/IEDM.2007.4419061](https://doi.org/10.1109/IEDM.2007.4419061) (cf. p. 28, 53, 54).
- [Lee07c] M.-J. LEE et al. “A Low-Temperature-Grown Oxide Diode as a New Switch Element for High-Density, Nonvolatile Memories”. In : *Advanced Materials* 19.1 (2007), p. 73–76. ISSN : 09359648. DOI : [10.1002/adma.200601025](https://doi.org/10.1002/adma.200601025) (cf. p. 28).
- [Lee11] M.-J. LEE et al. “A fast, high-endurance and scalable non-volatile memory device made from asymmetric Ta<sub>2</sub>O(5-x)/TaO(2-x) bilayer structures”. In : *Nature Materials* 10.8 (juil. 2011), p. 625–630. ISSN : 1476-1122. DOI : [10.1038/nmat3070](https://doi.org/10.1038/nmat3070) (cf. p. 20).
- [Lee08c] S. B. LEE et al. “Scaling behaviors of reset voltages and currents in unipolar resistance switching”. In : *Applied Physics Letters* 93.21 (2008), p. 212105. ISSN : 00036951. DOI : [10.1063/1.3036532](https://doi.org/10.1063/1.3036532) (cf. p. 27, 53).
- [Lee09] S. B. LEE et al. “Predictability of reset switching voltages in unipolar resistance switching”. In : *Applied Physics Letters* 94.17 (2009), p. 173504. DOI : [10.1063/1.3126019](https://doi.org/10.1063/1.3126019) (cf. p. 19).
- [Leth62] H. LETHEBY. “On the production of a blue substance by the electrolysis of sulphate of aniline”. In : *Journal of the Chemical Society* 15.161 (1862), p. 161. ISSN : 0368-1769. DOI : [10.1039/jS8621500161](https://doi.org/10.1039/jS8621500161) (cf. p. 75).
- [Li09] S. LI et T. ZHANG. “Approaching the information theoretical bound of multi-level NAND flash memory storage efficiency”. In : *Proc. IEEE International Memory Workshop (IMW)*. 2009, p. 9–11. ISBN : 9781424437610. DOI : [10.1109/IMW.2009.5090580](https://doi.org/10.1109/IMW.2009.5090580) (cf. p. 13).
-

- [Lin07] C.-Y. LIN et al. “Effect of Top Electrode Material on Resistive Switching Properties of ZrO<sub>2</sub> Film Memory Devices”. In : *IEEE Electron Device Letters* 28.5 (mai 2007), p. 366–368. ISSN : 0741-3106. DOI : [10.1109/LED.2007.894652](https://doi.org/10.1109/LED.2007.894652) (cf. p. 27).
- [Ling08] Q.-D. LING et al. “Polymer electronic memories : Materials, devices and mechanisms”. In : *Progress in Polymer Science* 33.10 (oct. 2008), p. 917–978. ISSN : 00796700. DOI : [10.1016/j.progpolymsci.2008.08.001](https://doi.org/10.1016/j.progpolymsci.2008.08.001) (cf. p. 76).
- [Liu09] C. LIU et al. “Abnormal resistance switching behaviours of NiO thin films : possible occurrence of both formation and rupturing of conducting channels”. In : *Journal of Physics D : Applied Physics* 42.1 (jan. 2009), p. 15506. ISSN : 0022-3727. DOI : [10.1088/0022-3727/42/1/015506](https://doi.org/10.1088/0022-3727/42/1/015506) (cf. p. 50).
- [Liu00] S. Q. LIU, N. J. WU et A. IGNATIEV. “Electric-pulse-induced reversible resistance change effect in magnetoresistive films”. In : *Applied Physics Letters* 76.2000 (2000), p. 2749. ISSN : 00036951. DOI : [10.1063/1.126464](https://doi.org/10.1063/1.126464) (cf. p. 18, 27).
- [Lovi83] A. J. LOVINGER. “Ferroelectric Polymers”. In : *Science* 220.4602 (juin 1983), p. 1115–1121. ISSN : 0036-8075. DOI : [10.1126/science.220.4602.1115](https://doi.org/10.1126/science.220.4602.1115) (cf. p. 76).
- [Lu12] Y. LU et al. “A simplified model for resistive switching of oxide-based resistive random access memory devices”. In : *IEEE Electron Device Letters* 33.3 (mar. 2012), p. 306–308. ISSN : 0741-3106. DOI : [10.1109/LED.2011.2178229](https://doi.org/10.1109/LED.2011.2178229) (cf. p. 57).
- [Ma02] L. P. MA, J. LIU et Y. YANG. “Organic electrical bistable devices and rewritable memory cells”. In : *Applied Physics Letters* 80.16 (2002), p. 2997. ISSN : 00036951. DOI : [10.1063/1.1473234](https://doi.org/10.1063/1.1473234) (cf. p. 27).
- [Maie13] G. MAIELLARO et al. “High-Gain Operational Transconductance Amplifiers in a Fully Printed Complementary Organic TFT Technology on Flexible Foil”. In : *IEEE Transactions on Circuits and Systems I : Regular Papers* (2013), p. 1–8 (cf. p. 75).
- [Mari13] L. MARIUCCI et al. “Current spreading effects in fully printed p-channel organic thin film transistors with Schottky source–drain contacts”. In : *Organic Electronics* 14.1 (jan. 2013), p. 86–93. ISSN : 15661199. DOI : [10.1016/j.orgel.2012.10.002](https://doi.org/10.1016/j.orgel.2012.10.002) (cf. p. 88).
- [Maye91] I. D. MAYERGOYZ. *Mathematical Models of Hysteresis*. 5. New York, NY : Springer New York, 1991, p. 5–10. ISBN : 978-1-4612-7767-5. DOI : [10.1007/978-1-4612-3028-1](https://doi.org/10.1007/978-1-4612-3028-1) (cf. p. 82).
- [Meno04] N. MENO. “Technologie FeRAM : fiabilité et mécanismes de défaillance de condensateurs ferroélectriques élémentaires et intégrés”. Thèse de doct. Sud Toulon, 2004 (cf. p. 76).
-

- [Meye03] V. MEYER et al. “Modeling the polarization in ferroelectric materials : a novel analytical approach”. In : *Solid-State Electronics* 47.9 (sept. 2003), p. 1479–1486. ISSN : 00381101. DOI : [10.1016/S0038-1101\(03\)00104-7](https://doi.org/10.1016/S0038-1101(03)00104-7) (cf. p. 82).
- [Mola04] G. MOLAS et al. “Impact of few electron phenomena on floating-gate memory reliability”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. IEEE, 2004, p. 877–880. ISBN : 0-7803-8684-1. DOI : [10.1109/IEDM.2004.1419320](https://doi.org/10.1109/IEDM.2004.1419320) (cf. p. 13).
- [Mola06] G. MOLAS et al. “Degradation of floating-gate memory reliability by few electron phenomena”. In : *IEEE Transactions on Electron Devices* 53.10 (2006), p. 2610–2619. DOI : [10.1109/TED.2006.882284](https://doi.org/10.1109/TED.2006.882284) (cf. p. 13).
- [Mola07] G. MOLAS et al. “Thorough investigation of Si-nanocrystal memories with high-k interpoly dielectrics for sub-45nm node Flash NAND applications”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. 2007, p. 453–456. DOI : [10.1109/IEDM.2007.4418971](https://doi.org/10.1109/IEDM.2007.4418971) (cf. p. 12, 13).
- [Mull04] G. MULLER et al. “Status and outlook of emerging nonvolatile memory technologies”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. IEEE, 2004, p. 567–570. ISBN : 0-7803-8684-1. DOI : [10.1109/IEDM.2004.1419223](https://doi.org/10.1109/IEDM.2004.1419223) (cf. p. 27).
- [Nabe10] R. C. G. NABER et al. “Organic nonvolatile memory devices based on ferroelectricity.” In : *Advanced materials (Deerfield Beach, Fla.)* 22.9 (2010), p. 933–945. ISSN : 0935-9648. DOI : [10.1002/adma.200900759](https://doi.org/10.1002/adma.200900759) (cf. p. 77).
- [Nard11] F. NARDI et al. “Control of filament size and reduction of reset current below 10 $\mu$ A in NiO resistance switching memories”. In : *Solid-State Electronics* 58.1 (avr. 2011), p. 42–47. ISSN : 00381101. DOI : [10.1016/j.sse.2010.11.031](https://doi.org/10.1016/j.sse.2010.11.031) (cf. p. 31, 32, 53, 54, 64).
- [Nard12] F. NARDI et al. “Resistive switching by voltage-driven ion migration in bipolar RRAM – part I : experimental study”. In : *IEEE Transactions on Electron Devices* 59.9 (2012), p. 2461–2467 (cf. p. 49, 56).
- [Ng09] T. N. NG, B. RUSSO et A. C. ARIAS. “Degradation mechanisms of organic ferroelectric field-effect transistors used as nonvolatile memory”. In : *Journal of Applied Physics* 106.9 (2009), p. 94504. ISSN : 00218979. DOI : [10.1063/1.3253758](https://doi.org/10.1063/1.3253758) (cf. p. 16, 76).
- [Ng12] T. N. NG et al. “Scalable printed electronics : an organic decoder addressing ferroelectric non-volatile memory”. In : *Scientific Reports* 2 (août 2012), p. 1–7. ISSN : 2045-2322. DOI : [10.1038/srep00585](https://doi.org/10.1038/srep00585) (cf. p. 77, 88).
- [Nino13] T. NINOMIYA et al. “Conductive Filament Scaling of TaOx Bipolar ReRAM for Improving Data Retention Under Low Operation Current”. In : *IEEE Transactions on Electron Devices* 60.4 (avr. 2013), p. 1384–1389. ISSN : 0018-9383. DOI : [10.1109/TED.2013.2248157](https://doi.org/10.1109/TED.2013.2248157) (cf. p. 37, 38).
-

- [Noh13] J. NOH et al. “Development of a semiempirical compact model for DC/AC cell operation of HfO<sub>x</sub>-based ReRAMs”. In : *IEEE Electron Device Letters* 34.9 (sept. 2013), p. 1133–1135. ISSN : 0741-3106. DOI : [10.1109/LED.2013.2271831](https://doi.org/10.1109/LED.2013.2271831) (cf. p. 57).
- [Ohga03] T. OHGAI et al. “Template synthesis and magnetoresistance property of Ni and Co single nanowires electrodeposited into nanopores with a wide range of aspect ratios”. In : *J. Phys. D Appl. Phys.* 36.24 (2003), p. 3109–3114. ISSN : 1361-6463. DOI : [10.1088/0022-3727/36/24/003](https://doi.org/10.1088/0022-3727/36/24/003) (cf. p. 53).
- [Onka12] S. ONKARAI AH et al. “Bipolar ReRAM Based non-volatile flip-flops for low-power architectures”. In : *Proc. IEEE International New Circuits and Systems Conference (NEWCAS)*. IEEE, juin 2012, p. 417–420. ISBN : 978-1-4673-0859-5. DOI : [10.1109/NEWCAS.2012.6329045](https://doi.org/10.1109/NEWCAS.2012.6329045) (cf. p. 69).
- [Ouya05] J. OUYANG et al. “Organic Memory Device Fabricated Through Solution Processing”. In : *Proceedings of the IEEE* 93.7 (juil. 2005), p. 1287–1296. ISSN : 0018-9219. DOI : [10.1109/JPROC.2005.851235](https://doi.org/10.1109/JPROC.2005.851235) (cf. p. 27).
- [Oyam03] T. OYAMADA et al. “Switching effect in Cu :TCNQ charge transfer-complex thin films by vacuum codeposition”. In : *Applied Physics Letters* 83.6 (2003), p. 1252. ISSN : 00036951. DOI : [10.1063/1.1600848](https://doi.org/10.1063/1.1600848) (cf. p. 27).
- [Pana95] G. PANANAKAKIS et al. “Temperature dependence of the Fowler–Nordheim current in metal-oxide-degenerate semiconductor structures”. In : *Journal of Applied Physics* 78.4 (1995), p. 2635–2641. DOI : [10.1063/1.360124](https://doi.org/10.1063/1.360124) (cf. p. 61).
- [Park08] C. PARK et al. “Role of structural defects in the unipolar resistive switching characteristics of Pt/NiO/Pt structures”. In : *Applied Physics Letters* 93.4 (2008), p. 042102. ISSN : 00036951. DOI : [10.1063/1.2963983](https://doi.org/10.1063/1.2963983) (cf. p. 27).
- [Park15] K. T. PARK, D. S. BYEON et D. H. KIM. “A world’s first product of three-dimensional vertical NAND Flash memory and beyond”. In : *2014 14th Annual Non-Volatile Memory Technology Symposium, NVMTS 2014* (2015). DOI : [10.1109/NVMTS.2014.7060840](https://doi.org/10.1109/NVMTS.2014.7060840) (cf. p. 12, 15).
- [Picc15] G. PICCOLBONI et al. “Investigation of the potentialities of Vertical Resistive RAM (VRRAM) for neuromorphic applications”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. IEEE, déc. 2015, p. 17.2.1–17.2.4. ISBN : 978-1-4673-9894-7. DOI : [10.1109/IEDM.2015.7409717](https://doi.org/10.1109/IEDM.2015.7409717) (cf. p. 63).
- [Port] J.-M. PORTAL et M. BOCQUET. “An 128kb Embedded Non-Volatile Memory based on a Hybrid RRAM (HfO<sub>2</sub>) / 28nm FDSOI CMOS Technology” (cf. p. 63).
- [Port11] J.-M. PORTAL et al. “Non-Volatile Flip-Flop Based on Unipolar ReRAM for Power-Down Applications”. In : *Journal of Low Power Electronics* 8.1 (fév. 2011), p. 1–10. ISSN : 15461998. DOI : [10.1166/jolpe.2011.1172](https://doi.org/10.1166/jolpe.2011.1172) (cf. p. 55, 69, 70).
-

- [Port13] J.-M. PORTAL et al. “Analytical study of complementary memristive synchronous logic gates”. In : *IEEE/ACM International Symposium on Nanoscale Architectures (NANOARCH)*. IEEE, juil. 2013, p. 70–75. ISBN : 978-1-4799-0874-5. DOI : [10.1109/NanoArch.2013.6623047](https://doi.org/10.1109/NanoArch.2013.6623047) (cf. p. 56, 70).
- [Prak15] A. PRAKASH et al. “Resistance controllability and variability improvement in a TaOx-based resistive memory for multilevel storage application”. In : *Applied Physics Letters* 106.23 (juin 2015), p. 233104. ISSN : 0003-6951. DOI : [10.1063/1.4922446](https://doi.org/10.1063/1.4922446) (cf. p. 37).
- [Pral07] K. PRALL. “Scaling Non-Volatile Memory Below 30nm”. In : *IEEE Non-Volatile Semiconductor Memory Workshop (2007)*, p. 5–10. DOI : [10.1109/NVSMW.2007.4290561](https://doi.org/10.1109/NVSMW.2007.4290561) (cf. p. 12).
- [Prei35] F. PREISACH. “Über die magnetische Nachwirkung”. In : *Zeitschrift für Physik* 94.5-6 (mai 1935), p. 277–302. ISSN : 1434-6001. DOI : [10.1007/BF01349418](https://doi.org/10.1007/BF01349418) (cf. p. 82).
- [Ragh13] N. RAGHAVAN et al. “Stochastic variability of vacancy filament configuration in ultra-thin dielectric RRAM and its impact on OFF-state reliability”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. Ieee, déc. 2013, p. 21.1.1–21.1.4. ISBN : 978-1-4799-2306-9. DOI : [10.1109/IEDM.2013.6724674](https://doi.org/10.1109/IEDM.2013.6724674) (cf. p. 32).
- [Rapi12] M. RAPISARDA et al. “Analysis of contact effects in fully printed p-channel organic thin film transistors”. In : *Organic Electronics* 13.10 (oct. 2012), p. 2017–2027. ISSN : 15661199. DOI : [10.1016/j.orgel.2012.06.003](https://doi.org/10.1016/j.orgel.2012.06.003) (cf. p. 88).
- [Rick02] J. T. RICKES. “Advanced circuit design of gigabit density ferroelectric random access memories”. PUB : (DE-HGF)11. Publikationsserver der RWTH Aachen University, 2002 (cf. p. 77, 86, 87, 91).
- [Russ07] U. Russo et al. “Conductive-filament switching analysis and self-accelerated thermal dissolution model for reset in NiO-based RRAM”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. 1. Ieee, 2007, p. 775–778. ISBN : 978-1-4244-1508-3. DOI : [10.1109/IEDM.2007.4419062](https://doi.org/10.1109/IEDM.2007.4419062) (cf. p. 27, 50).
- [Russ09a] U. Russo et al. “Filament Conduction and Reset Mechanism in NiO-Based Resistive-Switching Memory (RRAM) Devices”. In : *IEEE Transactions on Electron Devices* 56.2 (2009), p. 186–192. ISSN : 00189383. DOI : [10.1109/TED.2008.2010583](https://doi.org/10.1109/TED.2008.2010583) (cf. p. 19, 27, 49, 50, 52, 53).
- [Russ09b] U. Russo et al. “Self-Accelerated Thermal Dissolution Model for Reset Programming in Unipolar Resistive-Switching Memory (RRAM) Devices”. In : *IEEE Transactions on Electron Devices* 56.2 (2009), p. 193–200. ISSN : 0018-9383. DOI : [10.1109/TED.2008.2010584](https://doi.org/10.1109/TED.2008.2010584) (cf. p. 49, 50, 52, 61).
-

- 
- [Saka04] T. SAKAMOTO et al. "A nonvolatile programmable solid electrolyte nanometer switch". In : *Proc. IEEE International Solid-State Circuits Conference (ISSCC)*. IEEE, 2004, p. 290–529. ISBN : 0-7803-8267-6. DOI : [10.1109/ISSCC.2004.1332708](https://doi.org/10.1109/ISSCC.2004.1332708) (cf. p. 27).
- [Sato07] Y. SATO et al. "Consideration of switching mechanism of binary metal oxide resistive junctions using a thermal reaction model". In : *Applied Physics Letters* 90.3 (2007), p. 33503. ISSN : 00036951. DOI : [10.1063/1.2431792](https://doi.org/10.1063/1.2431792) (cf. p. 19, 27, 28, 53).
- [Sawa08] A. SAWA. "Resistive switching in transition metal oxides". In : *Material Today* 11.6 (2008), p. 28–36 (cf. p. 28).
- [Schi07] C. SCHINDLER et al. "Resistive switching in Ag-Ge-Se with extremely low write currents". In : *Proc. Non-Volatile Memory Technology Symposium*. T. 00. c. IEEE, nov. 2007, p. 82–85. ISBN : 978-1-4244-1361-4. DOI : [10.1109/NVMT.2007.4389953](https://doi.org/10.1109/NVMT.2007.4389953) (cf. p. 27).
- [Scot07] J. C. SCOTT et L. D. BOZANO. "Nonvolatile Memory Elements Based on Organic Materials". In : *Advanced Materials* 19.11 (2007), p. 1452–1463. ISSN : 09359648. DOI : [10.1002/adma.200602564](https://doi.org/10.1002/adma.200602564) (cf. p. 74).
- [Scot96] J. F. SCOTT. "Models for the frequency dependence of coercive field and the size dependence of remanent polarization in ferroelectric thin films". In : *Integrated Ferroelectrics* 12.2-4 (oct. 1996), p. 71–81. ISSN : 1058-4587. DOI : [10.1080/10584589608013050](https://doi.org/10.1080/10584589608013050) (cf. p. 82).
- [Seo04] S. SEO et al. "Reproducible resistance switching in polycrystalline NiO films". In : *Applied Physics Letters* 85.23 (2004), p. 5655–5657. ISSN : 00036951. DOI : [10.1063/1.1831560](https://doi.org/10.1063/1.1831560) (cf. p. 31, 32, 54, 64).
- [Seo05] S. SEO et al. "Electrode dependence of resistance switching in polycrystalline NiO films". In : *Applied Physics Letters* 87.26 (2005), p. 263507. ISSN : 00036951. DOI : [10.1063/1.2150580](https://doi.org/10.1063/1.2150580) (cf. p. 27).
- [Serv05] G. SERVALLI et al. "A 65nm NOR flash technology with 0.04 $\mu\text{m}^2$  cell size for high performance multilevel application". In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. IEEE, 2005, p. 849–852. ISBN : 0-7803-9268-X. DOI : [10.1109/IEDM.2005.1609490](https://doi.org/10.1109/IEDM.2005.1609490) (cf. p. 9).
- [Sezi03] R. SEZI et al. "Organic materials for high-density non-volatile memory applications". In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. IEEE, 2003, p. 10.2.1–10.2.4. ISBN : 0-7803-7872-5. DOI : [10.1109/IEDM.2003.1269272](https://doi.org/10.1109/IEDM.2003.1269272) (cf. p. 27).
- [Shei00] A. SHEIKHOESLAMI et P.G. GULAK. "A survey of circuit innovations in ferroelectric random-access memories". In : *Proceedings of the IEEE* 88.5 (mai 2000), p. 667–689. ISSN : 0018-9219. DOI : [10.1109/5.849164](https://doi.org/10.1109/5.849164) (cf. p. 86).
- [Sher11] P. SHERIDAN et al. "Device and SPICE modeling of RRAM devices". In : *Nanoscale* 3.9 (sept. 2011), p. 3833–40. ISSN : 2040-3372. DOI : [10.1039/c1nr10557d](https://doi.org/10.1039/c1nr10557d) (cf. p. 57).
-

- [Shim07] H. SHIMA et al. “Resistance switching in the metal deficient-type oxides : NiO and CoO”. In : *Applied Physics Letters* 91.1 (2007), p. 012901. ISSN : 00036951. DOI : [10.1063/1.2753101](https://doi.org/10.1063/1.2753101) (cf. p. 27).
- [Shin05] Y. SHIN et al. “A novel NAND-type MONOS memory using 63nm process technology for multi-gigabit flash EEPROMs”. In : *IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE, 2005*, p. 327–330. ISBN : 0-7803-9268-X. DOI : [10.1109/IEDM.2005.1609341](https://doi.org/10.1109/IEDM.2005.1609341) (cf. p. 13).
- [Siem14] A. SIEMON et al. “Simulation of TaOx-based complementary resistive switches by a physics-based memristive model”. In : *Proc. IEEE International Symposium on Circuits and Systems (ISCAS)*. Iwe Ii. IEEE, juin 2014, p. 1420–1423. ISBN : 978-1-4799-3432-4. DOI : [10.1109/ISCAS.2014.6865411](https://doi.org/10.1109/ISCAS.2014.6865411) (cf. p. 57).
- [Siu03] J. W. K. SIU. “A 16kb 1T1C FeRAM Testchip Using Current-Based Reference Scheme”. In : (2003) (cf. p. 87).
- [Skor09] S. SKOROBOGATOV. “Local heating attacks on Flash memory devices”. In : *Proc. IEEE International Workshop on Hardware-Oriented Security and Trust. IEEE, 2009*, p. 1–6. ISBN : 978-1-4244-4805-0. DOI : [10.1109/HST.2009.5225028](https://doi.org/10.1109/HST.2009.5225028) (cf. p. 42).
- [Skor10] S. SKOROBOGATOV. “Optical Fault Masking Attacks”. In : *Proc. Workshop on Fault Diagnosis and Tolerance in Cryptography. IEEE, août 2010*, p. 23–29. ISBN : 978-1-4244-7844-6. DOI : [10.1109/FDTC.2010.18](https://doi.org/10.1109/FDTC.2010.18) (cf. p. 42).
- [Son08] J. Y. SON et Y.-H. H. SHIN. “Direct observation of conducting filaments on resistive switching of NiO thin films”. In : *Applied Physics Letters* 92.22 (2008), p. 222106. ISSN : 00036951. DOI : [10.1063/1.2931087](https://doi.org/10.1063/1.2931087) (cf. p. 50).
- [Stre11] Robert STRENTZ. “Embedded Flash technologies and their applications : Status & outlook”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)* (déc. 2011), p. 9.4.1–9.4.4. DOI : [10.1109/IEDM.2011.6131521](https://doi.org/10.1109/IEDM.2011.6131521) (cf. p. 14).
- [Stru08] D. B. STRUKOV et al. “The missing memristor found”. In : *Nature* 453.7191 (2008), p. 80–83. ISSN : 0028-0836 (cf. p. 56, 57).
- [Subr08] V. SUBRAMANIAN et al. “Printed electronics for low-cost electronic systems : Technology status and application development”. In : *Proc. European Solid-State Device Research Conf. (ESSDERC)*. IEEE, 2008, p. 17–24. ISBN : 978-1-4244-2363-7. DOI : [10.1109/ESSDERC.2008.4681691](https://doi.org/10.1109/ESSDERC.2008.4681691) (cf. p. 74).
- [Szot02] K. SZOT et al. “Localized Metallic Conductivity and Self-Healing during Thermal Reduction of SrTiO3”. In : *Physical Review Letters* 88.7 (fév. 2002), p. 2–5. ISSN : 0031-9007. DOI : [10.1103/PhysRevLett.88.075508](https://doi.org/10.1103/PhysRevLett.88.075508) (cf. p. 27).
-



- [Tana07] H. TANAKA et al. “Bit Cost Scalable technology with and plug process for ultra high density flash memory”. In : *Digest of Technical Papers - Symposium on VLSI Technology* (2007), p. 14–15. ISSN : 07431562. DOI : [10.1109/VLSIT.2007.4339708](https://doi.org/10.1109/VLSIT.2007.4339708) (cf. p. 14).
- [Tana16] T. TANAKA et al. “A 768Gb 3b/cell 3D-floating-gate NAND flash memory”. In : *Proc. IEEE International Solid-State Circuits Conference (ISSCC)*. IEEE, jan. 2016, p. 142–144. ISBN : 978-1-4673-9466-6. DOI : [10.1109/ISSCC.2016.7417947](https://doi.org/10.1109/ISSCC.2016.7417947) (cf. p. 10, 15).
- [Tang06] M. TANG et al. “A novel design of 0.25 2.5 V 2T-2C sensing scheme for FeRAM”. In : (2006), p. 4–6 (cf. p. 87).
- [ ] *ThinFilm*. URL : <http://www.thinfilm.no/products/memory/> (cf. p. 76).
- [09] *ThinFilm and PolyIC*. 2009. URL : <http://static.polyic.com/upload/PolyIC%20ThinFilm%20PR%20-%202009-09-22B.pdf> (cf. p. 76).
- [Tira11a] S. TIRANO et al. “Accurate analysis of parasitic current overshoot during forming operation in RRAMs”. In : *Microelectronic Engineering* 88.7 (juil. 2011), p. 1129–1132. ISSN : 01679317. DOI : [10.1016/j.mee.2011.03.062](https://doi.org/10.1016/j.mee.2011.03.062) (cf. p. 30).
- [Tira11b] S. TIRANO et al. “On the electrical variability of resistive-switching memory devices based on NiO oxide”. In : *Proc. IEEE Semiconductor Interface Specialists Conference (SISC)*. 2011 (cf. p. 55, 70).
- [Tkac12] Y. TKACHEV, X. LIU et A. KOTOV. “Floating-Gate Corner-Enhanced Poly-to-Poly Tunneling in Split-Gate Flash Memory Cells”. In : *IEEE Transactions on Electron Devices* 59.1 (2012), p. 5–11 (cf. p. 15).
- [Torr11] A. C. TORREZAN et al. “Sub-nanosecond switching of a tantalum oxide memristor.” In : *Nanotechnology* 22.48 (2011), p. 485203. ISSN : 1361-6528. DOI : [10.1088/0957-4484/22/48/485203](https://doi.org/10.1088/0957-4484/22/48/485203) (cf. p. 20, 32).
- [Trao13] B. TRAORE et al. “Investigation of the role of electrodes on the retention performance of HfO<sub>x</sub> based RRAM cells by experiments, atomistic simulations and device physical modeling”. In : *Proc. IEEE International Reliability Physics Symposium (IRPS)*. IEEE, avr. 2013, 5E.2.1–5E.2.6. ISBN : 978-1-4799-0113-5. DOI : [10.1109/IRPS.2013.6532041](https://doi.org/10.1109/IRPS.2013.6532041) (cf. p. 33).
- [Tsui04] S. TSUI et al. “Field-induced resistive switching in metal-oxide interfaces”. In : *Applied Physics Letters* 85.2 (2004), p. 317. ISSN : 00036951. DOI : [10.1063/1.1768305](https://doi.org/10.1063/1.1768305) (cf. p. 27).
- [Tsun07] K. TSUNODA et al. “Low power and high speed switching of Ti-doped NiO ReRAM under the unipolar voltage source of less than 3V”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. Washington, DC, USA, 2007, p. 767–770. ISBN : 978-1-4244-1507-6. DOI : [10.1109/IEDM.2007.4419060](https://doi.org/10.1109/IEDM.2007.4419060) (cf. p. 27, 31, 32, 54, 64).
-

- 
- [Turi07] M. A. TURI et J. G. DELGADO-FRIAS. “Reducing power in memory decoders by means of selective precharge schemes”. In : *Proc. 50th Midwest Symposium on Circuits and Systems* (août 2007), p. 956–959. ISSN : 1548-3746. DOI : [10.1109/MWSCAS.2007.4488724](https://doi.org/10.1109/MWSCAS.2007.4488724) (cf. p. 86).
- [Turk14] O. TURKYILMAZ et al. “RRAM-based FPGA for “Normally Off, Instantly On” applications”. In : *Journal of Parallel and Distributed Computing* 74.6 (juin 2014), p. 2441–2451. ISSN : 07437315. DOI : [10.1016/j.jpdc.2013.08.003](https://doi.org/10.1016/j.jpdc.2013.08.003) (cf. p. 56, 70).
- [Vall11] A. VALLETTA et al. “Contact effects in high performance fully printed p-channel organic thin film transistors”. In : *Applied Physics Letters* 99.23 (2011), p. 233309. ISSN : 00036951. DOI : [10.1063/1.3669701](https://doi.org/10.1063/1.3669701) (cf. p. 76, 88).
- [Vand11a] L. VANDELLI et al. “Comprehensive physical modeling of forming and switching operations in HfO<sub>2</sub> RRAM devices”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. 10. 2011, p. 421–424. ISBN : 9781457705052 (cf. p. 33, 66).
- [Vand11b] L. VANDELLI et al. “Modeling of forming operation in HfO<sub>2</sub>-based resistive switching memories”. In : *Proc. IEEE International Memory Workshop (IMW)*. 2011, p. 1–4. DOI : [10.1109/IMW.2011.5873224](https://doi.org/10.1109/IMW.2011.5873224) (cf. p. 56).
- [Vian09] E. VIANELLO et al. “Program efficiency and high temperature retention of SiN/high-K based memories”. In : *Microelectronic Engineering* 86.7-9 (2009), p. 1830–1833. ISSN : 01679317. DOI : [10.1016/j.mee.2009.03.023](https://doi.org/10.1016/j.mee.2009.03.023) (cf. p. 12).
- [Vian14] E. VIANELLO et al. “Resistive Memories for Ultra-Low-Power embedded computing design”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. IEEE, déc. 2014, p. 6.3.1–6.3.4. ISBN : 978-1-4799-8001-7. DOI : [10.1109/IEDM.2014.7046995](https://doi.org/10.1109/IEDM.2014.7046995) (cf. p. 42).
- [Walcz11] C. WALCZYK et al. “Impact of Temperature on the Resistive Switching Behavior of Embedded HfO<sub>2</sub>-Based RRAM Devices”. In : *IEEE Transactions on Electron Devices* 58.9 (sept. 2011), p. 3124–3131. ISSN : 0018-9383. DOI : [10.1109/TED.2011.2160265](https://doi.org/10.1109/TED.2011.2160265) (cf. p. 33, 44).
- [Wase07] R. WASER et M. AONO. “Nanoionics-based resistive switching memories.” In : *Nature Materials* 6.11 (nov. 2007), p. 833–40. ISSN : 1476-1122. DOI : [10.1038/nmat2023](https://doi.org/10.1038/nmat2023) (cf. p. 28).
- [Wase09] R. WASER et al. “Redox-based resistive switching memories – nanoionic mechanisms, prospects, and challenges”. In : *Advanced Materials* 21.25-26 (2009), p. 2632–2663. ISSN : 1521-4095 (cf. p. 50, 52, 56–58).
- [Wei08] Z. WEI et al. “Highly reliable TaO<sub>x</sub> ReRAM and direct evidence of redox reaction mechanism”. In : *Proc. IEEE International Electron Devices Meeting (IEDM)*. 2008, p. 1–4. DOI : [10.1109/IEDM.2008.4796676](https://doi.org/10.1109/IEDM.2008.4796676) (cf. p. 28, 57).
-

- 
- [Wei12] Z. WEI et al. “Retention Model for High-density ReRAM”. In : *Proc. IEEE International Memory Workshop (IMW)*. 2012, p. 14–17. ISBN : 9781467310819 (cf. p. 36).
- [Wong12] H.-S. Philip WONG et al. “Metal-oxide RRAM”. In : *Proc. IEEE* 100.6 (juin 2012), p. 1951–1970. ISSN : 0018-9219. DOI : [10.1109/JPROC.2012.2190369](https://doi.org/10.1109/JPROC.2012.2190369) (cf. p. 56, 58).
- [Xu08] N. XU et al. “A unified physical model of switching behavior in oxide-based RRAM”. In : *2008 Symposium on VLSI Technology*. IEEE, juin 2008, p. 100–101. ISBN : 978-1-4244-1802-2. DOI : [10.1109/VLSIT.2008.4588578](https://doi.org/10.1109/VLSIT.2008.4588578) (cf. p. 49, 56).
- [Xue13] K.-H. XUE et al. “Prediction of Semimetallic Tetragonal Hf<sub>2</sub>O<sub>3</sub> and Zr<sub>2</sub>O<sub>3</sub> from First Principles”. In : *Physical Review Letters* 110.6 (fév. 2013), p. 065502. ISSN : 0031-9007. DOI : [10.1103/PhysRevLett.110.065502](https://doi.org/10.1103/PhysRevLett.110.065502) (cf. p. 37).
- [Yang10] J Joshua YANG et al. “High switching endurance in TaO<sub>x</sub> memristive devices”. In : *Applied Physics Letters* 97.23 (2010), p. 232102. DOI : [10.1063/1.3524521](https://doi.org/10.1063/1.3524521) (cf. p. 29).
- [Yang08] J. J. YANG et al. “Memristive switching mechanism for metal/oxide/metal nanodevices”. In : *Nature nanotechnology* 3.7 (2008), p. 429–433. ISSN : 1748-3387. DOI : [10.1038/nnano.2008.160](https://doi.org/10.1038/nnano.2008.160) (cf. p. 28).
- [Yano99] K. YANO et al. “Single-electron memory for giga-to-tera bit storage”. In : *Proceedings of the IEEE* 87.4 (avr. 1999), p. 633–651. DOI : [10.1109/5.752519](https://doi.org/10.1109/5.752519) (cf. p. 13).
- [Yasu09] R. YASUHARA et al. “Inhomogeneous chemical states in resistance-switching devices with a planar-type Pt/CuO/Pt structure”. In : *Applied Physics Letters* 95.1 (2009), p. 012110. ISSN : 00036951. DOI : [10.1063/1.3175720](https://doi.org/10.1063/1.3175720) (cf. p. 50).
- [Yoko] W. YOKOZEKI. *Logic Gate Decoder with pre-decoding* (cf. p. 86).
- [Yoon11] S.-m. YOON et al. “Oxide Semiconductor-Based Organic/Inorganic Hybrid Dual-Gate Nonvolatile Memory Thin-Film Transistor”. In : *IEEE Transactions on Electron Devices* 58.7 (2011), p. 2135–2142. ISSN : 0018-9383. DOI : [10.1109/TED.2011.2139212](https://doi.org/10.1109/TED.2011.2139212) (cf. p. 16, 76).
- [Yosh07] C. YOSHIDA et al. “High speed resistive switching in Pt/TiO<sub>2</sub>/TiN film for nonvolatile memory application”. In : *Applied Physics Letters* 91.22 (2007), p. 223510. ISSN : 00036951. DOI : [10.1063/1.2818691](https://doi.org/10.1063/1.2818691) (cf. p. 28).
- [Yu11] S. YU, Y. WU et H.-S. P. WONG. “Investigating the switching dynamics and multilevel capability of bipolar metal oxide resistive switching memory”. In : *Applied Physics Letters* 98.10 (2011), p. 103514. ISSN : 00036951. DOI : [10.1063/1.3564883](https://doi.org/10.1063/1.3564883) (cf. p. 32, 56).
- [Zhan03] J. ZHANG et al. “Improved Sensing scheme for FeRAM”. In : *Microelectronic Engineering* 66.66 (avr. 2003), p. 695–700. ISSN : 01679317. DOI : [10.1016/S0167-9317\(02\)00985-1](https://doi.org/10.1016/S0167-9317(02)00985-1) (cf. p. 87).
-

- 
- [Zhan13] Y. ZHANG et al. “Synchronous full-adder based on complementary resistive switching memory cells”. In : *Proc. IEEE International New Circuits and Systems Conference (NEWCAS)*. IEEE, juin 2013, p. 1–4. ISBN : 978-1-4799-0620-8. DOI : [10.1109/NEWCAS.2013.6573578](https://doi.org/10.1109/NEWCAS.2013.6573578) (cf. p. 56, 70).
- [Zhao12] W.S. ZHAO et al. “Crossbar Architecture Based on 2R Complementary Resistive Switching Memory Cell”. In : *Procs. of ACM/IEEE Nanoarch.* Amsterdam, the Netherlands, 2012, p. 85–92. ISBN : 9781450316712 (cf. p. 69).
- [Zhao14a] W.-S. ZHAO et al. “Design and analysis of crossbar architecture based on complementary resistive switching non-volatile memory cells”. In : *Journal of Parallel and Distributed Computing* 74.6 (juin 2014), p. 2484–2496. ISSN : 07437315. DOI : [10.1016/j.jpdc.2013.08.004](https://doi.org/10.1016/j.jpdc.2013.08.004) (cf. p. 56, 70).
- [Zhao14b] W. ZHAO et al. “Synchronous Non-Volatile Logic Gate Design Based on Resistive Switching Memories”. In : *IEEE Transactions on Circuits and Systems I : Regular Papers* 61.2 (fév. 2014), p. 443–454. ISSN : 1549-8328. DOI : [10.1109/TCSI.2013.2278332](https://doi.org/10.1109/TCSI.2013.2278332) (cf. p. 56, 70).
-



# Index

$I(V)$ , 37, 51, 62, 65, 66

Électroforming, 17, 19, 28, 31, 32, 40, 42, 47, 56, 58, 62, 64–67

1T1R, 28, 61, 62

CBRAM, 18–21, 25, 28, 96, 97

CEA-LETI, i, 21, 26, 31, 40, 46, 68, 97, 98

CEA-LITEN, 1, 21, 22, 71, 73–75, 77, 83, 94, 96

CF, 56–59, 63, 66

$Cu_xO$ , 18

ELDO, 54, 60–62, 81, 83, 94

HRS, 17, 28, 30–33, 40–44, 56, 57, 62, 66, 97

$HfO_2$ , 1, 19, 21, 23, 25–29, 31, 33, 35, 40–43, 46, 61, 62, 67, 95

High- $\kappa$ , 11

IM2NP, i, 21, 22, 40, 45, 46, 68, 73, 83, 94, 96–98

LASER, 1, 23, 27, 40–44, 95

LRS, 17, 28–38, 40–44, 50, 51, 56, 57, 62, 63, 66, 95

NiO, 18, 19, 24–26, 47

OxRRAM, 1, 18–21, 23, 25–33, 37, 40–47, 50, 51, 53–56, 58–63, 66–68, 95, 97

P(VDF-TrFE), 71, 73, 75–80, 82, 83

PCM, 20, 21, 28

$R_{HRS}$ , 62–64, 66

$R_{LRS}$ , 29, 62, 66

RFID, 72

Reset, 17–19, 28–33, 37–41, 43, 46, 47, 50, 51, 53–59, 62–67, 95

RRAM, 73

Set, 17–19, 28–41, 43, 46, 47, 50, 51, 53, 54, 56–59, 62–67, 95

$SiO_2$ , 11

$Ta_2O_5$ , 19

TiN, 31, 33, 40, 41

---

TiO<sub>2</sub>, 18, 29

$V_{Forming}$ , 28, 64–66

$V_{Reset}$ , 17, 28, 66

$V_{Set}$ , 17, 28, 65, 66

ZnO, 18

---