



**HAL**  
open science

**Nouvelles structures de conversion multi- cellulaires à  
base des transistors GaN pour la conversion DC-DC.  
Application au conditionnement des énergies  
renouvelables**

Farshid Sarrafin\_ardebili

► **To cite this version:**

Farshid Sarrafin\_ardebili. Nouvelles structures de conversion multi- cellulaires à base des transistors GaN pour la conversion DC-DC. Application au conditionnement des énergies renouvelables. Energie électrique. Université Grenoble Alpes, 2017. Français. NNT : . tel-01617522

**HAL Id: tel-01617522**

**<https://hal.science/tel-01617522>**

Submitted on 16 Oct 2017

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## THÈSE

Pour obtenir le grade de

### **DOCTEUR DE LA COMMUNAUTÉ UNIVERSITÉ GRENOBLE ALPES**

Spécialité : **GENIE ELECTRIQUE**

Arrêté ministériel : 25 mai 2016

Présentée par

**Farshid SARRAFIN-ARDEBILI**

Thèse dirigée par « **Jean-Christophe CREBIER** », directeur de  
recherche, CNRS et

codirigée par « **Bruno ALLARD** », Professeur, INSA de Lyon  
préparée au sein du **Laboratoire de Génie Electrique de  
Grenoble (G2Elab)**

dans l'**École Doctorale Electronique, Electrotechnique,  
Automatique et Traitement du Signal (EEATS)**

**Nouvelles structures de conversion multi-  
cellulaires à base des transistors GaN  
pour la conversion DC-DC.**

**Application au conditionnement des  
énergies renouvelables.**

Thèse soutenue publiquement le « **28 mars 2017** »,  
devant le jury composé de :

**Monsieur Éric LABOURÉ**

Professeur, Université Paris Sud, Rapporteur

**Monsieur François COSTA**

Professeur, Université Paris Saclay, Rapporteur

**Monsieur Yves LEMBEYE**

Professeur, Université Grenoble Alpes, Président

**Monsieur Marc COUSINEAU**

Maître de Conférences, INP de Toulouse – ENSEEIHT, Examineur

**Monsieur Jean-Christophe CREBIER**

Directeur de Recherche, CNRS, Directeur de thèse

**Monsieur Bruno ALLARD**

Professeur, INSA de Lyon, CoDirecteur de thèse









---

## Remerciements :

Je suis ravi d'avoir pu mener mes travaux de thèse, financés par la région Rhône Alpes (ARC4) au sein du laboratoire de recherche en génie électrique de Grenoble (G2Elab) en collaboration avec le laboratoire « Ampère » à Lyon, sous la direction de M. Jean-Christophe CREBIER et co-encadré par M. Bruno ALLRAD.

A la fin de ce marathon de thèse, je me retrouve devant la page des remerciements pour laquelle il n'est pas évident de trouver les mots pour remercier tous les gens qui m'ont guidé, aidé et soutenu pendant ces trois ans de thèse.

Tout d'abord, je voudrais remercier les membres du jury, le président du jury M. Yves LEMBEYE, les des rapporteurs, M. Eric LABOURE et M. François COSTA et l'examineur M. Marc COUSINEAU, pour l'intérêt qu'ils ont porté à ce travail.

Je voudrais adresser mes sincères remerciements à mes deux encadrants pour m'avoir donné leur confiance afin de mener ces travaux de thèse. J'aimerais remercier très spécialement M. Jean-Christophe CREBIER, celui avec qui j'ai été inspiré non seulement par ses partages scientifiques mais aussi par ses partages humains pendant ces années depuis mon stage de master 2.

Je tiens à remercier le directeur du laboratoire G2Elab, M. James ROUDET, pour me donner la chance de pouvoir réaliser mon rêve malgré les problèmes administratifs au début de ma thèse. Je remercie aussi M. Alexandre COLLET pour m'accueillir au sein de son société FREEMENS pendant les 2 premières années de thèse. Je remercie aussi toute l'équipe administrative du G2Elab, pour tous les services qu'ils m'ont apportés pendant ces 5 ans de présence au G2Elab. J'adresse un grand remerciement aux ingénieurs, chercheurs et techniciens du laboratoire pour m'avoir aidé dans certaines phases de mes travaux de thèse ainsi que leurs gentillesse et leurs sourire sans interruption.

Je remercie M. Alejandro CHAGUYA pour sa gentillesse pendant mon travail à MINATEC pour la conception du circuit intégré. Je remercie aussi Mme. Irène PHENG pour la réalisation de la puce conçue au sein de cette thèse.

J'ai de très grands remerciements à tous et toutes mes amis qui m'ont soutenu pendant ma présence, Xavier, Olivier, Aurel, Lyubomir, Hai, Long, Sang, Vinh, Luiz, Ando, Guillaume, Zaki, Anthony, Bertrand, Melissa, Emmanuelle, Hakim, Vincent, Antoine et Donia, Julien, Aurélien, Fabien, Johan, Gery, Mariam et Jose, Raha et Julian, Manel, Nathalie, Mounir et beaucoup d'autres amis et collègues.

Et à la fin, quelques mots pour mes plus chers au monde. Merci à ma famille qui m'ont soutenu durant toute ma vie et qui m'ont donné le courage pour arriver à ce point. Je remercie mon oncle J'ai un grand remerciement à adresser à ma très chère compagne pour son support et soutien à tous moments pendant ces quatre dernières années ensemble.



---

**Nouvelles structures de conversion multi-cellulaires à base des transistors GaN pour la conversion DC-DC. Application au conditionnement des énergies renouvelables.**

*« La stupidité des gens ne vient pas de leur manque d'intelligence, mais de leur absence de courage » Michael Herr*





---

**Résumé :** Dans le but de gérer la consommation et ainsi que la production efficace des énergies renouvelables, l'utilisation et augmentation de l'efficacité des systèmes de conversion d'énergie est devenue indispensable. Dans ce contexte, les transistors en nitrure de gallium (GaN HFETs) pour une densité de puissance commutée très importante, offrent des nouvelles possibilités et ils tirent vers le haut la gestion efficace des énergies renouvelables. Toutefois, cette nouvelle possibilité passe par un pilotage efficace des composants et une encapsulation et des interconnexions optimales. Ces travaux de thèse étudient et analyse les avantages et inconvénients d'une nouvelle structure de conversion multi cellulaire et ceux d'un driver spécifique multivoies monolithique et synchronisé pour les composants GaN, appliqué dans ce contexte précis. Ce manuscrit de thèse est composé de quatre chapitres. Après une étude bibliographique, le positionnement du convertisseur DAB (Dual Active Bridge) parmi les autres structures de conversion DC à l'aide d'une nouvelle méthodologie de comparaison (FOM topologique – Figure de Mérite) est présenté dans le premier chapitre. Afin de diminuer les contraintes de conversion d'énergie, une étude est amenée dans le chapitre 2 sur les principaux défis et enjeux d'une solution générique à travers de réalisation d'un réseau de convertisseurs. Le chapitre 3 présente la partie importante d'expérimentation et d'optimisation de la cellule élémentaire à base de convertisseurs DAB des points de vue fonctionnels mais aussi et surtout structurels. L'étude de l'isolation galvanique de la structure de conversion DAB reste l'objectif principal à développer pour démontrer le potentiel de remplacer le transformateur par une isolation capacitive. La conception de la puce de commande dédiée aux nouveaux transistors GaNs, les résultats pratiques des performances sont présentés dans le dernier chapitre. Certaines comparaisons du driver QGD (Quad Gate Driver) avec les autres solutions de transfert d'ordres de commande sont également discutées. La mise en œuvre du circuit de commande dans un convertisseur DAB afin de valider le fonctionnement de QGD est introduite dans les perspectives.

**Abstract:** In order to improve the management and the production efficiency in renewable energy, power electronics systems have become important contributors. In this context, gallium nitride transistors (GaN HFETs) provide new opportunities for high power density, high switching speed and they pull up the effective management of renewable energies. However, this new opportunity requires effective gate drivers and optimal packaging and assembly. This thesis will introduce the general approach of a new architecture for multi cellular conversion and a monolithic multichannel and synchronized drive for GaN components, which are applicable in our specific context. This thesis is composed of four chapters. A bibliographic section is presented in first chapter. A new comparative methodology has been developed in this chapter in order to benchmark the DAB (Dual Active Bridge) converter with respect to other DC converters. In the second chapter, a generic solution (converter grid) has been explained in order to reduce the energy conversion constraints. Chapter 3 presents the important parts of the experimentation and the optimization of DAB converter. High frequency transformer replacing by capacitors is the main objective of this section. The design of the Quad Gate Driver (QGD) IC dedicated to GaNs transistors control in H bridge configuration and the results of their performances are presented in the last chapter. Some comparisons of this approach with other signal transfer solutions are also discussed. The implementation of the QGD in a full bridge transistor converter is introduced into the perspective section.



---

# TABLE DES MATIERES :

---

Introduction générale :	25
I. Contexte et l'état de l'art	31
A. Introduction	31
B. Contexte de l'étude	32
i. Le module PV	32
1) Principes généraux	32
2) Mise en parallèle/série des panneaux	34
3) La dispersion des productibles	35
(a) Interconnexion série :	35
(b) Interconnexion parallèle :	36
ii. Les architectures possibles d'un système PV	37
iii. FdM <i>topologique</i>	41
C. Etat de l'art	50
i. Les possibilités de structure de conversion	50
1) Convertisseurs non-isolés à fort rapport d'élévation de tension	51
2) Convertisseurs isolés à fort rapport d'élévation de tension	51
(a) Flyback	52
(b) Convertisseur en Pont-Complet à filtre LC de sortie	56
(c) Dual Active Bridge	60
3) Comparaison et choix de la structure de convertisseur DC-DC	63
4) Association Parallèle/série des convertisseurs DC-DC	64
ii. Isolation galvanique	66
1) Solution magnétique	66
2) Solution capacitive	67
3) Comparaison et choix de la topologie (DAB-M ou DAB-C)	69
D. Les enjeux et défis	70
i. L'approche système/RC	70
ii. Composants grand gap GaN-HEMT	71
iii. Le contrôle associé/ASIC	73
E. Synthèse et Conclusion	74
II. Architecture et topologie de la mise en réseau des structures de conversion DC-DC pour un fort rapport de transformation	79
A. Introduction	79

B.	Etude de différentes configurations topologiques d'un réseau modulaire pour un rapport de transformation variable.....	80
i.	Optimisation de la régulation à rapport discret .....	83
ii.	Dynamique de régulation à rapport discret – coupleur magnétique.....	91
iii.	Dynamique de régulation à rapport discret – coupleur capacitif.....	98
C.	Conclusion .....	106
III.	Analyse de la structure de conversion proposée dans le contexte photovoltaïque .....	111
A.	Introduction.....	111
B.	Etude des topologies DAB magnétique et capacitive .....	113
i.	Les bases du DAB à couplage magnétique .....	113
ii.	Transfert de puissance : l'inductance série et la modulation associée.....	115
iii.	DAB capacitif (couplage capacitif) .....	123
iv.	ZVS/ZCS .....	126
C.	Validation en circuit discret avec composants commerciaux .....	128
i.	Cahier des charges.....	129
ii.	Prototypage.....	129
1)	Prototype MOS P-N .....	144
2)	Prototype MOS N-N.....	149
3)	Prototype GaN-FET.....	153
(a)	DAB-M (isolation magnétique).....	154
(b)	DAB-C (coupleur capacitif) .....	157
iii.	Comparaison des différents prototypes .....	159
D.	Conclusion .....	163
IV.	Conception et mise en œuvre du circuit de commande rapproché intégré ASIC .....	169
A.	Pilotage des transistors à effet de champ en GaN.....	169
i.	Circuit de commande de grille d'un transistor grand gap à effet de champ .....	170
1)	La commande en courant.....	170
2)	La commande en tension .....	171
3)	Alimentation du driver.....	173
4)	Transfert d'ordres de commande.....	174
(a)	Transformateur d'impulsion.....	175
(b)	<i>Level-Shifter</i> .....	176
ii.	Spécifications et caractéristiques.....	177
1)	Délais de propagation et dispersion du signal .....	177
2)	Immunité à fort dV/dt et dI/dt.....	179

---

3)	Faible oscillation de tension sur la grille ( $\Delta V_{GS} < 1V$ ).....	180
4)	L'approche thermique (haute température).....	181
iii.	Technologie SOI – XT018 (X-FAB).....	182
B.	Conception de la commande rapprochée.....	183
i.	La topologie <i>Quad-Gate-Driver</i> .....	184
1)	Unité de propagation d'ordres de commande – PSU.....	184
(a)	SOS.....	184
(b)	SBS.....	185
(c)	DMS.....	186
2)	Unité de transfert d'ordres de commande – CSU.....	188
ii.	Géométrie et élaboration du dessin des masques.....	192
C.	Mise en œuvre et caractérisation du composant intégré ASIC.....	195
i.	Assemblage, périphériques et conditions de test.....	195
ii.	Tests de fonctionnement, caractérisation et validation.....	197
1)	Test de fonctionnement.....	198
(a)	LS100.....	198
(b)	QGD.....	200
2)	Immunité aux $dV/dt$ .....	203
3)	Test Haute Température (HT°).....	204
D.	Comparaison avec les autres travaux au G2Elab et LM5113.....	206
E.	Conclusion.....	208
	Conclusion générale :.....	211
	Perspectives :.....	215
	Références :.....	219
	Annexe II-1 :.....	229
	Annexe II-2 :.....	230
	Annexe II-3 :.....	231
	Annexe III-1 :.....	232
	Annexe III-2 :.....	235
	Annexe III-3 :.....	238



# TABLE DES FIGURES :

Figure I-1	Schéma électrique équivalent d'un générateur photovoltaïque .....	32
Figure I-2	(a) Caractéristique I-V d'une cellule PV (b) Caractéristique I-V d'un module PV [4] .....	33
Figure I-3	Les caractéristiques I-V d'un module PV et d'un ensemble de $N_{\text{série}}$ éléments PV associés en série [4].....	34
Figure I-4	La caractéristique de l'ensemble de $N_{\text{parallèle}}$ PV [4].....	34
Figure I-5	Influence de l'irradiation sur le courant sortie d'un module PV [10].....	36
Figure I-6	L'influence de la température sur la tension d'un module PV [10] .....	36
Figure I-7	Différences possibilités architecturales pour un système PV [5] .....	37
Figure I-8	Comparaison qualitative des installations PV présentées à la Figure I-7 .....	39
Figure I-9	Les paramètres génériques dimensionnels du transistor GaN .....	42
Figure I-10	Relations entre pertes par conduction et pertes par commutation + commande pour un transistor MOSFET de (a) technologie SOI XT-018 (XFAB) et (b) CMOS AMS035.....	45
Figure I-11	Schéma électrique équivalent d'un convertisseur Flyback .....	53
Figure I-12	Formes d'ondes génériques dans un convertisseur Flyback.....	53
Figure I-13	Formes d'ondes obtenues par Mathcad et par le logiciel de simulation des circuits électriques « Simplorer 8 » de la tension aux bornes du transistor $G_1$ .....	55
Figure I-14	Formes d'ondes obtenues par Mathcad et par le logiciel de simulation des circuits électriques « Simplorer 8 » du courant dans l'inductance couplée du primaire ainsi que secondaire .....	56
Figure I-15	Schéma électrique équivalent d'un convertisseur Pont-Complet.....	57
Figure I-16	Formes d'ondes dans un convertisseur Pont-Complet .....	57
Figure I-17	Evaluation des formes d'ondes de courant par calcul analytique (Mathcad) et simulation circuit (PSIM) pour le Pont Complet, dans l'inductance de fuite et l'inductance magnétisante du transformateur. ....	59
Figure I-18	Evaluation des formes d'ondes de courant par calcul analytique (Mathcad) et simulation circuit (PSIM) pour le Pont Complet, dans les condensateurs d'entrée et de sortie.....	59
Figure I-19	Le schéma électrique équivalent d'un convertisseur DAB .....	60
Figure I-20	Formes d'ondes génériques dans un convertisseur DAB .....	61
Figure I-21	Formes d'ondes obtenues par Mathcad et par simulateur de circuit (PSIM) des courants dans l'inductance de fuite et l'inductance magnétisante du transformateur .....	62
Figure I-22	Formes d'ondes obtenues par Mathcad et par simulateur de circuit (PSIM) des courants dans le condensateur d'entrée et de sortie.....	62
Figure I-23	Comparaison des « FdM <i>topologiques</i> » pour trois convertisseurs : Flyback (Bleu), Pont-Complet (Rouge) et DAB (vert) .....	63
Figure I-24	Le principe de rapport de transformation primaire/secondaire .....	65
Figure I-25	(a) Le réseau de convertisseur PISO dans l'application PV (b) Gestion du nombre d'étages du réseau de convertisseur .....	65
Figure I-26	Schéma électrique équivalent d'un convertisseur DAB avec un couplage capacitif (DAB-C) .....	68
Figure I-27	Formes d'ondes dans les deux inductances $L_{S1}$ et $L_{S2}$ par Mathcad ainsi par simulateur de circuit (PSIM) .....	69



Figure I-28	Formes d'ondes dans les deux inductances LS1 et LS2 ainsi que dans le condensateur d'entrée et de sortie par la simulation PSIM. ....	69
Figure I-29	Radar des « FdM <i>topologiques</i> » pour les deux convertisseurs DAB, avec coupleur magnétique (DAB-M) et avec coupleur capacitif (DAB-C) .....	70
Figure I-30	Comparaison de la FdM composant ( $R_{DS(on)} \cdot Q_G$ ) entre différents types de transistors [37] .....	72
Figure I-31	Caractéristique statique en inverse de (a) composant 100V classique Si et GaN-EPC [37] et (b) composant 650V de GaN Systems [32] .....	72
Figure II-1	Aiguillages introduits dans une architecture PISO pour créer des rapports de transformation variables .....	81
Figure II-2	La variation de tension aux bornes de chaque cellule élémentaire de conversion ( $V_{CELL-in} - V_{CELL-out}$ ) en fonction de la tension d'entrée paramétré par le nombre de cellules élémentaires (CE) mises en parallèle en sortie du système. ....	82
Figure II-3	Trois différentes stratégies de gestion d'aiguillage (régulation discrète) compte tenu du point de fonctionnement optimal de cellules élémentaires (Buck, Boost ou Buck-Boost) .....	83
Figure II-4	« FOM <i>topologique</i> » pour le convertisseur DAB à $V_{in} = 36, 40$ et $44V$ et $V_{OUT} = 40V$ .....	84
Figure II-5 :	Régulation par pas pour une tension d'entrée de 13V à 44V avec des CEs Buck-Boost .....	84
Figure II-6 :	Variation de la différence de tension d'entrée/sortie au niveau des cellules élémentaires quand la tension de sortie peut évoluer entre 392 V et 408V .....	85
Figure II-7 :	Nombre de CEs et tension de sortie de chaque CE en fonction de la tension d'entrée ( $V_{PV}$ ) pour des CEs Buck-Boost .....	85
Figure II-8	Schéma simplifié des potentiels en sortie d'un réseau de convertisseurs avec 10 cellules .....	88
Figure II-9	Tensions aux bornes des interrupteurs de l'aiguillage à l'insertion d'une CE .....	88
Figure II-10	Evolution de la tension de sortie du réseau à (a) l'insertion et (b) l'îlotage d'une CE à l'aide de commutation de l'aiguillage .....	89
Figure II-11	(a) variation de tension $V_{in} - V_{out}$ aux bornes de chaque cellule et tension sortie d'un réseau de convertisseurs pour 36 cellules en fonction de la variation de tension d'entrée entre 13 V et 44 V. (b) Nombre de cellules et tension de sortie du réseau pour les mêmes conditions de plage de tension d'entrée .....	90
Figure II-12 :	Evolution de la tension de sortie du réseau à (a) l'insertion et (b) l'îlotage d'une CE à l'aide de commutation de l'aiguillage .....	91
Figure II-13	Le modèle équivalent du DAB avec coupleur magnétique .....	92
Figure II-14	Démarrage à froid dans le cas du convertisseur DAB standard sans mise en réseau : courants dans le condensateur de découplage et les tensions à leurs bornes, tension aux bornes du condensateur de filtrage de sortie .....	92
Figure II-15 :	Démarrage à froid dans le cas de deux cellules élémentaires associées en PISO, courants dans les condensateurs de découplage et les tensions à leurs bornes, tension aux bornes du condensateur de filtrage de sortie (la dynamique est identique au sein des CEs) .....	93
Figure II-16 :	Convergence des tensions de sortie de deux cellules, dans des conditions initiales de déséquilibre de potentiel de $\pm 12,5\%$ d'écart à la tension nominale en sortie .....	94
Figure II-17	Dynamique du DAB avec coupleur magnétique lors de l'îlotage de la cellule élémentaire de conversion .....	95

Figure II-18	Dynamique du DAB avec coupleur magnétique lors de l'insertion de la cellule élémentaire de conversion .....	96
Figure II-19	Schéma équivalent d'un réseau avec deux cellules PISO à coupleur magnétique.	97
Figure II-20	: Modification du point de fonctionnement de deux cellules PISO lors d'une variation positive de la tension à l'entrée. ....	97
Figure II-21	Modification du point de fonctionnement de deux cellules PISO lors d'une variation négative de la tension à l'entrée .....	98
Figure II-22	Modèle équivalent du DAB avec coupleur capacitif.....	99
Figure II-23	Adaptation des tensions aux bornes des condensateurs de découplage dans le convertisseur avec coupleur capacitif lors du démarrage à froid .....	99
Figure II-24	: Schéma équivalent d'un réseau avec deux cellules PISO à coupleur capacitif. ....	100
Figure II-25	: Courant dans les deux condensateurs de découplage et la tension aux bornes de $C_{série1,2,3,4}$ et $C_{OUT}$ au démarrage d'un réseau de convertisseurs avec deux cellules à coupleur capacitif. ....	101
Figure II-26	Dynamique du DAB avec coupleur capacitif lors de l'effacement d'une cellule élémentaire de conversion .....	102
Figure II-27	Dynamique du DAB avec coupleur capacitif lors de l'insertion d'une cellule élémentaire de conversion dans le réseau à deux CE. ....	103
Figure II-28	Modélisation de l'impact de l'ilotage d'une ou plusieurs cellules de conversion sur le réseau composé des cellules à coupleur capacitif.....	104
Figure II-29	Modélisation de l'impact de l'insertion d'une ou plusieurs cellules de conversion sur le réseau composé des cellules à coupleur capacitif.....	104
Figure II-30	Convergence de la tension sortie pour deux cellules à coupleur capacitif pour une condition initiale d'écart à $\pm 12.5\%$ de la valeur souhaitée de la tension de sortie.....	105
Figure III-1	Le perméabilité complexe du 3F3 en fonction de la fréquence [60].....	112
Figure III-2	Le schéma électrique équivalent du convertisseur Dual-Active-Bridge (DAB) avec un coupleur magnétique (transformateur) .....	113
Figure III-3	Le schéma bloc du convertisseur DAB .....	113
Figure III-4	(a) Le demi-pont capacitif (b) La structure Push-Pull.....	114
Figure III-5	Le modèle simplifié d'un convertisseur DAB.....	115
Figure III-6	Formes d'ondes de tension aux bornes du transformateur ainsi que le courant dans l'inductance de fuite pour $n=1$ [67].....	116
Figure III-7	Evolution des es formes d'ondes du courant dans l'inductance série pour différents rapports entre $V_S$ et $V_P$ [69].....	117
Figure III-8	Puissance transférée pour le déphasage zéro ( $\Phi=0$ ) [70] [71].....	118
Figure III-9	Signe et amplitude du courant dans l'unité intermédiaire (AC-Link) en fonction du déphasage ( $V_{IN}=V_{OUT}=40V$ et $F_{déc}=1MHz$ ) .....	118
Figure III-10	Courant efficace dans l'inductance série (traits pleins) et la puissance transférée (traits pointillés) en fonction du déphasage ( $V_{IN}=40V$ , $V_{out}=40V$ $P_{IN}=200W$ et $F_{déc}=1MHz$ )... ..	119
Figure III-11	Schéma de la circulation du courant réactif dans le transformateur en fonction de déphasage .....	120
Figure III-12	Rapport $G=I_{MAX}/I_{MOY}$ en fonction de rapport de tension pour différentes valeurs d'inductance de fuite .....	121
Figure III-13	Rendement et rapport de tension en fonction du déphasage dans un DAB pour différentes valeurs de l'inductance série .....	122

Figure III-14	Rendement et puissance transférée en fonction du déphasage dans un convertisseur DAB pour différentes valeurs de l'inductance série.....	122
Figure III-15	Convertisseur DAB-C (capacitif).....	123
Figure III-16	Variation de la capacité en fonction de la température (mesure sous 25V DC – boîtier 1210) [86].....	124
Figure III-17	Variation de la capacité (1µF) en fonction de la température (mesure sous 25V DC – boîtier 2220 ) [87].....	124
Figure III-18	Volumes des composants dans un convertisseur DAB-C (a) @1MHz et 150°C (b) @1MHz et 200°C.....	125
Figure III-19	Volumes correspondant aux composants passifs (magnétiques et capacitifs) en fonction de leur tenue en tension.....	125
Figure III-20	Schéma équivalent du circuit LC d'un pont complet en H : l'inductance série et deux capacités parasites sorties en série (2x C <sub>OSS</sub> /2).....	126
Figure III-21	Un comparaison synthétiques entre GaN FET et Si MOS-FET et SiC-FET [89]	127
Figure III-22	Exemple de commutation dure à très faible charge et faible transfert d'énergie	128
Figure III-23	Processus de prototypage .....	130
Figure III-24	Exemples pour la dissipation des pertes de composant de puissance (a) avec un dissipateur discret (b) 1 pouce carré de PCB [92].....	131
Figure III-25	(a) design maille ; (b) design étoile .....	132
Figure III-26	Un bras d'onduleur avec le condensateur de découplage correspondant .....	132
Figure III-27	Différentes façons d'interconnecter des transistors GaN dans un bras d'onduleur et un driver <i>Half-Bridge</i> associé [93].....	132
Figure III-28	Schéma de commande du DAB.....	133
Figure III-29	Le circuit de grille modélisé.....	134
Figure III-30	Impact de l'inductance parasite sur le temps de réponse ainsi que la surtension sur la grille par rapport au potentiel de source (V <sub>GS</sub> ) [61] : (a) grille de transistor en court-circuit avec le driver associé ; (b) mettant en œuvre de différentes valeurs de résistance de grille pour contrôler la surtension, pour différentes valeurs d'inductances parasites [40].....	134
Figure III-31	Répartition arbitraire des différents types de pertes dans un DAB .....	136
Figure III-32	Courant efficace dans l'inductance de fuite en fonction de la valeur de l'inductance de fuite @ Vin=Vout=15V, Pout=75W (Mathcad).....	137
Figure III-33	Champ magnétique et l'induction magnétique dans le noyau EFD15/8/5-3F3-5 spires (transformateur I) @500kHz – 25°C : V <sub>IN</sub> = V <sub>OUT</sub> =15V .....	138
Figure III-34	Courbe d'Hystérésis de noyau EFD15/8/5-3F3-5 spires.....	138
Figure III-35	Caractéristiques du « transformateur I » EFD15/8/5 – 3F3 – 5 spires : (a) L <sub>f</sub> , (b) R <sub>DC</sub> (ESR), (c) L <sub>M</sub> et (d) R <sub>AC</sub> .....	139
Figure III-36	Valeur optimale théorique de l'inductance de fuite pour le « transformateur II » .....	139
Figure III-37	Caractéristiques du « transformateur II » EFD15/8/5 – 3F3 – 6 spires (a) L <sub>f</sub> , (b) R <sub>DC</sub> (ESR), (c) L <sub>M</sub> et (d) R <sub>AC</sub> .....	140
Figure III-38	Valeur optimale de l'inductance de fuite pour le « transformateur III ».....	140
Figure III-39	Les caractéristiques acquises pour le « transformateur III » avec le noyau « CM234125 » .....	141
Figure III-40	Courbe d'hystérésis correspondant à chacun des trois transformateurs dimensionnés @I <sub>Lf_eff</sub> =5A .....	142
Figure III-41	Le schéma équivalent du convertisseur DAB avec le condensateur série.....	143

Figure III-42	Influence de la valeur de condensateur série sur la forme de courant dans le transformateur (a) faible valeur (quasi-résonance) ; (b) bonne valeur de $C_{série}$ .....	143
Figure III-43	Prototype MOS P-N (a) face top, (b) face bottom.....	146
Figure III-44	Photo de la mesure de la température dans les conditions nominales de fonctionnement @ $P_{nominale}$ .....	146
Figure III-45	Modèle thermique équivalent du transistor avec le driver associé.....	147
Figure III-46	Formes d'ondes du courant dans l'inductance de fuite $L_f$ (cyan) et la tension d'entrée (noir) et la tension de sortie (rouge) du transformateur @ $f_{découpage}=500$ kHz, $\Phi=55$ ns.....	148
Figure III-47	Efficacité énergétique du « prototype I » MOS P-N en fonction de la puissance de sortie .....	148
Figure III-48	Régulateur à découpage pour alimenter le driver LS et HS .....	151
Figure III-49	Le prototype à transistors MOS N-N (a) top (b) bottom.....	151
Figure III-50	Image thermique du prototype à transistors MOS N-N en régime nominal.....	151
Figure III-51	Formes d'ondes du courant dans l'inductance de fuite et des tensions aux bornes d'entrée et de sortie du « transformateur II » .....	152
Figure III-52	Efficacité du « prototype II » à transistors MOS N-N en fonction de la puissance sortie .....	153
Figure III-53	Prototype DAB-M : (a) face avant (b) face arrière.....	154
Figure III-54	Zoom: deux composants GaN-EPC2016 et le driver LM5113 associé pour les transistors HS et LS.....	155
Figure III-55	Efficacité en fonction du temps mort pour $V_{IN}=V_{OUT}=30$ V, $P_{OUT}=120$ W @1 MHz et $\Phi=30$ ns .....	155
Figure III-56	Formes d'ondes des tensions d'entrée 30V et de sortie 30V et du courant dans l'inductance de fuite du « transformateur III » $I_{L_{f-eff}}=5$ A.....	156
Figure III-57	Efficacité en fonction de la puissance sortie : (a) @500kHz (b) @1MHz.....	156
Figure III-58	Efficacité en fonction de la puissance sortie : (a) @500kHz (b) @1MHz.....	157
Figure III-59	« Prototype V » DAB-C : (a) Top (b) Bottom.....	158
Figure III-60	Formes d'ondes des tensions d'entrée 30V et de sortie 30V et le courant dans AC-Link ( $I_{L_{s-eff}}=5$ A) du convertisseur DAB-C .....	159
Figure III-61	Schéma électrique équivalent de (a) isolation magnétique (b) coupleur capacitif .....	160
Figure III-62	ESR des transformateurs I, II et III et celle de condensateurs de découplage et $L_{série}$ .....	160
Figure III-63	(a) Impédance, (b) ESR de l'AC-Link en fonction de la fréquence pour DAB-M (transformateur III+ $C_{série}$ →bleu) et DAB-C ( $2xL_{série}+2xC_{série}$ → rouge).....	161
Figure III-64	Inductance série équivalente de l'ensemble des composants dans l'AC-Link : (a) DAB-C, (b) DAB-M.....	162
Figure III-65	Déphasage appliqué entre les signaux de commande du primaire et du secondaire : (a) DAB-C, (b) DAB-M.....	162
Figure III-66	Différents rendements correspondant aux prototypes DAB-M et DAB-C .....	163
Figure III-67	Dispersion de délai de propagation entre la voie LS et la voie HS du driver LM5113 : (a) Turn-ON, (b) Turn-OFF .....	164
Figure III-68	Rendement du convertisseur DAB-M sans diode roue-libre (GaN-GaN) @1 MHz et $\Phi=60$ ns .....	164
Figure IV-1	Idée de synchronisation simultanée des transistors d'une cellule de commutation et des bras afin d'optimiser le pilotage du pont complet en H.....	170

Figure IV-2	Schéma de principe de la commande en courant : .....	171
Figure IV-3	Schéma de principe de la charge et de la décharge des capacités parasites du transistor à l'effet de champ via par une attaque en tension.....	172
Figure IV-4	Deux configurations d'un étage <i>Push-Pull</i> : (a) CMOS (b) NMOS .....	173
Figure IV-5	Schéma de principe d'un circuit de commande de grille standard.....	174
Figure IV-6	Le transformateur d'impulsion multi-enroulements au secondaire pour commander un bras de pont.....	175
Figure IV-7	Schéma de principe du circuit de commande de grille avec adaptation de tension à l'aide d'un <i>Level-Shifter</i> .....	176
Figure IV-8	Schéma de principe d'un <i>Level-Shifter</i> avec générateur d'impulsion.....	177
Figure IV-9	Définition des délais de propagation et des temps de montée et de descente d'un <i>driver</i> .....	178
Figure IV-10	Principaux éléments parasites dans le circuit de commande d'un bras d'onduleur (des couplages entre éléments magnétiques ne sont pas représentés mais sont possibles voire importants) .....	180
Figure IV-11	Photo thermique prise du prototype DAB-GaN avec coupleur magnétique .....	181
Figure IV-12	Simulation thermique du <i>Quad-Gate-Driver</i> avec le logiciel Flotherm .....	182
Figure IV-13	Topologie du circuit de commande de grille.....	183
Figure IV-14	Situation générale des largeurs des grilles entre les bras CMOS de l'unité de propagation des ordres de commande .....	186
Figure IV-15	Simulation du temps mort créé par l'étage DMS pour minimiser le courant de court-circuit dans les transistors de sortie, PMOS <sub>OUT</sub> et NMOS <sub>OUT</sub> .....	187
Figure IV-16	Simulation du temps de propagation à travers les différents étages du PSU (OFF – ON) .....	187
Figure IV-17	Simulation du temps de propagation à travers les différents étages du PSU (ON – OFF) .....	188
Figure IV-18	Topologie du circuit de décalage de tension .....	189
Figure IV-19	Forme d'onde des signaux d'entrée et de sortie du CSU .....	189
Figure IV-20	Circuit de décalage basse-tension – 3.3V à 5V .....	190
Figure IV-21	Schéma fonctionnel pour une voie CSU <sub>ON</sub> ou CSU <sub>OFF</sub> : miroir de courant, étage d'amplification et Bascule RS.....	190
Figure IV-22	Simulation de la caractéristique $V_{DS}-I_D$ des transistors du miroir de courant T <sub>CM1</sub> /T <sub>CM2</sub> (corner standard, 25 °C).....	191
Figure IV-23	Simulations de la perturbation des tensions sous forts dV/dt (CADENCE) .....	191
Figure IV-24	Simulation de la propagation de la perturbation des tensions sous dV/dt moyen, 15kV/μs (CADENCE).....	192
Figure IV-25	Layout des deux transistors T <sub>CM1</sub> et T <sub>CM2</sub> .....	193
Figure IV-26	Image au microscope des puces : (a) « Level-Shifter 100V » (LS100) ; (b) circuit de commande de grille complet QGD ; (c) le zoom sur l'unité de transfert d'ordres de commande CSU .....	194
Figure IV-27	Report par fils sur substrat céramique HT° (a) ; Mise en boîtier DIL40 (b) ; machine Flip-Chip PP6-6 (c) ; prototype Flip-Chip (d).....	196
Figure IV-28	Mesure de tension en mode différentiel (a) et avec deux oscilloscopes isolés (b) .....	197
Figure IV-29	Modèle complet de sonde [131] .....	197

Figure IV-30	Mesures sous pointes correspondant au test d'alimentation (a) GND-3,3V (b) GND-5V et (c) <i>Bootstrap</i> .....	198
Figure IV-31	Test fonctionnel de circuit de transfert d'ordres de commande pour (a) $GND_{HS}=GND$ et (b) $GND_{HS}=30V$ .....	199
Figure IV-32	Largeur minimum nécessaire pour détecter le changement d'état du signal à la sortie de CSU .....	200
Figure IV-33	Schéma électrique de test du circuit QGD .....	200
Figure IV-34	Consommation déduite des mesures en fonction de la largeur des pulses d'entrée $PULSE_{ON}$ et $PULSE_{OFF}$ .....	201
Figure IV-35	Signaux Q2 (jaune) et Q3 (vert), $PULSE_{ON}$ (rouge) et $PULSE_{OFF}$ (bleu) (a) 20kHz (b) 100kHz (c) 500kHz (d) 1MHz.....	202
Figure IV-36	Dispersion des temps de propagation entre les signaux de sortie Q <sub>2</sub> et Q <sub>3</sub> .....	202
Figure IV-37	Signal de sortie du circuit de commande mesuré avec l'oscilloscope isolé $F_{dec}=10kHz$ (5V/ns @100 kHz, 25°C) (a). Valeur de dV/dt imposé au niveau de $GND_{HS}$ (b)....	203
Figure IV-38	Perturbations à la sortie du QGD à $dV/dt > 5V/ns$ .....	204
Figure IV-39	Caractérisation HT° de la puce QGD reportée : (a) sur substrat céramique ; (b) photo IR du prototype sur substrat céramique sans couvercle ; (c) mise en boîtier câblé sur SMI.....	204
Figure IV-40	Capuchon isolant thermique .....	205
Figure IV-41	Evolution des temps de propagation des signaux de sortie pour passer de l'état bas à l'état haut (bleu) et de l'état haut à l'état bas (rouge) dans la puce QGD reportée sur substrat céramique .....	205
Figure IV-42	Consommation de la puce QGD en fonction de la température @100kHz et $WPULSE=20\%$ de $T_{dec}$ .....	206
Figure IV-43	Seuil de dV/dt @175°C.....	206
Figure IV-44	Immunité aux dV/dt de l'approche Coreless à 25V/ns.....	208
Figure IV-45	Erreur dans le dessin de la puce QGD.....	209
Figure 1	(a) Les mise en réseau standard côté DC (b) mise en parallèle côté AC-Link et mise en série à la sortie $PI_{AC}SO_{DC}$ (c) Mise en cascade côté AC-Link et mise en série à la sortie $CI_{AC}PO_{DC}$ .....	215
Figure II-31	: Algorithme proposer pour identifier le nombre optimum de CE.....	230
Figure II-32	: Capacité parasite primaire/secondaire correspondant à trois transformateurs construits .....	231
Figure III-69	Volumes des composants dans un convertisseur DAB à couplage magnétique : (a) noyau 3F3 @150°C (b) noyau CM234521 @200°C.....	232
Figure III-70	Variation des pertes spécifiques et variation de la perméabilité correspondant à un noyau classique 3F3 en fonction de la température [60].....	232
Figure III-71	La variation de la perméabilité dans un noyau MPP standard [101].....	233
Figure III-72	Pertes dans les ponts en H primaire, secondaire et dans le transformateur pour un convertisseur DAB abaisseur pour un cahier des charges $V_{IN}=340V$ , $V_{OUT}=12V$ [62] .....	233
Figure III-73	Contribution des pertes du pont en H primaire, du transformateur et du redresseur secondaire du convertisseur DAB abaisseur pour un cahier des charges $V_{IN}=42V$ , $V_{OUT}=12V$ [61] .....	234
Figure III-74	Pertes correspondant à chaque partie d'un convertisseur DAB intégré pour un rapport de transformation de 1 et une fréquence de découpage de 1MHz [81].....	234
Figure III-75	Courbes d'hystérésis et ondulation du champ et du courant magnétisant associés dans un transformateur EFD15.8.5 – 3F3 avec 5spires du fil Litz.....	236

---

Figure III-76	Evolution de la résistance des enroulements d'un transformateur HF (CM234125)	.....238
Figure III-77	L'exemple de diminution de la résistance équivalente série ESR en fonction de la fréquence (GRM31CR61H106KA12)	..... 239







---

## Introduction générale :

Les réseaux sociaux se sont emparés de la question<sup>1</sup> de l'énergie et de l'environnement lors de la campagne présidentielle américaine en mettant en avant d'un côté l'importance de la croissance de la consommation d'énergie en parallèle des problèmes d'environnement et d'un autre côté la limite des ressources énergétiques. Production d'énergie et maximisation des rendements énergétiques des systèmes de traitement de l'énergie sont des grands défis d'aujourd'hui. Actuellement, la plus grande partie de l'énergie consommée est d'origine fossile. La COP21, qui s'est tenue à Paris en 2015, a souligné à nouveau l'impact des gaz à effet de serre sur le bouleversement climatique, et ses conséquences. L'énergie électrique produite d'origine nucléaire n'a pas bonne presse non plus avec les catastrophes nucléaires en Russie en 1986 et au Japon en 2011, ainsi que les problèmes des déchets nucléaires. Face à des solutions technologiques encore largement perfectibles pour produire une énergie électrique « propre » à partir des énergies renouvelables, les rendus des COP21 et autre CMP11 sont orientés vers augmentation de l'efficacité énergétique et la réduction de la consommation.

Les énergies renouvelables telles que l'éolien, le solaire, l'hydroélectrique ou la biomasse devront jouer un rôle important pour réduire la consommation des sources fossiles et les impacts correspondants. Les énergies renouvelables ont paradoxalement des ressources illimitées mais toujours avec les fluctuations fortes, qui les rendent moins disponibles. Parmi le mix énergétique renouvelable, le photovoltaïque (PV) a suscité beaucoup plus l'attention que les autres types grâce à sa facilité d'installation, la disponibilité de l'énergie, très peu de dépréciation ainsi que peu besoin d'entretien régulier. Par ailleurs l'énergie variable produite par les modules PV doit ensuite être en permanence couplée à la charge avec donc une bonne adaptation de niveau de tension. Pour contrer cette problématique, il est nécessaire d'insérer des éléments intermédiaires, des convertisseurs statiques, avec fort rapport de transfert de puissance mais un haut rendement.

Un convertisseur statique représente un ensemble de composants qui sont mis en place de façon particulière afin d'aboutir à la fonction recherchée. De ce fait, pour chaque application ayant son cahier des charges, nous avons besoin d'une nouvelle configuration topologique, constituée de différents composants pour former la structure de conversion désirée. Un réseau de convertisseurs offre des degrés de liberté supplémentaires. Un réseau de convertisseurs est composé d'un seul type de fonction « universelle », appelé « cellule élémentaire » à partir de laquelle il devient possible de répondre à n'importe quel cahier des charges, par diverses associations. Le fait d'avoir une haute efficacité énergétique pour une cellule de conversion ne nuit pas au rendement du réseau. En outre des composants de plus en plus compacts et performants avec des caractéristiques adaptables à des applications différentes deviennent de plus en plus attractifs et recherchés.

Les composants GaN s'inscrivent de manière naturelle dans ce contexte puisqu'ils permettent, pour un même calibre en tension, de diminuer les pertes par conduction et les pertes par commutation, tout en fonctionnant à fréquence plus élevée, sans pénalisation au niveau des pertes. De plus les composants GaN actuels sont compatibles avec l'approche réseau de convertisseur grâce à une taille réduite (pas de boîtier) et une tenue tension adaptée à la tension de travail du panneau PV (au début de la thèse les composants GaN étaient limités à 200V au niveau de  $V_{DS-max}$ ). Les tailles réduites des boîtiers des composants GaN utilisés dans ces travaux (GaN-EPC), offrent la possibilité de

---

<sup>1</sup> Ken BONE : « Quelles mesures envisagez-vous pour répondre à nos besoins énergétiques tout en respectant l'environnement et en minimisant les pertes d'emplois ? »

---

limiter les effets néfastes des éléments parasites lors des commutations à haute fréquence. Avec des densités de puissance commutée très importantes, ces composants offrent des possibilités nouvelles et tirent vers le haut la gestion efficace dans le domaine des énergies renouvelables. Toutefois l'introduction de cette nouvelle technologie repose sur un pilotage efficace et une encapsulation (packaging) optimale. La structure latérale et quasi symétrique des transistors GaNs en font des composants bidirectionnel en courant mais ils ne possèdent pas de diode de roue-libre intrinsèque ce qui ne permet pas de faire des commutations naturelles. Aussi la commutation GaN-GaN demande une commande précise où les délais de propagation sont une grandeur déterminante. L'attrait lié à la possibilité d'une montée en température de ces nouveaux composants grand gap rend davantage concurrentiel la gestion distribuée et fiabilisée des cellules de production d'énergie. En revanche cette caractéristique haute température contraint les circuits de commande rapprochée et complique leur refroidissement.

La thèse part du constat d'un besoin applicatif PV dans lequel sont nécessaires des rapports d'élévation de tension de grande valeur : à partir de basses tensions jusqu'au niveau du bus DC classique à 400V. L'enjeu de la thèse s'inscrit donc dans ce contexte, avec pour objectifs de contribuer à la conception de convertisseurs statiques avec des niveaux de performances et de compacités élevés :

**« Un ou plusieurs panneaux photovoltaïques standards 40V/5A (soit 72 cellules PV)  
raccordés indépendamment et directement au bus 400V »**

Le cahier des charges suivant a été proposé :

- Fonctionnalité : Rapport de transformation supérieur à 10
- Performance : Rendement supérieur à 95%
- Encombrement : Densité de puissance supérieure à 10 kW/lit
- Robustesse : Gestion la plus efficace possible de la marche dégradée
- Fiabilité : Les travaux doivent s'inscrire dans un cadre technologique à forte Fiabilité HT°

Le travail dans cette thèse est largement multidisciplinaire, du composant au système, en vue d'améliorer le rendement de la chaîne de conversion à base de composants grand gap avec une nouvelle approche de couplage au sein du convertisseur statique. Les aspects d'efficacité, densité de puissance, montée en fréquence et fonctionnement en haute température sont abordés conjointement. Des propositions d'architectures de conversion multi-niveaux, multi-modules à base de cellules élémentaires de conversion sont évaluées à partir de figures de mérite, et des structures font l'objet d'une analyse expérimentale. Le maximum de transfert d'énergie au sein d'un *Dual Active Bridge*, est étudié avec deux concepts : le transformateur de puissance et le coupleur capacitif de puissance. La synthèse du module de conversion efficace et compacte avec pour objectifs de développer une nouvelle classe de cellule élémentaire de conversion à base de transistors GaN permet à la fois d'envisager la montée en fréquence de découpage sans sacrifice sur les performances. Une dernière partie est dédiée à l'approfondissement de la commande rapprochée au sein d'un *Dual Active Bridge*. Un *gate driver* monolithique, synchronisé et adapté aux contextes système, convertisseur et composants GaN est détaillé.

Le manuscrit se compose de quatre chapitres :

---

Chapitre I : positionne l'état de l'art vis-à-vis de la conversion à fort rapport de transformation afin de comparer différentes solutions en exploitant une FOM « topologiques ». L'objectif du chapitre est de faire ressortir les principaux verrous et enjeux scientifiques et technologiques autour de ce contexte. Dans ce chapitre sont abordées des approches de conversion à fort rapport de transformation.

Les Chapitre II et III traitent de l'aspect topologique du réseau de convertisseurs et de la cellule de conversion élémentaire, avec très peu de composants passifs et donc adaptée à la montée en fréquence. L'introduction du premier chapitre montre la nécessité de créer un convertisseur multicellulaire à haut rendement à fort ratio de conversion et enfin à haute dynamique de réponse. Le ratio de conversion d'un réseau de convertisseur est défini par le nombre de cellules élémentaires associées en parallèle à l'entrée et en série à la sortie du réseau de convertisseur (PISO). La suite du chapitre présente et compare les caractéristiques d'un réseau de convertisseurs à base de convertisseurs DAB à couplage capacitif par rapport à son homologue à base de convertisseurs DAB à couplage inductif. L'objectif de la thèse étant de pousser cette approche le plus loin possible, trois aspects originaux sont traités :

- Une approche générique réseau de convertisseurs, mais sans le besoin d'isolation galvanique permet d'envisager une structure DAB capacitif. Une étude poussée des solutions à isolation capacitive fait l'objet du second chapitre.
- L'introduction des composants GaN dans les cellules de conversion élémentaires basses tensions d'un réseau de convertisseurs est un défi qui repose sur l'utilisation optimale de la commutation GaN-GaN. Une étude comparative et évolutive aborde en détail ce point dans le troisième chapitre.
- La montée en très haute fréquence possible avec les GaN requiert un *driver* très soigné et la réalisation d'un *ASIC* spécifique. L'état de l'art en fin de troisième chapitre présentera le contexte, les enjeux et les objectifs dans le cadre de la thèse et au-delà.

Dans le chapitre III, beaucoup plus orienté autour du DAB à proprement parler, le lecteur pourra apprécier les travaux théoriques et expérimentaux menés avec pour objectif d'en optimiser son volume, ses performances, sa compacité, par l'introduction de routages performants, de nouveaux composants, de l'approche capacitive, l'idée étant de valider, sur une cellule élémentaire, un ensemble de choix technologiques et, le cas échéant, faire émerger les points sensibles qui vont nécessiter davantage d'approfondissement (et donc introduire la partie *driver*).

Le dernier chapitre pousse la contribution de ce travail de thèse à l'échelle du composant avec un travail de conception, mise en œuvre, test et caractérisation du circuit de commande rapproché, sous la forme d'un circuit intégré, dédié aux nouveaux composants GaN. L'ASIC, intègre en une seule puce les 4 drivers nécessaires au contrôle rapproché d'un onduleur en pont complet basse tension. L'intégration monolithique, qui limite les dispersions technologiques, fonctionnelles et opérationnelles permet de générer, dans notre cas, quatre signaux de commande avec une dispersion maîtrisée des délais de propagation. D'autres caractéristiques importantes, en lien direct avec les aspects fonctionnels d'un convertisseur à commutations rapides, seront abordés dans le dernier chapitre.



---

# Chapitre I



---

# I. Contexte et l'état de l'art

## A. Introduction

Le premier chapitre positionne l'état de l'art vis-à-vis de la conversion à fort rapport de transformation dans le contexte des énergies renouvelables, et plus particulièrement le photovoltaïque (PV). Un objectif est de comparer différentes solutions de conversion en exploitant une figure de mérite spécifique (FdM) et adaptée à la comparaison des « topologies » possibles. Ce chapitre entend mettre en lumière les principaux verrous et enjeux scientifiques et technologiques dans ce contexte.

Pour davantage positionner le contexte applicatif choisi, ce chapitre considère une application photovoltaïque à fort rapport de transformation de 40V à 400V DC. Le réseau continu haute tension considéré dans cette thèse est donc de l'ordre de 400V, compatible avec les onduleurs monophasés raccordés sur le réseau électrique européen auquel le système de production photovoltaïque peut être connecté. A ce propos, on va tout d'abord introduire plus avant le contexte particulier du PV dans sa généralité et ensuite le contexte spécifique du raccordement au réseau de distribution des panneaux photovoltaïques avec pour objectif que chaque panneau puisse être directement raccordé sur le bus DC alimentant l'onduleur (DC/AC). La compréhension du fonctionnement d'un générateur PV nous permettra d'appréhender les caractéristiques importantes qui conditionnent l'interconnexion de générateurs PV ayant des caractéristiques différentes et des dispersions de productions (*mismatching*). Enfin on conclura sur les spécifications à mettre en vis-à-vis d'une solution efficace, compacte et robuste de conversion. En particulier, il sera mis en évidence que la solution proposée devra offrir un grand rapport de transformation permettant de raccorder des sources PV pouvant varier entre deux valeurs extrêmes de tension en entrée.

La seconde partie du chapitre introduira l'approche reposant sur la mise en œuvre de réseaux de convertisseurs comme l'une des solutions permettant de répondre aux spécifications posée en marge de la première partie du chapitre. Cette partie permettra, entre autres, de souligner les avantages de l'approche développée au G2Elab depuis plusieurs années.

Une troisième partie du chapitre sera consacrée à la comparaison d'architectures plus conventionnelles à celle développée dans ce manuscrit. Comme évoqué plus haut, l'enjeu de cette comparaison reposera sur un effort de représentation des architectures de convertisseur en essayant de s'affranchir le plus possible des aspects technologiques liés à la mise en œuvre des convertisseurs statiques. A cet effet, nous présenterons une démarche de comparaison spécifique, basée sur une figure de mérite dite « topologique » (par opposition à une comparaison issue de données liées aux technologies d'implémentation).

Enfin, une dernière partie introduira la nécessité d'une commande rapprochée, sous forme d'un ASIC<sup>1</sup>, afin de pouvoir exploiter les capacités exceptionnelles des nouveaux composants de puissance GaN-HFET au niveau de la vitesse de commutation, donc des pertes associées, et contribuer aux aspects volumique et thermique liés aux commutations.

---

<sup>1</sup> Application Specific Integrated Circuit



## B. Contexte de l'étude

### i. Le module PV

L'énergie solaire photovoltaïque provient de la transformation directe d'une partie du rayonnement solaire en énergie électrique [1]. Cette conversion d'énergie s'effectue au niveau d'une jonction PN semiconductrice en s'appuyant sur l'effet photovoltaïque qui dénote une force électromotrice créée aux bornes de la jonction lorsque sa surface est exposée à un rayonnement de longueur d'onde convenable [2]. La tension à vide générée peut varier en fonction du matériau utilisé pour la fabrication de la cellule PV (silicium cristallin, couches minces, organique, Pigment photosensible, multi jonction ...), de la température effective de la jonction PN et bien évidemment de l'irradiation sur la surface.

La cellule photovoltaïque (PV) est le plus petit élément d'un système PV. Un panneau photovoltaïque (module PV) est composé d'un nombre plus ou moins important de cellules PV interconnectées [2]. Un module PV classique est constitué de 72 cellules : 4 rangées (*string*) de 18 cellules en série, sachant qu'une cellule délivre environ entre 0,5 et 0,6 V pour un courant de court-circuit pouvant atteindre environ 5A. Cette mise en série permet d'accroître la tension nominale de la rangée et de faciliter la conversion de l'énergie électrique produite. Les grandeurs caractéristiques actuelles d'un panneau classique polycristallin sont de l'ordre de 44 V de tension à vide pour une tension nominale de 40 V et un courant de sortie de l'ordre de 5A. Enfin la plupart des installations solaires sont composées de plusieurs modules PV, des convertisseurs statiques de puissance, des appareillages de protection électrique et des dispositifs de surveillance et enfin des moyens de stockage. Les connexions entre les modules PV dans un champ photovoltaïque peuvent être réalisées en parallèle ou en série selon les besoins en sortie [3]. Nous allons maintenant détailler et analyser les différents niveaux du système pour en extraire le cahier des charges du convertisseur statique granulaire qui pourrait, selon des critères qui vont être définis, répondre au mieux à ce contexte applicatif.

#### 1) Principes généraux

Un générateur PV est de type source à courant continu (GDC) détaillé dans l'équation (I-1) [4]:

$$I = i_{ph} - i_0 \left( e^{\frac{V+I.R_s}{V_t}} - 1 \right) - \frac{V+I.R_s}{R_p} \quad \text{I-1}$$

Où  $i_{ph}$  représente le photo-courant intrinsèque,  $R_p$  et  $R_s$  respectivement la résistance parallèle et série,  $i_0$  le courant de saturation inverse (Figure I-1),  $i$  et  $V$  le courant et la tension de sortie et  $V_t$  la tension thermodynamique décrite par l'équation (I-2) :

$$V_t = \frac{A.k.T_c}{q} \quad \text{I-2}$$

Où la variable  $A$  est le facteur d'idéalité,  $k$  la constante de Boltzman,  $T_c$  la température (K) et  $q$  est la charge électrique (C).

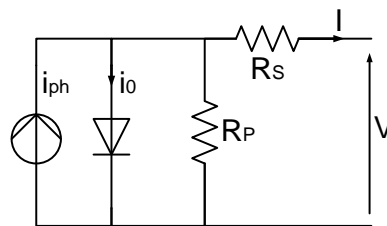


Figure I-1 Schéma électrique équivalent d'un générateur photovoltaïque

Comme les équations (I-1) et (I-2) le mettent clairement en évidence, la température et la luminosité influencent significativement la caractéristique I-V et donc le point de fonctionnement. On distingue trois zones principales parmi les quatre quadrants comme cela est illustré dans le Figure I-2(a):

- Le quadrant de fonctionnement normal en mode générateur non-idéal de courant de la cellule ou du module PV. Dans ce quadrant, le point de fonctionnement peut varier dans la zone intermédiaire et entre les deux points extrêmes correspondant au courant de court-circuit  $I_{CC}$  et la tension en circuit-ouvert  $V_{CO}$  ( $Q_1$ ).
- Une zone de régime de surintensité – au-delà du courant de court-circuit  $I_{CC}$  – dans lequel ce générateur se comporte comme un récepteur en tension ( $Q_2$ )
- Une zone en mode charge à contre-courant – proche de la  $V_{OC}$  – dans laquelle il apparaît comme un récepteur de fort courant ( $Q_4$ )

Pour faire fonctionner de manière optimale le générateur photovoltaïque, on va chercher à positionner le point de fonctionnement au maximum de production de puissance électrique. On définit ce point de fonctionnement comme le MPP, maximum power point. Le MPP ( $P_{MAX} = [V \cdot I]_{MAX}$ ) est défini par le point de contact entre la caractéristique de la puissance produite en fonction de la tension du générateur et l'hyperbole d'iso-puissance la plus élevée tracée dans la Figure I-2(b).

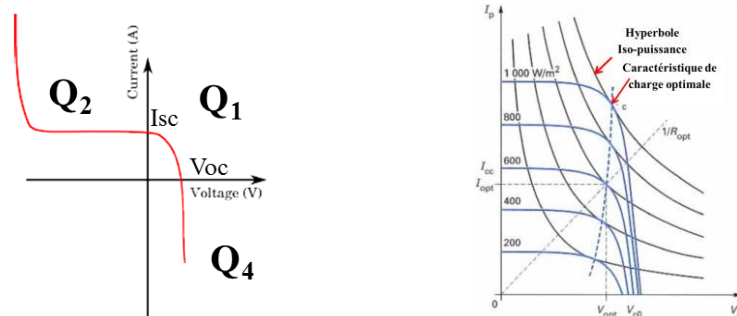


Figure I-2 (a) Caractéristique I-V d'une cellule PV (b) Caractéristique I-V d'un module PV [4]

Le point de fonctionnement du module PV est défini par l'intersection de sa caractéristique I-V avec l'impédance équivalente vue à la sortie, dit autrement l'impédance de la charge. En conséquence, une impédance optimale doit être associée au générateur pour extraire la puissance optimale disponible dans toutes les conditions considérées telles que la luminosité et la température. L'utilisation optimale d'un module PV consiste alors à ce que sa charge conserve à chaque instant les valeurs optimales d'impédance de charge lorsque les conditions varient. Il y a donc lieu d'effectuer en permanence l'adaptation d'impédance nécessaire avec un dispositif local. C'est au convertisseur statique de jouer ce rôle en contrôlant en permanence quel niveau de tension doit être appliqué au générateur solaire pour maximiser sa puissance. Sur un panneau standard avec 72 cellules en série, la plage de tension optimale à appliquer pourra donc varier de 36 V à 44 V sans filotage selon les conditions de fonctionnement [2]. Cette plage de variation de tension d'un module PV s'accroît si on prend en compte l'ilotage des cellules photovoltaïques de module (chapitre II → 13 V – 44 V). Ces premières données participent à la définition du cahier des charges du convertisseur recherché. La partie suivante aborde l'association des panneaux au sein d'une installation photovoltaïque.

## 2) Mise en parallèle/série des panneaux

La plupart des installations repose sur la mise en série de modules PV pour accroître la tension de sortie du générateur et optimiser le conditionnement de l'énergie électrique à très haut rendement. Lorsque la puissance installée est importante, plusieurs rangées sont associées en parallèle. Différentes configurations ont fait l'objet de nombreuses études qui sont hors du champ de cette thèse [1], [5], [6], [7]. Nous allons nous concentrer sur le cas général consistant à associer en série plusieurs modules PV. Dans un groupement en série, les éléments PV sont traversés par le même courant et la caractéristique résultante du groupement en série est obtenue par addition des tensions de l'ensemble des modules PV à courant donné. Dans la Figure I-3 la caractéristique d'un module PV est présentée avec celle d'un ensemble de  $N_{\text{série}}$  éléments identiques en série :

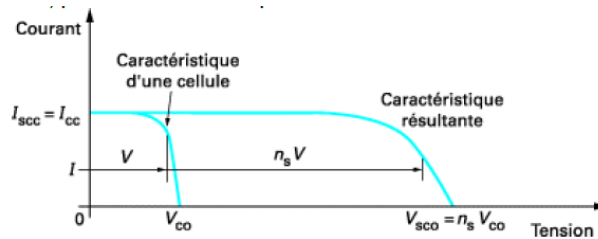


Figure I-3 Les caractéristiques I-V d'un module PV et d'un ensemble de  $N_{\text{série}}$  éléments PV associés en série [4]

Dans un groupement des modules PV connectés en parallèle, ils sont soumis à la même tension et la caractéristique résultante du groupement est obtenue par addition des courants sortis de chaque module à tension donnée. La Figure I-4 présente la caractéristique d'un PV, ainsi que la caractéristique de l'ensemble de  $N_{\text{parallèle}}$  éléments identiques en parallèle :

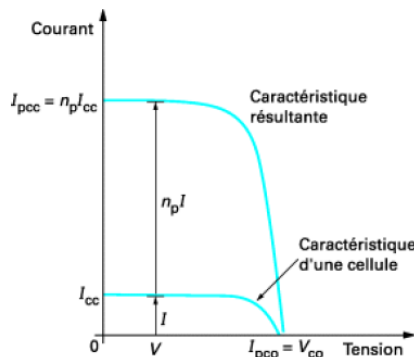


Figure I-4 La caractéristique de l'ensemble de  $N_{\text{parallèle}}$  PV [4]

Ces deux types d'associations de modules PV présentent des avantages et des inconvénients. La mise en série permet de soulager le dimensionnement de l'électronique de puissance qui lui est associée alors que la mise en parallèle permet de limiter l'influence des disparités sur le productible comme nous allons le voir un peu plus loin.

Avant de passer à la suite, essayons de comprendre pourquoi la mise en série de module de puissance est devenue naturelle et nécessaire. Pour cela, nous allons considérer que toute la puissance produite par un ou plusieurs modules PV transite de toute façon par un bus DC à 400V avant d'alimenter une charge AC ou d'être raccordée sur le réseau de distribution AC. Se faisant, il est nécessaire d'insérer entre les modules PV et le bus DC un étage de conversion DC permettant, le cas échéant, « d'élever » la tension des modules PV et également de réaliser le suivi du point de fonctionnement optimal. En règle générale, le hacheur parallèle est un bon candidat [2] [8]. Il permet

---

des élévations importantes de tension, tout en restant un convertisseur simple et efficace. Si on souhaite raccorder un module PV seul directement à un bus DC, le facteur de dimensionnement<sup>1</sup> du convertisseur statique sera très pénalisé. En effet, celui-ci devra faire transiter le plein courant coté basse tension et tenir la tension maximale coté haute tension. Il devra donc être dimensionné pour faire commuter 5A sous 400V soit 2 kVA alors que seulement 200 W vont transiter via le convertisseur [9]. Il est bien évident que la mise en série va proposer une réponse efficace à ce problème de facteur de dimensionnement. Par exemple, si l'on met 4 modules PV en série, le facteur de dimensionnement sera toujours de 2kVA mais pour 800 W à transiter, ce qui est significativement meilleur. Cela nous permet de conclure sur deux points.

- La mise en série de modules PV est logique dans une optique d'optimisation de l'étage de conversion.
- Le dimensionnement d'une structure de conversion avec un fort rapport de transformation est très pénalisant au niveau du convertisseur statique.

### 3) La dispersion des productibles

Dans la partie précédente nous avons introduit la mise en série de modules PV comme solution efficace pour monter la tension du générateur et minimiser le dimensionnement du convertisseur statique. Par opposition, nous avons également souligné que la mise en parallèle de module PV permettait de gommer efficacement les disparités de production.

Dans la réalité dans un système PV, chaque module PV possède sa propre caractéristique liée aux tolérances sur le procédé de fabrication (entre  $\pm 3\%$  et  $\pm 5\%$ ) [5], sa température propre (locale) et son taux d'irradiation local qui tous peuvent être significativement différents d'un générateur à l'autre, à l'échelle de chaque cellule comme à celle des modules PV [4], [10]. Ces hétérogénéités de caractéristiques électriques des éléments au sein d'un système PV devraient conduire bien évidemment à différents points de fonctionnement optimal (MPP) pour chaque élément ce qui génère la dispersion des productibles. Autrement dit, la différence entre la puissance maximale du système PV et la somme des puissances maximales de chaque module est appelée « perte par *mismatching* ».

Les dispersions causées par les tolérances sur les procédés de fabrication (*mismatching* structurel) sont plus faibles par rapport à celles causées par des conditions de fonctionnement (*mismatching* fonctionnel) [2]. Par exemple dans [11], les auteurs montrent que 3% de la surface d'un module ombragé à 50% (taux d'ombrage<sup>2</sup>) entraîne une perte de puissance de plus de 50% alors que 3% de tolérance sur le procédé de fabrication entraîne 3% perte par *mismatching* structurel [12].

#### (a) Interconnexion série :

Supposons deux modules PV interconnectés en série et présentant des caractéristiques différentes causées par une différence de luminosité, la caractéristique I-V de l'ensemble sera déformée car le courant continu du module ombré est plus faible. De ce fait, rechercher le MPP de l'ensemble devient compliqué avec le risque de rester bloqué sur un MPP local de la courbe I-V (Figure I-5). Les deux modules étant parcourus par le même courant, deux résultats sont possibles (Figure I-5).

---

<sup>1</sup> Facteur de dimensionnement est le rapport entre la puissance apparaitre commutée par l'interrupteur et la puissance du convertisseur.

<sup>2</sup> Pour un module PV idéalement éclairé, le taux d'ombrage est 0% et en revanche pour un module PV dans l'obscurité totale le taux d'ombrage est de 100%. De ce fait le taux d'ombrage 50% signifie un module PV avec un ombrage moyen.

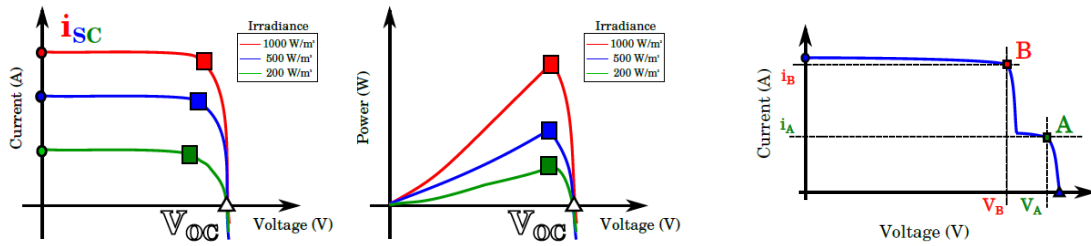


Figure I-5 Influence de l'irradiation sur le courant sortie d'un module PV [10]

- Le point de fonctionnement est imposé par le module correctement éclairé ( $I_B$ ) : par voie de conséquence, le module le plus faiblement illuminé fonctionne en récepteur (charge de surintensité), avec une tension négative à ses bornes. Dans le cas le plus défavorable, si  $N_{série}$  modules étaient en série, l'effet d'une grande tension négative pourrait détruire le module ombré par dissipation d'une forte puissance. Dans ce cas-là une diode en anti-parallèle peut court-circuiter (*bypass*) le groupement en série avec la défaillance d'ombrage partiel. Au moment de l'apparition d'une tension négative, la diode est mise en conduction lorsque la valeur de tension aux bornes de celle-ci est supérieure à la valeur de son seuil. A cet effet on perd une partie du productible d'un système PV mais les panneaux correctement éclairés peuvent produire normalement.
- Le point de fonctionnement est imposé par le module plus faible ( $I_A$ ) : dans ce cas, la diminution de la puissance produite (perte par *mismatching* fonctionnel) est importante car les modules PV ayant une caractéristique I-V plus faible vont limiter le courant fourni et donc la production de l'ensemble de modules PV connectés en série.

### (b) Interconnexion parallèle :

Considérons alors deux modules PV présentant des caractéristiques différentes, connectés en parallèle. La caractéristique de l'ensemble est déformée encore une fois car la tension aux bornes du module le plus chaud est plus faible que l'autre (Figure I-6). Les deux modules étant soumis à la même tension, deux conditions de fonctionnement sont possibles (Figure I-6).

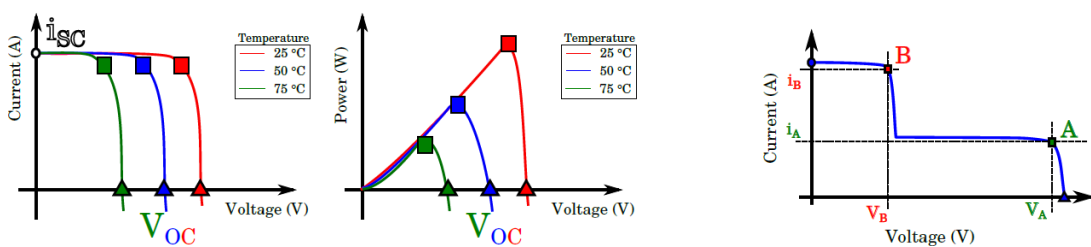


Figure I-6 L'influence de la température sur la tension d'un module PV [10]

- Le module le plus chaud impose le point de fonctionnement ( $V_B$ ) : la dispersion des productibles et pertes par *mismatching*.
- Le module le moins chaud impose son point de fonctionnement ( $V_A$ ) : le module avec la tension la plus faible peut fonctionner en récepteur (charge contre-courant), parcouru par un courant inverse très important. Ce module faiblement éclairé peut donc dissiper une puissance importante et être détruit. Pour empêcher cela, il est indispensable de mettre une diode en série (anti-retour) avec chacun des panneaux pour empêcher la circulation d'un courant inverse. Cela conduira à une perte de productible considérable !

De ce fait quel que soit le type d'interconnexion entre les modules PV, les pertes par *mismatching* sont non négligeables si les conditions sur les modules sont différentes. En général l'irradiation solaire peut avoir un grand impact sur le courant sortie d'un module PV et donc les pertes par *mismatching* de l'ensemble en série. De son côté, la température peut causer une hétérogénéité au niveau de la tension et donc des pertes lors d'une mise en parallèle. La mise en parallèle comme la mise en série directe de cellules ou panneaux solaires reste assez critique. La mise en parallèle reste difficile à protéger. La partie suivante du chapitre considère donc différentes manières pour interconnecter les panneaux solaire par l'intermédiaire de convertisseurs statiques.

## ii. Les architectures possibles d'un système PV

Le problème est abordé dans sa globalité dans cette thèse par une approche système et applicative du point de vue de l'architecture de conversion DC visant des rendements, fiabilités et flexibilités élevés. Plusieurs solutions topologiques liées à la mise en œuvre de convertisseurs dans des installations PV ont été proposées dans la littérature [5], [2], [13], [14], [15], [16], [17].

L'architecture la plus simple est de mise en parallèle de plusieurs rangées de panneaux connectés en série (*strings*) de modules PV sur un bus DC avec une diode anti retour au bout de chaque rangée (Figure I-7-a). Le bus continu est connecté au réseau à travers un convertisseur DC à faible rapport de transformation associé à un onduleur central (DC-AC centralisé). Le nombre de modules connectés en série est déterminé de telle sorte à correspondre à la plage de tension sur le bus DC. Cette architecture est principalement retenue pour les grandes gammes de puissance au-delà de quelques dizaines de kW [5]. C'est un montage très simple donc moins coûteux et facile à maintenir et surveiller. La mise en série directe de plusieurs modules sur chaque rangée permet d'éliminer le convertisseur DC élévateur, ce qui augmente le rendement. Cependant, avec la mise en série d'un nombre important de modules PV, la dispersion des productibles aura un impact important compte tenu du nombre important de panneaux associés en série sur un seul point et avec un seul convertisseur (MPPT) pour tous les modules PV.

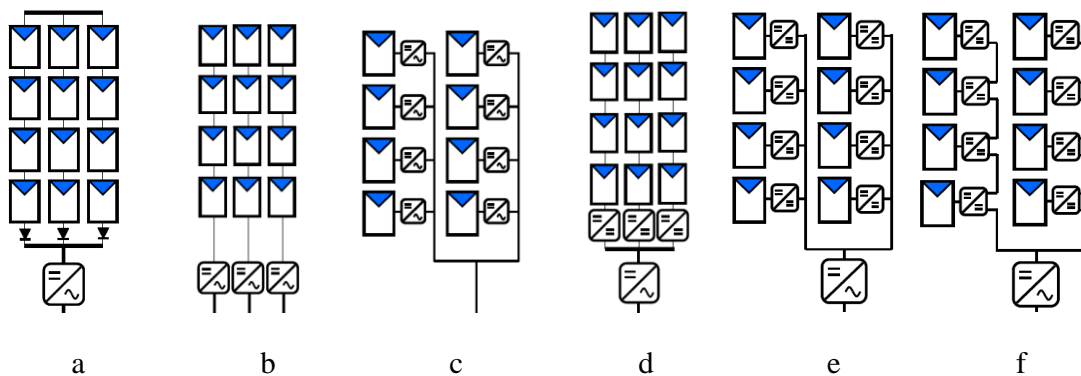


Figure I-7 Différences possibilités architecturales pour un système PV [5]

Dans le but de maximiser la puissance disponible des productibles, les topologies décentralisées et distribuées deviennent de plus en plus attractives puisque des surfaces plus petites PV se retrouvent connectées à un convertisseur MPPT dédié [17]. De cette façon chaque rangée, voire même chaque module PV dans un système PV peut fonctionner à son propre MPP et donc maximiser l'exploitation de l'irradiation solaire. D'un côté l'utilisation d'un seul onduleur permet de réduire le nombre d'interactions entre le réseau et l'installation PV. D'un autre côté, la continuité de service du système PV est menacée dans le cas de défaillance de l'onduleur centralisé même si chaque

---

rangée ou chaque module PV fonctionne à son propre MPP. De ce fait, on essaie d'implanter les onduleurs distribués sur chaque rangée – DC-AC distribué *string* – (Figure I-7-b) ou sur chaque module PV – DC/DC + DC-AC distribué module – (Figure I-7-c). De cette manière la puissance disponible et la continuité de service sont meilleures que pour toutes les autres solutions architecturales. D'après les études déjà faites dans [8] et [18], les pertes actives dans l'électronique de puissance et dans les câbles restent quasiment les mêmes par rapport à un DC-AC centralisé. Malgré tout au niveau de la stratégie de pilotage des onduleurs et du nombre d'interactions entre le réseau et l'installation PV, cette solution est plus complexe et moins favorable que la précédente.

On revient sur l'onduleur centralisé mais cette fois-ci avec les convertisseurs DC décentralisés au niveau de chaque rangée – DC distribué *string*-AC centralisé – (Figure I-7-d). Ce montage est plus coûteux que « DC-AC centralisé », mais bien évidemment il augmente la disponibilité des productibles – la productivité – et la fiabilité du système. Malgré un faible rapport de transformation demandé grâce à l'association série des modules dans chaque rangée, la surface PV reste toujours plus grande par rapport à une distribution des convertisseurs DC au niveau de chaque module – DC distribué modulaire-AC centralisé – (Figure I-7-e, Figure I-7-f), ce qui maximise la productivité du système dans le cas d'ombrage partiel ou dispersion de la température au niveau des modules PV. Dans ce cas, les sorties des convertisseurs DC associés aux modules PV, peuvent être connectées en parallèle ou en série par rapport du courant et de la tension désirée sur le bus DC (400V dans ce cas) alimentant le réseau électrique. Ensuite un onduleur central est utilisé pour raccorder le bus DC au réseau électrique. Ces deux topologies distribuées modulaires ont une meilleure fiabilité sous la condition d'une surveillance fine et rapide, un gain de productivité meilleur que les associations enchaînées, un bon rendement avec un choix judicieux et pertinent de la structure de conversion DC et finalement un grand degré de liberté au niveau de MPP de chaque module PV. Pour la topologie DC distribué modulaire, avec la mise en série des sorties de convertisseurs DC (Figure I-7-f), le rapport d'élévation nécessaire des convertisseurs diminue autant que le nombre des convertisseurs en série à la sortie. Par ailleurs, la tension du bus continu reste variable à cause du courant imposé sur l'ensemble des convertisseurs série pour une puissance donnée de chaque module. Par voie de conséquence la mise en série des convertisseurs implique une dépendance des points de fonctionnement les uns par rapport aux autres et complexifie les lois de commande et le dimensionnement de la structure. En revanche la mise en parallèle des sorties des convertisseurs associés aux modules (Figure I-7-e) permet de fixer la tension de bus DC. A ce stade-là le bus continu à l'avantage d'intégrer très facilement un élément de stockage. Dans [19], [20], l'auteur a essayé de mettre en évidence les avantages concernant la continuité de service d'un système PV avec la gestion de flux du stockage d'énergie photovoltaïque injecté au réseau.

Pourtant la production efficace au niveau du panneau nécessite des convertisseurs de puissance avec un fort rapport de conversion de tension DC afin de connecter directement chaque panneau sur le bus DC alimentant l'onduleur centralisé [21]. En outre, en distribuant un convertisseur d'énergie sur chaque panneau, on augmente la granularité des organes de contrôle et de régulation de tension, ce qui permet dans le cas des panneaux solaires de gérer les dispersions de production dues, par exemple, à des ombrages partiels [17]. Le coût est à mettre en regard du gain de productivité sur la durée avant apparition de la première panne, puisque l'augmentation du nombre d'éléments dans le champ PV a un impact sur la fiabilité. Cette architecture nécessite une évolution structurale pour la conversion DC aussi bien que pour l'isolation car un grand rapport de transformation ( $>10$ ) est demandé entre la tension sortie du module PV (40 V) connecté directement à convertisseur et celle

du bus DC (400 V). En effet pour un convertisseur élévateur non isolé classique, plus le rapport d'élévation est élevé plus les pertes sont élevées en général. Lorsque ce rapport est trop important, il est nécessaire d'avoir recours à des structures isolées ou des cascades de convertisseurs ou toute autre solution alternative en associant les convertisseurs élémentaires dans un réseau des convertisseurs. Dans le Tableau I-1 sept critères ont été définis afin d'évaluer et de comparer de façon qualitative la performance des différentes associations dans l'installation PV.

Installation PV	Coût	Productivité	Commande	Rendement	Continuité de service	Rapport de transformation	Facilité de stockage
a	😊	😡	😊	😊	😡	Non	Non
b	😊	😞	😡	😊	😊	Non	Non
c	😡	😊	😡	😊	😊	Oui	Non
d	😊	😞	😊	😊	😞	Non	Non
e	😞	😞	😞	😊	😞	Oui	Non
f	😞	😊	😊	😊	😞	Non	Oui

Tableau I-1 Comparaison qualitative des installations PV présentées à la Figure I-7 [2]

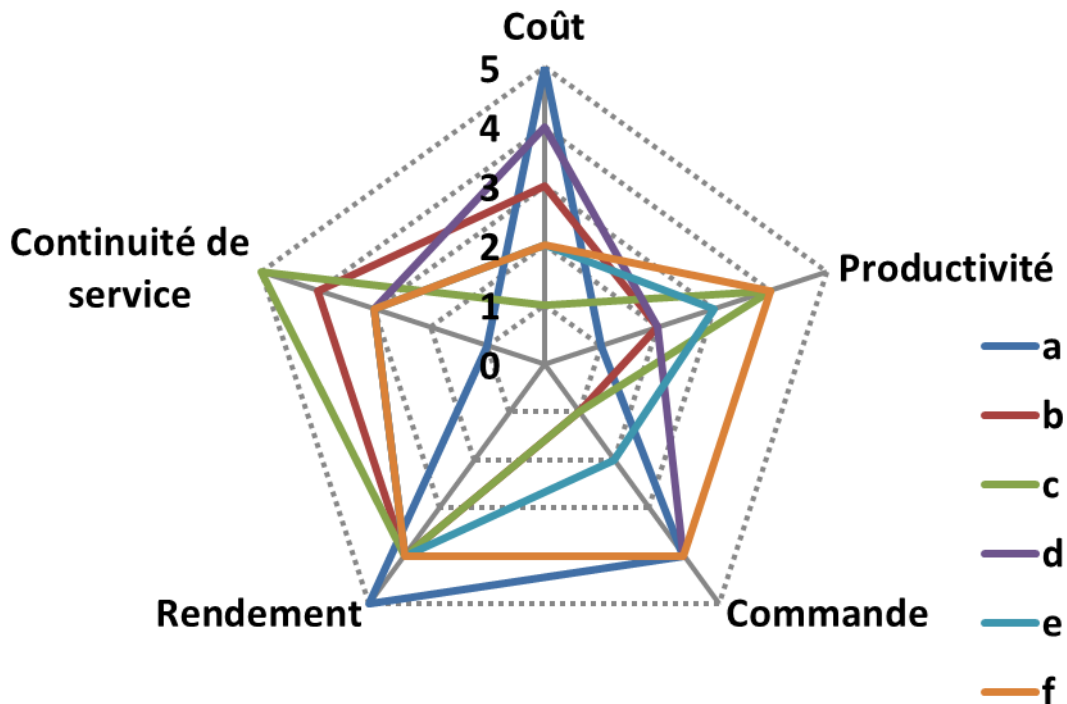


Figure I-8 Comparaison qualitative des installations PV présentées à la Figure I-7

Pour conclure, les architectures centralisées ont les avantages d'être simples et faciles à commander alors que les structures modulaires offrent une meilleure productivité et davantage de continuité de service. A ce sujet d'autres configurations architecturales sont aussi développées comme par exemple pour les topologies modulaires, la matrice de connexion pour reconfigurer le système PV pour coupler les modules PV de même caractéristiques [22]. Ailleurs les convertisseurs cellulaires [23] permettent de contrôler chaque cellule PV. De cette façon, l'efficacité et la productivité du système PV sont améliorées mais le rapport de transformation reste très élevé et cette solution n'est pas à privilégier.



---

Avec pour le but principal d'optimisation de la productivité et du rendement, l'autre aspect de recherches est l'électronique de puissance avec la conception d'un convertisseur à haut rendement, avec un grand rapport de transformation au niveau de chaque module PV. Ci-après l'influence importante de l'électronique de puissance et son influence sur le choix topologique dans l'installation PV sera présentée. Cette partie du chapitre cherche à discuter l'optimisation du fonctionnement des systèmes PV en s'appuyant sur la mise en œuvre d'étages de conversion adaptés à l'architecture choisis. Enfin, nous allons conclure sur la mise en réseau des structures de conversion élémentaires telles que les MPPT distribués [24], [25], [26], [27].

Il ressort de cette analyse une série de points importants pour notre cahier des charges :

- Comme cela fut évoqué dans la précédente partie, il semble important de traiter le point de fonctionnement le plus localement possible, si possible à l'échelle de chaque panneau. Cela permet d'optimiser le productible de chaque panneau quelles que soient les conditions de fonctionnement de ceux-ci. Pour cela, il faut envisager d'associer à chaque panneau un convertisseur MPP, si possible élévateur.
- Dans un panneau standard, il y a 4 diodes de *bypass* ce qui peut conduire à réduire la tension du panneau jusqu'à  $\frac{1}{4}$  de sa tension nominale. Cela peut significativement alourdir le dimensionnement du convertisseur MPP à lui associer.

La méthode pour résoudre ce problème de dispersion des productibles est d'essayer de gérer la puissance productible en sous-groupes les plus petites possibles. Pour répondre à cette problématique, de nombreux travaux de recherche ont été conduits [12], [28], [29]. Ceci reste hors du champ de la thèse qui exploite ici un cahier des charges exigeant pour se focaliser sur une problématique électronique de puissance.

Notre ambition est de trouver une solution efficace et compacte permettant de raccorder chacun des panneaux solaires d'une installation directement au bus 400V DC (Figure I-7-e). Pour cela plusieurs techniques vont être envisagées et comparées. Toutes devront répondre au même cahier des charges système, à savoir :

- Une puissance transmise de l'ordre de 200 W
- Une tension nominale en sortie de 400 V
- Une tension en entrée pouvant varier de 36 V à plus de 44 V en tenant compte des variabilités process, irradiante et thermique, sans envisager le *bypass* de l'une des quatre séries de cellules composant le panneau. Ayant pris en compte l'îlotage de cellules PV dans le cas d'ombrage partielle, la plage de variation de la tension s'élève de 13 V à 44 V. En tenant compte d'un ombrage partiel pouvant impliquer jusqu'à la moitié des cellules, la tension peut alors chuter jusqu'à 13 V en sortie du panneau. Nous n'aborderons pas ici le cas d'un ombrage moyen, qui conduit à un dimensionnement très lourd avec une plage de variation de la tension d'entrée dans un facteur de presque 10.
- Pour satisfaire les critères de performance de l'applicatif PV, il faudra que le rendement de chaque convertisseur soit supérieur à 96% (ce chiffre est explicité a posteriori).

Nous allons nous servir de l'état de l'art pour alimenter les comparaisons à mener. Pour pouvoir faire les comparaisons à proprement parler, nous allons nous appuyer sur des figures de mérite des

topologies de convertisseur. Nous allons maintenant en présenter les grandes lignes avant de passer à la comparaison et à son analyse à proprement parler.

### iii. FdM *topologique*

Dans cette partie nous allons introduire la notion de figure de mérite (*FdM topologique*) que nous avons développée pour comparer et analyser différentes approches possibles pour mieux répondre au cahier des charges que nous venons de formuler. La figure de mérite, « Figure Of Merit » (FOM), est une grandeur représentative de la performance d'un composant ou/et un système par rapport à d'autres composants et/ou systèmes en fonction de certains paramètres ou caractéristiques qui semblent correctement représenter le mérite que l'on souhaite évaluer. L'étude que nous menons consiste en une analyse dimensionnelle et comparative des structures de conversion DC candidates pour l'application PV et le cahier des charges désiré. Dans ces analyses, nous nous sommes appuyés sur une « *FdM topologique* » qui nous permet notamment d'évaluer la pertinence de différentes topologies en essayant de nous affranchir au maximum d'aspects technologiques ou de mise en œuvre. Cette démarche se veut qualitative et doit nous permettre de comparer certaines approches avec des hypothèses de travail qui vont être explicitées et justifiées jusqu'à ce qu'une approche théorie plus robuste ne vienne confirmer ou infirmer ces hypothèses. De cette façon, la « *FdM topologique* » est définie par un ensemble de critères-clés du dimensionnement d'une topologie.

Il est bien connu que la FdM d'un transistor de puissance peut être définie comme la multiplication de la charge de grille et la résistance à l'état passant du composant (I-3) :

$$FdM_{transistor} = R_{DS} \cdot Q_g = \rho \frac{l}{S \cdot K_1} \cdot \varepsilon \frac{S \cdot K_2}{e} V_{gs} = \rho \cdot \varepsilon \cdot \frac{l \cdot K_2}{e \cdot K_1} \cdot V_{gs} \quad I-3$$

Dans la relation (I-3), qui est développée selon un point de vue particulier, nous pouvons voir que le paramètre  $S$ , qui est à l'image de la surface de la grille mais aussi de la section de passage du courant dans le transistor dépend uniquement de données physiques, et technologiques qu'il faut associer à deux grandeurs qui dépendent du cahier des charges, à savoir l'épaisseur de la zone de tenue en tension, image de la tension nominale,  $V_{DS}$  (I-4) du composant et la tension de grille nominale,  $V_{GS}$ . Ainsi, on voit bien que finalement, pour comparer les composants de puissance d'un point de vue pragmatique, en imaginant que l'on peut faire les mêmes efforts au niveau technologique (paramètres  $K_1$  et  $K_2$ ), il suffit de regarder les caractéristiques physiques de ceux-ci pour un cahier des charges donné.

$$V_{DS_{MAX}} = E_{\text{électrique}} \cdot l \rightarrow R = \rho \cdot \frac{l}{S \cdot K_1} = \rho \cdot \frac{V_{DS_{max}}}{E_{\text{électrique}} \cdot S \cdot K_1} \quad (V) \quad I-4$$

$$FdM_{transistor} = \rho \cdot \varepsilon \cdot \frac{V_{DS_{max}} \cdot K_2}{E_{\text{électrique}} \cdot e \cdot K_1} \cdot V_{gs} \quad I-5$$

Où  $E_{\text{électrique}}$  est le champ électrique généré dans le silicium ou le GaN par la polarisation,  $\rho$  est la résistivité,  $\varepsilon$  est la permittivité diélectrique et  $l$ ,  $e$  et  $w$  sont présentés dans la Figure I-9.

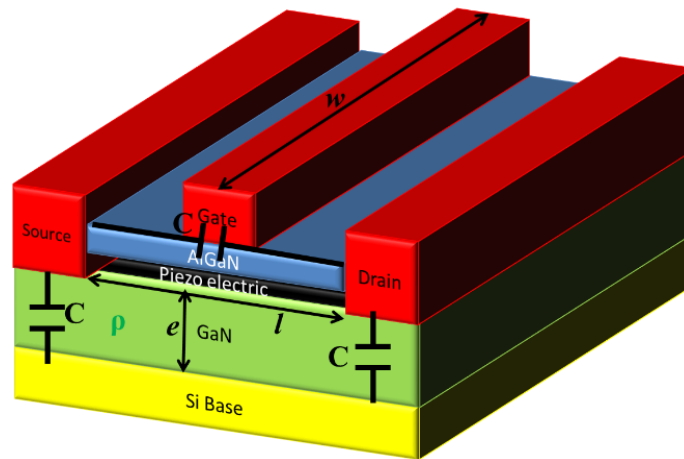


Figure I-9 Les paramètres génériques dimensionnels du transistor GaN

Dans notre cas, nous allons tenter de mener une étude en nous affranchissant le plus possible des aspects technologiques liés à la mise en œuvre des convertisseurs pour nous focaliser sur l'adéquation de la topologie au cahier des charges. Pour cela nous ferons l'hypothèse principale que les mêmes moyens technologiques pourront être mis en œuvre quelle que soit la topologie retenue. Cette hypothèse trouve évidemment des limites, mais de manière pragmatique elle est nécessaire pour pouvoir mener une comparaison topologique affranchie de grandeurs technologiques ou de caractéristiques de matériaux qui complexifieraient très sensiblement l'effort de comparaison. A cet effet nous avons essayé d'enlever tous les aspects technologiques pour concentrer notre « FdM *topologique* » sur une analyse structurelle et mettre à la place une lecture théorique des caractéristiques de convertisseur, basées sur un cahier des charges donné. Dans ce but, tous les paramètres d'une « FdM *topologique* », affectés par la technologie ou des caractéristiques de matériaux, seront, autant que faire se peut, substitués par des grandeurs favorisant la comparaison entre topologies. Par voie de conséquence le composant, le volume, les temps de commutation correspondant à telle ou telle technologie et les éléments de calcul des pertes qui représentent la technologie ne seront pas estimés directement comme les critères de comparaison des topologies. En revanche nous allons tenter de prendre en compte les éléments de topologies qui interviennent ou sont représentatifs des pertes, de la tenue en tension (condensateur), du courant efficace (inductance magnétisante d'un transformateur), etc.

En règle générale pour pouvoir comparer des structures de conversion DC, les caractéristiques respectives de chaque structure sont demandées afin de pouvoir décrire la « FdM *topologique* » avec les unités identiques. Ci-après quelques caractéristiques représentatives sont présentées : rendement (%), puissance volumique (kW/l), puissance massique (kW/kg), coût d'exploitation (€/kW) et quelques autres secondaires. Dans toutes ces caractéristiques la technologie joue un jeu essentiel, mais une image simplifiée de chaque caractéristique peut nous diriger vers une analyse comparative moins complexe à mettre en œuvre. Pour cela, il faut imaginer des grandeurs représentatives de la topologie ainsi que les coefficients représentant des critères de choix liés à la technologie sans prendre en compte les contraintes de telle ou telle technologie. De ce fait tous les éléments d'un cahier des charges comme la tenue en tension –  $V_{DS}$  d'un transistor,  $V_{KA}$  pour une diode – ainsi que le courant efficace – qui crée des pertes Cuivre par effet Joule dans le composant ou conducteur – l'ondulation de tension aux bornes d'un condensateur ou l'ondulation de courant ainsi que le courant efficace dans une bobine (ou courant magnétisant efficace dans un

transformateur) sont les facteurs qui peuvent être pris en compte dans cette analyse. Ces valeurs sont soit issues du cahier des charges, soit déduites des équations mises en œuvre lors du dimensionnement du convertisseur et de ses composants. Par exemple dans les relations suivantes (I-6) à (I-10) qui décrivent les différentes pertes dans les composants actifs, les paramètres en rouge sont considérés comme les éléments dépendant de la technologie vis-à-vis des autres plutôt liés au cahier des charges ou encore la topologie (les grandeurs intrinsèques de la topologie). A ce sujet et par exemple, le courant efficace au carré  $I_{eff}^2$  peut représenter l'image des pertes dans les composants actifs à technologie donnée ou pour tous les transistors avec la même valeur  $R_{DS(on)}$ . Dit autrement, en faisant l'hypothèse qu'il existe, à technologie donnée, un  $R_{DS(on)}$  dans l'état passant compatible avec chaque topologie, on peut faire l'hypothèse que, dans un processus de comparaison et non d'estimation des pertes, on peut s'affranchir du facteur de proportionnalité  $R_{DS(on)}$  dans le processus de comparaison.

D'une manière comparable, au niveau des pertes par commutation, dans la formule du premier ordre (I-7), on trouve des éléments du cahier des charges ou de la topologie et des éléments directement fonction de la technologie.

$$P_{conduction} = R_{DS(on)} \cdot I_{D_{eff}}^2 \text{ (W)} \quad \text{I-6}$$

$$P_{commutation} = 0,5 \cdot I_D \cdot V_{DS} \cdot f_{déc} \cdot (t_{ON} + t_{OFF}) \text{ (W)} \quad \text{I-7}$$

$$P_{commande} = Q_g \cdot V_{GS} \cdot f_{déc} \text{ (W)} \quad \text{I-8}$$

$$W_L = \frac{1}{2} \cdot L \cdot I_{L_{eff}}^2 \text{ (J)} \quad \text{I-9}$$

$$W_C = \frac{1}{2} \cdot C \cdot I_{C_{eff}}^2 \text{ (J)} \quad \text{I-10}$$

Il est important de noter à ce stade que la fréquence de découpage est déclarée comme un paramètre technologique et non topologique! Malgré tout nous avons besoin de ce paramètre pour décrire la « FdM *topologique* » des composants passifs. Nous reviendrons sur cette notion plus loin.

La FdM que nous voulons définir n'a pas automatiquement vocation à représenter par exemple des densités de pertes volumiques ou encore un niveau de rendement ou même un volume. Nous ne cherchons pas ici à dimensionner à proprement parler un convertisseur mais davantage à comparer plusieurs topologies de convertisseur entre elles dans un contexte particulier. De ce fait, les grandeurs des FdM ne représentent rien de physiquement réaliste et n'ont de valeur que de manière relative. Pour arriver à nos fins, il nous faut cependant mettre en place un certain nombre d'hypothèses de travail pour représenter, qualifier au mieux chaque topologie et les conséquences que chacune peut avoir sur des grandeurs clés telles que le volume ou les pertes.

Nous allons détailler ci-dessous une « FdM *topologique* » pour évaluer les pertes dans les composants actifs. Cette FdM permettra d'avoir une image partielle du rendement de la partie active du convertisseur mais également de son volume, les pertes à évacuer étant directement associées au volume du refroidisseur à associer. Dans les deux cas, si nous faisons l'hypothèse que des technologies identiques peuvent être mises en œuvre pour telle ou telle topologie, nous pourrons mener à bien notre comparaison. En fait, comme nous le verrons, cela ne sera pas toujours le cas et l'une des difficultés sera alors de trouver une hypothèse viable. Dans un second temps, nous nous pencherons sur une « FdM *topologique* » visant les composants passifs. La clé de ce travail résidera dans les hypothèses que nous allons devoir formuler lorsque nous allons vouloir associer les deux FdM topologiques pour offrir un moyen de comparaison global.

### Image des pertes dans les composants actifs (FdM des composants actifs) :

Nous considérons ici le cas d'un transistor dessiné à façon, c'est-à-dire dont on maîtrise la surface de grille par un paramètre géométrique,  $W$ . En général, en technologie CMOS, il s'agit de la largeur de canal. Premièrement, les pertes dans les composants actifs se représentent souvent comme dans (I-11) :

$$P_{actifs} = P_{conduction} + (P_{commutation} + P_{commande}) (W) \quad \text{I-11}$$

$$P_{actifs} = P_{conduction} \cdot \left(1 + \frac{P_{commutation}}{P_{conduction}} + \frac{P_{commande}}{P_{conduction}}\right) (W) \quad \text{I-12}$$

Pour retravailler cette relation et réduire le nombre de variables, nous allons définir deux facteurs proportionnels entre les pertes par commutation et par conduction ( $K_{commutation}$ ) et de la même façon entre les pertes par commande et toujours les pertes par conduction ( $K_{commande}$ ) :

$$P_{actifs} = P_{conduction} \cdot (1 + K_{commutation} + K_{commande}) (W) \quad \text{I-13}$$

En mettant les facteurs  $K_{commutation}$  et  $K_{commande}$  dans la relation des pertes totales pour un composant actif,  $P_{actif}$ , nous pouvons écrire que:

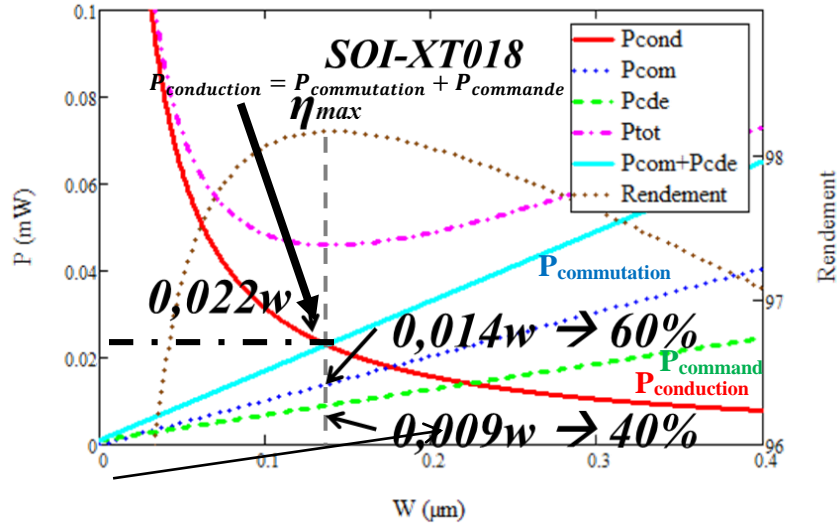
$$P_{actifs} = R_{série} \cdot I_{D_{eff}}^2 (1 + K_{commutation} + K_{commande}) (W) \quad \text{I-14}$$

Pour faire cela, nous faisons une hypothèse de travail : quelle que soit la technologie de mise en œuvre, il existe une relation entre pertes par *conduction* et pertes par « *commutation + commande* » avec qui le rendement est maximum. Par exemple dans les deux technologies d'intégration étudiées dans cette thèse, le point correspondant au rendement maximum est celui où les pertes par « *conduction* » est égale aux pertes par « *commutation + commande* » (Figure I-10a et b). En particulier, pour une technologie donnée et dans un contexte où les grandeurs sont continues, il existe un point optimal tel que les pertes par conduction doivent être égales aux pertes par « *commutation + commande* » dans le cas de la commutation dure et de conduction continue [17], [27], [30], [31], [32]. Dans ces travaux, la relation (I-15) apparaît comme le compromis idéal, à technologie donnée, entre pertes par conduction et pertes par commutation, et cela de manière indépendante de la fréquence de découpage. Dans cette perspective et quelques soient les hypothèses sur la technologie à mettre en œuvre dans le travail, la relation (I-14) permet d'avoir une image qui représente le mérite du coté composants actifs pour une topologie donnée, un cahier des charges donné et des hypothèses technologiques.

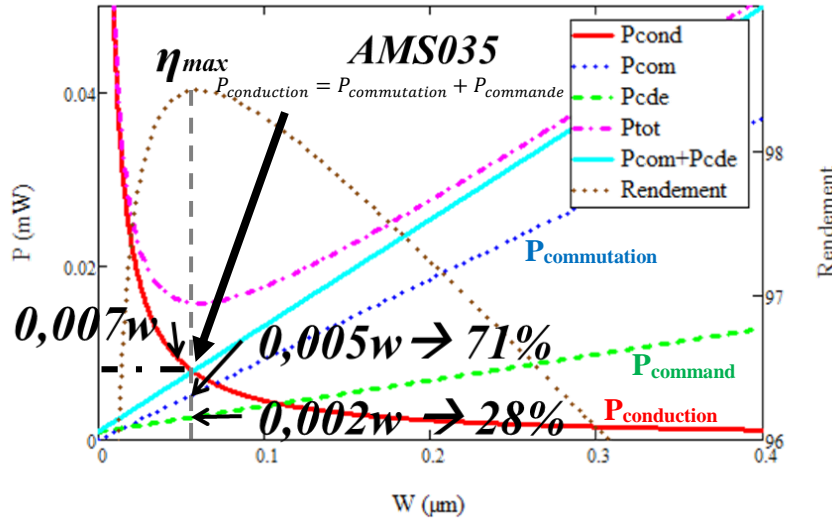
$$P_{conduction} = P_{commutation} + P_{commande} (W) \quad \text{I-15}$$

Cela permet de déduire un coefficient ( $(K_{commutation} + K_{commande})_{optimum} = 1$ ). Cependant, rien ne nous empêche de faire évoluer ce rapport dans des proportions différentes des pertes selon le type de technologie considérée ou des paramètres du cahier des charges. Par exemple, pour des composants de type IGBT, une étude spécifique pourrait être menée pour voir si un tel rapport est représentatif ou pas. Ou encore, dans le contexte d'un convertisseur à commutation douce, clairement, le rapport entre les types de pertes serait différent de 1. On est ici confronté à une hypothèse de travail qu'il faut faire vivre au fil des contextes auxquels nous sommes confrontés.

Comme dit plus haut dans notre cas, nous avons opté pour un rapport  $K_{commutation}=0.75$  et  $K_{commande}=0.25$  pour un fonctionnement classique (sans commutation douce) à la suite d'études de dimensionnement effectuées au sein de ces travaux et dans le cas d'autres thèses, pour deux technologies d'intégration SOI XT018 et CMOS AMS035. Les résultats de ces études analytiques sont présentés dans la Figure I-10 (a) et (b).



(a) SOI XT-018



(b) AMS035

Figure I-10 Relations entre pertes par conduction et pertes par commutation + commande pour un transistor MOSFET de (a) technologie SOI XT-018 (XFAB) et (b) CMOS AMS035

Il est important de noter ici que la fréquence de découpage est implicite dans le processus d'optimisation à l'égal du  $R_{DS(on)}$  ou des temps de commutation. En effet, il existera toujours un couple de pertes par conduction / (pertes par commutation + par commande) à valeurs égales quelque soit la fréquence de découpage considérée. Peut-être les valeurs estimées des pertes ne seront pas précises mais l'idée reste que si des technologies similaires sont implémentables alors les figures de mérite recherchées permettent qualitativement une comparaison entre les topologies envisageables. Ensuite les facteurs  $K_x$  peuvent être généralisés de l'échelle du composant à celle de la structure de conversion en multipliant l'équation par le nombre de composants actifs dans la structure ou en additionnant les contributions des différents types de composants.

A ce stade pour pouvoir calculer la « FdM topologique » des composants actifs, il reste une partie dans laquelle intervient la technologie et qui est facteur de proportionnalité  $R_{DS(on)}$  dans la relation

des pertes par conduction I-6). Ce terme doit être éliminé en le remplaçant par une grandeur qui permettra de tenir compte de l'évolution du  $R_{DS(on)}$  quelle que soit la technologie. Dans un premier temps et pour des raisons de simplification, nous avons considéré que la tenue en tension ( $V_{DS-MAX}$ ) pouvait avantageusement représenter l'évolution du  $R_{DS(on)}$  en fonction de la tension de fonctionnement du convertisseur (I-4). Il est vrai que dans la réalité, il n'y a pas de lien de proportionnalité directe entre  $R_{DS(on)}$  et  $V_{BR}$  ou  $V_{DSmax}$  – car la résistivité du matériau semi-conducteur varie en fonction de la tenue en tension du matériau – mais nous pensons que cette grandeur électrique est représentative, à bien des égards d'un élément de dimensionnement clé des convertisseurs statiques comme il a été pris en compte dans la relation (I-4) et (I-5). Pour conclure, on aboutit à une FdM topologique pour les composants actifs comme suit :

$$FdM_{actifs} = I_{D_{eff}}^2 \cdot N \cdot \frac{V_{DSMAX}}{K_{VMAX}} \times (1 + K_{commutation} + K_{commande}) \quad I-16$$

Où N représente le nombre des composants actifs dans la structure et  $I_{D-eff}$  le courant efficace dans les transistors, qui donne une image des pertes par conduction des transistors, et  $V_{DS-max}$  est la tenue en tension entre drain et source d'un transistor dans la structure et enfin  $K_{Vmax}$  représente la marge à prévoir (par exemple  $\frac{1}{K_{VMAX}} = (1 + 20\%)$ ) sur la tension nominale maximale appliquée sur les composants.

**N.B.** Les différents composants actifs d'une structure, sur une période de commutation, ne conduiront pas la même valeur efficace de courant. Probablement les contraintes en tension aux bornes des composants pourront être différentes. Aussi la « FdM topologique » pour les composants actifs serait la somme des contributions comme le propose la relation (I-17).

$$FdM_{actifs} = \sum_{i: \text{Le nombre de } I_{eff}} \left[ (I_{D_{eff}}^2)_i \cdot N \cdot \frac{V_{DSMAX}}{K_{VMAX}} \right] \times (1 + K_{commutation} + K_{commande}) \quad I-17$$

Très clairement, nous pensons que cette formulation est discutable en l'état. Une étude plus approfondie s'avère nécessaire.

### **Image des pertes dans les composants passifs (FdM des composants passifs) :**

On va créer un indicateur par chaque grande famille de composants passifs (magnétiques : inductance et transformateur / capacitifs : condensateur de filtrage et condensateur de découplage). Il est difficile de comparer l'impact d'un ensemble de composants, liés à une structure, à une autre somme, liée à une structure différente. Pour autant en restreignant la « FdM topologique » aux pertes dans les composants passifs, on peut considérer que le carré du courant efficace porte une image acceptable en soi, que cela soit un transformateur (courant efficace dans les bobinages), une inductance ou un condensateur. Dans la suite des expressions de FdM topologique ont été développées pour chacun de ces trois types de composant passif.

### **Composant magnétique :**

La « FdM topologique » du composant magnétique doit être décrite séparément pour deux catégories des composants: le transformateur et l'inductance. En général l'induction magnétique  $\beta$  dans une inductance est plus importante que dans un transformateur avec le même noyau et un enroulement ajouté (secondaire). Donc les pertes  $F_{er}$  dans l'inductance, quand il y a un seul enroulement sur un noyau magnétique, sont plus importantes que dans le transformateur même avec

deux enroulements autour du même noyau. Nous séparons ces deux familles de composants magnétiques.

### Transformateur :

Les pertes dans un transformateur sont différentes en fonction de l'application du transformateur et des caractéristiques des structures dans lesquelles il est utilisé. Les pertes sont composées des pertes Cuivre ( $P_{cu}$ ) – par l'effet Joule – au primaire et secondaire et des pertes Fer dans le noyau magnétique, lorsqu'il y en a un. Les pertes Joule sont composées des pertes DC à cause du courant efficace dans le conducteur ou le composant et des pertes AC supplémentaires induites par les composantes HF du courant. Les pertes fer sont dues à d'hystérésis au sein du matériau magnétique ainsi qu'aux courants de Foucault dans le circuit magnétique. Si le composant est un transformateur, l'image des pertes cuivre peut être représentée, au premier ordre, par les courants efficaces au carré dans chacun des enroulements + les pertes AC dans les conducteurs (I-18) :

$$P_{cu} = P_{joules} + P_{AC} = \sum_{i=1}^E \left[ R_{série_i} \cdot I_{eff_i}^2 + R_{AC_{eff_i}} \cdot (I_{AC_i})^2 \right] \text{ (W)} \quad \text{I-18}$$

Où  $E$  est le nombre d'enroulements. Comme dit plus haut, les résistances sont des facteurs technologiques. L'objectif étant d'éliminer toute trace liée à des choix technologiques hors ceux définis dans le cahier des charges, pour créer une image des pertes cuivre, nous avons donc éliminé les deux résistances  $R_{DC}$  et  $R_{AC}$  à technologie donnée. A ce sujet deux points importants doivent être pris en compte afin de rapprocher plus possible l'image des pertes cuivre de la réalité.

- Un transformateur avec deux enroulement primaire/secondaire ayant un fort rapport entre les deux bobines, par exemple  $m=N_2/N_1=10$ , a un courant plus faible – ou beaucoup plus faible – dans l'enroulement secondaire que dans le primaire (dans cette exemple  $I_2=I_1/10$ ). De ce fait la disparition des résistances des enroulements n'est pas tout à fait correcte car par exemple dans ce cas ( $m=10$ ) le courant du secondaire avec un facteur de 0.1 par rapport de celui du primaire, signifie une image des pertes du secondaire du transformateur dix fois plus petite que dans le primaire. En réalité dans un transformateur avec fort rapport, le choix technologique – comme par exemple la section du fil de bobinage – est fait pour que les pertes dans le secondaire (ou les autres enroulements dans un transformateur entrelacé) soit le plus proche possible de celles au primaire. Dit autrement les pertes cuivre dans différents enroulements ne sont pas dans la même proportion que le rapport de transformateur. De ce fait nous avons défini un facteur  $K_{enroulement}$  dans la FdM du transformateur pour tenir compte de disparité de pertes dans chaque enroulement par rapport au primaire. Ce choix du primaire est un choix arbitraire qui mériterait d'être discuté.
- Après avoir exprimé la solution précédente correspondant aux pertes dans les enroulements, nous avons pu éliminer la résistance  $R_{DC}$  ainsi que  $R_{AC}$ . Ensuite nous avons ajouté un facteur  $K_{AC}$  à l'image des pertes AC, ce qui peut représenter un facteur de « *choix technologique* » pour tout qui concerne la géométrie du bobinage, comme le type de fil (Litz ou monobrin), etc.

L'image des pertes cuivre s'exprime donc par (I-19) :

$$(P_{cu})_{image} = K_{enroulements} \left[ I_{eff_{primaire}}^2 + I_{AC_{eff_{primaire}}}^2 \cdot K_{AC} \right] \text{ (W)} \quad \text{I-19}$$



Où le facteur  $K_{\text{enroulement}}$  est le nombre d'enroulements sur un seul noyau et  $K_{AC}$  est le facteur de choix technologique. Dans nos études le facteur  $K_{AC}$  est égal à 1, mais il reste toujours une variable à moduler selon les choix technologiques.

En outre les pertes totales dans un transformateur peuvent être calculées à partir de la relation (I-20).

$$P_{\text{transformateur}} = P_{cu} + P_{fer} \quad (\text{W}) \quad \text{I-20}$$

En combinant (I-19) et (I-20), l'image des pertes dans le transformateur peut être calculée à l'aide de l'équation (I-21).

$$(P_{\text{transformateur}})_{\text{image}} = \left[ K_{\text{enroulements}} \cdot \left( I_{\text{eff}_{\text{primaire}}}^2 + I_{AC \text{ eff}_{\text{primaire}}}^2 \cdot K_{AC} \right) \right] \cdot (1 + K_{fer}) \quad (\text{W}) \quad \text{I-21}$$

$$\text{Avec : } K_{fer} = \frac{(P_{fer})_{\text{image}}}{(P_{cu})_{\text{image}}}$$

D'une manière générale, l'efficacité dans un transformateur est maximale si et seulement si les pertes Fer sont égales aux pertes cuivre [33], [34], [35], [36] (I-24). De ce fait, pour exprimer les pertes Fer dans un composant magnétique nous avons utilisé la même approche que pour les composants actifs. Nous ne sommes plus en mesure de trouver une estimation absolue de la valeur des pertes mais nous sommes en mesure de produire des comparaisons à hypothèses technologiques données. Le facteur représentatif de la proportion entre les pertes cuivre et les pertes Fer ( $K_{fer}$ ) dans le composant est considéré pour pouvoir définir la condition du fonctionnement optimum du transformateur comme suit :

$$\eta = 1 - \frac{P_{\text{transformateur}}}{P_{in}} = 1 - \frac{P_{cu} + P_{fer}}{V_{in} \cdot I_{in}} = 1 - \frac{R_{\text{transformateur}} \cdot I_{in}}{V_{in}} - \frac{P_{fer}}{V_{in} \cdot I_{in}} \quad \text{I-22}$$

$$\frac{d\eta}{dI_{in}} = 0 - \frac{R_{\text{transformateur}}}{V_{in}} + \frac{P_{fer}}{V_{in} \cdot I_{in}^2} \quad \text{I-23}$$

A partir de (I-23) et de la condition pour le rendement maximum ( $\frac{d\eta}{dI_{in}} = 0$ ), la relation (I-24) décrit la condition pour avoir l'efficacité maximum dans le transformateur :

$$\left\{ \frac{R_{\text{série}} \cdot I_{in}^2}{V_{in} \cdot I_{in}^2} = \frac{P_{fer}}{V_{in} \cdot I_{in}^2} \rightarrow P_{cu} = P_{fer} \right\} \quad \text{I-24}$$

A partir de (I-24) nous avons constaté que dans la condition optimale, le  $K_{fer}$  est égal à 1. Nous avons noté également que dans la « FdM *topologique* » pour pouvoir comparer différentes structures de conversion au niveau des composants inductifs en s'affranchissant de la technologie, nous avons besoin d'éliminer les valeurs de la résistance, de l'inductance et de la fréquence dans nos calculs. Pour la valeur de la résistance, nous avons utilisé la même hypothèse que pour les composants actifs : ayant considéré que la technologie serait similaire d'une structure à l'autre, cette valeur peut être éliminée tout en rappelant que l'objectif est de comparer des topologies.

La fréquence de découpage est déclarée comme un paramètre de dimensionnement extrêmement critique. Elle joue sur les pertes et le volume. En même temps elle est intimement liée aux choix technologiques car sans contraintes technologiques, la fréquence pourrait être choisie très grande.

**Question :** *La fréquence doit-elle entrer en ligne de compte lors d'une comparaison entre topologies?*

- **OUI:** par exemple lorsque l'on compare les topologies en commutation dure et les topologies en commutation douce.
- **NON:** par exemple quelle que soit la topologie si on augmente ou diminue la fréquence de découpage, cela a l'effet inverse sur le dimensionnement des composants passifs.

**NB :** la fréquence est en proportion inverse avec la valeur de l'inductance (I-25) à ondulation égale du courant.

$$\left\{ L = \frac{\alpha \cdot V_L}{F \cdot \Delta I_L} \rightarrow L \cdot F = \frac{\alpha \cdot V_L}{\Delta I_L} \right\} \quad \text{I-25}$$

En revanche les deux valeurs de l'inductance et la fréquence sont aussi liées à des éléments du cahier des charges et ne pas directement affectées par des éléments topologiques. Dans cette perspective, nous avons considéré que l'adossement de la valeur de l'inductance à la fréquence appliquée dans le système de conversion peut être un facteur représentant de dimensionnement du composant magnétique.

Enfin le terme de courant magnétisant maximum  $I_{M\text{-max}}$  – dans l'inductance magnétisante – du transformateur doit être ajouté dans l'expression de la « FdM *topologique* » du transformateur afin de représenter les contraintes comme par exemple la saturation du noyau le volume, les pertes magnétiques etc. De ce fait, la « FdM *topologique* » du transformateur prend alors la forme (I-26) :

$$FdM_{\text{transformateur}} = \sum_T \left[ L_M \cdot F_{\text{déc}} \cdot I_{M\text{MAX}} \cdot \left[ K_{\text{enroulement}} \left( I_{p\text{eff}}^2 + K_{AC} \cdot I_{ACp\text{eff}}^2 \right) \right] \cdot (1 + K_{fer}) \right] \quad \text{I-26}$$

Où  $L_M$  est l'inductance magnétisante,  $F_{\text{déc}}$  est la fréquence de découpage,  $I_{M\text{-max}}$  est le maximum du courant magnétisant,  $I_{p\text{eff}}$  est le courant efficace au primaire,  $I_{AC\text{-Peff}}$  est le courant AC efficace au primaire,  $K_{AC}$  est le facteur lié au choix technologique et  $K_{fer}$  est représentatif de l'image des pertes Fer dans le noyau en proportion avec l'image des pertes cuivre dans les enroulements du même transformateur.  $T$  représente le nombre de transformateurs dans la topologie.

### **Inductance:**

Dans une inductance, la base de la « FdM *topologique* » du transformateur reste toujours d'actualité avec quelques simplifications sachant que le courant est unique. De ce fait le courant magnétisant dans l'inductance est le même que celui dans l'enroulement principal. En outre le courant efficace dans chaque bobine d'une inductance multi-enroulement – comme par exemple des inductances couplées – représente les pertes cuivre correspondant à son enroulement lui-même. Dit autrement dans la « FdM *topologique* » de l'inductance, nous avons remplacé le  $K_{\text{enroulement}}$  correspondant à la « FdM *topologique* » de transformateur par la somme de l'image des pertes cuivre dans chaque enroulement posé sur un noyau identique.

A cet effet l'équation (I-27) représente la FdM topologique pour l'inductance dans la structure de conversion DC.

$$FdM_{\text{inductance}} = \sum_l \left[ L \cdot F_{\text{déc}} \cdot (I_{L\text{MAX}}) \cdot \left[ \sum_B \left( I_{L\text{eff}}^2 + I_{AC\text{-Leff}}^2 \cdot K_{AC} \right) \right] \cdot (1 + K_{fer}) \right] \quad \text{I-27}$$

Où  $L$  est l'inductance,  $F_{\text{déc}}$  est la fréquence de découpage,  $I_{L\text{-max}}$  est le courant maximum dans l'inductance,  $I_{L\text{eff}}$  est le courant efficace dans l'inductance,  $I_{AC\text{-Leff}}$  est le courant AC efficace dans l'inductance et enfin  $K_{AC}$  est le facteur de choix technologique et  $K_{fer}$  le rapport de l'image des

pertes Fer par rapport de l'image des pertes cuivre. B est le nombre d'enroulements sur le même noyau dans le cas d'inductances couplées ou entrelacée et  $l$  est le nombre d'inductance avec noyau magnétique séparé par rapport aux autres inductances dans la topologie de convertisseur.

### Condensateur :

A partir de notre règle générale pour la FdM topologique, le courant efficace carré ( $I_{C\text{-eff}}^2$ ) dans le condensateur et dans la résistance série équivalent ESR à proprement parler, a été considéré comme l'image des pertes Joule dans le condensateur. Ensuite pour les composants capacitifs nous avons utilisé le terme  $C \cdot F_{\text{dec}}$  pour représenter le facteur de dimensionnement comme dans le cas d'un composant magnétique, la valeur du condensateur est adossée avec celle de la fréquence ( $C$  varie inversement avec la variation de  $F_{\text{dec}}$ ).

Enfin une marge est souhaitable ( $K_{V\text{-max}}$ ) sur la tenue en tension du condensateur par rapport à l'objectif de tension de service ( $V_{\text{MAX}}$ ). La FdM topologique du condensateur est reportée en (I-28).

$$FdM_{\text{condensateur}} = \sum_x \left[ C \cdot F_{\text{dec}} \cdot I_{C\text{eff}}^2 \cdot \frac{V_{\text{MAX}}}{K_{V_{\text{MAX}}}} \right] \quad \text{I-28}$$

Où  $C$  est la valeur de condensateur,  $F_{\text{dec}}$  est la fréquence de découpage,  $I_{C\text{-eff}}$  est le courant efficace dans le condensateur,  $V_{\text{MAX}}$  est la tenue en tension et  $K_{V\text{-max}}$  est la marge souhaitée de tenue en tension aux bornes du condensateur (e.g.  $\frac{1}{K_{V_{\text{MAX}}}} = (1 + 20\%)$ ). Dans une topologie, le somme des « FdM *topologiques* » des condensateurs a été considérée comme la FdM totale pour les composants capacitifs quand  $x$  est le nombre de condensateurs dans la topologie.

Pour étudier la « FdM *topologique* » des condensateurs, dans la suite, nous avons séparé la « FdM *topologique* » des condensateurs de filtrage et celle des condensateurs de découplage car il y a un grand écart entre les résultats de ces deux dernières. Enfin à partir des résultats de « FdM *topologiques* » pour chaque grande famille de composants, nous avons créé des figures radars pour porter la comparaison entre les différentes topologies.

## C. Etat de l'art

Les différentes topologies pour les convertisseurs DC à fort rapport élévateur pour les applications PV sont introduites dans cette partie d'état de l'art. Comme évoqué plus haut, les fonctions de conversion a grand rapport de transformation de l'énergie électrique produite à partir du solaire sont envisagées pour aider à augmenter la performance globale d'un système PV [2], [17]. De ce fait parmi une grande diversité de topologies de système PV qui existent aujourd'hui, quelques solutions les plus courantes sont étudiées et comparées dans cette thèse.

### i. Les possibilités de structure de conversion

Dans les installations de production de moyennes puissances (quelques kW), le raccordement à un réseau AC ou à des charges compatibles avec un réseau AC exige de passer par une tension fixe sur un bus DC dont la tension a été choisie ici de 400 V. Comme il a été dit au début de ce chapitre, un convertisseur DC-DC réalise l'interface entre le ou les générateurs photovoltaïques et le bus continu alimentant le réseau électrique. Avec les structures conventionnelles de conversion DC-DC, atteindre des rapports de conversion supérieurs à 7 ou 8 avec un haut rendement est très contraignant aux niveaux des pertes et du volume. De plus, comme nous l'avons abordé, le haut rendement à fort rapport de transformation est pénalisé par un mauvais facteur de dimensionnement.

---

La conversion DC-DC à fort rapport d'élévation de tension peut être réalisée à partir de convertisseurs statiques intégrant ou pas un transformateur, qui peut prendre en charge une partie importante du rapport d'élévation à réaliser. Nous sommes face à la première caractéristique structurelle qui impose une distinction assez profonde entre les convertisseurs DC-DC : la présence ou pas de l'isolation galvanique. Le transformateur d'isolement galvanique offre un degré de liberté supplémentaire dans la conception de la chaîne de conversion en adaptant les niveaux des tensions primaire et secondaire. Il protège le réseau continu d'éventuelles surtensions et perturbations présentes sur le réseau alternatif. La contrepartie à la présence du transformateur est liée aux contraintes de fonctionnement d'un élément magnétique avec des composantes AC importantes, des pertes par hystérésis, courant de Foucault, l'effet de peau et l'effet de proximité, etc. De plus, le volume et la masse du transformateur de puissance sont loin d'être négligeables dans des systèmes de conversion où la fréquence de découpage serait maintenue à une valeur moyenne. A ce propos d'un côté l'augmentation de la fréquence de découpage est nécessaire afin de réduire le volume et la masse de l'ensemble des passifs. D'un autre côté, l'augmentation des pertes de la chaîne de conversion à haute fréquence pénalise les performances du système.

### **1) Convertisseurs non-isolés à fort rapport d'élévation de tension**

Les structures non-isolées sont généralement des structures de conversion assez simples. Elles sont principalement basées sur le hacheur parallèle (Boost), le hacheur série (Buck), le hacheur à stockage capacitif (Cuk) ou le hacheur à stockage inductif (Buck-Boost). Le hacheur série peut immédiatement être mis de côté. Les topologies hacheur parallèle ou Boost, sont quant à elles très utilisées dans l'électronique de puissance pour les énergies renouvelables [2], [37]. Pour mémoire, la problématique essentielle de l'application PV que nous considérons est de faire fonctionner le plus grand nombre de cellules PV à leur propre MPP et pour cela il faut rapprocher les convertisseurs au plus près possible des générateurs PV élémentaires.

De forts rapports d'élévation doivent être mis en œuvre. La conversion à fort rapport d'élévation de tension est souvent obtenue par la mise en œuvre de deux étages cascades. Le hacheur parallèle est le convertisseur le plus référencé dans la littérature pour l'application PV grâce à sa simplicité, sa fiabilité et son haut rendement. Cette structure non-isolée peut être avantageusement modifiée à travers l'entrelacement des modules élémentaires de conversion. En multipliant les modules élémentaires entrelacés, cette tendance peut même être appliquée par module PV afin de rendre les points de fonctionnement des modules indépendants les uns des autres [8], [38], [39], [40], [41]. Dans les thèses [2] et [42], les auteurs ont réalisé des micro-hacheurs raccordés d'un côté en parallèle sur le bus 400 V DC et de l'autre sur chacune des sorties des modules PV avec une tension de sortie entre 16 V et 60 V et un courant maximal de 7 A. A ce propos les auteurs ont comparé trois différentes structures entrelacées de conversion DC pour une installation PV: Double-Boost cascadi, IDD<sup>1</sup> Boost et Boost quadratique mono interrupteur.

### **2) Convertisseurs isolés à fort rapport d'élévation de tension**

La conversion DC-DC isolée permet d'optimiser le facteur de dimensionnement de chaque côté du transformateur. Au primaire, les composants sont dimensionnés pour le courant et la tension primaire maximum et au secondaire, les composants le sont cette fois pour la tension 400 V et un courant maximum beaucoup plus faible qu'au primaire (10 fois dans notre cas). Dans certains cas,

---

<sup>1</sup> Dit en anglais : « Interleaved Double Dual Boost »

---

la conversion DC-DC isolée offre un avantage de dimensionnement supplémentaire : la commutation douce. En contrepartie, ces convertisseurs intègrent un composant magnétique supplémentaire dans lequel circule un courant AC, généralement à hautes fréquences, avec tous les problèmes que cela apporte.

Il existe deux grandes familles de convertisseurs DC-DC intégrant une isolation galvanique. D'un côté on trouve les convertisseurs issus des structures hacheurs tels que le Flyback, le Forward et les topologies plus récentes du type Forward-Flyback [41], [43], [44], [45], [46]. De l'autre côté, on trouve les convertisseurs en demi-pont et en pont complet, qui exploite la résonance la plupart du temps et qui ont la particularité d'utiliser le transformateur de manière symétrique. Il est hors d'atteinte, dans le cadre de cette thèse, de faire l'inventaire et la comparaison de toutes les structures DC-DC isolées. Qui plus est, outre les topologies, il reste également à considérer les lois de commande qui offrent elles aussi des modes et des dimensionnements différents.

→ Nous avons décidé de restreindre notre étude à trois topologies avec des lois de commande classiques, qui, compte-tenu du cahier des charges, semblent de bons candidats et représentatifs des différentes catégories : le Flyback (Figure I-11), le convertisseur en pont complet avec filtre LC en sortie (Figure I-15) et le Dual Active Bridge, qui connaît un renouveau depuis quelques années (Figure I-19).

Le Flyback a été retenu car l'état de l'art montre qu'il est compatible avec un applicatif de 100 W à 200 W malgré des contraintes opérationnelles fortes. Par ailleurs, il représente la famille des convertisseurs simples à mettre en œuvre, et surtout celle qui fonctionne sur la base d'un transfert indirect d'énergie, réalisé ici par le transformateur qui agit comme des inductances couplées.

Le convertisseur en pont complet à filtre LC en sortie est le représentant traditionnel des fonctions hacheur série isolé (Buck avec le transformateur ajouté), très simple dans son fonctionnement, robuste et efficace.

Enfin, le DAB est devenu un convertisseur incontournable, ces dernières années, pour son principe de fonctionnement mais également ses caractéristiques. Nous allons maintenant détailler la mise en équation de chacune de ces quatre structures.

### (a) Flyback

Le Flyback est l'une des structures phare en électronique de puissance. Pourtant c'est un convertisseur qui, sur le papier est très élégant, mais qui, en pratique, est très problématique. Son principal atout réside dans l'extrême simplicité de la structure presque directement déduite du hacheur à accumulation inductive. Son principal défaut réside dans l'insertion, au sein même de la cellule de commutation d'un composant magnétique qui va pénaliser chacune des commutations à l'ouverture du transistor au primaire. A cet effet l'inductance de fuite qui est en série avec le transistor  $G_1$  cause une grande surtension aux bornes de ce transistor (Figure I-11). Si cette surtension dépasse la tenue en tension du transistor, il y a risque d'avalanche voire de destruction du transistor.

**Remarque :** une diode de clamp (ou Snubber) peut contrôler cette surtension causée par l'inductance de fuite.

Le second point assez limitant est lié aux formes d'ondes en courant en entrée et en sortie du convertisseur qui réclament, au primaire comme au secondaire un filtrage important. De ce fait l'accent mis sur le condensateur de sortie aussi bien que sur le condensateur d'entrée est notable. Enfin dernier point dur, l'utilisation du transformateur, qui est ici une inductance à deux enroulements, est partiel. Malgré de nombreuses études, des versions à commutation douce, ou des versions entrelacées [2], [8], [38], [39], [40], [41], [46], le convertisseur Flyback et ses variantes restent une structure de conversion dont les performances sont limitées tout comme les capacités de montée en puissance. Les formes d'ondes générales de la structure classique sont données dans la Figure I-12. Les équations caractéristiques de la structure sont données ci-après en vue d'en déduire la « FdM topologique ».

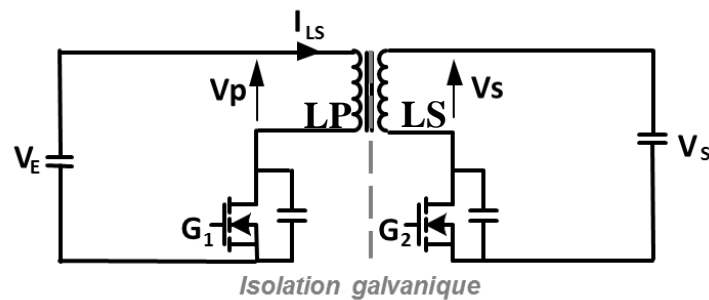


Figure I-11 Schéma électrique équivalent d'un convertisseur Flyback

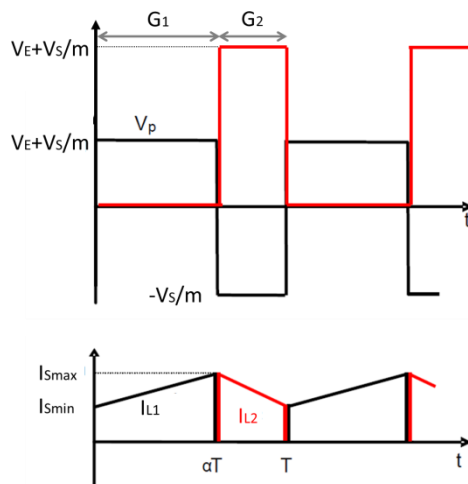


Figure I-12 Formes d'ondes génériques dans un convertisseur Flyback

La tension aux bornes drain-source des deux transistors peut être calculé à partir de (I-29) et (I-30) :

$$V_{DSG_1} = V_E + \frac{V_S}{m} \text{ (V)} \quad \text{I-29}$$

$$V_{DSG_2} = -V_S - m \cdot V_E \text{ (V)} \quad \text{I-30}$$

Où  $m$  est le rapport entre le primaire et le secondaire de l'inductance couplée  $L_1$  et  $L_2$  ( $N_2/N_1$ ).

A partir de la Figure I-12, les courants dans l'inductance au primaire et secondaire peuvent être calculés respectivement par (I-31) et (I-32) :

$$I_{L_P}(t) = I_{S_{MIN}} + \frac{V_E}{L_P} \cdot t \text{ (A)} \quad \text{I-31}$$

$$I_{L_S}(t) = \frac{I_{S_{MAX}}}{m} - \frac{V_S}{L_S} \cdot t \text{ (A)} \quad \text{I-32}$$

La tension en sortie du convertisseur Flyback se calcule à partir de (I-33) :

$$V_S = m \cdot \frac{\alpha}{1-\alpha} \cdot V_E \text{ (V)} \quad \text{I-33}$$

$$\alpha = \frac{V_S}{V_S + V_E} \quad \text{I-34}$$

Ensuite l'ondulation de courant dans l'inductance couplée est donnée par (I-35) :

$$\Delta I_{L_P} = \frac{\alpha \cdot V_E}{L_P \cdot f_{d\acute{e}c}} \text{ (A)} \quad \text{I-35}$$

Comme on a pu voir plus haut (I-29) et (I-30), la surtension importante aux bornes des transistors  $G_1$  et  $G_2$  est une contrainte au niveau du dimensionnement du transistor et ce n'est pas la seule. L'autre contrainte dans cette structure de conversion est la valeur du courant moyen dans l'inductance couplée, ainsi que le courant max :

$$\overline{I_{L_1}} = \frac{I_{in}}{\alpha} \text{ (A)} \quad \text{I-36}$$

$$I_{L_P_{max}} = \overline{I_{L_1}} + \Delta I_{L_P} = \overline{I_{L_1}} + \frac{V_E \cdot \alpha T}{L_P} \text{ (A)} \quad \text{I-37}$$

$$I_{L_S_{max}} = \frac{I_{L_P_{max}}}{m} \text{ (A)} \quad \text{I-38}$$

Enfin les ondulations des courants primaire et secondaire doivent être filtrées par les condensateurs d'entrée et de sortie (le filtrage est très critique). Après avoir exprimé les points forts et faibles de cette structure, la « FdM *topologique* » du Flyback a été exprimée dans le but de comparaison avec les 2 autres types de structure de conversion DC retenues ici.

### FdM topologique pour Flyback :

La « FdM *topologique* » telle qu'elle est introduite dans ce chapitre, est une méthodologie, on l'espère avec un bon compromis entre simplicité et pertinence, pour pouvoir comparer des différentes structures de conversion, en s'affranchissant des technologies. Pour atteindre ce résultat nous avons prédéfini certains coefficients qui représentent à la fois le rapport entre les pertes présentes dans la structure comme par exemple  $K_{\text{commutation}}$  ou  $K_{\text{commande}}$  et à la fois le rapport entre les éléments dans chaque structure qui génère un type de pertes comme par exemple  $K_{\text{FER}}$ . Enfin le facteur de choix technologique,  $K_{\text{AC}}$ .

Dans une telle hypothèse du fait que dans un convertisseur Flyback, les pertes par commutation sont plus importantes que les pertes par conduction en raison de la forte surtension causée par l'inductance de fuite, les valeurs attribuées pour les coefficients correspondant à la « FdM *topologique* » liée aux composants actifs est représentée dans le Tableau I-2 :

Coefficient	Valeur	Description
$K_{\text{commutation}}$	$2 \times 0.75 = 1.5$	$P_{\text{commutation}} > P_{\text{conduction}}$
$K_{\text{commande}}$	0.25	Conventionnelle
$K_{V_{\text{max}}}$	0.83	Marge à prévoir sur la tension nominale maximale appliquée sur les composants (20%)
$K_{\text{AC}}$	1	Facteur de choix technologique (fil Litz)
$K_{\text{FER}}$	0,5	Car deux enroulements pour 1 seul noyau dans l'inductance couplée

Tableau I-2 Coefficients correspondant à la FdM topologique des composants actifs et passifs

Les valeurs proposées pour chacun de ces coefficients sont arbitraires, à ce stade mais ajustables en fonction de l'expertise sur le dimensionnement des composants. Par exemple, la multiplication par 2 du rapport  $K_{\text{commutation}}$  demande à être affiné par une meilleure expérience mais elle est représentative d'une tendance.

Partant de ce jeu d'hypothèses de travail, pour utiliser les « FdM *topologiques* », les conditions de fonctionnement pour chaque convertisseur doivent être considérées comme identiques. Dans un premier temps, le rapport de transformation sera considéré égal à 1. Par voie de conséquence le cahier des charges réduit du Tableau I-3 a été proposé.

Paramètre	Unité	Valeur
Vin-min	V	36
Vin-max	V	44
Vout	V	40
Pout	W	200
$\Delta V_{in} = \Delta V_{out}$	%	2
$\Delta I_L$	mA	500
Fdécoupage	Mhz	1

Tableau I-3 Cahier des charges partiel pour l'étude comparative à partir des « FdM *topologiques* »

Les résultats présentés dans le Tableau I-4, sont extraits d'un fichier Mathcad développé dans le cadre de la thèse. Les relations (I-31) à (I-35) sont évaluées à l'aide du logiciel Mathcad, à partir des données du Tableau I-3. Les Figure I-13 et Figure I-14, on peut constater que les formes d'ondes théoriques obtenues par le fichier Mathcad indiquent une bonne cohérence avec les estimations obtenues par le logiciel de simulation des circuits électroniques « Simplorer 8 ».

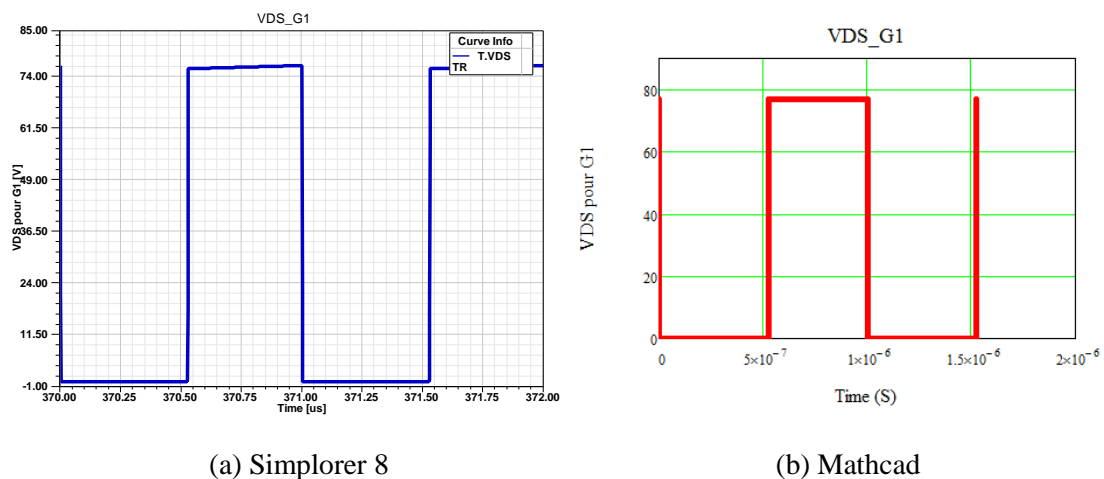


Figure I-13 Formes d'ondes obtenues par Mathcad et par le logiciel de simulation des circuits électriques « Simplorer 8 » de la tension aux bornes du transistor  $G_1$



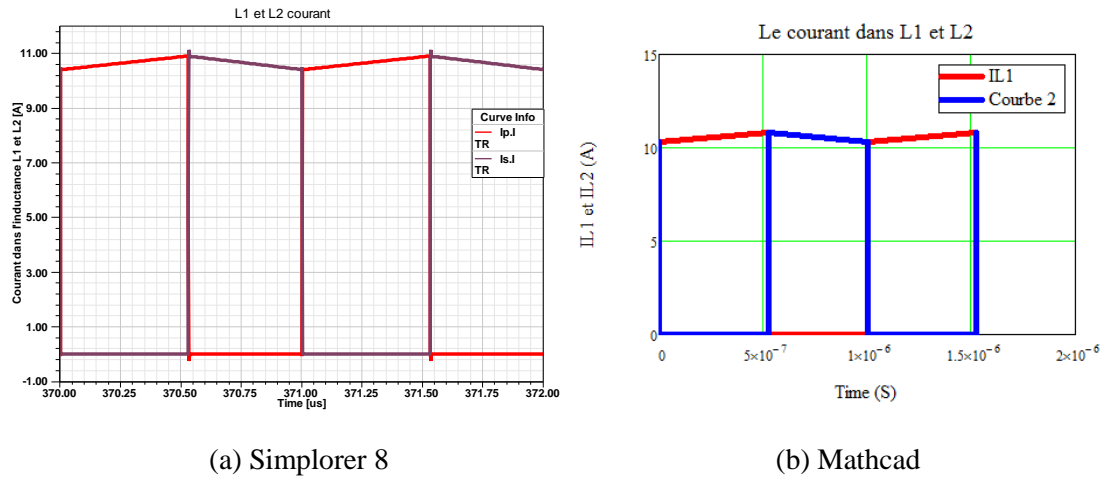


Figure I-14 Formes d'ondes obtenues par Mathcad et par le logiciel de simulation des circuits électriques « Simplorer 8 » du courant dans l'inductance couplée du primaire ainsi que secondaire

La petite chute de tension aux bornes des composants utilisés dans la simulation circuit, modifie très légèrement la tension maximale aux bornes du transistor  $G_1$  par rapport à la valeur obtenue par Mathcad, pour le même composant. En revanche l'impact de cette petite différence est négligeable pour notre étude de comparaison.

Descriptions	Paramètres	Unités	Mathcad	Simplorer8
Courant moyen entrée	$I_{in-moy}$	A	5.56	5.65
Courant moyen sortie	$I_{out-moy}$	A	5	4.95
Rapport cyclique optimal	$\alpha$	%	52.6	52.6
Inductance couplée primaire	$L_p$	$\mu H$	38	38
Courant moyen dans $L_p$	$I_{Lp-moy}$	A	5.55	5.65
Courant minimum dans $L_p$	$I_{Smin}$	A	10.3	10.39
Courant maximum dans $L_p$	$I_{Smax}$	A	10.8	10.88
Courant efficace entrée	$I_{in-eff}$	A	7.66	7.91
Courant efficace sortie	$I_{out-eff}$	A	7.26	7.51
Courant efficace dans le condensateur d'entrée	$I_{Cin-eff}$	A	5.27	5.50
Courant efficace dans le condensateur sortie	$I_{Cout-eff}$	A	5.27	5.50

Tableau I-4 Evaluation de paramètres caractéristiques nécessaires aux FdM, par calcul analytique (Mathcad) et simulation circuit (Simplorer8)

Enfin mettant tous ces résultats avec les coefficients associés dans les relations (I-17), (I-26), (I-27) et (I-28), la « FdM topologique » pour chaque type de composant est évaluée (Tableau I-5).

FdM topologiques			Valeurs
Composants actifs			$3,133.10^4$
Composants passifs	Magnétiques	Inductance	$1,254.10^5$
		Transformateur	-
	Capacitifs	Filtrage	$1,049.10^4$
		Découplage	-

Tableau I-5 « FdM topologiques » pour le convertisseur Flyback

### (b) Convertisseur en Pont-Complet à filtre LC de sortie

Un convertisseur en pont complet à filtre LC de sortie est un grand classique de la conversion DC-DC isolée. Ses formes d'ondes classiques ressemblent à s'y méprendre à celles d'un hacheur série

(Buck) dans lequel on a inséré un transformateur Figure I-16. Il est significativement plus complexe que le convertisseur Flyback et on lui connaît de nombreuses variantes telles que le demi-pont capacitif et le demi-pont redresseur avec un transformateur d'isolation galvanique qui conduisent, dans le meilleur cas, à des facteurs de dimensionnement assez proches. Ses points positifs sont clairement une bonne utilisation du transformateur, un fonctionnement à fréquence fixe simple, fiable et robuste, un redressement au secondaire à diodes qui peut être remplacé par un redresseur synchrone et bien sûr, la possibilité de mettre en œuvre des modes de commutation douce. Jouant contre lui, outre la présence d'un composant magnétique supplémentaire avec des grandeurs AC à ses bornes, la présence d'un filtre LC en sortie nécessitant des composants assez volumineux, et un nombre plus important de transistors à piloter, mais comme toutes les variantes de pont complet. Ci-après la mise en équations des grandeurs caractéristiques pour la comparaison ultérieure.

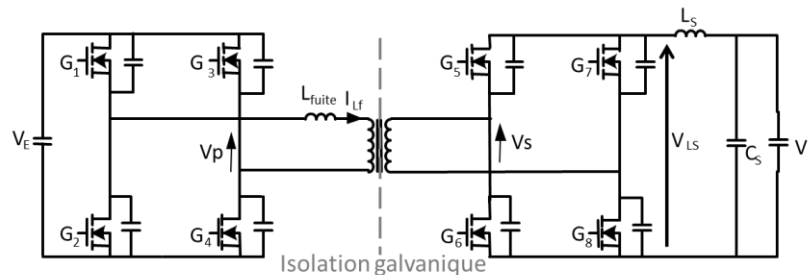


Figure I-15 Schéma électrique équivalent d'un convertisseur Pont-Complet

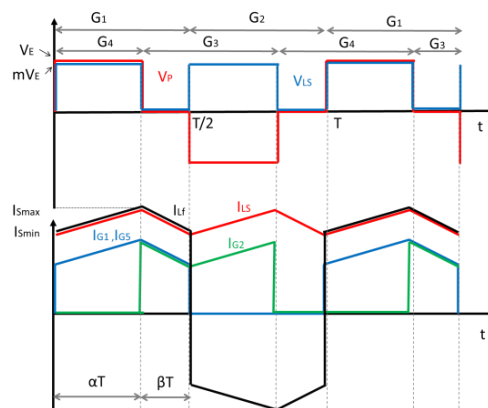


Figure I-16 Formes d'ondes dans un convertisseur Pont-Complet

Comme on a pu voir dans la Figure I-16, le convertisseur Pont-Complet fonctionne de façon identique à vide et en charge, en ce qui concerne l'alimentation du transformateur [9]. A cet égard, il existe toujours un intervalle de temps pendant lequel la tension de sortie est nulle, mais cet intervalle correspond à la condition simultanée d'un interrupteur commandé au primaire et d'un autre du pont secondaire. Les deux transistors d'un même bras d'onduleur qu'ils soient au primaire ou au secondaire, sont commandés de façon complémentaire, à temps de conduction fixe et égale à la demi-période de fonctionnement. La grandeur de réglage est le décalage temporel des ordres de commande entre les deux bras de l'onduleur, que l'on notera  $\alpha T$  (la règle générale pour convertisseur Pont-Complet est  $2\alpha < 0.9$ ). Tout en sachant que le rapport cyclique est fixe et égal à 0.5, l'intervalle  $(\frac{T}{2} - \alpha T)$  est notée  $\beta T$ .

A partir de [9], les relations ci-dessous sont valables pour cette structure :

$$V_s = 2\alpha \cdot m \cdot V_E \text{ (V)} \quad \text{I-39}$$

Où m est le rapport du transformateur ( $N_2/N_1$ ). Prenant en compte la règle générale pour ce convertisseur ( $\alpha < 0.45$ ) tout en sachant que d'une manière naturelle le Pont-Complet est un convertisseur abaisseur, le facteur m peut être calculé par (I-40) :

$$m = \frac{V_s}{0.9 \cdot V_{Emin}} \quad \text{I-40}$$

Enfin le courant maximum dans les transistors  $I_{Gmax}$  peut être calculé avec (I-41) :

$$I_{Gmax} = m \left[ I_{out} + \frac{\alpha(1-\alpha)m \cdot V_E \cdot T}{4 \cdot L_S} \right] + \frac{\alpha \cdot V_E \cdot T}{2 \cdot L_{fuite}} \text{ (A)} \quad \text{I-41}$$

### FdM topologiques pour le Pont-Complet :

Les « FdM *topologiques* » pour le convertisseur Pont-Complet sont évaluées avec le même CdC<sup>1</sup> tout en sachant qu'au niveau des composants magnétiques, les « FdM *topologiques* » du transformateur et celle de l'inductance doivent être étudiées séparément. En outre, le mode de commutation douce (ZVS<sup>2</sup>) dans la structure de convertisseur Pont-Complet, conduit à fixer les valeurs du Tableau I-6 pour les différents facteurs :

Coefficient	Valeur	Description
$K_{commutation}$	0.25	Commutation douce
$K_{commande}$	0.25	Conventionnel
$K_{Vmax}$	0.83	Marge à prévoir sur la tension nominale maximale appliquée sur les composants (20%)
$K_{AC}$	1	Facteur de choix technologique (fil Litz)
$K_{FER-L}$	1	L'hypothèse d'un cas optimum ( $P_{FER}=P_{CU}$ )
$K_{FER-T}$	1	Idem pour le transformateur ( $P_{FER}=P_{CU}$ )
$K_{enroulement}$	2	Un transformateur standard avec deux enroulements

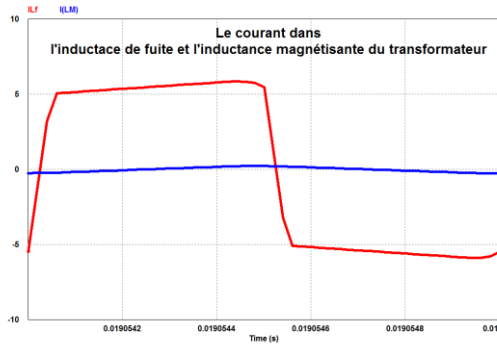
Tableau I-6 Facteurs dans les FdM topologiques pour le convertisseur Pont-Complet

Ici à nouveau, les valeurs choisies pour les coefficients sont arbitraires et devront faire l'objet d'une étude plus approfondie que celle menée dans ce travail.

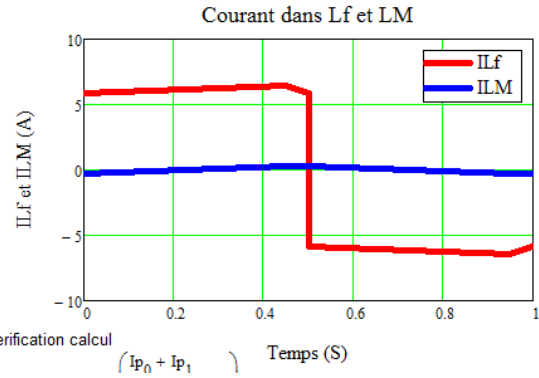
De la même façon que pour le convertisseur précédent, les formes d'ondes sont évaluées analytiquement par Mathcad et le logiciel de simulation PSIM. PSIM permet de s'affranchir davantage de paramètres rattachés aux technologies et donc les conditions de simulation peuvent être plus proches de conditions idéales telles que celles introduites dans les calculs par Mathcad.

<sup>1</sup> Cahier des Charges

<sup>2</sup> Dit en anglais : Zero Voltage Switching

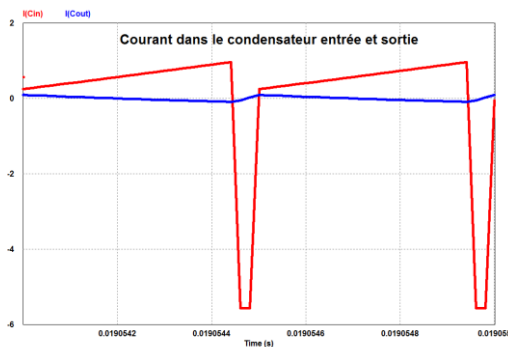


(a) PSIM

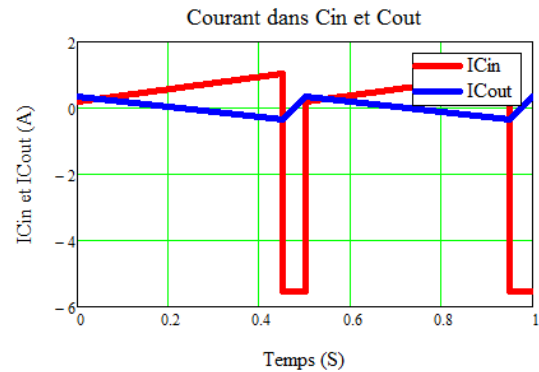


(b) Mathcad

Figure I-17 Evaluation des formes d'ondes de courant par calcul analytique (Mathcad) et simulation circuit (PSIM) pour le Pont Complet, dans l'inductance de fuite et l'inductance magnétisante du transformateur.



(a) PSIM



(b) Mathcad

Figure I-18 Evaluation des formes d'ondes de courant par calcul analytique (Mathcad) et simulation circuit (PSIM) pour le Pont Complet, dans les condensateurs d'entrée et de sortie

Après avoir fixé le CdC, les valeurs caractéristiques des paramètres nécessaires aux FdM, pour la structure de conversion Pont-Complet sont évaluées comme suit

Descriptions	Paramètres	Unités	Mathcad	PSIM
Courant moyen entrée	$I_{in-moy}$	A	5.56	5.4
Courant moyen sortie	$I_{out-moy}$	A	5	4.91
Déphasage	$\alpha$	%	45	45
Rapport de transformateur	$m=N_2/N_1$	-	1.235	1.235
Inductance magnétisante	$L_M$	$\mu H$	32.4	32.4
Inductance sortie	$L_S$	$\mu H$	10.55	10.55
Courant efficace inductance magnétisante	$I_{LM}$	A	0.16	0.17
Courant efficace G (primaire)	$I_{Gp-eff}$	A	4.36	4.27
Courant efficace G (secondaire)	$I_{Gs-eff}$	A	3.54	3.39
Courant efficace dans le condensateur d'entrée	$I_{Cin-eff}$	A	1.86	1.81
Courant efficace dans le condensateur sorite	$I_{Cout-eff}$	A	0.203	0.16

Tableau I-7 Evaluation de paramètres caractéristiques nécessaires aux FdM, par calcul analytique (Mathcad) et simulation circuit (PSIM) pour le Pont-Complet @  $V_{in}=36$  V,  $V_{out}=40$  V et 1 MHz

Enfin les valeurs des « FdM *topologiques* » sont calculées pour le convertisseur Pont-Complet (Tableau I-8):

FdM topologiques			Valeur
Composants actifs			$9,787 \cdot 10^3$
Composants passifs	Magnétiques	Inductance	$2,831 \cdot 10^3$
		Transformateur	$2,473 \cdot 10^3$
	Capacitifs	Filtrage	713
		Découplage	211

Tableau I-8 « FdM *topologiques* » pour le convertisseur Pont-Complet

### (c) Dual Active Bridge

Le convertisseur Dual Active Bridge (DAB) est une topologie double pont complet qui a été élaborée en 1991 et qui a été brevetée en 1992 par M. Kheraluwala. Le convertisseur DAB est une structure réversible, bidirectionnelle et selon la stratégie de pilotage, il peut fonctionner en mode élévateur (Boost) ou en mode abaisseur (Buck) [47], [27] (Figure I-19). Plusieurs travaux sont réalisés au sein du laboratoire G2Elab sur le convertisseur DAB au niveau des études d'intégration, contrôle, commande rapprochée et mise en réseau de convertisseurs [48], [30], [27], [17] où le fonctionnement de ce convertisseur est présenté en détail. Il fonctionne à fréquence fixe, permet de limiter les besoins de stockage de l'énergie électrique via un transfert direct de celle-ci du primaire au secondaire. Il fonctionne en commutation douce sur une large plage de points de fonctionnement et il offre des performances dynamiques élevées. En contrepartie, c'est probablement la structure la plus complexe à mettre en œuvre. Il est difficile à réguler car ses dynamiques sont très élevées et son facteur de dimensionnement est très dépendant des plages de variations des tensions aux primaire et secondaire.

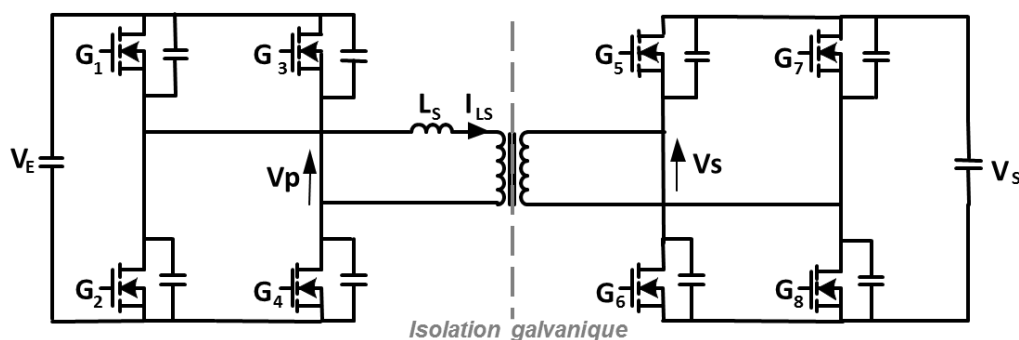


Figure I-19 Le schéma électrique équivalent d'un convertisseur DAB

Comme cela sera présenté en détail dans le chapitre III, le principe de fonctionnement de cette structure repose sur l'inductance de fuite du transformateur. Elle permet de contrôler le transfert de puissance à partir d'un déphasage approprié entre les signaux de commande au primaire et au secondaire. Dans un fonctionnement classique, le système de contrôle est basé sur le réglage du déphasage des signaux de commande de l'onduleur par rapport à ceux du redresseur.

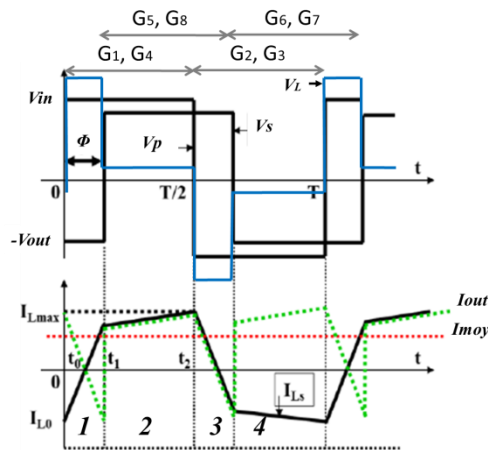


Figure I-20 Formes d'ondes génériques dans un convertisseur DAB

La mise en équation (les détails dans le chapitre III) fait ressortir assez fortement que le dimensionnement des structures de conversion quelque soit la topologie choisie est très sensiblement affectée par la forte variation possible de la tension d'entrée. Certaines topologies, qui intègrent des moyens de filtrage importants sont un peu moins sujettes à ce point dur de dimensionnement. Par contre d'autres comme la structure DAB, le sont particulièrement. Nous verrons dans le troisième chapitre avec davantage de détails les raisons de cela.

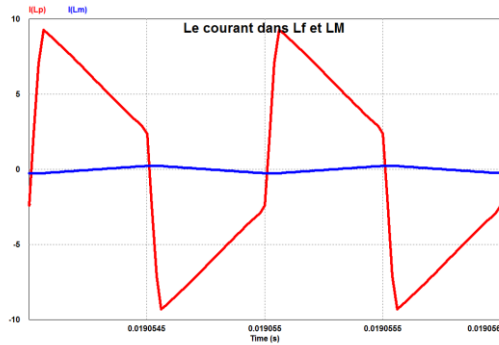
### FdM topologique pour DAB:

Le convertisseur DAB bénéficie d'un grand avantage : la commutation ZVS dans une large zone de fonctionnement. Les facteurs des « FdM topologiques » du convertisseur sont définis en conséquence dans le Tableau I-9 :

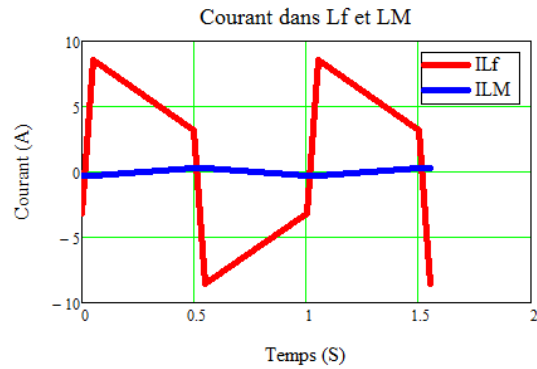
Coefficient	Valeur	Description
$K_{\text{commutation}}$	0.25	Commutation douce ZVS
$K_{\text{commande}}$	0.25	Conventionnel
$K_{V_{\text{max}}}$	0.83	Marge à prévoir sur la tension nominale maximale appliquée sur les composants (20%)
$K_{AC}$	1	Facteur de choix technologique (fil Litz)
$K_{\text{FER-L}}$	0	Car l'inductance de fuite a été considérée comme une inductance mais sans noyau
$K_{\text{FER-T}}$	1	Idem pour le transformateur ( $P_{\text{FER}}=P_{\text{CU}}$ )
$K_{\text{enroulement}}$	2	Un transformateur standard avec deux enroulements

Tableau I-9 Facteurs des FdM topologiques pour le convertisseur DAB

Les formes d'ondes évaluées par simulation de circuits électriques (PSIM) ainsi analytiquement par Mathcad sont présentées dans la Figure I-21 et Figure I-22.

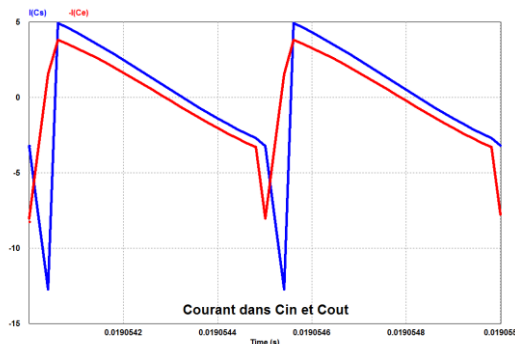


(a) PSIM

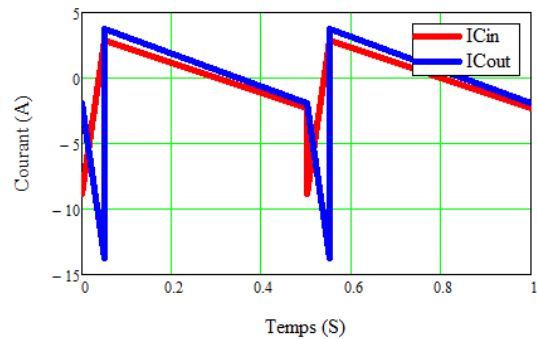


(b) Mathcad

Figure I-21 Formes d'ondes obtenues par Mathcad et par simulateur de circuit (PSIM) des courants dans l'inductance de fuite et l'inductance magnétisante du transformateur



(a) PSIM



(b) Mathcad

Figure I-22 Formes d'ondes obtenues par Mathcad et par simulateur de circuit (PSIM) des courants dans le condensateur d'entrée et de sortie

Descriptions	Paramètres	Unités	Mathcad	PSIM
Courant moyen entrée	$I_{in-moy}$	A	5.56	5.65
Courant moyen sortie	$I_{out-moy}$	A	5	5
Déphasage optimum	A	%	5.1	5.1
Rapport de transformateur	$m=N_2/N_1$	-	1	1
Inductance magnétisante	$L_M$	$\mu H$	34.32	34.32
Inductance de fuite totale	$L_S$	nH	330	330
Courant efficace inductance de fuite	$I_{Lf}$	A	5.93	6.12
Courant efficace inductance magnétisante	$I_{LM}$	A	0.16	0.16
Le condensateur d'entrée	$C_{in}$	$\mu F$	0.54	0.54
Le condensateur de sortie	$C_{out}$	$\mu F$	0.5	0.5
Courant efficace G (primaire)	$I_{Gp-eff}$	A	4.18	4.32
Courant efficace G (secondaire)	$I_{Gs-eff}$	A	4.21	4.35
Courant efficace dans le condensateur d'entrée	$I_{Cin-eff}$	A	2.4	2.57
Courant efficace dans le condensateur de sortie	$I_{Cout-eff}$	A	3.25	3.33

Tableau I-10 Evaluation de paramètres caractéristiques nécessaires aux FdM, par calcul analytique (Mathcad) et simulation circuit (PSIM) pour le DAB, @  $V_{in}=36$  V,  $V_{out}=40$  V et 1 MHz

De cette façon et à partir des résultats obtenus par Mathcad nous avons calculé les « FdM topologiques » pour le convertisseur DAB:

FdM topologique			Valeurs
Composants actifs			1,078.10 <sup>4</sup>
Composants Passifs	Magnétiques	Inductance	390
		Transformateur	2,396.10 <sup>3</sup>
	Capacitifs	Filtrage	471
		Découplage	117

Tableau I-11 FdM topologiques pour le convertisseur DAB

### 3) Comparaison et choix de la structure de convertisseur DC-DC

La Figure I-23 compare les trois structures de conversion isolées étudiées à partir de leurs « FdM topologiques ».

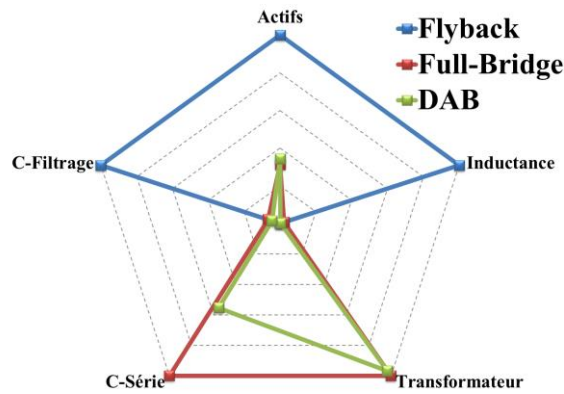


Figure I-23 Comparaison des « FdM topologiques » pour trois convertisseurs : Flyback (Bleu), Pont-Complet (Rouge) et DAB (vert)

FOM	Actifs	Magnétiques		Capacitifs	
		Inductance	Transformateur	Filtrage	découplage
Flyback	3,2	321	-	22,3	-
Full-Bridge	1	7,26	1,03	1,51	1,8
DAB-M <sup>1</sup>	1,1	1	1	1	1

Tableau I-12 Comparaison des FdM topologiques relatives (normalisées) pour les trois structures retenues de conversion DC.

On remarque que la courbe de la « FdM topologique » correspondante au convertisseur DAB est plus étroite que pour les deux autres convertisseurs pour le cahier des charges du Tableau I-3. Ce convertisseur présente la « FdM topologique » la plus favorable au niveau du filtrage du courant d'entrée et de sortie (condensateur de filtrage d'entrée/sortie) : le condensateur de découplage est utilisé avec l'inductance de fuite sans avoir besoin de composant discret dans la structure. Au niveau des composants actifs, même avec 8 interrupteurs, les convertisseurs DAB et le Pont-Complet ont à peu près le même classement, qui est sensiblement préférable par rapport à celui de la structure de Flyback avec par contre deux transistors. Bien sûr tout cela reste très dépendant des coefficients définis pour chaque FdM de composant actif. En effet dans le Flyback l'accent mis sur l'interrupteur est très important à cause de la surtension aux bornes du transistor et de l'augmentation des pertes

<sup>1</sup> DAB-M avec M comme magnétique car il sera introduit un DAB-C avec C comme capacitif



---

par commutation par rapport à celles par conduction. Par opposition, au niveau du DAB et du convertisseur en pont complet, la commutation douce introduite dans la FdM témoigne d'une réduction significative des pertes Joule.

Quelques caractéristiques supplémentaires de la structure DAB sont les suivantes :

- Structure à bras de pont : gestion des délais et des temps morts
- Structure à pont complet imposant une symétrie de commande parfaite
- Structure nécessitant un élément de synchronisation ou synchronisant performant.
- Taux de recyclabilité<sup>1</sup> très important
- Durée de vie et maintenance ...
- Au niveau applicatif, le DAB basse tension/haute fréquence est intéressant pour l'application réseau de convertisseurs, l'intégration du driver de l'ensemble est accessible de manière monolithique via des technologies standards

#### **4) Association Parallèle/série des convertisseurs DC-DC**

Dans une application conversion d'énergie à fort rapport de transformation comme celle concernant le raccordement au réseau électrique basse tension d'un panneau solaire unitaire, au lieu d'utiliser des convertisseurs statiques unitaires, il est possible d'utiliser une solution alternative en associant les convertisseurs élémentaires (dit cellules élémentaires) en série et/ou en parallèle à l'entrée et/ou à la sortie de chaque convertisseur selon le cahier des charges. De cette façon le réseau de convertisseurs permet de mettre en œuvre des rapports de transformation importants tout en mettant les entrées des cellules élémentaires en parallèle et leurs sorties en série, soit une configuration PISO<sup>2</sup>. A ce sujet, pour une tension en entrée stable, le nombre des cellules élémentaires interconnectées en série à la sortie est directement dépendant de la tension nominale de la cellule, ici 40 V par exemple, et du rapport d'élévation à réaliser. Par exemple dans l'application PV avec 40 V aux bornes d'un module PV, pour avoir une tension stable de 400 V sur le bus DC en sortie, soit un rapport de 10, dix cellules élémentaires peuvent être connectées en parallèle en entrée et en série en sortie. Dans ce type d'approche, le transformateur de la cellule élémentaire est envisagé avec un rapport de 1. Dans ce contexte, il ne participe pas directement au rapport d'élévation de tension entre le primaire et le secondaire mais il est nécessaire pour pouvoir mettre en œuvre les associations de cellules élémentaires en configuration PISO. Dans ce contexte, et si l'isolation galvanique n'est pas requise par le cahier des charges, le transformateur peut même être substitué par un découplage capacitif, comme présenté dans la Figure I-24.

---

<sup>1</sup> Ayant une structure très homogène dont tous les éléments actifs sont de même type, le convertisseur DAB représente un taux de recyclabilité élevé et le coût de recyclage de cette structure est donc faible.

<sup>2</sup> Dit en anglais : Parallel INPUT, Series OUTPUT

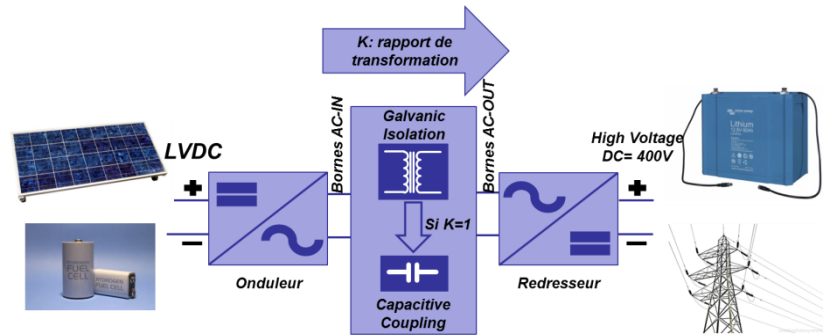


Figure I-24 Le principe de rapport de transformation primaire/secondaire

Ainsi, en exploitant le principe de la modularité offerte par la mise en réseau de cellules élémentaires, il est possible de revoir en profondeur l'architecture même du convertisseur. Dans notre cas, retirer le transformateur et le remplacer par un jeu de condensateurs de découplage pourraient permettre d'améliorer sensiblement le dimensionnement de la cellule élémentaire. Toutefois, cela ne résout pas la problématique de couverture de la plage de la tension d'entrée. Si la tension d'entrée est amenée à être variable comme cela est le cas dans notre applicatif, on reporte toujours la variation de tension en entrée sur les contraintes de dimensionnement de chaque cellule élémentaire. En ce sens, l'approche modulaire ne résout pas seule le problème en l'état.

Pour tenter de résoudre la problématique liée à la large plage de variation de la tension d'entrée, une alternative est possible pour soulager le dimensionnement des cellules élémentaires. Cette alternative consiste à exploiter la granularité du rapport de transformation mis en œuvre par l'association en série d'un nombre plus ou moins important de cellules élémentaires. Pour cela en ajoutant des interrupteurs sur la sortie de chaque étage, selon l'intermittence de la production des modules PV, des cellules élémentaires peuvent être ajoutées ou pas pour limiter l'excursion du rapport  $V_s/m.V_e$  et ainsi favoriser un dimensionnement optimal de chaque cellule élémentaire (Figure I-25-b) [17]. Cette approche sera également mise en équation pour permettre de comparer son dimensionnement aux précédentes topologies, toujours avec l'objectif de satisfaire au mieux les besoins de l'applicatif. Les parties suivantes détaillent la mise en équation des deux approches modulaires.

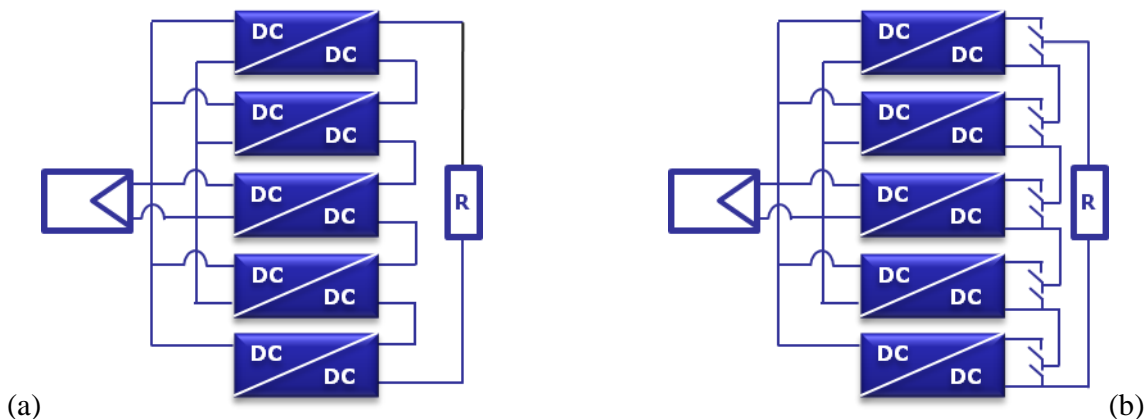


Figure I-25 (a) Le réseau de convertisseur PISO dans l'application PV (b) Gestion du nombre d'étages du réseau de convertisseur

---

La cellule élémentaire de l'approche réseau de convertisseurs a une importance majeure. Compte-tenu du fait que ses caractéristiques conditionnent celles du RC<sup>1</sup>, elle doit forcément répondre à certains critères au niveau des performances et du dimensionnement. Une cellule élémentaire pour un réseau de convertisseurs doit avoir le meilleur rendement possible, une haute densité d'énergie, offrir une isolation primaire-secondaire, être fiable et la plus simple possible à contrôler. Son facteur de dimensionnement est important par rapport aux dimensions du R $\mu$ C entier. Une isolation est demandée pour le couplage des parties primaire et secondaire de puissance de la cellule élémentaire et du RC.

La solution RC permet de répartir les contraintes de transfert avec un grand gain sur la tenue en tension des composants tout en dégageant le besoin d'un transformateur avec grand rapport primaire/secondaire. En effet le principe de la Figure I-25 est la mise en réseau de convertisseurs modulaires de faible tension, faible puissance, que l'on peut ensuite connecter en série et/ou en parallèle suivant les tensions et les courants désirés en entrée et en sortie du convertisseur. C'est pourquoi cette approche permet de ne concevoir qu'un seul type de convertisseur qui peut répondre finalement à une grande variété de cahier des charges du système de conversion.

L'optimisation du convertisseur élémentaire permettra d'augmenter la performance du réseau de convertisseurs en termes de rendement, fiabilité, gestion thermique et pilotage, etc. Le cas spécifique du PV permet a priori de se passer du transformateur d'isolation galvanique de chaque cellule élémentaire du fait qu'ils n'ont plus à supporter un fort rapport de conversion de tension. De ce fait le choix de la topologie du convertisseur élémentaire est une étape très importante et déterminante qui conditionne le succès de l'approche du RC.

## **ii. Isolation galvanique**

Comme dit précédemment une isolation galvanique est indispensable dans un convertisseur avec fort rapport de transfert où le couplage est nécessaire ainsi que l'isolation primaire/secondaire. De manière classique, le fort rapport de transfert de la puissance dans l'application PV est fondé sur les convertisseurs statiques avec un seul transformateur à fort rapport de tension. Comme vu précédemment, dans la solution alternative RC, plusieurs petites cellules de conversion DC avec le rapport de tension unitaire sont utilisées avec des interconnexions parallèle en entrée et série en sortie PIOS – qui peut atteindre de fort rapport de transfert – et conséquemment, dans lesquels chaque cellule élémentaire peut être constituée d'un transformateur avec un rapport de tension entrée/sortie faible et dans le cas idéal très proche de 1. Dans ce cas le nombre des cellules élémentaires mise en série à la sortie représente le rapport d'élévation de la conversion DC. Cette dernière ne demande qu'un découplage entre primaire et secondaire du RC et l'isolation galvanique n'est donc plus contraignante. A ce niveau le découplage entre primaire et secondaire peut être réalisé dans chaque cellule élémentaire en deux façons : coupleur magnétique ou coupleur capacitif.

### **1) Solution magnétique**

Dans un convertisseur DAB, le transformateur assure un double rôle. Tout d'abord il assure l'isolation galvanique entre l'entrée et la sortie du convertisseur et, ensuite, son inductance de fuite sur les bornes AC de l'onduleur fait l'essentiel car elle permet de contrôler le transfert de la puissance et fait que la mise en place d'une inductance discrète n'est plus nécessaire dans une condition de faible variation de tensions entrée/sortie, ce qui réduit le nombre de composants passifs

---

<sup>1</sup> Réseau de Convertisseur

---

du convertisseur. Toutes les conditions et les sûretés de fonctionnement d'un convertisseur DAB seront rappelées dans la première partie de chapitre III.

Les pertes dans un transformateur (*Cuivre + Fer*) doivent être les plus faibles possibles afin de transférer maximum d'énergie sans pénaliser le rendement global du convertisseur. Le transformateur doit être dimensionné pour que tout d'abord la résistance série des bobinages soit minimale (pertes *Joule*) et ensuite le choix du matériau magnétique doit être pertinent pour limiter les pertes *Fer* (*hystérésis* et courants de *Foucault*). En revanche l'inductance magnétisante doit être plus grande possible afin de limiter l'ondulation du courant magnétisant, ce qui détermine les pertes AC supplémentaires ainsi que la circulation du courant sans transfert de la puissance et conséquemment crée les pertes réactives. De plus les dimensions du transformateur ne doivent pas être disproportionnées par rapport à la dimension globale du convertisseur afin d'augmenter la densité de puissance transférée.

La commutation à haute fréquence dans les systèmes de conversion de puissance permet de diminuer le volume des composants passifs en général. Les limites technologiques comme les pertes en commutation dans les composants actifs, l'effet de peau ou l'effet de proximité dans les composants passifs ne permettent pas augmenter la fréquence de découpage au-delà d'une valeur raisonnable. En tant que degré de liberté, la fréquence de découpage a un impact limité.

En résumé, si l'inductance de fuite peut être optimisée et minimisée (fréquence de découpage du kHz au MHz), le transformateur restera toujours un compromis entre la taille et les pertes. La mise en œuvre d'un couplage magnétique introduit donc des pertes pénalisantes.

## 2) Solution capacitive

Comme dit auparavant, un RC dans le contexte PV permet d'éliminer la nécessité d'un rapport de tension entre entrée et sortie du convertisseur élémentaire. Le transformateur perd son intérêt pour l'aspect rapport de tension. Ne reste que l'aspect isolation entre primaire et secondaire.

Dans un RC constitué de convertisseurs DAB, le rendement des cellules élémentaires est maximum quand le rapport de tension entrée/sortie est très proche de 1. Ceci impose que la tension d'entrée n'évolue pas dans une plage significative et il en sera de même pour la tension de sortie. Cette contrainte sera gérée par un RC reconfigurable. Quoiqu'il en soit ceci a une importance au niveau des composants passifs car les critères du dimensionnement vont changer. A cet effet le transformateur magnétique peut être remplacé par un couplage capacitif sous les conditions suivantes (détaillées dans le chapitre III) :

- Quand tout d'abord l'isolation galvanique n'est plus obligatoire
- Quand la variation de tension entrée/sortie de l'unité intermédiaire (AC-Link) est négligeable ( $V_{IN}$  et  $V_{OUT}$  restent DC quasi-parfaite)
- Quand le rapport de transformation demandé est égal à 1 (comme dans l'approche RC)
- Enfin quand utilisation du transformateur n'a pas un avantage ajouté par ailleurs pour le fonctionnement du système.

Dit autrement cette approche peut être réalisée si et seulement si le rapport demandé pour le transfert de puissance dans la cellule élémentaire est égale à 1 et que la variation de tension entre primaire et

secondaire est proche de zéro pour éviter les phénomènes EMI<sup>1</sup> et éviter d'avoir des amplitudes fortes de courant de mode commun aux bornes AC. Un convertisseur DAB composé d'un couplage capacitif entre primaire/secondaire permet d'aborder aussi un fonctionnement à haute fréquence de découpage.

Ici brièvement et en détail dans le chapitre III, il est dit que dans un convertisseur DAB classique, l'inductance série est un élément essentiel pour le transfert de la puissance du primaire au secondaire en introduisant un déphasage au niveau des signaux de commande. Pour des questions de symétrie, cette inductance série est divisée en deux composantes comme dans le schéma électrique équivalent illustré dans la Figure I-26. Ensuite les condensateurs  $C_s$  doivent être dimensionnés selon le courant alternatif qui les parcourt et bien sûr la tension continue qu'ils doivent supporter à leurs bornes.

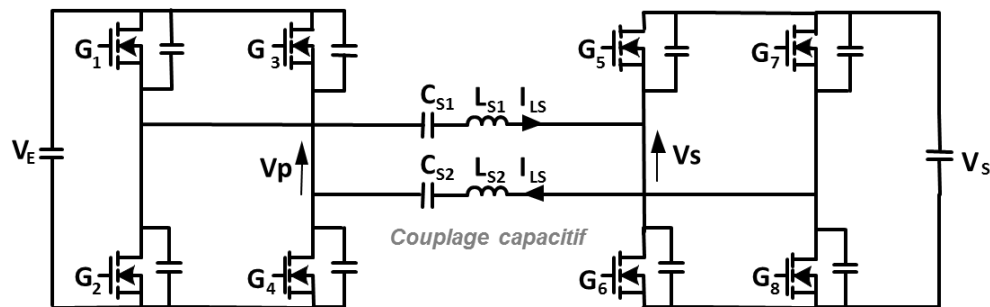


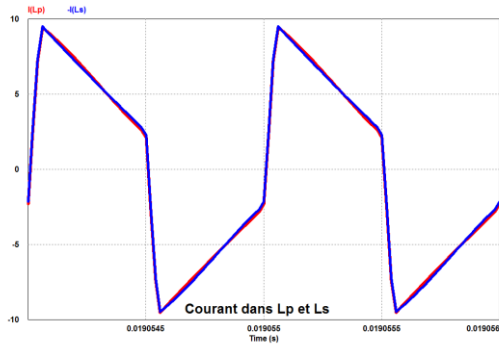
Figure I-26 Schéma électrique équivalent d'un convertisseur DAB avec un couplage capacitif (DAB-C)

Autrement dit si à grande puissance et dans les applications en haute tension et/ou très haute tension, le transformateur reste le seul et le meilleur moyen d'isolation, dans les applications à basse tension, telles que le PV, batteries et piles à combustible, l'approche RC avec des couplages capacitifs peut être considérée comme une solution a priori plus performante et efficace. Un des buts de ce manuscrit est notamment de montrer que c'est bien le cas.

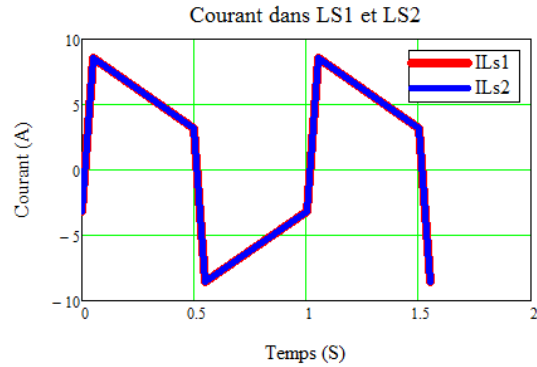
Le cahier des charges du Tableau I-3 est retenu pour le convertisseur DAB à couplage capacitif, dit DAB-C<sup>2</sup> (Figure I-26). L'évaluation des « FdM *topologiques* » est menée à l'identique des autres convertisseurs. Le facteur relatif aux pertes *Fer* du transformateur,  $K_{FER\_transformateur}$  disparaît. Les Figure I-27 et Figure I-28 représentent les formes d'ondes de courant dans les inductances séries posées aux bornes de AC-Link ainsi que le courant dans les condensateurs d'entrée et de sortie par Mathcad et PSIM.

<sup>1</sup> Dit en anglais : ElectroMagnetic Interference

<sup>2</sup> DAB-C avec C comme couplage capacitif car il sera introduit un DAB-M avec M comme couplage magnétique

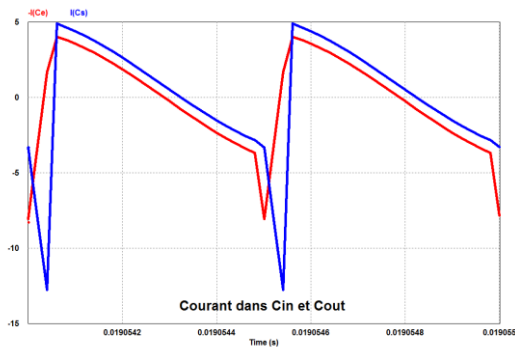


(a) PSIM

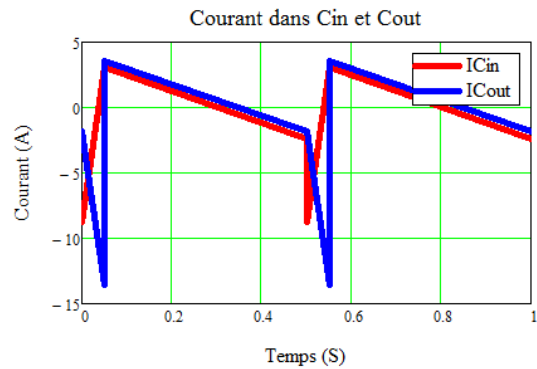


(b) Mathcad

Figure I-27 Formes d'ondes dans les deux inductances  $L_{S1}$  et  $L_{S2}$  par Mathcad ainsi par simulateur de circuit (PSIM)



(a) PSIM



(b) Mathcad

Figure I-28 Formes d'ondes dans les deux inductances  $L_{S1}$  et  $L_{S2}$  ainsi que dans le condensateur d'entrée et de sortie par la simulation PSIM.

L'évaluation des « FdM *topologiques* » pour le convertisseur DAB avec le couplage capacitif est résumée dans le Tableau I-13 :

FdM topologique			Valeur
Composants actifs			$1,078.10^4$
Composants passifs	Magnétiques	Inductance	399
		Transformateur	0
	Capacitifs	Filtrage	437
		découplage	$1,88.10^6$

Tableau I-13 « FdM *topologiques* » pour le convertisseur DAB-C avec coupleur capacitif

### 3) Comparaison et choix de la topologie (DAB-M ou DAB-C)

L'état de l'art établit qu'il est difficile de développer une structure de conversion à faible tension, faible puissance avec un transformateur et en cherchant un rendement de conversion supérieur à 90%. Dans [30] ainsi que [49], les auteurs font ressortir les problématiques liées à la conception, la réalisation et la mise en œuvre des transformateurs basse tension, très haute fréquence, et ultra performants. De ce fait la tendance actuelle est l'abandon de l'isolation galvanique, coûteuse en masse, en rendement et en prix et qui n'est pas une obligation dans le cas précis du PV et en

considérant l'approche RC. Le couplage capacitif offre une solution de rupture. La structure DAB sans transformateur offre tous les avantages mentionnés dans les parties précédentes. Une solution à couplage capacitif permettra de pousser les fréquences au maximum sans les problématiques « magnétique » rencontrées souvent. De ce fait l'objectif de la thèse est de pousser cette approche le plus loin possible.

La Figure I-29 illustre la comparaison en terme de « FdM *topologiques* » entre le DAB-M avec transformateur et le DAB-C avec le coupleur capacitif.

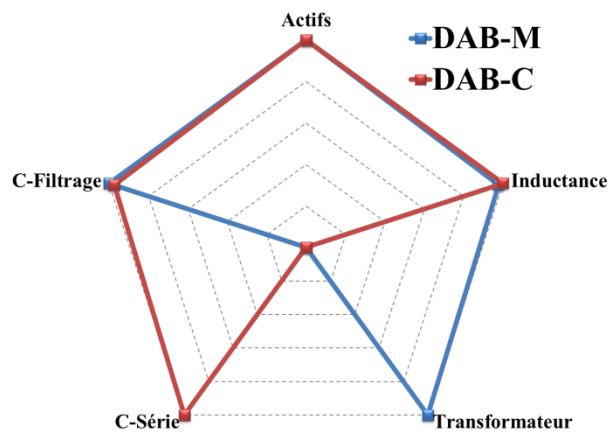


Figure I-29 Radar des « FdM *topologiques* » pour les deux convertisseurs DAB, avec coupleur magnétique (DAB-M) et avec coupleur capacitif (DAB-C)

Malgré nos moyens de comparaison, il sera particulièrement difficile de comparer efficacement des structures de conversion intégrant un transformateur avec celles qui n'en n'intègrent pas car de nombreux paramètres spécifiques sont influencés. Le couplage capacitif propose une perspective d'intégration plus élevée et la possibilité d'un fonctionnement à haute température (200 °C) peu accessible au transformateur magnétique. Ensuite à très haute fréquence il n'y aura plus les pertes correspondantes aux matériaux magnétiques. Le retrait des enroulements se traduira par la minimisation de l'effet de proximité et de peau.

#### D. Les enjeux et défis

Les enjeux et les défis de l'approche de conversion DC en utilisant l'aspect RC dans l'application PV – basse tension – peuvent être mieux appréciés suite à la mise en évidence des problématiques concernant les composants actifs et passifs à haute fréquence de découpage et haute température de fonctionnement. Au final, cette partie fait apparaître que l'approche RC peut apporter une solution qui permettrait d'exploiter au maximum le potentiel actuel des transistors GaN basse tension. Ensuite la section veut montrer que la montée en fréquence est une opportunité du fait du couplage capacitif.

##### i. L'approche système/RC

Le but de RC est d'offrir une alternative à la logique de construction d'une structure de conversion spécifique pour chaque cahier des charges. Le principe est d'avoir une cellule de base qui sert alors de *brique élémentaire (building block)* pour la réalisation de convertisseurs plus importants dont les caractéristiques sont adaptées à l'application visée.

---

Cette cellule élémentaire doit être autonome au niveau de l'alimentation locale et de la commande, efficace, simple à mettre en œuvre et offrir des performances dynamique élevées. De ce fait, il est intéressant de noter que les cellules élémentaires ne sont pas dimensionnées en fonction d'une application précise, mais elles pourront être optimisées pour offrir le meilleur compromis, en favorisant l'intégration en fonction des caractéristiques technologiques. En effet, dans l'application PV, la conversion d'énergie consiste au transfert de puissance de la basse tension (module PV) à la haute tension (bus DC soit 400 V). Les composants GaN 200V (début de la thèse) interdisent un convertisseur statique unitaire à haute tension en sortie. Pour cette raison, le système RC dans lequel sont connectées un nombre fini – selon l'application et le rapport d'élévation – de structures de conversion, en parallèle à l'entrée et en série à la sortie, permet de revisiter les critères de tenue en tension des composants actifs.

A cette fin les enjeux et les défis de l'aspect RC sont introduits ci-après :

- Le RC devient très intéressant pour l'amélioration du productible quand la granularité augmente suffisamment. Cet aspect sera illustré plus en détail dans le chapitre II.
- Compatible avec l'utilisation des composants GaN basse tension standard, ce qui signifie que l'on n'a pas besoin d'avoir recours à des composants sur mesure ou de revenir à des technologies silicium pour la partie haute tension.
- Le rapport de transfert proche de 1 dans chaque cellule élémentaire, ce qui permet :
  - une meilleure efficacité dans le DAB dans les conditions optimales de fonctionnement (plus des détails dans le chapitre III).
  - de profiter du couplage capacitif vis-à-vis d'une fréquence accrue de découpage si la plage de variation de tension entrée/sortie reste très étroite.
- En basse tension et haute fréquence de découpage, le RC est plus compétitif en terme de rendement par rapport aux autres structures dans la même gamme de puissance [50], [17], [27].

Cette partie a présenté les enjeux et les défis de la mise en place du réseau de convertisseurs dans l'application PV afin de convertir de la puissance avec un fort rapport apparent de transfert.

## **ii. Composants grand gap GaN-HEMT**

Emergeant en 2006, aujourd'hui les composants GaN-HFET occupent ou sont impliqués dans une grande partie des travaux de recherche en France et dans les autres pays dans le domaine d'électronique de puissance. Dans les travaux de thèse [31] et [37] et certaines autres thèses en cours au G2Elab comme les travaux de thèse de M. Van. Sang NEGUYEN et M. Clément FITA, les principes et l'état de l'art sur les composants GaN-HFET sont présentés de façons détaillées. On peut citer trois domaines principaux dans lesquels les composants GaN-HFET présentent un grand intérêt : montée en fréquence de découpage, grande compacité avec un fort taux d'intégration et fonctionnement à haute température. Actuellement EPC, GaN System, Panasonic, Transphorm, International Rectifier sont les fournisseurs majeurs des composants de puissance GaN. Dans ces travaux de thèse les composants GaN-EPC 200 V étaient les composants du commerce les plus accessibles et les plus fiables au moment du démarrage.

D'une manière générale les transistors de puissance GaN présentent des caractéristiques plus performantes que les composants classiques Si d'après leurs FdM de transistor (Figure I-30). De plus, les éléments parasites des transistors de puissance EPC sont réduits en mettant en œuvre la



puce nue dans la cellule de commutation. Comme déjà mentionné dans [31] et [51], pour un  $R_{DS}$  donné à l'état passant, en comparant avec les composants Si équivalents à tenue en tension égale, les transistors de puissance GaN présentent un gain de 20% sur la charge de grille,  $Q_{GS}$ , 10% sur la charge Miller,  $Q_{GD}$ , 50% sur la charge de sortie,  $Q_{OSS}$ , 5% sur l'inductance parasite de boîtier et enfin ne souffre pas de charge de recouvrement  $Q_{RR}$  car la diode-body n'existe pas. Par voie de conséquence les transistors GaN peuvent travailler à des fréquences élevées grâce à la très faible capacité parasite d'entrée et de sortie ainsi qu'à la haute mobilité des porteurs de charge.

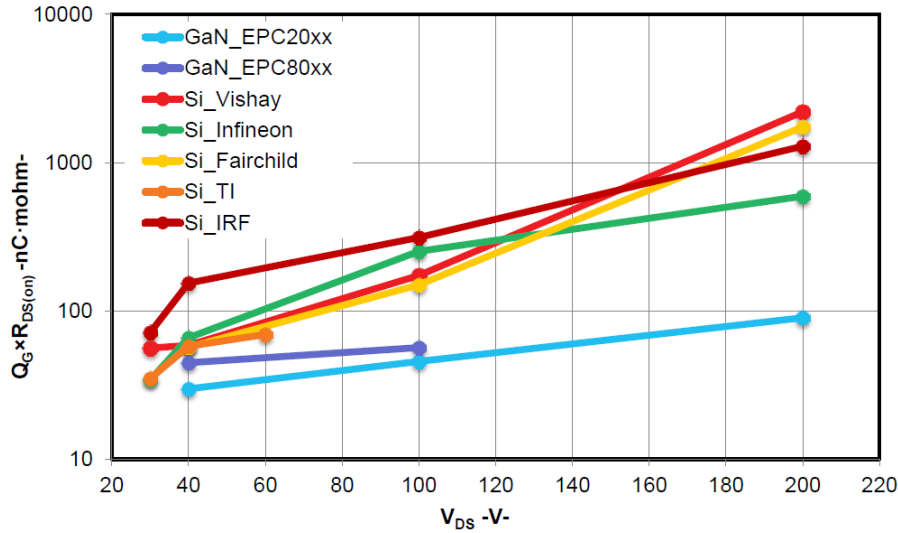


Figure I-30 Comparaison de la FdM composant ( $R_{DS(on)} \cdot Q_G$ ) entre différents types de transistors [37]

En outre, sans diode-body, la structure symétrique des composants GaN aboutit à un mécanisme bidirectionnel selon le mode de pilotage du composant. En effet le manque de diode-body dans la structure des composants GaN peut être compensé par un contrôle pertinent afin d'installer une conduction inverse [37] du composant de puissance (Figure I-31).

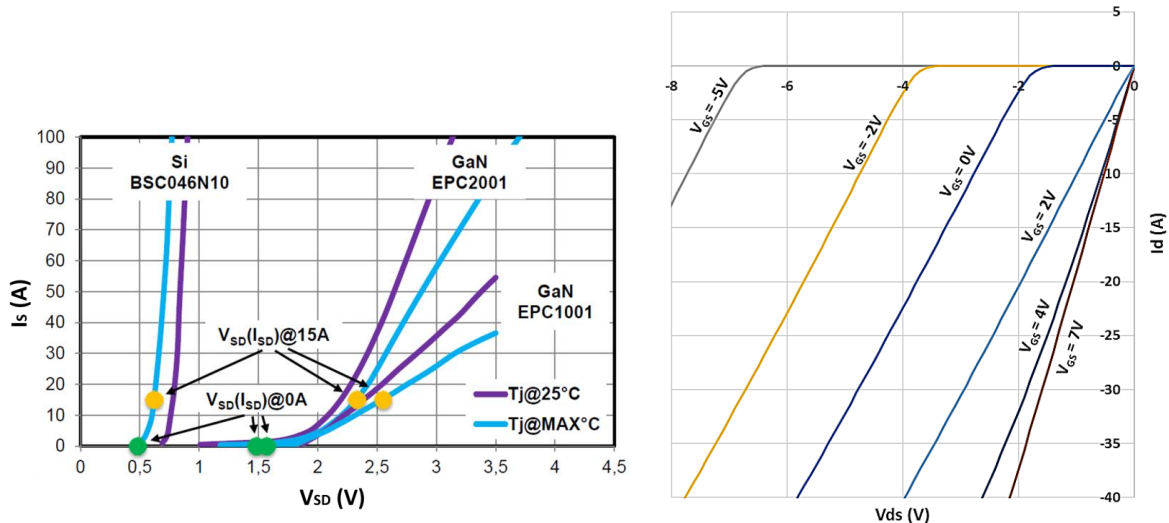


Figure I-31 Caractéristique statique en inverse de (a) composant 100V classique Si et GaN-EPC [37] et (b) composant 650V de GaN Systems [32]

---

Dans ce cas, l'absence de diode-body permet d'avoir un temps de recouvrement nul ce qui autorise la montée en fréquence de découpage. Cependant, la structure latérale provoque des chutes de tension élevées pendant la conduction inverse, qui peut être plusieurs fois plus grande que la chute de tension dans la diode-body d'un MOSFET en silicium (Figure I-31). A cet effet l'ajout de diodes antiparallèles discrètes est possible mais non favorable car cela introduit des capacités parasites supplémentaires ainsi que des inductances parasites des pistes d'interconnexion au sein de la cellule de commutation. Cela peut conduire à sacrifier les temps de commutation et l'efficacité de commutation des composants GaN.

Dans la plupart des cas, un temps mort très court entre les transistors High-Side et Low-Side d'un demi-pont, permet d'améliorer le fonctionnement d'un composant de puissance GaN sans diode antiparallèle. D'un côté l'abaissement du temps mort en dessous d'une valeur critique se traduira par un court-circuit, un fort pic de courant et consécutivement des pertes supplémentaires. D'un autre côté en réglant le temps mort supérieur à une valeur minimale, ajoutera des pertes additionnelles en conduction inverse. De ce fait des temps morts plus précis et spécifiques à l'état passant ou au contraire pour en conduction inverse sont essentiels pour atteindre un rendement élevé pendant la commutation. Les transistors de puissance GaN sont en mesure de supporter des temps de commutation dans la gamme de quelques nanosecondes grâce à leur faible capacité parasite entrée/sortie si et seulement si la maille de commutation est réduite au minimum. Cela exige un pilotage parfait et précis avec une précision de la nanoseconde sur la grille de chaque composant de puissance. Cela signifie une problématique supplémentaire qui se pose sur la commutation haute fréquence et la gestion de problèmes associés comme l'aspect CEM. En conséquence les transistors GaN demandent un circuit de commande locale, ou driver, spécifique et compte-tenu des fréquences et des fronts de signaux considérés ici, un ASIC<sup>1</sup> est un choix raisonnable. Le circuit vise la haute fréquence de découpage, avec un faible retard de propagation, un très faible *mismatching* entre le haut et le bas de pont, une forte immunité au  $dv/dt$ , la fiabilité du transfert du signal vers l'interrupteur High-Side avec une grande variation du potentiel flottant.

### iii. Le contrôle associé/ASIC

La mise en œuvre des composants GaN-HFET en hautes fréquences et très hautes fréquences pour bénéficier de leurs caractéristiques exceptionnelles (FdM composant) reste actuellement limitée en raison de l'absence de « Gate Driver » dédié [52]. En outre, le Driver et les transistors correspondants doivent être interconnectés étroitement pour minimiser les éléments parasites afin d'éviter le ralentissement le temps de réponse du driver. La mise en boîtier du circuit intégré du driver est également en train de devenir un problème critique aux niveaux CEM (capacité mode commun), thermique et électrique. En effet, le fonctionnement à haute température est nécessaire, car le driver et les composants GaN doivent être les plus proches possibles pour minimiser les éléments parasites et comme les composants GaN sont en mesure de fonctionner en haute température, la contrainte devient un paramètre important pour l'ASIC. Dans ce contexte nous allons nous inspirer de ces critères pour sélectionner des filières technologiques compatibles avec les problématiques énoncées. Dans le cadre de cette approche nous avons utilisé une toute nouvelle technologie SOI-CMOS haute température avec plusieurs couches de métaux, qui permet d'avoir un degré de liberté plus important au niveau de la conception par rapport à ce qui a déjà été fait au niveau de l'intégration au sein du G2Elab.

---

<sup>1</sup> Dit en anglais : Application-Specific Integrated Circuit

---

Quatre « Gate Driver » intégrés monolithiquement, identiques et synchronisés permettrait d'avoir une dispersion négligeable des délais de propagation entre les étages de sortie imposés dans un pont complet. En connaissant les spécifications des composants de puissance, un ASIC permet de maîtriser tous les phénomènes parasites dans le circuit et par voie de conséquence d'optimiser ses contraintes électriques. Un ASIC Quad-Gate-Driver (QGD) est l'objet du dernier chapitre de la thèse.

### **E. Synthèse et Conclusion**

L'interconnexion de cellules PV en série ou en parallèle pose plusieurs problèmes de déséquilibre qui sont très pénalisants si les cellules n'ont pas le même point de fonctionnement. Pour contrer ce problème, une tendance actuelle consiste à rendre indépendant des groupes de modules entre eux, en utilisant le principe d'association de convertisseurs au plus près des générateurs PV élémentaires. Cette technique permet en effet de minimiser les incidents sur la production qui peuvent être causés par un ombrage partiel de l'installation. En revanche cette solution exige une conversion DC/DC avec fort rapport de transfert de tension entre générateur PV et bus DC.

La thèse propose d'étudier cet étage de la chaîne de conversion par une association série des sorties de convertisseurs au sein d'un RC en mettant en œuvre une approche alternative à base de cellules de conversion élémentaires associées en parallèle en entrée et en série en sortie (PISO) qui forment un système parallèle/série/parallèle (PSP). Le RC est basé sur l'architecture Dual Active Bridge (DAB) avec le couplage capacitif conçus et mis en œuvre avec des composants GaN.

#### Avantages

- Conversion DC/DC à fort rapport de tension
- Peu de composants passifs
- Grande capacité d'intégration grâce à un grand nombre de composants actifs
- Montée en fréquence
- Transfert d'énergie direct et bidirectionnel,
- Structure symétrique Buck-Boost

#### Inconvénients

- Dimensionnement complexe et circulation de puissance réactive aux bornes AC (pertes réactives) à fonctionnement loin du point optimal
- Beaucoup de composants actifs (commande complexe et exigeante / pertes en conduction importantes)

C'est une structure de conversion complexe dont le point de fonctionnement optimal est atteint lorsque la différence de tension entre l'entrée et la sortie est faible avec un pilotage parfait et précis.





---

## **Chapitre II**



---

## II. Architecture et topologie de la mise en réseau des structures de conversion DC-DC pour un fort rapport de transformation

En général, chaque application spécifique, par exemple PV ou PAC, requiert une étude spécifique pour identifier et définir la topologie de la structure de conversion, la stratégie de contrôle commandée associée et les composants correspondants, afin de garantir une compacité élevée, un rendement de conversion important avec la meilleure gestion des aspects CEM, thermique, etc. Eventuellement, cela peut conduire à des développements et contraintes technologiques spécifiques qui, eux aussi, peuvent avoir des conséquences sur la fiabilité des solutions d'électronique de puissance par exemple. A cet effet, toutes ces problématiques fondamentales induisent des durées et des coûts de développement importants, limitant ainsi la généralisation d'un système de conversion DC-DC à haut rendement, avec de hautes densités de puissance élevée mais une puissance crête adaptable, et un niveau de fiabilité élevé. La démarche modulaire des réseaux de convertisseurs peut apporter une réponse intéressante à ces problématiques.

### A. Introduction

La démarche liée à des réseaux modulaires, repose sur une approche permettant de répondre de manière flexible à de nombreux cahiers des charges définis par des plages de tensions d'entrée, tensions de sortie, le niveau de puissance à transférer [53] [54] [55] [56], [57] [58] [59] et d'autres contraintes ou spécificités telles que le niveau de rendement attendu, le respect des normes en vigueur, la plage de température ambiante de fonctionnement, etc.

Comme nous l'avons abordé dans le précédent chapitre, un réseau de convertisseurs se compose d'une association, plus ou moins importante, d'éléments de conversion, dans le cas présent des convertisseurs DC-DC, appelés cellules élémentaires (CE). A cet effet, la mise en œuvre d'un grand nombre de cellules élémentaires, au sein du réseau, ne doit pas se traduire par un surcroît de complexité pour l'ensemble ou encore d'un amoindrissement du rendement. De plus, l'ajout a posteriori de cellules élémentaires dans le réseau ne doit pas remettre en cause le contrôle de l'ensemble, ni même l'environnement du réseau de convertisseurs. La cellule élémentaire étant générique, l'effort de développement peut être concentré sur la fiabilité, l'efficacité énergétique et bien sur la compacité, via un taux d'intégration important, favorisé par des niveaux de tension et de courant plus proches de ceux compatibles avec l'intégration.

Dans ce chapitre, nous allons approfondir le comportement d'associations de cellules élémentaires intégrant différents coupleurs primaire/secondaire dans une configuration PISO (Parallèle en Entrée, Série en Sortie). Différentes possibilités architecturales de réseaux de convertisseurs seront envisagées pour répondre au mieux au cahier des charges qui a été posé dans le premier chapitre de ce manuscrit. Egalement dans le premier chapitre furent introduites les conditions et contraintes qui devraient permettre de répondre efficacement à la problématique en considérant la démarche modulaire. En particulier, il a été identifié que, pour répondre efficacement aux contraintes imposées par les grandes plages de tension en entrée du convertisseur, une architecture modulaire à rapport de transformation variable et dynamique pouvait présenter un compromis intéressant, tout au moins la meilleure utilisation des cellules élémentaires. Des analyses sont donc menées pour mieux justifier le dimensionnement de ce type d'architectures. Primo des cellules intégrant un couplage magnétique entre primaire et secondaire seront analysées pour les conséquences sur le bon fonctionnement de l'architecture. Secundo à la lumière des résultats obtenus dans le premier chapitre, nous nous focaliserons sur l'étude approfondie d'un réseau composé de cellules élémentaires à couplages capacitif, pour étudier les conséquences d'une telle topologie au sein d'un



---

réseau à fort rapport de transformation variable. A ce sujet de nombreuses questions restent en suspens, parmi lesquelles :

- quid des impacts éventuels de la gestion du démarrage du convertisseur sur les délais et conditions d'établissement de la tension de sortie ?
- quid de l'approche optimale de régulation en tension dans le cas d'une tension d'entrée variable ?
- le rendement de conversion de la cellule élémentaire, peut-il être transposé à celui du réseau de convertisseur et si oui dans quelles conditions ?
- quid de la gestion du contrôle, au niveau architecture et au niveau de la cellule élémentaire ?
- jusqu'à quel niveau de tension, comment optimiser le dimensionnement des éléments ?
- quelles conséquences sur les dynamiques de réponse de l'architecture ?

Sans pouvoir répondre à toutes ces questions, nous allons proposer quelques analyses et éléments de réponse. Autant que faire se peut, les analyses seront illustrées par des simulations.

### **B. Etude de différentes configurations topologiques d'un réseau modulaire pour un rapport de transformation variable.**

On reprend le cahier des charges de l'application PV<sup>1</sup>, imposant une plage de tension en entrée de 13V à 44V avec un ilotage important, pour une tension de sortie stable du convertisseur à 400V  $\pm 2\%$  soit de 392V à 408V. Ceci conduit à un rapport de transformation variant environ entre 9 et 31 pour le système de conversion multicellulaire composé de cellules élémentaires de conversion de tension nominale de 40V, avec un rapport de transformation interne autorisé de 1. La variation maximum entre les tensions d'entrée et de sortie aux bornes de la cellule élémentaire ( $\Delta V_{CELL}$ ) est inférieure à  $\pm 5\%$  de la tension nominale, soit  $\pm 2V^2$ .

$$\Delta V_{CELL-MAX} = V_{OUT_{CELL}} - V_{IN_{CELL}} \text{ (V)} \quad \text{II-1}$$

Comme nous l'avons vu dans le premier chapitre, plusieurs convertisseurs peuvent répondre à de larges plages de variation de la tension d'entrée, moyennant un surdimensionnement du convertisseur. Les architectures en réseau avec îlotage permettent de maintenir le facteur de dimensionnement au prix d'une électronique d'aiguillage. Pour mettre en œuvre de forts rapports de transformation à partir de cellules élémentaires connectées en parallèle en entrée et en série en sortie, le rapport est fixé par le nombre de cellules associées. Ainsi pour un rapport de transformation nominal de 10 entre l'entrée et la sortie, il faut mettre en œuvre 10 cellules de conversion identiques, ayant chacune un rapport de transformation interne de 1 ou encore 5 cellules élémentaires intégrant un rapport de transformation interne de 2, toujours en considérant que la tension DC d'entrée présente une faible plage de variation. De fait, en imaginant que la cellule élémentaire ne peut pas ou ne doit pas intégrer un rapport de transformation interne important, pour en optimiser la généricité et l'efficacité par exemple, le seul moyen de mettre en place une variation importante du rapport de transformation du convertisseur consiste à intégrer plus ou moins de cellules de conversion dans l'association parallèle/série (PISO : Parallel Input, Series Output) pour couvrir toute la plage de tension d'entrée (dans notre cas de 13V à 44V). Cela revient bien évidemment à sur-dimensionner le convertisseur global par ajout d'un nombre supplémentaire de cellules élémentaires par rapport à ce que dicte le point nominal de fonctionnement (tension

---

<sup>1</sup> Dans le chapitre I, la plage de variation de tension d'entrée de 36V à 44V était pour un module PV classique sans îlotage

<sup>2</sup> Cette valeur est absolue et n'est pas une proportion de la tension d'entrée en temps réel

d'entrée), pour couvrir l'ensemble des points de fonctionnement possibles et définis par le cahier des charges.

Pour couronner le tout, afin de rendre variable et optimal le rapport de transformation du convertisseur en cours d'utilisation, il faut pouvoir, de manière dynamique, ajouter ou retirer des cellules élémentaires du réseau. Pour cela, il faut associer un aiguillage composé de deux interrupteurs aux bornes de chaque cellule élémentaire, qui permettra d'insérer ou au contraire de retirer une cellule du réseau (Figure II-1). Cet aiguillage a un coût car il introduit des composants supplémentaires, des pertes supplémentaires et de la complexité [58] [59]. Nous avons montré dans le premier chapitre que cela pouvait malgré tout faire du sens et nous ne reviendrons pas ici sur cette démonstration. La Figure II-1 introduit une architecture simple de cellules élémentaires associées en parallèle en entrée. La sortie de chaque cellule élémentaire est suivie d'un aiguillage sous la forme d'un bras d'onduleur. Cet aiguillage, par la fermeture de l'interrupteur  $T_{px}$ , permet de propager la tension de sortie de la cellule à la sortie du système, soit de ne pas en tenir compte via un îlotage par l'interrupteur  $T_{ix}$ , dont la fermeture est exclusive de celle de  $T_{px}$ . Les points milieux des aiguillages sont associés en série pour former une structure avec un rapport de transformation variable par pas discrets et évolutif au cours de l'utilisation du convertisseur, par action sur les aiguillages.

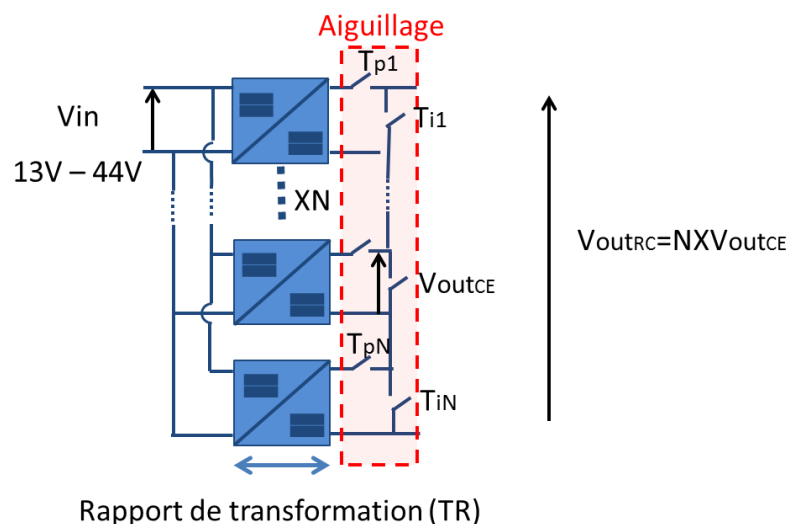


Figure II-1 Aiguillages introduits dans une architecture PISO pour créer des rapports de transformation variables

L'objectif dans un premier temps consiste à étudier, de manière plus approfondie, l'opportunité offerte d'un rapport d'élévation variable entre une tension en entrée variable (-67,5% à +10% de la valeur nominale) et une tension de sortie quasiment fixe ( $\pm 2\%$ ) du convertisseur, pour évaluer les contraintes de fonctionnement qui lui sont associées et voir comment structurer le système complet. Les valeurs utilisées dans le premier chapitre pour la tension d'entrée d'une cellule élémentaire dans le cas « sans îlotage » lors des comparaisons sont 36V – 44V. La plage de variation de la tension d'entrée du réseau de convertisseurs dans notre cas d'étude et avec îlotage de cellule PV est de 13V à 44V pour la tension nominale de 40V. Ensuite la variation maximale de tension autorisée entre entrée et sortie de la cellule élémentaire (II-1) est de  $\pm 5\%$  de la tension nominale soit  $\pm 2V$  de variation au point nominal de 40 V en entrée.

Afin de donner un exemple, pour convertir une tension de 13V en une tension de 408V (400 V +2%) à la sortie (le rapport de transformation doit être égal à 31,4). Il faut donc associer jusqu'à 31 cellules en série en sortie ce qui conduit à 13,16V à la sortie de chaque cellule élémentaire soit  $\Delta V_{CELL}=+0,16V$  ou soit +0,4% (II-1).

Inversement, pour une tension en entrée de 44 V et 392V (400 V -2%) à la sortie, il faut associer seulement 9 cellules en série en sortie pour produire une tension totale de 392V environ, avec une tension de 43,5 V par cellule soit  $\Delta V_{CELL}=-0,5V$  ou -1,2% (II-1).

Entre ces deux extrêmes, il existe en permanence un couple idéal entre la tension d'entrée et la tension de sortie d'une cellule élémentaire de conversion avec un rapport de transformation rendu possible par le nombre de CE mises en jeu et pour respecter la double contrainte globale de 400 V  $\pm 2\%$  de tension en sortie du système mais seulement  $\pm 5\%$  d'écart de tension aux bornes de chaque CE.

Cela est illustré avec la Figure II-2 dans laquelle on peut voir en abscisse l'évolution de la tension d'entrée et en ordonnée l'écart de tensions entrée-sortie aux bornes de chaque cellule élémentaire.

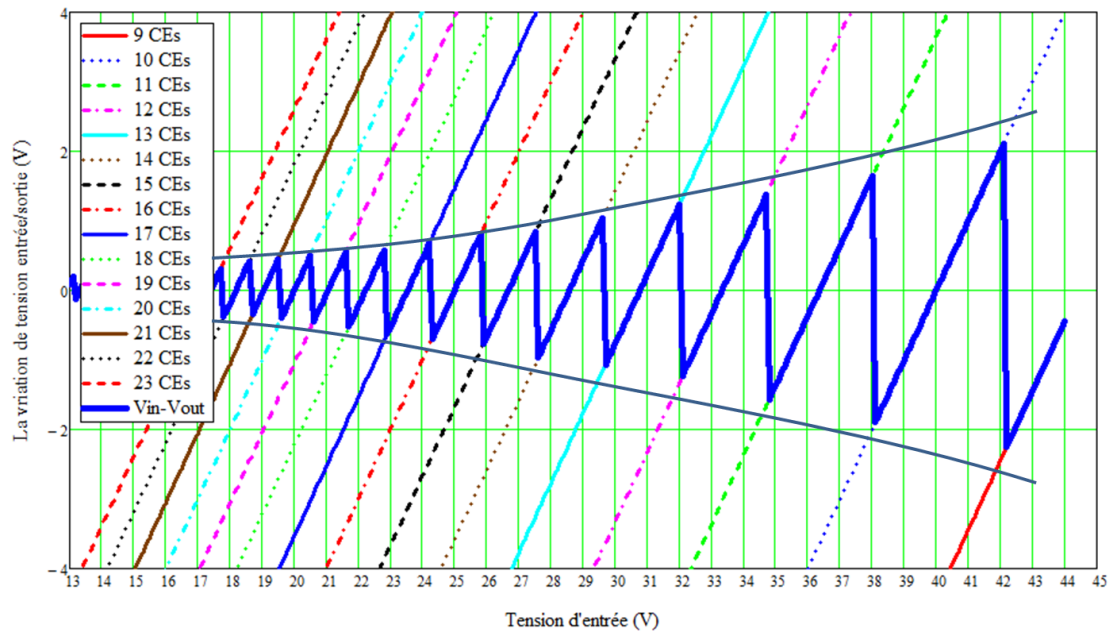


Figure II-2 La variation de tension aux bornes de chaque cellule élémentaire de conversion ( $V_{CELL-in}-V_{CELL-out}$ ) en fonction de la tension d'entrée paramétré par le nombre de cellules élémentaires (CE) mises en parallèle en sortie du système.

On peut voir que les contraintes de plage de fonctionnement optimal des cellules élémentaires peuvent être conservées, ce qui facilite le dimensionnement de la structure au niveau de cellule élémentaire de conversion. Pour chaque niveau de tension d'entrée, il existe au moins une solution. Parmi les solutions possibles à chaque instant, l'une d'elles optimise le point de fonctionnement des cellules élémentaires en faisant travailler les cellules au plus proche du rapport de transformation unitaire entre primaire et secondaire (voir le troisième chapitre et [58]). Une stratégie de commande peut consister à chercher en permanence cette solution parmi le champ des possibles. L'Annexe II-1 (Tableau II-3) présente l'évolution du rapport de transformation et l'écart des tensions entre

entrée et sortie de chaque CE pour divers points de fonctionnement. L'Annexe II-2 propose un exemple simple d'algorithme de gestion du rapport de transformation.

Les paragraphes suivants analysent le comportement du système vis-à-vis des grandeurs de construction et des contraintes électriques liées aux CEs.

### i. Optimisation de la régulation à rapport discret

Nous allons maintenant concentrer notre analyse sur la structuration et le comportement d'une telle structure dans laquelle cohabitent des moyens de régulation continue et des moyens de régulation à rapport discret. L'objectif est ici, non pas de traiter le point commande et régulation mais de voir les conséquences d'une régulation à pas discret sur les contraintes du cahier des charges.

Tout d'abord, il est intéressant d'évaluer dans quelles conditions et à quel prix, les deux moyens de contrôle vont donner satisfaction. Nous avons évoqué que, pour une tension d'entrée donnée, il existe un rapport discret correspondant à l'aiguillage et un rapport continu optimal applicable au niveau des cellules élémentaires pour produire une tension de sortie 400V. Selon la caractéristique de la cellule élémentaire (Buck, Boost ou Buck-Boost), la régulation à pas discret peut être modifiée pour que l'ensemble des cellules élémentaires fonctionne à son point optimum que ce soit en mode Buck, Boost ou Buck-Boost :

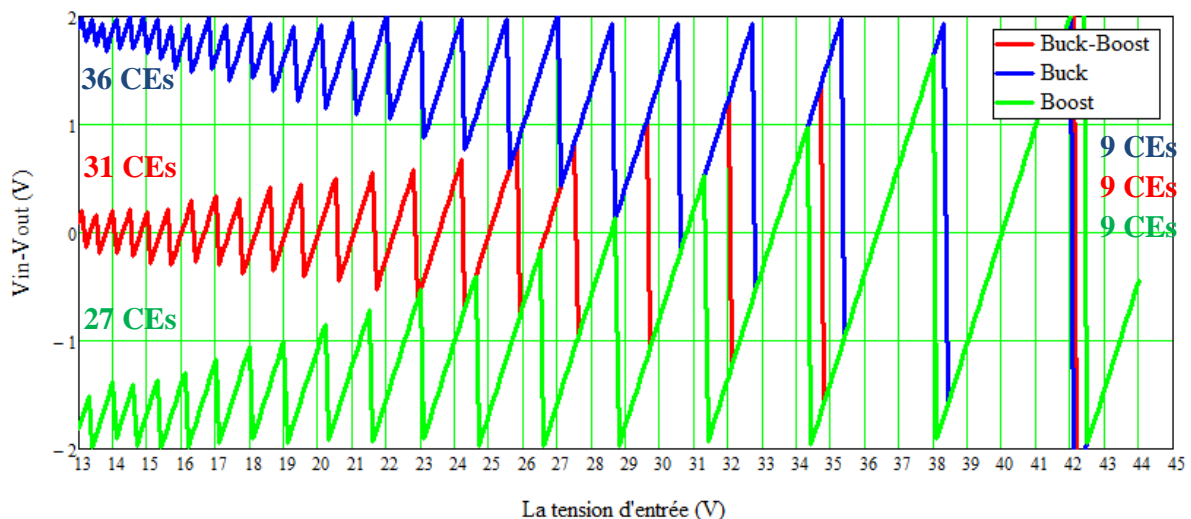


Figure II-3 Trois différentes stratégies de gestion d'aiguillage (régulation discrète) compte tenu du point de fonctionnement optimal de cellules élémentaires (Buck, Boost ou Buck-Boost)

Dans la Figure II-3, la plage de la tension d'entrée varie de 13V jusqu'à 44V et la courbe représentée correspond à la différence  $V_{IN}-V_{OUT}$  aux bornes des cellules élémentaires. Dans cette figure, la première ligne diagonale à 44V correspond à 9 cellules élémentaires quelle que soit la priorité au niveau des cellules élémentaires (élevateur et/ou abaisseur). Ensuite de 44V à 13V chaque ligne diagonale ajoutée représente l'ajout d'une cellule élémentaire. De proche en proche la Figure II-3 indique que le nombre de cellules élémentaires nécessaire à 13 V de tension d'entrée est : Boost  $\rightarrow N_{MAX}=27$ , Buck-Boost  $\rightarrow N_{MAX}=31$  et Buck  $\rightarrow N_{MAX}=36$

A partir de la « FOM *topologique* » du convertisseur DAB pour les trois modes de fonctionnement Buck ( $V_{in}=44\text{ V} - V_{out}=40\text{ V}$ ), Buck-Boost ( $V_{in}=40\text{ V} - V_{out}=40\text{ V}$ ) et Boost ( $V_{in}=36\text{ V} - V_{out}=40\text{ V}$ ) représenté dans la Figure II-4 ainsi que la caractéristique évoquée dans le « chapitre

I », nous avons constaté que le point de fonctionnement du DAB est optimum quand la tension d'entrée est égale à la tension de sortie du transformateur. Le fonctionnement en mode Buck-Boost semble donc être optimal de ce point de vue.

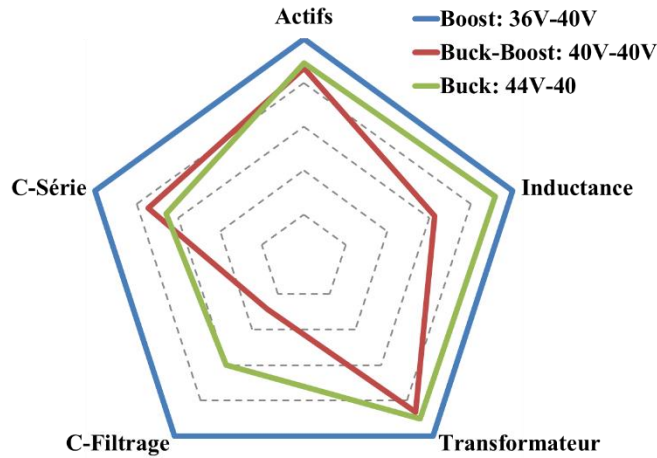


Figure II-4 « FOM topologique » pour le convertisseur DAB à  $V_{in} = 36, 40$  et  $44V$  et  $V_{OUT} = 40V$

La Figure II-5, représente la variation de l'écart de tension  $\Delta V_{CELL} = V_{IN} - V_{OUT}$  dans le cas du mode Buck-Boost dans un réseau de convertisseur configuré en PISO quand la tension sortie est  $400V$  (rouge),  $392V$  (vert) et  $408V$  (bleu).

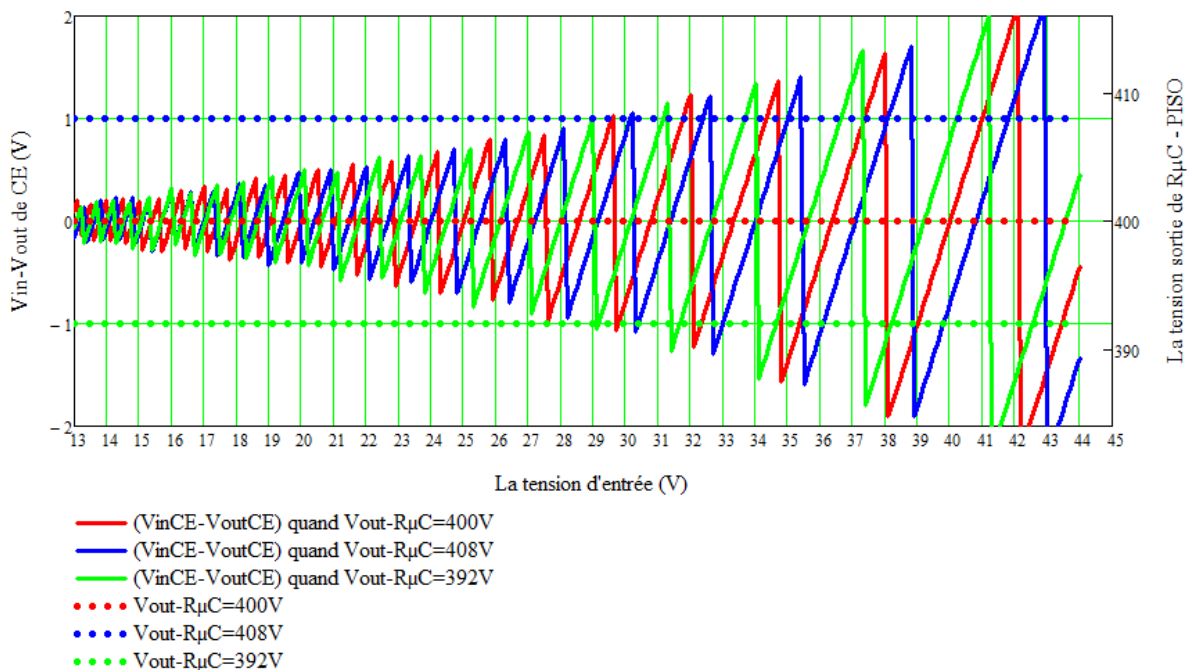


Figure II-5 : Régulation par pas pour une tension d'entrée de  $13V$  à  $44V$  avec des CEs Buck-Boost

Dans un convertisseur DAB, quelle que soit la tension d'entrée, l'efficacité est maximale si et seulement si la variation de tension d'entrée/sortie est faible. En revanche comme illustré dans la

Figure II-5, quand la tension d'entrée est au-delà de la tension nominale (40 V), la variation de tension entre primaire et secondaire de la cellule augmente significativement. A cet égard on peut diminuer la variation de tension d'entrée/sortie des cellules en prenant en compte les plages extrêmes de la variation de tension à la sortie du réseau de convertisseur (dans cet exemple de 392 V à 408 V).

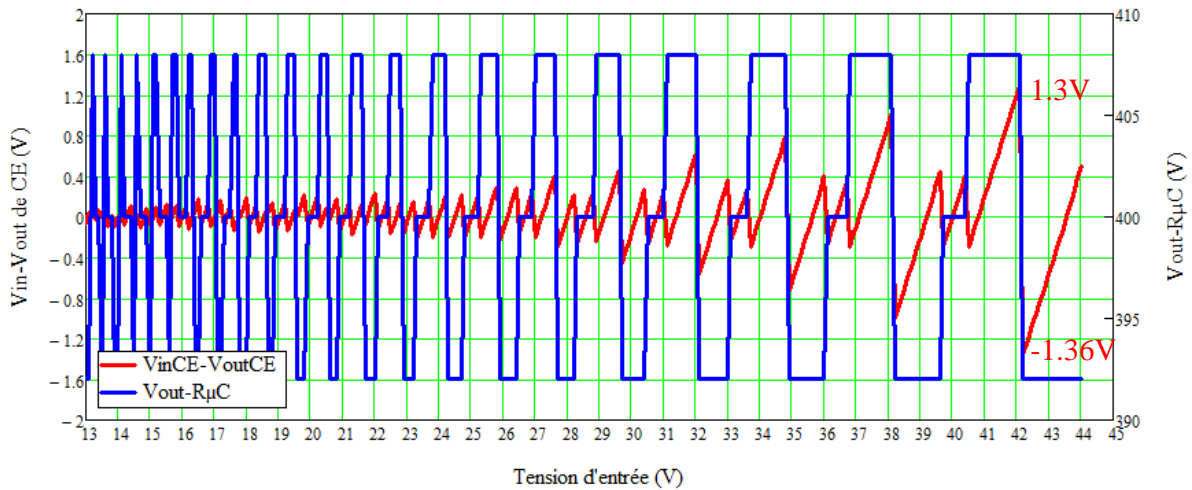


Figure II-6 : Variation de la différence de tension d'entrée/sortie au niveau des cellules élémentaires quand la tension de sortie peut évoluer entre 392 V et 408V

La tension de sortie au niveau des cellules élémentaires et le nombre de cellules élémentaires nécessaires sont illustrés dans la Figure II-7 (le pas de calcul dans les Figure II-6 et Figure II-7 est discret entre trois valeurs de sortie 392 V, 400 V et 408 V).

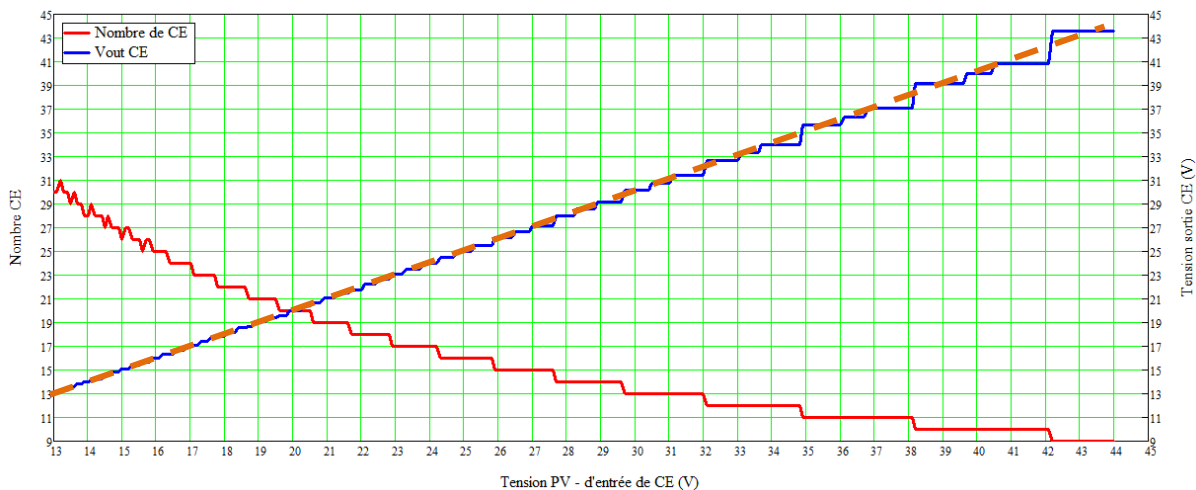


Figure II-7 : Nombre de CEs et tension de sortie de chaque CE en fonction de la tension d'entrée ( $V_{PV}$ ) pour des CEs Buck-Boost

La Figure II-7 est une caractéristique de réglage du système, à savoir le nombre de cellules élémentaires nécessaires afin de fonctionner au point optimum. Dans notre exemple de CE Buck-Boost, le nombre nécessaire de cellules élémentaires à  $V_{in}=13$  V est de 31 unités et à  $V_{in}=44$  V, il est de 9 unités (courbe rouge dans la Figure II-7).

---

Lorsque la variation de la tension d'entrée est significative, l'aiguillage va opérer pour modifier le rapport de transformation du convertisseur à l'aide de la régulation à rapport discret. Se faisant, il va introduire un saut plus ou moins important au niveau de la tension de sortie au moment où la ou les cellules élémentaires vont être introduites dans le système, comme illustré dans la Figure II-6 (la courbe bleue). Un régime transitoire va s'installer, régime pendant lequel la tension totale de sortie pourra varier mais devra rester dans les limites tolérables, et régime pendant lequel une nouvelle cellule élémentaire va capter un courant supplémentaire en entrée pour fournir de l'énergie. Cela va également automatiquement conduire à faire évoluer temporairement la puissance fournie par le panneau. On comprend bien ici que le système de contrôle de l'ensemble devra être en mesure de maintenir le point de fonctionnement optimal du panneau solaire ou du flux de puissance défini, tout en positionnant correctement le niveau de tension de sortie.

Si la partie algorithmique d'un tel système de contrôle est hors du cadre de cette thèse, nous devons nous pencher sur les dynamiques que cela va engendrer sur la partie puissance.

→ Pour simplifier le cadre de notre étude du convertisseur et du système de convertisseur, nous allons considérer dans un premier temps que la tension d'entrée est une source de tension variable mais sans contrainte en courant, c'est-à-dire que la tension imposée en entrée ne varie pas en fonction du courant absorbé par les convertisseurs. Ainsi la variation de tension imposée à l'entrée par cette source parfaite n'est pas impactée par le fonctionnement des convertisseurs. En quelque sorte nous découplons le fonctionnement de la boucle de contrôle MPPT<sup>1</sup> du champ PV et la régulation discrète du nombre de CEs mises en œuvre à chaque instant. Cette hypothèse nous éloigne de la réalité d'un panneau solaire pour lequel il y a une dépendance V-I du point de production maximal.

Lorsque la tension d'entrée varie, et qu'il faut introduire ou retirer des cellules de conversion pour adapter le point de fonctionnement du convertisseur, les sauts de tension vont générer des courants de circulation supplémentaires sur la partie puissance pour adapter les potentiels. Ainsi on peut imaginer avoir un brusque courant positif dans les condensateurs de sortie des cellules lors de l'ajout d'une ou plusieurs cellules. Les effets de ces comportements dynamiques seront présentés et étudiés dans la partie suivante pour les deux types de coupleurs, magnétique et capacitif, au sein de la CE.

Ce comportement logique permet de rééquilibrer les potentiels entre la somme des tensions aux bornes des condensateurs en série et celle de la tension de sortie totale, que l'on peut imaginer devoir filtrer. Pour limiter ce courant d'appel et d'homogénéisation des potentiels, plusieurs stratégies sont possibles :

- On peut agir en insérant entre l'aiguillage du convertisseur et le bus DC de sortie final un élément de filtrage qui pourra encaisser le changement discret de point de fonctionnement. Cet élément de filtrage sera composé d'un réseau LC dont la fréquence de coupure sera directement liée aux stratégies d'insertion des cellules dans le réseau.
- On pourra accompagner le changement de rapport de transformation discret d'un changement de rapport de transformation continu de l'ensemble des cellules. Soit ce changement sera commun à toutes les cellules, soit il sera différent entre celles qui seront dissociées du réseau et celles qui le resteront. En tout état de cause, on peut s'attendre à ce que, à nouveau, la tension de sortie du convertisseur global soit plus ou moins sensiblement

---

<sup>1</sup> Maximum Power Point Tracking

---

affectée par l'opération, car les dynamiques de variation des tensions de sortie des cellules seront directement dépendantes de la taille des condensateurs de sortie et ne pourra pas être de l'ordre de grandeur de la période de découpage. En conséquence, un moyen de filtrage restera probablement nécessaire en sortie de l'aiguillage pour encaisser et filtrer les perturbations introduites par la partie contrôle commande, mariant régulation à pas continu et régulation à rapport discret.

- On peut également imaginer que l'aiguillage n'est pas un système tout ou rien et qu'il va participer à l'introduction de ou des cellules à ajouter ou soustraire de manière active, par exemple en commutant via une phase en régime dissipatif des interrupteurs soit en procédant au découpage à plus ou moins haute fréquence pour modifier pas à pas depuis un rapport cyclique faible (0), jusqu'à un rapport cyclique fort (1) l'insertion de la cellule supplémentaire. Un filtre passif sera probablement nécessaire au sein de l'aiguillage, mais de taille sans doute faible parce que la fréquence de découpage lors de l'insertion, sera élevée et que la puissance mise en jeu est faible. Une telle approche conserve l'aspect mutualiste de construction de l'aiguillage plutôt qu'un filtrage à l'échelle de la sortie du système, à dimensionner par ailleurs, alors que le filtrage réparti rendrait cette tâche inutile.

S'il est hors du champ d'investigation de cette thèse que d'aborder plus en détail le point sur la partie contrôle, ces quelques éléments d'analyse justifient l'introduction d'une inductance, à la sortie de l'aiguillage, comme cela fut évoqué dans le premier chapitre. Il reste alors à en définir les contraintes de dimensionnement. L'inductance reste à dimensionner au niveau du courant nominal en sortie de la CE. Pour faire simple, dans un premier temps, nous avons considéré que l'inductance de filtrage à la sortie pourrait subir des variations de tension à ses bornes de l'ordre de la tension maximale d'une cellule élémentaire, soit jusqu'à 44 V, et cela pendant 100  $\mu$ s, le tout sans compensation via une modification de la tension de sortie des cellules. Ces choix sont d'un côté assez optimistes car il se peut que plusieurs cellules soient commutées en même temps et d'un autre côté assez contraignant car les effets du découpage pourraient être en partie compensés par une variation continue de la tension de sortie des cellules. Également, travailler par exemple à 100kHz de fréquence de commutation au sein d'un aiguillage – soit 10 périodes pour 100  $\mu$ s – semble être une fréquence déjà assez importante apte à générer une complexité de commande et des pertes supplémentaires. Ainsi (Figure II-8), en considérant un élément de stockage capacitif de  $\approx 1\mu\text{F}$ <sup>1</sup> total en sortie du convertisseur au-delà de l'inductance de filtrage de l'aiguillage, la valeur de l'inductance nécessaire est de l'ordre de  $\approx 30\mu\text{H}$ <sup>2</sup>, ce qui, finalement est une valeur non négligeable et qu'il faut justifier à l'échelle du système. Encore une fois, durant cette phase de commutation, on peut également imaginer accompagner le saut discret en jouant avec la ou les tensions de sortie des cellules. Tous ces points tendraient à réduire davantage la valeur de l'inductance de sortie. La valeur de celle-ci est directement liée aux dynamiques de variation de la tension d'entrée du convertisseur qui imposera à son tour des dynamiques de variation côté commande.

La Figure II-8 présente le modèle utilisé pour les simulations indicatives suivantes, pour illustrer l'évolution de la tension de sortie totale du convertisseur durant une phase de commutation de l'aiguillage. Dans cet exemple nous avons pris tout d'abord le cas concernant l'introduction d'une

---

<sup>1</sup> En considérant un élément de stockage pour un courant nominal de 0,5A et une variation de tension 1% de tension nominal à la sortie du RC @100kHz

<sup>2</sup> En considérant un rapport de 10 (G=10), la fréquence de coupure est de 30kHz. De ce fait et à partir de la fréquence de coupure et la valeur de condensateur de filtrage :  $L=30\mu\text{H}$



cellule de conversion dans une structure en contenant déjà 9 (9 CEs  $\rightarrow$  10 CEs) et ensuite le cas contraire, le retrait d'une cellule (10 CEs  $\rightarrow$  9 CEs) à l'aide de la commutation des interrupteurs de l'aiguillage à 100 kHz.

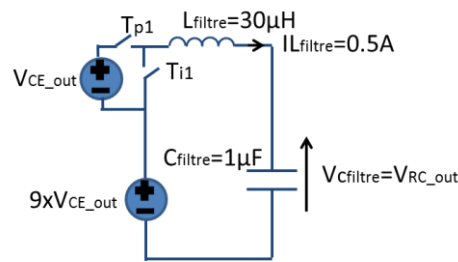


Figure II-8 Schéma simplifié des potentiels en sortie d'un réseau de convertisseurs avec 10 cellules

A partir de Figure II-7, nous avons constaté que quand la tension d'entrée du réseau de convertisseur PISO baisse de 42.2 V à 42.1 V, en considérant une régulation à rapport continu au niveau de chaque cellule (détaillé dans le chapitre III), la tension sortie de chaque cellule ( $V_{CE\_out}$ ) peut varier de 43.56 V à 40.8 V lors de l'insertion d'une cellule. Autrement dit  $V_{IN}-V_{OUT}$  pour chaque cellule varie de -1.36V à 1.3V représenté dans la Figure II-6. Dans cette plage de variation de la tension d'entrée, une cellule élémentaire est insérée dans le réseau de convertisseur à l'aide de commutation des interrupteurs de l'aiguillage (blocage de  $T_{i1}$  avec  $\alpha$  de 1 à 0 et fermeture correspondante de  $T_{p1}$  avec  $\alpha$  de 0 à 1) pour passer de 9 cellules à 10 (Figure II-9). Dans le cas de l'îlotage la variation de tension est bien évidemment dans le sens inverse.

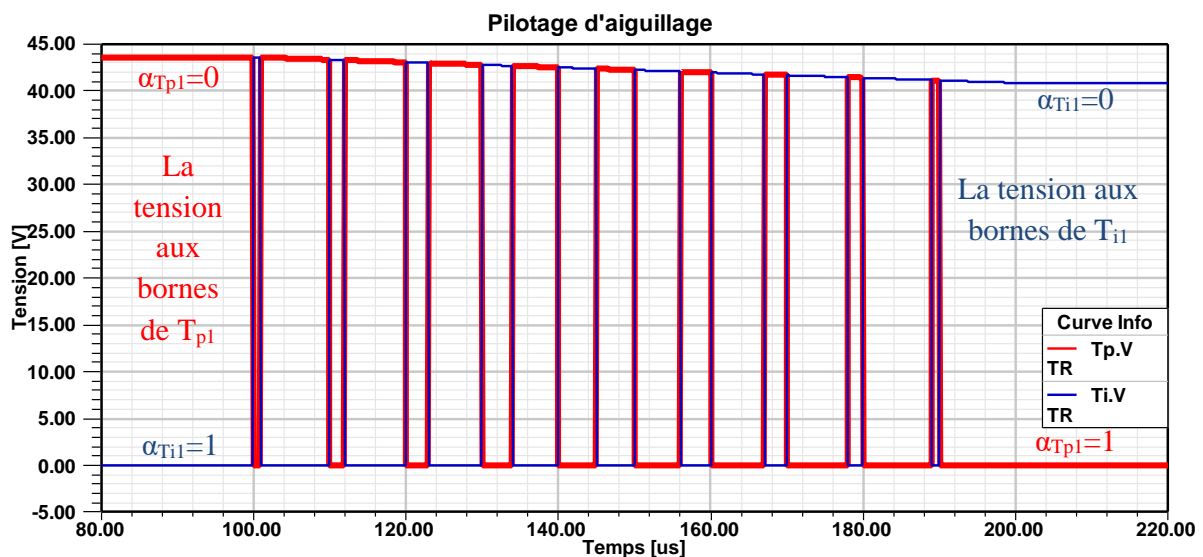


Figure II-9 Tensions aux bornes des interrupteurs de l'aiguillage à l'insertion d'une CE

La Figure II-10 (a) et (b), représente l'évolution de la tension de sortie du réseau de convertisseurs respectivement pour l'insertion et pour l'îlotage d'une cellule au cours de 10 périodes de commutation des interrupteurs de l'aiguillage ( $T_{p1}$  et  $T_{i1}$ ) à 100kHz. Pour cela la tension  $V_{CE\_out}$  commence à diminuer de 43.56 V jusqu'à 40.8 V sur une durée de 100  $\mu$ s de  $t_0$  à  $t_1$  soit 10 périodes de commutation.

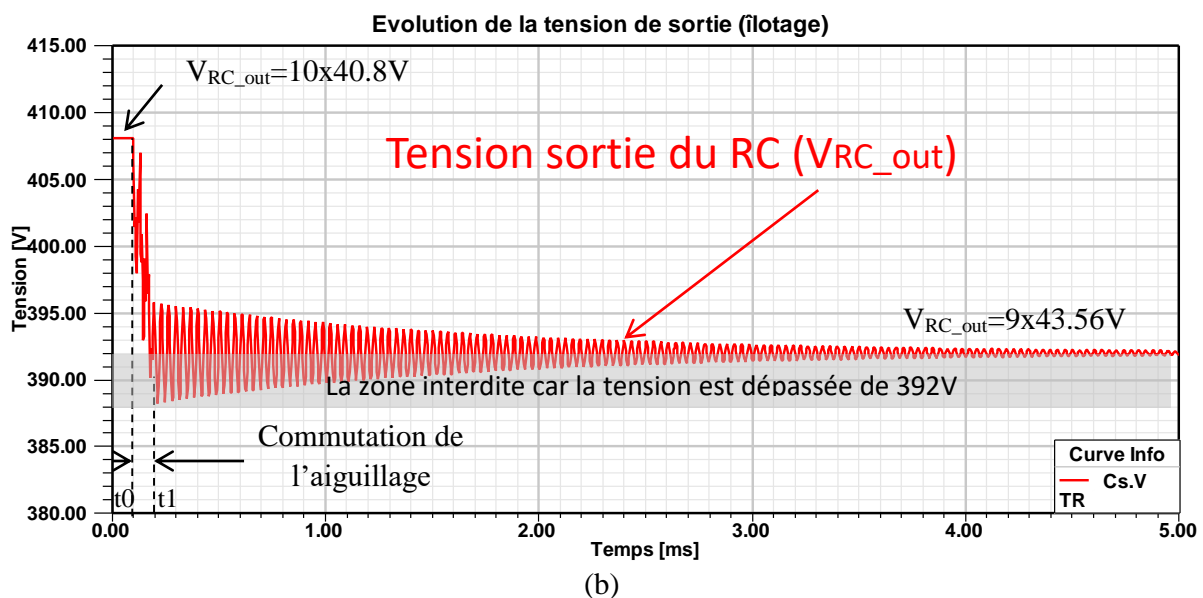
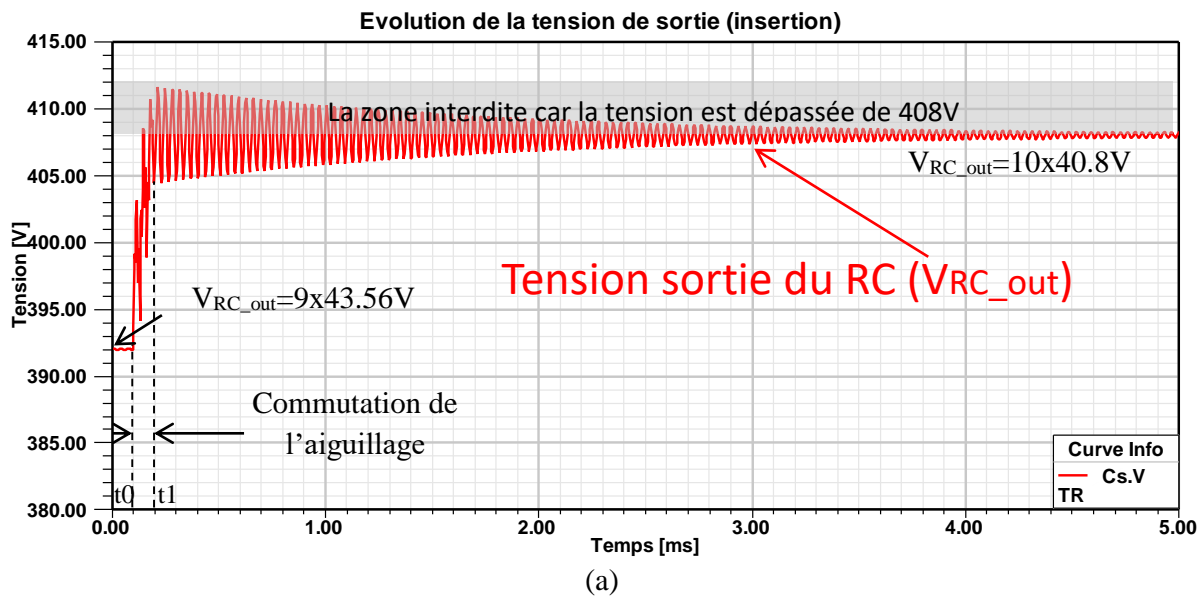


Figure II-10 Evolution de la tension de sortie du réseau à (a) l'insertion et (b) l'îlotage d'une CE à l'aide de commutation de l'aiguillage

Dans la Figure II-10 (a) et (b), on voit bien que la tension de sortie du réseau dépasse les deux limites prédéfinies (408V à l'insertion et 392V à l'îlotage). Une première solution concerne l'augmentation de la taille de l'inductance de filtrage  $L_{\text{filtre}}$  afin de diminuer la forte évolution de la tension à l'insertion et/ou l'îlotage. En revanche cette solution n'est pas souhaitable car une valeur grande d'inductance diminue sensiblement le facteur de dimensionnement du système de conversion ainsi que la densité de puissance car elle est volumineuse. L'inductance diminue également la dynamique du système face à une perturbation de la tension d'entrée et ou de la charge (donc la tension de sortie).

A cet égard une modification du contrôle de la tension de sortie du réseau de convertisseurs est exigée, tout en gardant les deux seuils de tension de sortie aux valeurs nominales ( $\pm 2\%$ , 392 V/408 V). Cependant la stratégie de contrôle de la tension sortie est faite pour que l'ondulation de tension à l'insertion et/ou l'îlotage (dans ce cas  $\Delta V_{\text{max}} = \pm 4$  V) ne dépasse pas la plage de 392 V/408 V. Dans

cette perspective, la régulation à pas discret est faite pour avoir  $V_{out} \pm 1\%$  soient 396 V/404 V à la sortie du réseau. A cet effet la variation de tension aux bornes de chaque cellule élémentaire change très légèrement, mais en même temps la tension de sortie du réseau au moment d'insertion et l'îlotage reste dans la plage souhaitée (392 V/408 V).

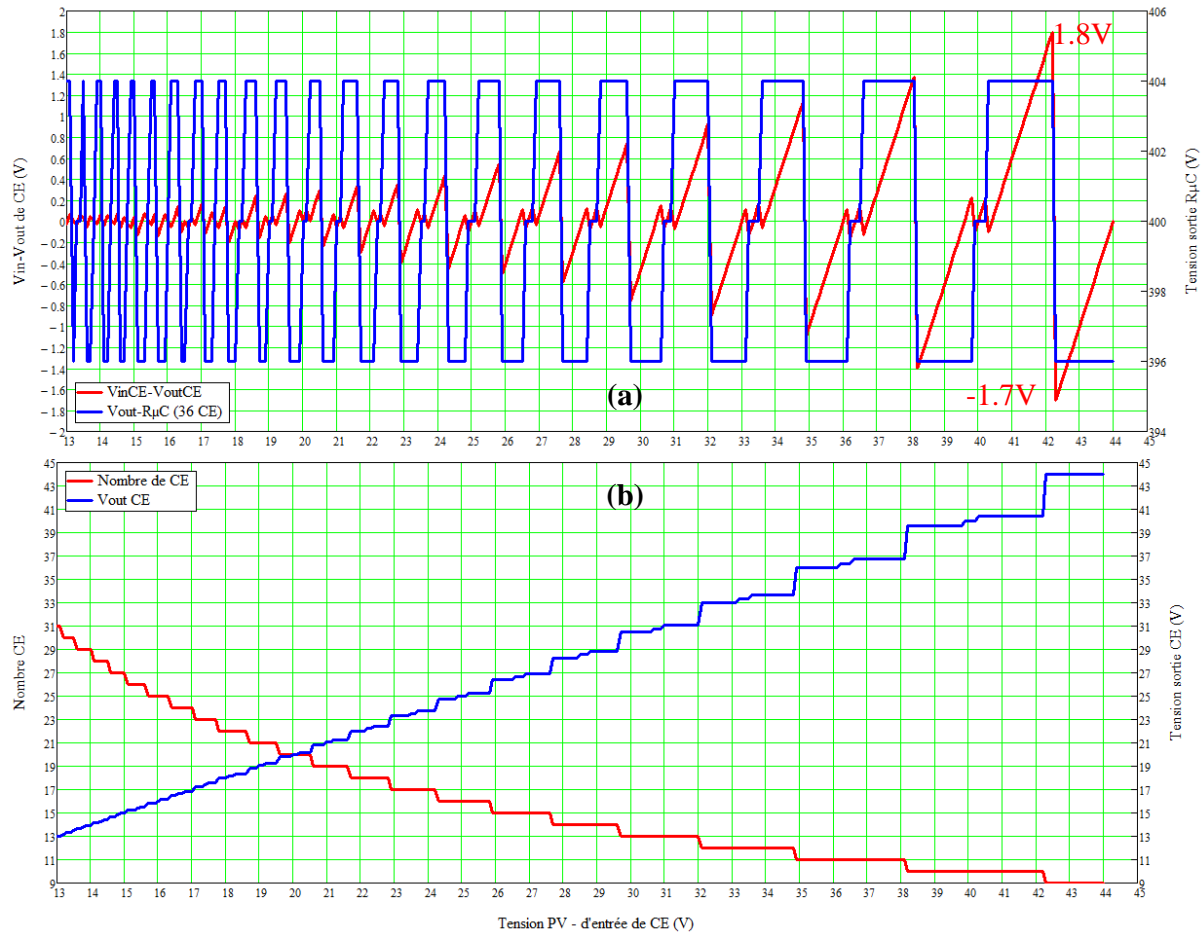


Figure II-11 (a) variation de tension  $V_{in}-V_{out}$  aux bornes de chaque cellule et tension sortie d'un réseau de convertisseurs pour 36 cellules en fonction de la variation de tension d'entrée entre 13 V et 44 V. (b) Nombre de cellules et tension de sortie du réseau pour les mêmes conditions de plage de tension d'entrée.

La Figure II-12 présente l'évolution de la tension sortie du réseau de convertisseurs à l'insertion (a) (9 CEs  $\rightarrow$  10 CEs) et l'îlotage (b) (10 CEs  $\rightarrow$  9 CEs) avec la nouvelle stratégie de contrôle de la tension sortie de RC-PISO (396 V/404 V).

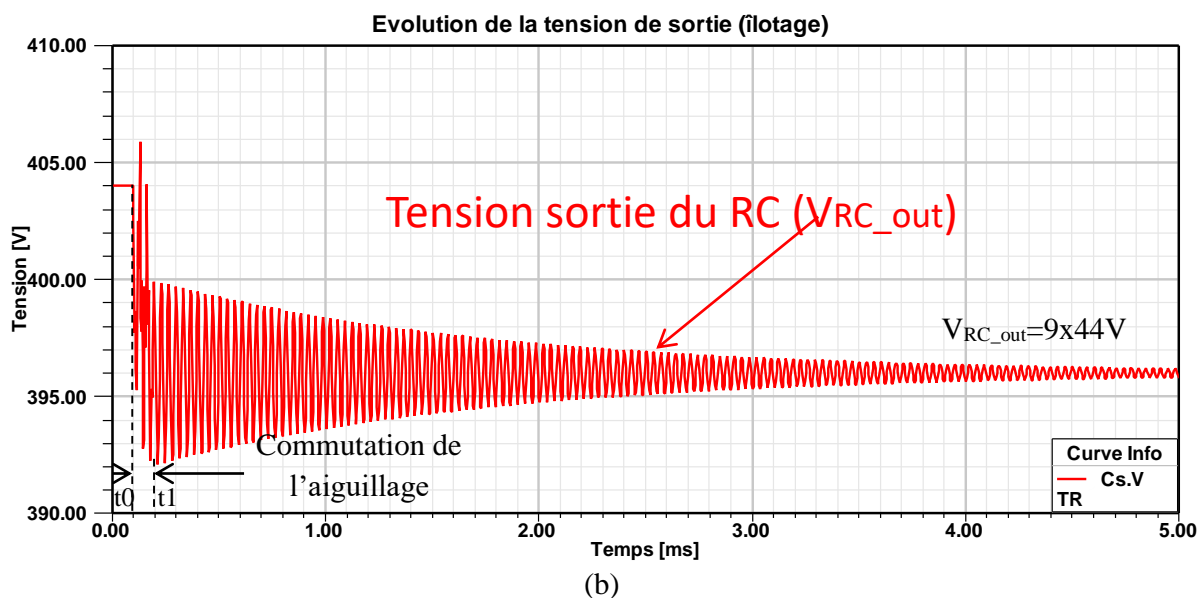
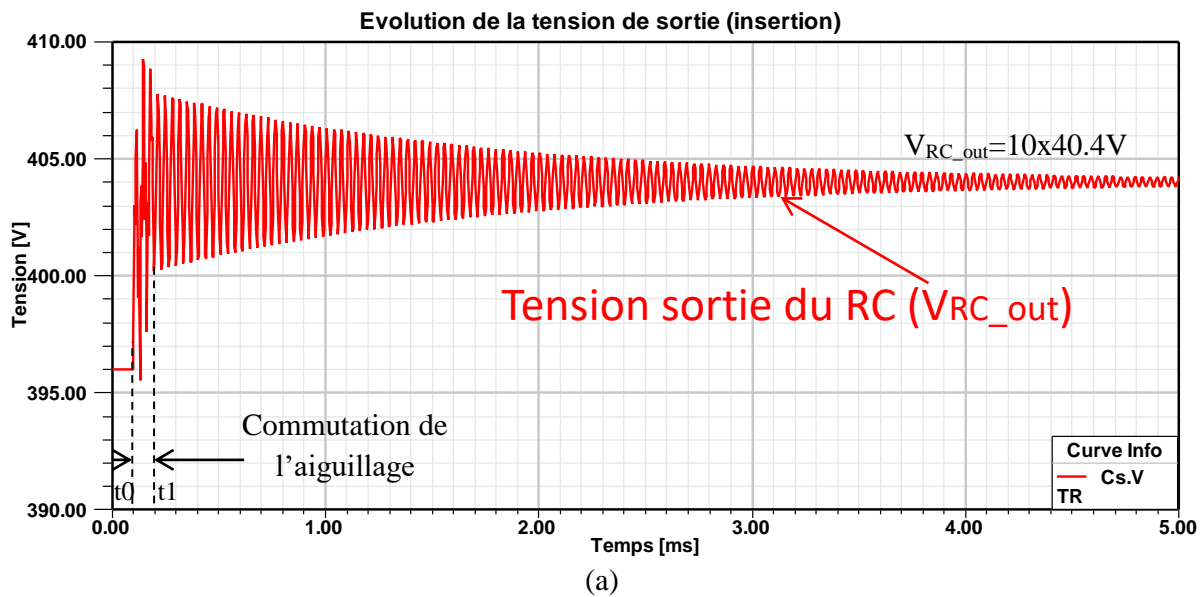


Figure II-12 : Evolution de la tension de sortie du réseau à (a) l'insertion et (b) l'îlotage d'une CE à l'aide de commutation de l'aiguillage

Nous allons maintenant nous intéresser à l'étude, dans le convertisseur, des conséquences des dynamiques de régulation introduite par le fonctionnement avec aiguillage, pour les deux types de coupleurs, magnétique et capacitif. Il semble évident que la régulation à pas discret va générer des courants de circulation pour adapter les potentiels dans le réseau lors d'insertion ou îlotage d'un CE. La partie suivante explore cela de manière critique pour différentes situations et cas particuliers.

## ii. Dynamique de régulation à rapport discret – coupleur magnétique

Tout d'abord nous avons étudié la dynamique d'un seul convertisseur standard avec coupleur magnétique, sans mise en réseau de convertisseur et ensuite nous avons considéré un réseau de convertisseurs avec deux cellules élémentaires. A cet effet, l'hypothèse de départ est d'avoir une source de tension de 40V sans limite au niveau de courant, en entrée du convertisseur quel qu'en soit sa structure. L'hypothèse est restrictive vis-à-vis du PV comme cela a été évoqué plus haut mais permet de découpler les impacts au niveau PV de ceux au niveau des CE et du réseau de CE lors

de la gestion à pas discret. De ce fait, le dimensionnement du convertisseur ainsi que le réglage des ordres de commande dans tous les cas sont fixés pour avoir toujours une tension fixe de 40V à la sortie d'une CE quelle que soit le nombre des cellules élémentaires. Le modèle équivalent du convertisseur DAB présenté à la Figure II-13, est le même que celui présenté dans le « chapitre I » avec un condensateur de découplage ajouté en série avec le transformateur afin d'éliminer le composant DC aux bornes AC du convertisseur et les capacités parasites illustrées au niveau de transformateur.

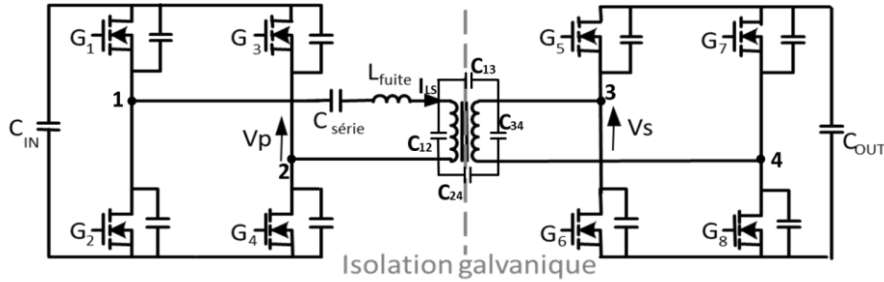


Figure II-13 Le modèle équivalent du DAB avec coupleur magnétique

Le dimensionnement des composants du coupleur AC du convertisseur correspondant au cahier des charges, présenté dans le Tableau II-1, est optimum avec  $C_{série}=50\mu F$ , une inductance de fuite du transformateur (*primaire + secondaire*)  $L_{fuite}=330nH$  et une inductance magnétisante de  $35\mu H$ . La Figure II-14 présente la variation du courant dans le condensateur de découplage  $C_{série}$  et la tension à ses bornes ainsi que la tension aux bornes du condensateur de filtrage à la sortie  $C_{OUT}$  ( $1\mu F$ ) lors du démarrage du convertisseur. Au départ la tension d'alimentation est fixée à 0V et ensuite à  $t_0=50\mu s$  la tension monte de 0V à 40V dans  $40\mu s$  avec une pente de  $1V/\mu s$ .

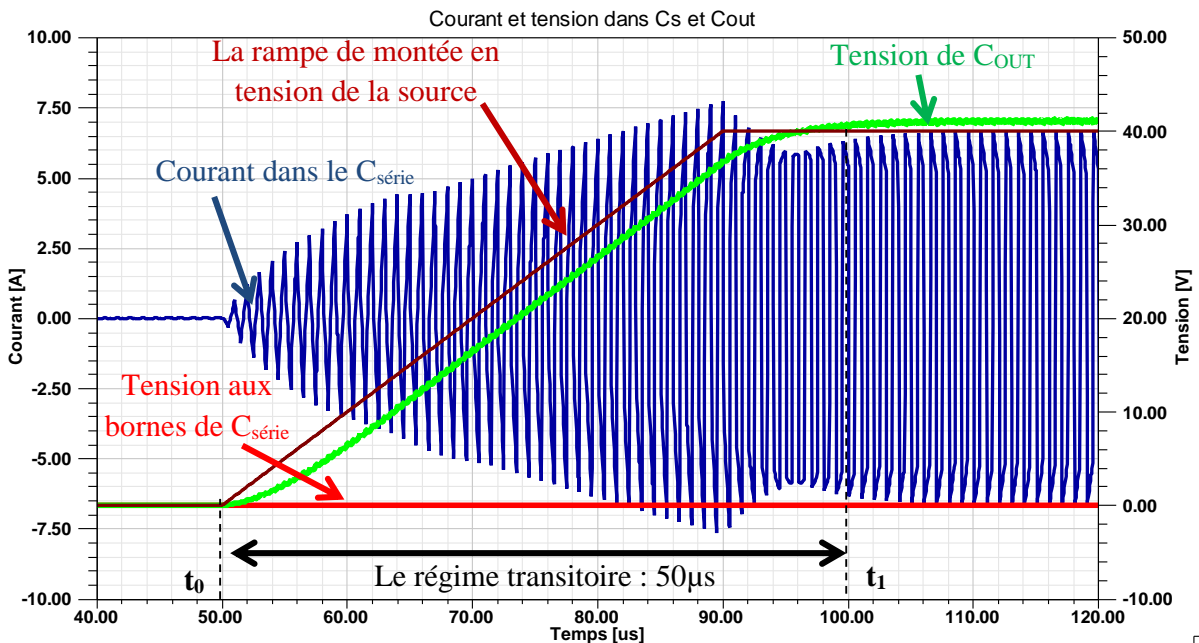


Figure II-14 Démarrage à froid dans le cas du convertisseur DAB standard sans mise en réseau : courants dans le condensateur de découplage et les tensions à leurs bornes, tension aux bornes du condensateur de filtrage de sortie

Le régime transitoire est installé à partir de  $t_0$  avec une durée de  $50\mu\text{s}$  soit 50 périodes @1 MHz de fréquence de découpage au sein du DAB tout en sachant que le démarrage de la source de tension pour atteindre la tension nominale dure  $40\mu\text{s}$ . Ensuite la Figure II-15 représente le courant dans  $C_{\text{série}}$  et la tension aux bornes de  $C_{\text{série}}$  et  $C_{\text{OUT}}$  quand deux cellules élémentaires sont en réseau PISO (Figure II-19). Comme dit au début, le dimensionnement de ces deux convertisseurs n'est pas changé par rapport au convertisseur standard étudié quand il est seul. A cet effet le courant efficace dans chacun de convertisseur est 5A et la tension sortie à ses bornes est de 40V et donc 80V à la sortie du RC. A partir de cette simulation, le condensateur de filtrage de sortie de chaque cellule se charge et se décharge de la même façon que le convertisseur seul, à l'exception de l'influence des échanges énergétiques et la circulation du courant entre les cellules élémentaires. Avec de faibles capacités parasites entre primaire et secondaire au niveau des transformateurs de chaque cellule élémentaire dans ce réseau de convertisseurs – comme par exemple 10 pF –, le temps et les courants nécessaires pour charger et décharger sont petits et donc on peut négliger leur impact sur la dynamique du système de conversion au démarrage. De ce fait nous avons utilisé cette valeur<sup>1</sup> des capacités parasites au niveau de transformateur. En conséquence la dynamique du réseau de convertisseurs composé des cellules avec coupleur magnétique est proche de celle d'un seul convertisseur standard pour l'adaptation des tensions. De la même façon on peut dire que la dynamique d'un réseau de convertisseurs ayant 10 cellules élémentaires associées sera la même que celle d'une cellule seule quand le dimensionnement reste le même dans chaque étage.

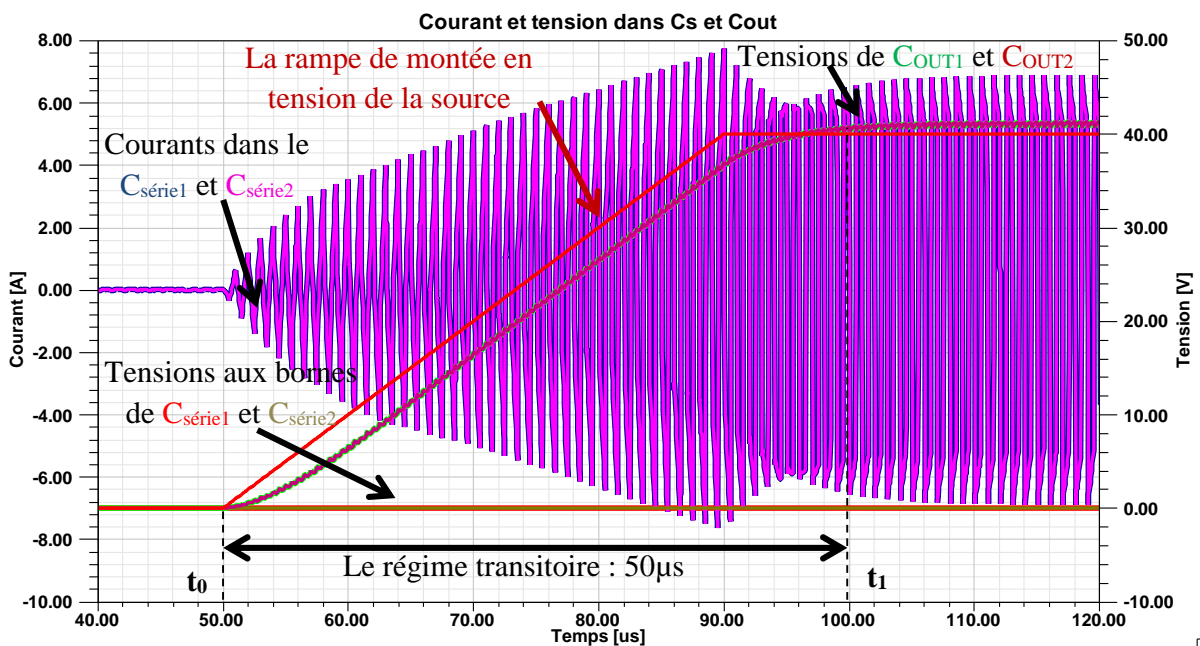


Figure II-15 : Démarrage à froid dans le cas de deux cellules élémentaires associées en PISO, courants dans les condensateurs de découplage et les tensions à leurs bornes, tension aux bornes du condensateur de filtrage de sortie (la dynamique est identique au sein des CEs)

Malgré tout et pour donner un exemple, lors du démarrage du convertisseur, il faut rapidement faire croître en parallèle les potentiels en sortie de chaque cellules, ce qui conduit, peu à peu, à la mise en place de différences de potentiels aux bornes des coupleurs de chaque cellule élémentaire. Ce point particulier de l'architecture est très singulier mais également la stratégie mise en place pour

<sup>1</sup> La valeur de 10 pF a été choisie d'après les mesures expérimentales effectuées sur les trois transformateurs réalisés au sein de cette thèse (Annexe II-3 – Figure II-32)

gérer le fort rapport de transformation inhérent au cahier des charges. Ainsi, chaque régime transitoire s'accompagne d'un nouveau point d'équilibre à mettre en place et il est important de voir comment cela se passe. A cet effet la Figure II-16 représente la dynamique correspondant à la convergence du potentiel aux bornes de deux condensateurs de filtrage à la sortie d'un réseau de convertisseurs composé de deux cellules élémentaires associées en série à la sortie. Les deux cellules ont des conditions de tension de sortie initiales différentes avec par exemple  $\pm 12,5\%$  d'écart à la tension nominale (5V pour  $V_{nominale}=40$  V). On voit clairement que le temps nécessaire pour que les deux potentiels convergent est de 35  $\mu$ s soit 35 périodes de commutation @ 1 MHz.

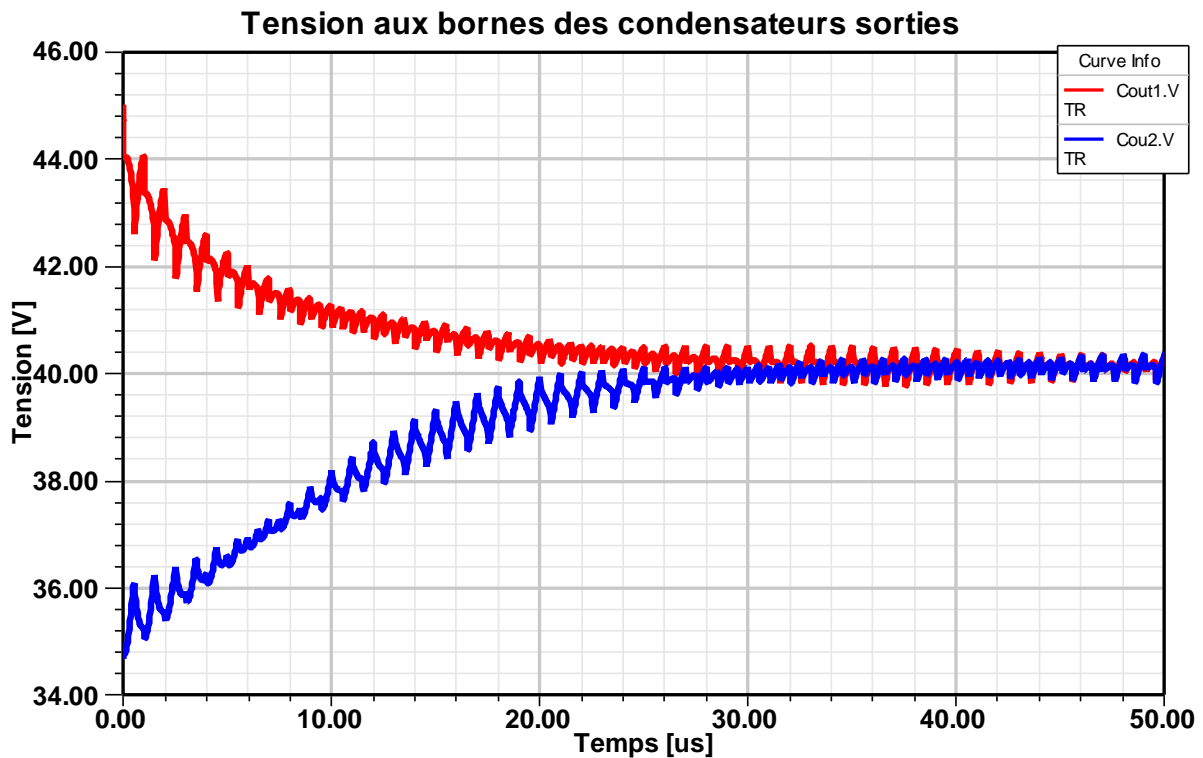


Figure II-16 : Convergence des tensions de sortie de deux cellules, dans des conditions initiales de déséquilibre de potentiel de  $\pm 12,5\%$  d'écart à la tension nominale en sortie.

En outre il apparaît évident que pour encaisser un îlotage presque instantané, les cellules élémentaires doivent disposer de dynamiques de réponse très élevées que cela soit pour celles qui sont îlotées ou insérées ainsi que pour celles qui restent dans le réseau sans action au niveau de la gestion d'aiguillage correspondant. En regardant à l'échelle d'une seule cellule, sans prendre tout d'abord en considération ses interconnexions dans un réseau, il apparaît clairement que les cellules élémentaires à base de topologies Dual Active Bridge avec coupleur magnétique, qui reposent sur de petits éléments de stockage, et donc de très faibles niveaux d'énergie stockée, sont tout à fait propices à ce genre de dynamiques de réponse. Ci-dessous est présenté le résultat de simulation montrant comment évolue le courant dans l'inductance de fuite du transformateur d'une cellule lors d'une dynamique d'un fonctionnement à plein courant vers un fonctionnement à courant nul à la sortie (îlotage). Le dimensionnement et le pilotage sont prévus pour avoir 40 V à la sortie de la cellule ce qui signifie la tension d'entrée est égale à la tension de sortie. La source de tension à l'entrée (40 V) est sans limite en courant. Le transfert d'ordres de commande du convertisseur s'arrête au moment de l'îlotage. On voit clairement sur les résultats (**Figure II-17**) qu'il suffit d'une demi-période voir une période de découpage dans le pire cas avec les éléments parasites de AC-

Link pour couper le transfert de puissance dans la cellule élémentaire due de très faibles éléments de stockage. Cela permet donc d'envisager des dynamiques de l'ordre de la dizaine de microsecondes jusqu'à la microseconde en fonction de la fréquence de découpage de la cellule élémentaire.

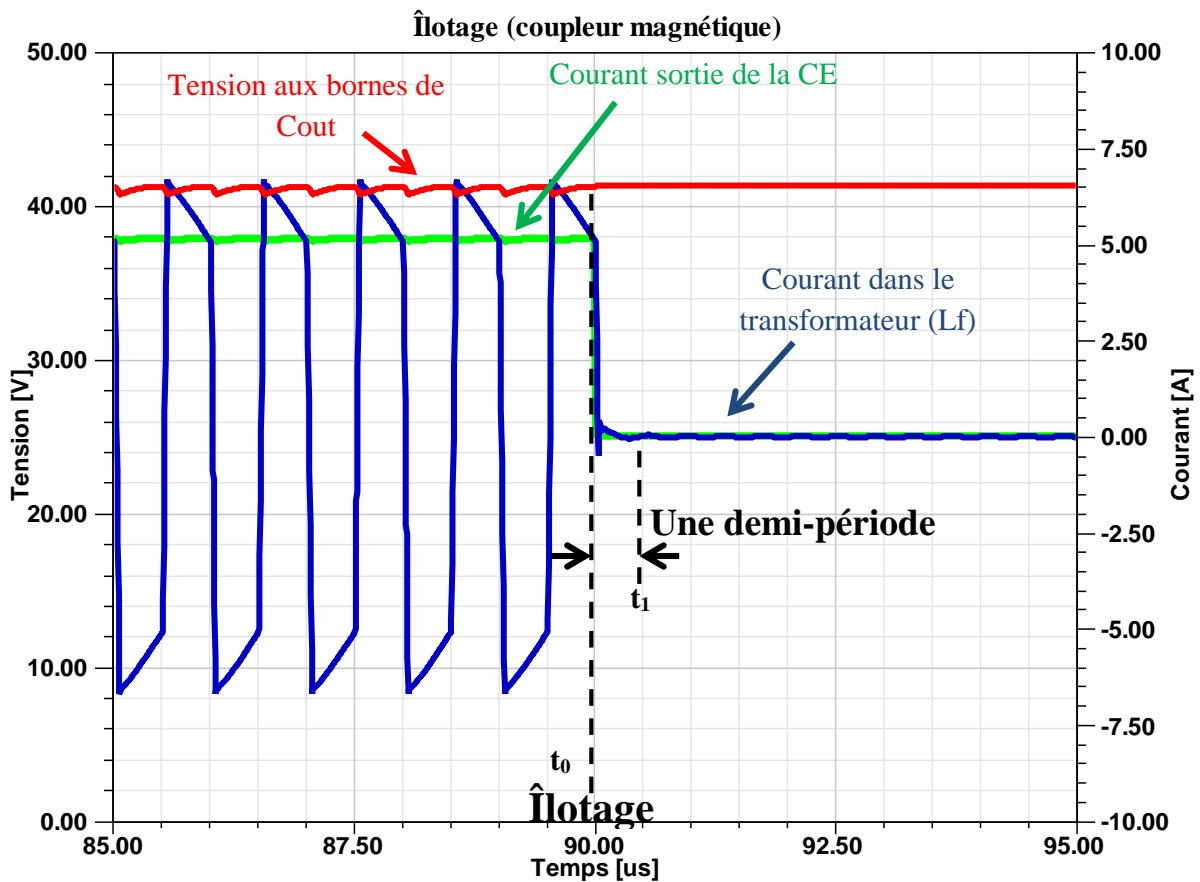


Figure II-17 Dynamique du DAB avec coupleur magnétique lors de l'îlotage de la cellule élémentaire de conversion

La Figure II-18 présente l'évaluation par simulation de la dynamique d'insertion d'une cellule élémentaire quand, avant la fermeture de  $T_{px}$  et l'ouverture de  $T_{ix}$  (dans la Figure II-1), le convertisseur élémentaire a été alimenté et le pilotage des interrupteurs est en arrêt et enfin le condensateur de filtrage de sortie est chargé comme il reste chargé dans le cas d'îlotage illustré dans la **Figure II-17**. A partir de cette figure, la dynamique de l'insertion de cellules élémentaires dans le réseau de convertisseurs est plus lente car le temps nécessaire pour équilibrer le cycle de charge et décharge du condensateur de filtrage de sortie de la cellule élémentaire insérée dans le réseau est plus important.



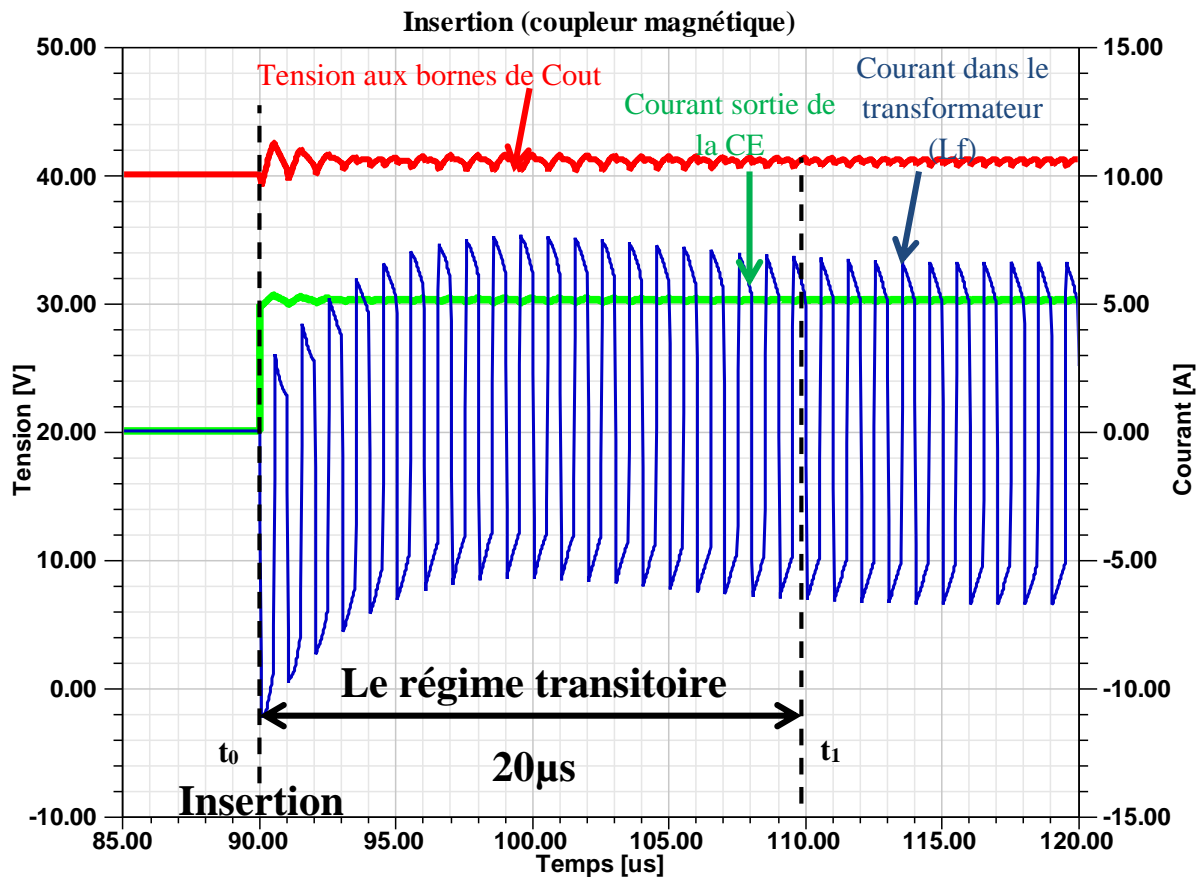


Figure II-18 Dynamique du DAB avec coupleur magnétique lors de l'insertion de la cellule élémentaire de conversion

**N.B.** Ces deux dernières simulations ont été faites pour le cahier des charges présenté dans le Tableau II-1. De ce fait l'étude de l'îlotage et l'insertion de cellule élémentaire a été effectué sur un seul étage de conversion mettant en court-circuit la charge à la sortie (insertion) et/ou en circuit ouvert (îlotage).

Descriptions	unité	valeur
Tension d'entrée ( $V_{IN}$ )	V	40
Tension de sortie ( $V_{OUT}$ )	V	40
Puissance sortie ( $P_{OUT}$ )	W	200
Fréquence de découpage ( $f_{déc}$ )	MHz	1
Le déphasage primaire-secondaire ( $\Phi$ )	ns	51

Tableau II-1 Cahier des charges pour l'étude de l'îlotage et l'insertion d'une cellule élémentaire à coupleur magnétique dans un système de conversion en réseau

Il est également important d'évaluer et d'analyser les conséquences pour le réseau, de l'introduction ou du retrait de cellules élémentaires, sur la distribution des tensions de sortie, et les conséquences que cela peut avoir sur le bon fonctionnement du système. Dans cette perspective, nous avons étudié l'impact de l'introduction ou de l'effacement d'une ou plusieurs cellules élémentaires sur les autres cellules élémentaires non affectées au niveau de leur aiguillage au sein du réseau. Comme il est évoqué dans la première partie, l'augmentation de tension de l'alimentation conduit le système d'aiguillage à l'îlotage d'une ou plusieurs cellules élémentaires et à l'inverse la diminution de tension de la source d'entrée amène la gestion d'aiguillage à l'insertion d'une ou plusieurs cellules.

En effet, introduire ou effacer une cellule élémentaire quelle que soit le nombre de cellules élémentaires dans le réseau et leurs niveaux de tension en tous points de la structure va conduire à faire varier la tension et le courant de sortie du réseau de convertisseur ainsi que le point de fonctionnement optimum.

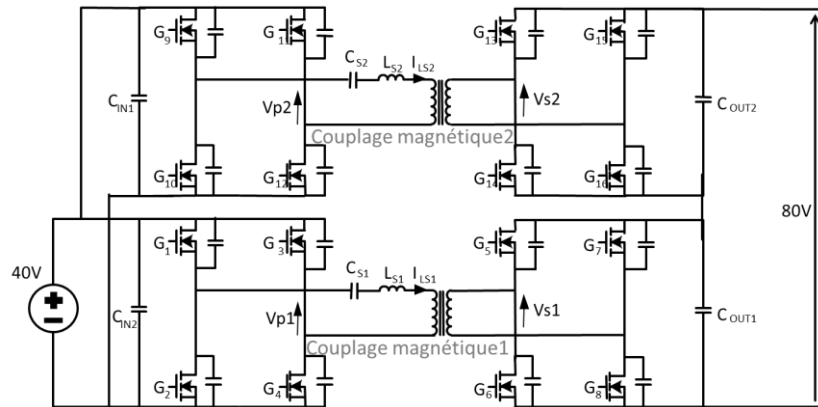


Figure II-19 Schéma équivalent d'un réseau avec deux cellules PISO à coupleur magnétique.

A partir de cette introduction, faisant varier la tension d'entrée d'un RC avec deux cellules élémentaires (Figure II-19), des phénomènes comparables sont visibles lors d'un îlotage ou d'une insertion de cellules. Immédiatement, les évolutions des différents potentiels induisent des mouvements légers de charges qui modifient le point de fonctionnement en sortie de chaque cellule. De cette façon la Figure II-20 représente la modification du point de fonctionnement quand la tension d'entrée varie de 30 V à 40 V ce qui signifie l'îlotage d'une ou plusieurs CEs. Le dimensionnement et le pilotage des cellules sont prévus comme précédent pour avoir 40 V à la sortie ( $V_{IN}=V_{OUT}$ ). La pente imposée à l'entrée est de 1 V/ $\mu$ s soit 10 V en 10  $\mu$ s. Cette variation est suivie par l'adaptation du potentiel et la modification de point de fonctionnement dans les deux cellules avec la même dynamique.

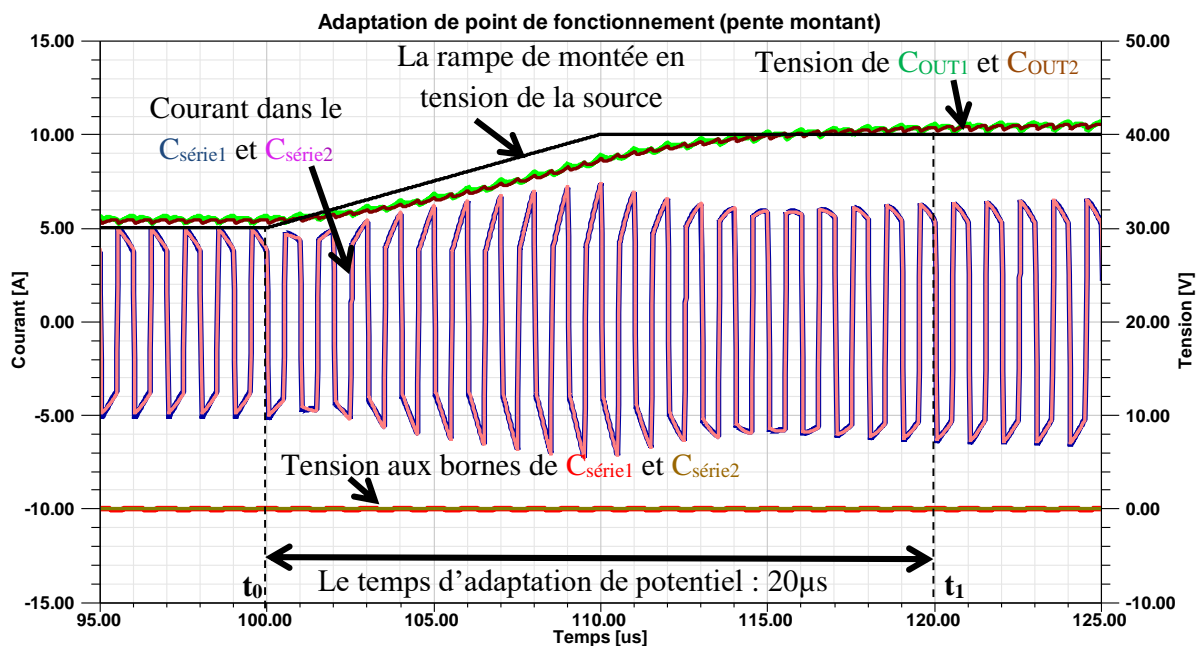


Figure II-20 : Modification du point de fonctionnement de deux cellules PISO lors d'une variation positive de la tension à l'entrée.

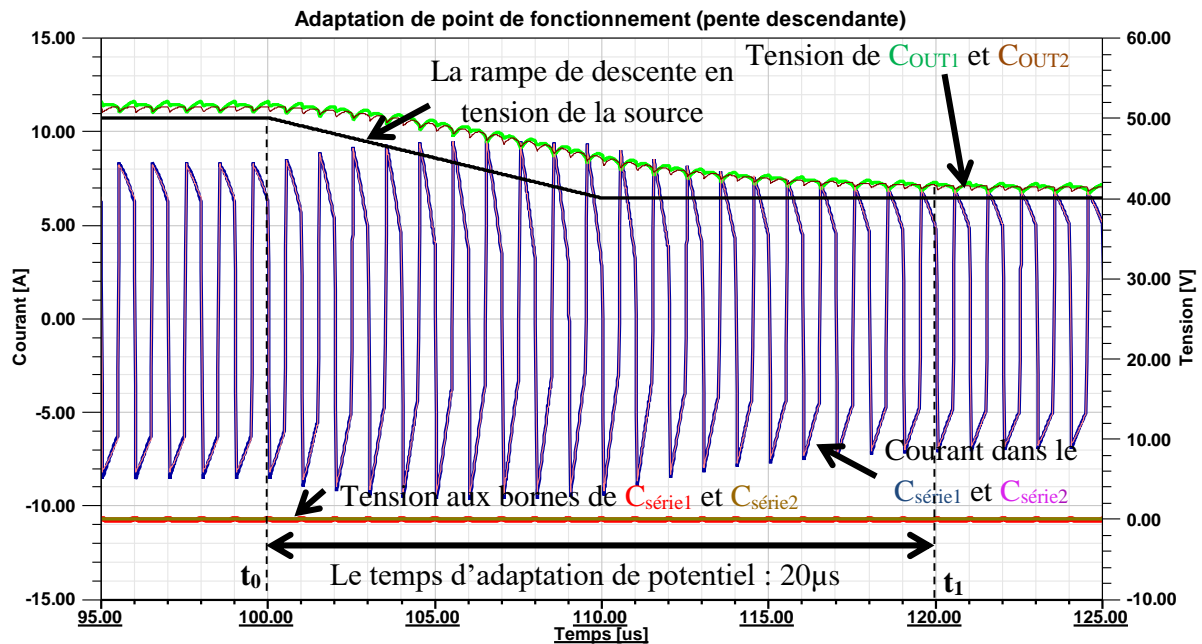


Figure II-21 Modification du point de fonctionnement de deux cellules PISO lors d'une variation négative de la tension à l'entrée

A cet égard, faire varier des potentiels en tous points de la structure va conduire à faire circuler des courants dans les composants du système mais également via les éléments parasites de celui-ci. Ces courants induits sont non désirés, plus ou moins importants, dont l'amplitude dépend de la valeur des dynamiques de variation des potentiels et bien évidemment de la valeur des condensateurs parasites (Annexe II-3). De ce fait les capacités parasites de mode-commun entre primaire et secondaire d'une CE sont petites, et la circulation du courant et ainsi que la variation de tension aux bornes des condensateurs seront faibles. La circulation de ces courants peut être négligée dans bien des cas mais elle peut conduire à des pertes supplémentaires et surtout, des disparités et dispersions, au moins temporaires, dans les points de fonctionnement de chacune des cellules. A ce propos dans le convertisseur DAB avec coupleur capacitif, il est introduit une forte augmentation volontaire de la valeur des condensateurs entre primaire et secondaire afin d'éviter le phénomène de quasi-résonance sur la forme de courant dans l'inductance série posée aux bornes AC du convertisseur DAB (plus de détail dans le chapitre III). La circulation du courant parasite est beaucoup plus importante et donc les temps de convergence des tensions seront plus lents. Dans cette perspective, dans la partie suivante, l'approche de réseau de convertisseur composé des cellules élémentaire avec coupleur capacitif a été étudiée.

### iii. Dynamique de régulation à rapport discret – coupleur capacitif

La suite de ce chapitre propose une analyse comparable du comportement d'un réseau de convertisseurs à coupleur capacitif vis-à-vis de séquences de mise en route de cellules puis l'insertion et/ou l'ilotage dans l'approche réseau de cellules de convertisseurs. Le modèle de convertisseur DAB avec coupleur capacitif est présenté dans le chapitre I (Figure II-22).

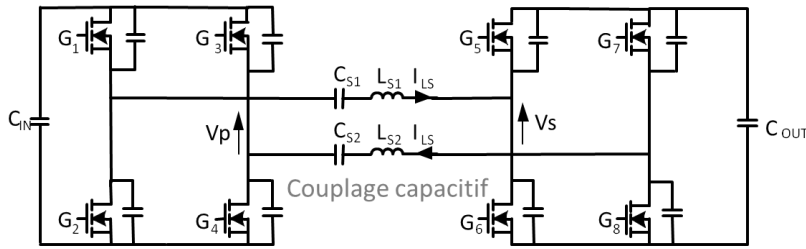


Figure II-22 Modèle équivalent du DAB avec coupleur capacitif

La substitution du coupleur magnétique par un couplage capacitif se traduit dans le cadre de cette étude par une très forte augmentation des condensateurs entre primaire et secondaire au niveau de chaque cellule élémentaire. La valeur du condensateur équivalent est maintenant appelée comme étant la somme (parallèle) des deux condensateurs de découplage capacitif dont la valeur unitaire est fixée à  $100 \mu\text{F}$  pour avoir  $50 \mu\text{F}$  aux bornes AC puisque les deux condensateurs de découplage sont en série. Les conséquences sont une très forte augmentation des courants « parasites » qui vont circuler dans la structure lors des variations de potentiels entre cellules de conversion. Ces courants sont désormais nettement plus proches de ceux présents dans la structure pour faire transiter la puissance de l'entrée vers la sortie. En revanche, la valeur de l'inductance série est de 2 fois  $165\text{nH}$  aux bornes AC du coupleur, donc proche de celle du coupleur magnétique et donc la capacité de stockage d'énergie reste quasi-constante par rapport du coupleur magnétique. Deux inductances sont utilisées ici pour symétriser le coupleur AC capacitif.

La Figure II-23 représente la variation du courant dans les deux condensateurs de découplage  $C_{\text{série}1}$  et  $C_{\text{série}2}$  et la tension à leurs bornes et enfin la tension aux bornes du condensateur de filtrage à la sortie  $C_{\text{OUT}}$  lors de la mise sous tension d'une cellule de conversion élémentaire. De la même manière que pour le coupleur magnétique, à  $t_0=50\mu\text{s}$  la tension d'alimentation monte de  $0\text{V}$  à  $40\text{V}$  avec une pente de  $1\text{V}/\mu\text{s}$  pour un dimensionnement du convertisseur et un réglage des ordres de commande pour avoir  $40\text{V}$  à la sortie du convertisseur ( $V_{\text{IN}}=V_{\text{OUT}}$ ).

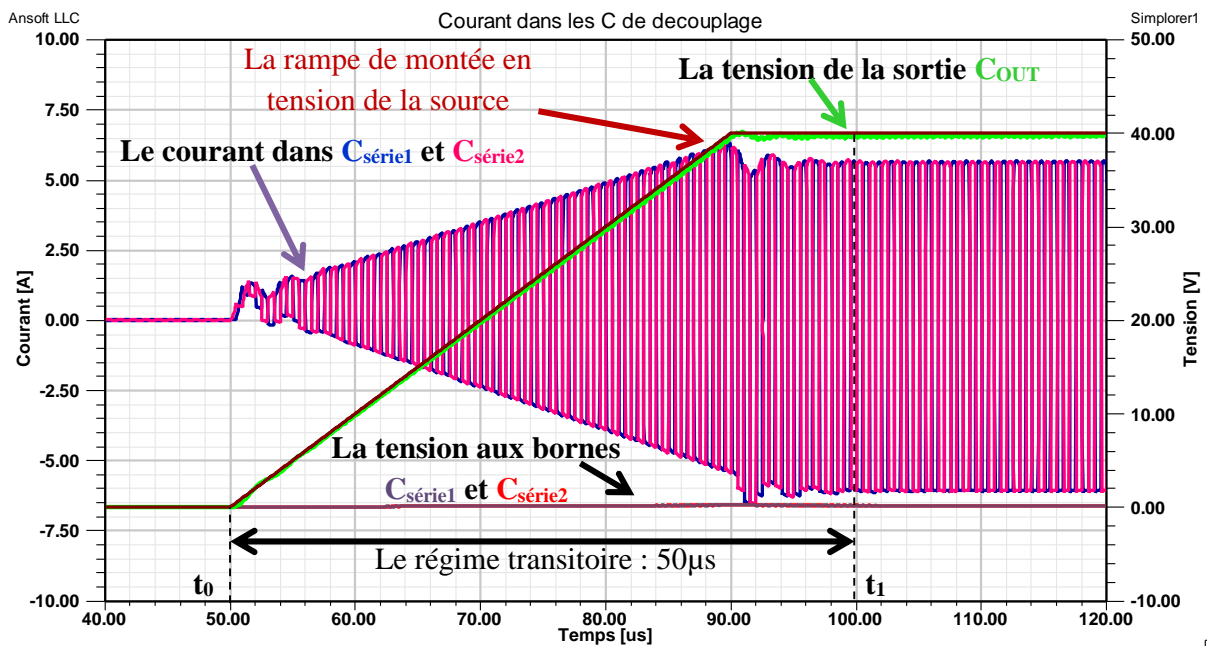


Figure II-23 Adaptation des tensions aux bornes des condensateurs de découplage dans le convertisseur avec coupleur capacitif lors du démarrage à froid

La Figure II-23 représente le temps nécessaire à l'adaptation complète des tensions aux bornes des condensateurs de découplage  $C_{série1}$  et  $C_{série2}$  dans un seul convertisseur avec coupleur capacitif. Le temps d'adaptation est de  $50\mu s$ , donc une dynamique presque identique pour celle-ci et celle du convertisseur standard avec coupleur magnétique.

Ensuite nous avons étudié le démarrage d'un réseau de convertisseurs composé de deux cellules élémentaires avec coupleur capacitif dont la source de tension en entrée a été considérée sans limites en courant. Les deux convertisseurs sont identiques au niveau du dimensionnement ainsi que des ordres de commande appliqués pour avoir  $40V$  à la sortie de chaque étage soit  $V_{IN}=V_{OUT}$ . Le schéma équivalent électrique est représenté à la Figure II-24.

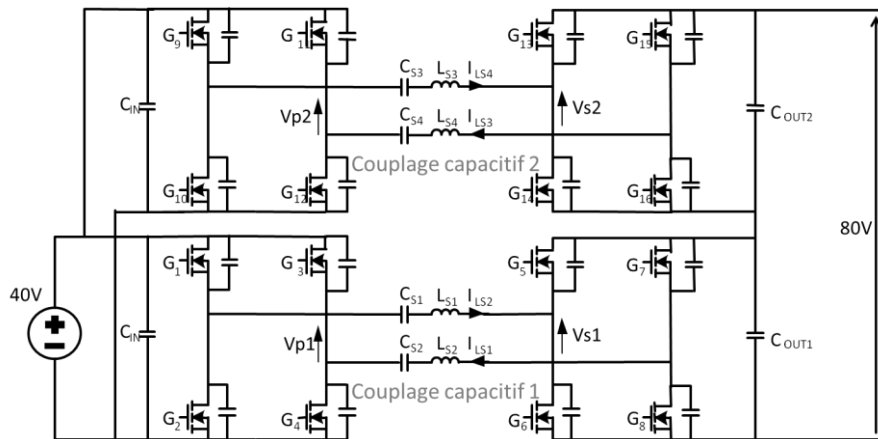


Figure II-24 : Schéma équivalent d'un réseau avec deux cellules PISO à coupleur capacitif.

La dynamique et l'adaptation du point du fonctionnement correspondant aux deux convertisseurs interconnectés en parallèle à l'entrée et en série à la sortie sont présentées dans la Figure II-25. En raison de la très forte valeur des condensateurs entre primaire et secondaire avec le coupleur capacitif, on constate la circulation de forts courants parasites et la présence d'un temps beaucoup plus important d'adaptation des tensions en sortie au niveau de chaque cellule. Le temps nécessaire pour l'adaptation de la tension dans cet exemple avec deux cellules est de  $9\text{ ms}$ .

La Figure II-25 indique que la tension aux bornes des deux condensateurs de découplage  $C_{série3}$  et  $C_{série4}$  au deuxième étage de conversion, est différente de l'écart entre la tension sortie du réseau – soit minimum  $80\text{ V}$  dans cet exemple avec deux cellules – et la tension d'alimentation du réseau de convertisseurs soit  $40\text{ V}$ . De la même façon la tension minimum aux bornes des condensateurs de découplage de la cellule élémentaire numéro  $n$  sera supérieure à  $n \cdot V_{SOURCE}$  quand les cellules sont connectées en série à la sortie. A cet égard dans l'exemple avec  $10$  cellules et  $40\text{ V}$  à l'entrée, la tension aux bornes des condensateurs de découplage au dixième étage est supérieure à  $400\text{ V}$  ce qui est lourd de conséquence au niveau du choix du composant pour la conduite de l'expérimentation.

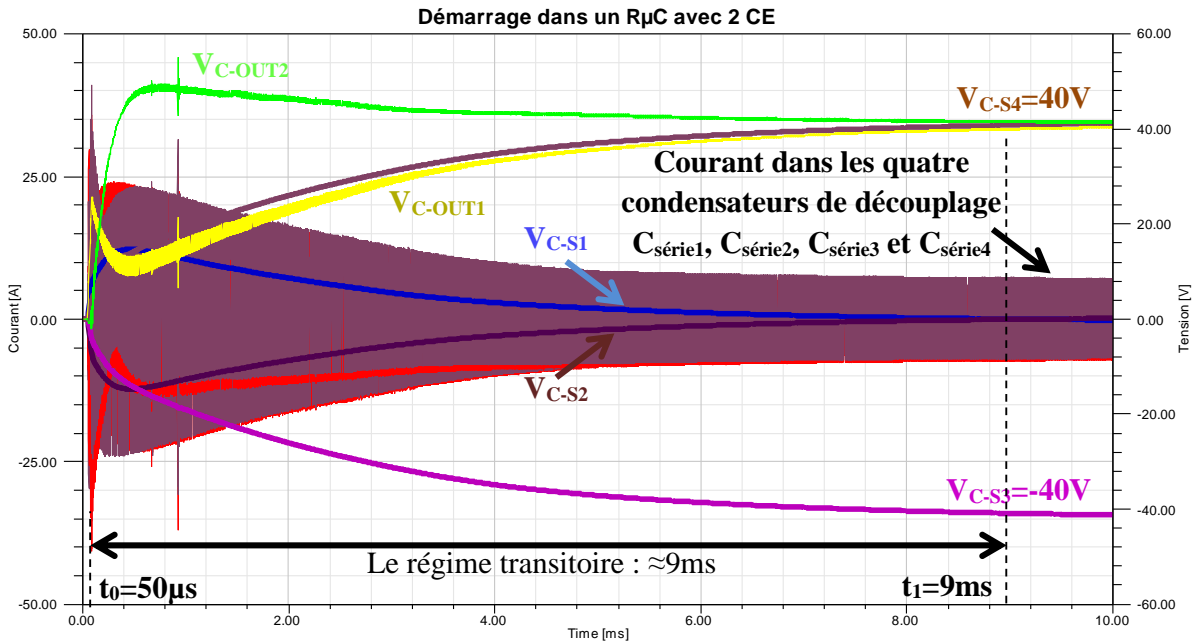


Figure II-25 : Courant dans les deux condensateurs de découplage et la tension aux bornes de  $C_{série1,2,3,4}$  et  $C_{OUT}$  au démarrage d'un réseau de convertisseurs avec deux cellules à coupleur capacitif.

Les pics de courant dans les condensateurs de découplage du premier étage ( $C_{série1}$  et  $C_{série2}$ ) sont plus forts que dans le deuxième étage et ainsi de suite ... En effet au démarrage le courant qui passe dans les condensateurs de découplage de chaque étage permet de charger le condensateur de filtrage à la sortie de l'étage correspondant mais d'autres composantes en courant circulent sur les étages inférieurs pour charger les capacités des coupleurs capacitifs des étages supérieurs. De ce fait autant le nombre des étages est plus important, les pics de courant des étages inférieurs est plus forts.

Dans ce réseau avec deux cellules élémentaires, une partie du courant de l'état transitoire qui passe dans  $C_{série1}$  et  $C_{série2}$  va charger le condensateur de filtrage à la sortie de la cellule correspondante  $C_{OUT1}$ . Une autre partie du courant – qui est un courant supplémentaire par rapport de coupleur magnétique – circule pour charger les condensateurs de découplage du coupleur capacitif de cet étage ainsi des étages supérieurs. Ce courant est nettement plus important que la première composante citée car la valeur du condensateur de découplage est 100 fois plus importante que celle du filtre de sortie (Figure II-24).

A la différence du coupleur magnétique, le coupleur capacitif dans un convertisseur DAB présente des éléments parasites plus importants, ce qui est assez défavorable au niveau des dynamiques à l'insertion et/ou l'îlotage de cellules élémentaires dans le cadre de l'approche réseau de convertisseurs. Au niveau de stockage, le coupleur capacitif représente de la même valeur que le coupleur magnétique et donc des mêmes niveaux d'énergie stockée. Nous avons étudié la dynamique du coupleur capacitif de la même façon que pour le coupleur magnétique lors d'une dynamique d'un fonctionnement à plein courant vers un fonctionnement à courant nul dans la charge pour modéliser l'îlotage et inversement le fonctionnement à courant nul vers un fonctionnement à plein courant afin de simuler l'insertion tout d'abord d'une et ensuite plusieurs cellules. La Figure II-26 représente la dynamique d'une seule cellule de conversion en modélisant un îlotage au sein du système de conversion de la Figure II-22. Le convertisseur est dimensionné pour avoir une tension fixe de 40 V à la sortie ( $V_{IN}=V_{OUT}$ ). A  $t_0=90\mu s$  l'interrupteur  $T_{px}$  dans la

Figure II-1 s'ouvre et d'une manière complémentaire l'interrupteur  $T_{ix}$  se ferme afin de retirer la cellule de conversion.

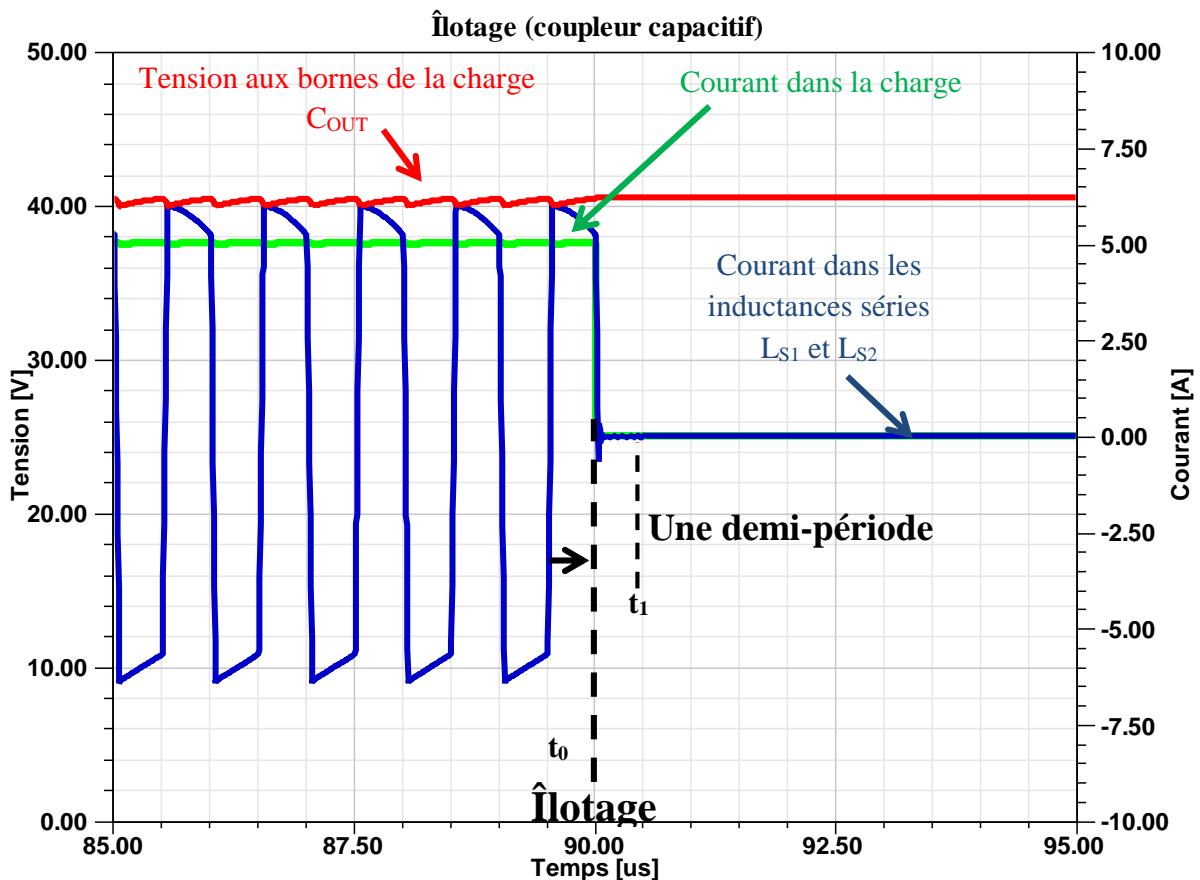


Figure II-26 Dynamique du DAB avec coupleur capacitif lors de l'effacement d'une cellule élémentaire de conversion

La Figure II-26 nous permet de bien voir qu'avec le coupleur capacitif, dès la première commutation suite à l'îlotage, le courant de l'état transitoire est nul si les transistors dans le pont complet s'arrêtent à commuter. Cela permet donc d'envisager des dynamiques de l'ordre de la microseconde comme le cas de coupleur magnétique car l'arrêt immédiat du fonctionnement de la cellule élémentaire effacée est possible due de très faibles éléments de stockage d'énergie. En revanche pour cela la gestion simultanée au niveau d'ordres de commande des interrupteurs du convertisseur ainsi que ceux de l'aiguillage est obligatoire dans le cas du coupleur capacitif comme pour coupleur magnétique.

Nous avons aussi étudié l'insertion d'une cellule élémentaire dans un réseau de convertisseurs. Immédiatement, on voit que la présence de condensateurs de forte valeur n'a quasiment pas modifié les dynamiques d'établissement de la tension de sortie par rapport au coupleur magnétique avec ses faibles capacités parasites dans le cas d'étude d'une seule cellule. La Figure II-27 présente l'évolution temporelle des tensions de sortie aux bornes de cellule insérée dans le système. Il apparaît clairement que le temps d'établissement est identique par rapport du coupleur magnétique (20µs). Le pic de courant de la première commutation tout de suite après l'insertion dans le circuit AC ( $C_S+L_S$ ) est de la même valeur que par le coupleur magnétique ( $\approx -10A$ ).

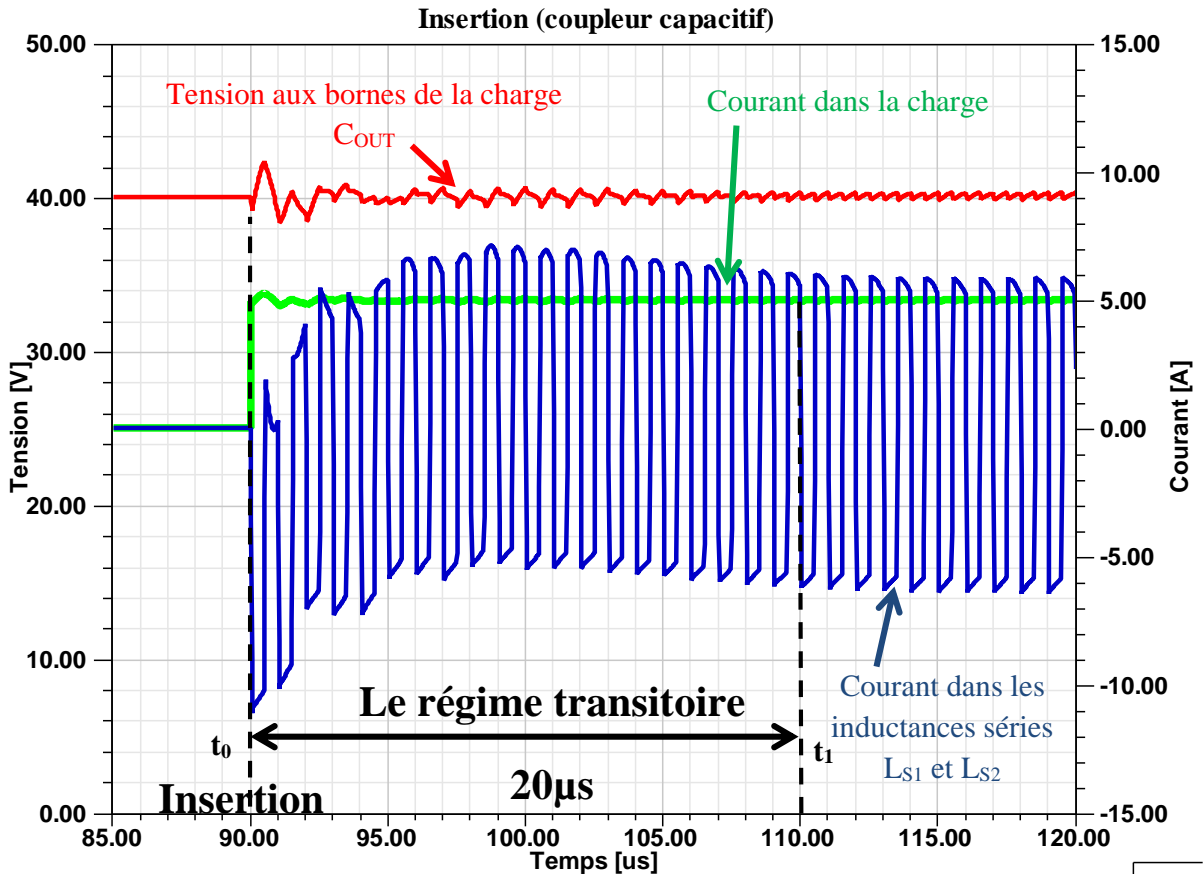


Figure II-27 Dynamique du DAB avec coupleur capacitif lors de l'insertion d'une cellule élémentaire de conversion dans le réseau à deux CEs.

Dans cette étape nous avons étudié l'impact du changement de la tension d'entrée – autrement dit de l'îlotage ou l'insertion – sur le réseau de convertisseur composé des cellules élémentaires avec coupleur capacitif. A cet égard les fortes valeurs de condensateur de coupleur ont des signatures très importantes sur la dynamique du système. Pour la simulation de l'impact du changement de la tension d'entrée, une source de tension avec la variation de  $1V/\mu s$  a été utilisée. A  $t_0=0,5ms$  la tension d'entrée monte de 30V à 40V ce qui signifie l'îlotage d'une ou plusieurs CEs (Figure II-28). Dans le cas inverse à  $t_0=0,5ms$  la tension d'entrée descend de 50V à 40V ce qui signifie l'insertion d'une ou plusieurs CEs. Les réglages des cellules élémentaires est pour avoir  $V_{IN}=V_{OUT}$ . Immédiatement les évolutions des différents potentiels induisent des mouvements de charges importants qui modifient sensiblement le point de fonctionnement en sortie de chaque cellule. Dans le deux cas d'îlotage et l'insertion ces évolutions et mouvements continuent sur une durée de 10ms soit presque 1000 fois plus que la dynamique de la source de tension. De ce fait, la dynamique dans un réseau de convertisseur composé de cellules à coupleur capacitif n'est pas compatible avec les fortes variations de tension à l'entrée du réseau.



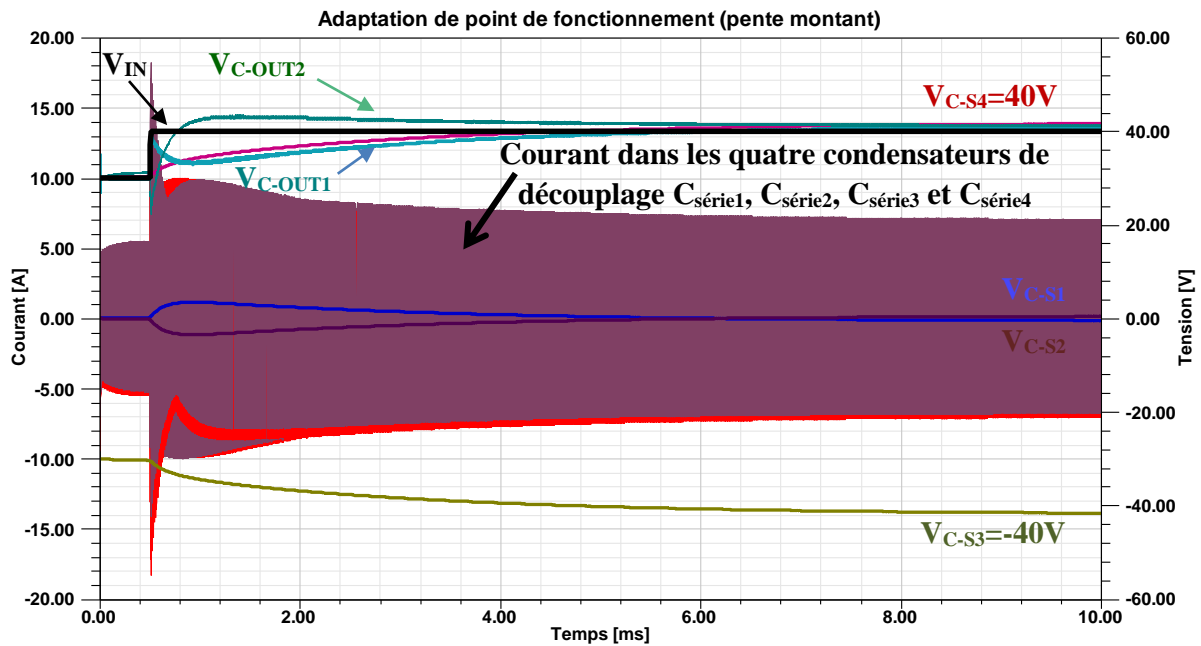


Figure II-28 Modélisation de l'impact de l'ilotage d'une ou plusieurs cellules de conversion sur le réseau composé des cellules à coupleur capacitif

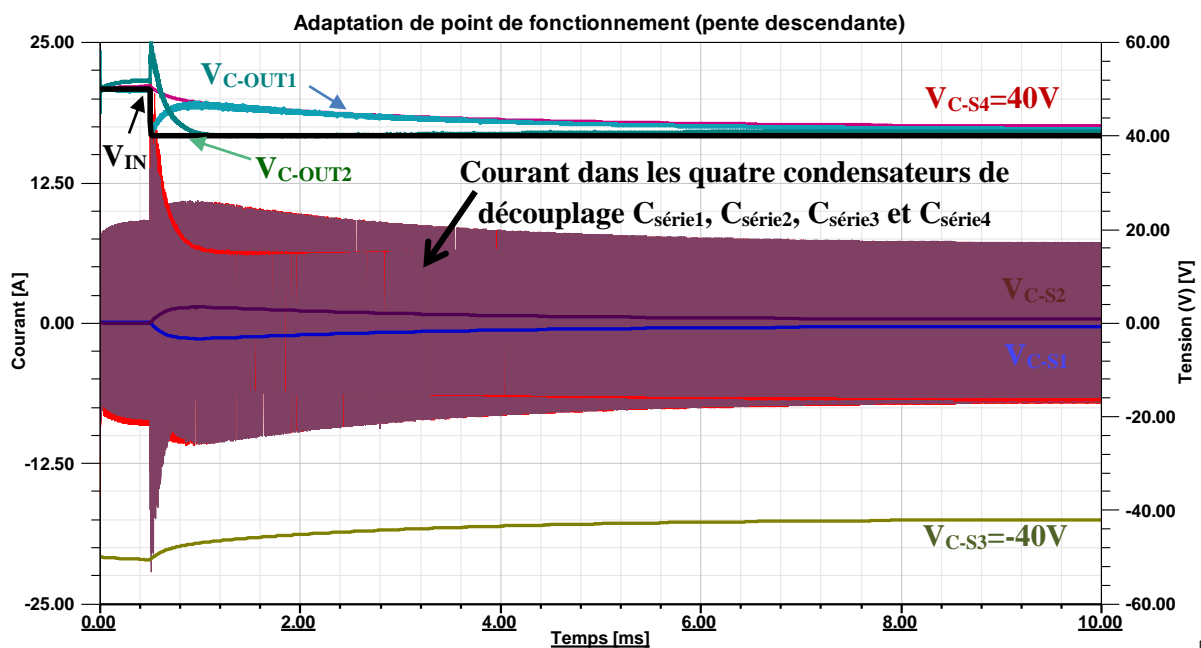


Figure II-29 Modélisation de l'insertion d'une ou plusieurs cellules de conversion sur le réseau composé des cellules à coupleur capacitif

On voit bien dans cette partie que les systèmes à couplage capacitifs sont sensiblement affectés par les variations de potentiels au sein du réseau (Tableau II-2). Une manière simple de corriger cela consiste à gérer localement chaque cellule en consigne en tension. Le principal problème ici concerne alors la complexité de mise en œuvre du système complet [58]. Une autre approche consiste à jouer sur les rapports entre les capacités de filtrage en sortie de chaque cellule et celles jouant le rôle de découplage capacitif.

Dynamique de	Temps de régime transitoire ( $\mu\text{s}$ )			
	CE		RC (2 CE)	
	DAB-M	DAB-C	DAB-M	DAB-C
Démarrage (0V - 40V)	50	50	50	$9 \cdot 10^3$
Îlotage	$\frac{1}{2} \cdot T_{\text{déc}}$	$\frac{1}{2} \cdot T_{\text{déc}}$	20	$10 \cdot 10^3$
Insertion	20	20	20	$10 \cdot 10^3$
Convergence des potentiels de sortie			35	$>10 \cdot 10^3$

Tableau II-2 Comparaison des résultats obtenus par les simulations pour le coupleur magnétique et son homogène soit le coupleur capacitif

Si la modification du point de fonctionnement n'est effective que durant le transitoire sur les potentiels, il est important de savoir si la structure est en mesure de faire converger ces dispersions de point de fonctionnement. A priori, deux cellules DAB alimentée par la même tension, fonctionnant avec des déphasages identiques et réglés afin d'avoir  $V_{\text{IN}}=V_{\text{OUT}}$ , mais contrairement ayant des niveaux de tension en sortie différents, auront tendance à converger rapidement. La Figure II-30 est une illustration à partir d'un travail de simulation pour les conditions suivantes : cellule élémentaire décrites au chapitre I, tension d'entrée 40 V, déphasage de 5% et dispersion de tensions de sortie  $\pm 12,5\%$  soit  $V_{\text{Cout1}}=35 \text{ V}$  et  $V_{\text{Cout2}}=45 \text{ V}$ , cellules chargées par une source de courant constante égale à 5A. Au bout de plusieurs périodes de découpage (dans cet exemple  $> 10 \text{ ms}$ ), l'écart de tension diminue entre les deux tensions de sortie des cellules. Dans le cas de coupleur magnétique le temps nécessaire pour converger deux potentiel 35V et 45V à 40V est de  $35\mu\text{s}$ .

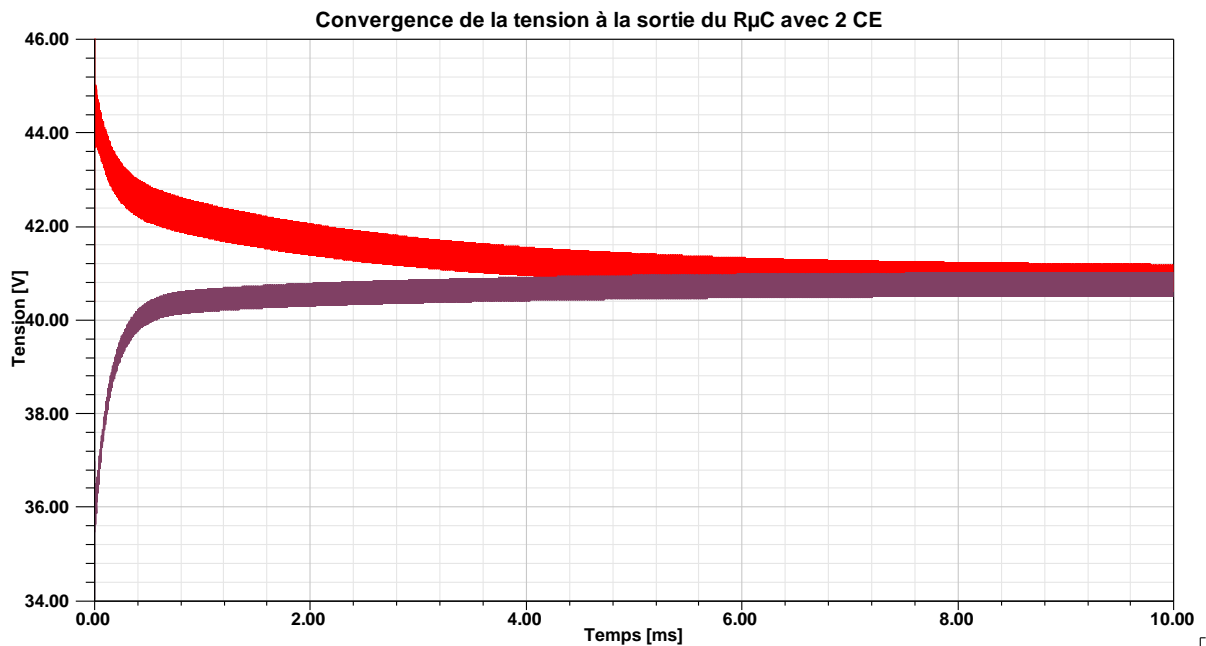


Figure II-30 Convergence de la tension sortie pour deux cellules à coupleur capacitif pour une condition initiale d'écart à  $\pm 12,5\%$  de la valeur souhaitée de la tension de sortie

Dans la réalité il existe toujours de légères différences entre les cellules élémentaires causées par la tolérance de procédure de fabrication des résistances séries des composants passifs ou des capacités parasites des composants actifs et ainsi de suite. Ces différences peuvent conduire chaque cellule élémentaire à présenter des décalages de tension de sortie au cours de fonctionnement, ce qui induit une variation de tension à la sortie de l'ensemble des cellules élémentaires en série. Des stratégies

---

de gestion seront peut-être à étudier et à mettre en place mais par manque de temps, nous n'avons pas poursuivi ce travail.

Pour conclure sur cette partie à couplage capacitif, il semble fort probable que les variations brutales de potentiel en cours de fonctionnement ne seront pas autorisées et que des stratégies d'aiguillage plus « continues » devront être mises en place. Comme évoqué, il pourra être imaginé un fonctionnement de l'aiguillage à base de régime dissipatif ou encore un découpage qui aura pour tendance de ralentir la dynamique de variation des tensions. Bien sûr, toutes ces approches devront néanmoins garantir le respect du cahier des charges et des dynamiques de l'application. Ces éléments étant hors cadre de ce travail de thèse, ils ne seront pas approfondis davantage ici.

### **C. Conclusion**

Il ressort de tout le travail d'analyse précédent, les conclusions suivantes :

- La gestion des forts rapports de transformation à base de réseaux de convertisseurs est possible. Elle est déjà mise en œuvre dans des applications fortes tensions et fortes puissances. Elle est logiquement également possible à plus basses tensions et puissances.
- La gestion des variations de rapport discret de transformation en cours de fonctionnement basée sur l'insertion et l'îlotage de cellules élémentaires est possible. Elle impose des moyens supplémentaires de filtrage ainsi qu'une stratégie plus efficace pour en minimiser l'impact sur la structure de conversion globale.
- La variation discrète du rapport de transformation du réseau, par insertion(s) ou îlotage(s) de cellules élémentaires, conduit à la circulation de très fortes courants parasites dans le cas du coupleur capacitif en raison des valeurs très importantes des condensateurs de découplage.
- Ces courants semblent sans conséquence majeure dans le cas de cellules élémentaires à couplage magnétiques : l'amplitude des courants, et les quantités de charges en mouvement n'étant pas de nature à créer des niveaux de pertes importants ni à faire évoluer les points de fonctionnement des cellules les uns par rapport aux autres.
- En ce qui concerne la mise en œuvre à base de cellules élémentaires à couplage capacitif, l'amplitude des courants parasites, qui n'en sont plus puisque circulant dans des composants intentionnels, est comparable, voire supérieure à celle des courants participant au transfert de la puissance entre l'entrée et la sortie du réseau. Ces courants, induits par des évolutions discrètes du rapport de transformation du convertisseur global ou dans une moindre mesure continue des tensions de sortie des cellules de conversion, sont de nature à perturber le bon fonctionnement du système s'ils ne sont pas bien encadrés.





---

## **Chapitre III**



---

### III. Analyse de la structure de conversion proposée dans le contexte photovoltaïque

Les études abordées dans les premier et second chapitres nous ont montré que la structure de conversion DC-DC, Dual-Active-Bridge, est un bon candidat dans le contexte applicatif PV ainsi que vis-à-vis de la démarche topologique que nous envisageons. La méthodologie de comparaison à base de figures de mérite a montré certains avantages de la structure auxquels viennent s'ajouter la réversibilité, la facilité d'intégration des composants actifs, ainsi que la réduction du nombre et du volume des composants passifs. Le chapitre II a donné une vision élargie sur les enjeux et les défis de l'approche de réseau de convertisseurs dans le champ d'applications à fort rapport de conversion de tension. Dans le but d'augmenter le rendement et la densité de puissance à faible niveau de tension d'entrée, l'optimisation des cellules de conversion élémentaires est essentielle tout en sachant que leurs caractéristiques conditionnent celle du réseau de convertisseurs et que leurs efficacités énergétiques doivent être les plus élevées possibles. En effet, le besoin final en termes de tension et de puissance étant atteint en associant, entre elles, des cellules élémentaires, il n'y a alors plus besoin d'adapter la structure de puissance des cellules élémentaires à l'application. De ce fait, un très bon rendement, une bonne fiabilité et une bonne gestion des aspects thermique et CEM pour chaque cellule élémentaire sont indispensables et deviennent les critères phares du cahier des charges. Les phases de conception et d'optimisation des cellules élémentaires doivent alors réunir des compétences liées à plusieurs domaines clés de l'électronique de puissance tels que : les expertises en composants actifs et passifs, en transfert des ordres de commande et de l'isolation associée, en conditionnement thermique et en compatibilité électromagnétique CEM, en connectique et enfin l'ensemble de l'intégration système avec, le report, l'assemblage et le packaging associé aux divers composants présents dans la structure .

#### A. Introduction

Les objectifs techniques et scientifiques qui motivent les développements présentés dans ce chapitre sont les suivants :

- Montée en fréquence de découpage au maximum pour réduire le volume des éléments de stockage de l'énergie électrique sans pénaliser le rendement de conversion
- Une cible de rendement de conversion de tension supérieur à 96%
- La simplicité de mise en œuvre, le caractère autonome de la structure au niveau de la gestion des ordres de commande
- L'introduction successive des approches suivantes au niveau composant actifs/passifs :
  - PMOS-NMOS / Couplage magnétique
  - NMOS-NMOS / Couplage magnétique
  - GaN / Couplage magnétique
  - GaN / Couplage capacitif

Les défis présentés ci-dessus, mettent en évidence plusieurs éléments clés :

- La montée en fréquence des composants actifs, basse tension, est envisageable au-delà du MHz compte tenu du fonctionnement en commutation douce de la structure de conversion. Mais ce sont des niveaux de fréquence à partir desquels les composants magnétiques sont en difficulté pour trois raisons :



- Les pertes joules causées par l'effet de peau en hautes fréquences et l'effet de proximité dans les enroulements en fonction de leurs géométries
- La réduction des perméabilités relatives  $\mu_r$  (e.g. la perméabilité relative d'un noyau classique comme le 3F3 diminue à partir de 1MHz comme le montre la Figure III-1) : le dimensionnement spécifique et plus complexe des composants magnétiques pour le fonctionnement en haute fréquence
- L'augmentation des pertes Fer causées par les courants de Foucault et les pertes par hystérésis

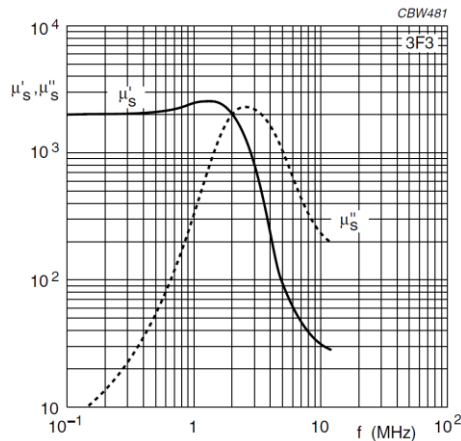


Figure III-1 Le perméabilité complexe du 3F3 en fonction de la fréquence [60]

- La montée en fréquence est beaucoup moins contraignante au niveau des condensateurs. De manière générale, plus on augmente la fréquence de travail, plus le condensateur sera de taille réduite. En revanche, plus l'ondulation de courant augmente dans un condensateur, plus le vieillissement est notable et plus les éléments parasites du composant deviennent critiques. Clairement, au niveau du condensateur, un problème de fiabilité est à considérer ainsi que le coût plus élevé de technologies performantes en terme d'éléments parasites.
- En outre la gestion de la commutation douce en fonction de l'inductance de fuite et de la taille des condensateurs parasites de sortie des transistors ( $C_{oss}$ ) est un des objectifs de ce chapitre. En effet l'objectif est de trouver un compromis de dimensionnement entre les valeurs d'inductance série, de la capacité parasite de sortie du transistor, du niveau de charge de la structure et du temps mort, pour optimiser le fonctionnement du convertisseur à haute fréquence de découpage et à commutation GaN-GaN.

De ce fait, ce chapitre est orienté autour de la cellule élémentaire DAB à proprement parler, avec pour objectif d'en optimiser le volume, les performances, la compacité, par l'introduction de routages performants, de nouveaux composants, de l'approche capacitive, l'idée étant de valider, sur une cellule élémentaire, un ensemble de choix technologiques et le cas échéant, de faire émerger les points sensibles qui vont nécessiter davantage d'approfondissement d'une structure assez complexe et sa commande associée. Une validation expérimentale à base de composants discrets est présentée pour les différents types des cellules élémentaires afin de vérifier les performances de la structure ainsi que les stratégies de pilotage.

## B. Etude des topologies DAB magnétique et capacitive

Dans cette partie nous avons étudié tout d'abord les principes de fonctionnement et de transfert de puissance dans un convertisseur DAB standard avec coupleur magnétique. Ensuite nous avons étudié l'aspect de remplacement de coupleur magnétique par coupleur capacitif.

### i. Les bases du DAB à couplage magnétique

Comme représenté dans le « chapitre I », le convertisseur Dual-Active-Bridge (DAB) est une topologie avec deux onduleurs en pont complet dont les bornes AC sont reliées entre elles par l'intermédiaire d'un coupleur (magnétique ou capacitif) et une inductance. Le schéma électrique équivalent considéré est comme le suivant (Figure III-2) :

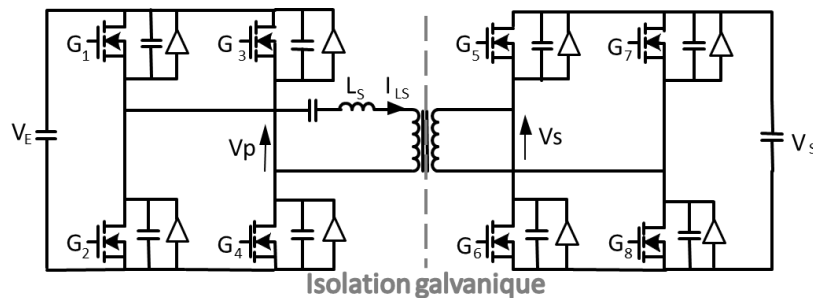


Figure III-2 Le schéma électrique équivalent du convertisseur Dual-Active-Bridge (DAB) avec un coupleur magnétique (transformateur)

Le convertisseur DAB est une structure symétrique, bidirectionnelle en courant et, selon la stratégie de pilotage, il peut fonctionner en mode élévateur (Boost) ou en mode abaisseur (Buck). Les aspects fonctionnels élémentaires du convertisseur DAB sont illustrés dans le schéma bloc suivant (Figure III-3) :

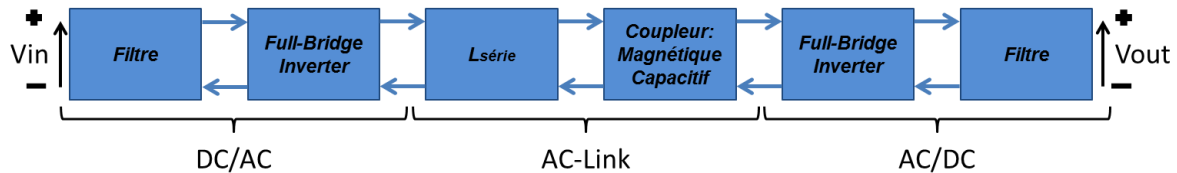


Figure III-3 Le schéma bloc du convertisseur DAB

Les filtres à l'entrée et à la sortie consistent en des condensateurs de découplage afin de stabiliser la tension d'entrée et de filtrer les ondulations de courant produites par les bras de pont primaires et secondaires. Des deux ponts complets en H, l'un fonctionne en mode d'onduleur et l'autre étant exploitée en mode de redresseur. En basse tension, la substitution des diodes par des transistors étant évidente pour profiter du redressement sans seuil, il n'y pas ici de complexité supplémentaire par rapport à un convertisseur à résonance par exemple. Pour une puissance donnée, le stress en tension dans un pont complet est  $V_E$  et le courant dans les transistors est proportionnel à  $I_{L_{série}}$ . Les structures à demi-pont capacitif réduisent le nombre de composants mais modifient les stress appliqués sur les composants [61]. Ainsi dans un demi-pont capacitif, le stress en courant (Figure III-4-a) est  $2I_{L_s}$  alors que pour un redresseur à double enroulement, le stress en tension aux bornes des interrupteurs dans un push-pull (Figure III-4-b) est  $2V_E$ . On voit ainsi qu'il n'y a pas de gain spécifique à attendre de l'une des variantes de la structure en pont complet.

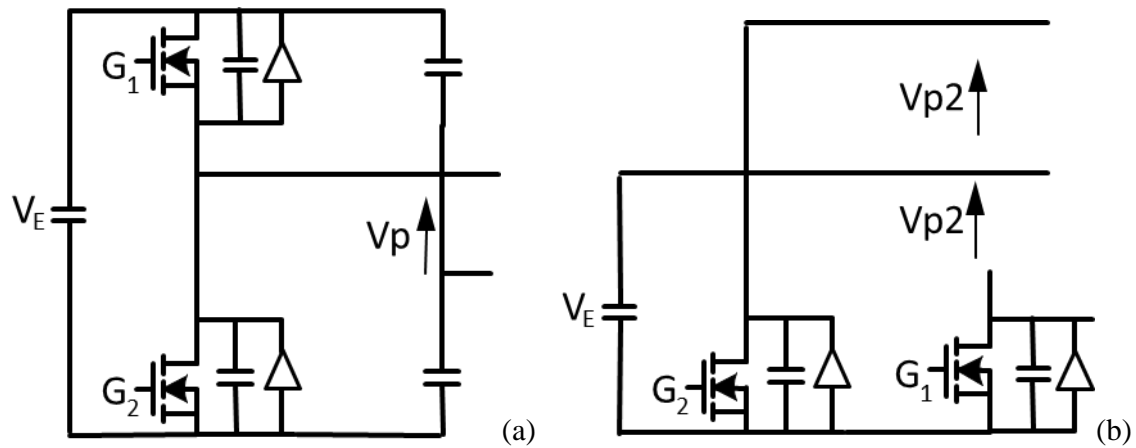


Figure III-4 (a) Le demi-pont capacitif (b) La structure Push-Pull

Les deux onduleurs en pont complet sont pilotés pour générer, dans le AC-Link, un courant alternatif avec un facteur de forme le plus avantageux possible, proche d'un rectangle (dans le cas d'une modulation classique). En outre, à haute fréquence de découpage les deux onduleurs en pont complet exigent une unité de commande rapprochée précise au niveau des temps de commutation, peu de délai de propagation, zéro dispersion des délais, et une immunité forte aux  $dv/dt$ .

Nous avons choisi de faire fonctionner le convertisseur DAB à fréquence fixe pour faciliter la gestion du contrôle de la mise en réseau. Dans notre cas, la commande est basée sur des rapports cycliques de 50% pleine onde, pour ne pas surcharger les développements du côté du contrôle même s'il existe des stratégies pour améliorer les caractéristiques du DAB à certains points de fonctionnement [62] [63]. Le convertisseur DAB fonctionne également en commutation douce (ZVS) au primaire sur une large plage de points de fonctionnement moyennant quelques conditions. Par ailleurs, il dispose de dynamiques de réponse élevées (chapitre II) ce qui autorise un fonctionnement en tout ou rien autour d'un point de fonctionnement optimal moyennant une adaptation des moyens de filtrage associés. A ce sujet dans une certaine plage du point de fonctionnement, le facteur de dimensionnement est particulièrement avantageux lorsque la valeur de courant efficace est la plus proche possible de celle du courant moyen en sortie du convertisseur. Dans ce cas, la densité de puissance transférée est maximale à dimensionnement donné, offrant un meilleur facteur de dimensionnement des composants et du convertisseur.

En contrepartie, la structure du convertisseur DAB est une structure plus lourde à mettre en œuvre compte tenu du nombre de composants actifs utilisés et la prise en main de son fonctionnement est moins immédiate que pour d'autres convertisseurs statiques du même type. Compte tenu de ses dynamiques élevées, le convertisseur DAB est difficile à réguler et son facteur de dimensionnement est très dépendant des plages de variations des tensions au primaire comme au secondaire. A cet effet comme on a pu le voir dans le chapitre précédent, ce convertisseur est optimum dans un contexte opérationnel où le taux de variation de la tension entrée/sortie est très faible. En outre, cette topologie souffre d'un inconvénient important lié à l'efficacité de son fonctionnement en basse tension et à la faible puissance où les pertes dissipées (conduction, commutation, commande et les pertes réactives) deviennent dominantes et peuvent réduire fortement l'efficacité totale du système. Depuis ces dernières années, de nombreuses études sont effectuées sur la conception des stratégies de commande afin d'améliorer le rendement et d'étendre la zone de bon fonctionnement de cette structure [62] [64] [65] [66] [67] [68]. A ce niveau les stratégies qui sont valables pour la haute

tension comme la modulation alternative [62] [64] et/ou le contrôle en fréquences variables [68], ne sont pas considérées ici car nous faisons le choix de confiner la plage de fonctionnement du convertisseur dans une région pour laquelle le fonctionnement pleine onde et à fréquence fixe offre le meilleur compromis.

## ii. Transfert de puissance : l'inductance série et la modulation associée

Dans la structure DAB avec le couplage magnétique, l'inductance série – qui peut être l'inductance de fuite du transformateur dans un cas favorable ou qui peut être un composant discret dans un cas moins favorable – est un élément essentiel du contrôle le transfert de puissance entre la tension AC de l'entrée et celle de la sortie aux bornes du coupleur. De fait, pour le DAB à couplage capacitif, cet élément doit être ajouté en série aux condensateurs de découplage pour le bon fonctionnement du convertisseur. Le réglage du déphasage des signaux de commande de l'onduleur par rapport de ceux du redresseur – le « déphasage » ou « Phase Shifting » qui est considérée comme une fraction de la période de découpage –, est la modulation la plus simple et la plus efficace pour le fonctionnement à pleine charge et pour de faibles variations de tension en entrée et en sortie. L'avantage principal de la modulation en déphasage est sa simplicité car une seule variable est nécessaire pour ajuster le niveau de puissance transférée. C'est important dans le contexte où nous allons mettre en œuvre plusieurs cellules de conversion élémentaires et il est important que le contrôle de chacune reste simple et efficace pour ne pas alourdir la gestion de l'ensemble. Les inconvénients proviennent de la forte dépendance de la valeur du courant efficace ( $I_{eff}$ ) par rapport aux variations de tension entrée/sortie. En effet lors qu'on s'éloigne du fonctionnement avec faible variation de tension entrée/sortie, on perd rapidement le meilleur facteur de dimensionnement à cause de la divergence entre la valeur efficace du courant dans l'inductance série et la valeur moyenne du courant redressé à la sortie. De ce fait, notre stratégie de pilotage des convertisseurs DAB est basée sur le maintien, autant que faire se peut, de la relation (III-1):

$$V_{OUT} \cong n \cdot V_{IN} \text{ (V)} \quad \text{III-1}$$

Où  $n$  est le rapport de transformation entre primaire et secondaire ( $N_2/N_1$ ) dans le cas d'un coupleur magnétique et il est égal à 1 dans le cas d'un couplage capacitif.

### Fonctionnement du DAB :

Le principe de base dans un convertisseur DAB est illustré à la Figure III-5 :

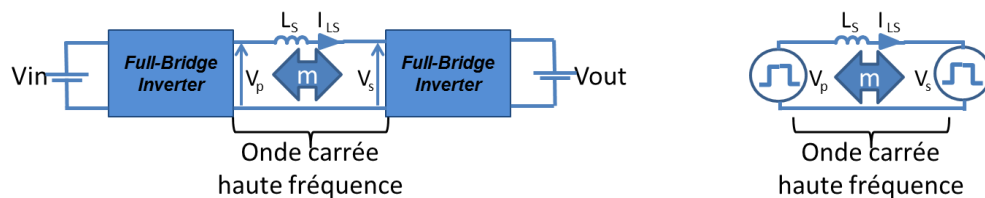


Figure III-5 Le modèle simplifié d'un convertisseur DAB

Pour le fonctionnement en mode classique, la puissance transférée en sortie du convertisseur est contrôlée par le réglage du déphasage  $\Phi$  des commandes de l'onduleur par rapport à celles du redresseur. Dans ce cas, le fonctionnement d'un DAB sur une période de commutation peut être divisé en quatre phases (transistors nommés sur la Figure III-2) :

- Phase 1 :  $0 < t < \Phi.T$ 
  - { ON:  $G_1, G_4, G_6$  et  $G_7$
  - { OFF:  $G_2, G_3, G_5$  et  $G_8$
- Phase 2 :  $\Phi.T \leq t < T/2$ 
  - { ON:  $G_1, G_4, G_5$  et  $G_8$
  - { OFF:  $G_2, G_3, G_6$  et  $G_7$
- Phase 3 :  $T/2 \leq t < (T/2 + \Phi.T)$ 
  - { ON:  $G_2, G_3, G_5$  et  $G_8$
  - { OFF:  $G_1, G_4, G_6$  et  $G_7$
- Phase 4 :  $(T/2 + \Phi.T) \leq t < T$ 
  - { ON:  $G_2, G_3, G_6$  et  $G_7$
  - { OFF:  $G_1, G_4, G_5$  et  $G_8$

Phase	Temps	Transistors ON	Transistors OFF	Vp	Vs	V <sub>L</sub>	$\Delta I_L$
1	$t_0 - t_1$	$G_1, G_4, G_6$ et $G_7$	$G_2, G_3, G_5$ et $G_8$	$n.V_{IN}$	$-V_{OUT}$	$n.V_{IN} + V_{OUT}$	$\frac{n.V_{in} + V_{out}}{L_s} \cdot \varphi.T$
2	$t_1 - t_2$	$G_1, G_4, G_5$ et $G_8$	$G_2, G_3, G_6$ et $G_7$	$n.V_{IN}$	$V_{OUT}$	$n.V_{IN} - V_{OUT}$	$\frac{n.V_{in} - V_{out}}{L_s} \cdot (T/2 - \varphi.T)$
3	$t_2 - t_3$	$G_2, G_3, G_5$ et $G_8$	$G_1, G_4, G_6$ et $G_7$	$-n.V_{IN}$	$V_{OUT}$	$-(n.V_{IN} + V_{OUT})$	$-\frac{n.V_{in} + V_{out}}{L_s} \cdot \varphi.T$
4	$t_3 - t_4$	$G_2, G_3, G_6$ et $G_7$	$G_1, G_4, G_5$ et $G_8$	$-n.V_{IN}$	$-V_{OUT}$	$-n.V_{IN} + V_{OUT}$	$-\frac{n.V_{in} + V_{out}}{L_s} \cdot (T/2 - \varphi.T)$

Tableau III-1 Conditions de fonctionnement du DAB en quatre phases sur la période de découpage

Un exemple de formes d'onde des tensions et du courant aux bornes du transformateur est présenté sur la Figure III-6:

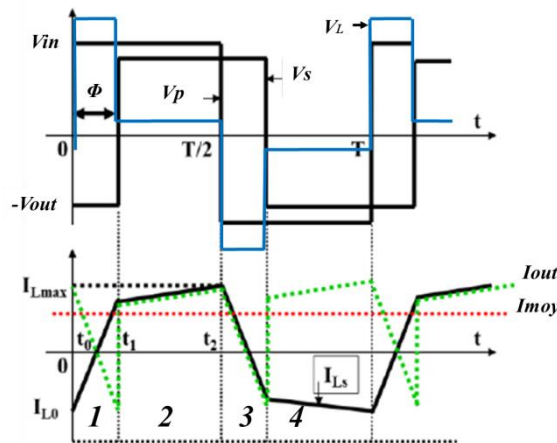


Figure III-6 Formes d'ondes de tension aux bornes du transformateur ainsi que le courant dans l'inductance de fuite pour  $n=1$  [67]

D'après les équations dans le Tableau III-1, le courant maximal  $I_{Lmax}$  et le courant initial  $I_{L0}$  dans le transformateur peuvent être exprimés pour chacune des périodes de commutation lors du fonctionnement en régime permanent (III-2) et (III-3):

$$I_{Lmax} = V_{in} \cdot \frac{[d - (1 - 2\varphi)]}{4 \cdot f_{découpage} \cdot L_{série}} \quad (A) \quad \text{III-2}$$

$$I_{L0} = -I_{Lmax} \quad (A) \quad \text{III-3}$$

A partir des différentes phases de fonctionnement du DAB (Tableau III-1), la forme d'onde et l'expression du courant dans l'inductance sur toute la période peuvent être construites pour trois conditions différentes entre la tension entrée et la tension sortie :  $V_{IN} < V_{OUT}$ ,  $V_{IN} = V_{OUT}$  et  $V_{IN} > V_{OUT}$ :

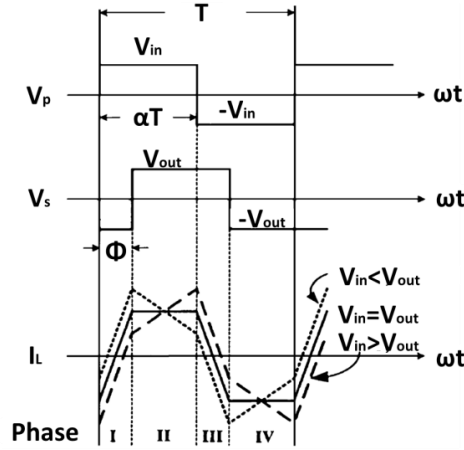


Figure III-7 Evolution des es formes d'ondes du courant dans l'inductance série pour différents rapports entre  $V_s$  et  $V_p$  [69]

De ce fait le courant transmis dans la charge est (III-4):

$$I_{charge} = \frac{1}{T_{découpage}} \int_0^{T_{découpage}} I_{redressé} dt \quad (A) \quad III-4$$

En résolvant cette intégrale [67], les formules du courant de sortie et de la tension de sortie du convertisseur sont représentées dans (III-5) et (III-6) :

$$I_{OUT} = n \cdot (\varphi - 2 \cdot \varphi) \cdot \frac{V_{in}}{f_{découpage} \cdot L_{série}} \quad (A) \quad III-5$$

$$V_{OUT} = I_{OUT} \cdot R_{charge} = n \cdot (\varphi - 2 \cdot \varphi) \cdot R_{charge} \cdot \frac{V_{in}}{f_{découpage} \cdot L_{série}} \quad (V) \quad III-6$$

Où  $\Phi$  est le déphasage entre primaire et secondaire. L'expression de la puissance transférée en fonction des éléments sans pertes est décrite dans la formule (III-7)- :

$$P_{OUT} = V_{OUT} \cdot I_{OUT} = \frac{n \cdot V_{in} \cdot V_{out} \cdot \varphi (1 - 2 \cdot \varphi)}{f_{découpage} \cdot L_{série}} = \frac{n^2 \cdot V_{in}^2 \cdot d \cdot \varphi (1 - 2 \cdot \varphi)}{f_{découpage} \cdot L_{série}} \quad (W) \quad III-7$$

Où  $d$  est le taux de variation entre la tension d'entrée et celle de sortie comme le présente l'équation (III-8) :

$$d = \frac{V_{OUT}}{n \cdot V_{IN}} \quad III-8$$

**N.B.1** : Dans la réalité et dans le cas du déphasage nul ( $\Phi=0$ ) la formulation de la puissance transférée (III-7) est valable si et seulement si le taux de variation en tension est égal à 1 ( $d=1$ ). La Figure III-8 présente la puissance transférée dans un convertisseur DAB depuis le primaire avec la tension d'entrée  $V_{IN}=40V$  vers le secondaire avec une tension de sortie variable dans une gamme de variation  $\pm 25\%$  pour le déphasage nul ( $\Phi=0$ ) [70] [71].

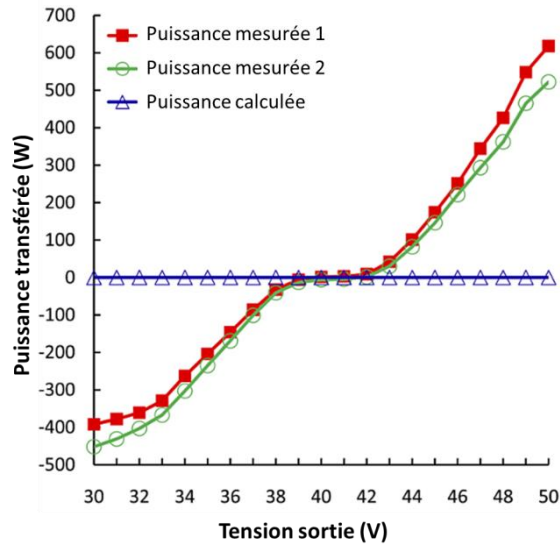


Figure III-8 Puissance transférée pour le déphasage zéro ( $\Phi=0$ ) [70] [71]

A partir de (III-2) et de la Figure III-8, lorsqu'il y a un rapport entre la tension entrée/sortie ( $d \neq 1$ ), même avec un déphasage nul ( $\Phi=0$ ), un courant de circulation est présent dans le système. C'est un courant réactif qui crée des pertes Joules [70] [71].

**N.B.2 :** Le courant magnétisant étant nul en moyenne, il n'intervient pas dans la relation recherchée correspondant à la puissance transférée, on ne prendra donc pas en compte l'inductance magnétisante.

Les équations (III-5) et (III-6) signifient que le déphasage peut changer la direction du transfert de puissance (Figure III-9).

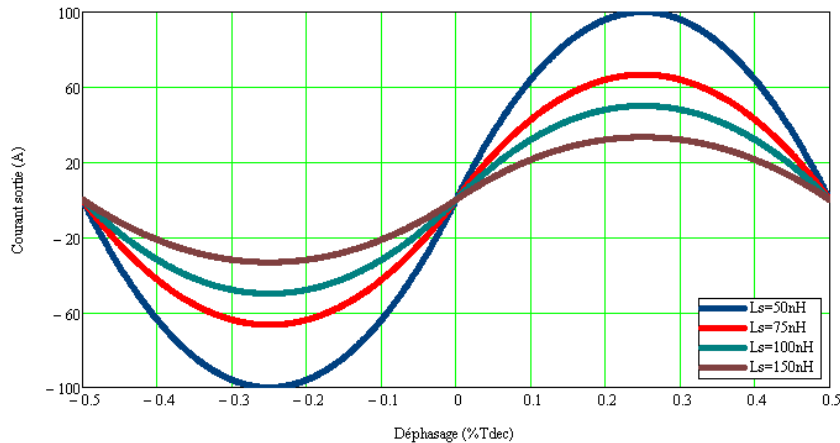


Figure III-9 Signe et amplitude du courant dans l'unité intermédiaire (AC-Link) en fonction du déphasage ( $V_{IN} = V_{OUT} = 40\text{V}$  et  $F_{\text{dec}} = 1\text{MHz}$ )

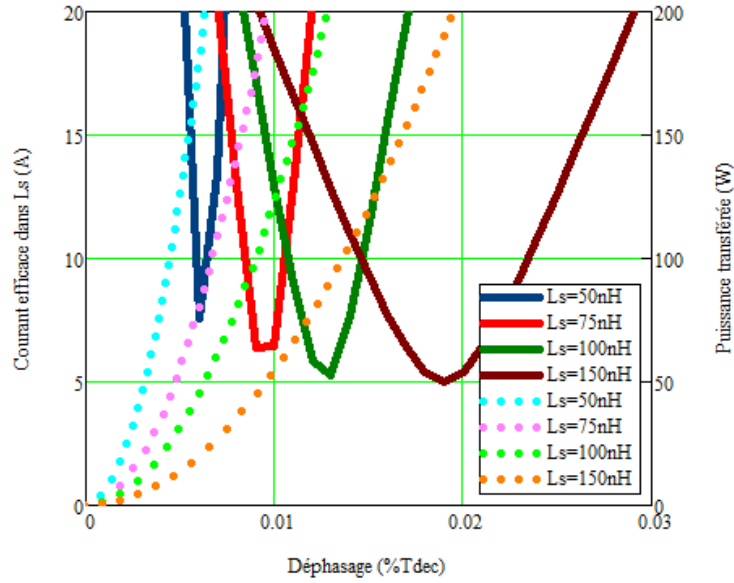


Figure III-10 Courant efficace dans l'inductance série (traits pleins) et la puissance transférée (traits pointillés) en fonction du déphasage ( $V_{IN}=40V$ ,  $V_{out}=40V$   $P_{IN}=200W$  et  $F_{d\acute{e}c}=1MHz$ )

La puissance transférée est fortement liée au couple inductance série/fréquence de découpage. (III-7). Ainsi, la valeur de puissance transférée maximale reste fixe une fois que l'inductance série et la fréquence sont définies (III-9) [63] :

$$P_{MAX} = \frac{V_{IN}^2 \cdot V_{OUT}^2}{4 \cdot n^2 \cdot f_{d\acute{e}coupage} \cdot L_{s\acute{e}rie} \left( V_{IN}^2 + \frac{V_{IN} \cdot V_{OUT}}{n} + \frac{V_{OUT}^2}{n^2} \right)} \quad (W) \quad III-9$$

L'efficacité associée à ce transfert d'énergie est maximum si la valeur efficace du courant dans l'inductance série est la plus proche possible de la valeur moyenne du courant redressé, ce qui est le cas lorsque la forme du courant dans l'inductance série est rectangulaire. A chute de tension nulle dans les composants, cette condition est valable quand la tension d'entrée est égale à la tension sortie aux bornes du AC link ( $d=1$ ) ce qui conditionne que ni la tension d'entrée ni la tension de sortie n'évoluent pas dans des proportions importantes. De ce fait la valeur de l'inductance série est fortement conditionnée par la plage de variation tolérée entre la tension d'entrée et la tension de sortie. Comme évoqué dans le précédent chapitre, l'approche de mise en réseau de cellules de conversion élémentaires permet de prendre en charge une partie des variations de tension entre l'entrée et la sortie à l'échelle du réseau pour couvrir les contraintes du cahier des charges. De fait, une faible variation de tension aux bornes de chaque cellule est possible. Dans ce cas, l'inductance peut être réduite voire intégrée dans le transformateur dans le cas d'un coupleur magnétique. Cette condition limite le stockage et la circulation d'énergie réactive dans le composant magnétique [72]. A cet égard les parties surlignées dans la Figure III-11, représentent la circulation du courant et donc proportionnellement les pertes réactive pour un grand déphasage en rouge et ensuite pour un faible déphasage en bleu [73] [74] :



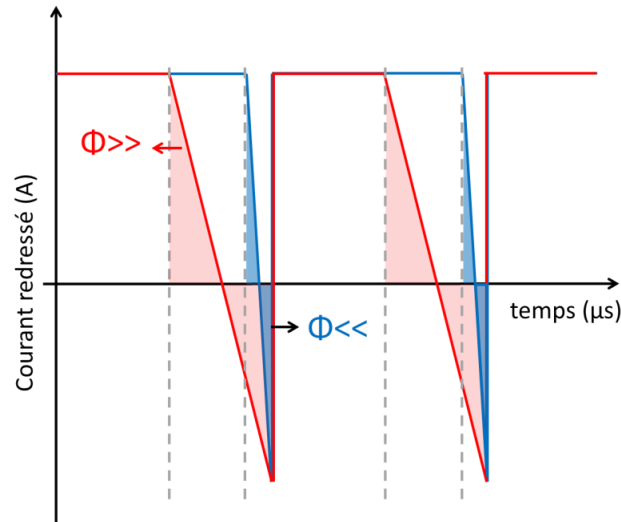


Figure III-11 Schéma de la circulation du courant réactif dans le transformateur en fonction de déphasage

Par voie de conséquence, un faible déphasage est nécessaire pour faire fonctionner le convertisseur DAB avec le meilleur rendement. En contrepartie, une attention particulière doit être portée, selon la fréquence de découpage, à la précision des instants de commutation. Il s'avère alors qu'il est nécessaire d'avoir un déphasage et une synchronisation des commandes des parties primaire et secondaire de puissance de l'ordre de la nanoseconde pour pouvoir fixer le fonctionnement du DAB à son rendement maximal à haute fréquence, c'est-à-dire au-delà de MHz. Cet aspect peut être contraignant puisqu'une commande de bonne résolution exige un module de contrôle plus performant aux niveaux des temps de commutation, des délais de propagation et des dispersions sur ceux-ci.

### Les points critiques correspondant au transfert d'énergie dans le DAB :

Afin de déterminer la proportion de la puissance réactive par rapport à la puissance active, [68] et [67] ont proposé de calculer le rapport  $G$  entre le courant maximal dans le transformateur et le courant moyen de sortie du convertisseur. A tout niveau de la puissance donnée, le rapport  $G$  est une fonction du rapport de conversion de tension et de la réactance de fuite (III-10) :

$$G = \frac{I_{max}}{I_{moy}} = \begin{cases} \frac{2}{\frac{V_s}{m \cdot V_e} \cdot x_L} \left( \frac{V_s}{m \cdot V_e} - \sqrt{1 - x_L} \right), & \frac{V_s}{m \cdot V_e} \geq 1 \\ \frac{2}{\frac{V_s}{m \cdot V_e} \cdot x_L} \left( 1 - \frac{V_s}{m \cdot V_e} \cdot \sqrt{1 - x_L} \right), & \frac{V_s}{m \cdot V_e} < 1 \end{cases} \quad \text{III-10}$$

A partir de (III-10) et afin de minimiser le rapport  $G$  et donc pour éviter des pertes réactives supplémentaires, il faut minimiser la variation de tension aux bornes du transformateur. A partir de l'équation (III-6) nous pouvons constater que la tension de sortie peut être réglée avec les modifications du déphasage  $\Phi$  quand les valeurs de l'inductance série et de la fréquence sont fixées. Pour une puissance donnée le rapport entre le courant maximum et le courant moyen dans l'inductance série ( $I_{MAX}/I_{MOY}$ ), à inductance de fuite donnée, est minimum quand la tension d'entrée du transformateur est égale à sa tension de sortie ( $d=1$ ) prenant en compte le rapport

primaire/secondaire du transformateur et en négligeant les chutes de tension dans les composants (Figure III-12).

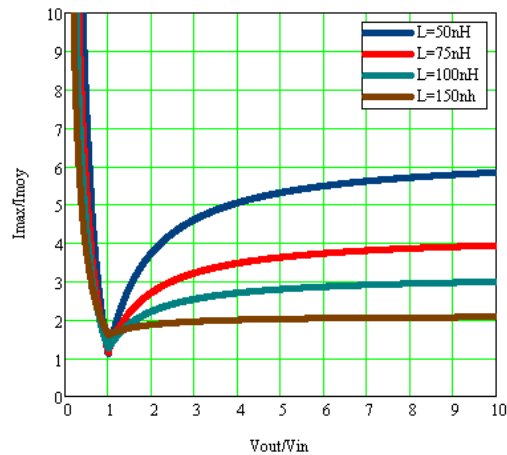


Figure III-12 Rapport  $G=I_{MAX}/I_{MOY}$  en fonction de rapport de tension pour différentes valeurs d'inductance de fuite

La Figure III-12 montre que quand l'inductance série augmente d'un facteur 3 (de 50nH à 150nH), au point  $V_{OUT}=n.V_{IN}$ , le rapport  $I_{MAX}/I_{MOY}$  varie avec un facteur entre 60% à 80%, ce qui n'est pas gênant au niveau de la performance. En revanche le facteur entre le déphasage optimum correspondant à l'inductance série la plus grande (e.g.  $L_S=150nH \rightarrow \Phi=2\%$ ) et le déphasage optimum pour l'inductance série la plus faible (e.g.  $L_S=50nH \rightarrow \Phi=0.6\%$ ) n'est pas négligeable et correspond quasiment au facteur de croissance de l'inductance série (Figure III-13). Les Figure III-13 et Figure III-14 présentent l'évolution du rendement du convertisseur en fonction de l'angle de déphasage pour différentes valeurs de l'inductance de fuite. Ces valeurs ont été calculées analytiquement pour un convertisseur dont la tension d'entrée est de 40V pour une puissance sortie donnée de 200W et la fréquence de découpage de 1MHz. La Figure III-13 montre que les pertes réactives sont moins importantes quand l'inductance série est plus petite et donc quand le déphasage correspondant est plus faible. La figure montre aussi que pour mettre en œuvre de fortes variations de tension entrée/sortie à haut rendement, l'inductance de fuite nécessaire doit être suffisamment grande pour que la plage de variation du déphasage dans laquelle le rendement reste supérieur de 90% soit suffisamment large. Par ailleurs le rendement est plus élevé quand le rapport de conversion de tension sortie/entrée est égale à 1 en fonction du déphasage, quel que soit la valeur de l'inductance de fuite, et cela en négligeant les chutes de tension dans les divers composants.

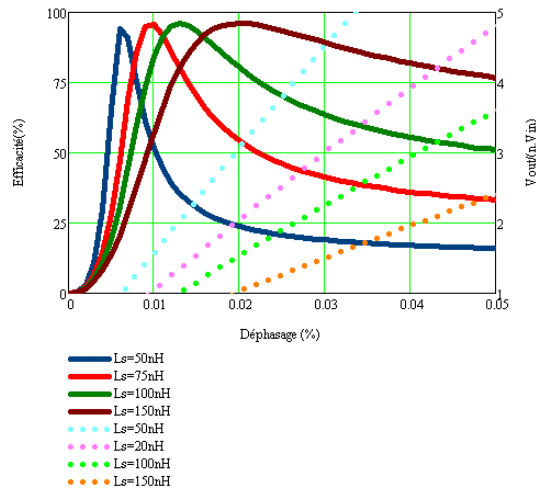


Figure III-13 Rendement et rapport de tension en fonction du déphasage dans un DAB pour différentes valeurs de l'inductance série

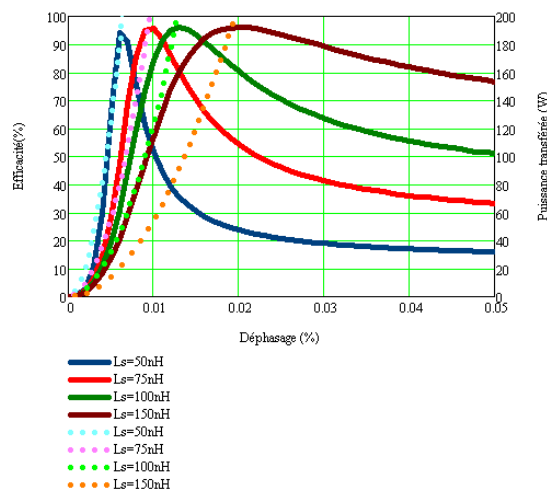


Figure III-14 Rendement et puissance transférée en fonction du déphasage dans un convertisseur DAB pour différentes valeurs de l'inductance série

En revanche d'après (III-9), la valeur de l'inductance de fuite doit donc être suffisamment petite pour, à fréquence de découpage donnée, que la puissance maximale nécessaire soit atteinte [62]. En outre plus l'inductance de fuite est faible, plus la plage de réglage de  $\Phi$  est étroite, ce qui augmente la difficulté vis-à-vis de la précision des ordres de commande les uns par rapport aux autres. Les Figure III-13 et Figure III-14 nous permettent de valider l'idée d'imaginer des applications à faible plage de variation de tension d'entrée par rapport à celle de sortie pour cette structure de conversion DAB afin d'exploiter toutes ses performances tout en assurant toujours un bon rendement et une simplicité de contrôle.

Le dimensionnement de l'inductance série est le défi le plus important dans cette structure de conversion. Le contenu de plusieurs travaux de recherche [75] [76] [61] [77] [78] [79] [74] [80] [81] qui concernent la conception et le fonctionnement de convertisseur DAB consiste au dimensionnement du transformateur haute fréquence incluant l'inductance série afin d'améliorer la qualité du transfert d'énergie. Dans plusieurs applications de conversion DC, le transformateur haute fréquence a été utilisé plutôt pour simplifier l'interconnexion primaire/secondaire quand

l'isolation galvanique n'est pas demandée [82] [83] [84] [85]. Dans de tels cas, une solution alternative et structurelle peut être investiguée si et seulement si le transformateur HF n'est pas obligatoire, c'est-à-dire:

- L'isolation galvanique n'est pas spécifiée (application basse tension : PV, PAC, BMS ...)
- La variation de tension sortie/entrée est négligeable ( $V_{IN}$  et  $V_{OUT}$  restent DC parfaites)
- Le rapport de transformation demandé est égal à 1 (en utilisant par exemple les associations en entrée et en sortie d'un réseau pour gérer le rapport de transformation de l'application finale)

Dans la prochaine partie nous analyserons l'alternative correspondant à une topologie DAB à couplage capacitif afin d'augmenter la performance du convertisseur en éliminant le coupleur magnétique dans la structure de chaque cellule élémentaire.

Éliminer le transformateur d'isolation galvanique de la structure de conversion DAB, permet d'augmenter l'efficacité et la performance de la conversion d'énergie. En revanche, cela conduit à perdre l'isolation galvanique entre primaire et secondaire ce qui n'est compatible qu'avec certaines applications donc *pas toujours*. Autre point important, le retrait du composant magnétique permet d'envisager de monter encore la fréquence de découpage de la cellule élémentaire, celle-ci n'étant plus limitée par les caractéristiques et performances des matériaux magnétiques à haute fréquence. En revanche, cela conduit à renforcer les contraintes sur les ordres de commande et leurs précisions.

En effet pour arriver au but de la thèse, il faut bien connaître les caractéristiques des composants GaN et aussi les performances de commutation de ces composants à différents niveaux du courant.

### iii. DAB capacitif (couplage capacitif)

Le transformateur haute fréquence mis en œuvre dans les DAB est un composant contraignant (Annexe III-1). Or, dans l'approche des réseaux de convertisseurs, le rapport de transformation est assuré par les associations PISO des cellules élémentaires. Si l'isolation galvanique n'est pas requise par le cahier des charges, il devient possible, sous certaines conditions spécifiques évoquées dans la partie précédente de substituer le coupleur magnétique par un coupleur capacitif.

Le transformateur peut être remplacé par un coupleur capacitif, composé de :

$2^1 \times$  (condensateur de découplage en série + inductance série)

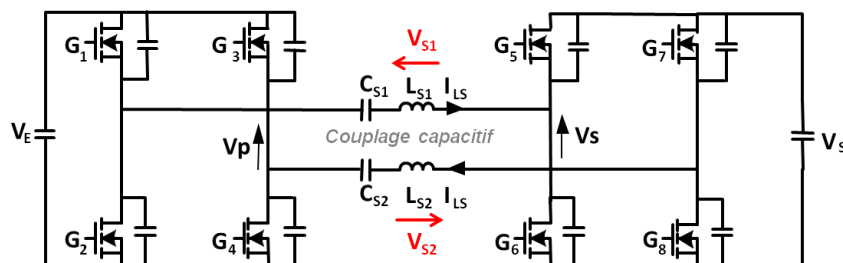


Figure III-15 Convertisseur DAB-C (capacitif)

<sup>1</sup> Nous utilisons deux fois l'ensemble de  $C_{série}$  et  $L_{série}$  pour respecter la symétrie de deux bras intermédiaires entre primaire et secondaire (voir Figure III-15)

Une étude et des analyses similaires sont maintenant proposées pour le DAB à couplage capacitif, à l'image de ce qui a été effectué pour le DAB à couplage magnétique dans les derniers paragraphes.

Dans la Figure III-16, la courbe correspondant à la variation de la capacité d'un condensateur céramique en fonction de la température a été représentée. Au gré de cette caractéristique, la capacité ne change quasiment pas entre 25°C et 125°C. Au contraire la capacité varie de -50% quand la température monte de 125°C jusqu'à 175° pour un condensateur céramique.

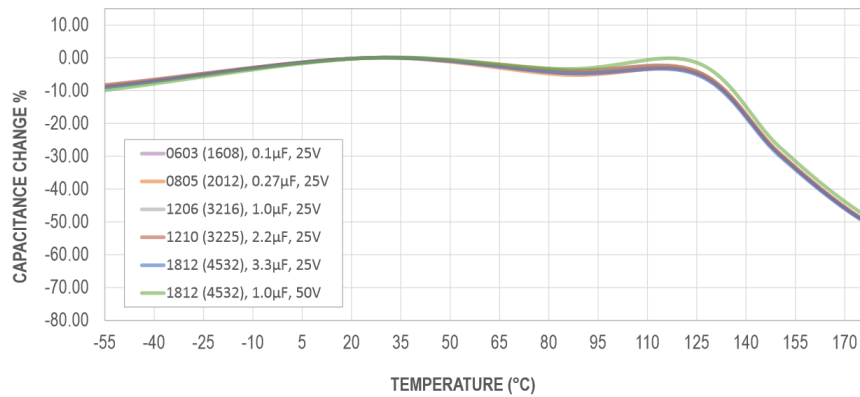


Figure III-16 Variation de la capacité en fonction de la température (mesure sous 25V DC – boîtier 1210) [86]

A l'opposé, un condensateur haute température (200°C) [87] a été étudié dans le but de le comparer avec celui BT° [86]. Depuis la Figure III-17, la capacité reste identique dans tout l'intervalle de température.

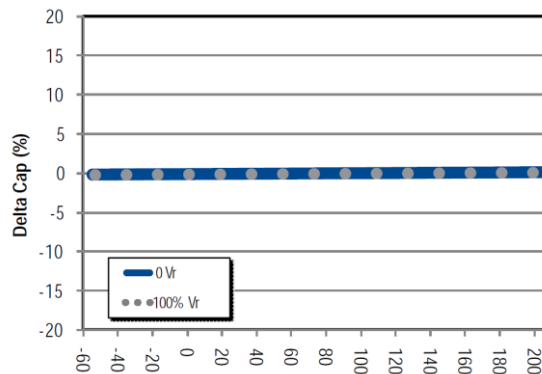


Figure III-17 Variation de la capacité (1µF) en fonction de la température (mesure sous 25V DC – boîtier 2220) [87]

De plus, la variation du volume d'un condensateur standard (150°C) par rapport à un condensateur haute température (200°C) est beaucoup plus faible que pour un composant magnétique (un taux de 30%).

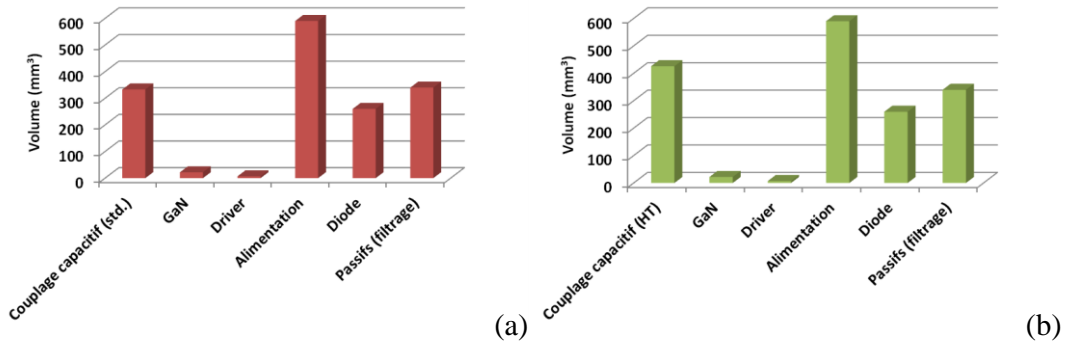


Figure III-18 Volumes des composants dans un convertisseur DAB-C (a) @1MHz et 150°C (b) @1MHz et 200°C

Comme dit dans la partie précédente, l'efficacité et le facteur de dimensionnement du DAB sont optimum quand la variation de tension entrée/sortie du convertisseur est très faible (e.g.  $\leq 5\%$ ). La démarche des réseaux de convertisseurs présentée dans le « chapitre II » nous permet d'atteindre cet objectif en terme de la performance de conversion DC avec une très faible variation de tension entrée/sortie aux bornes de chaque cellule élémentaire, en jouant sur le nombre de cellules composant le réseau. Le condensateur de découplage dans un convertisseur DAB capacitif est dimensionné en fonction de la relation (III-11):

Où  $I_{Smoy}$  est le courant moyen dans le condensateur de découplage pour une demi-période et  $\Delta V_{Cs}$  est la variation de tension autorisée aux bornes du condensateur (crête-à-crête). Cette variation de tension doit être inférieure de 5% afin d'éviter une forte interaction avec les formes d'ondes en courant du convertisseur.

Un convertisseur DAB capacitif est basé sur le découplage électrostatique entre primaire et secondaire. Dans ce cas, le condensateur de découplage est dimensionné afin de tenir le niveau de tension maximum entre primaire et secondaire. Plus la différence de potentiel entre tensions primaire et secondaire est élevée, plus la tenue en tension des condensateurs formant le coupleur capacitif est importante [88] et donc le volume du composant plus important. La Figure III-19 représente le volume de deux transformateurs (CM2-1R et EFD18-8-5) et quelques condensateurs de  $1\mu F$  avec différentes valeurs de tenue en tension (10V – 600V). Enfin sur la Figure III-19, une courbe représente l'évolution du volume des condensateurs en fonction de leur tenue en tension, une tendance qui semble évoluer au carré de la tension, à l'image de la quantité d'énergie stockée dans le composant en fonction de la tension - cf la relation  $CV^2$ .

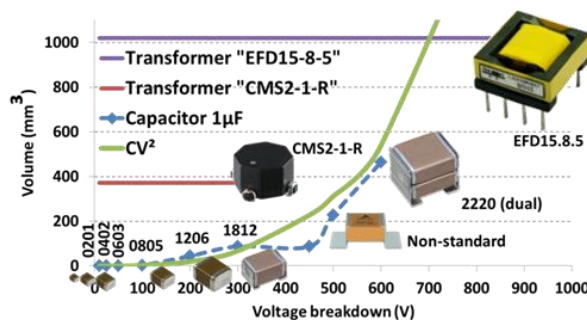


Figure III-19 Volumes correspondant aux composants passifs (magnétiques et capacitifs) en fonction de leur tenue en tension

$$C_S = \frac{I_{S_{moy}} \cdot \alpha \cdot T}{\Delta V_{C_S}} \text{ (F)} \quad \text{III-11}$$

En éliminant le transformateur de l'unité intermédiaire, les pertes spécifiques liées à ce composant magnétique sont supprimées. De ce fait et puisque le convertisseur DAB commute en mode doux (ZVS), la fréquence de découpage peut être augmentée presque sans limites au-delà du MHz afin de minimiser la taille des autres composants passifs ( $C_{\text{filtrage}}$ ,  $C_{\text{série}}$  et  $L_{\text{série}}$ ).

#### iv. ZVS/ZCS

Etant donné que la fréquence de découpage peut être fixée au-delà de MHz, rester dans la zone de commutation douce est très important car en haute fréquence, les pertes de commutation sont notables. Certains paramètres ont besoin d'être traité avec attention au niveau du composant et de la commande associée.

A cet effet afin d'atteindre la commutation douce (ZVS) du transistor dans un bras d'onduleur, la charge stockée dans la capacité parasite sortie du transistor  $C_{\text{OSS}}$  doit être déchargé à travers l'inductance série  $L_S$  dans la capacité parasite sortie du transistor complémentaire dans le même bras d'onduleur.

Vis-à-vis de ces faits, le temps-mort doit être suffisant pour que cette action de décharge et charge de  $C_{\text{OSS}}$  se passe avant la fermeture effective des transistors. Le temps-mort minimum peut être estimé à partir de la fréquence de résonance entre l'inductance série  $L_S$  et la valeur de capacité parasite de deux transistors  $C_{\text{OSS}}$  dans un bras d'onduleur (III-12) :

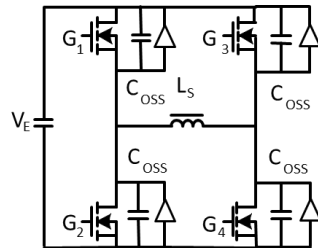


Figure III-20 Schéma équivalent du circuit LC d'un pont complet en H : l'inductance série et deux capacités parasites sorties en série ( $2x C_{\text{OSS}}/2$ )

$$t_d \geq \frac{1}{4} \cdot T_0 = \frac{\pi \cdot \sqrt{L_S \cdot C_{\text{OSS}}}}{2} \text{ (S)} \quad \text{III-12}$$

A ce stade l'étude il est bon de rappeler le choix de la technologie GaN au lieu du silicium pour les transistors (chapitre I). La Figure III-21, représente aussi ces points forts de ces nouvelles technologies de composants de puissance :

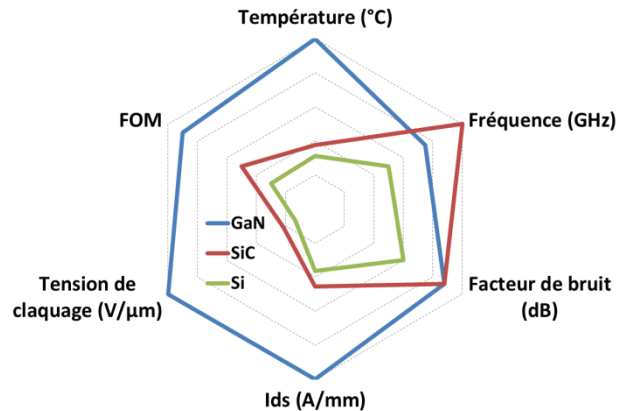


Figure III-21 Un comparaison synthétiques entre GaN FET et Si MOS-FET et SiC-FET [89]

Comme dit au « chapitre I », le composant GaN n'a pas de diode body, ce qui est un avantage et un inconvénient. C'est un avantage car il n'est pas nécessaire de s'en soucier et de la court-circuiter le cas échéant. C'est un inconvénient car à ces niveaux de tension, seules les diodes Schottky en silicium sont compétitives ce qui signifie que, pour s'en sortir, la commutation GaN-GaN est de rigueur. Le problème c'est qu'au-delà du MHz, la gestion de la commutation GaN-GaN devient critique et fait naître une nouvelle problématique, celle du pilotage des transistors.

En effet le transistor GaN avec des fronts de montée et de descente très élevés génère de forts niveaux de  $dV/dt$  (slew rate). Afin de bénéficier de la totalité des avantages exceptionnels d'un composant GaN, le design spécifique du circuit de pilotage, dédié à l'application pont en H, à haute vitesse avec forte immunité au  $dV/dt$ , est nécessaire. Cette dernière discussion fera l'objet du dernier chapitre (ASIC Quad-gate driver).

L'absence de la diode roue-libre à l'intérieur du composant GaN-HFET, exige donc un temps mort très court pour éviter une longue durée de conduction inverse du transistor (mode diode de composant GaN [90]) car c'est plus contraignant et plus pénalisant qu'une diode body au niveau de la chute de tension et des pertes supplémentaires associées. Ensuite, quand la conversion d'énergie correspond à un niveau d'énergie très bas avec une charge très faible, le  $C_{oss}$  ne peut pas se décharger complètement et conséquemment la commutation douce se perd [65] [61] [81] [91]. De fait, il reste important de garder le niveau de puissance dans chaque cellule élémentaire à un niveau satisfaisant pour garantir la commutation douce des transistors.



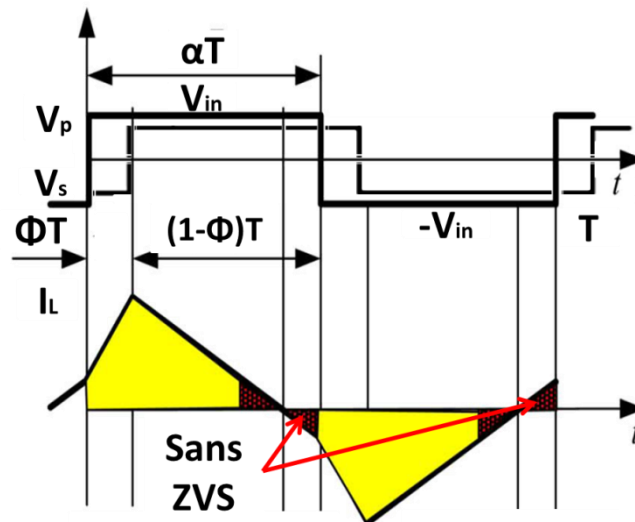


Figure III-22 Exemple de commutation dure à très faible charge et faible transfert d'énergie

Malgré tout, le composant GaN-HFET avec une très faible valeur de la capacité parasite de sortie  $C_{oss}$  peut toujours fournir les conditions nécessaires pour la commutation douce même à faible puissance si et seulement si la dimension de l'inductance série  $L_s$  est suffisamment petite, pour deux raisons : baisser le déphasage primaire-secondaire et diminuer la valeur du temps mort minimum.

A ce stade-là, un pilotage parfait devient de plus en plus attractif afin de minimiser le délai de propagation ainsi qu'éliminer la dispersion entre les signaux de commande HS et LS pour maîtriser le temps mort entre ces deux transistors afin d'obtenir le ZVS dans toute la plage de fonctionnement ainsi assurer la dynamique de contrôle et de déphasage du convertisseur.

Enfin en haute fréquence, la maîtrise des éléments parasites correspondants aux composants actifs tels que l'inductance parasites de la maille de commutation, la résistance des pistes du circuit imprimé, la capacité parasite sortie des transistors ainsi que celle des diodes roue-libre deviennent plus en plus importants. A cet effet, les paramètres concernant la commande des transistors de puissance, comme le délai de propagation, la dispersion de la commande entre le HS et LS (*mismatching*) et le temps mort, ont une influence importante sur l'efficacité. Le délai de propagation et le mismatching seront abordés dans la partie de conception du Gate Driver correspondant au transistor de puissance (Chapitre IV, Figure IV-1). Pour autant, le temps mort et le déphasage sont des facteurs extérieurs dynamiques, à régler afin de rester dans la zone optimale de commutation douce ZVS/ZCS dans un convertisseur DAB.

### C. Validation en circuit discret avec composants commerciaux

Cette section représente le cahier des charges et les perspectives pour la réalisation de la cellule élémentaire du convertisseur (DAB-M et DAB-C) pour l'approche RC ainsi que la mise en œuvre des stratégies de commande et de configuration des prototypes dans le cadre de cette thèse. La phase de prototypage a conduit à la mise en œuvre de 5 versions en fonction des types de composants et de couplage mis en œuvre. Dans ce contexte, des parties technologiques seront évaluées.

- Le bras d'onduleur avec MOS complémentaires (P-N), et couplage magnétique
- Le bras d'onduleur avec MOS N-N, et couplage magnétique

- Le bras d'onduleur avec les composants GaN associés à des diodes de roue-libre, et couplage magnétique
- Le bras d'onduleur GaN-GaN sans diode de roue libre et couplage magnétique
- Le bras d'onduleur GaN-GaN sans diode de roue libre et couplage capacitif

Ceci nous permettra de faire une comparaison quasi-exhaustive sur leurs caractéristiques suite aux expérimentations au niveau de l'efficacité, de la simplicité et du volume en regard de leur performance.

Dans cette partie nous allons exploiter le travail de mise en œuvre et de contrôle commande développé et appliqué à la gestion des énergies renouvelables via des cellules élémentaires tout d'abord sans mise en place dans l'approche RC. La partie débutera par une présentation du cahier des charges choisi suivant les étapes de conception et de prototypage de cellule élémentaire.

### **i. Cahier des charges**

Ci-dessous rappel des éléments importants du cahier des charges comme abordé dans le premier chapitre.

Paramètres	Valeurs
Tension d'entrée	40V
Courant entrée	5A
Tension sortie	40V±5%
Puissance à transférer	200W
Rendement souhaité	>95%
Fréquence de découpage	1MHz

Tableau III-2 Cahier des charges déterminé pour la conversion DC-DC

Dans la perspective d'une mise en œuvre via l'approche réseaux de convertisseurs et d'une association parallèle/série, chaque cellule de conversion est conçue telle que le rapport de transformation primaire secondaire est unitaire.

### **ii. Prototypage**

La structure DAB étant symétrique au niveau de ses parties primaire et secondaire, elle permet d'utiliser la même configuration de pont complet en H pour réaliser l'onduleur et le redresseur. Au niveau de la commande, 4 signaux générés par deux modules PWM sont nécessaires pour piloter chacun de ces bras d'onduleurs.

Les deux signaux de chaque module PWM, peuvent être complémentaires ou indépendants selon l'exigence de type de bras d'onduleur (respectivement MOS P-N ou MOS N-N). Dans tous les prototypes nous avons utilisé un microcontrôleur de la gamme dsPIC33 qui génère les signaux de commande. Le développement, la programmation et le codage MPLab a été fait par M. Boris Franitch et M. Thierry Creuzet au sein de la startup Freemens à Grenoble.

Les pertes statiques de ce type de microcontrôleur ont été identifiées dans le Tableau III-3 :

Fd (kHz)	1000	500	200
Iin (A)	0.2	0,193	0,190
Vin (V)	3.3	3.3	3.3
Pin (W)	0.66	0,64	0,63

Tableau III-3 La consommation de la commande éloignée

Dans les prochaines parties, les différents prototypes sont présentés au niveau des spécificités du cahier des charges, des choix et dimensionnement des composants, de conception et de routage des cartes électriques et enfin les tests et une analyse comparative. Dans la Figure III-24, l'algorithme correspondant à toutes ces étapes de prototypage est représenté.

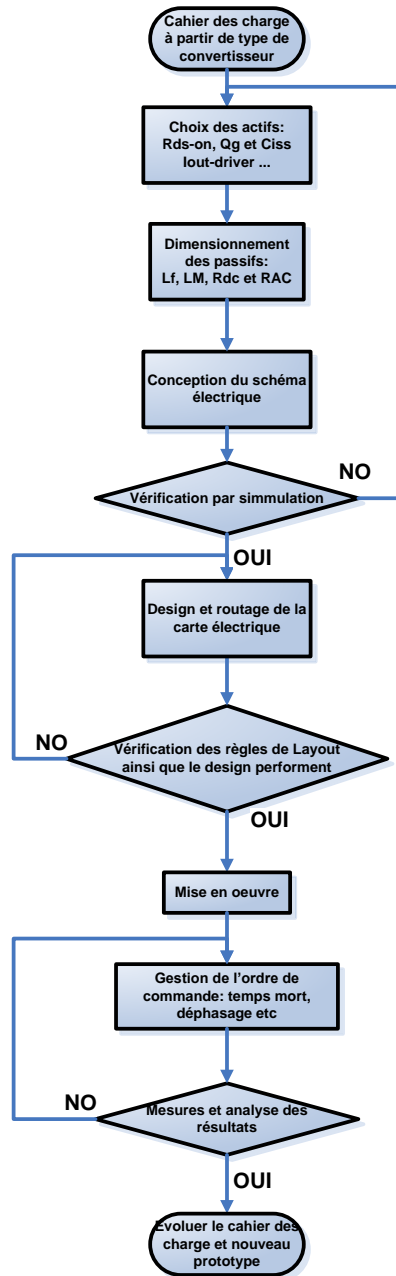


Figure III-23 Processus de prototypage

Dans cette phase, certaines règles générales et exigences ont été établies quelques soit le transistor et/ou le driver associé. Ci-après quelques points les plus importants et certaines façons de gestion remarquable pour optimisation du design et de la mise en œuvre des cartes électriques HF/HT° avec un haut niveau de performance sont présentés en résumé :

- **L'aspect thermique**

L'utilisation de dissipateur n'a pas été retenue dans le travail de conception et dimensionnement. De ce fait nous avons souvent utilisé le plan de cuivre avec un drain thermique des composants, en remplissant les espaces vides entre les composants. Cette stratégie n'est pas utilisée pour les pistes avec potentiels flottants (e.g. les points milieux de chaque bras d'onduleur) pour limiter les propagations de perturbations électromagnétiques.

La valeur approximative utilisée pour les calculs pour dimensionner les surfaces d'échange thermique est  $5 \text{ cm}^2$  pour dissiper  $1 \text{ W}$  ( $200 \text{ mW/cm}^2$  en convection naturelle). A ce sujet pour améliorer la dissipation, les vias métallisés ont été utilisés afin d'augmenter la conduction thermique entre les deux faces du PCB et donc augmenter la surface des échanges thermiques.

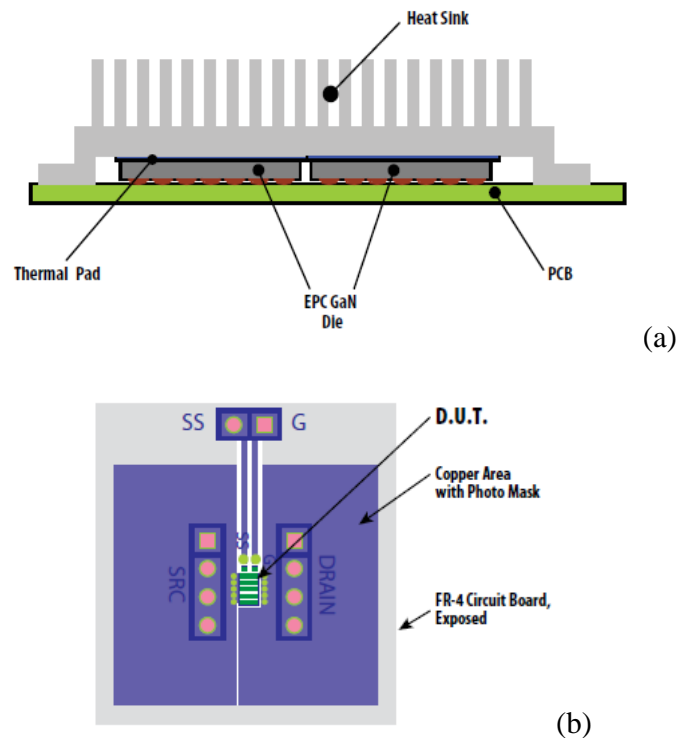


Figure III-24 Exemples pour la dissipation des pertes de composant de puissance (a) avec un dissipateur discret (b) 1 pouce carré de PCB [92]

- **L'aspect CEM**

On distingue deux modes de couplage différents faisant intervenir des phénomènes distincts utilisant des chemins différents. On aura donc la CEM conduite et la CEM rayonnée [31]. Les nombreuses normes imposées aux fabricants ont pour but de limiter les émissions des produits ou leur sensibilité au rayonnement local. Les sources d'émission des perturbations de mode différentiel sont les boucles de courant de puissance dans les pistes du circuit (Figure III-26 et Figure III-27). Ces perturbations génèrent des champs magnétiques qui pourront induire des tensions dans les conducteurs environnants. A cet effet dans le *layout* il faut prendre garde à ne pas créer des mailles. Pour cela, des interconnexions en T ou étoile sont préférées comme illustré à la Figure III-25.

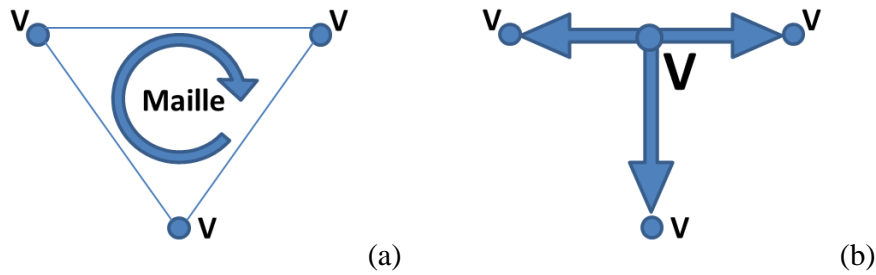


Figure III-25 (a) design maille ; (b) design étoile

Une zone importante dans la structure de convertisseur DAB afin de contrôler la CEM générée, est la maille de commutation. Lors de la commutation des transistors, des courants circulent dans les pistes reliant le condensateur de découplage aux transistors. Les commutations successives seront à l'origine de forts  $di/dt$  et la boucle formée par les pistes de puissance générera alors un champ magnétique qui rayonnera dans l'environnement du circuit et pourra induire des tensions dans les autres boucles du circuit ou tout autre conducteur. De ce fait il faut faire l'effort pour que la boucle créée par la maille de commutation soit minimisée et que la géométrie de cette boucle ne favorise absolument pas l'émission et le rayonnement des perturbations électromagnétiques sur les autres parties du circuit électrique (puissance /commande). En effet la réduction des surfaces de boucle garantira la réduction des inductances de piste.

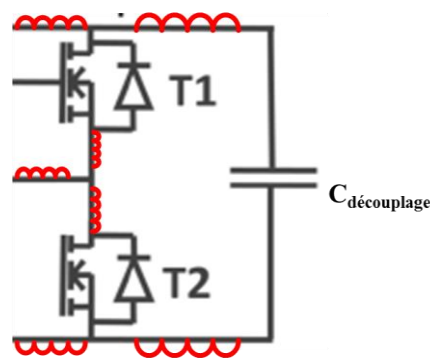


Figure III-26 Un bras d'onduleur avec le condensateur de découplage correspondant

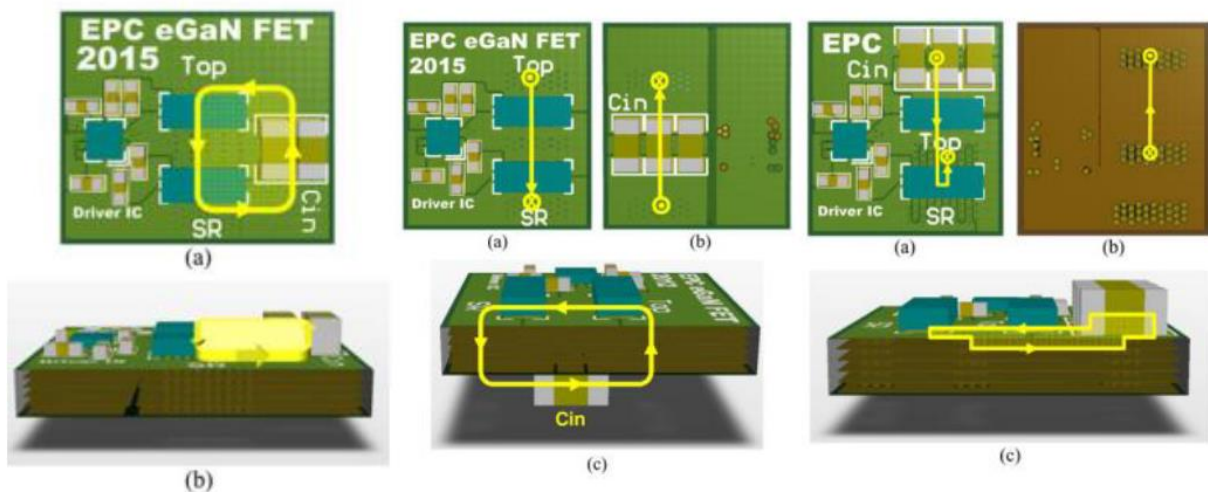


Figure III-27 Différentes façons d'interconnecter des transistors GaN dans un bras d'onduleur et un driver *Half-Bridge* associé [93]

En outre, d'un point de vue pratique, les perturbations de mode commun sont générées par les  $dv/dt$  et utilisent comme canal de transmission les capacités parasites présentes dans les circuits (capacités parasites d'entrées des composants actifs ainsi que les capacités parasites entre les pistes avec les potentiels flottants). La commutation haute fréquence des interrupteurs va alors exciter ces capacités parasites et générer des courants qui pourront perturber les autres éléments du montage. A cet effet le routage optimum des pistes est aussi important que le choix des composants avec de faibles valeurs de capacité parasite d'entrée (mode commun). De plus, éviter de superposer des pistes à potentiels flottants avec fort  $dv/dt$  vis-à-vis des potentiels DC (source DC ou GND) est fondamental dans ce contexte pour empêcher de créer les capacités parasites de mode commun et donc les courants modes commun à travers de ces capacités parasites.

- **Isolation de l'ordre de commande**

Comme dit plus haut, l'élaboration d'un circuit de contrôle centralisé à partir d'un microcontrôleur type dsPIC permet de gérer l'ensemble du système et générer les ordres de commande. Malgré tout, le transfert d'ordres de commande à des éléments placés à différents potentiels, est un point important à traiter. Afin de résoudre cette problématique, plusieurs solutions ont été proposées dans la littérature comme l'optocoupleur [94] ou l'isolation optique [32], le transformateur d'impulsion [95] ou le circuit avec auto-alimentation [96].

Dans notre cas une quatrième solution, l'isolation capacitive, peut être utilisée afin de transmettre les ordres de commande isolés aux transistors situés au niveau du secondaire de la structure, soit le redresseur (via leurs drivers). Ce choix a été fait en raison de sa simplicité de mise en œuvre et de son efficacité lorsque le découplage entre les deux références de potentiel est stable (Figure III-28). En effet, dans notre cadre les potentiels de références, c'est-à-dire les sources des transistors de puissance sont à des potentiels stables, et le rapport cyclique de commande est fixe et égal à 0,5 ce qui simplifie le transfert d'ordre et autorise la mise en œuvre d'un découplage capacitif.

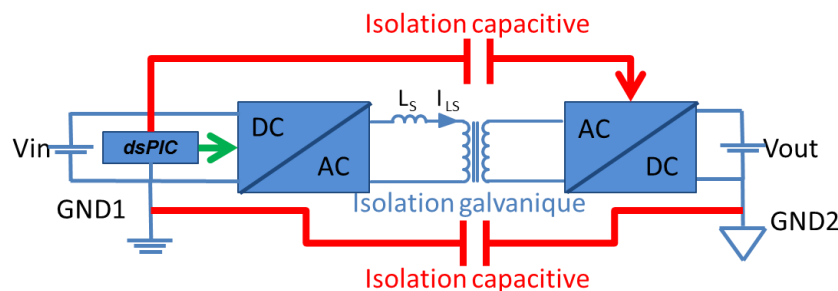


Figure III-28 Schéma de commande du DAB

La valeur du condensateur qui concerne l'isolation capacitive d'ordres de commande peut être calculée à partir de relation III-13 :

$$C_{isolation} = 10 \cdot \frac{I_{input\_logique\_driver}^{0,5}}{f_{decoupage} \cdot \Delta V_{ordres}} \text{ (F)} \quad \text{)III-13}$$

Quand  $I_{input\_logique\_driver}$  est le courant d'entrée du driver pour niveau logique 1 et  $\Delta V_{ordres}$  est l'amplitude des signaux de commande envoyé vers le driver au secondaire. Le rapport 10 est utilisé pour assurer l'ondulation de tension en expérimental plus faible que la valeur souhaitée.

- **Les éléments parasites sur la grille du transistor**

Comme dit plus haut, l'ordre de commande a été généré par un microcontrôleur type dsPIC33, 64 bits de Microchip. La fréquence de découpage est réglable via le programme du microcontrôleur. Dans notre cas la fréquence varie entre 200 kHz et 1 MHz selon le type des transistors FETs utilisés dans le prototype ainsi que le type de couplage entre primaire et secondaire. En hautes fréquences les formes d'ondes de la tension  $V_{GS}$  et du courant  $I_G$  peuvent être modifiées via les inductances parasites présentes dans la maille de commutation et la maille de commande (Figure III-30). Les pistes du circuit de grille pouvant être relativement longues, l'inductance parasite associée peut devenir critique (Figure III-29). A cet égard quelques soit le type de transistor et le driver associé, la longueur des pistes entre la sortie du driver et la grille du transistor doit être la plus courte possible afin de minimiser l'inductance parasite, la résistance parasite et diminuer la boucle de la maille de commande (Figure III-27 et Figure III-29). Egalement, la longueur des pistes séparant le driver de sa capacité de découplage doit être la plus faible possible. De ce fait dans tous les prototypes présentés dans ce chapitre, la grille des transistors est sans la résistance de grille. Ayant une très faible inductance parasite, la faible valeur de la résistance de grille à l'entrée des transistors (e.g.  $0.6\Omega$  pour une composant GaN-EPC deuxième génération [97]) est suffisante pour amortir la surtension de  $V_{GS}$  causée par ces faibles inductances parasites comme illustré dans la Figure III-30. Le point le plus critique dans cet aspect est de contrôler la surtension ( $< 6V$ ) à l'entrée d'un composant GaN-EPC.

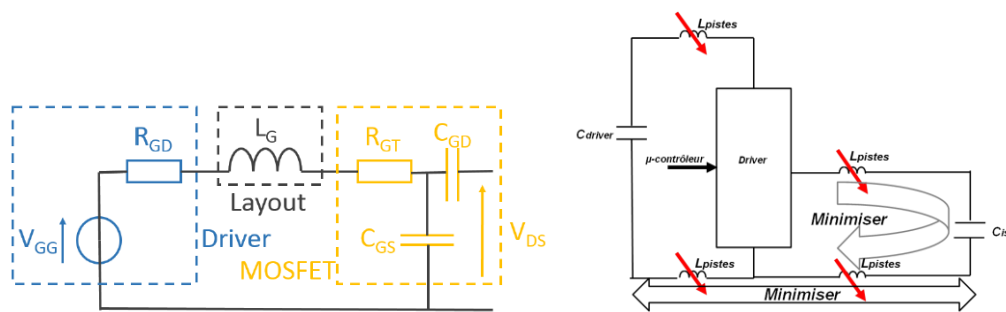


Figure III-29 Le circuit de grille modélisé

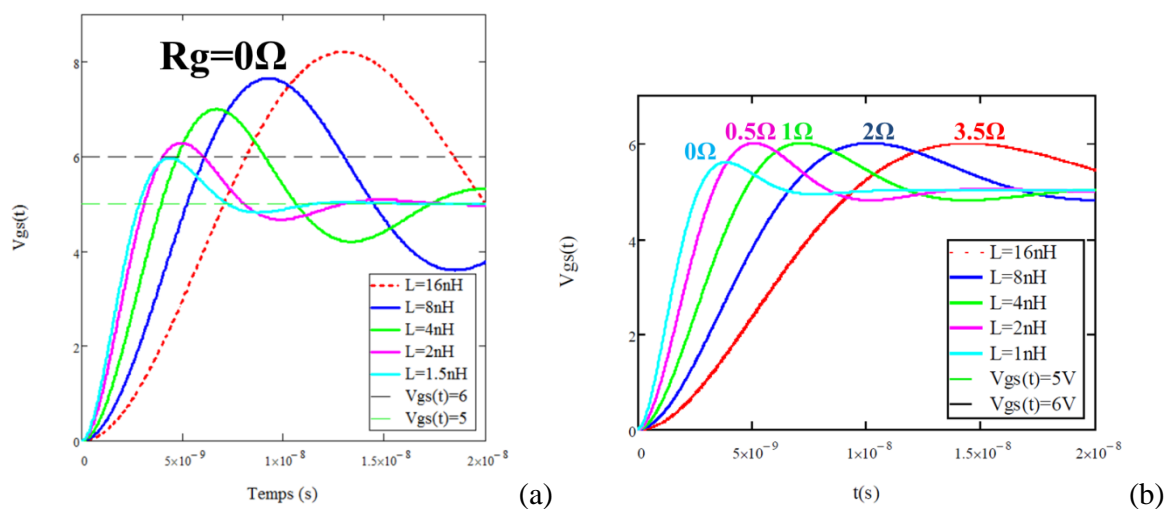


Figure III-30 Impact de l'inductance parasite sur le temps de réponse ainsi que la surtension sur la grille par rapport au potentiel de source ( $V_{GS}$ ) [61] : (a) grille de transistor en court-circuit avec le driver associé ; (b) mettant en œuvre de différentes valeurs de résistance de grille pour contrôler la surtension, pour différentes valeurs d'inductances parasites [40]

---

Dans la Figure III-30 – extraite des travaux de thèse de M. Johan Delain [31] – le ralentissement du temps de réponse avec ou sans résistance de grille est illustré. Dans la Figure III-30(a),  $L=1.5\text{nH}$  correspond à l'inductance parasite du boîtier du transistor GaN-EPC dont la résistance de grille du transistor est  $0.6\Omega$ . Ce couple est suffisant pour maintenir la tension  $V_{GS}$  dans la zone sécurisée ( $< 6\text{V}$ ). A cet effet, chaque nH ajouté correspond à 1mm de longueur supplémentaire des pistes entre le pad de sortie du driver et le pad de grille du transistor. Par exemple si la somme des inductances parasites atteint 5nH (équivalent de 0.5 cm de longueur de piste aller/retour entre le driver et le transistor) pour un transistor GaN dans lequel la capacité parasite  $C_{GS}$  vaut 1040 pF, la surtension qui apparaît sur le front montant est de 2 V ce qui fait passer la tension  $V_{GS}$  au-delà de 6V (Figure III-30(a), courbe verte). A cet égard, mettre en œuvre une résistance de grille entre le driver et le transistor peut être un premier choix. En revanche ce choix n'est pas l'optimum car la résistance va ralentir encore le temps de réponse ainsi que diminuer le pic de courant de sortie du driver.

Ces éléments soulignent l'importance de minimiser les éléments parasites dans le système de pilotage du transistor. Selon les études effectuées dans [61] avec le logiciel<sup>1</sup> Inca 3D, la valeur de l'inductance parasite correspondante à une piste inférieure de 0.7 mm, est négligeable. En revanche pour les pistes au-delà de cette longueur, pour chaque mm ajouté, l'inductance de parasite augmente à peu près 1 nH.

A cet effet afin d'optimiser la performance de commutation du transistor GaN, il faut faire les mêmes efforts coté condensateur de découplage et mettre le condensateur au plus près au driver.

- **Choix des composants et dimensionnement du transformateur**

Dans cette partie expérimentale nous avons essayé de décrire quelques relations générales pour faire le choix des composants ainsi que le dimensionnement du transformateur.

- **Transistors :**

Le choix de transistors est basé, pour première étape, sur les critères comme le courant moyen  $\bar{I}_D$ , la tension maximale drain-source  $V_{DS\text{max}}$ , la résistance de l'état passant  $R_{DS\text{-on}}$ , les capacités parasites d'entrée et de sortie  $C_{iss}/C_{oss}$  ainsi que la charge électrique de grille  $Q_g$  et enfin les paramètres comme la résistance thermique jonction-ambiante, la tension de seuil, et la variation de la caractéristique en fonction de la température, etc. Pour cela les relations (III-25) (III-27) dans l'Annexe III-2 sont utilisées pour calculer les pertes. Tout d'abord il faut définir la valeur des pertes maximales envisagées pour chaque type de pertes. A partir de la littérature nous avons sorti une proportion souhaitée entre les différentes pertes dans un convertisseur DAB à haute fréquence de découpage, basse tension, avec le rapport de transformation égal à 1 (ce choix est arbitraire et il est fait pour un cas général sans prendre en compte les conditions de fonctionnement spéciales comme ZVS/ZCS, etc). De ce fait il peut être modifié en fonction de chaque cas d'étude :

---

<sup>1</sup> Logiciel de modélisation des éléments parasites du circuit électrique développé au G2Elab



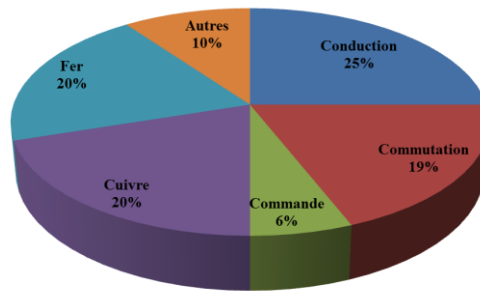


Figure III-31 Répartition arbitraire des différents types de pertes dans un DAB

Selon la Figure III-31 et les modèles de pertes définis en Annexe III-2, les deux valeurs de la résistance  $R_{DS-ON}$  et de la charge de grille  $Q_g$  peuvent être les deux paramètres décisifs pour le choix du transistor :

$$Q_g \leq \frac{P_{commande}}{V_{GS} \cdot N \cdot f_{découpage}} \text{ (C)} \quad \text{III-14}$$

$$R_{DS} \leq \frac{P_{conduction}}{N \cdot I_{D_{eff}}^2} \text{ (\Omega)} \quad \text{III-15}$$

Où N est le nombre de composant (8 dans notre cas).

○ **Driver :**

Pour le Gate Driver, certaines caractéristiques comme la tension d'alimentation correspondant au cahier des charges, le délai de propagation faible et le minimum de dispersion du transfert des ordres de commande pour les HS et LS sont importants. Au niveau package, compte tenu des contraintes liées aux inductances parasites, le type de boîtier et ses caractéristiques sont également importants. En revanche dans un driver, le courant de sortie (source / sink) est la caractéristique la plus importante et décisive pour le choix de composant.

○ **Dimensionnement du transformateur :**

Dans la partie III.B.ii les principaux critères du transformateur et de l'inductance de fuite correspondante mis en œuvre dans une structure de conversion DAB ont été introduits. A cet égard trois différents transformateurs ont été dimensionnés et réalisés – l'un pour le prototype MOS P-N avec son cahier des charges spécifique, un second spécifiquement pour le prototype MOS N-N et enfin un dernier pour les trois autres prototypes et GaN (coupleur magnétique avec/sans diode roue-libre et coupleur capacitif) avec leur cahier des charges associé – au sein des travaux de cette thèse.

Le premier prototype « transformateur I » type EFD15/8/5 – 3F3 – 5 Spires [98] [60, p. 3], a été dimensionné pour un cahier des charges 15V/5A et pour un fonctionnement en haute fréquence (0.5 MHz) mettant en œuvre une forte valeur de l'inductance magnétisante afin de réduire l'ondulation de courant magnétisant, bonne valeur de l'inductance de fuite pour optimiser le transfert de puissance et une faible résistance série DC ainsi que la résistance AC pour minimiser les pertes cuivre (DC+AC). Le cahier des charges a été présenté dans le Tableau III-7. Les spires sont constituées de fil de Litz ayant des brins isolés électriquement les uns des autres afin de minimiser l'effet de peau dans le conducteur. Pour avoir au maximum 5-6 A.mm<sup>-2</sup>, à courant nominal, la section de fil Litz utilisée est de 0.8mm<sup>2</sup>.

Afin d'optimiser le transfert d'énergie dans le « transformateur I », le dimensionnement d'une bonne valeur de l'inductance de fuite est pertinent. A partir des introductions décrites au début de ce chapitre, un déphasage optimal  $\beta_{optimal}$  doit être choisi (comme par exemple 1% de la période de découpage). De ce fait, la valeur optimale de l'inductance de fuite peut être calculée à partir de la relation (III-16) :

$$L_{fuite_{totale}} = \frac{2 \cdot V_{DC} \cdot \beta_{optimal}}{f_{découpage} \cdot \Delta I_{L_{fuite}}} = \frac{2 \cdot 15 \cdot 0.01}{500e + 3 \cdot 10} = 60 \text{ nH} \quad \text{III-16}$$

Où  $\Delta I_{L_{fuite}} = I_{L_{max}} - I_{L_0}$  (10A dans le meilleurs cas) dans la Figure III-6 est calculé à partir des relations (III-2) et (III-3). Pour obtenir une telle valeur d'inductance de fuite, il faut ensuite jouer sur la position des enroulements les uns par rapport aux autres jusqu'à ce que l'inductance soit proche de la valeur désirée. En effet, ces petites valeurs d'inductance de fuite sont difficiles à caler théoriquement et nous avons opté pour une recherche de solution purement expérimentale.

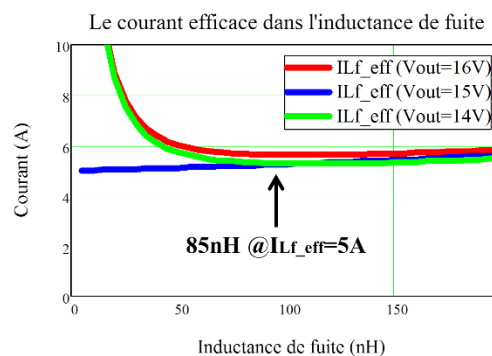


Figure III-32 Courant efficace dans l'inductance de fuite en fonction de la valeur de l'inductance de fuite @  $V_{in}=V_{out}=15V$ ,  $P_{out}=75W$  (Mathcad)

Afin de calculer le nombre des spires au primaire et au secondaire du « transformateur I », il nous faut définir une valeur souhaitée de l'ondulation du courant magnétisant (comme par exemple 10% du courant maximal de puissance : 0.5A) :

$$L_M = \frac{V_{in} \cdot \alpha}{\Delta I_L \cdot f_{déc}} = \frac{15 \cdot 0,5}{2 \cdot 0,5 \cdot 500e + 3} = 15 \mu H \quad \text{III-17}$$

$$N = \sqrt{\frac{L_M}{A_l}} = \sqrt{\frac{15e - 6}{780e - 9}} = 4.5 \rightarrow 5 \text{ spires} \quad \text{III-18}$$

Le noyau utilisé pour fermer le circuit magnétique du « transformateur I », est de type 3F3, ce qui rentre dans la gamme des noyaux moyennes fréquences – avec des pertes spécifiques raisonnables et compatibles avec le cahier des charges jusqu'à 500 kHz voir maximum 700 kHz – ainsi que moyennes températures – avec la variation faible de la perméabilité relative jusqu'à 150°C voire maximum 175°C – pour le fonctionnement optimal à 80°C pour la fréquence de découpage de 500 kHz. La Figure III-33 – obtenue par le manip de traceur de courbe hystérésis avec O. Ghibaud – représente la variation du champ magnétique – pour une ondulation de courant magnétisant avec le pic de 0.5 A,  $\Delta I_{pic-pic}=1$  A – ainsi que la variation de l'induction électromagnétique dans le noyau EFD15/8/5-3F3 ( $B_{MAX}=440$  mT à 25°C et 370mT à 100°C –  $H=1200A/m$ ) pour le cahier des charges suivant :  $V_{DC}=15$  V,  $F_{découpage}=500$  kHz à 25°C.

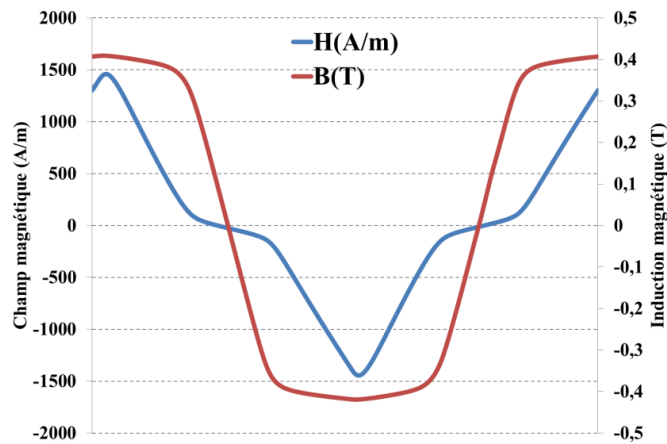


Figure III-33 Champ magnétique et l'induction magnétique dans le noyau EFD15/8/5-3F3-5 spires (transformateur I) @500kHz – 25°C :  $V_{IN} = V_{OUT} = 15V$

La courbe d'Hystérésis correspondante est présentée dans la Figure III-34.

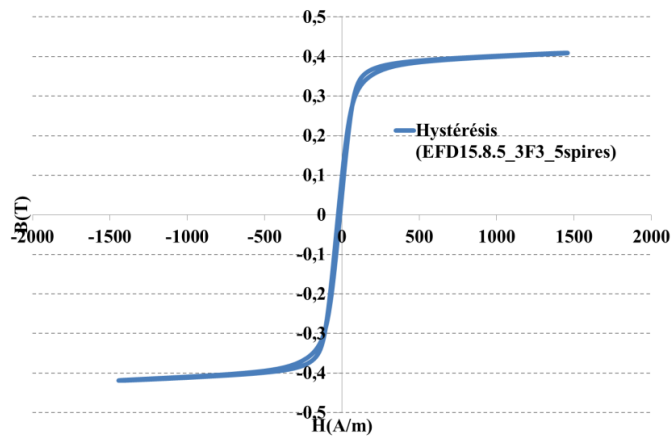


Figure III-34 Courbe d'Hystérésis de noyau EFD15/8/5-3F3-5 spires

Comme illustré dans la Figure III-34, la courbe d'hystérésis est étroite à 0.5MHz. A cet effet les pertes hystérésis dans ce transformateur sont très réduites. De ce fait les paramètres obtenus après réalisation du « transformateur I » sont présentés dans le Tableau III-4 et Figure III-35 :

Paramètre	Unité	Valeur
Noyau	-	EFD15/8/5 – 3F3
Nombre des spires au primaire/secondaire	-	5/5
Section de fil Litz	mm <sup>2</sup>	0.8
Inductance magnétisante @500kHz	μH	20.70
Inductance de fuite @500kHz	nH	82.60
Résistance série de l'enroulement	mΩ	9.92
Résistance AC des spires @500 kHz	Ω	1.72

Tableau III-4 Caractérisations du « transformateur I » EFD15/8/5-3F3-5 spires

Les caractéristiques du « transformateur I » obtenues par impédancemètre sont présentées dans la Figure III-35 :

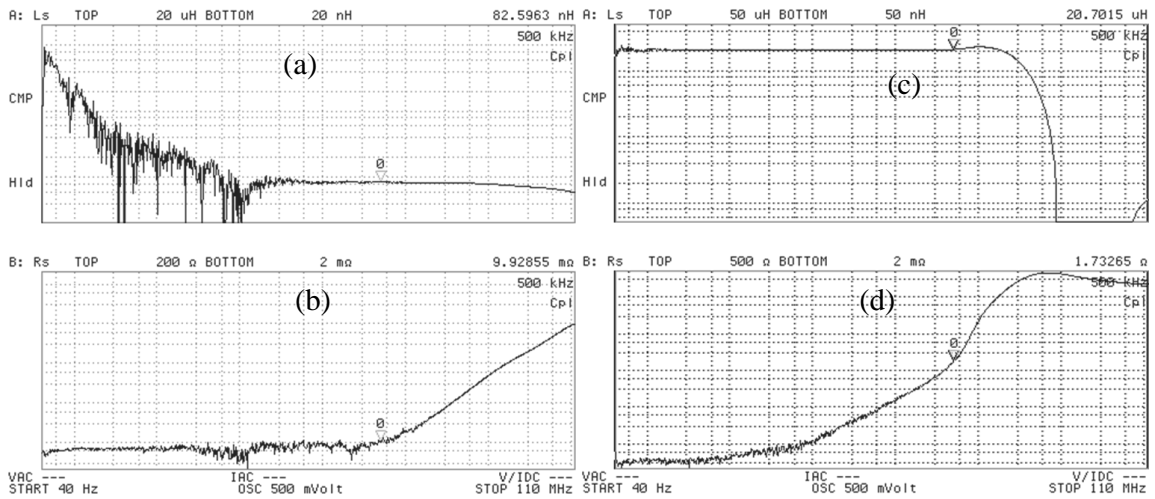


Figure III-35 Caractéristiques du « transformateur I » EFD15/8/5 – 3F3 – 5 spires : (a)  $L_f$ , (b)  $R_{DC}$  (ESR), (c)  $L_M$  et (d)  $R_{AC}$

De la même façon, le second transformateur (« transformateur II ») correspondant à notre cahier des charges désiré – représenté dans le Tableau III-12 – pour le prototype MOS N-N @500-700 kHz a été construit. Les caractéristiques du noyau 3F3 restent toujours compatible pour un fonctionnement à 500 kHz et jusqu'à 150°C. En revanche une spire a été ajoutée sur le même transformateur pour à la fois éviter la saturation du noyau 3F3 avec une tension plus élevée aux bornes du transformateur et pour baisser l'ondulation du courant magnétisant dans le transformateur quand la tension d'alimentation a été augmentée par rapport du cahier des charges dans le premier cas d'étude. Les paramètres du « transformateur II » sont illustrés dans le Tableau III-5 et Figure III-37 :

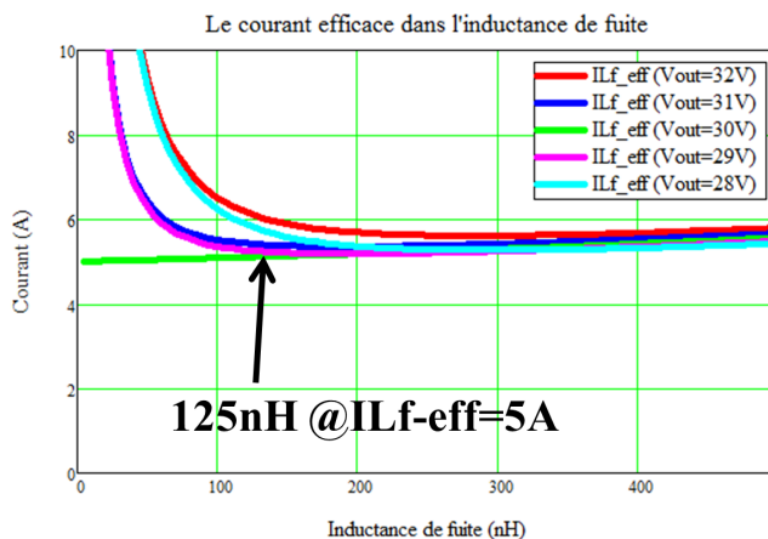


Figure III-36 Valeur optimale théorique de l'inductance de fuite pour le « transformateur II »

Paramètre	Unité	Valeur
Noyau	-	EFD15/8/5 – 3F3
Nombre des spires au primaire/secondaire	-	6/6
Section de fil Litz	mm <sup>2</sup>	0.8
Inductance magnétisante @500kHz	μH	20.37
Inductance de fuite @500kHz	nH	120
Résistance série des spires	mΩ	23
Résistance AC des spires @500 kHz	Ω	2.3

Tableau III-5 Caractérisation du « transformateur II » EFD15/8/5-3F3-6 spires

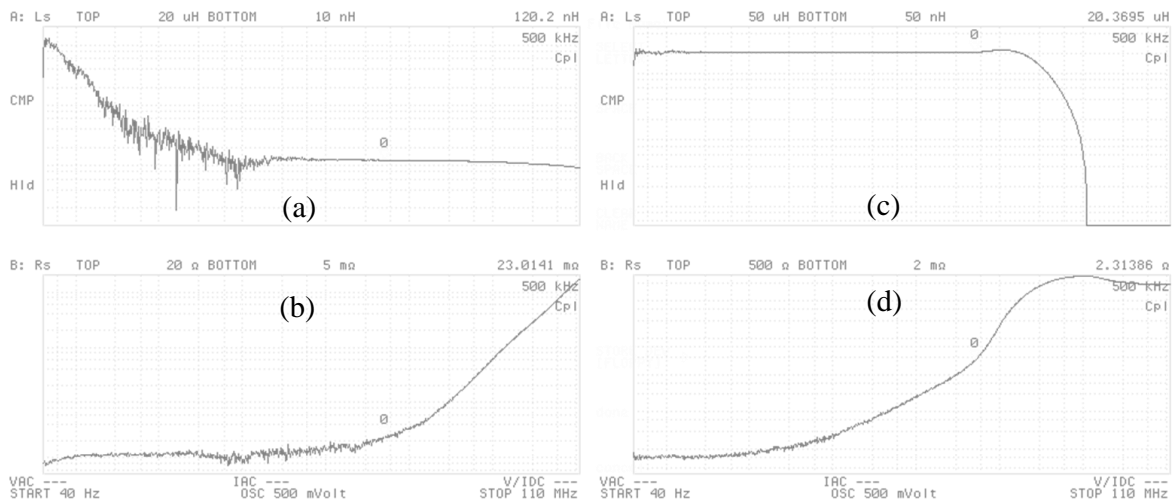


Figure III-37 Caractéristiques du « transformateur II » EFD15/8/5 – 3F3 – 6 spires (a)  $L_f$ , (b)  $R_{DC}$  (ESR), (c)  $L_M$  et (d)  $R_{AC}$

Enfin, pour dimensionner le « transformateur III » correspondant au cahier des charges désiré – 30V/5A @1MHz – qui ne concerne que les prototypes GaN, les valeurs souhaitées de l'inductance de fuite et l'inductance magnétisante ont été calculées à l'aide du fichier Mathcad qui sont égales respectivement à 185 nH et 25 μH.

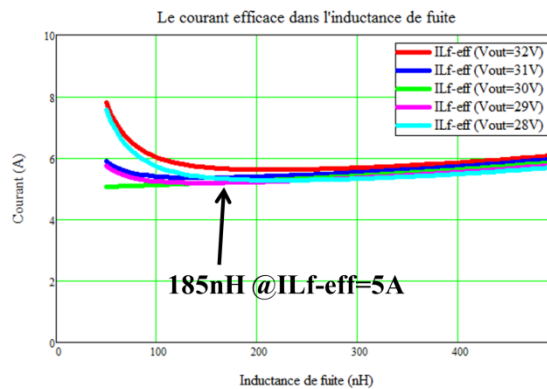


Figure III-38 Valeur optimale de l'inductance de fuite pour le « transformateur III »

A ce sujet le noyau précédent (EFD15/8/5 – 3F3) n'est plus le noyau adapté au cahier des charge désiré @1MHz/HT° (175°C). De ce fait un noyau type MPP (Molybdenum Permalloy Powder) « CM234125 » HF/HT° (1MHz/>175°C) avec la perméabilité magnétique très faible ( $\mu_r = 125$ ,  $Al = 105 \text{ nH/N}^2$ ) ainsi qu'une induction maximum élevée ( $B_{\text{max}} = 700 \text{ mT}$ ) a été choisi. De plus la conductivité électrique de ce type de noyau MPP est très faible et donc les courants de Foucault sont faibles aussi. De ce fait les pertes Fer dans le noyau « CM234125 » est plus faible que dans le Ferrite normale comme 3F3.

Le nombre de spires estimé à bobiner est  $N \cong 14$  (III-18). A  $V_{\text{MAX}} = 30 \text{ V}$ ,  $F_{\text{découpage}} = 1 \text{ MHz}$  et avec 14 spires, l'induction maximale atteinte dans ce noyau est très loin de la valeur de saturation ( $\cong 260 \text{ mT}$ ). Les caractéristiques de ce « transformateur III » après la mise en œuvre sont présentées dans la Figure III-39 :

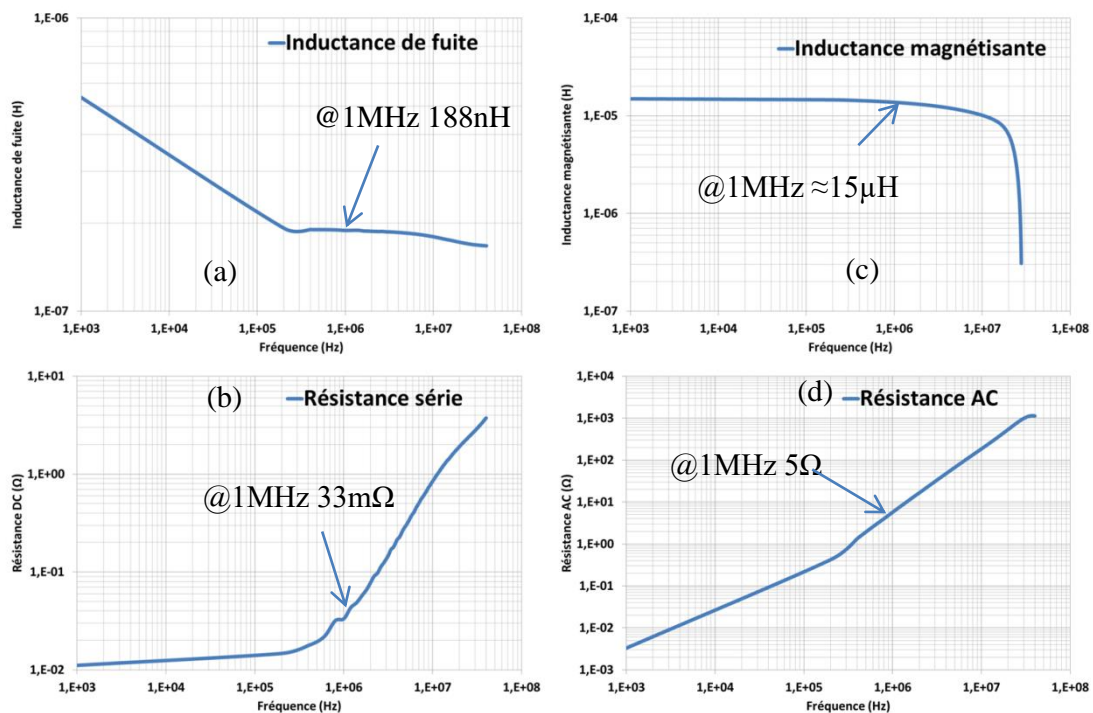


Figure III-39 Les caractéristiques acquises pour le « transformateur III » avec le noyau « CM234125 »

Le Tableau III-6 représente les paramètres du « transformateur III » :

Paramètre	Unité	Valeur
Noyau	-	CM234125 – MPP
Nombre des spires au primaire/secondaire	-	12/12 <sup>1</sup>
Section de fil Litz	mm <sup>2</sup>	1
Inductance magnétisante @500kHz	μH	15 <sup>2</sup>
Inductance de fuite @500kHz	nH	188
Résistance série des spires	mΩ	33
Résistance AC des spires @500 kHz	Ω	5

Tableau III-6 Caractéristiques du « transformateur III » CM234125-14 spires

La Figure III-40 représente la courbe d'hystérésis correspondante pour chaque transformateur dimensionné dans cette partie. Les mesures ont été effectuées aux points de fonctionnement adaptés au cahier des charges désiré pour chaque transformateur @ $I_{Lf\_eff}=5$  A

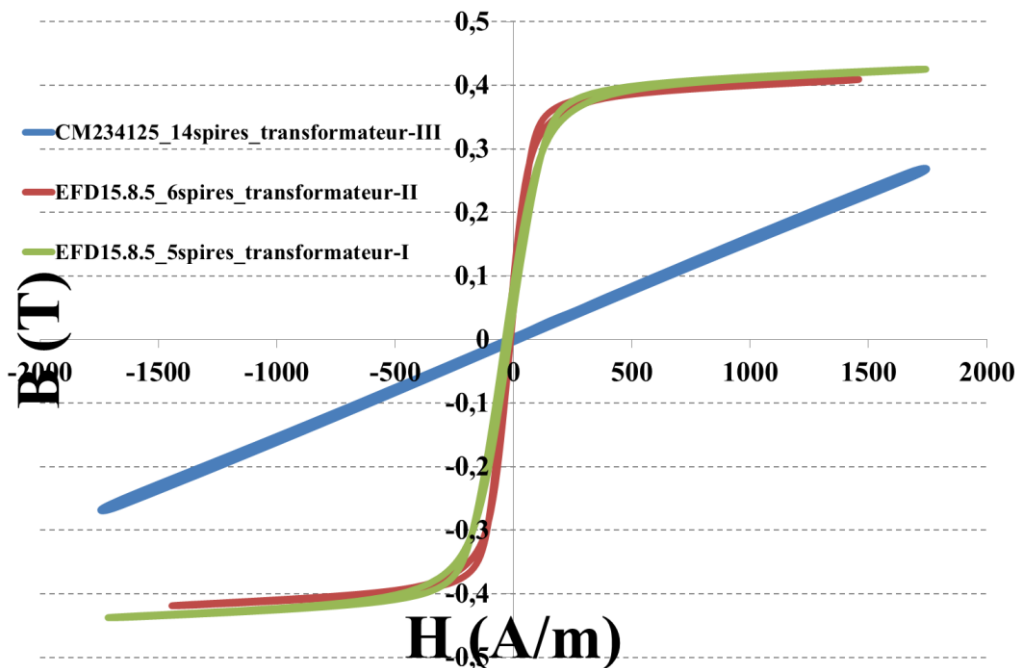


Figure III-40 Courbe d'hystérésis correspondant à chacun des trois transformateurs dimensionnés @ $I_{Lf\_eff}=5$ A

En se basant sur cette étude des transformateurs, il reste à mesurer des valeurs des capacités parasites. L'Annexe II-3 représente la valeur mesurée des capacités parasites primaire/secondaire des trois transformateurs réalisés dans cette partie.

<sup>1</sup> Expérimentalement le « transformateur III » a 2 spires de moins que le nombre calculé dans le fichier Mathcad pour la raison suivante : ayant la bonne valeur de l'inductance de fuite (188 nH) avec 12 spires au primaire et 12 spires au secondaire, le dimensionnement du transformateur est fixé à ce niveau.

<sup>2</sup> L'inductance magnétisante est plus faible à cause de moins de spires sur le noyau au primaire et de la même façon au secondaire

○ **Condensateurs de couplage et de Bootstrap**

Dans un convertisseur DAB un condensateur en série avec le composant magnétique (le transformateur) est mis en œuvre afin d'améliorer la performance de transfert d'énergie en éliminant la composante DC aux bornes du transformateur et donc éviter la saturation du transformateur dans le cas rapport cyclique non exactement égal à 0.5 (e.g. 0.499). La valeur de  $C_{série}$  peut être calculée par la relation (III-19) :

$$C = I_{MAX} \cdot \frac{0.5}{f_{découpage} \cdot \Delta V_C} \quad (F) \quad \text{III-19}$$

Où  $I$  est le courant maximum dans le transformateur et  $\Delta V$  est l'ondulation maximum de tension aux bornes de condensateur (e.g. 100 mV dans notre cas). En effet ce condensateur doit être suffisamment grand pour éviter du phénomène de quasi-résonance sur la forme du courant et en conséquence éviter de s'écarter de la valeur efficace optimale du courant dans le transformateur, qui doit rester au plus proche de la valeur moyenne du courant de sortie. De plus, la valeur de l'ESR (résistance équivalent DC) doit être la plus faible possible afin de minimiser les pertes supplémentaires dans le condensateur série.

Enfin, la tenue en tension du composant est relativement faible, directement liée à la tolérance sur le rapport cyclique. En général, un composant de tenue en tension très faible, 3 à 6V est largement suffisant dans nos cas d'étude.

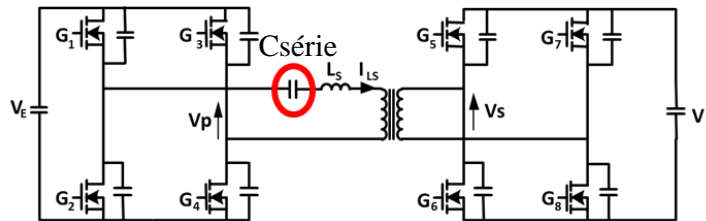


Figure III-41 Le schéma équivalent du convertisseur DAB avec le condensateur série

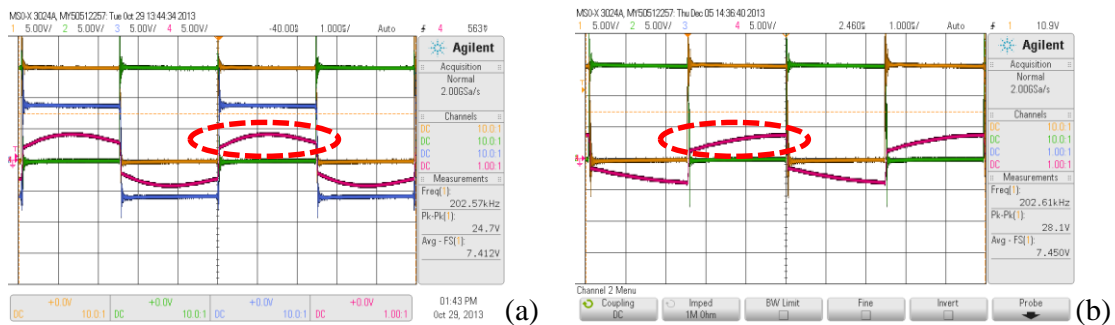


Figure III-42 Influence de la valeur de condensateur série sur la forme de courant dans le transformateur (a) faible valeur (quasi-résonance) ; (b) bonne valeur de  $C_{série}$

Afin d'alimenter les étages d'amplification du driver correspondant aux transistors High-Side ainsi que stabiliser la tension flottante, le Bootstrap est souvent utilisé quand le rapport cyclique est fixe et égal à 0.5. A cet égard, le temps de réponse est très court en adoptant une diode Schottky. De fait, cette technique est très avantageuse par rapport à d'autres solutions comme l'alimentation isolée de type TRACO [99], transformateur d'impulsion ou pompe à charge, etc.

La valeur du condensateur de Bootstrap peut être calculée approximativement à partir de la relation III-20) [100] :



$$C_{BOOT} = \frac{20 \cdot Q_{g_{total}}}{\Delta V_{C_{BOOT}}} \text{ (F)} \quad \text{III-20}$$

Le chiffre 20 représente un coefficient choisi arbitrairement pour qu'en pratique l'ondulation de tension soit plus faible que la valeur souhaitée. Dans ces travaux l'ondulation de tension souhaitée aux bornes de condensateur de Bootstrap est 500 mV soit 10% de la tension d'alimentation du gate driver (5V).

La suite va présenter les prototypes réalisés et les résultats obtenus.

### 1) Prototype MOS P-N

Le convertisseur DAB-M « prototype I » est composé de quatre bras d'onduleur mettant en œuvre, dans ce premier prototype, le bras à MOS complémentaires (MOS P-N). En raison de la tension d'alimentation maximum des drivers correspondant au MOS-P ( $V_{DDmax}=18V$ ) et pour éviter d'utiliser une alimentation isolée supplémentaire, la tension d'entrée et celle de sortie sont fixées à un niveau plus bas que le cahier des charges désiré pour l'application PV ( $V_{PV}=40V \pm 10\% \rightarrow 36V-44V$ ).

Paramètre	Unité	Valeur
$V_{IN}$	V	15
$V_{OUT}$	V	15
$P_{OUT}$	W	75
$F_{découpage}$	kHz	250-500
Rendement espéré	%	$\geq 95$
Densité de puissance espérée	kW/lit	$> 5$
$\Delta I_{LMmax}$	A	$10\% \cdot I_{Leff}=0.5$
$\Delta V$ $C_{IN}$ et $C_{OUT}$	%	5
$C_{série}$	mV	100

Tableau III-7 Cahier des charges pour prototype MOS P-N

En fixant l'objectif à une efficacité souhaitée de 95% soit 3.75W de pertes totales théoriques, la répartition des pertes est estimée comme dans le Tableau III-8 (à partir de la Figure III-31) :

Type de composant	Répartition des pertes	Type des pertes	Répartition des pertes	Pertes (W)	
Actifs	50%	Conduction	25%	1	
		Commutation	19%	0.7 <sup>1</sup>	
		Commande	6%	0.3	
Passifs	40%	Cuivre	DC	10%	0.4
			AC	10%	0.4
		Fer	20%	0.8	
Autres	10%		10%	0.4	
Somme	100%		100%	4	

Tableau III-8 Répartition des pertes dans le convertisseur DAB-M – « prototype I »

<sup>1</sup> Comme évoqué plus haut, ces valeurs sont choisies en fonction de la répartition souhaitée des pertes dans le système de conversion. En revanche en expérimental ces valeurs changent en fonction du cahier des charges, commutation douce ou pas etc.

Mettant en avant ces valeurs analytiques des pertes dans le Tableau III-8 et à partir du « Choix des composants et du dimensionnement du transformateur » les critères sont abordés dans le Tableau III-9 :

Paramètres		Unité	Valeur
Pic de courant	Source		$\geq 2.8$
sortie du driver	Sink	A	$\geq 4.7$
$R_{DSon}$ de NMOS @25°C		mΩ	$\leq 10$
$Q_g$ de NMOS @25°C		nC	$\leq 10$
$R_{DSon}$ de PMOS @25°C		mΩ	$\leq 30$
$Q_g$ de PMOS @25°C		nC	$\leq 30$
ESR du transformateur		mΩ	$\leq 15$
L'inductance de fuite totale		nH	$\approx 85$
$L_{f\text{-primaire}} + L_{f\text{-secondaire}}$			
L'inductance magnétisant		μH	$\geq 15$
$C_{IN}$ et $C_{OUT}$		μF	10x6.67
$C_{série}$		μF	50

Tableau III-9 Valeurs obtenues pour le choix des composants

Mettant en avant les modèles des pertes représentés dans Annexe III-2 ainsi que les critères de choix représentés dans le Tableau III-9, les composants du prototype MOS P-N sont présentés dans le Tableau III-10 :

Composant	Réf	Pack	Paramètre	Unité	Valeur
MOS-N	IRF7413	SO8	$R_{DS(on)}$	mΩ	10
			$Q_g$	nC	9.5
			$C_{iss}$	pF	1210
			$C_{oss}$	pF	270
MOS-P	SQ4431	SOIC-8	$R_{DS(on)}$	mΩ	30
			$Q_g$	nC	25
			$C_{iss}$	pF	1010
			$C_{oss}$	pF	243
Driver	MCP1407	SOIC-8	$I_{peak}$	A	6
			Delay ON	ns	40
			Delay OFF	ns	40
Buffer	NL27WZ16DFT2G	SOT-363	Delay time	ns	2,3
μ-contrôleur	dsPIC33FJ64GS606	QFN-64	PWM résolution	ns	1.04
"Transformateur I	-	EFD15/8/5	Tableau III-4		
$C_{in}$ et $C_{out}$	C2220C476M3R2CTU	2220	C	μF	47
$C_{série}$	GRM31CR61H106KA	1206	C	μF	47
PCB (FR4)	-	-	Carte	mm	44x50
			Puissance	mm	44x43

Tableau III-10 Composants utilisés dans le prototype MOS P-N

Sur ce prototype l'isolation galvanique est utilisée mettant le « transformateur I » entre le primaire et le secondaire. Ensuite pour le transfert d'ordres de commande du primaire au secondaire, l'isolation capacitive avec les condensateurs de découplage a été utilisée. L'alimentation de la commande éloignée (LDO) et le générateur d'ordres de commande (dsPIC33) sont intégrés sur la

même carte. Enfin le condensateur en série ( $C_{\text{série}}$ ) avec le primaire du « transformateur I » a été ajouté afin d'éliminer la valeur DC (composant DC) de la tension aux bornes de AC-Link.

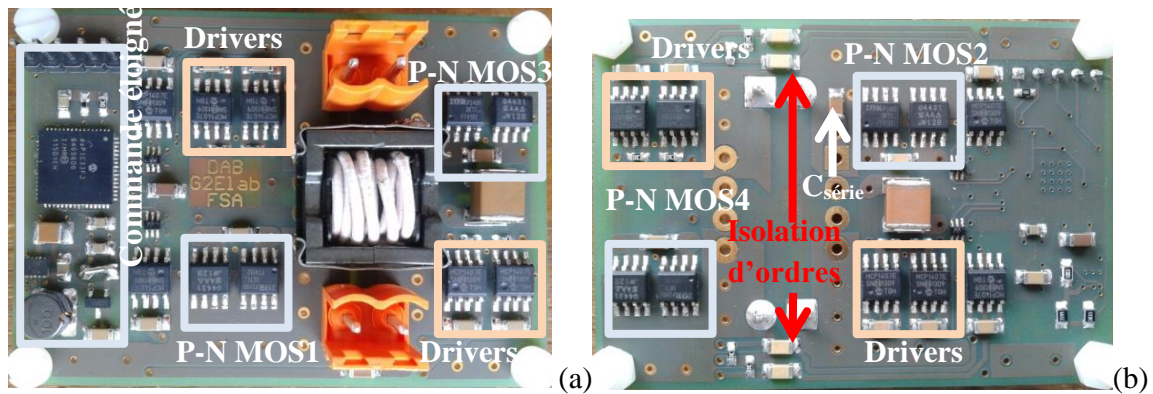


Figure III-43 Prototype MOS P-N (a) face top, (b) face bottom

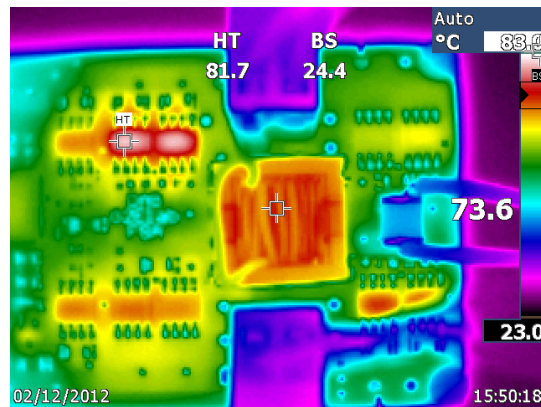


Figure III-44 Photo de la mesure de la température dans les conditions nominales de fonctionnement @ $P_{\text{nominale}}$

La température mesurée ( $80^{\circ}\text{C}$ ) sur la surface du boîtier des transistors et les pertes correspondantes à chaque type de transistor ( $P_{\text{MOS-N}}=150\text{mW}$  et  $P_{\text{MOS-P}}=450\text{mW}$  et  $P_{\text{driver}}=40\text{mW}$ ), permettent d'évaluer la température de la jonction du transistor MOS N à  $90^{\circ}\text{C}$  pour une  $T_{j\text{-max}}=150^{\circ}\text{C}$  et celle du transistor MOS P à  $130^{\circ}\text{C}$  pour une  $T_{j\text{-max}}$  de  $175^{\circ}\text{C}$  et enfin la température sur la jonction du driver à  $87^{\circ}\text{C}$  pour  $T_{j\text{-max}}=150^{\circ}\text{C}$ . Comme on peut voir dans la Figure III-45, mettant la masse thermique avec les vias métallisés, la résistance thermique du PCB est diminuée de  $71^{\circ}\text{C/W}$  – dans un cas standard avec la masse de cuivre sur la pad thermique du composant – à  $66^{\circ}\text{C/W}$  ce qui augmente 7% de la dissipation des pertes de composants.

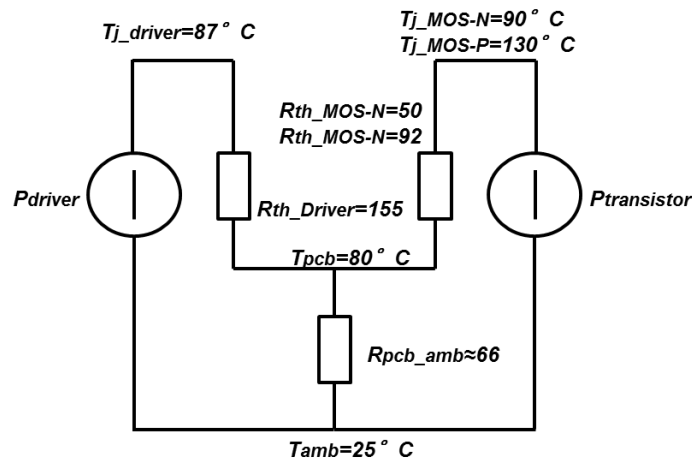


Figure III-45 Modèle thermique équivalent du transistor avec le driver associé

**Remarque :** pour les mesures de la densité de puissance, la partie commande éloignée n'est pas prise en compte et seulement le volume de la partie puissance a été considéré dans les calculs.

Le Tableau III-11 résume les caractéristiques du « prototype I »

Paramètres	Unité	Valeur
Puissance max à transférer	W	75
Densité de puissance @60W	kW/lit	3,15
Volume du convertisseur	mm <sup>3</sup>	19k
Rendement @60W	%	91 (soit 5.4W pertes)
Dead-time optimal	ns	40
Déphasage optimal	ns	55

Tableau III-11 Caractéristiques du prototype MOS P-N

Le rendement maximum est obtenu quand le DAB-M à MOS P-N fonctionne légèrement en mode abaisseur ( $V_{in}=15V$ ,  $V_{out}=14V$  et  $I_{Lf,eff}=4A$ ). La valeur du temps mort minimum autorisé pour atteindre la commutation douce (ZVS) a été calculée à partir de l'équation (III-12). De ce fait pour un temps mort  $> 7,5ns$  la commutation ZVS est assurée dans la structure de conversion. Cette valeur dans ce prototype reste toujours une valeur théorique car avec un temps mort inférieur de 40ns, les pertes supplémentaires dans le bras de pont croissent et la température passe au-delà température limite de fonctionnement des transistors PMOS et NMOS.

Les formes d'ondes obtenues pour ce « prototype I » avec  $V_{IN}=V_{OUT}=15V$ ,  $I_{eff}=5A$  @500kHz, 75W à transférer et avec le déphasage de 2.5% de la période de découpage soit 50 ns sont présentés dans la Figure III-46. En revanche le déphasage optimum correspondant à la valeur de l'inductance de fuite du « transformateur I » pour à  $V_{IN}=V_{OUT}=15V$  est égal à 25ns soit 55% du déphasage d'ordre de commande entre primaire et secondaire en pratique. En effet cet écart important est dû à l'impact des inductances parasites supplémentaires des pistes liées entre le « transformateur I » et le point milieu de chaque bras d'onduleur ( $L_{parasite}>68$  nH).

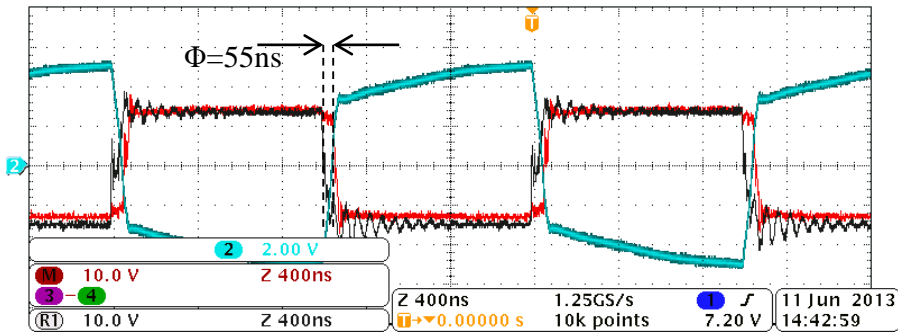


Figure III-46 Formes d'ondes du courant dans l'inductance de fuite  $L_f$  (cyan) et la tension d'entrée (noir) et la tension de sortie (rouge) du transformateur @ $f_{\text{découpage}}=500$  kHz,  $\Phi=55$  ns

Le rendement obtenu pour ce prototype à la fréquence de découpage de 500 kHz représenté dans la Figure III-47, confirme la condition d'avoir l'efficacité maximum quand le convertisseur fonctionne légèrement en mode abaisseur ( $V_{\text{IN}}=15\text{V}$  et  $V_{\text{OUT}}=14\text{V}$ ) du fait de la chute de tension aux bornes des transistors.

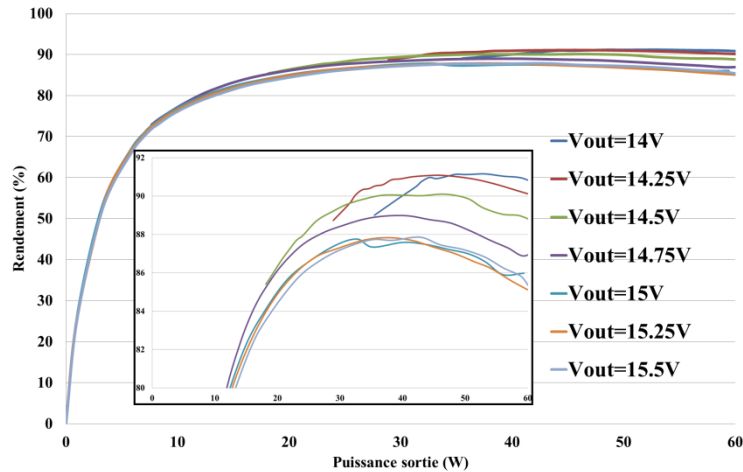


Figure III-47 Efficacité énergétique du « prototype I » MOS P-N en fonction de la puissance de sortie

Comme il est représenté dans le Tableau III-11, le rendement obtenu ainsi que la densité de puissance mesurée du prototype MOS P-N n'atteignent pas les objectifs fixés du cahier des charges. De ce fait un deuxième prototype avec les bras d'onduleur composés de transistors « MOS N-N » a été construit.

## 2) Prototype MOS N-N

Dans le Tableau III-12, le cahier des charges désiré pour ce « prototype II » a été présenté :

Paramètre	Unité	Valeur
$V_{in}$	V	30
$V_{out}$	V	30
$P_{out}$	W	150
$F_{découpage}$	kHz	500-750
Rendement espéré	%	$\geq 95$
Densité de puissance espérée	kW/lit	$> 5$
$I_{LMmax}$	A	$10\% \cdot I_{Leff} = 0.5$
$\Delta V$	$C_{IN}$ et $C_{OUT}$	5
	$C_{série}$	100

Tableau III-12 Cahier des charges désiré pour le « prototype II » MOS N-N

A partir du cahier des charges dans le Tableau III-12, les pertes attendues dans les différents composants du prototype sont présentées dans le Tableau III-13 :

Type de composant	Type des pertes	Pertes (W)
Actifs	Conduction	1.9
	Commutation	1.4
	Commande	0.5
Passifs	Cuivre	1.5
	Fer	1.5
	Autres	0.7
	Somme	7.5

Tableau III-13 Répartition des pertes dans le « prototype II »

A partir des calculs de répartition espérée des pertes dans les composants du prototype, les critères correspondants au choix des composants ainsi que le dimensionnement du transformateur sont repris dans le Tableau III-14 :

Paramètres	Unité	Valeur
Peak de courant	Source	$\geq 0.5$
sortie du driver	Sink	$\geq 2$
$R_{DSon}$ de NMOS @25°C	m $\Omega$	$\leq 20$
$Q_g$ de NMOS @25°C	nC	$\leq 16$
$V_{GS} = 7V$		
ESR du transformateur	m $\Omega$	$\leq 30$
L'inductance de fuite totale	nH	120
$L_{f-primaire} + L_{f-secondaire}$		
L'inductance magnétisant	$\mu F$	$\geq 20$
$C_{IN}$ et $C_{OUT}$	$\mu F$	3.33
$C_{série}$	$\mu F$	50
$C_{BOOTSTRAP}$	nF	640

Tableau III-14 Caractéristiques correspondant au choix des composants et aux dimensionnements des passifs pour le « prototype II »

Après avoir identifié les critères de choix des composants, parmi 13 transistors N-MOS candidats et à l'aide de programmation Mathcad, le Tableau III-15 a été rempli avec ces résultats :

Réf	R <sub>DS</sub> @25°C mΩ	R <sub>DS</sub> @100°C mΩ	Q <sub>g</sub> @10V nC	Ps <sub>rtes</sub> coduc. (W)	Pertes commut. (W)	Pertes commd. (W)	P Tot (W)	T <sub>j</sub> (°C)
BSZ067N06LS3	6.7	9	67	2.4	4.5	2.7	9.6	109
BSZ100N06LS3	10	13.3	45	2.8	3.6	1.8	8.2	105
Si4190ADY	8.8	13.2	67	2.7	7.4	2.7	12.8	114
STD35NF06L	17	20	60	3.6	6.5	2.4	12.5	187
TPCA8053	22.3	22.5	25	3.7	5.6	1.1	10.4	147
Si7460DP	9.6	13.9	65	2.8	8.1	2.6	13.5	147
FDMS5352	6.7	11.6	131	2.7	8.9	5.3	16.9	136
SI4470EY-T1-GE3	11	15.9	70	3.1	6.7	2.8	12.6	157
NTD5867NL	26	62.4	15	7.7	1.9	0.6	10.2	110
PMPB40SNA	43	75	24	8.9	1.6	1	11.5	151
SQ3426EEV	42	76	16	9.1	2.7	0.7	12.5	214
SQ7414EN	25	49	25	6.4	2.1	1.1	9.6	139
Si4436DY	36	54	32	6.9	4.1	1.3	12.3	127

Tableau III-15 Comparaison parmi les transistors N compatibles avec les critères de l'application dans le Tableau III-14

Par rapport du Tableau III-15, trois transistors sont les meilleurs pour ce cahier des charges par rapport aux pertes totales ainsi que T<sub>j-max</sub> : BSZ067N, BSZ100N et NTD5867. Vis-à-vis de la montée en fréquence, les deux premiers ne sont pas bien adaptés à notre objectif. En revanche le point fort du transistor NTD5867NL est la charge de grille très faible et la possibilité de monter en fréquence jusqu'à 1MHz. De ce fait, ce composant est choisi et ses caractéristiques sont présentées avec celles des autres composants du « prototype II » dans le Tableau III-16 :

Composant	Réf	Pack	Paramètre	Unité	Valeur
MOS-N	NTD5867	DPAK	R <sub>DS(on)</sub>	mΩ	25
			Q <sub>g</sub>	nC	15
			C <sub>iss</sub>	pF	675
			C <sub>oss</sub>	pF	68
Driver	LM5113	WSO-10	I <sub>peak</sub>	A	5
			Delay ON	ns	28
			Delay OFF	ns	26,5
Buffer	NL27WZ16DFT2G	SOT-363	Delay time	ns	2,3
μ-contrôleur	dsPIC33FJ64GS606	QFN-64	PWM résolution	ns	1.04
Transformateur II	-	EFD15/8/5	Tableau III-5		
C <sub>IN</sub> et C <sub>OUT</sub>	C2220C476M3R2CTU	2220	C	μF	22
C <sub>série</sub>	GRM31CR61H106KA	1206	C	μF	47
C <sub>BOOTSTRAP</sub>	CC0805KKX7R8BB474	0805	C <sub>BOOT</sub>	nF	680
Swi. Régulateur	LMZ35003	QFN	Régulateur	-	-
PCB (FR4)	-	-	Carte	mm	90x50
			Puissance	mm	70x50

Tableau III-16 Composants utilisés dans le « prototype II » MOS N-N

Pour alimenter les drivers LS et HS via la technique de Bootstrap dans ce « prototype II », un régulateur à découpage ( $V_{CC}$  to 7V) *Rail-to-Rail* et *Slow-Start* afin d'éviter la forte surtension sur  $V_{GS}$ , est implémenté (Figure III-48).

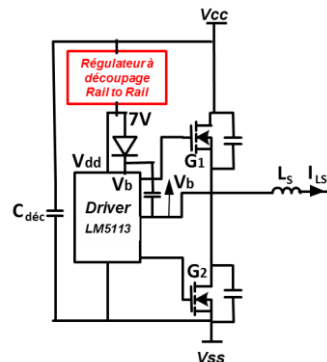


Figure III-48 Régulateur à découpage pour alimenter le driver LS et HS

Dans la Figure III-49 les photos des faces avant (a) et arrière (b), du « prototype II » à transistors MOS N-N sont présentées.

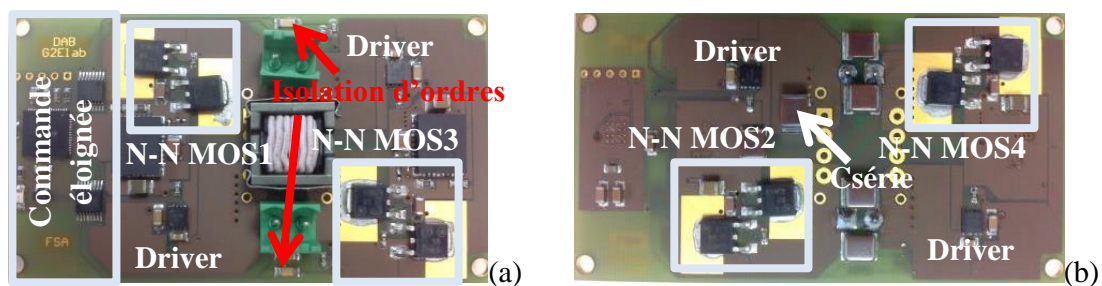


Figure III-49 Le prototype à transistors MOS N-N (a) top (b) bottom

Dans ce prototype, la surface de cuivre utilisée sous le pad thermique des transistors n'était pas assez importante pour dissiper la chaleur causée par les pertes des composants. De ce fait comme on peut voir dans la Figure III-50, les dissipateurs adaptés au boîtier du transistor (DPAK) ont été utilisés pour évacuer les pertes<sup>1</sup>. De ce fait la température maximum au bord du PCB reste toujours inférieur de 80°C.

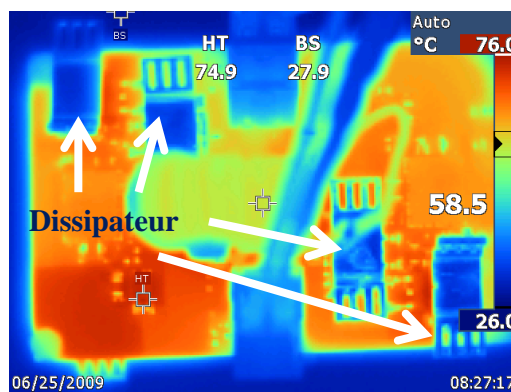


Figure III-50 Image thermique du prototype à transistors MOS N-N en régime nominal

<sup>1</sup> Ces refroidisseurs sont en aluminium brillant, ce qui ne rend pas leur température mesurée crédible !



Les caractéristiques électriques du « prototype II » à transistors MOS N-N sont présentées dans le Tableau III-17 :

Paramètre	Unité	Valeur
Puissance max à transférer	W	150
Densité de puissance (@115W)	kW/lit	3.28
Volume du convertisseur	mm <sup>3</sup>	35k
Rendement @115W	%	92,2 (soit 9W pertes)
Dead-time optimal	ns	20
Déphasage optimal	ns	40

Tableau III-17 Caractéristiques du « prototype II » MOS N-N

Le point de fonctionnement optimum est toujours compatible à nos attentes (mode abaisseur :  $V_{IN}=30V$ ,  $V_{OUT}=29V$  et  $I_{Lf\_eff}=4A$ ). Dans ce prototype à transistors MOS N-N, le temps mort minimum afin de fonctionner en commutation douce est  $>4,5ns$  (à partir de (III-12)). Comme on a pu voir le temps mort optimum expérimental a de nouveau un écart important avec la valeur minimale théorique du fait que le courant de court-circuit dans le bras de pont lors des commutations a un fort impact sur l'efficacité de conversion DC. Un réglage en pratique est imposé pour mieux positionner la valeur optimale du temps mort.

Enfin le déphasage optimum à  $V_{IN}=V_{OUT}=30V$ ,  $I_{Lf\_eff}=5A$  @500kHz est égal à 25ns soit 25% de plus que la valeur de déphasage (20ns) en fonction de  $L_f=120$  nH du fait que les inductances parasites ont été diminuées dans ce prototype ( $L_{parasite}=30$  nH). Les formes d'ondes du courant dans l'inductance de fuite ainsi que les tensions au primaire et secondaire du « transformateur II » sont présentées dans la Figure III-61:

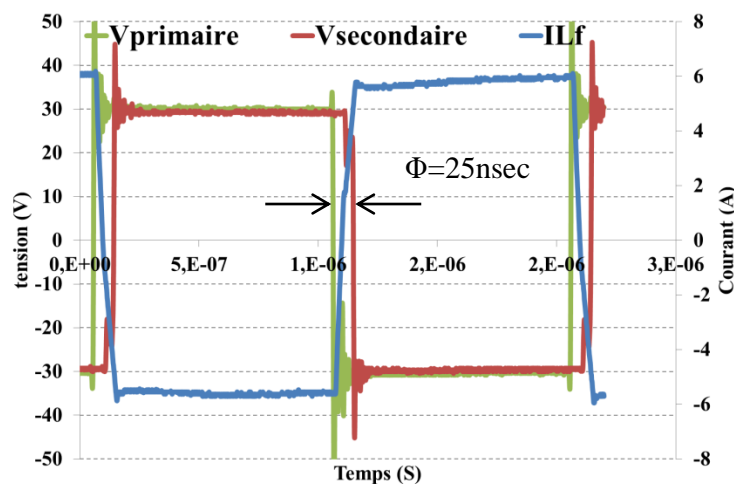


Figure III-51 Formes d'ondes du courant dans l'inductance de fuite et des tensions aux bornes d'entrée et de sortie du « transformateur II »

**N.B.** Le déphasage mesuré dans la Figure III-46 ainsi que la Figure III-51 est au-delà du déphasage réglé @  $V_{IN}=V_{OUT}=30V$  et  $I_{Lf\_eff}=5A$  en raison d'un bout de fil ajouté sur le « transformateur I » et le « transformateur II » afin de capter le courant dans l'enroulement du primaire du transformateur par effet Hall (sonde de courant).

La Figure III-52 représente l'efficacité du « prototype II » à transistors MOS N-N en fonction de la puissance de sortie du convertisseur.

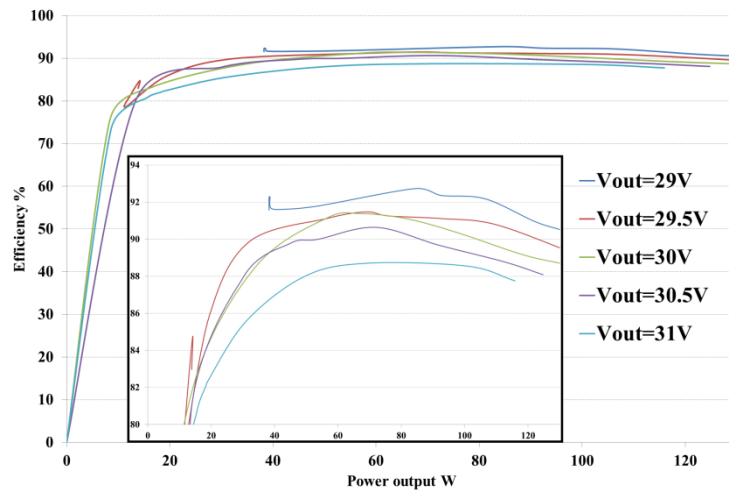


Figure III-52 Efficacité du « prototype II » à transistors MOS N-N en fonction de la puissance sortie

### 3) Prototype GaN-FET

Dans ce « prototype II », les transistors classiques Si (MOS-FET) sont remplacés par des composants à l'effet de champ dit GaN-FET. Les points forts de ces composants sont déjà introduits dans ce manuscrit.

Le cahier des charges correspondant au « prototype III » à transistors GaN a été inspiré de celui du « prototype II » à transistors MOS N-N (Tableau III-12) avec une seule exception et c'est la fréquence de découpage :  $F_{\text{découpage}}=1\text{MHz}$ . De ce fait, 4 composants GaN produits par le fournisseur américain, EPC.co, ont été retenus pour évaluer leurs bénéfices :

Réf	$R_{DS}$ @25°C (mΩ)	$R_{DS}$ @100°C (mΩ)	Qg @5V (nC)	Pertes coduc. (W)	Pertes commut. (W)	Pertes commd. (W)	P Tot (W)	Tj (°C)
EPC2001	7	8.54	8	1.12	4.53	0.37	6.28	96.9
EPC2016	16	18.97	3.8	2.15	1.66	0.2	4.27	91.0
EPC2007	30	35.57	2.1	3.81	1.1	0.13	5.3	106.8
EPC2018	25	30.81	5	3.34	3.0	0.25	6.85	103

Tableau III-18 Résultats obtenus par la programmation Mathcad pour le choix du transistor

Suivant le Tableau III-18, le composant EPC2016 est le meilleur choix parmi les composants déjà commercialisés au moment de fabrication de ce « prototype III ». Comme nous l'avons évoqué plus haut, les transistors GaN ne bénéficient pas de la diode body d'une manière naturelle. A cet effet nous avons ajouté une diode Schottky anti-parallèle (Roue-Libre) – tout en sachant que cela ajoute des éléments parasites dans la maille de commutation et donc des inductances parasites supplémentaires et des capacités parasites de « sortie » supplémentaires pour chaque couple transistor-diode. Des tests ont pu être menés pour évaluer les bénéfices liés à l'introduction de ces diodes de roue-libre. A cet effet l'idée de commutation GaN-GaN (sans diode roue-libre) exige la maîtrise du temps mort et une dispersion très faible des ordres de commande HS/LS. Enfin, c'est dans cette famille de prototypes que nous avons remplacé l'isolation galvanique (DAB-M) par le coupleur capacitif (DAB-C) afin d'élaborer sa performance dans le convertisseur DAB.

(a) **DAB-M (isolation magnétique)**

Le prototype DAB-M « prototype III » est composé des composants présentés dans le Tableau III-19 :

Composant	Réf	Pack	Paramètre	Unité	Valeur
GaN	EPC2016	LGA	$R_{DS(on)}$ @ $V_{GS}=5V$ et $25^{\circ}C$	m $\Omega$	16
			$Q_g$ @ $5V$	nC	3,8
			$C_{iss}$	pF	433
			$C_{oss}$	pF	225
Driver	LM5113	WSO-10	$I_{peak-sink}$	A	5
			$I_{peak-source}$	A	1,2
			Delay ON	ns	28
			Delay OFF	ns	26,5
Buffer	NL27WZ16DFT2G	SOT-363	Delay time	ns	2,3
$\mu$ -contrôleur	dsPIC33FJ64GS606	QFN-64	PWM résolution	ns	1.04
Transformateur III	-	EFD15/8/5	Tableau III-6		
$C_{IN}$ et $C_{OUT}$	C2220C476M3R2CTU	2220	C	$\mu$ F	22
$C_{série}$	GRM31CR61H106KA	1206	C	$\mu$ F	47
$C_{BOOTSTRAP}$	CC0805KKX7R8BB474	0805	$C_{BOOT}$	nF	680
Diode Schottky	VS-10MQ060NTRPBF	DO-214AC	$C_T$	pF	31
Swi. Régulateur	LMZ35003	QFN	Régulateur	-	-
PCB (FR4)	-	-	Carte	mm	83x51
			Puissance	mm	50x51

Tableau III-19 Liste des composants utilisés dans le « prototype III » DAB-M-GaN avec les diodes de roue-libre

Le « prototype III » DAB-M est illustré dans la Figure III-53 .

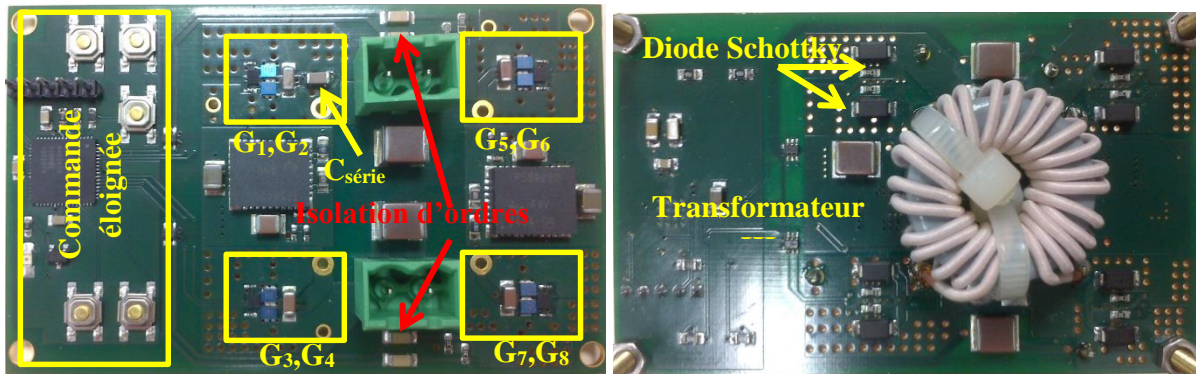


Figure III-53 Prototype DAB-M : (a) face avant (b) face arrière

Afin de contrôler la surtension  $V_{GS}$  causée par les éléments parasites sur le chemin de grille entre driver et transistor (comme il a été évoqué dans la partie prototypage), la distance entre ces deux composants a été minimisée mettant la sortie du driver en vis-à-vis à l'entrée du transistor. Dans la Figure III-54, la distance entre le transistor et le driver ainsi que entre les transistors est présentée.

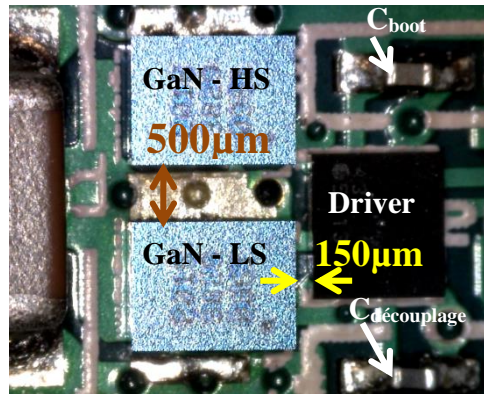


Figure III-54 Zoom: deux composants GaN-EPC2016 et le driver LM5113 associé pour les transistors HS et LS

Comme on a pu voir dans la Figure III-53, une grande surface a été utilisée via ajouts de vias métallisés afin de conduire la chaleur des points chauds vers les points moins chauds et dissiper la chaleur. Ayant un objectif initial de 95% de rendement pour le transfert d'énergie de 200W, les 10W des pertes ont besoin une surface de 50cm<sup>2</sup> au totale partagée entre deux faces (Top/Bottom) afin d'évacuer la chaleur (200 mW/cm<sup>2</sup>).

Le temps mort optimum correspondant à la commutation ZVS dans le « prototype III » DAB-M avec  $L_f=188$  nH et  $C_{OSS}=225$  pF +  $C_{T\_diode}=31$  pF est  $t_{d-opt} > 10.6$ ns (III-12). La Figure III-55 – obtenue par les mesures du rendement – représente la zone optimale du temps mort pour que l'efficacité reste toujours dans une marge soit  $\eta_{opt} \pm 0.1\%$  à une puissance donnée @1MHz. De ce fait, le temps mort dans ce prototype a été fixé à 10 ns pour avoir l'efficacité maximale via une commutation douce ZVS dans toute la zone de fonctionnement.

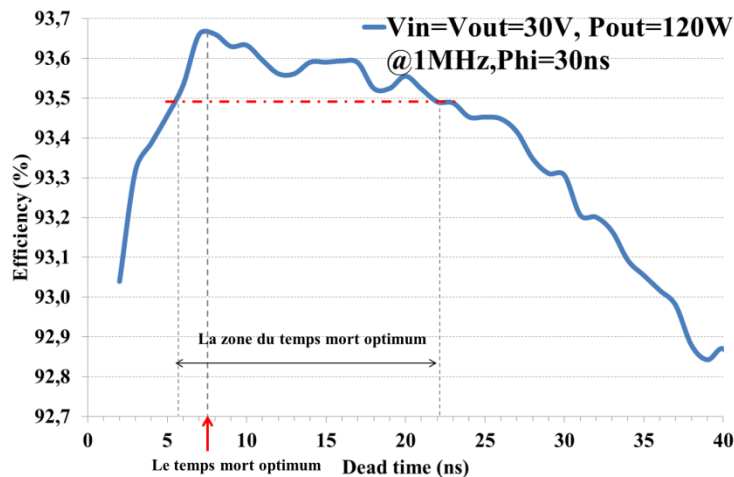


Figure III-55 Efficacité en fonction du temps mort pour  $V_{IN}=V_{OUT}=30$  V,  $P_{OUT}=120$  W @1 MHz et  $\Phi=30$  ns

Les formes d'ondes correspondant aux tensions d'entrée et de sortie ainsi que le courant dans l'enroulement du primaire du « transformateur III » sont présentées dans la Figure III-56. D'après la valeur de l'inductance de fuite du « transformateur III » ( $L_f=190$  nH), le déphasage optimum pour  $V_{IN}=V_{OUT}=30$ V à  $I_{L\_eff}=5$  A est égal à 31ns. En revanche le déphasage mesuré dans la Figure III-56 est égal à 66 ns soit 110% plus élevée que la valeur souhaitée. Cet écart est, entre autres, causé par

l'introduction, en série du transformateur, d'un morceau du fil ajouté pour pouvoir mettre la tête de sonde de courant dans l'enroulement du primaire du « transformateur III ».

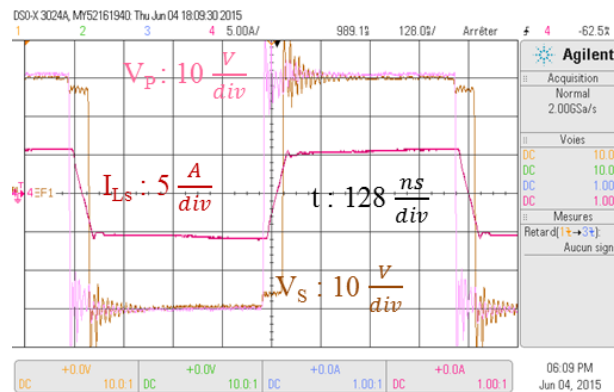


Figure III-56 Formes d'ondes des tensions d'entrée 30V et de sortie 30V et du courant dans l'inductance de fuite du « transformateur III »  $I_{L\text{-eff}}=5\text{A}$

Les caractéristiques du « prototype III » DAB-M avec les composants GaN-EPC2016 sont listées dans le Tableau III-20 :

Paramètre		Unité	Valeur
Puissance max à transférer		W	150
Densité de puissance	$V_{in}=30.4\text{V}/V_{out}=29.5\text{V}$ $P_{out}=121.25\text{W}@500\text{kHz}$	kW/lit	4.75
	$V_{in}=30.39\text{V}/V_{out}=29.5\text{V}$ $P_{out}=119.48\text{W}@1\text{MHz}$		4.7
Volume du convertisseur PCB		$\text{mm}^3$	25.5k
Volume des composants		$\text{mm}^3$	3700
Rendement	@500kHz/ $P_{out}=121.25\text{W}$	%	94.5 (7W pertes)
	@1MHz/ $P_{out}=119.48\text{W}$		93.8 (7.85W pertes)
Dead-time optimal		ns	10
Déphasage optimal		ns	30

Tableau III-20 Caractéristiques du « prototype III » DAB-M (GaN-EPC2016)

Dans ce prototype, le déphasage et le temps mort optimum obtenus en pratique sont cohérents avec des valeurs souhaitées à partir des calculs analytiques du fait que les éléments parasites sont minimisés et donc leurs impacts sont négligeables.

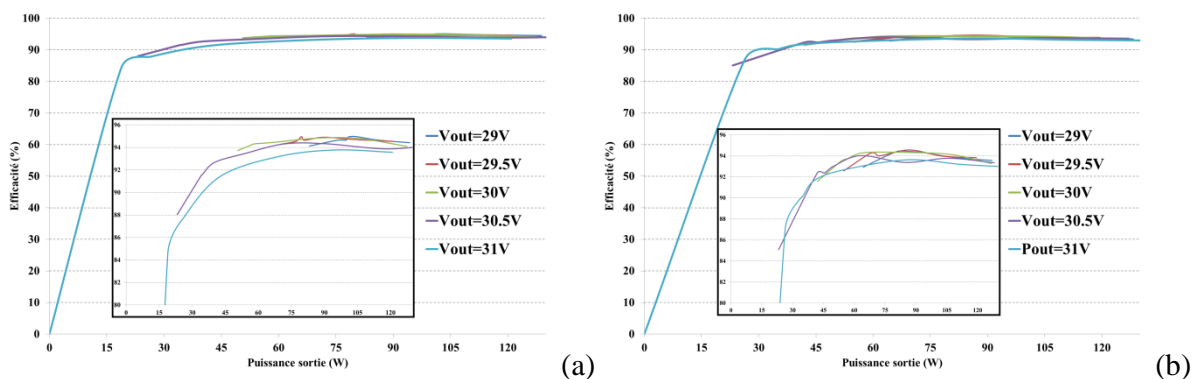


Figure III-57 Efficacité en fonction de la puissance sortie : (a) @500kHz (b) @1MHz

Comme prévu dans l'introduction de cette partie, après avoir utilisé les diodes Schottky discrètes en tant que la diode roue-libre dans la cellule de commutation, cette fois-ci la manip a été refaite mais sans ces diodes anti-parallèle et donc mettant en œuvre la commutation GaN-GaN. A cet effet la capacité parasite supplémentaire a été éliminée. De ce fait, le temps mort optimum baisse de 10.6 ns à 10 ns. Les résultats présentés dans le Tableau III-21, sont obtenus ayant la commutation GaN-GaN sur le « prototype IV » DAB-M :

Paramètre		Unité	Valeur
Puissance max à transférer		W	150
Densité de puissance	V <sub>in</sub> =30.33V/V <sub>out</sub> =29.5V P <sub>out</sub> =138.4W@500kHz	kW/lit	5.42
	V <sub>in</sub> =30.33V/V <sub>out</sub> =29.5V P <sub>out</sub> =122.43W@1MHz		4.8
Volume du convertisseur PCB		mm <sup>3</sup>	25.5k
Volume des composants		mm <sup>3</sup>	3445
Rendement	@ 500kHz/P <sub>out</sub> =138.4W	%	94.64 (7.8W pertes)
	@ 1MHz/P <sub>out</sub> =122.43W		93.44 (8.6W pertes)
Dead-time optimal (expérimental)		ns	10
Déphasage optimal		ns	30

Tableau III-21 Caractéristique du « prototype IV » DAB-M mettant en œuvre la commutation GaN-GaN (sans diode de Roue-Libre)

L'efficacité du convertisseur en fonction de la puissance de sortie de la cellule élémentaire a été présentée dans la Figure III-58 :

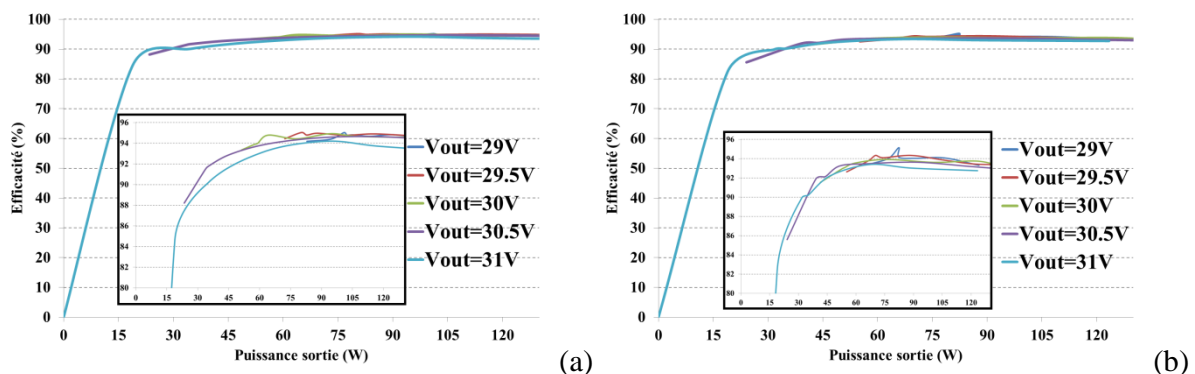


Figure III-58 Efficacité en fonction de la puissance sortie : (a) @500kHz (b) @1MHz

Comme on peut le voir, le rendement du convertisseur sans les diodes de roue libre est légèrement plus faible que celui avec les diodes de roue libre. Les éléments parasites introduits par la présence des diodes de roue libre semblent moins négatifs que les effets d'une commutation GaN-GaN très difficile à optimiser.

### (b) DAB-C (coupleur capacitif)

Pour la dernière étape du travail de prototypage, le transformateur + C<sub>série</sub> du prototype DAB-M a été remplacé par deux couples « l'inductance série + condensateur de découplage ». Afin de garder l'équilibre sur le AC-Link, l'inductance série est divisée en deux composants discrets et elles sont distribuées sur les point milieux des deux bras comme on peut le voir dans la Figure III-15. Ayant pris en compte la longueur des pistes aller/retour entre primaire et le secondaire (60 mm), la valeur estimée de l'inductance parasite ( $\approx 60$  nH) couvre une partie de l'inductance série souhaitée

représenté dans la Figure III-38 qui est de 185 nH. A cet égard la valeur finale de l'inductance série et le déphasage correspondant reste le plus proche possible de la valeur souhaitée.

En revanche, il faut obligatoirement un condensateur pour chaque bras de l'onduleur pour assurer le découplage capacitif III-21).

$$C_{série} = 2 \cdot \frac{I_{INmoy}^{0,5}}{f_{dec} \cdot \Delta V_{C_{série}}} \text{ (F)} \quad \text{III-21}$$

Le point important et très critiques associé à la définition des condensateurs de découplage est sa tension de claquage du fait que la tenue en tension de  $C_{série}$  doit être assez grande afin de tenir toute la plage de tension primaire/secondaire dans l'application RC (e.g. 600V dans notre cas). A ces effets l'inductance série et le condensateur de découplage série sont les suivantes :

Descriptions	Paramètres	Unité	Valeur
Inductance série « SLC7530S-500ML »	L	nH	50
	R <sub>DC</sub>	mΩ	0.12
Condensateur découplage « GRM32ER60J107ME20L »	C	μF	100
	ESR	mΩ	4-5

Tableau III-22 Caractéristique des composants passifs aux bornes de l'AC-Link

Dans ce « prototype V », la tenue en tension des condensateurs de découplage n'a pas été prise en compte. De ce fait, la variation en tension entre primaire et secondaire est autorisée à une valeur inférieure de ±2V. Les faces supérieure et inférieure de la carte électrique correspondant au « prototype V » DAB-C sont présentées dans la Figure III-59 :

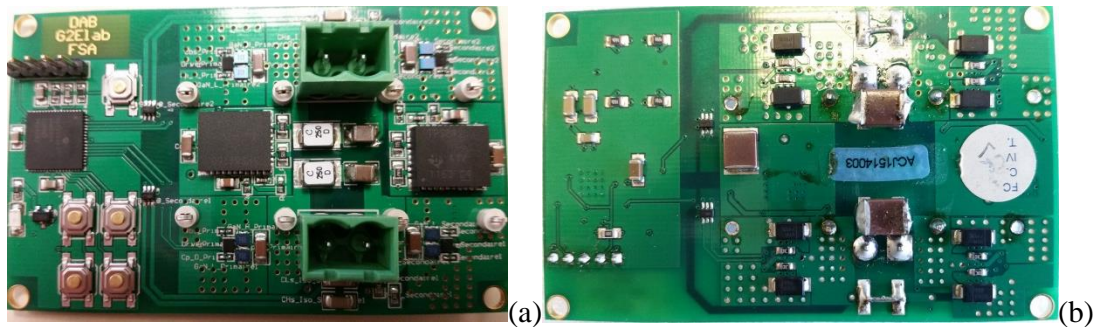


Figure III-59 « Prototype V » DAB-C : (a) Top (b) Bottom

Les formes d'ondes des tensions d'entrée et de sortie ainsi que le courant parcouru dans l'ensemble de composants de l'AC-Link sont présentées dans la Figure III-60 :



Figure III-60 Formes d'ondes des tensions d'entrée 30V et de sortie 30V et le courant dans AC-Link ( $I_{Ls-eff}=5A$ ) du convertisseur DAB-C

La caractéristique de ce « prototype V » est abordée dans le Tableau III-23 :

Paramètre		Unité	Valeur
Puissance max à transférer		W	150
Densité de puissance	Vin=30.35V/Vout=29.5V Pout=142,2W@500kHz	kW/lit	12.36
	Vin=30.34V/Vout=29.5V Pout=136.6W@1MHz		11.87
Volume du convertisseur PCB		mm <sup>3</sup>	11.5k
Volume des composants		mm <sup>3</sup>	1136
Rendement	@500kHz/Pout=142.2W	%	95.95 (6W pertes)
	@1MHz/Pout=136.6W		94.6 (7.8W pertes)
Dead-time optimal		ns	10
Déphasage optimal		ns	30

Tableau III-23 Caractéristiques du « prototype V » DAB-C @ $\Phi=30$  ns

De la même manière que les prototypes précédents, le déphasage illustré dans la Figure III-60 ne correspond pas à la valeur écrite dans le Tableau III-23

### iii. Comparaison des différents prototypes

Nous avons pu voir quelques résultats généraux sur les démonstrateurs fabriqués au cours de cette thèse : DAB MOS P-N, DAB MOS N-N, DAB-M classique avec et puis sans diode roue-libre et enfin DAB-C avec le coupleur capacitif. Seul le prototype à transistors GaN et à couplage capacitif répond aux spécifications du cahier des charges. Pour approfondir les raisons de cela, une étude plus fine des différences entre les deux types de coupleurs est maintenant présentée.



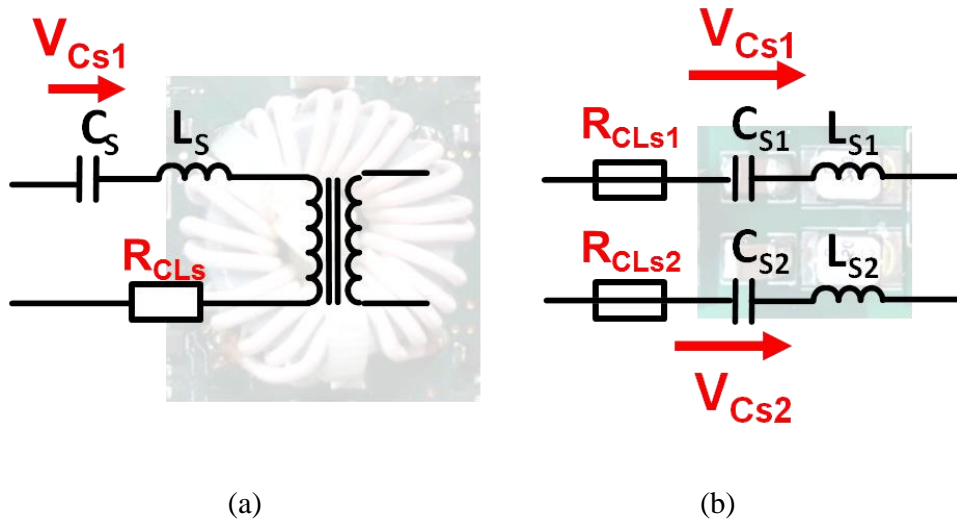


Figure III-61 Schéma électrique équivalent de (a) isolation magnétique (b) coupleur capacitif

Dans la Figure III-19, une étude sur le volume de deux types de coupleurs ainsi que différentes tailles de boîtier des condensateurs standard et non-standard en fonction de la tenue en tension est présentée. D'après ces études pour une tenue en tension donnée, le volume d'un condensateur est plus faible qu'un transformateur quand  $V_{max}$  est inférieur à 600-700V. A cet effet on peut monter la densité de puissance mettant le coupleur capacitif au lieu de l'isolation magnétique dans certaines conditions déjà évoquées dans la première partie de ce chapitre.

En outre la Figure III-62 représente l'écart entre la résistance série équivalente du condensateur de découplage utilisé dans le DAB-C (« prototype V ») et les trois transformateurs utilisés dans les différents prototypes avec isolation galvanique.

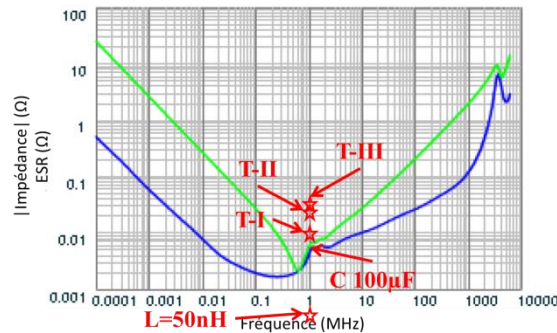


Figure III-62 ESR des transformateurs I, II et III et celle de condensateurs de découplage et  $L_{série}$

De la même façon, dans la Figure III-63 apparaît un facteur 2 entre l'impédance correspondant à l'ensemble des composants en série formant l'AC-Link pour le DAB-M ainsi que pour DAB-C. A cet effet pour le convertisseur avec l'isolation magnétique la courbe est tracée pour le transformateur III en série + le condensateur de découplage mis en œuvre afin de rejeter la composante DC du signal produit par les primaires et secondaire du convertisseur. Pour le cas du convertisseur avec coupleur capacitif, la courbe correspond à la somme de deux inductances et deux condensateurs de découplage tous en série.

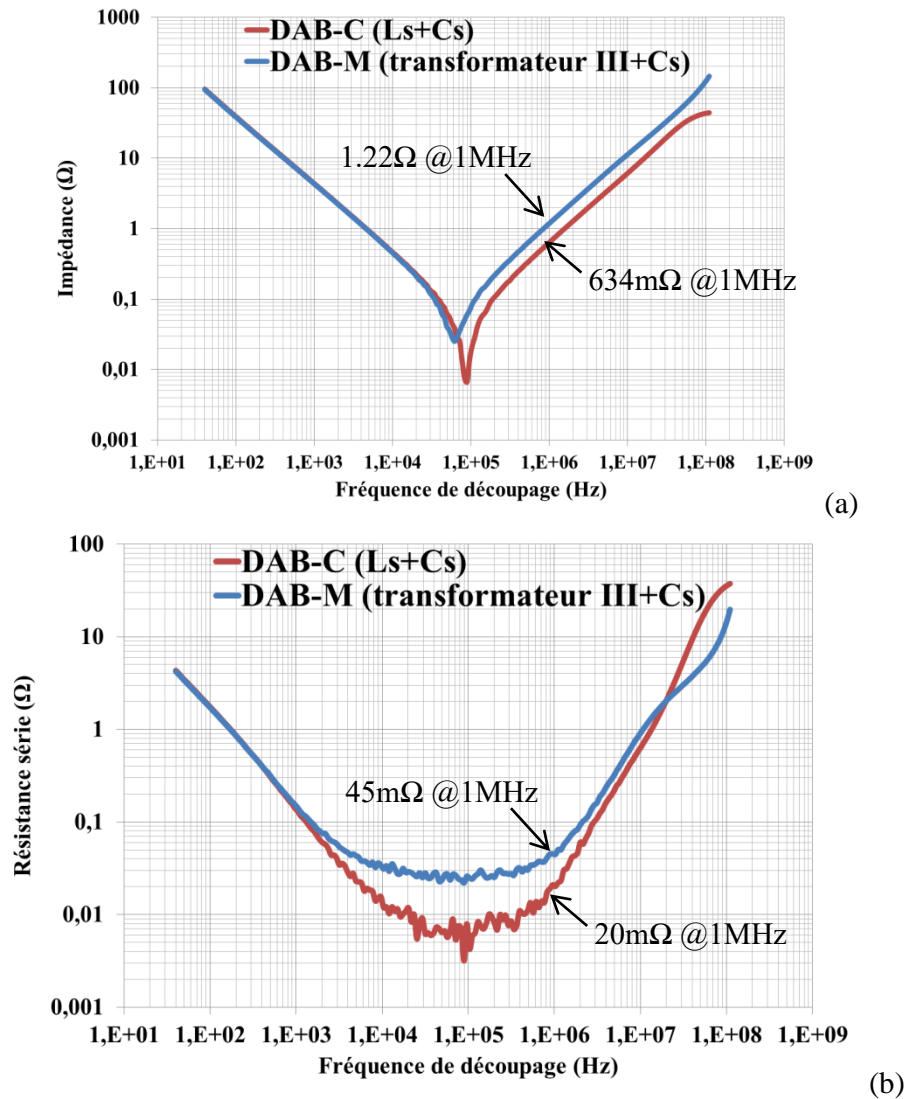


Figure III-63 (a) Impédance, (b) ESR de l'AC-Link en fonction de la fréquence pour DAB-M (transformateur III+C<sub>série</sub> → bleu) et DAB-C (2xL<sub>série</sub>+2xC<sub>série</sub> → rouge)

La valeur de l'impédance équivalente ainsi que celle de la résistance série équivalente sont plus faibles dans le DAB-C que le DAB-M ce qui signifie des pertes joules moins élevées et donc une efficacité plus importante dans le DAB-C par rapport au DAB-M. De ce fait, la résistance équivalente série dans le DAB-C a baissé de 66% par rapport au cas DAB-M pour la même fréquence de découpage.

De la même façon, nous avons mesuré l'inductance série équivalente de l'ensemble AC-Link dans le DAB-M ainsi que dans le DAB-C (Figure III-64).

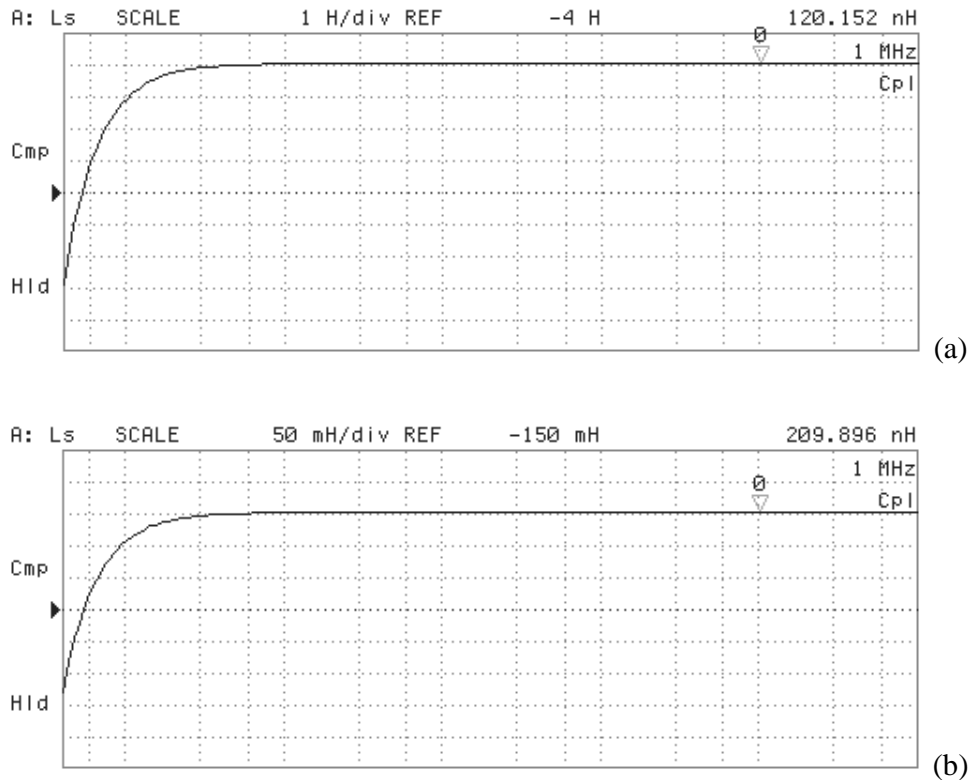


Figure III-64 Inductance série équivalente de l'ensemble des composants dans l'AC-Link : (a) DAB-C, (b) DAB-M

A partir de la Figure III-64, l'inductance série équivalente correspondant au « prototype V » DAB-C est seulement 57% de celle présente dans le « prototype III » DAB-M. En conséquence, le déphasage appliqué dans le prototype DAB-C est 66% de ce qu'il est nécessaire dans le prototype DAB-M pour un cahier des charges  $V_{IN}=V_{OUT}=30$  V avec un courant efficace dans l'inductance égal à 5A ( $L_f$  dans le transformateur et  $L_s$  dans le coupleur capacitif). De ce fait, on peut conclure que la circulation du courant réactif et donc les pertes associées dans le DAB-C, sont plus faibles que celles dans le DAB-M. Il est important de reconnaître que cette différence biaise un peu la comparaison entre les deux prototypes.

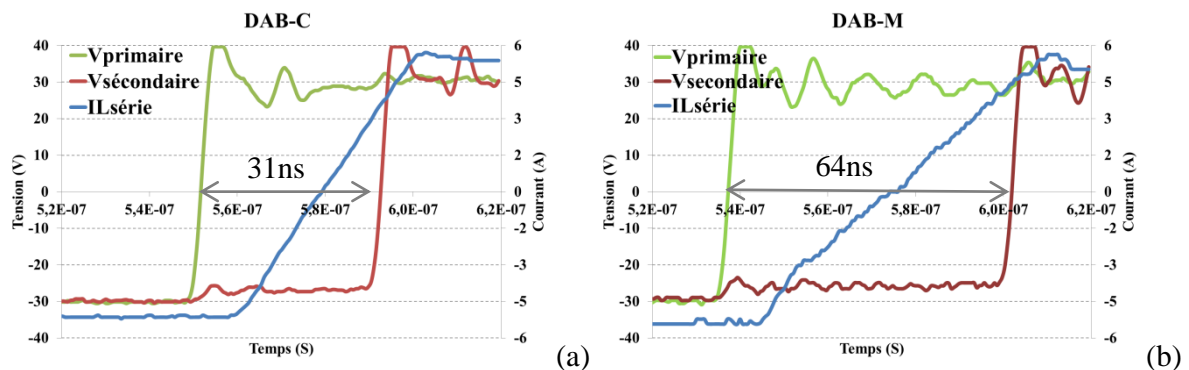


Figure III-65 Déphasage appliqué entre les signaux de commande du primaire et du secondaire : (a) DAB-C, (b) DAB-M

Enfin la Figure III-66 représente le rendement correspondant aux prototypes avec le même cahier des charges ( $V_{IN}=V_{OUT}=30$ V et  $I_{Ls-eff}=5$ A). De ce fait, pour le même point de fonctionnement, le

convertisseur DAB avec coupleur capacitif offre une efficacité meilleure que les autres. De plus, la densité de puissance obtenue avec le prototype DAB-C, est encore beaucoup plus élevée que celle obtenue avec les DAB-M (avec ou sans diode roue-libre)

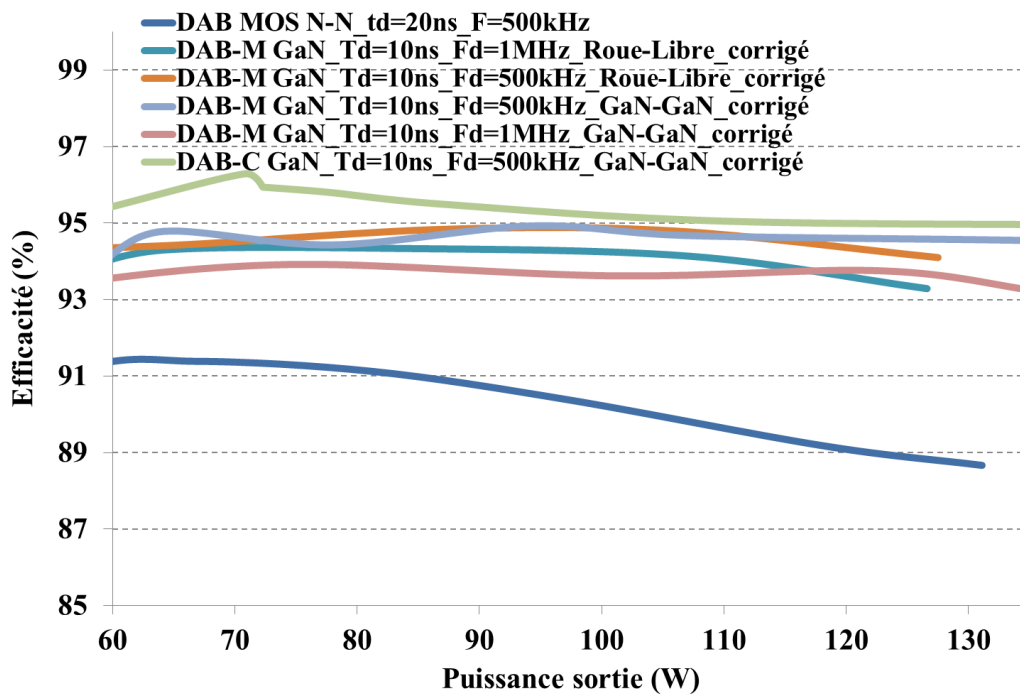


Figure III-66 Différents rendements correspondant aux prototypes DAB-M et DAB-C

#### D. Conclusion

Dans ce chapitre, nous avons tout d'abord analysé les caractéristiques des composants classiques en Silicium (Si) et ensuite des nouveaux composants grand gap en Nitrure de Galium (GaN) dans l'application de conversion d'énergie par une étude expérimentale. Cette étude a été effectuée à travers la réalisation et l'analyse de cinq prototypes (DAB). Elle révèle les caractéristiques différentes des nouveaux composants par rapport à celles des composants classiques. Ces différences principales sont la forte diminution des éléments parasites au niveau des capacités, des  $R_{DSon}$  ainsi qu'au niveau des inductances parasites du boîtier, ce qui permet montée en fréquence à rendement équivalent. Les autres points remarquables des nouveaux composants sont : la tension de seuil très faible, l'absence de diode-body interne et la bonne conduction thermique ( $HT^\circ$ ) des pads de puce directement sur les pistes du PCB. Enfin la taille réduite du composant permet d'augmenter la densité de puissance quelle que soit l'application en électronique de puissance.

En revanche ces nouveaux composants introduisent de nouvelles contraintes au niveau de la mise en œuvre et du pilotage correspondant. A cet effet dans ce chapitre nous avons mis en évidence les propriétés nécessaires pour réaliser un circuit de commande performant pour notre convertisseur, en nous appuyant sur des essais pratiques avec les composants commerciaux. Le driver LM5113 fabriqué par TI spécialement pour les composants GaN (proposé par EPC.co) a été utilisé pour les prototypes composés des composants GaN et il a montré des performances assez critiquables. En effet la dispersion de délai de propagation entre LS et HS est important (Figure III-67) ce qui exige d'augmenter l'intervalle entre les ordres de commande entre les deux transistors LS et HS (« temps mort »).

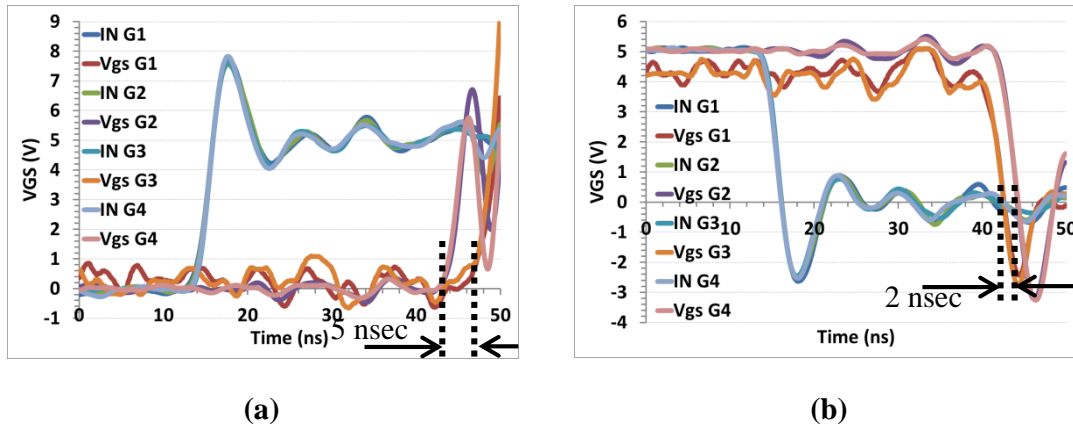


Figure III-67 Dispersion de délai de propagation entre la voie LS et la voie HS du driver LM5113 :  
 (a) Turn-ON, (b) Turn-OFF

L'augmentation des « temps mort » baisse le rendement car le temps de conduction inverse des transistors dans le cas GaN-GaN est plus important et donc elle génère des pertes supplémentaires comme on peut le voir dans la Figure III-68, courbe verte.

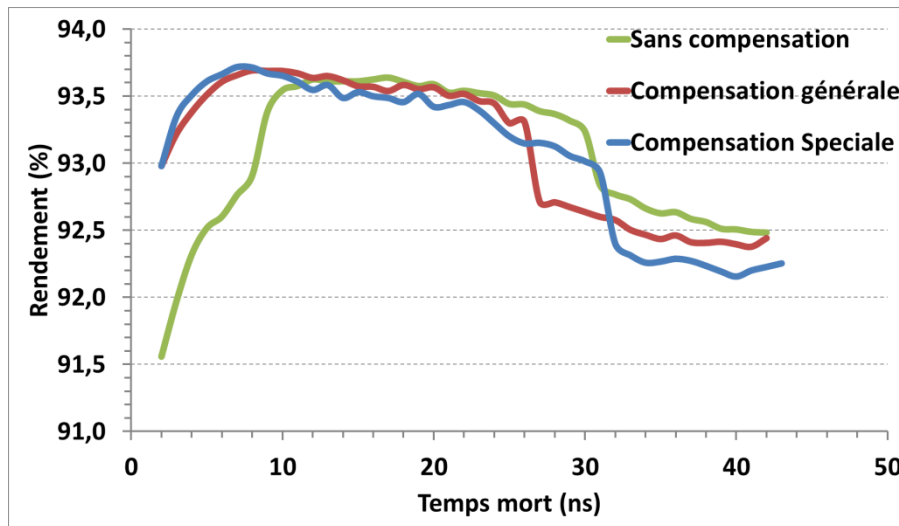


Figure III-68 Rendement du convertisseur DAB-M sans diode roue-libre (GaN-GaN) @1 MHz et  $\Phi=60$  ns

Les courbes bleu et rouge dans la Figure III-68, représente le rendement du même prototype avec le même cahier des charge mais avec les corrections d'ordres de commande grâce à la programmation du microcontrôleur afin de compenser la dispersion entre LS et HS. De ce fait le rendement a été amélioré, ayant la possibilité de diminuer le temps mort de 10 ns à 7 ns. La commutation douce peut ne plus être assurée sur toute la gamme de puissance de sortie. La compensation des temps-morts n'est donc pas une panacée.

La compensation a été faite une première fois pour les quatre bras de pont de la même façon (compensation générale : courbe rouge). Dans ce cas nous avons utilisé la dispersion d'un seul driver comme notre échantillonnage et ensuite nous l'avons considéré la même pour les trois autres drivers. Une deuxième fois nous avons compensé la dispersion de chaque driver en fonctionnement (courbe bleu : compensation spéciale) car la dispersion varie de l'un à l'autre, causée par la tolérance technologique.

---

A cet égard, le fait qu'on utilise deux drivers discrets dans un pont complet pour deux bras de pont séparés, tout en sachant que les deux drivers ont des tolérances de fabrication différentes, conduit à une commutation des transistors complémentaires dans chaque bras non optimale et non synchrone. Le pilotage des nouveaux composants HF/HT° exige de faibles délais de propagations, zéro dispersion d'ordres de commande, la synchronisation d'ordres de commande, un fonctionnement compatible haute température, une immunité aux forts  $dv/dt$  et  $di/dt$ , une mise en œuvre optimale et enfin le pilotage dédié aux composants afin de profiter de tous leurs bénéfices.

À partir des études récentes traitant de ces problématiques, nous proposons une solution facilement intégrable, efficace et robuste. De ce fait dans le chapitre suivant, nous proposons une étude de pilotage performant, avec une solution technologique intégrée assurant le fonctionnement haute température.

Dans ce chapitre nous avons également remplacé le coupleur magnétique par un coupleur capacitif sous certaines conditions strictes pour éviter les fortes circulations du courant dans le convertisseur. Malgré une dynamique moins bonne que le coupleur magnétique représenté dans le chapitre II, avec le coupleur capacitif, l'efficacité du convertisseur a été sensiblement améliorée en raison de l'absence de composant magnétique. En revanche l'utilisation de coupleur capacitif n'est pas encore assez fiable pour l'application RC et les études supplémentaires s'imposent.



---

## **Chapitre IV**





---

## IV. Conception et mise en œuvre du circuit de commande rapprochée intégré ASIC

L'expérience acquise avec les prototypes représentés au chapitre III, composés des composants GaN HEMT<sup>1</sup> et des composants de pilotage commerciaux, fait ressortir des caractéristiques importantes et exigeantes pour notre circuit de commande rapprochée. Ces caractéristiques reposent sur des commutations très rapides mais avec de faibles pertes grâce aux faibles éléments parasites du composant. Cependant ces caractéristiques exceptionnelles s'accompagnent de difficultés de mise en œuvre par rapport aux composants classiques en Si, ce qui impacte le fonctionnement des convertisseurs statiques. Il est donc capital aujourd'hui de prendre en compte ces nouvelles caractéristiques pour la conception d'un pilotage dédié des composants grand gap – HEMT et plus précisément GaN-FETs.

Ce chapitre tout d'abord rappelle les caractéristiques principales des composants à grand gap en lien avec les principes généraux de pilotage des composants GaN. A partir des nouveaux critères, nous proposerons une approche d'intégration monolithique d'un circuit de commande qui permet de répondre aux nouvelles contraintes, afin de réduire les délais de propagation et atténuer la dispersion des ordres de commande. Dans cette approche nous étudions une solution de transfert d'ordre de commande du circuit logique vers les circuits de commande de grille, compatibles avec les applications haute fréquence, haute température et immunes aux forts  $dV/dt$ , Dans cette perspective la minimisation des éléments parasites est un des objectifs les plus importants de ces travaux.

Ensuite les étapes de conception et design et enfin quelques résultats de validation et caractérisation du Quad-Gate-Driver (QGD) sont présentés à la fin de ce chapitre. Certaines comparaisons entre différentes façons de piloter un composant à grand gap ont été abordées à la fin de ce dernier chapitre.

### A. Pilotage des transistors à effet de champ en GaN

Les quelques éléments suivants, extraits des travaux expérimentaux présentés au chapitre III, nous permettent de connaître les critères associés au pilotage efficace des composants à grand gap :

- Fonctionnement à haute fréquence  $>MHz$ 
  - Rapidité pour charger et décharger la grille du transistor
    - Faible capacité parasite du transistor
    - Forte capacité en courant (*sortance*) du driver
- Faibles oscillations sur la grille ( $<1V$ ) en raison de la faible tension de seuil ainsi que la fragilité de la grille, à une tension grille-source de service proche de  $V_{GSmax}=6V$ 
  - Immunité aux forts  $dV/dt$
  - Très faibles éléments parasites
    - Faible encombrement
    - Géométrie adaptée
    - Report optimum : Flip-Chip
- Très faible temps de propagation des ordres de commande et faible dispersion des temps de propagation au sein d'un *Quad Gate Driver*
- *Zéro dispersion* des ordres de commande (*Zero Delay Mismatching*)

---

<sup>1</sup> High Electron Mobility Transistors

- Intégration monolithique
- Chemins de propagation (topologie) identiques pour tous les transistors que ce soit en bas de pont (*Low-Side*, LS) ou haut de pont (*High-Side*, HS)
- Synchronisation des ordres de commande à l'échelle du bras d'onduleur ainsi que du pont complet.

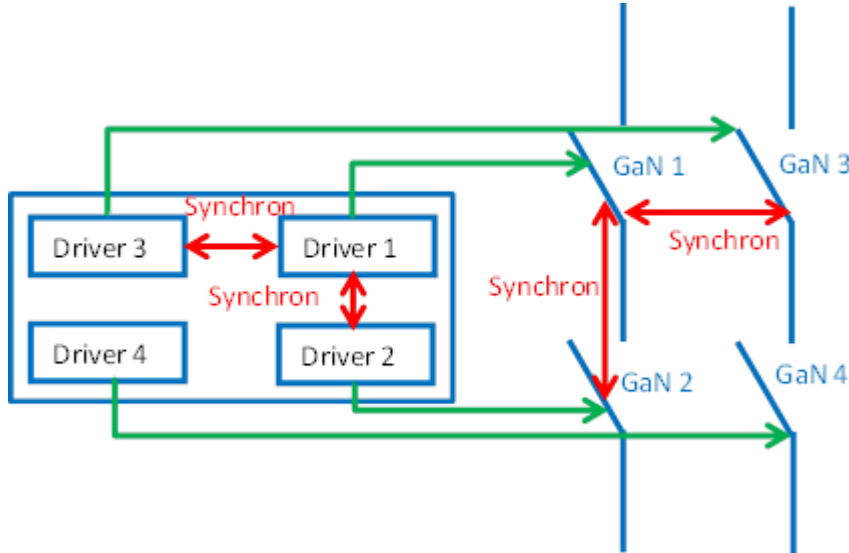


Figure IV-1 Idée de synchronisation simultanée des transistors d'une cellule de commutation et des bras afin d'optimiser le pilotage du pont complet en H

- Tension grille-source toujours inférieure à  $V_{GDth}$  pour éviter une conduction inverse du composant GaN causée par l'architecture symétrique du composant latérale GaN.
- Fonctionnement à haute température ( $200C^{\circ}$ ) ou plus si possible avec la technologie ASIC sélectionnée.
- Faible consommation électrique

Partant de ces contraintes/critères, nous allons maintenant faire un bref *benchmark* des circuits de commande rapprochés dédiés aux composants GaN-FETs. Tout d'abord nous étudions les différentes solutions de pilotage d'un composant à effet de champ et ensuite les contraintes essentielles associées au pilotage de grille d'un composant GaN-FET.

### i. Circuit de commande de grille d'un transistor grand gap à effet de champ

La littérature offre beaucoup d'exemples de circuit de commande rapprochée destinés à des applications à haute fréquence. En général le pilotage des transistors à effet de champ peut être divisé en deux principales catégories : la commande en courant et la commande en tension.

#### 1) La commande en courant

La commande en courant est une technique généralement basée sur un pont complet avec un élément inductif introduit entre les deux bras d'onduleur tout en permettant de réduire les pertes de commande en récupérant une partie de l'énergie utilisée pour la commande de la grille des transistors [108] [31]. Certaines topologies entre autres, consistent à charger une inductance couplée (Figure IV-2(a)) puis à la faire entrer en résonance avec la capacité de grille pour la charger [31] [109] [110] [111] [112] [113] [114]. Ces topologies permettent de récupérer en partie les charges

en les renvoyant vers l'inductance, l'alimentation ou dans la grille d'un autre transistor, ce qui réduit les pertes mais ajoute de la complexité [115] [116] [117].

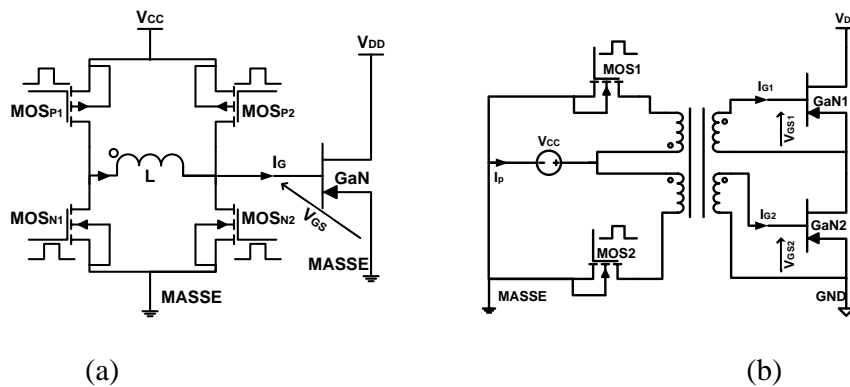


Figure IV-2 Schéma de principe de la commande en courant :

(a) non-isolée, (b) isolée

Certaines autres topologies de commande en courant sont isolées, à l'image de celles présentées dans [31] [118] (Figure IV-2(b)) et empêchent la tension des grilles de monter au-delà d'une certaine limite, ce qui est un avantage pour l'application au composant GaN. Néanmoins cette technique ne fonctionne que pour un rapport cyclique fixe de 0,5 et les signaux de grille doivent donc être symétriques. Une version avec des signaux dissymétriques est aussi proposée dans [118] mais elle ne permet plus de commander deux interrupteurs de façon complémentaire et nécessite donc de placer d'autres composants au secondaire de la barrière d'isolation.

En général, le dimensionnement d'un circuit de commande en courant peut s'avérer difficile car il exige de définir les caractéristiques du composant magnétique. En outre dans les travaux de thèse [31], les performances de la commande en courant ont été présentées et comparées avec celles d'un composant commercial spécialisé pour les composants GaN (LM5113) ainsi qu'avec différentes topologies de commande en tension, pour un cahier des charges unique. En théorie, les commandes en courant à consommation égale, réduisent le temps de charge d'un tiers comme cela est détaillé dans [31]. En revanche ces temps de commutation sont moins bons sur le plan expérimental qu'avec le driver commercial à commande en tension, car la mise en œuvre est difficilement optimale. La difficulté de mise en œuvre et la complexité de cette commande nous ont orienté vers l'utilisation d'une commande en tension.

## 2) La commande en tension

Le principe est d'appliquer une tension continue pour la charge de la capacité de grille du transistor. En général un pilotage en tension se décompose en trois éléments : le driver, la résistance de grille  $R_G$  et les alimentations du driver ( $V_{CC}, V_{SS}$ ) (Figure IV-3). La résistance de grille consiste en deux résistances internes *source/sink* ( $R_{Dsource}/R_{Dsink}$ ), la résistance discrète/externe de grille à proprement parler ( $R$ ) et, éventuellement, la résistance de grille interne au transistor ( $R_T$ , égale à  $0.6\Omega$  dans la deuxième génération des composants GaN chez EPC). Cependant la résistance externe est un élément optionnel pour introduire de l'amortissement, limiter les trop brusques variations de tension et éviter les surtensions sur la grille du transistor et/ou réglage d'un temps mort si ce dernier est demandé. Ayant minimisé les éléments parasites du circuit de commande de grille, la résistance

externe peut être éliminée car elle introduit un temps de propagation supplémentaire significatif dans le système de pilotage.

Au niveau de l'alimentation, la valeur minimale de  $V_{CC}$  est choisie de manière à ce que le transistor soit suffisamment polarisé (bon état passant  $V_{GS} > V_{th}$  avec la plus faible résistance drain-source  $R_{DS}$  possible). Il est également important que la valeur maximale de  $V_{CC}$  ne dépasse pas la tenue en tension de la grille tout en prenant en compte une marge de tension vis-à-vis des surtensions possibles sur la grille. Ensuite la valeur minimale de  $V_{SS}$  est choisie pour que le transistor soit correctement bloqué ( $V_{GS} < V_{th}$  avec le courant de fuite minimum). A cet effet, la valeur minimale doit être choisie selon la caractéristique de conduction inverse du composant – présentée dans le chapitre I – pour qu'il ne devienne pas passant dans le sens inverse à cause d'une polarisation parasite. Ce type de phénomène est interdit dans notre application : pertes supplémentaires, échauffements supplémentaires, risques de dégradation des composants du bras de commutation. Sur la Figure IV-3 sont représentés deux chemins en courant, de charge et de décharge, du circuit de commande d'un transistor.

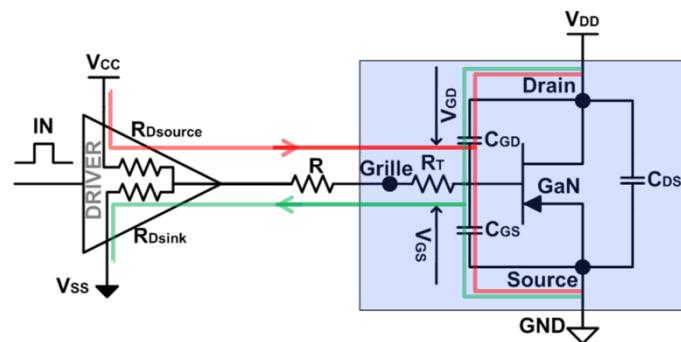


Figure IV-3 Schéma de principe de la charge et de la décharge des capacités parasites du transistor à l'effet de champ via par une attaque en tension

Le bloc *driver* illustré dans la Figure IV-3 a été détaillé dans la Figure IV-4, figurant le dernier étage *Push-Pull* et le bloc de contrôle de ce *Push-Pull* (*Buffer*). Deux circuits de *Push-Pull* sont envisageables, à base de transistors complémentaires CMOS (a) ou de transistors NMOS (b). L'étage à base de transistors NMOS présente une meilleure efficacité énergétique et surfacique grâce à des transistors identiques dans un bras avec une meilleure résistance spécifique comparée à celle des PMOS. Par contre, il nécessite obligatoirement une alimentation supplémentaire ( $V_{CC2}$ ), ce qui signifie des périphériques et des volumes ajoutés, ce qui impacte la densité de puissance. En effet, pour que le transistor NMOS<sub>HS</sub> puisse commuter, il doit être commandé à partir de la tension  $V_{CC2}$  référencée à  $V_{SS2}$ , une tension flottante qui varie entre  $V_{CC1}$  et  $V_{SS}$  (Figure IV-4b). Le transistor NMOS<sub>LS</sub> doit aussi être commandé à partir de la tension  $V_{CC2}$  mais cette fois-ci référencée à  $V_{SS}$ , qui est au même potentiel que la source du composant GaN dans cet exemple. A cet effet la configuration CMOS est la solution la plus utilisée en raison de sa simplicité.

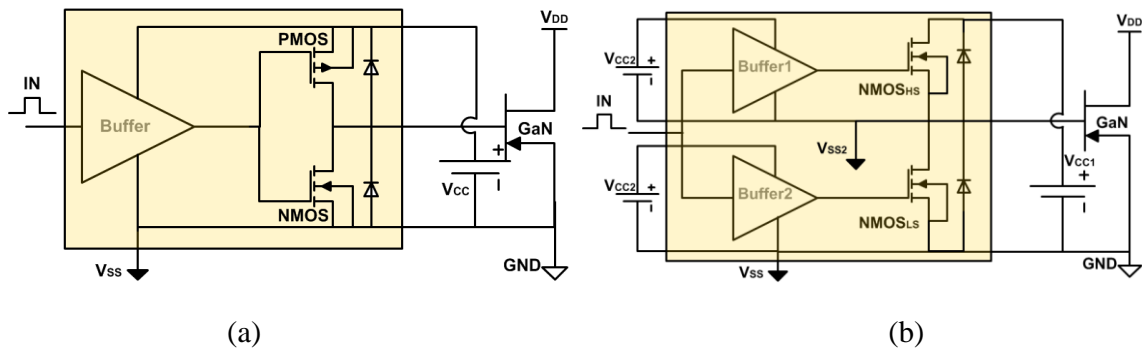


Figure IV-4 Deux configurations d'un étage *Push-Pull* : (a) CMOS (b) NMOS

Dans la Figure IV-4 (a) et (b), l'étage *Push-Pull* en sortie du *driver* est référencé par rapport de la source du transistor GaN commandé, reliée à GND de la partie puissance. Dans cette figure,  $V_{CC}$  est la tension d'alimentation de la partie commande qui est référencée à GND de la partie puissance. Cette illustration est le principe de la commande en tension. Cela est le cas le plus simple pour commander un transistor LS<sup>1</sup>. En revanche ce cas ne peut pas être utilisé tel quel pour commander un composant canal N comme un transistor GaN en position HS<sup>2</sup>, dont la source est connectée à un potentiel flottant qui varie entre  $V_{DD}$  et GND (Figure IV-5). De ce fait, une alimentation référencée à la source du transistor GaN<sub>HS</sub>, potentiel flottant, est obligatoire.

### 3) Alimentation du driver

L'alimentation d'un *gate driver* « HS » référencé à un potentiel flottant peut être réalisée de nombreuses manières comme l'alimentation isolée, un Bootstrap, une auto-alimentation, voire même par voie optique [32]. Le choix parmi ces solutions dépend de la taille du transistor de puissance (capacités parasites) et du taux d'intégration souhaité, la fréquence de commutation et les dynamiques de commutation attendues, et déterminent alors la puissance qui doit être fournie au circuit de commande.

L'alimentation isolée ou séparée offre plus de flexibilité par rapport au système *Bootstrap*. Cette alimentation consiste en des convertisseurs DC-DC isolés simples, tels que le convertisseur Flyback [119] ou des convertisseurs utilisant un transformateur très haute fréquence [120] [121]. En revanche l'efficacité de cette première solution est généralement assez faible à cause du rendement faible sur de petits convertisseurs statiques basse tension. De plus, l'introduction d'un composant magnétique augmente en général sensiblement le volume de l'alimentation. En outre ce type de composant magnétique peut créer des fortes capacités parasites en mode commun entre primaire et secondaire de l'alimentation isolée, ce qui est très critique lors des fonctionnements de la partie puissance à très forts  $dV/dt$ . Enfin ces petits convertisseurs sont généralement très polluants au niveau des perturbations CEM conduites et rayonnées à cause du transformateur haute fréquence ( $\gg 100$  kHz). Le rendement de conversion, les contraintes sur les interrupteurs de puissance et le volume du transformateur de ces alimentations DC-DC isolées peuvent être améliorés en utilisant une technique plus complexe dite à résonance, ce qui est hors de portée de cette thèse. Nous ne parlerons pas non plus de l'enfouissement du transformateur au sein du circuit imprimé de la carte *driver*.

<sup>1</sup> Low-Side ou bas de pont

<sup>2</sup> High-Side ou haut de pont

Une autre solution fréquemment utilisée est la topologie *Bootstrap*. La capacité *Bootstrap* sert d'alimentation pour la partie HS : elle se charge lorsque l'interrupteur LS est passant et elle se décharge principalement à la fermeture du transistor HS. Dans cette configuration la capacité *Bootstrap* est reliée à la source du transistor HS. Elle est chargée par l'alimentation du driver « LS » via une diode dite de *Bootstrap*, ce qui ajoute également un peu moins d'une dizaine de picofarad de capacité parasite de mode commun entre la partie LS et la partie HS du circuit de commande. Lorsque l'interrupteur complémentaire dans le bras d'onduleur s'ouvre, la capacité est chargée et peut servir d'alimentation pour la partie HS du driver, et la diode de *Bootstrap* l'empêche de se décharger vers l'alimentation. Cette capacité de *Bootstrap* maintient une tension fixe le long du fonctionnement du transistor LS sous certaines conditions. Cette technique est simple, facile à mettre en œuvre et efficace à haute fréquence et immune aux forts  $dV/dt$  avec une très faible capacité parasite de la diode de *Bootstrap*.

Il existe d'autres techniques pour alimenter le *driver* comme par exemple l'auto-alimentation [122] [48]. Le circuit d'auto-alimentation étant directement connecté à partie puissance n'est pas une solution fiable pour le transistor GaN avec une tension de seuil faible et une grille fragile [108]. D'autres types d'alimentation utilisent un lien optique [123]. Cette solution est la moins efficace au plan énergétique car l'énergie récupérable à l'extrémité du lien optique est très faible par rapport à l'énergie injectée. De plus la complexité de mise en œuvre d'un tel circuit de commande est notable.

Nous avons utilisé la technique *Bootstrap* pour sa simplicité, sa généricité et un bon taux d'intégration au niveau de la diode *Bootstrap*. Dans cette thèse nous avons intégré dans la puce *driver* une partie de la capacité *Bootstrap* à l'aide de condensateurs à haute densité, dits TMIMH ( $6.6\text{fF}/\mu\text{m}^2$ ).

#### 4) Transfert d'ordres de commande

Un bras de pont à commutation synchrone avec son circuit de commande rapproché ainsi que la partie isolée du circuit éloigné de la logique de commande, est représenté à la Figure IV-5. Le générateur des ordres de commande est référencé à la même référence fixe que le transistor GaN<sub>LS</sub> et son alimentation  $V_{CC}$ .

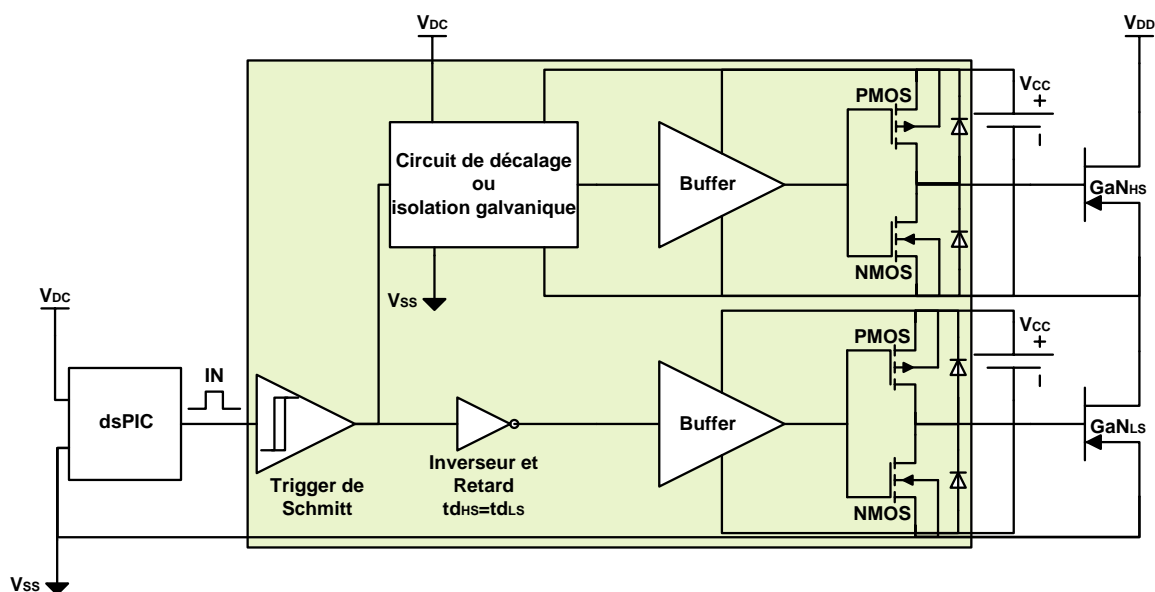


Figure IV-5 Schéma de principe d'un circuit de commande de grille standard

Le signal de commande IN peut donc être directement connecté aux étages d'amplification (Inverseur – *Buffer* – *Push-Pull*) du transistor LS. Ce n'est pas le cas pour la voie HS pour laquelle l'alimentation est référencée à un potentiel flottant par rapport au référentiel de la partie commande ( $V_{ss}$  dans cet exemple). Le signal IN étant incompatible en l'état avec le *driver* du transistor HS, un circuit de décalage ou d'isolation du signal IN est nécessaire pour que son image, référencée à la source de circuit de puissance et le générateur de logique de commande, soit utilisable par le *driver* HS. En général deux types de circuit de transmission d'ordres de commande peuvent être étudiés : des circuits à isolation galvanique et le circuit non-isolé de décalage de niveaux de tension, dit *Level-Shifter*. L'isolation galvanique peut être réalisée en convertissant le signal électrique, soit en signal lumineux [32], soit en signal magnétique grâce à un transformateur (Coreless [124] et/ou avec circuit magnétique [31]) ou soit en ordres radiofréquences avec le coupleur radiofréquence [125]. Dans [108] il est montré que le temps de propagation des ordres de commande ainsi que la dispersion des délais de propagation à travers les circuits d'isolation ou de décalage des signaux, varient beaucoup d'un système à l'autre et les circuits à décalage présentent de plus faibles délais de propagation que les circuits à isolation galvanique. Parmi les circuits à isolation galvanique, le transformateur d'impulsions présente aussi un temps de propagation et des dispersions plus faibles que les autres circuits à isolation galvanique. Nous allons par la suite détailler brièvement le fonctionnement du transformateur d'impulsion et du *Level-Shifter*, circuits largement répandus pour la transmission d'ordres de commande à un transistor HS.

#### (a) Transformateur d'impulsion

Ce transformateur non seulement permet de transmettre le signal mais aussi l'alimentation de la commande locale. Dans notre cas le Bootstrap est inutile avec le transformateur d'impulsion. De plus, un seul transformateur peut être utilisé pour isoler plusieurs commandes identiques ou complémentaires (Figure IV-6.) Pour cela il suffit de placer plusieurs enroulements au secondaire et d'adapter leur sens de couplage.

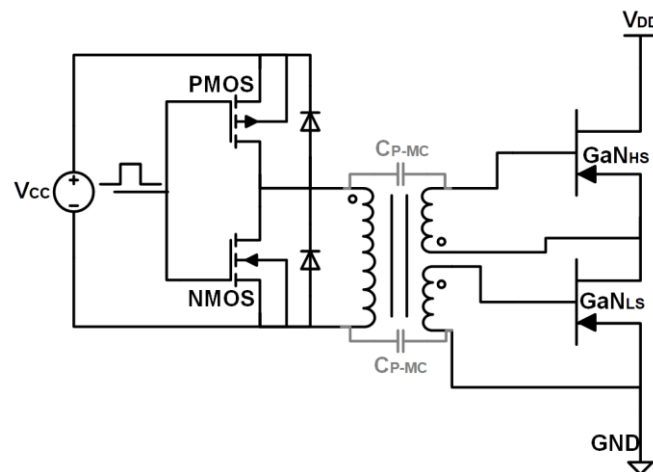


Figure IV-6 Le transformateur d'impulsion multi-enroulements au secondaire pour commander un bras de pont

Dans le cas de l'utilisation d'un transformateur pour commander un bras, les tensions grille-source des transistors GaN seront symétriques, ce qui pourrait augmenter les pertes pendant les temps morts. Pour contrer ce problème on peut rajouter au secondaire du transformateur une diode et une capacité comme détaillé dans [31]. Néanmoins cette solution semble peu adaptée aux transistors



GaN pour lesquels on souhaite éviter<sup>1</sup> les tensions grille-source négatives et dont les tensions de commande sont faibles. Le transformateur reste difficile à intégrer de manière compatible avec une technologie CMOS au sein du *gate driver*. Le seul moyen d'intégrer un transformateur avec noyau est l'intégration hybride ce qui introduit des temps de propagation dépendant de la connectique employée et donc une dispersion des ordres de commande.

D'autres types de circuit de commande à isolation galvanique avec transformateur d'impulsion sans noyau – dit *Coreless* – ont été présentés [124], associés à un circuit encodeur au primaire et d'un circuit décodeur au secondaire. Le taux d'intégration du transformateur *Coreless* est meilleur que le transformateur avec noyau magnétique. Dans [126] nous pouvons voir les résultats obtenus avec ce circuit à isolation galvanique, ce qui représente une bonne immunité à fort dV/dt mais la consommation, le délai de propagation et la dispersion des ordres de commande sont très importants. De plus les capacités parasites entre primaire et secondaire de transformateur ( $C_{P-MC}$ ) peuvent créer de fortes circulations de courant de mode commun dans le circuit de commande de grille, ce qui génère des perturbations dominantes sur les signaux de sortie du *gate driver*. En outre, quand les signaux transmis doivent être modulés à très haute fréquence (@GHz) à travers l'encodeur, le circuit de commande et le transformateur deviennent une source d'émission électromagnétique qui peut poser problème vis-à-vis des autres périphériques voire des normes à respecter.

### (b) *Level-Shifter*

Le principe du transfert d'ordres de commande au transistor HS par l'intermédiaire d'un bloc adaptateur de niveau de tension, dit *Level-Shifter*, est représenté à la Figure IV-7. Dans un tel circuit, l'information référencée à la source du transistor LS ( $V_{SS}$ ) est décalée à la référence du transistor HS par l'intermédiaire d'un transistor haute tension  $T_{Level-Shifter}$ . C'est la tension de claquage de ce transistor qui va limiter la tension d'utilisation du *Level-Shifter*.

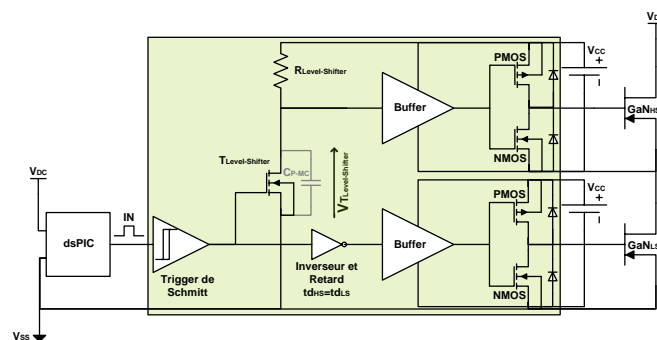


Figure IV-7 Schéma de principe du circuit de commande de grille avec adaptation de tension à l'aide d'un *Level-Shifter*

Dans un tel circuit de commande de grille, la sensibilité du *Level Shifter* est liée au courant de la source de courant créée avec le transistor haute tension. Le temps de conduction du  $T_{Level-Shifter}$  et le temps de passage du courant dans la  $R_{Level-Shifter}$  doivent être minimisés car ces derniers génèrent des pertes supplémentaires. Dans cette perspective un générateur d'impulsion avec un bras de *Level-*

<sup>1</sup> Un niveau négatif de tension d'alimentation implique sa production, donc un impact sur la densité de puissance, la complexité et la fiabilité. Par contre le problème de « *current collapse* » associé aux transistors GaN peut exiger la présence d'une tension négative pour commander la grille au blocage.

*Shifter* supplémentaire et ensuite une bascule RS peuvent être ajoutés après le *Level-Shifter* (Figure IV-8) afin de limiter les pertes dans les transistors ainsi que les résistances du *Level-Shifter*.

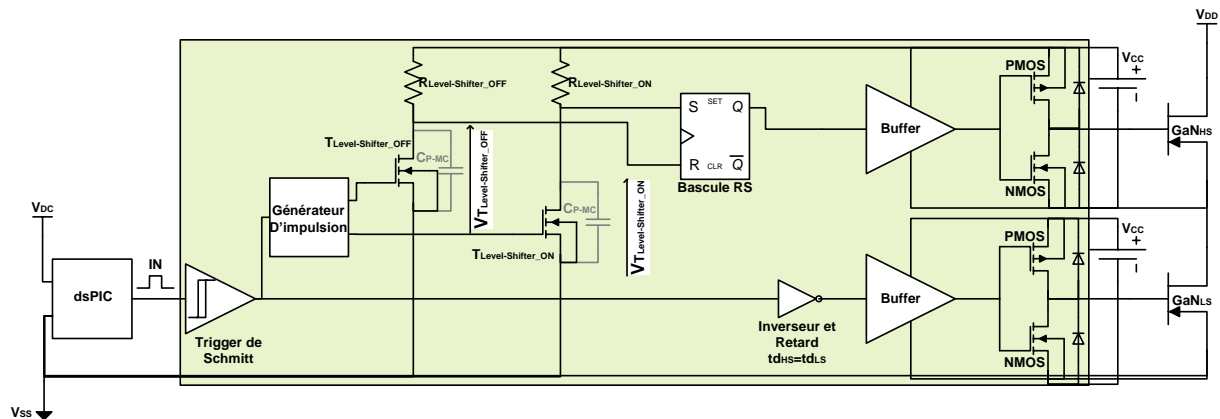


Figure IV-8 Schéma de principe d'un *Level-Shifter* avec générateur d'impulsion

Dans le cas avec impulsion de courant dans les résistances du *Level-Shifter*, la consommation du circuit de décalage est plus faible que celle dans les circuits précédents, pour un cahier des charges identique. Le temps de propagation et la dispersion correspondants sont plus faibles par rapport aux circuits de commande à isolation galvanique. Par rapport au transformateur d'impulsion, le *Level-Shifter* a des capacités parasites moins importantes. Ces capacités consistent en la somme des capacités parasites des transistors du *Level-Shifter* entre le drain et la source ( $C_{P\_MC}$ ). Concordant en tous points, cette technique de transmission des signaux est intégrable de manière monolithique grâce à l'absence de circuits magnétiques et/ou de combinaisons optiques. A cet effet, quand dans un *gate driver* HS, l'isolation galvanique n'est pas demandée pour une application basse tension si et seulement si la tension  $V_{T\_Level-Shifter}$  ne dépasse pas la valeur  $V_{DSmax}$  du transistor du *Level-Shifter*  $T_{Level-Shifter}$ , le circuit de décalage de niveaux de tension (*Level-Shifter*) peut satisfaire aux exigences de commande rapprochée d'un transistor HEMT à haute fréquence. Nous avons étudié un circuit *Level-Shifter* compatible avec les applications à basse tension, très basse consommation, haute température et haute fréquence, compatible avec les contraintes de mise en œuvre de transistors GaN dans un convertisseur synchrone à pont complet comportant quatre *gate drivers* identiques (QGD : *Quad-Gate-Driver*), avec une tension de claquage au niveau du *Level-Shifter* de 100 V à 200 V.

## ii. Spécifications et caractéristiques

### 1) Délais de propagation et dispersion du signal

Parmi tous les points critiques abordés au début de ce chapitre, l'impact de la dispersion des délais de propagation est le plus remarquable sur la performance de commutation des transistors GaN à haute fréquence. Comme nous avons pu voir à la fin du chapitre III, dans le contexte de convertisseurs statiques synchrones mettant en œuvre plusieurs composants GaN, la gestion des délais de propagation et la maîtrise de leurs dispersions est un point important. Pour cela, les *gate drivers* doivent avoir de faibles temps de propagation et quasiment pas de dispersion des signaux sur les voies LS et HS. Ce dernier permet entre autre de limiter les distorsions de largeur du signal et de favoriser les commutations GaN-GaN sans temps mort ni court-circuit. Dans le cas du pont complet la synchronisation des ordres de commande entre deux bras d'onduleur peut éliminer la problématique de dispersion entre deux bras. La plupart des *drivers* commerciaux disponibles ne

sont pas adaptés à un fonctionnement à haute fréquence. Le *driver* spécifique LM5113 pour GaN (proposé par EPC) utilisé dans nos prototypes DAB-GaN M/C (magnétique et capacitif), dispose d'un faible délai de propagation de 28 ns et d'une distorsion maximale de 1,5 ns, ce qui n'est pas adapté à un fonctionnement au-delà du MHz (délais de propagation inférieurs à 10ns avec une dispersion inférieures à la nanoseconde).

Le problème de dispersion entre les signaux LS et HS est plus critique dans le cas des convertisseurs à haute fréquence. En effet, si les signaux de commande des deux transistors ne sont pas propagés avec le même délai, deux situations sont imaginables : le temps mort devra être réglé plus long pour empêcher tout court-circuit et/ou il est spontanément plus long. Dans tous les cas, la présence de temps morts importants dégrade les performances du système car les transistors conduisent en inverse avec une mauvaise caractéristique et donc les pertes seraient considérablement augmentées [108] [32].

Afin de donner un exemple, la Figure IV-9 représente le délai de propagation Turn-ON ( $t_{D1}$ ) et Turn-OFF ( $t_{D2}$ ) ainsi que les temps de montée ( $t_R$ ) et de descente ( $t_F$ ) dans un *driver* non-inverseur.

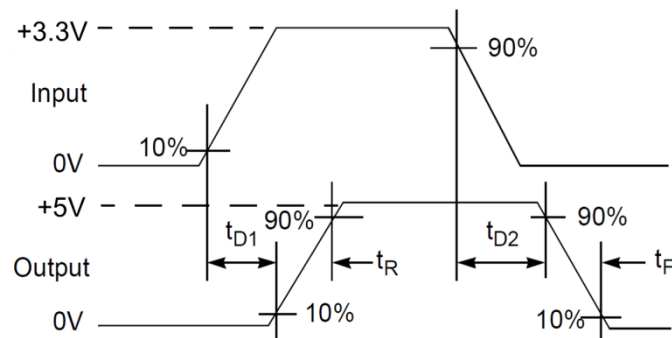


Figure IV-9 Définition des délais de propagation et des temps de montée et de descente d'un *driver*

Dans cet exemple, si le délai de propagation correspondant à  $t_{D1}$  est plus court que  $t_{D2}$  quand dans un bras d'onduleur les deux *driver* de LS et HS sont identiques par ailleurs, on commence par fermer un interrupteur avant de commencer à ouvrir l'autre : on risque donc de générer un court-circuit de bras et les pertes supplémentaires pouvant provoquer jusqu'à la destruction prématurée du transistor. A cet effet il nous faut augmenter le temps mort ce qui n'est pas forcément souhaitable non plus car comme dit plus haut, pendant le temps mort la conduction inverse du transistor de puissance GaN – à commutation GaN-GaN – génère des pertes supplémentaires même plus importantes que la chute de tension aux bornes d'une diode de roue-libre. A l'inverse si c'est  $t_{D2}$  qui est plus court que  $t_{D1}$  alors on aura un temps mort supplémentaire non-désiré avec des pertes supplémentaires. De façon similaire, si le temps de montée de la tension en sortie du driver est inférieur ou supérieur à celui de la descente, on risque à nouveau de créer respectivement le court-circuit ou un temps mort supplémentaire.

A cet effet les chemins de propagation du circuit de commande de grille ainsi que les techniques et caractéristiques d'alimentation des *gate drivers* doivent être identiques pour les transistors LS et HS. De plus, la géométrie doit nous permettre d'avoir les mêmes distances minimum de pistes entre la sortie respective des *drivers* et les grilles des transistors LS et HS. Enfin, pour une meilleure synchronisation des ordres de commande des transistors au sein d'un pont complet, il est exigé l'intégration monolithique des quatre *gate drivers* pour les quatre transistors du pont complet, pour

---

homogénéiser les dispersions ainsi que les conditions de fonctionnement, en particulier en température.

## 2) Immunité à fort $dV/dt$ et $dI/dt$

Dans un composant HEMT tel que le transistor GaN, une mobilité élevée des électrons permet de fonctionner à haute fréquence. De plus, un transistor GaN est plus petit que son homologue en Silicium. De ce fait, sa structure de grille latérale donne une capacité de grille qui est significativement inférieure à celle d'un transistor Si et une résistance de l'état passant équivalente. Cela permet théoriquement une commutation très rapide à l'aide de forts pics de courant en sortie du *driver* et donc les fréquences de fonctionnement peuvent être augmentées de plus en plus, et les éléments parasites, inhérents à la structure physique des composants, doivent être réduits afin d'accroître les dynamiques des interrupteurs. En effet, en commutation rapide, la vitesse de variation de la tension  $dV_{DS}/dt$  peut varier de quelques dizaines à quelques centaines de volts par nanoseconde, et la vitesse de variation du courant  $dI_D/dt$  peut être de plus de dix ampères par nanoseconde [32].

Comme dit dans le chapitre III, les perturbations de mode commun sont générées par les  $dV/dt$  et utilisent comme canal de transmission les capacités parasites présentes dans les circuits, créant des boucles de courant circulant par l'intermédiaire du potentiel de terre. La commutation à haute fréquence des interrupteurs va alors exciter ces capacités parasites et générer des courants de mode commun qui pourront perturber les signaux en sortie du *driver* et perturber alors la commutation des transistors GaN correspondant. La Figure IV-10 présente le cas où le fort  $dV/dt$  au point milieu de deux transistors dans un bras de pont peut générer des courants de mode commun qui peuvent perturber le circuit de commande de grille à travers la capacité de mode commun (capacité d'entrée). Durant les commutations des deux interrupteurs de puissance, la piste qui les relie va voir son potentiel fluctuer avec de fortes valeurs de  $dV/dt$ . Des courants de mode commun vont alors traverser  $C_{IN}$ . Ils pourront ensuite se reboucler via d'autres capacités parasites comme celles entre le point milieu et la masse de commande éloignée,  $C_{P1}$  ou encore les capacités parasites entre l'entrée du *driver* et la référence de générateur de commande logique,  $C_{P2}$ . A cet égard, on se retrouve avec un diviseur capacitif et si les valeurs des capacités parasites sont proches en valeur : on pourra avoir des phénomènes d'auto-commutation, voire des surtensions en entrée des circuits analogiques [31]. Il est donc nécessaire de limiter la valeur de ces capacités parasites de mode commun. Dans la technique par *Level-Shifter*, les capacités parasites de mode commun sont représentées par les capacités parasites des pistes entre le circuit de commande et le boîtier et la référence de potentiel du convertisseur ainsi que la somme des capacités parasites entre drain-source des transistors HS du *Level-Shifter* ( $C_{P-MC}$  dans la Figure IV-8) qui sont excitées par la variation de la tension du point milieu du bras d'onduleur.

Dans la Figure IV-10, la boucle de puissance constituée de  $GaN_{HS}$ ,  $GaN_{LS}$  et  $C_d$  est la source d'émission des perturbations et la maille du circuit de grille avec les inductances parasites du circuit de commande de grille en est la première victime. En effet, au-delà des courants physiques perturbateurs induits par les éléments parasites, ou encore des pistes communes sensibles au  $dI/dt$ , les variations de champs générées par la partie puissance pourront se reboucler en passant par le circuit de commande de grille, générant ainsi des tensions ou courants dans ce dernier et le cas échéant, des commutations non-volontaires ou des surtensions qui peuvent détruire la grille fragile du composant GaN. Afin de fournir le meilleur contrôle de la grille et de fournir une première solution efficace contre les surtensions et remises en conduction parasites précédemment évoquées,

il est nécessaire que la maille du circuit de commande de grille soit la plus courte possible. Le *driver* peut être réalisé soit entièrement en composants discrets, soit sous forme d'un ASIC interconnecté au plus près des transistors GaN, soit entièrement en composants intégrés avec les transistors de puissance. L'avantage d'un circuit de commande entièrement intégré est indéniable. Il permet de fortement réduire la longueur des interconnexions entre les composants constituant la maille de commutation et donc réduire le plus possible les tensions induites dans le circuit de grille. Elle permet aussi de minimiser les inductances parasites au sein de celle-ci, ainsi que de fortement réduire la taille du système et les coûts en grand volume. Par contre un *driver* entièrement intégré limite a priori la flexibilité. Par ailleurs, l'intégration monolithique du *driver* en technologie GaN n'est actuellement pas encore disponible commercialement, surtout dans le cas d'une compatibilité avec la technologie GaN du composant de puissance.

La minimisation des boucles de courant comme celle de la maille du circuit de commande de grille est souhaitable. Le report *Flip-Chip* et la géométrie des *pads* du *driver* doit être adaptée avec celle des transistors GaN pour minimiser au maximum les pistes entre le *driver* et le transistor.

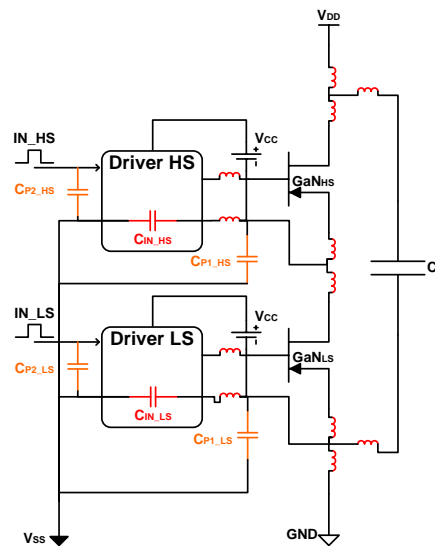


Figure IV-10 Principaux éléments parasites dans le circuit de commande d'un bras d'onduleur (des couplages entre éléments magnétiques ne sont pas représentés mais sont possibles voire importants)

### 3) Faible oscillation de tension sur la grille ( $\Delta V_{GS} < 1V$ )

La littérature, puis plus récemment les « application notes », ou « Data Sheet » des fabricants des premiers transistors GaN EPC, le stipulent clairement : des tensions de polarisation en direct  $V_{GS}$  entre 4,5V (min) et 5V (max) respectivement sont souhaitables afin de minimiser la résistances à l'état passant ( $R_{DS(on)}$ ) des transistors et par conséquent les pertes en conduction. Cela ne laisse que 0,5V de marge, ce qui est assez faible, surtout dans un contexte de commutation rapide. Comme évoqué plus haut, un transistor GaN a des faibles valeurs de capacité parasite par rapport à son homologue en Si à résistance à l'état passant équivalente, ce qui conduit le composant à avoir des faibles tensions de seuil  $V_{th}$  ainsi donc une faible tension Miller. Cela contraint fortement l'immunité aux  $dV/dt$  mais cela contraint également les dynamiques de courant pouvant être admissibles sans destruction de la grille du transistor de puissance. La Figure IV-10 montre des inductances parasites dans la boucle de commande ainsi que dans la cellule de commutation côté puissance. Ces éléments parasites entraînent des ondulations de la tension  $V_{GS}$  pendant la commutation qui peuvent provoquer le réamorçage du transistor lors de la phase d'ouverture. En

conséquence, cela peut induire un court-circuit et/ou dans le meilleur des cas, l'augmentation des pertes. De ce fait la minimisation de ces éléments parasites doit être maximale, mettant en œuvre le report *Flip-Chip* de la puce nue vis-à-vis des transistors de puissance aussi en puce nue (GaN-EPC). Dit autrement, la géométrie du *driver* devrait être conçue pour que les sorties d'ordre de commande soient en vis-à-vis de la grille des transistors dans un pont complet.

De plus, pour le pilotage des transistors GaN, on préfère modifier la structure du *Push Pull* pour différencier deux sorties : l'une pour l'amorçage du transistor (*sourcing*) et l'autre pour le blocage (*sinking*). Ainsi on peut différencier et spécifier les caractéristiques de chacune des deux commutations et adapter celles-ci au contexte.

#### 4) L'approche thermique (haute température)

Les transistors GaN sont des candidats disposés pour un fonctionnement à température ambiante élevée dans les applications basse et moyenne tensions. Comme évoqué plus haut, dans le but de réduire au maximum les éléments parasites, on préfère disposer de circuits de commande au plus proche des composants de puissances. Par exemple sur la Figure IV-11 l'image thermique prise du prototype « DAB-GaN Magnétique » montre la température du circuit LM5113 plus élevée que celle des transistors EPC2016 dans chaque bras du pont. Cela est causé par un fonctionnement à une température ambiante élevée et une fréquence de découpage élevée. La photo thermique est prise en régime permanent du fonctionnement du convertisseur DAB-GaN magnétique avec le cahier des charges présenté au chapitre III. Maintenant imaginons un driver qui génère quatre commandes correspondant aux transistors d'un pont complet. La Figure IV-12(a) représente le positionnement symétrique d'un *Quad-Gate-Driver* avec quatre transistors correspondant à un pont complet. On peut imaginer que la température de fonctionnement en régime établi du driver sera proche de celles des transistors GaN comme illustré à la Figure IV-12(b). En conséquence, les *drivers* doivent être capables de tenir les températures de fonctionnement élevées des transistors à grand gap, pouvant aller au-delà de 200°C dans la pratique aujourd'hui et bien au-delà en théorie.

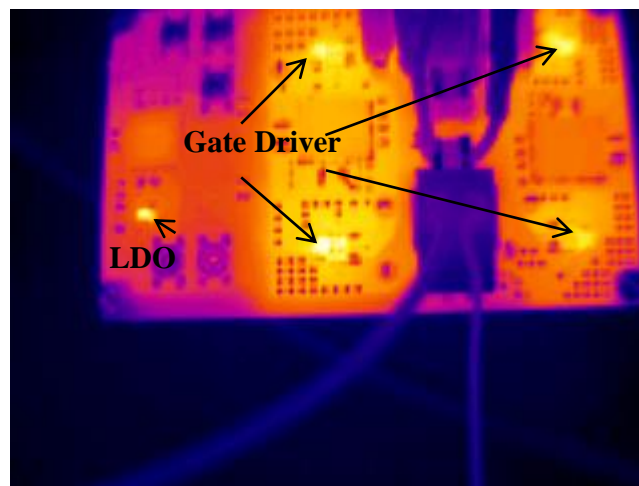


Figure IV-11 Photo thermique prise du prototype DAB-GaN avec coupleur magnétique

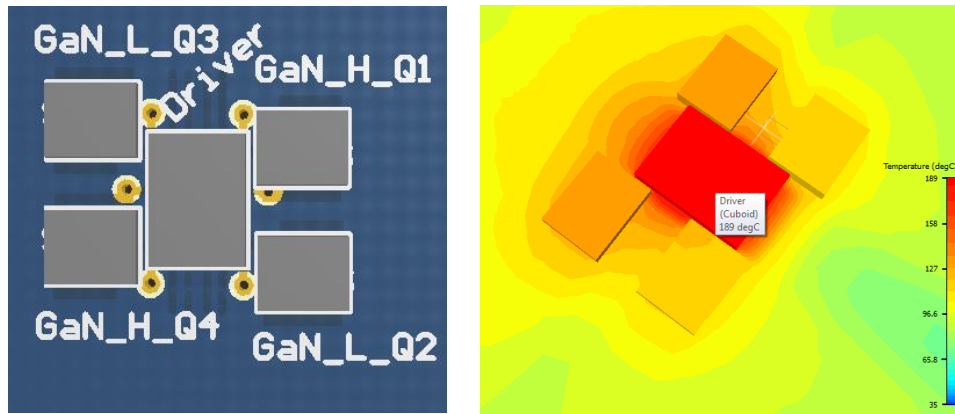


Figure IV-12 Simulation thermique du *Quad-Gate-Driver* avec le logiciel Flotherm

La simulation thermique du *driver* est faite dans les conditions suivantes : les pertes des transistors GaN autour du driver sont fixées pour qu'ils fonctionnent à leur température maximum soit  $165^{\circ}\text{C}$  et les pertes du driver sont fixées pour qu'il fonctionne aussi à la limite de sa température maximale, prenant en compte toutes les résistances thermiques du composant jusqu'au boîtier et aussi les *pads* thermiques. Les maillages thermiques sont faits pour un volume de  $1000\text{ cm}^3$  et la masse thermique est optimisée en fonction de la géométrie, des pistes du *driver* et de la conductivité thermique ( $\text{Cu}$ ,  $390\text{W}\cdot\text{m}^{-1}\cdot\text{K}^{-1}$ ). Concrètement on voit bien que la température du driver est plus élevée que la température maximale de fonctionnement des transistors de puissance.

Cela nécessite de faire un choix technologique pertinent: nous avons utilisé une technologie CMOS – SOI compatible avec les applications HT° visées par les composants grands gaps. Il est important de rappeler que dans nos circuits, nous mettons en œuvre des composants haute tension qui sont eux-mêmes très dépendants de la température. Cela limite d'autant plus et conditionne le choix d'une technologie compatible en tension et en température sans excès pour ne pas pénaliser l'une ou l'autre des spécifications du cahier des charges.

### iii. Technologie SOI – XT018 (X-FAB)

Plusieurs critères vont nous permettre de faire le choix de la technologie :

- Une finesse de gravure de  $0.18\mu\text{m}$  permet de faire fonctionner notre circuit aux fréquences au-delà de MHz, d'embarquer une logique peu gourmande en place, et de limiter les coûts d'accès à la technologie.
- Une isolation SOI est nécessaire en raison des différentes références sur le même substrat et pour minimiser les courants de fuite en haute température.
- Les transistors haute tension sont indispensables pour le *Level-Shifter* ou un circuit équivalent (circuit de décalage de tension). Dans notre application, la tension minimale est de l'ordre de 40 à 50V.
- Enfin, compte-tenu des forts pics de courant à la sortie du *driver*, plusieurs couches de métal sont souhaitables, en particulier avec une bonne épaisseur pour le *top metal*.

Plusieurs procédés technologiques s'offrent à nous : « STMicro-electronics », « AustriaMicroSystems » (AMS), « Dalsa » ainsi que « Xfab ». Dalsa propose des finesses de gravure allant de  $0,8\ \mu\text{m}$  à  $9\ \mu\text{m}$ , ce qui n'est pas adapté à notre convertisseur. À l'inverse, STMicroelectronics propose des technologies de 45nm à 130nm, trop fines pour nos travaux. AMS

proposent des technologies dont les finesses de gravure vont de 180nm à 0.6µm mais sans substrat SOI, ce qui limite la montée en température du *driver*.

En revanche Xfab est une technologie SOI avec six couches de métal qui ouvre la possibilité de forts pics de courant. La plage de tension maximale des transistors CMOS est large et suffisante pour notre application (jusqu'à 200 V). C'est une technologie dite haute température (175°C à pleine tension) avec des courants de fuite très faibles, sachant que c'est un critère très important. Dans le cadre du projet MEGaN, dont G2Elab et Ampère sont partenaires, la technologie XFab XT018 a été évaluée en température au-delà de 175°C en vue de l'utiliser comme technologie pour les circuits de *gate driver* du projet. Il ressort des études que la compatibilité jusqu'à 200°C est possible, même avec les transistors haute tension mais qu'il est difficile de monter au-delà pour ces mêmes composants.

## B. Conception de la commande rapprochée

On va dans cette partie étudier et proposer une topologie de circuit de commande de grille. Cette topologie de commande rapprochée consiste en deux parties principales, représentées Figure IV-13 : unité de contrôle de transfert de commande (*Control Signal Unit – CSU*) et unité de propagation d'ordres de commande (*Propagation Signal Unit – PSU*). La partie PSU est composée de deux voies séparées avec la même configuration structurale mais le dimensionnement est dédié soit au courant de charge (*sourcing*) ou de décharge (*sinking*). Ensuite chacune d'entre elles est composée de trois sous-unités : l'étage de contrôle du retard (*Dead-time Management Stage – DMS*), les étages d'amplification du signal (*Signal Buffering Stage – SBS*) et l'étage de sortie du signal (*Signal Output Stage – SOS*). Pour les deux premières sous-unités (DMS et SBS), nous nous sommes appuyés sur les travaux de thèse de O. Deleage [30], travaux qui ont été repris plusieurs fois dans les thèses de T.H Trinh [127], L. Kerachev [17], T.H. Phung [27], J. Delain [31] et T.L. Le [32]. Pourtant, pour que le circuit intégré puisse fonctionner sous 5V (la tension unipolaire alimentant le *driver*) il doit être entièrement revu pour tenir compte des particularités de la technologie (SOI-XT018). Nous allons maintenant commencer par présenter la topologie et son fonctionnement ainsi que son dimensionnement et son assemblage avec le circuit imprimé (PCB ou carte *driver*). A la fin du chapitre les résultats expérimentaux seront présentés et puis quelques comparaisons de ce circuit de commande de grille avec les autres travaux effectués au G2Elab sur la conception et réalisation de drivers dédiés aux composants grand gap seront abordées avant la conclusion.

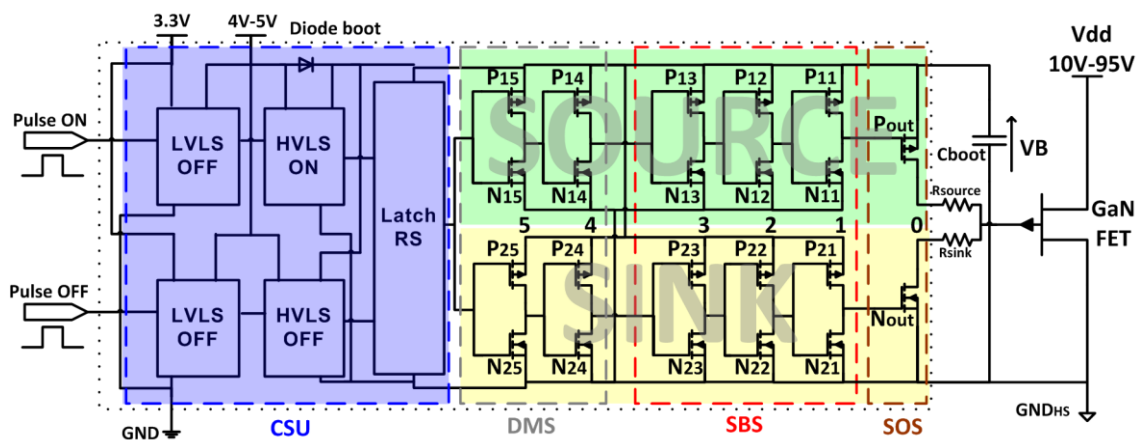


Figure IV-13 Topologie du circuit de commande de grille



---

### **i. La topologie *Quad-Gate-Driver***

La topologie de ce *gate driver* (QGD) est basée sur l'association de 4 circuits de commande rapprochée, chacun d'eux étant associé à un circuit de décalage de potentiel, dit *Level-Shifter*, l'ensemble étant regroupé et intégré dans la même puce. Chacun des quatre canaux reçoit son propre signal de commande. Le QGD permet donc de piloter quatre transistors de puissance identiques situés, par exemple, dans un pont complet. Autrement dit, on veut pouvoir commander chaque transistor de puissance indépendamment de sa position dans la cellule de commutation de puissance – qu'il soit HS ou LS – avec le même circuit de commande de grille. L'intégration monolithique doit nous aider à éliminer la dispersion des temps de propagation entre les quatre circuits. A cet effet la topologie nous permet de fonctionner avec une alimentation unipolaire (0, +V<sub>CC</sub>) référencée à un potentiel fixe ou flottant, qui peut être le potentiel de référence pour le générateur d'ordres de commande ou non. La consommation de cette topologie doit rester suffisamment faible (<10mW pour générer quatre signaux de commande). Enfin, dans un premier temps, les signaux de commande seront générés par des sources externes comme par exemple un microcontrôleur tout en ayant la possibilité d'intégrer le générateur de signaux sur le même substrat que le *gate driver*.

Dans cette partie tout d'abord nous allons introduire la conception d'unité de propagation des signaux (PSU). Ensuite l'unité de contrôle de transfert d'ordres de commande et le circuit de décalage de niveau de tension sont présentés. En effet le circuit de décalage de tension proposé comprend une configuration en miroirs de courant et bascule « RS », ce qui permet de fonctionner avec des impulsions afin de minimiser les pertes dans le circuit de décalage de tension et diminuer sensiblement l'impact de perturbations sur les signaux d'entrée du driver. Par ailleurs cette approche permet de symétriser les temps de propagation des signaux montants et descendant.

#### **1) Unité de propagation d'ordres de commande – PSU**

Comme évoqué plus haut, nous avons divisé l'unité de propagation des signaux de chaque circuit de commande de grille en deux pour pouvoir fournir séparément le courant de charge ou de décharge à la grille des transistors de puissance (Figure IV-13, PMOS<sub>OUT</sub> et NMOS<sub>OUT</sub>). Chaque transistor de sortie est donc accompagné de deux blocs comme illustré dans la Figure IV-13 : un circuit dont le but est de créer des temps de conduction des transistors de sortie distincts pour éliminer les courants de court-circuit de bras de sortie (du *gate driver*) et ensuite un circuit composé de trois bras CMOS inverseur pour améliorer la dynamique de commutation des transistors de sortie. Cette commande permet donc de fournir le courant nécessaire pour charger rapidement la grille du transistor de puissance et d'assurer les temps morts adaptés, sans que l'un de ces aspects n'agisse l'un sur l'autre.

Le dimensionnement de l'ensemble de chaque voie est fait pour avoir les mêmes dynamiques aux fronts montant et descendant aux bornes drain-source des deux transistors PMOS<sub>OUT</sub> et NMOS<sub>OUT</sub> pour une charge capacitive donnée, ce qui se traduit finalement par des pics de courant identiques pour la phase de charge et de décharge.

#### **(a) SOS**

En générale, le bloc SOS est constitué d'un bras CMOS à basse-impédance (largeur de grille importante) pour pouvoir fournir de forts pics de courant à la grille du transistor de puissance. Le dimensionnement des transistors de sortie (PMOS<sub>OUT</sub> et NMOS<sub>OUT</sub>) est optimisé pour, d'un côté permettre d'obtenir de forts pics de courant et d'un autre côté, être suffisamment rapides. En fait,

des transistors de sortie surdimensionnés permettent d'obtenir de forts pics de courant à la sortie ( $R_{DSon}$  faible) mais ils ne permettent pas d'être rapides en raison des grandes capacités parasites de l'étage de sortie, ce qui a tendance à repousser le problème de l'amplification des signaux et générer des pertes dans la partie commande rapprochée. A l'inverse, un sous-dimensionnement ne permettra pas d'obtenir de forts pics de courant à la sortie du driver malgré la rapidité de celui-ci : la commutation du composant GaN ne sera pas suffisamment rapide, ce qui aura tendance à augmenter les pertes dans la partie puissance. Il existe donc un optimum qu'il va falloir déterminer.

Un pic de courant de 5A à  $V_{CC}=5V$  sur une charge capacitive de 1nF dicte une résistance de  $0.6\Omega$  jusqu'à la grille soit la valeur de la résistance de grille de GaN-FETs, deuxième génération (prenant en compte l'inductance parasite de circuit de grille). Les deux transistors sont dimensionnés par rapport des calculs d'optimisation en fonction des valeurs données dans les fichiers technique de XT018 SOI ainsi que les simulations sur « Cadence IC » pour obtenir le bon pic de courant. L'impact des inductances parasites a été pris en compte mettant une inductance de 4nH à la sortie du circuit de commande. Le dimensionnement correspondant à  $PMOS_{OUT}$  et  $NMOS_{OUT}$  est représenté dans le Tableau IV-1.

Paramètres	$PMOS_{OUT}$	$NMOS_{OUT}$
Largeur de grille $W_G$ ( $\mu m$ )	72000	36000
Résistance interne $R_{DS}$ ( $m\Omega$ )	110	55
Capacité d'entrée $C_{ISS}$ (pF)	98	50
Capacité de sortie $C_{OSS}$ (pF)	48	25
Pic de courant $I_{SOURCE/SINK}$ (A)	5	-5

Tableau IV-1 Dimensionnement des deux transistors de sortie du buffer de chaque gate driver

### (b) SBS

Pour améliorer la dynamique des transistors de sortie ayant une largeur de grille importante, ils doivent recevoir les charges nécessaires rapidement pour une commutation rapide. Autrement dit la largeur de grille importante des transistors de l'étage SOS, nécessite de quasi-forts pics de courant sur leurs grilles. L'unité d'amplification des signaux SBS, est constituée de trois étages inverseurs CMOS avec une taille croissante. Le temps de propagation dans SBS pour passer de l'état OFF à l'état ON est  $t_{d-SBS}=0.75ns$  sur la voie *sourcing* et  $t_{d-SBS}=0.8ns$  sur la voie *sinking*. Dans le cas contraire pour passer de l'état ON à l'état OFF, le temps mort est  $t_{d-SBS}=0.8ns$  pour la voie *sourcing* et  $t_{d-SBS}=0.75ns$  pour la voie *sinking* (Figure IV-16 et Figure IV-17). La largeur de grille des transistors dans cet étage SBS est suffisamment petite pour que le courant de court-circuit soit négligeable. Dans le Tableau IV-2 et Figure IV-14, les rapports des largeurs de grilles des transistors correspondant aux différents bras de SBS sont présentés. Ces rapports sont repris de la thèse de M. Deleage avec quelques corrections nécessaires en fonction des caractéristiques et des propriétés de la technologie SOI – XT018 utilisée dans ces travaux :

DMS		SBS			SOS
$W_{P15}=70\mu m$	$W_{P14}=70\mu m$	$W_{P13}=140\mu m$	$W_{P12}=1.4mm$	$W_{P11}=7mm$	$W_{PMOSout}=72mm$
$W_{N15}=1.6\mu m$	$W_{N14}=30\mu m$	$W_{N13}=70\mu m$	$W_{N12}=700\mu m$	$W_{N11}=3.5mm$	
$W_{P25}=3\mu m$	$W_{P24}=70\mu m$	$W_{P23}=70\mu m$	$W_{P22}=700\mu m$	$W_{P21}=3.5mm$	$W_{NMOSout}=36mm$
$W_{N25}=30\mu m$	$W_{N24}=30\mu m$	$W_{N23}=35\mu m$	$W_{N22}=350\mu m$	$W_{P22}=1.75mm$	

Tableau IV-2 Largeurs de grilles pour chaque étage dans le circuit de propagation d'ordres de commande

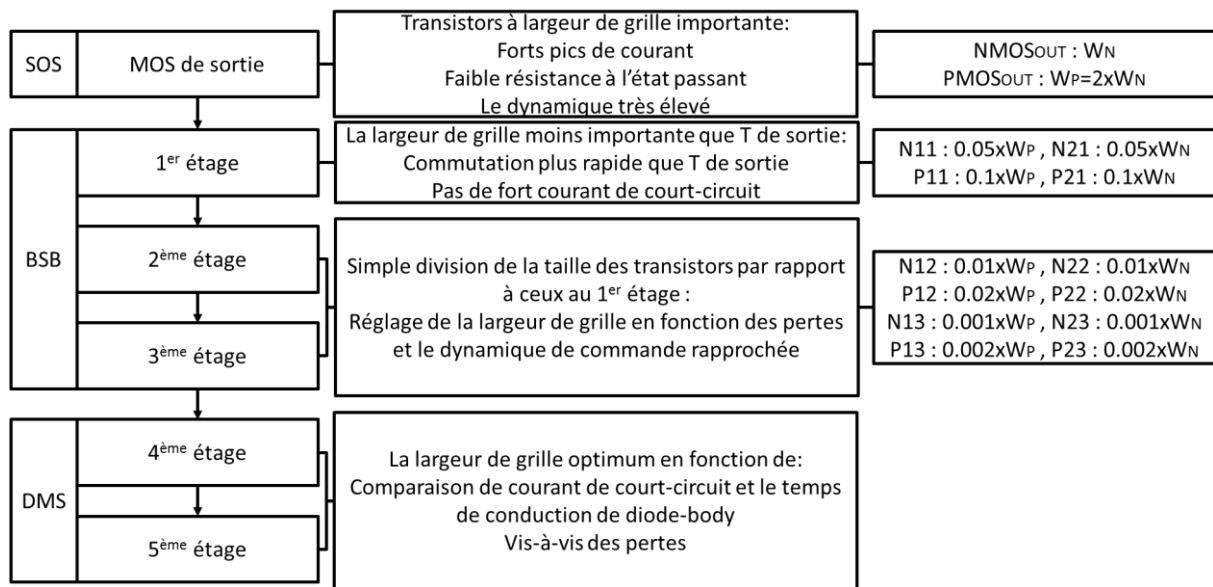


Figure IV-14 Situation générale des largeurs des grilles entre les bras CMOS de l'unité de propagation des ordres de commande

### (c) DMS

Ayant une largeur de grille importante, les transistors SOS peuvent être le siège de courants de court-circuit assez forts lors de leur propre commutation. Il est nécessaire de trouver le temps mort optimal car, s'il est trop important, il y aura un délai supplémentaire dont il faudra tenir compte et qui pourra engendrer des pertes supplémentaires coté puissance, s'il est trop court, un court-circuit de bras pourra avoir lieu pouvant causer des pertes supplémentaires, voire la destruction de la puce, selon la fréquence de répétition et l'amplitude des pertes générées à chaque commutation. Le DMS est dimensionné pour produire un temps mort optimal afin d'optimiser le temps de court-circuit existant entre les deux transistors de sortie des PMOS<sub>OUT</sub> et NMOS<sub>OUT</sub>.

On doit donc, à partir d'un seul signal d'entrée de DMS, obtenir deux signaux avec des rapports cycliques très proches de 0,5 de façon à ce que l'étage de puissance fonctionne correctement. Le principe consiste à retarder la fermeture des transistors de sortie (étage SOS). Pour cela on va dimensionner l'étage d'entrée du *driver* pour que les signaux sur les grilles du deuxième étage (dernier étage du circuit de décalage) ne soient pas aussi rapides à la montée qu'à la descente. Concrètement, on veut que la tension sur la grille du PMOS<sub>OUT</sub> augmente avant celle sur la grille du NMOS<sub>OUT</sub> et inversement. Il faut donc que N15 et P25 (Figure IV-13,) aient des résistances à l'état passant plus importantes que les autres transistors du même étage (Tableau IV-2). Le temps mort produit par la différence de largeur de grille entre N15 et P25 est présenté à la Figure IV-15. Le courant de sortie du driver est mesuré avec une charge capacitive de 1nF et une résistance de 0,5 Ohm sur la voie sortie de grille. Par ailleurs la forme du courant est due deux paramètres : l'inductance parasite de grille ainsi que la dynamique du buffer. Au fait dans ces résultats, la forme du courant est liée à la dynamique de réponse du buffer de sortie ce qui prouve que le courant max n'est pas seulement fixé par R, C et V<sub>gs</sub> mais également la dynamique du buffer, mais en tout cas, les 5A de I<sub>out</sub> ne sont pas uniquement le fruit de V<sub>in</sub>, R<sub>g</sub> et C.

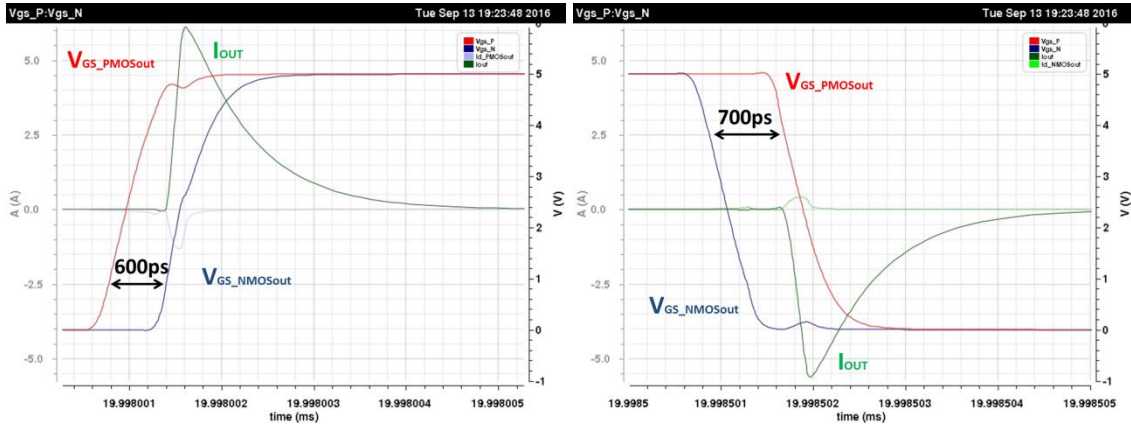


Figure IV-15 Simulation du temps mort créé par l'étage DMS pour minimiser le courant de court-circuit dans les transistors de sortie, PMOS<sub>OUT</sub> et NMOS<sub>OUT</sub>

Le temps de propagation du signal dans l'étage PSU pour passer de l'état OFF à l'état ON est de 1,7ns et il est de 1.55ns pour passer de l'état ON à l'état OFF comme illustré en simulation Figure IV-16 et Figure IV-17.

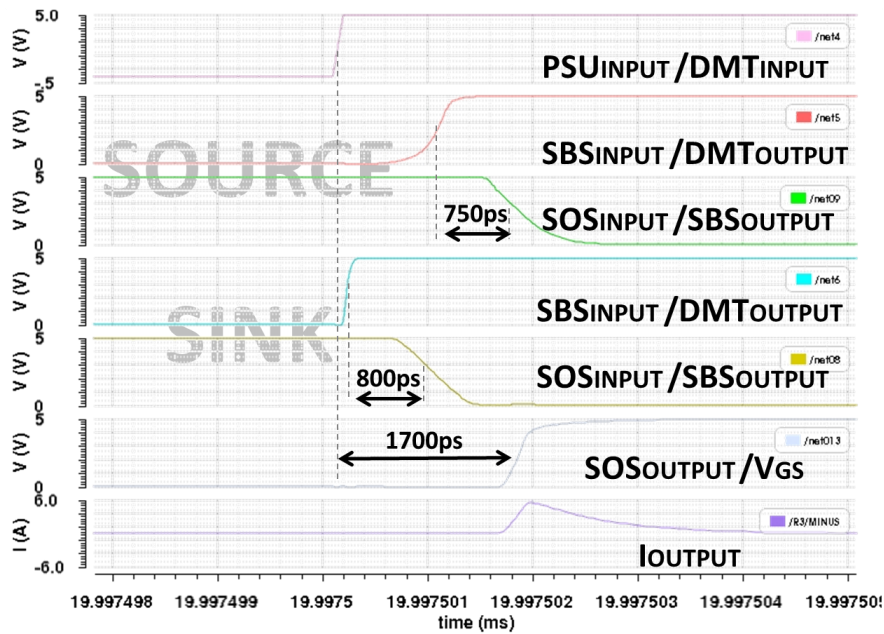


Figure IV-16 Simulation du temps de propagation à travers les différents étages du PSU (OFF –ON)

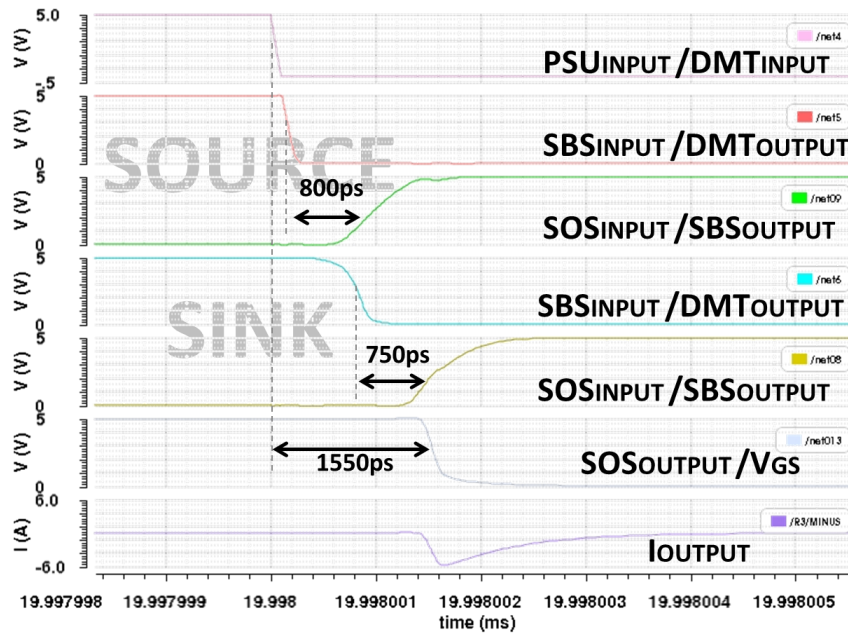


Figure IV-17 Simulation du temps de propagation à travers les différents étages du PSU (ON –OFF)

## 2) Unité de transfert d'ordres de commande – CSU

Nous avons dit que la fonction de transfert des ordres de commande au(x) bon(s) potentiel(s) proposée est basée sur le principe du décalage de niveau de tension via une source de courant haute tension. Les quatre unités de contrôle des signaux (CSU) sont identiques et intégrée dans la même puce quelque soit la « position » du transistor à piloter, même si cela n'est pas toujours nécessaire. Cela nous permet d'éliminer la dispersion des temps de propagation entre les quatre circuits de commande de grille. Chaque CSU est conçu pour un fonctionnement avec des *pulses* non seulement pour réduire les pertes dans l'unité de transfert d'ordres de commande mais aussi pour diminuer l'impact CEM et des perturbations des signaux de commande d'entrée du *driver*. En particulier, cette approche permet de symétriser les délais de propagation car du coup, c'est systématiquement le front montant d'un pulse qui annonce la commutation à l'ouverture ou à la fermeture du transistor de puissance. En revanche faire fonctionner un circuit de commande de grille avec des *pulses* n'est pas suffisant pour éliminer tous les impacts CEM et assurer la fiabilité du circuit de commande à fort  $dV/dt$ . CSU est le bloc essentiel dans cette topologie de circuit de commande pour les gestions CEM causé par les capacités parasites de mode commun (capacité d'entrée) à fort  $dV/dt$ . En effet les capacités parasites de mode commun doivent être minimisées au point de rencontre du potentiel flottant avec les forts  $dV/dt$  et le potentiel de référence des ordres de commande d'entrée pour éviter la circulation de courants parasites, les ondulations de tension  $V_{GS}$  et donc les commutations non-souhaitées des transistors de CSU, ce qui pourrait changer l'ordre de commande désiré.

Pour délivrer deux *pulses* ON et OFF à l'entrée et ensuite générer un signal de commande unique, CSU est composé de deux voies identiques :  $CSU_{ON}$  et  $CSU_{OFF}$ , couplées à une bascule RS qui reforme le signal de commande. Chaque voie est composé d'un circuit de décalage de tension (LV – de 3,3V à 5V) puis d'un circuit de décalage vers la haute tension (HV), sous la forme d'une source de courant commandée, qui pourra exiter l'une des entrées d'une Bascule RS, ce qui permet de combiner les deux signaux de  $CSU_{ON}$  et  $CSU_{OFF}$  pour avoir le signal de commande souhaité à la sortie de CSU (Figure IV-18).

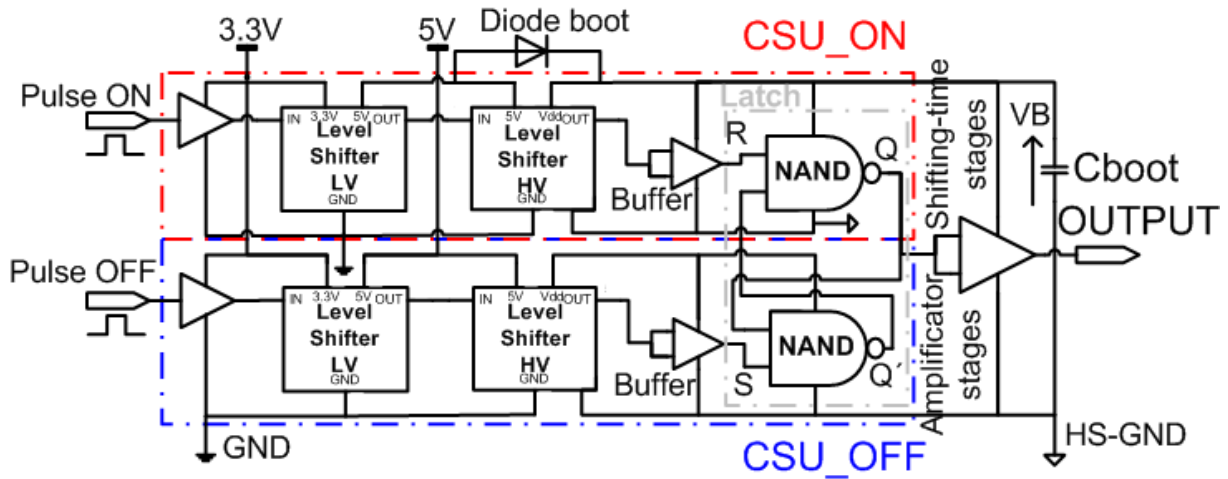


Figure IV-18 Topologie du circuit de décalage de tension

Un *pulse* délivré par le CSU<sub>ON</sub> est nécessaire pour que le signal sortie passe de l'état bas à l'état haut (Pulse<sub>ON</sub>). Un *pulse* délivré par CSU<sub>OFF</sub> est nécessaire pour que le signal sortie passe de l'état haut à l'état bas (Pulse<sub>OFF</sub>). Le déphasage entre les deux pulses ON et OFF est réglé en fonction du rapport cyclique demandé (Figure IV-19). La précision du rapport cyclique en sortie de CSU est très élevée parce que la mise ON et la mise OFF du signal de commande sont effectuées à travers deux voies identiques CSU<sub>ON</sub> et CSU<sub>OFF</sub> et de plus parce que les *pulses* délivrés par ces deux voies ont exactement la même dynamique car seul les fronts montants des deux pulses sont considérés pour le changement d'état du signal de sortie.

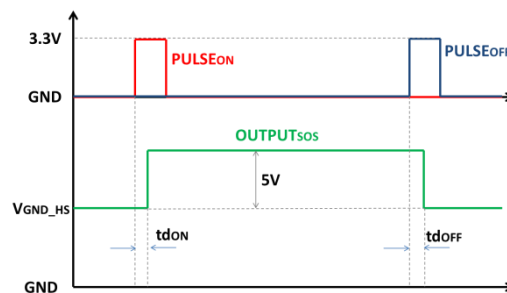


Figure IV-19 Forme d'onde des signaux d'entrée et de sortie du CSU

Dans la Figure IV-19 le potentiel GND<sub>HS</sub> peut varier entre le potentiel de référence du générateur des signaux et 95V dans le cas d'utilisation de transistors avec  $V_{DSmax}$  à 100V pour la source de courant « haute tension » du *Level-Shifter* (dans le cas idéal et sans prendre en compte de marge de tension). Le niveau haut des signaux délivrés par CSU est de 3.3V –tension d'alimentation du microcontrôleur dsPIC – et donc pour le niveau de tension à 5V un circuit de décalage conventionnel a été utilisé (*Low-Voltage Level-Shifter, LVLS*) comme illustré dans la Figure IV-20 [128].

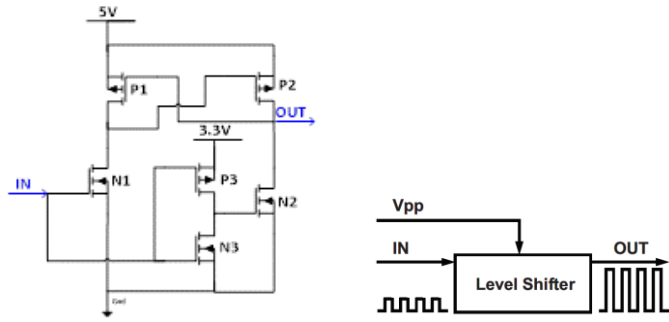


Figure IV-20 Circuit de décalage basse-tension – 3.3V à 5V

Dans la topologie du circuit de commande de grille présenté à la Figure IV-18, un soin particulier est apporté à l’immunité aux forts dV/dt, à savoir dans la conception du circuit de décalage haute-tension (*High-Voltage Level Shifter, HVLS*), illustré à la Figure IV-21.

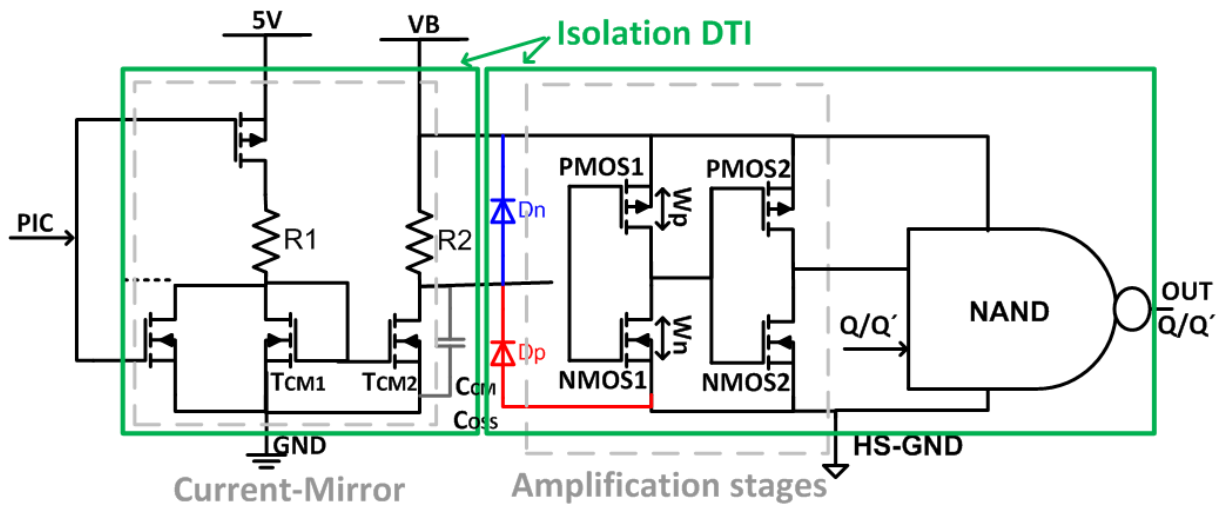


Figure IV-21 Schéma fonctionnel pour une voie CSU<sub>ON</sub> ou CSU<sub>OFF</sub> : miroir de courant, étage d’amplification et Bascule RS

Comme illustré à la Figure IV-21, un miroir de courant est utilisé pour décaler la référence de potentiel des ordres de commande. Ce circuit de décalage de tension est précédé par l’étage d’amplification primaire et enfin la porte NAND (une partie de Bascule RS) pour combiner les deux signaux délivrés par CSU<sub>ON</sub> et CSU<sub>OFF</sub>. Comme évoqué dans la partie précédente, les capacités parasites du transistor haute-tension du circuit de décalage, qui tient toute la plage de variation de tension coté puissance, sont les capacités parasites essentielles à minimiser afin d’augmenter l’immunité du circuit de commande aux forts dV/dt (IV-1) :

$$\frac{dV}{dt} = \frac{I_{mode\ commun}}{C_{MC}} \quad IV-1$$

Où C<sub>CM</sub> est la capacité parasites entre drain et source du transistor du *Level-Shifter* comme illustré à la Figure IV-21.

Dans cette topologie, les transistors T<sub>CM1</sub> et T<sub>CM2</sub> sont identiques (W=20µm) pour avoir le même courant en mode passant (500 µA en saturation sous V<sub>GS</sub>=2 V, Figure IV-22). La tension aux bornes de R<sub>2</sub> est le point le plus critique dans la conception du CSU puisqu’elle définit la tension V<sub>GS</sub> de P<sub>MOS1</sub> (Figure IV-21).. La résistance R<sub>1</sub> est dimensionnée pour avoir 3V à ses bornes (R<sub>1</sub>=6300Ω

quand  $I_{TCM1}=I_{TCM2}=476\mu A$ ), lorsque le courant  $I_D$  de  $T_{CM1}$  et  $T_{CM2}$  circule, et donc fixer 2V de  $V_{GS}$  aux deux transistors du miroir de courant. Les impulsions  $Pulse_{ON}$  et  $Pulse_{OFF}$  doivent être les plus courtes possibles, typiquement inférieures à 100ns, afin de réduire les pertes dans les interrupteurs et les résistances  $R_1$  et  $R_2$ . Ce circuit possède un temps de propagation très faible et un bon appariement temporel entre les pulses d'entrée et le signal de sortie de Bascule RS: inférieur à 5ns pour le circuit driver 100V.

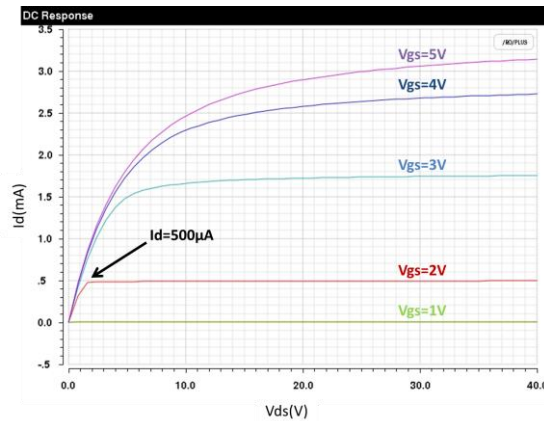


Figure IV-22 Simulation de la caractéristique  $V_{DS}-I_D$  des transistors du miroir de courant  $T_{CM1}/T_{CM2}$  (corner standard, 25 °C)

En revanche, certains autres facteurs comme les  $dV/dt$  ou les chocs thermiques peuvent faire varier la caractéristique des transistors situés dans le miroir de courant et/ou les valeurs de  $R_1$  et  $R_2$  et donc la valeur de la tension aux bornes de  $R_2$ . De ce fait, la tension grille-source de PMOS1 ainsi que NMOS1 va varier. Des éléments de protection (diodes Zener aux bornes de  $R_2$ ) sont là pour limiter les tensions  $V_{GS}$  et  $V_{DS}$ . Deux diodes de protection (*Clamping Diode*) sont ajoutées sur les grilles de PMOS1 et NMOS1 pour limiter la valeur de la tension  $V_{GS}$ . Cependant cette solution a une efficacité limitée pour un  $dV/dt$  au-delà de 30V/ns, des perturbations apparaissent sur le signal de sortie du circuit de commande de grille et l'ondulation de tension du signal de commande dépasse la tension seuil de transistor GaN ( $V_{th}=1,4V$ ). La Figure IV-23(a) présente la simulation du signal de sortie du circuit de commande quand  $Pulse_{ON}$  est fixé à l'état haut et  $Pulse_{OFF}$  est fixé à l'état bas et quand le circuit ( $GND_{HS}$ ) est perturbé à 29kV/ $\mu s$ . La Figure IV-23(b) présente la simulation du signal de sortie quand  $Pulse_{ON}$  est fixé à l'état bas et  $Pulse_{OFF}$  est fixé à l'état haut avec le même potentiel  $GND_{HS}$  perturbé.

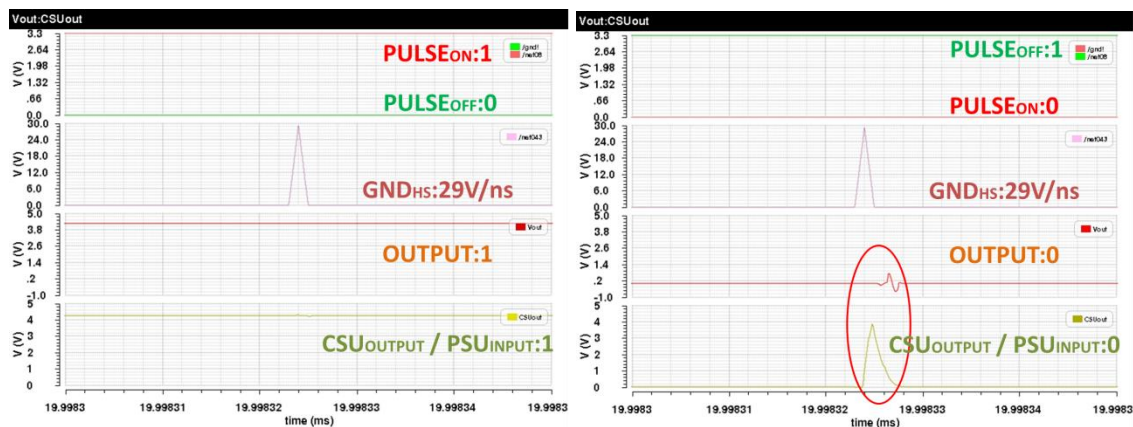


Figure IV-23 Simulations de la perturbation des tensions sous forts  $dV/dt$  (CADENCE)



En revanche, comme il est illustré dans la Figure IV-23(b) la perturbation produite par le  $dV/dt$  coté puissance a des conséquences sur le signal de sortie du *driver*, même si l'ondulation de tension à la sortie est inférieure de la tension de seuil d'un transistor GaN-EPC. Cette perturbation est sensiblement plus importante sur le signal de sortie de CSU et donc d'entrée de PSU, ce qui baisse évidemment la fiabilité du circuit de commande. La Figure IV-24 présente la simulation du signal de sortie du *driver* (SOS) ainsi le signal d'entrée et de sortie de CSU, la tension  $V_{GS}$  aux bornes des transistors PMOS1 et PMOS2 correspondant à  $CSU_{ON}$  ainsi  $CSU_{OFF}$  et enfin le courant de mode commun dans le transistor  $T_{CM2}$ , sachant que la valeur maximale de courant autorisée pour ce transistor est 2mA ( $W=20\ \mu m$ ,  $I_{Dmax}=103\ \mu A/\mu m$ ).

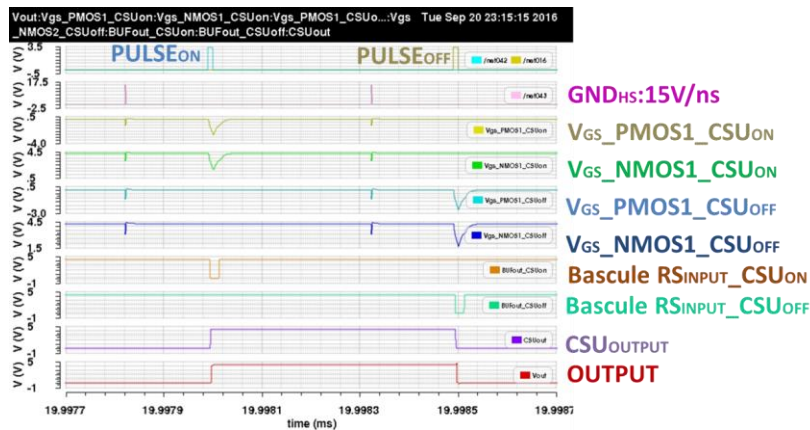
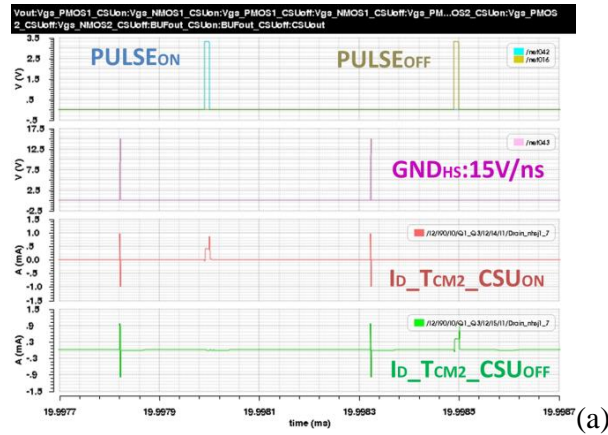


Figure IV-24 Simulation de la propagation de la perturbation des tensions sous  $dV/dt$  moyen,  $15kV/\mu s$  (CADENCE)

Sur le papier et selon les simulations, l'immunité de ce circuit de commande de grille est limitée à  $15kV/\mu s$ . Cette valeur peut diminuer encore sous l'effet des éléments parasites que générera la conception physique (Layout) et plus tard le report du composant de pilotage au sein du système.

## ii. Géométrie et élaboration du dessin des masques

La structure géométrique de la puce et les emplacements des différents blocs et pads ont été choisis pour que les quatre sorties de QGD soient en vis-à-vis des grilles des transistors de puissance. A cet égard une surface de silicium vide de composants va apparaître qui sera remplie par des condensateurs intégrés de découplage. En intégrant une capacité de découplage, on peut réduire significativement l'inductance parasite de l'interconnexion du circuit au PCB. En premier lieu, il

faudra minimiser le plus possible les inductances parasites d'interconnexion au circuit en mettant en œuvre par exemple le report Flip-Chip sur les pistes du PCB.

A cause d'une température ambiante élevée et des pertes du *driver qui vont accroître la température de la puce driver*, la température de la zone CSU peut être élevée. L'emplacement des deux transistors de chaque miroir de courant devient critique car il faut garder les caractéristiques de ces deux transistors proches l'une de l'autre bien que la température joue un rôle très important sur la valeur du courant qui circule dans le miroir de courant. Par conséquent, les transistors  $T_{CM1}$  et  $T_{CM2}$  doivent être placés côte à côte pour rendre leurs températures et leurs caractéristiques les plus proches possibles. La Figure IV-25 présente le *layout* des deux transistors  $T_{CM1}$  et  $T_{CM2}$ . Pour maintenir les miroirs de courant avec des caractéristiques proches les uns des autres, il faudrait aussi considérer les rapprocher le plus possible les uns des autres, ce qui n'a pas été fait dans cette version de la puce. En délocalisant les  $T_{CM1/2}$  de chaque bloc level shifter et en les rapprochant les uns des autres, nous aurions pu davantage les coupler au niveau thermique. Par contre, cela aurait conduit à produire des zones et surfaces plus importantes avec des potentiels de la partie puissance ce qui aurait conduit à augmenter les parasites. Dans un souci de test de la fonctionnalité, nous avons préféré réduire au maximum les risques de couplage parasites avec la partie puissance et nous avons opté pour un éclatement des sources de courant par circuit driver comme le montre les figures ci-dessous. Ce compromis, fait au détriment du couplage thermique maximal est donc assumé.

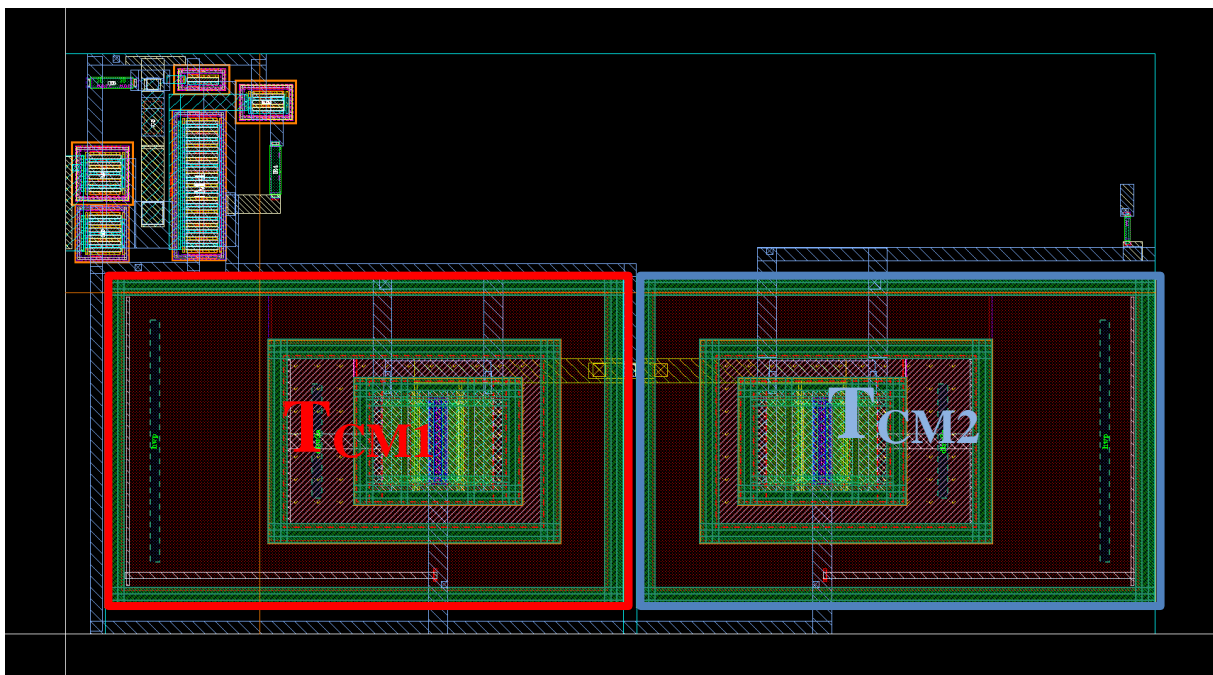


Figure IV-25

Layout des deux transistors  $T_{CM1}$  et  $T_{CM2}$

La Figure IV-26 présente l'image au microscope des puces conçues et fabriquées en technologie CMOS SOI-XT018.

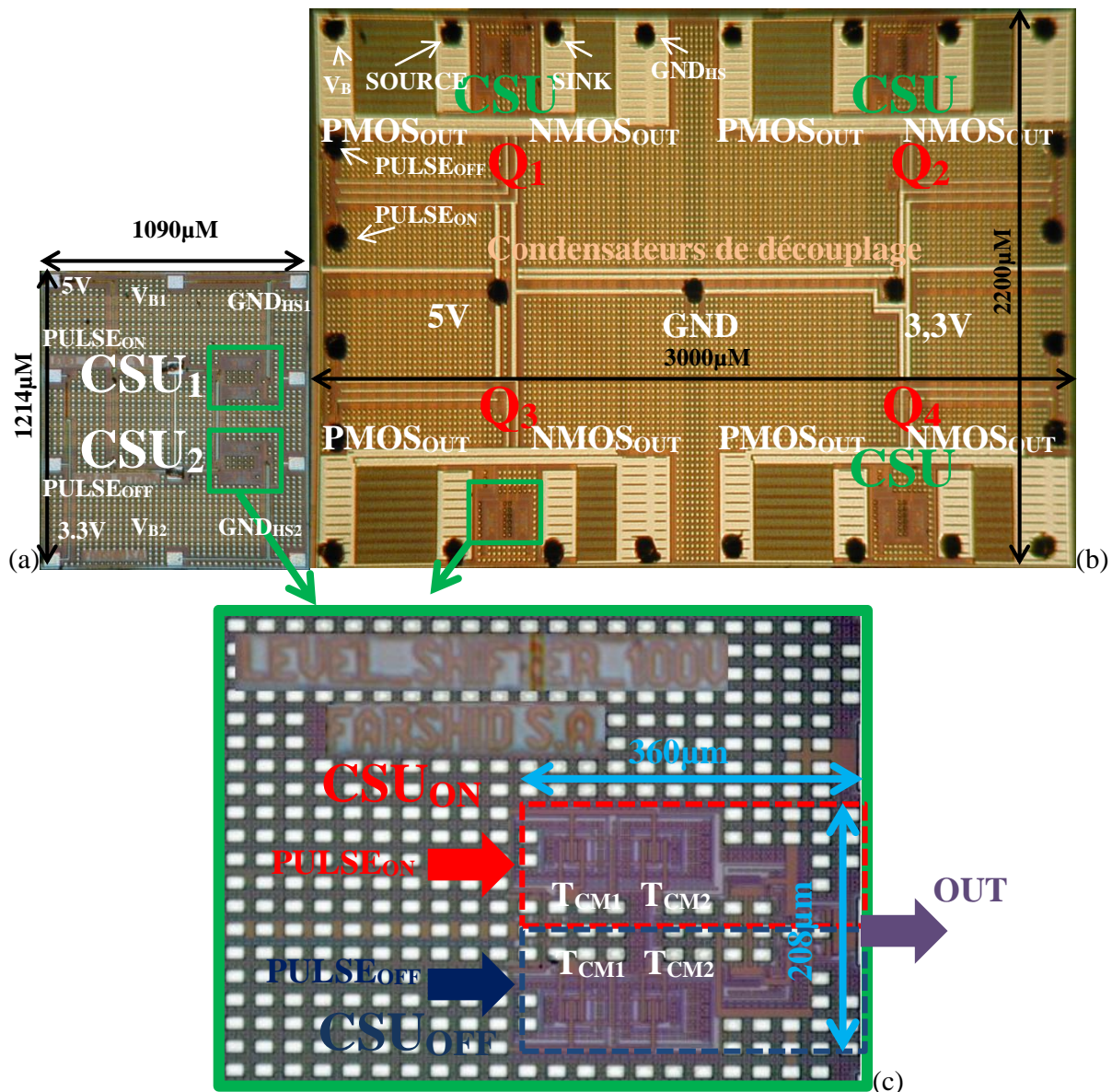


Figure IV-26 Image au microscope des puces : (a) « Level-Shifter 100V » (LS100) ; (b) circuit de commande de grille complet QGD ; (c) le zoom sur l'unité de transfert d'ordres de commande CSU

La puce LS100 embarque deux circuits de transfert d'ordres de commande dont chacun est composé d'une voie de mise ON (CSU<sub>ON</sub>) et d'une voie de mise OFF (CSU<sub>OFF</sub>) avec des transistors de miroir de courant à  $V_{DSmax}=100V$ . La puce LS100 occupe une surface de 1090µm par 1214µm. Elle possède 12 plots dont ceux d'alimentation 3,3V et 5V du CSU<sub>1</sub> et CSU<sub>2</sub> ainsi que les pads d'entrée du signal commun pour les deux circuits.

La puce QGD occupe une surface de 2200µm par 3000µm. Elle possède 27 pads dont les alimentations du CSU (3,3V et 5V) communes pour les quatre circuits de commande. L'entrée du signal et l'alimentation *Bootstrap* de chaque circuit de commande de grille sont indépendants.

---

### C. Mise en œuvre et caractérisation du composant intégré ASIC

Cette partie aborde la vérification du fonctionnement de l'unité de transfert d'ordres de commande (CSU) au sein de la puce « Level-Shifter 100V » (LS100) avant la caractérisation du circuit de commande de grille complet (QGD).

#### i. Assemblage, périphériques et conditions de test

Les puces LS100 et QGD sont conçues pour un report Flip-Chip et donc les dimensions et la distance entre les plots sont choisis pour atteindre cet objectif (distance entre les pistes  $>160\mu\text{m}$  pour une épaisseur de piste PCB de  $70\mu\text{m}$  [129]). Cependant dans un premier temps pour limiter le délai de réalisation du report Flip-Chip, chaque puce est retournée et collée sur le PCB (Figure IV-27a) et les connexions entre la puce et les pistes du PCB sont réalisées par fils (*Wire Bonding*). Ce type d'assemblage est compatible avec la mise en boîtier (DIL16 pour LS100 et DIL40 pour QGD, Figure IV-27b). Cependant en raison de la conception des circuits intégrés dédiée au report Flip-Chip, l'assemblage par fils sur le PCB a eu souvent des problèmes de court-circuit. Cela a rendu le prototype de test inutilisable dans 60% des cas soit 12/20 d'échantillons testés dans cette phase d'étude.

La mise en œuvre de la puce a été réalisée dans un premier temps avec une charge RC ce qui nous a permis de faire des tests fonctionnels simples. La Figure IV-27 montre l'assemblage de la puce QGD par fils sur un substrat céramique dans un boîtier DIL40. Dans ces travaux quatre types de support ont été utilisés pour le câblage de la puce QGD : PCB standard Nickel-Or, PCB ENEPIG pour contacts fil d'Or, dépôt céramique et enfin PCB SMI pour souder le boîtier DIL40. Les deux derniers types de PCB sont utilisés pour les tests en haute-température jusqu'à  $175^{\circ}\text{C}$ . Malgré les informations initiales, le PCB SMI utilisé commence à être oxydé à partir de  $130^{\circ}\text{C}$ .

Les pistes du PCB type ENEPIG, les pads du boîtier DIL40 et enfin les fils sont en or pour avoir des bonnes caractéristiques d'adhérence sur les pads de la puce et les pads du boîtier. Cependant les résistances et inductances parasites de ces fils vont s'ajouter aux éléments parasites internes du circuit de pilotage comme illustré à la Figure IV-10, influençant de façon néfaste le fonctionnement en commutation. De ce fait, les études de performances de la puce ne peuvent être réalisées qu'avec l'assemblage Flip-Chip. La solution par fils de *bonding* permet de tester et de valider l'approche dans sa globalité mais à des fréquences limitées tout autant que vis-à-vis de la température ambiante. Différentes solutions d'assemblage Flip-Chip sont détaillées dans les travaux de thèse de M. L. Kerachev [17]. Faute de temps les essais de report avec la machine à disposition au « CIME Nanotech » (JFP Flip-Chip model PP6-6) n'ont pas abouti faute d'un défaut de calibration de la machine, non résolu dans le temps imparti (Figure IV-27c). Cela constituera une des premières perspectives de ce travail.

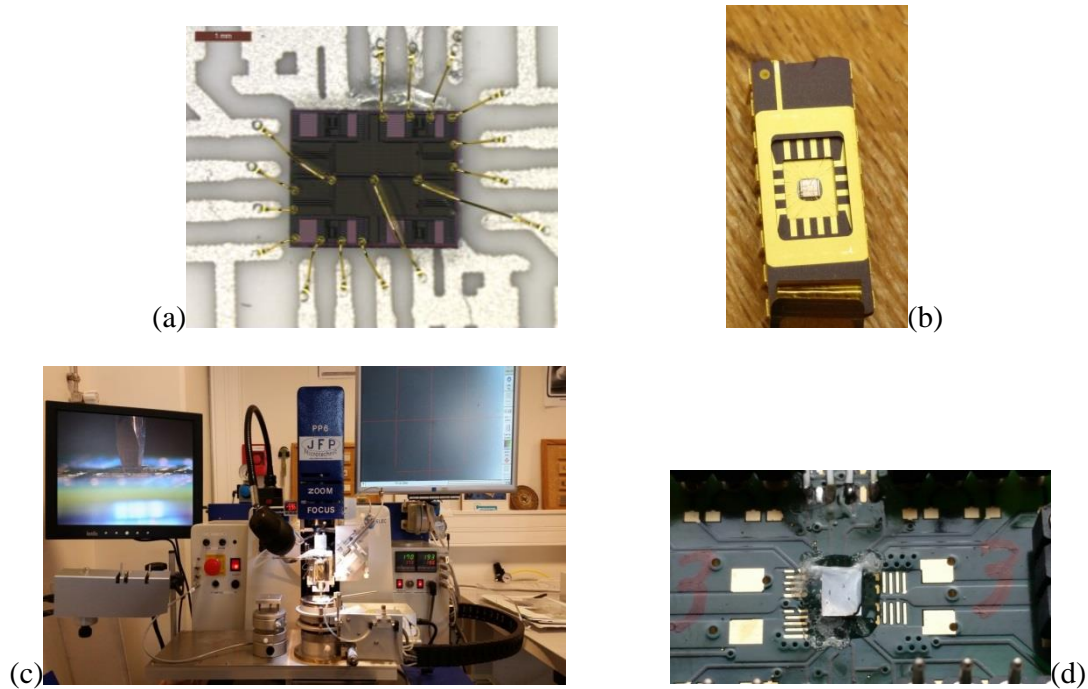


Figure IV-27 Report par fils sur substrat céramique HT° (a) ; Mise en boîtier DIL40 (b) ; machine Flip-Chip PP6-6 (c) ; prototype Flip-Chip (d)

Au niveau de la commande, deux pulses sont nécessaires pour piloter  $CSU_{ON}$  et  $CSU_{OFF}$ . Le décalage temporel entre les deux pulses est fonction du rapport cyclique demandé (50% dans notre cas). Dans un premier temps, un générateur de fonction (Arbitrary Function Generator, AFG3101C), a été utilisé et ensuite pour les tests complémentaires un microcontrôleur de la gamme dsPIC33, 64 bits a été mis en place. Le générateur d'ordres de commande pourrait être intégré aussi dans la puce pour encore minimiser les éléments parasites entre la commande rapprochée et la partie éloignée. Les deux circuits de commande sont également soumis aux mêmes ordres de commande afin d'étudier la dispersion du temps de propagation.

Afin d'étudier l'immunité à fort  $dV/dt$  pour l'alimentation *Bootstrap* ( $GND_{HS} - V_B$ ) une alimentation isolée est mise en œuvre à partir d'une batterie Lithium 4V (Figure IV-28) et un potentiel flottant est généré par un bras d'onduleur composé de composants GaN. A cet effet la diode *Bootstrap* qui représente une faible capacité parasite entre l'alimentation  $GND_{HS}-V_B$  et l'alimentation GND-5V du CSU est neutralisée. Le CSU est alors alimenté avec un potentiel légèrement inférieur à celui de *Bootstrap* d'une centaine de mV pour empêcher la conduction de la diode *Bootstrap* intégrée dans la puce QGD. Enfin pour neutraliser les capacités parasites supplémentaires hors celles de mode commun, le principe de mesure de la Figure IV-28b est mis en œuvre.

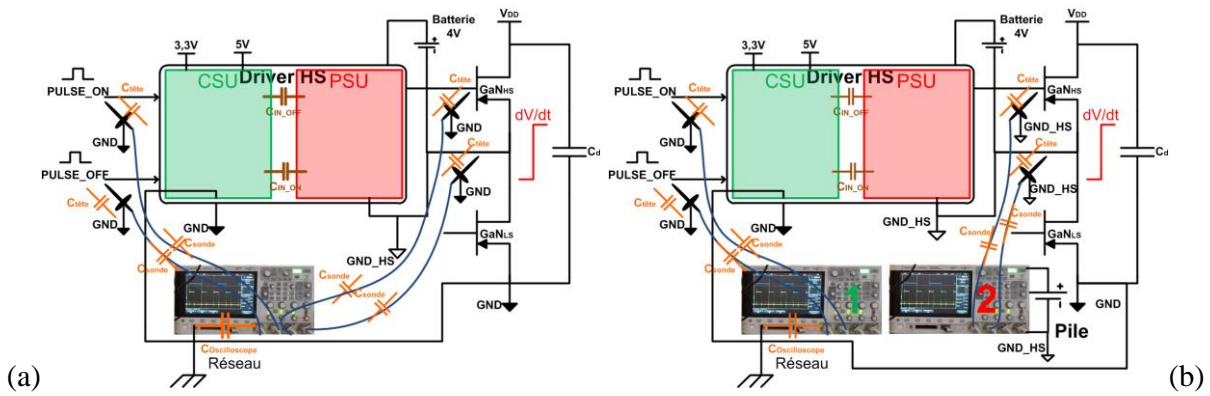


Figure IV-28 Mesure de tension en mode différentiel (a) et avec deux oscilloscopes isolés (b)

On remarque que l'ensemble oscilloscope et sondes de tension (tête + câble + connecteur) crée une très importante capacité parasite et donc une très faible impédance d'entrée [130]. L'effet de cette capacité parasite importante diminue la bande passante, le temps de montée et de descente et donc le temps de propagation. Il peut générer des circulations de courant de mode commun dans le cas de mesures différentielles (Figure IV-28a) entre le GND et le GND<sub>HS</sub> avec un potentiel flottant à fort dV/dt [131]. A cet effet nous avons isolé l'appareil de mesure correspondant à GND<sub>HS</sub> par rapport au réseau électrique et donc aussi par rapport au GND du réseau électrique. De plus, une sonde de tension avec une très large bande passante et une forte impédance d'entrée (pour le bon niveau de tension) et une très faible capacité parasite à l'entrée (<100pF) est nécessaire. La Figure IV-29 représente le modèle équivalent complet d'une sonde de tension.

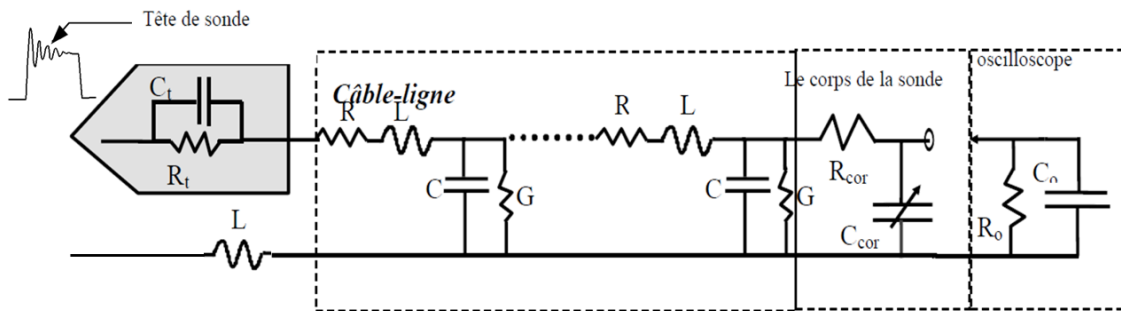


Figure IV-29 Modèle complet de sonde [131]

Les résultats sont présentés dans la partie suivante. Enfin, quelques comparaisons sont menées entre la solution proposée dans cette thèse et la solution existante (LM5113) ainsi que les solutions développées parallèlement au sein du laboratoire.

## ii. Tests de fonctionnement, caractérisation et validation

Premièrement et avant de câbler et alimenter les puces, des mesures sous pointes sont menées pour étudier l'état du circuit intégré QGD au niveau des plots d'alimentation de CSU (GND – 3,3V et GND – 5V) ainsi que *Bootstrap* (GND<sub>HS</sub> – V<sub>B</sub>). La Figure IV-30 représente les résultats correspondants aux tests appliquant une tension variable positive (*Forward Bias*) aux bornes d'alimentation (a) 3,3V, (b) 5V et (c) V<sub>Bootstrap</sub>. A cet égard le potentiel des plots PULSE<sub>ON</sub> et PULSE<sub>OFF</sub> est mis à l'état bas afin de mesurer un courant de fuite et l'impédance vue aux bornes des plots d'alimentation. Ces mesures sont faites avec une machine de mesure sous pointes à disposition au « CIME Nanotech ».

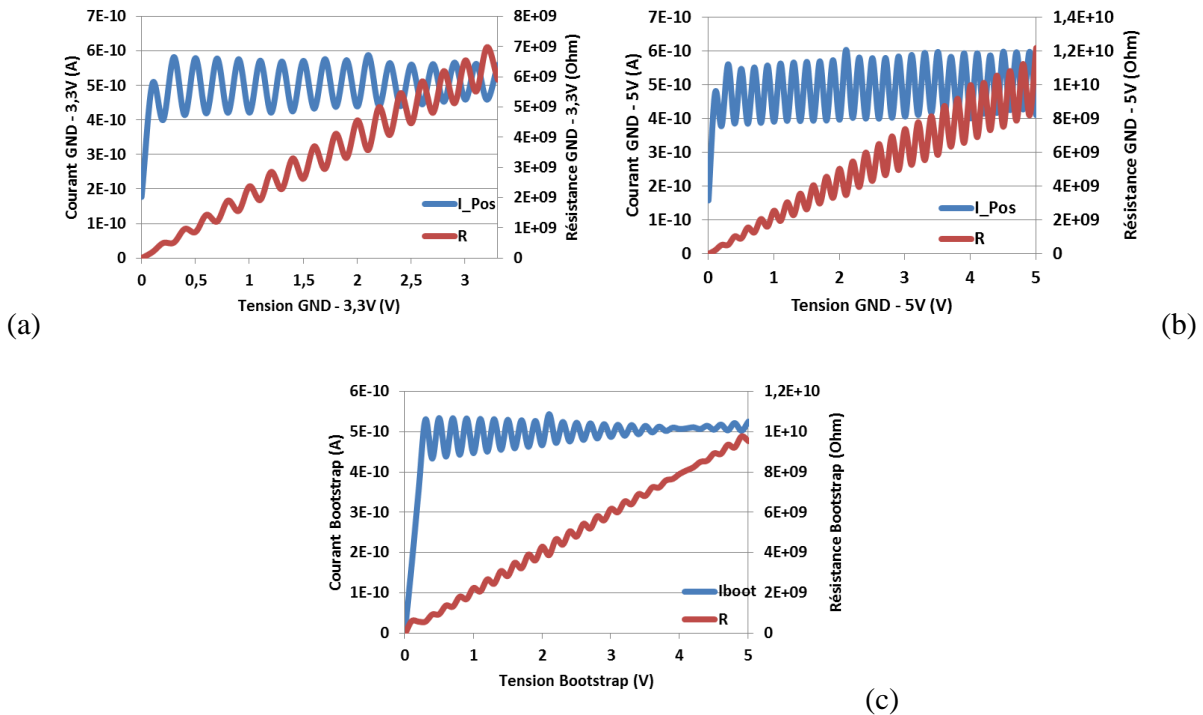


Figure IV-30 Mesures sous pointes correspondant au test d'alimentation (a) GND-3,3V (b) GND-5V et (c) *Bootstrap*

A partir de ce test sur la puce, nous nous sommes rendu compte que certaines puces sont en court-circuit au niveau des plots d'alimentation de manière complètement aléatoire. Après avoir approfondi les études pour trouver la raison de ce problème sur certains échantillons, l'absence de protection de décharge électrostatique (ESD) au cours de conception de la puce a été identifiée. A cet effet tous les tests suivants ont été faits sous des conditions très strictes contre les décharges électrostatiques : utilisation de bracelet, tapis de protection connecté aux matériels de manip etc.

### 1) Test de fonctionnement

Les tests de fonctionnement sont effectués tout d'abord pour la puce « LS100 » et ensuite la puce « QGD ». L'objectif de cette partie est particulièrement de valider le fonctionnement du circuit de décalage et ensuite mesurer la dispersion de temps de propagation entre deux circuits de commande intégrés dans le QGD et donc valider l'idée du « Zéro Mismatching Delay Time », puis l'immunité à fort  $dV/dt$  et enfin le fonctionnement à haute-température ( $>175^{\circ}\text{C}$ ).

#### (a) LS100

Pour simplifier et optimiser les interconnexions dans le cadre des tests de fonctionnement, le générateur d'impulsion est référencé au départ au même potentiel que le GND de CSU et relié à  $\text{GND}_{\text{HS}}$  (Figure IV-31a). Ensuite le potentiel de  $\text{GND}_{\text{HS}}$  peut être détaché et son potentiel peut être fixé entre GND jusqu'à 95V pour vérifier le fonctionnement du circuit de décalage de tension (Figure IV-31b). Les signaux  $\text{Pulse}_{\text{ON}}$  et  $\text{Pulse}_{\text{OFF}}$  sont associés à une paire PWM – à travers deux résistances de  $470\Omega$  pour protéger le circuit intégré – avec deux pulses décalés de 50% d'une période de commutation. Dans ces études, la fréquence de commutation varie de 20kHz à 1MHz. La largeur des pulses est fixée à 20% de la période de commutation (par exemple @ 1MHz  $\rightarrow W_{\text{PULSE}}=200\text{ ns}$ ). La tension à l'état haut des pulses est 3V et donc la tension d'alimentation primaire de CSU est réglée à 3V au lieu de 3,3V. De la même manière la tension aux bornes de la deuxième alimentation

du CSU (5V) est fixée à  $\approx 4V$  pour garder toujours une marge de 25% jusqu'à 5V soit la tension maximum des transistors utilisés dans le circuit intégré. La Figure IV-31 représente les signaux issus du LS100 (CSU<sub>1</sub> et CSU<sub>2</sub>) avec (a)  $GND_{HS}=GND$  et (b)  $GND_{HS}=30V$ .

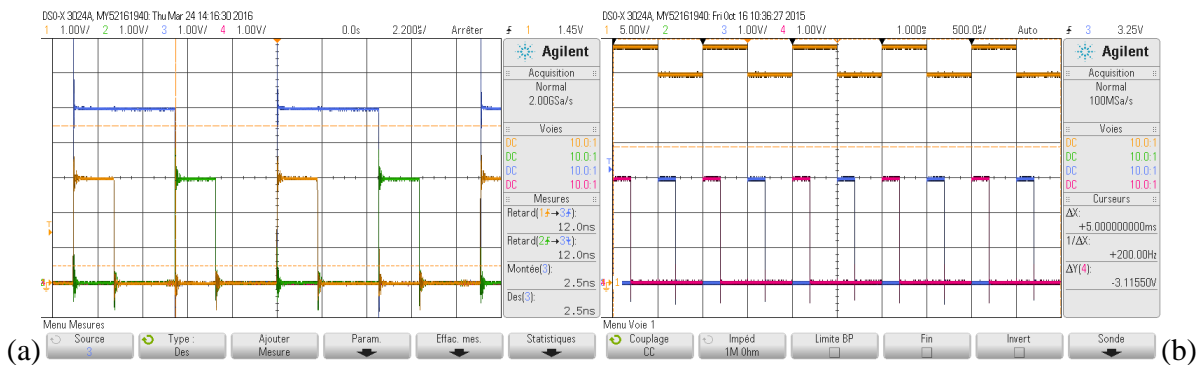


Figure IV-31 Test fonctionnel de circuit de transfert d'ordres de commande pour (a)  $GND_{HS}=GND$  et (b)  $GND_{HS}=30V$

L'ondulation de tension apparue sur le signal de sortie du LS100 à  $GND_{HS}=30V$  vient de la mesure différentielle et des capacités parasites (sonde de tension, oscilloscope).

Le Tableau IV-3 présente les temps de propagation en expérimental pour passer de l'état bas à l'état haut et de l'état haut à l'état bas pour les deux unités de transfert d'ordres de commande (CSU<sub>ON</sub> et CSU<sub>OFF</sub>). Pour remplir ce tableau, les deux sorties de la puce LS100 sont laissées à vide car la capacité nécessaire pour simuler  $C_{ISS}$  de P<sub>15</sub>, N<sub>15</sub>, P<sub>25</sub> ou N<sub>25</sub> est de quelques dizaines de Femto Farad. De ce fait le temps de montée ou de descente ne nous intéresse pas dans ce test. Les résultats expérimentaux sont moins optimistes que ceux prédits par la simulation. Ceci s'explique par le fait que la simulation ne tient pas compte d'une image réelle des différents éléments parasites qui sont impliqués dans la propagation du signal. Le fait remarquable est néanmoins la faible dispersion entre les temps de propagation sur chacune des voies.

Test	$T_d$ pour PULSE <sub>ON</sub> (ns)	$T_d$ pour PULSE <sub>OFF</sub> (ns)
Expérimental	11,3	11,4
Simulation	5	5,3

Tableau IV-3 Délai de propagation ( $T_d$ ) pour les voies ON et OFF @ $T=25^\circ C$ ,  $F_{dec}=20, 100, 500$  et  $1000kHz$  et  $W_{PULSE}=20\%$ .  $T_{dec}$  (résultats obtenus en expérimentation)

Une fois le fonctionnement du circuit de décalage de potentiel de référence validé, la largeur de l'état haut des pulses a été diminuée pour trouver le seuil nécessaire pour pouvoir changer l'état du signal de sortie de CSU. Comme illustré à la Figure IV-32 la largeur minimum des pulses pour demander le changement de l'état d'ordre de commande à la sortie du SCU est  $\approx 10ns$ .



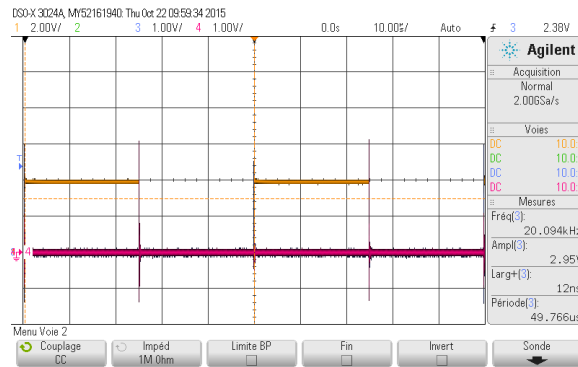


Figure IV-32 Largeur minimum nécessaire pour détecter le changement d'état du signal à la sortie de CSU

Dans la suite et comme évoqué plus haut, la largeur des pulses est réglée à 20% de la période de commutation afin de rester dans la zone de test fiable même si la consommation électrique du circuit peut être diminuée avec une largeur de pulse plus petite.

### (b) QGD

Le circuit de transfert d'ordres de commande CSU a été validé au niveau de fonctionnement dans la partie précédente. Dans cette partie nous allons étudier la puce complète avec quatre circuits de commande intégrés. Les caractérisations présentées dans cette section sont faites à la température ambiante (25°C) avec une charge capacitive de 1nF et la résistance correspondant à la résistance de grille d'un transistor GaN de deuxième génération (0,5Ω). Dans un premier temps, à cause des fortes inductances parasites dans la boucle de commande ( *fils de bonding* ) et pour protéger la sortie du driver mais limiter le pic de courant, une résistance de 3Ω a été ajoutée, ce qui finalement allonge le temps de montée, le temps de descente et le délai de propagation. Ensuite les mêmes études sont refaites en haute température et les résultats sont présentés dans la section suivante. Pour pouvoir étudier la dispersion des temps de propagation, seulement deux quadrants de la puce QGD ont été câblés (Q<sub>2</sub> et Q<sub>3</sub> dans la **Figure IV-26**) car les contraintes au niveau des fils de  *bonding*  ne nous permettent pas de câbler tous les plots présents sur la puce en même temps. Rappelons que la puce a été dessinée dans la perspective d'un report  *flip-chip* .

Le schéma électrique du test est illustré à la Figure IV-33. Le cahier des charges et les premiers résultats obtenus sont présentés dans le Tableau IV-4.

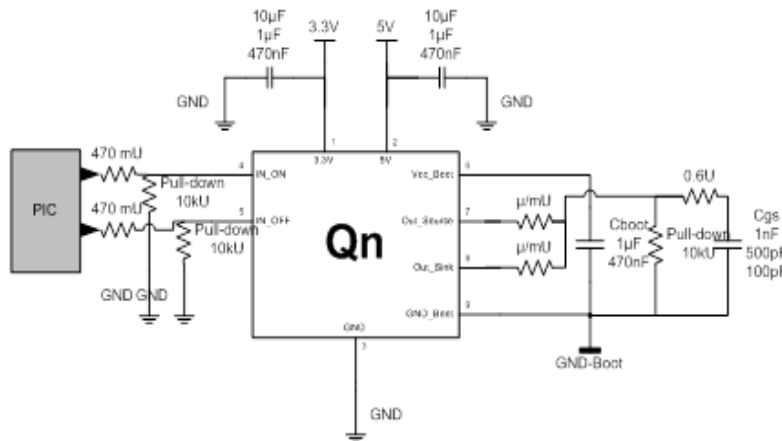


Figure IV-33 Schéma électrique de test du circuit QGD

Descriptions	Symbole	Unités	Valeurs	
Tension d'alimentation	GND-3,3V	(V)	3	
	GND-5V		<4	
	GND <sub>HS</sub> -V <sub>B</sub>		4	
Tension état haut d'un pulse d'entrée	V <sub>PULSE</sub>	(V)	3	
Largeur de pulse	W <sub>PULSE</sub>	ns	20%.T <sub>déc</sub>	
Délai de propagation	T <sub>dON</sub>		16,5	
	T <sub>dOFF</sub>		16,6	
Dispersion Q2/Q3	D <sub>dON</sub>		<0.1	
	D <sub>dOFF</sub>		<0.1	
Temps de montée	tr		3	
Temps de descente	tf		3	
Pic de courant en sortie <sup>1</sup>	ISOUCE		A	1,33
	ISINK			-1,33
Consommation électrique	P <sub>consommation</sub>		mw	8
Courant d'alimentation	3,3V	nA	1,73	
	5V	mA	1,56	

Tableau IV-4 Cahier des charges du test et premiers résultats @100kHz, 25°C

Le Tableau IV-4 indique que la dispersion des temps de propagation entre deux circuits de commande de grille ayant des pulses d'entrée communs, est quasiment nulle (<100 ps). La consommation présentée par la puce complète correspond aux calculs faits en fonction de la consommation mesurée de deux quadrants. A partir de la Figure IV-34, on peut évidemment conclure que la consommation de la puce QGD complète peut être réduite en limitant la largeur des PULSE<sub>ON</sub> et PULSE<sub>OFF</sub> à l'entrée de la puce.

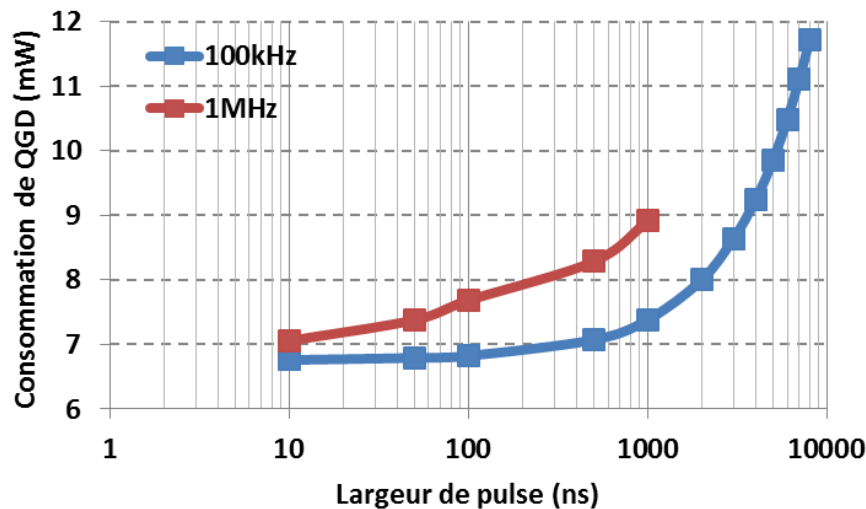


Figure IV-34 Consommation déduite des mesures en fonction de la largeur des pulses d'entrée PULSE<sub>ON</sub> et PULSE<sub>OFF</sub>

<sup>1</sup> A cause de limitations expérimentales vis-à-vis du pic de courant, la valeur présentée dans le Tableau IV-4 est obtenue à partir de la variation de tension (4V) en fonction de temps de montée et de descente (3ns) du signal de sortie pour une charge capacitive de 1nF.

La consommation de la puce a été mesurée à l'aide d'une alimentation double voie isolée – Keithley modèle 2636A – avec une précision de mesure de courant à une valeur près de 1fA. Concernant le test de la puce mise en boîtier, les temps de montée et de descente sont doublés (8ns) ainsi que le délai de propagation (32ns) à cause des éléments parasites supplémentaires ainsi que des pattes très longues du boîtier. D'une manière estimative les éléments parasites concernant le report *Flip-Chip* sont beaucoup plus faibles ce qui améliorera très sensiblement la performance du *gate driver*.

La Figure IV-35 représente les signaux sorties de Q2 (jaune) et Q3 (vert) et le PULSE<sub>ON</sub> (rouge) et le PULSE<sub>OFF</sub> (bleu) pour quatre fréquences de découpage différentes (20, 100, 500 kHz et 1MHz). Comme c'est illustré à la Figure IV-35 et ensuite à la Figure IV-36, les temps de propagation restent quasiment constants dans toute la plage de fréquence de découpage et la dispersion entre deux signaux de sortie (Q2 et Q3) reste inférieure à 100ps @25°C.

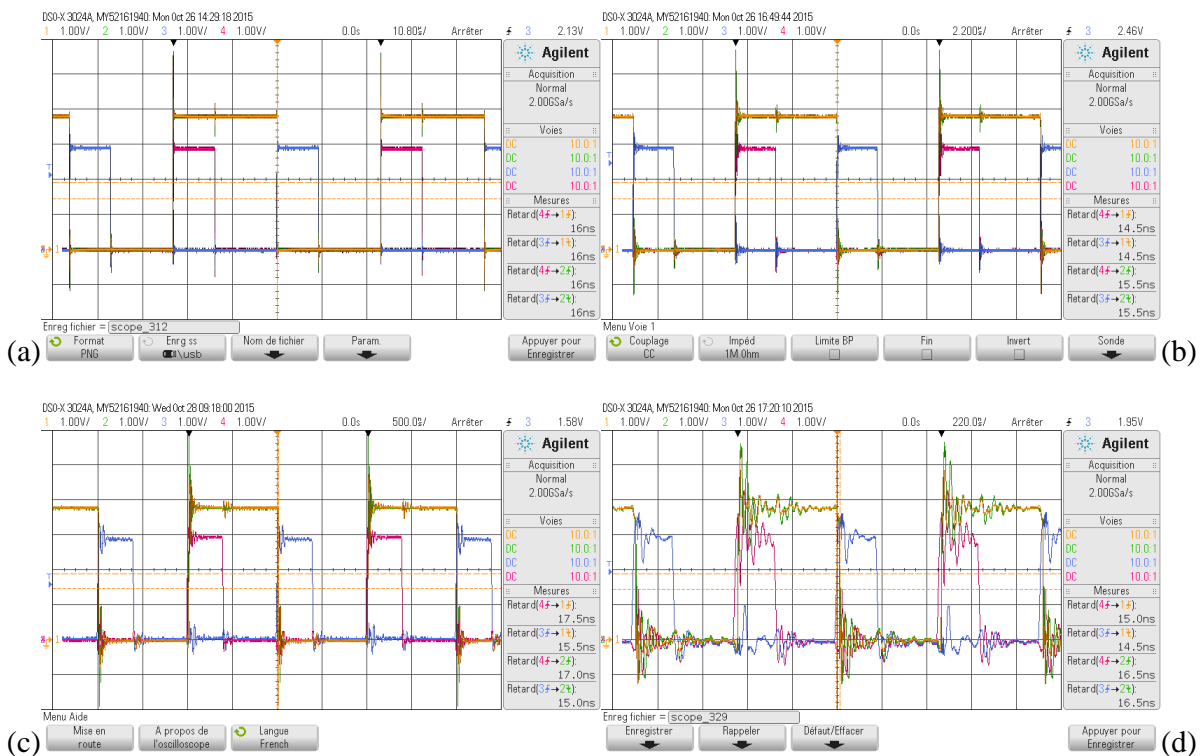


Figure IV-35 Signaux Q2 (jaune) et Q3 (vert), PULSE<sub>ON</sub> (rouge) et PULSE<sub>OFF</sub> (bleu) (a) 20kHz (b) 100kHz (c) 500kHz (d) 1MHz

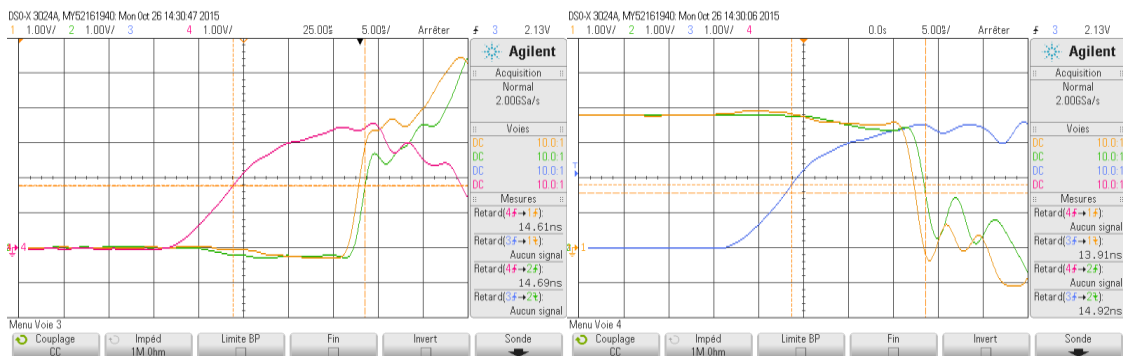


Figure IV-36 Dispersion des temps de propagation entre les signaux de sortie Q<sub>2</sub> et Q<sub>3</sub>

Dans ce premier cas d'étude, le potentiel  $GND_{HS}$  était le même que GND du générateur d'ordres de commande ainsi que le potentiel de référence du circuit de décalage de tension CSU. Le potentiel  $GND_{HS}$  sera différent de GND (dsPIC) ainsi CSU dans le cas d'études d'immunité aux  $dV/dt$ .

## 2) Immunité aux $dV/dt$

Dans cette section  $GND_{HS}$  n'est plus relié à GND (CSU et générateur des pulses). De ce fait un bras d'onduleur composé de deux transistors de puissance GaN, alimenté entre 0 V et 95 V a été utilisé pour générer un potentiel flottant au point reliant les transistors HS et LS (**Figure IV-28**). En raison des contraintes en tension au niveau du bras d'onduleur de perturbation, le niveau de tension d'alimentation est en fait fixé à 30V et le  $dV/dt$  est contrôlé en modifiant le temps de montée ou de descente au point milieu de sorte du bras. A cet effet, différentes valeurs de résistances ajoutées entre le point milieu du bras et  $GND_{HS}$  peuvent modifier le  $dV/dt$  envoyé vers la puce QGD. Le bras d'onduleur utilisé pour générer le  $dV/dt$  est placé à l'extérieur de la carte de test de la puce QGD. A cause des très fortes inductances parasites dans la boucle de commande (fils de *bonding*, environ 10nH [31]) l'immunité mesurée aux  $dV/dt$  est loin de la valeur souhaitée : 5V/ns au lieu de 50V/ns souhaités @25°C. Pour augmenter l'immunité aux  $dV/dt$  de la puce, une optimisation de l'assemblage de la puce est obligatoire et il fait partie d'un futur travail après cette thèse. La Figure **IV-37(a)** représente le signal de sortie d'un quadrant (un circuit de commande) de QGD avec les  $PULSE_{ON}$  et  $PULSE_{OFF}$  à la fréquence de découpage de 10kHz et imposant un  $dV/dt$  de 5V/ns (Figure **IV-37b**) à la fréquence de découpage de 100kHz sur  $GND_{HS}$ . Comme expliqué dans la partie précédente, l'alimentation *bootstrap* est masquée par une batterie de 4V et les mesures ont été faites avec un oscilloscope isolé du réseau électrique donc de GND pour éliminer tous les éléments parasites supplémentaires.

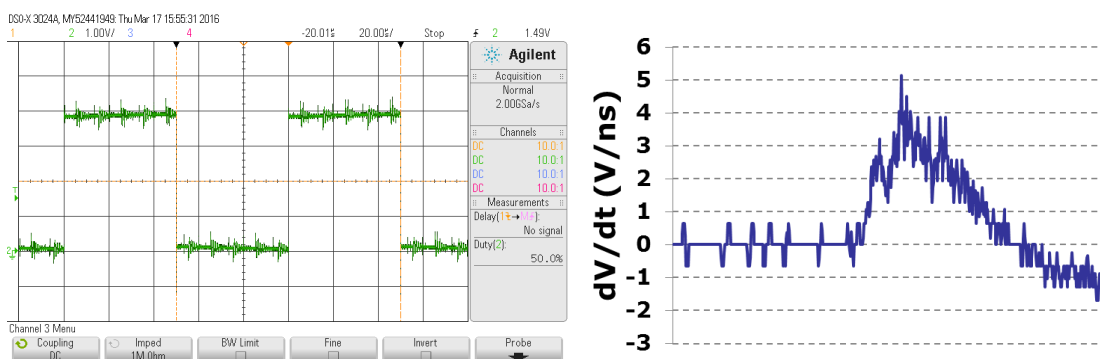


Figure IV-37 Signal de sortie du circuit de commande mesuré avec l'oscilloscope isolé  $F_{d\acute{e}c}=10kHz$  (5V/ns @100 kHz, 25°C) (a). Valeur de  $dV/dt$  imposé au niveau de  $GND_{HS}$  (b)

Pour un  $dV/dt$  supérieur de 5V/ns, de fortes circulations de courant de mode commun produisent des perturbations sur la forme d'onde de sortie et donc des commutations non-souhaitées au niveau du transistor de puissance. La Figure **IV-38** représente une perturbation très importante à la sortie du circuit de commande intégré à un  $dV/dt$  supérieur de 5V/ns quand les signaux d'entrée (a) sont à l'état bas et (b) sont actifs. Ces perturbations apparues à la sortie de circuit de commande passent largement la tension de seuil d'un transistor GaN.

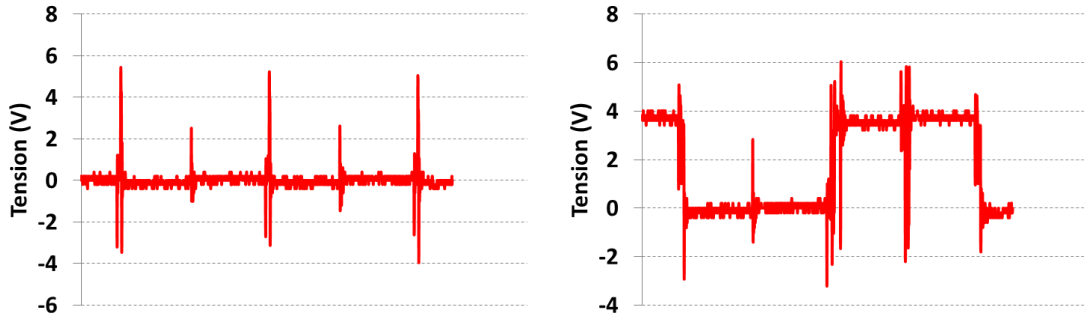


Figure IV-38 Perturbations à la sortie du QGD à  $dV/dt > 5V/ns$

### 3) Test Haute Température (HT°)

Pour les tests en haute température (HT°),  $GND_{HS}$  est référencé à nouveau au même potentiel que le générateur d'ordres de commande et donc le même potentiel que  $GND$  de CSU. Les caractérisations HT° ont été effectuées pour le report sur le substrat céramique avec  $T_{max} \approx 800^{\circ}C$  (Figure IV-39a) ainsi que pour les puces mises en boîtier et câblées sur le PCB type SMI avec  $T_{max} \approx 130^{\circ}C$  (Figure IV-39c). La température de fonctionnement de la puce en technologie SOI – XT018 peut monter jusqu'à  $175^{\circ}C$  si la puce est alimentée normalement. A cet égard dans certains cas d'études, nous avons monté la température jusqu'à  $200^{\circ}C$  car la puce n'est pas alimentée à la tension maximale. Les transistors 5,5V sont alimentés à 4V et les transistors 100V de miroir de courant sont alimentés entre 0V et 30V.

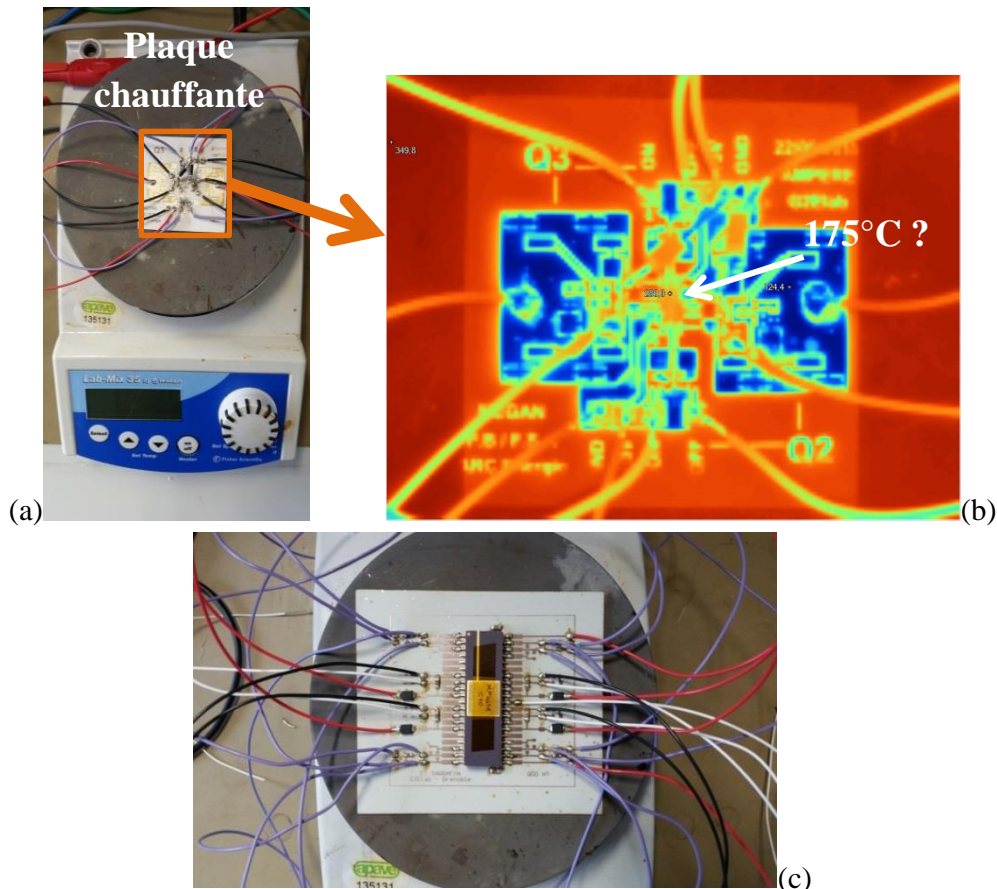


Figure IV-39 Caractérisation HT° de la puce QGD reportée : (a) sur substrat céramique ; (b) photo IR du prototype sur substrat céramique sans couvercle ; (c) mise en boîtier câblé sur SMI

Comme illustré à la Figure IV-39, une plaque chauffante dédiée aux expérimentations HT° a été utilisée pour monter la température de l'échantillon de test. La forte conduction/convection naturelle due au substrat céramique et/ou du SMI ayant une résistance thermique faible, ne nous permet pas d'atteindre exactement une température souhaitée sur l'échantillon. Aussi un capuchon à base de « polyoxybenzylméthylène glycol » (Bakélite, le matériel fort isolant thermique) a été usiné au laboratoire pour limiter le gradient thermique (Figure IV-40). Pour éviter les petites fuites de chaleur entre l'intérieur du capuchon isolant et l'extérieur, un pad thermique flexible a été utilisé pour couvrir l'interface. Toutefois l'isolant des fils ainsi que l'étain de soudure utilisés pour câbler les composants supportent une température maximum de 200°C.

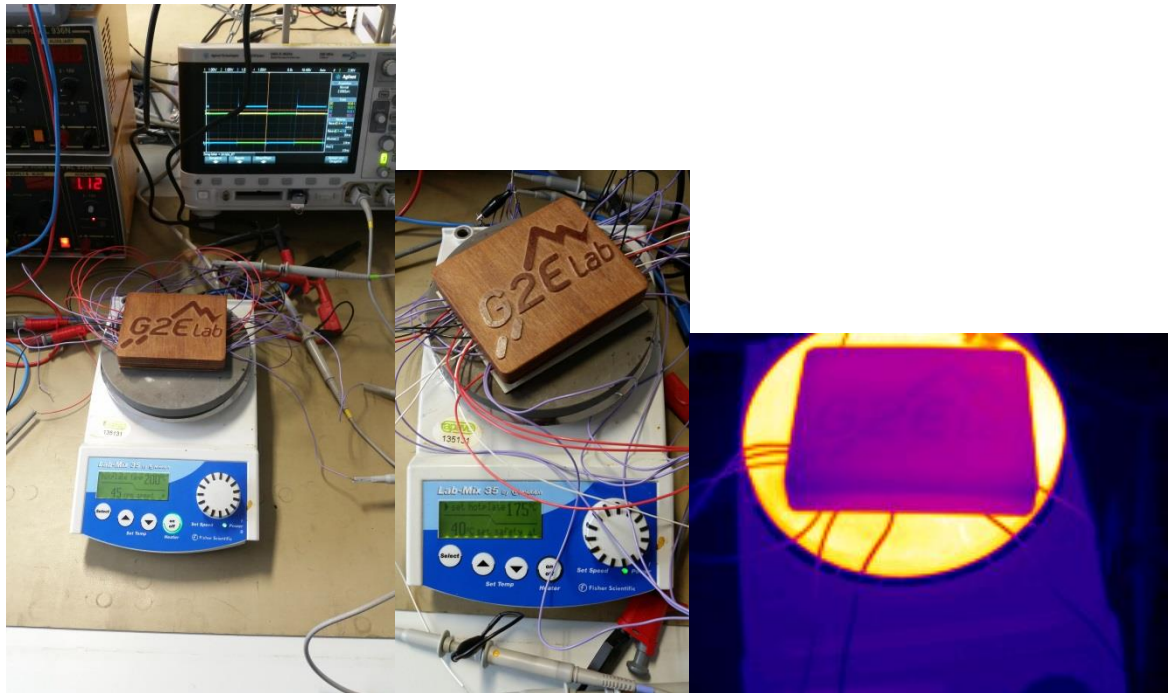


Figure IV-40 Capuchon isolant thermique

La Figure IV-41 représente l'évolution des temps de propagation en fonction de la température de la puce reportée (a) directement sur le substrat céramique et (b) mise en boîtier et reportée sur SMI.

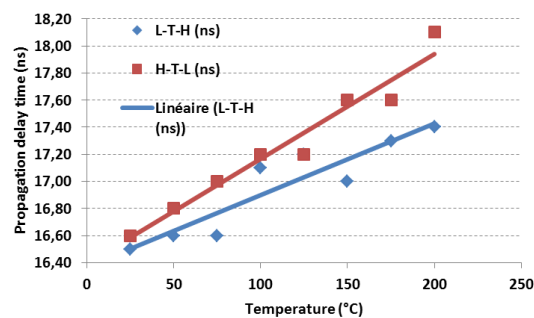


Figure IV-41 Evolution des temps de propagation des signaux de sortie pour passer de l'état bas à l'état haut (bleu) et de l'état haut à l'état bas (rouge) dans la puce QGD reportée sur substrat céramique

La consommation de la puce QGD augmente quand la température de fonctionnement monte de 25°C jusqu'à 200°C. A partir de 200°C l'étain de soudure fond et donc les connections sont cassées.

La consommation présentée à la Figure IV-42, correspondant à la puce QGD reportée directement sur le substrat céramique, mesurée @ $F_{\text{déc}}=100\text{kHz}$  et  $W_{\text{PULSE}}=20\%$  de  $T_{\text{déc}}$ .

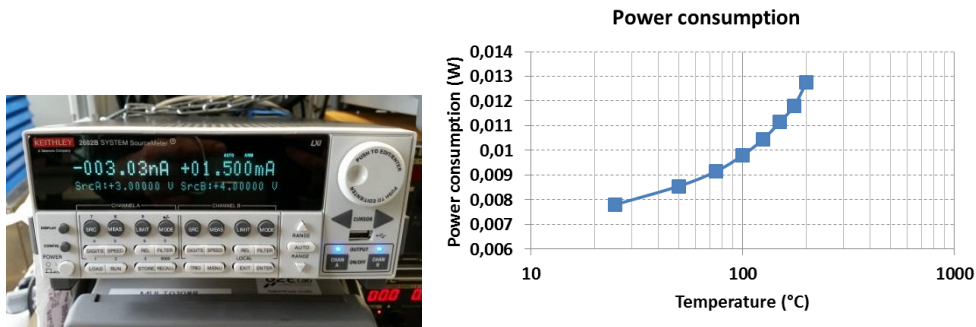


Figure IV-42 Consommation de la puce QGD en fonction de la température @100kHz et  $W_{\text{PULSE}}=20\%$  de  $T_{\text{déc}}$

Enfin l'immunité au  $dV/dt$  de la puce QGD baisse d'un facteur de 2 à la température maximum de fonctionnement ( $175^{\circ}\text{C}$ ) soit  $2,5\text{V/ns}$  (Figure IV-43). Une fois le test de fonctionnement de la puce LS100 et la caractérisation de la puce QGD faits, la comparaison entre cette topologie et deux autres topologies étudiées au laboratoire ainsi qu'un produit commercial est abordée dans la dernière partie.

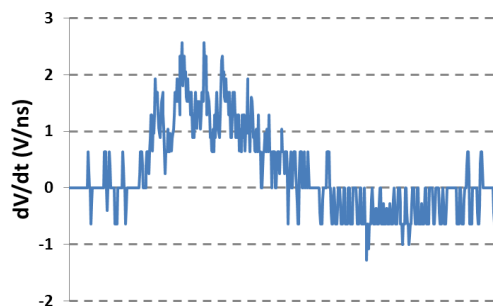


Figure IV-43 Seuil de  $dV/dt$  @ $175^{\circ}\text{C}$

#### D. Comparaison avec les autres travaux au G2Elab et LM5113

Ce paragraphe conclura notre étude sur les circuits de commande de grille. Les performances de la puce QGD ont été comparées avec celles d'un composant commercial spécialisé (LM5113) ainsi qu'avec 2 technologies de level shifter développées au G2Elab. Les résultats sont présentés dans le Tableau IV-5. Un circuit d'isolation à base de « Coreless » pour transférer les ordres de commande [ref] et un autre à base de technique « optique » [ref] ont été étudiés dans cette partie. Ces deux topologies bénéficient d'une isolation galvanique pour les applications à fortes tensions.

Descriptions	Unités	QGD		LM5113		Coreless		Optique			
		f=100kHz C=1nF V=4V		f=500kHz C=1nF V=5V		f=1MHz C=1nF V=4V		f=150kHz C=1nF V=4V			
Conditions de tests	°C	25	200	25	125	25	200	25	175		
Isolation galvanique		NON		NON		OUI		OUI			
T <sub>d-ON</sub>	HS	Ns	16,5	17,4	28	>45	20	19	13,8 <sup>1</sup>	15 <sup>1</sup>	
	LS										
T <sub>d-OFF</sub>	HS		16,6	18,1	26,5		22	51	18,5 <sup>1</sup>	22 <sup>1</sup>	
	LS										
Dispersion <sup>2</sup>	ON <sub>HS</sub> - OFF <sub>LS</sub>		-0,1	-0,7	1,5		8	-2	-32	-4,7	-7
	ON <sub>LS</sub> - OFF <sub>HS</sub>		-0,1	-0,7	1,5		8	-2	-32	-4,7	-7
t <sub>r</sub>	HS		3	8	7		?	3	?	12,3	?
	LS										
t <sub>f</sub>	HS	3	8	1,5	?	3	?	11,7	?		
	LS										
Consommation	mW	2(x4) <sub>3</sub>	3(x4) <sub>3</sub>	5(x2) <sup>4</sup>	7,5(x2) <sup>4</sup>	41,2 <sub>5</sub>	46,9 <sub>5</sub>	4(+5) <sup>6</sup>	?		
immunité dV/dt	V/ns	<5	<2,5	<50		<25	?	?			
tension de claquage	V	100	<100			3000		?			
PIC de courant <sup>7</sup>	Source	1,3	0,6	1,2	?	1,3		0,4	?		
	Sink	1,3	0,6	5	?	1,3		0,4	?		
Capacité d'entrée <sup>8</sup>	pF	<0,1	?	?		1,8 <sup>9</sup>	?	≈0			
Taille	µm	2200x3000 (4Q) <sup>3</sup>		2000x2000 (HS+LS) <sup>4</sup>		840x1670		1038x2500 (+ OPTIQUE) <sup>10</sup>			
Périphérique nécessaire		NON		NON		NON		OPTIQUE <sup>9</sup>			
Assemblage		Flip-Chip		DSBGA		Flip-Chip		Flip-Chip			

Tableau IV-5 Caractéristiques de la puce QGD et des circuits de commande Coreless et optique développés au G2Elab et LM5113 [32] [124] [132]

- 1 Le laser ajoute un retard supplémentaire de 72ns entre l'entrée de modulation (générateur de signal) et la modulation de puissance optique du laser.
- 2 Les dispersions correspondent à la différence entre le temps de propagation de mise en ON du signal de sortie et celui de mise OFF du signal complémentaire envoyé à l'inverseur (HS-LS) avec l'hypothèse de générer les mêmes signaux de commande à l'entrée du gate driver
- 3 La consommation d'un seul circuit de commande multipliée par 4 pour le QGD
- 4 Multipliée par 2 pour obtenir la consommation de HS + LS
- 5 La consommation pour 100kHz et 1MHz est quasiment constante car la majorité de la consommation est dans le modulateur et démodulateur qui fonctionnent à F<sub>déc</sub>=330MHz
- 6 5mW, la consommation de la source optique
- 7 Pic de courant estimatif et non mesuré
- 8 A part le circuit de commande « Coreless » les deux autres valeurs sont estimatives : la capacité parasite d'entrée du QGD est égale à la capacité parasite aux bornes du transistor de miroir de courant. Dans le cas « OPTIQUE » on souhaite éliminer la totalité de la capacité parasite du fait que le transfert d'ordres de commande est sans contact physique. En revanche nous aurions dû mesurer la capacité parasite entre le circuit intégré et le boîtier et la masse.
- 9 La seule valeur mesurée à l'aide de la machine CARAPACE (Caractérisation Puissance Avancée de Composants Electroniques) à disposition au G2Elab
- 10 Le circuit de commande optique demande des périphériques optiques de connexions et de collimations



A partir du Tableau IV-5, le temps de propagation (ON et OFF) et la dispersion de ce temps de propagation du circuit QGD sont plus faibles que pour les autres topologies. Le temps de propagation et la dispersion correspondante est encore plus faible que pour l'homologue commercial LM5113: UCC27526DSDT avec  $t_d=23\text{ns}$  et dispersion de 25ns. La consommation de QGD pour un seul circuit de commande est plus faible que les autres. Enfin le QGD est moins volumineux par rapport aux autres topologies car pour générer 4 signaux de commande, il faut doubler le LM5113 et encore quadrupler la puce « Coreless » ainsi qu'« OPTIQUE ». Le *gate driver* LM5113 avec le boîtier relativement grand, impose l'utilisation de pistes longues conduisant à des inductances parasites plus élevées par rapport aux trois puces développées au laboratoire (QGD, Coreless et OPTIQUE) avec la conception dédiée au report *Flip-Chip*.

En contrepartie l'immunité aux  $dV/dt$  du « Coreless » et de la solution optique est meilleure que les autres. La Figure IV-44 représente les perturbations apparues à 25V/ns sur le circuit de commande « Coreless ». L'immunité aux  $dV/dt$  présentée dans le *Datasheet* du LM5113 (50V/ns) est une valeur mesurée (ou calculée) dans les meilleures conditions possibles et il reste à vérifier avec nos moyens la cohérence avec les valeurs obtenues dans notre cas d'étude. Enfin pour améliorer l'immunité à fort  $dV/dt$ , les diodes de protections (*Clamping diodes*) de la technologie SOI-XT018 doivent être optimisées. La diode Zener n'est pas disponible dans la technologie SOI-XT018 pour protéger le circuit de commande à fort  $dV/dt$ . C'est une dernière perspective de ce travail de thèse.

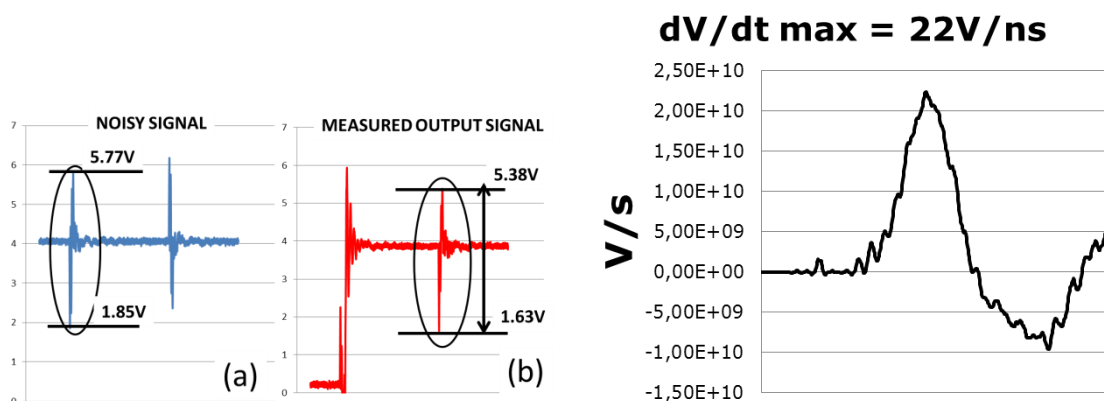


Figure IV-44 Immunité aux  $dV/dt$  de l'approche Coreless à 25V/ns

## E. Conclusion

Dans ce chapitre, un circuit de commande de grille afin de transférer quatre ordres de commande via *Level-Shifter* à source de courant puis d'amplifier et de commander 4 transistors de puissance a été proposé. Les spécifications et critères les plus importants sont tout d'abord présentées. Les expériences acquises durant toutes les expérimentations précédentes avec les prototypes à base de MOS et/ou des GaN ont été prises en compte. Les résultats montrent que quatre circuits de commande de grille en tension, intégrés monolithiquement, quasiment sans dispersion de temps de propagation et avec la synchronisation entre les signaux de sortie même à haute-température, peuvent piloter les transistors de puissance GaN à haute fréquence sans pénaliser les pertes de commande ni les pertes dans la partie puissance à commutation GaN-GaN.

Afin de valider le fonctionnement du circuit de commande, les tests de fonctionnement et de caractérisation sont abordés dans ce chapitre. Les performances du composant intégré ASIC ont été étudiées sous différentes conditions : HF, HT°. Des performances sont obtenues en termes de délai

de propagation, de dispersion des temps de propagation, de consommation et de très faible surtension du signal de sortie sans ondulation de tension, ce qui est très important au niveau de pilotage des composants GaN. Ceci montre le potentiel du circuit QGD, plus pertinent que les autres topologies présentées et comparées dans ce chapitre. Dans le but d'améliorer encore ces performances il est facilement envisageable d'optimiser la topologie de circuit de commande QGD et sa mise en œuvre, en mettant en place le report *Flip-Chip*, pour augmenter l'immunité à fort  $dV/dt$  et aussi faire croître le pic de courant. A cet effet une version de puce nue sur PCB assemblée par la technologie *Flip-Chip* est en cours de développement. Les résultats ne sont pas disponibles à l'heure de ce manuscrit. Des détails restent à régler. Par exemple, lors du dessin de la puce, une erreur a conduit à une inversion des pads de sortie d'un côté de la puce (Q3 et Q4).. De ce fait les pistes du PCB devraient être croisées (Figure IV-45), ce qui a pour conséquence d'augmenter le caractère inductif de ces pistes. Il y a donc plus d'inductance que prévu ce qui peut ralentir les commutations.

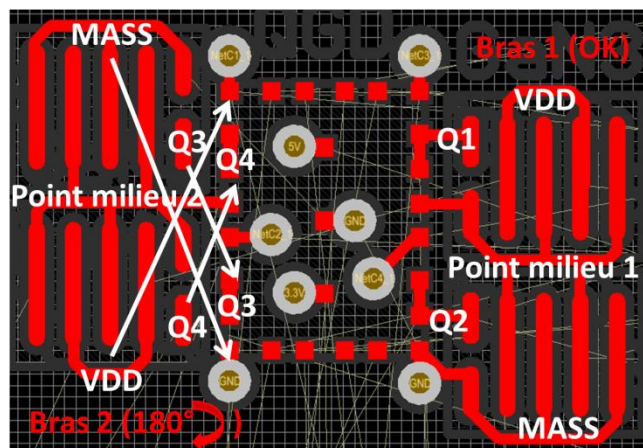


Figure IV-45 Erreur dans le dessin de la puce QGD

Au niveau de la topologie, sont envisageables l'intégration du générateur d'ordres de commande, l'amélioration du point de rencontre de potentiel flottant et GND pour augmenter l'immunité aux  $dV/dt$  et l'optimisation de la largeur de grille de l'étage sortie pour encore rapprocher plus possible les temps de montée et de descente et consécutivement le pic de courant de charge et de décharge.



---

## Conclusion générale :

Les travaux présentés dans ce manuscrit ont été menés en grande partie au sein du laboratoire de génie électrique de Grenoble « *G2Elab* » en collaboration avec le laboratoire « *Ampère* » à Lyon et en partenariat avec la startup « *FREEMENS* » pour la phase de prototypage et enfin une partie avec le « *CIME nanotech* » de Grenoble autour de la conception du prototype ASIC et tous qui concerne le report de circuit intégré (fils de Bonding et essai Flip-Chip). Elle fut partiellement soutenue par le projet PSPC MEGAN, dans le cadre des développements sur les drivers pour composants Grand Gap. Cette thèse introduit plusieurs contributions dont une nouvelle méthodologie de comparaison entre les structures d'électronique de puissance dans le cas de la gestion de transfert de puissance avec fort rapport de transformation. La thèse a proposé une approche multicellulaire pour répondre efficacement aux contraintes de ce champ applicatif. En particulier, le manuscrit présente l'étude de la dynamique d'un réseau de cellules élémentaires de conversion à coupleur classique (transformateur) et ensuite à coupleur capacitif, la réalisation du convertisseur adapté à l'approche R $\mu$ C (Dual-Active-Bridge) à base de nouveaux composants grand gap en Nitrure de Gallium (GaN) dans l'application de conversion d'énergie et enfin la conception, la mise en œuvre, le test et la caractérisation d'un circuit de commande rapprochée intégré sur silicium. Comme on peut le voir, le manuscrit couvre de nombreux domaines, depuis le champ applicatif avec des aspects systèmes et topologique jusqu'à certains aspects composants, avec la conception et la caractérisation d'un circuit intégré original !

Dans l'introduction du « chapitre I », nous avons pu voir que l'interconnexion de modules PV peut jouer un rôle très important sur la disponibilité des productibles d'énergie photovoltaïque. De ce fait, le « chapitre I » a une tendance à mettre en avant la production maximum au niveau de chaque module PV en mettant la cellule de conversion le plus près possible du générateur d'énergie photovoltaïque. Cette technique permet en effet de minimiser les incidents sur la production qui peuvent être causés par un ombrage partiel de l'installation. En revanche cette solution exige une conversion DC-DC avec fort rapport de transformation en tension entre le générateur PV et le bus DC. La suite de ce chapitre présente une nouvelle méthodologie de comparaison s'affranchissant de la technologie et introduisant des grandeurs intrinsèques de topologies de conversion (dites Figures de Mérite topologiques). Cette méthode nous a montré que la topologie Dual-Active-Bridge était bien adaptée à notre application multicellulaire à aiguillage, composé de beaucoup de composants actifs et en contrepartie de très peu de composants passifs, particulièrement magnétiques, ce qui est souhaitable pour la montée en fréquence et donc réduire au maximum la taille de la cellule de conversion. De plus l'utilisation des nouveaux composants à semiconducteur grand gap offre une forte augmentation de densité de puissance et une caractéristique idéale pour un fonctionnement en haute-fréquence. Un seul composant inductif dans cette structure de conversion permet d'accéder à la commutation douce sous certaines conditions de fonctionnement décrites au chapitre III.

L'introduction abordée dans le « chapitre I » sur l'approche réseau de convertisseur a été détaillée au « chapitre II ». Si on considère la gamme de tension maximum 200V aux bornes drain-source des transistors GaN ( $V_{DSmax}$  disponible au début de thèse chez EPC), l'approche R $\mu$ C est une solution qui semble réaliste pour le transfert de puissance avec fort rapport de transformation (x10), 400V par exemple au secondaire. Dans ce chapitre, nous avons abordé comment l'approche topologique proposée pouvait répondre aux variations de tensions d'entrée induite par la production variable en mettant en œuvre un aiguillage à la sortie de chaque cellule du réseau de convertisseurs

---

et donc en imposant le rapport de transfert à pas discret. Cependant, cette stratégie demande des moyens supplémentaires de filtrage à la sortie du réseau car l'insertion et l'ilotage d'une ou plusieurs cellules élémentaires de conversion change brutalement le point de fonctionnement de toutes les cellules dans le réseau et donc crée les conditions de circulations de courant parasite dans le système. De ce fait, une nouvelle stratégie de l'ilotage et/ou de l'insertion a été proposée en ce qui concerne la commutation des transistors de l'aiguillage avec un rapport cyclique variable (sorte de démarrage et fermeture graduelle de l'ilotage). Nous avons pu voir que les changements de point de fonctionnement ont des conséquences mineures dans le cas de cellules élémentaires à coupleur magnétique et encore plus contraignante dans le cas du coupleur capacitif. En ce qui concerne la mise en œuvre à base de cellules élémentaires à couplage capacitif, l'amplitude des courants de circulation, qui ne sont plus des courants parasites puisque circulant dans des composants intentionnels, est comparable, voire supérieure à celle des courants participant au transfert de la puissance entre l'entrée et la sortie du réseau lors des variations de point de fonctionnement DC, par exemple, une variation brutale de la consigne en tension de sortie, ou encore une variation brutale de la tension d'entrée.

Ensuite une grande partie expérimentale a été abordée dans le « chapitre III » sur la cellule élémentaire de conversion Dual-Active-Bridge. Durant cette thèse nous avons utilisé le transistor GaN EPC (EPC2016) à partir d'un *benchmarking* sur tous les transistors adaptés à la cible fonctionnelle d'une application à haute fréquence et au cahier des charges. Nous avons vu dans ce chapitre que pour profiter des faibles composants parasites du boîtier LGA des transistors fabriqués par EPC, il faut maîtriser absolument la mise en œuvre en réduisant la maille entre le circuit de commande rapprochée et le bras d'onduleur dans la topologie à pont complet. A ce titre, la montée en fréquence pose plusieurs problèmes et pour contrer ce problématique il faut améliorer le routage avec pour objectifs de réduire les éléments parasites dans la boucle de puissance ainsi que au niveau de la boucle de commande et bien évidemment des interactions entre les boucles. Nous avons aussi vu que l'inductance série assure l'essentiel du transfert de puissance par le déphasage entre les ordres de commande primaire et secondaire. Le remplacement de coupleur magnétique par un coupleur capacitif est abordé dans ce chapitre. A la fin de ce chapitre les résultats montrent une augmentation de 1,5% de rendement pour le convertisseur avec coupleur capacitif par rapport de convertisseur standard pour le même point de fonctionnement. Un autre point très important illustré dans ce chapitre afin d'optimiser le routage de la carte électronique, est l'aspect CEM (mode commun et mode différentiel) à cause des potentiels flottants avec très fort  $dV/dt$ . Nous avons aussi étudié et comparé expérimentalement les performances des structures de conversion mises en œuvre avec des composants classiques Si et les nouveaux composants GaN pour un même calibre en courant et une même gamme de fonctionnement. Les résultats obtenus montrent un rendement plus élevé avec le prototype composé des transistors GaN qu'avec leurs homologues Si, ouvrant ainsi la forte possibilité de la montée en fréquence de découpage. L'étude théorique de réseaux de convertisseurs dans le « chapitre II » et l'étude expérimentale de convertisseurs DAB composés de transistors GaN dans le « chapitre III » montrent un grand potentiel pour la mise en œuvre de convertisseur DAB à coupleur capacitif pour atteindre de hauts rendements à fort rapport de transformation si et seulement si on maîtrise le démarrage et les dynamiques des changements de point de fonctionnement dans le cas de variation de production et donc d'une variation de tension d'entrée/sortie. En revanche ces nouvelles caractéristiques des transistors GaNs montrent la faiblesse actuelle au niveau des moyens de pilotage, qui gagnerait à être intégré monolithiquement,

---

sans dispersion de temps de propagation, avec possibilité de fonctionnement à haute-température et immune aux forts  $dV/dt$  car ayant de faibles capacités de mode commun.

Après avoir mise en évidence dans le « chapitre III » les propriétés nécessaires d'une commande rapprochée dédiée aux composants HEMT, nous avons présenté tout de suite dans le « chapitre IV » les enjeux et les défis de la conception d'un circuit de commande rapprochée avec le circuit de décalage de tension pour le transistor *High-Side*. Dans le « chapitre III », nous avons montré que les performances du *driver* fabriqué par TI (LM5113), dédié aux composants GaN-EPC restent critiquables au niveau de la dispersion de temps de propagation ainsi qu'au niveau du boîtier (inductif). D'un côté, on a réduit les éléments parasites en reportant directement les puces nues des transistors de puissance sur la carte électronique, mais de l'autre, on ajoute des éléments parasites avec le boîtier du driver LM5113 (DSBGA). Prenant en compte les résultats obtenus dans la partie expérimentale abordés dans le « chapitre III », nous avons pu constater qu'un driver intégré monolithique qui génère quatre signaux de commande synchronisés avec forts pics de courant de charge et de décharge pourrait être idéal pour piloter les nouveaux composants GaN, en particulier dans le contexte d'un onduleur en pont complet exigeant vis-à-vis des instants de commutation (précision du déphasage primaire secondaire à très haute fréquence, gestion du temps mort, etc...). Mettant en place le report Flip-Chip avec une géométrie adaptée aux transistors GaN pour que les sorties du driver soient vis-à-vis des grilles des transistors dans un pont complet, on peut minimiser la maille de commutation driver-transistors et donc améliorer la performance de commutation de ces transistors. Nous avons caractérisé le prototype de Quad-Gate-Driver à température ambiante comme à haute température ( $>175^{\circ}\text{C}$ ) avec un report par fil de Bonding (report non prévu lors de la conception de cette puce). Les résultats sont satisfaisants au niveau des objectifs pour éliminer la dispersion de temps de propagation pour quatre commandes synchronisées. L'immunité aux  $dV/dt$  n'est pas correct sur ce prototype tout d'abord à cause du mauvais câblage (les fils de Bonding au lieu du Flip-Chip) ensuite à cause de protection peu fiable sur certains potentiels. Un travail complémentaire reste à mener sur cette dernière partie faute de temps pour bien exploiter tous les résultats obtenus.

Ce travail a exploré des contributions dont certaines sont originales mais n'aboutit pas à des conclusions solides. Avec davantage de temps, les perspectives de ce travail peuvent être déclinées comme suit.



## Perspectives :

1) Améliorer la méthodologie de comparaison « *FdM topologique* » en gardant la piste de l'affranchissement des contraintes technologiques. Créer le modèle de « *FdM topologique* » pour les autres composants comme les diodes est envisageable. Enfin appliquer la « *FdM topologique* » sur une cellule élémentaire à fort rapport de transformation et ensuite sur un réseau de convertisseur peut nous donner une vision plus large voire quasi-exhaustive sur les avantages et les inconvénients des solutions à fort rapport de transformation.

2) L'état de nos réflexions concernant l'architecture et les choix d'interconnexion et d'association entre les cellules élémentaires et les conséquences que cela peut avoir sur les calibres en courant et tension des différents éléments, nous a amené à proposer des configurations pour le réseau de convertisseur composé des cellules élémentaires à coupleur capacitif. Une nouvelle configuration concerne la mise en réseau de la partie AC des cellules élémentaires au lieu de configuration standard pour mettre en réseau le niveau DC (Figure 0-1a). En effet, plusieurs architectures sont réalisables en fonctions de plusieurs critères. Si les cellules élémentaires disposent de grandeurs nominales en courant et en tension toutes identiques, les contraintes sur les couplages primaire/secondaire sont relatives au niveau du rapport de transformation du convertisseur complet, e.g. le cahier des charges de l'application. Les contraintes d'isolation et d'amplitude de courant entre primaire et secondaire sur les cellules élémentaires découlent ainsi des modes d'interconnexion dans le réseau de convertisseurs qui doit être conçu et dimensionné en conséquence. Dans ce contexte et avec l'ambition d'analyser si des architectures d'interconnexion se démarquent, 2 modes d'association possibles au niveau de AC-Link sont envisageables :

- Les mises en parallèle des entrées sont effectuées au niveau des parties AC de chaque cellule élémentaire Figure 0-1(b) (PI<sub>AC</sub>SO<sub>DC</sub> : Parallel Input (on AC side), Serial Output (DC side))
- Les mises en série des sorties sont distribuées à travers une cascade de coupleurs au niveau de la partie AC Figure 0-1(c) (CI<sub>AC</sub>SO<sub>DC</sub> : Cascade connection Input (AC side), Serial Output (DC side))

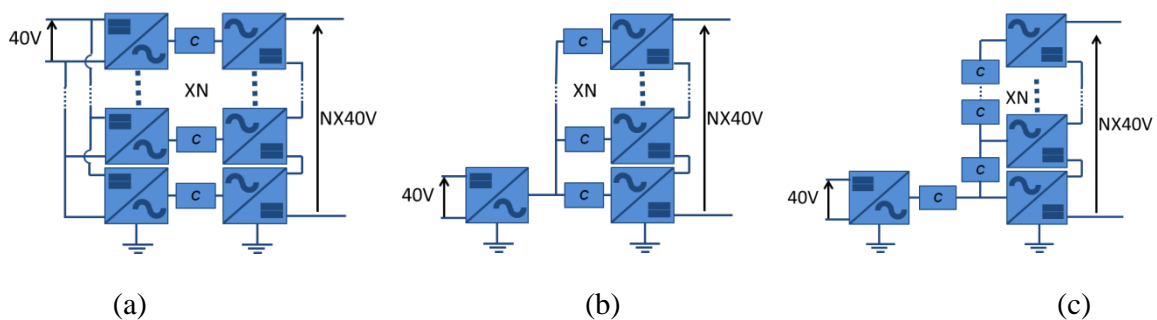


Figure 1 (a) Les mise en réseau standard côté DC (b) mise en parallèle côté AC-Link et mise en série à la sortie PI<sub>AC</sub>SO<sub>DC</sub> (c) Mise en cascade côté AC-Link et mise en série à la sortie CI<sub>AC</sub>PO<sub>DC</sub>

Dans les Figure 0-1(a), (b) et (c), les blocs C matérialisent les coupleurs capacitifs entre primaires et secondaires, toujours en présence d'une inductance série correspondant à la nature de fonctionnement du DAB afin de garantir un transfert de puissance dans les deux sens (propriété de bidirectionnalité). Dans le Tableau 0-1 sont résumés les avantages et inconvénients de chacun des modes d'association vis-à-vis d'un jeu de critères..



	PISO	PI <sub>AC</sub> SO <sub>DC</sub>	CI <sub>AC</sub> PO <sub>DC</sub>
Homogénéité <sup>1</sup>	--	--	++
Distribution <sup>2</sup>	++	-	--
Rationalité <sup>3</sup>	++	++	+
Performances <sup>4</sup>	++	+	+

Tableau 1 Les avantages et inconvénients des configurations proposées

Le couplage PI<sub>AC</sub>SO<sub>DC</sub> présente l'opportunité de mutualiser la partie onduleur AC (un seul onduleur sert à alimenter plusieurs blocs de découplage capacitif et redresseurs associés). Toutefois cette approche rompt assez significativement l'homogénéité du calibre en courant de la partie onduleur par rapport à la partie redresseur. Par ailleurs, au niveau de la mise en œuvre, il ne sera pas possible avec cette approche de garantir constante l'inductance parasite entre primaire et secondaire du convertisseur. De plus cette approche ne permet pas de gagner sur le facteur de dimensionnement des structures de conversion car tout le courant passe par un seul pont complet au primaire (onduleur). Si pour certaines topologies de cellules élémentaires cela pourra être indolore, pour un DAB fonctionnant à hautes fréquences, cela pourrait rapidement s'avérer rédhibitoire.

Il reste une dernière solution hybride CI<sub>AC</sub>PO<sub>DC</sub>, s'appuyant sur une partie onduleur mutualisée et une partie coupleur cascadée au niveau AC-Link. Cette approche permet en théorie de répartir les contraintes de tenue en tension ; elle permet également de garder homogène et standard les calibre de tenue en tension primaire secondaire mais l'approche est difficile à dimensionner. Le calibre en courant devient variable et de forte non homogénéités de l'inductance de fuite est possible dans le cas d'une cascade de coupleurs magnétique. Dans le cas d'un couplage capacitif intégrant des inductances, en les plaçant sur chaque secondaire, cela peut limiter la casse sans pour autant résoudre le volet calibre en courant. Au final, ces modes de connexion restent des solutions théoriques peut crédibles à ce stade des investigations. Durant cette thèse une partie remarquable des travaux était dédiée à cette perspective, ce qui était extrêmement lourd et complexe à mener. De ce fait, à l'issue de cette petite perspective, le lecteur pourra apprécier la quantité de travail qui reste à fournir pour évaluer et conclure de manière plus approfondie sur tous les points évoqués dans ce paragraphe.

3) Enfin pour les mises en réseau standard côté DC des cellules élémentaires à coupleur capacitif, des études complémentaires sur la dynamique aux changements de point de fonctionnement dans le cas des variations importantes des tensions d'entrée/sortie sont nécessaires pour mieux appréhender les capacités de réponses de l'approche et positionner en conséquence le champ applicatif relatif.

4) Les caractérisations du composant ASIC doivent être reprises en mettant en œuvre le report Flip-Chip. Pour cela il faut trouver la technologie la plus appropriée pour l'assemblage par Flip-Chip

<sup>1</sup> L'homogénéité des calibres des composants, c'est-à-dire la conformité des calibres en courant et en tension de chaque composant servant à la mise en œuvre du convertisseur, dans la perspective d'une mise en œuvre via une filière prédéfinie.

<sup>2</sup> La distribution des contraintes et des parasites doit être la plus homogène possible pour éviter d'introduire des disparités physiques ou électriques pouvant générer des dispersions de point de fonctionnement.

<sup>3</sup> L'approche, déjà basée sur la mise en œuvre d'un nombre important de composants pousse à une rationalisation du nombre de composants et des interconnexions associées.

<sup>4</sup> Les modes d'association doivent conduire à maximiser les performances du système.

---

puis évaluer les bénéfices mais aussi les limites d'une approche Quad Gate Driver monolithique, en particulier vis-à-vis des interconnexions avec une pluralité de transistors de puissance.

5) Au niveau du composant ASIC, il est indispensable d'intégrer le générateur d'ordres de commande sur le même substrat, sans surcôt pour ainsi dire, la surface supplémentaire allouée à ce type de fonctionnalité restant très limitée, pour éliminer le besoin de la mise en place d'un composant plus cher comme un microcontrôleur et encore plus important pour synchroniser les ordres de commande d'entrée des circuits de commande rapprochée. De ce fait, on peut envisager :

- Ajouter les générateurs de pulses à partir des signaux de commande reçus depuis un microcontrôleur et puis la suite comme le prototype ASIC représenté dans le « chapitre IV »
- Générer les PWM complémentaires de chaque bras : on ne reçoit plus que des informations de haut niveau de commutation du bras.
- Ne recevoir que la valeur du temps mort : les PWM sont gérées en interne pour une meilleure symétrie entre les fronts de montée et ceux de descente, qui sont généralement dissymétrisées par le passage via un bloc d'isolation.
- Générer les ordres de l'onduleur et du redresseur avec pour limitation 200V max entre primaire et secondaire.

On peut même imaginer une fois que les contraintes technologiques le permettront d'intégrer monolithiquement les transistors GaN avec le composant de pilotage dans le contexte pont complet ou convertisseur complet. Des avancées chez Panasonic ou TSMC vont dans ce sens. Aujourd'hui on peut envisager aussi une intégration hybride 3D du circuit de commande rapprochée et des transistors GaN. Cette version intermédiaire, inspirée des travaux de T. Simonot, est une belle perspective technologique. Toutefois, la petite taille de la puce de commande implique une puce monolithique, multi transistors, coté composants de puissance. Cela viendra avec son lot d'avantage (interconnexions, rayonnement, fiabilité, cout,...) et d'inconvénients (thermique avant tout, rendement de production,...) qu'il faudra, le moment venu appréhender.



---

## Références :

- [1] A. C. Pastor, « Conception et réalisation de modules photovoltaïques électroniques », phdthesis, INSA de Toulouse, 2006.
- [2] S. Vighetti, « Systèmes photovoltaïques raccordés au réseau : Choix et dimensionnement des étages de conversion », phdthesis, Institut National Polytechnique de Grenoble - INPG, 2010.
- [3] L. F. L. Villa, D. Picault, B. Raison, S. Bacha, et A. Labonne, « Maximizing the Power Output of Partially Shaded Photovoltaic Plants Through Optimization of the Interconnections Among Its Modules », *IEEE J. Photovolt.*, vol. 2, n° 2, p. 154-163, avr. 2012.
- [4] L. F. L. Villa, « Architectures de Puissance et Commande associées pour la gestion des ombres dans des installations photovoltaïques », phdthesis, Université de Grenoble, 2013.
- [5] D. Picault, « REDUCTION OF MISMATCH LOSSES IN GRID-CONNECTED PHOTOVOLTAIC SYSTEMS USING ALTERNATIVE TOPOLOGIES », phdthesis, Institut National Polytechnique de Grenoble - INPG, 2010.
- [6] Imamura, *Photovoltaic system technology*. .
- [7] A. L. Lentine, G. N. Nielson, M. Okandan, W. C. Sweatt, J. L. Cruz-Campa, et V. Gupta, « Optimal cell connections for improved shading, reliability, and spectral performance of microsystem enabled photovoltaic (MEPV) modules », in *2010 35th IEEE Photovoltaic Specialists Conference (PVSC)*, 2010, p. 003048-003054.
- [8] S. Vighetti, J. P. Ferrieux, et Y. Lembeye, « Optimization and Design of a Cascaded DC/DC Converter Devoted to Grid-Connected Photovoltaic Systems », *IEEE Trans. Power Electron.*, vol. 27, n° 4, p. 2018-2027, avr. 2012.
- [9] J.-P. Ferrieux et F. Forest, *Alimentations à découpage, convertisseurs à résonance : Principes, composants, modélisation*. Paris: Dunod, 2006.
- [10] L. F. L. Villa, X. Pichon, F. Sarrafin-Ardelibi, B. Raison, J. C. Crebier, et A. Labonne, « Toward the Design of Control Algorithms for a Photovoltaic Equalizer: Choosing the Optimal Switching Strategy and the Duty Cycle », *IEEE Trans. Power Electron.*, vol. 29, n° 3, p. 1447-1460, mars 2014.
- [11] S. i Kobayashi, T. Iino, H. Kobayashi, K. Yamada, et T. Yachi, « Degradation of Output Characteristics of a Small Photovoltaic Module Due to Dirt Spots », in *INTELEC 05 - Twenty-Seventh International Telecommunications Conference*, 2005, p. 435-439.
- [12] C. Olalla, C. Deline, D. Clement, Y. Levron, M. Rodriguez, et D. Maksimovic, « Performance of Power-Limited Differential Power Processing Architectures in Mismatched PV Systems », *IEEE Trans. Power Electron.*, vol. 30, n° 2, p. 618-631, février 2015.
- [13] S. Harb et R. S. Balog, « Reliability of candidate photovoltaic module-integrated-inverter topologies », in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2012, p. 898-903.
- [14] Y. Nimni et D. Shmilovitz, « A returned energy architecture for improved photovoltaic systems efficiency », in *Proceedings of 2010 IEEE International Symposium on Circuits and Systems*, 2010, p. 2191-2194.
- [15] T. Kerekes, R. Teodorescu, et U. Borup, « Transformerless Photovoltaic Inverters Connected to the Grid », in *APEC 07 - Twenty-Second Annual IEEE Applied Power Electronics Conference and Exposition*, 2007, p. 1733-1737.
- [16] « PhotoVoltaic DC-DC Module Integrated Converter for Novel Cascaded and Bypass Grid Connection Topologies #8212; Design and Optimisation », in *37th IEEE Power Electronics Specialists Conference, 2006. PESC '06*, 2006, p. 1-7.

- 
- [17]L. Kerachev, « Technologies de mise en oeuvre et stratégies de configuration de réseaux de micro-convertisseurs - Application au photovoltaïque », phdthesis, Université de Grenoble, 2013.
- [18]A. M. Pavan, S. Castellan, S. Quaia, S. Roitti, et G. Sulligoi, « Power Electronic Conditioning Systems for Industrial Photovoltaic Fields: Centralized or String Inverters? », in *2007 International Conference on Clean Electrical Power*, 2007, p. 208-214.
- [19]Y. Riffonneau, *Gestion des flux énergétiques dans un système photovoltaïque avec stockage connecté au réseau : application à l'habitat*. Université Joseph Fourier (Grenoble), 2009.
- [20]Y. Riffonneau, « GESTION DES FLUX ÉNERGÉTIQUE DANS UN SYSTÈME PHOTOVOLTAÏQUE AVEC STOCKAGE CONNECTER AU RÉSEAU – Application à l'habitat », phdthesis, Université Joseph-Fourier - Grenoble I, 2009.
- [21]S. V. G. Oliveira et I. Barbi, « A Three-Phase Step-Up DC #x2013;DC Converter With a Three-Phase High-Frequency Transformer for DC Renewable Power Source Applications », *IEEE Trans. Ind. Electron.*, vol. 58, n° 8, p. 3567-3580, août 2011.
- [22]G. Velasco, J. J. Negroni, F. Guinjoan, et R. Pique, « Energy generation in PV grid-connected systems: power extraction optimization for plant oriented PV generators », in *Proceedings of the IEEE International Symposium on Industrial Electronics, 2005. ISIE 2005.*, 2005, vol. 3, p. 1025-1030 vol. 3.
- [23]M. Wuest, P. Toggweiler, et J. Riatsch, « Single cell converter system (SCCS) », in *IEEE Photovoltaic Specialists Conference - 1994, 1994 IEEE First World Conference on Photovoltaic Energy Conversion, 1994., Conference Record of the Twenty Fourth*, 1994, vol. 1, p. 813-815 vol.1.
- [24]W. Yao, M. Gao, Z. Ren, M. Chen, et Z. Qian, « Improvement of performance and flexibility for photovoltaic module using individual DC/DC converter », in *Power Electronics and Motion Control Conference, 2009. IPEMC '09. IEEE 6th International*, 2009, p. 441-444.
- [25]L. Palma et P. Enjeti, « A Modular Fuel Cell, Modular DC-DC Converter Concept for High Performance and Enhanced Reliability », in *2007 IEEE Power Electronics Specialists Conference*, 2007, p. 2633-2638.
- [26]W. Hong, K. S. Ng, J. H. Hu, et C. S. Moo, « Charge equalization of battery power modules in series », in *Power Electronics Conference (IPEC), 2010 International*, 2010, p. 1568-1572.
- [27]T. H. Phung, « Conception d'un équilibreur de charge de batterie à base du réseau de micro-convertisseurs », phdthesis, Université de Grenoble, 2013.
- [28]H. J. Bergveld *et al.*, « Module-Level DC/DC Conversion for Photovoltaic Systems: The Delta-Conversion Concept », *IEEE Trans. Power Electron.*, vol. 28, n° 4, p. 2005-2013, avr. 2013.
- [29]C. Olalla, C. Deline, et D. Maksimovic, « Performance of Mismatched PV Systems With Submodule Integrated Converters », *IEEE J. Photovolt.*, vol. 4, n° 1, p. 396-404, janv. 2014.
- [30]O. Deleage, « Conception, réalisation et mise en oeuvre d'un micro-convertisseur intégré pour la conversion DC/DC », phdthesis, Université Joseph-Fourier - Grenoble I, 2009.
- [31]J. Delaine, « Alimentation haute fréquence à base de composants de puissance en Nitrure de Gallium », phdthesis, Université de Grenoble, 2014.
- [32]T. L. Le, « Isolation galvanique intégrée pour nouveaux transistors de puissance », phdthesis, Université Grenoble Alpes, 2015.
- [33]A. Hillers, D. Christen, et J. Biela, « Design of a Highly efficient bidirectional isolated LLC resonant converter », 2012, p. DS2b.13-1-DS2b.13-8.

- 
- [34]T. Todorčević, P. Bauer, J. A. Ferreira, et R. van Kessel, « A modulation strategy for wide voltage output in DAB based DC-DC modular multilevel converter », in *IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society*, 2014, p. 4514-4520.
- [35]U.A.Bakshi et V.U.Bakshi, *Electrical Circuits and Machines*. Technical Publications, 2009.
- [36]K. Daware, « Transformer - Losses and Efficiency | electricaleasy.com ». .
- [37]N. Videau, « Convertisseurs continu-continu non isolés à haut rapport de conversion pour Piles à Combustible et Electrolyseurs - Apport des composants GaN », phdthesis, Institut National Polytechnique de Toulouse - INPT, 2014.
- [38]T. Meynard, F. Forest, E. Laboure, V. Costan, A. Cuniere, et E. Sarraute, « Monolithic Magnetic Couplers for Interleaved Converters with a High Number of Cells », in *2006 4th International Conference on Integrated Power Systems (CIPS)*, 2006, p. 1-6.
- [39]T. Meynard, B. C. Laplace, F. Forest, et E. Laboure, « Parallel multicell converters for high current: Design of intercell transformers », 2010, p. 1359-1364.
- [40]F. Forest *et al.*, « Optimization of the Supply Voltage System in Interleaved Converters Using Intercell Transformers », *IEEE Trans. Power Electron.*, vol. 22, n° 3, p. 934-942, mai 2007.
- [41]Francois Forest et Al, « Convertisseur multicellulaire “Tsooboo” non réversible à grand rapport d’élévation », SGE, 2016.
- [42]B. V. Dang, « Conception d’une interface d’électronique de puissance pour Pile à Combustible », phdthesis, Institut National Polytechnique de Grenoble - INPG, 2006.
- [43]Y. He, Y. Gu, H. Chen, et Z. Qian, « A novel multioutput forward-flyback converter with secondary side post regulation », in *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, 2004, vol. 1, p. 618-621 Vol.1.
- [44]A. Hussain, H. Lee, et S. K. Sul, « Forward fly-back voltage balancing circuit for series connected super capacitors using digital control », in *2013 International Conference on Renewable Energy Research and Applications (ICRERA)*, 2013, p. 377-382.
- [45]V. S. Rajguru, B. N. Chaudhari, et P. Koppolu, « Current mode control applied to active clamp forward-fly back converter », in *2013 International Conference on Power, Energy and Control (ICPEC)*, 2013, p. 329-334.
- [46]Francois Forest et Al, « Convertisseur DC-DC isolé fort courant à fort rapport d’élévation pour l’avion plus électrique », SGE, 2016.
- [47]K. Wang, C. Y. Lin, L. Zhu, D. Qu, F. C. Lee, et J. S. Lai, « Bi-directional DC to DC converters for fuel cell systems », in *Power Electronics in Transportation, 1998*, 1998, p. 47-51.
- [48]T. Simonot, « Conception et hybridation de l’environnement électronique des composants de puissance à structure verticale », phdthesis, Université de Grenoble, 2011.
- [49]T. H. Trinh, « Réseaux de micro convertisseurs, les premiers pas vers le circuit de puissance programmable », phdthesis, Université de Grenoble, 2013.
- [50]S. Petibon, « Nouvelles architectures distribuées de gestion et conversion de l’énergie pour les applications photovoltaïques », phdthesis, Université Paul Sabatier - Toulouse III, 2009.
- [51]« Microsoft PowerPoint - eGaN FETs 0614.pptx - access ». [En ligne]. Disponible sur: <https://agenda.infn.it/getFile.py/access?sessionId=2&resId=0&materialId=0&confId=8145>. [Consulté le: 26-mai-2016].
- [52]F. Sarrafin-Ardebili, B. Allard, et J. C. Crebier, « Analysis of Gate-Driver Circuit requirements for H-Bridge Based Converters with GaN HFETs », in *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, 2015, p. 1-10.
- [53]H. D. Thai, O. Deleage, H. Chazal, Y. Lembeye, R. Rolland, et J. Crebier, « Design of Modular Converters; Survey and Introduction to Generic Approaches », 2009, p. 1427-1433.

- 
- [54]H. D. Thai, « RESEAUX DE MICRO-CONVERTISSEURS », phdthesis, Institut National Polytechnique de Grenoble - INPG, 2009.
- [55]O. Deleage, « Conception, réalisation et mise en oeuvre d'un micro-convertisseur intégré pour la conversion DC/DC », phdthesis, Université Joseph-Fourier - Grenoble I, 2009.
- [56]T. H. Trinh, N. Rouger, Y. Lembeye, et J.-C. Crébier, « Convertisseur intégré pour les applications réseaux de micro convertisseurs », in *Electronique de Puissance du Futur 2012*, France, 2012.
- [57]T. H. Trinh, « Réseaux de micro convertisseurs, les premiers pas vers le circuit de puissance programmable », phdthesis, Université de Grenoble, 2013.
- [58]T. H. Phung, « Conception d'un équilibreur de charge de batterie à base du réseau de micro-convertisseurs », phdthesis, Université de Grenoble, 2013.
- [59]L. Kerachev, « Technologies de mise en oeuvre et stratégies de configuration de réseaux de micro-convertisseurs - Application au photovoltaïque », phdthesis, Université de Grenoble, 2013.
- [60]« 3f3.fm - 3f3.pdf » .
- [61]J. Delaine, « Alimentation haute fréquence à base de composants de puissance en Nitrure de Gallium », phdthesis, Université de Grenoble, 2014.
- [62]F. KRISMER, « Modeling and Optimization of Bidirectional Dual Active Bridge DC-DC Converter Topologies », ETH ZURICH, 2010.
- [63]F. Krismer, S. Round, et J. W. Kolar, « Performance Optimization of a High Current Dual Active Bridge with a Wide Operating Voltage Range », 2006, p. 1-7.
- [64]H. Zhou, Tran Duong, Siew Tuck Sing, et A. M. Khambadkone, « Interleaved bi-directional Dual Active Bridge DC-DC converter for interfacing ultracapacitor in micro-grid application », 2010, p. 2229-2234.
- [65]Hua Bai et C. Mi, « Eliminate Reactive Power and Increase System Efficiency of Isolated Bidirectional Dual-Active-Bridge DC-DC Converters Using Novel Dual-Phase-Shift Control », *IEEE Trans. Power Electron.*, vol. 23, n° 6, p. 2905-2914, nov. 2008.
- [66]G. G. Oggier, G. O. García, et A. R. Oliva, « Switching Control Strategy to Minimize Dual Active Bridge Converter Losses », *IEEE Trans. Power Electron.*, vol. 24, n° 7, p. 1826-1838, juill. 2009.
- [67]T. H. Phung, « Conception d'un équilibreur de charge de batterie à base du réseau de micro-convertisseurs », phdthesis, Université de Grenoble, 2013.
- [68]G. Guidi, M. Pavlovsky, A. Kawamura, T. Imakubo, et Y. Sasaki, « Efficiency optimization of high power density Dual Active Bridge DC-DC converter », 2010, p. 981-986.
- [69]F. Z. Peng, H. Li, G.-J. Su, et J. S. Lawler, « A new ZVS bidirectional DC-DC converter for fuel cell and battery application », *IEEE Trans. Power Electron.*, vol. 19, n° 1, p. 54-65, janv. 2004.
- [70]X. Yanhui, « Modeling, Analysis and Control of DC Hybrid Power Systems. », 2010.
- [71]Yanhui Xie, Jing Sun, et J. S. Freudenberg, « Power Flow Characterization of a Bidirectional Galvanically Isolated High-Power DC/DC Converter Over a Wide Operating Range », *IEEE Trans. Power Electron.*, vol. 25, n° 1, p. 54-66, janv. 2010.
- [72]O. Deleage, « Conception, réalisation et mise en oeuvre d'un micro-convertisseur intégré pour la conversion DC/DC », phdthesis, Université Joseph-Fourier - Grenoble I, 2009.
- [73]C. Mi, H. Bai, C. Wang, et S. Gargies, « Operation, design and control of dual H-bridge-based isolated bidirectional DC-DC converter », *IET Power Electron.*, vol. 1, n° 4, p. 507-517, déc. 2008.

- [74]B. Zhao, Q. Song, W. Liu, et Y. Sun, « Overview of Dual-Active-Bridge Isolated Bidirectional DC-DC Converter for High-Frequency-Link Power-Conversion System », *IEEE Trans. Power Electron.*, vol. 29, n° 8, p. 4091-4106, août 2014.
- [75]T. H. Trinh, « Réseaux de micro convertisseurs, les premiers pas vers le circuit de puissance programmable », phdthesis, Université de Grenoble, 2013.
- [76]L. Kerachev, « Technologies de mise en oeuvre et stratégies de configuration de réseaux de micro-convertisseurs - Application au photovoltaïque », phdthesis, Université de Grenoble, 2013.
- [77]A. Hillers, D. Christen, et J. Biela, « Design of a Highly efficient bidirectional isolated LLC resonant converter », 2012, p. DS2b.13-1-DS2b.13-8.
- [78]F. Krismer et J. W. Kolar, « Accurate Power Loss Model Derivation of a High-Current Dual Active Bridge Converter for an Automotive Application », *IEEE Trans. Ind. Electron.*, vol. 57, n° 3, p. 881-891, mars 2010.
- [79]S. Poshtkouhi, A. Eski, et O. Trescases, « PLL based bridge synchronization as an alternative to digital isolators for Dual Active Bridge DC-DC converters », 2015, p. 9-14.
- [80]J. Muhlethaler, J. Biela, J. W. Kolar, et A. Ecklebe, « Core losses under DC bias condition based on Steinmetz parameters », 2010, p. 2430-2437.
- [81]L. Kerachev, T. H. Trinh, Y. Lembeye, et J. C. Crebier, « Design and Implementation of a Highly Integrated Dual Active Bridge Microconverter », *IEEE Trans. Power Electron.*, vol. 31, n° 8, p. 5635-5643, août 2016.
- [82]B. Gemmell, J. Dorn, D. Retzmann, et D. Soerangr, « Prospects of multilevel VSC technologies for power transmission », in *Transmission and Distribution Conference and Exposition, 2008. T & D. IEEE/PES*, 2008, p. 1-16.
- [83]T. Lagier et P. Ladoux, « A comparison of insulated DC-DC converters for HVDC off-shore wind farms », in *2015 International Conference on Clean Electrical Power (ICCEP)*, 2015, p. 33-39.
- [84]P. Zumel *et al.*, « Modular dual active bridge converter architecture », in *2014 Twenty-Ninth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2014, p. 1081-1087.
- [85]H. R. Mamede, W. M. dos Santos, R. F. Coelho, et D. C. Martins, « A multicell Dual-Active Bridge converter for increasing the reliability of power supply in a DC microgrid », in *2015 IEEE First International Conference on DC Microgrids (ICDCM)*, 2015, p. 274-279.
- [86]« C1206R105K3RAC - KEMET - Condensateur céramique multicouche CMS, Série C, 1  $\mu$ F,  $\pm$  10%, X7R, 25 V, 1206 [3216 Metric] | Farnell element14 France ». [En ligne]. Disponible sur: <http://fr.farnell.com/kemet/c1206r105k3rac/condensateur-mlcc-x7r-1uf-25v/dp/2476147?ost=2476147&selectedCategoryId=&categoryNameResp=Toutes%20les%20Bcat%25C3%25A9gories>. [Consulté le: 13-avr-2016].
- [87]« KEM\_C1001\_C0G\_200C\_SMD.pdf ». [En ligne]. Disponible sur: [http://www.kemet.com/Lists/ProductCatalog/Attachments/218/KEM\\_C1001\\_C0G\\_200C\\_SMD.pdf](http://www.kemet.com/Lists/ProductCatalog/Attachments/218/KEM_C1001_C0G_200C_SMD.pdf). [Consulté le: 12-juin-2016].
- [88]P. Jain et E. J. Rymaszewski, *Thin-film capacitors for packaged electronics*. 2004.
- [89]S. Taranovich, « Si vs. GaN vs. SiC: Which process and supplier are best for my power design? », *EDN*. [En ligne]. Disponible sur: <http://www.edn.com/design/power-management/4409627/2/Si-vs--GaN-vs--SiC--Which-process-and-supplier-are-best-for-my-power-design->. [Consulté le: 08-juin-2016].
- [90]N. Videau, « Convertisseurs continu-continu non isolés à haut rapport de conversion pour Piles à Combustible et Electrolyseurs - Apport des composants GaN », phdthesis, Institut National Polytechnique de Toulouse - INPT, 2014.



- [91] F. SARRAFIN, J.-C. Crebier, et B. ALLARD, « Capacitive Coupling for High Voltage Ratio Power Transfer in Multi-Cell Converters Based on GaN HFETs », *CIPS2016*, Nürnberg, Deutschland, 10-sept-2016.
- [92] « Appnote\_Thermal\_Performance\_of\_eGaN\_FETs.pdf ». [En ligne]. Disponible sur: [http://epc-co.com/epc/Portals/0/epc/documents/product-training/Appnote\\_Thermal\\_Performance\\_of\\_eGaN\\_FETs.pdf](http://epc-co.com/epc/Portals/0/epc/documents/product-training/Appnote_Thermal_Performance_of_eGaN_FETs.pdf). [Consulté le: 11-mai-2016].
- [93] « Optimizing PCB Layout with eGaN FETs.pdf ». [En ligne]. Disponible sur: <http://epc-co.com/epc/Portals/0/epc/documents/papers/Optimizing%20PCB%20Layout%20with%20eGaN%20FETs.pdf>. [Consulté le: 11-mai-2016].
- [94] « hcpl2201-2231-Opto\_Isolator.pdf ». [En ligne]. Disponible sur: [https://www.rose-hulman.edu/~herniter/Data\\_Sheets/hcpl2201-2231-Opto\\_Isolator.pdf](https://www.rose-hulman.edu/~herniter/Data_Sheets/hcpl2201-2231-Opto_Isolator.pdf). [Consulté le: 11-mai-2016].
- [95] M. Munzer, W. Ademmer, B. Strzalkowski, et K. T. Kaschani, « Insulated signal transfer in a half bridge driver IC based on coreless transformer technology », 2003, p. 93-96.
- [96] International Rectifier, « Power MOSFET Designer's Manual », 1993, vol. 1, p. 7-131.
- [97] « using\_gan\_r4.pdf ». [En ligne]. Disponible sur: [http://epc-co.com/epc/Portals/0/epc/documents/product-training/using\\_gan\\_r4.pdf](http://epc-co.com/epc/Portals/0/epc/documents/product-training/using_gan_r4.pdf). [Consulté le: 11-mai-2016].
- [98] « efd15.fm - efd15.pdf ». [En ligne]. Disponible sur: <http://ferroxcube.home.pl/prod/assets/efd15.pdf>. [Consulté le: 11-mai-2016].
- [99] A. Seidel, M. Costa, J. Joos, et B. Wicht, « Bootstrap circuit with high-voltage charge storing for area efficient gate drivers in power management systems », 2014, p. 159-162.
- [100] « AN-6076 Design and Application Guide of Bootstrap Circuit for High-Voltage Gate-Drive IC - AN-6076.pdf ». [En ligne]. Disponible sur: <https://www.fairchildsemi.com/application-notes/AN/AN-6076.pdf>. [Consulté le: 23-mai-2016].
- [101] « mgnetic\_powder\_cores.pdf - mgnetic\_powder\_cores.pdf ». [En ligne]. Disponible sur: [http://changsung.com/\\_new/wp-content/themes/changsung/images/product\\_PDF/mgnetic\\_powder\\_cores.pdf](http://changsung.com/_new/wp-content/themes/changsung/images/product_PDF/mgnetic_powder_cores.pdf). [Consulté le: 13-avr-2016].
- [102] G. Ortiz, J. Biela, D. Bortis, et J. W. Kolar, « 1 Megawatt, 20 kHz, isolated, bidirectional 12kV to 1.2kV DC-DC converter for renewable energy applications », 2010, p. 3212-3219.
- [103] D. J. Costinett, « Analysis and Design of High Efficiency, High Conversion Ratio, DC-DC Power Converters », UNIVERSITY OF COLORADO AT BOULDER, 2013.
- [104] « EPC2016\_datasheet.pdf ». [En ligne]. Disponible sur: [http://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2016\\_datasheet.pdf](http://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2016_datasheet.pdf). [Consulté le: 23-mars-2016].
- [105] W. G. Hurley, E. Gath, et J. G. Breslin, « Optimizing the AC resistance of multilayer transformer windings with arbitrary current waveforms », *IEEE Trans. Power Electron.*, vol. 15, n° 2, p. 369-376, mars 2000.
- [106] X. Ren, D. Reusch, S. Ji, Z. Zhang, M. Mu, et F. C. Lee, « Three-level driving method for GaN power transistor in synchronous buck converter », 2012, p. 2949-2953.
- [107] J. Delaine, P. O. Jeannin, D. Frey, et K. Guepratte, « High frequency DC-DC converter using GaN device », in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2012, p. 1754-1761.
- [108] R. Grézaud, « Commande de composants grand gap dans un convertisseur de puissance synchrone sans diodes », phdthesis, Université de Grenoble, 2014.

- 
- [109] E. Wilson Allan Thomas, « MOSFET CURRENT SOURCE GATE DRIVERS, SWITCHING LOSS MODELING AND FREQUENCY DITHERING CONTROL FOR MHZ SWITCHING FREQUENCY DC-DC CONVERTERS ».
- [110] B. Wang, N. Tipirneni, M. Riva, A. Monti, G. Simin, et E. Santi, « A Resonant Drive Circuit for GaN Power MOSHFET », in *Conference Record of the 2006 IEEE Industry Applications Conference Forty-First IAS Annual Meeting*, 2006, vol. 1, p. 364-368.
- [111] B. Wang, M. Riva, J. Bakos, et A. Monti, « Integrated circuit implementation for a GaN HFETs driver circuit », in *Twenty-Third Annual IEEE Applied Power Electronics Conference and Exposition, 2008. APEC 2008*, 2008, p. 901-906.
- [112] B. Wang, A. Monti, et M. Riva, « A high-speed H-Bridge circuit based on GaN HFETs and custom resonant gate drivers », in *2009 IEEE Energy Conversion Congress and Exposition*, 2009, p. 973-978.
- [113] B. Wang, N. Tipirneni, M. Riva, A. Monti, G. Simin, et a E. Santi, « An Efficient High-Frequency Drive Circuit for GaN Power HFETs », *IEEE Trans. Ind. Appl.*, vol. 45, n° 2, p. 843-853, mars 2009.
- [114] T. Ishibashi, M. Okamoto, E. Hiraki, T. Tanaka, T. Hashizume, et T. Kachi, « Resonant gate driver for normally-on GaN high-electron-mobility transistor », in *2013 IEEE ECCE Asia Downunder (ECCE Asia)*, 2013, p. 365-371.
- [115] Z. Yang, S. Ye, et Y. F. Liu, « A New Resonant Gate Drive Circuit for Synchronous Buck Converter », *IEEE Trans. Power Electron.*, vol. 22, n° 4, p. 1311-1320, juill. 2007.
- [116] H. Fujita, « A Resonant Gate-Drive Circuit Capable of High-Frequency and High-Efficiency Operation », *IEEE Trans. Power Electron.*, vol. 25, n° 4, p. 962-969, avr. 2010.
- [117] Y. Ren, M. Xu, Y. Meng, et F. C. Lee, « 12V VR Efficiency Improvement based on Two-stage Approach and a Novel Gate Driver », in *2005 IEEE 36th Power Electronics Specialists Conference*, 2005, p. 2635-2641.
- [118] J.-M. Jarrousse, « Conception d'un convertisseur DC/DC à très haute fréquence pour l'alimentation d'une cellule radar, contributions à son intégration », phdthesis, École normale supérieure de Cachan - ENS Cachan, 2008.
- [119] AVAGO technology, « AVAGO application-note-5576 ». .
- [120] D. Vasic, F. Costa, et E. Sarraute, « Piezoelectric transformer for integrated MOSFET and IGBT gate driver », *IEEE Trans. Power Electron.*, vol. 21, n° 1, p. 56-65, janv. 2006.
- [121] S. C. Tang, S. Y. Hui, et H. S.-H. Chung, « A low-profile low-power converter with coreless PCB isolation transformer », *IEEE Trans. Power Electron.*, vol. 16, n° 3, p. 311-315, mai 2001.
- [122] N. Rouger, J. C. Crebier, L. Aubard, et C. Schaeffer, « Toward Generic Fully Integrated Gate Driver Power Supplies », in *IECON 2006 - 32nd Annual Conference on IEEE Industrial Electronics*, 2006, p. 1866-1871.
- [123] H. Fujita, « A Resonant Gate-Drive Circuit With Optically Isolated Control Signal and Power Supply for Fast-Switching and High-Voltage Power Semiconductor Devices », *IEEE Trans. Power Electron.*, vol. 28, n° 11, p. 5423-5430, nov. 2013.
- [124] D. N. To, « Circuit de pilotage intégré pour transistor de puissance », phdthesis, Université Grenoble Alpes, 2015.
- [125] S. Nagai *et al.*, « A DC-isolated gate drive IC with drive-by-microwave technology for power switching devices », in *2012 IEEE International Solid-State Circuits Conference*, 2012, p. 404-406.

- 
- [126] V. S. Nguyen *et al.*, « Contributions to dedicated gate driver circuitry for very high switching speed high temperature power devices », in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2016, p. 443-446.
- [127] T. H. Trinh, « Réseaux de micro convertisseurs, les premiers pas vers le circuit de puissance programmable », phdthesis, Université de Grenoble, 2013.
- [128] J. Liu, L. Ye, Z. Deng, J. Zhao, et H. Liao, « A 1.8V to 10V CMOS level shifter for RFID transponders », in *2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, 2010, p. 491-493.
- [129] « 012012\_Basic\_Design\_Guide.pdf ». [En ligne]. Disponible sur: [http://www.wonline.fr/web/fr/index.php/show/media/04\\_leiterplatte/2011\\_2/relaunch/produkte\\_5/012012\\_Basic\\_Design\\_Guide.pdf](http://www.wonline.fr/web/fr/index.php/show/media/04_leiterplatte/2011_2/relaunch/produkte_5/012012_Basic_Design_Guide.pdf). [Consulté le: 23-sept-2016].
- [130] « ABCs of Probes - Tektronix Instruments ». [En ligne]. Disponible sur: <http://info.tek.com/www-abcs-of-probes-primer.html>. [Consulté le: 26-sept-2016].
- [131] K. Ammous, H. Morel, et A. Ammous, « Analysis of Power Switching Losses Accounting Probe Modeling », *IEEE Trans. Instrum. Meas.*, vol. 59, n° 12, p. 3218-3226, décembre 2010.
- [132] « LM5113 | GaN FET Drivers | Gallium Nitride (GaN) Solutions | Description & parametrics ». [En ligne]. Disponible sur: <http://www.ti.com/product/LM5113>. [Consulté le: 30-sept-2016].





Annexe II-1 :

Vin (V)	RC	Cellule élémentaire		
	Vout (V)	Nombre de CE	$\Delta V = V_{out} - V_{in}$ (V)	$\Delta V / V_{in}$ (%)
13		31	-0,10	4,72
14		29	-0,21	4,70
15		27	-0,19	4,17
16		25	0,00	4,29
17		24	-0,33	4,04
18		22	0,18	5,00
19		21	0,05	4,02
20		20	0,00	4,55
21		19	0,05	4,88
22		18	0,22	5,00
23		17	0,53	4,87
24		17	-0,47	4,44
25		16	0,00	3,68
26		15	0,67	2,50
27		15	-0,33	5,00
28		14	0,57	3,33
29	400	14	-0,43	1,07
30		13	0,77	3,57
31		13	-0,23	0,58
32		13	-1,23	3,08
33		12	0,33	-0,83
34		12	-0,67	1,67
35		11	1,36	4,17
36		11	0,36	-0,91
37		11	-0,64	1,59
38		11	-1,64	4,09
39		10	1,00	-2,50
40		10	0,00	0,00
41		10	-1,00	2,50
42		10	-2,00	5,00
43		9	1,44	-3,61
44		9	0,44	-1,11

Tableau II-3 : Exemple de l'ensemble des points de configuration du réseau de convertisseur

Annexe II-2 :

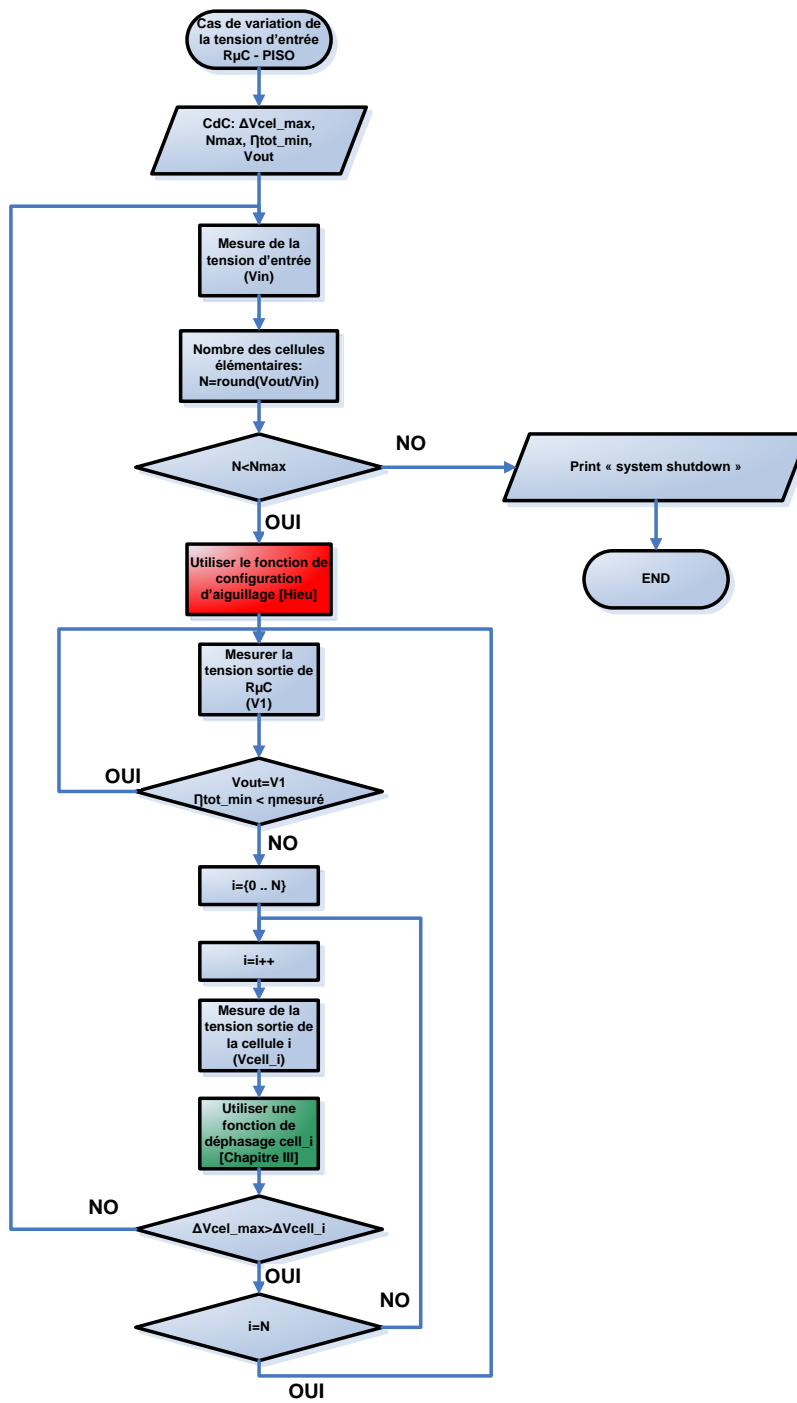


Figure II-31 : Algorithme proposer pour identifier le nombre optimum de CE.

Annexe II-3 :

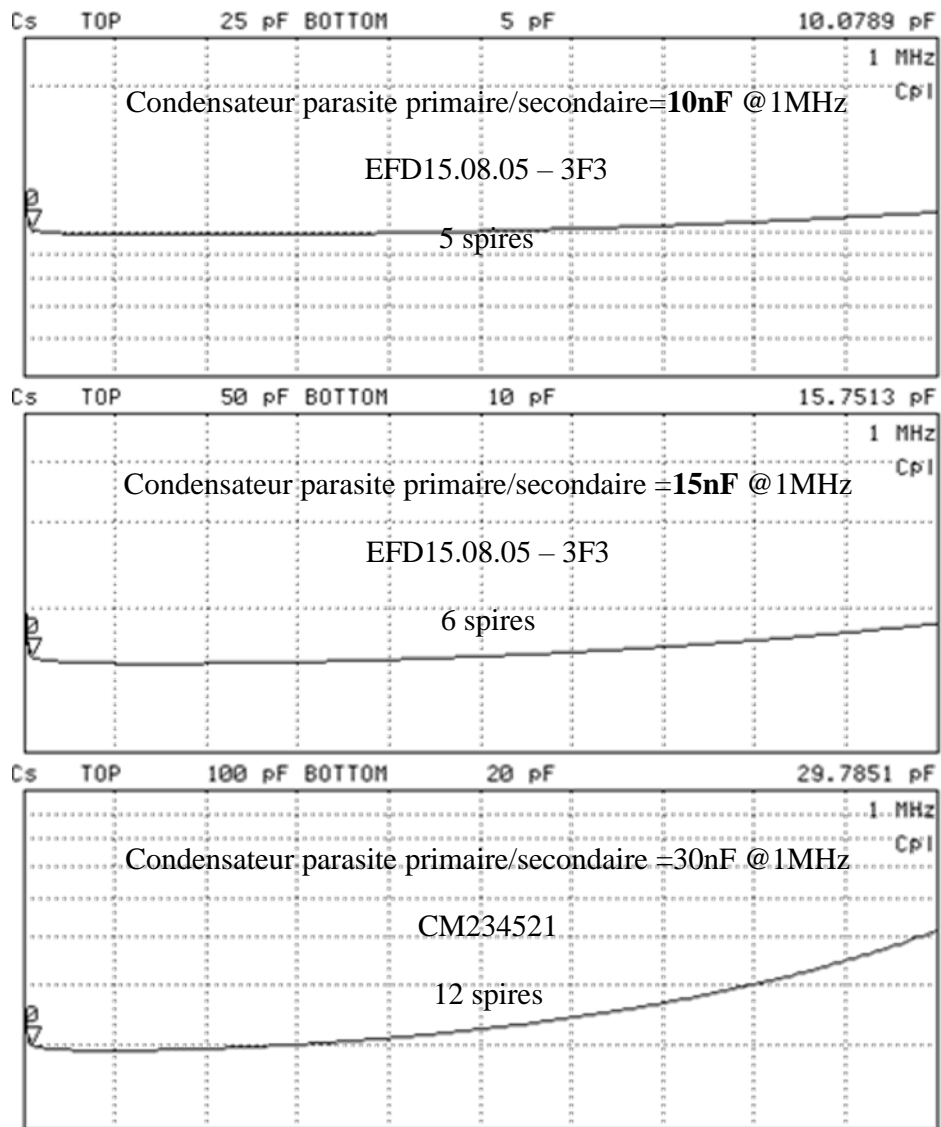


Figure II-32 : Capacité parasite primaire/secondaire correspondant à trois transformateurs construits



### Annexe III-1 :

Dans un système de conversion DC, la réduction du volume des composants passifs est importante mettant l'accent sur la densité de puissance. La Figure III-69 représente la différence de volume des composants et plus précisément l'évolution du volume du coupleur magnétique (transformateur +  $C_{série}$ ) par rapport à la température maximum autorisé pour le transformateur HF/HT° (les autres composants dans deux prototypes sont soumis aux mêmes valeurs HF et HT°) :

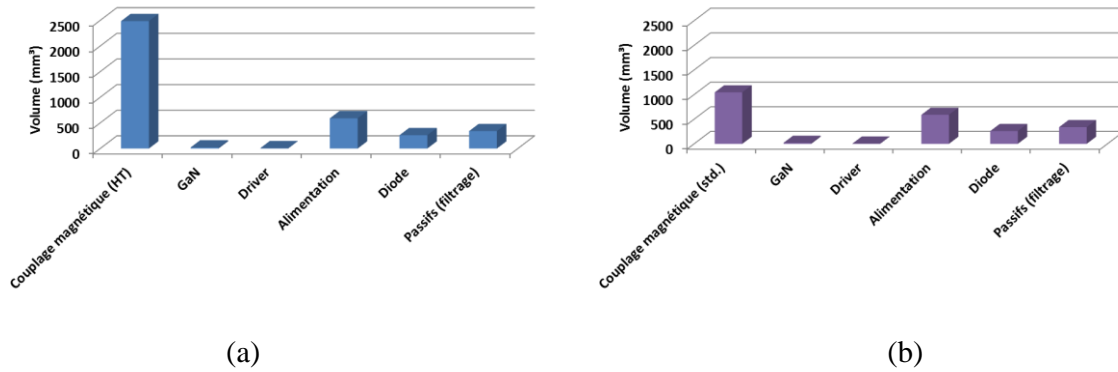


Figure III-69 Volumes des composants dans un convertisseur DAB à couplage magnétique : (a) noyau 3F3 @150°C (b) noyau CM234521 @200°C

Depuis la Figure III-69, le volume du couplage magnétique est très significativement prépondérant par rapport aux autres composants présents dans la structure. Donc dans cette structure le couplage primaire-secondaire présente plus d'intérêts à être étudié pour la réduction du volume du convertisseur afin de gagner au niveau de la densité de puissance dans le système de conversion d'énergie. A partir de ces arguments, la montée en fréquence est une première solution pour réduire la taille des composants magnétiques prenant garde aux pertes par commutation et pertes Joules et pertes Fer. A cet effet, il faut que les pertes dans le composant magnétique restent dans une proportion raisonnable, d'où un certain volume. De ce fait, le dimensionnement du transformateur et la fréquence de découpage reste toujours un compromis entre son volume et les pertes dans le composant. De plus, la plage de fonctionnement optimale (des pertes spécifiques minimum) d'un noyau magnétique d'un standard commercial – comme par exemple 3F3 de 100°C à 120°C – est étroite comme cela est montré dans [60, p. 3] et Figure III-70 (a) et (b). La Figure III-70(b) indique que la température maximale du fonctionnement de ce noyau est à 200°C.

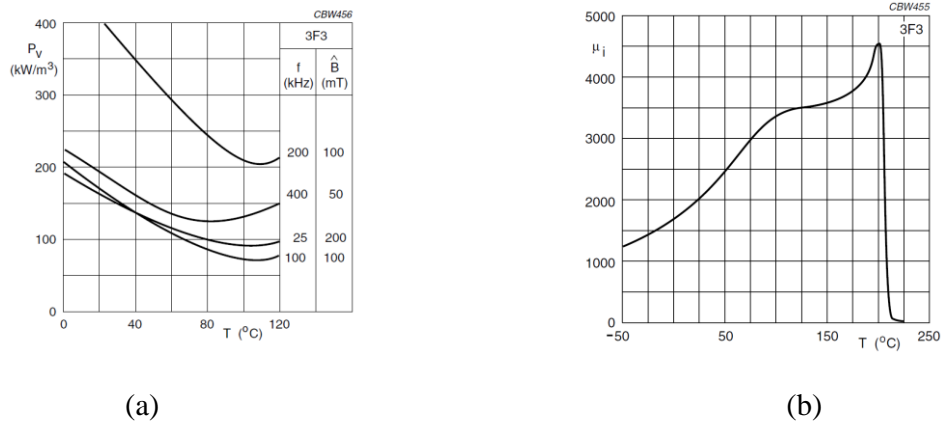


Figure III-70 Variation des pertes spécifiques et variation de la perméabilité correspondant à un noyau classique 3F3 en fonction de la température [60]

D'après ce qu'on voit dans la Figure III-70, la perméabilité varie de +75% (de 2000 à 3500) quand la température monte de 25°C à 150°C. Ce taux de variation croît encore de +50% entre 150°C et 200°C. En contrepartie, dans un noyau haute température (450°C) et avec une très faible perméabilité magnétique ainsi qu'une faible conductivité électrique – ce qui réduit les courants de Foucault dans le noyau et donc diminue les pertes Fer – comme par exemple le noyau type MPP (CM234125), la variation de la perméabilité dans la même zone de changement de température (25°C – 150°C) peut atteindre seulement +2.5% (Figure III-71).

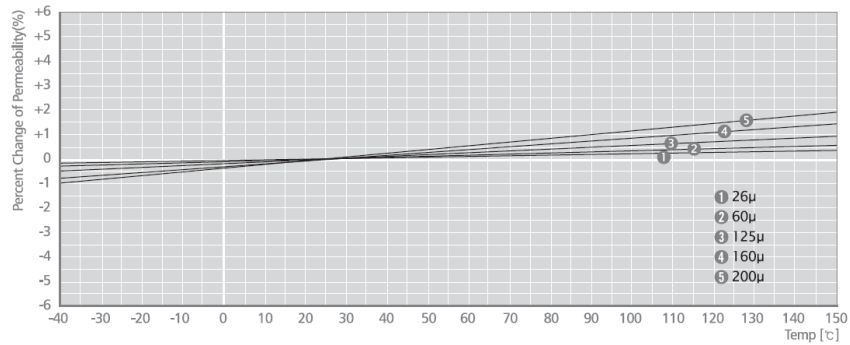


Figure III-71 La variation de la perméabilité dans un noyau MPP standard [101]

Sous ces rapports dans un convertisseur DAB classique, les composants magnétiques et plus précisément le transformateur est le composant de la structure impactant la performance de conversion et la densité de puissance.

Depuis les études effectuées dans la littérature [62] [61] [77] [81] [102], dans un convertisseur DAB standard le coupleur magnétique représente une forte contribution aux pertes que cela soit pour des applications basses ou hautes tensions. (Figure III-72, Figure III-73 et Figure III-74).

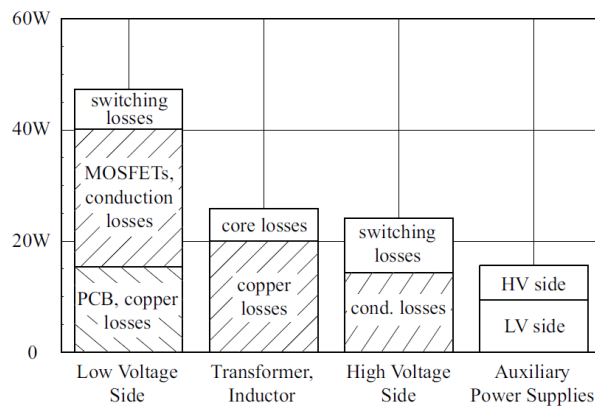


Figure III-72 Pertes dans les ponts en H primaire, secondaire et dans le transformateur pour un convertisseur DAB abaisseur pour un cahier des charges  $V_{IN}=340V$ ,  $V_{OUT}=12V$  [62]

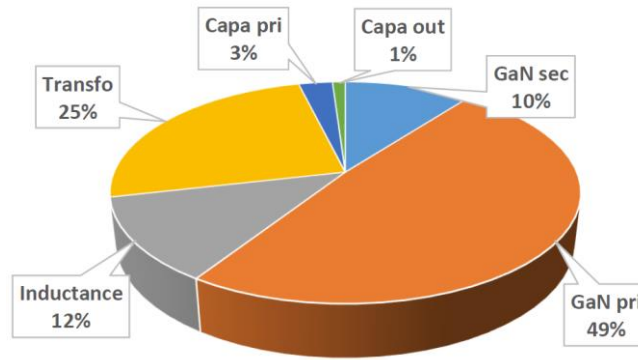


Figure III-73 Contribution des pertes du pont en H primaire, du transformateur et du redresseur secondaire du convertisseur DAB abaisseur pour un cahier des charges  $V_{IN}=42V$ ,  $V_{OUT}=12V$  [61]

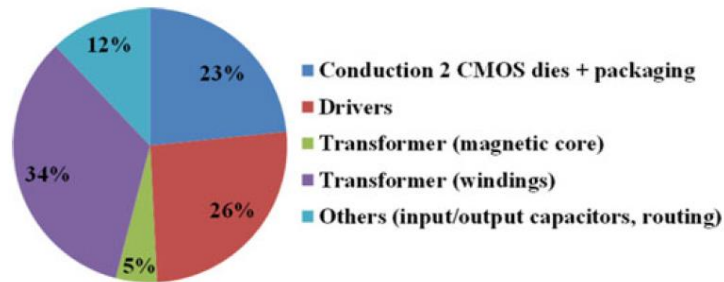


Figure III-74 Pertes correspondant à chaque partie d'un convertisseur DAB intégré pour un rapport de transformation de 1 et une fréquence de découpage de 1MHz [81]

## Annexe III-2 :

### 1. Le modèle des pertes et du stress dans le DAB-M et le DAB-C

Dans le but d'optimiser la structure de conversion DAB-C, le stress maximum en tension ( $V_{peak_i}$ ), le calibre en courant ( $I_{eff_i}$ ) et la dissipation de puissance des composants utilisés dans la partie puissance du circuit électrique ainsi que les pilotages optimums des interrupteurs doivent être précisément déterminés. De ce fait, le stress sur chaque transistor peut être calculé depuis la relation (III-22) [103] :

$$S_{transistor_i} = V_{peak_i} \cdot I_{eff_i} \text{ (W)} \quad \text{III-22}$$

A cet effet, pour une application donnée, l'optimisation du dimensionnement du convertisseur DAB concerne d'un côté la minimisation du stress sur chacun des transistors dans la structure ainsi que le stress total des transistors du convertisseur :

$$S_{transistor_{total}} = \sum S_{transistor_i} \text{ (W)} \quad \text{III-23}$$

D'un autre côté le facteur de dimensionnement de chaque transistor  $T_{Di}$  doit être maximisé tout en sachant l'utilisation du transistor pour la conversion d'énergie (III-24) :

$$T_{Di} = \frac{P_{sortie}}{S_{transistor_i}} \quad \text{III-24}$$

Dans la suite, pour créer un modèle assez précis des pertes d'une structure d'électronique de puissance, les paramètres suivants doivent être définis :

- Le courant efficace  $I_{eff}$  parcouru dans toutes les résistances équivalentes des composants (actifs : résistance à l'état passant  $R_{DS-ON}$ , passifs : ESR des condensateurs de découplage et  $R_{DC}$  de l'inductance série),
- le courant commuté  $I_{COM}$  afin de calculer les pertes dans la diode pendant tout le temps mort ( $P=I_{COM} \cdot V_{seuil} \cdot t_d$ ),
- la tension aux bornes des composants actifs  $V_{IN}$ ,
- la fréquence de commutation  $F_{découpage}$ ,
- le temps de mise en ON  $t_{on}$  et mise en OFF  $t_{off}$ ,
- la charge de grille de composants actifs  $Q_g$  etc.

Tous ces paramètres ont été définis afin de créer les modèles des pertes dans un composant.

#### a. Modèle des pertes dans les composants actifs :

Le convertisseur DAB-M représenté dans la Figure III-2 et DAB-C à la Figure III-15 est composé de huit transistors dont quatre transistors sont mis en œuvre au primaire et quatre transistors au secondaire représentant deux ponts complets, identiques dans notre cas. La structure étant symétrique, les composants actifs ont les mêmes contraintes en tension et en courant. Par conséquent, le même modèle de pertes peut être utilisé pour tous les transistors présents dans le convertisseur DAB (M ou C). Les équations (III-25), (III-26) et (III-27) expriment respectivement les pertes totales par conduction, par commutation et par commande dans le convertisseur DAB :

$$P_{conduction_{tot}} = 8(\alpha \cdot R_{DS-ON} \cdot I_{eff}^2) \text{ (W)} \quad \text{III-25}$$

$$P_{commutation_{tot}} = 8\left(\frac{1}{2} \cdot V_{in} \cdot I_{eff} \cdot F_{découpage} \cdot (t_{ON} + t_{OFF})\right) \text{ (W)} \quad \text{III-26}$$

$$P_{commande} = 8(Q_g \cdot V_{gs} \cdot F_{découpage}) \text{ (W)} \quad \text{III-27}$$

En électronique de puissance et en haute température, la valeur de résistance à l'état passant ( $R_{DS-ON}$ ) peut être modifiée en fonction des changements de la température. Par exemple pour un composant GaN-EPC2016 la valeur de la résistance  $R_{DS-ON}$  augmente 33% quand la température monte de 25°C jusqu'à 125°C [104].

En faisant l'hypothèse que le convertisseur DAB est dimensionné puis utilisé seulement dans les plages de fonctionnement en commutation douces, seules les pertes de commande doivent être estimées selon la formule (III-27).

### b. Modèle des pertes dans les composants passifs :

En électronique de puissance l'optimisation des composants passifs est un défi au niveau de la minimisation des pertes et du volume. Les pertes dans les inductances ou transformateurs peuvent être divisées en deux catégories : les pertes fer causées par les courants de Foucault ainsi que le phénomène d'Hystérésis et ensuite les pertes cuivre causées par l'effet Joule dans les enroulements. Plus précisément, les calculs des pertes fer s'appuient sur la formule de Steinmetz décrite dans [62] [61] [78] [80] et [103] (III-28).

$$P_{fer} = P_{Hystérésis} + P_{Foucault} = k_f \cdot V_{noyau} \cdot f_{déc}^\alpha \cdot B_{MAX}^\beta \text{ (W)} \quad \text{III-28}$$

$$P_{Hystérésis} = K_{Hystérésis} \cdot f_{déc} \cdot B_{MAX}^{1.6} \text{ (W)} \quad \text{III-29}$$

$$P_{Foucault} = K_{Foucault} \cdot f_{déc}^2 \cdot K_f^2 \cdot B_{MAX}^2 \text{ (W)} \quad \text{III-30}$$

Où  $K_f$  est la constante de forme,  $K_{Hystérésis}$  et  $K_{Foucault}$  sont respectivement des constantes de Steinmetz pour l'Hystérésis et Foucault,  $\alpha$  et  $\beta$  sont des coefficients constants,  $V_{noyau-eff}$  est le volume efficace de noyau magnétique et enfin  $B_{MAX}$  est l'induction magnétique maximum dans le noyau magnétique.

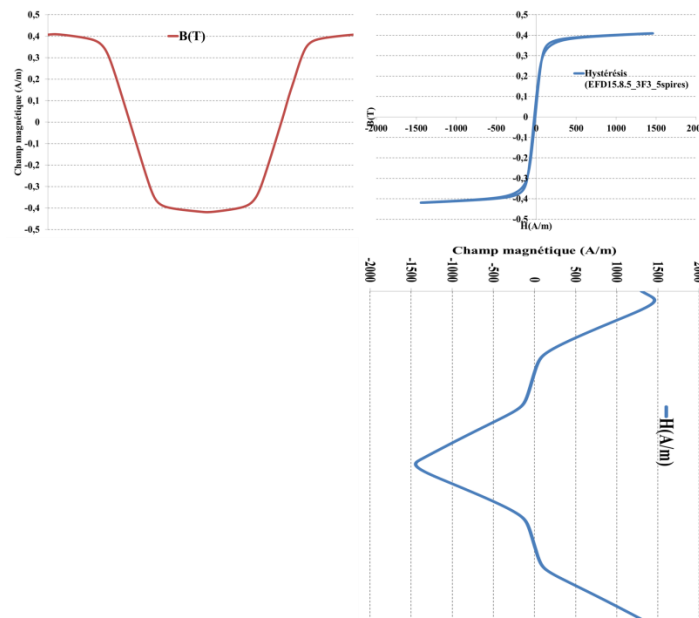


Figure III-75 Courbes d'hystérésis et ondulation du champ et du courant magnétisant associés dans un transformateur EFD15.8.5 – 3F3 avec 5spires du fil Litz

Depuis la Figure III-75, on peut constater que l'ondulation du courant magnétisant est le facteur déterminant de la largeur d'Hystérésis tout en sachant que un noyau avec la courbe d'Hystérésis étroite a moins des pertes Fer que celui avec une courbe plus large.

Par ailleurs les deux effets de peau et de proximité dans un composant magnétique ont la conséquence d'une mauvaise répartition des courants dans les conducteurs (enroulement). Ces phénomènes sont d'autant plus présents lorsque la fréquence devient importante et leur prise en compte est nécessaire dans le but de réduire les pertes. De façon générale, les pertes joules dans un conducteur sont minimales lorsque le courant qui le traverse se répartit de façon uniforme sur toute la section. On peut considérer que cela est vrai lorsque la fréquence est relativement basse. En revanche, lorsque la fréquence augmente, le courant se répartit en périphérie du conducteur, ce qui a pour conséquence d'augmenter la résistance série et les pertes.

En général les pertes joules se décomposent en deux parties, les pertes AC et les pertes DC. Les pertes DC s'expriment à partir de la longueur et de la section de cuivre et enfin de la résistivité de conducteur. A ce stade-là, la haute fréquence modifie la section de conducteur causé par l'effet de peau et en conséquence la valeur de la section de passage du courant et donc la valeur de la résistance. Concernant les pertes AC, un coefficient peut être ajouté à la valeur des pertes DC dans l'enroulement afin d'obtenir les pertes AC dans chaque couche correspondant à l'enroulement [61] [105] :

$$R_{AC_i} = R_{DC} \cdot \left[ \zeta \cdot \left( \frac{\sinh(2\zeta) + \sin(2\zeta)}{\cosh(2\zeta) - \cos(2\zeta)} + \frac{2 \cdot (n_i^2 - 1)}{3} \cdot \frac{\sinh(\zeta) - \sin(\zeta)}{\cosh(\zeta) + \cos(\zeta)} \right) \right] (\Omega) \quad \text{III-31}$$

Où  $\zeta$  est la proportion entre l'épaisseur du conducteur  $h$  et l'épaisseur de peau  $\delta$  ( $\zeta = \frac{h}{\delta} = \frac{\sqrt{\pi} \cdot D_{fil}}{2 \cdot \delta}$  où  $D_{fil}$  est le diamètre du conducteur),  $n_i$  est le couche de conducteur auquel on veut calculer la résistance AC ( $R_{AC_i}$ ). En revanche dans un composant capacitif (condensateur céramique dédié à la haute fréquence), la résistance équivalente série ESR est l'élément qui est à l'origine des pertes joules du composant. Comme dans les composants magnétiques, la résistance équivalente dans les condensateurs est dépendante de la fréquence de fonctionnement.

## Annexe III-3 :

### 1. Commutations hautes fréquences et les points critiques correspondants

Il est bien connu qu'une relation inverse existe entre la taille physique des composants passifs et la fréquence de commutation d'un convertisseur de puissance. Les détails de la façon dont cette relation se pose, cependant, sont moins facilement disponibles. En revanche pour comprendre cette relation, une introduction sur ce sujet a été intégrée ci-après.

#### a. Critères relatifs aux composants passifs

La montée en fréquence en basse tension est envisageable au-delà du MHz. En revanche toute la partie expérimentale et les mesures effectuées confirment un impact non négligeable d'effets de haute fréquence sur les résistances de l'inductance, les enroulements du transformateur, le circuit imprimé PCB et enfin sur l'efficacité des transistors de puissance (Figure III-76). Dans la partie III.B.i.3 et III.B.i.4.b, des contraintes associées aux composants magnétiques en hautes fréquences (composants AC) ont été présentées tels que la croissance :

- De la valeur de résistance AC des enroulements du transformateur
- Des pertes spécifiques (volumiques) et des pertes Fer causées par les courants de Foucault et les phénomènes d'Hystérésis
- Des pertes joules causées par les effets de peau en hautes fréquences et l'effet de proximité dans les enroulements en fonction de leurs géométries
- Et enfin la décroissance de la perméabilité relative  $\mu_r$  (e.g. la perméabilité relative d'un noyau classique comme le 3F3 diminue à partir de 1MHz) : dimensionnement spécifique et plus complexe des composants magnétiques pour le fonctionnement en haute fréquence (Figure III-1)

Etant donné que le seul composant magnétique (transformateur HF) peut être remplacé par un coupleur capacitif (condensateurs), l'opportunité de la montée en fréquence de découpage est plus attractive afin de diminuer la taille des autres composants passifs (les condensateurs de découplages) dans la structure de conversion DC-DC.

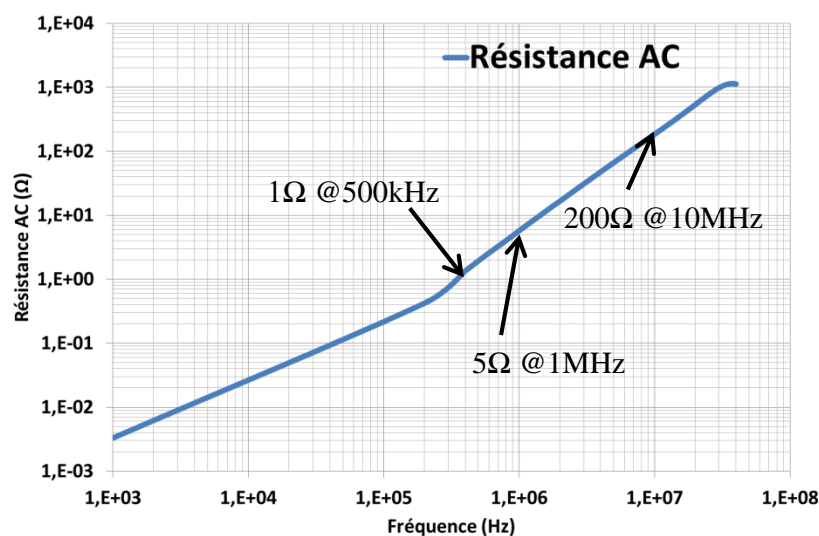


Figure III-76 Evolution de la résistance des enroulements d'un transformateur HF (CM234125)

Inversement, au niveau condensateur, la montée en fréquence est presque sans limitation. En général, le dimensionnement et les caractéristiques des condensateurs sont adaptés pour aller au-delà de MHz (Figure III-77). La taille et la valeur du condensateur de découplage de chaque convertisseur sont une problématique d'importance majeure. La montée en fréquence dans un condensateur non seulement réduit la taille du condensateur de découplage pour une valeur donnée, mais en même temps elle baisse la valeur de la résistance série équivalente ESR. Dans un second ordre et dans le cas du coupleur magnétique pour convertisseur DAB, la montée en fréquence permet aussi de bénéficier de l'influence de l'inductance parasite d'une manière positive. Toutefois, la valeur de sa résistance interne est à l'origine de pertes qui pénalisent fortement le rendement des onduleurs. En contrepartie en haute fréquence cette résistance diminue d'une manière exponentielle jusqu'à quelques MHz. Enfin la valeur de la résistance équivalente série d'un condensateur est minimum quand la fréquence est au-delà de MHz (voir la Figure III-77) :

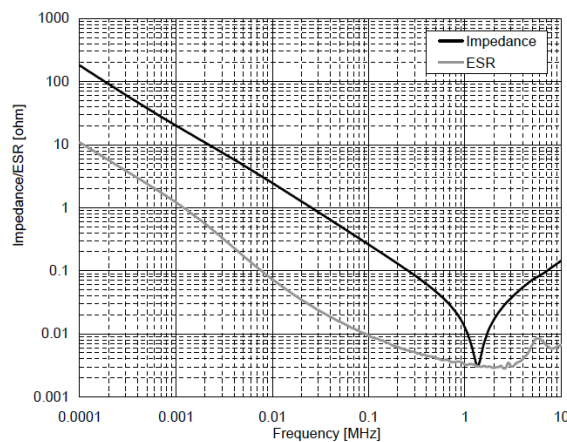


Figure III-77 L'exemple de diminution de la résistance équivalente série ESR en fonction de la fréquence (GRM31CR61H106KA12)

De ce fait, augmenter la fréquence au-delà de MHz et jusqu'à une valeur optimum est un avantage au niveau du volume quand les pertes correspondantes aux composants magnétiques sont éliminées en mettant en œuvre le couplage capacitif. En revanche plus l'ondulation de courant augmente, plus le taux vieillissement est notable. En outre la montée en fréquence réduit la CEM de mode différentiel grâce à un niveau de l'ondulation de courant plus faible. En revanche, la CEM mode commun augmente en hautes fréquences. De manière générale, en hautes fréquences, la signature électromagnétique est très riche et doit être convenablement prise en compte.

### b. Critères relatifs aux composants actifs

L'introduction des technologies actuelles de composants actifs basse tension et grand gap (e.g. Nitrure de Gallium : GaN) est tout à fait indiquée dans la gamme de tensions et de courants de notre applicatif mettant en œuvre l'approche réseau de convertisseurs. Nous avons dit en bref dans le « chapitre I », comparé avec les composants Si, les composants GaN ont une Figure of Mérite (FOM composant :  $R_{DS-ON} \times Q_g$ ) environ dix fois meilleure que l'état de l'art des composants classiques en Silicium [106] ayant la capacité parasite plus faible, ce qui permet la montée en fréquence sans pénaliser les avantages des transistors de puissance à hétérojonctions. De plus les inductances parasites du composant GaN proposé EPC (Efficient Power Conversion) sont minimisées via une mise en œuvre de la puce nue (boîtier LGA : « Linear Grid Array ») dans le circuit ( $L_{boîtier} \approx 1.5nH$ ).



---

A ce stade-là les temps de turn-ON ( $t_r$ ) et turn-OFF ( $t_f$ ) de commutation du composant sont très faibles ainsi que l'énergie nécessaire pour piloter le transistor, ce qui est particulièrement performant en termes d'éléments parasites propices à de hautes fréquences de commutation. A ce stade-là pour une valeur donnée de  $R_{DS\_ON}$ , par rapport à un composant Si de même calibre, le composant GaN a 20% de  $Q_{GS}$  en moins, 10 de  $Q_{GD}$  en moins, 50% de  $Q_{OSS}$  en moins, 5% d'inductance parasite de boîtier en moins et enfin 0% de  $Q_{RR}$  – car il n'y a pas de diode body à l'intérieur de boîtier de manière naturel [107] [51]. De ce fait le composant GaN se prête particulièrement avec l'objectif de montée en fréquence avec les capacités parasites entrée/sortie faibles ainsi qu'avec haute mobilité d'électrons.