



HAL
open science

Intégration technologique alternative pour l'élaboration de modules électroniques de puissance

Bastien Letowski

► **To cite this version:**

Bastien Letowski. Intégration technologique alternative pour l'élaboration de modules électroniques de puissance. Energie électrique. Université Grenoble Alpes, 2016. Français. NNT: . tel-01529178

HAL Id: tel-01529178

<https://hal.science/tel-01529178>

Submitted on 30 May 2017

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

**DOCTEUR DE la Communauté UNIVERSITÉ
GRENOBLE ALPES**

Spécialité : **Génie Électrique**

Arrêté ministériel : 7 août 2006

Présentée par

Bastien LETOWSKI

Thèse dirigée par **Jean-Christophe CREBIER**

préparée au sein **CEA-LETI - Laboratoire des Substrats Avancés LSA**
et au Laboratoire de Génie Électrique de Grenoble G2Elab
et de l'**École Doctorale Électronique, Électrotechnique, Automatique,**
Traitement du Signal (EEATS)

Intégration technologique alternative pour l'élaboration de modules électroniques de puissance

Thèse soutenue publiquement le **25 Novembre 2016**,
devant le jury composé de :

Prof. Daniel ALQUIER

Professeur à l'Université François-Rabelais de Tours, Président

Prof. Frédéric MORANCHO

Professeur à l'Université de Toulouse III Paul Sabatier, Rapporteur

Dr. Frédéric RICHARDEAU

Directeur de Recherche au CNRS - LAPLACE, Rapporteur

Dr. Jean-Christophe CREBIER

Directeur de Recherche au CNRS - G2Elab, Directeur de thèse

Dr. Nicolas ROUGER

Chargé de Recherche au CNRS - G2Elab (HDR), Co-Encadrant de thèse

Dr. Julie WIDIEZ

Ingénieure de recherche au CEA-LETI, Co-Encadrant de thèse



À mes grand-parents Claudette et Charles
À mes grand-parents Augusta et Leon

"Si, par amour des bois, un homme s'y promène pendant la moitié de la journée, il risque fort de passer pour un fainéant. Si, au contraire, il emploie toutes ses journées à spéculer, à raser les bois et à rendre la terre chauve avant son heure, on le tiendra en haute estime, on verra en lui un homme industriel et entreprenant."

La vie sans principe (1863)
Henry David THOREAU

Remerciements

Cette thèse s'est déroulée au sein du CEA/DRT/LETI/DCOS/SCPE/LSA. Derrière ces acronymes, je souhaite remercier Thomas Signamarcheix et Jean-Sébastien Moulet de m'avoir accueilli au sein du Laboratoire des Substrats Avancés, ainsi qu'Hervé Ribot pour le Service Composants de Puissance et Énergie. Cette thèse s'est également déroulée en collaboration avec le Laboratoire de Génie électrique de Grenoble (G2Elab) au sein de l'équipe Électronique de Puissance. Je souhaite remercier Jean-Paul Ferrieux, Yvan Avenas et Jean-Luc Schanen pour leur accueil au sein de l'équipe, ainsi que James Roudet pour le laboratoire.

Je voudrais remercier Daniel Alquier d'avoir accepté d'être président de mon jury de soutenance. Je tiens aussi à remercier Frédéric Morancho et Frédéric Richardeau, rapporteurs de ce manuscrit, pour leur étude détaillée et pertinente de mes travaux.

Je souhaite remercier Julie Widiez, mon encadrante LSA, qui a contribué magnifiquement, et cela tous les jours, à la réussite de cette filière de puissance et donc de ma thèse. Partir d'idées un peu folles pour arriver à une filière structurée et avec des réalisations pratiques n'a pas été simple. Heureusement son positivisme sans faille a pu m'aider à surmonter chaque étape. Elle a su me soutenir et m'encourager à chaque difficulté et ainsi les transformer en opportunité. J'ai beaucoup appris ! Merci aussi pour les nombreuses discussions et les conseils innombrables sur l'expérience de la salle blanche, les nombreuses relectures assidues, pour toutes les rédactions et présentations. Je suis honoré d'avoir passé trois ans au côté d'une personne aussi agréable, sympathique et intéressante.

Je remercie Nicolas Rouger pour son investissement à chaque étape de mes travaux. Sa disponibilité ainsi que ses nombreux conseils ont largement contribué à l'aboutissement de ce travail. Au delà de toutes les connaissances scientifiques et techniques qu'il m'a transmises, il m'a fait confiance et m'a toujours soutenu dans les différentes épreuves. Ses compétences scientifiques et ses qualités humaines ont toujours permis de travailler dans un contexte convivial et agréable.

Merci à Jean-Christophe Crebier d'avoir dirigé mes travaux de thèse avec tant d'implication, en se rendant toujours disponible et présent dès que le besoin se faisait sentir, et cela malgré ses nombreuses responsabilités et engagements. Son imagination, sa créativité, son expérience ont été grandement constructives et m'ont été bénéfiques tout au long de ce travail de recherche de trois années. J'ai beaucoup appris à ses côtés et je tacherai de penser et perpétuer ses conseils.

Après les encadrants, il y a les personnes qui m'ont aidé informellement mais qui ont leurs parts dans l'avancement de la thèse : Pour commencer, j'aimerais remercier Lamine Benaïssa, pour ses nombreux avis et aussi pour toutes les idées, toutes aussi pertinentes les unes que les autres.

Passer d'idées à des réalisations concrètes et pratiques n'est pas aisé ; heureusement, j'ai eu la chance d'avoir une aide sans égal : Olivier Girard, en tant qu'EIP, m'a beaucoup aidé pour la construction de cette filière, aussi bien sur la fabrication des composants que sur les assemblages. Un très grand merci

pour son aide et pour les nombreux conseils ! Je tiens aussi à le remercier pour son aide franche et tout le temps qu'il a consacré à mon travail.

Quand les éléments se déchaînent aussi bien pour des questions techniques que hiérarchiques, il faut trouver une parade. Le polissage d'une plaque de cuivre massive n'est pas simple et il faut alors compter sur les compétences et expériences de Marc Rabarot pour venir à la rescousse ! Un très grand merci pour son aide si précieuse pour l'une des étapes fondamentales de l'approche développée dans la thèse.

Pour les réalisations pratiques justement, et plus particulièrement pour la réalisation de leadframe métallique, les mécaniciens m'ont été d'une grande aide : je remercie Christian Kevorkian du LETI et Lucien Notin de l'INAC. Je tiens également à remercier William Vandendaele de son aide et son implication pour toutes les mesures électriques réalisées sur les composants fabriqués. Merci aussi à Bruno Imbert, Paul Gondcharton et Grégory Enyedi de toutes les discussions, suggestions et réalisations pour les étapes d'assemblage par thermocompression.

La dernière étape de ma thèse s'est consacrée à la réalisation d'un prototype et sa mise en œuvre. Je remercie donc Benoit Thollin de son aide à la réalisation des premiers prototypes de package 3D. Ainsi qu'à Alexis Derby pour la conception et la réalisation de la carte électronique puis aux tests dans le convertisseur de puissance, merci également à Benoit Sarazin pour ses précieux conseils.

Je souhaiterais également remercier tous les doctorants et permanents du G2Elab. Merci entre autre à Guillaume, Sang, Sokchea, Davy, Maximin, Melissa, Gaëtan, Léo pour l'excellent accueil qu'ils m'ont à chaque fois réservé. Merci pour leur sympathie et les nombreux échanges riches et formateurs, formels ou informels.

Je remercie aussi les collègues enseignants avec qui j'ai pu collaborer lors de mes vacances à l'IUT GEII et à Grenoble INP Phelma.

Je n'oublie pas les nombreux échanges avec l'entreprise IBS, et plus particulièrement Grégory Grosset et Lionel Dupuy pour la fabrication de composants en SiC. J'ai beaucoup apprécié ces discussions, instructives et conviviales. Je tenais à vous en remercier.

Pour terminer, je souhaite un « bon succès » à Kremena Vladimirova qui continue les études lancées pendant la thèse. Je sais d'avance qu'elle ira encore plus loin et imaginera de nouvelles perspectives ! Bien sûr, j'aimerais remercier tous les collègues du LSA pour leur disponibilité, leur sympathie et leur bonne humeur. Un mot spécial pour Emmanuelle Gomez, qui aura eu le courage et la patience d'éditer nombres de mes lots sous notre magnifique logiciel de gestion des lots, EYELIT, puis de les suivre en salle. Merci pour son aide dans ce travail pas toujours facile. Merci aussi pour les nombreuses caractérisations !

Ma vie de thésard aura été une belle et agréable aventure, c'était un plaisir sincère de venir au LSA tous les jours et de partager tous ces moments ensemble. Vous avez été d'une grande aide durant cette thèse de façon directe ou indirecte, que ce soit par vos conseils ou les moments de détente partagés. Merci à tous : Béa, Manue, Emmanuel, Léa, Thierry, Barbara, Sébastien, Céline, Tchang, Flavia, Christine, Thierry, Jude, Séb, Yann, Ismail, Aurélien, Anthony, Mathilde, Marie, Étienne, Baptiste, Jon, Catherine, Cédric et Lyvia !

J'aimerais également inclure dans ces remerciements mes proches qui m'ont soutenu pendant ces trois années et ont supporté mon investissement dans ma thèse : ma famille et mes amis.

Je ne peux pas finir sans remercier ma chérie, Maya, celle qui compte le plus pour moi. Merci pour ton écoute, ton soutien et tous les moments de bonheur que tu apportes dans ma vie.

Table des matières

Introduction générale	1
1 Évolution du packaging en électronique de puissance et de la fabrication des modules de puissance	5
1.1 Introduction : L'électronique de puissance et les composants de puissance	6
1.1.1 L'électronique de puissance	6
1.1.2 Les convertisseurs entrelacés	9
1.1.3 Les contraintes de compatibilité électromagnétique	11
1.2 Le packaging en électronique de puissance	13
1.2.1 Les éléments clés du packaging en électronique de puissance	13
1.2.2 L'approche planaire (2D)	15
1.2.3 L'approche d'intégration en trois dimensions (3D)	18
1.3 La fabrication des modules de puissance	23
1.3.1 Le procédé standard	23
1.3.2 L'évolution des technologies d'assemblage et d'interconnexion	24
1.3.3 L'apport de la microélectronique pour l'électronique de puissance	31
1.4 Le positionnement de la thèse	36
1.4.1 Les problématiques du packaging en électronique de puissance	36
1.4.2 Notre positionnement	37
1.5 Contributions de ce travail de thèse	40
1.5.1 Vers un module 3D entièrement à l'échelle de la plaque	40
1.5.2 Fabrication des prototypes à l'échelle de la puce pour mettre en œuvre le concept	43
1.5.3 Tests du prototype	46
1.5.4 Bénéfices sur le système	50
1.6 Conclusion	52
2 La conception couplée et la fabrication collective pour le packaging en électronique de puissance	53
2.1 Introduction au packaging 3D de modules de puissance à partir d'étapes collectives . .	54
2.1.1 Intégration des étapes d'assemblage en cours de procédé de fabrication	54
2.1.2 Le procédé de fabrication d'un module 3D avec des étapes collectives d'assemblage	55
2.1.3 L'application à une cellule élémentaire transistor et diode en 3D	57
2.2 La conception au niveau du <i>layout</i>	58
2.2.1 Le <i>layout</i> du composant	58
2.2.2 La répartition des composants sur une plaque	66
2.3 La fabrication de composants de puissance compatibles avec le packaging 3D	69
2.3.1 Le procédé de fabrication des composants	69
Procédé de fabrication des transistors nMOS verticaux	71

	Procédé de fabrication des diodes PiN verticales	74
2.3.2	Les étapes technologiques spécifiques pour la fabrication des composants	75
	La métallisation cuivre	76
	La terminaison en tension MESA des composants	78
2.3.3	Les performances électriques des composants	81
2.4	Gains de l'approche de conception et des étapes collectives	86
2.4.1	Les gains de l'approche	86
2.4.2	Ouverture sur le concept de la <i>Wafer Level Power Packaging Toolbox</i>	87
2.4.3	La transposition aux composants latéraux	91
2.5	Conclusion	95

3 Technologies pour la réalisation collective de module de puissance à l'échelle de la plaque 97

3.1	Introduction des étapes technologiques	98
3.1.1	Structuration des étapes dans une offre de <i>Wafer Level Power Packaging Toolbox</i>	98
3.1.2	Besoins et verrous d'une offre d'étapes génériques de fabrication	99
3.1.3	Organisation de la filière de packaging à l'échelle de la plaque	99
3.2	La réalisation d'un leadframe métallique épais	104
3.2.1	Choix du substrat de cuivre	104
	Choix du matériau et spécifications pour la technologie d'assemblage	104
	Caractérisation de l'état initial des substrats métalliques utilisés	106
	Le choix d'une solution de polissage	107
3.2.2	Préparation des surfaces du substrat métallique	108
	Nettoyage des substrats de cuivre	108
	Dépôt d'un cuivre ECD pour la CMP	108
	Polissage des plaques de cuivre	109
3.2.3	La réalisation de motifs sur substrat métallique épais	111
	La conception du leadframe	111
	La comparaison des techniques de réalisation des motifs	113
	Le polissage des plaques métalliques après la réalisation des motifs	117
3.3	Les étapes d'assemblage	121
3.3.1	Le collage direct métallique assisté par thermocompression	121
	Les spécifications d'un double collage	121
	L'alignement dans un double collage simultané	123
3.3.2	La mise au point du procédé de double collage direct métallique	124
	L'étude avec des plaques de cuivre polies double face	125
	L'étude avec des plaques de cuivre non polies	129
	L'étude du double collage avec motifs	131
3.4	Premiers pas vers la découpe de modules de puissance en 3D	136
3.4.1	Les spécifications de la découpe	136
3.4.2	Les premières solutions technologiques envisagées	136
3.5	Conclusion	138

Conclusion générale 141

Annexes 147

Références bibliographiques 151

Glossaire

Leadframe – Cadre métallique avec des motifs utilisé pour l'interconnexion

Seed layer – Couche d'initiation de croissance

BEOL ou BE – *Back-End of Line* – Dernières étapes de fabrication de microélectronique concernant les métallisations, interconnexions et packaging des composants

CEM – *Compatibilité électromagnétique*

CMOS – *Complementary metal-oxide-semiconductor* – Association de deux transistor MOSFETs complémentaires

CMP – *Chemical-mechanical planarization* – Polissage/Planarisation mécano-chimique

CMS ou SMD – *Surface mounted device* – Composant monté en surface

CTE – *Coefficient d'expansion thermique*

DBC et AMB – *Direct Bonded Copper* et *Active Metal Brazed* – Substrat céramique métallisé réalisé par attache directe ou par brasure active

Diode PiN – Diode bipolaire verticale composée d'une zone P, d'une zone N dopée intrinsèque, d'une zone N

DRC – *Design Rules Check* – Vérification des règles de conception d'un jeu de masques

DRIE – *Deep Reactive Ion Etching* – Gravure ionique réactive profonde

ECD – *Electrochemical Deposition* – Dépôt électrochimique

EDM – *Electrical Discharge Machining* – Découpe par électroérosion

FAV et FAR – Face AVant et Face ARrière

FEOL ou FE – *Front-End of Line* – Premières étapes de fabrication de microélectronique, avant les métallisations

FET – *Field-effect transistor* – Transistor à effet de champ

GBF – Générateur de basses fréquences

HEMT – *High-electron-mobility transistor* – Transistor à haute mobilité électronique

HF – Haute fréquence

IBE – *Ion beam etching* – Usinage ionique

IC – *Integrated Circuit* – Circuit intégré

IGBT – *Insulated Gate Bipolar Transistor* – Transistor bipolaire à grille isolée

JFET – *Junction field-effect transistor* – Transistor à effet de champ à jonction

JTE – *Junction Termination Extension* – Terminaison en tension par implantation de poche

MEMS – *Microelectromechanical systems* – Microsystème électromécanique

MESA – Isolation latérale par gravure du semiconducteur

MOSFET – *Metal Oxide Semiconductor Field Effect Transistor* – Transistor à effet de champ à grille isolée, nMOS de type N et pMOS de type P

PCoC – *Power Chip-on-Chip* – Assemblage 3D de deux puces de puissance

Power CMOS – *Power complementary metal-oxide-semiconductor* – Association de CMOS de puissance avec un nMOS en haut et un pMOS en bas

PV ou Rt – *Peak to Valley* – Valeur maximale, utilisée pour qualifier un type de rugosité

PVD – *Physical vapor deposition* – Dépôt physique en phase vapeur

RMS ou Rq – *Root Mean Square* – Valeur efficace, utilisée pour qualifier un type de rugosité

RTA – *Rapid Thermal Annealing* – Recuit thermique rapide

SAM – *Scanning Acoustic Microscopy* – Microscopie acoustique à balayage

SEM ou MEB – *Scanning Electron Microscopy* – Microscopie électronique à balayage

SJ-MOSFET – *Super-junction Metal Oxide Semiconductor Field Effect Transistor* – Transistor à effet de champ à grille isolée à base de super jonction

SPS – *Spark Plasma Sintering* – Frittage "Flash" où l'apport de chaleur se fait par circulation de courant

TC – Thermocompression, procédé d'assemblage par apport d'énergie température/pression

TEM ou MET – *Transmission Electron Microscopy* – Microscopie électronique en transmission

TEOS – Oxyde de silicium de type tetraethylorthosilicate

TLP – *Transient Liquid Phase* – Assemblage par Phase liquide transitoire

VLSI – *Very-large-scale integration* – Intégration à très grande échelle de circuits intégrés

WLP – *Wafer-level packaging* – Packaging à l'échelle de la plaque

ZCE – *Drift Zone* – Zone de charge d'espace

Introduction générale

L'importance de l'électronique de puissance dans de très nombreuses applications allant des objets du quotidien aux futurs modes de mobilité urbaine amènent à de fortes attentes dans ce domaine de l'électronique. La performance, l'encombrement, l'efficacité énergétique, la qualité de l'énergie ainsi que la fiabilité des dispositifs de puissance sont parmi les enjeux majeurs. De manière plus spécifique, ces critères se traduisent, entre autres, sur la conception, la fabrication et le packaging des semiconducteurs réalisant la fonction élémentaire de découpage de l'énergie afin de l'adapter et la transformer.

Aujourd'hui, le packaging planaire (2D) reste toujours le standard. Cependant, il montre ses limites et de nouvelles solutions, comme le packaging tridimensionnel (3D), sont proposées pour le remplacer. Il représente une solution performante et pertinente. Malgré ses avantages incontestés, la réalisation d'un tel assemblage s'avère complexe et limitée en nombre de composants. Le jeu est d'autant plus complexe que l'on tend vers des topologies d'électronique de puissance avec de plus en plus de composants dans des structures polyphasées ou dans des constructions à partir de blocs génériques élémentaires. L'apparition de nouveaux composants très performants et moins volumineux amplifie la problématique des éléments parasites inhérents au packaging des semiconducteurs telle que l'inductance de maille de commutation ou la capacité de mode commun. Le packaging au sens large est finalement de moins en moins adapté aux évolutions et aux nouveaux besoins de l'électronique de puissance.

Les contraintes du packaging des semiconducteurs de puissance sont larges : il faut combiner une forte densité d'intégration, une gestion efficace de la thermique pour l'évacuation des pertes et une réduction des éléments parasites pour les performances électriques. Il existe aussi des contraintes sur la fabrication, liées aux procédés d'intégration depuis le composant jusqu'au système final.

Ces nombreuses contraintes et surtout le fait qu'elles soient rattachées à des domaines d'étude et des disciplines différentes (conception, technologie front-end, packaging, réalisation d'un système...) rendent difficile leur prise en compte dans l'intégralité. Les solutions globales sont rares mais vont être nécessaires pour mettre en place la prochaine rupture technologique des modules de puissance : comment mettre en place cela, sous quelle forme, comment prendre en compte un maximum de paramètres pour réaliser un assemblage global performant ? Plus précisément, il faudra trouver une solution technologique pour des interconnexions fiables et performantes des puces semiconductrices avec des assemblages thermomécaniques conducteurs performants.

Pour contribuer à répondre à cette vaste problématique, le chapitre 1 va en premier lieu s'intéresser à mettre à plat les points fondamentaux de l'électronique de puissance comme les aspects CEM et les éléments clés du packaging des composants de puissance. L'état de l'art des approches packaging 2D et 3D ainsi que des différentes technologies utilisées pour les interconnexions mettra en avant les points sensibles et bloquants. Une partie sur le packaging de la microélectronique est présentée pour cerner les points qui pourraient être utilisés au profit de l'électronique de puissance.

De manière non conventionnelle, le positionnement, les concepts imaginés et les résultats fruits de ce travail de thèse sont présentés à la suite de l'état de l'art pour mettre en avant les points différenciateurs

et novateurs. Ainsi, les idées et premières réalisations pour concevoir, fabriquer et mettre en œuvre un module de puissance en 3D entièrement à l'échelle de la plaque avec des procédés collectifs d'assemblage sont présentées dans ce premier chapitre. Cette nouvelle voie implique des changements sur la partie système qui laisse entrevoir de nombreux bénéfices.

Dans le chapitre 2, le principe de la conception couplée entre le composant de puissance et son packaging est exposé. Il permet de prendre en compte un maximum de contraintes pour améliorer l'intégration 3D des composants verticaux. Il est illustré dans ce manuscrit par la réalisation d'un empilement d'un transistor nMOS, une diode PiN et un élément d'interconnexion au centre (appelé leadframe) sur des plaques de 200 mm de diamètre. Les composants semiconducteurs sont en silicium et le leadframe est en cuivre. Les conceptions de ces trois " éléments " se font dans une même démarche, de manière interactive et cohérente, afin d'avoir en sortie un module 3D et non des éléments indépendants. Elle se traduit aussi bien sur le *layout* de chaque élément unitaire que sur la répartition de chacun d'eux sur la plaque dans le cadre d'un assemblage collectif.

Le procédé de fabrication des composants spécifiquement adaptés au packaging 3D et aux étapes collectives est présenté. Un focus est fait sur des étapes clés comme la mise en œuvre d'une métallisation en cuivre et la réalisation d'une terminaison en tension par tranchée profonde dans le semiconducteur. Elle permet de s'affranchir des problématiques de report de plaques métalliques massives sur la face avant des composants. Elle est également fondamentale pour isoler les composants entre eux dans ce packaging 3D mêlant intégration monolithique et hétérogène. Les gains de cette approche d'interconnexion sont une amélioration de l'homogénéité des caractéristiques de l'assemblage, la simplification et la fiabilité des phases d'assemblage avec la suppression des étapes d'adaptation du composant au packaging classique dans la littérature (redéfinition de plots, re-dépôt, ajout de poteaux ou cales métalliques, etc). Les étapes collectives réalisées en salle blanche entraînent un meilleur suivi de l'état des surfaces des éléments et donc réduit les risques de contaminations.

Le concept de packaging de module 3D entièrement à l'échelle de la plaque est basé sur un important développement d'étapes technologiques. Il est décrit dans le chapitre 3. Il est nécessaire d'organiser ces étapes avec une suite logique pour obtenir une filière de fabrication complète de la conception au produit final, comme c'est le cas sur les dispositifs de microélectronique. Ces étapes technologiques peuvent être regroupées dans une boîte à outils avec des procédés utiles dans d'autres contextes que le packaging de composant de puissance (verticaux et latéraux) ou d'autres intégrations que la 3D. Par exemple pour le report de composants sur embase métallique pour faire une électrode commune ou pour des découpes d'hétérostructures ou pour la fabrication de plaques métalliques avec des motifs (leadframe). En résumé, cette filière pilote la réalisation collective et à l'échelle de la plaque, partielle ou totale, d'un module de puissance.

Parmi ces étapes, deux sont décrites et étudiées comme étapes fondamentales pour la mise en place de ce concept de packaging et pour sa démonstration. D'abord, la conception et la fabrication d'un leadframe métallique épais à l'échelle de la plaque est présenté. Cette brique nouvelle traite de la réalisation des motifs et de la préparation des substrats métalliques épais en cuivre (ici 500 μm). La préparation des surfaces est ici un point clé pour l'utilisation d'un assemblage par adhésion moléculaire conducteur (collage direct cuivre-cuivre). Elle est la solution de scellement choisie entre l'élément d'interconnexion et les composants de puissance. La seconde étape illustrée est la brique d'assemblage du module 3D à l'échelle de la plaque. Un procédé de scellement par thermocompression avec trois plaques collées simultanément est développé. Il découle de la structure 3D avec trois éléments et permet de gérer astucieusement les déformations dans l'hétérostructure entre le semiconducteur et le métal : en effet, l'empilement est gardé symétrique pendant l'assemblage réduisant fortement les problématiques

de flèches des plaques et des composants, avant et après assemblage, avant et après découpe. Le procédé est validé avec une plaque métallique massive et des plaques de silicium. Pour répondre aux exigences d'un collage direct, des choix de conception et de fabrication ont été faits sur la topographie et la rugosité des plots métalliques des composants. Des tests avec des plaques de composants et une plaque de cuivre massive ont permis de valider expérimentalement ces choix.

L'ensemble de ce travail s'appuie sur deux postulats que sont la conception couplée entre le packaging et les composants de puissance ainsi qu'une fabrication collective des modules de puissance, le tout, autant que faire se peut, à l'échelle de la plaque. Finalement le résultat de cette approche est un module de puissance 3D performant et robuste, adressant des convertisseurs à cellule de commutation unitaire ou des structures de conversion polyphasées. Il est particulièrement en cohérence avec l'évolution des topologies des convertisseurs d'électronique de puissance. La conception couplée apporte un levier supplémentaire pour adapter les composants de puissance à un packaging performant et ainsi avoir un gain aussi bien sur le module que sur le système final.

Les nouvelles technologies d'interconnexion ainsi que les procédés de fabrication collective inspirés de la microélectronique peuvent être une solution pour apporter un autre mode de pensée pour la conception et la fabrication des modules de puissance du futur. Ils répondent aux problématiques de l'évolution de cette thématique. Ce travail offre une vision alternative pour l'élaboration des modules en électronique de puissance. Il ouvre également des opportunités pour une fabrication et un packaging plus performants pour les nouveaux semiconducteurs grand gap qui ont des performances intrinsèques supérieures au silicium. En effet, les développements sont adaptables à l'identique pour les composants verticaux en SiC. La transposition aux composants latéraux, comme les HEMT GaN, garde les mêmes avantages tout en introduisant la possibilité de faire un refroidissement par la face active du composant.

1 | Évolution du packaging en électronique de puissance et de la fabrication des modules de puissance

Sommaire

1.1	Introduction : L'électronique de puissance et les composants de puissance . .	6
1.1.1	L'électronique de puissance	6
1.1.2	Les convertisseurs entrelacés	9
1.1.3	Les contraintes de compatibilité électromagnétique	11
1.2	Le packaging en électronique de puissance	13
1.2.1	Les éléments clés du packaging en électronique de puissance	13
1.2.2	L'approche planaire (2D)	15
1.2.3	L'approche d'intégration en trois dimensions (3D)	18
1.3	La fabrication des modules de puissance	23
1.3.1	Le procédé standard	23
1.3.2	L'évolution des technologies d'assemblage et d'interconnexion	24
1.3.3	L'apport de la microélectronique pour l'électronique de puissance	31
1.4	Le positionnement de la thèse	36
1.4.1	Les problématiques du packaging en électronique de puissance	36
1.4.2	Notre positionnement	37
1.5	Contributions de ce travail de thèse	40
1.5.1	Vers un module 3D entièrement à l'échelle de la plaque	40
1.5.2	Fabrication des prototypes à l'échelle de la puce pour mettre en œuvre le concept .	43
1.5.3	Tests du prototype	46
1.5.4	Bénéfices sur le système	50
1.6	Conclusion	52

1.1 | Introduction : L'électronique de puissance et les composants de puissance

1.1.1 | L'électronique de puissance

Le contexte actuel de l'électronique au sens large se concentre sur l'efficacité énergétique aussi bien pour des problématiques d'économies d'énergie que pour des applications embarquées toujours plus nombreuses. L'électronique de puissance (EP) n'a pas la célèbre loi de Moore de la microélectronique [1] qui prédit une multiplication par deux de la densité de transistors tous les dix huit mois mais elle suit la même logique d'accroissement des performances, de réduction de la taille des composants et de l'intégration d'un maximum de fonctions. Cependant d'autres objectifs sont primordiaux en électronique de puissance, tels que la réduction des pertes de conversion et donc l'amélioration du rendement des systèmes de conversion. La comparaison entre électronique de puissance et microélectronique n'est pas fortuite car elle sera l'un des thèmes centraux de ce travail de thèse.

La production et le stockage d'énergie (la source) ne sont pas automatiquement du même type (continu ou alternatif) que la charge. L'électronique de puissance est la partie de l'électronique qui étudie la conversion de l'énergie électrique à partir de convertisseurs statiques, par exemple les chargeurs de téléphones portables, les alimentations d'un processeur d'ordinateurs, etc. Chaque convertisseur a une structure différente ; cependant, on retrouve une fonction commune à toutes les configurations : la cellule de commutation élémentaire associant un interrupteur de puissance et un composant assurant une phase de roue libre. Le convertisseur le plus simple mettant en œuvre cette cellule de commutation élémentaire est le hacheur abaisseur (Buck). Il fait partie de la catégorie des convertisseurs assurant une conversion d'énergie de la même nature, ici le courant continu, il s'agit donc d'un convertisseur DC/DC. Même si ce convertisseur typique est un cas simple il est largement utilisé et pour un très grand nombre d'applications.

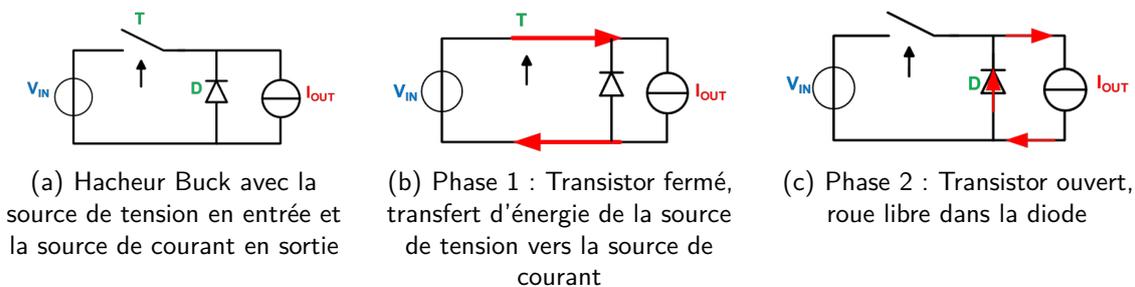


Fig. 1.1 – Hacheur Buck et ses deux phases de fonctionnement

D'après la figure 1.1, dans la première phase, le transistor (T) est commandé et il conduit le courant, l'énergie est transférée de la source de tension d'entrée (V_{IN}) vers la source de courant en sortie (I_{OUT}). Lors de la seconde phase, le transistor n'est plus commandé et le courant passe par la diode (D) pour assurer la continuité du courant de la source de courant (phase de roue libre dans la diode) [2]. Les sources de courant et tension sont en réalité des charges ou sources associées avec des composants passifs pour confirmer leur nature : la source de tension correspond à un stockage d'énergie par voie électrostatique, c'est donc un condensateur ; la source de courant est un stockage d'énergie de manière inductive (donc une inductance). La figure suivante 1.2 représente le détail du hacheur Buck.

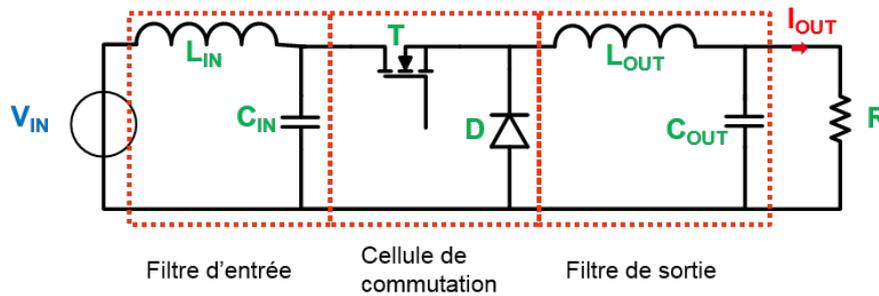


Fig. 1.2 – Schéma électrique du hacheur Buck avec les éléments de filtrage

Il est logique à la suite d'un découpage de l'énergie de placer un filtre en série en sortie pour lisser les grandeurs électriques : courant et tension de sortie. En effet, la charge ne pourrait accepter des grandeurs hachées. Un filtre en entrée est également nécessaire à cause du découpage des grandeurs électriques par les interrupteurs de puissance. En l'occurrence, le courant d'entrée est carré dans le hacheur Buck même si la source de tension reste continue. À cela s'ajoute une dernière fonction qui gère la commande de l'interrupteur mais également l'asservissement et la régulation des grandeurs de sortie. Cette fonction d'intelligence comprend un calculateur (électronique ou numérique) produisant les ordres de commande de l'interrupteur ainsi que le circuit de commande rapprochée qui adapte les niveaux de tension et de courant pour être capable de piloter le composant de puissance (*driver*) tel que décrit dans la figure 1.3.

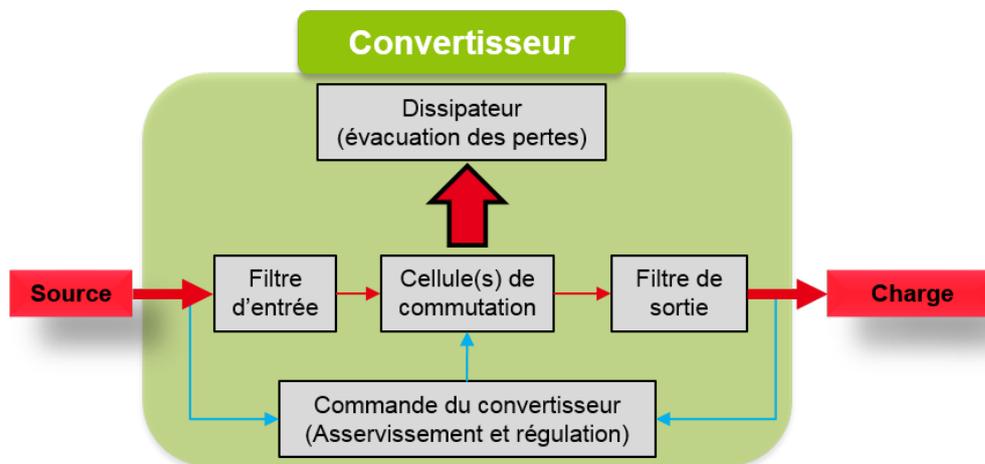
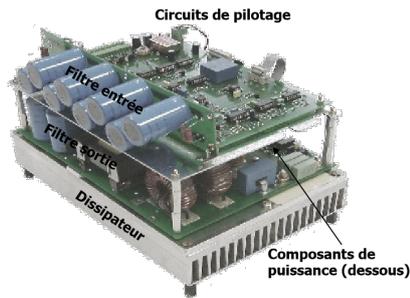


Fig. 1.3 – Schéma bloc fonctionnel d'un convertisseur d'électronique de puissance

Le rendement de conversion est l'un des éléments clés de chaque convertisseur ainsi que le volume et l'encombrement total surtout dans le cas d'une application embarquée. Sur la figure 1.4, on retrouve tous les éléments cités précédemment.

Comme on peut le voir sur la figure 1.4, les éléments passifs sont encombrants, surtout les éléments inductifs qui sont l'association de bobinages et d'un noyau magnétique donc avec une masse considérable. La réduction de ces éléments est un point fondamental pour l'optimisation d'un convertisseur. Ces éléments sont utilisés pour réduire les ondulations des courants et tensions du convertisseur induites par le découpage. Ces ondulations sont inversement proportionnelles à la fréquence de commutation. La solution est donc d'augmenter la fréquence de commutation pour réduire l'encombrement des éléments passifs. Cependant cette direction implique aussi de fortes contraintes sur le rendement et sur



(a) Photo d'un convertisseur de puissance avec tous ses éléments

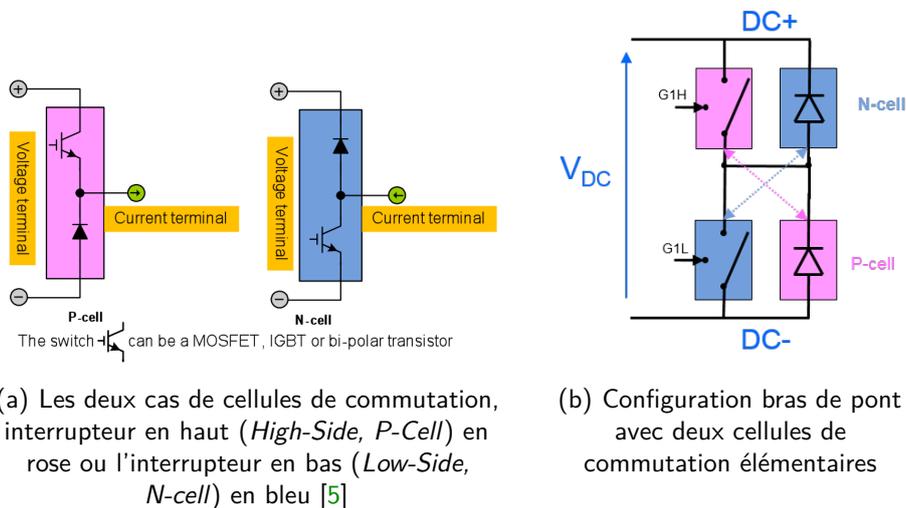
Composants du convertisseur	Encombrement relatif
Composants passifs (filtrage)	30 %
Refroidissement	30 %
Interconnexions	25 %
Composants de puissance et circuit de commande	15 %

(b) Impact de chaque éléments sur l'encombrement d'un convertisseur

Fig. 1.4 – Illustration d'un convertisseur avec l'ensemble des éléments le constituant et leur encombrement relatif [3]

la génération de perturbations électromagnétiques (discuté en 1.1.3).

La cellule de commutation élémentaire illustrée dans la figure 1.5a peut prendre deux formes selon le sens de circulation du courant. Les deux types de cellules de commutation sont unidirectionnelles en tension et en courant. la cellule de commutation est une association générique que l'on retrouve dans tous les convertisseurs à découpage. Il est important de travailler sur son optimisation et son intégration car ces deux composants organisent la circulation instantanée du courant. À chaque ouverture du transistor, la diode offre un passage pour le courant et réciproquement. Ces transitions ont lieu dans des temps courts sous de fortes dynamiques et chaque élément parasite est susceptible de créer des perturbations. Cette association classique a fait l'objet de nombreuses théories et publications, particulièrement sur son optimisation, [4–6].



(a) Les deux cas de cellules de commutation, interrupteur en haut (*High-Side, P-Cell*) en rose ou l'interrupteur en bas (*Low-Side, N-cell*) en bleu [5]

(b) Configuration bras de pont avec deux cellules de commutation élémentaires

Fig. 1.5 – Les deux configurations de cellules de commutation élémentaires

La plupart des convertisseurs peuvent être construits à partir de ces cellules élémentaires. Des études sont nécessaires pour travailler sur l'optimisation de cette fonction car elle est à la fois centrale dans les convertisseurs, critique pour la commutation et peut constituer une brique de base dans le cadre d'une conception structurée et hiérarchisée. Les deux cellules de commutation peuvent être associées entre elles selon la figure 1.5b pour former une cellule de commutation unidirectionnelle en

tension et bidirectionnelle en courant : c'est un bras de pont. Le caractère bidirectionnel en courant du bras de pont ouvre la voie de la conversion continu/alternatif (DC/AC) et alternatif/continu (AC/DC) qui forme une partie importante des applications de conversion de l'énergie électrique.

La figure 1.6 résume la construction des principaux hacheurs en fonction des deux types de cellules élémentaires. Il est donc possible de réaliser tous ces hacheurs à partir d'une brique optimisée associant une diode et un transistor.

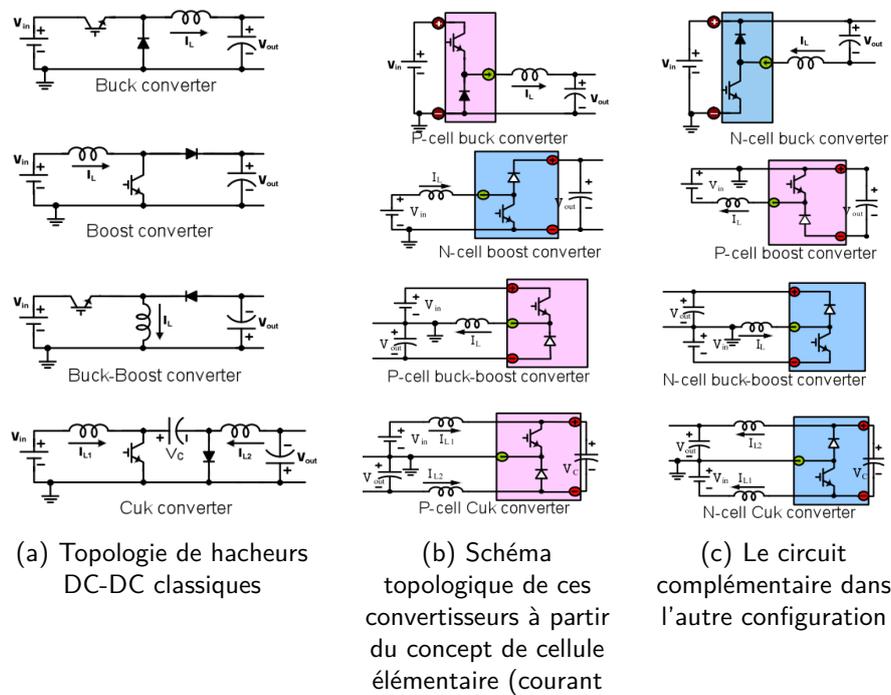


Fig. 1.6 – La cellule de commutation élémentaire dans les hacheurs typiques [5] ; rose : interrupteur en *High-Side* (*P-Cell*) et bleu : interrupteur en *Low-Side* (*N-Cell*)

1.1.2 | Les convertisseurs entrelacés

Au niveau topologique, l'une des solutions considérées aujourd'hui pour augmenter les densités de puissance en réduisant la valeur des éléments passifs de filtrage consiste à entrelacer des cellules de commutation élémentaires et leurs lois de commande associées. Cela permet de répartir les contraintes électriques et de distribuer les flux de pertes sur plusieurs composants. Le cas échéant, en fonction des critères d'optimisation, des réductions importantes de pertes sont possibles via la mise en place de fréquences de commutations plus faibles. Un exemple sur un hacheur Buck et ses formes d'ondes est visible en figure 1.7.

Pour un convertisseur entrelacé, la fréquence apparente des ondulations de courant à la sortie (I_s) et de tension à l'entrée (V_e) correspond à la fréquence de découpage multipliée par le nombre de bras comme le montre la figure 1.8, ce qui pour une même fréquence de commutation, laisse l'opportunité de réduire les valeurs des composants passifs et donc les volumes des éléments de filtrage (inductances et condensateurs), ce qui réduit le coût et l'encombrement de ce type de convertisseurs.

La figure 1.9 est un exemple des avantages de cette topologie tant au niveau des performances que de la compacité. Ces structures entrelacées sont utilisées dans de nombreuses applications et nombreux domaines, à l'instar des alimentations de processeur [8], des systèmes avec un correcteur de facteur de

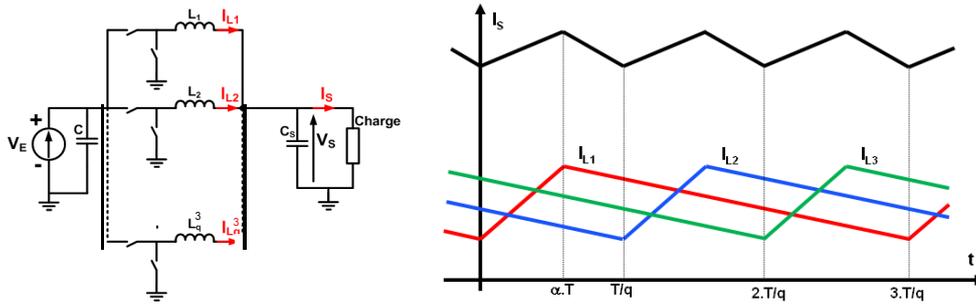


Fig. 1.7 – Schéma électrique d'un convertisseur Buck entrelacé à trois branches et ses formes d'ondes [7]

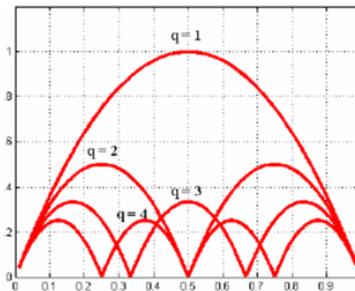
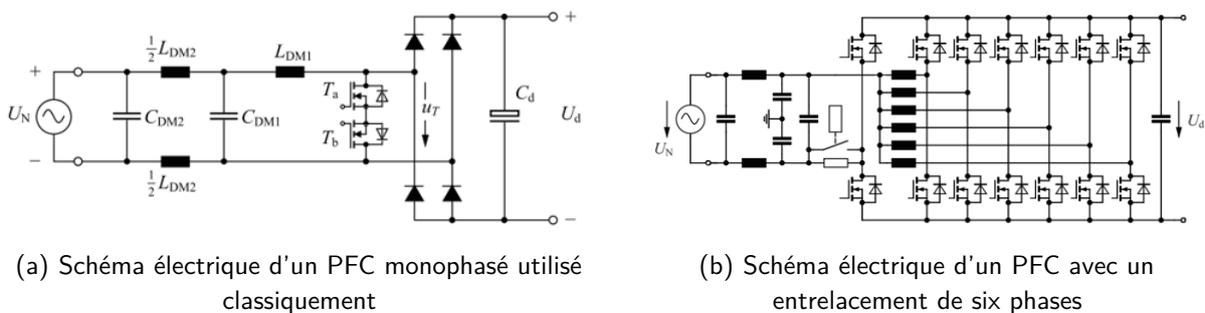


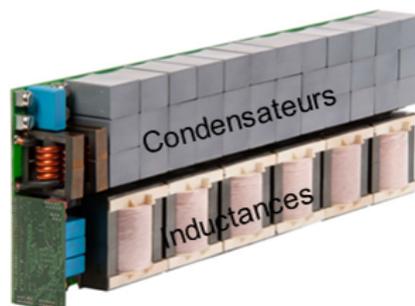
Fig. 1.8 – Ondulation de courant résiduelle en fonction du nombre q de phases [8]

puissance [9], où des applications avec un bus d'entrée faible tension comme les systèmes de stockage d'énergie ou les centrales photovoltaïques [10].



(a) Schéma électrique d'un PFC monphasé utilisé classiquement

(b) Schéma électrique d'un PFC avec un entrelacement de six phases



(c) Photo d'un convertisseur entrelacé

Fig. 1.9 – Convertisseur entrelacé à base de composants silicium SuperJunction à haut rendement (99,36 %) et forte compacité ($1,2 \text{ kW}/\text{dm}^3$) [9]

1.1.3 | Les contraintes de compatibilité électromagnétique

Lors de la commutation d'un interrupteur de puissance, les grandeurs électriques à ses bornes évoluent progressivement, il y a plusieurs modes de commutation et la séquence la plus classique est toujours la suivante : le courant monte puis la tension descend et inversement la tension monte puis le courant descend. Ce temps spécifique tel que défini à la figure 1.10 correspond à la durée de commutation pour l'ouverture ou la fermeture de l'interrupteur.

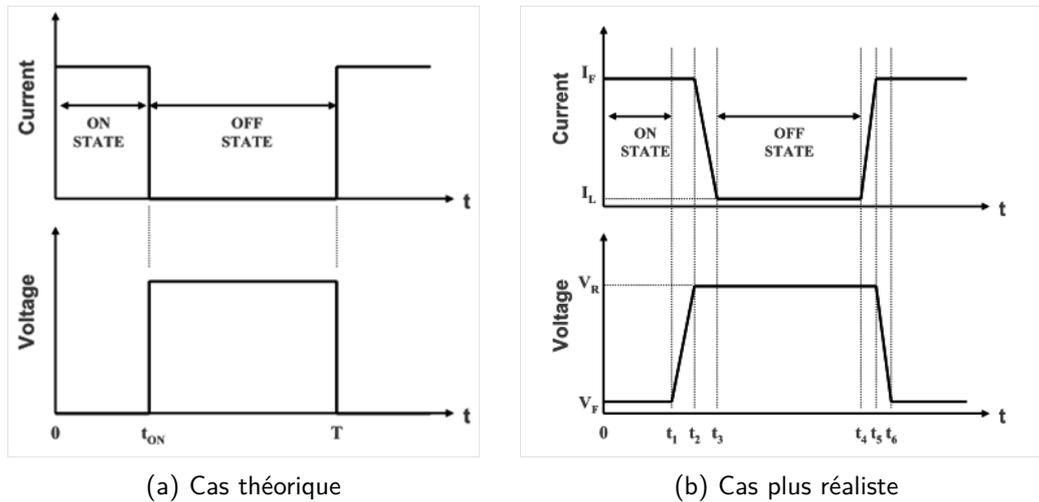


Fig. 1.10 – Commutation théorique et plus réaliste d'un interrupteur de puissance sur charge inductive, avec les grandeurs de courant et de tension à ses bornes [11]

Lors de la commutation, il y a présence aux bornes du composant simultanément d'un courant et d'une tension donc une puissance instantanée non nulle, ce sont les pertes par commutation qui se retrouvent dans tous les types d'interrupteurs. C'est une commutation dure. Ces pertes ayant lieu à chaque commutation (ouverture et fermeture de l'interrupteur), elles sont directement proportionnelles à la fréquence de commutation ce qui implique que l'augmentation du rendement de conversion passe par une réduction de la fréquence de commutation. Cependant, il a été expliqué précédemment (1.1.1) que la meilleure solution pour réduire le volume des composants passifs est d'augmenter la fréquence de commutation. On est face à une grande problématique de l'électronique de puissance avec la recherche d'un compromis obligatoire. Toutefois certaines applications ne peuvent pas se permettre un compromis, comme les applications embarquées où l'encombrement et le rendement sont deux paramètres importants car la source d'énergie étant souvent une batterie, un rendement faible introduit une mauvaise autonomie du système. Heureusement, il existe des solutions pour réduire les pertes par commutation, comme supprimer la présence de l'une des grandeurs électriques en ajoutant des composants passifs et/ou des commandes spécifiques des interrupteurs, on appelle cela une commutation douce : soit la tension est nulle (commutation à zéro de tension, ZVS) soit le courant est nul (commutation à zéro de courant, ZCS). En dehors de ces solutions, la seule possibilité pour réduire les pertes est de réduire la durée de commutation.

Comme tout système réel, l'augmentation ou la réduction d'une grandeur pour avoir des gains supplémentaires introduit des points négatifs d'un autre côté. Dans le cas d'une réduction des durées de commutation, les variations des tensions/courants très rapides forment des sources de perturbations électromagnétiques importantes. Cette thématique d'étude est appelée compatibilité électromagnétique (CEM). En l'occurrence, les convertisseurs de puissance sont une source importante de perturbations

à cause des commutations rapides, c'est-à-dire avec des variations rapides de courant et tension ($\frac{dV}{dt}$ et $\frac{dI}{dt}$) [12]. Ces variations de champ électrique et d'induction magnétique créent des ondes électromagnétiques qui se propagent dans l'environnement proche du perturbateur et peuvent se coupler à tout type d'éléments (CEM conduite et rayonnée). La solution de protection la plus répandue consiste à blinder les convertisseurs en enveloppant le système d'une couche métallique conductrice. Cependant cette solution est onéreuse avec l'ajout de métal et surtout rédhibitoire sur la masse du convertisseur. Outre les champs électromagnétiques, ces variations rapides induisent des perturbations conduites, elles se propagent essentiellement par les parties conductrices d'un convertisseur (pistes des circuits imprimés (PCB), semelle du dissipateur mais aussi par les câbles de liaison entre source, convertisseur, charge). On distingue deux types de perturbations [12] :

- Le mode différentiel (DM) : il correspond à toutes les perturbations du convertisseur qui circulent entre les bornes positives et négatives du convertisseur ;
- Le mode commun (CM) : ces perturbations sont beaucoup moins évidentes à visualiser et à s'en protéger. Elles correspondent aux perturbations couplées par un potentiel commun (une équipotentielle), généralement la masse du circuit électronique. Le filtrage de ce mode est beaucoup plus complexe et peut rapidement engendrer un rajout de nombreux composants passifs (inductance et condensateur) pour avoir un filtrage efficace. Le meilleur moyen de s'en prévenir est d'essayer de réduire les chemins de propagation de ce type de perturbations dès la conception du module de puissance et du convertisseur.

Le principal potentiel générant des perturbations CEM dans le convertisseur est le point milieu de la cellule de commutation (V_{SW} pour *switching*). C'est à cet endroit qu'il y a les plus grandes et rapides variations de tension et courant, tel qu'illustré dans la figure 1.11.

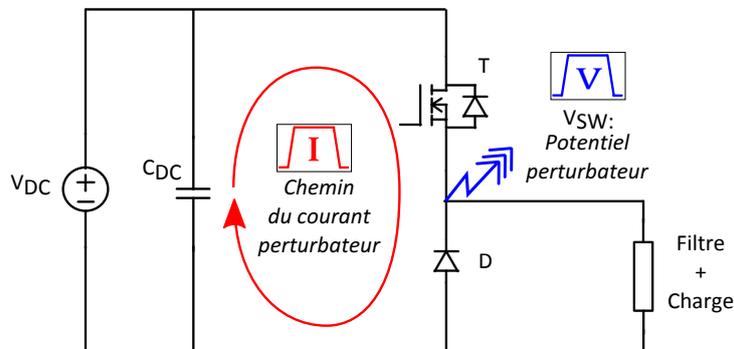


Fig. 1.11 – Sources de perturbations CEM dans une cellule de commutation élémentaire d'après [13]

Pour clôturer cette courte partie sur les principales problématiques de CEM, il est important de noter que la réduction des perturbations CEM passe par trois axes : l'émission, le transport et la susceptibilité. Au niveau du convertisseur il est possible d'agir sur l'émission des sources de perturbations (en contrôlant les fronts de commutation), sur le transport en réduisant les chemins de propagation (la capacité de mode commun) et sur les filtres d'entrée et de sortie pour augmenter l'immunité. Ces trois axes se répercutent sur la conception aussi bien dans le convertisseur de puissance [14] que dans les modules de puissance [13, 15]. Les modules de puissance jouent un rôle primordial dans la création d'éléments parasites avec les interconnexions entre les puces semiconductrices et le système. Ces interconnexions sont une source importante de chemins de propagation. La description de ces modules et du packaging des composants est détaillée dans la partie suivante 1.2.1 en mettant en avant les problématiques CEM.

1.2 | Le packaging en électronique de puissance

1.2.1 | Les éléments clés du packaging en électronique de puissance

À la fin de la fabrication du semiconducteur, le composant n'est pas utilisable en tant que tel et il est alors environné par un packaging. Dans ce cas général, on peut définir le module de puissance comme le lien entre le composant semiconducteur et le convertisseur d'électronique de puissance. Le module de puissance est un ensemble mécanique constitué de plusieurs éléments : avec des puces semiconductrices (les composants), des brasures pour le maintien des puces et leurs interconnexions électriques, des couches de matériaux isolants ainsi qu'une encapsulation. Tous ces éléments se regroupent dans la thématique plus large qu'est le packaging des composants. Il comprend une multitude de fonctions [16, 17] :

- mécanique : tenue mécanique des puces semiconductrices entre elles et avec leur support, protection de l'environnement extérieur ;
- thermique : évacuation des pertes des composants ;
- isolation électrique : en interne entre les composants et les différentes interconnexions ; externe pour éviter de ramener un potentiel électrique à l'extérieur du boîtier et inversement (typiquement l'isolation avec le dissipateur qui peut être en contact avec des personnes) ;
- électrique : garantir les liaisons électriques entre les puces et avec l'extérieur.

Comme tout système réel, le packaging de composants de puissance ne peut être parfait et possède des éléments parasites, ceux-ci peuvent avoir des effets négatifs sur les performances du semiconducteur et du module lui-même. D'un point de vue électrique, les principaux éléments parasites sont les résistances (R), les inductances simples (L) et les condensateurs (C). Le schéma de la figure 1.12 décrit explicitement les éléments parasites de type L et C dans une structure bras de pont. Ces éléments seront à minimiser lors de la conception et la réalisation pour tendre vers un module optimal.

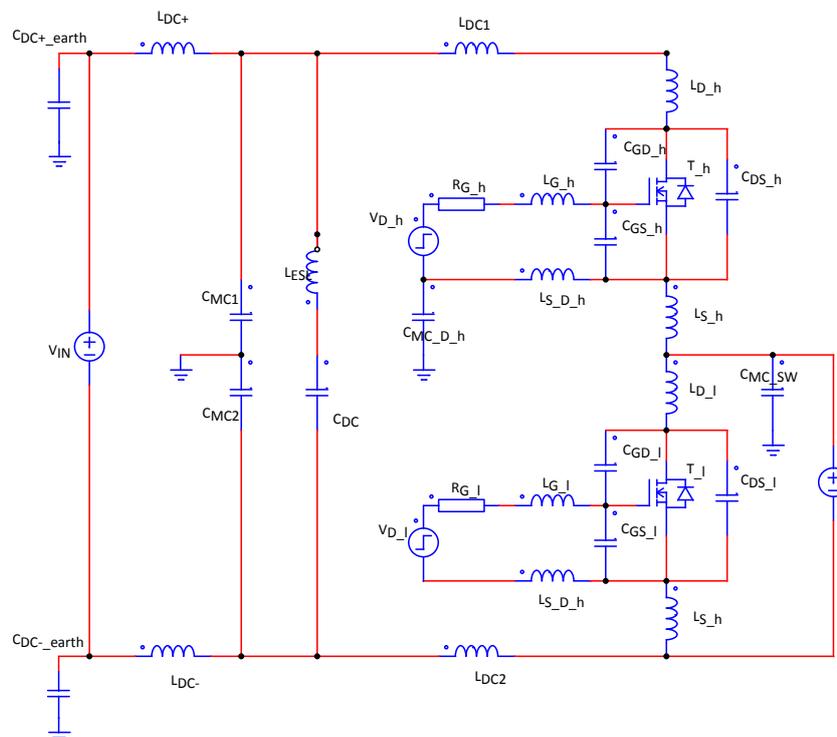


Fig. 1.12 – Schéma électrique d'un bras de pont avec les éléments parasites

Le composant parfait tel que défini à la figure 1.10 implique une commutation instantanée, c'est-à-dire avec un $\frac{dV}{dt}$ et $\frac{dI}{dt}$ qui tend vers l'infini. Malheureusement cela n'est pas possible à cause de la présence des impédances parasites entourant les interrupteurs. Nous sommes donc devant une problématique majeure du packaging en électronique de puissance qu'est la réduction de ces parasites pour tendre vers la cellule de commutation parfaite, ce qui correspond à l'association d'un composant idéal et de son packaging idéal (sans pertes et sans éléments parasites). Dans tous ces éléments parasites, on peut noter que l'inductance entre la source de tension et le drain du transistor a un gros impact sur la commutation avec une possibilité d'une surtension entraînant soit un surdimensionnement du composant soit des risques de destruction du composant par fonctionnement répétitif en régime d'avalanche. Cette inductance entraîne aussi une réduction de la dynamique du courant lors de la commutation ce qui induit des pertes plus importantes. En général, pour minimiser son impact, la cellule de commutation est complétée par un condensateur dit de découplage qui apporte une petite réserve de charges pour neutraliser les effets négatifs de l'inductance parasite entre la cellule de commutation et la source de tension.

Du point de vue CEM, la gestion du point milieu V_{SW} (source de perturbations comme décrit en figure 1.11) est également un aspect très important du packaging et donc du module de puissance. Ce potentiel est relié au potentiel de masse par l'intermédiaire d'une capacité parasite dite de mode commun. Elle représente le point de départ du chemin de propagation de mode commun. À travers cet élément parasite, un courant de mode commun est produit à chaque variation de potentiel du point milieu V_{SW} par rapport à ce potentiel de masse.

Comme le packaging ne se limite pas uniquement aux phénomènes électriques mais englobe également les aspects thermiques, le refroidissement du composant est un élément important. Selon les applications, le convertisseur de puissance ne fonctionne pas en régime permanent tout le temps mais présente des phases de fonctionnement distinctes voire périodiques comme les phases de démarrage et d'accélération dans un train ou tramway. Le convertisseur va enchaîner les phases de fonctionnement (augmentation de sa température) avec des phases d'inactivité (diminution de la température). Ces variations dans le fonctionnement du convertisseur amènent un cyclage en température des composants (actifs et passifs) qui se traduit thermo-mécaniquement par des déformations dans les matériaux avec des phases de dilatation (par rapport à l'augmentation de la température) puis rétractation lors de la redescente en température. Cette problématique est causée par les différences entre les coefficients d'expansion thermique (CTE) des matériaux composant le module de puissance. Les valeurs des CTE et résistances thermiques des matériaux classiquement mis en œuvre dans les modules de puissance sont résumées dans la figure 1.13.

Catégories	Matériaux	CTE ($\times 10^{-6}/^{\circ}\text{C}$)	Conductivité Thermique (W/m.K)	Résistivité électrique ($\Omega\cdot\text{cm}$)
Semi- conducteurs	$\text{SiC}^{1,2}$	3.8-4.3	360-490	$>10^{11}$
	Si^1	2.6	130	10^4
Céramiques	$\text{AlN}^{2,4}$	4.1	200	$>10^{14}$
	$\text{Al}_2\text{O}_3^{2,4}$	7.2	25-33	$>10^{14}$
	BeO^2	7	270	$>10^{14}$
	Si_3N_4^2	3	70	$>10^{10}$
Métaux classiques	Ag^3	19	418	1.59×10^{-6}
	Au^3	14	292	2.4×10^{-6}
	Al^2	24	209	2.7×10^{-6}
Métaux « Faibles CTE »	Cu^4	17	398	1.5×10^{-6}
	Cr^3	6.2	67	12.9×10^{-6}
	Mo^3	4.9	142	5.2×10^{-6}
	W^3	4.4	129	5.65×10^{-6}

Fig. 1.13 – Propriétés physiques des principaux matériaux utilisés dans les modules de puissance [18]

On retrouve souvent des hétérostructures dans les assemblages de packaging de puissance : entre isolant/conducteur (céramique vs métal) et semiconducteur/conducteur (silicium vs cuivre), etc. Ces hétérostructures impliquent des phases de traction et de compression, comme décrit dans la figure 1.14.

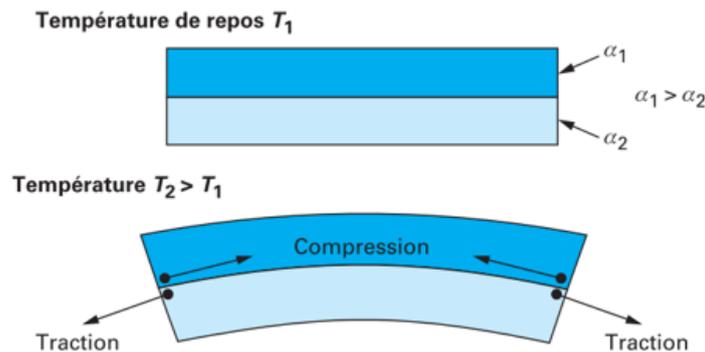


Fig. 1.14 – Comportement thermomécanique d'une hétérostructure ayant des coefficients de dilatation α différents [16]

Ces phases impliquent des contraintes importantes sur la fiabilité des assemblages. Tant que la variation des contraintes reste dans la zone élastique du matériau les assemblages n'auront pas de casse mais des phénomènes de fatigue vont solliciter les assemblages. Au-delà d'une certaine contrainte, le matériau entre dans une zone plastique où la déformation est irréversible et provoque la rupture : c'est-à-dire la casse des assemblages. Typiquement, l'une des principales causes de défaut sur le module de puissance consiste en l'arrachement de *wire bonding* (interconnexions filaires) à cause des différences de CTE entre la puce semiconductrice et le fil d'aluminium [19].

1.2.2 | L'approche planaire (2D)

Le standard industriel actuel, fruit des évolutions des cinquante dernières années de développement sur les composants semiconducteurs et les matériaux, est une approche planaire également appelée 2D. La figure 1.15 décrit une vue en coupe et une illustration d'un exemple type de module planaire.

Sur la figure 1.15, on retrouve les différents éléments suivants (de haut en bas de la figure) :

- les lyres de puissance pour la connexion entre l'extérieur et l'intérieur du module de puissance ;

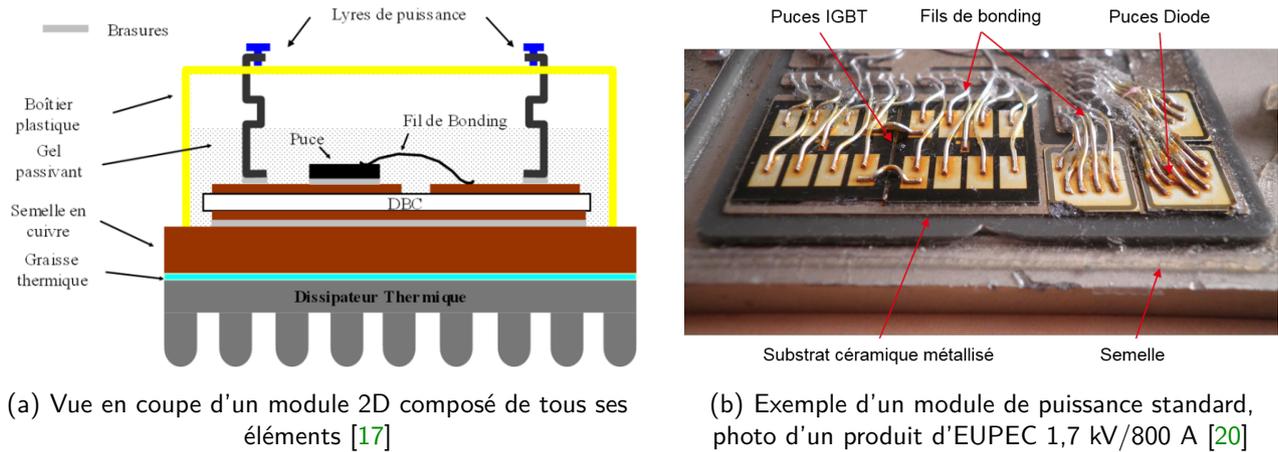


Fig. 1.15 – Description d'un module de puissance planaire (2D) standard

- le gel passivant pour l'encapsulation et la tenue diélectrique en face avant du composant et pour la protection des composants vis-à-vis de l'extérieur et aussi pour faire une zone tampon lors des déformations induites par le cyclage en température ;
- les puces semiconductrices : transistor et diodes par exemple ;
- les fils de liaison réalisant les interconnexions des faces supérieures (face avant) des puces semiconductrices ;
- le substrat céramique métallisé réalisant l'interconnexion des faces arrières des composants ainsi que leur support mécanique et le transfert de la chaleur vers la semelle du module de puissance ;
- les brasures solidarissant les composants sur le support tout en assurant l'interconnexion des faces inférieures (face arrière) ainsi que pour la fixation du substrat céramique sur la semelle ;
- la semelle pour faciliter l'épanouissement du flux de chaleur (produite par les pertes dans les semiconducteurs) ;

La liaison entre le module de puissance et le dissipateur est réalisée par l'intermédiaire d'une couche de graisse thermique pour maximiser la zone de contact entre la semelle et le dissipateur (pour combler les trous dus à la rugosité de surface). Les liaisons, aussi bien mécaniques que thermiques et électriques entre les puces semiconductrices et leur package, sont réalisées à l'aide de différentes technologies. On dénombre deux cas possibles, les interconnexions en face arrière des composants verticaux : le drain pour un transistor à effet de champ à grille isolé (MOSFET) et le collecteur pour le transistor bipolaire à grille isolée (IGBT), il y a une seule électrode présente et un assemblage électro-thermo-mécanique est suffisant. Cependant pour la face avant, on retrouve les électrodes de grille et de source du MOSFET ou d'émetteur pour l'IGBT. Le lien entre ces électrodes et les pistes en cuivre du substrat, qui ne sont pas sur le même plan, est généralement assuré par des *wire bondings*.

Ces interconnexions par fils de liaison génèrent une inductance dans la maille de commutation additionnelle (figure 1.12) pénalisant pour la surtension à la commutation et pour la réduction des temps de commutation. De nombreux travaux de recherche se concentrent sur la réduction de cette inductance et cela dès les années 1990 [21] avec General Electric et sa technologie *Power Overlay*. Il est donc nécessaire de travailler sur la réduction de l'inductance de maille de commutation en optimisant les connexions, les minimisant et en remplaçant les lyres de puissance. D'ailleurs, ces terminaux de puissance apportent une part très importante de l'inductance parasite totale d'un module [13, 17, 22]. Ils sont donc un point à contrôler attentivement lors de la conception. Le module planaire ramène le

point milieu perturbateur (figure 1.11) sur le support céramique de type DBC (Direct Bonded Copper) ou de type AMB (Active Metal Brazed), cette piste introduit une capacité parasite de mode commun importante à travers celui-ci et le dissipateur (connecté à la masse pour la protection des personnes). Il existe de nombreuses recherches pour réduire ces problématiques comme celles développées au Fraunhofer IZM [13] aussi bien sur la conception que sur l'ajout au plus près de la cellule de commutation de condensateurs de découplage, pour réduire la boucle de circulation des courants hautes fréquences nécessaires à la commutation. L'intégration d'un condensateur de filtrage du mode commun pour compenser la perturbation au plus près est également une solution qui a été étudiée [15]. Le contexte de cette étude est le fonctionnement en haute température des modules de puissance (à base de carbure de silicium, SiC) mais elle est toujours valable et intéressante dans une application plus standard surtout avec l'utilisation de composants rapides (transistor à effet de champ à jonction, JFET en SiC).

Du point de vue des modules de R&D industriels ou quasi-industriels, il existe de multiples solutions, chacune ayant sa technologie propriétaire mais les objectifs sont identiques comme décrit précédemment. La figure 1.16 résume graphiquement quelques exemples de modules 2D optimisés.

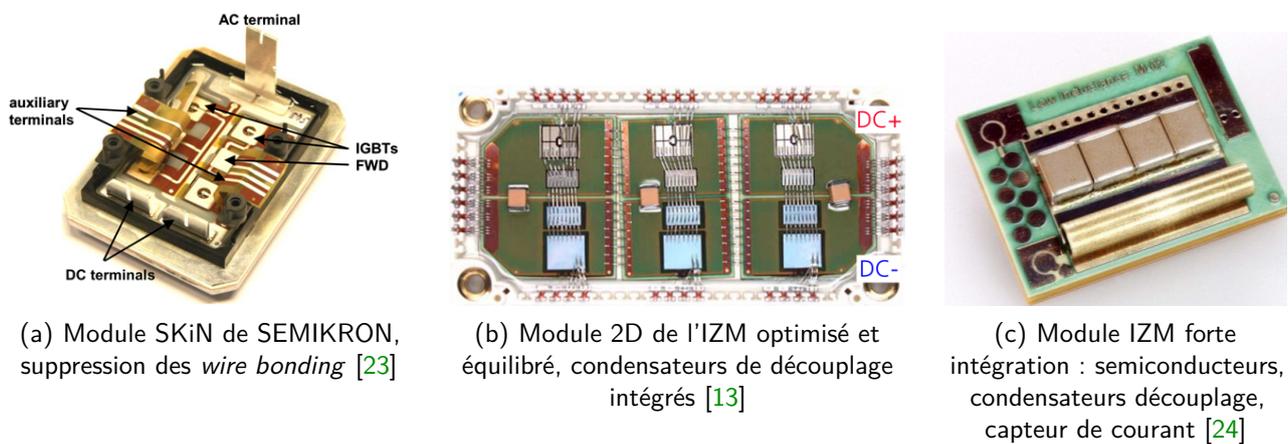


Fig. 1.16 – Exemples de modules de puissance intégrés et optimisés pour réduire les perturbations CEM et les inductances de maille de commutation

La technologie SKiN de SEMIKRON utilise un PCB flexible (ressemblant à des rubans) pour remplacer les *wire bonding*. La connexion entre les électrodes de puces et du PCB flexible se fait par frittage [22]. Cette solution apporte un gain sur la fiabilité et une réduction de l'inductance de maille de commutation, cela leur permet également d'ajouter des composants supplémentaires comme les condensateurs de filtrage. Le dernier exemple du Fraunhofer IZM [24] est une réalisation très performante avec une inductance de maille de 0,86 nH avec le capteur de courant et la mise en œuvre d'un bras de pont avec deux JFET SiC. Le temps de commutation à l'ouverture du transistor est d'environ 20 ns pour 600 V/20 A sans aucune surtension sur le drain du transistor. L'intégration des condensateurs de découplage sur le dessus des puces des transistors favorise cette commutation sans perturbations. Cette intégration se rapproche de l'association parfaite d'un composant semiconducteur rapide dans un packaging intégré et optimal.

Pour nuancer cette réalisation, on peut remarquer que le refroidissement des puces n'est possible que par une face et à travers le PCB, l'autre face accueillant les condensateurs (voir la figure 1.16(c)). De plus, elle est valable pour un bras de pont mais pourrait être beaucoup plus complexe si l'on souhaite réaliser des onduleurs triphasés ou convertisseurs entrelacés avec beaucoup d'interconnexions. Il existe

d'autres solutions de packaging avec des performances optimales aussi bien sur le refroidissement des composants que sur la réduction des éléments parasites, c'est-à-dire les intégrations en trois dimensions.

1.2.3 | L'approche d'intégration en trois dimensions (3D)

Définition de "l'approche 3D"

En packaging d'électronique, orienté vers les composants de faible puissance comme ceux d'électronique numérique, on retrouve 3 catégories : 2D, 2.5D et 3D [25]. En électronique de puissance cette classification est moins détaillée et tout ce qui n'est plus du 2D est du 3D ; il existe cependant différents cas de 3D :

- l'intégration d'autres types de composants que les semiconducteurs tels que les *drivers*, capteurs, composants passifs sources [26] ;
- intégration où l'aspect thermique est mis en avant pour optimiser le refroidissement des composants (sur chaque face) [27] ;
- l'intégration où les composants de puissance sont empilés dans le but de réaliser des structures réduisant l'impact électromagnétique [28].

Ces trois cas sont résumés dans la figure 1.17.

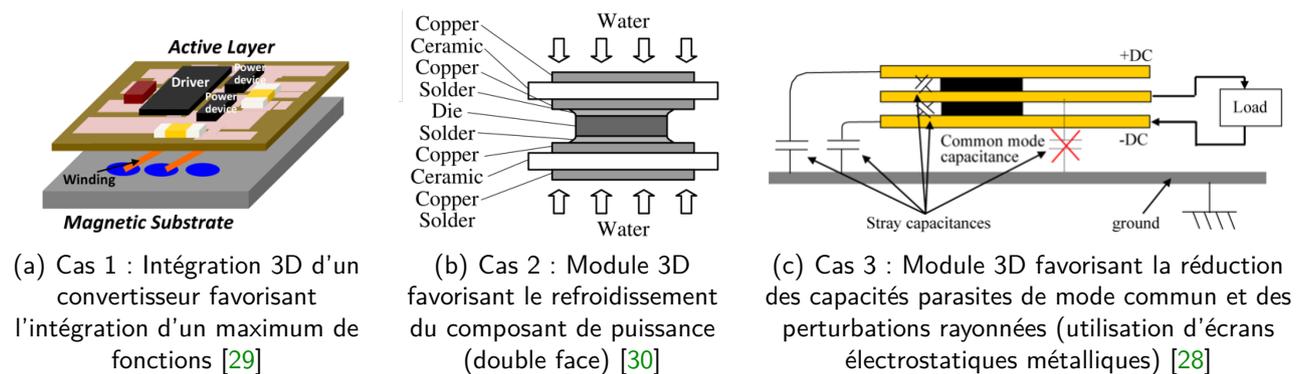


Fig. 1.17 – Comparaison des trois types d'intégration 3D

Il serait séduisant de vouloir combiner les trois cas en un seul. Cependant, cela est complexe car les ordres de grandeurs des dimensions géométriques sont différents tout comme les méthodes et techniques d'assemblage —en tout cas aujourd'hui— mais cela sera différent le jour où les composants passifs seront microniques/millimétriques grâce à de nouveaux matériaux ou à des besoins fortement diminués avec une fréquence de commutation élevée, supérieure au mégahertz. De plus, le cas 2 (favorisant l'aspect thermique) et le cas 3 (favorisant l'aspect CEM) s'opposent car la présence de deux semiconducteurs superposés empêche le refroidissement sur les deux faces des composants.

Dans ce manuscrit, nous n'aborderons pas le premier cas favorisant l'intégration de fonctions périphériques formant l'IPM (*Intelligent Power Module*) car l'étude est centrée autour de la fabrication des semiconducteurs de puissance et de leur intégration dans un module 3D et non de l'intégration du convertisseur en entier (composants actifs/passifs et commande). À noter cependant que l'ajout de fonctions autour des composants n'est pas mis à l'écart car nos réflexions essaient également de prendre en compte ces contraintes.

Module 3D pour un refroidissement double face

L'échauffement des semiconducteurs est une source privilégiée de défauts : si le semiconducteur dépasse sa température de fonctionnement, il peut entrer dans un régime d'instabilité provoquant sa casse. Il est possible que des points chauds apparaissent et que la température approche la température maximale de fonctionnement du matériau semiconducteur, aux alentours de 150 °C à 200 °C pour le silicium. Le refroidissement par les deux faces renforce l'efficacité de l'échange thermique, permettant d'extraire plus de pertes pour une même température de composant. On peut noter les premiers modules 3D avec un refroidissement double face autour des années 2000, réalisés par le G2Elab en 2001 [31] et par Virginia Tech en 2005 [32].

Le domaine de l'automobile s'intéresse de près au packaging 3D des modules de puissance avec l'arrivée de la voiture électrique. En effet, les contraintes de fiabilité en automobile sont exigeantes et un refroidissement efficace est une priorité. De plus, le refroidissement étant très volumineux/lourd (1.4), il est un point bloquant pour le véhicule électrique. Les premières applications dans le domaine de l'automobile se retrouvent chez Denso [33]. À la suite, une collaboration est née entre Denso et Toyota [34]. La technologie développée a été ensuite utilisée par Toyota dans ses véhicules haut de gamme (Marque Lexus et modèle LS 600h). La description du concept et son utilisation dans un moteur de véhicule électrique est décrite dans la figure 1.18 : c'est l'association d'un IGBT et d'une diode en antiparallèle. Il est important de noter que ce type d'association de deux puces semiconductrices côte à côte nécessite l'utilisation d'espaceurs (appelés également cales) pour compenser la différence d'épaisseur des composants. Aujourd'hui, cette technologie, toujours d'actualité, vient de faire son apparition dans les véhicules hybrides de Toyota¹.

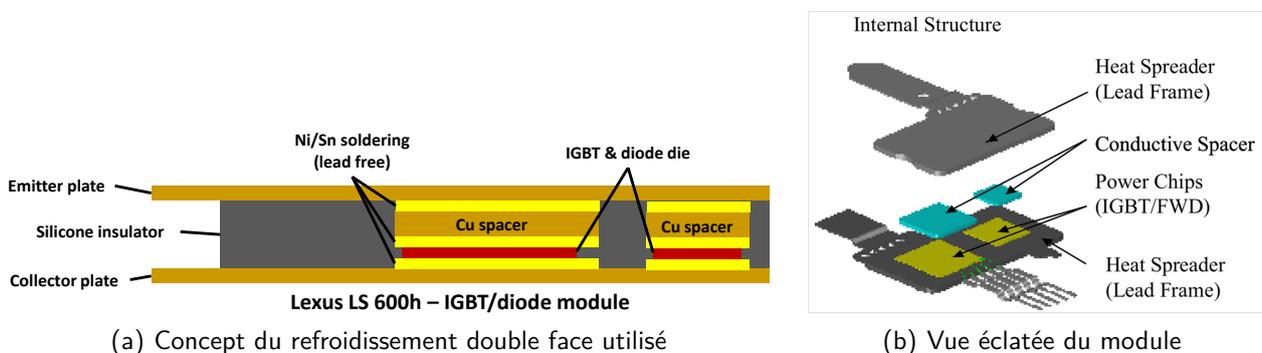


Fig. 1.18 – Description de la solution de module 3D de DENSO/Toyota d'après [34, 35], cette solution incorpore des puces (IGBT et diode), des cales d'ajustement et un leadframe métallique pour les interconnexions et l'épanouissement thermique

L'utilisation de cales pour compenser la différence d'épaisseur des composants est assez classique dans ce type d'associations de deux puces différentes, par exemple dans le module de Johnson *et al* [33] où l'on a un transistor de 180 μm et une diode de 350 μm (ici une diode Schottky en SiC). Une cale métallique est ajoutée sous l'IGBT pour l'assemblage en 3D, ce qui est d'autant plus complexe à réaliser que cela peut apporter des problèmes de robustesse en ajoutant des pièces supplémentaires dans l'empilement.

Du point de vue des modules R&D universitaires, on retrouve comme acteurs du packaging

1. Source Point the Power : www.pointthepower.com/toyota-prius-use-double-side-cooled-power-modules, consulté le 29/05/2016

3D, l'université de Nottingham au Royaume-Uni et le Oak Ridge National Laboratory (ORNL) de l'université du Tennessee (USA). Ces deux laboratoires travaillent sur l'optimisation électrique de la cellule de commutation (1.5a) tout en ayant un refroidissement double face. L'approche de ORNL, nommée *Planar BondAll* (PBA) apporte un gain de 75% au niveau de l'inductance de maille de commutation par rapport à un module planaire de comparaison (pour le module 3D PBA : $L = 12,08 \text{ nH}$ et $R = 0,22 \text{ m}\Omega$ et pour le module 2D : $L = 50,3 \text{ nH}$, and $R = 2,35 \text{ m}\Omega$) [36].

L'université de Nottingham ayant travaillé en collaboration avec Denso [33] et Alstom [37] cités précédemment, on retrouve des similitudes dans les assemblages. Son approche intègre les puces de puissance dans un module optimisé électriquement et thermiquement (voir figure 1.19). L'inductance de maille de commutation d'après des simulations est estimée à 7 nH à 10 kHz [38].

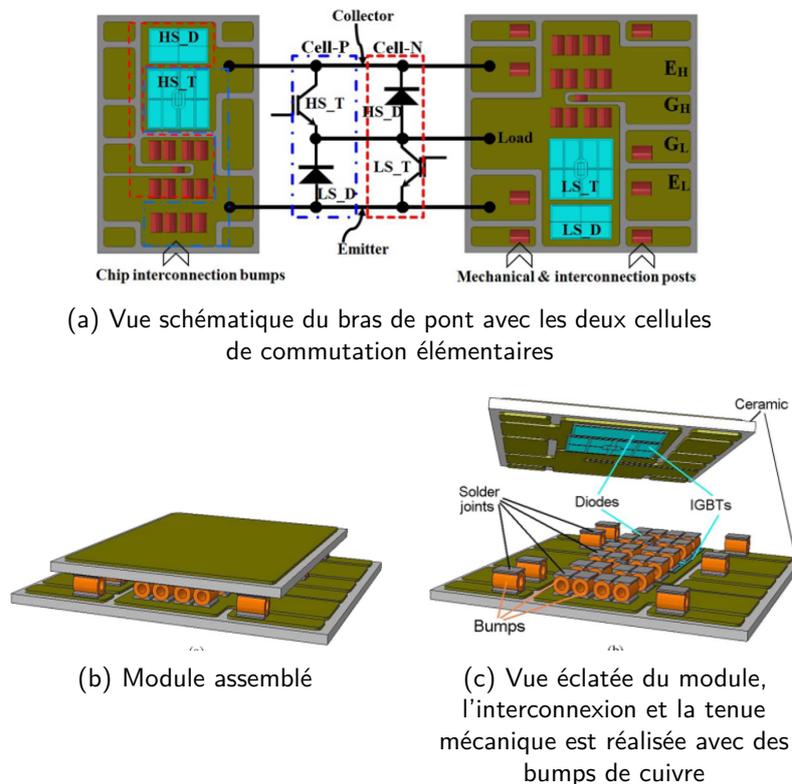


Fig. 1.19 – Description de l'approche 3D de l'université de Nottingham [38]

Cette approche intègre également un condensateur de découplage céramique haute fréquence au plus près de la maille de commutation [39].

Dans un contexte plus local, en France, l'entreprise aPSI^{3D} commercialise des modules de puissance 3D forte puissance (supérieur à 10 kVA et 300 V)² à destination du marché de l'éolien par exemple. Elle se situe dans la continuité des études de la plateforme PRIMES de Tarbes en collaboration avec Alstom (laboratoire PEARL). Leur technologie de Power Bump avait montré de bons résultats électriques et avait atteint une solution quasi-industrielle comme le montrent les tests grandeur nature réalisés dans un train [40]. Cette approche orientée pour les fortes puissances et le refroidissement double face des puces avait été également adaptée à un empilement de puces pour réduire les perturbations CEM comme le montre la figure 1.20.

2. Source Point the Power : consulté le 07/06/2016

www.pointthepower.com/apsi3d-raises-e1-5-million-seed-to-produce-innovative-power-modules

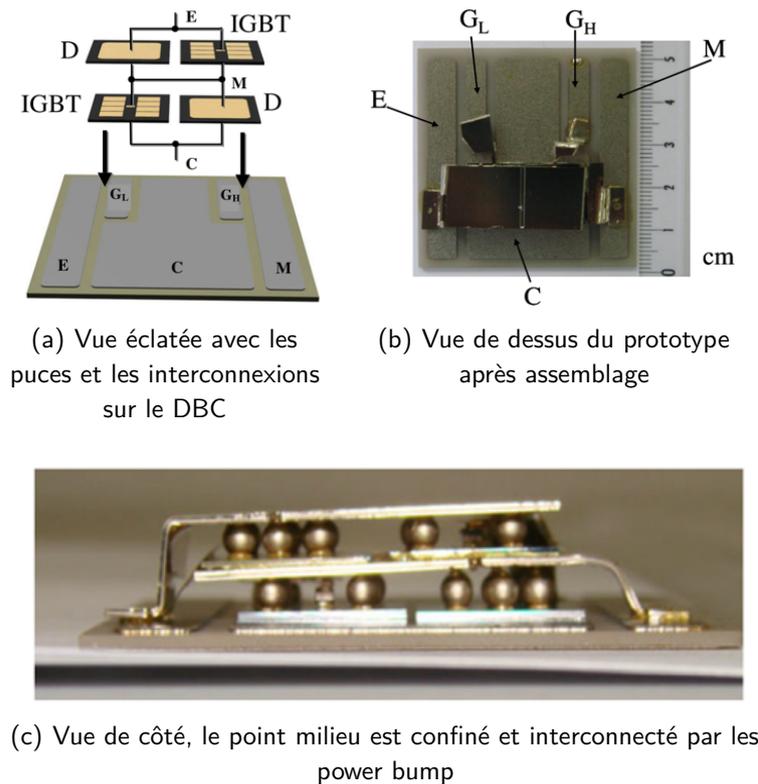


Fig. 1.20 – Packaging 3D de PEARL [4]

Les principaux objectifs dans ces développements sont :

- un refroidissement double face des semiconducteurs pour améliorer la durée de vie des modules de puissance ;
- une suppression des fils de liaison pour réduire l'inductance parasite de la maille de commutation et améliorer la fiabilité des modules ;
- une augmentation de la densité de ces modules pour gagner en volume/masse (typiquement pour les applications automobiles).

Module 3D pour améliorer les performances électriques

Les modules 3D optimisés pour la réduction de la génération de perturbations CEM ont été développés pour la première fois dans la thèse de E. Vagnon au G2Elab en 2010 avec l'apparition du concept de Power Chip on Chip (PCoC) [17]. Le PCoC est un assemblage de deux composants empilés (diode/diode ou transistor/diode ou transistor/transistor) pour réaliser une cellule de commutation élémentaire (présenté dans la figure 1.21). L'utilisation des plaques métalliques pour la réalisation d'écrans électrostatiques (1.17c) permet de réduire les émissions rayonnées et autorise également la réduction —voire la suppression— de la capacité parasite de mode commun du point milieu [28]. De plus, cette solution permet de supprimer les lyres de puissance et donc sa forte contribution à l'inductance de maille de commutation et de tendre vers des valeurs de l'ordre du nanohenry pour cet élément parasite.

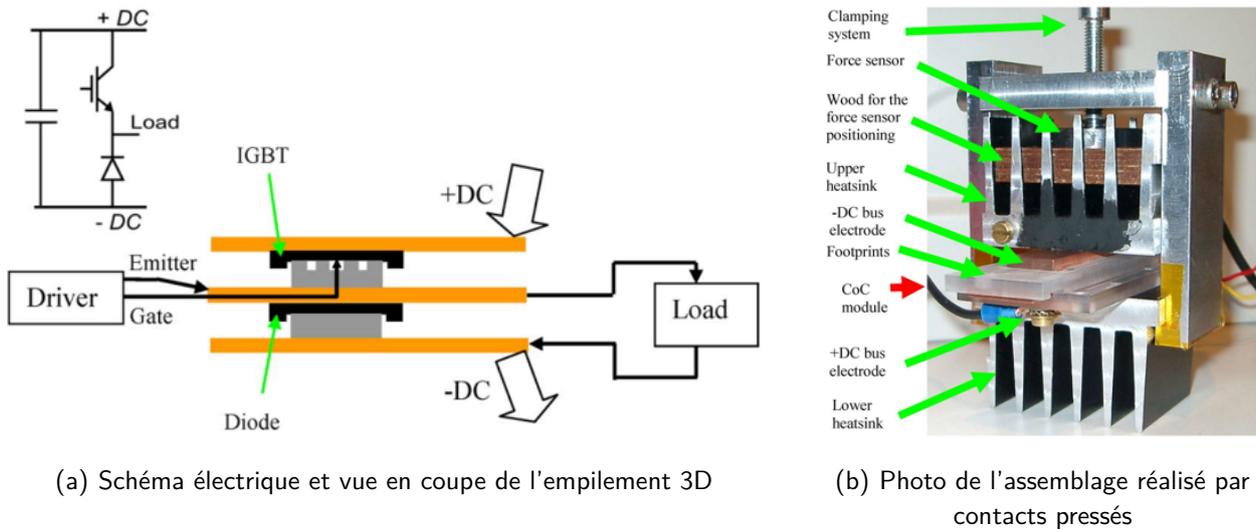


Fig. 1.21 – PCoC dans une configuration d'un hacheur Buck (IGBT et diode) [28]

Cette approche a été poursuivie plus récemment au G2Elab avec des résultats très intéressants comme un assemblage avec une inductance de maille de commutation autour de 1.5 nH et une réduction de 80% par rapport à un module planaire de comparaison (9 nH) [41]. Une étude est également menée pour utiliser ce concept avec des composants grand gap de type MOSFET SiC avec une technologie de puces enterrées dans un PCB et des vias de cuivre pour l'interconnexion. Les résultats sont sans équivoque avec une inductance estimée de 0,25 nH [42].

Conclusion

Le tableau 1.1 synthétise cet état de l'art du packaging 3D de puissance. Pour résumer cette partie sur le packaging des modules de puissance, on pourra noter que les industriels de l'automobile y prêtent une grande importance et également, indépendamment de l'application et de la technologie utilisée, que toutes les approches sont basées sur des composants commerciaux. Le principal avantage réside dans le choix du composant et surtout sa disponibilité. De plus, ce sont des composants performants et optimisés, fruits des dernières générations de fabrication des fondeurs. Ils ont à l'inverse des contraintes importantes pour la mise en œuvre dans des intégrations 3D : En effet, ils sont conçus pour le standard de packaging, c'est-à-dire l'approche planaire ou encore pire, pour des boîtiers de composants unitaire pour intégration aux circuits électroniques.

	2D	3D Toyota	3D Not- tingham	3D PEARL	3D PCoC
Présence de <i>wire bonding</i>	Oui	Non	Non	Non	Non
Refroidissement performant	**	***	***	**	**
Faible inductance de maille	*	**	**	**	***
Réduction du mode commun (CEM)	*	*	*	**	***

Tab. 1.1 – Comparaisons des différentes intégrations 3D pour la puissance par rapport au module standard 2D, légende :

(*) correspond aux moins bonnes performances ;
 (***) équivaut à l'opposé aux meilleures performances.

Par exemple, les positions et l'espacement des plots des électrodes en face avant ne sont pas réellement adaptés au 3D. On peut remarquer les études du laboratoire Ampère sur la mise au point d'un procédé de gravure spécifique des métallisations des DBC pour compenser cette problématique de distance inter-électrodes [27]. Les interconnexions des composants dans leurs assemblages reposent sur des DBC gravés pour router les signaux. La résolution du procédé de gravure standard du DBC étant supérieure aux spécifications dimensionnelles de la puce semiconductrice et de leur intégration, le laboratoire a développé un procédé pour atteindre leurs objectifs. Les résultats montrent une finition valide à partir d'un double procédé de lithographie/ gravure mais cela demande un effort de développement qui ne serait pas nécessaire avec des composants adaptés dès la fabrication aux problématiques du packaging 3D dès leur fabrication.

La conclusion de cet état de l'art pour le packaging 3D est que les composants actuels ne sont pas adaptés à cette solution d'intégration. Une majorité d'études sont bloquées au niveau des procédés de fabrications ou limitées sur les performances électriques à cause de cette problématique et cela sur différents aspects :

- sur la conception du composant comme son *layout* de la face avant (géométrie et résolution du dernier niveau de métal) [27] ;
- sur son type de protection périphérique qui peut être bloquant lors de l'utilisation de plaques métalliques d'interconnexion indispensables à l'intégration 3D [17, 43–45] ;
- sur les finitions métalliques (majoritairement en aluminium) qui ne sont pas adaptées aux métallisations des DBC ou PCB qui sont en cuivre [27, 45, 46].

Cette thématique plus orientée technologie de fabrication est fondamentale pour la réalisation de module 3D et son état de l'art est détaillé dans la partie 1.3.2 suivante.

1.3 | La fabrication des modules de puissance

1.3.1 | Le procédé standard

La fabrication et le packaging de composants de puissance reposent sur des technologies matures et bien connues. Elle suit la même logique que la fabrication de circuits intégrés ou autres composants de

microélectronique. La première étape consiste en la fabrication d'étapes de *Front-End* (FE) avec des lithographies, gravures, dépôts, implantations, etc. À la suite de ces premières briques viennent les étapes de *Back-End* (BE) pour les métallisations et diélectriques d'isolation et de protection. Les plaques semiconductrices sont alors découpées et chaque puce peut être mise en boîtier et être interconnectée avec ses contacts. Il est important de noter qu'en électronique de puissance, une puce est généralement composée d'un seul composant, ce qui est différent des puces pour la microélectronique qui se composent de circuits intégrés complexes. Il existe également des intégrations monolithiques des composants de puissance et des circuits de signaux faibles, comme la technologie BCD de ST Microelectronics [47]. D'un point de vue recherche, les intégrations monolithiques de puissance existent comme en témoignent les nombreux travaux du LAAS/LAPLACE sur des associations de transistors IGBT à conduction inverse (RC-IGBT) pour réaliser des cellules de commutations ou encore sur des associations de deux RC-IGBT tête bêche pour réaliser des interrupteurs réversibles en courant et en tension (4 segments) [48].

Le procédé de fabrication standard de modules de puissance repose sur une approche de packaging de puces. La fabrication des composants semiconducteurs est réalisée sur des plaques en salle blanche puis ces composants sont découpés, ensuite assemblés et interconnectés, tel que décrit dans la figure 1.22.

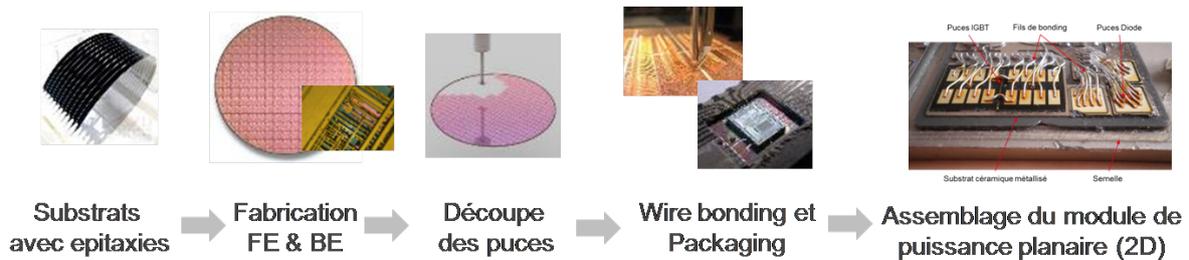


Fig. 1.22 – Procédé de fabrication d'un module de puissance standard planaire

1.3.2 | L'évolution des technologies d'assemblage et d'interconnexion

Traditionnellement, la face arrière est brasée et la face avant est interconnectée par des *wire bondings* tel que décrit dans le paragraphe 1.3.1. Cependant, le packaging en 3D a besoin d'une technologie d'assemblage différente pour la face avant, ce qui peut affecter la face arrière des puces. La solution la plus simple consiste à utiliser la brasure sur les deux faces mais cela ne s'avère pas aussi simple : en effet, lors de la seconde étape de brasure, la température nécessaire pour atteindre la température d'eutectique de la brasure impacte la première brasure et la fait fondre. Les risques encourus sont multiples : le désalignement (vertical et latéral) des composants, la création de bulles dans les joints de brasure ou encore l'impossibilité de réaliser l'assemblage. Un assemblage en une seule étape est également possible mais complexifie le procédé afin de maintenir tous les éléments [49]. Elle n'est applicable que lorsque le nombre de puces est faible (2 transistors et 2 diodes) [50]. L'astuce consiste à utiliser une brasure haute température, c'est-à-dire ayant une température de fusion plus haute que les brasures conventionnelles (Sn-Ag) comme Au-Ge (361 °C) [30] pour le premier assemblage.

Dans le contexte de l'utilisation de composants de puissance grand gap, l'électronique haute température est envisageable, en tout cas du point de vue du semiconducteur. Cependant, ces technologies de semiconducteurs sont aujourd'hui bloquées par les brasures conventionnelles qui ont des températures de fusion inférieures à 250 °C. Si l'on souhaite aller au-delà, d'autres technologies sont nécessaires : on peut citer au moins deux cas qui semblent les plus prometteurs, le frittage d'argent et la soudure

en phase liquide transitoire (TLP pour *Transient Liquid Phase*). Ces deux technologies récentes sont poussées par les acteurs des composants SiC. On peut citer comme exemple l'université d'Arkansas (HiDEC) [51], Toyota [49] pour le TLP (originellement le *Center for Power Electronics Systems*, Virginia Tech) [52] et par exemple le laboratoire Ampère pour le frittage d'argent [53].

La soudure liquide en phase transitoire étain-cuivre (ou assemblage par interdiffusion métallique) est utilisée car elle crée des intermétalliques avec des températures de fusion supérieures à l'étain seul ($Cu_3Sn > 600\text{ }^\circ C$ et $Cu_6Sn_5 > 400\text{ }^\circ C$) par rapport à environ $230\text{ }^\circ C$ pour l'étain [54]. C'est l'interdiffusion de part et d'autre des pièces à assembler qui est utilisé ici *a contrario* de la brasure où il y a seulement un ajout de matière entre les deux pièces. Le procédé de soudure liquide en phase transitoire est décrit dans la figure 1.23.

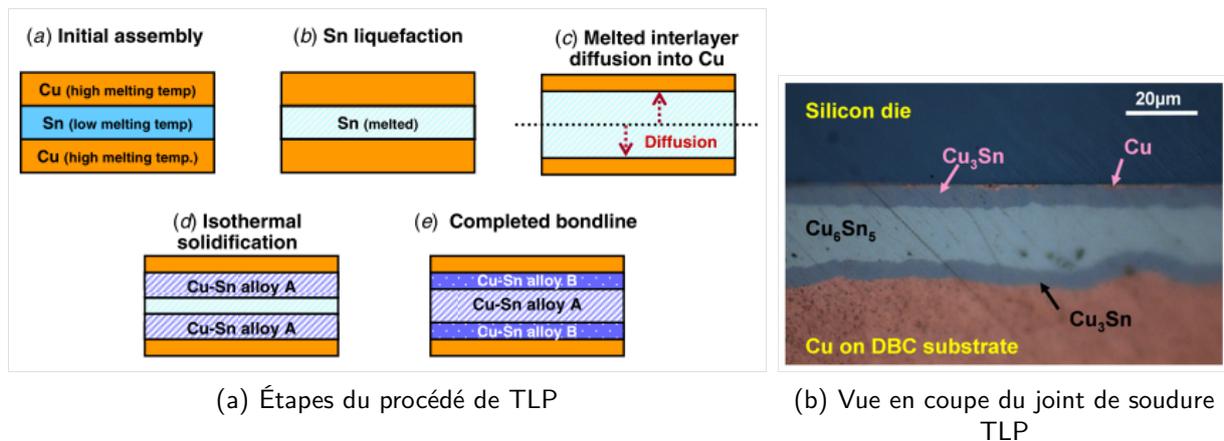


Fig. 1.23 – Soudure liquide en phase transitoire dans le cas Cu-Sn développé par Toyota pour leur solution de packaging 3D [54]

Ce procédé a l'avantage de passer outre les rugosités de surface car il y a un passage par un état liquide et cela permet de combler la totalité des zones. L'absence de pression dans le procédé est également un atout. La température de fusion des intermétalliques fabriqués étant supérieure à la température d'assemblage, on peut répéter cette étape. À l'inverse, cette technologie présente des inconvénients [55] :

- le passage par un état liquide peut entraîner des désalignements lors de l'assemblage ;
- la conductivité des intermétalliques est inférieure à celle des métaux purs ;
- la création de plusieurs intermétalliques entraîne des différences sur les caractéristiques mécaniques de chacun des assemblages qui peuvent entraîner des amorces de fracture lors des variations de température (figure 1.14).

Dans le même principe que le TLP, on retrouve une solution de frittage d'argent. Cette fois, on travaille à partir de poudres/pâtes et il n'y a pas de passage par un état liquide. En effet, les procédés se déroulent à basses températures (autour de $200/300\text{ }^\circ C$) et l'argent a une température de fusion de $961\text{ }^\circ C$ [56]. Une énergie thermique ainsi qu'une pression sont nécessaires pour activer une diffusion et joindre les particules : la poudre est alors solidifiée. C'est cependant un procédé assez lent. Une technique de chauffe par effet Joule, induite directement par la circulation d'un courant électrique à l'intérieur de l'assemblage, permet de réduire la durée de frittage (de quelques minutes à quelques heures). Elle est appelée *Spark Plasma Sintering* (SPS) [18] et est particulièrement utilisée par le

laboratoire Ampère pour ses assemblages 3D.

Dans la logique de supprimer le nombre de métaux différents mis en jeu dans les assemblages (métallisation des puces semiconductrices, brasures ou équivalents et métallisation du DBC où sont fixés les éléments), le laboratoire Ampère a adapté ses développements pour le frittage SPS à un collage direct cuivre-cuivre, toujours pour réduire les résistances des interconnexions et améliorer la fiabilité du joint mécanique. Les résultats de la tenue mécanique sont très bons [57]. Cette technologie a ensuite été testée et validée pour le packaging 3D de composants à l'échelle d'une matrice de composants industriels découpés à partir d'une plaque (diodes en silicium de Microsemi). Cependant, la résistance de contact obtenue est supérieure à un assemblage équivalent en boîtier standard TO-247 [46]. L'explication de ce problème réside dans le contact métallique non adapté au procédé d'assemblage. En effet, les composants de puissance industriels ont classiquement une métallisation en aluminium qui n'est pas compatible avec le collage direct cuivre-cuivre. Il faut rajouter des étapes de dépôt d'une couche d'accroche puis de la couche de cuivre. Ces étapes ne sont pas anodines et surtout complexes à réaliser de manière optimale une fois les plaques sorties de salle blanche.

Cette technologie montre un potentiel très fort avec tous les avantages possibles, aussi bien sur la qualité du joint, la tenue mécanique, la résistance d'accès optimale avec l'utilisation d'une couche de cuivre pur. Cependant, il s'avère obligatoire de repenser la finition métallique des composants directement dans les étapes de fabrication pour éviter les étapes de re-dépôt qui sont critiques.

Introduction à l'assemblage par collage direct métallique

Le collage direct ou l'assemblage par adhésion moléculaire (sans ajout de matières ni colle) repose sur des théories datant des années 1990 sur la mise en contact de deux surfaces [58]. C'est une technologie bien connue et utilisée en microélectronique. Le CEA-LETI travaille historiquement sur cette thématique depuis les premières études de la technologie de silicium sur isolant (*Silicon-on-insulator*, SOI) de Soitec qui repose, entre autres étapes, sur un assemblage par adhésion moléculaire entre deux plaques. L'assemblage est réalisé entre deux couches d'oxyde de silicium ($\text{SiO}_2/\text{SiO}_2$) ou entre une couche de silicium et une couche d'oxyde (Si/SiO_2). Dans le contexte de la réalisation des interconnexions pour les modules de puissance, on se focalisera uniquement sur les assemblages conducteurs (mettant en relations des couches minces métalliques) et plus particulièrement le collage cuivre-cuivre. Le cuivre est le métal le plus utilisé dans les interconnexions en microélectronique en raison de son coût faible et de sa faible résistivité électrique ($2,7 \mu\Omega.cm$ pour l'aluminium et $1,5 \mu\Omega.cm$ pour le cuivre [18]). De plus, son oxyde natif étant conducteur, il simplifie la mise en œuvre de collages conducteurs (à l'inverse de l'aluminium qui a un oxyde isolant, l'alumine).

D'un point de vue des critères pour la réalisation d'un collage direct, la propreté des surfaces est fondamentale : il faut que les surfaces soient suffisamment propres, lisses et sans particules [59]. On retrouve les aspérités des surfaces à différents niveaux, elles sont résumées dans la figure 1.24.

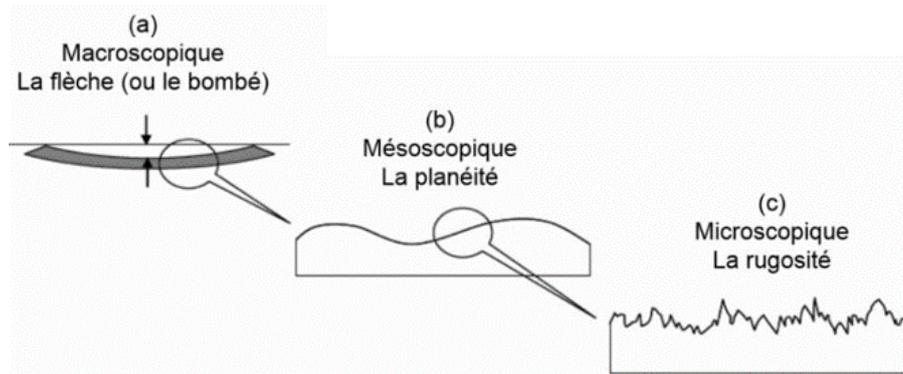


Fig. 1.24 – Critères morphologiques requis pour un collage direct de bonne qualité à différentes échelles : (a) la flèche de la plaque, (b) la planéité (c) la rugosité microscopique [60]

L'impact d'une particule est fort sur la création de défauts de collage, par exemple une particule de $1\ \mu\text{m}$ de hauteur introduit un défaut de $5\ \text{mm}$ de diamètre dans le cas de plaque de $525\ \mu\text{m}$ d'épaisseur [58], comme illustré dans la figure 1.25.

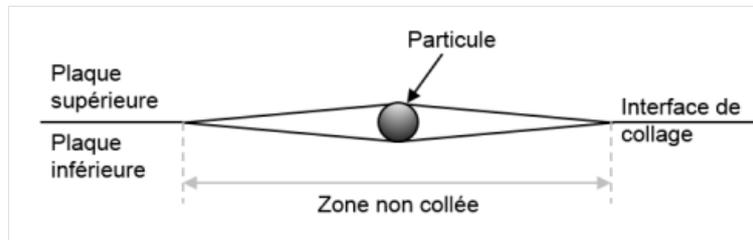


Fig. 1.25 – Impact d'une particule sur le collage et la création d'un défaut important [60]

Ce type d'assemblage se fait en salle blanche où le nombre et la taille des particules sont limités et contrôlés. Les manipulations avant les collages doivent être soignées, typiquement lors de l'alignement des plaques.

Le collage direct est possible sans ajout d'énergie c'est-à-dire à température ambiante si la préparation de surface est optimale. Il est généralement rendu possible grâce à un polissage mécano-chimique (CMP) pour réduire la rugosité et activer chimiquement les surfaces. Le collage des plaques est amorcé par un simple appui d'un stylet en bord de plaque. La limite de rugosité efficace (RMS) pour ce type d'assemblage est de $0,65\ \text{nm}$ [59].

L'adhésion des plaques est réalisée à température ambiante, ce qui est particulièrement adapté aux filières technologiques avec des budgets thermiques limités. Une étape de recuit de consolidation est ajoutée après le collage afin de renforcer la tenue mécanique de l'interface de collage. La figure 1.26 montre l'évolution de l'interface à la suite de recuits post-collage. L'interdiffusion du cuivre entre les couches inférieure et supérieure fait disparaître l'interface de collage dès $400\ ^\circ\text{C}$. À la fin du procédé, nous pouvons voir cet assemblage comme une seule et même couche métallique donc une robustesse sans équivalent et avec des résistances mécaniques très bonnes [61].

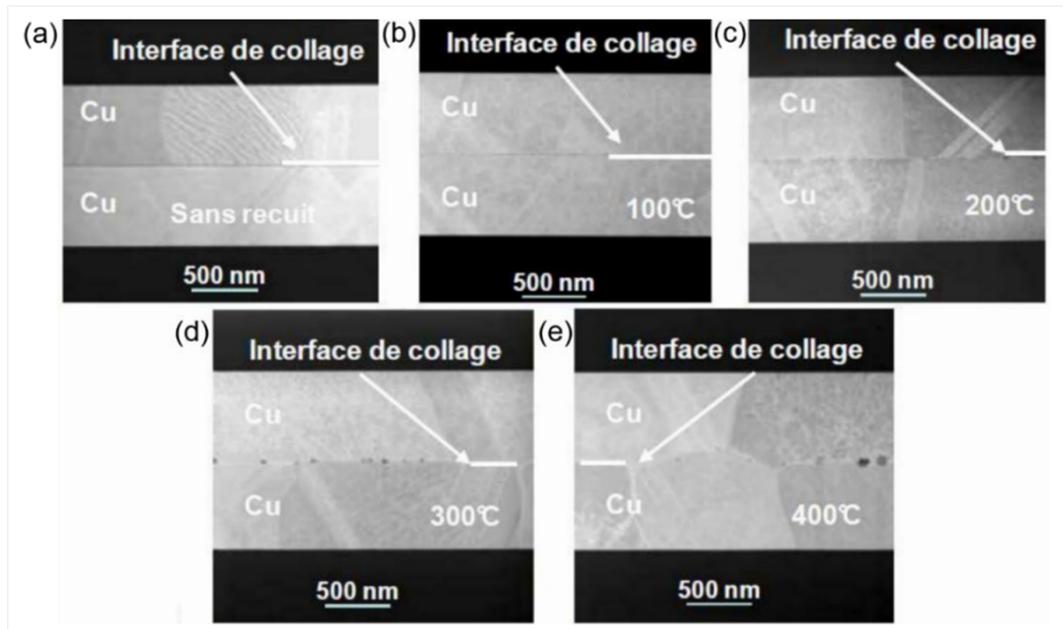


Fig. 1.26 – Images en microscopie électronique en transmission (TEM) d'un collage direct Cu/Cu à température ambiante puis avec recuits de 30 min : (a) après collage, (b) 100 °C, (c) 200 °C, (d) 300 °C, (e) 400 °C. La linéarité de l'interface disparaît après 300 °C grâce à la croissance de grains de cuivre [61]

Des tests d'électromigration (EM) et de migration de défaut sous contraintes (*stress voiding* - SIV) ont été menés sur ce type d'assemblage [62], 350°C et 3,5 MA/cm² pour l'EM et stockage sous 200 °C - 2000 h, ainsi que des cyclages en température (de -65 °C à +150 °C) pour 500 cycles [63], le tout sur des structures normalisées de type contacts chaînés (*daisy chain*) et d'après les normes JEDEC, standard en électronique. Les principales conclusions de ces études sont :

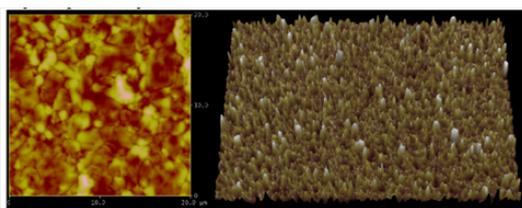
- les tests d'électromigration sont équivalents entre une structure assemblée par adhésion moléculaire et une structure sans collage (simplement une ligne d'interconnexion en cuivre déposé) ; on peut en conclure que cette technique d'assemblage n'implique aucune résistance supplémentaire et qu'elle est transparente pour la circulation du courant ;
- les tests de SIV avec un recuit post-collage de 200 °C voient leurs résistances d'interconnexion diminuer. En effet, le stockage longue durée en température agit comme un recuit de renforcement du collage (figure 1.26). D'autres échantillons avec un recuit post-collage de 400 °C montrent une augmentation de 5 % de leur résistance de contact, ce qui est faible pour une durée de 2000 h ;
- les tests de cyclage thermique sont importants car il existe plusieurs types d'interfaces dans le cas d'interconnexion : cuivre-cuivre (le collage) mais aussi cuivre-oxyde (diélectrique entre les niveaux métalliques), on se retrouve donc dans une hétérostructure telle que définie dans la figure 1.14 avec toutes les déformations qu'elle peut engendrer. Les résultats sont probants : aucune différence de résistance de contact supérieure à 3 % n'a été détectée aussi bien sur le recuit à 200 °C que à 400 °C, le nombre de cyclages a été poussé à 1000 sans aucun impact sur la résistance d'interconnexion.

Cette étude de robustesse d'interconnexion correspond aux exigences des normes (JEDEC ou spécifique automobile AEC-Q101) et sont cohérentes avec les autres études de cyclage en température sur les composants de puissance ou boîtier standard [64, 65]. Cependant, elle est à relativiser par rapport aux durées de vie des modules de puissance industriels qui ont des exigences en centaines de

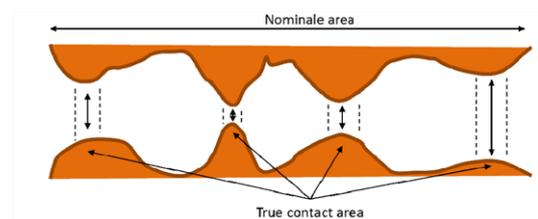
milliers de cycles à l'image de Infineon [66, 67], ABB [68] ou Mitsubishi [69]. En tout cas, ces excellents résultats sur la robustesse de l'assemblage par adhésion moléculaire cuivre-cuivre confirment la qualité de cette technologie d'interconnexion et sont encourageantes pour son utilisation dans un contexte industriel.

Le collage cuivre-cuivre assisté par thermocompression (TC)

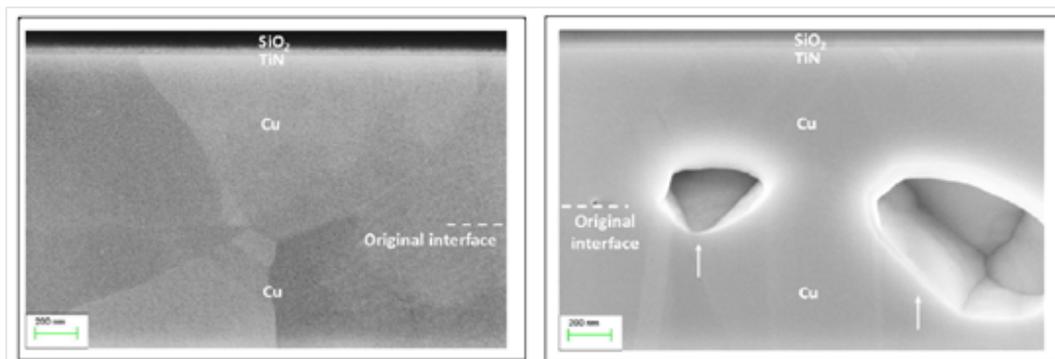
Les spécifications du collage direct sont très rigoureuses et les étapes de CMP particulièrement sensibles surtout en présence de motifs avec différents matériaux. En effet, les vitesses d'attaque chimique entre matériaux sont différentes et la surface et répartition des motifs entrent en jeu, l'uniformité de la rugosité sur une plaque de 200 mm voire 300 mm de diamètre est difficile à obtenir [59]. L'une des solutions pour passer outre consiste à utiliser un apport d'énergie pour sceller l'interface. La préparation de surface n'est pas obligatoire mais les spécifications sur la propreté des surfaces reste toujours valable. Pour repousser les limites de rugosité pour un collage cuivre-cuivre, on peut s'appuyer sur les travaux de collage métallique assisté par thermocompression de P. Gondcharton (CEA-LETI, 2012-2015) [70]. La figure 1.27 résume cette solution. Ses travaux ont permis de repousser la limite de rugosité à 33 nm RMS.



(a) Caractérisations de surface de la couche de cuivre avant collage ; (a) mesures AFM, rugosité RMS : 33 nm et PV : 300 nm ; (b) vue 3D en profilométrie optique



(b) Représentation schématique des zones de contact lors du collage et donc l'intérêt d'ajouter une pression pour "écraser" la rugosité



(c) Vue MEB en coupe de l'interface de collage, à gauche : 250 °C et 1,59 MPa, l'interface de collage a disparu et il y a peu de défauts, à droite : 350 °C et 2,87 MPa, à ces conditions des cavités de plusieurs centaines de nm se forment, il y a donc une limite haute sur le couple pression/température à ne pas dépasser

Fig. 1.27 – Le collage direct Cu-Cu assisté par thermocompression pour repousser les limites des rugosités [70]

La pression exercée pendant la TC permet d'écraser et d'augmenter les zones en contact, cependant cela entraîne la création de cavités (*voids*) à cause du couple pression/température et le cuivre arrive

dans son domaine plastique (irréversible). Ces zones non collées peuvent être gênantes pour la fiabilité des interconnexions très fines, par exemple dans le contexte d'interconnexion 3D de circuits intégrés (pitch de 7 μm [71]) mais dans le cas de dimensions millimétriques ou de plusieurs centaines de microns comme en puissance, la présence de ces défauts peut être relativisée. C'est à partir de cette étude de collage cuivre-cuivre (d'abord par collage direct puis par de la thermocompression) que les développements des briques technologiques de collage ont été adaptés pour l'électronique de puissance dans le cadre d'un projet Carnot entre le CEA-LETI et le G2Elab [72] puis dans le cadre de cette thèse : cette partie est détaillée dans le troisième chapitre.

Conclusion

Dans cette partie, nous avons vu les différentes technologies possibles et actuellement utilisées pour l'assemblage de puces semiconductrices dans le cadre d'assemblages 3D. Toutes ces solutions ont leurs avantages et inconvénients qui sont résumés dans le tableau suivant 1.2.

	Brasure	Transient Liquid Phase	Frittage d'Ag par SPS	Collage Cu-Cu par TC et WLP
Compatibilité avec standard	* * *	**	*	X
Simplicité	* * *	**	**	*
Faible Temp.	* * *	**	*	**
Faible pression	* * *	**	*	**
Possibilité d'enchaînement	X	*	**	* * *
Robustesse	X	*	**	* * *
Faible coût	* * *	**	*	* * *

Tab. 1.2 – Comparaison des différents procédés technologiques d'assemblage utilisés pour le packaging 3D de composants de puissance, légende :

(X) correspond à un point bloquant de la technologie, typiquement les problèmes de robustesse de la brasure ;

(*) correspond aux moins bonnes performances, la solution la plus complexe, à haute température et forte pression, et onéreuse ;

(***) équivaut à l'opposé aux meilleures performances, le moins complexe, à basse température et pression faible, le plus faible coût.

En résumé, si les surfaces en regard sont trop rugueuses ou alors que l'on souhaite s'affranchir d'étapes de préparations de surfaces complexes, il est utile d'avoir un apport d'énergie sous forme thermo-mécanique pour activer les phénomènes de diffusion, on peut le faire par thermocompression (TC) ou alors par la circulation d'un courant électrique dans l'empilement comme la technologie *Spark Plasma Sintering* (SPS) décrite précédemment.

L'utilisation de technologies d'assemblage par adhésion moléculaire n'est possible qu'en contrôlant la propreté et l'état de surface des plots d'interconnexion. Les étapes de préparation des surfaces sont classiques en microélectronique et majoritairement utilisées sur plaque entière (*Wafer Level Packaging*,

WLP). Il devient nécessaire de tendre vers une prise en compte de ces contraintes sur la fabrication des composants de puissance.

1.3.3 | L'apport de la microélectronique pour l'électronique de puissance

La logique de la microélectronique est la réduction progressive des dimensions (En l'occurrence, de la longueur de grille des transistors MOS) pour qu'une plus grande finesse de gravure apporte un plus grand nombre de composants pour une même surface avec des composants plus petits et plus performants : c'est la fameuse loi de Moore. Cependant cette réduction des dimensions rencontre des limites si on ne change pas les technologies de fabrication et même de structure de composants. Cette approche a pour principal inconvénient de multiplier le nombre d'étapes de fabrication avec de nombreuses lithographies, métallisations, etc. Ce sont des étapes onéreuses et cette logique n'apporte pas d'autres degrés de liberté pour la conception ou la fabrication.

Une seconde approche appelée More Than Moore introduit une nouvelle dimension dans la conception et la réalisation de circuits intégrés : la troisième dimension comme le décrit la figure 1.28.

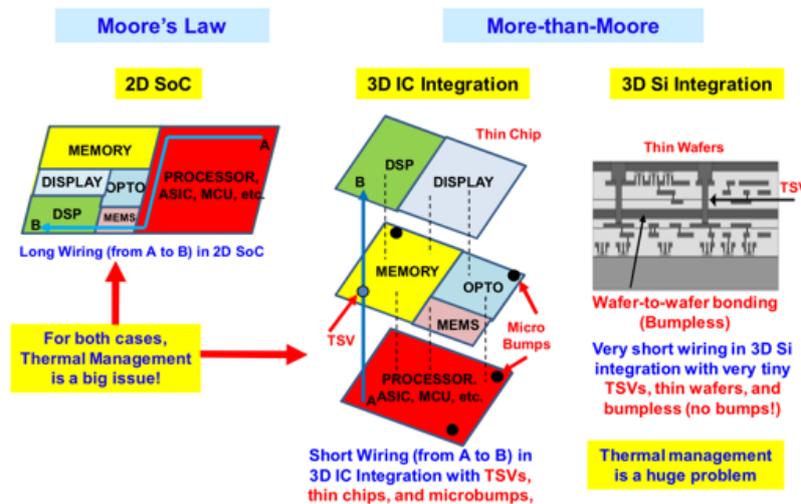


Fig. 1.28 – L'approche More Moore vis-à-vis de l'approche More than Moore [73]

L'intégration 3D peut être monolithique, c'est-à-dire que l'on vient construire d'autres transistors ou circuits au-dessus du précédent donc sur la même plaque. L'autre possibilité est l'intégration hétérogène où l'on vient assembler un autre circuit (une puce ou une plaque) au-dessus avec une étape d'assemblage, comme avec des *micro-bumps*. Dans le cas où on assemble les puces des deux plaques différentes, on a trois cas possibles décrits dans la figure 1.29.

Cette figure permet de mettre en avant le principal inconvénient et le principal avantage de l'approche plaque-à-plaque :

- Il n'est pas possible de sélectionner les puces fonctionnelles donc on risque d'assembler des puces non fonctionnelles entre elles, ou en pire cas, une puce fonctionnelle avec une puce non fonctionnelle. Cela implique un rendement de fabrication des composants proche de 1 pour avoir un bon rendement d'assemblage des dispositifs 3D ;
- L'assemblage de plaques entières a l'avantage de travailler sur l'intégralité des puces en une seule étape donc un fort intérêt pour la cadence d'assemblage. Comme les puces n'ont pas été découpées, elles n'ont aucun risque de casse, contaminations particulières ou de propagation de

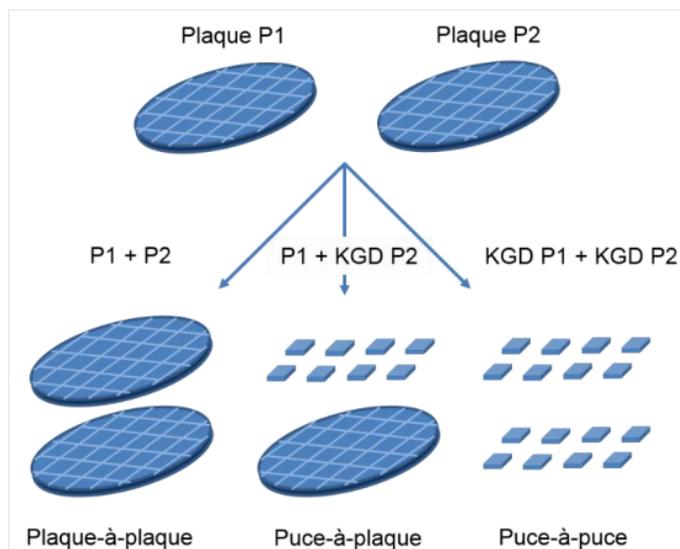
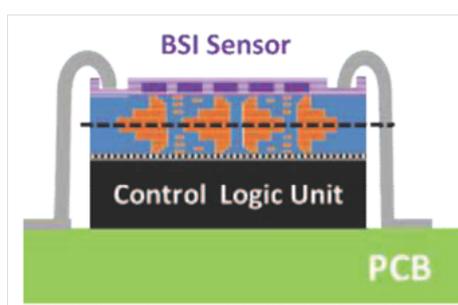


Fig. 1.29 – Trois types d'intégration possibles pour l'assemblage 3D : plaque-à-plaque, puces-à-plaque et puce-à-puce (Know Good Die : KGD) [60]

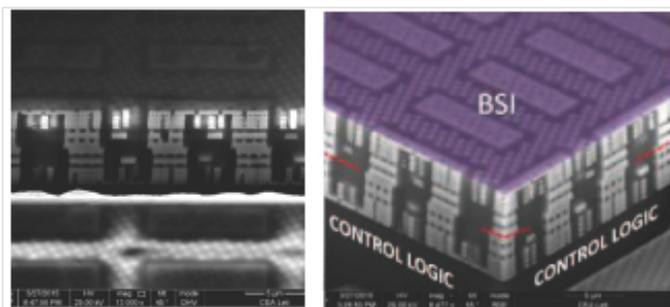
fissures provoquées par la découpe. Cet aspect est fondamental pour les intégrations sensibles comme le packaging des MEMS et des circuits intégrés haute densité.

Intégration 3D pour les circuits intégrés (3D IC)

Le packaging à l'échelle de la plaque et la maîtrise des procédés de fabrication collectifs sont des éléments fondamentaux pour la filière d'intégration 3D de circuits intégrés haute densité d'interconnexions pour les mémoires RAM, les imageurs et le traitement du signal, à l'exemple du report d'une plaque comportant un circuit logique sur une plaque avec des capteurs d'images par l'intermédiaire d'un collage Cu-Cu pour la continuité des interconnexions (figure 1.30).



(a) Vue schématique de l'intégration 3D, le collage direct est imagé par la ligne en pointillé



(b) Vues MEB du dessus (à gauche) et en 3D (à droite), l'interface de collage est schématisée en rouge

Fig. 1.30 – Intégration 3D d'un capteur d'images et de son circuit de traitement de l'information [74]

Cette réalisation d'intégration n'a pu être accomplie sans une adaptation et une compatibilité des *layouts* des niveaux métalliques supérieurs du circuit logique (mémoire et traitement parallèle des données des pixels) et du circuit primaire d'adaptation des signaux des photo-diodes (le capteur d'images se trouvant en face arrière de la première plaque assemblée).

L'exemple des MEMS

Le packaging à l'échelle de la plaque est très utilisé dans les technologies de fabrication des micro-systèmes électromécaniques (MEMS en anglais). Ce sont des capteurs (gyroscope, capteur inertiel, etc) ou bien des actionneurs (interrupteur mécanique) de dimensions microscopiques. Ils sont directement fabriqués dans le matériau semiconducteur en utilisant ses propriétés électriques et aussi mécaniques en s'appuyant sur une boîte à outil technologique complète. On peut simplifier le procédé d'assemblage — ce qui est la majorité des cas — dans le cas où une partie active sur une première puce est protégée par la zone du micro-système formant un capot qui le recouvre [75].

À titre d'exemple du niveau de maturité des assemblages à l'échelle de la plaque dans les MEMS, la société ePack propose une solution industrielle avec la possibilité d'utiliser une intégration plaque à plaque avec des composants du client, tel que présenté dans la figure 1.31. Cette intégration n'ayant pas de besoin en termes d'interconnexions électriques, elle est plus facilement adaptable car il n'y a que les géométries du capot à ajuster.

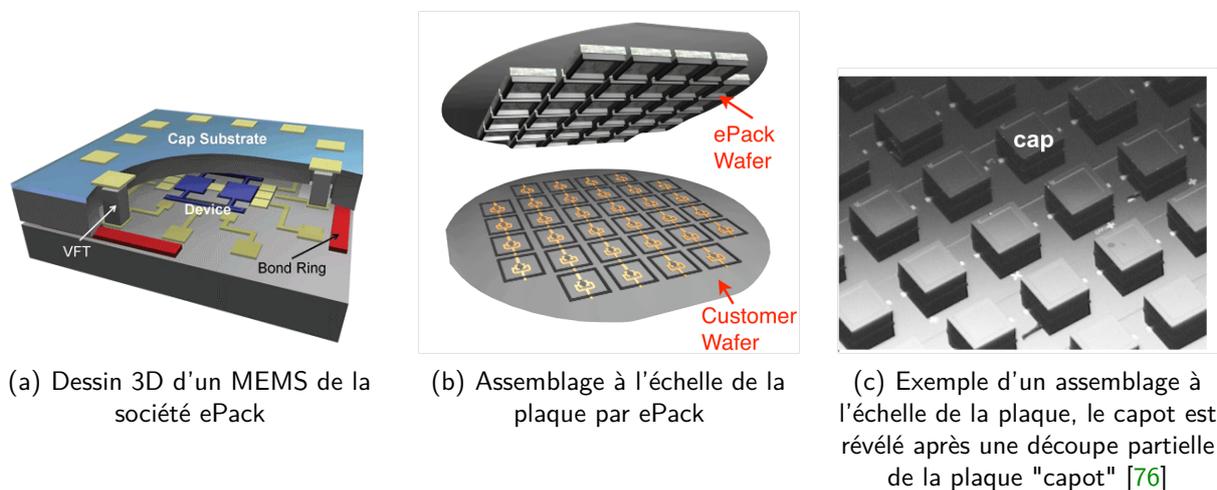


Fig. 1.31 – Exemple de packaging à l'échelle de la plaque dans le domaine des MEMS ³

Au-delà d'une protection mécanique, le capot permet de faire le vide au sein du capteur en considérant l'encapsulation étanche et de faire une atmosphère hermétique. Il peut être nécessaire soit pour le fonctionnement du système soit pour protéger le capteur de l'environnement (corrosion, humidité, oxygène, etc). Des collages conducteurs peuvent être utilisés pour fonctionnaliser le capot et pour récupérer des électrodes sur la face supérieure et non uniquement comme une fonction d'encapsulation [76]. Par exemple, le collage direct Cu-Cu est également utilisé dans le domaine des MEMS [77].

La microélectronique utilise massivement les procédés d'assemblages plaque à plaque pour des questions de rendements, de performances et d'adaptation des étapes de packaging aux dimensions toujours plus petites des composants et de leurs interconnexions. En effet, l'alignement plaque à plaque est très précis, par exemple inférieur à 400 nm pour [74] et 250 nm (en moyenne) pour [71].

Après cette digression dans le monde de la microélectronique, la question de l'adaptation de ces technologies d'assemblage, qui montrent des performances remarquables, au monde de la fabrication et du packaging de composants de puissance se pose légitimement. Les dimensions en EP étant beaucoup

3. Source ePack : www.memsepack.com, Portfolio consulté le 02/06/2016

plus grandes aussi bien en profondeur qu'en largeur, comparées à celles rencontrées en microélectronique, la transposition devrait se passer dans de bonnes conditions.

Adaptation de ces technologies aux composants de puissance

Dans l'état de l'art, il existe des développements de packaging à l'échelle de la plaque au niveau électronique de puissance mais cela est concentré sur des applications "faible tension/fort courant" [78]. Dans ce cas, ils sont équivalents aux concepts classiques de packaging d'électronique. D'autres solutions tendent vers un "packaging à l'échelle de la plaque" mais elles se cantonnent à des échantillons avec quelques dizaines de composants [79]. Celles-ci se rapprochent plus d'un packaging à l'échelle de la puce qui comportent plusieurs composants. En tout cas, la volonté de mutualiser les étapes technologiques pour plusieurs composants en même temps est bien réelle. Dans cet exemple ([79]), les étapes de packaging 3D sont faites dans un second temps afin de reprendre les contacts : elles interviennent après la fabrication des composants, sans interactions avec elle.

Le packaging et l'assemblage partiel ou total d'un module de puissance à l'échelle de la plaque sont séduisants et peuvent être adaptés aux composants de puissance. Néanmoins, il faut passer par une étape de redéfinition des besoins d'interconnexion spécifiques aux topologies d'électronique de puissance pour prendre tout leur intérêt dans ce contexte spécifique. C'est à partir de cette problématique que la collaboration entre le G2Elab et le CEA-LETI est née dans le cadre d'un projet Carnot (2009-2012). Les technologies de collages direct métalliques ont été adaptées pour le report de composants de puissance sur un substrat métallique épais (supérieur à 500 μm) pour améliorer la dissipation thermique, les caractéristiques des composants de puissance et des interconnexions et réaliser une électrode commune lorsque la structure d'électronique de puissance repose sur la mise en œuvre d'une pluralité de cellules de commutation. En effet, la présence d'électrodes communes dans les convertisseurs peut simplifier certaines interconnexions, comme illustré dans la figure 1.32.

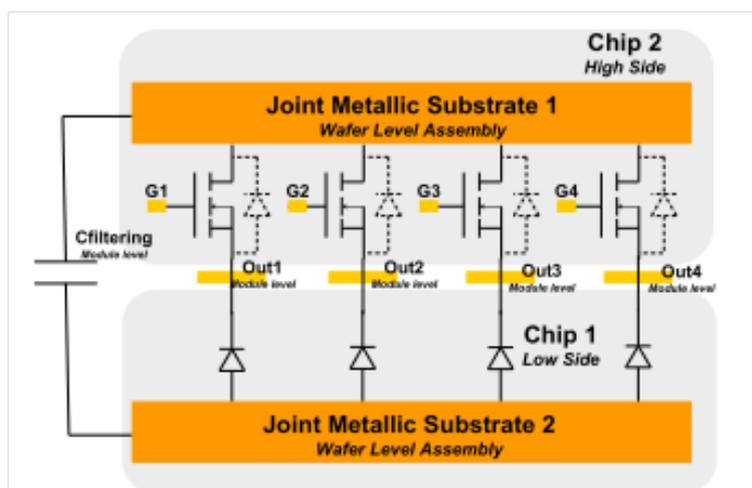


Fig. 1.32 – Schéma d'un convertisseur entrelacé avec les deux électrodes communes : drain commun pour les transistors et anode commune pour les diodes à l'issue de la première tranche de collaboration CEA-LETI / G2Elab (2009-2012) [80]

L'utilisation de plaques métalliques massives réalisant cette électrode commune est l'un des résultats de cette collaboration [80]. Les composants de puissance sont fabriqués monolithiquement puis ils sont reportés sur le substrat métallique. La tenue mécanique de celui-ci a permis de raboter le silicium pour

ne garder que l'épaisseur de semiconducteur utile à la tenue en tension (ici $50 \mu\text{m}$ pour 500 V de tenue en tension). Toute la technologie du collage direct Cu-Cu détaillée précédemment a été appliquée pour ce report de diodes sur substrat de cuivre poli par CMP (figure 1.33).

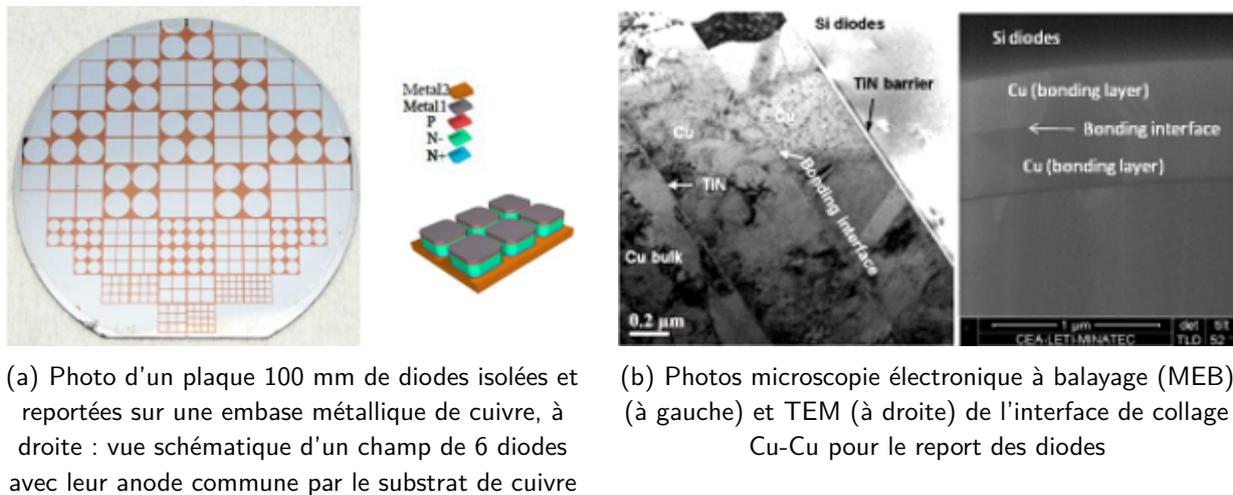


Fig. 1.33 – Principaux résultats technologiques du projet Carnot Power

De ces travaux sur le report de composants de puissance sur embase métallique sont apparus les premiers concepts de packaging 3D à l'échelle de la plaque, dans la logique des assemblages 3D déjà étudiés au G2Elab [28] comme illustré dans la figure 1.34.

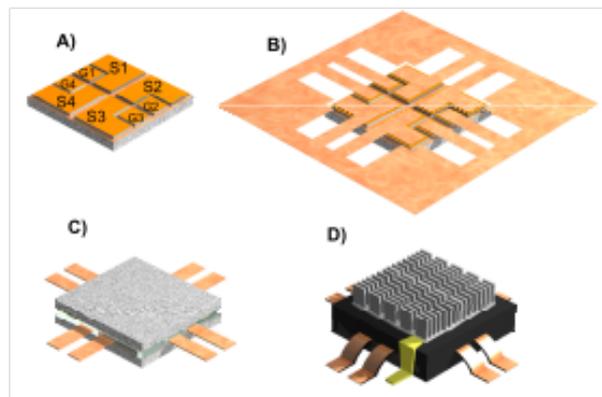


Fig. 1.34 – Concept d'assemblage 3D à l'échelle de la puce [80]

Ce dernier focus sur l'apport de la microélectronique pour le packaging de puissance clôture cet état de l'art et pose les bases des réflexions qui seront conduites dans le cadre de cette thèse. Cette collaboration entre le CEA-LETI et le G2Elab correspond au point de départ du travail de thèse et il s'appuiera intégralement sur tous les concepts et développements effectués durant cette collaboration.

1.4 | Le positionnement de la thèse

1.4.1 | Les problématiques du packaging en électronique de puissance

L'analyse de l'état de l'art précédente fait apparaître diverses voies d'amélioration aussi bien sur l'intégration 3D de composants, que sur des topologies intéressantes et des technologies d'assemblage très prometteuses. Cependant l'approche qui permettra une avancée importante pour toutes ces problématiques se doit d'être globale et de considérer un maximum de points de vue, du composant semiconducteur jusqu'au système. Il existe cependant de nombreux verrous à lever :

- la suppression des interconnexions filaires (*wire bonding*) et brasures pour des questions de performances électriques et de robustesse ;
- la conception et la réalisation d'assemblages avec de nombreux composants pour faire des convertisseurs multiphasés : onduleur triphasé, convertisseur entrelacé, etc ;
- un besoin d'étapes technologiques génériques pour adresser un maximum d'applications ;
- un procédé de fabrication compétitif pour rivaliser avec la maturité et la rapidité de la fabrication du packaging standard actuel ;
- un refroidissement efficace du module de puissance sans augmenter les couplages de mode commun parasites ;
- l'intégration au plus proche de la maille de commutation des condensateurs de découplage et de la commande rapprochée (*driver*).

La montée continue de la fréquence de commutation pour réduire l'encombrement des convertisseurs et l'arrivée de composants à grand gap avec des rapidités de commutation importantes amènent à une problématique par rapport au packaging standard (planaire) qui n'est pas aussi performant et limite les possibilités de ces nouveaux composants. Il faut une nouvelle proposition d'intégration, et c'est ce qui a été fait depuis une quinzaine d'années avec l'apparition des structures 3D. Cependant, les procédés de fabrication de ces assemblages ne sont pas aisés et peu adaptés à une production en quantité de manière fiable et compétitive. L'exemple du choix de Toyota prouve cependant que le packaging 3D a franchi un cap et prouve son intérêt dans un contexte industriel⁴.

L'autre aspect primordial, parmi d'autres, qui devient prédominant en électronique de puissance, est la fiabilité des systèmes par rapport au coût. Les convertisseurs de puissance sont omniprésents dans notre société. Comme le montre cette analyse statistique [81] démontrant que le principal point faible des convertisseurs est les composants semiconducteurs et donc le packaging (les condensateurs arrivent en seconde position), il est primordial de travailler sur cet aspect. Surtout que les interconnexions par *wire bonding* ou brasures sont connues pour leur manque de fiabilité, tel que présenté dans la partie 1.2.2. Il faut, pour résoudre cette problématique, imaginer de nouveaux types de brasures ou d'assemblages supportant mieux les déformations mécaniques induites par les variations de températures dans une hétérostructure.

Lors de l'une de ses présentations, le professeur J. Kolar de l'ETH Zurich analyse l'évolution de l'électronique de puissance avec ces grandes avancées et les ruptures technologiques [82]. Celles-ci introduisent à chaque fois un saut en avant technologique avec des meilleures performances. La dernière évolution significative correspond à l'arrivée des composants grand gap. La figure 1.35 décrit

4. Source Point the Power : www.pointthepower.com/toyota-prius-use-double-side-cooled-power-modules, consulté le 29/05/2016

graphiquement ces évolutions, les encadrés verts mettent en avant les points importants de l'évolution de l'électronique de puissance dans le cadre de la thèse :

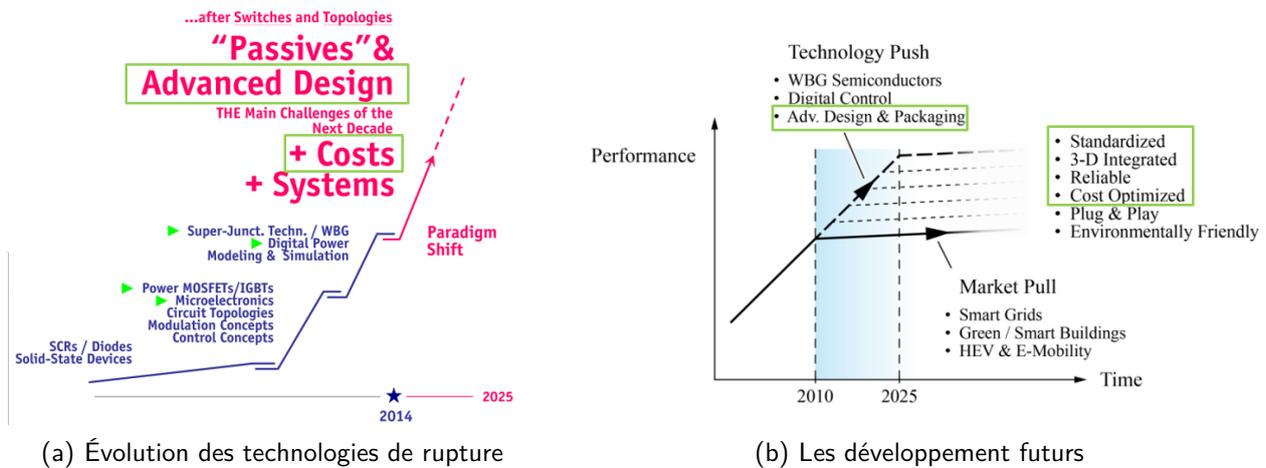


Fig. 1.35 – L'évolution des ruptures technologiques et le besoin d'un changement de paradigme pour le futur de l'électronique de puissance [82]

D'après sa vision, il faudra passer par une évolution technologique sur une conception et un packaging avancés tout en ayant une standardisation de l'approche. C'est dans ce contexte et ces deux grandes problématiques que se positionne ce travail de thèse.

1.4.2 | Notre positionnement

Après avoir évoqué les contraintes de l'électronique de puissance et de son packaging, il apparaît que les nouveaux composants rapides (SJ-MOSFET en silicium, FET en SiC, HEMT en nitrure de gallium, GaN) ont besoin de modules de puissance très performants ; si ce n'est pas le cas leurs performances seront limitées par le packaging. Ces nouveaux composants permettent des temps de commutation très courts (quelques ns ou dizaines de ns), une fréquence de commutation élevée pour des tensions importantes (supérieures à 100 kHz pour des composants 1200 V en SiC par exemple) et aussi des fonctionnements à des températures supérieures à la limite actuelle du silicium de 150 °C.

Si on regarde du côté des industriels des véhicules électriques, ils sont des acteurs du convertisseur, du packaging et même fabricants de composants semiconducteurs à l'exemple du Japon avec Toyota et Mitsubishi ou d'autres entreprises comme Fuji Electric, Denso, Hitachi. Ces compagnies sont capables de fabriquer des composants, de les assembler puis de réaliser le convertisseur tel que décrit dans la figure 1.36. Il existe cependant une zone de concurrence correspondant au packaging des semiconducteurs. Cette zone montre l'effervescence et l'importance de la réalisation des modules de puissance.

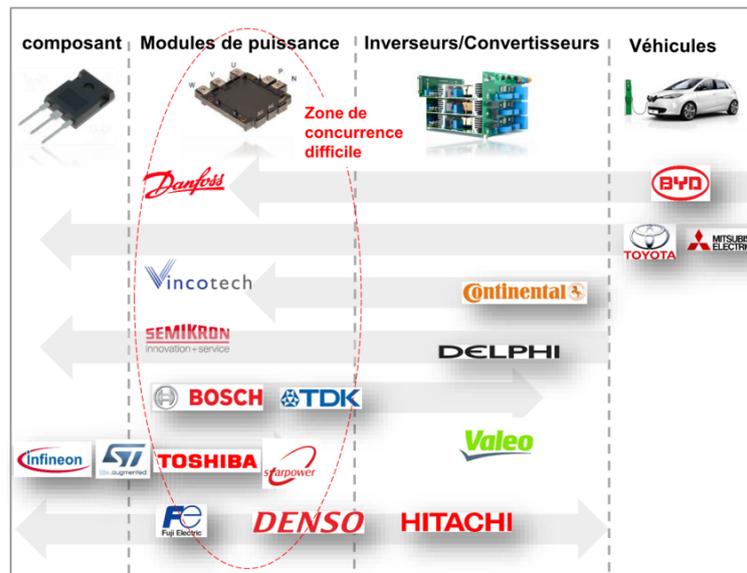


Fig. 1.36 – Positionnement des principaux acteurs industriels dans le marché des véhicules électriques⁵

On peut facilement en conclure que ces industriels ont la main sur la totalité de la chaîne de conception et de fabrication et vont avoir de nombreux degrés de liberté et d’adaptation pour améliorer leur ratio performances/coût. Ces acteurs auront la possibilité d’adapter leurs semiconducteurs aux contraintes du packaging, ce qui est aujourd’hui un point bloquant pour le packaging 3D comme mis en avant dans la partie 1.2.3. C’est un avantage important pour ces industriels. Cependant, les nombreuses contraintes et surtout le fait qu’elles soient à cheval sur de nombreux domaines rendent difficile leur prise en compte. Comment trouver une solution technologique pour les interconnexions des faces avant des puces semiconductrices, pour des assemblages thermomécaniques conducteurs performants pour les faces arrière et avec un refroidissement performant, à l’image de la figure 1.37 ? Les solutions globales sont rares mais vont être nécessaires pour mettre en place la prochaine rupture technologique des modules de puissance.

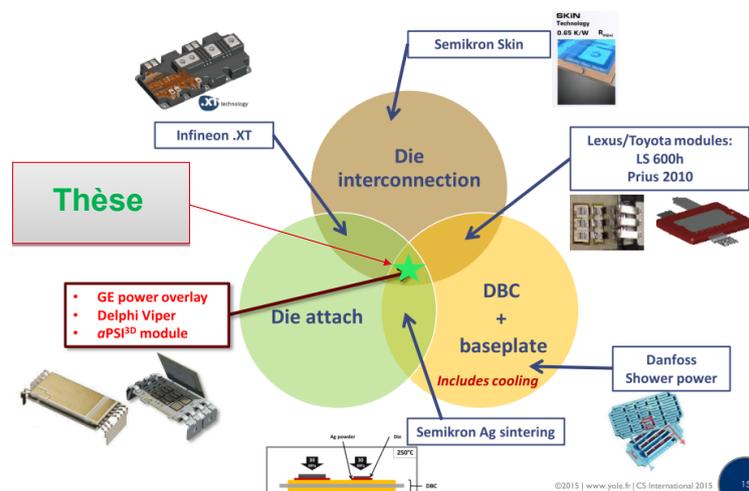


Fig. 1.37 – Positionnement de ce travail sur une analyse du domaine du packaging de puissance (technologies et acteurs d’après Yole [83])

5. Source : étude interne CEA-LETI | Benchmark DRT Octobre 2015

Ce travail se positionne sur une approche globale du semiconducteur au convertisseur d'après la figure 1.38. Il trouve la même logique que l'analyse précédente sur l'objectif d'une démarche globale de conception et fabrication. Elle est un élément de réponse face aux limites actuelles du composant qui n'est pas adapté au packaging 3D : problématique du plot de grille entouré par le plot de source ou qui se trouve au centre de la puce complexifiant le leadframe d'interconnexion, les protections périphériques qui sont optimisées pour une interconnexion par *wire bonding* telles que les anneaux de garde, les poches (*Junction Termination Extension*, JTE), *field-plate* qui peuvent perdre leur efficacité dans le cas du 3D. La topographie des composants est elle aussi critique selon la technologie d'assemblage et plus particulièrement pour un assemblage par collage direct car c'est un assemblage sans ajout de matière. Ces différents points de la conception couplée se situent dans la continuité des travaux de E. Vagnon (G2Elab) [17] et de l'état de l'art des composants de puissance actuels. Ce travail de conception en amont permettra de faire un report passif sur la face avant des composants sans ajout d'éléments comme des poteaux ou *power bump* [40, 79, 84] qui sont classiquement utilisé pour éloigner physiquement l'interconnexion des protections périphériques et compenser les différences topographiques des composants. Le second aspect porte sur un procédé de fabrication des modules de puissance basé sur des étapes collectives à l'échelle de la plaque. Cela se traduit par la mise en place d'une filière d'étapes technologiques, à l'image d'une boîte à outils de procédés génériques qui va pouvoir adresser tous les aspects de la fabrication. Il se base sur les résultats du projet Carnot CEA-LETI/G2Elab et sur les concepts de packaging de la microélectronique présentés précédemment. La fabrication collective introduit de nouveaux éléments pour la fabrication de modules de puissance avec des procédés hautement qualifiés et reproductibles avec tout le savoir-faire du packaging en microélectronique au service de l'électronique de puissance.

En conclusion, le travail s'appuie sur deux postulats que sont la conception couplée entre le packaging et les composants de puissance ainsi qu'une fabrication collective des composants de puissance (Chapitre 2) puis cela se combine par la mise en place d'une filière d'étapes technologiques, à l'image d'une boîte à outils de procédés génériques (Chapitre 3). Enfin le résultat de cette approche est un module de puissance 3D performant et robuste adressant des convertisseurs multiphasés donc en ayant pris en compte les besoins des topologies des convertisseurs d'électronique de puissance. Le gain de cette approche et plus particulièrement de ce module est décrit dans la partie suivante 1.5 synthétisant la contribution de ce travail de thèse.

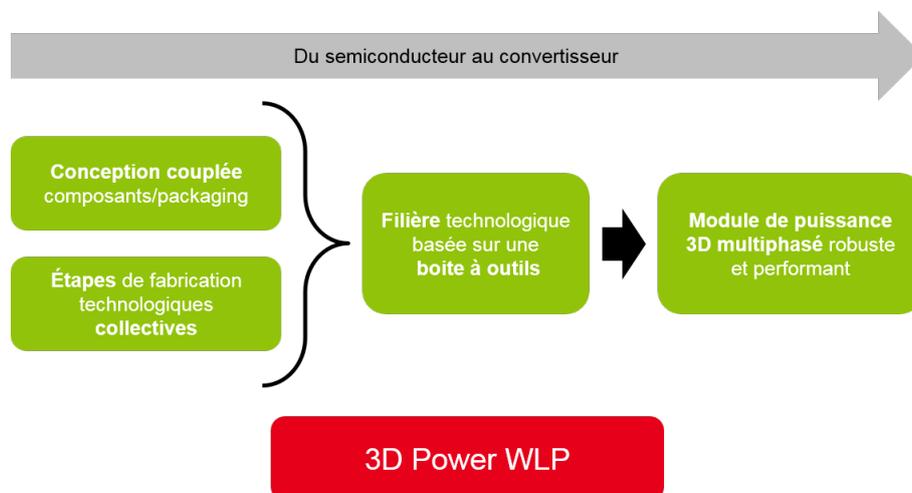


Fig. 1.38 – Positionnement de ce travail de thèse

1.5 | Contributions de ce travail de thèse

1.5.1 | Vers un module 3D entièrement à l'échelle de la plaque

Le travail de thèse s'est focalisé sur la mise en place d'une filière de conception et de fabrication de module 3D de puissance à l'échelle de la plaque basée sur le développement de briques technologiques. Le concept de réalisation d'un module 3D entièrement à l'échelle de la plaque est fait à la suite de la fabrication en salle blanche des composants de puissance, avec tous les avantages des procédés éprouvés et robustes du packaging de microélectronique décrits dans la partie 1.3.3. Ce nouveau concept d'assemblage est décrit à la figure 1.40. Ce concept entraîne une contrainte fondamentale au niveau de l'implémentation du module 3D fabriqué : après la découpe de l'assemblage (figure 1.40f), les électrodes se situent au centre de l'empilement, elles ne sont pas accessibles directement. La seule et unique solution pour interconnecter ces électrodes est de les récupérer par la tranche du métal épais qu'est le leadframe (figure 1.40c). Le module est ensuite reporté perpendiculairement sur un support PCB/DBC pour le connecter au système, à l'image de la figure 1.39. Cette implémentation et son procédé de fabrication sont protégés par un brevet déposé pendant et dans le cadre de cette thèse [85].

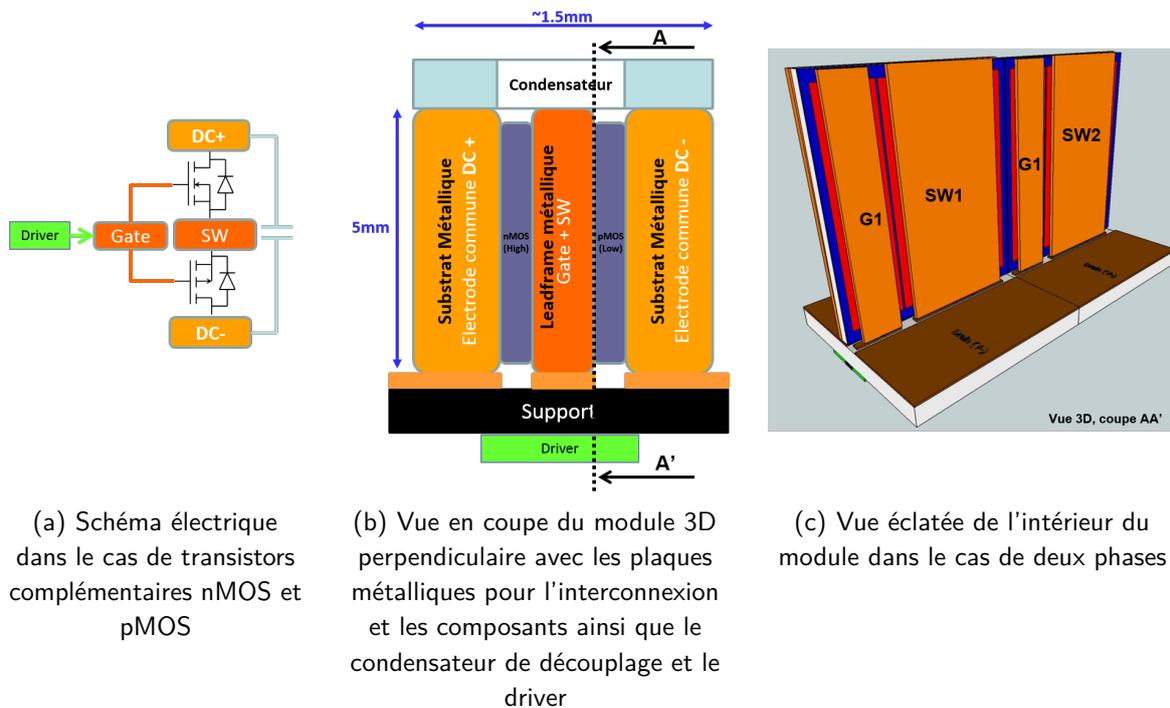
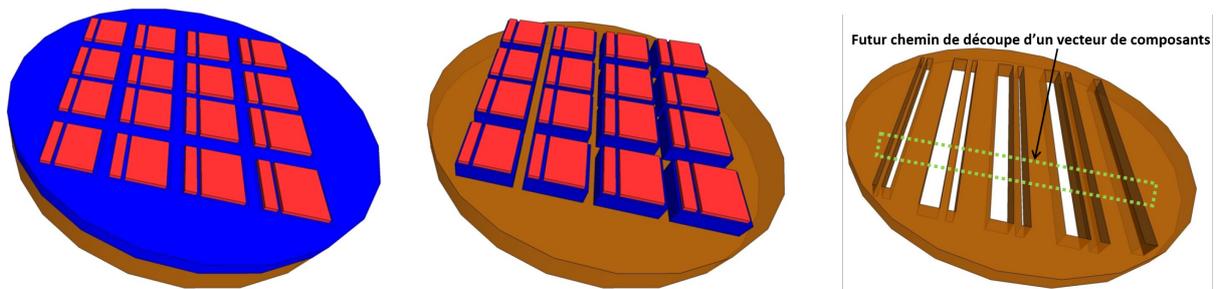


Fig. 1.39 – Exemple d'une mise en œuvre d'un module 3D perpendiculairement au support électronique

Cette nouvelle opportunité de voir la connexion d'un module de puissance 3D par la tranche découle de la fabrication collective à l'échelle de la plaque. Ce concept de packaging 3D n'est possible que par la solution de la conception couplée composant/packaging. Ces composants ont un *layout* et une topographie de la face avant adaptés au packaging 3D. Cet incrément permet de "simplifier" le leadframe d'interconnexion pour récupérer les contacts au centre de l'empilement par la découpe. Surtout il introduit l'opportunité de réaliser un leadframe à l'échelle de la plaque comme présenté à la figure 1.40.

L'assemblage à l'échelle de la plaque repose sur des briques technologiques nouvelles et avec des bénéfices importants : généralisation des assemblages de composants avec leurs interconnexions, procédé

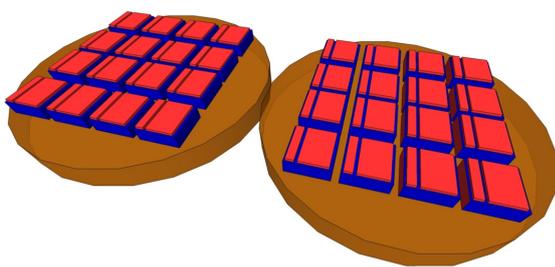
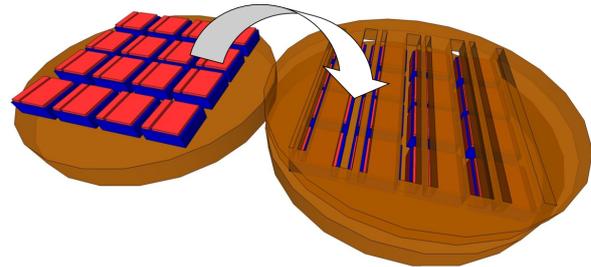
d'assemblage performant qui gère les problématiques thermomécaniques de l'intégration 3D grâce à une structure symétrique Si-Cu-Si, métal épais réalisant les interconnexions. Cette logique de packaging implique des contraintes sur la conception et la fabrication des composants qui seront assemblés (*layout*, protections périphériques, métallisations, etc) et également sur la conception et la réalisation d'un leadframe métallique massif (qui n'est pas un substrat classique en microélectronique), des assemblages de trois éléments en 3D, de la découpe d'hétérostructure avec des matériaux ductiles (cuivre) et fragiles (semiconducteur).



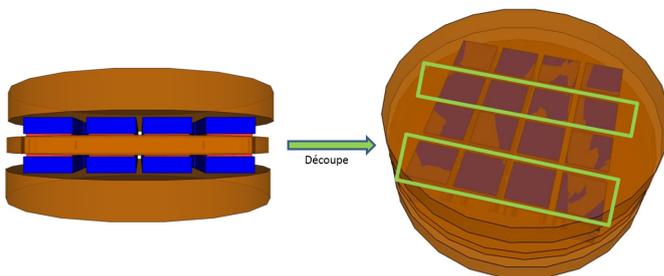
(a) Fabrication des composants

(b) Terminaison en tension MESA et isolation des composants par gravure profonde DRIE du semiconducteur (Acronymes cf Glossaire)

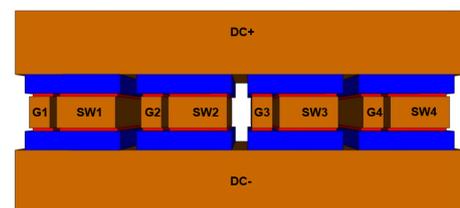
(c) Conception et fabrication d'un leadframe métallique à l'échelle de plaque

(d) Préparation au report de deux plaques de composants avec un *layout* adapté au WLP

(e) Ajout du leadframe et scellement de l'empilement 3D



(f) Découpe de l'assemblage pour révéler des modules 3D polyphasés



(g) Module 3D fabriqué à l'échelle de la place avec interconnexion des électrodes par la tranche

Fig. 1.40 – Concept de fabrication d'un module 3D à l'échelle de la plaque ; en bleu le semiconducteur, en marron le cuivre massif et en rouge les métallisations des composants

Ce concept de fabrication est illustré ici avec des transistors complémentaires verticaux pour simplifier les interconnexions et donc la complexité des illustrations. Cette fabrication à l'échelle de la plaque s'adapte également à l'identique pour un assemblage de transistor/diode ou des transistors du même type mais avec une plus grande complexité pour gérer les électrodes supplémentaires. Ce concept décrit pour des composants verticaux peut également s'adapter à des composants latéraux, les différents modes de réalisation possibles sont décrits exhaustivement dans le brevet déposé [85] et une description de l'adaptation de ce concept aux composants latéraux sera présentée dans le deuxième chapitre.

Dans le cadre de ces travaux de thèse, le concept a été mis en œuvre avec des composants de puissance verticaux en silicium sur substrat de 200 mm de diamètre : transistors nMOS et diodes PiN afin de réaliser une cellule de commutation élémentaire avec l'interrupteur en *High-Side (P-Cell)* tel que défini précédemment à la figure 1.5a. L'empilement transistor/diode permet de réduire la complexité de l'empilement avec deux électrodes de moins que dans le cas de deux transistors du même type (bras de pont classique). Cette "simplification" est nécessaire pour cette première mise en œuvre du concept imaginé.

Nous avons choisi de partir sur la réalisation d'une topologie polyphasée pour mettre en œuvre le concept avec une pluralité de composants et non simplement un seul bras de pont. En effet, le packaging de nombreuses puces dans des empilements 3D est l'un des points bloquants d'après l'état de l'art du packaging 3D d'électronique de puissance. Elle correspond à l'intersection entre une solution topologique intéressante (l'entrelacement) et une solution d'intégration en trois dimensions optimisée pour réduire la signature électromagnétique du module de puissance.

Le masque des composants a été conçu pour un vecteur de quatre composants, formant quatre cellules de commutation (donc quatre phases) intégré en 3D après assemblage du module. Le dessin 3D de la figure 1.41 décrit cet assemblage 3D ainsi que les plaques de composants et le leadframe réalisé pour le packaging à l'échelle de la plaque. L'illustration met en avant l'interconnexion par le leadframe au centre de l'empilement et également l'importance de l'électrode en face arrière des puces : les transistors ont un drain commun et les diodes une anode commune.

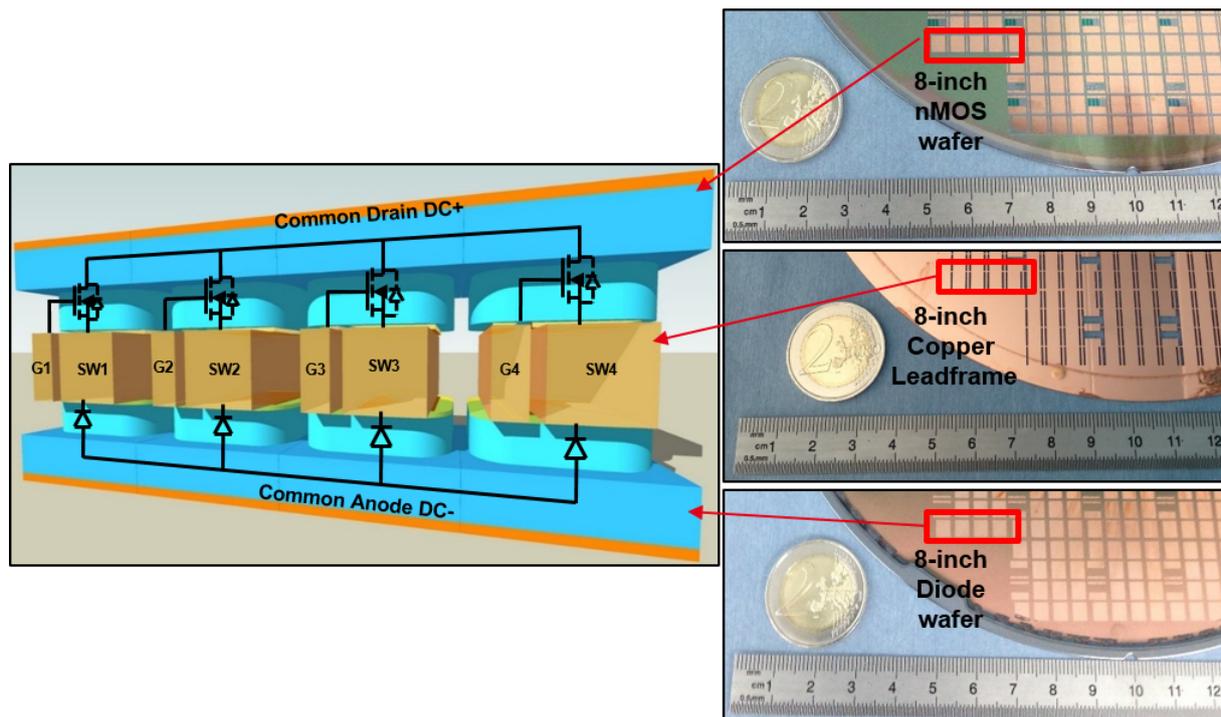


Fig. 1.41 – Dessin en 3D d'un hacheur Buck entrelacé à quatre phases avec un zoom sur les vecteurs extraits des plaques de fabrication des composants et du leadframe d'interconnexion réalisés pendant la thèse

1.5.2 | Fabrication des prototypes à l'échelle de la puce pour mettre en œuvre le concept

Le concept de packaging de modules 3D entièrement à l'échelle de la plaque est basé sur un important développement d'étapes technologiques, ce qui est l'un des objectifs de la thèse. Cependant certaines briques n'étant pas encore suffisamment éprouvées pour réaliser un prototype entièrement à l'échelle de la plaque, nous avons conçu et réalisé un assemblage 3D à l'échelle de la puce. Ce démonstrateur a été réalisé pour mettre en œuvre notre concept dans un dispositif et ainsi valider la faisabilité du concept imaginé. De plus, il pourra démontrer que l'approche est aussi valable et intéressante dans le cas où les puces sont assemblées après la découpe. Cette solution de fabrication est plus proche du standard de fabrication actuel, partie 1.3.1, et des autres solutions de packaging 3D de puissance, partie 1.2.3. Elle ne possède pas les mêmes avantages que la fabrication à l'échelle de la plaque cités précédemment mais représente une autre voie possible et potentiellement intéressante pour un acteur ayant une expertise sur le packaging de puces.

Dans ce cas de la fabrication d'un prototype à l'échelle de la puce, les étapes de fabrication sont :

1. Fabrication des composants à l'échelle de la plaque ;
2. Découpe des plaques semiconductrices en vecteurs de quatre composants ;
3. Réalisation d'un leadframe en cuivre à l'échelle de la puce par électroérosion (épaisseur du cuivre de $500 \mu\text{m}$) ;
4. Alignement et assemblage des trois éléments par brasure ;
5. Encapsulation dans une résine époxy ;
6. Découpe du cadre du leadframe pour libérer les électrodes.

La figure 1.42 montre les composants de puissance fabriqués au CEA-LETI et conçus avec le G2Elab dans le cadre de la thèse ainsi que le leadframe dessiné spécifiquement pour cet assemblage à l'échelle de la puce. Ce sont des composants de type transistor nMOS et diode PiN calibrés pour 600 V et 5 A.

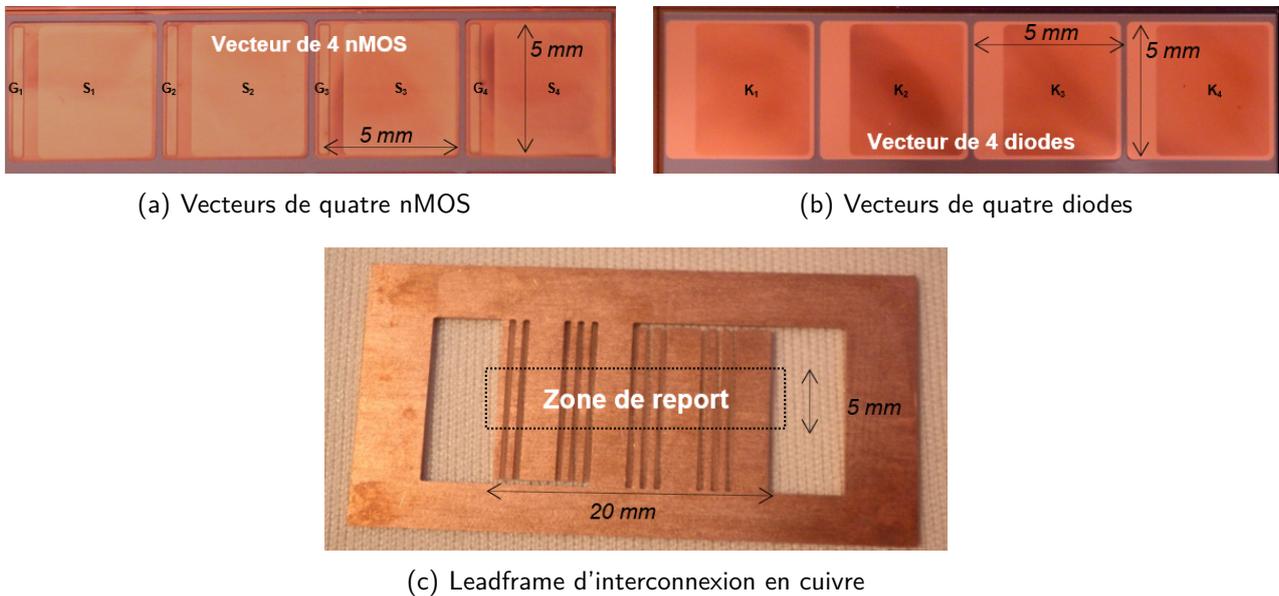


Fig. 1.42 – Vues des vecteurs de transistors, de diodes et du leadframe réalisés pour le prototype à l'échelle de la puce

L'assemblage des trois éléments a été réalisé par brasage. L'objectif de ce prototype étant de valider l'approche et de montrer les gains électriques et fonctionnels, la technologie d'assemblage n'est pas ici fondamentale. L'utilisation du brasage pour l'assemblage réduit également la durée de réalisation du prototype en évitant le développement d'un procédé plus performant, tel que l'assemblage par collage direct discuté dans le chapitre 3.

Le leadframe métallique comporte trois pattes d'interconnexions pour le signal de puissance V_{SW} , la grille du transistor et la connexion Kelvin de la source, ajoutée pour découpler la commande du potentiel de puissance, ce qui permet une meilleure immunité pour la commande du transistor. Après découpe du cadre du leadframe en cuivre, le module 3D est prêt à être utilisé (figure 1.43). On voit bien les deux électrodes les plus fines sur chaque bras qui correspondent aux connexions pour le *driver*.

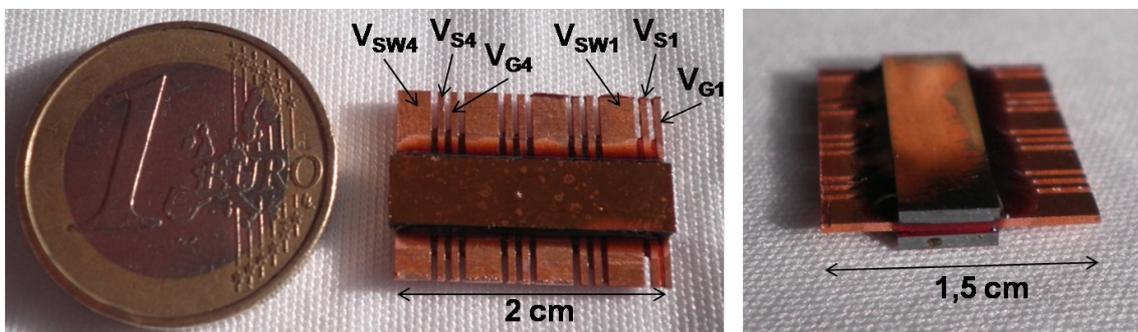


Fig. 1.43 – Photos du prototype de packaging 3D réalisé

Au final, ce prototype est différent du concept illustré plus tôt dans les figures 1.39 et 1.41 sur deux points :

- il possède des pattes d'interconnexions qui dépassent des puces de vecteurs de composants. Dans ce cas d'un assemblage à l'échelle de la puce, cela est possible et simplifie le futur report perpendiculairement au PCB de la carte électronique. Pour un assemblage entièrement à l'échelle de la plaque, la présence de ces pattes est impossible car elle implique une zone avec aucun composant de puissance sur le substrat semiconducteur et donc une perte importante de surfaces. Elle est donc un cas particulier pour la réalisation de ce démonstrateur. On peut remarquer que la mise en œuvre classique des modules de puissance a été remise en question en se rapprochant des boîtiers TO-220 classiques mais pour des cellules de commutation 3D optimisés et sans aucune interconnexion par *wire bonding* ;
- le leadframe à l'échelle de la puce possède une électrode de source Kelvin pour la commande qui n'est pas présente dans le leadframe à l'échelle de la plaque (figure 1.41). Dans le cas de ce prototype, il n'y a pas de contraintes particulières sur la tenue mécanique du leadframe et la rigidité des différentes électrodes —il doit seulement tenir mécaniquement entre le moment de sa réalisation et l'étape d'assemblage par brasure. Dans le cas du leadframe à l'échelle de la plaque, la rigidité mécanique est fondamentale pour pouvoir traiter le leadframe en salle blanche comme pour les étapes de nettoyage, polissage et scellement. Le choix de ne garder qu'une seule électrode de source et donc de ne pas rajouter une fine électrode supplémentaire —sensible— a été fait pour cette première version du leadframe à l'échelle de la plaque. En tout cas, d'après l'étude sur la fabrication du leadframe métallique à l'échelle de la plaque (chapitre 3), l'ajout de cette électrode de source Kelvin ne devrait pas poser de problèmes particuliers et sera possible dans une future version du *layout*.

La vue en coupe détaillée de l'assemblage est visible en figure 1.44. Les électrodes communes sont réalisées par le substrat semiconducteur qui est fortement dopé et métallisé en face arrière pour réduire la résistance à l'état passant. Les protections périphériques sont réalisés par une terminaison en tension de type MESA [11]. Ce type de terminaison permet de maintenir le champ électrique dans le volume de la partie silicium et ne fait pas remonter celui-ci en surface. C'est un aspect fondamental pour l'assemblage 3D et l'utilisation d'un leadframe métallique d'interconnexion. Le MESA est réalisé par l'intermédiaire d'une gravure profonde dans le silicium par DRIE (gravure ionique réactive profonde), ce qui permet également d'isoler chaque composant l'un par rapport à l'autre [86]. La profondeur de gravure est au moins égale à l'épaisseur de semiconducteur nécessaire à la tenue en tension (zone de charge d'espace ZCE ou zone de *drift*), dans notre cas 50 μm pour les composants 600 V silicium.

Les points au milieu de la cellule de commutation (grille, source et potentiel de puissance V_{SW}) sont interconnectés par le leadframe. Il doit relier la source et la cathode de la diode pour créer le potentiel de puissance et récupérer la grille du transistor. Cependant le report en 3D du leadframe avec ses électrodes sur la face avant de la diode implique une particularité au niveau de celle-ci. L'électrode de grille se retrouvant sur sa face avant, une couche d'oxyde a été ajoutée pour éviter le court-circuit entre la cathode et la grille et donc isoler le leadframe et la diode.

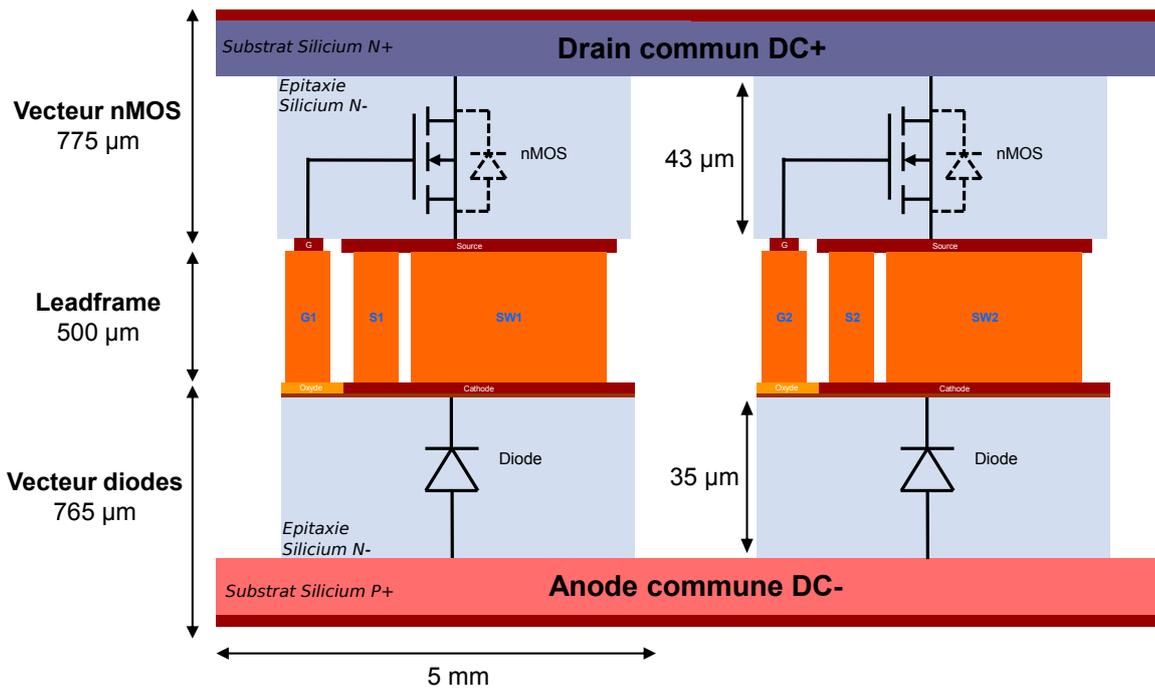


Fig. 1.44 – Vue en coupe schématique du package 3D avec deux phases (pour simplifier l'illustration), le dessin n'est pas à l'échelle pour faire ressortir les métallisations et la terminaison en tension par gravure profonde

Après alignement et assemblage, le package 3D a été encapsulé dans une résine époxy pour protéger les composants et améliorer le maintien mécanique pour son utilisation ultérieure (figure 1.45).

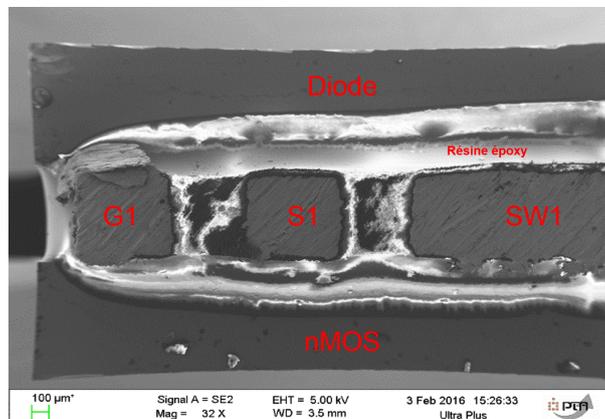


Fig. 1.45 – Vue MEB en coupe du package 3D après l'assemblage et l'encapsulation dans une résine époxy (zones grises)

1.5.3 | Tests du prototype

À la suite de la conception et la fabrication d'un package 3D de quatre cellules de commutation, un circuit imprimé a été conçu pour mettre en œuvre ce module dans un convertisseur Buck, tel que présenté à la figure 1.2. Une empreinte spécifique pour le nouveau composant est nécessaire. Ce package est disposé perpendiculairement à la carte électronique pour réaliser l'interconnexion (figure 1.46). Cette position perpendiculaire au PCB permet de découpler les flux de chaleurs des flux électriques : le refroidissement se fait par les deux faces arrières du module et les flux électriques sont perpendiculaires à la carte et réalisent l'interconnexion du module avec le *driver* de commande et le filtre de sortie du

hacheur tel que présenté à la figure 1.39. Les électrodes communes du module 3D sont connectées à une pièce de cuivre pour réaliser un concept de busbarre [28] par une brasure classique, ensuite celles-ci sont brasées sur le PCB. Elles réalisent l'interconnexion électrique et ramènent les potentiels DC+ et DC- sur le prototype. Les condensateurs de découplage de la maille de commutation peuvent être placés par-dessus et ainsi réduire au minimum la circulation des courants hautes fréquences nécessaires à la commutation de l'interrupteur. Les dimensions millimétriques sont compatibles avec des composants montés en surface (CMS). Cette disposition permet par ailleurs de découpler les courants HF de puissance de ceux de la partie commande.

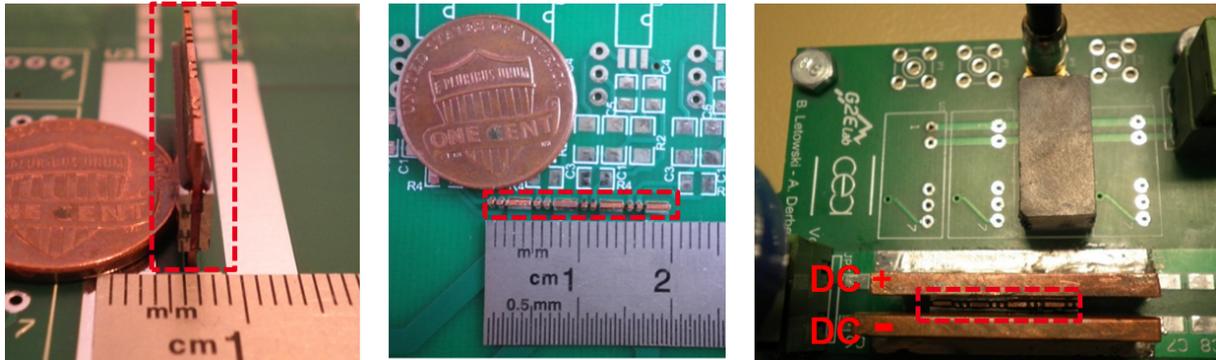


Fig. 1.46 – Photos du module 3D enfiché perpendiculairement dans le PCB

Le point de fonctionnement pour le test du package 3D a été choisi de façon à limiter la tension au blocage des composants. En effet, le remplissage par un diélectrique de la cavité du MESA n'est pas une étape triviale de par ses dimensions ($50 \mu\text{m}$ de profondeur et $200\text{-}500 \mu\text{m}$ de largeur) et n'a pu être réalisé sur la plaque. En l'absence de cette passivation des tranchées profondes à l'échelle de la plaque, la découpe des puces a généré beaucoup de particules qui se sont redéposées sur les flancs de silicium (zones avec du champ électrique), ce qui a diminué fortement la tenue en tension des composants : le courant de fuite en inverse était de l'ordre de quelques milliampères sous 100 V (mesures non détaillées ici) au lieu de quelques microampères sous 600 V lors des mesures à l'échelle de la plaque après fabrication. Le procédé de fabrication et les mesures sur les composants à l'échelle de la plaque sont détaillés dans le chapitre 2. Dans ces conditions, la tension de bus a donc été limitée à 100 V . Pour cette même raison, il a été difficile d'avoir les quatre composants fonctionnels et donc un vecteur totalement fonctionnel. Le test s'est donc fait sur un seul bras et non sur le hacheur entrelacé. Une première validation du concept pouvait être faite sur un bras seul ; elle sera suffisante pour visualiser les gains sur la commutation sans réaliser une fonction plus complexe tel que l'entrelacement du convertisseur. En résumé, les conditions de test du prototype sont :

- la fréquence de commutation du hacheur a été choisie la plus basse possible pour minimiser les pertes par commutation et avec un rapport cyclique faible pour limiter les pertes par conduction. En l'occurrence, un $\alpha = 0,25$ et une ondulation de courant proche 1 A pour rester en limite de conduction continue du hacheur Buck tout en ayant un courant faible lors de la commutation de la diode. D'après [2] et l'inductance de test disponible de $4,8 \text{ mH}$, la fréquence de commutation doit être de $3,75 \text{ kHz}$. Le choix de cette très faible fréquence de commutation est uniquement là pour les besoins de caractérisation et elle ne signifie pas que le module a des performances limitées. Cette faible fréquence est aussi importante par rapport aux caractérisations des diodes PiN (figure 2.30). Celles-ci n'ayant pas eu de contrôle de durée de vie des porteurs lors de la fabrication, la durée et le courant de recouvrement sont importants et pas adaptés à une fréquence de commutation et un courant élevés. Ce n'est en aucun cas un point bloquant du concept mais

un aspect qui n'a pas été traité dans le cadre de la thèse. Le contrôle de la durée de vie est classique dans un procédé de fabrication industriel et il pourrait être mis en œuvre dans une version optimisée de la fabrication de ces composants spécifiques ;

- un train d'impulsion d'ordres de commande du convertisseur a été utilisé pour limiter l'échauffement —dans la même logique qu'une caractérisation double impulsion d'un composant de puissance. Cette commande est générée par un GBF par déclenchement manuel. Pour atteindre le régime permanent du convertisseur, 20 impulsions sont nécessaires et les différents oscillogrammes présentés correspondent à une synchronisation sur le 18^{ème} front ;
- le découplage capacitif de la carte est fait par un condensateur électrolytique de 22 $\mu F/400 V$ à l'entrée du PCB pour confirmer la source de tension du hacheur ;
- le *driver* utilisé est un optocoupleur intégré avec le *driver* de puissance ACPL-P341 de la société AVAGO, avec une alimentation isolée pour la commande en *high-side* du transistor générant des tensions de +15 V (état passant) et -5 V (état bloqué). La résistance de grille a été fixée à 0 Ω pour avoir une commutation la plus rapide possible et mettre à l'épreuve le packaging.

Tests sur le module 3D

Les résultats des tests électriques pour les conditions citées précédemment sont illustrés dans la figure 1.47.



(a) Oscillogramme du hacheur Buck avec le package 3D réalisé

(b) Zoom sur l'ouverture du transistor

Fig. 1.47 – Tests du package 3D réalisé pour une commutation de 100 V et sous 1 A moyen

Ces tests électriques démontrent la fonctionnalité des composants fabriqués en conditions dynamiques ainsi que le fonctionnement de la solution de packaging 3D. L'isolation entre l'électrode de grille du leadframe et la cathode est fonctionnelle. L'interaction entre la carte et le module 3D interconnecté par la tranche est validée : le module 3D enfiché dans le PCB tel un boîtier standard TO-220 est possible. Au niveau des commutations, la surtension résultante est autour de 6 V pour un temps de montée de la tension de 44 ns. Ces performances sont correctes mais la dynamique de commutation n'est pas suffisante pour conclure sur la qualité et le gain de cette intégration 3D. En tout cas, on peut retenir que les composants fabriqués et le packaging 3D réalisé sont fonctionnels dans un hacheur abaisseur. À la suite de cette mesure, un autre cas a été testé avec un courant de 5,5 A (figure 1.48).

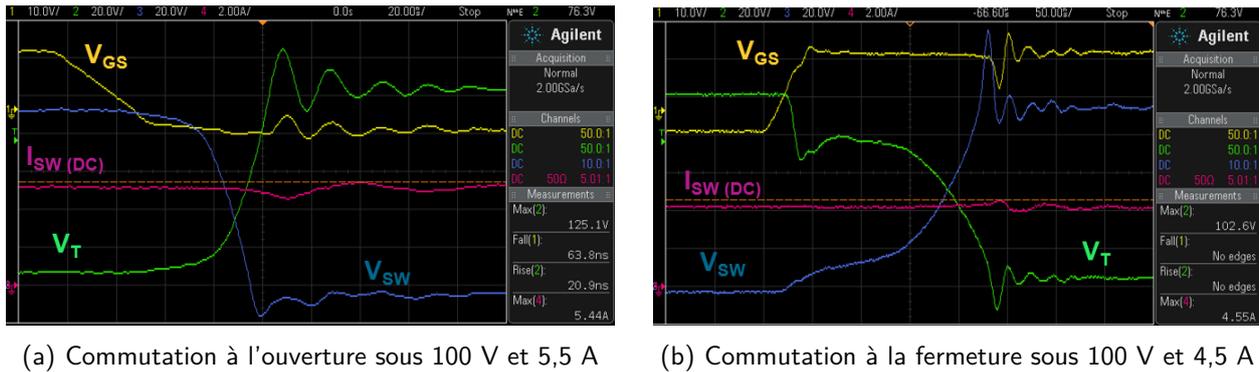


Fig. 1.48 – Oscillogrammes pour l'ouverture et la fermeture du transistor sous 100 V et 5 A moyen

En augmentant le courant de sortie, la variation de courant augmente et le temps de montée de la tension diminue donc les $\frac{dV}{dt}$ et $\frac{dI}{dt}$ augmentent. L'impact sur la surtension est logiquement plus important (25 V pour 5,5 A) et on voit apparaître une oscillation amortie. La fréquence de cette surtension à l'ouverture du transistor résulte, au premier ordre, de la résonance entre l'inductance de maille L_{comm} et la capacité parasite de sortie du transistor C_{OSS} . En l'occurrence, la fréquence de résonance F_{res} du système LC peut se retrouver par l'intermédiaire de la fréquence des oscillations de tension V_{DS} [24, 87]. Dans notre cas $F_{res} = 50$ MHz et $C_{OSS} = 100$ pF (d'après les caractérisations, des capacités dynamiques des transistors visibles dans le second chapitre), l'inductance de L_{comm} vaut alors 100 nH. Cette valeur importante correspond à l'inductance parasite entre le module et condensateur de la carte et non à celle du module en l'absence de condensateur de découplage céramique placé au plus près du module 3D. L'impact de cette valeur importante est bien visible sur la chute de tension lors de la fermeture du transistor dans la figure 1.48b.

Suite à cette première validation de fonctionnement, il sera nécessaire de poursuivre les tests avec de nouveaux prototypes en cherchant à augmenter la tension du bus continu ainsi que le courant commuté. De plus, l'ajout de condensateurs céramiques sur le dessus du module 3D tel que présenté sur le schéma de la figure 1.39 pourra mettre en avant tous les bénéfices attendus de ce concept de packaging 3D reporté perpendiculaire au support.

Réalisation d'un module 2D de référence

Un second PCB a été conçu pour réaliser un module planaire (2D) de référence avec *wire bonding* exploitant des composants de puissance issus de la même plaque. Dans ce cas, les puces ont été découpées unitairement. Le module après assemblage est visible en figure 1.49.

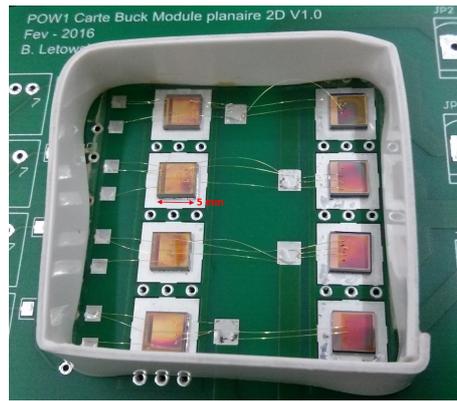


Fig. 1.49 – Module planaire réalisé avec les composants fabriqués et découpés unitairement

Cependant, la fabrication de ce module de référence n'a pas été aisée à cause de la métallisation en cuivre de nos composants. Les métallisations en face avant se sont fortement oxydées à la suite du recuit pour le brasage des composants sur le support. Ainsi l'accroche des *wire bonding* avec un procédé et des fils standards (Au, 35 μm de diamètre) a été difficile et la tenue mécanique très faible. Dans ces conditions, aucun gel de passivation n'a pu être ajouté à cause du fort risque d'arrachement des interconnexions lors de la prise de ce gel.

Les problèmes de fabrication se sont confirmés lors des tests du module. L'absence de passivation au niveau du module a encore plus limité la tension d'alimentation et a augmenté les claquages des composants en fonctionnement : la tension maximale des tests s'est limitée à 60 V. Également plusieurs arrachements de *wire bondings* ont été constatés, bloquant la suite des mesures malgré les quatre phases réalisées sur le PCB. La comparaison entre l'implémentation standard 2D et le packaging 3D développé n'a pu être menée à bien. Une seconde version d'un module 2D avec un procédé de fabrication optimisé par rapport aux composants est nécessaire et permettra de finaliser l'étude.

En analyse de cet essai infructueux, on peut conclure que les nouveaux composants optimisés pour le packaging 3D et l'assemblage par adhésion moléculaire cuivre-cuivre ne sont plus directement compatibles avec un procédé standard de packaging avec *wire bonding*. Ce point de vue paraît cohérent avec les importants développements des industriels pour l'utilisation de métallisation et *wire bonding* en cuivre à la place de l'aluminium standard, à l'image des nombreuses publications d'Infineon sur cette thématique depuis 10 ans [66, 67, 88–92].

1.5.4 | Bénéfices sur le système

Ces tests électriques valident l'approche de conception couplée composant/packaging. La réduction de la surtension à la commutation simplifiera les contraintes de déclassement classiquement appliquées pour le choix des semiconducteurs et surtout diminuera les pertes par commutation avec une durée de commutation très courte donc une augmentation du rendement des convertisseurs. De plus, la signature électromagnétique du module pourra être maîtrisée sans concession sur le comportement thermique de chaque puce. Ainsi, le système complet imaginé dans la démarche de conception globale est représenté en figure 1.50. Les principaux gains de cette intégration sont :

- une réduction de l'inductance de maille ;
- un confinement du point milieu, source de perturbations conduites de mode commun, et confinement de la maille de commutation pour la réduction du rayonnement électromagnétique de celle-ci ;

- un refroidissement double face du module (comportant deux puces empilées) ;
- un positionnement au plus près de la cellule de commutation du condensateur de découplage et du *driver* ;
- un découplage total des flux électriques (circulation verticale) et thermiques (circulation horizontale), par exemple, le circuit de commande rapproché ne sera pas soumis à une hausse de la température en fonctionnement même s'il est placé au plus près des composants à commander ;
- une grande densité d'intégration avec un assemblage 3D au plus près du semiconducteur.

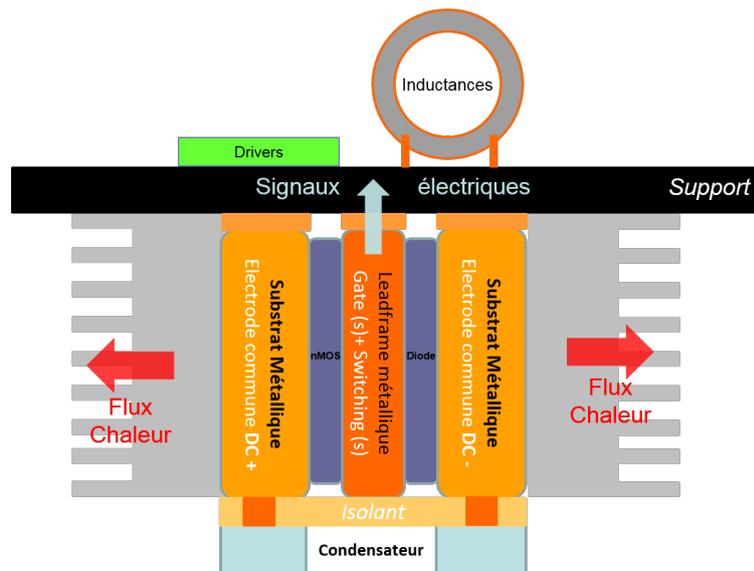


Fig. 1.50 – Vue en coupe schématique de l'intégration du module 3D dans le système

Ces gains qualitatifs sont à relier avec les gains quantitatifs de cette structure 3D imaginée et étudiée dans la thèse E. Vagnon (G2Elab) [17] comme il a été dit précédemment. Cette approche fait naître une problématique système importante puisque, à la lumière du schéma d'intégration final, on voit bien que de nombreux éléments sont à revoir —à ré-imaginer— autour de ce nouveau module de puissance comme le refroidissement, le découplage, le report perpendiculairement au support, les interactions commande/composants, etc...

1.6 | Conclusion

Ce premier chapitre a permis de décrire le contexte de l'électronique de puissance, les enjeux importants sur les performances et sur l'intégration puis de lister les contraintes du packaging de composants de puissance. Le packaging planaire (2D), qui est le standard aujourd'hui, montre des limites aussi bien sur ces performances que sur sa fiabilité. Par ce constat, de nombreuses recherches sont menées sur des intégrations plus optimisées et mieux intégrées. Parmi celles-ci, les modules 3D apportent des gains notoires mais la réalisation de ce type de structure n'est pas aisée. Des procédés de fabrication performants et à l'état de l'art du packaging en microélectronique sont une voie pour répondre à ces problématiques. Les nouvelles technologies d'interconnexion ainsi que les procédés de fabrication collective inspirés de la microélectronique peuvent être une solution pour apporter un autre mode de pensée pour la fabrication des modules de puissance. L'adaptation de ces technologies au packaging de composants de puissance possède un très fort potentiel.

L'approche défendue ici a permis de résoudre la problématique de packaging 3D de convertisseurs entrelacés très utilisés en conversion de l'énergie électrique. La conception couplée apporte un levier supplémentaire pour adapter les composants de puissance à un packaging performant et ainsi avoir un gain aussi bien sur le module que le système final. La démonstration de fonctionnement par le test d'un prototype valide ainsi les hypothèses et la démarche mise en place. Une implémentation du module 3D perpendiculairement au support électronique a été introduite. Cette implémentation innovante découle de la fabrication du module de puissance entièrement à l'échelle de la plaque. Elle représente —de notre point de vue— l'approche optimale aussi bien sur la fabrication que sur la mise en œuvre. Néanmoins, elle est aussi possible avec un assemblage à l'échelle de la puce d'après le démonstrateur réalisé.

À la suite de l'état de l'art présenté dans la première partie du chapitre, le positionnement, les réalisations et les contributions de ce travail de thèse ont été décrits pour mettre en avant les points différenciant vis à vis de l'état de l'art. Les solutions aussi bien sur la conception que sur la fabrication du prototype sont exposées dans les deux chapitres suivants. Le détail de la conception couplée et la fabrication des composants de puissance spécifiques sont détaillées dans le deuxième chapitre. Quant au troisième chapitre, il décrit les développements des briques technologiques spécifiques pour le packaging d'électronique de puissance à l'échelle de la plaque. La fabrication d'un module 3D avec des transistors, des diodes et un leadframe d'interconnexion est pris comme exemple de base dans le manuscrit mais la portée de ces études ne se limite pas à cette seule configuration. En effet, ces développements ont pour objectif d'être rassemblés dans une filière de fabrication et de packaging collectif pour l'électronique de puissance.

2 | La conception couplée et la fabrication collective pour le packaging en électronique de puissance

Sommaire

2.1	Introduction au packaging 3D de modules de puissance à partir d'étapes collectives	54
2.1.1	Intégration des étapes d'assemblage en cours de procédé de fabrication	54
2.1.2	Le procédé de fabrication d'un module 3D avec des étapes collectives d'assemblage	55
2.1.3	L'application à une cellule élémentaire transistor et diode en 3D	57
2.2	La conception au niveau du <i>layout</i>	58
2.2.1	Le <i>layout</i> du composant	58
2.2.2	La répartition des composants sur une plaque	66
2.3	La fabrication de composants de puissance compatibles avec le packaging 3D	69
2.3.1	Le procédé de fabrication des composants	69
2.3.2	Les étapes technologiques spécifiques pour la fabrication des composants	75
2.3.3	Les performances électriques des composants	81
2.4	Gains de l'approche de conception et des étapes collectives	86
2.4.1	Les gains de l'approche	86
2.4.2	Ouverture sur le concept de la <i>Wafer Level Power Packaging Toolbox</i>	87
2.4.3	La transposition aux composants latéraux	91
2.5	Conclusion	95

2.1 | Introduction au packaging 3D de modules de puissance à partir d'étapes collectives

2.1.1 | Intégration des étapes d'assemblage en cours de procédé de fabrication

Le premier chapitre sur l'évolution de l'électronique de puissance et du packaging a permis de visualiser le standard actuel. L'inspiration des procédés de fabrication de la microélectronique amène à une réflexion globale sur la conception et la fabrication des composants et de leurs modules. Il faut adapter les métallisations des composants, leurs répartitions et leurs positions sur la plaque pour travailler avec des étapes collectives d'assemblage. Si on applique cela à des composants de puissance (transistors et diodes par exemple), cette combinaison entraîne une modification de leurs procédés de fabrication. Comme présenté dans le premier chapitre, les modules standards de puissance suivent un procédé linéaire. Si on intègre les étapes d'assemblage et de packaging dans un seul et même procédé de fabrication des composants et du module, on peut prendre en compte les contraintes des dernières étapes. Ainsi on peut adapter et préparer au mieux les étapes de *Back-End* (BE). Contrairement au packaging standard, où les puces sont découpées à la fin de la fabrication puis assemblées par la suite, nous proposons de travailler avec uniquement des procédés collectifs en assemblant des plaques de composants en 3D. C'est seulement après cette étape d'assemblage des différents éléments que l'empilement est découpé pour mettre en œuvre les puces 3D résultantes dans un circuit électronique. Le procédé est décrit dans la figure 2.1.

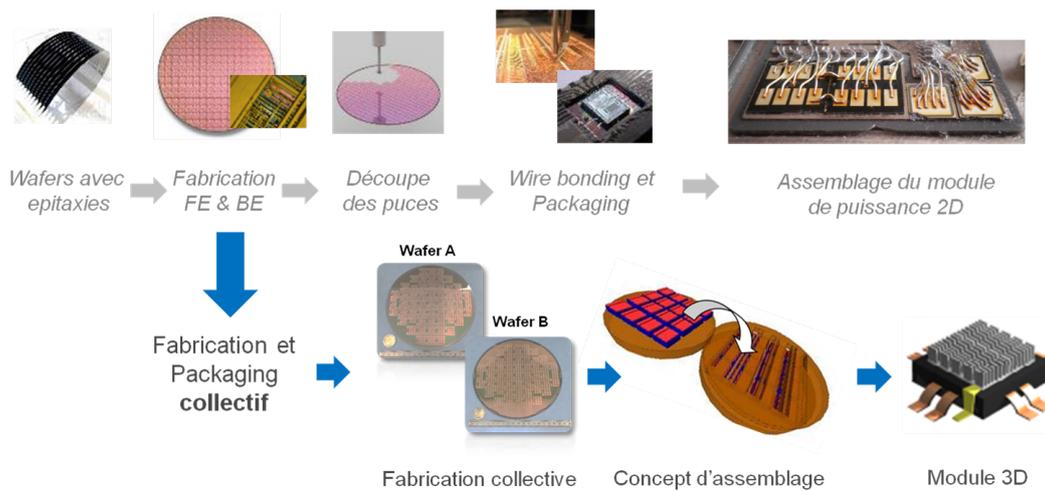


Fig. 2.1 – Notre proposition de concept de fabrication d'un module de puissance 3D par rapport au standard

Cette approche, qui se distingue par rapport à l'état de l'art, a pour objectif de bénéficier des étapes de fabrication et d'assemblage utilisées en microélectronique pour la qualité, la reproductibilité et les performances des assemblages. Elle exploite une démarche et un processus de production structurante, basée sur l'enchaînement d'étapes collectives existantes ou à développer. Ces procédés de fabrication sont performants et robustes pour différentes raisons :

- assemblage de tous les composants présents sur une plaque en une seule étape ;
- contrôle de la contamination particulaire et organique (qui peuvent empêcher le contact entre les deux surfaces lors de l'assemblage) ;
- maîtrise des états de surfaces, flèche, planéité, rugosité des différentes plaques à assembler ;

- alignement performant des composants ; en effet les motifs et les procédures standards d'alignement de microfabrication peuvent être utilisés.

Pour bénéficier de ces dividendes, un énorme travail de mise au point et qualification de procédés est nécessaire. Cela se situe à deux niveaux : celui de l'étape technologique à proprement parler et celui de l'intégration des étapes, au niveau de la filière technologique. Cependant, cette approche de packaging à l'échelle de la plaque implique des contraintes et des verrous technologiques ainsi que des contraintes de conception à lever pour sa mise en œuvre :

- une fabrication de composants de puissance avec un *layout* spécifique par rapport au packaging 3D ;
- une solution technologique pour la terminaison en tension adaptée au 3D et garantissant l'isolation entre les composants monolithiques ;
- un procédé d'assemblage performant pour répondre aux exigences des cahiers des charges des applications actuelles ;
- une technologie d'assemblage technologiquement accessible et reproductible, fonctionnellement performante, et offrant un niveau de fiabilité dans le temps du joint électro-thermo-mécanique.

Dans ce second chapitre, le procédé de fabrication complet sera décrit en premier pour mettre en avant le point de départ et d'arrivée de notre approche, avec une identification des étapes technologiques clés. Ce procédé est basé sur des étapes d'assemblage à l'échelle de la plaque ou plutôt dans notre cas des plaques d'un packaging 3D, réalisant des cellules ou vecteurs ou encore matrices de cellules de commutation. La conception couplée composant/packageging sera ensuite détaillée dans la partie 2.2 comme un préalable ou un prérequis pour une réalisation efficace et performante de modules 3D complexes. La fabrication des composants de puissance est présentée en partie 2.3 comme suite logique de la conception des masques. Pour finir, les avantages de cette méthode de conception et les opportunités qu'elle introduit seront présentées dans la dernière partie 2.4 de ce chapitre.

2.1.2 | Le procédé de fabrication d'un module 3D avec des étapes collectives d'assemblage

Dans un cas théorique idéal de fabrication d'un module 3D avec des étapes collectives, le procédé de fabrication est illustré dans la figure 2.2. Les étapes sont les suivantes (décrites dans le brevet déposé [85]) :

1. Fabrication et préparation des composants de puissance spécifiques (terminaisons en tension et finition de surface des aires de contact métallique pour les électrodes de puissance et de commande) ;
2. Fabrication et préparation d'une plaque de cuivre massif (futur leadframe métallique) ;
3. Assemblage des trois éléments en une seule étape pour limiter les déformations entre le semiconducteur et le métal grâce à une structure symétrique ;
4. Passivation à l'échelle de la plaque : remplissage des cavités dans le semiconducteur et des vides du leadframe ;
5. Amincissement des faces arrière des plaques de semiconducteurs pour ne garder que la zone active du composant ;
6. Métallisations des FAR et assemblage avec des plaques métalliques massives ;

7. Découpe de l'hétérostructure pour révéler les électrodes d'interconnexion situées au milieu de l'empilement 3D ;
8. Préparation des électrodes ou contacts électriques des modules de puissance.

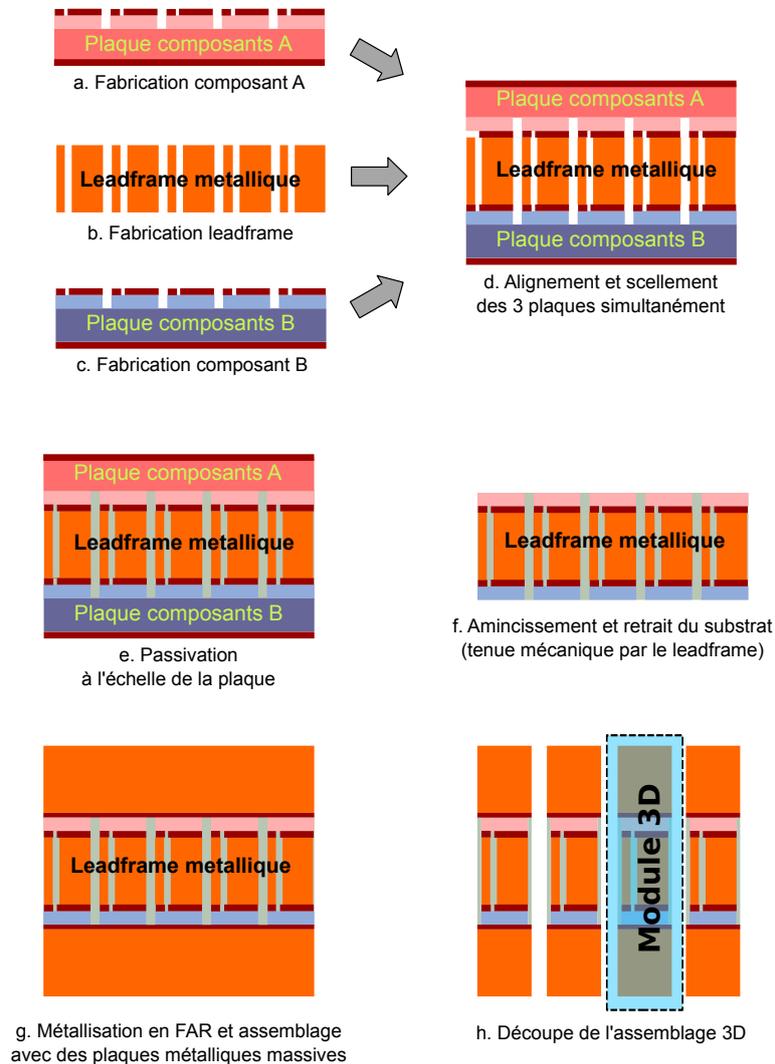


Fig. 2.2 – Schéma du procédé de fabrication théorique d'un module 3D à l'échelle de la plaque avec deux plaques de composants différentes

Dans ce procédé de fabrication idéal, la brique d'amincissement du substrat mécanique semiconducteur est optionnelle. Un assemblage 3D sans cette étape est d'ailleurs une solution plus simple à mettre en œuvre. Dans la figure 1.40 présentée dans le premier chapitre, les composants étaient initialement reportés sur une embase métallique, puis ensuite, les deux éléments étaient assemblés avec le leadframe au centre. Ce mode de réalisation est équivalent à celui présenté ici mais il y a un passage par une hétérostructure non symétrique qui est sensible. Ce cas reste néanmoins possible selon les besoins. Il est préférable de choisir une logique avec une hétérostructure toujours symétrique pour limiter les déformations lors des hausses de température durant la phase de fabrication : étapes de scellement, dépôts de métaux ou diélectrique, recuit de métallisation, etc. Elle est un aspect garant de la réduction de la flèche des assemblages et donc de leurs réussites. La symétrie limite les contraintes résiduelles pour que l'assemblage hétérogène soit résistant dans le temps. C'est pour cette raison que l'assemblage des trois éléments de nature différentes est fait en même temps dans un seul procédé de scellement, il sera décrit dans la partie 3.3 du troisième chapitre.

2.1.3 | L'application à une cellule élémentaire transistor et diode en 3D

Le concept général présenté a été étudié dans un cas plus concret lors de la thèse : la réalisation d'une cellule de commutation élémentaire 3D. Notre approche était motivée par les dividendes d'un packaging 3D de type PCoC [28] adapté pour un hacheur entrelacé. Elle bénéficie de l'architecture convertisseur avec une électrode commune pour réaliser les composants *High-Side* d'une part et les composants *Low-Side* d'autre part. Pour le cas d'une structure entrelacée, tous les transistors ont le drain connecté au potentiel positif ($DC+$) et toutes les diodes ont leur anode connectée à la référence de potentiel du convertisseur, ici ($DC-$), dans le cas où le transistor est en *High-Side*. Ces potentiels communs sont utilisés ici pour simplifier les assemblages et interconnexions, en l'occurrence tous les transistors à drain commun sont reliés par le substrat semiconducteur. Les électrodes restantes, en face avant (FAV) sont interconnectées par l'assemblage 3D. La source du transistor est directement reliée à la cathode de la diode. L'électrode de grille est isolée dans l'assemblage pour la connexion avec le driver. Cette étude a été menée sur des plaques de 200 mm. Le procédé de fabrication est illustré dans la figure 2.3.

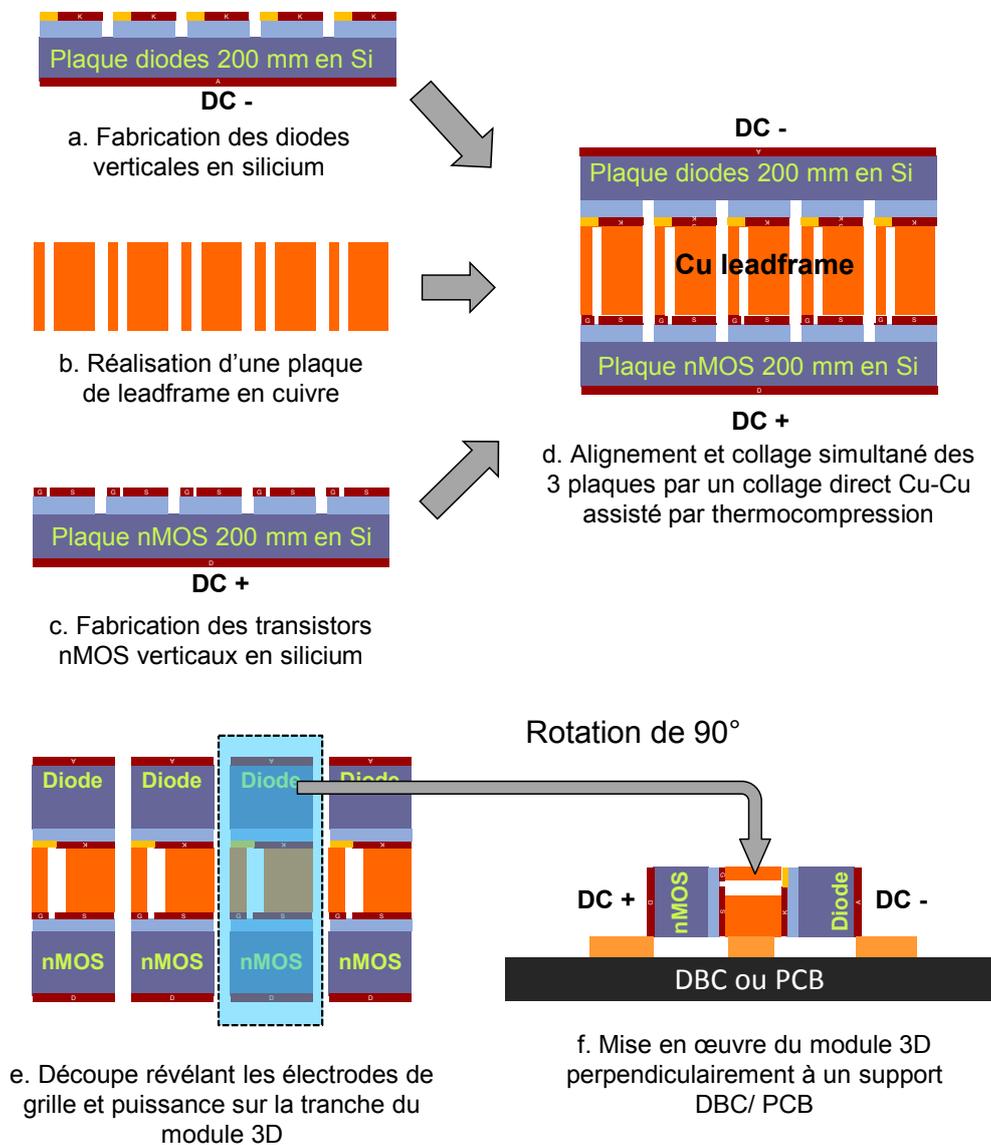


Fig. 2.3 – Schémas du procédé de fabrication d'un package 3D à base de diodes et de transistors fabriqués sur plaques 200 mm

En conclusion, le procédé de fabrication présenté a des conséquences sur la mise en œuvre de ce nouveau type de module dans le système. Par exemple, l'interconnexion entre les électrodes au centre de l'empilement est fait par la tranche du leadframe métallique ; ainsi, cette aire révélée par la découpe correspondra à l'empreinte du module sur le support. L'épaisseur du leadframe est donc directement reliée aux dimensions du PCB/DBC. C'est ainsi qu'une multitude de paramètres doivent être pris en compte et c'est l'objectif de la conception couplée entre le composant et le packaging. Elle permet de répondre à cette problématique allant du semiconducteur au système, elle est présentée dans la partie suivante 2.2.

2.2 | La conception au niveau du *layout*

2.2.1 | Le *layout* du composant

Habituellement le dessin et l'optimisation sont faits de manière indépendante et pour un type de mise en œuvre en particulier. Les composants ou puces sont ensuite interconnectés par un PCB ou DBC. Dans notre approche, la conception du *layout* des composants a été faite dans un contexte de conception couplée. Le tout est conçu en même temps et avec deux jeux de contrainte, à l'échelle de chaque composant et à l'échelle du module de puissance. Cette fois, le cahier des charges est de concevoir des composants et des éléments d'interconnexion compatibles avec un assemblage 3D à l'échelle de la plaque. Ainsi, le transistor, la diode et le leadframe d'interconnexion sont dessinés dans le même jeu de masque sous l'environnement Cadence. Il offre par exemple la possibilité de faire des vérifications entre niveaux de masques de composants différents et pouvoir ainsi garantir, d'un point de vue *layout*, la compatibilité des zones métalliques de report et d'interconnexion. On notera que cette approche fut mise en œuvre par simplicité et dans un contexte prototype. Il existe aujourd'hui des outils tels que ceux développés par Mentor Graphics "Calibre for 3D-IC"¹ qui permettent de dissocier la conception de chaque composant puis de mener une vérification finale masque à masque entre composants et éléments d'interconnexions.

Ce concept repose sur un travail soigné au niveau de la position et de la géométrie des plots des composants, surtout pour le transistor vertical avec ses deux électrodes sur la face supérieure. Dans notre contexte, le plot correspond à la fois au dernier niveau de métal du composant ainsi qu'à l'aire de contact entre l'électrode du composant et l'électrode du leadframe d'interconnexion. Ce choix d'intégration entraîne des spécificités sur les géométries ainsi que la topographie. Le plot métallique doit être en protubérance (détaillé plus loin et illustré dans la figure 2.6).

En premier, le plot de grille ne peut pas être entouré par le plot de source afin de simplifier la géométrie du leadframe. De plus, il doit être situé sur un côté du composant tel que décrit dans la figure 2.4. Pour généraliser, les plots métalliques en face avant du composant doivent être de forme géométrique convexe. Cette règle est valable pour le dernier niveau de métal. Ce niveau sera en contact avec le leadframe. Les deux premiers cas présentés à la figure 2.4(a et b) correspondent à un *layout* d'un métal inférieur. Par contre, cette conception doit être rendue compatible en passant par une redéfinition (ajout d'un diélectrique et d'un métal) pour avoir le seul cas compatible de la figure 2.4c.

1. Site de Mentor Graphic : <https://www.mentor.com/solutions/3d-ic-design/calibre>, consulté le 28/08/2016

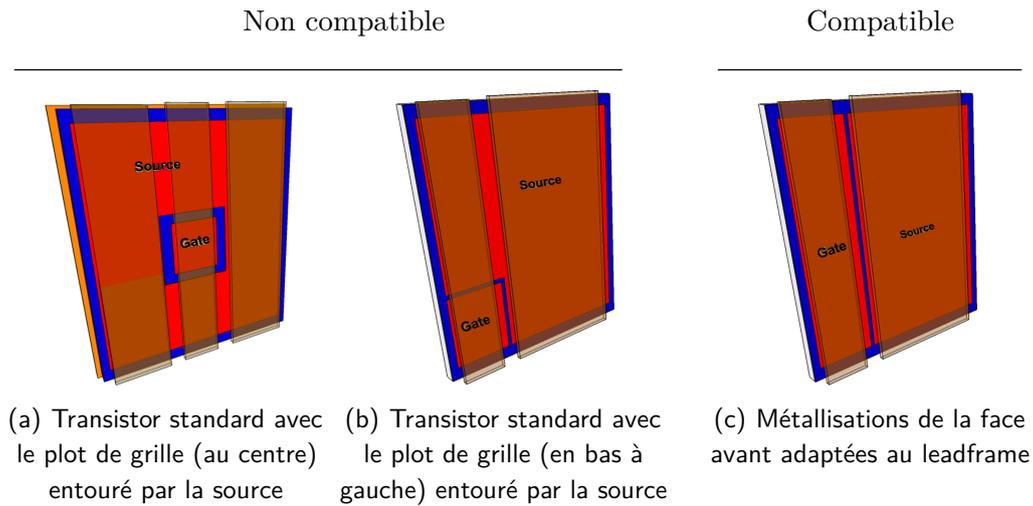


Fig. 2.4 – Dessins 3D schématisant l'impact d'un leadframe sur les géométries des plots du dernier niveau métallique du transistor, le leadframe est marron semi-transparent et les plots métalliques sont représentés en rouge

De l'autre côté, le leadframe métallique a aussi des contraintes à respecter qui sont au cœur de la conception couplée. Cette géométrie simplifiée du leadframe est imposée par le choix d'un leadframe de la taille d'une plaque de semiconducteur qui doit avoir une tenue mécanique suffisante pour les opérations en salle blanche (alignement et collage par thermocompression, polissage, etc). Tous ses motifs doivent être reliés en deux points afin de n'avoir aucune zone en porte-à-faux : toutes les parties sont reliées entre elles et avec un maximum de matière pour ce leadframe à l'échelle de la plaque. Dans cette première approche, l'épaisseur a été choisie de manière empirique et d'après l'expérience des procédés sur plaques métalliques massives (point détaillé dans le dernier chapitre). De plus, la conception s'est faite avec un maximum de sécurité. Cet aspect semble être un point critique de la conception couplée dans laquelle l'épaisseur du leadframe est une donnée technologique, mais qui a un impact sur la résolution de la gravure et donc la taille minimum des plots. C'est un point important à se rappeler pour les futures conceptions.

Cette règle n'est pas commune dans le standard des composants de puissance car ils sont conçus dans un contexte de packaging particulier qui laisse davantage de degré de liberté concernant la position et la taille des plots permettant d'optimiser les performances du composant lui-même. Dans ce cas, le plot de grille est typiquement placé au centre du composant pour garantir l'uniformité du potentiel de grille sur toute la surface du composant et donc dans chaque sous-cellule MOS. La figure 2.5 compare visuellement différents *layout* de transistors industriels par rapport à notre besoin.

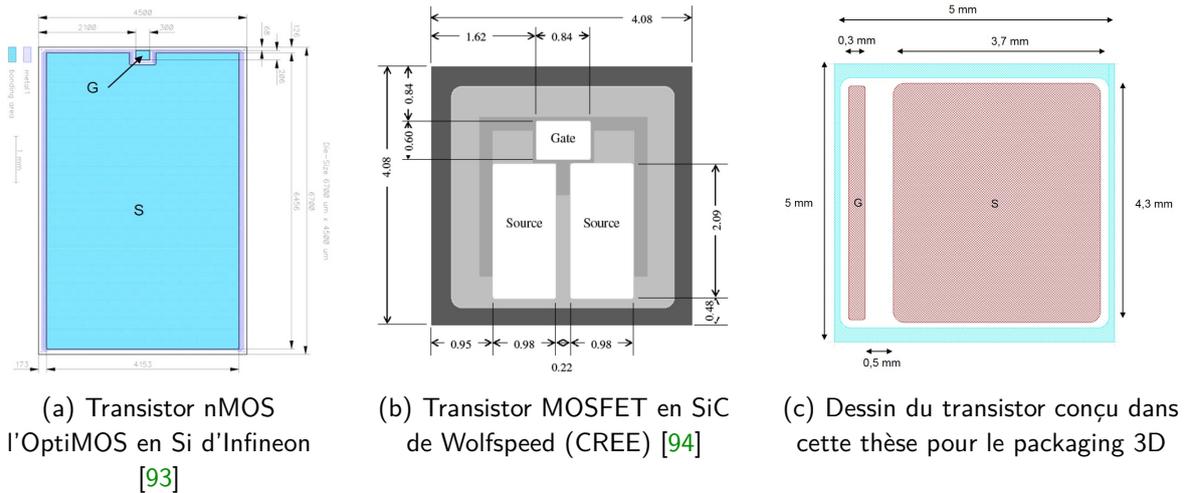


Fig. 2.5 – Différents *layouts* de surface de composants industriels optimisés pour le packaging 2D par *wire bonding* comparés avec celui d'un transistor adapté pour le packaging 3D dans le cadre de cette thèse

Comme on peut le voir sur la figure 2.5, dans la même gamme de dimensions, autour de 5 mm de côté, la vue de dessus du composant peut être très différente. Le MOSFET SiC de Wolfspeed par exemple possède deux plots de source et un plot de grille sur un côté avec des dimensions de 0,84 mm et 0,6 mm qui seraient compatibles avec notre approche. À l'inverse, le composant d'Infineon, qui correspond plus à un design standard, n'est pas utilisable en tant que tel avec une électrode de grille trop petite et encastrée autour de la source (0,2 mm et 0,3 mm)².

Il est bien entendu possible d'avoir plusieurs niveaux de métal et de diélectrique pour router différemment les électrodes. Dans cette conception, la grille est excentrée, il faut alors drainer les charges de grille sur toute la surface. Dans ce cas, un deuxième niveau de métal n'est pas à exclure et il peut être une perspective à coût modéré et à court terme pour compléter la conception de transistor adapté au packaging 3D. Ce choix est déjà fait dans un composant industriel qui peut avoir au moins deux niveaux métalliques, à l'image de l'OptiMOS qui possède deux niveaux de métal pour la grille. Pour finir, il serait également possible de retravailler un composant industriel pour adapter le design à l'approche.

En tout cas, l'approche défendue ici est justement de modifier les habitudes de conception avec de nouvelles spécifications simples mais amenant des gains notables sur le packaging et ainsi visualiser l'intérêt que peuvent apporter ces modifications.

Un autre aspect important est la hauteur des plots métalliques par rapport à la passivation. Il est classique comme dernière étape de fabrication de déposer une couche de passivation/protection comme un polyimide puis de graver localement cette couche pour ouvrir sur les électrodes métalliques. Dans ce cas, l'isolant se trouve au-dessus du plot métallique et il est impossible d'interconnecter un leadframe avec le composant sans ajout de matière ou de fils de liaison. Il faut donc adapter le procédé de fabrication pour que le métal soit en protubérance par rapport à la passivation (figure 2.6). Autre aspect important, les plots de la face avant doivent être plan et à la même hauteur, ce qui n'est pas

2. Ce composant n'a pas été choisi au hasard car nous avons pu obtenir des plaques d'Infineon en cours de fabrication pour ensuite les retravailler pour les adapter à un packaging 3D, cependant au vu de la complexité de leur procédé et de leur *layout*, les étapes d'adaptation étaient trop nombreuses et n'ont pas été effectuées dans le cadre temporel de la thèse.

si simple car les niveaux utilisés pour la grille et la source ne sont pas les mêmes ; typiquement le polysilicium de la grille n'est pas utilisé pour la source. Ce sont des choix critiques dans le procédé de fabrication et ils doivent être pris en compte également à la conception du jeu de masques des composants.

Un polissage mécano-chimique (CMP) est une possibilité pour remettre à la même hauteur les plots. Cependant c'est une étape technologique sensible à optimiser en fonction du masque et des différents matériaux à planariser. De plus, cette étape est à anticiper dans la conception pour garantir une homogénéité de la densité des motifs sur toute la plaque, des motifs factices sont à rajouter le cas échéant pour compenser le dessin des composants. Les risques d'arrachement des couches inférieures ne sont pas négligeables par rapport à la complexité et la fragilité des nombreuses couches minces empilées pour réaliser un transistor. Une conception des masques et un procédé de fabrication adéquats permettent d'être dans la bonne topographie sans étape de CMP : c'est le choix qui a été fait pour cette première réalisation.

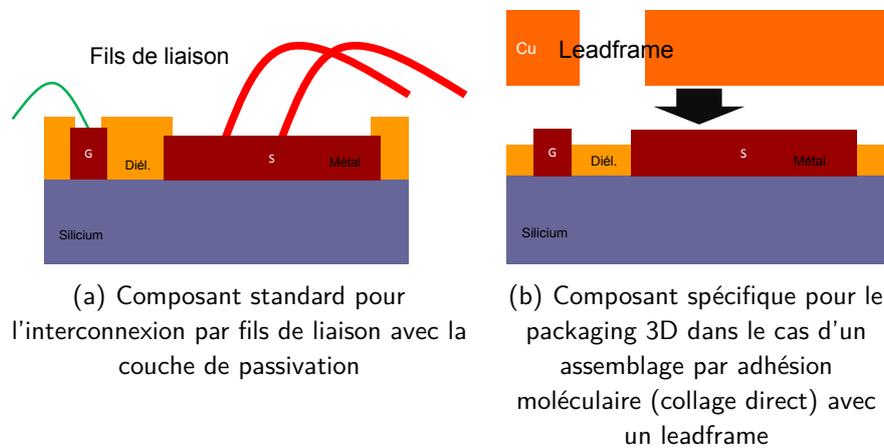


Fig. 2.6 – Vues en coupe schématiques des topographies de la FAV pour illustrer les structures des plots entre un composant spécifique pour le packaging 3D et un composant standard

La largeur minimale du plot de grille ainsi que la distance d'isolation avec le plot de source sont imposées par la résolution du leadframe utilisé pour l'interconnexion. Dans notre contexte, après études de différentes technologies de découpe de cuivre, comme l'électroérosion et la découpe par micro jet d'eau haute pression nous avons pu statuer sur la précision de la réalisation technologique. La résolution de découpe était autour de $200\ \mu\text{m}$ à $300\ \mu\text{m}$. La précision de positionnement était autour de $100\ \mu\text{m}$, dépendant essentiellement des performances de la machine plutôt que de la technologie utilisée. Pour éviter d'être en limite extrême et avoir une marge, le choix de la dimension minimale du masque leadframe a été choisie à $500\ \mu\text{m}$. C'est donc la largeur de l'électrode de grille du leadframe ainsi que la distance entre cette électrode et celle de source. Cette dimension se répercute directement comme une règle de conception du niveau métallique des plots du transistor.

Dans l'intégration 3D présentée et au niveau de chaque cellule de commutation, la face supérieure du transistor est reportée sur une diode dans l'objectif de placer le point milieu perturbateur V_{SW} au centre de cet empilement. Cependant, il y a deux électrodes sur le transistor et une seule sur la surface de la diode. Il faut donc prévoir une solution pour éviter tout court-circuit et isoler l'électrode en face supérieure de la diode (cathode) de la grille du transistor tout en reliant la source et la cathode (le point milieu) de la cellule de commutation élémentaire.

La solution la plus simple consisterait à réaliser une diode plus petite correspondant à la taille du plot de source du transistor. Cependant, il n'est pas envisageable de perdre une surface de semiconducteur aussi grande. En effet, l'assemblage plaque à plaque entre les deux composants impose la distance de répétition (*pitch*) qui doit être commune aux deux plaques. Dans cette conception, l'isolation est réalisée par une zone d'oxyde sur la diode. Le leadframe métallique sera isolé par cette couche diélectrique. Il n'y a pas de réduction de la surface de la diode et tout le semiconducteur est utilisé comme dans le cas du transistor, le détail de l'empilement et de la conception se trouve en figure 2.7a. Sur l'illustration, on voit clairement que l'électrode de grille du leadframe est plus large que le plot de grille du transistor. Sa largeur a été fixée à 300 μm comme un compromis entre : d'un côté un plot étroit permettant de mettre un maximum de cellules élémentaires nMOS dans la surface du semiconducteur et d'un autre côté avoir un plot suffisamment grand pour avoir une aire de contact importante entre les électrodes du composant et du leadframe. Cette dimension donne aussi une marge sur le positionnement en cas de désalignement du leadframe lors de l'assemblage ou si ces ouvertures sont plus importantes que prévues à cause de la technologie de réalisation des motifs. Pour la source, c'est le cas inverse. L'électrode du leadframe est plus petite que le plot de source afin d'avoir les distances d'isolation inter-électrode d'au moins 500 μm (dimension limite du leadframe). Ces dimensions sont détaillées dans les figures 2.7b à 2.7d.

Autre particularité de l'assemblage 3D, les diodes ont une anode commune correspondant à la zone dopée P en FAR et la cathode en FAV (correspondant à la zone dopée N). Les diodes sont donc fabriquées à partir d'un substrat de type P, les détails sont dans la partie 2.3.1.

La conception du transistor concerne également la topographie de la face avant. Le dernier niveau de métal doit avoir des larges zones planes pour garantir des aires les plus grandes possibles pour le collage direct cuivre-cuivre. Typiquement, trois rectangles horizontaux avaient été conçus sur le masque pour avoir des surfaces suffisamment grandes sur le plot de source, elles sont détaillées à la figure 2.8 : dans ces zones, aucune macro-cellule de transistors n'a été dessinée. Ces zones réduisent la densité de cellules élémentaires du transistor mais permettent d'améliorer le scellement, c'est un compromis de la conception couplée composant/package. Dans le même sens, le plot vertical de grille possède trois ouvertures pour contacter le polysilicium de grille et le métal. En dehors de ces zones, le métal est sur l'oxyde de champ, ce qui permet d'avoir la même hauteur entre le plot de grille et de source. En conclusion, toutes les zones métallisées et n'ayant pas eu l'ouverture à travers l'oxyde sont à la même hauteur et parfaitement planes. La seule topographie est la rugosité des dépôts des couches. Ces choix de conception pour le collage direct sont validés par l'étude de la partie 3.3.2 sur le scellement entre composants spécifiques et plaque métallique.

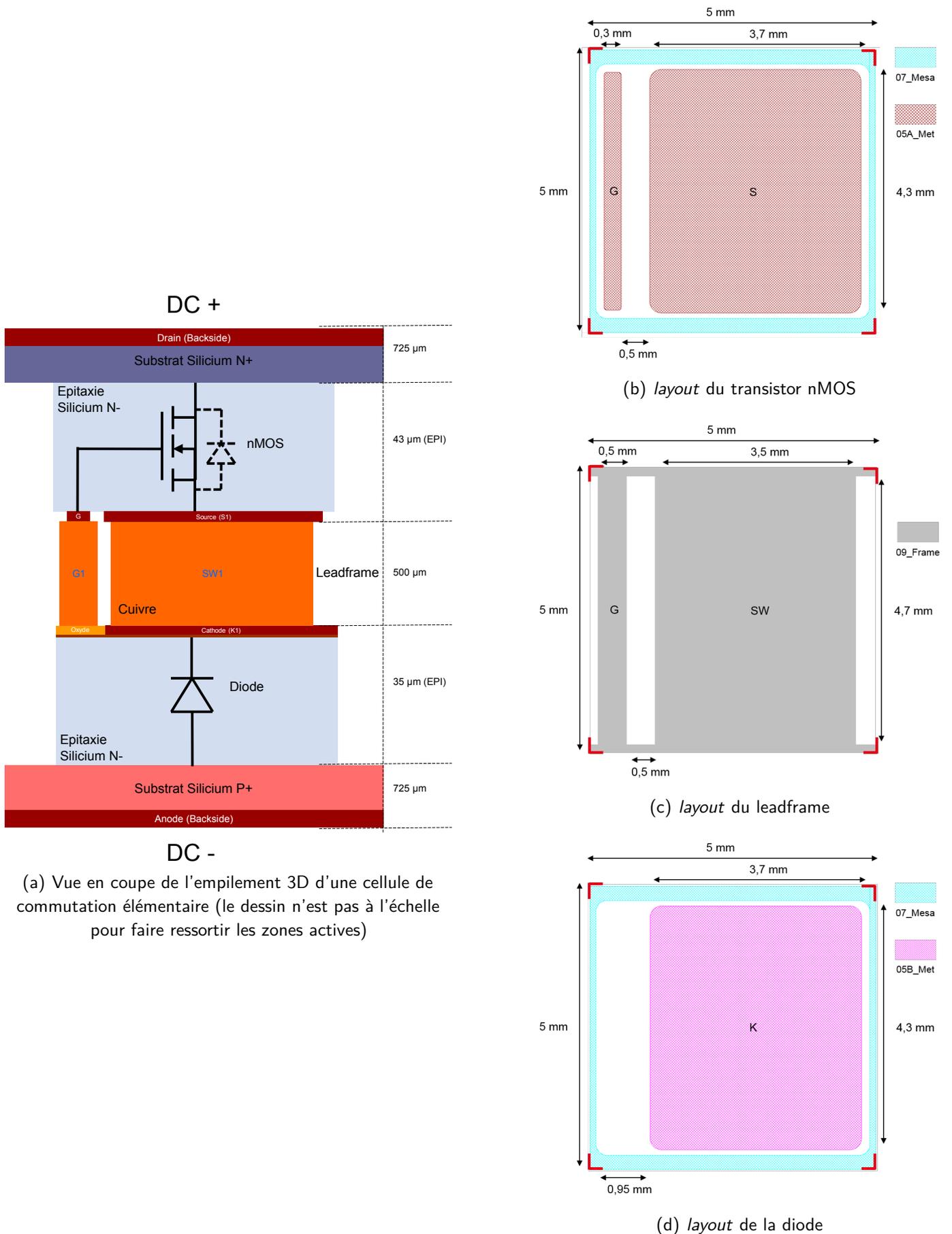


Fig. 2.7 – La relation directe entre le packaging 3D d'une cellule de commutation élémentaire et le dessin des masques des éléments correspondants

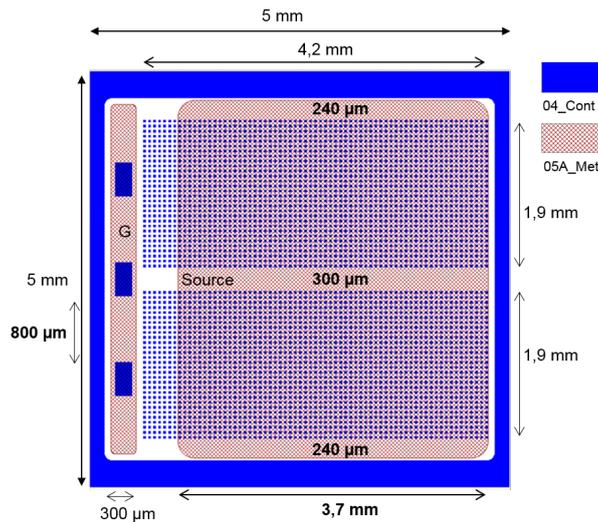


Fig. 2.8 – *Layout* du transistor avec le niveau d'ouverture contacts (gravure oxyde) en bleu et le niveau de métallisation hachuré

Après avoir détaillé la conception des composants unitaires, il faut s'intéresser à la répartition et l'organisation des composants par rapport aux solutions technologiques disponibles pour leurs fabrications. Les étapes de photolithographie au CEA-LETI sont basées sur l'utilisation d'un *stepper* représentatif de la solution classique pour l'industrie de la microélectronique. L'insolation de toute la plaque n'est pas faite en une seule fois (1X) mais en plusieurs insolutions successives d'un champ (appelé 4X ou 5X en interne). Les masques des composants sont donc dessinés pour un champ qui est ensuite répété sur toute la surface. Le champ est carré (20 mm de côté) et contient une matrice de composants plus des motifs de test. Dans ce travail de conception, le composant est carré (figure 2.7) pour simplifier l'agencement dans le champ ; celui-ci est détaillé dans la figure 2.9.

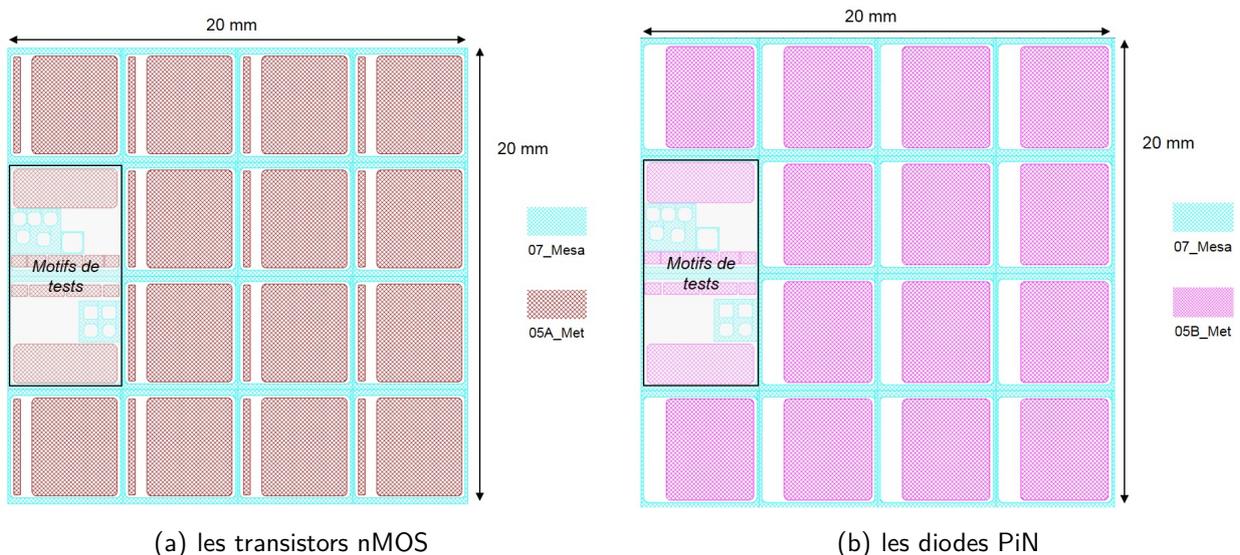


Fig. 2.9 – Vue du *layout* d'un champ de composants spécifiques pour le packaging 3D

Autre aspect, la distance entre les composants doit être suffisamment importante pour faciliter la découpe. Comme l'assemblage se fait collectivement à l'échelle de la plaque entre les trois plaques (figure 2.3), la découpe devient une étape fondamentale et critique de l'approche. Il faut être capable de

découper une hétérostructure de silicium - cuivre - silicium, en ayant des flancs alignés pour révéler les électrodes et reporter le module sur la tranche. Les chemins de découpe entre vecteurs de composants (figure 2.10b), c'est-à-dire horizontaux, sont plus larges pour faciliter cette découpe. La technologie de découpe n'ayant pas été définie au moment de la conception du masque, cette dimension a été fixée à $500\ \mu\text{m}$ pour avoir une marge selon la précision et le positionnement de la technologie de découpe. Cette dimension correspond à la largeur du MESA entre les composants. C'est finalement la fabrication du leadframe à l'échelle de la plaque qui impose cette dimension. Entre chaque composant, et donc entre chaque leadframe élémentaire (dessiné pour un composant), il faut laisser un espace pour raccorder le métal du leadframe à son "voisin". En résumé, tous les contacts du leadframe à l'échelle de la plaque et donc des composants sont reliés lors de l'assemblage, ce n'est uniquement qu'après découpe que les électrodes du leadframe seront isolées. La largeur des liens de métal reliant les motifs de leadframe élémentaires en une seule plaque est de $300\ \mu\text{m}$, correspondant à la limite de la résolution de l'étape de découpe. Cette largeur de $300\ \mu\text{m}$ est appelée zone de maintien. Les chemins de découpe au niveau d'un champ sont visibles dans la figure 2.10.

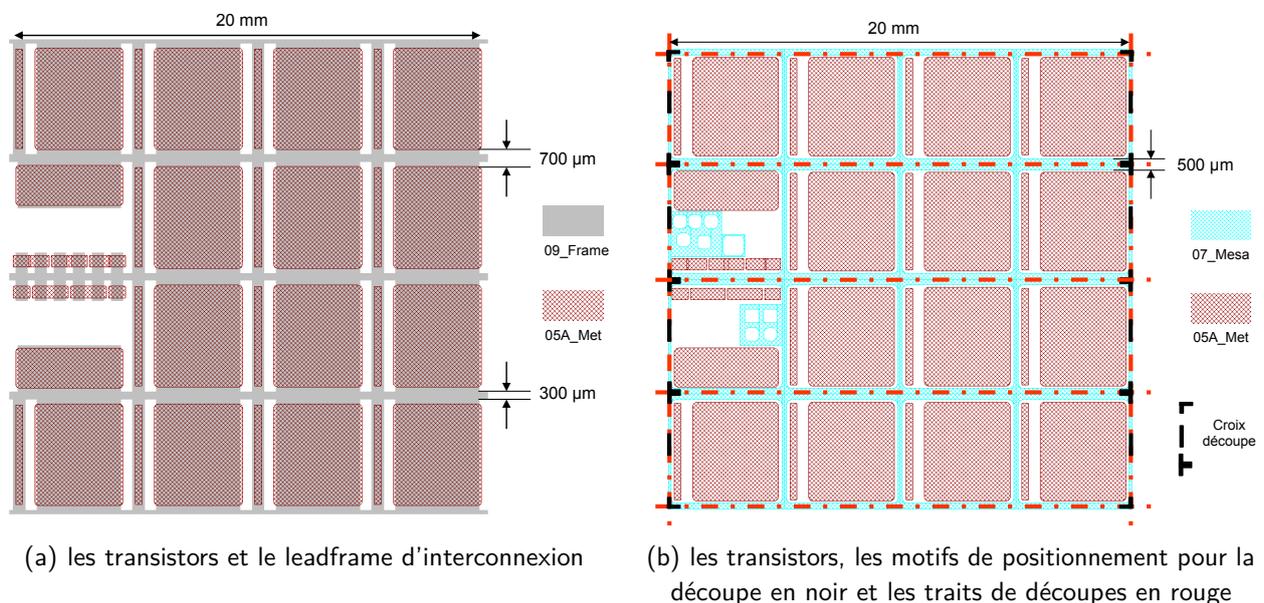


Fig. 2.10 – Contraintes du leadframe à l'échelle de la plaque sur la distance inter-composant et la largeur des chemins de découpe

La vue en coupe du chemin de découpe est détaillée dans la figure 2.11. Elle met en avant l'impact du leadframe à l'échelle de la plaque sur les choix de conception. La découpe des vecteurs peut se faire de deux façons :

- la première solution est une découpe large de $400\ \mu\text{m}$ qui va retirer la zone de $300\ \mu\text{m}$ reliant toutes les électrodes du leadframe. Le trait de découpe doit cependant être inférieur à $500\ \mu\text{m}$ pour ne pas endommager les flancs des MESA des composants. Elle correspond à la distance entre les deux traits de découpe de la figure 2.11 ;
- la seconde solution est une découpe en deux passages fins, entre 50 et $100\ \mu\text{m}$ de largeur. Elles passeraient entre la zone de maintien de $300\ \mu\text{m}$ et le flanc du MESA à l'image des deux traits en pointillés de la figure 2.11.

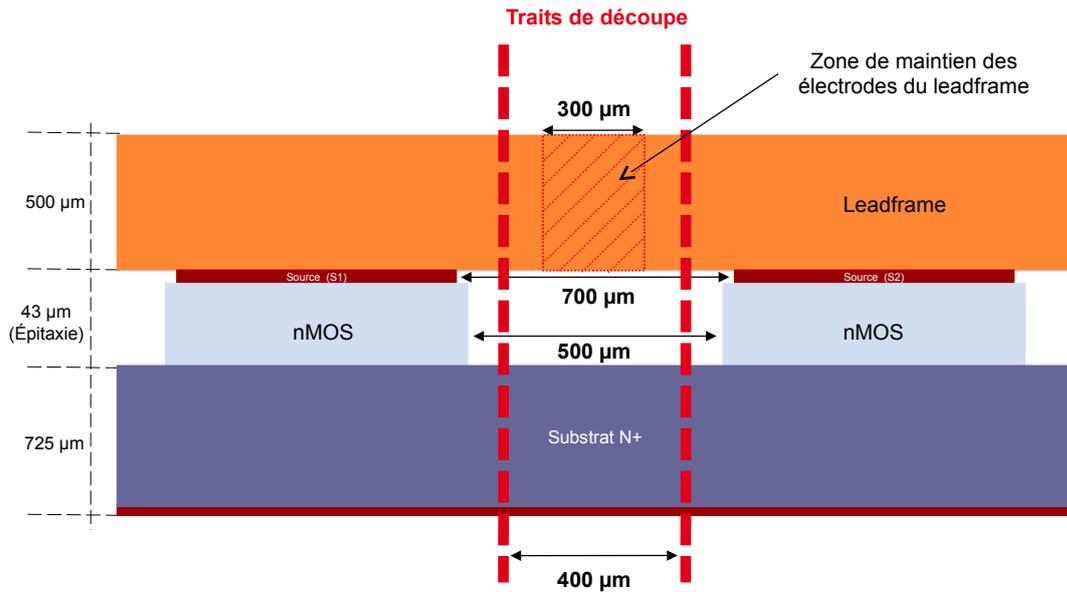


Fig. 2.11 – Vue en coupe du chemin de découpe entre deux vecteurs de transistors

Sur l'autre axe (verticalement), il n'y a pas de contraintes particulières, cette zone est gravée sur le leadframe pour isoler l'électrode de grille de la source du bras contigu. Lors du choix de la taille du champ, l'objectif était la réalisation d'un convertisseur entrelacé à quatre phases ; c'est pour cette raison que la découpe verticale se fait uniquement entre chaque champ et que la distance entre chaque composant n'est pas impactée par la découpe de l'hétérostructure.

2.2.2 | La répartition des composants sur une plaque

Comme dit précédemment, le *layout* des composants est imaginé dans une conception couplée composant/packaging. Cette méthode s'applique également sur la position et la répartition des composants sur la plaque. L'utilisation de procédés collectifs d'assemblage à l'échelle de la plaque apporte des nouvelles règles de conception :

- besoin d'axes de symétrie sur le positionnement des composants pour le report plaque à plaque ;
- ajout de motifs d'alignement sur la FAV et FAR des plaques de composants pour l'alignement des plaques lors de l'étape d'assemblage ; ce sont des motifs normalisés au CEA-LETI appelés ABC 200 ;
- ajout de croix de repérage (en FAR) des composants pour la découpe, en effet les FAV des deux plaques de composants étant reportées l'une sur l'autre ; il n'y a aucun repère visuel pour la découpe des composants après assemblage.

La figure 2.12 illustre la répartition des champs sur la plaque 200 mm.

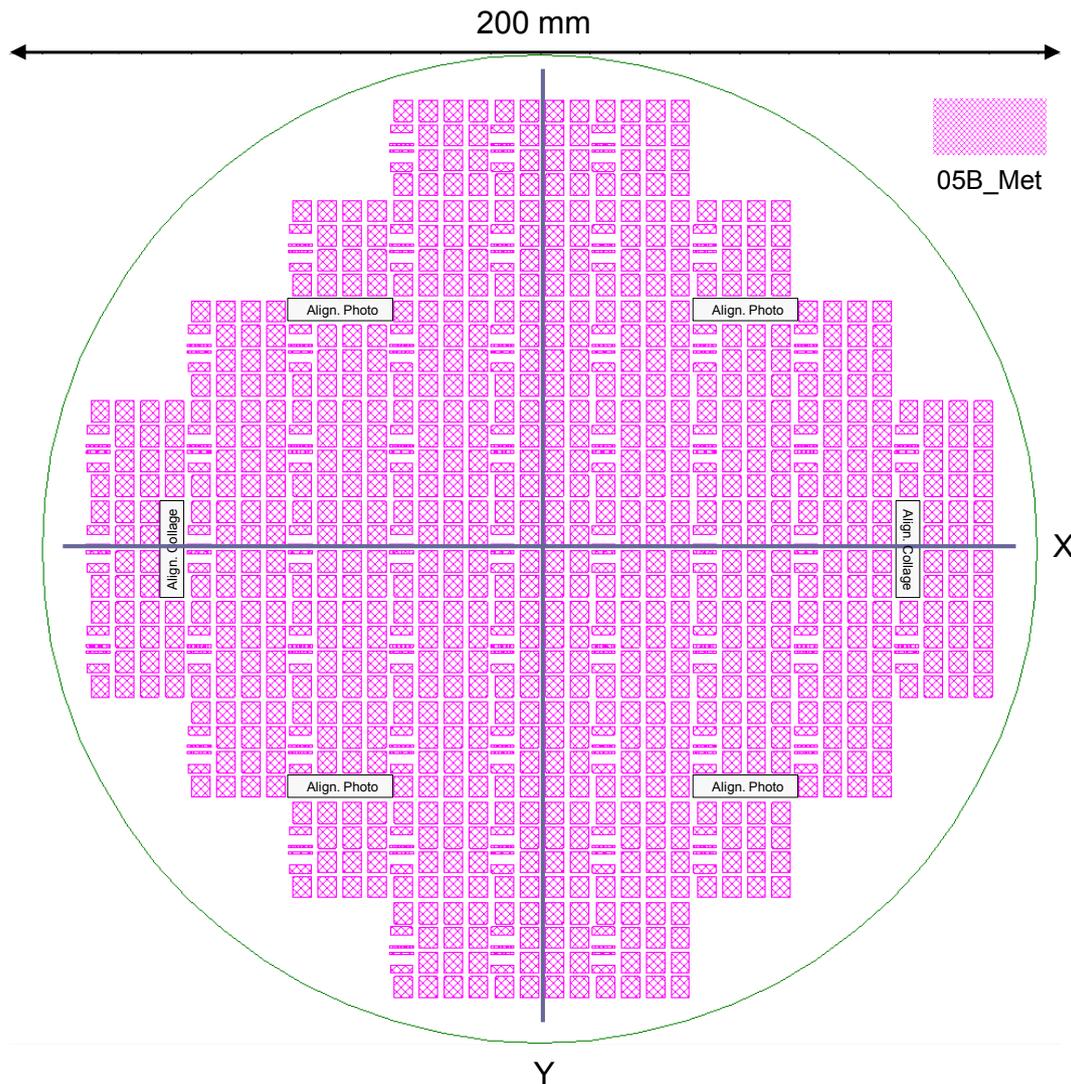


Fig. 2.12 – Répartition des champs sur la plaque 200 mm, ici le métal de la diode (cathode)

Les zones vides sont utilisées pour les motifs d'alignement, quatre pour l'alignement entre la plaque et le masque pour les photolithographies et deux pour l'alignement des plaques avant collage. Ceux-ci sont positionnés sur l'axe de symétrie de la plaque, l'axe X. Le report plaque à plaque se fera selon cet axe. Lors de la répartition des champs sur la plaque, il a été choisi de travailler en champ non débordant, c'est-à-dire avec uniquement des champs carrés de 20 mm inscrits dans le diamètre de 200 mm. Pour ce premier essai et au vu des durées de fabrication, beaucoup de précautions ont été prises pour limiter les risques. Typiquement, les plaques à champs débordants augmentent le nombre de composants par plaque. Cependant, cela peut fragiliser les plaques lors de l'étape de gravure profonde du silicium comme l'étape de DRIE utilisée pour la terminaison en tension de composants. Ces tranchées sont en accord avec les plans cristallins du substrat utilisé (standard (1 0 0)) donc une propagation de fracture accrue. De plus, la zone sans composant en bordure de plaque est importante pour laisser de la matière au leadframe, toujours dans l'objectif de rigidifier la plaque métallique après la gravure de ses motifs.

Avec le retour d'expérience de la fabrication des composants et les tests d'assemblage de ce premier jeu de masques, la stratégie en champ débordant aurait été plus favorable. En effet, les quatre zones périphériques en bordure de plaque avec aucun composant —donc avec aucun plot de cuivre— provoquent une zone importante d'absence de collage : cette zone de semiconducteur s'ébrèche puis

se casse facilement en absence de maintien. Par contre, cette zone sans motifs sur le leadframe est nécessaire pour sa tenue mécanique. Il aurait fallu garder cette zone sans motifs sur le leadframe et par contre, travailler avec une stratégie de champ débordant sur le masque. Une autre alternative aurait été d'ajouter des motifs de renforcement sans qu'ils soient fonctionnels pour mieux gérer la tenue mécanique. Le leadframe aurait pu avoir une structure plus forte et des collages auraient pu être mis en œuvre en périphérie. Cette hypothèse a été imaginée mais elle demande un procédé plus compliqué pour l'étape de photolithographie par *stepper* : il faut ajouter des insolations spécifiques de ce champ avec d'autres motifs que le champ élémentaire. Un niveau de masque 1X avec alignement manuel peut supprimer cette problématique mais n'est pas réellement applicable dans l'objectif de se rapprocher d'un procédé de fabrication industriel.

Tous les composants fabriqués sur un même substrat partagent une électrode commune correspondant à la face arrière de la plaque, il est alors possible de choisir le nombre de phases que nous souhaitons pour notre application. L'objectif ici est de quatre phases mais ce n'est pas la seule possibilité. La conception s'est faite dans un objectif d'avoir une approche générique avec plusieurs phases : elle n'est pas focalisée sur un composant unitaire mais sur un assemblage de composants que l'on peut nommer vecteur ou matrice de composants monolithiques. L'axe X sur la plaque correspond au choix du nombre de phases : par exemple, un vecteur de trois composants côte à côte pour faire un onduleur triphasé ou un vecteur de quatre composants pour faire un convertisseur entrelacé comme le prototype présenté dans le premier chapitre. Différents exemples sont présentés dans la figure 2.13 pour des positions aléatoires sur la plaque. Cependant, le nombre de possibilités est limitée dans cette conception. En effet, le motif unitaire est de quatre composants, il avait été défini par la taille du champ (figure 2.9) : seuls les multiples de quatre sont réellement possibles avec ce *layout*, 4, 8, 16 phases par exemple.

Un autre degré de liberté sur le choix du module est possible en travaillant sur l'axe vertical Y. On peut faire le choix du nombre de composants en parallèle et donc du calibre en courant. Les plots de source et de grille sont alors reliés par le leadframe. Il est possible d'avoir un seul dessin de composants avec une surface unitaire et de mettre en parallèle ensuite ; cela limite les composants avec des surfaces très grandes. De plus, la parallélisation est faite au plus près du composant et avec un métal épais donc elle est optimale (ici 500 μm de cuivre). Il faut cependant nuancer cette application avec le *layout* dessiné. La perte de surface est importante à cause de l'électrode de grille et de l'utilisation d'un seul niveau de métallisation pour cette première réalisation. En conclusion, cette règle de conception a un fort potentiel et intérêt pour augmenter le calibre en courant des modules de puissance où il est classique de mettre de nombreuses puces en parallèle pour diminuer la résistance à l'état passant.

Les motifs de tests réduisent le nombre de configurations possibles dans cette première conception mais sont obligatoires pour suivre l'évolution du procédé de fabrication. Dans une version optimisée, il faudra les faire évoluer. Ils pourraient être réduits et positionnés en dehors du champ de conception par exemple dans les chemins de découpe. Ainsi, le choix des configurations entre le nombre de phases et le calibre en courant seraient toutes possibles.

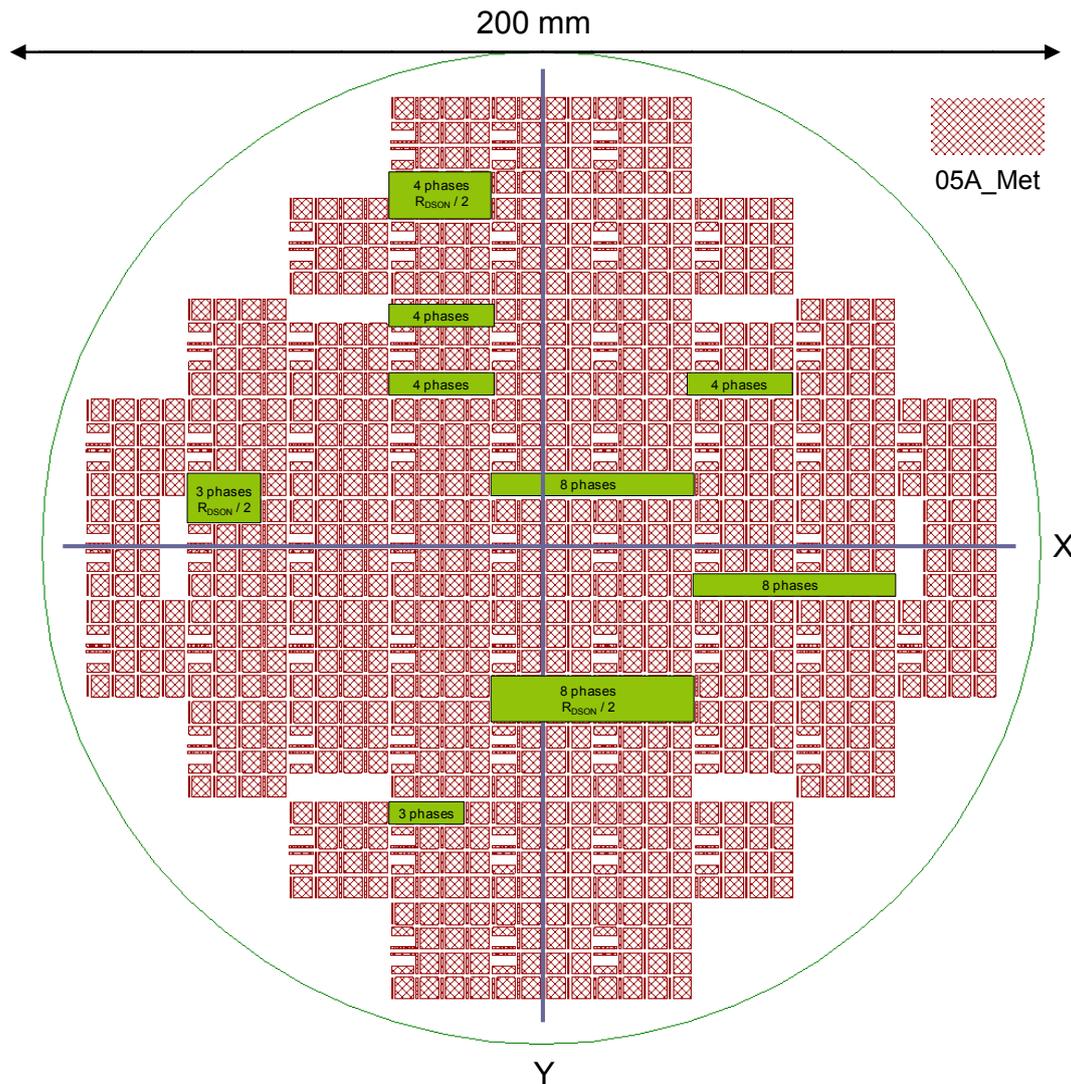


Fig. 2.13 – Vue du masque de métallisation des plots du transistor avec différents cas possibles du choix de composants : 3, 4 ou 8 phases selon l’axe X horizontal et calibre en courant sur l’axe Y vertical

2.3 | La fabrication de composants de puissance compatibles avec le packaging 3D

2.3.1 | Le procédé de fabrication des composants

La fabrication des composants se fait sur des substrats 200 mm silicium fortement dopés avec une zone épitaxiée faiblement dopée pour la tenue en tension verticale des composants. La structure verticale du transistor nMOS est standard. Ce n’est pas le cas pour la diode, l’objectif étant de réaliser des diodes à anode commune, c’est-à-dire avec l’anode en face arrière, le substrat est dopé P tandis que l’épitaxie est N, la jonction PN est réalisée par l’épitaxie et non par dopage en surface. La comparaison schématique entre les deux types de diodes est résumée dans la figure 2.14.

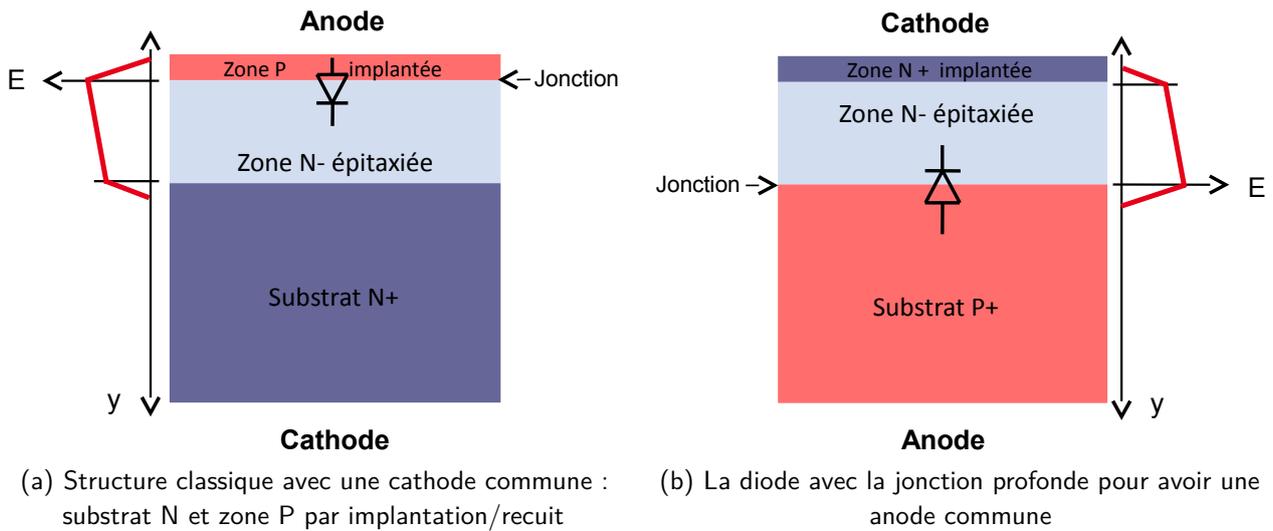


Fig. 2.14 – Les deux types de diodes

Finalement, les vues en coupe de la structure interne des composants sont illustrées à la figure 2.15. L'objectif est de fabriquer des composants moyenne tension avec une tenue en tension de 600 V et un courant à l'état passant de quelques ampères, typiquement 5 A, pour les mettre en œuvre dans un convertisseur avec un bus de tension continu de 400 V standard. Le dimensionnement des composants a été fait d'après Arnould [95] et He *et al* [96] en fonction des paramètres technologiques disponibles.

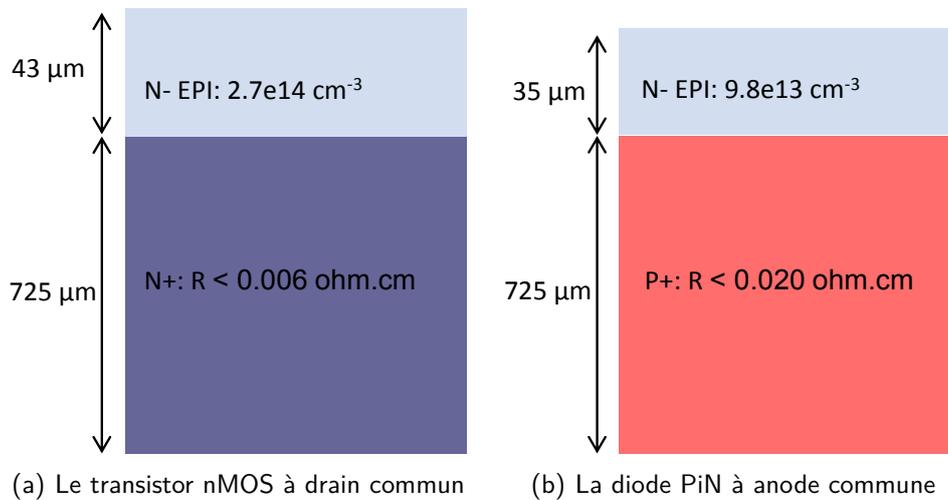


Fig. 2.15 – Détails du substrat et de l'épitaxie pour la fabrication des composants de puissance verticaux

Le procédé de fabrication des composants de puissance se situe dans la continuité de la filière de fabrication de composants mise en place par le G2Elab avec la plateforme technologique du CIME Nanotech à Minatec (sur plaque 100 mm). Plusieurs étapes ont été reprises et surtout adaptées pour les rendre compatibles avec la plateforme technologique du CEA-LETI et également pour des plaques de 200 mm. Le choix de passer dans ce diamètre nous a simplifié l'adaptation car le standard de fabrication au CEA-LETI est le 200 mm ; il correspond également au standard actuel de la microélectronique —même si le 300 mm est très répandu pour les plus gros fondeurs et commence depuis peu pour les composants de puissance. Comme la démarche se veut générique et adaptative, il faut qu'elle soit testée dans des conditions réalistes et les plus proches du standard de fabrication : la conception couplée et le

packaging à l'échelle de la plaque seront plus probants sur une filière en 200 mm. De plus, la démarche devrait être plus facilement transposable pour des diamètres inférieurs comme le 100 mm et 150 mm à destination du marché du SiC ou du GaN sur Si.

Les sources sur la filière G2Elab/CIME pour la mise au point de cette filière 200 mm sont :

- la filière de fabrication des transistors nMOS verticaux d'après la thèse de R. Mitova [97] ;
- la conception du masque des transistors (*layout* des cellules MOS élémentaires) ainsi que pour les procédures de vérification DRC (*Design Rules Check*) d'après la thèse de L. Vincent [98] ;
- la filière de fabrication de diodes PiN et la réalisation de l'étape de terminaison en tension par tranchée profonde par DRIE d'après la thèse de K. Vladimirova [44].

Les procédés de fabrication des composants de puissance spécifiques pour une intégration 3D à l'échelle de la plaque sont décrits dans cette partie. Cependant, les étapes annexes mais importantes comme la réalisation de motifs d'alignement pour les photolithographies et surtout les marques d'alignement pour le collage et les croix de découpe par la FAR inhérentes au choix du packaging plaque à plaque ne sont pas ajoutées ici mais sont bel et bien effectuées lors de la fabrication. Les procédés de fabrication détaillés du transistor et de la diode sont décrits dans l'annexe 3.5 et les procédés simplifiés ci-après.

Procédé de fabrication des transistors nMOS verticaux

Le procédé de fabrication du transistor nMOS vertical, détaillé par briques technologiques, est le suivant :

1. Brique de grille

La première brique consiste en une oxydation pour la réalisation de l'oxyde de grille puis par un dépôt de polysilicium fortement dopé pour avoir l'empilement complet de la cellule MOS. La vue en coupe après la gravure du polysilicium est visible en figure 2.16, avec à gauche la vue sur un transistor nMOS unitaire et à droite un agrandissement détaillant une cellule élémentaire nMOS.

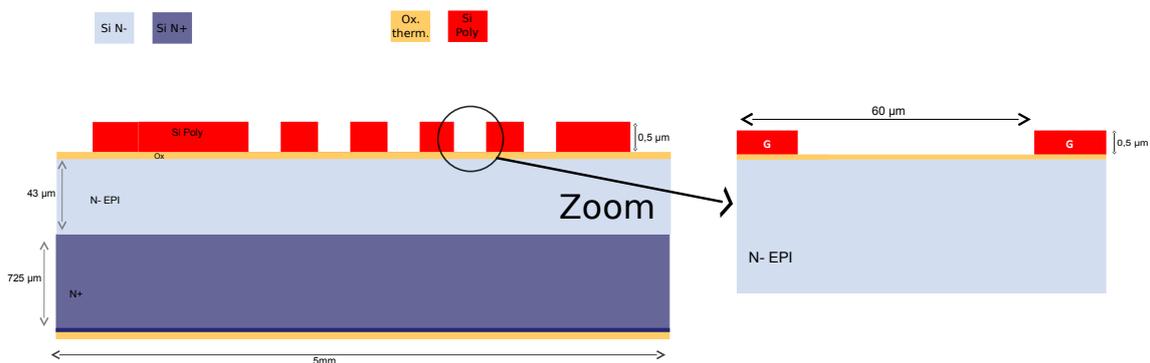


Fig. 2.16 – Brique de grille : Oxydation et dépôt polysilicium

2. Brique source/drain

La deuxième brique consiste en plusieurs implantations et recuits pour la création des zones P-, P+ et N+ en face avant et face arrière. Les différentes zones de dopages sont visibles en figure 2.17.

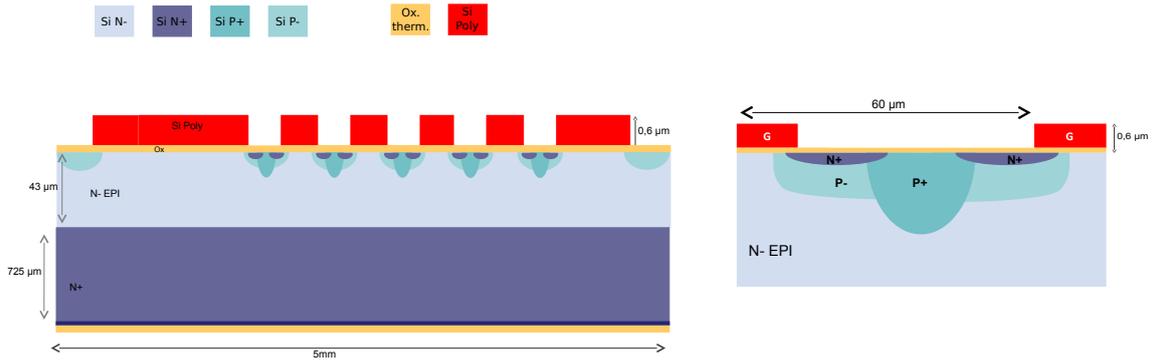


Fig. 2.17 – Brique source/drain : Implantations et recuits

3. Brique contact

La troisième brique débute par le dépôt d'un diélectrique, ici un oxyde de silicium de type tetraethylorthosilicate (TEOS), il s'agit de l'oxyde de champ pour l'isolation de la grille et de la source du transistor. Puis une gravure de cet oxyde ainsi que de l'oxyde de grille permet d'ouvrir les zones de source avant la métallisation ; la vue en coupe est sur la figure 2.18.

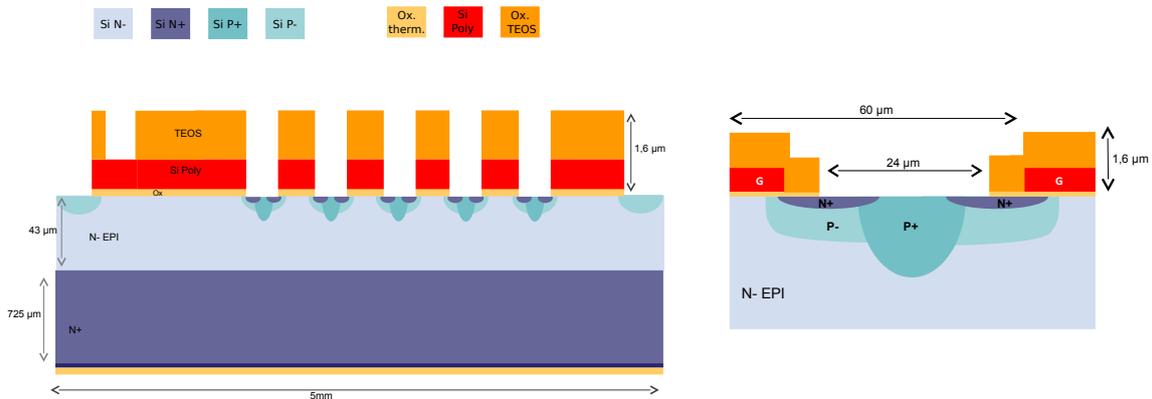


Fig. 2.18 – Brique contact : Dépôt et gravure de l'oxyde de champ

4. Brique métal

La quatrième brique concerne la métallisation du transistor. Le contact ohmique est réalisé par siliciuration de titane, puis dépôt d'une couche de cuivre par-dessus, dans l'objectif d'avoir du cuivre qui sera utilisé pour le collage Cu-Cu avec le leadframe. Cette couche de cuivre est réalisée par dépôt en phase vapeur (PVD), pour la couche de croissance *seed layer*, puis par électrochimie (ECD) pour avoir des plots métalliques épais (figure 2.19). Le choix de 2 μm est basé sur la mise au point et la stabilisation du procédé de collage direct Cu-Cu par thermocompression d'après la thèse de P. Gondcharton (CEA-LETI) [55]. La croissance de 2 μm par ECD représente un compromis entre un premier niveau de métal suffisamment épais et une rugosité acceptable qui reste compatible avec la technologie d'assemblage.

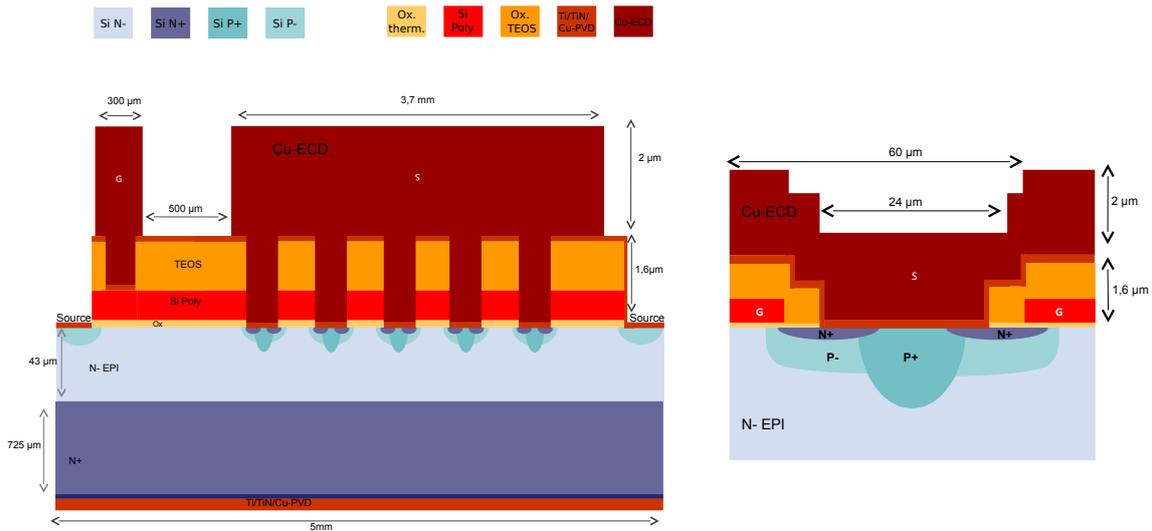


Fig. 2.19 – Brique métal : dépôt contact ohmique et métallisation cuivre

5. Brique isolation

La dernière brique de fabrication du transistor a deux étapes d'isolation. La première est un usinage ionique (IBE) pour graver la couche de *seed layer* nécessaire à l'étape d'ECD, celle-ci met en court-circuit toute la face avant du composant pour garantir une uniformité du potentiel lors de l'étape de croissance électrochimique. Il faut alors supprimer le court-circuit entre grille et source. La dernière étape est la réalisation du MESA pour isoler chaque composant monolithique et réaliser la protection périphérique du composant de puissance. Elle est faite en deux temps : d'abord une gravure du métal (IBE) suivie d'une gravure profonde du semiconducteur (DRIE); elles sont enchainées avec la même résine afin de garantir l'alignement du métal avec le flanc du semiconducteur. Cet alignement est critique pour l'efficacité de la terminaison en tension par DRIE [44], un décalage entre le métal et le semiconducteur entrainerait une concentration locale des lignes de champ ; cette étape spécifique pour le packaging 3D est détaillée dans la partie 2.3.2. La vue en coupe du transistor à la fin de la fabrication est décrite dans la figure 2.20.

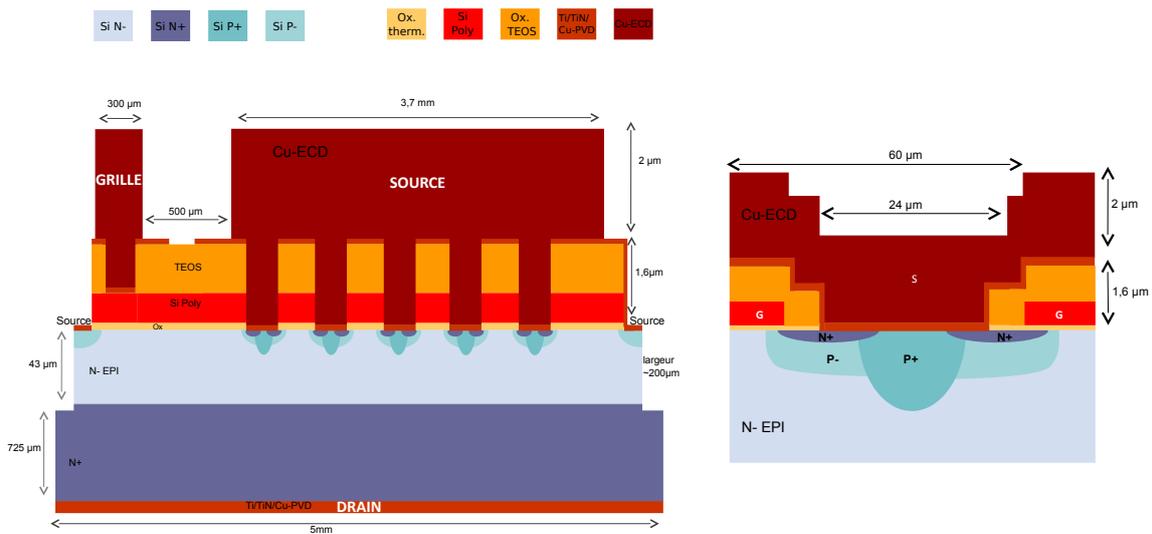


Fig. 2.20 – Brique isolation : gravure de la métallisation face avant et tranchée profonde d'isolation

Il faut noter qu'aucune passivation finale n'est ajoutée à la fin de la fabrication du composant. La tenue en tension est possible à l'air libre [44] et elle a été validée par les tests à l'échelle de la plaque (partie 2.3.3). Cependant, c'est une source de problème pour la contamination. Nous avons constaté que les composants ont été très sensibles à la découpe en puces lors de la réalisation du prototype de test décrit dans le premier chapitre (partie 1.5.3).

Procédé de fabrication des diodes PiN verticales

Le procédé de fabrication des diodes verticales est décrit de manière simplifiée dans les figures suivantes, toujours par briques technologiques. Il est basé sur la même filière que les transistors et il suit la même logique :

1. Brique Anode/Cathode

La première brique est une implantation N+ en face avant et une implantation P+ en face arrière puis un recuit d'activation mutualisé pour préparer la réalisation des contacts ohmiques, la vue en coupe est en figure 2.21 et représente deux diodes côte à côte.

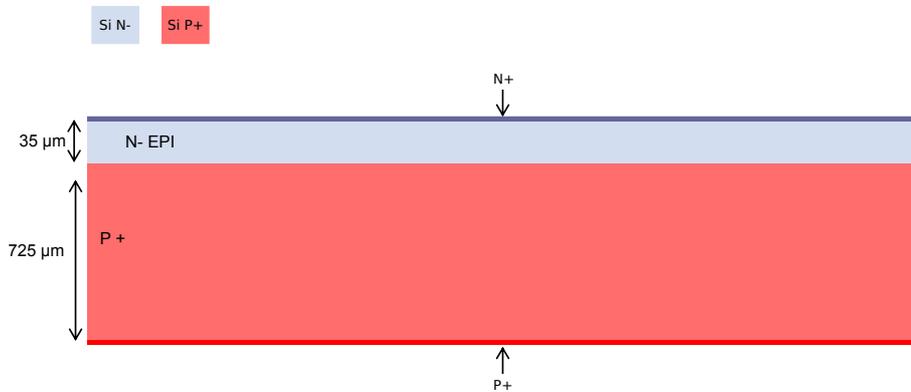


Fig. 2.21 – Brique d'anode/Cathode : Implantations des zones N+ et P+ pour les contacts

2. Brique métal

La seconde brique est similaire à la brique de métallisation du transistor. Cependant un oxyde TEOS (1,8 µm) est ajouté entre la *seed layer* et les plots épais fait par ECD. Il a pour rôle d'isoler l'électrode de grille du leadframe de la cathode de la diode lors du packaging 3D. La figure 2.22 représente la vue en coupe après le dépôt de TEOS.



Fig. 2.22 – Brique métal : métallisation et couche diélectrique pour l'isolation de l'électrode de grille du transistor

La figure 2.23 représente la vue en coupe après l'ouverture du diélectrique et le dépôt électrochimique de cuivre, le métal se trouve bien au-dessus du diélectrique et l'épaisseur est égale à 2 μm .

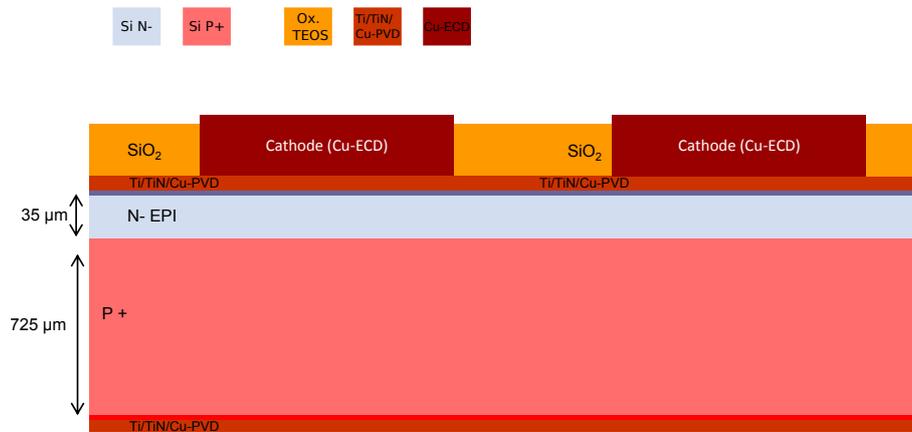


Fig. 2.23 – Brique métal : Plot métallique après l'ECD de cuivre

3. Brique isolation

La dernière brique correspond au MESA pour l'isolation des composants et à la réalisation des tranchées profondes comme protections périphériques de la diode verticale. La présence du TEOS entraîne un enchaînement de trois gravures avec la même photolithographie : gravure TEOS, usinage ionique de la *seed layer* et gravure profonde DRIE du silicium. La vue en coupe de la diode PiN est visible sur la figure 2.24. De même que pour le transistor, le composant n'a pas de passivation finale.

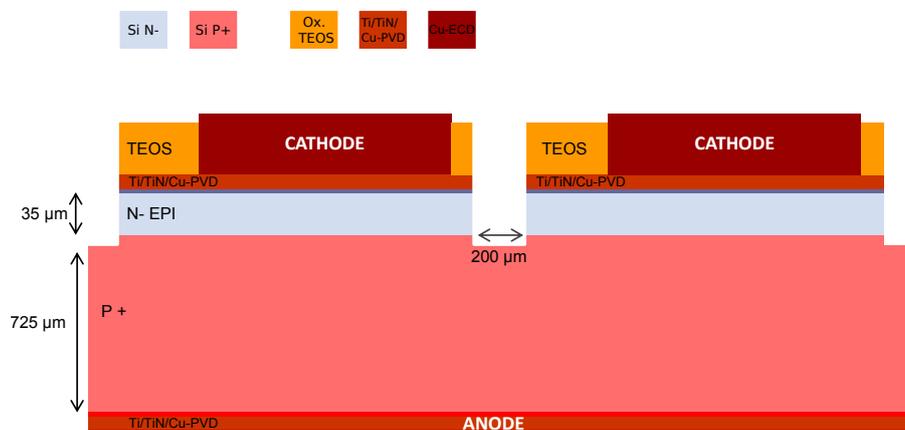


Fig. 2.24 – Brique isolation : gravure de la métallisation face avant et tranchée profonde d'isolation

2.3.2 | Les étapes technologiques spécifiques pour la fabrication des composants

La fabrication des composants de puissance adaptés au packaging 3D repose sur des briques *Front-End* standards et équivalentes aux procédés classiques. Par contre les étapes de *Back-End*, celles qui préparent le packaging, sont différentes ; en l'occurrence, ici, la métallisation cuivre et la topographie des plots métalliques. Une autre étape est spécifique pour la terminaison en tension des composants. Les composants comportent une électrode commune et sont intégrés monolithiquement. Cependant, lors de la mise en œuvre dans un convertisseur d'électronique de puissance multiphasé, tous les composants doivent être isolés les uns des autres et doivent pouvoir fonctionner indépendamment. Pour réaliser

cette fonction, une terminaison en tension de type MESA permet de garantir à la fois la tenue en tension verticalement et l'isolation des composants par une gravure profonde du semiconducteur.

Même si ces étapes ne constituent pas une avancée technologique particulière, elles sont aujourd'hui nécessaires pour mettre en œuvre un packaging 3D performant. En revanche, l'enchaînement des étapes forme une filière technologique originale qui prépare le terrain du packaging 3D. La fabrication de composants de puissance ne constitue pas une nouveauté, ni même le cœur de la démarche, elle est importante pour avoir des composants conçus spécifiquement pour le 3D et ainsi démontrer l'approche. Toutes les étapes technologiques développées dans le troisième chapitre de ce manuscrit ne peuvent être mises en valeur sans une validation dans une mise en œuvre réelle avec des composants fonctionnels. Ces développements sur les composants de puissance sont importants et obligatoires pour fabriquer le module 3D fonctionnel présenté dans le premier chapitre.

La métallisation cuivre

La métallisation aluminium typique des composants de puissance a été remplacée par une métallisation en cuivre pour le futur assemblage par adhésion moléculaire par collage direct Cu-Cu. La filière technologique G2Elab/CIME était basée sur une métallisation en aluminium et les premiers reports de composants sur embase métallique dans le cadre du projet Carnot Power [72, 80] avaient utilisé un redépôt de cuivre sur la métallisation initiale. Cette étape de reprise de contact est typique comme fait dans ces études [42, 46, 88] ; cependant, elle est sensible. Par rapport à la bibliographie et l'expérience en interne, il a été décidé de travailler uniquement sur du cuivre pour simplifier les empilements et surtout réduire les étapes de gravure des plusieurs métaux qui ne sont pas anodines. Ce choix s'inscrit dans le contexte de mise en place d'une nouvelle filière de fabrication de composants adaptés au packaging. À titre d'exemple et de comparaison, c'est un choix qui a été également fait par la société Infineon, l'aluminium a définitivement été supprimé et remplacé par le cuivre à partir de la 5^{ème} génération d'IGBT (2014) avec pour objectifs :

- une diminution des résistances d'interconnexions et d'accès du composant ; en effet, le cuivre a une résistivité inférieure à l'aluminium. Elle permet d'augmenter la capacité en courant pour les mêmes dimensions de puces, 30% pour cette 5^{ème} génération [90] ;
- une meilleure résistance au court-circuit, le cuivre fond à plus haute température que l'aluminium et sa conductivité thermique est meilleure (cf. tableau 3.1) : la métallisation évacue mieux la très forte énergie due au court-circuit [90] ;
- une amélioration de la fiabilité de leurs composants. En effet, le cuivre a un CTE inférieur de 25 % à l'aluminium (cf. tableau 3.1) soit plus proche de celui du silicium donc une réduction des niveaux de contraintes mécaniques dans le composant [67].

L'utilisation d'une métallisation en cuivre est sensible pour les composants de puissance en silicium. Le cuivre diffuse et peut réduire sensiblement la durée de vie des porteurs, paramètre fondamental pour les composants bipolaires. Il peut également augmenter la résistivité du semiconducteur. Pour éviter cette problématique, il faut ajouter une barrière de diffusion efficace. Dans la logique des contacts et interconnexions de la microélectronique, le contact ohmique a été fait par siliciuration de titane et la barrière de diffusion avec un nitrure de titane (TiN). Ensuite, la métallisation épaisse est réalisé par un dépôt d'une couche de cuivre.

La siliciuration est dépendante du type de dopage du silicium (N ou P) ; le niveau de dopage et la température du recuit sont les paramètres les plus importants [99]. Ainsi, les mêmes conditions ont été

prises pour le contact ohmique sur silicium de type N et P. D’après des études internes CEA-LETI, les conditions pour obtenir une métallisation en cuivre et un contact ohmique par siliciuration de Ti sont :

- Dopages en surface du silicium C_S supérieurs à $5e19 \text{ cm}^{-3}$ voire $1e20 \text{ cm}^{-3}$ (type N et P) ;
- Épaisseurs des couches : au moins 40 nm de Ti pour la siliciuration et 10 nm TiN pour la barrière ;
- Recuit thermique rapide (RTA) de 30 s sous N_2 avec un minimum de $700 \text{ }^\circ\text{C}$ pour faire pénétrer le titane et créer une phase métallique $TiSi_2$.

D’après ces spécifications, les doses d’implantations et recuits des zones N+ et P+ ont été simulées pour définir les conditions de fabrication. Grâce à des lots d’essais, les conditions ont été validées pratiquement et ont pu être utilisées pour les composants de puissance. Les simulations ainsi que des mesures de spectrométrie de masse à ionisation secondaire (SIMS) des dopages sur le second lot d’essai sont retracées en figure 2.25. Ainsi, les spécifications des contacts ohmiques ont été intégrées correctement dans la fabrication des composants de puissance.

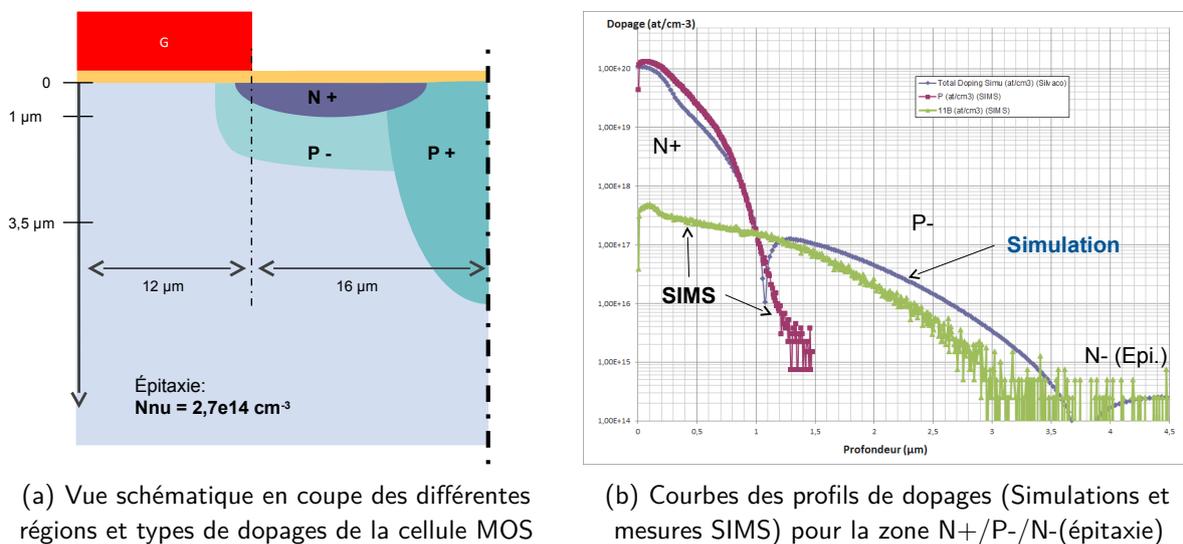


Fig. 2.25 – Dopages de la cellule élémentaire du transistor nMOS

L’épaisseur de la barrière de diffusion en TiN est finalement de 40 nm, une valeur quatre fois plus élevée que les spécifications, par sécurité et pour garantir également la conformité de la couche de TiN par rapport à la topographie importante due à l’oxyde de champ de 800 nm. Il est important aussi d’éviter la diffusion du cuivre dans l’oxyde qui pourrait provoquer des fuites importantes entre la grille et la source. La métallisation épaisse de $2 \mu\text{m}$ de cuivre est réalisée par dépôt PVD et ECD de $2 \mu\text{m}$. C’est une technique assez classique et les industriels, qui travaillent depuis une dizaine d’année sur les métallisations en cuivre, utilisent un procédé électrolytique de dépôt pour avoir une couche épaisse. Elle garantit un coût faible et un temps de dépôt court [88], à l’image de ce qui se fait classiquement dans l’industrie microélectronique pour les vias traversants (TSV). Cette étape d’ECD réalise un dépôt localisé et garantit la croissance du cuivre uniquement sur la *seed layer* ; il est donc possible d’avoir un métal toujours plus haut que le diélectrique pour l’interconnexion avec le leadframe, sans ajout de matière comme illustré précédemment à la figure 2.6.

La terminaison en tension MESA des composants

La protection périphérique garantit la tenue en tension des composants de puissance verticaux. La solution classique utilisée repose sur des anneaux de garde (AdG) : ils épanouissent les équipotentielles dans le volume du composant en présence de jonctions cylindriques ou sphériques lorsque le composant est soumis à une tension inverse. Ils évitent alors une concentration locale du champ électrique entraînant une avalanche prématurée (jonction sphérique [100]). Dans ce type de terminaison en tension, le potentiel de la face arrière se retrouve alors sur la face supérieure au niveau du dernier anneau. Un champ électrique important règne à la surface du composant de puissance, ce qui ne facilite pas le report d'électrodes massives à sa surface. Lorsque le composant est dans un packaging standard et interconnecté par des fils de liaison, il n'y a aucun problème. En revanche, ce n'est pas le cas dans un empilement 3D. La face supérieure des composants se retrouve en contact avec des plaques de champ pour l'interconnexion des électrodes, c'est-à-dire le leadframe. Il peut mettre en court-circuit le potentiel de la face avant, les anneaux de garde et le potentiel de la face arrière. Dans le cas d'une passivation épaisse, la présence de cette plaque métallique à proximité de la terminaison en tension peut modifier le comportement du champ électrique en surface et peut perturber l'efficacité de la protection périphérique. En conclusion, il est préférable de confiner et de maintenir le potentiel de la face arrière en profondeur pour éviter les remontées de potentiels dans le cas d'une intégration 3D [17].

L'utilisation d'une terminaison en tension de type MESA par gravure du semiconducteur est la meilleure solution et elle garantit une très bonne efficacité de protection périphérique. Son coefficient est proche de 100 % pour la tenue en tension réelle par rapport à la tenue en tension du semiconducteur et de la théorie de la diode 1D parfaite [101, 102]. Pour cela, la profondeur de gravure doit être supérieure à l'épaisseur de la zone de désertion. En réalité, la gravure a été optimisée pour une profondeur de 50 μm qui est valable pour les deux composants et permet d'utiliser la même recette de fabrication. Il y a une marge sur le transistor (épitaxie de 43 μm) peu critique car la jonction est en surface. Dans le cas de la diode, celle-ci est plus importante (épitaxie de 35 μm) car la jonction se trouve en profondeur de la tranchée et le champ électrique est maximal.

Au-delà de l'efficacité de la tenue en tension, cette technologie permet de réduire significativement la surface de semiconducteur utilisée pour les périphéries en tension par rapport à l'approche conventionnelle basée sur de multiples anneaux de garde comme décrit à la figure 2.26. Une étude de Fairchild décrit une réduction de 82 % de la surface avec leur technologie de tranchées profondes pour une tenue en tension équivalente (ici 700 V et 4 A) [103].

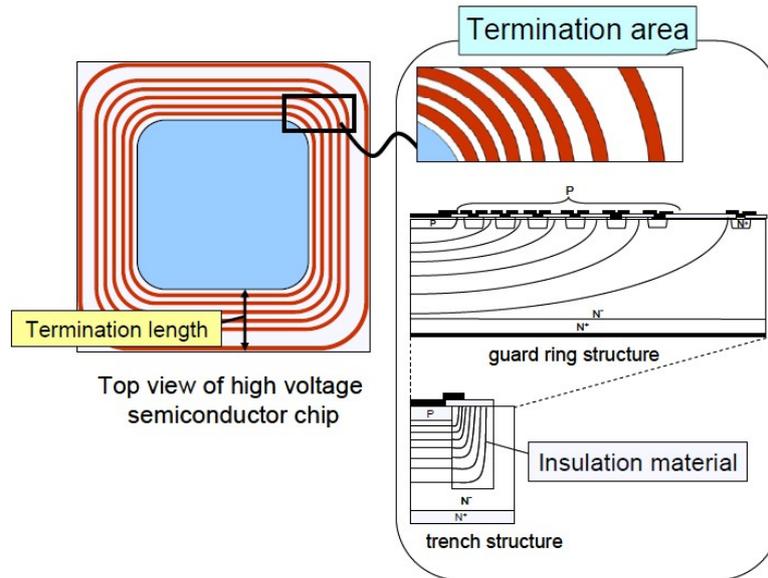


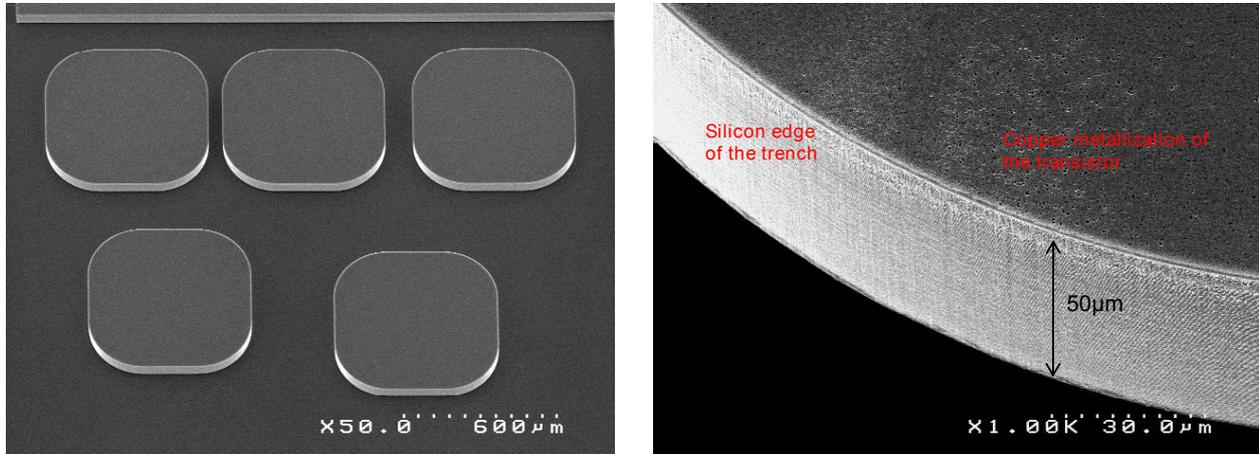
Fig. 2.26 – Comparaison entre une terminaison MESA par tranchée profonde par rapport à l'approche conventionnelle avec les anneaux de garde réduisant la taille des protections périphériques [104]

Dans notre procédé de fabrication, les tranchées profondes sont faites avec une gravure sèche anisotrope du silicium par DRIE et plus spécifiquement avec le procédé "BOSCH". C'est un procédé avec une étape de gravure puis une étape de passivation pour protéger la zone récemment gravée, la répétition successive permet d'atteindre des profondeurs très importantes, plusieurs centaines de microns dans le cas de vias traversants pour l'interconnexion des circuits intégrés. Le contrôle des temps de gravure et de passivation pilote le profil de gravure, la profondeur et la rugosité des flancs [86].

Cette étape de gravure profonde est faite dans la dernière brique car les cavités étant profondes il ne serait plus possible de faire de nouvelles photolithographies. De plus, les flancs de silicium n'étant pas protégés, il faut éviter toute contamination particulaire ou métallique qui pourrait compromettre le bon fonctionnement de la terminaison en tension. Une approche plus classique consiste à faire cette étape de MESA tout de suite après les étapes de *Front-End* pour garantir une absence de contamination métallique puis de remplir ces cavités par un diélectrique comme le BenzoCycloButene (BCB) [101]. Malheureusement ce type de diélectrique n'est pas adapté au budget thermique de la suite de la fabrication : recuit rapide de siliciuration à 700 °C ou le collage par thermocompression à 300 °C. Une autre solution intéressante serait un dépôt conforme d'oxyde de type TEOS qui résisterait au budget thermique cependant les épaisseurs maximales possibles au CEA-LETI sont d'une dizaine de microns. Le remplissage d'une cavité de plus de 40 μm serait trop long et onéreux du point de vue technologique.

L'un des points critiques de cette terminaison en tension est l'alignement du métal avec le flanc de gravure du semiconducteur. Si le métal est trop en retrait, le potentiel ne sera pas uniformément réparti en surface et il y a un risque de concentration des lignes de champ électrique dans cette zone et donc une réduction de la performance de la protection périphérique. Il faut alors un procédé de gravure capable de ne pas générer de décalage entre le métal et le semiconducteur. Le choix s'est porté sur une double gravure enchainée avec le même niveau de masquage pour éviter les problématiques de désalignement entre deux niveaux de photolithographie. Par contre, il faut que la résine supporte les deux types de gravures et que le budget résine soit suffisamment important. Dans les procédés présentés, le niveau MESA est utilisé par l'usinage ionique de la métallisation et pour la gravure

DRIE du silicium, le résultat de cette étape est décrit dans la figure 2.27. D'après les caractérisations morphologiques par microscopie électronique à balayage (MEB), le décalage entre le métal et le silicium a été limité à des valeurs comprises entre 200 nm et 500 nm, sans perturber la tenue en tension des composants d'après les caractérisations électriques décrites dans la partie suivante 2.3.3.



(a) Vue éloignée des tranchées profondes, ces structures de test sont isolées physiquement les unes des autres

(b) Vue rapprochée sur la terminaison en tension verticale avec la métallisation cuivre et le flanc de la DRIE

Fig. 2.27 – Résultats de l'étape de gravure profonde pour la terminaison en tension, vues MEB

L'étape de gravure de DRIE pour réaliser la protection périphérique peut être mutualisée avec la fabrication de transistors en silicium à Super Junction à partir de tranchées profondes et d'épitaxies localisées [105, 106]. La terminaison en tension de type MESA est aussi utilisée dans les composants en SiC, la gravure se fait par *Reactive Ion Etching* (RIE) [107–109] et plus récemment par DRIE [110]. La profondeur de gravure est cependant limitée autour de $10\ \mu\text{m}$ et donc une tenue en tension de 1 kV à cause de la difficulté à graver ce matériau plus dur que le silicium. Ces composants adaptés au packaging 3D renforcent l'intérêt d'une future transposition de la démarche à ce matériau grand gap.

2.3.3 | Les performances électriques des composants

Des composants ont été fabriqués au CEA-LETI à partir du jeu de masques conçu et des procédés de fabrication, basés sur les développements de la métallisation cuivre et des tranchées profondes. Les illustrations des plaques de composants se trouvent en 2.28.

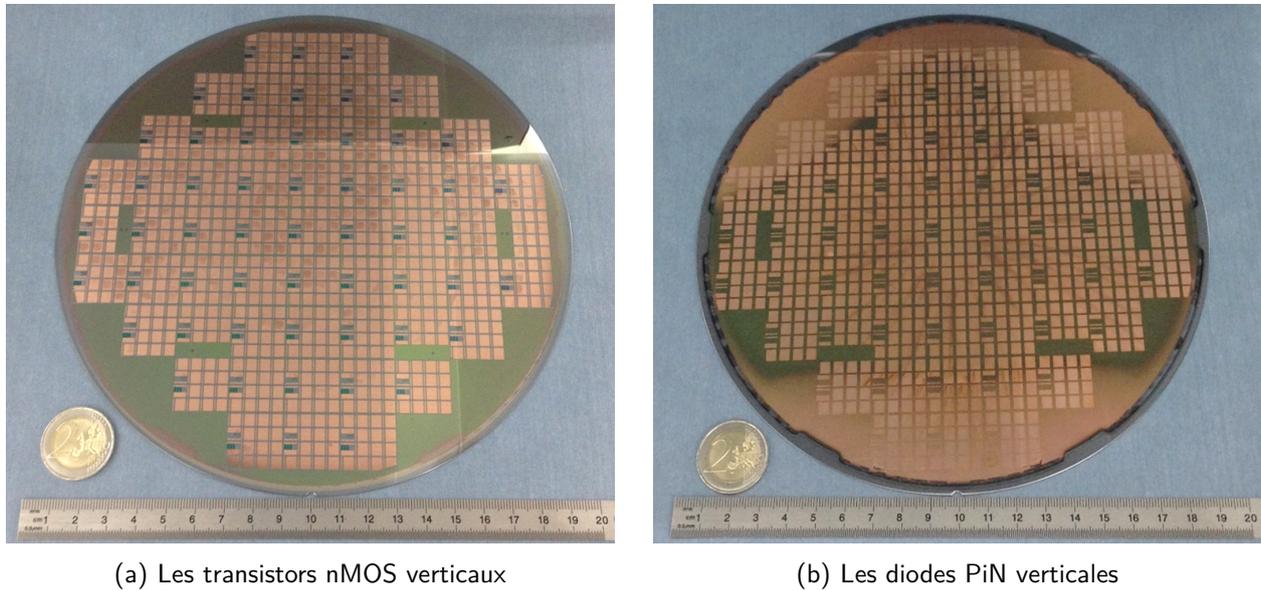


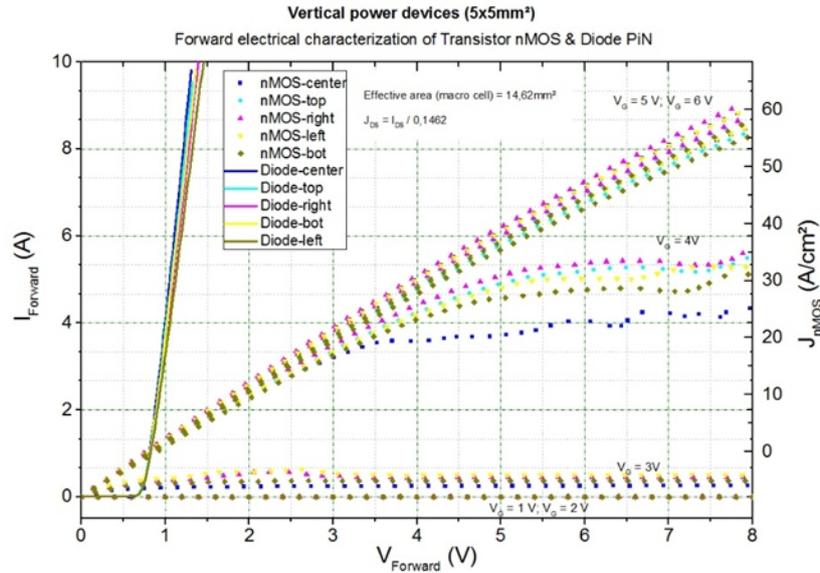
Fig. 2.28 – Les plaques 200 mm silicium de transistors et diodes de puissance

Le détail des composants en vecteur de quatre phases est décrit en figure 2.29. On remarque bien la métallisation cuivre des plots aux couleurs marron ainsi que la zone d'oxyde sur les diodes pour l'isolation du potentiel de grille ramené sur la face supérieure de la diode par le leadframe métallique. De plus, les zones de couleurs bleu/gris représentent les tranchées profondes dans le silicium gravées par DRIE pour la périphérie en tension et l'isolation inter-composants.

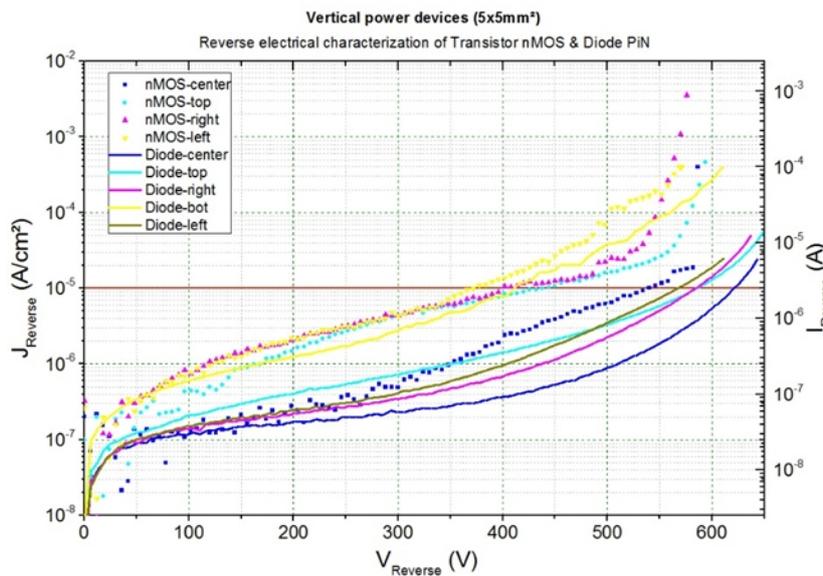


Fig. 2.29 – Zoom sur la face avant des composants dans un vecteur à quatre phases ; en haut : vue des transistors nMOS verticaux avec le large plot de grille ($300 \mu\text{m}$) ; en bas : vue des diodes verticales avec la zone d'oxyde

Les mesures électriques au niveau de la plaque en sortie de fabrication valident les développements spécifiques pour le packaging 3D. Les caractéristiques en direct et à l'état bloqué des transistors et des diodes sont illustrées en figure 2.30.



(a) Caractérisations électriques en direct



(b) Caractérisations électriques à l'état bloqué

Fig. 2.30 – Caractérisations électriques en direct et l'état bloqué des transistors nMOS et des diodes de puissance verticaux, pour différentes positions sur la plaque 200 mm (à température ambiante et sous pointes)

La tenue en tension supérieure à 550 V valide l'efficacité du procédé de protection périphérique ainsi que la capacité de la tranchée verticale à tenir la tension sans passivation dans la cavité. Une étude de diffraction des rayons X (MEB-EDX) sur les flancs de la DRIE a également permis de valider l'absence de contamination métallique due aux étapes de fabrication (gravures et retrait humide de la résine).

Si on compare les performances des composants fabriqués par rapport à la théorie de conception (figure 2.31), on remarque qu'ils sont cohérents, capables de tenir la tension à l'état bloqué et d'être

conducteurs en direct. La figure de mérite $R_{ON}.S$ est estimée à $0,1 \Omega.cm^2$ pour une tension de claquage d'environ 600 V.

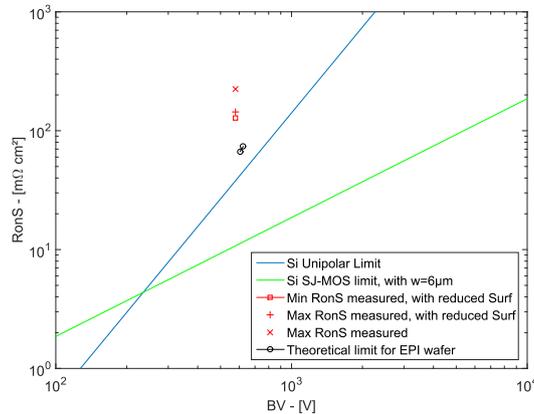
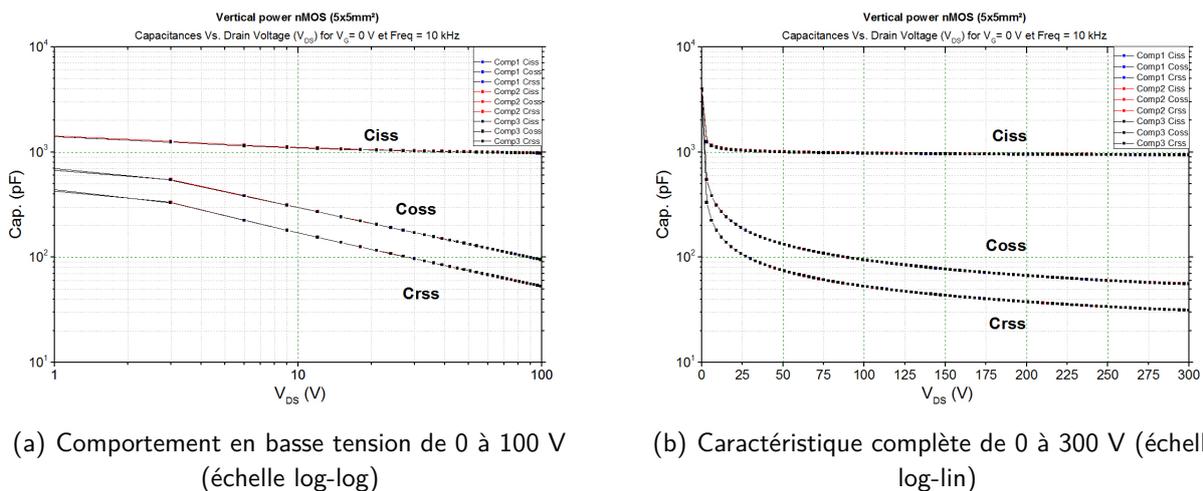


Fig. 2.31 – Comparaison des performances du transistor sur la figure de mérite $R_{ON}.S$ par rapport à la limite théorique de l'épitaxie, aux limites du silicium unipolaire et à Super Junction (issues de [111])

Le pire cas (croix rouge 2.31) sur la figure correspond à la résistance la plus élevée mesurée lors des caractérisations (égale à $0,9 \Omega$). Les deux autres valeurs sont des résistances spécifiques ramenées à la surface utile du composant, c'est-à-dire aux zones avec des macro cellules (deux rectangles de 1,9 mm par 4,2 mm). Ces géométries ont été présentées à la figure 2.8.

Au niveau des capacités dynamiques, des mesures ont été faites et résumées en figure 2.32 et elles confirment la cohérence du composant avec le standard. Les capacités importantes mesurées sont dues à la technologie planaire du transistor avec par exemple C_{OSS} égal à 100 pF pour 100 V.



(a) Comportement en basse tension de 0 à 100 V (échelle log-log)

(b) Caractéristique complète de 0 à 300 V (échelle log-lin)

Fig. 2.32 – Mesures des capacités parasites du transistor nMOS pour trois composants sur le même champ (mesures sous pointe)

L'assemblage plaque à plaque impose une contrainte forte sur le rendement de fabrication. En effet, ce facteur est fondamental pour les étapes collectives d'assemblage où le risque d'assembler des composants non fonctionnels compromettrait complètement l'approche. Les composants réalisés sur

une plaque 200 mm ont été tous testés sur un banc de mesure automatique. Les performances des composants fonctionnels sont comparées sur les figures 2.33, 2.34, 2.35. En l'occurrence, les transistors sont homogènes sur toute la surface de la plaque comme en témoigne la répartition de la tension de seuil V_{TH} située autour de 2,5 V, d'après les statistiques faites ; le détail est sur la figure 2.33.

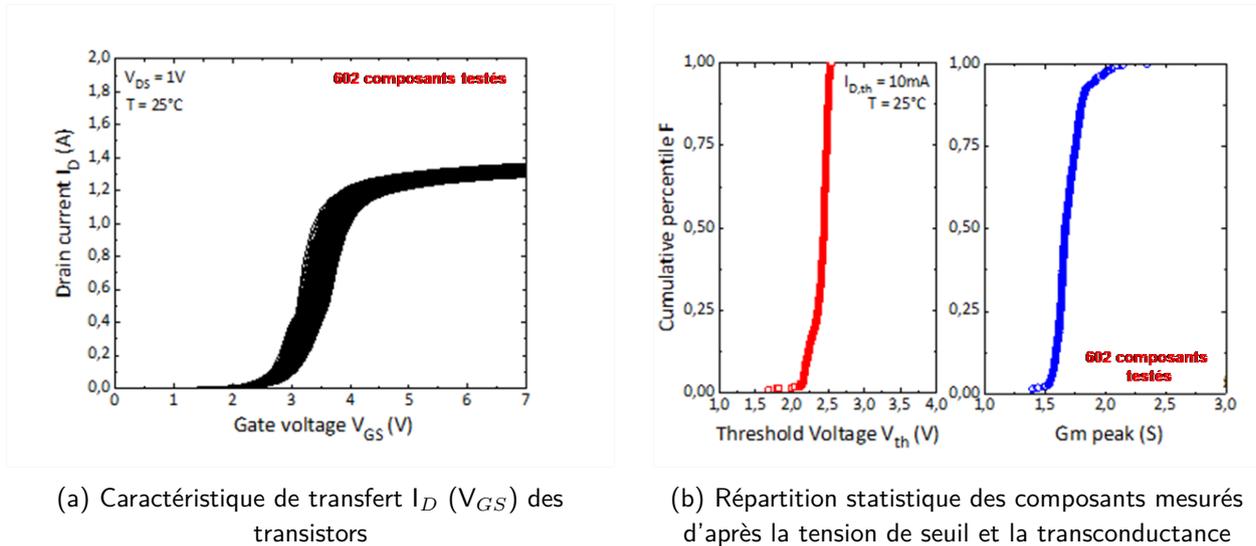


Fig. 2.33 – Mesures électriques statistiques des grilles des transistors fonctionnels d'une plaque 200 mm (602 composants)

La résistance à l'état passant des transistors est également homogène sur la plaque d'après la figure 2.34 et se situe autour de 0,85 Ω .

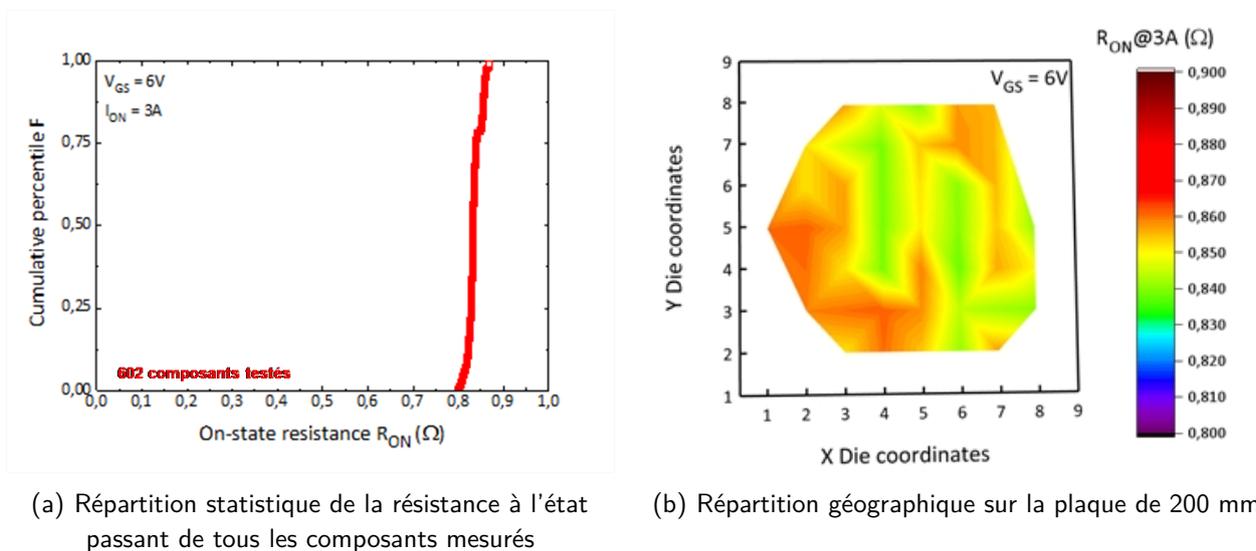
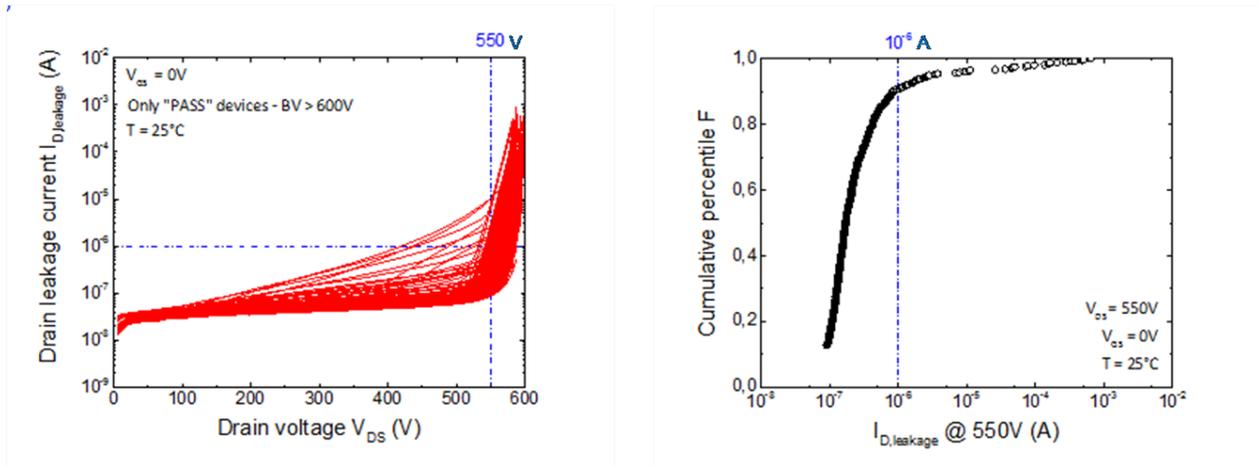


Fig. 2.34 – Mesures électriques statistiques de la résistance à l'état passant des transistors

Il en est de même pour la tenue en tension des composants, la figure 2.35 résume les caractéristiques à l'état bloqué du transistor.



(a) Fuites à l'état bloqué des transistors pour tous les composants mesurés

(b) Répartition statistique du courant à l'état bloqué des transistors pour une polarisation de 550 V

Fig. 2.35 – Mesures électriques statistiques en inverse des transistors

Pour résumer cette étude statistique, on peut définir un rendement de fabrication. 714 composants sont dessinés sur le masque, 602 sont fonctionnels et ont été caractérisés dans ces mesures statistiques. Ainsi le rendement de fabrication pour 550 V et $1 \mu\text{A}$ de fuite vaut 75 %. La tenue en tension est légèrement inférieure (moins de 10 %) à l'objectif de 600 V. Les hypothèses principales pour expliquer cette légère différence sont :

- les imperfections de fabrication classiques pour cette première génération de composants fabriqués selon l'approche ;
- une non prise en compte (un oubli) de la diffusion de la zone P- de source dans l'épithaxie N- lors du dimensionnement du composant, celle-ci pénètre de $3,5 \mu\text{m}$ et réduit donc la zone de désertion de charges d'autant. En prenant en compte cette diffusion dans le dimensionnement, le composant est finalement optimisé pour une tenue en tension de 575 V.

Les mesures statistiques sur les diodes n'ont pas été réalisées car un problème d'accroche de la couche métallique de *seed layer* a fortement compromis le nombre de composants fonctionnels. En effet, 50 % environ des composants se sont arrachés. D'après l'analyse du problème, ce n'est pas une question d'intégration d'étapes technologiques mais vraisemblablement un problème technique dans la machine lors de ce dépôt. Le second lot devrait pouvoir rectifier cette déviation et le rendement devrait être équivalent à celui du transistor car les deux types de composants sont basés sur la même filière de fabrication.

Ce problème technologique ne doit pas cacher le bon fonctionnement, d'après les caractérisations IV et les tests en commutation, de cette diode verticale non classique avec la jonction en profondeur. C'est un résultat intéressant pour réaliser des diodes avec une anode commune (au lieu de cathode commune dans le standard). La terminaison en tension par la tranchée profonde est aussi efficace que la jonction soit en surface (cas du nMOS) ou en profondeur (cas de la diode).

La fabrication de composants de puissance spécifiques pour un packaging 3D introduit de nouveaux horizons pour l'assemblage, ces composants sont "simplifiés" et adaptés pour le packaging à l'inverse des filières actuelles de fabrication. Ils vont être alors parfaitement compatibles avec des étapes collectives de finition, de passivation et assemblage.

2.4 | Gains de l'approche de conception et des étapes collectives

2.4.1 | Les gains de l'approche

La fabrication de composants fonctionnels, à l'échelle de la plaque, aux performances satisfaisantes était un nécessaire à tout le travail de développement et de démonstration de l'approche de packaging 3D. Néanmoins elle représente une étape parmi une approche beaucoup plus globale comprenant la conception, la fabrication et l'assemblage de modules de puissance 3D à partir d'intégrations technologiques alternatives. A l'image des figures 2.1 et 2.2, le choix de maximiser les étapes collectives apporte de nouveaux concepts et opportunités : le dispositif final est un véritable module de puissance en 3D d'une architecture pour l'électronique de puissance et non des puces que l'utilisateur final devra assembler lui-même. Ces étapes collectives représentent l'une des meilleures approches pour répondre aux contraintes des assemblages 3D performants d'après l'état de l'art du premier chapitre ainsi que des verrous détaillés dans l'introduction 2.1. Les gains de cette approche de conception couplée et d'utilisation d'étapes collectives d'assemblage sont :

- Amélioration des performances électriques avec des composants spécifiquement conçus et optimisés pour cette intégration. Les étapes d'adaptation des puces standards en vue du packaging 3D classiques dans la littérature, ne sont plus nécessaires. Il n'y a plus de risque de dégrader les performances initiales du composants ;
- Réduction des éléments parasites d'interconnexion avec la suppression des brasures et des fils de liaison et le remplacement par un leadframe métallique épais idéal pour sa conductivité électrique, thermique et sa tenue mécanique ;
- Optimisation du refroidissement du module 3D par l'utilisation d'un dissipateur sur les deux faces du module. L'ajout de plaques métalliques épaisses polies (avec un bon état de surface grâce aux étapes de polissage pleine plaque) permettra *in fine* de maintenir un refroidissement efficace simple face pour chacune des puces de l'empilement 3D ;
- Amélioration des performances thermo-mécaniques car l'assemblage 3D, tel que présenté pour la réalisation d'une cellule de commutation élémentaire et d'un leadframe d'interconnexion, est une structure parfaitement symétrique : silicium - cuivre - silicium ou encore cuivre-silicium-cuivre-silicium-cuivre. L'association de ces deux matériaux peut paraître audacieuse à cause de leurs différences de CTE mais le choix de garder la structure symétrique tout au long de la fabrication grâce aux procédés collectifs ainsi que durant son utilisation réduit fortement les déformations ce qui est un aspect favorable pour l'approche. On peut bénéficier des avantages du cuivre sur sa conductivité thermique et électrique sans ajouter de matériaux plus onéreux (comme les composites) ou à base de molybdène (qui est trente fois moins abondant sur terre que le cuivre d'après une étude japonaise [112]) ;
- Amélioration du suivi de l'état de surface des plaques grâce aux procédés d'assemblage collectifs ; ils réduisent les risques de contamination (métallique, particulaire et organique). Toutes ces étapes sont basées sur des machines automatisées qui sont garantes d'une excellente reproductibilité et d'une cadence de production élevée. Le rendement de production est également un avantage important : des plaques de composants sont alignées et assemblées en une seule étape, c'est-à-dire grossièrement un millier de composants vis-à-vis d'assemblage puce à puce (avec comme hypothèses simples, un composant de 5 mm de côté et un rendement d'assemblage unitaire). L'assemblage par collage direct est également un gage de la qualité de fabrication de cette intégration 3D.

Cette méthode de conception et de fabrication est très différente du standard et de l'engouement actuel pour les technologies bas coût, comme l'utilisation des technologies de puces enterrées dans le PCB [42, 113–117] qui ont par ailleurs d'excellentes performances. Cependant, elles souffrent toujours des mêmes inconvénients sur la qualité des procédés de reprise de contact et d'assemblage puce à puce. En résumé, seules les étapes de fabrication collective associées à une conception couplée composant/package nous semblent être en mesure de répondre aux besoins et défis futurs des modules de puissance de plus en plus complexes et aux contraintes de mises en œuvre de plus en plus fortes.

2.4.2 | Ouverture sur le concept de la *Wafer Level Power Packaging Toolbox*

Cette approche générique se base sur une filière technologique à l'image des filières de microélectronique mais également sur des étapes technologiques indépendantes comme l'assemblage à l'échelle de la plaque, la passivation à l'échelle de la plaque, les découpes d'hétérostructures, la fabrication de composants spécifiques pour l'intégration 3D, etc. Cette filière s'articule autour d'un concept de boîte à outils avec de nombreuses recettes technologiques génériques qui, une fois développées, peuvent être utilisées indépendamment ou ensemble et à destination d'applications multiples. Cette boîte à outils, ses conditions et règles d'utilisation seront détaillées dans le troisième chapitre avec un focus sur les étapes obligatoires pour la démonstration de l'approche. Ces différentes étapes amènent de nouveaux concepts de packaging plus larges que le cas de la cellule de commutation élémentaire nMOS/diode étudié.

D'abord un récapitulatif des différents cas possibles de ce type d'empilement est visible à la figure 2.36. Une plaque métallique massive en face arrière a été ajoutée dans cette vue en coupe pour l'interconnexion par la tranche perpendiculairement au PCB.

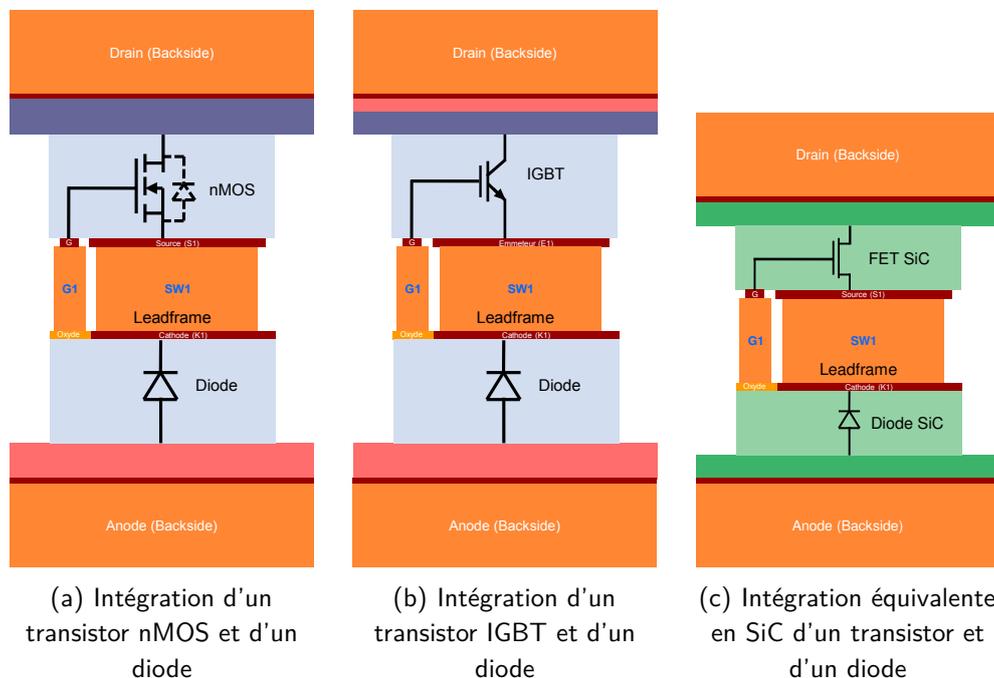


Fig. 2.36 – Différents empilements 3D transistor et diode pour faire une cellule de commutation élémentaire

La démonstration du concept entre une diode bipolaire et un transistor unipolaire (nMOS) n'est pas le cas optimal. On peut quand même envisager ce cas avec une diode rapide (avec une durée de vie des

porteurs faible). Dans ce cas, l'association est envisageable pour un fonctionnement à fréquence élevé. Le cas idéal serait d'associer des composants du même type puisque, pour un même calibre en courant, ils ont la même surface : unipolaire avec par exemple nMOS et diode Schottky ou bipolaire avec IGBT et diode PiN. Le choix de la diode Schottky n'a pas été fait dans cette première réalisation car il n'est pas possible à notre connaissance de réaliser une anode commune en FAR. La seule possibilité de faire cet empilement optimal serait de faire la métallisation Schottky après le rabotage du substrat (figure 2.2g). Cependant, c'est une structure originale et qui nécessite des développements supplémentaires risqués pour cette première mise en œuvre dans le cadre de la thèse. Cette solution pourrait être intéressante pour des assemblages avec des diodes Schottky en SiC. En effet, le SiC peut être transposé à l'identique. De plus, les zones de tenue en tension étant plus petites que sur silicium à tension de claquage égale, les tranchées de MESA sont moins profondes, autour de 10 μm dans la gamme de tension étudiée. La passivation à l'échelle de la plaque est ainsi simplifiée.

L'autre possibilité est une ouverture vers d'autres intégrations 3D que la cellule de commutation élémentaire. L'association de deux transistors complémentaires nMOS et pMOS pour la réalisation d'une structure Power Buffer – CMOS, étudiée dans la thèse de M.H. Tran (G2Elab) [118] est intéressante car elle est structurellement adaptée à l'intégration 3D avec ses grilles communes et ses sources communes. Néanmoins, cette association a une limite sur l'optimisation de la surface du composant en fonction du point de fonctionnement. Selon le rapport cyclique du hacheur, le composant *High-Side* ou *Low-Side* ne verra pas le même courant et donc l'échauffement sera différent. Dans notre approche, le ratio de surface est fixé et égal pour les deux composants du bras de pont. Cette structure complémentaire est plus utilisée en basse tension comme l'exemple du packaging NexFET de Texas Instruments : c'est l'intégration 3D de puces nMOS et pMOS interconnectées par un leadframe [119]. Les gains de l'intégration 3D optimale compensent l'utilisation d'un transistor de type P avec une mobilité inférieure pour les trous que les électrons dans le cas du silicium, il est également possible d'imaginer le transistor pMOS sur un autre matériau plus adapté, comme le cas du germanium ou du III-V en microélectronique [120]. Cette intégration est valable tant que les deux transistors sont complémentaires. L'utilisation d'un composant normalement passant avec un normalement ouvert serait également intéressante.

L'intégration 3D d'un bras de pont ou plus précisément de deux transistors de même type, typiquement deux nMOS en électronique de puissance, devient plus complexe car il n'y a pas de symétries sur les électrodes au centre du "sandwich" et elle a besoin de deux leadframes métalliques (un pour chaque FAV de transistors) comme décrit schématiquement dans la figure 2.37. Cette dernière option est séduisante et technologiquement possible à la suite des développements dans le cadre de la thèse ; elle représente une solution plus complexe mais c'est l'intégration ultime pour l'électronique de puissance. De plus, cet assemblage est transposable à l'identique aux transistors à effet de champ en SiC (JFET ou MOSFET) avec en plus l'avantage sur la réduction de l'épaisseur de passivation comme dit précédemment.

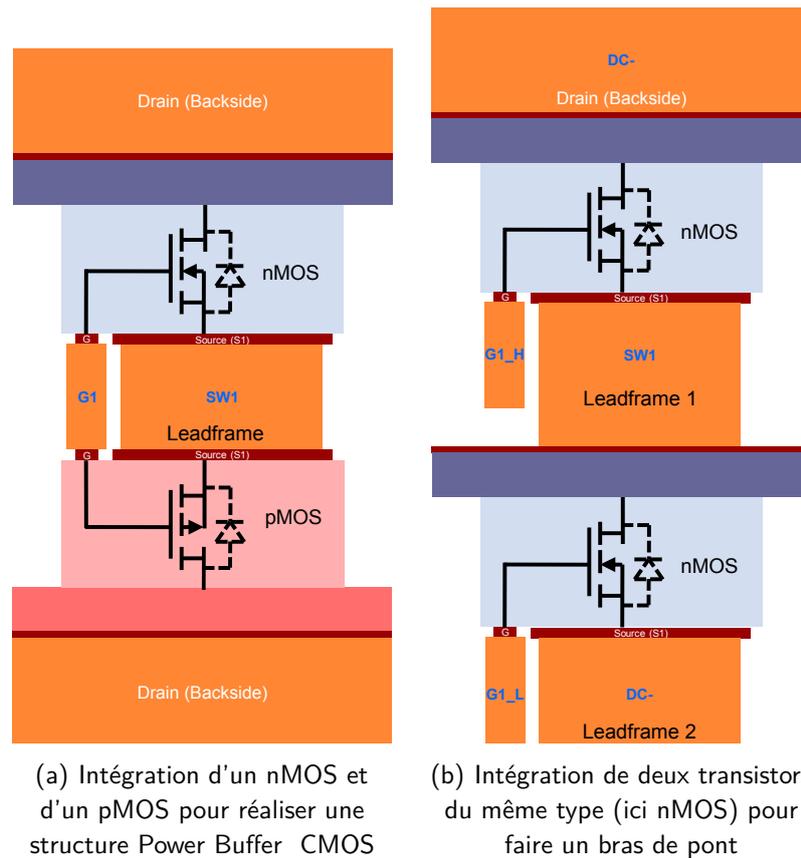


Fig. 2.37 – Différents empilements 3D de deux transistors de puissance

L'un des principaux avantages de l'assemblage collectif entre les plaques de composants et le leadframe massif est de pouvoir utiliser cet élément pour la fabrication du module 3D et non pas uniquement pour l'interconnexion. Ce leadframe métallique est conçu pour avoir une tenue mécanique suffisante pour ses étapes de polissage donc il peut être utilisé comme maintien mécanique de l'assemblage 3D. Cette opportunité simplifie l'étape de rabotage de la face arrière des plaques de semiconducteur : la contribution de la résistance du substrat à l'état passant est donc supprimée et le fait de travailler avec des puces plus fines améliore l'intégration et l'extraction des pertes du composant. Cette étape de rabotage est classique dans la filière de fabrication des composants de puissance industriels [121, 122] et est basée sur l'utilisation d'une poignée (une plaque assemblée temporairement lors du rabotage) [123]. Cette étape a déjà été démontrée dans le cadre du projet CARNOT CEA-LETI/G2Elab pour des reports de diodes de puissance sur substrat métallique [72]. L'intégralité du substrat semiconducteur peut être retirée pour ne garder que l'épaisseur utile du composant, c'est-à-dire la zone de désertion pour la tenue en tension verticale. Il est alors possible d'utiliser un substrat silicium avec le dopage adéquat pour la tenue en tension et de ne garder que la zone active plutôt que d'avoir une épitaxie faiblement dopée, cela supprime une étape et réduit le coût de fabrication. La vue en coupe de l'empilement 3D d'une cellule de commutation rabotée est visible en figure 2.38.

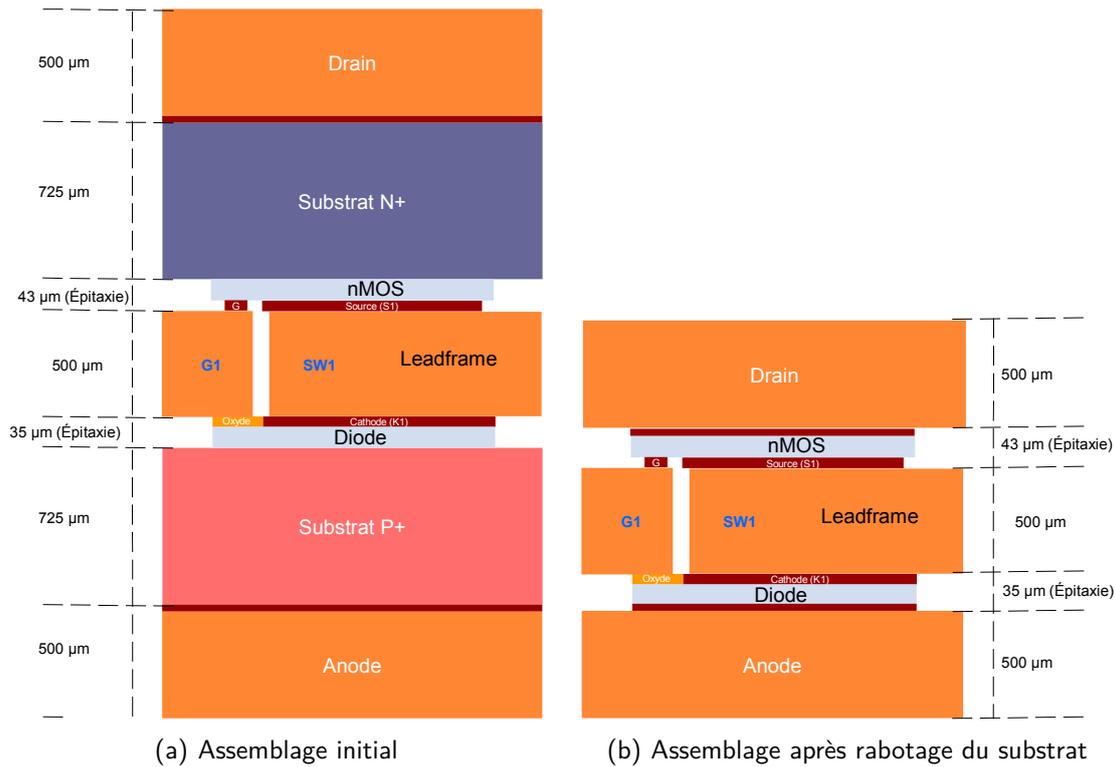


Fig. 2.38 – Vues en coupe schématique de l'intégration 3D d'une cellule de commutation avec des composants (avec et sans substrat silicium), des plaques métalliques sont ajoutées en face arrière pour l'interconnexion (dessins à l'échelle)

Une étude de Fairchild a quantifié ce gain avec un retrait du silicium non actif et une métallisation épaisse de 50 μm crue par ECD : technologie appelée *silicon-on-metal* (SOM). Cette réduction permet de diminuer la résistance spécifique à l'état passant $R_{DS(ON)}$ de 38 % pour cet exemple d'un composant 30 V [124]. De la même manière, une réduction de la résistance thermique est démontrée. Elle est un argument favorable pour le refroidissement du composant et apparaît comme un point positif de l'approche proposée. Ils ont également montré que le rabotage du silicium et l'ajout d'une couche de cuivre épaisse engendre une contrainte dans le silicium. Par un effet piézorésistif, la mobilité des électrons est augmentée avec une réduction de 16 % sur la résistance à l'état passant [125]. Cependant, cette amélioration est sensible à la direction de circulation du courant et la direction de la contrainte exercée, l'impact peut être négatif lorsque la contrainte est créée par une hétérostructure silicium-cuivre typique du packaging [126, 127] et non par le procédé d'amincissement et métallisation en FAR. Une étude plus poussée sur l'impact des contraintes créées par la fabrication et le packaging semble intéressante dans le futur pour quantifier le gain positif sur les performances des composants dans ce nouveau procédé de fabrication. D'un autre côté, cette hausse de la contrainte dans l'empilement pourrait avoir un impact négatif pour le cyclage en température et donc sur la fiabilité du module, en effet, le point de repos ayant déjà une contrainte, il diminue la marge par rapport à la limite élastique des matériaux.

Autre point, l'amincissement du substrat a un fort impact sur la réduction de l'inductance parasite de commutation dans le cas de l'utilisation d'un busbarre dans un montage PCoC. La réduction de la distance entre les plaques métalliques $DC+$ et $DC-$ augmente les couplages électromagnétiques et réduit sensiblement la valeur parasite, avec par exemple 0,8 nH pour une puce de 200 μm par simulation [17] ; une épaisseur de 50 μm avec uniquement la zone active pourrait conduire à une valeur encore plus faible.

2.4.3 | La transposition aux composants latéraux

Les idées développées avec les transistors verticaux sont aussi transposables aux composants latéraux, comme les transistors sur SOI ou les transistors en GaN de type HEMT (*High Electron Mobility Transistor*). Les HEMT ont des caractéristiques très intéressantes pour les applications de puissance mais nécessitent un packaging encore plus optimisé au niveau CEM et thermique pour limiter les inductances parasites de maille de commutation. Les fronts de commutation de ces transistors sont très élevés et l'évacuation de la chaleur sur de plus petites dimensions est sensible : la densité de puissance avec les composants GaN est supérieure à celle équivalente en silicium.

Pour illustrer cette transposition de l'approche, un composant HEMT en GaN sur Si a été pris. Cependant l'approche n'est pas limitée à ce cas de figure et elle est compatible avec tout transistor latéral sur matériau massif ou structure réalisée par hétéroépitaxie. La seule condition est sur le dernier niveau de métallisation qui doit être adapté : *layout* des plots des composants correspondant au leadframe et sur la topographie avec les mêmes contraintes que celles présentées précédemment. La vue en coupe de ce HEMT adapté est visible à la figure 2.39. Les illustrations suivantes décrivent l'adaptation du concept aux composants latéraux ; elle a été brevetée dans le cadre de cette thèse [85].

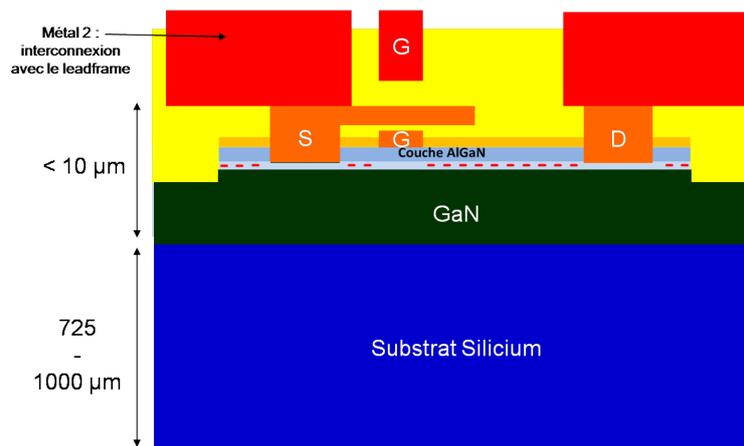


Fig. 2.39 – Vue en coupe simplifiée d'un HEMT AlGaIn/GaN latéral sur substrat silicium

Du point de vue système, le choix s'est porté sur un convertisseur triphasé. Il représente une topologie standard avec plusieurs phases et donc de nombreux composants et interconnexions, il est décrit à la figure 2.40.

Ces trois éléments sont assemblés collectivement à l'échelle de la plaque. Après découpe, l'interconnexion se fait par la tranche du module comme dans le cas des composants verticaux. Cet assemblage 3D est décrit à la figure 2.41. Toutes les électrodes sont interconnectées par le leadframe au centre de l'empilement et le leadframe réalise également les électrodes communes $DC+$ et $DC-$.

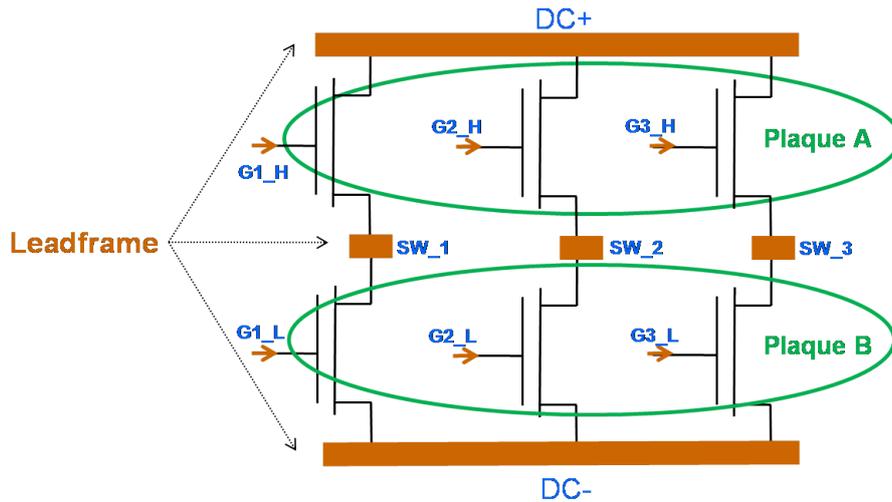
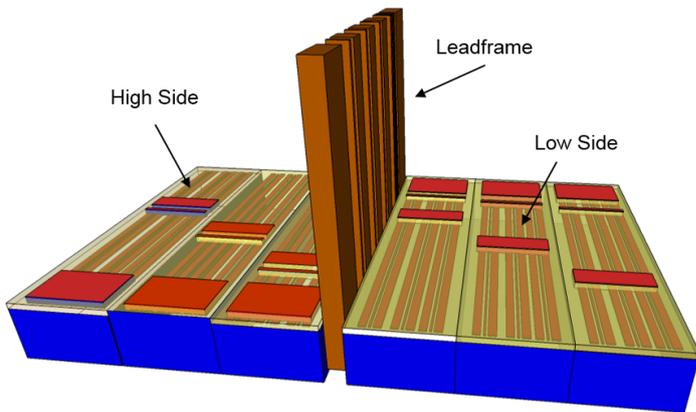
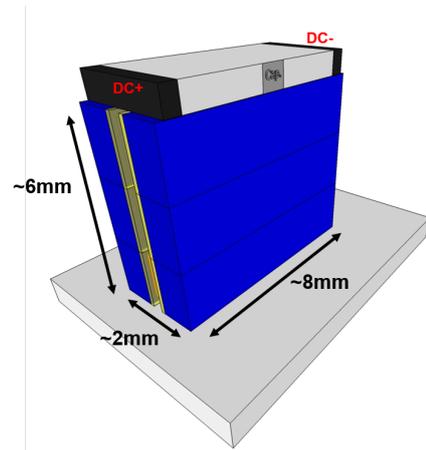


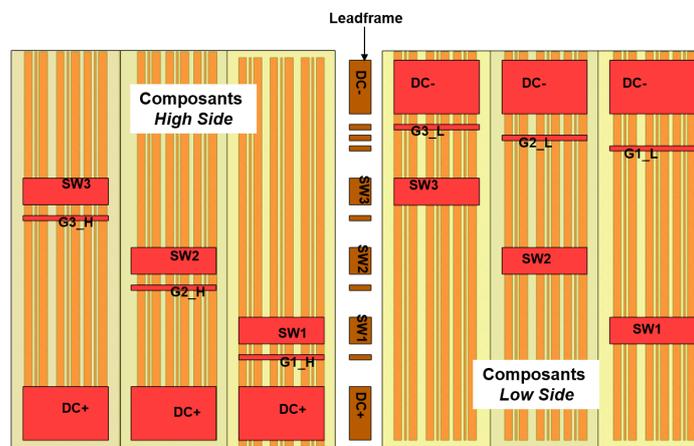
Fig. 2.40 – Schéma électrique d'un onduleur triphasé avec les différents contacts électriques; encerclé en vert les deux plaques de composants et en marron le leadframe d'interconnexion



(a) Vue éclatée des trois éléments avant assemblage



(b) Vue du module 3D après assemblage et report perpendiculairement à un support, le condensateur de découplage est positionné sur le dessus



(c) Vue de dessus de la figure éclatée (a) pour visualiser toutes les électrodes et interconnexions par le leadframe

Fig. 2.41 – Description de l'assemblage 3D entre deux plaques de composants latéraux et un leadframe

Le module 3D ainsi réalisé est de dimension millimétrique avec pour hypothèse un composant HEMT unitaire d'une dizaine de mm^2 (ici 3 mm par 8 mm). C'est logiquement une grandeur dépendante du *layout* et du calibre en courant d'un composant. Elle a été choisie en cohérence avec les composants fabriqués au CEA-LETI [128].

L'assemblage présenté ici est proche du cas de figure avec les composants verticaux mais il ne prend pas suffisamment en compte les spécificités des composants latéraux de type HEMT :

- possibilité d'intégration monolithique de puissance de plusieurs composants ;
- localisation de la partie active sur la FAV : forte densité de puissance à évacuer (pertes) ;
- problématique du substrat mécanique en FAR pour la tenue en tension et le refroidissement ;
- réduction significative de la signature CEM des modules de puissance utilisant ces composants très performants.

Pour répondre à ces points, une intégration monolithique de tous les composants associée avec une plaque de leadframe métallique a été imaginée et fait l'objet d'un brevet déposé et en cours d'examen [129]. La figure 2.42 décrit cette solution avec un leadframe identique à la solution précédente, l'ajout d'un condensateur de découplage est toujours possible.

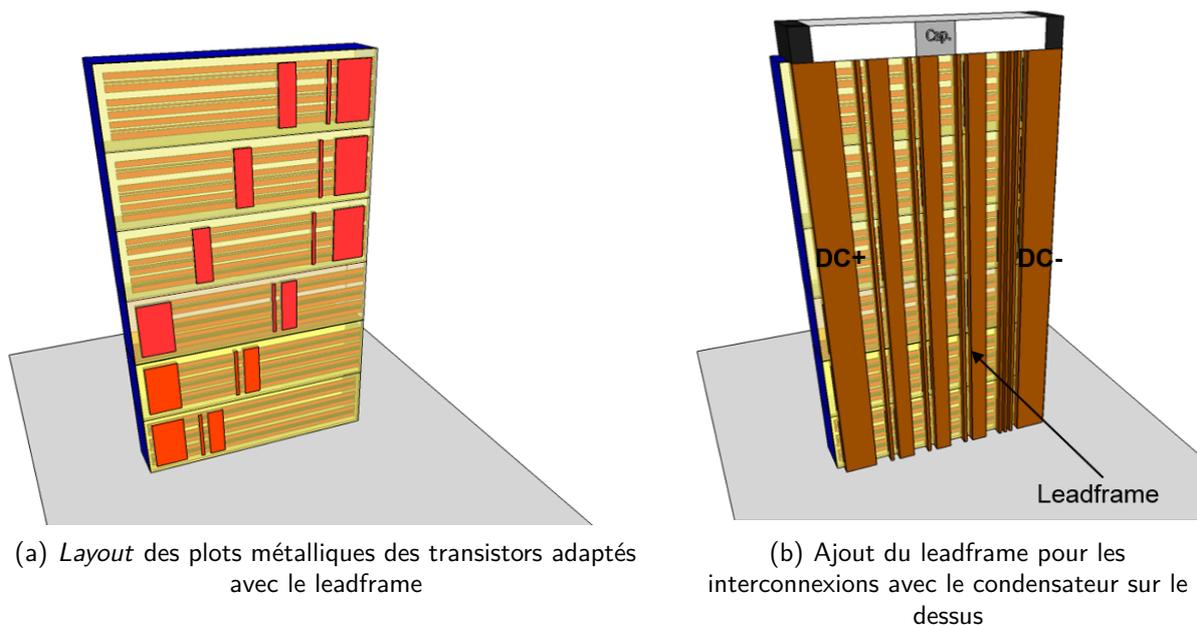


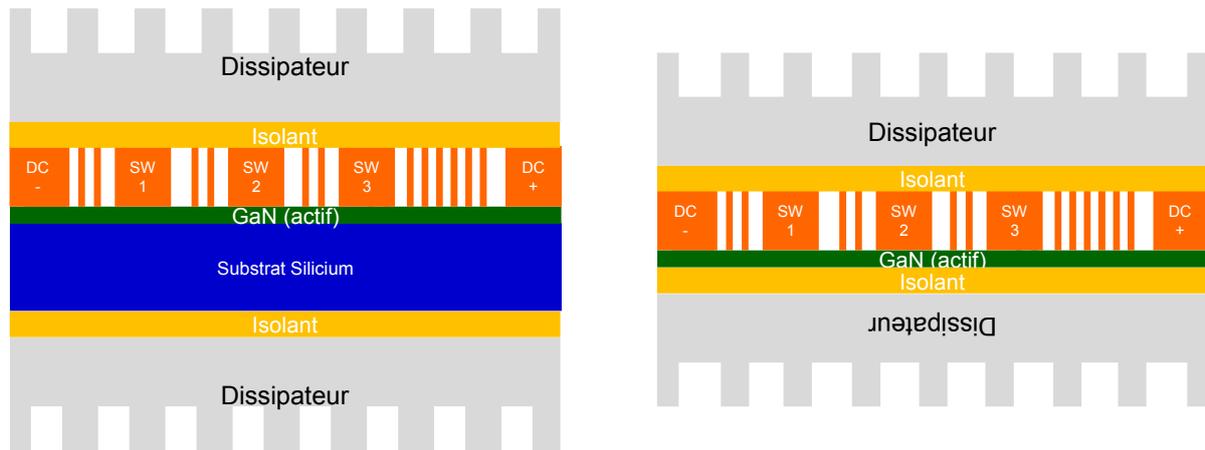
Fig. 2.42 – *Layout* des transistors latéraux et empilement 3D vertical pour un onduleur triphasé monolithique reporté perpendiculairement au support

La figure 2.43 montre la vue en coupe après ajout d'un dissipateur sur chaque face du module. La combinaison de l'assemblage collectif d'une plaque de composants et d'une plaque de leadframe permet de retirer le substrat mécanique. Cette possibilité de raboter la FAR en gardant le maintien mécanique par le leadframe d'interconnexion est également une solution très intéressante pour les composants latéraux :

- l'absence du substrat Si permettrait de passer outre les problématiques de claquage vertical dans le silicium pour un composant HEMT latéral [130] ;
- Il est possible également d'améliorer la dissipation thermique en supprimant cette couche utilisée pour l'hétéroépitaxie, elle apporte une résistance thermique supplémentaire. Sa suppression puis

le report des composants sur une couche métallique supprime l'effet typique d'auto-échauffement dans ces structures comme le montre cette étude de HEMT GaN sur saphir [131];

- Pour aller encore plus loin, le leadframe métallique épais assemblé sur la FAV —supprimant tout *wire bonding*— pourrait être utilisé pour le refroidissement des HEMT GaN où les densités de puissance et de courant sont localisées sur quelques microns en surface d'où un refroidissement peu efficace par la face arrière. Le refroidissement par la face supérieure de ces composants est déjà utilisé comme par exemple par GaN Systems [132] mais n'a jamais été associé à un composant sans son substrat mécanique.



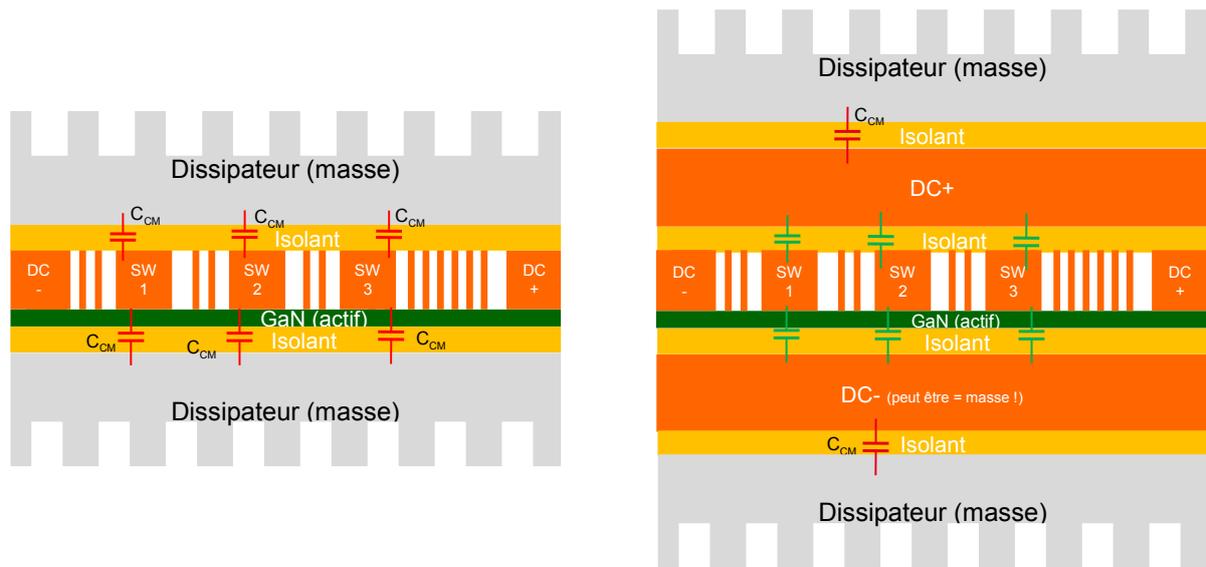
(a) Le substrat mécanique est conservé

(b) Retrait du substrat silicium en FAR pour améliorer le refroidissement double face

Fig. 2.43 – Refroidissement double face d'un convertisseur monolithique

Cette structure présente deux inconvénients. L'ajout d'une couche diélectrique pour isoler tous les potentiels du leadframe et le dissipateur augmente la résistance thermique. Elle est cependant obligatoire pour l'isolation électrique. Le second concerne le mode commun. La configuration présentée est finalement identique à un module planaire (2D) avec une capacité parasite entre les électrodes des points milieu perturbateurs V_{SWx} et le dissipateur, comme représenté dans la figure 2.44a. La proposition faite pour supprimer cette problématique consiste en l'ajout de deux plaques métalliques jouant le rôle d'écrans électrostatiques pour réduire les couplages capacitifs entre les points perturbateurs et la référence. Les plaques peuvent être ajoutées en cours de fabrication ou à l'échelle de la puce.

La transposition de l'approche de conception couplée et de fabrication collective à l'échelle de la plaque aux composants latéraux est prometteuse. Elle a permis de faire émerger de nouveaux concepts sur le refroidissement par la face active des composants GaN qui est un challenge important ainsi que sur le retrait du substrat mécanique servant à l'hétéroépitaxie grâce à la tenue mécanique du leadframe.



(a) Module dans une configuration planaire (2D) avec les capacités de mode communs problématiques (en rouge)

(b) Structure du module avec deux plaques métalliques supplémentaires, les capacités de mode commun sont réduites (verte)

Fig. 2.44 – Les capacités de mode commun dans la structure de convertisseur monolithique avec un refroidissement double face

2.5 | Conclusion

Ce second chapitre résume la démarche de conception couplée entre le composant et son packaging aussi bien sur la conception (dessin des masques) que sur le procédé de fabrication du dispositif complet. On retrouve des nouvelles règles de conception et cheminements technologiques qui ne sont pas complexes en soit mais demandent beaucoup d'attention pour leur prise en compte et garantir la compatibilité entre tous les aspects. Les éléments critiques sont synthétisés ci-après :

1. les règles pour le leadframe d'interconnexion :

- la conception du leadframe métallique dans le même environnement que les composants et surtout un procédé de fabrication des trois éléments interdépendants (deux plaques de composants et une plaque d'interconnexion) ; tous ses motifs doivent être reliés en deux points afin de n'avoir aucune zone en porte-à-faux ;
- l'épaisseur du leadframe correspond directement à la taille de l'empreinte du composant sur le PCB et donc sa résolution de fabrication ;
- l'épaisseur du leadframe doit être suffisamment grande pour garantir la tenue mécanique en fabrication (typiquement supérieure à 200 μm).

2. les règles pour les composants de puissance :

- les plots métalliques du composant : des géométries simples (de forme convexe), une distance d'isolation fonction de la résolution de gravure du leadframe (ici de 0,5 mm) ;
- des topographies du composant adaptées : des plots de métallisation plus hauts que les couches de protection, à prendre en compte dans le *layout* et dans le procédé de fabrication ou alors passer par une étape de planarisation ;

- des zones larges et planes doivent être dessinées sur les plots des électrodes pour le futur assemblage sans ajout de matière ;
 - la brique de métallisation des composants doit être adaptée : choix du métal en fonction de la solution d’assemblage ;
 - le type de protections périphériques utilisées doit être compatible l’empilement 3D des composants.
3. les règles sur l’organisation des composants sur la plaque et les étapes collectives :
- la répartition des composants sur la plaque est importante, pour assurer *a minima* un axe de symétrie garantissant une superposition des électrodes métalliques lors du report plaque à plaque ;
 - l’ajout de motifs pour l’alignement des trois plaques lors du scellement ;
 - la présence de motifs d’alignements en FAR pour la découpe finale de l’hétérostructure.

Pour conclure, il est important de souligner que cette approche de conception couplée est générique et adaptable quelque que soit le diamètre des plaques et le matériau, 100 mm, 150 mm, 200 mm, 300 mm et pour des composants en silicium, SiC, ou encore GaN, GaN sur Si.

L’intégralité de la filière de conception et de fabrication d’un module 3D de puissance multiphasé est résumée graphiquement dans la figure 2.45.

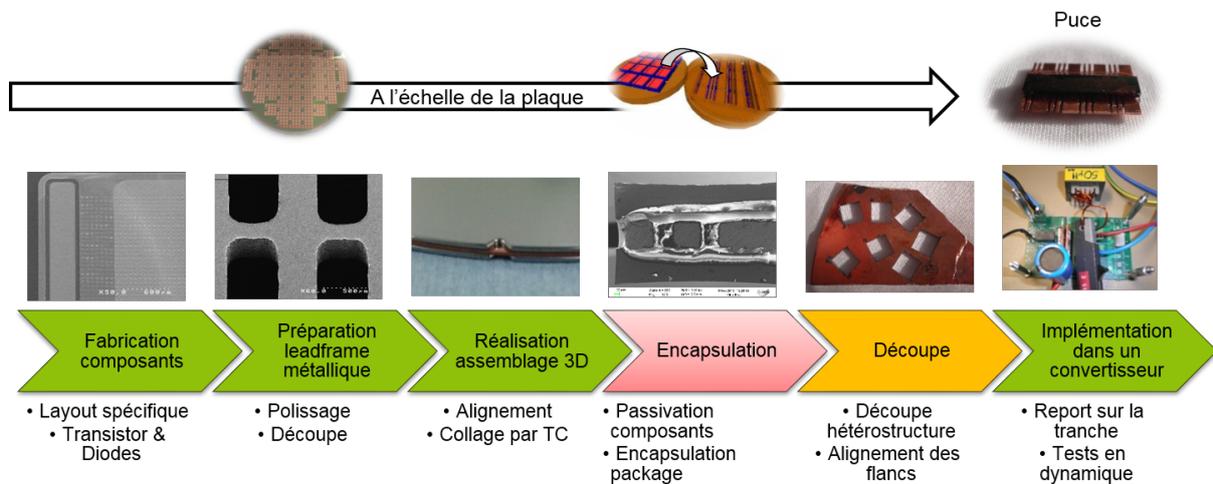


Fig. 2.45 – La filière de conception et fabrication mise en place dans l’approche de packaging à base d’étapes collectives

La fabrication des composants fonctionnels est décrite dans ce chapitre comme une étape clé de l’approche mais faisant partie d’un ensemble plus vaste de boîte à outil d’étapes technologiques pour la réalisation d’intégration 3D de puissance. À la suite de la fabrication des composants, les étapes de préparation du leadframe métallique puis d’assemblage par collage direct sont fondamentales pour l’approche. Elles seront explicitées dans le troisième chapitre comme deux étapes de la boîte à outils technologiques à destination du packaging d’électronique de puissance.

3 | Technologies pour la réalisation collective de module de puissance à l'échelle de la plaque

Sommaire

3.1	Introduction des étapes technologiques	98
3.1.1	Structuration des étapes dans une offre de <i>Wafer Level Power Packaging Toolbox</i>	98
3.1.2	Besoins et verrous d'une offre d'étapes génériques de fabrication	99
3.1.3	Organisation de la filière de packaging à l'échelle de la plaque	99
3.2	La réalisation d'un leadframe métallique épais	104
3.2.1	Choix du substrat de cuivre	104
3.2.2	Préparation des surfaces du substrat métallique	108
3.2.3	La réalisation de motifs sur substrat métallique épais	111
3.3	Les étapes d'assemblage	121
3.3.1	Le collage direct métallique assisté par thermocompression	121
3.3.2	La mise au point du procédé de double collage direct métallique	124
3.4	Premiers pas vers la découpe de modules de puissance en 3D	136
3.4.1	Les spécifications de la découpe	136
3.4.2	Les premières solutions technologiques envisagées	136
3.5	Conclusion	138

3.1 | Introduction des étapes technologiques

3.1.1 | Structuration des étapes dans une offre de *Wafer Level Power Packaging Toolbox*

Les offres génériques pour le packaging en microélectronique sont connues à l'image de l'exemple sur les MEMS du premier chapitre ou également pour l'intégration et l'assemblage de composants électroniques à l'image de l'offre de filière technologique OPEN 3D mise en place par le CEA-LETI. Ces filières « flexibles » permettent de préparer voire d'assembler intégralement des systèmes complexes à l'échelle de la plaque. Elles permettent de bénéficier de tous les dividendes des approches collectives, en termes de coût, de qualité et de reproductibilité des procédés. Dans le contexte de l'électronique de puissance, il n'y a pas de filière de packaging structurée pour un traitement à l'échelle de la plaque, à l'image de ce que l'on peut trouver en microélectronique. C'est logiquement l'un des objectifs de ce travail de thèse que de tenter d'organiser les étapes technologiques existantes (issues du projet CARNOT POWER) et développées pendant la thèse pour former une filière structurée de packaging à l'échelle de la plaque pouvant servir partiellement ou entièrement à l'assemblage des composants de puissance. L'inspiration auprès de la filière OPEN 3D est une opportunité pour hiérarchiser et structurer une offre équivalente au niveau de l'électronique de puissance. L'offre OPEN 3D, résumée dans la figure 3.5, couvre la conception, la fabrication technologique et le packaging final de systèmes intégrés en 3D.

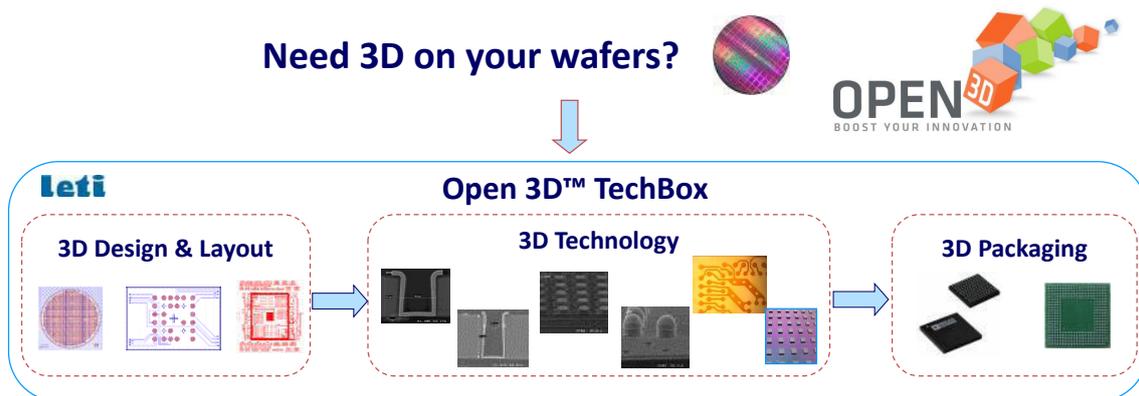


Fig. 3.1 – Organisation de l'offre OPEN 3D du CEA LETI [133]

L'offre est décomposée en plusieurs parties [134] :

- conception de systèmes 3D et *layout* correspondant : règles de dessin (DRM), routines d'extraction et de vérification automatisées, *Design Kit* ;
- fabrication de vias traversants (TSV) et niveaux métalliques de redistribution des signaux (RDL) ;
- métallisation pour la préparation des plots de brasures (*Bump* et *Under-Bump Metallisation*) ;
- plots métalliques d'interconnexions avec des couches de brasures : poteaux et/ou micro-poteaux (*Micro Bumps* et *Micro Pillars*) ;
- assemblages collectifs plaque à plaque, puce à plaque ou encore puce à puce ;
- passivation et encapsulation à l'échelle de la plaque.

Des offres comparables sur le packaging à l'échelle de la plaque pour la microélectronique existent également dans d'autres organismes de R&D, par exemple chez IBM *Assembly and Test Services* (Canada) [135] ou Nanium (Portugal) [136] parmi d'autres grands acteurs.

À l'image de cette offre de packaging adaptable aux spécifications d'une application donnée, notre objectif dans le cadre de cette thèse, que nous allons détailler dans ce troisième chapitre, consiste à définir puis développer pour enfin structurer les étapes/briques technologiques clés afin de les rendre génériques et adaptables quel que soit le dispositif final souhaité. Si certaines étapes seraient compatibles avec des besoins similaires dans d'autres domaines, nous avons clairement identifié, dans ce travail de thèse, des besoins spécifiques pour le packaging et l'interconnexion en électronique de puissance.

3.1.2 | Besoins et verrous d'une offre d'étapes génériques de fabrication

Dans le contexte du packaging avancé en électronique de puissance, les besoins spécifiques auxquels doivent répondre des étapes génériques et collectives sont les suivants :

- amplitudes des tensions et champs électriques et magnétiques en surface des puces très largement supérieures en valeur et en volume à ceux existant en microélectronique ;
- courants nominaux importants conduisant à des surfaces de contact ou des sections de conducteurs très importantes ;
- des structures de composants avec interconnexions sur les deux faces : des contacts sur la face avant ou sur les faces avant et arrière des composants et plaques ;
- hétérogénéités possibles et importantes entre matériaux massifs et/ou composants et/ou plaque à assembler et/ou à interconnecter voire à découper.

Au-delà de ces besoins spécifiques, le processus d'intégration à l'échelle de la plaque produit un cercle vertueux permettant :

- d'augmenter la complexité des futurs modules de puissance aussi bien sur l'interconnexion que sur l'ajout de fonctionnalités ou de composants ;
- d'augmenter la densité d'intégration et donc la résolution des procédés ;
- de conduire à un procédé de fabrication industrialisable performant et compétitif.

À l'opposé des besoins, il y a les points bloquants, des verrous, qui s'opposent à cette évolution et qu'il faudra surmonter aussi bien sur chaque brique technologique qu'au niveau de la structuration filière :

- les composants standards ne sont pas adaptés aux étapes collectives de packaging, d'où l'importance de la conception couplée de composants spécifiques décrite dans le chapitre 2 ;
- l'utilisation d'une plaque métallique épaisse pour l'interconnexion amenant une rigidité mécanique et des épaisseurs de métal est intéressante (décrit dans la partie 3.2) ; cependant c'est un substrat exotique, non standard pour la microfabrication en salle blanche ;
- l'utilisation de procédés de fabrications fiables et reproductibles afin d'obtenir un produit qui respectera les exigences élevées obligatoires pour l'électronique de puissance.

3.1.3 | Organisation de la filière de packaging à l'échelle de la plaque

À ces problématiques, la conception couplée entre le composant et son packaging est un premier élément de réponse important auquel il faut associer des développements de packaging spécifiques ou plus génériques et issus de la microélectronique ou des MEMS. Il n'est plus question de concevoir et d'optimiser un composant de manière intrinsèque puis de réfléchir dans un second temps sur l'optimisation de son packaging mais bien de construire le tout en une seule étude, intégrant l'ensemble des problématiques. Typiquement, l'utilisation d'une ou plusieurs plaques métalliques massives pour la conduction thermique et/ou électrique est très intéressante. Elle peut également apporter une tenue

mécanique supplémentaire aux assemblages. Elle a l'inconvénient de générer de fortes contraintes thermomécaniques pouvant perturber la fabrication puis l'usage. Pour pallier cela, l'élément de base imaginé est une structure symétrique réduisant les déformations lors de hausses en température. Ainsi, le cas de figure en bilame semiconducteur/métal classique du packaging 2D est à limiter. Une structure symétrique telle que définie à la figure 3.2b est à privilégier lors de la fabrication : elle est le point commun des étapes de la boîte à outils.

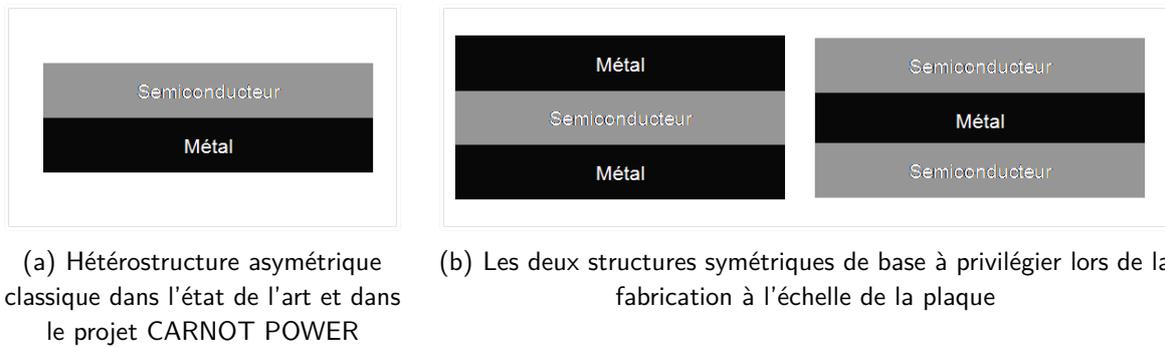


Fig. 3.2 – Vue en coupes des hétérostructures métal et semiconducteur

Cette boîte à outils adresse tous types d'assemblage et de packaging à l'image des deux exemples système de la figure 3.3, qui ont déjà été présentés précédemment. C'est avec les mêmes raisonnements et briques technologiques que l'on peut aussi bien travailler sur le packaging de composants verticaux que latéraux. Pour rappel, la fabrication à l'échelle de la plaque conduit à une implémentation perpendiculairement au support comme illustré dans la figure 3.3.

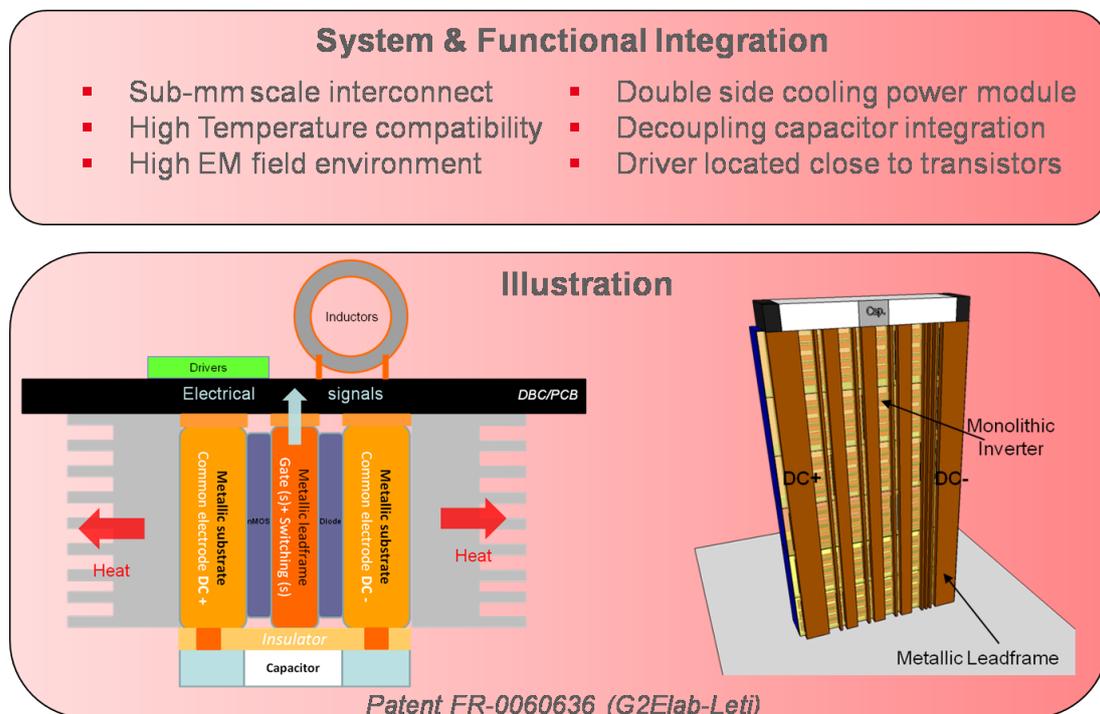


Fig. 3.3 – Description des systèmes imaginés mettant en avant tous les bénéfices de l'assemblage 3D collectif

Les étapes utilisées pour faire ces deux assemblages sont décrits dans la figure 3.4. On voit qu'elles

sont équivalentes pour ces deux types de composants. C'est pour cette raison que l'on peut les considérer génériques et vouloir les utiliser de manière plus large que seulement le cas étudié pendant la thèse.

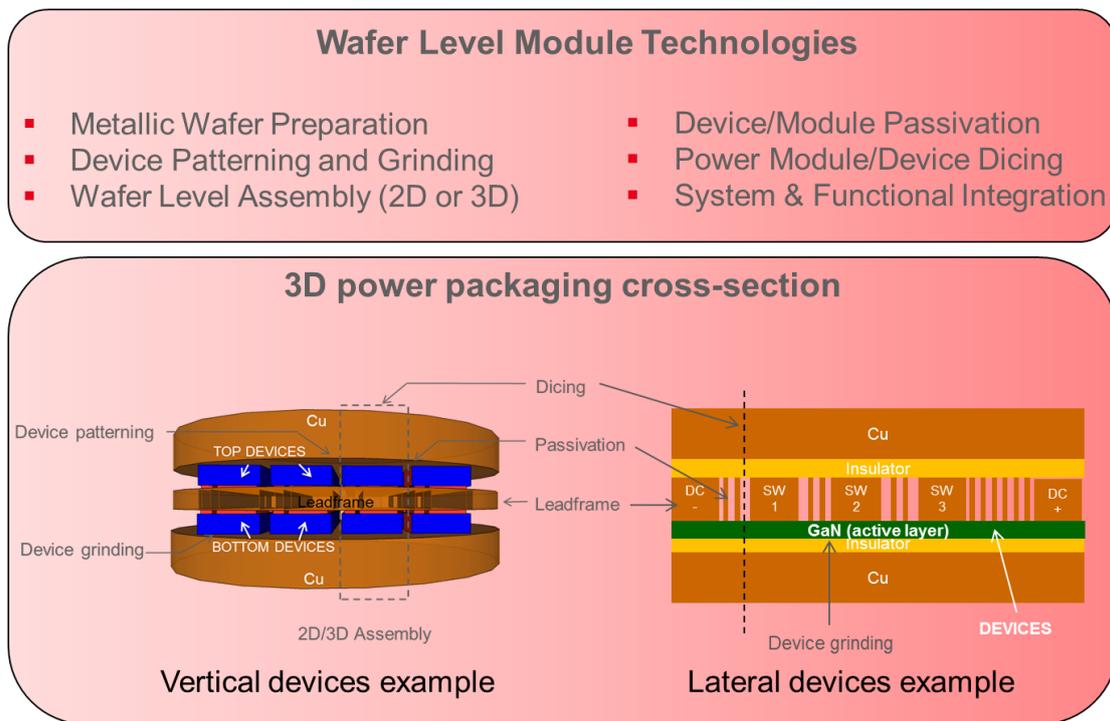


Fig. 3.4 – Modules 3D assemblés à l'échelle de la plaque par des procédés collectifs regroupant un leadframe, une ou deux plaques de composants actifs, ainsi que des plaques métalliques massives pour les faces arrière

Chaque brique de la *Wafer Level Power Packaging Toolbox* a ses spécifications, elles sont décrites dans le premier encadré et en-dessous les résultats obtenus ou alors les schémas des concepts pour celles qui n'ont pas encore été étudiées. Pour illustrer ces propositions, l'étape d'encapsulation d'un module est détaillée comme exemple typique des bénéfices des étapes de packaging à l'échelle de la plaque. Elle est visible en figure 3.5. Elle est une étape cruciale et les premiers éléments de réflexion sont présentés. La passivation doit se faire au niveau de la plaque avant et/ou juste après les assemblages pour bénéficier de l'absence de contamination des scellements de plaques en salle blanche. Elle doit surtout être effectuée avant les étapes qui "polluent" comme les amincissements et surtout la découpe des puces. Ainsi, l'idée est d'avoir une conception avec des "canaux" intégralement reliés sur les plaques de composants (possible avec l'utilisation des cavités du MESA) ainsi que des perçages à travers l'assemblage (faits en cours de fabrication ou alors avec un minimum de perçages localisés, par exemple en laser). Un liquide de passivation faiblement visqueux pourrait alors circuler à l'intérieur de l'assemblage puis se fixer par un recuit. Il doit également supporter une température de 250 °C pour les futures hausses de température en fabrication ou pour l'usage. Une bonne conduction thermique pour cet isolant serait nécessaire et surtout une rigidité diélectrique importante pour supporter les champs électriques présents à l'interface avec le semiconducteur. Aujourd'hui, cette proposition paraît surprenante mais elle a un fort potentiel et des bénéfices pour la fabrication de module de puissance à l'échelle de la plaque.

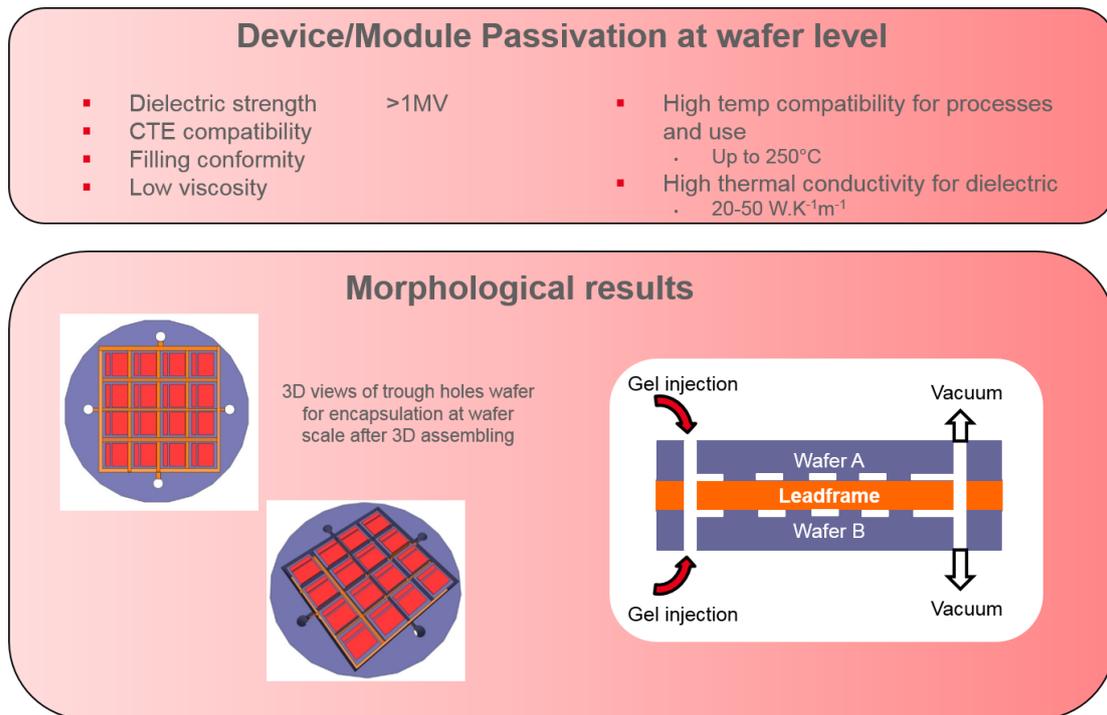


Fig. 3.5 – Description de la brique de passivation/encapsulation d'un module assemblé à l'échelle de la plaque avec ses spécifications et son illustration

Le catalogue de la boîte à outils est détaillé en figure 3.6 sous forme d'une liste graphique regroupant des étapes technologiques imaginées et à destination d'applications variées.

Sur ces nombreuses étapes proposées, toutes n'ont pu être étudiées aussi bien pour des questions de temps que de compétences. Le travail de thèse s'est focalisé sur la mise en place d'une filière technologique dans l'objectif de réaliser un démonstrateur et de valider ainsi l'approche de packaging 3D. Dans ce troisième chapitre, les études se sont concentrées sur la conception et la réalisation d'un leadframe métallique à l'échelle de la plaque car c'est une notion totalement nouvelle et avec de forts potentiels (partie 3.2), ainsi que sur l'autre étape obligatoire pour la réalisation d'un packaging 3D qui est l'étape d'assemblage des éléments. Cette étape est réalisée par collage direct métallique Cu-Cu (partie 3.3). Elle se démarque ici par un procédé de double collage (avec trois plaques) qui, à notre connaissance, n'a jamais été étudié.

Parmi les étapes que nous venons de citer, certaines exploitent des matériaux ou procédés spécifiques qu'il nous a fallu développer pour répondre à nos besoins. La suite du chapitre est focalisée sur le travail de développement technologique dévolu à l'élaboration de certaines briques nécessaires aux besoins de la filière flexible de packaging à l'échelle de la plaque pour l'électronique de puissance. En particulier, nous avons travaillé sur les étapes clés nécessaires à la réalisation de la solution de packaging développée dans les précédents chapitres.

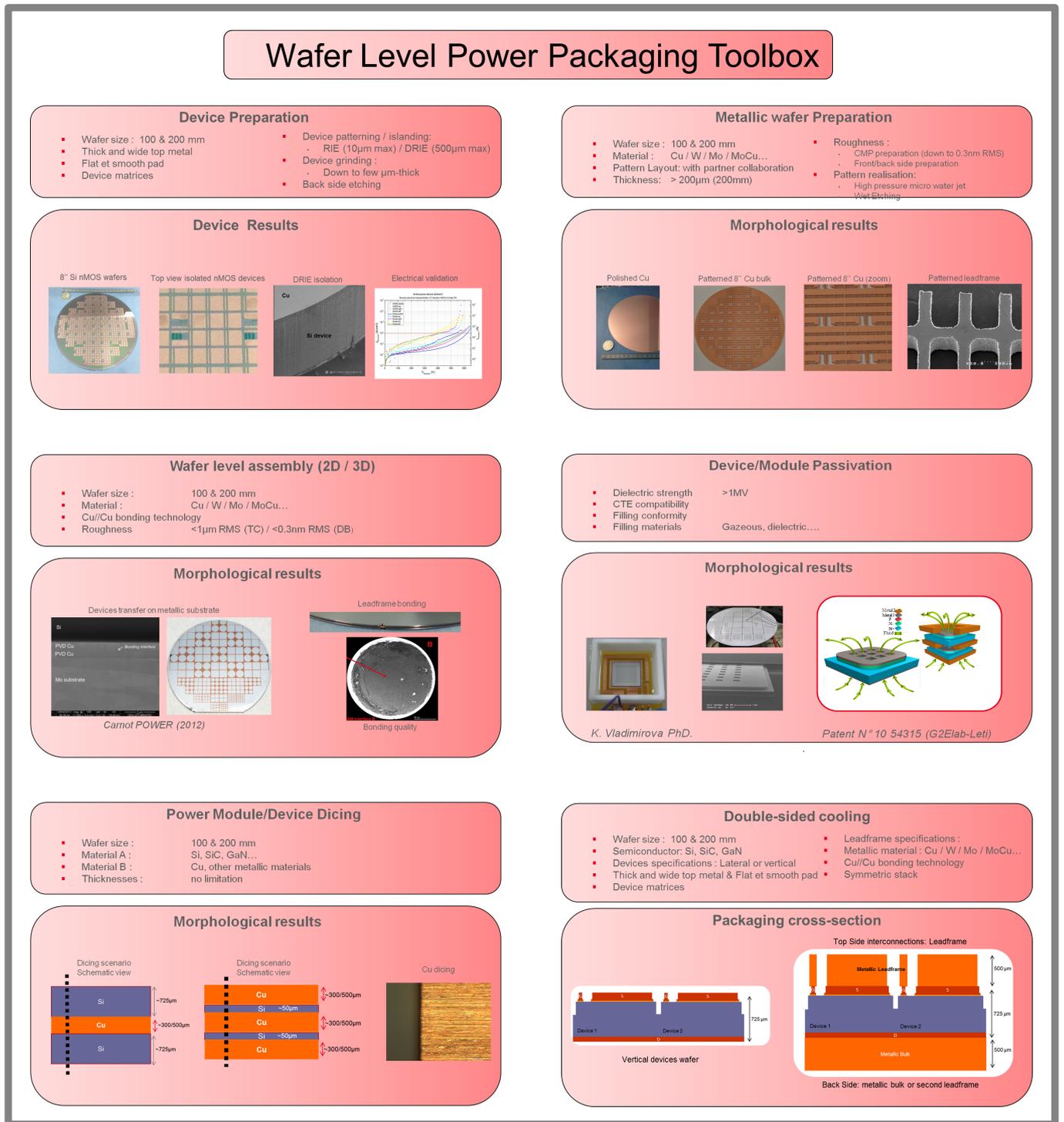


Fig. 3.6 – Aperçu des étapes technologiques imaginées dans l’offre de boîte à outils de briques technologiques pour la réalisation de module d’électronique de puissance à l’échelle de la plaque : *Wafer Level Power Packaging Toolbox*

3.2 | La réalisation d'un leadframe métallique épais

3.2.1 | Choix du substrat de cuivre

Choix du matériau et spécifications pour la technologie d'assemblage

Le packaging 3D en électronique de puissance nécessite des surfaces et des sections métalliques importantes aussi bien pour relier les composants entre eux au sein du module que pour l'interconnecter avec le système extérieur aux niveaux électrique, thermique et mécanique. Ces couches de métal se doivent d'être suffisamment épaisses par rapport aux calibres en courant des composants et modules de puissance à produire. Dans cette approche d'assemblage collectif à l'échelle de la plaque comme dans toutes les approches précédemment citées, il faut absolument tenir compte des contraintes de tenue mécanique et également celles liées à la gestion de la thermique. L'idée de passer par un ou plusieurs substrats métalliques peut fournir une réponse à cette problématique en offrant des épaisseurs et sections de métal conséquentes qu'il serait difficile ou fastidieux de réaliser par les technologies additives classiques (dépôts) et cela sur des surfaces importantes.

Les métaux les plus utilisés pour le packaging d'électronique de puissance sont l'aluminium, le molybdène et le cuivre (ainsi que leurs composés), ce sont des matériaux couramment utilisés industriellement. Les principales caractéristiques de ces matériaux sont décrites dans le tableau 3.1.

	Si	Al	Mo	Cu
Résistivité électrique ($n\Omega.m$)	–	27 [137]	52 [137]	17 [137]
Conductivité thermique ($W.m^{-1}.K^{-1}$)	130 [138]	205 [137]	138 [137]	400 [137]
CTE (ppm/K)	2,6 [138]	22 [137]	5 [137]	17 [137]
Module de Young (GPa)	130-185 [138]	69 [137]	329 [137]	117 [137]
Rareté relative (1 = <i>le + rare</i>)	–	3 [112]	1 [112]	2 [112]
Coût relatif (1 = <i>le + onéreux</i>)	–	3 [139]	1 [139]	2 [139]

Tab. 3.1 – Comparaison des différentes propriétés physiques des métaux utilisés pour les interconnexions (Al, Mo et Cu) en comparaison avec celles du silicium

Le molybdène présente l'avantage d'avoir un coefficient d'expansion thermique (CTE) relativement proche du silicium par rapport au cuivre, ce qui en fait un métal idéal pour la réduction des contraintes thermomécaniques dans une hétérostructure entre le semiconducteur et le métal [19, 140]. De plus il présente une rigidité plus importante que le cuivre avec un module de Young supérieur au cuivre. Cependant, il est moins performant que son concurrent au niveau de ses caractéristiques de conduction électrique et thermique. De par ses propriétés mécaniques intéressantes, le molybdène a été utilisé pour les premières démonstrations fonctionnelles de report de diodes de puissance sur substrat métallique dans le cadre du projet CARNOT Power (2009-2012) [72]. Cependant, sa rareté et donc son coût sont des points bloquants pour son utilisation à grande échelle. L'aluminium est lui à l'inverse disponible; cependant, ces performances électriques et mécaniques ne semblent pas aussi intéressantes que celles du cuivre. Le cuivre se présente donc comme le métal le plus performant et disponible pour le packaging mais il sera important de contrôler les contraintes et déformations dans les assemblages réalisés. Notre choix a également été guidé par la simplification des schémas d'intégration (au niveau du nombre et type de matériaux). En effet, notre étape d'assemblage par adhésion moléculaire se base sur une mise en contact de deux couches minces de cuivre donc le choix s'est porté sur ce même matériau pour le

leadframe métallique. On peut également se dire que le cuivre représente un "pire cas" : si les développements se révèlent fonctionnels et si les empilements 3D supportent les variations en température, alors l'empilement équivalent en molybdène devrait être également fonctionnel. L'utilisation de matériaux composites MoCu peut représenter un bon compromis pour réduire les contraintes thermo-mécaniques à l'image du packaging 3D développé par l'université de Nottingham [141, 142].

Nous verrons par la suite que des substrats de cuivre-béryllium (CuBe) ont également été testés. C'est un alliage courant en mécanique et qui serait bien adapté pour l'approche. Il allie les caractéristiques du cuivre et l'ajout de quelques pourcents (1-2 %) de béryllium lui confère de meilleures qualités mécaniques (dureté et limite élastique renforcées) cependant la conductivité chute de 20-25 % par rapport à la conductivité du cuivre seul [143], tout est question de compromis.

L'épaisseur du substrat est pilotée par deux règles : une règle mécanique et une règle électrique directement liée au calibre en courant du module. La première contrainte mécanique est la rigidité mécanique pour les étapes technologiques en salle blanche. La seconde concerne l'épaisseur du leadframe qui correspondra à la taille du plot d'interconnexion lors du report du module 3D sur la tranche et perpendiculairement au circuit imprimé (PCB/DBC). Une épaisseur trop faible entraînerait des difficultés d'interconnexion avec, par exemple, une résolution très fine du PCB, augmentant sensiblement son coût de fabrication. Cette seconde contrainte fait partie de la conception couplée entre le packaging et le composant de puissance qui prend en compte les contraintes finales du système. C'est à partir de ces contraintes et de l'expérience sur le travail du projet Carnot Power que le choix s'est arrêté sur une épaisseur de 500 μm de cuivre pour une plaque d'un diamètre de 200 mm. Avec ce type d'épaisseur, des courants importants peuvent transiter via le leadframe. Si on prend l'hypothèse d'un fil d'interconnexion de 500 μm de diamètre, le leadframe est équivalent à 9 fils à partir d'une comparaison des sections. En termes de courant, une hypothèse raisonnable est un courant de 10 A par fil [19] et donc par équivalence une densité de courant de l'ordre de plusieurs milliers d'ampères par centimètres carré [56] ; dans ce cas, elle est égale à 5 kA/cm². Dans ces conditions, le leadframe pourrait avoir une capacité en courant de 90 A sur une longueur de 1 cm.

Pour finir cette partie sur le choix du matériaux, les spécifications des substrats métalliques sont rassemblées dans le tableau 3.2.

	Valeur
Contamination	Surfaces propres et dégraissées
Tenue mécanique	Rigidité importante pour manipulation
Topographie	Surfaces de contact planes (aucune bavure de fabrication)
Flèche	Inférieure à 100 μm
Rugosité pour collage direct à Temp. ambiante	Inférieure à 0,5 nm RMS [59]
Rugosité pour collage direct assisté par TC	Inférieure à 33 nm RMS [70]

Tab. 3.2 – Synthèse des spécifications des substrats métalliques 200 mm pour un collage direct Cu-Cu à température ambiante ou assisté par thermocompression (TC)

Caractérisation de l'état initial des substrats métalliques utilisés

Les plaques métalliques 200 mm que nous avons utilisées durant la thèse sont extraites de feuillets de cuivre découpés en disque de 200 mm de diamètre par électroérosion¹.

Trois types de substrats métalliques de 200 mm de diamètre ont été commandés et caractérisés : Cu de 500 μm , CuBe de 500 μm et CuBe de 200 μm d'épaisseur. Le premier paramètre mesuré est la courbure de la plaque, autrement appelé la flèche. La spécification était de 100 μm maximum, ce qui représente une limite raisonnable pour traiter les plaques sans difficulté dans les équipements de la salle blanche. Seul le substrat de CuBe de 200 μm d'épaisseur ne respectait pas cette condition avec une flèche trop importante (non mesurable car il était trop souple). Les deux autres cas respectaient cette spécification. L'autre point important est la rugosité initiale des substrats afin de planifier la suite du procédé de préparation du leadframe métallique. Les mesures en profilométrie optique des trois cas sont résumées dans la figure 3.7. La rugosité efficace ou quadratique (*Root Mean Square*, RMS) est abrégée Rq et la rugosité maximale ou PV (*Peak to Valley*) est nommée Rt.

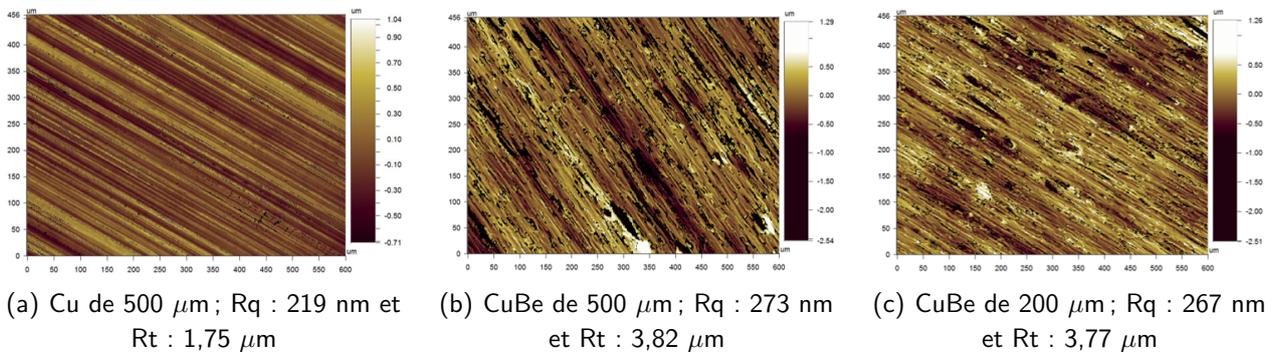


Fig. 3.7 – Rugosité initiale des plaques 200 mm, vue en profilométrie optique (10x)

Au final le choix s'est orienté sur un substrat Cu de 500 μm car il combine les meilleures performances électriques et le meilleur état de surface par rapport aux autres cas (la rugosité maximale est environ deux fois plus faible que pour le CuBe). L'état initial de ce substrat est résumé dans la figure 3.8.

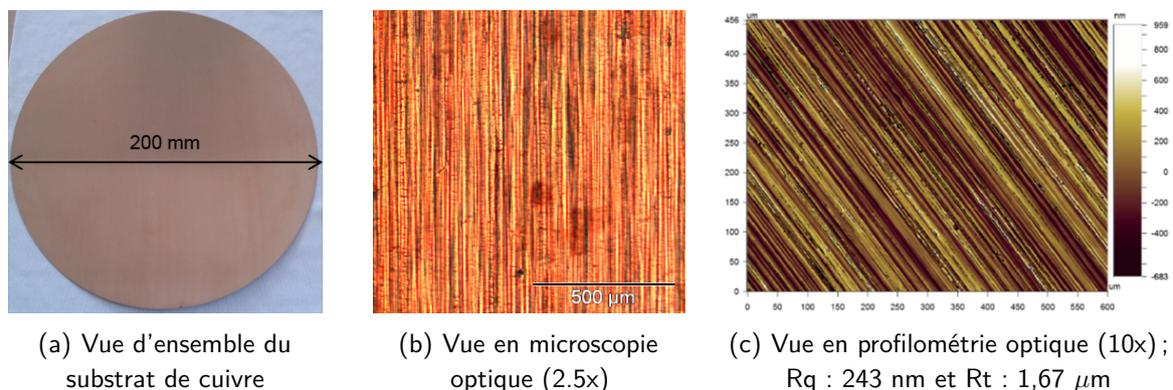


Fig. 3.8 – État initial d'une plaque de Cu de 500 μm en 200 mm de diamètre

En conclusion de cette analyse, l'état de surface de ces plaques brutes n'est pas adapté à une étape

1. L'approvisionnement et les développements de ces plaques de cuivre adaptées aux contraintes de la microélectronique ont été faits avec l'entreprise Peyronnard basée à Champ-sur-Drac près de Grenoble (www.atelierspeyronnard.fr)

d'assemblage par adhésion moléculaire ; cela était prévisible pour des plaques de cuivre issues d'une filière de mécanique. Typiquement, on retrouve les stries caractéristiques de l'étape de laminage des feuillets de cuivre d'où sont issus ces substrats. Une méthode de préparation des surfaces a été étudiée pour obtenir une rugosité efficace R_q inférieure à 33 nm pour un collage en TC.

Le choix d'une solution de polissage

Le polissage de couches métalliques est une problématique classique, les deux principales solutions sont le polissage mécanique et le polissage/planarisation mécano-chimique (CMP).

Le polissage mécanique pour réaliser des miroirs pour l'optique est ancien et très utilisé à l'image de cette publication de 1975 dans un contexte de miroir pour des lasers [144] avec des rugosités de 5 nm RMS. Ces états de surface sont confirmés sur des plaques de cuivre massives polies double face en 100 mm approvisionnées, la rugosité est de 4 nm RMS. Le polissage mécanique utilise un lubrifiant (matière grasse) avec des grains pour l'attaque mécanique. Il est complètement incompatible avec un collage moléculaire à la suite et une étape de dégraissage et nettoyage est obligatoire pour l'assemblage futur. L'action mécanique est souvent longue, par exemple au moins quatre heures pour atteindre une rugosité de 5 nm RMS [144]. Des tests en interne de polissage mécanique ont été réalisés sans succès, les équipements disponibles étaient adaptés aux échantillons et non aux plaques de 200 mm de diamètre. Au final, le polissage mécanique représente une solution intéressante pour le polissage des substrats métalliques, cependant, il reste moins performant qu'un polissage mécano-chimique.

La CMP combine une action chimique et mécanique qui rend le polissage très performant par rapport au polissage mécanique uniquement. Elle est classiquement utilisée en microélectronique pour diminuer les rugosités et aplanir uniformément des couches minces. Toujours d'après l'article [144], des rugosités de 3 nm RMS sont possibles. Les précédentes études du Carnot POWER sur substrats métalliques 100 mm ont permis d'atteindre des rugosités de 0,5 nm RMS [72]. Pour atteindre ces rugosités très faibles, un dépôt d'une couche mince (quelques microns) est indispensable avant la CMP [72, 144]. Cette couche mince bien connue chimiquement permet de mieux contrôler les vitesses d'attaque de la CMP aussi bien pour la qualité que pour la reproductibilité du polissage.

Les meilleures performances de la CMP ainsi que l'expérience sur cette étape technologique au sein du laboratoire, nous a convaincu de l'utiliser pour la préparation de surface de cette plaque de leadframe métallique. Comme décrit dans la partie 2.2, notre objectif final au niveau du leadframe est d'obtenir non pas une plaque métallique massive mais une plaque métallique ajourée (avec des motifs). La question qui se pose au niveau technologique et donc sur l'ordre de l'étape de préparation de surface : avant ou après la réalisation des motifs ?

Le choix s'est porté sur la réalisation d'un polissage avant d'ajouter la plaque. En effet, la réalisation du procédé de CMP sur la plaque entière facilite cette étape et garantit une meilleure uniformité des états de surface sur l'ensemble du substrat. Dans le cas d'une CMP réalisée sur des motifs —avec une discontinuité de la couche à planariser—, les zones les plus fines sont polies plus rapidement à cause de la pression locale plus importante que sur les motifs plus grands [145, 146], ce qui entraîne une mauvaise uniformité de l'état de surface.

En résumé, les substrats de cuivre ne sont pas utilisables directement pour une étape de collage direct et un procédé de préparation des surfaces doit être mis en place : dans un premier temps, les

plaques sont nettoyées, à la suite une couche mince de cuivre est déposée, puis les plaques sont polies et enfin les motifs du leadframe seront réalisés à la fin ; ces étapes sont détaillées dans la partie 3.2.2 suivante.

3.2.2 | Préparation des surfaces du substrat métallique

Nettoyage des substrats de cuivre

Les substrats commandés ont été réalisés dans un environnement mécanique. Ils n'ont pas les mêmes contraintes en termes de propreté que l'environnement de la microélectronique, il a donc été nécessaire de les nettoyer avant l'entrée en salle blanche. La procédure de nettoyage de ces plaques est la suivante :

1. premier dégraissage de 10 min avec Solvan35 (anciennement Trichloroéthane) ;
2. second dégraissage 10 min dans l'acétone ;
3. nettoyage à l'alcool (éthanol) pendant 10 min ;
4. rinçage douchette à l'eau déionisée (DI) ;
5. séchage minutieux des plaques pour éviter les traces d'eau qui oxydent fortement le cuivre.

Ces étapes de nettoyage sont classiques et se retrouvent dans les études menées au laboratoire Ampère pour le collage direct de cuivre en *Spark Plasma Sintering* (SPS), ce nettoyage étant fait après le polissage mécanique des échantillons [57].

Dépôt d'un cuivre ECD pour la CMP

Avant le polissage, une couche de cuivre a été déposée sur les deux faces de la plaque métallique afin de pouvoir travailler sur une couche de cuivre connue et maîtrisée. Cette couche mince annule le côté cristallin de la surface du substrat de cuivre massif qui a vu des recuits thermiques et donc une croissance des grains. Ce dépôt n'ayant pas eu de recuit n'est pas sensible aux directions du cristal et l'attaque chimique de la CMP peut être homogène sur la surface.

La solution choisie est une électrodéposition (ECD) de 5 μm de cuivre sur les deux faces. L'objectif est de déposer une épaisseur au moins deux fois supérieure à la rugosité maximale (ici 1,67 μm) afin de remplir même les zones les plus profondes et surtout avoir une marge sur le cuivre déposé par rapport aux points hauts afin de ne pas arriver sur le cuivre du substrat lors de la planarisation par CMP. De plus, lors du dépôt électrolytique, la première étape est un passage dans un bain dilué d'acide sulfurique pour graver l'oxyde de cuivre natif et garantir une bonne accroche de la couche mince. L'état de surface après cette étape de dépôt ECD de Cu est résumé dans la figure 3.9.

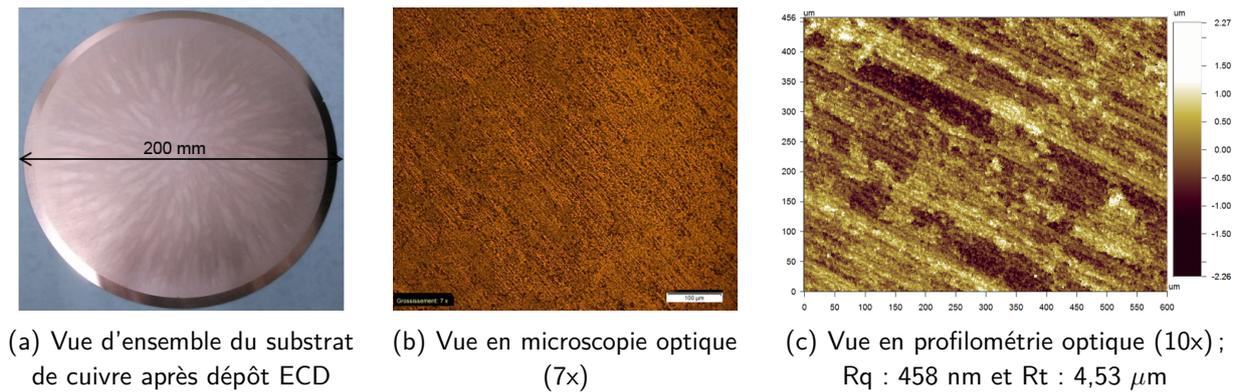


Fig. 3.9 – État des plaques après dépôt ECD de Cu double face de $5 \mu\text{m}$. Une seule des faces est représentée sur les figures mais les deux faces présentent des caractéristiques similaires

Le dépôt est peu homogène et les valeurs de rugosité ont sensiblement augmenté (rapport deux avec une rugosité maximale de $4,5 \mu\text{m}$). Ce dépôt n'a aucune action "planarisante" ; cependant, il est simple, rapide à réaliser et permet d'avoir des épaisseurs importantes obligatoires par rapport à la rugosité initiale des substrats.

Il faut noter que la flèche des substrats n'évolue pas : toutes les étapes sont faites sur les deux faces et le dépôt ECD de cuivre ne présente pas de contraintes intrinsèques.

Polissage des plaques de cuivre

Le polissage mécano-chimique (CMP) des plaques de cuivre possède une double action micro et macroscopique : à petite échelle, la rugosité est fortement diminuée et à l'échelle de la plaque, l'état de surface est homogénéisé. Le procédé de CMP utilisé pour ces substrats cuivre est basé sur les études de P. Gueguen (CEA-LETI) [147].

Le polissage sur les deux faces du substrat est également une étape non standard dans notre environnement où l'ensemble des étapes est réalisé sur la face A de la plaque. Pour les étapes de préparation de l'autre face, un film sec est utilisé pour protéger la face précédemment polie. Cette protection est obligatoire pour pouvoir traiter la seconde face. En effet, la plaque est maintenue par cette face lors de la seconde CMP : il ne faut pas que le système de maintien dégrade la première face polie. L'utilisation d'un film sec n'apporte pas de défauts sur la surface d'après les caractérisations en profilométrie optique faites au fur et à mesure des étapes. Nous avons finalement mis en place un protocole afin de ne pas endommager la face A lors du polissage de la face B :

1. CMP de la face A ;
2. laminage d'un film sec pour protéger la face A polie ;
3. CMP de la face B ;
4. retrait du film sec par voie humide ;
5. séchage minutieux des plaques pour éviter les traces d'eau qui oxydent fortement le cuivre.

À la suite des étapes de polissage, il est nécessaire d'avoir une étape de nettoyage spécifique pour éliminer les particules présentes dans les produits abrasifs (*slurry*) nécessaires à l'action mécanique de la CMP. C'est une étape de brossage (*scrub*). Cependant, elle n'a pu être effectuée car les machines

réalisant cette étape sont toutes robotisées : la masse des plaques de cuivre étant supérieure à celle de silicium, elle n'est pas adaptée aux robots. C'est donc un réel point bloquant et il n'a pas pu être résolu. Il serait nécessaire d'adapter ces robots aux plaques de cuivre massives et de dédier un équipement pour cette étape. Ce n'est pas techniquement complexe mais cela représente des modifications par rapport aux équipements standards de microélectronique silicium. L'état de surface après la CMP est visible sur la figure 3.10. Il n'est représenté qu'une seule face ici mais la seconde face polie a des caractéristiques identiques. La caractérisation en microscopie optique n'est pas pertinente pour cette plaque polie avec un comportement "miroir".

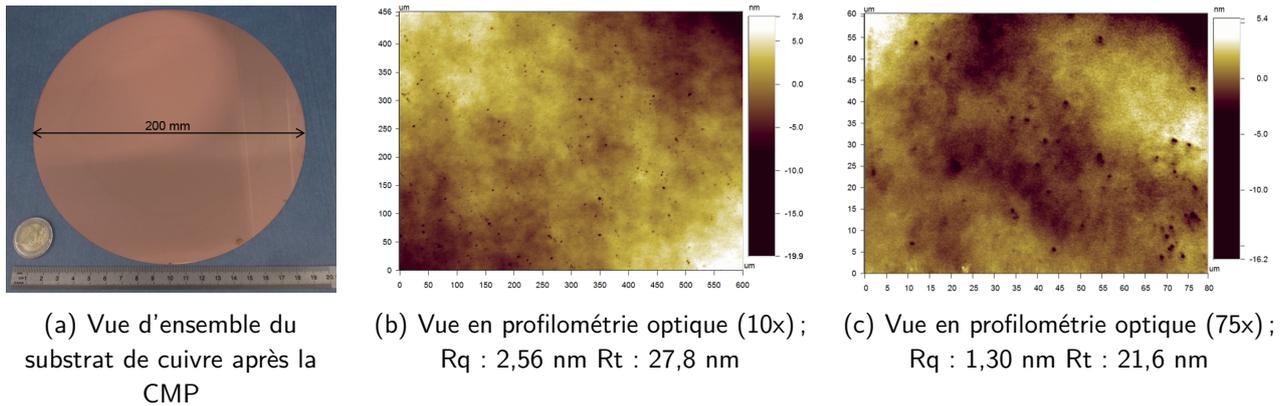


Fig. 3.10 – État des plaques après la CMP double face

Les particules de *slurry* sont bien visibles en profilométrie optique (points noirs sur les illustrations). Celles-ci bloquent la possibilité de passer sur une étape de collage direct à température ambiante même si les valeurs de rugosités ont été fortement atténuées ($R_q = 2,5 \text{ nm}$ vs 458 nm avant CMP) [59, 148]. Nous avons opté pour un collage direct assisté par TC pour repousser cette contrainte de rugosité et donc ces particules ne devraient pas bloquer l'adhésion par rapport à leurs dimensions microscopiques. Cependant, il y a aura obligatoirement un impact sur la qualité de l'assemblage. Malheureusement, dans l'impossibilité d'avoir un élément de comparaison il n'a pu être étudié : une plaque de cuivre polie par CMP où l'étape de brossage aurait pu être fait.

Pour conclure cette partie sur la préparation des substrats de cuivre, la figure 3.11 synthétise l'évolution de l'état de surface des plaques à chaque étape.

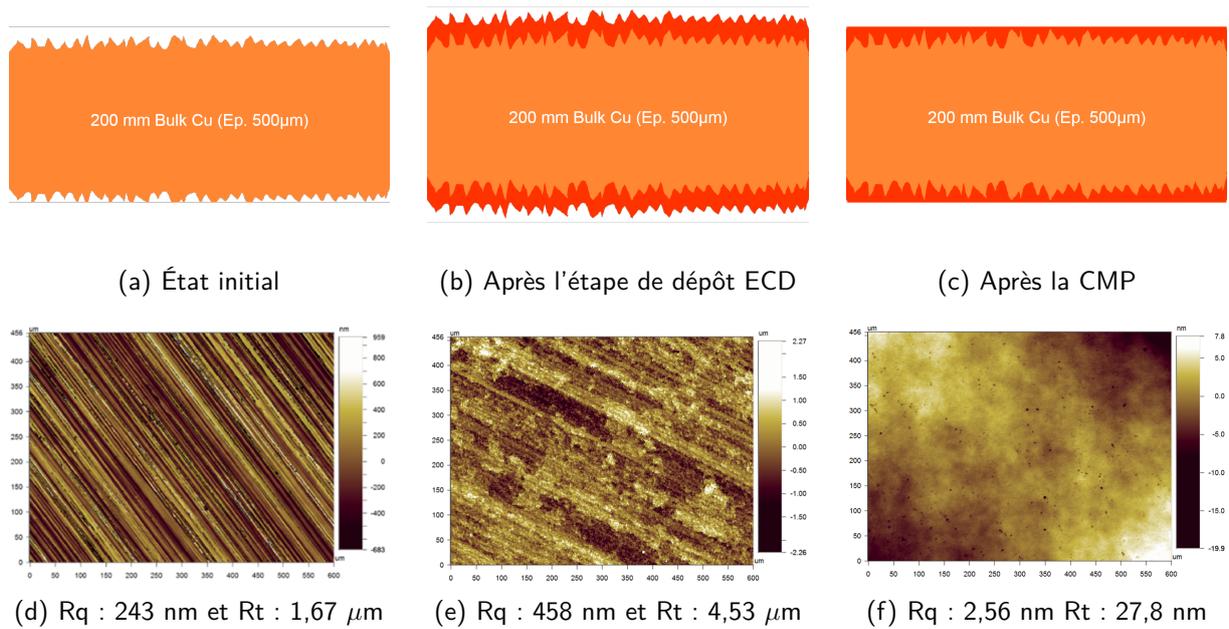


Fig. 3.11 – Illustration de l'évolution de la rugosité initiale des plaques de cuivre massives, après dépôt ECD, après CMP ; vues en coupes schématiques des substrats en haut et vues en profilométrie optique (10x) en bas

Cette intégration technologique fonctionnelle conduit à un substrat 200 mm massif de cuivre poli double face. Cependant, l'analyse de ce choix montre que l'étape de CMP est critique : la préparation chimique pour le polissage est onéreuse et la rugosité élevée nécessite des durées de procédé importantes (supérieure à 5 min) avec un enlèvement de matière compris entre 2 et 5 μm . Ces durées de CMP sont largement supérieures aux durées des polissages standards qui durent entre 1 et 2 min [146, 149] afin de réduire l'effet négatif de sur-polissage dans le cas de motifs.

3.2.3 | La réalisation de motifs sur substrat métallique épais

La conception du leadframe

Le dessin du leadframe est fait dans la même suite logicielle que les masques des composants de puissance, c'est-à-dire Cadence Virtuoso (*Layout*). Ce logiciel destiné à la conception de jeux de masques pour la microélectronique n'est pas directement compatible avec le monde de la mécanique et les fichiers générés ne sont pas lisibles par les machines à commande numérique. Dans la logique de conception couplée entre le packaging et les composants de puissance il serait intéressant de développer un outil car il manque —à notre connaissance— une continuité logicielle pour interfacier la conception sous Cadence et la fabrication d'un leadframe métallique. Une procédure fonctionnelle a été trouvée pour cette interprétation ; elle est décrite graphiquement dans la figure 3.12.

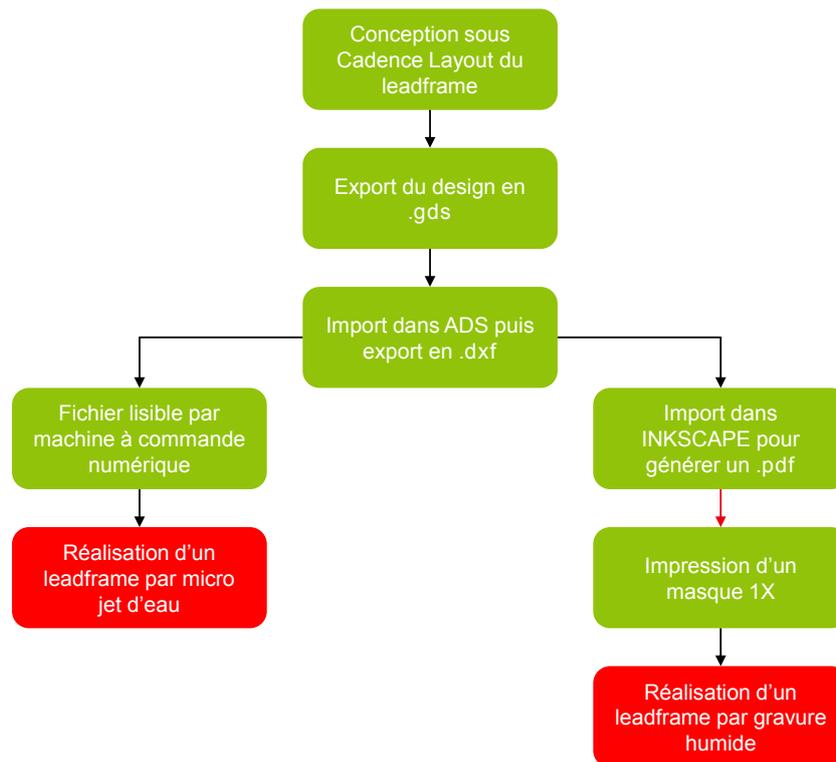


Fig. 3.12 – Étapes de conception et d’adaptation du dessin sous Cadence aux contraintes des solutions de fabrication du leadframe

Les spécifications pour obtenir un leadframe avec des motifs à partir d’un substrat métallique épais sur la technologie de découpe sont :

- un procédé adapté à la production en quantité et sur des pièces de grande taille (par exemple de diamètre de 200 mm pour la filière développée) ;
- une découpe ne générant pas ou peu de bavures (inférieures au micron) et ne dégradant pas l’état de surface de la plaque métallique afin de pouvoir utiliser la technologie d’assemblage par adhésion moléculaire (collage direct) ;
- une résolution de gravure et de positionnement des motifs de 100 μm pour garantir une marge sur la dimension critique de 500 μm pour la conception des zones d’accueil coté composants de puissance ;
- un procédé flexible adapté au développement des différents *layout* et de leurs évolutions.

D’après ces critères, on trouve deux catégories de solution pour réaliser les motifs : une découpe avec une machine à commande numérique (telle que la découpe par jet d’eau ou l’électroérosion) ou alors une gravure humide du cuivre avec une photolithographie pour les motifs ; les différentes solutions sont décrites dans la partie suivante. Le dessin d’un leadframe à l’échelle de la plaque est visible dans la figure 3.13 pour les deux cas.

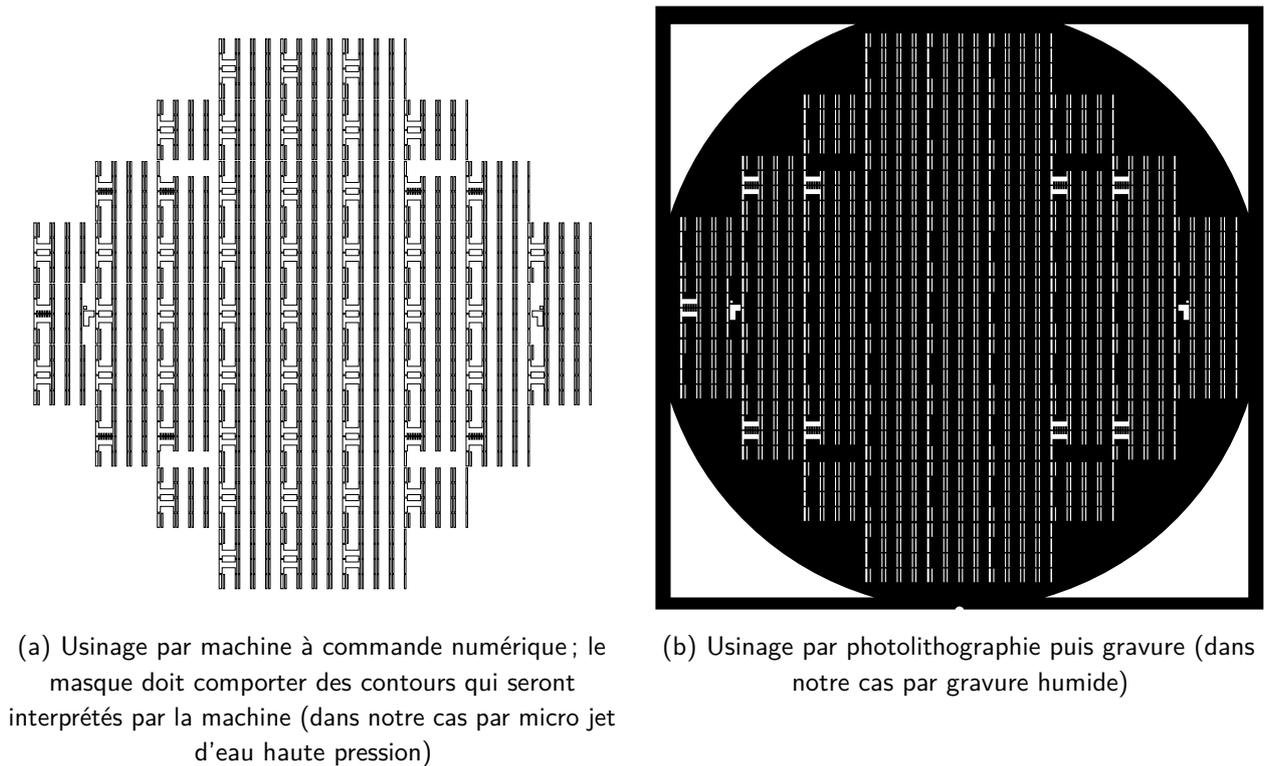


Fig. 3.13 – Comparaison du *layout* selon le procédé de fabrication du leadframe²

Pour la photolithographie, un cadre ainsi qu'un évidement circulaire à la dimension de la plaque ont été ajoutés pour faire des motifs de positionnement afin d'aligner la plaque métallique et le masque. Dans le cas de découpes par micro jet d'eau, le positionnement est fait lors de l'étape d'initialisation de la machine où elle vient sonder la position de la pièce puis se positionner par rapport à la référence X,Y du dessin.

L'ajout d'un *notch* sur le masque de gravure humide (en bas de la figure 3.13b) aide à la procédure d'alignement détaillée dans la partie 3.3. Pour le cas de la découpe jet d'eau, le *notch* est réalisé lors de la découpe initiale des feuillets en disque de cuivre.

La comparaison des techniques de réalisation des motifs

D'après les spécifications énoncées précédemment, une comparaison des différentes techniques de réalisation des motifs a été effectuée afin de déterminer la technique la mieux adaptée à notre problématique de leadframe à l'échelle de la plaque.

La découpe par électroérosion *Electrical Discharge Machining* (EDM) est très utilisée pour la découpe des métaux. L'arrachement de matière est réalisé par un arc électrique entre deux électrodes : la première est polarisée à une tension continue (appelée le fil de découpe) qui est contrôlée en position et la seconde est la pièce à usiner polarisée à la masse (la plaque de cuivre dans notre cas). Un courant pulsé est généré par la machine pour contrôler l'arrachement de matière et elle gère la régulation de la distance entre les électrodes pour avoir un arc électrique constant lors des déplacements du fil [150]. Les résultats de tests de faisabilité de cette technique de découpe sont visibles à la figure 3.14.

2. Le détail des motifs est visible sur ces illustrations vectorielles

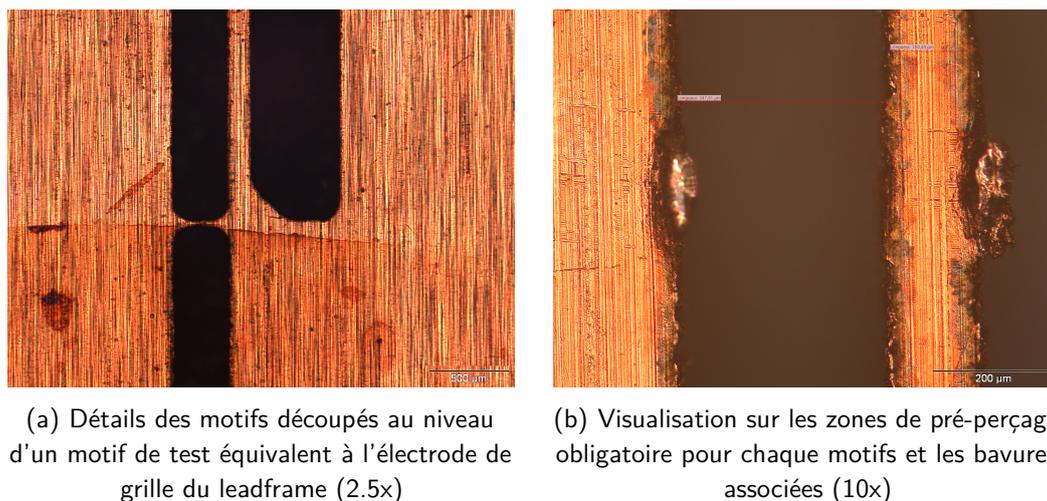


Fig. 3.14 – Vue microscope optique de la découpe par électroérosion sur du cuivre de 500 μm d'épaisseur

Comme nous le constatons sur la figure 3.14, cette méthode de découpe bien adaptée pour la découpe de métaux n'est finalement pas compatible avec notre besoin de leadframe à l'échelle de la plaque par rapport au pré-perçage indispensable pour insérer le fil de découpe. Ils sont obligatoires pour chaque motif ce qui devient problématique par rapport à une plaque entière. De plus, ceux-ci provoquent des bavures rédhibitoires pour notre besoin visibles sur la figure 3.14b.

À la suite de cette pré-étude sur l'usinage d'un leadframe métallique par électroérosion, une technologie de découpe ne nécessitant aucun pré-perçage était obligatoire par rapport à notre conception. Le choix s'est orienté vers deux technologies différentes :

- l'usinage par micro jet d'eau haute pression qui est bien adapté à la découpe de matériaux ductiles et épais (plusieurs millimètres) et surtout sans échauffement de matière³.
- la gravure humide du cuivre, étape classique dans la réalisation des PCB ou des DBC et donc largement utilisée en électronique de puissance⁴.

L'état de surface des bords des motifs a été caractérisé pour les trois méthodes d'usinage et est détaillé graphiquement dans la figure 3.15 ainsi que leurs topographies à partir d'une caractérisation en profilométrie optique en figure 3.16.

3. Les développements d'usinage de leadframe de cuivre en 200 mm ont été faits avec l'entreprise E-DRO, cependant celle-ci a cessé son activité en Mai 2015

4. Les développements et la réalisation des leadframe ont été faits avec l'entreprise Malinvaud basée à Feytiat près de Limoges (www.malinvaud.com/la-gravure-et-decoupe-chimique.html)

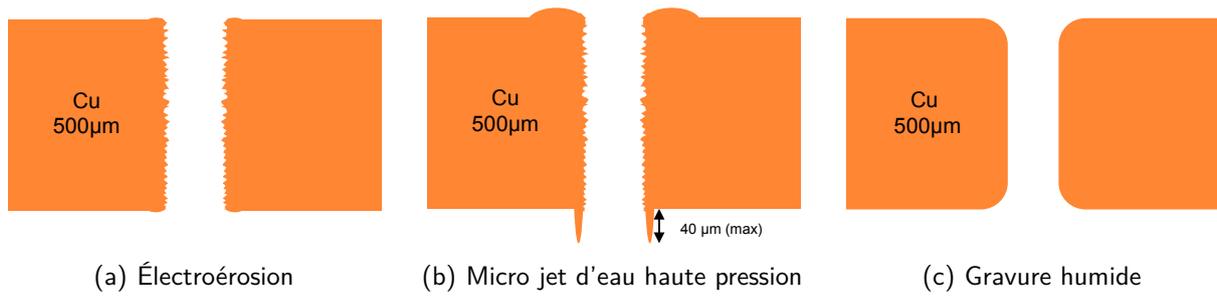


Fig. 3.15 – Comparaison schématique des flancs selon les méthodes de découpe

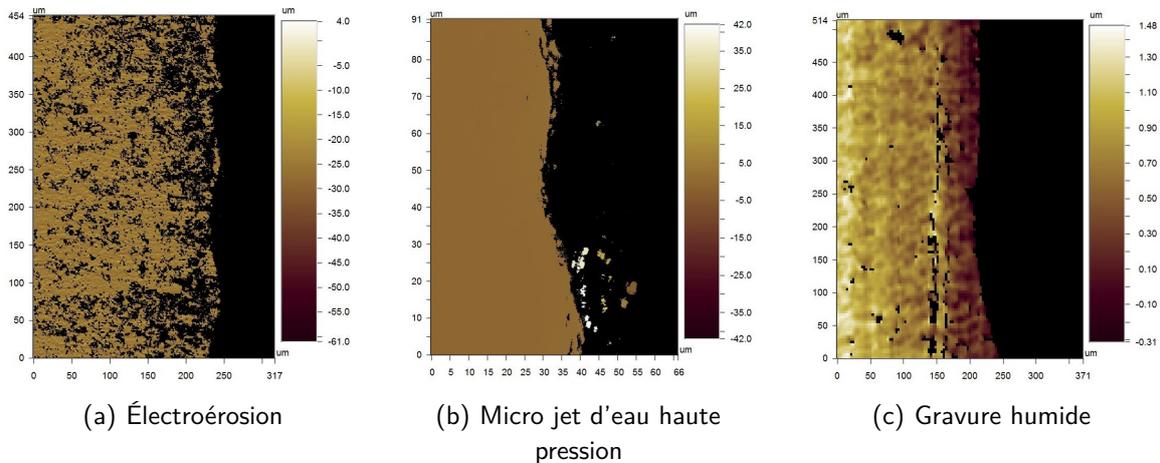
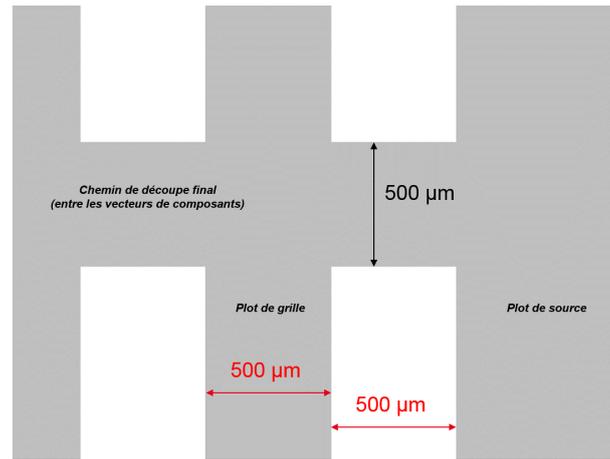


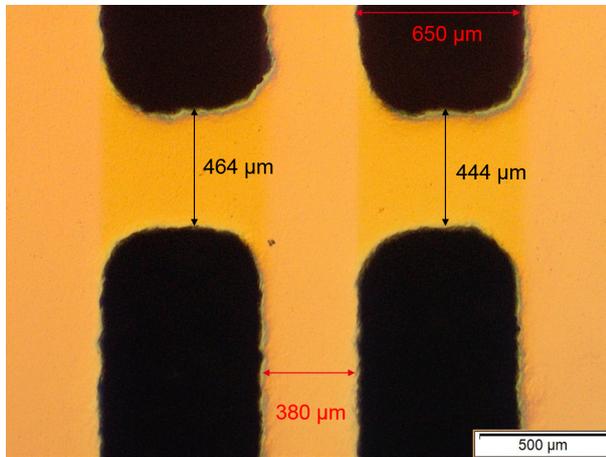
Fig. 3.16 – Comparaison des flancs par profilométrie optique selon les méthodes de découpe des motifs du leadframe (vue en coupe perpendiculairement à la perforation)

Les flancs de l'électroérosion ont peu de bavures de découpe, ce qui est plutôt intuitif car l'arrachement de matière se fait par le côté. À l'opposé, l'usinage par jet d'eau provoque d'énormes bavures surtout sur la face de sortie du jet d'eau, avec des bavures ressemblant à des copeaux de plusieurs dizaines de microns de hauteur. Elles sont bien visibles en microscopie électronique (non présenté ici) et sont rédhibitoires pour le contexte d'assemblage par adhésion moléculaire. La troisième technique testée, la gravure humide, montre de son côté d'excellents résultats sur la qualité des flancs des motifs, qui vont même dans un sens positif avec un arrondissement des bords sur les deux faces à cause de la gravure humide isotrope (perchlorure de fer plus adjuvants). En effet, le masque est utilisé pour un double masquage et une gravure de chaque côté, ce qui est souhaitable pour graver les $500\ \mu\text{m}$ de cuivre.

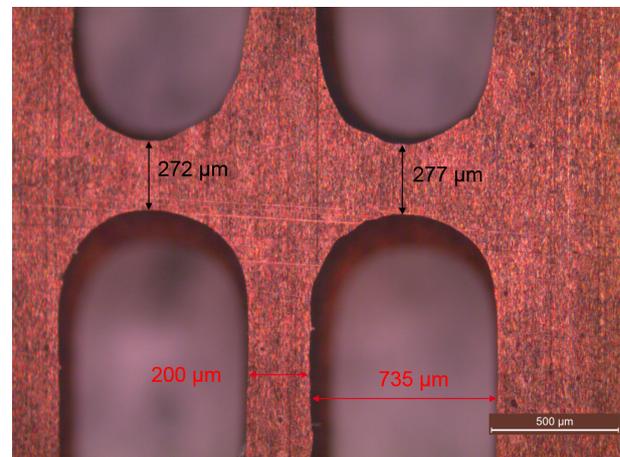
D'un point de vue quantitatif, les dimensions des motifs sont un aspect important pour qualifier la solution de découpe et conception et pour garantir la conception, la comparaison entre le dessin et la réalisation est visible dans la figure 3.17.



(a) *Layout* dessiné du leadframe au niveau de l'électrode de grille (en clair, les zones à graver, en gris, les zones de cuivre à conserver)



(b) Micro jet d'eau haute pression



(c) Gravure humide

Fig. 3.17 – Comparaison graphique des dimensions et de la qualité de flancs entre la découpe jet d'eau et gravure humide par microscopie optique (2.5x)

L'impact de la technologie de découpe est bien visible selon la méthode. Les dimensions réelles ne sont pas égales au *layout*. En conséquence, la méthode de réalisation des motifs doit être prise en compte lors de la conception pour garantir les dimensions réelles obtenues et l'objectif dessiné :

- Dans le cas d'une découpe par machine à commande numérique, que ce soit l'électroérosion ou la découpe jet d'eau, le décalage est provoqué par le rayon de l'outil : diamètre du fil de l'EDM ou diamètre de la buse d'injection d'eau (ici de $100 \mu\text{m}$). Ce type de découpe est commandé numériquement, ce qui simplifie cette déviation car il est possible d'ajouter un "décalage" directement dans le programme de la machine. Dans notre cas, la tête pilotée se place à $100 \mu\text{m}$ du chemin défini numériquement par le *layout* dans la version optimisée ;
- Dans le cas de la gravure humide, la gravure latérale doit être prise en compte dans la conception du masque ; c'est une démarche classique de conception de microélectronique qui s'applique parfaitement dans ce cas. À titre d'exemple, la grille du leadframe est dessinée à $800 \mu\text{m}$ de large dans le *layout* pour avoir en réel $500 \mu\text{m}$ dans la version optimisée.

Les leadframes réalisés à l'échelle de la plaque sont visibles dans la figure 3.18.

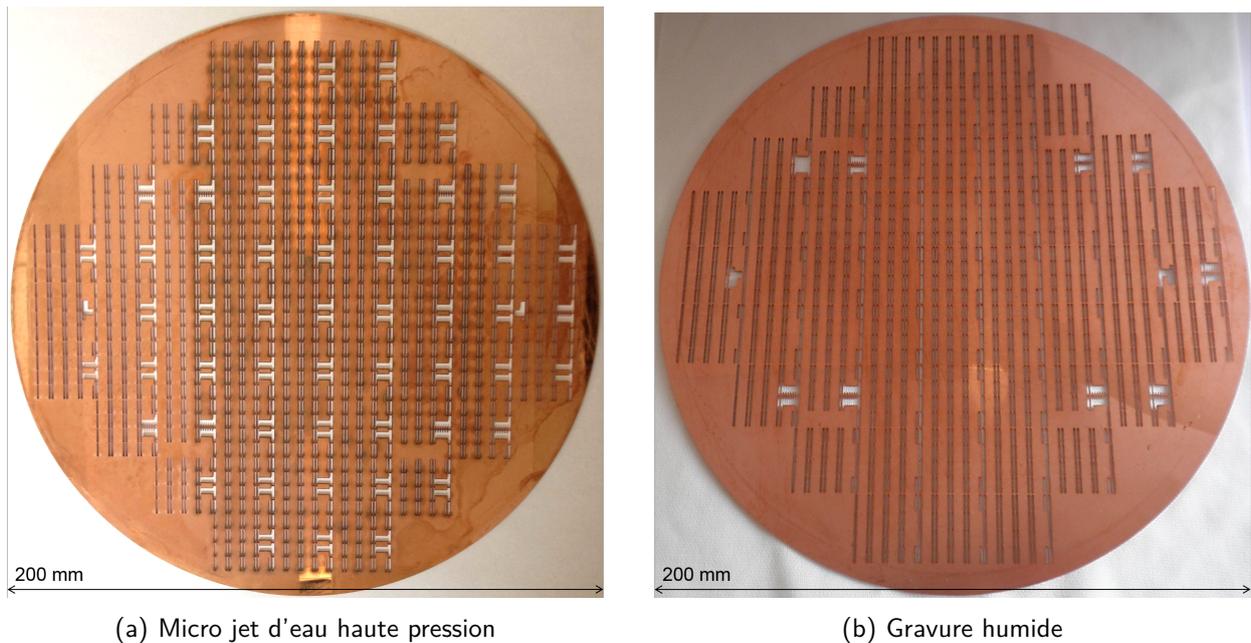


Fig. 3.18 – Leadframe de cuivre 200 mm après perforation des motifs

En conclusion, la gravure humide apparaît comme la solution technologique la plus adaptée à la fabrication du leadframe car ne générant pas de bavures ; elle comporte plusieurs avantages :

- un coût largement inférieur aux autres technologies de découpe qui reposent sur des machines à commande numérique ; ici, un masquage double face est seulement nécessaire ;
- une production en série possible à partir d'un même masque ;
- c'est une gravure isotrope qui arrondit fortement les angles des motifs dessinés du leadframe ; cela s'avère positif pour la réduction des contraintes lors des assemblages en thermocompression où on retrouve une concentration de contraintes dans les angles ;
- l'attaque du métal se faisant par voie chimique, et non mécanique comme dans les autres méthodes testées, le métal et surtout les bords auront moins de contraintes résiduelles dues à la découpe.

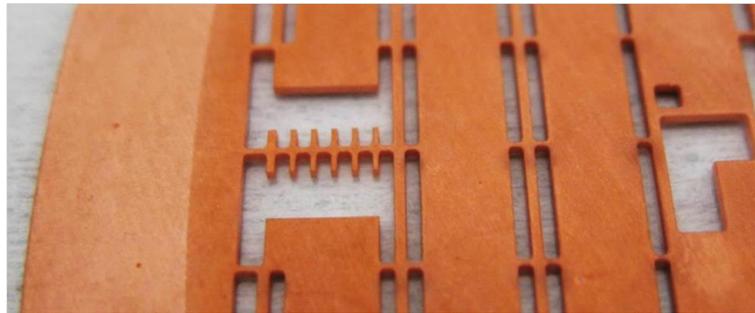
Le polissage des plaques métalliques après la réalisation des motifs

À la suite de la découpe par jet d'eau, il s'est avéré que le leadframe n'est plus directement utilisable pour la suite des étapes technologiques à causes des bavures. Cependant, la question que l'on se posait était la suivante : allait-il être possible de retravailler par CMP le leadframe pour supprimer les bavures de découpe et avoir un état de surface équivalent au polissage pleine plaque ? Il fallait trouver une parade à cela et elle s'opère en deux étapes :

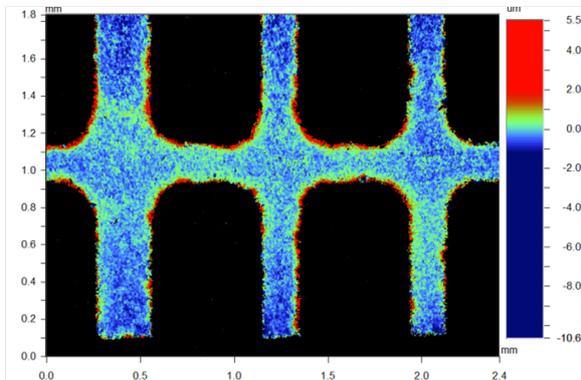
1. une gravure humide pleine plaque qui supprime les bavures par la gravure isotrope (et donc latérale), celles-ci étant d'une largeur d'une dizaine de microns ;
2. une CMP avec un film adhésif (*tape* de protection utilisé pour la découpe de puces) sur l'autre face pour rigidifier le leadframe et surtout maintenir les plots de grille qui sont les motifs les plus critiques (les plus fragiles et importants), il a également un rôle protecteur pour la face qui a été polie précédemment comme dans le cas pleine plaque.

L'état de surface après la gravure humide réalisée pleine plaque (sans masquage) afin de supprimer toutes les bavures est visible en figure 3.19. Le focus est fait sur les motifs les plus fins et les plus sensibles, c'est-à-dire les motifs de contacts chaînés ressemblant à des peignes. Cette gravure a logiquement attaqué tout le cuivre et provoqué une augmentation de la rugosité de la surface du cuivre perdant l'intérêt du polissage avant la découpe. La rugosité est passée d'environ 2 à 3 nm RMS avant gravure à 200 à 350 nm RMS après. Cependant, elle était la seule solution pour retirer en douceur ces bavures. D'autres solutions ont été imaginées comme le rodage pour supprimer les pics mais le risque d'arracher les motifs fragiles était trop important. La CMP n'était pas possible directement avec ces "pointes" qui auraient pu endommager le tissu de polissage et l'équipement.

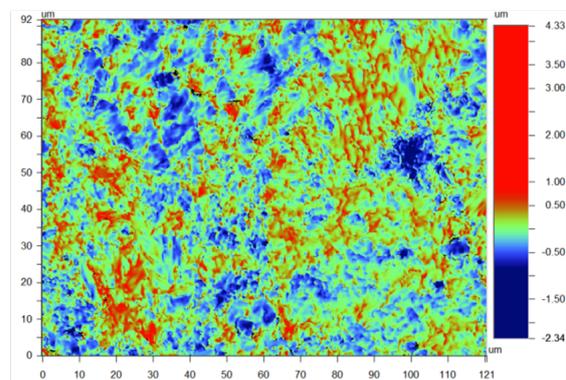
Après cette étape, les bavures sont fortement atténuées (avec un maximum mesuré à $5 \mu\text{m}$ au lieu des $40 \mu\text{m}$ initiaux), la CMP est alors possible. Un film de protection est laminé sur la face qui n'est pas polie pour la rigidité mécanique des motifs et la CMP est réalisé avec le même procédé qu'en pleine plaque. Les résultats de cette étape sont résumés dans la figure 3.20.



(a) La zone avec les peignes

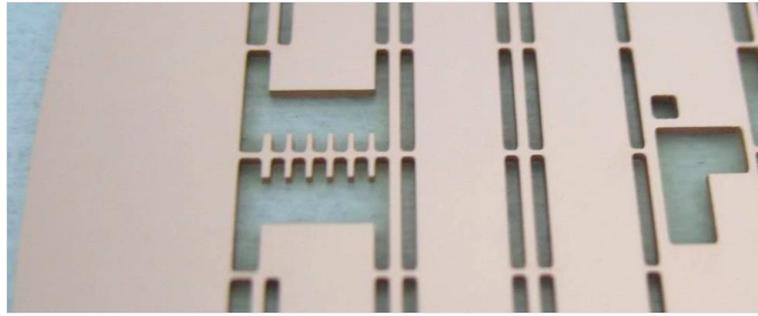


(b) Vue en profilométrie optique (2.5x) ; $R_q = 734 \text{ nm}$ et $R_t = 16.1 \mu\text{m}$



(c) Vue en profilométrie optique (50x) ; $R_q = 0.32 \mu\text{m}$ et $R_t = 6.67 \mu\text{m}$

Fig. 3.19 – États de surface après la gravure humide de retrait des bavures de découpe



(a) La zone avec les peignes

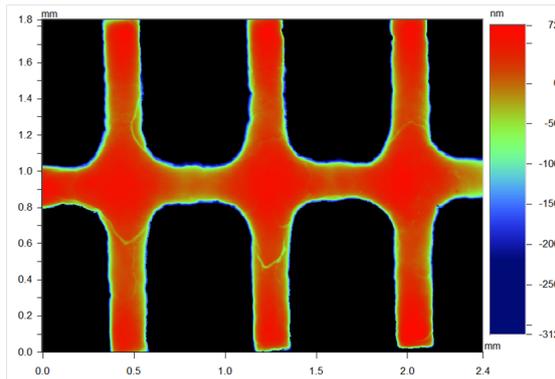
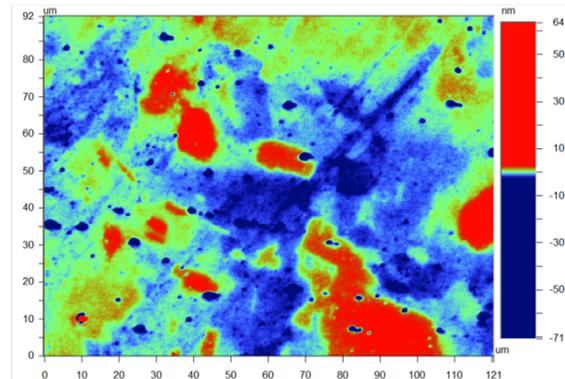
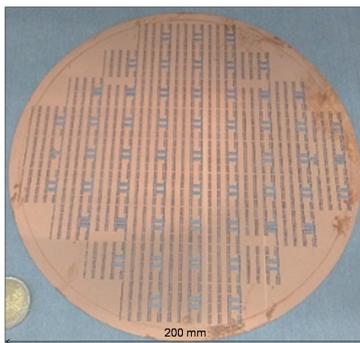
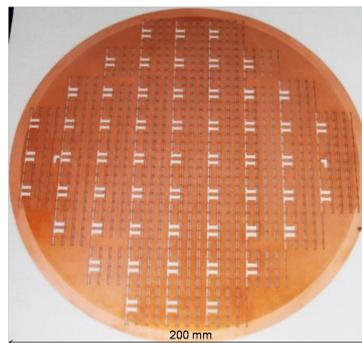
(b) Vue en profilométrie optique (2.5x) ; $R_q = 56 \text{ nm}$ et $R_t = 384 \text{ nm}$ (c) Vue en profilométrie optique (50x) ; $R_q = 2,11 \text{ nm}$ et $R_t = 134 \text{ nm}$

Fig. 3.20 – États de surface après la CMP du leadframe

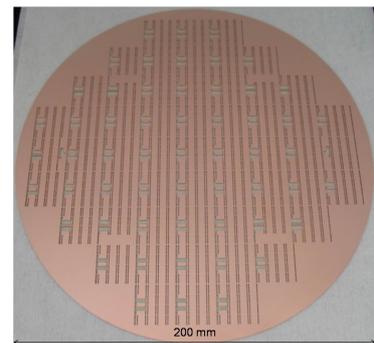
Finalement, le retrait des bavures et le polissage sur un leadframe —donc avec des motifs— a pu être validé. À la fin de ces étapes, l'aspect miroir est retrouvé sur le leadframe. L'évolution de l'aspect visuel du leadframe après chaque étape est visible à la figure 3.21.



(a) Après la découpe par jet d'eau



(b) Après la gravure humide pleine plaque



(c) Après la CMP

Fig. 3.21 – Comparaison visuelles de l'évolution de l'état du leadframe après les différentes étapes technologiques réalisées (découpe, ébavurage par gravure humide et CMP)

La rugosité finale de la plaque est de 2,11 nm RMS ; elle est équivalente à la valeur de rugosité pour une CMP pleine plaque (1,30 nm RMS). Cette valeur étant inférieure à la limite de 33 nm pour la thermocompression, elle valide l'étape de polissage malgré les ouvertures. Il est intéressant de remarquer que l'action de la CMP étant chimique et mécanique, les pressions et échauffements sont limités par

rapport à un polissage uniquement mécanique. Dans ce cas où le leadframe est poli après l'usinage de ces motifs, la CMP garde tout son intérêt et pourrait même amener à un assemblage par collage direct à température ambiante pour profiter de l'activation chimique de surface à enchaîner avec le collage (si la problématique du brossage des plaques sur machine robotisée peut être résolue). Il est intéressant de remarquer que, durant les développements de CMP, les tests ont été faits avec un film sec fin de $15\ \mu\text{m}$ (pour le polissage double face des plaques) ou un film plus épais de $150\ \mu\text{m}$ pour ajouter un maintien mécanique avec le leadframe (*tape* de protection). Dans les deux cas, aucune dégradation n'a été remarquée pendant la CMP, ni son retrait et valide leurs utilisations.

Le seul point négatif à noter pour la CMP sur le leadframe est la durée du polissage qui a été augmentée à cause des restes des bavures de découpe (pics de $5\ \mu\text{m}$) et donc il faut insister pour polir ces pointes. Les durées de polissage sont :

- Pour la face avant du leadframe (face d'injection de l'eau) avec seulement un bourrelé en bordure de motifs, la durée est de 12 min avec un enlèvement de matière de $5\ \mu\text{m}$;
- Pour la face arrière du leadframe (face de sortie du jet d'eau) avec les bavures, la durée est de 23 min avec un enlèvement de matière de $8\ \mu\text{m}$ nécessaire pour planariser tous les motifs de la plaque.

On en revient donc à la problématique du coût de cette étape de CMP à cause de sa durée élevée, comme discuté plus haut.

Le point positif est que les valeurs de rugosité finales sont équivalentes quelle que soit l'approche (CMP avant ou après réalisation des motifs). Par rapport aux doutes émis précédemment justifiant la CMP pleine plaque, l'hypothèse avancée est une différence de facteur d'échelle entre les études de CMP sur les interconnexions de circuits intégrés et notre contexte de leadframe. En effet, les interconnexions ont des motifs et espacements de quelques microns à $500\ \mu\text{m}$ au maximum [146], le ratio est de 100. Pour le leadframe, les motifs les plus fins sont de $500\ \mu\text{m}$ et pour les plus grands de $4300\ \mu\text{m}$, cette fois le ratio est de 10. Les géométries dessinées sont donc moins dispersées et sont moins sensibles au polissage.

Pour synthétiser, on peut retenir que la découpe par électroérosion est parfaitement adaptée à la réalisation de leadframe à l'échelle de la puce (c'est-à-dire avec quelques motifs) car le pré-perçage n'est pas rédhibitoire à condition de retirer la bavure du perçage. Dans le cas d'un leadframe à l'échelle de la plaque, les zones à graver sont trop nombreuses (1632 motifs à usiner pour le masque conçu). Le pré-perçage et l'enfilage du fil de découpe dans chaque motif n'est pas acceptable. C'est pour cette raison que la solution du jet d'eau est une bonne alternative car le jet d'eau peut à la fois faire un perçage traversant puis découper les motifs. Cependant, la pression du jet d'eau entraîne logiquement des bavures importantes et complexes à gérer pour la suite du procédé. La solution de gravure humide, qui a l'avantage de ne générer aucune bavure, est donc la solution la mieux adaptée à la fabrication d'un leadframe métallique pour l'assemblage de manière collective de composants de puissance.

Si l'on part sur cette dernière approche, nos travaux permettent de conclure que nous devons réaliser une CMP après la gravure des motifs car cette dernière étape est compatible avec les spécifications du collage direct par TC, l'enchaînement d'étapes que nous retenons est présenté à la figure 3.22.

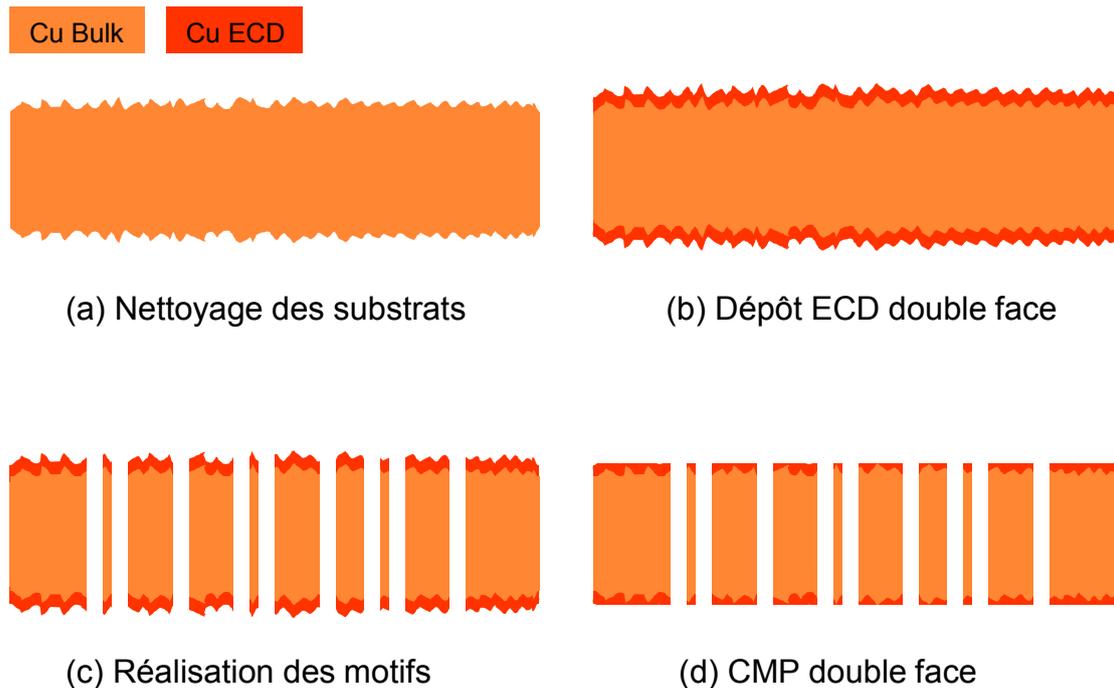


Fig. 3.22 – Enchaînement d'étapes retenues pour la réalisation d'un leadframe à l'échelle de la plaque avec le polissage en dernière étape

3.3 | Les étapes d'assemblage

3.3.1 | Le collage direct métallique assisté par thermocompression

Les spécifications d'un double collage

Le collage direct réalisé entre deux couches métalliques est une voie optimale pour la qualité et la robustesse des interconnexions tel que présenté dans l'état de l'art du premier chapitre. Cette solution d'assemblage est à remettre dans le contexte du packaging 3D de composants de puissance qui est la finalité. La problématique est triple :

- assurer une adhésion moléculaire des substrats sans ajout de matière (ni frittage, ni brasure, ni colle) ;
- garantir une résistance de contact faible en utilisant l'interdiffusion au-delà de 200 °C et jusqu'à 400 °C maximum [151] ;
- avoir un procédé d'assemblage et un empilement réduisant les déformations dans l'hétérostructure entre le silicium et le cuivre.

Pour la réalisation d'un packaging 3D de type PCoC [28], il faut deux composants et un leadframe d'interconnexion donc trois éléments à l'image de l'empilement de base présenté à la figure 3.2. Or, on se heurte à la problématique que l'assemblage classique est toujours fait entre deux plaques, à l'image du report de diodes sur substrat métallique étudié dans le cadre du projet Carnot Power [72]. La figure 3.23a décrit graphiquement ce cas de figure classique rencontré en microélectronique. Cependant, notre besoin est visible dans la figure 3.23b avec un leadframe au milieu de l'empilement.

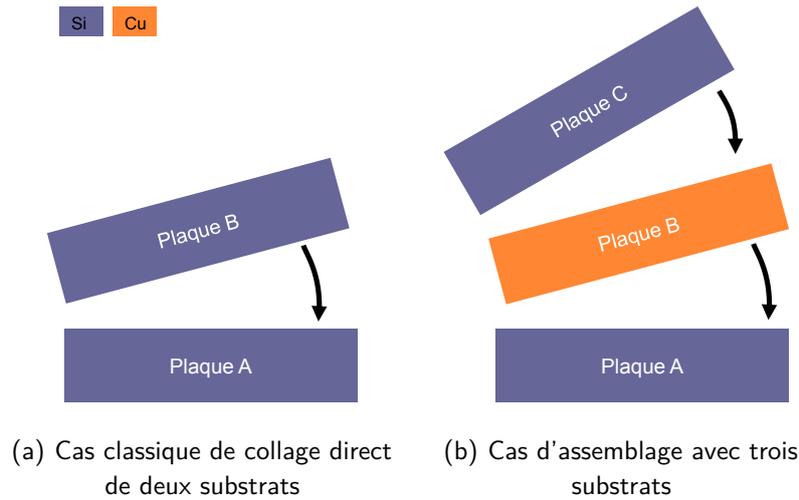


Fig. 3.23 – Stratégies d'assemblage pour deux et trois plaques

Le leadframe étant une plaque métallique massive dont la valeur du coefficient d'expansion thermique est plus importante que celle du Si (cf tableau 3.1), les étapes d'assemblages avec des hausses de température doivent être anticipées. Il y a deux solutions pour assembler les trois plaques. La plus classique consisterait à sceller la plaque A et B, puis ensuite d'assembler le dernier élément, la plaque C. Dans ce cas on se retrouve dans le cas du bilame classique lors de la thermocompression et les déformations sont importantes à l'image de la figure 3.24. Il faut donc éviter de passer par cet état pour ne pas endommager les plaques et surtout afin de limiter la flèche qui serait problématique voire bloquante pour le second assemblage.

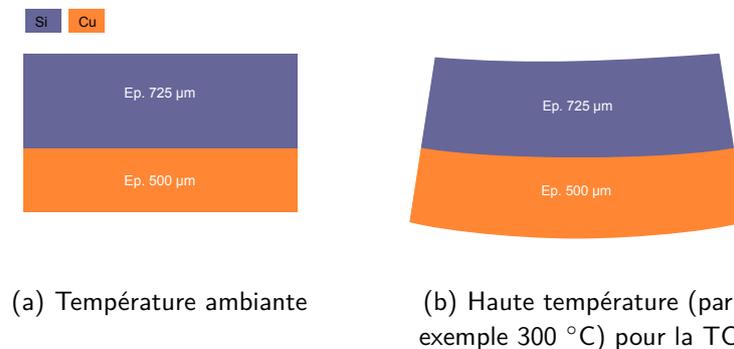


Fig. 3.24 – Schéma d'une hétérostructure silicium-cuivre et sa déformation selon la température

La solution proposée est de travailler avec un assemblage symétrique qui correspond à la structure PCoC. Cependant, un nouveau type d'assemblage est à développer.

Des structures symétriques réalisées par des collages successifs pour équilibrer le CTE ont déjà été étudiées à l'exemple d'un brevet de F. Fournel (CEA-LETI) [152]. Il décrit une structure symétrique réalisée en plusieurs étapes de collage direct à température ambiante. L'objectif de ce brevet est de limiter les déformations lors d'un transfert de silicium sur un substrat en verre par un recuit thermique. La structure symétrique permet de réaliser le transfert. Dans notre application de scellement par thermocompression (avec un apport d'énergie au système par chaleur/pression), il faut un assemblage simultané qui met en œuvre les trois plaques. Dans ce cas, et uniquement dans ce cas, les déformations

sont fortement réduites comme décrit dans la figure 3.25. Cet assemblage ou double collage est donc une nouveauté par rapport au collage standard de deux éléments et résulte des besoins du packaging d'électronique de puissance.

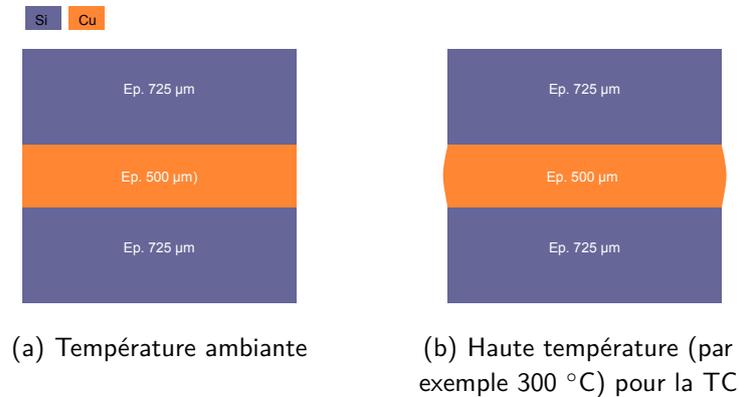


Fig. 3.25 – Schéma d'une hétérostructure silicium-cuivre-silicium et sa déformation selon la température

L'alignement dans un double collage simultané

Le défi consistait à aligner les 3 plaques entre elles. L'alignement avant collage de plaques est classique ; par contre, la gestion d'une troisième plaque n'est pas aisée. Cela est possible aujourd'hui et compatible avec les outils actuels de collage car les contraintes d'alignement entre le leadframe et les plaques de composants sont faibles (autour de $100\ \mu\text{m}$), et sont pris en compte dès la phase de conception couplée composant/packaging. L'ajout sur le leadframe de croix d'alignement compatibles directement avec les motifs d'alignement des plaques aurait simplifié l'assemblage ; cependant, leur réalisation n'a pas été possible car les dimensions de ces croix sont largement inférieures à la résolution de gravure. Finalement, des carrés de 1 mm de largeur ont été ajoutés sur le leadframe et des carrés de 0,8 mm sur les plaques de composants. L'alignement fin se fera par le centrage des deux carrés l'un dans l'autre. La procédure d'alignement manuelle que nous avons retenue pour les trois éléments est listée ci-dessous :

1. positionnement de la plaque A dans l'équipement de collage (première plaque de composants de puissance) ;
2. pré-alignement du leadframe sur la plaque A à l'aide du *notch* intentionnellement présent à la fois sur le leadframe et sur la plaque A ;
3. alignement du leadframe sur la plaque A à l'aide des motifs carrés présents sur le leadframe et la plaque A ;
4. vérification par microscopie infrarouge et ajustement fin de l'alignement entre le leadframe et la plaque A ;
5. positionnement de la plaque B (seconde plaque de composants de puissance) ;
6. alignement de la plaque B par rapport à la plaque A avec les motifs d'alignements standards (normalisés ABC-200 en interne).

La dernière étape est simplement la procédure classique d'alignement de deux plaques avant collage. Cependant, dans le futur, cette procédure pourra être bloquante si les résolutions de réalisation du leadframe diminuent ou s'il se complexifie avec plusieurs électrodes supplémentaires. Le besoin d'alignement

devra être plus fin et ne sera plus possible de cette manière. Dans ce cas, un ajout de fonctionnalités sur les équipements existants pour le maintien des deux premières plaques et l'alignement de la troisième sera indispensable.

Le procédé d'assemblage par adhésion moléculaire assisté par thermocompression est basé sur des développements internes CEA-LETI qui sont détaillés dans le brevet de B. Imbert (CEA-LETI) [153]. Ce procédé est optimisé pour l'assemblage de deux plaques avec des couches métalliques minces (de l'ordre de la centaine de nanomètres d'épaisseur) ayant un CTE supérieur aux semiconducteurs —typiquement les collages conducteurs avec des métaux— et les hétérostructures de type bilame (figure 3.24). L'intégration du recuit standard post-collage pour renforcer l'adhésion d'un collage directement à l'intérieur du procédé de thermocompression est un point intéressant car il permet de gérer la déformation par un plan fixe grâce à la force imposée par les vérins de l'équipement. Il est alors possible de réduire la flèche importante lors de la redescente en température en maintenant la pression jusqu'au retour à la température ambiante (l'un des points démarquant du brevet). Cela n'aurait pas été possible avec un recuit standard ou avec une thermocompression classique où la redescente en température est libre (même si la pente est très faible). Le choix de garder la pression appliquée pendant la phase de descente compense les effets de dilatation, permet la bonne réalisation des assemblages et supprime les risques de casse de l'assemblage. La figure 3.26 décrit la vue en coupe détaillée du double collage développé ainsi qu'une image d'un assemblage réalisé. Pour l'étude de la qualité des assemblages moléculaire, les références suivantes seront prises :

- Interface A = Interface supérieure dans l'équipement
- Interface B = Interface inférieure

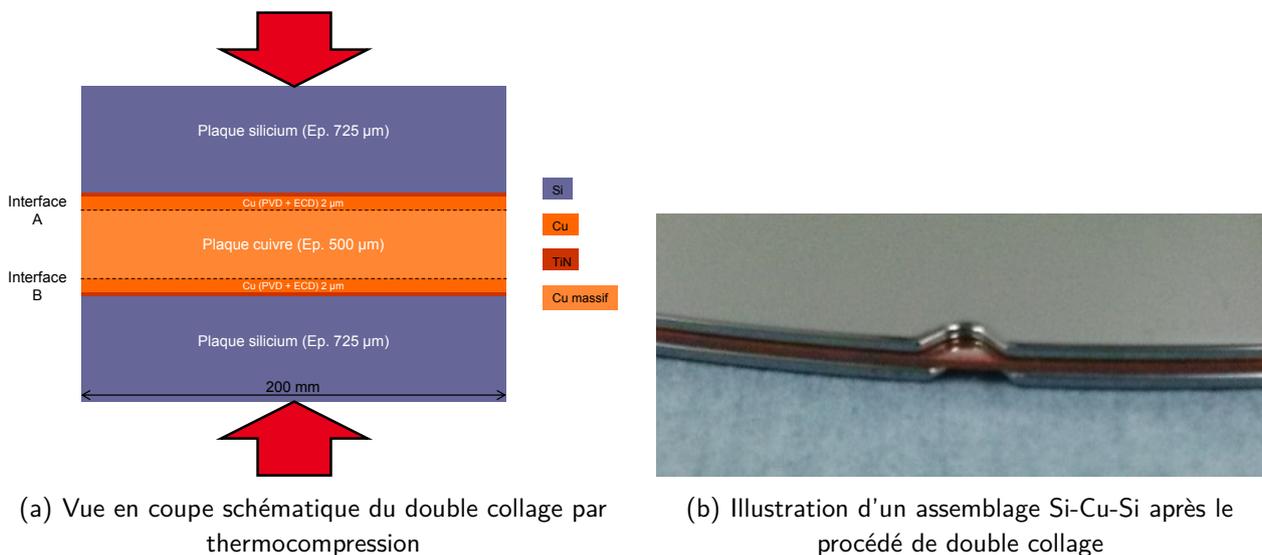


Fig. 3.26 – Description du double collage

3.3.2 | La mise au point du procédé de double collage direct métallique

D'après les études sur le collage direct assisté par thermocompression de P. Gondcharton (CEA-LETI) [55], l'empilement métallique fait sur les substrats de silicium pour le collage est le suivant :

1. Nettoyage de la surface du silicium avant dépôt
2. Dépôt PVD enchainé de TiN 20 nm + Cu 200 nm (*seed layer*)
3. Dépôt ECD de Cu 1,8 μm

La figure 3.27 décrit les caractérisations de l'état de surface après ces étapes. Pour rappel, la limite de rugosité efficace est de 33 nm pour la TC.

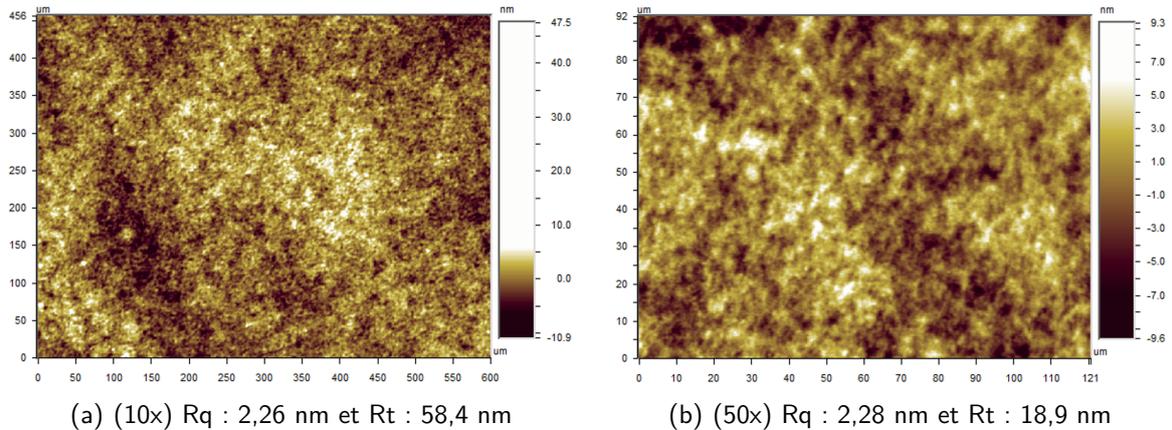


Fig. 3.27 – Vues en profilométrie optique de la rugosité des substrats silicium après le dépôt de la couche de cuivre pour le collage

La rugosité de cette couche mince de cuivre est compatible avec le collage et ces substrats ont pu être utilisés tel quels pour mettre au point le procédé de double collage. Les développements de cette brique d'assemblage par thermocompression sont réalisés sur l'équipement CB8 de Suss Microtec. Les deux cas testés sont décrits dans la figure 3.28. Le premier assemblage est fait avec des plaques de cuivre massives polies double face par le procédé détaillé précédemment dans la partie 3.2. Le second est réalisé avec les plaques approvisionnées et sans étape de préparation de surface, hormis le nettoyage pour entrer en salle blanche.

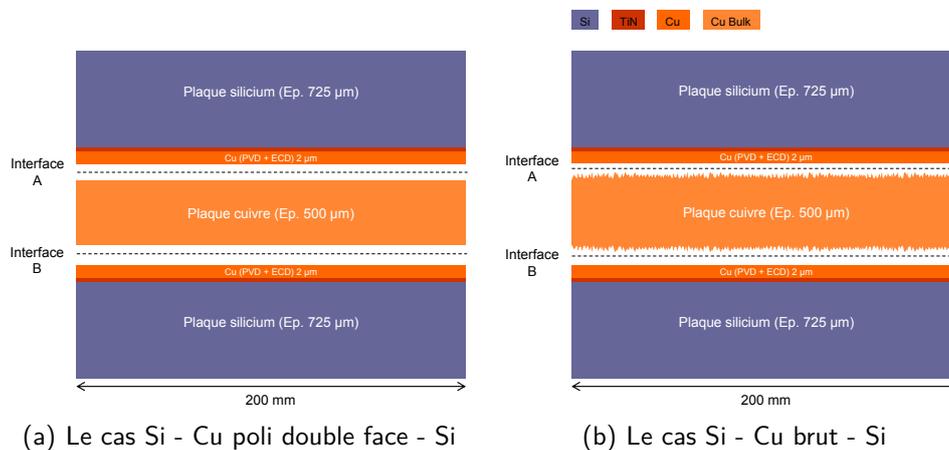


Fig. 3.28 – Vue en coupe des deux empilements testés pour les développements du double collage

L'étude avec des plaques de cuivre polies double face

Toujours d'après l'étude de P. Gondcharton (CEA-LETI) et du brevet [153], les conditions du premier test sont :

- une température de scellement de 300 °C et une force de 50 kN, équivalente à une pression de 1,59 MPa pour un substrat 200 mm, pour un palier d'une durée de 2 h ;
- la montée en température prend 2 h puis la force est appliquée et ce pendant la durée du palier

de scellement, ensuite la redescente se fait à une pente de 1 °C/min (équivalent à 5 h pour passer de 300 °C à 25 °C).

Les caractérisations des interfaces de collage par microscopie acoustique (SAM) sont visibles à la figure 3.29 avec le procédé précédent. Les zones blanches correspondent à une zone non collée (un défaut) ; à l'opposé les zones noires sont collées sans aucun défaut.

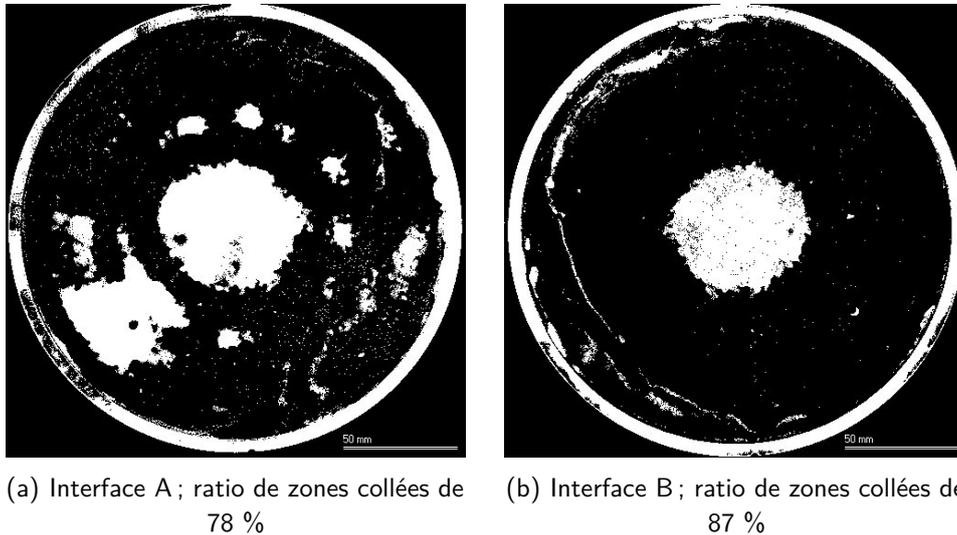


Fig. 3.29 – Caractérisation en microscopie acoustique des deux interfaces de collage pour une température d'assemblage de 300 °C ; noir = zones collées et blanc = défauts de collage

Les caractérisations des interfaces de collage font ressortir deux aspects :

- Un anneau en périphérie des plaques n'est pas collé. C'est cohérent car les plaques de silicium n'ont pas de cuivre dans cette zone. Elle est nécessaire au procédé d'ECD car elle sert de zone de contact pour polariser la *seed layer* pour le dépôt électrochimique de la couche de cuivre. Cet anneau est exclu lors du ratio entre la surface collée et à la surface totale mise en contact ;
- Ce collage avec des plaques polies de cuivre a donné une zone circulaire non collée au centre et cela sur les deux interfaces, ce qui est anormal : une plaque peut effectivement avoir une flèche importante et le centre ne serait pas collé, par contre l'autre face devrait l'être, ce qui n'est pas le cas ici. L'hypothèse proposée est que le collage s'est amorcé spontanément lors de la montée en température avant l'appui par le système de maintien des plaques en bordure des plaques (*clamps* de fixation). La chambre de collage étant maintenue à température ambiante, un volume d'air a été chassé en direction du centre de la plaque et a été emprisonné, empêchant le contact et donc son collage. Cette hypothèse paraît cohérente avec l'étude sur la dynamique d'un collage entre deux plaques selon la méthode d'amorçage d'E. Navarro (SOITEC) [154].

Lors de l'assemblage standard, des espaceurs sont utilisés pour maintenir les plaques et ceux-ci sont retirés au moment de l'application de la pression : aucun collage spontané ne peut s'opérer et la pression unilatérale de l'équipement supprime la problématique d'air bloqué au centre de l'empilement. L'utilisation des espaceurs n'a pas été possible à cause de l'assemblage de trois éléments simultanément. Afin de supprimer par la suite ce problème, une étape de mise sous vide de la chambre de collage a été ajoutée au début du procédé de TC.

Un second essai a été fait à 300 °C (avec une montée en température réalisée sous vide), le scellement est plus cohérent et le ratio de zone collée est supérieur au précédent cas, visible à la figure 3.30(a et

b). Cet assemblage solide mécaniquement a été repassé en thermocompression avec le même procédé mais en inversant le sens de l'empilement. Les caractérisations sont visibles dans la figure 3.30 (c et d).

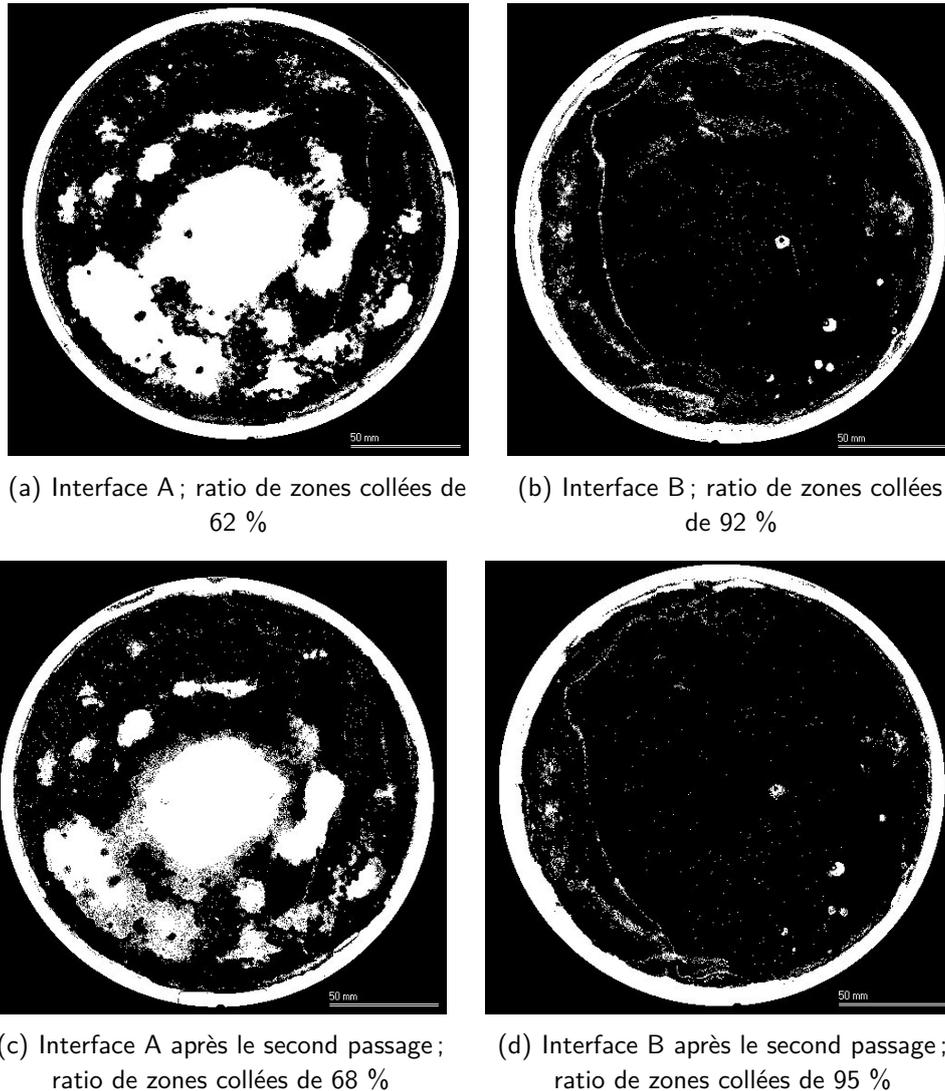


Fig. 3.30 – Caractérisation en microscopie acoustique des deux interfaces de collage pour une température d'assemblage de 300 °C (a et b) puis un second passage à avec la même recette (c et d); noir = zones collées et blanc = défauts de collage

Le résultat sur l'interface B avec 95 % de zones collées montre la fonctionnalité et la qualité de cette technique de scellement. L'objectif de repasser l'assemblage était de voir l'impact d'une nouvelle thermocompression. Le procédé est donc répétable et il y a une légère amélioration du collage avec ce second passage : une fois assemblé l'empilement peut encore évoluer dans un sens positif, contrairement à une brasure où la remontée en température pourrait détériorer l'assemblage. Ce comportement est cohérent avec les études de fiabilité de R. Taibi (CEA-LETI) [63] qui prouvaient l'amélioration du collage avec un stockage en température qui agissait au final comme un recuit de consolidation post-collage. Néanmoins, il faut relativiser l'amélioration, elle n'est que de quelques pour cents et la problématique du déséquilibre des zones collées entre les deux interfaces n'a pu être résolue, l'interface A possède toujours des zones non collées malgré le second passage.

Sur cette troisième configuration, un assemblage initial a été fait puis un second passage à 350 °C

avec pour objectif de monter plus haut en température pour améliorer le scellement. La figure 3.31 (a et b) résume les caractérisations de l'interface A de l'assemblage après le premier collage. L'évolution de la surface correctement collée est flagrante. Malheureusement, l'évolution sur la seconde interface n'est pas visible suite à une erreur de mesure : la figure 3.31c représente l'interface B après le second passage uniquement.

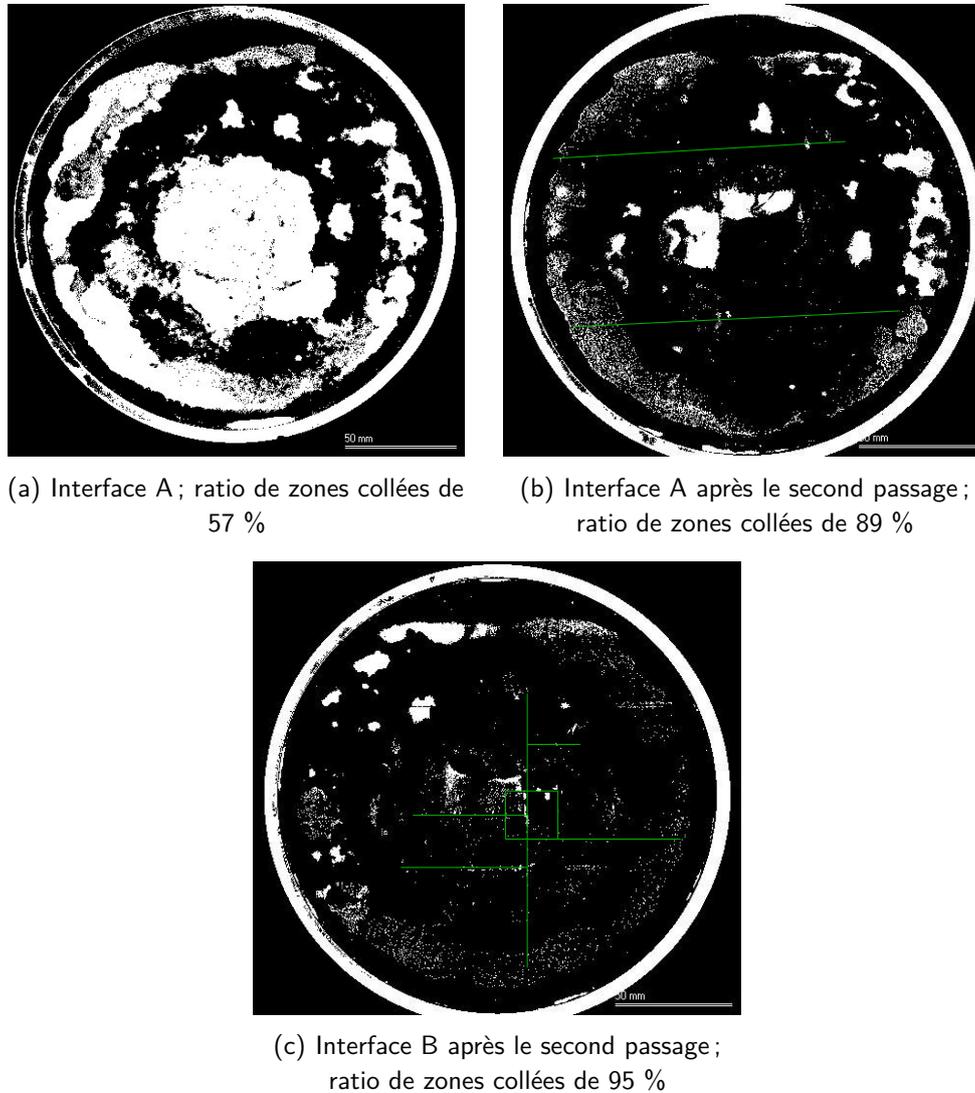


Fig. 3.31 – Caractérisation en microscopie acoustique des deux interfaces de collage pour une température d'assemblage de 300 °C (a et b) puis un second passage à 350 °C pour l'interface B (c) ; noir = zones collées et blanc = défaut de collage ; les traits verts représentent les fissures apparues après le second passage

Dans ce dernier cas, la surface collée est bien plus importante et quelle que soit l'interface (89 % et 95 %). L'évolution entre le premier et le second passage à 350 °C sur l'interface A est flagrante avec un ratio qui passe de 57 % à 89 % de surface collée. Il est donc possible d'améliorer le scellement des plaques en repassant avec la même recette mais une température supérieure de 50 °C. Cependant, les plaques de silicium se sont fissurées. Les morceaux étant parfaitement collées, ils ne se sont pas détachés et l'assemblage est mécaniquement solide. Ces fissures sont surprenantes et la hausse de 50 °C n'est pas censée amener à une rupture du silicium. Un compromis en température pourrait être envisagé afin d'augmenter la surface collée sans avoir de fissures.

En conclusion de cette première étude d'un double collage avec une structure symétrique, on peut retenir :

- l'état actuel de la recette d'assemblage par adhésion moléculaire assisté par thermocompression est adaptable d'un scellement de deux éléments vers trois éléments ;
- la possibilité de faire des assemblages fonctionnels et sans flèche. La valeur maximale de flèche mesurée sur ces tests est de $50 \mu\text{m}$;
- il est possible d'obtenir un bon ratio de surfaces collées par rapport à la surface totale ; cependant, l'une des interfaces a toujours plus de défaut de collage ;
- la préparation de surface par CMP des plaques de cuivre est validée car les collages sont possibles et fonctionnels ;
- une importante variation de la qualité du scellement entre $300 \text{ }^\circ\text{C}$ et $350 \text{ }^\circ\text{C}$.

Ces premiers résultats introduisent la suite des tests effectués pour repousser les limites de rugosité acceptables pour un collage direct cuivre-cuivre.

L'étude avec des plaques de cuivre non polies

L'objectif de ces tests est de valider la faisabilité d'un assemblage avec des plaques de cuivre "brutes", sans aucune étape de préparation des surfaces, dans l'état initial lors de l'approvisionnement, c'est-à-dire avec les rugosités caractérisées à la figure 3.8 et pour l'assemblage de la figure 3.28b. D'après l'étude sur le double collage des plaques de cuivre polies, la température de $350 \text{ }^\circ\text{C}$ donne les meilleurs résultats. Un test de principe a été fait à $300 \text{ }^\circ\text{C}$. Cependant, les plaques n'ont effectivement pas collé. Les tests faits à $350 \text{ }^\circ\text{C}$ sont résumés dans la figure 3.32 pour l'interface A et dans la figure 3.33 pour l'interface B.

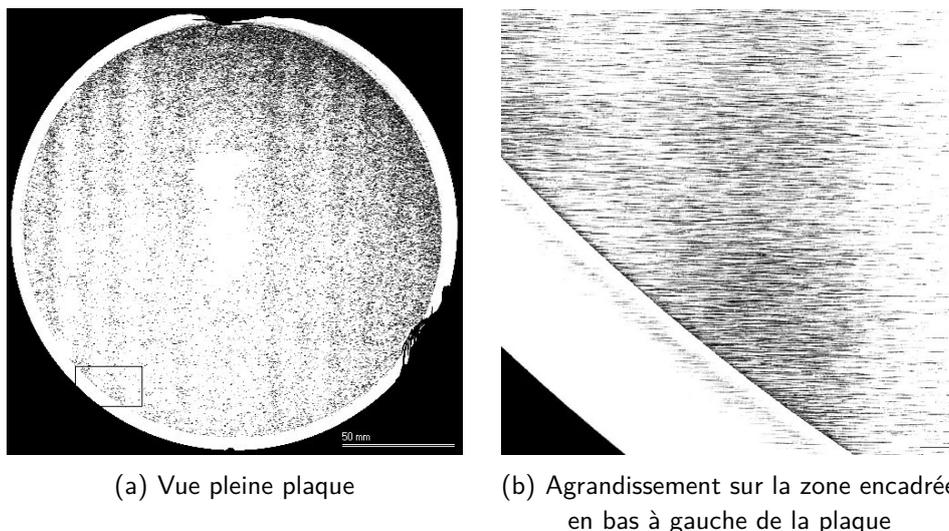


Fig. 3.32 – Caractérisation en microscopie acoustique de l'interface collage A pour une température d'assemblage de $350 \text{ }^\circ\text{C}$ et une plaque de cuivre non polie

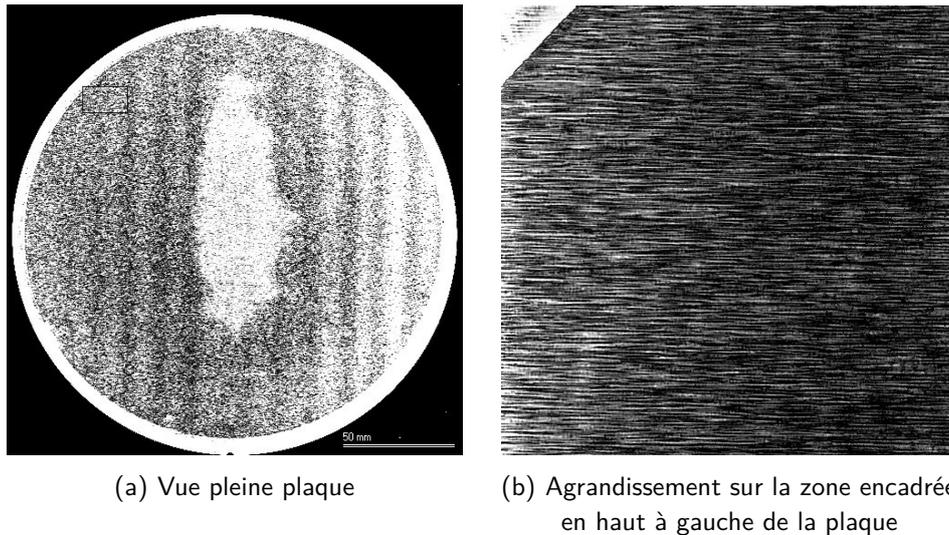


Fig. 3.33 – Caractérisation en microscopie acoustique de l'interface collage B pour une température d'assemblage de 350 °C et une plaque de cuivre non polie

Cette fois, aucune fissure n'est visible et cela nous a permis de repousser la limite de rugosité pour l'assemblage. Pour rappel, en TC, la limite observée avec des plaques Si/Cu - Cu/Si est de 33 nm RMS [70], nous constatons ici qu'une rugosité de 243 nm RMS n'est pas un frein à un collage en thermocompression.

On retrouve l'allure du laminage du cuivre qui était bien visible sur les caractérisations en profilométrie optique. Le scellement se fait a priori uniquement sur les points hauts de la rugosité de la plaque de cuivre non polie. Les zones grises sur les SAM correspondent à une alternance de micro-zones collées/non collées provoquant une impédance acoustique moyenne de l'interface qui n'équivaut ni à une zone parfaitement collée ni à une zone d'absence de contact. Après binarisation de l'image pour son traitement, le ratio de surfaces collées est de 33 % sur l'interface A et de 56 % sur l'interface B. Cependant, ce calcul est plus incertain avec les plaques non polies où on voit d'après les agrandissements que toute la surface n'est pas collée uniformément mais seulement sur les pointes. Cependant, les zones réellement non collées (des défauts) sont bien visibles au centre des deux interfaces avec des zones blanches plus marquées.

Pour conclure, cette étude sur plaque non polie, avec des valeurs de rugosités très élevées par rapport au standard de collage direct, est particulièrement intéressante pour l'interconnexion des composants de puissance où les surfaces de contact sont grandes : plusieurs millimètres au vu de la taille des composants. Il est clair que ces conditions ne sont pas acceptables pour des interconnexions de microélectronique 3D, où la taille des plots correspond —voire est inférieure— à la période spatiale du laminage des plaques de cuivre (entre 15 à 20 μm), cette remarque est illustrée dans la figure 3.34. Cependant, il apparaît que, dans un contexte de surfaces de contacts très grandes, la tenue mécanique est obtenue sans ajout de matière comme une brasure. Il sera nécessaire de caractériser l'interface de collage au niveau thermique, électrique et mécanique afin de comparer les performances entre un scellement avec des plaques de cuivre polies ou non polies.

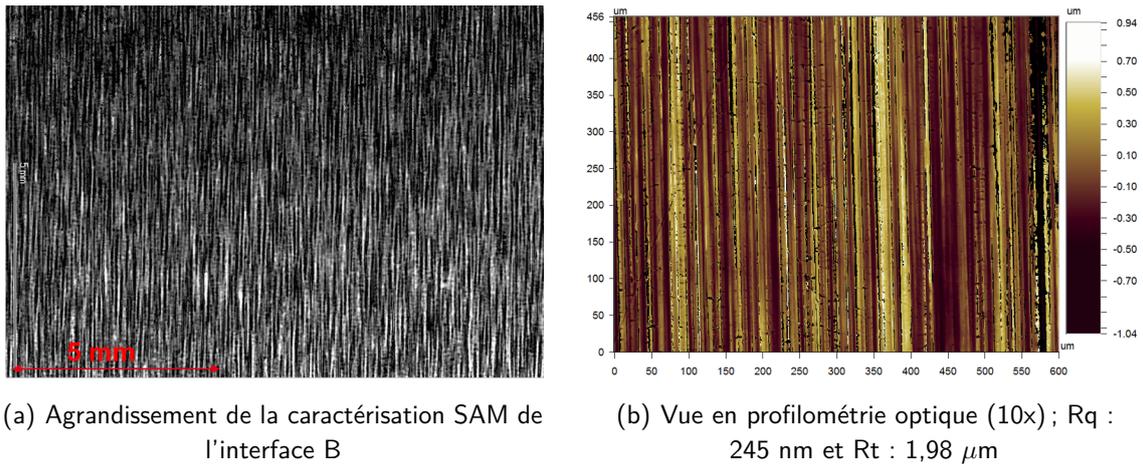
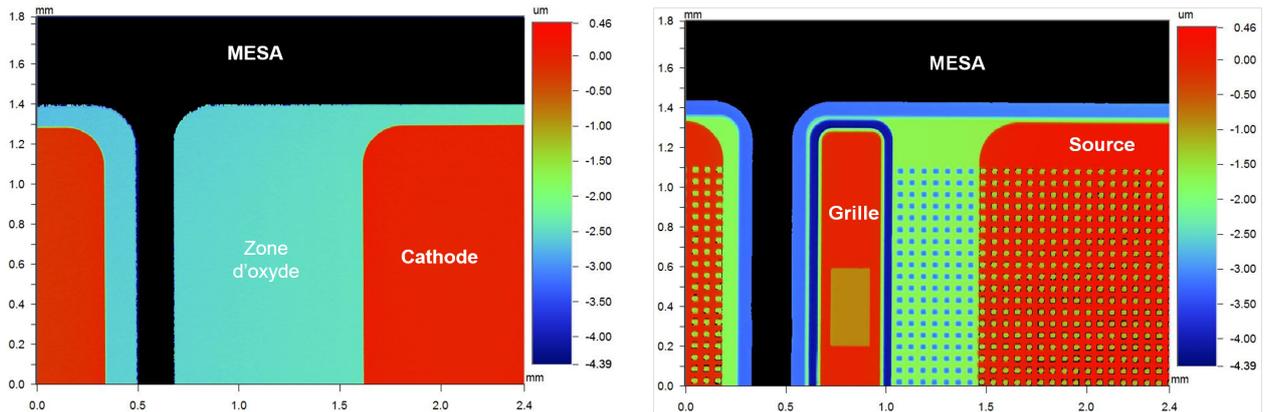


Fig. 3.34 – Comparaison d'une caractérisation en microscopie acoustique de l'interface de collage (assemblage à 350 °C) et d'une caractérisation en profilométrie optique dans le cas d'un scellement avec une plaque de cuivre non polie

L'étude du double collage avec motifs

L'étude sur les assemblages pleines plaques a permis d'adapter la recette de collage aux besoins du double collage et de déterminer un point de fonctionnement maximisant la surface collée (350 °C). Cependant, l'objectif final de cette brique est l'assemblage de plaques avec des composants de puissance et un leadframe. Les développements suivants ont pour objectifs de qualifier le procédé de double collage avec des plaques de composants, et ainsi valider la conception et la fabrication de composants adaptés au packaging 3D à l'échelle de la plaque. Ces développements se font sur des plaques transistors dédiées avec la topologie adéquate mais non fonctionnelles (réalisées dans le même lot que les composants fonctionnels).

La première étape consiste à caractériser les composants afin de déterminer s'ils sont compatibles avec une étape de collage TC (d'après les spécifications du tableau 3.2). Lors de la conception, ils ont été adaptés au packaging 3D. La diode a une électrode de cathode qui doit être à une hauteur supérieure au plot d'oxyde qui accueillera la grille du leadframe. Pour le transistor, il faut que les électrodes de grille et de source soient à la même hauteur : des zones spécifiques ont été dessinées sur leurs plots. Les mesures en profilométrie optique ont permis de valider ces particularités sur la topographie des transistors et des diodes ainsi que la rugosité des plots de cuivre élevés par ECD. Les topographies du nMOS et de la diode sont visibles dans la figure 3.35, les carrés présents sur le plot de source correspondent à l'amenée de courant à chaque source de macro-cellules transistor. Les rugosités des plots de cuivre des composants sont détaillées dans la figure 3.36.

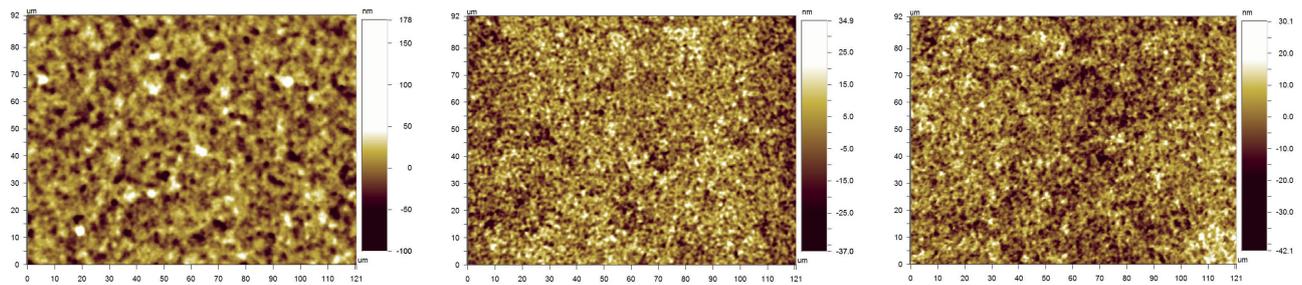


(a) La diode PiN avec le plot de cathode $2,5 \mu\text{m}$ au-dessus de l'oxyde

(b) Le transistor nMOS avec la grille et la source à la même hauteur

Fig. 3.35 – Caractérisation par profilométrie optique de la topographie des composants adaptés au packaging 3D

La profondeur du MESA (en noir sur l'image) est réellement égale à $50 \mu\text{m}$. L'échelle est zoomée afin de faire ressortir les détails de la face avant des composants.



(a) Centre du plot de cathode de la diode; $R_q : 17,7 \text{ nm}$ et $R_t : 278 \text{ nm}$

(b) Centre du plot de source du transistor; $R_q : 7,00 \text{ nm}$ et $R_t : 72,2 \text{ nm}$

(c) Centre du plot de grille du transistor; $R_q : 8,41 \text{ nm}$ et $R_t : 71,8 \text{ nm}$

Fig. 3.36 – Caractérisation par profilométrie optique de la rugosité des plots de cuivre des composants (50x)

Nous constatons que la rugosité du plot de diode est plus importante que la rugosité mesurée sur les plots de source et de grille des transistors : le dépôt ECD de Cu dans le cas de la diode n'est pas réalisé de façon standard, il est fait en utilisant un masque dur en oxyde et non une résine afin de ne pas ajouter un niveau de photolithographie supplémentaire. Il est fonctionnel mais plus complexe à réaliser et le contrôle de l'épaisseur déposée est moins précis (ici $4,1 \mu\text{m}$ au lieu de $1,8 \mu\text{m}$ visé), la marche entre la métallisation et l'oxyde est de $2,5 \mu\text{m}$ au lieu de $0,2 \mu\text{m}$ prévu. Cette épaisseur plus importante provoque une rugosité supérieure sur le plot de cathode de la diode comparée aux plots du transistor (fait en utilisant le procédé standard avec résine qui a pu être contrôlé pour avoir les $1,8 \mu\text{m}$ de cuivre de la métallisation). Au final, cette marche reste compatible avec l'étape d'assemblage. La topographie et la rugosité des plots de cuivre des composants sont compatibles avec l'assemblage et cela valide ainsi la conception et la fabrication de ces composants spécifiques.

Lors du procédé d'assemblage avec des plaques comportant des composants, la force d'assemblage a été adaptée. En effet, l'introduction de motifs induit une surface mise en jeu plus faible qu'une plaque entière (sans motifs et relatif aux deux études précédentes). La force appliquée a été réduite pour conserver la même pression que le procédé fonctionnel développé en pleine plaque : les conditions sont de 350 °C et 30 kN (pression de 1,59 MPa). La figure 3.37 résume la caractérisation de l'interface A d'un assemblage entre une plaque avec des transistors, une plaque de cuivre polie double face et une plaque de diode. La seconde interface n'est pas visible car la plaque de diodes s'est cassée durant le scellement provoquant une très forte flèche. Celle-ci n'a donc pas permis de caractériser l'interface de collage sur tout le diamètre de la plaque car l'interface n'est pas à la même hauteur selon la position.

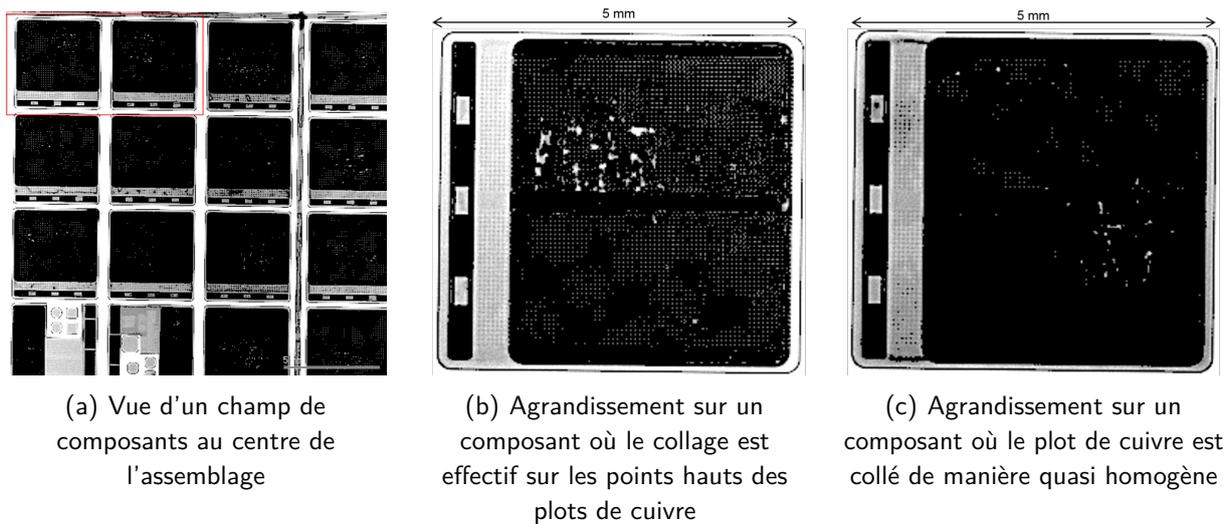


Fig. 3.37 – Caractérisation par microscopie acoustique du collage Cu-Cu à température d'assemblage de 350 °C de l'interface A, assemblage d'une plaque de nMOS, une plaque de cuivre polie double face et une plaque de diode; noir = zones collées et blanc = défauts ou absence de collage à cause de la topographie du composant

Le collage est également fonctionnel avec des composants et cela sur une majorité de composants, même s'il n'a pas été possible de regarder la répartition sur la plaque à cause de la flèche de l'hétérostructure. Les agrandissements sur les composants montrent deux phénomènes intéressants :

- la figure 3.37b montre clairement que le transistor est collé à la plaque de cuivre depuis les zones hautes des plots de source et de grille, comme attendu. Typiquement, trois rectangles horizontaux avaient été conçus sur le masque pour avoir des surfaces suffisamment grandes pour le collage, elles avaient été détaillées à la figure 2.8 : dans ces zones aucune macro-cellule de transistors n'a été dessinée. Cela réduit la densité de cellules élémentaires du transistor mais permet d'améliorer le scellement, c'est un compromis de la conception couplée composant/packaging. Dans le même sens, le plot vertical de grille possède trois ouvertures pour contacter le polysilicium de grille et le métal. En dehors de ces zones, le métal est sur l'oxyde de champ, ce qui permet d'avoir la même hauteur entre le plot de grille et de source ;
- la figure 3.37c est plus surprenante et apporte une critique positive entre la conception du composant et l'étape de scellement par thermocompression. Ici, on voit apparaître une zone noire quasiment continue sur le plot de source. Dans ce cas, même les points bas pour l'amenée de courant aux sources des macro-cellules transistor semblent collés. L'hypothèse proposée est que la force appliquée combinée avec la dilatation du cuivre à une température élevée provoque un aplanissement du plot de source. Par exemple à 350 °C, la dilation de la plaque de cuivre de

500 μm d'épaisseur est de 2,7 μm , ce qui est largement suffisant pour combler les 1,4 μm de marche des macro-cellules. Il apparaît que cette étape de thermocompression pourrait avoir un impact plus important que simplement permettre le scellement avec des rugosités élevées et non compatibles avec le collage direct à température ambiante.

Il est important de nuancer ces résultats encourageants sur l'assemblage entre composants et plaque de cuivre polie. La caractérisation acoustique n'est pas suffisante pour visualiser tous les détails et subtilités d'un assemblage avec des motifs. On arrive proche de la résolution latérale de la mesure qui est de 10 μm par rapport aux motifs présents, ici 36 μm pour les points hauts et 60 μm pour les points bas de la macro-cellule élémentaire de transistor. Pour compléter et valider les interprétations faites ici il faudra passer par une caractérisation en coupe de l'interface de collage par FIB-SEM (microscopie électronique par sonde ionique focalisée), comme fait lors de l'étude du report de diodes sur substrat de cuivre [80] et dans les études sur l'intégration 3D d'interconnexion pour circuits intégrés hautes densités [60].

Un test de comparaison a été mené avec des composants et une plaque de cuivre non polie dans la même logique que l'étude précédente. La figure 3.38 décrit les caractérisations d'un assemblage entre deux plaques de transistors et une plaque de cuivre non préparée.

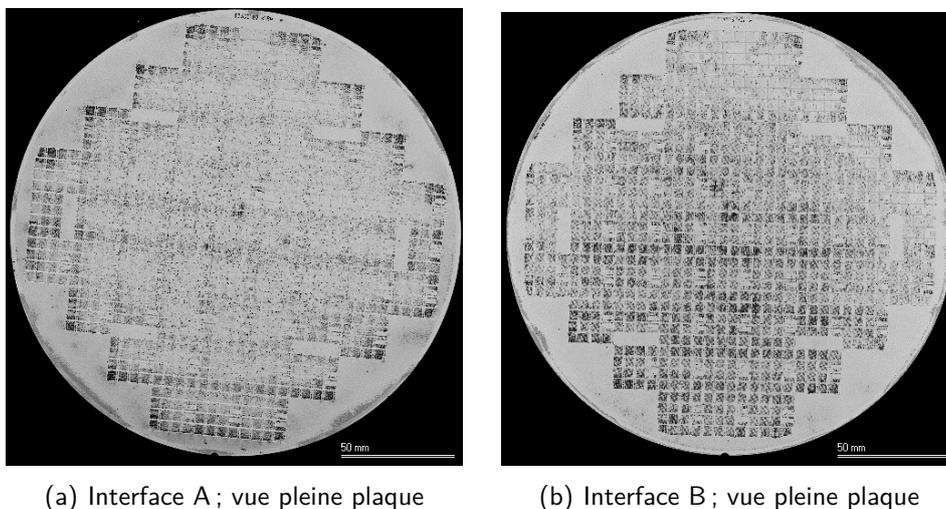


Fig. 3.38 – Caractérisation en microscopie acoustique des deux interfaces de collage pour une température d'assemblage de 350 °C pour un assemblage nMOS - Cu non poli - nMOS (c); noir = zones collées et blanc = défaut ou absence de collage

Ce double collage est fonctionnel; cependant, il est difficile de conclure sur le nombre de composants réellement scellés sur la plaque de cuivre massive. En tout cas, cet essai valide l'absence de flèche dans le cas où l'assemblage se réalise sans problème (sans casse). La figure 3.39 montre l'interface de collage sur quatre composants au centre de la plaque représentatif quelle que soit la position sur la plaque.

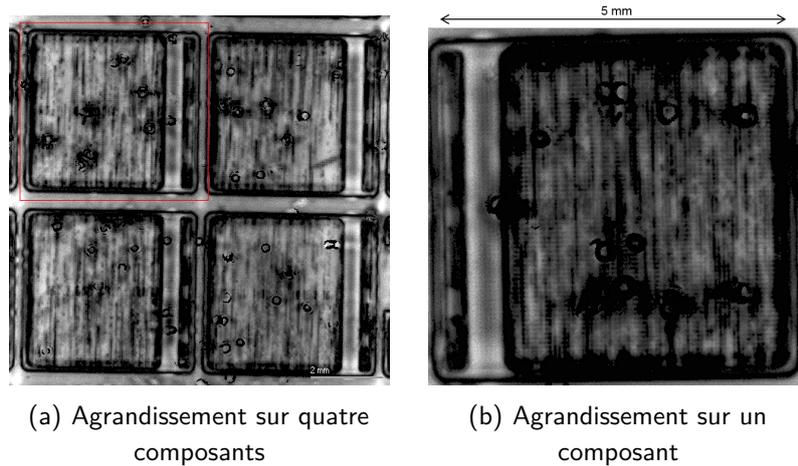


Fig. 3.39 – Caractérisation en microscopie acoustique de l'interface entre la plaque de transistor et la plaque de cuivre non polie

Dans ce cas de figure, nous retrouvons le collage type de la plaque de cuivre brute, post-laminage. Les plots sont partiellement collés principalement sur le contour des plots (en protubérance) et toujours selon les traits de laminage sur les lignes les plus hautes. Des défauts circulaires sont également présents sur les composants, certainement dus à un nettoyage insuffisant sur cette plaque de cuivre.

La fonctionnalité d'un assemblage d'un cuivre non poli avec des composants suit la même logique que les tests pleine plaque, la tenue mécanique et l'absence de flèche valide cet assemblage. Cependant, la qualité du collage plus localement au niveau des composants est inférieure au cas d'un assemblage avec une plaque de cuivre polie, ce qui est logique et cohérent avec l'étude précédente sur plaque entière sans les composants. Aujourd'hui, des caractérisations complémentaires sont nécessaires (caractérisations thermique et électrique) afin de comparer les deux types d'assemblage (avec et sans préparation de surface de la plaque de cuivre) et de valider l'intérêt et la possibilité de coller les plaques de cuivre brutes.

Lors de ces études, il a été remarqué que, quelle que soit la préparation de surface de la plaque de cuivre, la flèche de l'assemblage après le procédé de TC est comprise entre 10 et 50 μm . Ces mesures confirment l'intérêt pour ce procédé spécifique et le choix d'une structure symétrique. Par exemple, lors de tests de scellements infructueux, l'assemblage s'est retrouvé dans le cas d'une structure asymétrique Si-Cu : la flèche était alors très importante, autour de 0,5 à 1 mm, ce qui est en accord avec les observations du procédé de fabrication [153]. C'est cependant un résultat intéressant car l'assemblage a tout de même été possible avec ce procédé innovant de thermocompression.

Cette étude a permis de tester différents cas possibles d'empilement et d'adapter un procédé standard à un double collage pour les besoins du packaging 3D d'électronique de puissance. Le procédé fonctionnel obtenu permet d'assembler des plaques de cuivre polies double face avec une homogénéité intéressante sur la plaque et également à une échelle micrométrique sur des zones localisées que sont les plots d'interconnexion des composants réalisés. Cependant, l'étude aurait besoin de développements supplémentaires avec une plus grande attention sur la reproductibilité car le nombre limité de plaques de cuivre polies a réduit les possibilités de mise au point de l'étape. Des tests supplémentaires doivent être menés avec le leadframe de cuivre pour l'interconnexion maintenant que le procédé est fonctionnel avec des plaques de cuivre sans motifs. La procédure d'alignement proposée pourra être mise en œuvre et valider le double collage avec alignement. Cet assemblage final devrait être fonctionnel grâce à la

validation du scellement des composants et à la compréhension des phénomènes qui entrent en jeu dans ce double collage simultané.

3.4 | Premiers pas vers la découpe de modules de puissance en 3D

3.4.1 | Les spécifications de la découpe

Les assemblages à l'échelle de la plaque entre métal épais et composants semiconducteurs provoquent une problématique complexe pour la découpe en puces de ces hétérostructures de module 3D. Les spécifications et spécificités de cette étape sont :

- pouvoir découper une hétérostructure avec un matériau ductile (le métal) et un matériau fragile (le semiconducteur) ;
- gérer la présence de cavités à l'intérieur de l'empilement (dans le cas où le MESA n'est pas rempli par un passivant) ;
- assurer des flancs alignés entre les différents éléments de la puce pour le futur report perpendiculairement au support ;
- garantir une précision de positionnement des coupes inférieure à $10 \mu\text{m}$;
- avoir une largeur de découpe contrôlée, fonction de la largeur du chemin de découpe nécessaire.

Les différentes hétérostructures possibles qui devront être découpées sont résumées dans la figure 3.40 dans le cas de trois couches différentes ou dans la figure 3.41 pour le cas le plus complexe avec cinq couches.

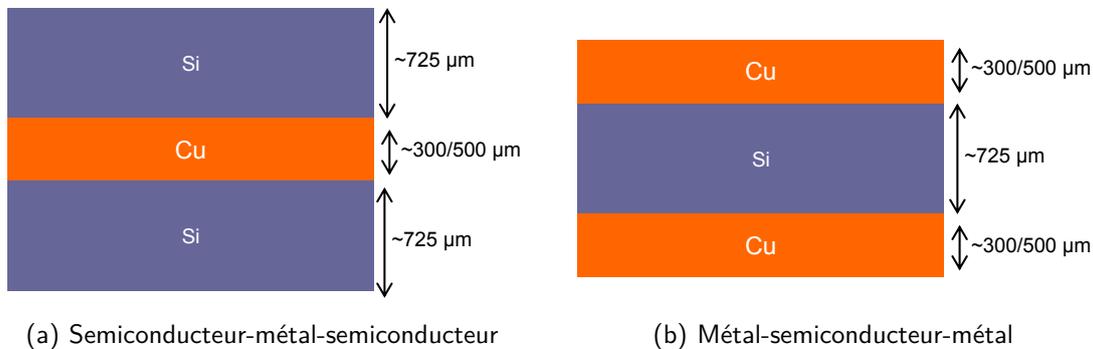


Fig. 3.40 – Vue en coupe d'hétérostructures possibles avec trois couches différentes

3.4.2 | Les premières solutions technologiques envisagées

La solution la plus simple à envisager est une découpe à la scie, qui est le standard en microélectronique, de tout l'assemblage en un seul passage. Cette solution n'est pas possible dans les conditions standards utilisées dans la salle blanche du LETI, les lames, ainsi que la vitesse de rotation sont opposées pour un matériau ductile et un matériau fragile. Pour le matériau ductile, il faut tourner doucement pour limiter l'échauffement et l'écaillage et, à l'inverse, il faut une vitesse élevée pour limiter les fissures dans le matériau fragile.

Des tests en interne avec des lames adaptées à la découpe du cuivre ont été réalisés sur des échantillons de cuivre massif de $500 \mu\text{m}$ ainsi que sur des assemblages de Si-Cu-Si ; ils n'ont pas été

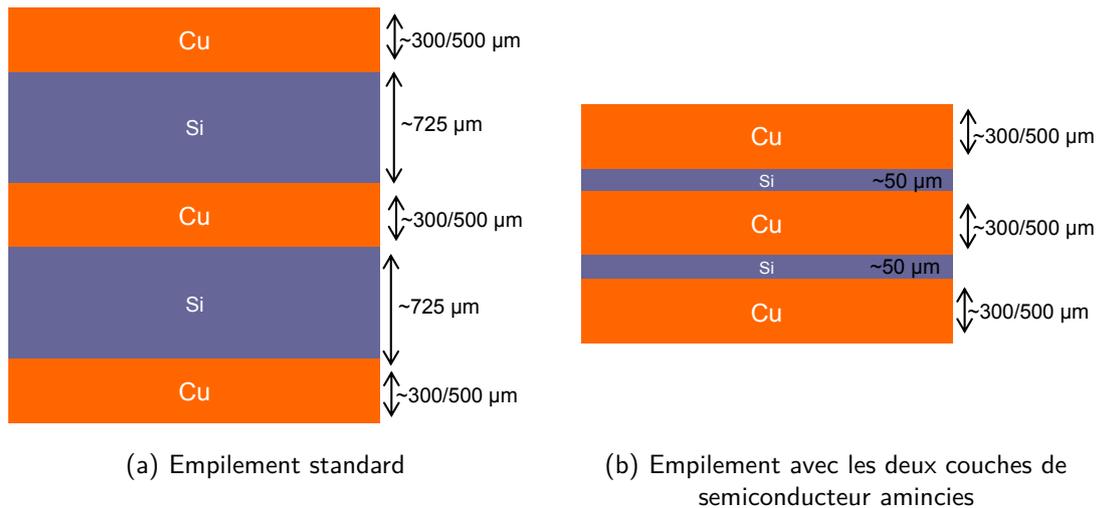


Fig. 3.41 – Vue en coupe d'hétérostructures possibles avec cinq couches différentes sur l'élément de base semiconducteur-métal-semiconducteur

concluants à cause de la vitesse de rotation trop élevée sur les machines dédiées aux semiconducteurs (limite minimum de 3000 tr/min). L'usure de la lame était beaucoup trop importante et réhibitoire pour la faisabilité de la découpe. Une astuce envisageable est de découper en plusieurs passages par les deux faces avec une lame dédiée pour chaque matériau. Les résultats de ces premiers tests sont résumés dans la figure 3.42. Pour éviter de retourner l'assemblage ou de changer la lame adaptée à un seul matériau, des équipements de découpe ayant une double broche pourraient être parfaitement adaptés à ce type d'hétérostructure [155]. Cependant, la vitesse de rotation minimale reste problématique comme dans ce cas où l'équipement est limité à 3000 tr/min.

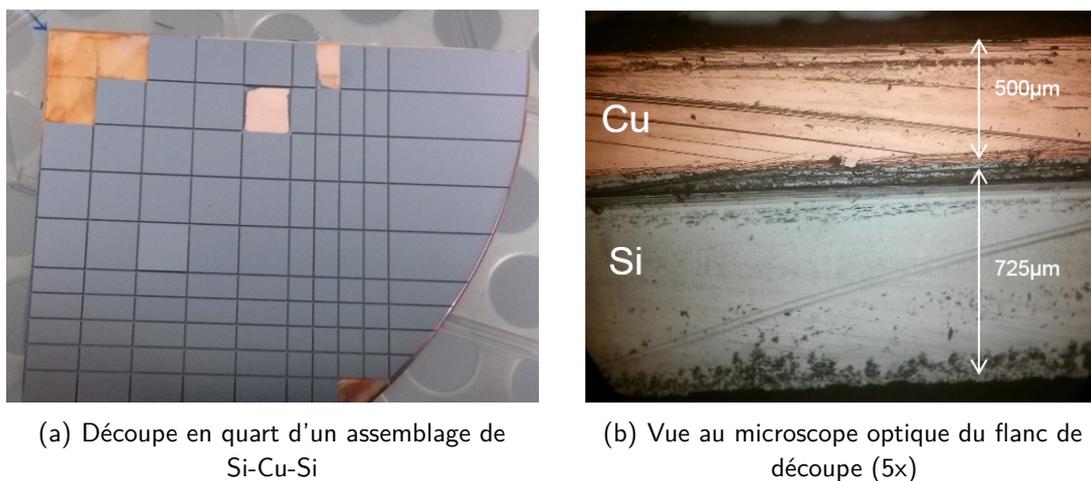


Fig. 3.42 – Description des tests de découpe à la scie effectués sur une structure Si-Cu-Si collée à l'échelle de la plaque

Pour conclure sur cette technique de découpe, la solution technologique n'est pas complexe mais les équipements utilisés classiquement pour le semiconducteur ne se sont pas directement compatibles. Une machine de découpe avec une vitesse de rotation minimale inférieure à 1000 tr/min serait nécessaire pour la découpe du cuivre massif.

Une solution de découpe par laser Nd :YAG (milliseconde) a été testée. Le laser n'ayant pas de contrainte par rapport aux caractéristiques mécaniques de l'empilement, il apparait comme une solution intéressante. Les découpes réalisées⁵ sont visibles dans la figure 3.43. Cependant, la découpe se fait par une ablation de la matière par fusion, il y a un passage par un état liquide des matériaux qui est rédhibitoire pour la qualité morphologique du flanc ainsi que pour le risque de contamination métallique du semiconducteur.

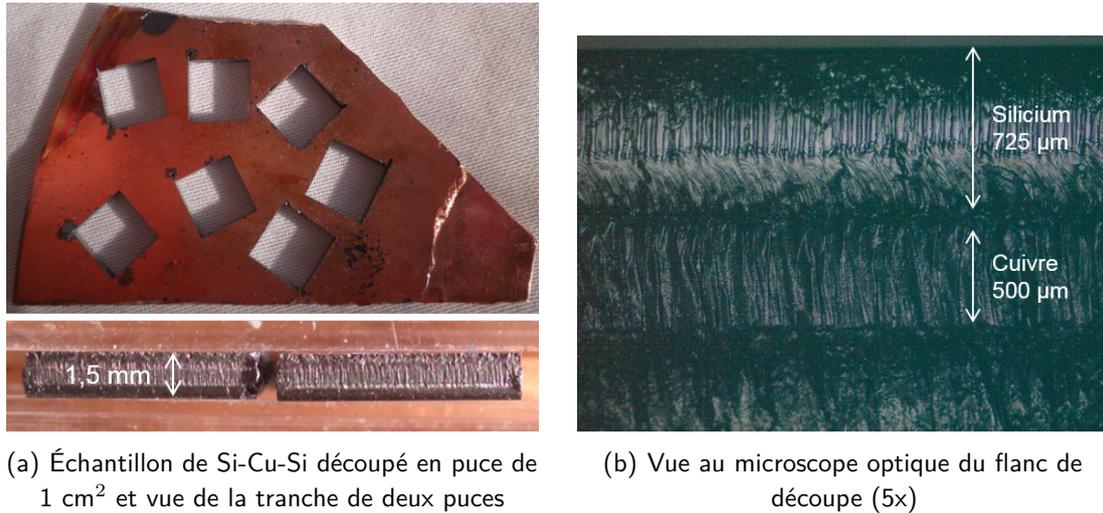


Fig. 3.43 – Description des tests de découpe laser effectués sur une structure Si-Cu-Si assemblée à l'échelle de la plaque par le procédé de double collage développé

Enfin, une dernière solution de découpe a été imaginée et validée. Elle fait actuellement l'objet d'un dépôt d'un brevet.

Ces premiers tests font apparaitre une réelle problématique pour cette étape de découpe d'hétérostructures. Elle est d'ailleurs générique car la présence d'une couche métallique épaisse (supérieure à 5 µm) est classique dans les empilements de microélectronique, celle-ci pose des problèmes pour une découpe de qualité afin de limiter la casse des puces. Cette brique technologique est donc un exemple typique de la construction de la boîte à outils pour faire bénéficier des idées et développements effectués dans le cadre de cette thèse vers d'autres domaines que le packaging d'électronique de puissance.

3.5 | Conclusion

Ce chapitre sur les technologies pour la fabrication collective de modules de puissance retrace l'objectif d'organiser et construire une filière de conception et une ligne pilote de fabrication de prototypes de composants de puissance et de leurs modules/package associés. Cette filière est basée sur des briques technologiques nouvelles et disruptives par rapport aux standards actuels de packaging d'électronique de puissance. Parmi les briques imaginées, deux des plus importantes et surtout indispensables pour démontrer l'approche ont été étudiées et mises en œuvre pour tendre vers un module de puissance 3D entièrement fabriqué à l'échelle de la plaque avec tous les gains que cela peut apporter : sur la qualité, la reproductibilité et la fiabilité des étapes technologiques, un coût compétitif par rapport aux

5. Les tests de découpe ont été faits par l'entreprise Laser Rhône Alpes basée à Le Fontanil près de Grenoble (www.laser-rhone-alpes.com)

solutions matures, aussi et surtout un gain sur les performances des modules justifiant ainsi l'intérêt du changement de logique de conception et de fabrication. Le pari est ambitieux et intéressant : reconstruire toute la philosophie de fabrication des futurs modules de puissance. Cette démarche devient inéluctable pour pallier les évolutions et la complexification du packaging de l'électronique de puissance du futur.

Le leadframe métallique épais apparaît comme l'élément fondamental de cette nouvelle démarche de packaging à l'échelle de la plaque. Dans ce chapitre, sa réalisation a été détaillée, différentes techniques de préparation de surfaces et de réalisation des motifs ont été discutées laissant des opportunités larges pour la mise en œuvre future dans un packaging 3D ou 2D. De plus, un procédé d'assemblage ne générant que très peu de flèche malgré les épaisseurs importantes de cuivre et silicium mis en jeu dans l'hétérostructure a été étudié et mises au point sur des plaques massives de cuivre. En effet, toutes les opérations sur les équipements sont sensibles à la planéité des plaques (aussi bien lors des manipulations que pour la qualité des procédés). La suite des étapes de packaging à l'échelle de la plaque peut s'appréhender de manière optimiste.

Grâce à l'étude du packaging 3D de composants de puissance de type PCoC, il apparaît que la structure entre deux composants superposés et le leadframe d'interconnexion est une structure symétrique par construction. La combinaison avec des étapes de packaging à l'échelle de la plaque introduit de nouveaux concepts pour la réalisation des modules de puissance mais aussi pour la fabrication et l'optimisation du composant lui-même :

- Les étapes d'amincissement des composants de puissance sont classiques et critiques aujourd'hui. Des plaques de maintien temporaire (poignées) sont couramment utilisées pour la tenue mécanique de la plaque amincie. Dans le cas du packaging 3D à l'échelle de la plaque, cette poignée peut être supprimée grâce à la présence du leadframe métallique épais qui prend le relais pour la tenue mécanique de l'assemblage et aussi du composant. On peut alors imaginer un double rodage simultané des plaques de composants. Ce type de procédé existe déjà pour la réalisation des substrats semiconducteurs polis double face avec une flèche très faible (inférieure à $10\ \mu\text{m}$) [156] et pourrait être adapté aisément à cette filière de packaging collectif. Ce procédé permet d'amincir en même temps deux plaques mais il permet surtout de réduire la flèche finale car il n'y pas de dissymétrie dans l'hétérostructure (la même logique que le double collage simultané). Cette solution apporterait beaucoup à la production car cette étape d'amincissement est très sensible et synonyme de casse des composants.
- Après l'étape de meulage des faces arrière des plaques, l'étape de métallisation de l'électrode en face arrière reste toujours sensible et problématique aussi bien pour l'implantation ionique, le dépôt du métal et le recuit pour former un contact ohmique. Il sera logiquement nécessaire de limiter le budget thermique de ces étapes à cause du leadframe et de l'hétérostructure. L'utilisation d'un recuit laser est classique pour la fabrication des IGBT : pour l'activation des dopants et la formation du contact ohmique. C'est une problématique équivalente dans l'intégration 3D séquentielle de transistors nMOS et pMOS pour le VLSI [157]. Le laser permet un échauffement localisé en surface sans atteindre les composants inférieurs et cela pourrait être équivalent dans la structure Si-Cu-Si pour ne pas échauffer la couche de cuivre centrale. À la suite de cette étape, un dépôt à basse température d'une couche de cuivre épaisse pour faire la métallisation pourrait se faire à l'image de la métallisation cuivre présentée dans le chapitre 2. La métallisation se composerait d'une couche de *seed layer* déposée sur chaque face successivement puis une électrodéposition simultanée sur les deux faces arrière des composants, toujours pour

équilibrer les contraintes et réduire les déformations induites. Ce procédé de réalisation de la métallisation épaisse en face arrière pourrait apporter de nouvelles perspectives par rapport à cette problématique ancienne [158] et également avec une complexité accrue sur des diamètres plus grands comme les récents développements pour des composants de puissance en 300 mm [159]. Elle devient encore plus problématique avec l'évolution vers des plaques toujours plus fines, par exemple à $70\mu\text{m}$ [122] et $50\mu\text{m}$ [160] en 200 mm et plus récemment $60\mu\text{m}$ pour des composants de puissance 40 V fabriqués par Infineon sur des plaques 300 mm⁶.

6. Source Point the Power : www.pointthepower.com/infineon-starting-mosfet-production-on-300mm-wafers, consulté le 28/08/2016

Conclusion générale

Aujourd'hui, le packaging planaire (2D) reste toujours le standard. Cependant, il montre ses limites et de nouvelles solutions sont proposées pour le remplacer comme le packaging tridimensionnel (3D). Il représente une solution aboutie, performante et pertinente. Malgré ses avantages incontestés, la réalisation d'un tel assemblage s'avère encore aujourd'hui complexe et limitée en nombre de composants. En cela le packaging 3D, traité puce à puce, composant par composant, s'oppose à l'évolution des topologies d'électronique de puissance utilisant de nombreux composants comme les structures entrelacées. L'apparition de nouveaux composants très rapides à base silicium Super Junction ou de matériaux grand gap amplifie les problématiques d'évacuation des pertes avec ces composants plus petits ainsi que des éléments parasites dus au packaging des semiconducteurs, générant des contraintes CEM de plus en plus fortes et qu'il faut traiter en aval du module.

Ce travail de thèse se focalise sur la conception, la fabrication et la mise œuvre d'un module de puissance 3D entièrement à l'échelle de la plaque à partir de procédés collectifs d'assemblage. L'approche imaginée est un élément de réponse aux problématiques citées. Elle implique des changements sur la partie système avec un report du module 3D perpendiculairement au support. Cette solution laisse entrevoir de nombreux bénéfices comme l'amélioration du découplage des chemins thermiques et électriques. Le condensateur de découplage est intégré dans une maille de commutation réduite au minimum, le tout sans aucune interconnexions filaires. En conséquence, l'inductance parasite sera très faible. L'absence d'interconnexions filaires entrainera un gain sur la fiabilité du module. Un premier prototype assemblé à l'échelle de la puce a permis de tester la mise en œuvre ainsi que de valider la faisabilité de l'approche.

Une conception couplée entre le composant et son packaging a été utilisée pour simplifier l'intégration 3D des composants verticaux. L'approche est illustrée et validée par la réalisation d'un empilement d'un transistor nMOS, une diode PiN et d'un leadframe sur des plaques de 200 mm de diamètre, en silicium pour les composants et en cuivre pour le leadframe. Elle se traduit également sur la fabrication de ces composants adaptés à la mise en œuvre en 3D. Pour cela, une métallisation tout cuivre et la réalisation d'une terminaison en tension par tranchée profonde dans le semiconducteur ont été validées expérimentalement. Ainsi les étapes d'adaptation du composant au packaging classique dans la littérature ne sont plus nécessaires. De plus, le layout des composants ainsi que la répartition sur la plaque ont été faits pour des étapes collectives d'assemblage. Ces étapes, réalisées en salle blanche, entraînent un meilleur suivi de l'état des surfaces des éléments et réduisent les risques de contaminations. Elles permettent d'assembler l'intégralité des composants en une seule étape (environ un millier de composants en gardant les mêmes hypothèses simples du chapitre 2, à savoir un composant de 5 mm de côté et un rendement d'assemblage unitaire). Ces différents points sont présentés dans le second chapitre du manuscrit.

Cette nouvelle façon de fabriquer le module de puissance à l'échelle de la plaque entraine un important développement de briques technologiques. Nous avons travaillé sur la conception et la fabrication d'un leadframe métallique épais (500 μm) à l'échelle de la plaque. Une méthodologie de

conception adaptée à la technologie de réalisation a été validée. La préparation des surfaces est ici un point clé pour l'utilisation d'un assemblage par adhésion moléculaire conducteur (collage direct cuivre-cuivre) car l'état initial des substrats de cuivre n'est pas compatible avec ses spécifications. Pour cela, nous avons validé un procédé de polissage double face. L'état des surfaces est alors compatible avec le collage direct. Nous avons mis en place un procédé de scellement par thermocompression avec trois plaques collées simultanément. Il découle de la structure 3D avec trois éléments et permet de gérer astucieusement les déformations dans l'hétérostructure entre le semiconducteur et le métal : il permet de réduire la flèche de l'assemblage final. Ces tests ont permis de valider les choix de conception faits sur les composants de puissance spécifiques pour le packaging 3D (topographie et la rugosité des plots métalliques). Ces différents résultats sont détaillés dans le chapitre 3.

Dans la continuité de la thèse, il reste de nombreuses études à mener qui font suite aux vastes opportunités imaginées :

- rajouter un second niveau de métal pour la grille du transistor afin d'uniformiser le potentiel de grille sur toute la surface du composant et garder le plot d'interconnexion excentré sur un côté dans une seconde version du jeu de masques ;
- valider et augmenter le rendement du scellement entre un leadframe de cuivre et des plaques de composants ;
- continuer les développements pour la découpe d'hétérostructures semiconducteur et métal épais ;
- valider le retrait du substrat silicium pour ne garder que la zone active aussi bien avec deux rabotages successifs des FAR ou encore mieux par un rabotage simultané sur le module 3D assemblé à l'échelle de la plaque ;
- analyser la tenue mécanique de l'assemblage et sa défaillance par cyclage passif puis actif en température pour un empilement avec des composants fonctionnels ;
- réaliser une étape de passivation à l'échelle de la plaque après le scellement des éléments comme imaginé dans la boîte à outils technologique ;
- adapter et transférer les concepts imaginés et démontrés sur composants silicium vers des composants grand gap (SiC et GaN). En effet, les développements sont adaptables à l'identique pour les composants verticaux en SiC. La transposition aux composants latéraux, comme les HEMT GaN, garde les mêmes avantages tout en introduisant la possibilité de faire un refroidissement par la face active du composant.

Si l'on laisse libre court à notre imagination pour essayer de définir "le futur" du packaging de composants de puissance à l'échelle de la plaque, on peut faire ressortir différentes perspectives. Par exemple à propos du leadframe et des solutions technologiques pour l'interconnexion :

- l'utilisation d'un leadframe métallique serait une excellente opportunité pour la filière basse tension de puissance (inférieure à 50 V) où le packaging apporte la moitié de la résistance à l'état passant à cause de ses éléments parasites. Il permettrait de réduire au minimum les résistances d'accès et le collage direct cuivre-cuivre de supprimer les résistances de contact. Il pourrait être utilisé sans forcément passer par une intégration 3D, même si l'opportunité d'associer un nMOS et pMOS (Power CMOS) en basse tension est plus réaliste qu'à plus haute tension ;
- le concept du leadframe pourrait être repris et imaginé du point de vue opposé, non pas une plaque métallique ajourée remplie ultérieurement par un passivant, mais plutôt une "plaque" isolante que l'on viendrait fonctionnaliser en créant des zones conductrices, à l'image de l'interposeur silicium ou des évolutions vers des interposeurs en verre ;

- l'utilisation du collage direct cuivre-cuivre pourrait être remis en cause, solution d'interconnexion optimale, avec les meilleures performances mais exigeante sur les procédés. Afin de simplifier cette étape d'assemblage et dans une vision à court terme, il peut être envisagé d'avoir recourt à un ajout de matière lors du collage : par brasure classique, par brasure avec un liquide à changement de phase ou encore par frittage d'argent ;
- la réalisation de plots de plusieurs dizaines de microns sur le leadframe (déjà ajouré) serait intéressante afin de le fonctionnaliser. Ces plots pourraient simplifier le report sur les faces avant de composants non optimisés pour le packaging 3D. Ces motifs pourraient également permettre de créer des isolations physiques (en éloignant des plots métalliques et le cuivre massif localement) et simplifier l'empilement de deux transistors de même type (comme deux nMOS). Cette plaque métallique étant conductrice, la croissance ECD pourrait être une manière simple de les réaliser ;
- pour finir sur la thématique du packaging à l'échelle de la plaque pour l'électronique de puissance, la boîte à outils imaginée introduit d'importantes perspectives. Il faudra la compléter avec de nouvelles étapes génériques et aller vers d'autres intégrations possibles. Le contexte du packaging 3D est un point de départ et des applications plus larges comme la passivation ou le leadframe d'interconnexion sont également intéressantes. D'autres domaines sont également concernés par les problématiques de réalisation d'une métallisation épaisse ou encore par les problématiques de découpe dans une hétérostructure. On peut imaginer la fabrication de leadframe avec isolant à l'image d'un DBC à l'échelle de la plaque. Également, il serait intéressant d'avoir d'autres types d'assemblage avec des reports de composants passifs réalisés sur semiconducteur, reporter une plaque de circuits de commande rapprochée ou de capteurs. Un exemple concret pourrait être l'association d'un composant HEMT GaN normalement passant avec un transistor normalement ouvert dans un montage cascade en 3D.

Un autre aspect qui a déjà été abordé au cours des chapitres concerne le retrait total du substrat qui est pénalisant électriquement et thermiquement et n'a d'intérêt que pour la tenue mécanique :

- le packaging actuel en électronique de puissance étant déjà standardisé et mature, il sera donc difficile d'introduire un changement majeur de philosophie de conception et fabrication comme celui qui est proposé. *A contrario*, des nouvelles filières de semiconducteurs de puissance sont en construction et il serait intéressant d'aller directement vers ces filières, comme le SiC massif en 150 mm (X-FAB par exemple) ou encore plus pertinent avec le GaN sur Si en 200 mm (Exagan) ou la filière du SiC sur Si (PileGrowth Tech et Ascatron). Ces deux filières ont un substrat en silicium pour bénéficier de la compatibilité avec les procédés technologiques standards CMOS. Cependant le silicium est limitant par rapport au semiconducteur utile qui a de meilleures propriétés aussi bien électriques que mécaniques. Il est alors primordial de retirer le substrat mécanique en fin de fabrication. La possibilité de mettre, au plus près de la zone active, une plaque métallique massive est aussi un avantage incontestable du point de vue de la thermique. La boîte à outils imaginée est parfaitement adaptée à cet objectif qui pourrait s'avérer très bénéfique. En effet, les composants grand gap ont des épaisseurs de zones actives plus faibles que leurs équivalents en silicium. La passivation en serait grandement simplifiée pour des cavités inférieures à la dizaine de microns (pour des tenues en tension de l'ordre de 1200 V) ce qui simplifierait l'encapsulation à l'échelle de la plaque ;
- l'utilisation d'un double collage symétrique dans le cas d'un module 3D permet de gérer astucieusement la flèche des substrats, tout en ayant déjà l'élément d'interconnexion au centre qui peut jouer le rôle de plaque de maintien mécanique. La fabrication d'un leadframe métallique réalisé à partir de feuillets de métal découpés au diamètre souhaité puis ajouré par les techniques de

gravure décrites dans le manuscrit n'est pas limitée à un diamètre de 200 mm. Ces deux briques sont donc une opportunité pour la gestion de la flèche des substrats —ou plutôt de l'assemblage dans notre cas— qui devient encore plus problématique avec des plaques de diamètre plus grand tel que le 300 mm. C'est une réalité avec la ligne de production d'Infineon (Villach, Autriche) qui travaille déjà avec des plaques rabotées jusqu'à 60 μm pour des composants basses tensions inférieurs à 40 V. On peut facilement imaginer l'impact positif sur le coût d'assemblage et la compétitivité face aux technologies standards avec près de deux milles composants assemblés en une seule étape de scellement (en gardant les mêmes hypothèses simples évoquées) ;

- la finalité de l'assemblage 3D à l'échelle de la plaque va permettre de raboter intégralement le substrat mécanique de semiconducteur. Cette opportunité amènera également une simplification du problème de la découpe car le rabotage permettra d'arriver jusque dans les MESA. La tenue mécanique des composants se faisant par le leadframe, la problématique de la découpe de l'hétérostructure n'existerait plus car il n'y aurait plus de semiconducteurs dans les chemins de découpe. Une découpe optimisée pour le métal du leadframe serait donc suffisante.

Pour finir, des aspects plus proches du système peuvent être également envisagés :

- l'environnement autour du module 3D reporté sur la tranche est à imaginer. En effet, les modules de puissance standards sont adaptés au système, aujourd'hui le planaire. La nouvelle implémentation (figure 1.50) devra s'accompagner d'une adaptation et d'une création d'un nouveau standard. Il pourrait être un boîtier global conçu pour ce module 3D. Il intégrerait un condensateur de découplage fait sur mesure. Un dissipateur spécifique devra être conçu pour et avec ce boîtier (un système de plaque à eau ou un refroidisseur à air forcé ou autre). Le nouveau boîtier pourrait être clipsé sur le circuit électronique. La transmission d'ordres de commande ou d'information entre le module de puissance et la carte électronique est aussi à imaginer. À partir de ce moment, tous les bénéfices de ce module de puissance optimal pourront être répercutés sur le système ;
- une fois les prototypes éprouvés, il serait judicieux de caractériser puis modéliser le nouveau produit : "module 3D de puissance polyphasé" comme il est fait pour un module de puissance industriel. Il serait alors possible de quantifier par simulation les gains (volume, coût, rendement, émission et susceptibilité CEM) avec ce module 3D lors de la conception d'un convertisseur de puissance ;
- le démonstrateur de la thèse a consisté en la réalisation d'un assemblage 3D transistor/diode comme cellule de commutation élémentaire et plus particulièrement de la *P-cell* avec le transistor en *High-Side*. C'est un choix fait pour profiter au mieux de la symétrie de l'empilement et des électrodes communes. Dans le futur, il sera important de travailler sur la structure duale *N-cell* optimisée en 3D pour réaliser la structure fondamentale du bras de pont. Dans ce cas les deux modules, un pour la *P-cell* et l'autre pour la *N-cell* seront reportés sur le support qui se chargera de les interconnecter. Le bras de pont sera alors optimal avec ses deux cellules de commutation intégrées en 3D. L'utilisation d'IGBT pour les fortes puissances sera possible dans le cas où les diodes en antiparallèle sont ajoutées ;
- l'utilisation d'un leadframe métallique et de procédés collectifs d'assemblage appliqués aux composants latéraux en GaN sur Si nous a permis d'imaginer la réalisation de convertisseurs monolithiques. Chaque composant est interconnecté par le leadframe et non pas par des niveaux métalliques fins (méthodes de dépôt standard). De plus, il apporte un gain considérable sur l'aspect thermique avec la possibilité de supprimer le semiconducteur non actif en FAR et de

refroidir par la face active du composant. Cette nouvelle brique peut apporter beaucoup à l'intégration monolithique de forte puissance en GaN, elle est une voie séduisante pour la suite de la recherche en électronique de puissance.

Annexes

Le procédé de fabrication des transistors nMOS verticaux

Le procédé de fabrication du transistor nMOS vertical, détaillé par briques technologiques, est le suivant :

1. Brique de marquage FAV
 - 1.1. Photo. Marques PM + ABC 200 (carré) (ASM300)
 - 1.2. Gravure sèche Marques Si 120 nm
 - 1.3. Retrait résine

2. Brique de marquage FAR
 - 2.1. Marquage laser des plaques en FAR (pour avoir les numéros de plaques après les collages des FAV)
 - 2.2. Photo. Niveau 11 B1DEC + ABC 200 (croix) (ASM100) (alignement FAV / FAR)
 - 2.3. Gravure sèche Si 1000 nm
 - 2.4. Retrait résine

3. Brique de grille
 - 3.1. Oxydation sèche silicium 100 nm
 - 3.2. Dépôt Si Poly 500 nm (dopé)
 - 3.3. Photo. Niveau 01 POLY (ASM300)
 - 3.4. Gravure sèche Si Poly
 - 3.5. Retrait résine

4. Brique source/drain
 - 4.1. Implant. P- Bore : 160 keV dose $4e13 \text{ cm}^{-2}$
 - 4.2. Photo. Niveau 02 PPLU (ASM300)
 - 4.3. Implant. P+ Bore : 150keV dose $1e15 \text{ cm}^{-2}$
 - 4.4. Retrait Résine
 - 4.5. Recuit diffusion/activation P : 1050 °C 15min sous O₂ puis 600 min sous N₂
 - 4.6. Implant. N+ Phosphore : 100keV dose $5e15 \text{ cm}^{-2}$ (FAR)
 - 4.7. Photo. Niveau 03 NPLU (ASM300)
 - 4.8. Implant. Phosphore : 100 keV dose $5e15 \text{ cm}^{-2}$

- 4.9. Retrait Résine
- 4.10. Recuit diffusion/activation N+ : 1000 °C ; 20 min sous O₂
- 5. Brique contact
 - 5.1. Dépôt oxyde conforme 800 nm (TEOS)
 - 5.2. Recuit densification
 - 5.3. Photo. Niveau 04 CONT (ASM300)
 - 5.4. Gravure oxyde : TEOS + oxyde de grille (100+800 nm)
 - 5.5. Retrait Résine
- 6. Brique métal
 - 6.1. Dépôt couche barrière/accroche (FAV et FAR) : Ti PVD : 40 nm et TiN PVD : 40 nm
 - 6.2. Recuit de siliciuration 700 °C , N₂, 60 s
 - 6.3. Dépôt Cuivre PVD (FAV et FAR) : 200 nm (seed layer)
 - 6.4. Photo. Niveau 05A MET (ASM100)
 - 6.5. Dépôt Cu ECD de 2 μm
 - 6.6. Retrait Résine
- 7. Brique isolation
 - 7.1. Photo. Niveau 06 ISOL (ASM100)
 - 7.2. Usinage IBE couches Cu/TiN/Ti
 - 7.3. Retrait Résine
 - 7.4. Photo. Niveau 07 MESA (ASM100)
 - 7.5. Usinage IBE couches Cu/TiN/Ti
 - 7.6. Gravure DRIE Si 50 μm
 - 7.7. Retrait Résine

Le procédé de fabrication des diodes PiN verticales

Le procédé de fabrication des diodes verticales est détaillé dans les figures suivantes, toujours par briques technologiques :

- 1. Brique de marquage FAV
 - 1.1. Photo. Marques PM + ABC 200 (carré) (ASM300)
 - 1.2. Gravure sèche Marques Si 120 nm
 - 1.3. Retrait résine
- 2. Brique de marquage FAR
 - 2.1. Marquage laser des plaques en FAR (pour avoir les numéros de plaques après les collages des FAV)
 - 2.2. Photo. Niveau 11 B1DEC + ABC 200 (croix) (ASM100) (alignement FAV / FAR)

- 2.3. Gravure sèche Si 1000 nm
- 2.4. Retrait résine

3. Brique Anode/Cathode
 - 3.1. Implant. N+ Phosphore : 100keV dose $5e15 \text{ cm}^{-2}$ (FAV)
 - 3.2. Implant. P+ Bore : 100keV dose $5e15 \text{ cm}^{-2}$ (FAR)
 - 3.3. Recuit diffusion/activation N+ et P+ : 1000 °C ; 20 min sous O₂

4. Brique métal
 - 4.1. Dépôt couche barrière/accroche (FAV et FAR) : Ti PVD : 40 nm et TiN PVD : 40 nm
 - 4.2. Recuit de siliciuration 700 °C , N₂, 60 s
 - 4.3. Dépôt Cuivre PVD (FAV et FAR) : 200 nm (seed layer)
 - 4.4. Dépôt oxyde conforme 1800 nm (TEOS)
 - 4.5. Photo. Niveau 05B MET (ASM100)
 - 4.6. Dépôt Cu ECD de 1.8 μm
 - 4.7. Retrait Résine

5. Brique isolation
 - 5.1. Photo. Niveau 07 MESA (ASM100)
 - 5.2. Gravure sèche du TEOS
 - 5.3. Usinage IBE couches Cu/TiN/Ti
 - 5.4. Gravure DRIE Si 50 μm
 - 5.5. Retrait Résine

Références bibliographiques

Bibliographie

- [1] G. Moore, “Cramming More Components onto Integrated Circuits,” *Electronics*, vol. 38, no. 8, pp. 114–117, Apr. 1965. [6](#)
- [2] J. Ferrieux and F. Forest, “Alimentations à découpage, convertisseurs à résonance : Principes, composants, modélisation,” 2006. [6](#), [47](#)
- [3] G. Lefèvre, “Conception de convertisseurs statiques pour l’utilisation de la pile à combustible,” Ph.D. dissertation, Université Joseph-Fourier - Grenoble I, Nov. 2004. [8](#)
- [4] M. Mermet-Guyennet, A. Castellazzi, P. Lasserre, and J. Saiz, “3D integration of power semiconductor devices based on surface bump technology,” in *Integrated Power Systems (CIPS), 2008 5th International Conference on*. VDE, 2008, pp. 1–6. [8](#), [21](#)
- [5] S. Li, L. M. Tolbert, F. Wang, and F. Z. Peng, “Reduction of stray inductance in power electronic modules using basic switching cells,” in *2010 IEEE Energy Conversion Congress and Exposition*, Sep. 2010, pp. 2686–2691. [8](#), [9](#)
- [6] A. K. Solomon, A. Castellazzi, N. Delmonte, and P. Cova, “Highly integrated low-inductive power switches using double-etched substrates with through-hole viases,” in *Power Semiconductor Devices & IC’s (ISPSD), 2015 IEEE 27th International Symposium on*. IEEE, 2015, pp. 329–332. [8](#)
- [7] L. Kerachev, “Technologies de mise en oeuvre et stratégies de configuration de réseaux de micro-convertisseurs - Application au photovoltaïque,” Theses, Université Grenoble Alpes, Dec. 2013. [10](#)
- [8] N. Bouhalli, “Etude et intégration de convertisseurs multicellulaires parallèles entrelacés et magnétiquement couplés,” Ph.D. dissertation, Institut National Polytechnique de Toulouse-INPT, 2009. [9](#), [10](#)
- [9] J. W. Kolar, F. Krismer, Y. Lobsiger, J. Muhlethaler, T. Nussbaumer, and J. Minibock, “Extreme efficiency power electronics,” in *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, Mar. 2012, pp. 1–22. [10](#)
- [10] F. Forest, B. Gélis, J.-J. Huselstein, B. Cougo, E. Labouré, and T. Meynard, “Design of a 28 V-to-300 V/12 kW Multicell Interleaved Flyback Converter Using Intercell Transformers,” *IEEE Transactions on Power Electronics*, vol. 25, no. 8, pp. 1966–1974, Aug. 2010. [10](#)
- [11] B. J. Baliga, “Fundamentals of power semiconductor devices,” 2008. [11](#), [45](#)

- [12] F. Costa and G. Rojat, “CEM en électronique de puissance Sources de perturbations, couplages, SEM,” *Techniques de l’ingénieur Outils d’analyse en électronique de puissance et métrologie*, vol. base documentaire : TIB278DUO, no. ref. article : d3290, Aug. 1999. [12](#)
- [13] A. Domurat-Linde and E. Hoene, “Analysis and Reduction of Radiated EMI of Power Modules,” in *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, Mar. 2012, pp. 1–6. [12](#), [16](#), [17](#)
- [14] E. Hoene, A. Lissner, and S. Guttowski, “Prediction of EMI behaviour in terms of passive component placement,” in *18th International Zurich Symposium on Electromagnetic Compatibility, 2007. EMC Zurich 2007*, Sep. 2007, pp. 49–52. [12](#)
- [15] R. Robutel, C. Martin, C. Buttay, H. Morel, P. Mattavelli, D. Boroyevich, and R. Meuret, “Design and Implementation of Integrated Common Mode Capacitors for SiC-JFET Inverters,” *IEEE Transactions on Power Electronics*, vol. 29, no. 7, pp. 3625–3636, Jul. 2014. [12](#), [17](#)
- [16] C. Buttay, “Modules et boîtiers de puissance (packaging),” *Techniques de l’ingénieur Composants actifs en électronique de puissance*, May 2010. [13](#), [15](#)
- [17] E. Vagnon, “Solutions innovantes pour le packaging de convertisseurs statiques polyphasés,” Ph.D. dissertation, Institut National Polytechnique de Grenoble - INPG, Mar. 2010. [13](#), [16](#), [21](#), [23](#), [39](#), [51](#), [78](#), [90](#)
- [18] B. Mouawad, “Innovative power electronics assemblies using the ”Spark Plasma Sintering” technique,” Theses, INSA de Lyon, Mar. 2013. [15](#), [25](#), [26](#)
- [19] M. Ciappa, “Selected failure mechanisms of modern power modules,” *Microelectronics reliability*, vol. 42, no. 4, pp. 653–667, 2002. [15](#), [104](#), [105](#)
- [20] EUPEC, “Power Module 1,7kV/800A - Ref FF 800 R 17 KF6 B2,” 1999. [16](#)
- [21] R. Fisher, R. Fillion, J. Burgess, and W. Hennessy, “High frequency, low cost, power packaging using thin film power overlay technology,” in *Applied Power Electronics Conference and Exposition, 1995. APEC ’95. Conference Proceedings 1995., Tenth Annual*, Mar. 1995, pp. 12–17 vol.1. [16](#)
- [22] P. Beckedahl, M. Spang, and O. Tamm, “Breakthrough into the third dimension ?? Sintered multi layer flex for ultra low inductance power modules,” in *2014 8th International Conference on Integrated Power Systems (CIPS)*, Feb. 2014, pp. 1–5. [16](#), [17](#)
- [23] T. Stockmeier, P. Beckedahl, C. Goebel, and T. Malzer, “SKiN, Double side sintering technology for new packages,” in *Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23rd International Symposium on.* IEEE, 2011, pp. 324–327. [17](#)
- [24] A. Müsing and J. W. Kolar, “Ultra-Low-Inductance Power Module for Fast Switching Semiconductors,” in *PCIM Europe Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2013. [17](#), [49](#)
- [25] G. Poupon, “Procédés de packaging et d’interconnexion de composants électroniques,” *Techniques de l’ingénieur Cartes électroniques : technologies et conception*, Apr. 2016. [18](#)
- [26] D. Boroyevich, F. C. Lee, J. D. v Wyk, G. Q. Lu, E. P. Scott, M. Xu, R. Burgos, F. Wang, T. M. Jahns, T. A. Lipo, R. D. Lorenz, and T. P. Chow, “IPEM-Based Power Electronics System Integration,” in *2008 5th International Conference on Integrated Power Systems (CIPS)*, Mar. 2008, pp. 1–10. [18](#)

- [27] C. Buttay, K. E. Falahi, R. Robutel, S. Hascoet, B. Allard, C. Martin, and M. Johnson, “Integrated packaging allows for improvement in switching characteristics of silicon carbide devices,” in *Renewable Energy and Energy Management; Proceedings of PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion*, May 2014, pp. 1–8. [18](#), [23](#)
- [28] E. Vagnon, P. Jeannin, J. Crebier, and Y. Avenas, “A Bus-Bar-Like Power Module Based on Three-Dimensional Power-Chip-on-Chip Hybrid Integration,” *IEEE Transactions on Industry Applications*, vol. 46, no. 5, pp. 2046–2055, Sep. 2010. [18](#), [21](#), [22](#), [35](#), [47](#), [57](#), [121](#)
- [29] F. C. Lee and Q. Li, “Overview of three-dimension integration for Point-of-Load converters,” in *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, Mar. 2013, pp. 679–685. [18](#)
- [30] C. Buttay, J. Rashid, C. Johnson, F. Udrea, G. Amaratunga, P. Ireland, and R. Malhan, “Compact Inverter Designed for High-Temperature Operation,” in *IEEE Power Electronics Specialists Conference, 2007. PESC 2007*, Jun. 2007, pp. 2241–2247. [18](#), [24](#)
- [31] C. Gillot, C. Schaeffer, C. Massit, and L. Meysenc, “Double-sided cooling for high power IGBT modules using flip chip technology,” *IEEE Transactions on Components and Packaging Technologies*, vol. 24, no. 4, pp. 698–704, Dec. 2001. [19](#)
- [32] J. N. Calata, J. G. Bai, X. Liu, S. Wen, and G.-Q. Lu, “Three-Dimensional Packaging for Power Semiconductor Devices and Modules,” *IEEE Transactions on Advanced Packaging*, vol. 28, no. 3, pp. 404–412, Aug. 2005. [19](#)
- [33] C. M. Johnson, C. Buttay, S. J. Rashid, F. Udrea, G. A. J. Amaratunga, P. Ireland, and R. K. Malhan, “Compact double-side liquid-impingement-cooled integrated power electronic module,” in *Power Semiconductor Devices and IC’s, 2007. ISPSD’07. 19th International Symposium on. IEEE*, 2007, pp. 53–56. [19](#), [20](#)
- [34] J. Schulz-Harder, “Review on highly integrated solutions for power electronic devices,” in *Integrated Power Systems (CIPS), 2008 5th International Conference on. VDE*, 2008, pp. 1–7. [19](#)
- [35] J.-M. Yannou and A. Avron, “Analysis of innovation trends in packaging for power modules 7 th European Advanced Technology Workshop on Micropackaging and Thermal Management February 1 st & 2 nd –IMAPS 2012,” 2012. [19](#)
- [36] Z. Liang, P. Ning, F. Wang, and L. Marliano, “A Phase-Leg Power Module Packaged With Optimized Planar Interconnections and Integrated Double-Sided Cooling,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 2, no. 3, pp. 443–450, Sep. 2014. [20](#)
- [37] P. Solomala, A. Castellazzi, M. Mermet-Guyennet, and M. Johnson, “New technology and tool for enhanced packaging of semiconductor power devices,” in *Industrial Electronics, 2009. ISIE 2009. IEEE International Symposium on. IEEE*, 2009, pp. 2020–2025. [20](#)
- [38] A. Solomon, J. Li, A. Castellazzi, and C. Johnson, “Integrated Half-Bridge Switch Using 70- μ m Thin Devices and Hollow Interconnects,” *IEEE Transactions on Industry Applications*, vol. 51, no. 1, pp. 556–566, Jan. 2015. [20](#)
- [39] A. K. Solomon, A. Castellazzi, N. Delmonte, and P. Cova, “Modular power converter integration based on non-conventional power switch assembly and interconnects,” in *2015 9th International*

Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia), Jun. 2015, pp. 837–843. [20](#)

- [40] M. Mermet-Guyennet, “New structure of power integrated module,” *CIPS 2006*, 2006. [20](#), [39](#)
- [41] J.-L. Marchesini, P.-O. Jeannin, Y. Avenas, L. de Oliveira, C. Buttay, and R. Riva, “Realization and characterization of an IGBT module based on the power chip-on-chip 3D concept,” in *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sep. 2014, pp. 4691–4695. [22](#)
- [42] G. Regnat, P.-O. Jeannin, G. Lefevre, J. Ewanchuk, D. Frey, S. Mollov, and J.-P. Ferrieux, “Silicon carbide power chip on chip module based on embedded die technology with paralleled dies,” in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sep. 2015, pp. 4913–4919. [22](#), [76](#), [87](#)
- [43] L. Ménager, “Contribution à l’intégration des convertisseurs de puissance en 3D,” Ph.D. dissertation, INSA de Lyon, 2008. [23](#)
- [44] K. Vladimirova, “Nouveaux concepts pour l’intégration 3D et le refroidissement des semi-conducteurs de puissance à structure verticale,” Ph.D. dissertation, Grenoble, 2012. [23](#), [71](#), [73](#), [74](#)
- [45] G. Regnat, “Onduleur à forte intégration utilisant des semi-conducteurs à grand gap,” Ph.D. dissertation, Grenoble, Jul. 2016. [23](#)
- [46] B. Mouawad, B. Thollin, C. Buttay, L. Dupont, V. Bley, D. Fabregue, M. Soueidan, B. Schlegel, J. Pezard, and J.-C. Crebier, “Direct Copper Bonding for Power Interconnects : Design, Manufacturing, and Test,” *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 5, no. 1, pp. 143–150, Jan. 2015. [23](#), [26](#), [76](#)
- [47] B. Murari, C. Contiero, R. Gariboldi, S. Sueri, and A. Russo, “Smart power technologies evolution,” in *Conference Record of the 2000 IEEE Industry Applications Conference, 2000*, vol. 1, 2000, pp. P10–P19 vol.1. [24](#)
- [48] A. El Khadiry, “Architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs" bi-puce" et" mono-puce" pour convertisseurs de puissance compacts,” Ph.D. dissertation, Université Paul Sabatier-Toulouse III, 2014. [24](#)
- [49] S. W. Yoon, K. Shiozaki, and T. Kato, “Double-sided nickel-tin transient liquid phase bonding for double-sided cooling,” in *2014 Twenty-Ninth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, Mar. 2014, pp. 527–530. [24](#), [25](#)
- [50] K. Li, A. Videt, and N. Idir, “Using Current Surface Probe to Measure the Current of the Fast Power Semiconductors,” *IEEE Transactions on Power Electronics*, vol. 30, no. 6, pp. 2911–2917, Jun. 2015. [24](#)
- [51] H. Mustain, W. Brown, and S. Ang, “Transient Liquid Phase Die Attach for High-Temperature Silicon Carbide Power Devices,” *IEEE Transactions on Components and Packaging Technologies*, vol. 33, no. 3, pp. 563–570, Sep. 2010. [25](#)
- [52] Z. Zhang and G.-Q. Lu, “Pressure-assisted low-temperature sintering of silver paste as an alternative die-attach solution to solder reflow,” *IEEE Transactions on Electronics Packaging Manufacturing*, vol. 25, no. 4, pp. 279–283, Oct. 2002. [25](#)

- [53] C. Buttay, B. Allard, and R. Riva, “Silver sintering for power electronics integration,” in *2015 International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IACC)*, Apr. 2015, pp. 554–558. [25](#)
- [54] S. W. Yoon, M. D. Glover, H. A. Mantooth, and K. Shiozaki, “Reliable and repeatable bonding technology for high temperature automotive power modules for electrified vehicles,” *Journal of Micromechanics and Microengineering*, vol. 23, no. 1, p. 015017, Jan. 2013. [25](#)
- [55] P. Gondcharton, “Intégration du collage direct : couches minces métalliques et évolutions morphologiques,” Ph.D. dissertation, Université Grenoble Alpes, Oct. 2015. [25](#), [72](#), [124](#)
- [56] C. Buttay, “Le Packaging en électronique de puissance,” Habilitation à diriger des recherches, INSA de Lyon, Dec. 2015. [25](#), [105](#)
- [57] B. Mouawad, M. Soueidan, D. Fabregue, C. Buttay, B. Allard, V. Bley, H. Morel, and C. Martin, “Application of the spark plasma sintering technique to low-temperature copper bonding,” *Components, Packaging and Manufacturing Technology, IEEE Transactions on*, vol. 2, no. 4, pp. 553–560, 2012. [26](#), [108](#)
- [58] M. Alexe and U. Gösele, “Wafer Bonding : Applications and Technology,” Mar. 2013. [26](#), [27](#)
- [59] H. Moriceau, F. Rieutord, F. Fournel, L. Di Cioccio, C. Moulet, L. Libralesso, P. Gueguen, R. Taibi, and C. Deguet, “Low temperature direct bonding : An attractive technique for heterostructures build-up,” *Microelectronics Reliability*, vol. 52, no. 2, pp. 331–341, Feb. 2012. [26](#), [27](#), [29](#), [105](#), [110](#)
- [60] Y. Beilliard, “Etude de l’intégration du collage direct cuivre/oxyde pour l’élaboration d’une architecture 3D-SIC,” Ph.D. dissertation, Université Grenoble Alpes, Apr. 2015. [27](#), [32](#), [134](#)
- [61] P. Gueguen, C. Ventosa, L. D. Cioccio, H. Moriceau, F. Grossi, M. Rivoire, P. Leduc, and L. Clavelier, “Physics of direct bonding : Applications to 3D heterogeneous or monolithic integration,” *Microelectronic Engineering*, vol. 87, no. 3, pp. 477–484, Mar. 2010. [27](#), [28](#)
- [62] R. Taibi, L. D. Cioccio, C. Chappaz, M. Francou, J. Dechamp, P. Larre, S. Moreau, L.-L. Chapelon, and R. Fortunier, “Investigation of stress induced voiding and electromigration phenomena on direct copper bonding interconnects for 3D integration,” in *Electron Devices Meeting (IEDM), 2011 IEEE International*. IEEE, 2011, pp. 6–5. [28](#)
- [63] M. Taibi, “Intégration 3D haute densité : Comportement et fiabilité électrique d’interconnexions métalliques réalisées par collage direct,” Ph.D. dissertation, Université de Grenoble, 2012. [28](#), [127](#)
- [64] F. Baccar, H. Arbess, L. Theolier, S. Azzopardi, and E. Woïrgard, “Ageing mechanisms in Deep Trench Termination (DT2) Diode,” *Microelectronics Reliability*, vol. 55, no. 9–10, pp. 1981–1987, Aug. 2015. [28](#)
- [65] S. Jacques, R. Leroy, and M. Lethiecq, “Impact of aluminum wire and ribbon bonding technologies on D2PAK package reliability during thermal cycling applications,” *Microelectronics Reliability*, vol. 55, no. 9-10, pp. 1821–1825, Aug. 2015. [28](#)
- [66] N. Heuck, R. Bayerer, S. Krasel, F. Otto, R. Speckels, and K. Guth, “Lifetime analysis of power modules with new packaging technologies,” in *2015 IEEE 27th International Symposium on Power Semiconductor Devices IC’s (ISPSD)*, May 2015, pp. 321–324. [29](#), [50](#)

- [67] K. Guth, N. Heuck, C. Stahlhut, A. Ciliox, N. Oeschler, L. Boewer, S. Tophinke, D. Bolowski, R. Speckels, C. Kersting, S. Krasel, and G. Strotmann, “End of life investigation on the .XT interconnect technology,” in *Renewable Energy and Energy Management; Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion*, May 2015, pp. 1–8. [29](#), [50](#), [76](#)
- [68] E. Özkol, F. Brem, and C. Liu, “Improving the power cycling performance of IGBT modules by plating the emitter contact,” *Microelectronics Reliability*, vol. 55, no. 3-4, pp. 552–557, Feb. 2015. [29](#)
- [69] K. Hussein, M. Ishihara, N. Miyamoto, Y. Nakata, T. Nakano, J. Donlon, and E. Motto, “New compact, high performance 7th Generation IGBT module with direct liquid cooling for EV/HEV inverters,” in *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Mar. 2015, pp. 1343–1346. [29](#)
- [70] P. Gondcharton, F. Baudin, L. Benaissa, and B. Imbert, “Mechanisms overview of Thermocompression Process for Copper Metal Bonding,” in *MRS Proceedings*, vol. 1559. Cambridge Univ Press, 2013, pp. mrs13–1559. [29](#), [105](#), [130](#)
- [71] Y. Beilliard, S. Moreau, L. D. Cioccio, P. Coudrain, G. Romano, A. Nowodzinski, F. Aussenac, P. h. Jouneau, E. Rolland, and T. Signamarcheix, “Advances toward reliable high density Cu-Cu interconnects by Cu-SiO₂ direct hybrid bonding,” in *3D Systems Integration Conference (3DIC), 2014 International*, Dec. 2014, pp. 1–8. [30](#), [33](#)
- [72] L. Benaissa, N. Rouger, J. Widiez, J.-C. Crébier, J. Dafonseca, D. Lafond, V. Gaude, and K. Vladimirova, “A vertical power device conductive assembly at wafer level using direct bonding technology,” in *Power Semiconductor Devices and ICs (ISPSD), 2012 24th International Symposium on*. IEEE, 2012, pp. 77–80. [30](#), [76](#), [89](#), [104](#), [107](#), [121](#)
- [73] J. H. Lau, “Evolution and outlook of TSV and 3D IC/Si integration,” in *Electronics Packaging Technology Conference (EPTC), 2010 12th*, Dec. 2010, pp. 560–570. [31](#)
- [74] L. Benaissa, L. D. Cioccio, Y. Beilliard, P. Coudrain, S. Dominguez, V. Balan, T. Enot, B. Imbert, L. Millet, and S. Chevobbe, “Next generation image sensor via direct hybrid bonding,” in *2015 IEEE 17th Electronics Packaging and Technology Conference (EPTC)*, Dec. 2015, pp. 1–3. [32](#), [33](#)
- [75] E. Esashi, “Wafer level packaging of MEMS,” in *TRANSDUCERS 2009 - 2009 International Solid-State Sensors, Actuators and Microsystems Conference*, Jun. 2009, pp. 9–16. [33](#)
- [76] C. H. Yun, J. Martin, L. Chen, and T. J. Frey, “Clean and Conductive Wafer Bonding for MEMS,” *ECS Transactions*, vol. 16, no. 8, pp. 117–124, Mar. 2008. [33](#)
- [77] J. Fan, D. F. Lim, L. Peng, K. H. Li, and C. S. Tan, “Low Temperature Cu-to-Cu Bonding for Wafer-Level Hermetic Encapsulation of 3D Microsystems,” *Electrochemical and Solid-State Letters*, vol. 14, no. 11, p. H470, 2011. [33](#)
- [78] Y. Liu, “Trends of power semiconductor wafer level packaging,” *Microelectronics Reliability*, vol. 50, no. 4, pp. 514–521, Apr. 2010. [34](#)
- [79] B. Mouawad, C. Buttay, M. Soueidan, H. Morel, B. Allard, D. Fabregue, and V. Bley, “3-dimensional, solder-free interconnect technology for high-performance power modules,” in *Integrated Power Electronics Systems (CIPS), 2012 7th International Conference on*. IEEE, 2012, pp. 1–6. [34](#), [39](#)

- [80] N. Rouger, L. Benaissa, J. Widiez, B. Imbert, V. Gaude, S. Verrun, and J.-C. Créber, “True 3D packaging solution for stacked vertical power devices,” in *Power Semiconductor Devices and ICs (ISPSD), 2013 25th International Symposium on*. IEEE, 2013, pp. 97–100. [34](#), [35](#), [76](#), [134](#)
- [81] S. Yang, A. Bryant, P. Mawby, D. Xiang, L. Ran, and P. Tavner, “An Industry-Based Survey of Reliability in Power Electronic Converters,” *IEEE Transactions on Industry Applications*, vol. 47, no. 3, pp. 1441–1451, May 2011. [36](#)
- [82] J. W. Kolar, F. Krismer, and H. P. Nee, “"Big CHALLENGES" in Power Electronics?” in *2014 8th International Conference on Integrated Power Systems (CIPS)*, Nuremberg, Germany, 2012. [36](#), [37](#)
- [83] P. Gueguen, “When can WBG power electronics truly take off? YOLE Developpement,” in *CS International 2015*, 2015. [38](#)
- [84] K. Hase, G. Lefranc, M. Zellner, and T. Licht, “A solder bumping interconnect technology for high-power devices,” in *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, vol. 6, Jun. 2004, pp. 4183–4187 Vol.6. [39](#)
- [85] B. Letowski, J.-C. Crebier, N. Rouger, and J. Widiez, “Electronic power device with vertical 3D switching cell,” (WO201671366) National States Patent FR3 028 095 A1 2016-05-06 [FR3 028 095] - WO2016 071 366 A1 2016-05-12 [WO201 671 366], Nov., 2014. [40](#), [42](#), [55](#), [91](#)
- [86] K. Vladimirova, J.-C. Crebier, Y. Avenas, and C. Schaeffer, “Single Die Multiple 600 V Power Diodes With Deep Trench Terminations and Isolation,” *IEEE Transactions on Power Electronics*, vol. 26, no. 11, pp. 3423–3429, Nov. 2011. [45](#), [79](#)
- [87] A. Lale, N. Videau, A. Bourennane, F. Richardeau, and S. Charlot, “Analysis of the three-chip switching cells approach for integrated multiphase power converter combining monolithic and hybrid techniques : Experimental validation on SiC and Si power assembly prototypes,” in *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, Sep. 2015, pp. 1–12. [49](#)
- [88] W. Robl, M. Melzl, B. Weidgans, R. Hofmann, and M. Stecher, “Copper Metallization for Power Devices,” in *Advanced Semiconductor Manufacturing Conference, 2007. ASMC 2007. IEEE/SEMI*, Jun. 2007, pp. 259–262. [50](#), [76](#), [77](#)
- [89] W. Robl, M. Melzl, B. Weidgans, R. Hofmann, and M. Stecher, “Last Metal Copper Metallization for Power Devices,” *IEEE Transactions on Semiconductor Manufacturing*, vol. 21, no. 3, pp. 358–362, Aug. 2008. [50](#)
- [90] A. Stegner, T. Auer, and A. Ciliox, “Next Generation 1700V IGBT and Emitter Controlled Diode with .XT Technology,” in *PCIM 2014 Europe Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, May 2014. [50](#), [76](#)
- [91] D. Gross, S. Haag, M. Reinold, M. Schneider-Ramelow, and K. D. Lang, “Correlation between Chip Metallization Properties and the Mechanical Stability of Heavy Cu Wire Bonds,” in *Renewable Energy and Energy Management; Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion*, May 2015, pp. 1–8. [50](#)
- [92] R. Roth, H. Schulze, C. Schäffer, F. Hille, F. Umbach, G. Mertens, N. Rohn, and D. Bolowski, “Power Cu metallization for future power devices : Process integration concept and reliability,” in

- 2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD), Jun. 2016, pp. 195–198. [50](#)
- [93] INFINEON, “IPC302N25N3A OptiMOS PowerMOS Transistor Chip Datasheet,” 2014. [60](#)
- [94] CREE, “CPMF-1200-S080B Z-F eT Silicon Carbide MOSFET Datasheet,” 2016. [60](#)
- [95] J. Arnould and P. Merle, *Dispositifs de L'électronique de Puissance Tome 1 : Diodes et Transistors À Effet de Champ*. Lavoisier, 1992. [70](#)
- [96] J. He, X. Zhang, Y. Wang, and X. Xi, “Optimum design of punch-through junction used in bipolar and unipolar high voltage power devices,” *Solid-State Electronics*, vol. 46, no. 6, pp. 847–851, 2002. [70](#)
- [97] R. Mitova, “Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant,” Ph.D. dissertation, Institut National Polytechnique de Grenoble - INPG, Oct. 2005. [71](#)
- [98] L. Vincent, “Contribution à la Conception et Assistance au Prototypage de Systèmes Intégrés sur Silicium (CAPsis). Application à l'interrupteur automatique VD-MOSFET,” Ph.D. dissertation, Institut National Polytechnique de Grenoble-INPG, 2010. [71](#)
- [99] L. J. Chen and I. o. E. Engineers, *Silicide Technology for Integrated Circuits*. IET, 2004. [76](#)
- [100] B. J. Baliga, “Breakdown Voltage,” in *Fundamentals of Power Semiconductor Devices*. Boston, MA : Springer US, 2008, pp. 90–165. [78](#)
- [101] L. Theolier, H. Mahfoz-Kotb, K. Isoird, F. Morancho, S. Assie-Souleille, and N. Mauran, “A New Junction Termination Using a Deep Trench Filled With BenzoCycloButene,” *IEEE Electron Device Letters*, vol. 30, no. 6, pp. 687–689, Jun. 2009. [78](#), [79](#)
- [102] D. Planson, P. Brosselard, K. Isoird, M. Lazar, L. V. Phung, C. Raynaud, and D. Tournier, “Wide bandgap semiconductors for ultra high voltage devices. Design and characterization aspects,” in *Semiconductor Conference (CAS), 2014 International*. IEEE, 2014, pp. 35–40. [78](#)
- [103] C. Park, J. Kim, T. Kim, and D. J. Kim, “Deep trench terminations using ICP RIE for ideal breakdown voltages,” in *Power Semiconductor Devices and ICs, 2003. Proceedings. ISPSD'03. 2003 IEEE 15th International Symposium on*. IEEE, 2003, pp. 199–202. [78](#)
- [104] K. Seto, R. Kamibaba, M. Tsukuda, and I. Omura, “Universal trench edge termination design,” in *2012 24th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, Jun. 2012, pp. 161–164. [79](#)
- [105] K. Takahashi, H. Kuribayashi, T. Kawashima, S. Wakimoto, K. Mochizuki, and H. Nakazawa, “20mOhm.cm² 660V Super Junction MOSFETs Fabricated by Deep Trench Etching and Epitaxial Growth,” in *2006 IEEE International Symposium on Power Semiconductor Devices and IC's*, Jun. 2006, pp. 1–4. [80](#)
- [106] S. Noblecourt, F. Morancho, K. Isoird, P. Austin, and J. Tasselli, “An improved junction termination design using deep trenches for superjunction power devices,” in *Mixed Design of Integrated Circuits Systems (MIXDES), 2015 22nd International Conference*, Jun. 2015, pp. 547–551. [80](#)

- [107] M. Lazar, H. Vang, P. Brosselard, C. Raynaud, P. Cremillieu, J.-L. Leclercq, A. Descamps, S. Scharnholz, and D. Planson, “Deep SiC etching with RIE,” *Superlattices and Microstructures*, vol. 40, no. 4-6, pp. 388–392, Oct. 2006. [80](#)
- [108] N. Dheilly, “Conception et optimisation de thyristors optiques en carbure de silicium pour des applications d’électronique impulsionnelle,” Ph.D. dissertation, INSA de Lyon, Jan. 2011. [80](#)
- [109] G. Civrac, F. Laariedh, N. Thierry Jebali, M. Lazar, D. Planson, P. Brosselard, J. Hassan, A. Henry, E. Janzén, B. Vergne, and S. Scharnholz, “600 V PIN Diodes Fabricated Using On-Axis 4H Silicon Carbide,” *Materials Science Forum*, vol. 717-720, pp. 969–972, May 2012. [80](#)
- [110] C. Han, Y. Zhang, Q. Song, Y. Zhang, X. Tang, F. Yang, and Y. Niu, “An Improved ICP Etching for Mesa-Terminated 4H-SiC p-i-n Diodes,” *IEEE Transactions on Electron Devices*, vol. 62, no. 4, pp. 1223–1229, Apr. 2015. [80](#)
- [111] F. Morancho, “État de l’art et tendances des dispositifs semiconducteurs de puissance pour une gestion optimisée de l’énergie,” in *Journées Scientifiques Du LAAS-CNRS —40 E Anniversaire*, Oct. 2008. [83](#)
- [112] T. Nishiyama and T. Adachi, “Resource depletion calculated by the ratio of the reserve plus cumulative consumption to the crustal abundance for gold,” *Nonrenewable Resources*, vol. 4, no. 3, pp. 253–261, Sep. 1995. [86](#), [104](#)
- [113] C. Yu, C. Buttay, E. Labouré, V. Bley, and C. Combettes, “Highly integrated power electronic converters using active devices embedded in printed-circuit board,” in *4th Micro/Nano-Electronics, Packaging and Assembling, Design and Manufacturing Forum MiNaPAD 2015*. Grenoble, France : IMAPS, Apr. 2015. [87](#)
- [114] E. Parker, B. Narveson, A. Alderman, and L. Burgyan, “Embedding active and passive components in PCBs and inorganic substrates for power electronics,” in *2015 IEEE International Workshop on Integrated Power Packaging (IWIPP)*, May 2015, pp. 107–110. [87](#)
- [115] E. Hoene, A. Ostmann, and C. Marczok, “Packaging Very Fast Switching Semiconductors,” in *2014 8th International Conference on Integrated Power Systems (CIPS)*, Feb. 2014, pp. 1–7. [87](#)
- [116] L. Boettcher, S. Karaszkiwicz, D. Manassis, and A. Ostmann, “Power Electronics Packages with Embedded Components—Recent Trends and Developments,” in *SMTA International Conference, Ft. Worth/USA*, 2013. [87](#)
- [117] A. Longford and G. Klowak, “Utilising advanced packaging technologies to enable smaller, more efficient GaN power devices,” in *Microelectronics Packaging Conference (EMPC) , 2013 European*, Sep. 2013, pp. 1–5. [87](#)
- [118] M. H. Tran, “Vers de nouveaux modules de puissance intégrés,” Ph.D. dissertation, Université de Grenoble, Feb. 2011. [88](#)
- [119] J. A. Herbsommer, J. Noquil, O. Lopez, and J. Sherman, “Integration of power semiconductors devices : Synchronous buck converters in a package,” in *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*. IEEE, 2012, pp. 1705–1707. [88](#)
- [120] K. J. Kuhn, “Considerations for Ultimate CMOS Scaling,” *IEEE Transactions on Electron Devices*, vol. 59, no. 7, pp. 1813–1828, Jul. 2012. [88](#)

- [121] D. Burns, I. Deram, J. Mello, J. Morgan, I. Wan, and F. Robb, “NPT-IGBT-optimizing for manufacturability,” in , *8th International Symposium on Power Semiconductor Devices and ICs, 1996. ISPSD '96 Proceedings*, May 1996, pp. 331–334. [89](#)
- [122] H.-R. Chang, J. Bu, G. Kong, and R. Labayen, “300A 650V 70 um thin IGBTs with double-sided cooling,” in *Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23rd International Symposium on.* IEEE, 2011, pp. 320–323. [89](#), [140](#)
- [123] S. Matthias, W. Janisch, C. Papadopoulos, and A. Kopta, “1.7 kV high-power IGBT fabrication by bonded-wafer-concept,” in *Power Semiconductor Devices & IC's (ISPSD), 2015 IEEE 27th International Symposium on.* IEEE, 2015, pp. 409–412. [89](#)
- [124] Q. Wang, M. Li, Y. Sokolov, A. Black, H. Yilmaz, J. V. Mancelita, and R. Nanatad, “Power Trench MOSFET Devices on Metal Substrates,” *IEEE Electron Device Letters*, vol. 29, no. 9, pp. 1040–1042, Sep. 2008. [90](#)
- [125] Qi Wang, Ihsiu Ho, and Minhua Li, “Enhanced Electrical and Thermal Properties of Trench Metal-Oxide-Semiconductor Field-Effect Transistor Built on Copper Substrate,” *IEEE Electron Device Letters*, vol. 30, no. 1, pp. 61–63, Jan. 2009. [90](#)
- [126] M. Usui, M. Ishiko, K. Hotta, S. Kuwano, and M. Hashimoto, “Effects of uni-axial mechanical stress on IGBT characteristics,” *Microelectronics Reliability*, vol. 45, no. 9-11, pp. 1682–1687, Sep. 2005. [90](#)
- [127] Y. Belmehdi, S. Azzopardi, J. Y. Deletage, F. Capy, and E. Woirgard, “Electromechanical characterization of "flying" Planar Gate Punch Through IGBT bare die,” in *2010 IEEE Energy Conversion Congress and Exposition*, Sep. 2010, pp. 84–91. [90](#)
- [128] L. D. Cioccio, E. Morvan, M. Charles, P. Perichon, A. Torres, F. Ayel, D. Bergogne, Y. Baines, M. Fayolle, R. Escoffier, W. Vandendaele, D. Barranger, G. Garnier, L. Mendizabal, B. Thollin, and M. Plissonnier, “From epitaxy to converters topologies what issues for 200 mm GaN/Si?” in *2015 IEEE International Electron Devices Meeting (IEDM)*, Dec. 2015, pp. 16.5.1–16.5.4. [93](#)
- [129] B. Letowski, J.-C. Crebier, N. Rouger, and J. Widiez, “Dispositif électronique de puissance à structure d’interconnexion électrique plane,” FR Patent, 2016. [93](#)
- [130] B. Lu and T. Palacios, “High Breakdown (>1500 V) AlGa_N/Ga_N HEMTs by Substrate-Transfer Technology,” *IEEE Electron Device Letters*, vol. 31, no. 9, pp. 951–953, Sep. 2010. [93](#)
- [131] M. Hiroki, K. Kumakura, Y. Kobayashi, T. Akasaka, T. Makimoto, and H. Yamamoto, “Suppression of self-heating effect in AlGa_N/Ga_N high electron mobility transistors by substrate-transfer technology using h-BN,” *Applied Physics Letters*, vol. 105, no. 19, p. 193509, Nov. 2014. [94](#)
- [132] G. P. KLOWAK, A. Mizan, J. Roberts, and G. S. Inc, “Embedded packaging for devices and systems comprising lateral gan power transistors,” USA Patent WO 2015 157 845 A1, Apr., 2015. [94](#)
- [133] N. Sillon, “From 3D Toolbox to 3D Integration : Examples of Successful 3D Applicative Demonstrators, CEA-LETI,” in *SEMI 3D Summit, Grenoble, France*, 2013. [98](#)
- [134] CEA-LETI, “OPEN 3D Technological offer overview,” <http://www-leti.cea.fr/fr/Travaillons-ensemble/Offres-Specifiques/Open-3D>, 2012. [98](#)

- [135] IBM, “Semiconductor packaging products and services (Data Sheet-USEN),” http://www-01.ibm.com/common/ssi/cgi-bin/ssialias?subtype=SP&infotype=PM&appname=STGE_TG_TG_USEN&htmlfid=TGD03023USEN&attachment=TGD03023USEN.PDF, Jan. 2014. 98
- [136] NANIAM, “WAFER-LEVEL PACKAGING,” <http://www.nanium.com/wafer-level-packaging>, 2016. 98
- [137] The Engineering ToolBox, “Engineering ToolBox,” <http://www.engineeringtoolbox.com/>, Feb. 2016. 104
- [138] Ioffe Institute, “Physical properties of Silicon (Si),” <http://www.ioffe.ru/SVA/NSM/Semicond/Si/index.html>, Feb. 2016. 104
- [139] U.S. Geological Survey, “Minerals Information : Mineral Commodity Summaries,” 2016. 104
- [140] B. Mouawad, C. Buttay, M. Soueidan, H. Morel, V. Bley, D. Fabregue, and F. Mercier, “Sintered molybdenum for a metallized ceramic substrate packaging for the wide-bandgap devices and high temperature applications,” in *Power Semiconductor Devices and ICs (ISPSD), 2012 24th International Symposium on*. IEEE, 2012, pp. 295–298. 104
- [141] Jianfeng Li, A. Castellazzi, Tianxiang Dai, M. Corfield, A. K. Solomon, and C. M. Johnson, “Built-in Reliability Design of Highly Integrated Solid-State Power Switches With Metal Bump Interconnects,” *IEEE Transactions on Power Electronics*, vol. 30, no. 5, pp. 2587–2600, May 2015. 105
- [142] B. Mouawad, J. Li, A. Castellazzi, and C. M. Johnson, “Hybrid half-bridge package for high voltage application,” in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, Jun. 2016, pp. 147–150. 105
- [143] NGK-alloys, “NGK Berylco Catalogue,” http://www.ngk-alloys.com/NGK_Berylco_Catalogue_Fr.pdf, 2014. 105
- [144] J. Kurdock, T. Saito, J. Buckmelter, and R. Austin, “Polishing of supersmooth metal mirrors,” *Applied Optics*, vol. 14, no. 8, p. 1808, Aug. 1975. 107
- [145] R. J. Gutmann, J. M. Steigerwald, L. You, D. T. Price, J. Neiryneck, D. J. Duquette, and S. P. Murarka, “Chemical-mechanical polishing of copper with oxide and polymer interlevel dielectrics,” *Thin Solid Films*, vol. 270, no. 1-2, pp. 596–600, Dec. 1995. 107
- [146] M. Fayolle and F. Romagna, “Copper CMP evaluation : Planarization issues,” *Microelectronic Engineering*, vol. 37-38, pp. 135–141, Nov. 1997. 107, 111, 120
- [147] P. Gueguen, “Etude des mécanismes mis en jeu dans le collage direct du cuivre. Application à l’intégration 3D des circuit,” Ph.D. dissertation, Université de Grenoble, 2010. 109
- [148] P. Gueguen, L. Di Cioccio, P. Gergaud, M. Rivoire, D. Scevola, M. Zussy, A. M. Charvet, L. Bally, D. Lafond, and L. Clavelier, “Copper Direct-Bonding Characterization and Its Interests for 3D Integration,” *Journal of The Electrochemical Society*, vol. 156, no. 10, p. H772, 2009. 110
- [149] S. Pandija, D. Roy, and S. V. Babu, “Achievement of high planarization efficiency in CMP of copper at a reduced down pressure,” *Microelectronic Engineering*, vol. 86, no. 3, pp. 367–373, Mar. 2009. 111

- [150] D. Kremer, *Usinage Par Électroérosion*, 2010. [113](#)
- [151] R. Taibi, L. Di Cioccio, C. Chappaz, L.-L. Chapelon, P. Gueguen, J. Decham, R. Fortunier, and L. Clavelier, “Full characterization of Cu/Cu direct bonding for 3D integration,” in *Electronic Components and Technology Conference (ECTC), 2010 Proceedings 60th.* IEEE, 2010, pp. 219–225. [121](#)
- [152] F. Fournel, “Procédé de transfert d’une couche mince sur un substrat cible ayant un coefficient de dilatation thermique différent de celui de la couche mince,” European Union Patent EP2 264 742 A1, Dec., 2010, international Classification H01L21/18; Cooperative Classification H01L21/187; European Classification H01L21/18B2. [122](#)
- [153] B. Imbert, P. Gondcharton, and L. Benaïssa, “Procédé d’assemblage de deux substrats de nature différentes via une couche intermédiaire ductile,” Patent FR3 005 895B1, 2013. [124](#), [125](#), [135](#)
- [154] E. Navarro, “Direct wafer bonding dynamics,” Ph.D. dissertation, Université Grenoble Alpes, May 2014. [126](#)
- [155] DISCO Corporation, “DFD6341 | Dual spindle dicing saw,” 2016. [137](#)
- [156] Z. Li, Z. Pei, and G. R. Fisher, “Simultaneous double side grinding of silicon wafers : A literature review,” *International Journal of Machine Tools and Manufacture*, vol. 46, no. 12-13, pp. 1449–1458, Oct. 2006. [139](#)
- [157] C. Fenouillet-Beranger, B. Mathieu, B. Previtali, M.-P. Samson, N. Rambal, V. Benevent, S. Kerdiles, J.-P. Barnes, D. Barge, P. Besson, and others, “New insights on bottom layer thermal stability and laser annealing promises for high performance 3D VLSI,” in *Electron Devices Meeting (IEDM), 2014 IEEE International.* IEEE, 2014, pp. 27–5. [139](#)
- [158] T. Laska, M. Matschitsch, and W. Scholz, “Ultra thin-wafer technology for a new 600 V-NPT-IGBT,” in *1997 IEEE International Symposium on Power Semiconductor Devices and IC’s, 1997. ISPSD ’97*, May 1997, pp. 361–364. [140](#)
- [159] A. Rastogi, N. Morin, C. Jones, S. Burgess, R. Trowell, C. Widdicks, I. Moncrieff, M. Ehmann, and S. Schmidbauer, “Productivity challenges in PVD processing in 300mm pilot lines for power semiconductors,” in *2015 26th Annual SEMI Advanced Semiconductor Manufacturing Conference (ASMC)*, May 2015, pp. 204–208. [140](#)
- [160] V. V. Felmetzger, “High-adhesive back side metallization of ultrathin wafers,” *Journal of Vacuum Science & Technology B : Microelectronics and Nanometer Structures*, vol. 25, no. 3, p. 881, 2007. [140](#)

Intégration technologique alternative pour l'élaboration de modules électroniques de puissance

Résumé

Les performances, l'encombrement, l'efficacité et la fiabilité des dispositifs sont parmi les enjeux majeurs de l'électronique de puissance. Ils se traduisent sur la conception, la fabrication et le packaging des semiconducteurs. Aujourd'hui, le packaging 3D apporte des réponses concrètes à ces problématiques en regard de l'approche standard (2D). Malgré les excellentes propriétés de ces modules 3D au niveau de la réduction de la signature CEM et du refroidissement, la réalisation, notamment les interconnexions, est complexe. Une approche globale prenant en compte un maximum de paramètres a été développée dans cette thèse. L'ensemble de ce travail s'appuie sur deux propositions que sont la conception couplée entre les composants et le packaging ainsi qu'une fabrication collective à l'échelle de la plaque des modules de puissance. Elles se combinent par la mise en place d'une filière d'étapes technologiques appuyée sur une boîte à outils de procédés génériques. Cette approche est concrétisée par la réalisation d'un module de puissance 3D performant et robuste adressant des convertisseurs polyphasés avec des gains aussi bien sur les procédés de fabrication que sur le module lui-même ainsi que sur le système final.

Ce travail offre une nouvelle vision alternative pour l'élaboration des modules électroniques de puissance. Il ouvre également des opportunités pour une fabrication et un packaging plus performants pour les nouveaux semiconducteurs grand gap.

Mots clés

Électronique de puissance, packaging 3D, conception couplé composant/package, collage direct métal-métal, fabrication collective, packaging à l'échelle de la plaque, plaque de leadframe métallique

Advanced technological integration for power electronics modules

Abstract

Performances, efficiency and reliability are among the main issues in power electronics. Nowadays, 3D packaging solutions increase standard planar module (2D) performances, for instance EMC. However such integrations are based on complex manufacturing, especially concerning interconnections. Improvements require global and advanced solutions. This work depends on two proposed concepts : a coupled design of the power devices and their associated package and a collective wafer-level process fabrication. A technological offer is proposed based on an innovative power packaging toolbox. Our approach is materialized by the fabrication of a 3D polyphase power module which proved to be more efficient and reliable. The benefits are more precise process manufacturing, lower EMI generation and lower inductive interconnections.

As a matter of fact, this work offers a new and advanced technological integration for future power electronics modules, perfectly suitable for the wide bandgap semiconductors.

Keywords

Power electronics, 3D packaging, wire-bond-less module, wafer-level packaging, metallic leadframe, direct copper bonding, coupled design device/package

