



HAL
open science

Contribution au domaine de la conception d'objets communicants embarqués basse consommation et autonomes en énergie

Alain Pegatoquet

► **To cite this version:**

Alain Pegatoquet. Contribution au domaine de la conception d'objets communicants embarqués basse consommation et autonomes en énergie. Systèmes embarqués. Université de Nice Sophia Antipolis, 2013. tel-01353348

HAL Id: tel-01353348

<https://hal.science/tel-01353348v1>

Submitted on 11 Aug 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université de Nice Sophia Antipolis

HABILITATION A DIRIGER DES RECHERCHES SCIENCES ET TECHNOLOGIES DE L'INFORMATION ET DE LA COMMUNICATION, MENTION ELECTRONIQUE

Contribution au domaine de la conception d'objets communicants embarqués basse consommation et autonomes en énergie

Alain PEGATOQUET

Soutenue le 28 Novembre 2013 devant le jury

M. Christian Pigué, Professeur	Rapporteur
M. Gilles Sassatelli, Directeur de Recherche CNRS	Rapporteur
M. Guy Gogniat, Professeur	Rapporteur
M. Hervé Barthélemy, Professeur	Président
M. Michel Auguin, Directeur de Recherche CNRS	Examineur
M. François Verdier, Professeur	Examineur

Remerciements

Mes remerciements s'adressent en premier lieu à Michel AUGUIN, qui encadra mes travaux de thèse de 1996 à 1999 et qui m'encouragea à devenir enseignant-chercheur, après pourtant de nombreuses années passées dans l'industrie. Je tiens à le remercier de m'avoir accueilli au sein de son équipe de recherche depuis 2008, de m'avoir fait confiance pour encadrer de nombreux étudiants et d'avoir accepté de faire partie de mon jury de HDR.

Je tiens à remercier Hervé BARTHELEMY d'avoir accepté de présider mon jury de HDR, mais également Christian PIGUET, Guy GOGNIAT et Gilles SASSATELLI qui, malgré leur charge de travail, ont accepté de juger ce travail en qualité de rapporteurs. Je remercie enfin François VERDIER d'avoir si volontiers accepté de me recommander pour soutenir ma HDR, et bien sûr de participer à mon jury.

Mes remerciements s'adressent également à l'ensemble de mes collègues, que ce soit au LEAT ou au département GEII de l'IUT de Nice. C'est un enrichissement permanent de travailler à vos côtés.

Cette HDR n'aurait pas été possible sans de nombreuses collaborations (académiques ou industrielles) et le travail de tous les étudiants que j'ai eu le plaisir d'encadrer, que ce soit de niveau master, élève ingénieur, ingénieur, doctorant ou post doctorant. Je tiens à remercier tout particulièrement les étudiants que j'ai eu la chance d'encadrer durant leurs années de thèse : Andréa Castagnetti, Joffrey Kriegel, Ons Mbarek, Chiraz Chaabane, Trong-Nhan Le et Hend Affes.

Enfin, je tiens à remercier de tout cœur ma famille et tout particulièrement Nathalie pour son soutien, sa patience, sa compréhension et ses encouragements. J'ai également une pensée pleine d'affection pour mes trois enfants, Lucie, Thomas et Milan, sans qui ce travail n'aurait pas la même valeur...

Avant Propos

Ce manuscrit présente une synthèse de mes travaux de recherche. Après l'obtention de ma thèse en octobre 1999, j'ai poursuivi une activité de recherche et développement dans l'industrie des semi-conducteurs, en travaillant respectivement à VLSI Technology, Stepmind SA et Texas Instruments. Depuis septembre 2008, date de ma nomination en tant que Maître de Conférences à l'Université de Nice Sophia Antipolis, j'ai effectué mes travaux de recherche au sein de la thématique MCSOC (Modélisation, Conception Système d'Objets Communicants) du laboratoire LEAT (Université de Nice Sophia Antipolis, UMR CNRS 7248).

Depuis maintenant près de 15 ans, mes travaux de recherche s'intéressent au domaine de la conception d'objets communicants embarqués avec une évolution forte vers des approches de haut niveau d'abstraction permettant tôt dans le flot de conception, de modéliser et d'optimiser les performances et la consommation d'énergie. Ces approches de niveau système n'ont cessé de prendre de l'ampleur ces dernières années et s'installent aujourd'hui comme une solution incontournable du domaine de la conception de systèmes embarqués. Mes travaux plus spécifiques sur l'autonomie énergétique de ces systèmes apportent une contribution originale au domaine et ont un rayonnement national et international.

Ce document est organisé en deux parties :

Partie 1 : Synthèse des travaux

Cette première partie présente de façon complète l'ensemble de mon parcours en mettant en avant toutes ses contributions et originalités.

Partie 2 : Travaux de recherche détaillés et perspectives

Cette deuxième partie présente de façon plus complète l'ensemble de mes activités de recherche en mettant en avant ses contributions et originalités.

Composition du dossier

PARTIE 1 – SYNTHÈSE DES TRAVAUX	1
1 - RESUME DU DOSSIER	3
2 - CURRICULUM VITAE.....	5
2.1. <i>Etat Civil</i>	5
2.2. <i>Grades et titres universitaires</i>	5
2.3. <i>Situations professionnelles successives</i>	6
2.4. <i>Résumé</i>	7
2.5. <i>Encadrements doctoraux et postdoctoraux</i>	8
2.6. <i>Publications et communications scientifiques</i>	9
3 - ACTIVITES DE RECHERCHE	10
3.1. <i>Activités de recherche doctorale</i>	10
3.2. <i>Activités de recherche et développement de 1999 à 2008</i>	12
3.3. <i>Activités de recherche en tant que Maître de Conférences</i>	16
3.4. <i>Encadrements de travaux de recherches</i>	22
3.5. <i>Responsabilités scientifiques</i>	28
3.6. <i>Diffusion des connaissances et publications</i>	30
4 - ACTIVITES D'ENSEIGNEMENT	36
4.1. <i>Activités d'enseignement de 1999 à 2008</i>	37
4.2. <i>Activités d'enseignement en tant que Maître de Conférences</i>	39
5 - RESPONSABILITES COLLECTIVES, ANIMATIONS, COLLABORATIONS ET PROJETS SCIENTIFIQUES	42
5.1. <i>Au niveau de l'Université de Nice Sophia Antipolis</i>	42
5.2. <i>Au niveau national et international</i>	42
5.3. <i>Projets de recherche</i>	43
PARTIE 2 : TRAVAUX DE RECHERCHE DETAILLES ET PERSPECTIVES.....	45
6 - INTRODUCTION	47
7 - POSITIONNEMENT DES TRAVAUX	52
8 - CARACTERISATION A HAUT NIVEAU DE LA PERFORMANCE ET DE LA CONSOMMATION DE SYSTEMES EMBARQUES	57
8.1. <i>Introduction et travaux préliminaires</i>	57
8.2. <i>Présentation des travaux</i>	58
8.3. <i>Conclusion et perspectives</i>	73
8.4. <i>Fiche de synthèse des travaux</i>	73
9 - APPROCHE DE MODELISATION AU NIVEAU SYSTEME POUR LA CONCEPTION ET LA VERIFICATION DE SYSTEMES SUR PUCE FAIBLE CONSOMMATION	75
9.1. <i>Introduction et travaux préliminaires</i>	75
9.2. <i>Présentation des travaux</i>	77
9.3. <i>Conclusion et perspectives</i>	98
9.4. <i>Fiche de synthèse des travaux</i>	99
10 - MODELISATION ET OPTIMISATION GLOBALE EN ENERGIE D'OBJETS COMMUNICANTS AUTONOMES	101
10.1. <i>Introduction</i>	101
10.2. <i>Présentation des travaux</i>	103
10.3. <i>Conclusion et perspectives</i>	144
10.4. <i>Fiche de synthèse des travaux</i>	144
11 - BILAN ET PERSPECTIVES DE RECHERCHES.....	148
11.1. <i>Bilan scientifique</i>	148
11.2. <i>Perspectives de recherches</i>	150
12 - ACRONYMES ET ABREVIATIONS	156
13 - REFERENCES BIBLIOGRAPHIQUES	158

Table des figures

Figure 1. Activités de recherche depuis 1999	56
Figure 2. Flot d'estimation et d'exploration de l'espace de solutions.....	60
Figure 3. Modèle de l'application décodeur H.264.....	61
Figure 4. Modélisation de l'architecture matérielle	62
Figure 5. Description d'un processeur ARM Cortex A8.....	62
Figure 6. Nombre de cycles pour lire une donnée dans les différents niveaux de cache	64
Figure 7. Exemple de trace d'exécution du décodeur H.264 sur deux processeurs	65
Figure 8. Trace du nombre d'accès dans les différentes mémoires.....	65
Figure 9. L'architecture OMAP3530	69
Figure 10. Pourcentage d'erreur d'estimation en performance	70
Figure 11. Consommation instantanée et modèle utilisé pour deux applications	71
Figure 12. Comparaison des estimations avec l'approche COMCAS	72
Figure 13. Processus d'exploration pour une architecture quad-core	72
Figure 14. Optimisation du profil de puissance du circuit	77
Figure 15. Bloc diagramme de l'OMAP3530	78
Figure 16. Décomposition en power domain et clock domain de l'OMAP3530	79
Figure 17. Principaux concepts d'UPF.....	79
Figure 18. Le contrôle de l'architecture power	80
Figure 19. Exemple de script UPF	81
Figure 20. Les différentes phases d'un flot de conception d'un SoC.....	82
Figure 21. Extension du flot de conception power vers le niveau TLM	83
Figure 22. Environnement power-aware unifié de niveau système (USLPAF).....	83
Figure 23. Flot global de la méthodologie power aware	85
Figure 24. Vue au niveau système de la plateforme matérielle.....	86
Figure 25. Analyse des transactions à partir de traces d'activités.....	87
Figure 26. Partitionnement en power domain de la plateforme	88
Figure 27. EFSM pour le composant VGA.....	89
Figure 28. EFSM power-aware pour le composant VGA	89
Figure 29. Structure générale de la librairie PwARCH.....	90
Figure 30. Etape de spécification du power intent	91
Figure 31. Description de la Power Management Unit (PMU).....	92
Figure 32. Variation de la tension par power domain	93
Figure 33. Wrapper power-aware pour IP de type black-box	95
Figure 34. Les différentes alternatives d'architecture power	96
Figure 35. Architecture de la plateforme virtuelle audio	97
Figure 36. Les différentes alternatives power pour la plateforme audio	97
Figure 37. Evolution du marché Bluetooth [Bluetooth 2011].....	103
Figure 38. Environnement de simulation pour l'analyse d'un nœud de réseaux de capteurs	105
Figure 39. Modèle d'un nœud centré sur la batterie.....	107
Figure 40 : Modélisation au niveau tâche des activités exécutées par le nœud.....	108
Figure 41. β en fonction de l'intensité lumineuse (échelle logarithmique).....	108
Figure 42. Caractérisation en consommation de l'activité du nœud	110
Figure 43. Architecture du power manager Open-Loop	111
Figure 44. Profil de récupération d'énergie solaire sur 5 jours	112
Figure 45. Comportement de OL-PM (n=10) et Kansal	113
Figure 46. Architecture du Power Manager Closed-Loop	114
Figure 47. Le prédicteur ZEI.....	115
Figure 48. Comportement de OL-PM et CL-PM	116
Figure 49. Exploration du dimensionnement du système de récupération contraint par le débit.....	118
Figure 50. Isoligne correspondant à un débit moyen de 100 bits/s	118
Figure 51. Interaction des différents contrôleurs.....	119
Figure 52. Architecture détaillée du contrôleur de puissance (PTPC)	121

Figure 53. Exemple de mise à jour de la loi de contrôle	122
Figure 54. Résultats de simulation pour CL-PM et PTPC	122
Figure 55. Architecture générique d'un nœud de réseau de capteurs.....	125
Figure 56. Communication entre deux nœuds utilisant le protocole MAC RICER	127
Figure 57. Adaptation dynamique de la période de réveil du nœud (T_{WU})	128
Figure 58. Application de monitoring basée sur des nœuds avec récupération thermique	131
Figure 59. Profil d'énergie thermique	132
Figure 60. Adaptation de T_{WU} en cas de récupération thermique et pour $C_S=0.09F$	133
Figure 61. Adaptation de T_{WU} en cas de récupération thermique et pour $C_S=0.18F$	133
Figure 62. Adaptation de T_{WU} en cas de récupération solaire et pour $C_S=0.09F$	134
Figure 63. Topologie réseau supportant la mobilité des nœuds	136
Figure 64. Procédure de changement de cellule	137
Figure 65. Paramètres utilisés pour le seuil de déclenchement d'un changement de cellule	138
Figure 66. Cas single-road	140
Figure 67. Cas multi-road.....	140
Figure 68. Matrice N_t représentant les positions géographiques des nœuds.....	140
Figure 69. Gain en énergie et de délai de l'approche proposée pour les 2 cas d'études	141
Figure 70. Gain en énergie et en délai pour les différents modèles de mobilité	142
Figure 71. Gain en énergie pour le modèle de mobilité Manhattan	142
Figure 72. Gain en délai pour le modèle de mobilité Manhattan	142

Liste des tables

Tableau 1. Liste des plateformes matérielles utilisées et leurs paramètres	69
Tableau 2. Estimation de la consommation d'énergie à partir du modèle grain fin.....	71
Tableau 3. Estimation de la consommation d'énergie à partir du modèle gros grain	71
Tableau 4. Exemple d'une Power State Table (PST).....	81
Tableau 5. Power candidate, Sleep candidate <i>et</i> Retention candidate pour le PD VGA	90
Tableau 6. Les 4 types de contrats	94
Tableau 7. Validation des modèles de consommation et de SoC.....	110
Tableau 8. Paramètres de la batterie.....	112
Tableau 9. Comparaison des performances entre OL-PM et Kansal	113
Tableau 10. Comparaison des performances entre OL-PM, CL-PM et Kansal	116
Tableau 11. Résultats des tests de terrain pour CLPM-PTPC.....	123
Tableau 12. Caractérisation en consommation d'énergie des activités sur PowWow	127
Tableau 13. Résultats de simulation pour différentes périodes de réveil du PM (k).....	132

Partie 1 – Synthèse des travaux

Cette première partie présente de façon complète l'ensemble de mon parcours depuis l'obtention de ma thèse, en mettant en avant toutes ses contributions et originalités. Après un résumé de mon dossier puis un curriculum vitae détaillé, je présente successivement mes travaux de recherche, mes travaux d'enseignement, les responsabilités administratives et collectives que j'occupe et que j'ai pu occuper, mes collaborations et les projets industriels et scientifiques dans lesquels je suis impliqué.

1 - Résumé du dossier

Curriculum Vitae	<p>Fonction actuelle Maître de Conférences à l'Université de Nice Sophia Antipolis (UNS) <i>Enseignement à l'IUT de Nice, Département Génie Electrique et Informatique Industrielle</i> <i>Recherche au Laboratoire d'Electronique, Antennes et Télécommunications (LEAT)</i></p> <p>Diplômes 1999 : Doctorat Sciences pour l'Ingénieur, Université de Nice Sophia Antipolis <i>Mention très honorable avec les félicitations du jury, obtenue le 27 octobre 1999.</i> 1995 : DEA de Traitement du signal et de l'Information, Université de Nice Sophia Antipolis. 1994 : Maîtrise d'Informatique, Université de Savoie 1991 : DUT Génie Electrique et Informatique Industrielle, Option Electronique, Université de Savoie</p> <p>Expériences Professionnelles 2008 – Aujourd'hui : Maître de Conférences à l'Université de Nice Sophia Antipolis. 2003 – 2008 : Ingénieur Système, Texas Instruments, Villeneuve-Loubet. <i>Equipe Layer-1 GSM/GPRS/EDGE.</i> 2000 – 2003 : Ingénieur Système, Stepmind SA, Le Cannet. <i>Equipe Modem, Groupe Téléphonie Mobile.</i> 1995 – 2000 : Ingénieur Système DSP, VLSI Technology. <i>Groupe Processeur Embarqué</i> 1994 – 1995 : Stage de DEA au laboratoire I3S de l'UNS.</p>
Enseignement	<p>Mots clés : électronique numérique (langage VHDL), informatique industrielle, architecture de processeurs, systèmes embarqués, Linux, réseaux, programmation orientée objet (C#), architecture et programmation DSP, télécommunications numériques, système GSM/GPRS/EGPRS, langage C et assembleur, programmation WEB (HTML, CCS, ASP.NET).</p>
Recherche	<p>Mots clés : système sur puce (SoC), réseaux de capteurs sans fils, plateformes multiprocesseurs, modélisation, estimation et réduction de la consommation d'énergie, estimation de performance, prototypage virtuel, modélisation de niveau transactionnel (TLM), architecture des systèmes embarqués, mémoires multi-bancs, approche globale de modélisation d'objets communicants autonomes en énergie, récupération et stockage de l'énergie, gestion de la mobilité, exploration de l'espace de conception, architectures DSP.</p>
Développement	<p>Logiciel d'ordonnancement temps réel des tâches s'exécutant sur un DSP pour une puce GSM/GPRS/EDGE. Développement d'un environnement de simulation en C ou sous Matlab/Simulink d'une chaîne de transmission GSM et de détection du FCH. Conception et développement de VESTIM, un outil d'estimation de performance d'un code optimisé pour DSP.</p>
Laboratoire	<p>Laboratoire LEAT, Université de Nice Sophia Antipolis, UMR 7248 du CNRS</p>
Responsabilités administratives	<ul style="list-style-type: none"> ▪ Depuis 2012 : Membre élu du Conseil de Laboratoire du LEAT. ▪ Depuis 2012 : Membre élu du Comité Permanents des Ressources Humaines (CPRH), section 61 du CNU.

	<ul style="list-style-type: none"> ▪ Depuis 2012 : Président élu du Conseil de Département GEII de l'IUT de Nice. ▪ 2009 - 2012 : Membre du Conseil de Département GEII de l'IUT de Nice. ▪ Depuis 2008 : Responsable du module Etude et Réalisations de 2^{ème} année au Département GEII de l'IUT de Nice. ▪ Depuis 2012 : Responsable du module complémentaire (MC se7) <i>Gestion de l'énergie pour les systèmes embarqués et communicants</i> pour la commission électronique du nouveau PPN GEII. ▪ Membre du comité de sélection pour un poste de McF 63^{ème} section (IPB, ENSEIRB-MATMECA, Laboratoire IMS).
Responsabilités scientifiques	<ul style="list-style-type: none"> ▪ Membre du GDR SOC-SIP ▪ Membre du Laboratoire d'Excellence (Labex) UCN@Sophia ▪ Membre du Comité d'organisation de l'école thématique ECOFAC (2012). ▪ Membre du Comité d'organisation de la 21^{ème} conférence internationale Real-Time and Network Systems (RTNS 2013). ▪ Membre du Comité de programme du 3^{ème} Workshop on Ultra-Low Power Sensor Networks (WUPS 2013), workshop organisé conjointement avec la conférence ARCS 2013 (Architecture of Computing Systems). ▪ Comité de lecture de conférences internationales et nationales : Majestic 2010, DASIP 2010, Reconfig 2010, WUPS 2013, NEWCAS 2013, PIMRC 2013, ICECS 2013. ▪ Expertise scientifique auprès de l'ANRT (dossier CIFRE en 2009).
Encadrements	<p>6 co-encadrements de thèses (dont 3 en cours) 1 co-encadrement de Post-Doc 3 masters 2 ingénieurs d'étude 12 élèves ingénieurs</p>
Collaborations	<p>HOPE 2012/2015, Projet ANR – INS, <i>Intel, Synopsys, Magillem, Docea Power, Inria, Plateforme conception CIMPACA, Leat.</i></p> <p>GRECO 2010/2014, Projet ANR - ARPEGE, <i>Insight-SIP, Thales, In2mp, Irisa, Cea-List, Cea-Leti, Leat.</i></p> <p>HELP 2009/2013, Projet ANR - ARPEGE, <i>ST-Micro, Docea Power, Inria, Verimag, Leat</i></p> <p>Forecast 2009/2012, Convention CIFRE, <i>Thales Communications and Security.</i></p> <p>COMCAS 2009-2012, Projet européen Catrene, <i>NXP, STM, ST-Ericsson, Recore Systems, Axiom-IC, Cea-Leti, Cea-List, Tima, Leat.</i></p> <p>CODEF 1998/2001, Contrat industriel, <i>I3s, VLSI Technology/Philips.</i></p> <p>Projet CIM-PACA, plateforme conception (2008 - Aujourd'hui).</p>
Publications	<p>5 revues scientifiques internationales 2 brevets internationaux 3 conférences invitées 40 publications en conférences internationales 15 publications en conférences nationales</p>

2 - Curriculum Vitae

2.1. Etat Civil

Alain Pegatoquet
Né le 10 juillet 1970 à Annecy (74)
Nationalité française
42 ans, pacsé, 3 enfants

Adresse personnelle

130 avenue de la Lanterne
Résidence les ORS de la Lanterne
06200 Nice
Tel. 06 85 15 69 27

Adresse professionnelle

Laboratoire LEAT
Université de Nice Sophia Antipolis, UMR CNRS 7248
Campus SophiaTech - Bâtiment Forum
930 route des Colles, BP 145
06903 Sophia Antipolis cedex
Tel : 04 92 38 85 97
email : alain.pegatoquet@unice.fr
web : <http://geii-web.unice.fr/alain.pegatoquet>

2.2. Grades et titres universitaires

Octobre 1999

Doctorat en Sciences pour l'ingénieur

Université de Nice Sophia Antipolis, Laboratoire I3S.

Titre de Thèse : Méthode d'estimation de performance logicielle : application au développement rapide de code optimisé pour une classe de processeurs DSP

Soutenue le 27 octobre 1999 à Sophia Antipolis

Mention très honorable avec les félicitations du jury

Directeur de thèse Michel AUGUIN, Directeur de recherche au CNRS

Juin 1995

DEA en Traitement et Transmission de l'information (Mention AB)

Université de Nice Sophia Antipolis.

Juin 1994

Maîtrise d'Informatique

Université de Savoie, Technolac.

Juin 1991

DUT en Génie Electrique et Informatique Industrielle

Université de Savoie, IUT d'Annecy

Option Electronique

2.3. Situations professionnelles successives

Septembre 2008 / Aujourd'hui

Maître de Conférences à l'Université de Nice Sophia Antipolis (UNS)

Enseignement à l'IUT de Nice, département Génie Electrique et Informatique Industrielle
Recherche au Laboratoire d'Electronique, Antennes et Télécommunications (LEAT), thématique MCSOC (Modélisation, Conception Système d'Objets Communicants)

Juin 2013

Professeur invité à l'University College of Cork (UCC), Irlande.

Séminaire sur une Approche de Modélisation au Niveau Système pour la Conception et la Vérification de Systèmes sur Puce à Faible Consommation ; Etude de la gestion de l'autonomie en énergie d'objets communicants sans fil.

Novembre 2003 / Août 2008

Ingénieur Système, Texas Instruments, Villeneuve-Loubet.

Equipe Layer1-DSP du groupe Chipset, Wireless Terminals Business Unit
Responsable de l'équipe Acoustique (*Technical Lead*)

2006 / 2008

Vacataire à l'ENSEIRB de Bordeaux, à l'ENSSAT de Lannion, au **Master STIC** de Nice, au **Master MARS** de Lorient.

Séminaires au laboratoire I3S de Nice et au LESTER de Lorient

Décembre 2000 / Novembre 2003

Ingénieur Système à Stepmind SA, Le Cannet

Equipe système DSP du groupe bande de base

2001 / 2007

Vacataire à Polytech Nice-Sophia, Département Electronique, Option Traitement Numérique du Signal

Vacataire au Master GMI de l'Université d'Avignon.

Octobre 1995 / Novembre 2000

Ingénieur système DSP à VLSI Technology (rachat par Philips Semiconductors en juin 1999), Sophia Antipolis

Equipe systèmes embarqués, Business Line ASIC Telecom

1996 / 1999

Doctorant en convention CIFRE avec le laboratoire I3S

1995 / 1999

Vacataire au Département GEII de l'IUT de Nice

2.4. Résumé

J'ai obtenu mon doctorat en sciences pour l'ingénieur en 1999 à l'Université de Nice Sophia Antipolis. Mes travaux de thèse ont concerné l'estimation de performance pour des applications de traitement du signal s'exécutant sur une classe de processeurs DSP. Ces travaux se sont déroulés dans le cadre d'une convention CIFRE entre le laboratoire d'Informatique Signaux et Systèmes (I3S) et la société VLSI Technology. Durant ma thèse j'ai effectué annuellement 64 heures équivalentes TD en tant que vacataire au département GEII de l'IUT de Nice.

A la fin de ma thèse, j'ai décidé après de longues hésitations par rapport à une carrière de Maître de Conférences, d'accepter une offre de CDI que me proposait VLSI Technology (racheté par Philips Semiconductors en 1999). En 2000, j'ai poursuivi mon parcours professionnel au sein de la société Stepmind SA, une startup dédiée à la conception de circuits intégrés pour la téléphonie mobile (GSM/GRPS/Edge) et les techniques de communication sans fils (Wifi, Hyperlan), alors en plein essor au début des années 2000. Fin 2003, la société Stepmind décidant d'abandonner une partie de ses activités, j'acceptais une offre de Texas Instruments pour intégrer l'équipe Layer1-DSP en charge de la conception et du développement de la couche physique des puces de téléphonie mobile 2.5G. Malgré ces nombreuses années passées dans le secteur privé, j'ai toujours gardé le contact avec mon ancienne équipe de recherche afin de développer des collaborations et d'apporter des problématiques industrielles aux thématiques abordées par l'équipe MCSOC. Durant cette période, j'ai également continué à dispenser des enseignement (40 heures équivalentes TD en moyenne par an), principalement en dernière année d'école d'ingénieur (Polytech Nice Sophia, ENSEIRB...). J'ai ainsi conçu et réalisé deux modules d'enseignement, l'un sur les architectures et la programmation des processeurs de traitement numérique du signal (DSP), puis un second sur les systèmes de communications numériques mobiles GSM/GPRS/Edge.

Depuis 2008, je suis Maître de Conférences à l'Université de Nice Sophia Antipolis en poste à l'IUT de Nice dans le département Génie Electrique et Informatique Industrielle. J'ai en charge principalement des enseignement d'électronique numérique (VHDL), de projets de réalisations (ER) de 2nde année, d'informatique industrielle et de programmation orienté objet. J'ai également monté avec l'aide d'un professionnel, un enseignement sur le système d'exploitation Linux pour les étudiants de la licence professionnelle réseaux et télécommunications, spécialité Ingénierie des Réseaux Informatique (IRI). J'effectue mes activités de recherche au LEAT (Laboratoire d'Electronique, Antennes et Télécommunications) au sein de la thématique MCSOC (Modélisation Conception Système d'Objets Communicants). Mes travaux concernent la définition de nouvelles méthodologies de conception de systèmes sur puce (SoC) basse consommation et des méthodes d'estimation de la consommation et de la performance. Je contribue également au développement d'une activité plus récente au sein de mon équipe sur des approches de gestion globale de la consommation pour les objets communicants sans fils autonomes en énergie. Cette activité est en plein essor avec le développement des réseaux de capteurs sans fils et autres objets connectés, en particulier pour ce qui concerne les problématiques liées aux systèmes de stockage et de récupération de l'énergie.

J'ai publié dans de nombreuses conférences majeures du domaine de la conception des systèmes sur puce, des systèmes embarqués et des réseaux de capteurs (DAC, VLSID, PATMOS, SAMOS, NEWCAS, iThings, PIMRC, PECCS, CODES, SAC, ICECS...), ainsi que dans différentes revues scientifiques (IET, Eurasip, Jolpe, ACM Todaes, IEEE Transactions (en cours de révision)). Je participe également à des comités d'organisation et de programme de conférences internationales.

Je participe à plusieurs projets de recherche nationaux ou européens. Je participe activement à l'activité nationale dans le domaine de la conception des systèmes embarqués (GDR SOC-SIP) et plus spécifiquement à la thématique Consommation et Energie dans les SOC/SIP.

2.5. Encadrements doctoraux et postdoctoraux

Depuis le début de mes activités de recherche, j'ai co-encadré un post-doctorant, 3 docteurs et je co-encadre actuellement trois doctorants et un ingénieur. A cette liste s'ajoute l'encadrement d'un ingénieur d'étude, de 3 étudiants de Master et 12 élèves ingénieurs. La liste ci-dessous donne, de façon détaillée, mes différents co-encadrements scientifiques de post-doctorant et doctorants.

Antoine COURTAY (post-doctorant)

Année de post-doctorat : 2009 / 2010

Titre de l'étude : **Modélisation globale de la consommation d'énergie d'un nœud de réseaux de capteurs sans fils**

Financement : Financement du Conseil Scientifique de l'UNS

Encadrement : Michel Auguin (50%), Alain Pegatoquet (50%)

Situation : Maître de Conférences à l'ENSSAT, Université de Rennes 1

Andréa CASTAGNETTI

Années de thèse : 2008 / 2012

Titre de la thèse : **Etude de la gestion de l'autonomie en énergie d'objets communicants sans fil**

Etat : soutenue (octobre 2012)

Financement : MESR puis ATER

Encadrement : Michel Auguin (30%), Cécile Belleudy (30%), Alain Pegatoquet (40%)

Situation : Post-doc au CEA-LIST Saclay, équipe Nano-INNOV

Joffrey KRIEGEL

Années de thèse : 2009 / 2012

Titre de la thèse : **Caractérisation de la performance temporelle et de la consommation électrique de systèmes embarqués basés sur des plateformes multiprocesseurs/cœurs et mettant en œuvre du logiciel temps réel**

Etat : soutenue (janvier 2013)

Financement : CIFRE THALES Communications and Security

Encadrement : Michel Auguin (50%), Alain Pegatoquet (50%)

Situation : CDD au CEA-LIST, Interactive Robotics Laboratory

Ons MBAREK

Années de thèse : 2009-2013

Titre de la thèse : **Une Approche de Modélisation au Niveau Système pour la Conception et la Vérification de Systèmes sur Puce à Faible Consommation**

Etat : soutenue (mai 2013)

Financement : Contrat ANR HELP

Encadrement : Michel Auguin (50%), Alain Pegatoquet (50%)

Situation : CDD au LEAT sur contrat ANR HOPE

Chiraz CHAABANE

Années de thèse : 2009-2013

Titre de la thèse : **Systèmes embarqués autonomes en énergie pour objets communicants mobiles**

Etat : en cours (soutenance prévue en octobre 2013)

Financement : AVERROES (Cotutelle avec la Tunisie) et sur contrat COMCAS

Encadrement : Michel Auguin (50%), Alain Pegatoquet (50%)

Le TRONG-NHAN

Années de thèse : 2010-2013

Titre de la thèse : **Système de gestion globale de l'énergie pour objets communicants sans fils autonomes**

Etat : en cours (soutenance prévue début 2014)

Financement : Contrat ANR GRECO (Co-direction avec l'équipe CAIRN de l'IRISA Lannion)

Encadrement : Olivier Sentieys (30%), Olivier Berder (30%), Alain Pegatoquet (40%)

Hend AFFES

Années de thèse : 2012-2015

Titre de la thèse : **Approche de conception par modélisation au niveau transactionnel d'architectures et du contrôle de systèmes sur puce optimisés en énergie**

Etat : en cours

Financement : Contrat ANR HOPE

Encadrement : Michel Auguin (50%), Alain Pegatoquet (50%)

2.6. Publications et communications scientifiques

Mon activité scientifique, menée depuis 1996, a conduit aux publications suivantes : 5 revues scientifiques, 2 brevets internationaux, 3 conférences invitées, 40 publications en conférences internationales et 15 en conférences francophones, ce qui représente un total de 65 communications scientifiques. Le tableau ci-après donne le détail de l'ensemble de mes publications et communications scientifiques.

5 Publications en revues	<ul style="list-style-type: none"> - IET Computers & Digital Techniques Journal. - EURASIP Journal on Embedded Systems (JES). - IET Circuits, Devices & Systems journal. - Journal of Low Power Electronics (JOLPE). - ACM Transaction on Design Automation for Embedded Systems.
2 Brevets internationaux	<ul style="list-style-type: none"> - <i>Assembly Code Performance Evaluation apparatus and method</i>, Philips Semiconductors/VLSI Technology, Patent n° US6598221, 22 Jul. 2003. - <i>Apparatus and method for annotating an intermediate representation of an application source code</i>, Philips Semiconductors/VLSI Technology, Patent n° US6643630, 4 Nov. 2003.
40 Conférences internationales (dont 16 IEEE)	<p><i>EDA 13, OCOSS 13, ENSSys 13 (2x), PIMRC 13, WUPS 13 (2x), VLSID 13, iThings 12, SAME 12, DASIP 12 (2x), HPCC 12, NEWCAS 12, EWili 12, IWSSIP 12, SAC 12, PECCS 12, COMCOMAP 12, WUPS 11, DACWIP 11, SAMOS 11, PATMOS 11, DASIP 10, SAME 10, SAME 09, COMPSAC 08, SNUG 08, TI SSS 07, ICECS 06 (2x), SAME 02, DAC 99, ICSPAT 99 (2x), ICSPAT 98, EUROMICRO 99, CODES 98 (2x), EUSIPCO 98</i></p>
15 Conférences nationales	<p><i>SoC-SIP 13, SoC-SIP 12 (4x), ECOCAF 12 (3x), SOC-SIP 11 (3x), SOC-SIP 10, Colloque-CAO 99, GRETSI 99 (2x).</i></p>

3 - Activités de recherche

3.1. Activités de recherche doctorale

J'ai présenté ma thèse le 27 octobre 1999 à l'Université de Nice-Sophia Antipolis et j'ai obtenu la mention très honorable avec les félicitations du jury.

Titre de la thèse : Méthode d'estimation de performance logicielle : application au développement rapide de code optimisé pour une classe de processeurs DSP.

Directeur de thèse : Michel Auguin (Directeur de Recherche CNRS)

Composition du jury :

M. D. Dours	<i>Professeur à l'Université Paul Sabatier</i>	Président
M. J-L. Philippe	<i>Professeur à l'Université de Bretagne Sud</i>	Rapporteur
M. F. Charot	<i>Chargé de recherche INRIA</i>	Rapporteur
M. M. Auguin	<i>Directeur de recherche au CNRS</i>	Directeur de thèse
M. E. Gresset	<i>Responsable Software R&D de VLSI Technology</i>	Membre invité
Mme C. Belleudy	<i>Maître de Conférences, I3S Nice</i>	Membre invité

Mots clés : Processeur de traitement du signal (DSP), Estimation de performance logicielle, Développement de code assembleur, Compilation, Systèmes embarqués.

Résumé :

Le flot de cosynthèse soulève de nombreux problèmes, aussi dans le cadre de la thèse je me suis plus particulièrement intéressé aux problèmes d'estimations de performances pour une classe de processeurs DSP. Entrepris contractuellement avec la société VLSI Technology (convention CIFRE), l'étude et le développement d'une méthode d'estimation de performances pour DSP correspond également à une problématique industrielle. Les processeurs de traitement du signal (DSP) sont particulièrement utilisés dans le domaine des systèmes embarqués car ils offrent un bon compromis en taille de silicium, consommation et vitesse. Ces processeurs disposent d'une architecture et d'un jeu d'instructions optimisés pour une exploitation temps réel efficace des traitements nombreux et répétitifs inhérents aux applications du traitement numérique du signal. Bien que la plupart des normes liées aux applications de télécommunications soit fournie avec un programme C, l'utilisation des compilateurs C pour DSP est encore peu répandue. Les coûts de développement élevés associés au codage manuel d'applications sur DSP et la pression sans cesse plus forte du « time-to-market » rendent cette situation de plus en plus inacceptable pour les entreprises et militent en faveur d'une approche de haut niveau basée sur l'utilisation de compilateurs. Or, si les compilateurs pour DSP sont globalement inefficaces, il est toutefois possible d'améliorer de manière significative les performances du code assembleur généré en modifiant le code C d'origine pour le compilateur cible (i.e. l'architecture cible) sur les parties de code critiques de l'application. Ces problèmes ont motivé l'élaboration de nouveaux outils permettant d'accélérer ce processus. Nous proposons pour cela d'utiliser des méthodes d'estimations logicielles qui fournissent, à partir d'une description en C de l'application, d'une part les performances du code assembleur généré sans utiliser de simulateur de niveau instruction et d'autre part les performances d'un code assembleur optimisé. Par comparaison des deux performances il est aisé de localiser rapidement les parties à optimiser dans le code C de l'application. Par cette approche on limite ainsi aux parties réellement critiques, identifiées par la méthode, la nécessité de développer du code assembleur (si nécessaire).

Pour effectuer des estimations, le code C est tout d'abord annoté avec des informations dynamiques obtenues en utilisant une méthode statistique. Les méthodes statiques existantes pour déterminer le temps d'exécution dans le pire des cas n'ont pas été retenues car, soit elles induisent un pessimisme

les rendants inefficaces, soit elles sont très contraignantes pour l'utilisateur. Le processus d'estimation consiste tout d'abord à construire un graphe de flot de contrôle (CFG) représentant la structure de l'application où chaque bloc de base possède une information dynamique. Puis il s'agit de déterminer le nombre de cycles pour chaque bloc de base pour un processeur DSP cible. La méthode d'estimation s'appuie sur une représentation intermédiaire du programme (représentation RTL des compilateurs GNU), entre le code C et l'assembleur, que l'on modifie de manière à obtenir un modèle d'exécution adapté à un schéma de calcul orienté DSP. Nous avons ainsi défini un ensemble de règles de réécritures qui sont appliquées sur la représentation RTL de manière à s'approcher le plus possible d'un schéma de calcul orienté DSP. L'ensemble de ces règles a fait l'objet du dépôt d'un brevet en 1999 [7]. Cette représentation intermédiaire orientée DSP ainsi obtenue est un graphe direct acyclique (DAG) de l'application adapté à l'estimation d'une classe d'architectures DSP Harvard. Cette représentation est indépendante du processeur cible (modèle générique interne du processeur) et de l'algorithme d'ordonnancement. Cela permet d'étendre facilement cet estimateur à d'autres DSP en changeant simplement la description du processeur cible. Le OakDSPCore et le PalmDSPCore ont été les deux premiers processeurs inclus dans notre estimateur. La première étape, avant la phase d'ordonnancement, consiste à associer à chaque nœud du DAG un niveau de priorité. Une annotation trop simple du graphe ne permet pas de retrouver le parallélisme ou le pipeline interne du processeur. Le calcul de la distance entre un nœud et le nœud feuille prend en compte le parallélisme pipeline du DSP. Cette annotation spécifique à une classe d'architectures DSP a également fait l'objet du dépôt d'un brevet en 1999 [8]. L'objectif de la phase d'ordonnancement est d'assembler les opérations élémentaires de la représentation intermédiaire en un nombre de cycles correspondant aux instructions du processeur DSP cible. Nous utilisons une heuristique d'ordonnancement par liste qui opère à un niveau opération et non instruction, car une instruction DSP peut être composée de plusieurs opérations. L'algorithme d'ordonnancement par liste manipule une liste d'opérations prêtes à s'exécuter (i.e. ordonnançables) triées par ordre décroissant des niveaux de priorité. Pour décrire le jeu d'instructions du processeur cible nous utilisons un modèle comportemental basé sur une liste d'opérations de base représentant toutes les implémentations possibles d'un nœud du graphe de flots de données. La description du processeur est une représentation simplifiée permettant de décrire pour chaque opération de base des contraintes sur l'utilisation des ressources (registres ou opératoires) afin d'ordonner cette tâche. La modélisation du parallélisme utilise une approche par restriction adaptée à un large éventail d'architectures DSP, en particulier celles comportant beaucoup de parallélisme. L'algorithme d'ordonnancement est ainsi capable de tenir compte du parallélisme offert par les chemins de données du DSP, mais aussi de prendre en compte les restrictions de parallélisme dues à l'encodage du jeu d'instructions. Cette approche est adaptée aux architectures DSP récentes intégrant par exemple des unités multi-MAC.

Ces travaux ont conduit à la conception et au développement d'un outil en langage C appelé VESTIM. Cet outil nous a permis de valider notre approche pour le OakDSPCore sur un ensemble d'applications complètes de compression d'un signal de parole (spécifications ITU G.721, G.728, G.723.1, G.729A), d'un décodeur audio AC-3, ainsi que le code modem V22bis. Les résultats obtenus montrent que les estimations sont très proches des performances atteintes lorsque le programme est effectivement codé manuellement et représente ainsi une information utile pour le programmeur lors de l'utilisation du compilateur cible.

Ce travail a donné lieu à des publications internationales [39] [40] [43] [46] et nationales [52] [53], au dépôt de 2 brevets internationaux [7] [8], ainsi qu'à l'encadrement de 3 stagiaires ingénieur durant la durée de ma thèse.

3.2. Activités de recherche et développement de 1999 à 2008

Depuis plusieurs années, l'équipe MCSOC du laboratoire LEAT (anciennement équipe MOSARTS du laboratoire I3S) s'intéresse aux méthodes permettant une réduction de la consommation d'énergie des systèmes sur puce. En effet, la consommation d'énergie est devenue un des critères majeurs dans la conception de tels systèmes. Depuis la fin de ma thèse, j'ai toujours gardé le contact avec les membres de cette équipe ce qui m'a amené à participer à diverses réunions de travail et à collaborer aux travaux de recherches dans ce domaine de deux étudiantes en thèse.

3.2.1. Réduction de la consommation d'énergie des systèmes sur puce

3.2.1.1. *Participation au projet CODEF*

L'année qui a suivie ma soutenance de thèse, l'outil VESTIM fut utilisé pour caractériser les éléments constituant la bibliothèque de fonctions spécifiques (e.g. FFT) ou d'applications complètes (e.g. AC-3) de l'outil de *co-design*, CODEF [5] [41], développé dans l'équipe MOSARTS. L'utilisation d'estimation de performances d'un code assembleur optimisé permet en effet d'optimiser les solutions de partitionnement logiciel/matériel par rapport à l'utilisation de mesures issues directement de la compilation. Dans le cadre de ce projet, j'ai participé à la définition et aux orientations d'un environnement intégrant les deux outils, VESTIM et CODEF. VESTIM a par la suite été étendu au sein de l'équipe MOSARTS à un modèle d'estimation de la puissance dissipée par le cœur lors de l'exécution d'un programme. J'ai ainsi été amené à proposer des adaptations aux modèles existants pour prendre en compte la consommation au niveau des unités fonctionnelles des DSP. Ce travail a fait l'objet d'une thèse soutenue par Patricia Guitton en Octobre 2004 et intitulée « Estimation et optimisation de la consommation lors de la conception globale des systèmes autonomes ».

3.2.1.2. *Participation à la thèse de Hanene Ben Fradj*

Lors de sa thèse, soutenue le 13 décembre 2006, Hanene Ben Fradj s'est tout particulièrement intéressée à la consommation d'un processeur muni d'une possibilité d'ajustement en fréquence et en tension (i.e. technique DVFS) couplée à une hiérarchie mémoire. A partir d'une étude menée sur la variation de la consommation mémoire principale lors de l'ajustement conjoint de la tension et de la fréquence du processeur, il s'est avéré que la consommation d'une mémoire monolithique augmente alors que la consommation du processeur diminue en utilisant la technique de DVFS. Cette augmentation de la consommation mémoire est due essentiellement à la dissipation d'énergie produite en maintenant la mémoire plus longtemps co-active avec le processeur, suite à l'allongement des temps d'exécutions des tâches.

Afin de contenir l'augmentation de la consommation mémoire induite par la technique de DVFS, une architecture mémoire multi-bancs exploitant des modes faible consommation est proposée. Une architecture multi-bancs permet en effet de réduire la surface mémoire active à un unique banc, auquel le processeur accède pour lire ou écrire les instructions et/ou les données de la tâche en cours d'exécution. Les autres bancs de la mémoire qui ne sont pas concernés par l'exécution de la tâche en cours, sont mis dans un mode faible consommation pour réduire l'énergie dissipée. Pour obtenir une solution globalement efficace, il s'agit alors de trouver la configuration des bancs en nombre et en taille ainsi que l'allocation des tâches à ces bancs pour minimiser l'énergie totale dissipée. Après une étude permettant d'identifier les paramètres influant sur la consommation mémoire, des modèles permettant d'évaluer la consommation mémoire pour des systèmes multi-tâches ont été développés. Une fois ces modèles de consommation mémoire déterminés, une méthode permettant de trouver la configuration mémoire multi-bancs et l'allocation de tâches correspondantes minimisant la consommation a été définie. Afin d'adresser des applications comportant un nombre de tâches important, une heuristique capable d'explorer un sous-espace potentiellement intéressant et de résoudre le problème en un temps polynomial a été développée. Des expérimentations ont alors été menées afin de valider l'intérêt de cette approche. La variation de la consommation mémoire multi-

bancs est étudiée sur une application associant une fonction de communication sans fil (GSM) et multimédia (MPEG-2), où l'ensemble des tâches s'exécutent sur une architecture multiprocesseur OMAP1510 de type maître esclave fournie par Texas Instruments.

Ma contribution à ces expérimentations concerne la chaîne de traitement du signal de l'application GSM et plus particulièrement le partitionnement et l'ordonnancement des tâches sur le processeur DSP ou le microcontrôleur ARM. Il s'agit en effet de respecter à la fois les contraintes temps réels et les dépendances temporelles entre les différentes tâches. De plus, pour chacune des tâches des deux applications, il est nécessaire de déterminer les caractéristiques suivantes : période, nombre de cycles d'exécution, taille mémoire (programme et données) et nombre d'accès à la mémoire principale. Pour le décodeur MPEG-2, les caractéristiques des tâches ont été obtenues par simulation avec l'outil SimpleScalar. J'ai été amené à compléter et ajuster les paramètres de l'application GSM (initialement issu d'un article publié en 1994 pour un DSP C54x) pour le DSP C55x. Les résultats montrent des gains notables aussi bien sur la consommation mémoire que sur la consommation du couple processeur, mémoire. Ces expérimentations ont permis aussi de valider l'approche heuristique proposée et de tester l'efficacité de la configuration mémoire trouvée hors ligne, pendant la phase de conception, quand des changements en ligne dans l'ordonnancement surviennent. Cette collaboration a donné lieu à deux publications, une en décembre 2006 à la conférence internationale ICECS durant laquelle j'ai présenté l'ensemble de ces travaux [36], puis une dans une revue internationale en 2008 [4].

3.2.2. Simulation de niveau système d'application GSM/GPRS/EGPRS

Les systèmes sur puce disposent année après année de nouveaux outils de modélisation et de simulation de logiciel embarqué. Etant persuadé de l'efficacité et de la productivité de disposer de tels outils tôt dans le flot de conception, j'ai souvent été amené à promouvoir leur déploiement et leur utilisation dans le cadre de mon activité professionnelle. Les paragraphes suivants décrivent pour une application GSM/GPRS/EGPRS, deux exemples de simulation de niveau système permettant d'optimiser la fréquence d'un DSP dans un cas (et donc sa consommation d'énergie) ou de réduire significativement les temps de validation dans l'autre cas.

3.2.2.1. Simulation de niveau système pour une réduction de la consommation

En 2001, nous avons mené à STEPMIND une étude basée sur des simulations de niveau système d'un ordonnanceur GSM/GPRS/EGPRS. L'objectif était de déterminer avant la phase de développement du code, la fréquence minimum du DSP pour exécuter les différentes tâches requises par un téléphone sans fil 2.5G. Cette information est en effet utile aux équipes chargées de la conception du matériel. Nous avons pour cela utilisé l'outil NitroVP de la société Cardtools afin de construire rapidement un modèle du sous-système DSP. L'outil permet de décrire l'ensemble des tâches de ce sous-système en modélisant leurs interactions et leurs contraintes d'ordonnancement lors d'un appel GSM ou d'un transfert de données par paquets (i.e. (E)GPRS). Un effort important de modélisation a été nécessaire pour abstraire les comportements locaux des fonctionnalités du système, tout en conservant les caractéristiques de ces fonctionnalités qui peuvent avoir une influence sur le comportement global du système. La plupart des modules n'ayant pas été développés lors de l'étude, nous avons utilisé des estimations qui ont été affinées au cours du cycle de développement. Il est important de noter que l'outil de simulation requiert uniquement le nombre de cycles nécessaire à l'exécution de chaque tâche sur le DSP.

Les résultats que nous avons obtenus montrent l'intérêt de disposer tôt dans le flot de conception d'outils de modélisation et simulation système tel que NitroVP puisqu'ils permettent d'adapter la fréquence d'horloge du DSP et ainsi réduire la consommation globale du système. Il est par exemple possible de diviser la fréquence du processeur en fonction du mode de compression audio utilisé lors d'un appel GSM. L'outil permet également de déterminer tôt dans la phase développement du code, les modules ayant de fortes contraintes temps réels et pour lesquels une optimisation avancée lors du portage DSP sera donc nécessaire.

Ces travaux ont donné lieu à une publication à la conférence SAME (Sophia Antipolis MicroElectronics forum) en 2002 [38].

3.2.2.2. *Simulation d'un code modem 2.5G sur plateformes virtuelles*

Dans le cadre de mon activité d'ingénieur système au sein de l'équipe L1 (i.e. Layer-1 ou couche physique) de Texas Instruments, une partie importante de mon travail consistait à valider le logiciel modem embarqué dans un système sur puce de téléphonie mobile 2.5G. Si l'outil NitroVP permettait de donner des informations utiles lors de la conception d'une puce, il ne permettait pas de valider par simulation le code de l'application. Typiquement la validation du code modem (et en partie son développement !) s'effectuait alors en laboratoire après réception des premiers échantillons (i.e. en phase post-silicon) lorsque des plateformes de développement ou prototypes étaient disponibles. Or, compte tenu des contraintes toujours plus fortes de « time-to-market », il devenait indispensable de valider en avance de phase le code amené à s'exécuter sur une puce.

C'est dans ce but que j'ai développé au sein de Texas Instruments, et en collaboration avec la société Synopsys, une méthode de validation d'un code complet de niveau L1 basée sur les plateformes virtuelles correspondantes aux puces TI 2.5G. Ces plateformes virtuelles permettent de s'affranchir des dépendances matérielles puisqu'elles offrent un modèle complet de niveau transactionnel (i.e. TLM) du système sur puce avant la disponibilité des premiers échantillons. Ces plateformes de prototypage intègrent les simulateurs de niveau instructions des cœurs de processeur ainsi que des modèles de niveau transactionnel en SystemC ou C/C++ pour l'ensemble des périphériques (bus, accélérateurs matériels, contrôleur DMA, contrôleur d'interruptions, etc.). Grâce à des systèmes d'entrées/sorties virtuels, il est également possible de fidèlement simuler la connexion du système modélisé aux périphériques d'un PC par exemple (e.g. USB).

Les problèmes posés par ce type d'approche proviennent de l'abstraction des fonctionnalités du système. Le prototypage virtuel opère en effet une simplification des modèles existants (décrit en VHDL par exemple) afin de réduire leur complexité et ainsi accélérer de manière significative les temps de simulation. Pour cela des modèles de niveau transactionnels sont utilisés en utilisant des langages tels que SystemC. Une partie importante de mon travail a été de participer à la définition par exemple des fonctionnalités requises par le modèle de la radio connecté à un microcontrôleur ARM ou un processeur DSP. Ce modèle doit permettre en effet de simuler le code en charge de la programmation des fenêtres RF, mais également de valider les transferts bidirectionnels de données avec une précision suffisante pour une exécution d'un code binaire compatible avec la plateforme matérielle. De façon similaire, j'ai été amené à étudier le modèle temporel utilisé par les plateformes virtuelles DesignWare de Synopsys. La simulation est dans ce cas basée sur des « tranches de temps » correspondantes à un nombre d'instructions à exécuter par les différents modèles maîtres composants le système. Ce haut niveau d'abstraction, adapté au modèle transactionnel, permet de réduire les temps de simulation. L'étude que nous avons menée a permis d'affiner ce modèle temporel en testant par exemple l'interaction entre un simulateur de niveau instruction et les modèles transactionnels des périphériques (e.g. un contrôleur DMA) connectés à ce simulateur. Une fois que ces modèles temporels correspondent aux spécifications et aux services requis par les différents composants du système, il s'agit alors d'effectuer le bon paramétrage (e.g. nombre d'instructions par tranches de temps) de ces différents modèles afin d'obtenir un comportement fidèle du système dans des temps de simulation raisonnables.

Les possibilités des plateformes virtuelles ont été validées avec le code modem de la couche physique de l'OMAPV1030 de Texas Instruments. En utilisant cette approche, un appel GSM et des transferts paquets GPRS/EGPRS ont été effectués purement en simulation sur la plateforme virtuelle correspondante. Fort de cette expérience, l'utilisation du prototypage virtuel a été généralisée au sein de mon équipe en phase de « pre-silicon » pour la validation du code modem de niveau L1 d'une nouvelle puce 2.5G. Grâce à ce travail, les temps de validation ont été réduits de manière significative puisqu'un appel GSM sur réseau réel fut effectué seulement trois semaines

après la réception des premiers échantillons, au lieu d'environ 2 mois sans l'aide du prototypage virtuel pour un précédent système sur puce.

Ces travaux ont donné lieu à une publication dans une conférence internationale [35] et à la publication de deux articles dans des conférences internationales sans acte (TI System/Software Symposium [51] et Synopsys User Group [50]). J'ai également eu la responsabilité d'encadrer deux stagiaires ingénieurs dans le cadre de ce projet.

3.3. Activités de recherche en tant que Maître de Conférences

Depuis septembre 2008, date de mon arrivée au laboratoire LEAT (Laboratoire d'Electronique, Antennes et Télécommunications) à l'Université de Nice Sophia Antipolis, mon activité de recherche s'est inscrite dans le thème fédérateur de la modélisation de la puissance dissipée à haut niveau d'abstraction et l'optimisation de la consommation d'énergie dans les objets communicants. Je suis membre de la thématique Modélisation Conception Système d'Objets Communicants (MCSOC) actuellement composée de 10 membres permanents, et dont Cécile Belleudy assure la responsabilité.

Les thèmes de recherche que j'ai développé ces dernières années se sont concentrés autour d'une problématique unique, la conception d'objets communicants embarqués basse consommation, mais selon différents points de vue. Trois axes de recherche peuvent ainsi être dégagés :

- Caractérisation à haut niveau de la performance et de la consommation de systèmes embarqués
- Approche de modélisation au niveau système pour la conception et la vérification de systèmes sur puce (*Systems on Chip - SoC*) faible consommation
- Modélisation et optimisation globale en énergie d'objets communicants autonomes

Ces travaux de recherche ont été validés sur diverses applications du domaine des télécommunications ou du multimédia. D'autre part, de nombreuses expérimentations ont été effectuées sur plateformes matérielles mais également sur divers environnements de simulation. Dans la suite je présente ces différents thèmes de recherche selon chacun des 3 axes. Il est important de noter que les travaux menés de 1999 à 2008 s'inscrivent également dans ces différents axes de recherche.

3.3.1. Axe 1 : Caractérisation à haut niveau de la performance et de la consommation de systèmes embarqués

Les travaux de recherche menés au sein de cet axe consiste à définir des approches de modélisation de haut niveau permettant d'évaluer les performances et/ou la consommation de systèmes embarqués, mono ou multiprocesseur, parfois hétérogènes, et exécutant le plus souvent du code temps-réel. Les activités menées dans cet axe couvrent donc aussi bien mes travaux de thèse que les recherches plus récentes entreprises avec Thalès Communications dans le cadre de la thèse de Joffrey Kriegel. Entre temps, des travaux relatifs à cet axe de recherche se sont déroulés à partir de 2001 à Stepmind avec le développement d'un modèle de haut niveau du sous-système DSP pour une application 2.5G. Dans la thèse de Joffrey Kriegel nous avons abordé la problématique de l'exploration d'architectures de systèmes embarqués tôt dans le flot de conception. Afin de répondre à cette contrainte industrielle (Thalès Communications and Security était notre partenaire), une méthodologie ainsi que les outils associés ont été développés afin de modéliser un système (logiciel et matériel), puis d'estimer ses performances et sa consommation d'énergie. La méthodologie est basée sur une caractérisation à haut niveau, en temps et en énergie, de plateformes matérielles mono ou multiprocesseurs et mettant en œuvre du logiciel temps-réel.

Pour cela, un important travail d'expérimentation a tout d'abord été effectué sur différentes plateformes matérielles. Ces expérimentations ont permis d'identifier les éléments d'architectures qui ont un impact significatif (les caches de niveau L1 ou L2 par exemple) sur les performances globales. Par ces expérimentations il a également été possible de quantifier cet impact sur des programmes test bien ciblés, permettant d'établir un modèle d'évaluation de performances. Les résultats fournis par ce modèle appliqué à des applications test permettent d'obtenir de façon simple et rapide des estimations de performances précises. Une étude à d'autre part concernée la technologie des plateformes virtuelles, en particulier QEMU, mais aussi Innovator de Synopsys. Cette étude a permis d'évaluer les intérêts et les limitations de ce type d'approches pour l'évaluation des performances et de la consommation d'énergie. Les outils mis en place ont permis dans un

premier temps de valider la méthodologie pour diverses applications multimédia (décodeur H264, ADPCM, JPEG...) s'exécutant sur diverses plateformes monoprocesseur (OMAP3530, IMX31). L'approche proposée permet ainsi une exploration d'architecture efficace et rapide comparativement à d'autres techniques publiées. Ces résultats ont été publiés à la conférence SAMOS [30] et un poster de ces activités a été présenté à la conférence DAC [47]. Les travaux se sont poursuivis afin d'étendre cette méthodologie pour des plateformes multiprocesseurs. Les tests réalisés pour deux plateformes (OMAP4 et QorIQ) ont permis de valider l'approche proposée. Les erreurs d'estimation obtenues restent en effet raisonnables (13% d'erreur maximum) compte tenu de la rapidité de modélisation et d'obtention des résultats, ce qui constitue un aspect important pour le partenaire industriel.

Cet axe de recherche a également concerné l'estimation de la consommation pour des plateformes mono ou multi processeur. Des expérimentations réalisées sur des plateformes réelles ont permis de caractériser la consommation du processeur ainsi que différents éléments mémoires (caches L1/L2 et DRAM). Parallèlement à ces expérimentations, il a également été entrepris l'évaluation d'outils (ex : CACTI) permettant de caractériser la consommation d'éléments mémoires. Enfin, les modèles abstraits utilisent, quand cela est possible, des informations présentes dans les documents techniques des constructeurs. Diverses validations ont été menées en utilisant des applications variées (décodeur H.264, application radio, benchmarks classiques, ...) et en comparant les performances et la consommation estimée avec les valeurs mesurées sur des plateformes réelles (OMAP3/4, i.MX6, QorIQ, ...). Ces expérimentations ont permis d'évaluer l'erreur d'estimation de l'outil développé (appelé FORECAST) et ainsi de s'assurer que le taux d'erreur reste dans des bornes admissibles, c'est-à-dire inférieur à 20%. La méthode proposée permet d'autre part une exécution rapide des scénarios de test et offre la possibilité de faire de l'exploration de l'espace de conception de l'architecture. En effet, dans notre approche la simulation s'appuie sur du code exécutable compatible POSIX généré automatiquement, ce qui permet une exécution rapide en natif sur un ordinateur. Enfin, nous avons comparé notre approche avec celles développées dans deux autres projets, OpenPeople (ANR) et COMCAS (Catrene), afin de s'assurer de la pertinence du rapport effort/précision de notre approche. Les résultats montrent que les estimations fournies par notre environnement sont (en moyenne) légèrement meilleures et sont obtenues beaucoup plus rapidement.

Afin de mener à bien ces travaux, 1 doctorant et un stagiaire ingénieur (encadré par Thalès) ont participé à ce projet. Ces travaux de recherche ont conduit à 9 publications scientifiques (6 conférences internationales [24] [25] [30] [33] [48] [49] et 3 conférences nationales [55] [60] [63]).

3.3.2. Axe 2 : Approche de modélisation au niveau système pour la conception et la vérification de systèmes sur puce faible consommation

Cet axe de recherche vise à apporter une solution pertinente à la conception haut niveau de systèmes sur puce (SoC) optimisés en énergie, en s'appuyant sur des standards du domaine, et en complément de flots de conception classiques. La conception en contexte industriel d'objets mobiles communicants alimentés sur batterie est rendu difficile de par la multitude des contraintes à considérer, en particulier la performance et l'énergie. Avec l'accroissement du nombre de CPU embarqués, ayant des fréquences élevées, la taille grandissante des écrans LCD et la multitude de capteurs (e.g. caméra) ou d'interfaces radio, la consommation d'énergie peut aller rapidement au-delà de ce qui est acceptable par rapport à la durée de fonctionnement entre deux recharges de la batterie. Définir une architecture logicielle/matérielle ayant le niveau de performance exigé par la vue applicative du système avec une ou des stratégies de gestion de la consommation est devenu un problème extrêmement complexe, mais majeur. Cette complexité a en particulier deux origines. La première est liée à la complexité intrinsèque de l'objet : il y a par exemple plus de 300 blocs IP dans un OMAP4 de Texas Instruments qui doivent être contrôlés en énergie et de manière à supporter l'exécution d'un nombre croissant de scénarios applicatifs. La deuxième vient de l'insuffisance des outils d'aide à la conception de niveau système pour traiter ce problème. Au niveau microarchitecture les industriels disposent d'une technologie et d'outils matures pour modéliser une architecture intégrant les techniques classiques d'optimisation de la consommation de puissance (e.g. power gating). Ainsi, le standard UPF (Unified Power Format - IEEE 1801) définit les primitives

permettant d'inclure dans un modèle fonctionnel RTL les composants de gestion du « *power gating* ». Cependant ce type de standard, indispensable au niveau RTL, n'est pas prévu pour les étapes amont de la conception système. Pourtant, il est établi que les opportunités d'optimisation de l'énergie sont meilleures au niveau système (*Electronic System Level ou ESL*) quand le matériel et le logiciel sont en cours de spécification ou développement.

Dans ce cadre, nous avons tout d'abord proposé d'étendre une spécification fonctionnelle de niveau transactionnelle (i.e. SystemC/TLM) avec des sémantiques *power-aware* par abstraction du standard UPF au niveau TLM. L'approche propose également d'appliquer une séparation des préoccupations fonctionnelles et consommation analogue à celle définie par UPF. Il s'agit en effet de permettre au concepteur d'explorer différentes alternatives d'architectures power ainsi que leurs structures de power management associées, et d'en déduire tôt dans le flot de conception la solution la plus efficace en énergie. Ce niveau de modélisation offre en effet un excellent compromis entre la vitesse de simulation et la précision des estimations. La connexion avec le flot RTL est réalisée à travers la génération automatique d'un fichier UPF correspondant à la description abstraite de l'architecture power évaluée au niveau TLM.

Afin de réaliser ces différents objectifs, nous avons développé un environnement complet appelé *Unified System Level Power Aware Framework (USLPAF)*. Le cœur de cet environnement consiste en une méthodologie (appelée *USLPAM* pour *Unified System-Level Power-Aware Methodology*) bien structurée pour la spécification, la simulation, la vérification et l'exploration d'architectures power. Cette méthodologie, itérative, se compose de 5 étapes séquentielles et d'une étape orthogonale dédiée pour la vérification. Deux nouvelles approches marquent cette méthodologie : une approche d'identification de points de gestion d'énergie et une approche de vérification de propriétés *power-aware* basée sur le concept de contrat et la technique d'assertions. Autour de cette méthodologie, nous proposons une librairie d'outils (*PAL - Power Aware Library*) et un ensemble d'approches pour faciliter son application. Dans le cas de plateformes matérielles de type *white-box*, nous proposons une approche basée sur l'instrumentation du code source et utilisant l'outil PwARCH. Dans le cas de plateformes matérielles de type *black-box*, l'approche est basée sur des *wrappers power-aware* utilisant une librairie dédiée. Enfin, ces travaux ont également donné lieu à une approche de modélisation d'une interface de gestion de power domains appelée PDMgIF. De nombreuses expérimentations effectuées en simulation sur différentes plateformes virtuelles montrent la pertinence de l'approche proposée. En effet, la décomposition et la gestion optimisée en *power-domain* du système permet d'obtenir des gains en consommation d'énergie de 90% dans le cas *white-box*, et plus de 50% dans le cas *black-box* (outil Innovator de Synopsys) en comparaison à une plateforme non partitionnée en *power-domain*. Les résultats montrent enfin que l'approche d'instrumentation proposée ne ralentit pas la vitesse de simulation (seulement 0,03% d'augmentation).

Ces différents travaux se sont déroulés dans le cadre du projet collaboratif ANR HELP. Une suite à ces travaux est en cours dans le cadre du projet ANR HOPE dans lequel on se propose d'étudier et développer, entre autres, des modèles SystemC-TLM des composants de contrôle liés à puissance, l'horloge et le reset. Un des objectifs du projet HOPE consiste également à permettre une évaluation précise de la dynamique de la consommation de puissance et de la température de la solution, mais aussi de faciliter l'exploration de l'espace de solutions par une approche dirigée par les modèles (*Model Driven Engineering – MDE*).

Afin de mener à bien ces travaux, 2 doctorantes (dont une en cours) et 6 stagiaires ingénieur ou de Master ont participé à ce projet. Les travaux menés au sein de cet axe de recherche ont conduit à 10 publications scientifiques (2 revues [1] [3], 5 conférences internationales [18] [22] [27] [31] [34] et 3 conférences nationales [56] [61] [65]). De plus, l'article présenté à la conférence internationale PATMOS [31] a reçu un *Best Papers awards*.

3.3.3. Axe 3 : Modélisation et optimisation globale en énergie d'objets communicants autonomes

La consommation d'énergie et l'autonomie sont des problématiques majeures des objets communicants tels que les réseaux de capteurs sans fil. Grâce aux évolutions technologiques au niveau matériel, la consommation des circuits numériques, analogiques et RF ne cesse peu ou prou de baisser. La demande, en termes de nouveaux services (niveau applicatif) opère en sens inverse imposant de plus en plus de traitements et donc de consommation de puissance pour les nœuds. L'ensemble des techniques de gestion de la consommation de puissance (*power management*) est un élément central de l'architecture d'un nœud de réseaux de capteurs. La récupération d'énergie est également une technologie très prometteuse, car elle répond à de nombreux besoins techniques, économiques, environnementaux et sociétaux. Cette technologie remet néanmoins en question le problème de la gestion de la consommation d'énergie et de l'autonomie. En effet, les politiques de gestion de la consommation se basent sur un équilibre énergétique entre d'une part l'énergie consommée, et d'autre part l'énergie récupérée par le nœud. Afin d'étudier la problématique de la gestion de la consommation dans les réseaux de capteurs sans fil avec récupération d'énergie, nous nous sommes appuyés sur un ensemble de modèles et de techniques de simulation qui permet d'analyser le système dans différentes configurations, rapidement et avec précision.

Dans le cadre de la thèse d'Andréa Castagnetti, nous avons développé une approche de modélisation comportementale afin de modéliser le récepteur, le transmetteur et le canal de communication sans fil en se plaçant au niveau liaison de communication. Contrairement à la modélisation physique (niveau dispositifs), avec ce type d'approche on ne simule pas le comportement interne du système, ce qui nous permet d'avoir un temps de simulation réduit et une précision satisfaisante. Nous avons comparé les résultats de simulation à des mesures collectées lors de tests sur le terrain et ceci nous a permis de vérifier la validité de nos modèles. Pour pouvoir simuler de façon efficace le système de récupération d'énergie, la batterie et le power manager, des modèles de haut niveau ont été développés. Ces modèles sont basés sur l'équilibre de charge électrique entre le système de récupération d'énergie, la batterie et le nœud qui représente le consommateur. Les modèles ont été validés expérimentalement sur la plateforme de Texas Instruments EZ430 dotée d'un panneau solaire. Sur la base de ces modèles, nous avons proposé alors deux nouvelles techniques de power management: un mode Open-Loop power manager (OL-PM) et un mode Closed-Loop power manager (CL-PM). Le power manager surveille la quantité d'énergie récupérée et l'état de charge de la batterie. En fonction de ces deux paramètres, il change la performance et donc la consommation du nœud, pour assurer, quand cela est possible, l'équilibre énergétique. Les power managers ont été validés en simulation en utilisant des données de récupération d'énergie réelles. La comparaison avec une technique de power management classique présentée dans la littérature montre que nos power managers permettent une amélioration du débit de près de 50% tout en assurant une continuité de fonctionnement. Nous avons également proposé une approche permettant le dimensionnement conjoint optimisé de la batterie et du panneau solaire.

Ces travaux ont également conduit à la définition d'une technique globale de gestion de la consommation d'énergie. En tenant compte de la récupération d'énergie et de la qualité du canal de communication, notre approche gère simultanément la période de réveil du nœud et la puissance d'émission. Nous avons adapté une technique de contrôle de la puissance d'émission présentée en littérature, appelée ATPC (*Adaptive Transmission Power Control*), à notre modèle de simulation. Dans le cas d'étude que nous avons choisi pour tester le power manager, un nœud mobile équipé d'un panneau solaire se déplace à vitesse constante, en s'éloignant et en se rapprochant, de la station de base. Le power manager s'adapte dynamiquement aux conditions du canal de communication et choisit une puissance d'émission qui permet de communiquer avec la station de base tout en minimisant la consommation d'énergie. Nous avons proposé une technique innovante de gestion de la puissance d'émission appelée PTPC (*Predictive-Transmission-Power-Control*) qui permet d'optimiser les performances du système pour des nœuds mobiles. Les résultats de simulation montrent que pour une vitesse de 0.5 m/s le débit fourni par PTPC est environ 5 fois supérieur par rapport à ATPC. Ces résultats de simulation ont par la suite été validés sur la plateforme matérielle

PowWow développée par l'IRISA de Lannion avec qui nous collaborons. Ces travaux ont été soumis en novembre 2012 une revue IEEE Transactions [6] et sont actuellement en cours de révision.

Les travaux de thèse de Trong-Nhan Le (en Co-direction avec l'équipe CAIRN de l'IRISA Lannion) concernent également la gestion optimisée de la consommation d'énergie pour des objets communicants dotés d'un système de récupération d'énergie. Cependant, le système de stockage de l'énergie n'est plus une batterie (typiquement Lithium) mais une super capacité. L'avantage de la super capacité (par rapport à une batterie) réside, entre autres, dans la possibilité de connaître parfaitement son état de charge en mesurant la tension à ses bornes. Puisque seule la connaissance de la tension est nécessaire pour connaître la quantité d'énergie récupérée, il est alors possible de concevoir un système totalement indépendant du type de récupérateur utilisé (solaire, éolien, thermique, piézoélectrique...), ce qui représente une réelle originalité de cette approche. Il est cependant nécessaire de normaliser les sorties en tension et courant des différents récupérateurs.

Sur la base de la connaissance de l'état de charge, nous avons développé une architecture matérielle basée sur un *power monitor*. Ce dernier est capable de fournir en temps réel l'énergie actuellement stockée, l'énergie récupérée et l'énergie consommée par l'objet. A partir de ces informations, un *power manager* de faible complexité algorithmique a été développé afin d'adapter dynamiquement la période de réveil du nœud tout en garantissant un mode de fonctionnement en neutralité énergétique, soit une performance maximum du système. La neutralité énergétique garantit que l'énergie consommée est, en moyenne, égale à l'énergie récupérée (*Energy Neutral Operation – ENO*). Des modèles de haut niveau d'abstraction ont ainsi été définis pour les différentes variables entrant dans l'équation de neutralité énergétique. Pour l'énergie consommée par exemple, des mesures ont été effectuées sur une plateforme réelle afin de caractériser les différentes activités du nœud, ceci sur la base de scénarios prédéfinis par le protocole de communication (RICER dans notre cas). Le rendement du convertisseur DC-DC a également été caractérisé et est pris en compte au niveau de l'énergie consommée.

De nombreuses validations des modèles et des politiques de gestion de la consommation ont été effectuées à la fois en simulation et sur la plateforme matérielle PowWow. L'avantage de la simulation est bien évidemment la possibilité de simuler des scénarios très longs (plusieurs semaines voire plusieurs années) en seulement quelques minutes. L'utilisation de la plateforme PowWow représente une réelle plus value à nos travaux, puisque très souvent les résultats présentés dans la littérature dans ce domaine le sont uniquement en simulation. Nous avons effectué des expérimentations en utilisant 2 types de récupérateurs d'énergie : solaire et thermique. Dans les deux cas, les résultats montrent que l'architecture mise en place, les modèles proposés et les politiques de gestion de la consommation (i.e. *power manager*), nous permettent d'adapter efficacement la période de réveil du nœud (i.e. sa qualité de service (QoS)) en fonction de la quantité d'énergie récupérée.

Les travaux de thèse de Chiraz Chaabane (en Cotutelle avec l'équipe ReDCAD de l'Université de Sfax en Tunisie) concernent la gestion optimisée en consommation et en latence de nœuds mobiles au sein d'un réseau 802.15.4/ZigBee. De nombreuses techniques ont été développées pour une gestion efficace de la mobilité (ou itinérance), pour le GSM ou le Wifi par exemple. Cependant, très peu d'attention a été portée par la communauté pour les réseaux personnels sans fils (WPAN). Or, la mobilité n'est pas gérée de manière efficace par le standard 802.15.4. En effet, beaucoup d'énergie est gaspillée lorsqu'un nœud doit effectuer un changement de cellule (choix du nouveau coordinateur). En fait, un nœud mobile associé à un coordinateur ne connaît pas les autres coordinateurs qui se trouvent dans la même zone. De plus, la gestion de la mobilité dans la norme ne prend pas en considération la topologie réseau.

L'approche proposée consiste à la fois à anticiper le changement de cellule avant la perte du lien radio et à effectuer une sélection spéculative du prochain coordinateur. Le changement de coordinateur est déclenché lorsque la qualité du signal mesurée sur la voie balise et caractérisée par le paramètre LQI (*Link Quality Indicator*) dans notre cas, devient inférieure à un seuil appelé $LQI_{\text{thresohld}}$. Dans ce cas, une procédure de changement de cellule est initiée afin d'éviter des scans

réseaux coûteux en consommation et en latence. Un paramètre (β) permet d'ajuster le seuil de déclenchement de la procédure de changement de coordinateur.

La procédure proposée pour anticiper le changement de cellule dans le cas de nœuds mobiles s'appuie sur une topologie réseau en arbre. De plus, l'algorithme spéculatif déterminant le choix du prochain coordinateur pour un nœud mobile est exécuté au niveau d'un super coordinateur (SC). En effet, seul ce dernier connaît les positions géographiques des coordinateurs. Cette information lui permet de proposer de manière spéculative le choix d'un prochain coordinateur pour le nœud mobile. De manière très synthétique, le choix du prochain coordinateur se base sur les informations suivantes:

- les positions géographiques des coordinateurs (cette information est stockée dans une matrice N_t),
- le précédent coordinateur pour le nœud mobile (cette information est stockée dans un vecteur ($hist[M]$) pour chaque nœud M du réseau),
- la route actuelle du nœud mobile (cette information est stockée dans un vecteur ($rd[M]$) pour chaque nœud M du réseau).

L'approche proposée tend par ailleurs à favoriser le mouvement des nœuds sur une même route. Une des difficultés du protocole proposé est de garantir la transmission de l'identifiant du nouveau coordinateur d'association avant la perte du lien. Cette transmission dépend à la fois du paramètre β , mais aussi de la vitesse du mobile, du nombre de nœud mobile et de la qualité du lien radio.

Cette approche originale a été implémentée et testée sur le simulateur de réseau Ns-2 (la topologie réseau ainsi que le routage basé sur l'adressage hiérarchique a d'ailleurs nécessité des modifications importantes du simulateur). Différentes expérimentations ont été menées afin de valider l'approche proposée pour différents cas d'études, divers modèles de mobilités (*Random way-point*, *Gauss-Markov et Manhattan*) ainsi que différentes valeurs de paramètres comme la vitesse et le nombre de nœuds, les probabilités de tourner, etc. Les différentes mesures en consommation et en délai ont été comparées avec celles obtenues en utilisant la procédure standard du protocole 802.15.4. Les résultats montrent des gains en énergie et en délai très significatifs. Avec le modèle de mobilité Manhattan par exemple, les gains atteignent 72% en énergie et 75% pour le délai.

Ces travaux se déroulent dans le cadre du projet collaboratif ANR GRECO.

Afin de mener à bien l'ensemble des travaux, 3 doctorants (dont deux en cours), un post-doc, 4 stagiaires ingénieur ou de Master et 2 ingénieurs d'étude ont participé à ce 3^{ème} axe de recherche. Au cours de sa thèse, Chiraz Chaabane a par ailleurs été invitée au *Department of Computer Science and Engineering of the Hong Kong University of Science and Technology* (sous la direction du Pr. Mounir Hamdi) pour un séjour scientifique de 5 mois (de septembre 2012 à janvier 2013).

Les travaux menés au sein de cet axe de recherche ont conduit à 25 publications scientifiques (1 revue [2] (1 revue IEEE Trans. est en cours de révision [6]), 15 conférences internationales [12] [13] [14] [15] [16] [17] [19] [20] [21] [23] [26] [28] [29] [32] [47], 6 conférences nationales [54] [57] [58] [59] [62] [64], ainsi que 3 conférences invitées [9] [10] [11]).

3.4. Encadrements de travaux de recherches

Cette partie concerne les activités d'encadrement de travaux de recherche, à savoir :

- Encadrement de Post-Doc
- Encadrement de Thèses
- Encadrement d'ingénieurs
- Encadrement de stages de niveau Master et d'élèves ingénieurs

3.4.1. Co-encadrement de post-doctorat

Antoine COURTAY - Financement du Conseil Scientifique de l'UNS

Etude de la modélisation de la consommation d'énergie dans les systèmes mobiles communicants : vers une approche globale

Septembre 2009 / Août 2010

En Co-direction (50%) avec le DR CNRS Michel Auguin (50%)

Résumé : *il existe de nombreux travaux et techniques visant à réduire la consommation d'énergie dans les systèmes embarqués, mais ces travaux ont une portée souvent « locale ». On peut citer les travaux relatifs au niveau technologique, ceux qui s'intéressent à la consommation du ou des processeurs embarqués, ou de la hiérarchie mémoire, ou encore la consommation des parties analogiques et RF. Tous ces travaux montrent que des optimisations sont possibles, et certaines déjà réalisées, mais un des points clés est d'identifier les gains réels en énergie obtenus lorsque ces techniques sont utilisées simultanément et les effets mutuels qu'elles impliquent sur la consommation globale du système.*

Cette problématique a été appliquée aux nœuds d'un réseau de capteurs sans fils basé sur le protocole 802.15.4/ZigBee. Après une étude de l'état de l'art, les travaux ont consisté à définir des modèles de haut niveau pour l'ensemble des composants d'un nœud. Pour cela, une caractérisation en consommation d'une plateforme existante (iMote2) a été utilisée. Un modèle du circuit RF a été intégré à un simulateur de réseau (Ns-2) afin d'en valider la pertinence lorsque les nœuds communiquent entre eux. Les résultats montrent, pour différentes configurations réseaux et divers scénarios d'une application audio, que le modèle proposé permet d'obtenir des estimations de consommation d'énergie très proches des mesures réalisées sur la plateforme matérielle. Les expérimentations ont également permis de montrer l'intérêt d'une approche globale pour une gestion optimisée de la consommation.

Situation actuelle de Antoine Courtay: Maître de Conférences à l'ENSSAT, Université de Rennes 1, Laboratoire IRISA

3.4.2. Co-encadrements de doctorants

Depuis 2008 j'ai co-encadré 6 thèses. Trois thèses ont été soutenues, respectivement en 2012 et 2013. Trois thèses sont actuellement en cours dont une en co-tutelle avec la Tunisie.

Andréa CASTAGNETTI – Bourse MESR

Etude de la gestion de l'autonomie en énergie d'objets communicants sans fil

Thèse soutenue le 11 octobre 2012

En Co-direction (40%) avec le DR CNRS Michel Auguin (30%) et la Mcf. HDR C. Belleudy (30%)

Résumé : *la consommation d'énergie et l'autonomie sont des problématiques majeures dans les réseaux de capteurs sans fil. Afin d'étudier ces problématiques, nous nous sommes appuyés sur un ensemble de modèles et de techniques de simulation qui permet d'analyser le système dans différentes configurations, rapidement et avec précision. Nous avons utilisé une approche de modélisation comportementale pour modéliser le récepteur, le transmetteur et le canal de communication sans fil et on se place au niveau liaison de communication, ce qui nous permet*

d'avoir un temps de simulation réduit et une précision satisfaisante. Nous avons comparé les résultats de simulation à des résultats expérimentaux collectés lors de tests sur le terrain et ceci nous a permis de vérifier la validité de nos modèles.

Pour pouvoir simuler de façon efficace le système de récupération d'énergie, la batterie et le power manager, des modèles de haut niveau ont été développés. Ces modèles sont basés sur l'équilibre de charge électrique entre le système de récupération d'énergie, la batterie et le nœud. Sur la base de ces modèles, nous avons proposé deux techniques innovantes de power management. En fonction de la quantité d'énergie récupérée et l'état de charge de la batterie, le power manager change la performance et donc la consommation du nœud, pour assurer, quand cela est possible, l'équilibre énergétique. La comparaison avec une technique de power management présentée dans la littérature montre que nos power managers permettent une amélioration du débit de près de 50%. Les travaux concernent également une technique globale de gestion de la consommation d'énergie. Cette approche prend en compte la récupération d'énergie et le canal de communication et gère simultanément la période de réveil du nœud et la puissance d'émission. Nous avons proposé une technique de gestion de la puissance d'émission appelée PTPC (Predictive-Transmission-Power-Control). Les résultats de simulation montrent que pour une vitesse de 0.5 m/s le débit fourni par PTPC est environ 5 fois supérieur par rapport à une technique de contrôle de la puissance d'émission présentée dans la littérature.

Composition du jury :

Christian Piguet (*Professeur, École Polytechnique Fédérale de Lausanne, Rapporteur*)

Rodolphe Vauzelle (*Professeur, Université de Poitiers, Rapporteur*)

Hervé Guyennet (*Professeur, Université de Franche-Comté, Président de jury*)

Alain Pegatoquet (*Maître de Conférences, Université de Nice Sophia Antipolis, Examineur*)

Michel Auguin (*Directeur de Recherche CNRS, LEAT, Directeur de thèse*)

Cécile Belleudy (*Maître de Conférences, Université de Nice Sophia Antipolis, Co-directrice*)

Mention très honorable

Situation actuelle de Andréa Castagnetti : Post-doc au CEA-LIST Saclay, équipe Nano-INNOV

Joffrey KRIEGEL – CIFRE THALES Communications and Security

Caractérisation de la performance temporelle et de la consommation électrique de systèmes embarqués basés sur des plateformes multiprocesseurs/cœurs et mettant en œuvre du logiciel temps réel

Thèse soutenue le 29 janvier 2013

En Co-direction (50%) avec le DR CNRS Michel Auguin (50%)

Résumé : *la multiplication des plateformes embarquées disponibles sur le marché rend de plus en plus complexe le choix d'une plate-forme pour un produit. L'arrivée des architectures multiprocesseurs augmente encore plus ce phénomène. Dans le contexte industriel actuel, il est nécessaire de disposer d'une méthodologie et des outils associés permettant d'évaluer rapidement ces plateformes et celles qui apparaîtront dans le futur sur le marché afin de faire des choix tôt dans le cycle de conception des produits. Précédemment, il était nécessaire d'attendre l'arrivée sur le marché de plateformes de test afin d'exécuter sur ces dernières des benchmarks et des applications afin d'évaluer leur performance et leur consommation.*

Les travaux réalisés durant cette thèse concernent une méthodologie et les outils associés permettant de modéliser un système (logiciel et matériel) puis d'estimer ses performances et sa consommation d'énergie. Notre méthodologie s'appuie sur des modèles abstraits, simples à mettre en œuvre utilisant uniquement des informations présentes dans les documents techniques des constructeurs. Notre approche permet également une exécution rapide des scénarios de test et offre la possibilité de faire de l'exploration d'architectures. En effet, dans l'approche proposée la simulation s'appuie sur du code exécutable généré automatiquement, ce qui permet une exécution en natif sur un ordinateur. Nous avons procédé à diverses validations en utilisant des applications variées

(décodeur H.264, application radio, benchmarks classiques, ...) et en comparant les performances et la consommation estimée avec les valeurs mesurées sur des plateformes réelles (OMAP3/4, i.MX6, QorIQ, ...). Ces expérimentations ont permis d'évaluer l'erreur d'estimation de l'outil développé lors de cette thèse (FORECAST) et ainsi de s'assurer que le taux d'erreur reste dans des bornes admissibles, c'est-à-dire inférieure à 20%. Nous avons d'autre part comparé notre approche avec celles développées dans deux autres projets, OpenPeople (ANR) et COMCAS (Catrene), afin de s'assurer de la pertinence du rapport effort/précision de notre approche.

Composition du jury :

Daniel Chillet (*Maître de Conférences HDR, Université de Rennes 1, Rapporteur*)
Frédéric Petrot (*Professeur des Universités, TIMA, ENSIMAG, Rapporteur*)
François Verdier (*Professeur des Universités, UNS, Président du jury*)
Michel Auguin (*Directeur de Recherche CNRS, LEAT, Directeur de thèse*)
Alain Pegatoquet (*Maître de Conférences, Université de Nice Sophia Antipolis, Co-Directeur*)
Florian Broekaert (*Ingénieur, THALES Communications and Security, Tuteur industriel*)
Agnès Fritsch (*Ingénieur, THALES Communications and Security, Invitée*)

Mention très honorable

Situation actuelle de Joffrey Kriegel : CDD au CEA-LIST, Interactive Robotics Laboratory

Ons MBAREK - Contrat ANR HELP

Une approche de modélisation au niveau système pour la conception et la vérification de systèmes sur puce à faible consommation

Thèse soutenue le 30 mai 2013

En Co-direction (50%) avec le DR CNRS Michel Auguin (50%)

Résumé : une solution de gestion de puissance d'un système sur puce peut être définie par une architecture de faible puissance composée de multiples domaines d'alimentation et de leur stratégie de gestion. Si ces deux éléments sont économes en énergie, une solution efficace en énergie peut être obtenue. Cette approche nécessite l'ajout d'éléments structurels de puissance et de leurs comportements. Une stratégie de gestion doit respecter les dépendances structurelles et fonctionnelles dues au placement physique des domaines d'alimentation. Cette relation forte entre l'architecture et sa stratégie de gestion doit être analysée tôt dans le flot de conception pour trouver la solution de gestion de puissance la plus efficace. De récentes normes de conception basse consommation ont défini des sémantiques pour la spécification, la simulation et la vérification d'architecture de faible puissance au niveau transfert de registres (RTL). Cependant, elles manquent d'une sémantique d'interface de gestion des domaines d'alimentation réutilisables ce qui alourdit l'exploration de l'espace de conception. De plus, leurs sémantiques de niveau RTL ne sont pas utilisables au niveau transactionnel pour une exploration plus rapide et facile.

Pour combler ces lacunes, cette thèse étend ces normes et fournit une étude complète des possibilités d'optimisation de puissance basées sur la composition et la gestion des domaines d'alimentation pour des modèles fonctionnels transactionnels utilisant un environnement unifié appelé USLPAF (Unified System-Level Power-Aware Framework). Cet environnement comprend une méthodologie alliant conception et vérification des modèles transactionnels de faible consommation, ainsi qu'une bibliothèque regroupant des techniques de modélisation et des fonctions prédéfinies pour appliquer cette méthodologie.

Composition du jury :

Robert De Simone (*Directeur de Recherche INRIA, Président*)
Frédéric Rousseau (*Professeur des Universités, TIMA, Polytech Grenoble, Rapporteur*)
Jean-Didier Legat (*Professeur, Université Catholique de Louvain, Rapporteur*)
Michel Auguin (*Directeur de Recherche CNRS, LEAT, Directeur de thèse*)
Florence Maraninchi (*Professeur des Universités, VERIMAG, INP Grenoble, Examinatrice*)

Alain Pegatoquet (*Maître de Conférences, Université de Nice Sophia Antipolis, Examineur*)

Mention très honorable

Situation actuelle de Ons Mbarek : CDD au LEAT sur contrat ANR HOPE

Chiraz CHAABANE – Bourse AVERROES et contrat COMCAS

Système embarqué autonome en énergie pour objets communicants mobiles

Soutenance prévue pour le 4^{ème} trimestre 2013

En Co-direction (50%) avec le DR CNRS Michel Auguin (25%) et le Ass. Pr. Maher BEN JEMAA (25%).

Le TRONG-NHAN - Contrat ANR GRECO

Système de gestion globale de l'énergie pour objets communicants sans fils autonomes

Soutenance prévue pour le 1^{er} trimestre 2014

En Co-direction (40%) avec le Pr. Olivier Sentieys (30%) et le Mcf. HDR Olivier Berder (30%).

Hend AFFES - Contrat ANR HOPE

Approche de conception par modélisation au niveau transactionnel d'architectures et du contrôle de systèmes sur puce optimisés en énergie

Soutenance prévue en 2015

En Co-direction (50%) avec le Directeur de Recherche CNRS Michel Auguin (50%)

3.4.3. Encadrements d'ingénieur

Laurent Brossier (Octobre 2011 – Mars 2012)

Simulation d'un réseau de capteurs sans fils modélisé au niveau transactionnel (SystemC/TLM) avec OMNET++.

CDD ingénieur d'études de 6 mois dans le cadre du projet collaboratif ANR GRECO.

Adrien Mastromarino (Avril 2013 – Janvier 2014)

Co-simulation d'une communication audio entre des nœuds d'un réseau de capteurs sans fils modélisés au niveau transactionnel (SystemC-TLM) avec OMNET++.

CDD ingénieur d'études de 10 mois dans le cadre du projet collaboratif ANR GRECO.

3.4.4. Encadrements d'étudiants de Master et d'élèves ingénieurs

Depuis le début de mes activités de recherche, j'ai encadré 3 étudiants en Master ainsi que 12 élèves ingénieurs. Les travaux de ces étudiants en stage sont au cœur de mes thématiques de recherche.

Bouhleb Fadia (Juin - Octobre 2012)

Etude et développement d'une plateforme audio dans un réseau de capteurs sans fil.

Ecole Nationale d'Ingénieurs de Sousse (Tunisie)

Ameni Khecharem (Avril 2011 – Septembre 2011)

Utilisation de l'ingénierie des modèles pour accélérer le stage de spécification de l'intention de puissance pour un modèle de système sur puce.

Ecole Nationale d'Ingénieurs de Sfax (Tunisie)

Co-encadrement (50%) avec Michel Auguin.

Houssein Eddine Fathallah (Mars 2011 - Août 2011)

Validation d'une approche hiérarchique de gestion de la consommation d'énergie dans une plateforme virtuelle modélisée au niveau transactionnel.

Ecole Nationale d'Ingénieurs de Sousse (Tunisie)

Stage en collaboration avec la plateforme conception CIM-PACA

Olfa Ouni (Avril 2011 – Septembre 2011)

Modélisation et simulation de la consommation d'énergie appliquée à des objets mobiles communicants.

Ecole Nationale d'Ingénieurs de Monastir (Tunisie)

Laurent Brossier (Avril 2011 – Septembre 2011)

Modélisation et simulation d'un réseau de capteurs sans fils

Ecole Polytech Nice-Sophia, Filière Electronique

Chaabane Chiraz (Juin - Septembre 2009)

Evaluation de différentes alternatives de réseaux sans fil à basse consommation d'énergie supportant des nœuds mobiles

Master Multimédia, Bases de Données et Intégration de Systèmes (MBDS) de l'Université de Nice Sophia Antipolis.

Frédéric Nguyen (Avril - Septembre 2009)

Virtual platforms and smart simulation

Master TSM (Télécommunications et Systèmes Microélectroniques) de l'Université de Nice Sophia Antipolis

Stage en collaboration avec la plateforme conception CIM-PACA

Jabran Khan (Avril - Septembre 2009)

Validate the functioning of the IP-room environment and verify the conformity of models of IP in relation to the IP-XACT standard.

Master TSM (Télécommunications et Systèmes Microélectroniques) de l'Université de Nice Sophia Antipolis

Stage en collaboration avec la société Synopsys de Sophia Antipolis.

Mohamed Ben Farhat (Mars – Août 2008)

Etude d'algorithmes de décodage itératif (i.e. list-viterbi) pour les vocodeurs GSM et conception d'un simulateur de trames pour application voix sur IP.

Ecole Nationale Supérieure d'Electronique, Informatique et Radiocommunications de Bordeaux (ENSEIRB)

Vivien Leng (Octobre 2006 – Juin 2007)

Simulation d'un code de niveau L1 pour application GSM/GPRS/EGPRS sur plateformes virtuelles.

Polytech Nice-Sophia Antipolis, Filière Electronique

Jean Trivelly (Janvier – Juin 2006)

Etude de solutions pour la simulation de code L1 pour application 2.5G.

Polytech Nice-Sophia Antipolis, Filière Electronique

Olivier Gazzano (Janvier – Juin 2002)

Conception et réalisation d'algorithmes de reconnaissance de la parole pour la téléphonie mobile.

Polytech Nice-Sophia Antipolis, Filière Electronique

Arnaud Mellier (Janvier – Juin 1999)

Codage d'un décodeur audio AC-3 sur le OakDSPCore basé sur l'utilisation d'estimations logicielles (VESTIM).

ENSERG Grenoble

Olivier Sohier (Janvier – Juin 1998)

Implémentation de l'outil VESTIM sur des plateformes Unix et Windows.

Polytech Nice-Sophia Antipolis, Filière Electronique

Rémy Marcel (Janvier – Juin 1997)

Codage de l'algorithme de compression de la parole G.728 sur le OakDSPCore.

Polytech Nice-Sophia Antipolis, Filière Electronique

3.5. Responsabilités scientifiques

Cette partie présente les responsabilités scientifiques que j'ai pu prendre pendant mes activités de recherche.

3.5.1. Participation à des jury de thèse

J'ai participé à quatre jurys de thèse en tant que Co-Directeur et examinateur, trois à l'Université de Nice Sophia Antipolis et un à l'Université de Rennes 1.

Muhammad Mahtab Alam

Power Aware Adaptive Techniques for Wireless Sensor Networks

Thèse de doctorat de l'Université de Rennes 1, soutenue le 26 février 2013

Composition du jury :

Daniel Ménard (*Professeur des Universités, INSA de Rennes, Président de jury*)

Olivier Sentieys (*Professeur des Universités, Université de Rennes 1, Directeur de thèse*)

Olivier Berder (*Maître de Conférences, Université de Rennes 1, Co-Directeur de thèse*)

Tanguy Risset (*Professeur des Universités, INSA Lyon, Rapporteur*)

Emanuel Popovici (*Professeur, Université de Cork, Rapporteur*)

Alain Pegatoquet (*Maître de Conférences, Université de Nice Sophia Antipolis, Examinateur*)

Mention très honorable

Andréa CASTAGNETTI

Etude de la gestion de l'autonomie en énergie d'objets communicants sans fil

Thèse de doctorat de l'Université de Nice Sophia Antipolis, soutenue le 11 octobre 2012

Composition du jury :

Christian Pigué (*Professeur, École Polytechnique Fédérale de Lausanne, Rapporteur*)

Rodolphe Vauzelle (*Professeur des Universités, Université de Poitiers, Rapporteur*)

Hervé Guyennet (*Professeur des Universités, Université de Franche-Comté, Président de jury*)

Michel Auguin (*Directeur de Recherche CNRS, LEAT, Directeur de thèse*)

Cécile Belleudy (*Maître de Conférences, Université de Nice Sophia Antipolis, Co-directrice*)

Alain Pegatoquet (*Maître de Conférences, Université de Nice Sophia Antipolis, Examinateur*)

Mention très honorable

Joffrey KRIEGEL

Caractérisation de la performance temporelle et de la consommation électrique de systèmes embarqués basés sur des plateformes multiprocesseurs/cœurs et mettant en œuvre du logiciel temps réel

Thèse de doctorat de l'Université de Nice Sophia Antipolis, soutenue le 29 janvier 2013

Composition du jury :

Daniel Chillet (*Maître de Conférences HDR, Université de Rennes 1, Rapporteur*)

Frédéric Petrot (*Professeur des Universités, TIMA, ENSIMAG, Rapporteur*)

François Verdier (*Professeur des Universités, UNS, Président du jury*)

Michel Auguin (*Directeur de Recherche CNRS, LEAT, Directeur de thèse*)

Alain Pegatoquet (*Maître de Conférences, Université de Nice Sophia Antipolis, Co-Directeur*)

Florian Broekaert (*Ingénieur, THALES Communications and Security, Tuteur industriel*)

Agnès Fritsch (*Ingénieur, THALES Communications and Security, Invitée*)

Mention très honorable

Ons MBAREK

Une approche de modélisation au niveau système pour la conception et la vérification de systèmes sur puce à faible consommation

Thèse de doctorat de l'Université de Nice Sophia Antipolis, soutenue le 30 mai 2013

Composition du jury :

Robert De Simone (*Directeur de Recherche INRIA, Président de jury*)

Frédéric Rousseau (*Professeur des Universités, TIMA, Polytech Grenoble, Rapporteur*)

Jean-Didier Legat (*Professeur, Université Catholique de Louvain, Rapporteur*)

Michel Auguin (*Directeur de Recherche CNRS, LEAT, Directeur de thèse*)

Florence Maraninchi (*Professeur des Universités, VERIMAG, INP Grenoble, Examinatrice*)

Alain Pegatoquet (*Maître de Conférences, Université de Nice Sophia Antipolis, Examineur*)

Mention très honorable

3.5.2. Participation à des comités de programme et d'organisation de conférences

- Je suis actuellement membre du Comité d'Organisation de la 21^{ème} conférence internationale Real-Time and Network Systems (RTNS), organisée à l'INRIA de Sophia-Antipolis, du 16 au 18 octobre 2013. J'ai pris entre autres la responsabilité de la création et la gestion du site Web (<http://leat.unice.fr/RTNS2013>).
- J'étais membre du Comité de Programme du 3^{ème} Workshop on Ultra-Low Power Sensor Networks (WUPS) organisé conjointement avec la conférence ARCS (Architecture of Computing Systems), Prague, République Tchèque, 20 Février 2013.
- J'étais membre du Comité d'Organisation de l'Ecole thématique COncception FAible Consommation (ECOFAC) pour les systèmes embarqués temps réel. Cette école a été organisée à la Colle sur Loup du 21 au 25 mai 2012. J'ai pris entre autres la responsabilité de la création et la gestion du site Web (<http://leat.unice.fr/ECofaC2012/>).

3.5.3. Participation à des comités de lecture de conférences

- **Comité de lecture de conférences nationales :**
 - Manifestation des JEunes Chercheurs en Sciences et Technologies de l'Information et de la Communication (Majestic 2010)
- **Comité de lecture de conférences internationales et nationales :**
 - IEEE International Conference on Design and Architectures for Signal & Image Processing (DASIP 2010)
 - International Conference on Reconfigurable Computing and FPGA (Reconfig 2010)
 - Workshop on Ultra-Low Power Sensor Networks (WUPS 2013)
 - IEEE International New Circuits and Systems Conference (NEWCAS 2013)
 - IEEE International symposium on Personal, Indoor and Mobile Radio Communications (PIMRC 2013).
 - IEEE International Conference on Electronics, Circuits and Systems (ICECS 2013).

3.5.4. Expertise scientifique pour l'ANRT

En 2009, j'ai été sollicité par l'ANRT afin d'expertiser un dossier de demande de convention CIFRE (référence N°331/2009).

3.6. Diffusion des connaissances et publications

Mes activités de recherche ont donné lieu à un certain nombre de publications scientifiques. La liste de ces publications est donnée dans cette partie.

3.6.1. Thèse de doctorat

Thèse de doctorat soutenue le 27 octobre 1999 à l'Université de Nice Sophia Antipolis

Méthode d'estimation de performance logicielle : application au développement rapide de code optimisé pour une classe de processeurs DSP.

Directeur de thèse : Michel Auguin (Directeur de Recherche CNRS)

Composition du jury :

Daniel Dours	Professeur à l'Université Paul Sabatier	Président - Rapporteur
Jean-Luc Philippe	Professeur à l'Université de Bretagne Sud	Rapporteur
François Charot	Chargé de Recherche INRIA	Rapporteur
Michel Auguin	Directeur de Recherche CNRS	Directeur de thèse
Emmanuel Gresset	Responsable Software R&D de VLSI Technology	Membre invité
Cécile Belleudy	Maître de Conférences, I3S Nice	Membre invité

3.6.2. Journaux et Revues avec comité de lecture (5)

- [1] O. Mbarek, A. Pegatoquet and M. Auguin, *Power Domain Management Interface: Flexible Protocol Interface for Transaction-Level Power Domain Management*, IET Computers & Digital Techniques Journal, Volume 7, Issue 4, pp. 155-166, July 2013.
- [2] Andrea Castagnetti, Alain Pegatoquet, Cécile Belleudy and Michel Auguin, *A Framework for Modeling and Simulating Energy Harvesting WSN nodes with Efficient Power Management Policies*, EURASIP Journal on Embedded Systems (JES), pp. 1-20, October 16th, 2012.
- [3] O. Mbarek, A. Pegatoquet and M. Auguin, *Using unified power format standard concepts for power-aware design and verification of systems-on-chip at transaction level*, IET Circuits, Devices & Systems journal, Vol. 6, Issue 5, pp. 287-296, 2012.
- [4] H. Ben Fradj, C. Belleudy, M. Auguin, A. Pegatoquet – *Low power main memory configuration and tasks allocation*, Journal of Low Power Electronics (JOLPE), pp. 149-157, August 2008.
- [5] G. Gogniat, M. Auguin, L. Bianco, A. Pegatoquet – *A Codesign Back End Approach for Embedded System Design*, ACM Transaction on Design Automation for Embedded Systems, vol. 5, No 3, pp. 492-509, July 2000.

En cours de révision

- [6] Andrea Castagnetti, Alain Pegatoquet and Michel Auguin, *A Joint Duty-Cycle and Transmission Power Management for Energy Harvesting WSN*, IEEE Transactions on Industrial Informatics Journal, special section "Industrial Wireless Sensor Networks".

3.6.3. Brevets internationaux (2)

- [7] A. Pegatoquet, M. Auguin, O. Sohier, *Assembly Code Performance Evaluation apparatus and method*, Philips Semiconductors/VLSI Technology, Patent n° US6598221, 22 Jul. 2003.
- [8] A. Pegatoquet, M. Auguin, O. Sohier, *Apparatus and method for annotating an intermediate representation of an application source code*, Philips Semiconductors/VLSI Technology, Patent n° US6643630, 4 Nov. 2003.

3.6.4. Conférences invitées (3)

- [9] A. Pegatoquet, *Power Management Techniques for Autonomous Wireless Communicating Objects*, Power Autonomous Communicating Objects (PACO) Conference, Gardanne / Aix en Provence, October 24-25, 2013.
- [10] A. Pegatoquet and O. Sentieys, *GRECO : Power Management and Protocol-Level Energy Reduction Techniques*, Ecole Thématique Conception Faible Consommation (EcoFac), La Colle sur Loup, 21-25 mai 2012.
- [11] Alain Pegatoquet, *GRECO (Green communicating object): preliminary studies for autonomous system*, Journée du GDR SoC-SiP, axe Consommation et Energie, Campus de Jussieu, Paris, 17 mai 2011.

3.6.5. Conférences internationales avec comité de lecture et actes (35)

- [12] Agnès Fritsch, Florian Broekaert, Alain Pegatoquet and Fabien Gaben, *Monitoring of systems powered by new micro-batteries and energy harvesters: towards the Energy Neutral Operation (ENO)*, European Defense Agency (EDA) - Energy IAP1 Workshop, Energy Supply for military applications, Fraunhofer IAF, Freiburg, Germany, October 16th 2013.
- [13] Trong-Nhan Le, M. Magno, A. Pegatoquet, O. Berder, E. Popovici and O. Sentieys, *Ultra Low Power Asynchronous MAC Protocol using Wake-Up Radio for Energy Neutral Wireless Sensor Networks*, 1st International Workshop on Energy Neutral Sensing Systems (ENSSys) organized in conjunction with 11th ACM SenSys Conference, Roma, November 14th, 2013.
- [14] Trong Nhan Le, A. Pegatoquet, O. Berder and O. Sentieys, and C. Belleudy, *Multi-Source Power Manager for Super-Capacitor based Energy Harvesting Wireless Sensor Networks*, Demo session of the 1st International Workshop on Energy Neutral Sensing Systems (ENSSys) organized in conjunction with 11th ACM SenSys Conference, Roma, November 14th, 2013.
- [15] Trong Nhan Le, A. Pegatoquet, O. Sentieys, O. Berder, and C. Belleudy, *Duty-Cycle Power Manager for Thermal-Powered Wireless Sensor Networks*, 24th IEEE International Symposium on Personal, Indoor and Mobile Radio Communications, pp. 144-149, London, UK, 8-11 September 2013.
- [16] Trong Nhan Le, O. Sentieys, O. Berder, A. Pegatoquet and C. Belleudy, *Energy Predictor using Adaptive Filter in Energy Harvesting Wireless Sensor Networks*, 26th IEEE International Conference on Architecture of Computing Systems (ARCS), 3rd Workshop on Ultra Low Power (WUPS), Prague, Czech Republic, 20 February 2013.
- [17] Chiraz Chaabane, Alain Pegatoquet, Michel Auguin and Maher Ben Jemaa, *Mobility Management Approach for IEEE802.15.4/ZigBee Nodes in a Noisy Environment*, 26th IEEE International Conference on Architecture of Computing Systems (ARCS), 3rd Workshop on Ultra Low Power (WUPS), Prague, Czech Republic, 20 February 2013.
- [18] O. Mbarek, A. Pegatoquet, M. Auguin, H.E. Fathallah, *Power-Aware Wrappers for Transaction-Level Virtual Prototypes: a Black Box Based Approach*, IEEE 26th International Conference on VLSI Design (VLSID), Pune, India, January 5-10, 2013.
- [19] T.N. Le, O. Sentieys, O. Berder, A. Pegatoquet and C. Belleudy, *Power Manager with PID controller in Energy Harvesting Wireless Sensor Networks*, IEEE International Conference on Internet of Things, Workshop on energy and Wireless Sensors (e-WiSe), pp. 668-670, Besançon, France, November 22-23, 2012.
- [20] O. Berder, O. Sentieys, T.N. Le, A. Pegatoquet, C. Belleudy, F. Broekaert, C. Bernier, S. Bourdel, K. Ben Chehida and C. Barrat, *GRECO : GREen Communicating Objects*, in Proc. Forum SAME (Sophia Antipolis Microelectronics), University Booth, Session 2, Demo 7, Sophia Antipolis, France, 3-4 October, 2012.

- [21] O. Berder, O. Sentieys, Trong Nhan Le, S. Mouget, R. Fontaine, A. Pegatoquet, C. Belleudy, M. Auguin, G. Jacquemod, W. Tatinian, O. Ramos, F. Broekaert, A. Didioui, C. Bernier, K. Ben Chehida, S. Bourdel, H. Barthélémy, P. Ciais and C. Barrat, *GRECO : GREen Communicating Objects*, IEEE Conference on Design and Architectures for Signal and Image Processing (DASIP), Demo Night, Karlsruhe, Germany, October 23-25, 2012.
- [22] O. Mbarek, A. Pegatoquet, M. Auguin, *Black-Box And White-Box Early Power Intent Simulation and Verification: Two Novel Approaches*, IEEE Conference on Design and Architectures for Signal and Image Processing (DASIP), Karlsruhe, Germany, October 23-25, 2012.
- [23] C. Chaabane, A. Pegatoquet, M. Auguin and M. Ben Jemaa, *An Efficient Mobility Management Approach For IEEE 802.15.4/ZigBee Nodes*, 14th IEEE International Conference on High Performance Computing and Communications (HPCC-2012) – Third International Workshop on Wireless Networks and Multimedia (WNM-2012), Liverpool, UK, 25-27 June, 2012.
- [24] J. Kriegel, A. Pegatoquet, M. Auguin and F. Broekaert, *A High Level Mixed Software/Hardware Modeling Framework for Rapid Performance Estimation*, 10th IEEE International NEWCAS Conference, Montreal, Canada, June 17-20, 2012.
- [25] J. Kriegel, A. Pegatoquet, M. Auguin and F. Broekaert, *Waveperf : A Benchmark Generator for Performance Evaluation*, 2nd ACM SIGBED Embed With Linux (EWiLi) Workshop, Lorient, France, 7 June 2012.
- [26] A. Castagnetti, A. Pegatoquet, C. Belleudy and M. Auguin, *An Efficient State of Charge Prediction Model for Solar Harvesting WSN Platforms*, 19th IEEE International Conference on Systems, Signals and Image Processing (IWSSIP), Vienna, Austria, 11-13 April, 2012.
- [27] O. Mbarek, A. Khecharem, A. Pegatoquet, M. Auguin, *Using Model Driven Engineering to Reliably Accelerate Early Low Power Intent Exploration for a System-on-Chip Design*, 27th ACM Symposium On Applied Computing (SAC), Trento, Italy, March 26-30, 2012
- [28] A. Castagnetti, A. Pegatoquet, C. Belleudy and M. Auguin, *An Open-Loop Energy Neutral Power Manager for Solar Harvesting WSN*, 2nd International Conference on Pervasive and Embedded Computing and Communication Systems (PECCS), Rome, Italy, 24-26 February, 2012.
- [29] C. Chaabane, A. Pegatoquet, M. Auguin and M. Ben Jemaa, *Energy Optimization For Mobile Nodes in a Cluster Tree IEEE 802.15.4/ZigBee Network*, IEEE Computing, Communications and Applications Conference (COMCOMAP), Hong Kong, China, January 11-13, 2012.
- [30] J. Kriegel, A. Pegatoquet, M. Auguin and F. Broekaert, *A Performance Estimation Flow for Embedded Systems with Mixed Software/Hardware Modeling*, 11th International Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation (SAMOS XI), SAMOS, Greece, July 18-21, 2011.
- [31] O. Mbarek, A. Pegatoquet, M. Auguin, *A Methodology for Power-Aware Transaction Level Models of Systems-on-Chip Using UPF Standard Concepts*, 21st International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS), Madrid, September 26-29, 2011. **Best Papers Awards.**
- [32] A. Courty, A. Pegatoquet, M. Auguin and C. Chaabane, « *Wireless Sensor Network Node Global Energy Consumption Modeling* », Conference on Design and Architectures for Signal and Image Processing (DASIP), Edinburgh, Scotland, October 26-27, 2010.
- [33] J. Kriegel, F. Broekaert, A. Pegatoquet and M. Auguin, « *Power optimization technique applied to real-time video application* », 13th Sophia Antipolis Microelectronics Forum (SAME), University Booth, Valbonne, France, Oct. 6-7, 2010.
- [34] J. Khan, F. N'Guyen, M. Dubois, M. Auguin, A. Pegatoquet and P. Bricaud, *Next Building Block In A Highly Innovative Soc-ASIC-FPGA collaborative offering: CIM PACA Design*

- Platform IP Room*, in Proc. Forum SAME (Sophia Antipolis Microelectronics), University Booth, Sophia Antipolis, France, 22-23 September, 2009.
- [35] A. Pegatoquet, F. Thoen, D. Paterson – *Virtual Reality for 2.5G Wireless Communication Modem Software Development*, 32nd Annual IEEE International Computer Software and Applications Conference (COMPSAC), Turku, Finland, July 28-August 1, 2008.
- [36] H. Ben Fradj, C. Belleudy, M. Auguin, A. Pegatoquet - *Multi-bank memory allocation for Multimedia Application*, 13th International Conference on Electronics, Circuits and Systems (ICECS), pp. 780-783, Nice, France, December 10-13, 2006.
- [37] R. Vaslin, G. Gogniat, J-P. Diguët, A. Pegatoquet – *Trusted computing a new challenge for embedded systems*, 13th International Conference on Electronics, Circuits and Systems (ICECS), pp. 776-779, Nice, France, December 10-13, 2006.
- [38] F. Cuesta, A. Pegatoquet, J-F. Duboc - *GSM GPRS scheduler system simulation for power saving*, in Proc. Forum SAME (Sophia Antipolis Microelectronics), Sophia-Antipolis, France, Octobre 2002.
- [39] A. Pegatoquet, E. Gresset, M. Auguin, L. Bianco – *Rapid Development of optimized DSP Code from a High Level Description Through Software Estimations*. Proceedings of the 36th ACM/IEEE Conference on Design Automation (DAC), pp. 823-826, June 19-24, New Orleans, Louisiana, USA, 1999.
- [40] A. Pegatoquet, M. Auguin, E. Gresset – *DSP Code optimization using Estimation Metrics – A Case Study: G.728 on the OakDSPCore*, International Conference on Signal Processing Applications and Technology (ICSPAT), Orlando, USA, November 1-4, 1999.
- [41] L. Bianco, M. Auguin, A. Pegatoquet – *A system prototyping tool for efficient system architecture exploration*, Int. Conference on Signal Processing Applications and Technology (ICSPAT), 1-4 November, Orlando, FL, 1999.
- [42] L. Bianco, M. Auguin, A. Pegatoquet – *A Prototyping Method of Embedded Real Time Systems for Signal Processing Applications*, 25th EUROMICRO Conference – Volume 1, pp. 318-323, Milan, Italy, September 8-10, 1999.
- [43] A. Pegatoquet, M. Auguin, G. Gogniat, E. Gresset – *Software estimations: A guide to take decisions earlier in the design flow*, Proc. ICSPAT, Vol. 1, pp. 805-808, Toronto, Canada, September 14-16, 1998.
- [44] G. Gogniat, M. Auguin, L. Bianco, A. Pegatoquet – *Communication synthesis and HW/SW integration for Embedded System Design*, 6th International Workshop IEEE/ACM Codes/CASHE'98, pp. 49-53, Seattle, 15-18 March, 1998.
- [45] L. Bianco, M. Auguin, G. Gogniat, A. Pegatoquet – *A Path Based Partitioning for Time Constrained Embedded Systems*. 6th Int. Workshop IEEE/ACM Codes/CASHE'98, pp. 85-89, Seattle, 15-18 March, 1998.
- [46] A. Pegatoquet, M. Auguin, E. Gresset – *Improving Performance VS silicon size tradeoffs using coprocessors. A case study: G721 on Oak and Pine DSP cores*, Proc. EUSIPCO, Vol. 1, pp. 467-470, Island of Rhodes, Greece, September 7-11, 1998.

3.6.6. Conférences internationales sans actes (5)

- [47] A. Pegatoquet, *Autonomous Wireless Sensor Networks*, 3rd Conference on Ocean and Coastal Observation : Sensors and Systems (OCOSS), Poster Session, Nice, France, October 28-31 2013.
- [48] J. Kriegel, A. Pegatoquet, M. Auguin and F. Broekaert, *A High-Level Benchmarks Generator for Multi-Core Platforms Running Real-Time Applications*, 47th ACM Design Automation Conference (DAC) Work In Progress, San Diego, USA, June 5-9, 2011.

- [49] J. Kriegel, F. Broekaert, A. Pegatoquet and M. Auguin, *Power optimization technique applied to real-time video application*, Tutorial on Ultra Low Power Sensor Networks (WUPS), Como, Italy, February 2011.
- [50] A. Pegatoquet, F. Thoen, D. Paterson - *Virtual Reality for Modem Software Development – Enabling Pre-silicon Software Development and Validation for 2.5G Wireless Communication*, Synopsys User Group, Santa Barbara, USA, March-April 2008.
- [51] A. Pegatoquet - *2.5G L1 modem software simulation using Virtio virtual platform*, Texas Instruments System and Software Symposium, Dallas, USA, January 2007.

3.6.7. Conférences nationales avec comité de lecture et actes (2)

- [52] A. Pegatoquet, M. Auguin, L. Kwiatkowski, L. Bianco, E. Gresset – *VESTIM : Une méthode d'estimation de performances pour une implémentation optimisée d'applications sur processeurs de traitement du signal*. 17^{ème} Colloque GRETSI sur le traitement du signal et des images, pp. 1221-1224, 13-17 Septembre, Vannes, 1999.
- [53] L. Bianco, M. Auguin, A. Pegatoquet, E. Gresset - *CODEF : un environnement d'exploration d'architecture de systèmes embarqués pour le traitement du signal temps réel*, 17^{ème} Colloque GRETSI, pp. 99-102, 13-17 septembre, Vannes, 1999.

3.6.8. Communications orales nationales sans actes (13)

- [54] Trong Nhan Le, A. Pegatoquet, O. Sentieys, O. Berder and C. Belleudy, *Energy Monitor for Super Capacitor based Wireless Sensor Networks*, Colloque National du GDR SoC-SiP, Lyon, 10-12 juin 2013.
- [55] J. Kriegel, A. Pegatoquet, M. Auguin and F. Broekaert, *High level methodology for performance and power-consumption estimation of multicore architectures*, GDR SOC-SiP : Journée Thématique Systèmes sur Puces et Processeurs : Test, Consommation et Sécurité, Lyon, 25 janvier 2012.
- [56] O. Mbarek, A. Pegatoquet, M. Auguin, *A Reliable Instrumentation Method for Low-Power and Energy-Efficient High Level Virtual Prototyping*, Colloque National du GDR SoC-SiP, Campus de Jussieu, Paris, 13-15 juin 2012.
- [57] A. Castagnetti, A. Pegatoquet, C. Belleudy and M. Auguin, *Power Management Architectures for Solar Harvesting Wireless Sensor Networks*, Colloque National du GDR SoC-SiP, Campus de Jussieu, Paris, 13-15 juin 2012.
- [58] A. Castagnetti and A. Pegatoquet, *Modélisation fonctionnelle du Système de Communication RF et du Canal Radio*, Colloque National du GDR SoC-SiP, Campus de Jussieu, Paris, 13-15 juin 2012.
- [59] C. Chaabane, A. Pegatoquet, M. Auguin and M. Ben Jemaa, *Une Approche pour la Gestion de la Mobilité des Terminaux dans un Réseau IEEE 802.15.4 en Arbre*, Ecole Thématique Conception Faible Consommation (EcoFac), Session poster, La Colle sur Loup, 21-25 mai 2012.
- [60] J. Kriegel, A. Pegatoquet, M. Auguin and F. Broekaert, *A Performance Estimation Flow for Embedded Systems with Mixed Software/Hardware Modeling*, Ecole Thématique Conception Faible Consommation (EcoFac), Session poster, La Colle sur Loup, 21-25 mai 2012.
- [61] O. Mbarek, A. Pegatoquet, M. Auguin, *A Power-Aware Design and Verification Framework at Transaction Level*, Ecole Thématique Conception Faible Consommation (EcoFac), Session poster, La Colle sur Loup, 21-25 mai 2012.
- [62] C. Chaabane, A. Pegatoquet, M. Auguin and M. Ben Jemaa, *An Approach For Mobility Management of End Devices in a Cluster Tree ZigBee Network*, GDR SocSiP, Montpellier, 27-28 Octobre, 2011.

- [63] J. Kriegel, A. Pegatoquet, M. Auguin and F. Brokaert, *A Performance Estimation Flow for Embedded Systems with Mixed Software/Hardware Modeling*, GDR SocSIP, Montpellier, 27-28 Octobre, 2011.
- [64] A. Castagnetti, A. Pegatoquet, C. Belleudy and M. Auguin, *A Model for Predicting Remaining Energy for Solar Harvesting WSN Platform*, GDR SocSIP, Montpellier, 27-28 Octobre, 2011.
- [65] O. Mbarek, A. Pegatoquet and M. Auguin, « *Nouvelle approche pour l'estimation et le contrôle d'énergie d'un composant au niveau transactionnel* », Colloque National GDR SocSIP, 9-11 juin 2010, Paris
- [66] L. Bianco, M. Auguin, A. Pegatoquet, E. Gresset, *Méthode de partitionnement pour le prototypage de systèmes embarqués de traitement du signal temps réel*, Colloque CAO de circuits intégrés et systèmes, 10-12 mai, Aix en Provence, 1999.

3.6.9. Vulgarisations

A. Pegatoquet, *Réseaux de capteurs sans fils autonomes en énergie*. Présentation pratique, Fête de la Sciences des Alpes Maritimes, 9-13 octobre 2013.

4 - Activités d'enseignement

Mes activités d'enseignement ont débuté lors de mon année de DEA en 1995 au département GEII de l'IUT de Nice, où j'ai tout d'abord effectué des TD de Mathématiques et d'Informatique. Les années suivantes, lors de ma thèse, j'ai pris en charge des enseignements d'Informatique Industrielle au sein de ce même département.

Mes travaux de recherches puis mon expertise industrielle dans le domaine des systèmes embarqués de radiocommunications numériques m'ont donné l'opportunité après ma thèse de créer des enseignements sur les architectures DSP et leur programmation, puis sur les systèmes de transmissions numériques GSM/GPRS/EGPRS. De 2001 à 2008, j'ai ainsi dispensé en moyenne 40 heures (équivalentes TD) d'enseignements par an en tant qu'intervenant industriel. Ces interventions se sont déroulées dans diverses écoles d'ingénieurs, masters et sous forme de séminaires.

Depuis septembre 2008, date de ma nomination en tant que Maître de Conférences à l'Université de Nice Sophia Antipolis, j'effectue l'intégralité de mon service d'enseignement au sein du département GEII de l'IUT de Nice Côte d'Azur. J'enseigne majoritairement l'Informatique sous différentes formes, mais également l'électronique numérique et la réalisation de projets. Toutefois ces dernières années j'effectue également des enseignements sur les réseaux et le système d'exploitation Linux au sein des licences professionnelles Automatique et Informatique Industrielle (AII), Electrotechnique et Energies Renouvelables (EER) et Réseaux et Télécoms (Spécialité Intégration-administration des Réseaux Informatiques (IRI)) de l'IUT de Nice. J'ai créé le module d'enseignement Linux en collaboration avec un intervenant industriel. Enfin, j'ai durant deux années participé à un module d'enseignement sur la modélisation et la simulation d'un processeur RISC simplifié pour des étudiants de 4^{ème} année de l'école d'ingénieur Polytech' Nice Sophia, filière informatique.

La Figure 1 propose une synthèse de mes activités d'enseignement depuis l'obtention de mon doctorat. Dans la suite je détaille chacune de ces expériences d'enseignement.

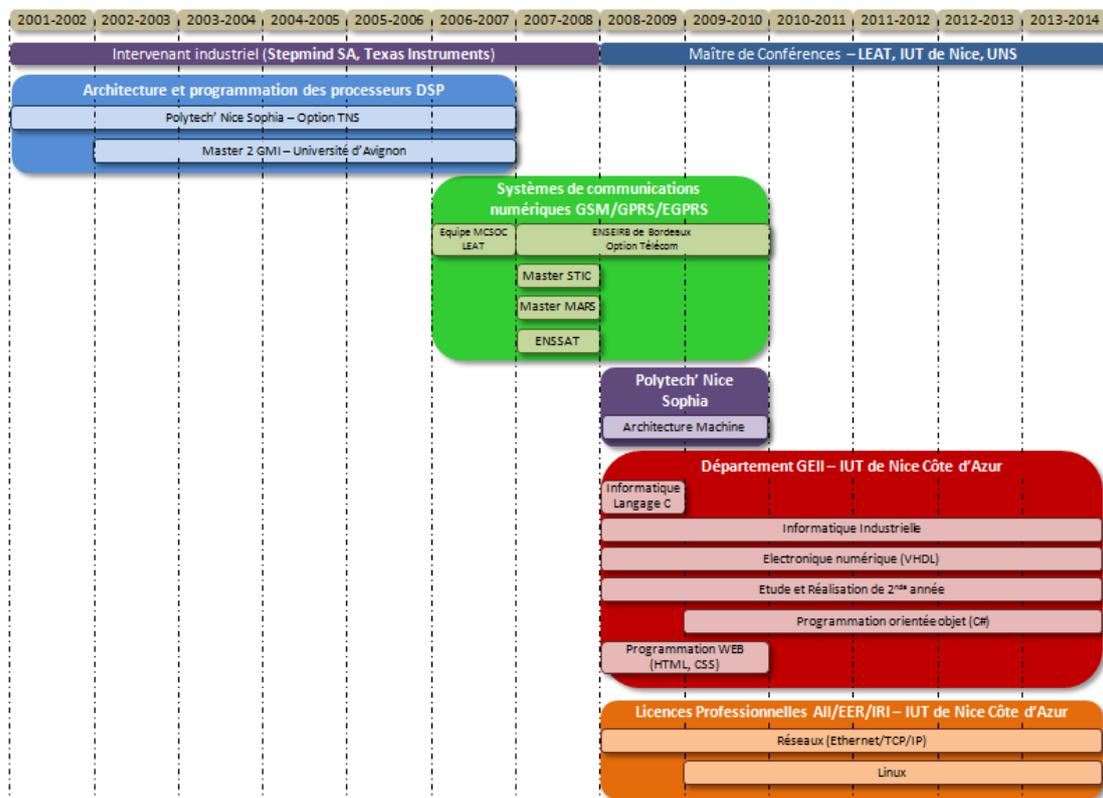


Figure 1. Synthèse de mes activités d'enseignements depuis mon doctorat

4.1. Activités d'enseignement de 1999 à 2008

Architectures et la programmation des processeurs de traitement numérique du signal (DSP)

Suite à l'encadrement de stagiaires en 5^{ème} année de l'école Polytech' Nice Sophia (filiale électronique), j'ai entièrement créé un module d'enseignement sur les architectures et la programmation des processeurs DSP ainsi que l'ensemble des TD et TP. Ce module a été dispensé pour les étudiants de dernière année ayant choisis l'option traitement numérique du signal, mais également au master GMI de l'Université d'Avignon. J'ai eu par la suite l'opportunité de participer à des commissions pédagogiques pour l'option TNS de Polytech' Nice Sophia afin de proposer, avec les enseignants, une évolution des enseignements adaptée aux besoins des professionnels.

Le cours, constitué de 389 diapositives PowerPoint, a pour but de présenter aux étudiants le rôle et les fonctions réalisées par un DSP dans une chaîne de télécommunications et dans le domaine du GSM par exemple. Il s'agit également de montrer les différentes étapes du développement de logiciel embarqué pour DSP, de la conception algorithmique à l'implémentation assembleur. Un panorama des différentes architectures DSP est alors présenté, allant des DSP dits conventionnels aux architectures VLIW et superscalaires offrant plus de parallélisme. La présentation de quelques algorithmes de traitement du signal permet également de mettre en évidence l'adéquation des architectures DSP avec ce type de traitement. Enfin, il s'agit aussi de présenter les contraintes d'une architecture en point fixe, ce qui permet d'introduire la problématique de la conversion d'un code flottant en virgule fixe. Les TD mis en place permettent tout d'abord aux étudiants de convertir des algorithmes écrits en C flottant vers une implémentation en C fixe. Les étudiants sont ensuite sensibilisés à la programmation mixte en langage C et assembleur, mettant en évidence les contraintes de sauvegarde / restauration de contexte et de convention d'appel pour ce type de programmation. Pour cela les étudiants disposent d'un environnement de développement fourni par Texas Instruments (ou DSP Group les premières années) et comportant une chaîne de compilation (compilateur, assembleur, éditeur de lien) et un environnement de débogage. Ces exercices ont été effectués sur le DSP Teak, puis les DSP C54x et C55x de Texas Instruments.

Systèmes de communications numériques GSM, GPRS et EGPRS

Mon activité professionnelle m'a également permis d'acquérir une expertise et un savoir-faire dans les systèmes de radiotéléphonie mobile GSM/GPRS/EGPRS, et plus spécifiquement la couche physique. Au cours d'une collaboration menée avec l'équipe MCSOC du laboratoire LEAT sur des méthodes permettant de réduire la consommation d'énergie des systèmes sur puce, j'ai été amené à proposer une formation sur les systèmes de communications numériques GSM, GPRS et EGPRS. Il s'agissait en effet de présenter aux membres de cette équipe le système GSM dans son ensemble mais surtout les contraintes temps-réels et d'ordonnancement des différentes tâches lors d'un appel GSM ou la transmission de données par paquets. Ce cours a par la suite été dispensé à des étudiants de dernière année d'école d'ingénieurs (ENSIERB, ENSSAT), de masters et sous la forme de séminaires.

Ce cours, réalisé sous la forme d'une présentation PowerPoint de 232 diapositives, donne les principes de bases du réseau mondial GSM et les illustre par de nombreux exemples et figures. Un bloc diagramme simplifié d'un système GSM sur puce permet tout d'abord de mettre en évidence les principaux composants ou fonctions impliqués dans un téléphone portable de 2^{ème} génération : radio, processeurs de traitement du signal (DSP), microcontrôleur (MCU), convertisseur analogique-numérique, carte SIM, clavier, écran... Puis une présentation des concepts réseaux utilisés en GSM sont abordés : concept cellulaire, architecture réseau, localisation du mobile par le réseau, mobilité, saut de fréquence, etc. Le rôle et les fonctions réalisées par les différents composants du réseau sont présentés. Les principales caractéristiques de l'interface radio (i.e. couche de niveau physique) sont ensuite exposées, l'objectif pédagogique étant d'illustrer plus généralement le domaine des communications numériques dont le GSM est un cas particulier. Hormis l'aspect lié à la norme elle-même, les deux dernières parties du cours abordent les différentes étapes et les challenges techniques à surmonter par un industriel comme Texas Instruments dans la réalisation d'un circuit intégré pour

téléphone portable 2.75G. Dans cette partie je présente par exemple diverses solutions répondants aux contraintes d'ordonnancement temps réels des différentes tâches allouées sur le DSP. J'aborde également les problèmes liés à la consommation d'énergie et les moyens utilisés pour la réduire, ou encore les aspects liés à la validation d'un chipset avant sa mise en production. Les systèmes GPRS et EGPRS sont également présentés, avec une attention particulière sur l'interface radio, les procédures de transferts de données par paquets ainsi que les contraintes d'ordonnancement temps-réels des tâches sur le DSP.

Le Tableau 1 résume l'ensemble des enseignements effectués en tant qu'intervenant industriel de 2001 à 2008 aux différents niveaux d'enseignement et précise les volumes annuels correspondants.

Institution	Module d'enseignement	Niveau	2001-2002	2002-2003	2003-2004	2004-2005	2005-2006	2006-2007	2007-2008	
Polytech' Nice Sophia Filière Electronique, Option TNS	Architecture et programmation des processeurs DSP	M2	9h CM / an 12h TP / an							
Master 2 GMI Université d'Avignon		M2	9h CM /an 15h TD /an							
Equipe MCSOC (LEAT) - Séminaire	Systèmes de communications	M2						6h CM		
ENSEIRB Bordeaux Option Telecoms	GSM/GPRS/EGPRS	M2							6h CM	
Master STIC Université de Nice		M2							6h CM	
Master MARS Univ. Bretagne Sud		M2							6h CM	
ENSSAT Lannion Option Ingénierie des Systèmes Embarqués		M2							6h CM	

Tableau 1. Description des heures d'enseignements en tant qu'intervenant industriel

4.2. Activités d'enseignement en tant que Maître de Conférences

Depuis septembre 2008, j'effectue l'intégralité de mon service statutaire (192 heures) au département GEII de l'IUT de Nice Côte d'Azur. Depuis cette date, mon service réel est d'environ 240 heures TD chaque année. La formation Génie Electrique et Informatique Industrielle a pour vocation de former des techniciens pluridisciplinaires dans un large domaine : électronique, télécommunications, production et transformation d'énergie, automatismes, robotique, informatique, systèmes numériques, réseaux industriels, systèmes temps réel, etc. Dans ce cadre, j'interviens principalement dans les enseignements relevant du domaine de l'informatique industrielle et de l'électronique numérique. Depuis 2008, je suis responsable du module Etudes et Réalisations de seconde année, ce qui implique la coordination et l'animation de l'équipe pédagogique (constituée de 6 à 8 enseignants). Dans ce module, nous proposons aux étudiants de réaliser ou d'utiliser des cartes basées sur un microcontrôleur et dotées de divers capteurs et interfaces (ex. capteurs de température, CAN, CNA, port série, SPI, I2C...) afin de développer par exemple une station météo. Ce module est également l'occasion pour les étudiants de développer en autonomie divers projets comme par exemple des IHM (interfaces Web), des réseaux de capteurs ou des applications Android.

Récemment, j'ai participé au sein du département GEII à la création d'exercices en ligne en utilisant l'outil WIMS. Depuis septembre 2013, les étudiants ont ainsi à leur disposition des feuilles d'exercices (pour l'ensemble des modules) accessibles depuis Internet leur permettant de s'entraîner et de s'auto-évaluer. Des examens sont également organisés par le biais de cet outil. Je participe au développement des exercices relatifs au module d'informatique industrielle. Expérimenté depuis 3 ans au sein du département GEII, les premiers retours montrent un vif intérêt de la part des étudiants et une amélioration sensible des résultats, ce qui milite dans la poursuite de cette initiative.

Dans la suite je décris brièvement l'ensemble des modules d'enseignement dont j'ai eu la charge depuis 2008 dans les différentes formations où je suis intervenu.

Département GEII de l'IUT de Nice Côte d'Azur.

- Informatique
 - Programmation en langage C
 - TD/TP
- Informatique industrielle
 - Architecture des processeurs, langage assembleur (Intel 8086), interface série et parallèle, Timers, Interruptions, Port série et I2C, etc.
 - Cours/TD/TP
- Electronique numérique et synthèse logique
 - Logique combinatoire et séquentielle
 - Langage de description VHDL
 - Carte de développement ALTERA DE2, logiciel Quartus
 - TD/TP
- Programmation WEB
 - Langage HTML, feuille de style CSS
 - TD/TP
- Etudes et Réalisations de 2nde année
- Programmation orientée objet (C#)
 - Notion de classe, héritage, WinForms, Programmation Réseau (TCP/IP), Programmation Web (ASP.Net).
 - Langage C#
 - Cours/TD/TP
- Module complémentaire d'informatique industrielle

- Programmation d'un générateur de fonctions numérique pilotable par une liaison série
- Cours/TD
- Participation aux jurys et suivi de stages.

Polytech Nice Sophia – Département Sciences Informatiques (2008 – 2011)

- Architecture Machine
 - Conception et simulation d'un processeur RISC simplifié avec 5 étages de pipeline
 - Description en langage VHDL
 - Validation en simulation de niveau RTL (ModelSim de Mentor Graphics)
 - TD

ENSEIRB (2008 – 2010)

- Systèmes de communications numériques GSM, GPRS et EGPRS.

Licence Professionnelle LP IRI (depuis 2009)

- Linux
 - Commandes, processus
 - Disques et systèmes de fichiers, quotas
 - Technologie RAID, LVM
 - Les utilisateurs et les droits
 - Réseau, sécurité (SSH, SSL, Netfilter, Iptables)
 - Langage de scripts (Bash)
 - Sauvegarde automatisée, automatisation des procédures
 - Cours/TD

Licence Professionnelle LP AII et EER (depuis 2009)

- Réseaux
 - Ethernet, Protocole IP, TCP/UDP, Application (DHCP, FTP, SSH, SMTP...)
 - Le Wifi
 - Outils Packet Tracer, Wireshark
 - TD

Le Tableau 2 résume l'ensemble des enseignements effectués depuis 2008 aux différents niveaux d'enseignement (L1 à M2) et précise les volumes annuels correspondants.

Institution	Module d'enseignement	Niveau	2008-2009	2009-2010	2010-2011	2011-2012	2012-2013
ENSEIRB Bordeaux Option Telecom	Systèmes de communications GSM	M2	6h CM / an				
Polytech' Nice Sophia Filière Informatique	Architecture Machine	M1	24h TD / an				
IUT Nice Côte d'Azur Département GEII	Langage C	L1	36h TD 30h TP				
	Informatique industrielle	L1		12h CM / an 18h TD / an 24h TP / an			
	Electronique numérique et synthèse logique	L1	24h TD / an 48h TP / an			21h TP / an	
	Etudes et Réalisations	L2	60h TP / an				
	Programmation Orientée Objet	L2		7h CM / an 9h TD / an 9h TP / an			
	Programmation WEB	L1	8h TD / an				
	IUT Nice Côte d'Azur Licence Pro AII/EER	Réseau Linux	L3 L3		12h TD / an 22h TD / an		
IUT Nice Côte d'Azur Licence Pro IRI	Linux	L3		9h CM / an 21h TD / an		15h CM / an 45h TD / an	

Tableau 2. Description des heures d'enseignements en tant que Maître de Conférences

5 - Responsabilités collectives, animations, collaborations et projets scientifiques

Dans cette section je présente les différentes responsabilités collectives que j'ai eues depuis ma nomination à l'Université de Nice Sophia Antipolis. Je présente également ma participation à l'animation scientifique ainsi que les différents projets de recherche auxquels j'ai participé depuis la l'obtention de mon doctorat.

5.1. Au niveau de l'Université de Nice Sophia Antipolis

5.1.1. Au sein du département GEII de l'IUT de Nice

Depuis 2012 je suis président élu du Conseil de Département GEII de l'IUT de Nice dont je suis également membre depuis 2009.

Je suis responsable du module complémentaire (MC se7) « Gestion de l'énergie pour les systèmes embarqués et communicants » pour la commission électronique du nouveau PPN GEII.

Je suis depuis 2008 responsable des enseignements relatifs au module Etude et Réalisations de 2^{ème} année.

Je participe également à la création d'exercices en ligne utilisant l'outil WIMS et permettant aux étudiants de s'entraîner et de s'auto-évaluer. Des examens sont également organisés par le biais de cet outil.

5.1.2. Au sein des licences professionnelles IRI et AII/EER de l'IUT de Nice

Depuis 2008, je suis responsable d'un enseignement sur le système d'exploitation Linux pour la licence professionnelle Réseaux et Télécommunications, spécialité Intégration-administration des Réseaux Informatiques (IRI). Avec l'aide d'un intervenant industriel, j'ai entièrement créé ce cours représentant un volume horaire de 60h.

J'ai également de 2008 à 2009 été responsable de ce même module Linux pour les licences Automatique et Informatique Industrielle (AII) et Electrotechnique et Energies Renouvelables (EER).

5.1.3. Au sein du Laboratoire d'Electronique, Antennes et Télécommunications (LEAT)

Depuis 2012, je suis membre élu du Conseil de Laboratoire du LEAT.

Depuis 2012 je suis membre élu du Comité Permanents des Ressources Humaines (CPRH), section 61 du CNU.

5.2. Au niveau national et international

Depuis ma nomination je me suis toujours attaché à participer aux réseaux scientifiques car il me semble important de connaître la communauté nationale. Ces échanges sont souvent l'occasion d'échanger des connaissances et d'initier de nouvelles collaborations.

Je suis membre du GDR SOC-SIP (System On Chip, System In Package). J'encourage mes étudiants à régulièrement publier des articles (9 publications depuis 2001) et à participer aux colloques organisés par le GDR. J'ai été invité à présenter mes activités de recherche sur les réseaux de capteurs (projet GRECO) à une journée du GDR SoC-SiP, axe Consommation et Energie, à Paris le 17 mai 2011.

Je suis membre du Laboratoire d'Excellence (Labex) UCN@Sophia.

Je participe au développement de la plateforme conception ARCSIS CIM-PACA (Centre Intégré de Microélectronique - Provence Alpes Côte d'Azur) qui vise à renforcer et valoriser les synergies entre

laboratoires de recherche publiques, d'une part, et acteurs industriels d'autre part afin de réduire dans les deux cas les coûts de recherche et développement.

J'ai participé au comité d'organisation de l'école thématique conception faible consommation pour les systèmes embarqués temps réels (ECOFAc) organisée par le LEAT en mai 2012 à La Colle sur Loup.

J'ai été également membre du comité d'organisation de la 21^{ème} conférence internationale Real-Time and Network Systems (RTNS 2013) organisée conjointement par l'INRIA et le LEAT à Sophia Antipolis en octobre 2013. Outre les tâches inhérentes à ce type d'organisation, j'ai assuré la mise en place du site WEB pour ces deux événements (<http://leat.unice.fr/ECofaC2012/> et <http://leat.unice.fr/RTNS2013>).

En juin 2012 j'ai été invité par le professeur Emanuel Popovici de l'Université de Cork (UCC) afin de présenter mes activités de recherche et plus généralement celles de mon laboratoire. A la suite de cette visite, une collaboration s'est mise en place (avec l'INRIA de Lannion également) autour de l'utilisation d'une wake-up radio dans des objets communicants. Deux articles ont déjà été publiés sur ce sujet [13] [14].

5.3. Projets de recherche

Depuis 2008, je me suis constamment impliqué dans des collaborations avec d'autres équipes universitaires ou industrielles. Ces collaborations sont essentielles car elles permettent d'enrichir et d'approfondir nos réflexions scientifiques. Elles sont en effet un moyen privilégié de rencontrer d'autres équipes travaillant souvent sur des domaines différents, ce qui permet d'élargir notre champ de connaissance (et de compétence). Dans la suite je décris les projets auxquels j'ai participé ces dernières années.

Projet HOPE (2012-2015)

Hierarchically **O**rganized **P**ower/**E**nergy management

Type : Contrat ANR

Partenaires du projet:

- INTEL
- SYNOPSIS
- MAGILLEM
- DOCEA Power
- INRIA/Aoste
- LEAT
- Plateforme Conception ARCSIS

Objet : *le projet HOPE vise à apporter une solution pertinente à la conception haut niveau de systèmes sur puce (SoC : System on Chip) optimisés en énergie/puissance et satisfaisant des contraintes de performance et de température.*

Budget : 180k€

Financement d'une thèse et d'un contrat d'ingénieur d'étude (12 mois).

Projet HELP (2009-2013)

HELP : **H**igh-Level Models for **L**ow-**P**ower in Embedded Systems

Type : Contrat ANR ARPEGE

Partenaires du projet:

- VERIMAG/Synchrone
- STMicroelectronics/Grenoble
- DOCEA Power
- INRIA/Aoste

- LEAT

Objet : *ce projet s'intéresse à des modèles de haut niveau pour la réduction de la consommation d'énergie des systèmes embarqués.*

Budget : 130k€ (LEAT)

Financement d'une thèse.

Projet COMCAS (2009-2012)

COMCAS: COmmunication-centric heterogeneous **M**ulti-**C**ore **A**rchitecture**S**.

Type : Européen CATRENE

Partenaires du projet:

- NXP Semiconductors (NXP) – Netherlands
- STMicroelectronics – France
- STEricsson – Netherlands
- ST-Ericsson – France
- Recore Systems B.V. – The Netherlands
- Axiom-IC B.V. – The Netherlands
- CEA LETI and CEA LIST – France
- TIMA Laboratory – France
- University of Nice Sophia Antipolis/LEAT – France
- Delft University of Technology – The Netherlands

Objet : *l'objectif du projet COMCAS est de faire progresser la conception de solutions basse consommation pour des communications données, ceci pour des architectures multi-cœurs hétérogènes visant des technologies CMOS 45 et 32 nm.*

Les travaux de thèse de Joffrey Kriegel dont j'étais co-directeur (convention CIFRE avec Thalès Communications, Colombes) se sont effectués dans le cadre de ce projet.

Projet GRECO (2010-2014)

GRECO: GREen wireless **C**ommunicating **O**bjects

Type : Contrat ANR

Partenaires du projet:

- THALES Communication France
- CEA-LETI
- CEA-LIST
- IM2NP
- IRISA
- INSIGHT-SIP
- LEAT

Objet : *GRECO vise la conception d'objets communicants autonomes en énergie suivant une approche globale de modélisation.*

Budget : 195k€ (LEAT)

Financement de thèse, d'un contrat d'ingénieur d'étude (12 mois), un silicium.

Je suis le responsable scientifique de ce projet pour notre laboratoire de recherche.

Projet CODEF (2000-2003)

Design Framework of Heterogeneous System

Type : Contrat industriel

Durée : 1998/2001

Partenaires : I3S, Philips/VLSI Technology

Objet : *Etude et développement d'un environnement de prototypage rapide pour la conception de systèmes embarqués dédiés au traitement du signal*

Partie 2 : Travaux de recherche détaillés et perspectives

Cette deuxième partie présente de façon approfondie les différents travaux que j'ai menés depuis l'obtention de mon doctorat. Elle propose tout d'abord une introduction afin de positionner les différentes contributions suivant les 3 axes de recherche autour desquels s'articulent mes travaux. Ensuite chaque axe est détaillé et une sélection de certains travaux de recherche est proposée afin d'illustrer l'activité menée. Pour chaque axe, une fiche de synthèse en fin de chapitre détaille les encadrements, projets et publications qui lui sont rattachés. Enfin une conclusion et des perspectives (projets de recherche) sont proposées afin de préciser les actions envisagées dans l'avenir.

6 - Introduction

Depuis la moitié du XX^{ème} siècle, nous assistons à une révolution technologique de notre société. Cette révolution s'est encore amplifiée avec l'avènement des technologies numériques qui dorénavant font partie de notre quotidien. L'engouement conjoint de la téléphonie mobile et de l'Internet ces 20 dernières années a apporté de profonds changements sociétaux et culturels. Cette évolution est durable et devrait même s'accroître dans les années à venir, avec le développement de l'Internet des objets, déjà considéré par certains comme la prochaine révolution technologique [Feki 2013]. Les utilisateurs que nous sommes, ont en effet pris l'habitude de vivre dans un monde connecté, mobile et sans cesse plus à même de fournir du contenu multimédia. Cette révolution, de niveau mondiale, a pour conséquence une augmentation exponentielle de la consommation d'énergie mais également des déchets [Meadows 2012]. Car si les progrès scientifiques et technologiques permettent de réduire la consommation individuelle de ces objets, la croissance du nombre de ces objets provoque une augmentation globale de la consommation d'énergie. Ce constat ne va pas sans poser des problèmes sociétaux fondamentaux, en particulier sur la durabilité et l'empreinte environnementale de ce monde connecté.

Afin de répondre à ces contraintes, cette évolution s'accompagne d'un changement (certes progressif) des mentalités afin de trouver des solutions technologiques. La révolution s'opère donc également au niveau des instances politiques et gouvernementales mais aussi industrielles, via le financement de programmes de recherche et développement. La révolution a lieu également dans les laboratoires et les entreprises, où chercheurs, concepteurs, ingénieurs ne cessent de proposer des solutions innovantes et de relever les défis. Depuis 1995 et ma première expérience dans un laboratoire de recherche, le paysage des systèmes numériques a considérablement évolué, tant au niveau des architectures matérielles, de la technologie, des applications que des réseaux.

Prenons le cas de la téléphonie mobile, domaine où j'ai eu l'opportunité d'évoluer de 1995 à 2008 au sein de différentes entreprises, comme témoin de ces évolutions sur les vingt dernières années. Des changements majeurs se sont produits tout d'abord au niveau des architectures. Au début des années 90, les premiers téléphones portables ne comportaient souvent qu'un microprocesseur cadencé à quelques MHz, accompagné d'un ou plusieurs circuits dédiés ou ASIC. Au début des années 2000, sont apparues des architectures multiprocesseurs hétérogènes plus puissantes, comportant un microcontrôleur, un processeur de traitement du signal (DSP), des ASICs et parfois des circuits reconfigurables (ex. FPGA). Le microcontrôleur avait principalement en charge la gestion de la pile protocolaire, alors que le DSP, remplaçant progressivement les solutions matérielles dédiées, effectuait les calculs répétitifs et coûteux en temps de calcul de la couche physique responsable de la gestion du flux audio et de la protection des données avant leur transmission sur le medium radio. Depuis le milieu des années 2000 (et principalement avec la mise sur le marché de l'iPhone), les architectes ont conçus des architectures d'une complexité sans cesse grandissante afin de répondre aux besoins applicatifs des nouveaux types de téléphones portables, en particulier les smartphones. La plateforme OMAP5 de Texas Instruments intègre par exemple sur un même circuit intégré un CPU ARM Cortex A15 double cœur, deux cœurs Cortex M-4 utilisés pour les calculs moins intensifs et la gestion de la consommation d'énergie, deux GPU PowerVR et un accélérateur graphique pour les traitements multimédia, ainsi qu'un processeur de traitement du signal (DSP). S'ajoute à cela un nombre important de périphériques (caméras, USB...) et des mémoires de plusieurs giga octets.

Grâce au progrès constant de la technologie des composants, les puissances de calculs présentes dans des ordinateurs de bureaux il y a encore quelques années sont de nos jours disponibles dans des téléphones portables de quelques centimètres carrés. Le premier circuit intégré fut réalisé par Jack Kilby (il reçut le prix Nobel de physique en 2000 pour cette invention) en 1958 alors qu'il travaillait pour Texas Instruments. En 1965, Gordon Moore (co-fondateur d'Intel) publie un article [Moore 1998] où il prévoit que le nombre de composants intégrés sur un circuit augmentera de manière exponentielle dans le futur. Cette prédiction empirique appelée « loi de Moore » s'est avérée

particulièrement pertinente puisque depuis les années 1970, le nombre de composants par puce a effectivement doublé tous les 2 ans. Si la taille des puces n'évolue guère (quelques mm²), c'est la diminution de la largeur de gravure de la grille des transistors qui permet d'augmenter leur intégration mais également d'augmenter les performances tout en réduisant la consommation d'énergie. Ainsi au début des années 1990, la technologie CMOS permet de franchir le cap du submicronique. Au milieu des années 2000, des composants avec des tailles de gravure inférieures à 100nm voient le jour. De nos jours, les systèmes sur puce (SoC) équipant les derniers smartphones ont des technologies de 32nm (par exemple le Exynos 4412 équipant les Samsung Galaxy S3 en 2012) voire de 28nm (par exemple le Exynos 5410 pour le Galaxy S4 en 2013). Il est aujourd'hui possible d'intégrer environ un milliard de transistors sur ce type de SoC.

Ces sauts technologiques ont profondément changé le domaine des applications des systèmes embarqués avec l'apparition à un rythme soutenu de nouveaux standards dans le domaine des télécommunications ou du multimédia par exemple. Si ces nouveautés permettent une meilleure expérience utilisateur, elles s'accompagnent bien évidemment d'un accroissement de la complexité engendrant des besoins accrus en termes de temps de calcul et de taille mémoire. Dans le domaine de la téléphonie mobile, se sont ainsi succédés en l'espace de seulement une vingtaine d'années de nombreux standards. La 2G avec le GSM ou le CDMA apparaît commercialement en 1993, suivi au début des années 2000 par la 2.5G avec le standard GPRS et la 2.75G utilisant la technologie EDGE. Les premiers téléphones de troisième génération (3G) fonctionnant avec les standards UMTS ou CDMA2000 apparaissent en France à la fin 2004, suivi en 2006 par la 3.5G (ou 3G+) utilisant les technologies HSDPA/HSUPA. La 4G basée sur le standard LTE (*Long Term Evolution*) est actuellement en cours de déploiement et on parle déjà d'une « vraie » 4G avec le *LTE Advanced* pour les années à venir. Les téléphones mobiles équipés de cette technologie disposeront d'un débit descendant pouvant atteindre (en théorie) 1 Gbit/s, certainement plutôt quelques centaines de Mbit/s, ce qui permettra aux utilisateurs de télécharger des films en qualité HD en quelques secondes. Parallèlement à l'évolution des standards de télécommunications, un grand nombre de solutions sont également apparues dans le domaine des réseaux. Citons par exemple les standards Wifi, Wimax, Bluetooth ou bien encore le ZigBee/802.15.4 particulièrement utilisé dans le domaine des réseaux de capteurs.

Ces nombreuses évolutions technologiques et le rythme soutenu de leurs apparitions n'est pas sans poser de nombreux défis aux concepteurs de systèmes. Il doivent en effet offrir aux utilisateurs de nouveaux standards tout en garantissant une autonomie élevée de la batterie dans le cas des téléphones portables ou des tablettes par exemple. Les concepteurs doivent également tenir compte de la contrainte du *time-to-market* liée aux pressions commerciales, qui dictent un rythme effréné d'apparition des nouvelles générations de plateformes matérielles et logicielles.

Ces évolutions majeures, que ce soit au niveau des architectures ou des applications, ont eu un impact indéniable sur les méthodologies de conception des systèmes sur puce. Certes, les avancées technologiques ont souvent une longueur d'avance sur les outils mis à la disposition des concepteurs, mais les laboratoires de recherches, les organismes internationaux et/ou des consortium d'industriels proposent à un rythme soutenu des innovations permettant de concevoir des circuits fiables, performants et économes en énergie. L'adoption par les concepteurs de ces nouvelles méthodologies n'est pas une démarche facile compte tenu des impératifs de *time-to-market* et du temps nécessaire à la maîtrise de ces nouvelles méthodes de travail et outils. De plus, ces nouvelles méthodologies requièrent bien souvent un changement culturel au sein des équipes de conception ce qui ne facilite pas leur adoption. Ainsi le transfert industriel de ces nouvelles approches prend généralement du temps mais reste néanmoins inévitable.

Au début des années 1990, les méthodes de codesign faisaient leur apparition avec des approches de haut niveau permettant une synthèse des parties matérielles et logicielles composants le système, ainsi que des bus de communications entre les différents composants [Gupta 1993]. De nombreuses méthodes et outils issus des laboratoires de recherche furent proposés aux industriels afin de leur permettre d'explorer l'espace de conception et ainsi d'évaluer différentes alternatives

logicielles/matérielles. Malgré quelques succès, les approches de codesign n'ont pas réussies à s'imposer auprès des industriels, certainement en partie à cause du manque de standardisation des méthodologies et donc de la multiplicité des outils proposés sur le marché. Ces premières tentatives inspirées du codesign n'auront cependant pas été vaines puisque au début des années 2000 environ, apparaît une évolution forte avec les méthodes de conception au niveau système ou ESL (Electronic System Level) [Balarin 2003] [Ghenassia 2005] [Erbas 2007] [Mentor 2010] [Meredith 2010].

Issue de contributions de plusieurs sociétés (Synopsys et Coware entre autres), ces travaux aboutissent en particulier aux spécifications de la bibliothèque SystemC/TLM pour les systèmes numériques. Standardisé par l'IEEE en 2005, c'est Accellera une association de normalisation de standards pour la conception des systèmes électroniques qui depuis 2011 est en charge de diffuser, promouvoir et rédiger les spécifications de SystemC [SystemC 2011]. Cet ensemble de classes C++ introduit les concepts nécessaires à la modélisation du matériel à un haut niveau d'abstraction utilisant en particulier des modèles transactionnels ou TLM (*Transaction-level Modeling*) pour décrire les échanges sur les bus de communication. Cependant SystemC peut également être utilisé pour décrire la partie logicielle du système. Cette modélisation comportementale et transactionnelle peut s'effectuer avant partitionnement matériel/logiciel. SystemC intègre également un simulateur à événements discrets qui permet par raffinements successifs de passer d'une description comportementale à une description de niveau RTL. Les méthodes de conception ESL permettent non seulement d'appréhender de manière unifiée la complexité des systèmes actuels, mais également de réduire significativement les temps de simulation [Meredith 2010] [Ghenassia 2005], et donc de faciliter une exploration de l'espace des solutions.

L'apport de ces approches ESL est incontestablement la réduction du *time-to-market*. En effet, les développeurs logiciels disposent, tôt dans le flot de conception (en phase pré-silicon), de modèles leur permettant de valider leur code. Le travail en parallèle des équipes logicielles et matérielles, utopique il y a encore peu, est devenu une réalité depuis une dizaine d'années. Ce gain de productivité explique certainement en grande partie l'adoption rapide de ces approches ESL par les industriels. Ainsi, dans un article publié en février 2010 sur le site d'Accellera [Meredith 2010], 50% des leaders mondiaux de l'industrie des semi-conducteurs reconnaissent avoir adopté et déployé des méthodes de conception de niveau ESL. ST admet pour sa part que 90% de ces nouveaux développements d'IP numériques sont effectués en commençant à un niveau de description comportemental abstrait et en utilisant des outils de synthèse pour générer la description de niveau RTL. Il est par ailleurs admis que l'ESL est le segment à plus forte croissance des outils de conception (EDA) dans les prochaines années.

Des travaux sont cependant encore nécessaires afin d'adapter ces modèles aux contraintes des systèmes embarqués. Il est en effet indispensable de nos jours de pouvoir raffiner ces modèles fonctionnels selon trois axes principaux: le temps, la consommation d'énergie et les aspects thermiques. Les modèles temporels ont été déjà largement abordés ces dernières années et ont abouti à différents niveaux de description (Cycle Accurate et Instruction Accurate par exemple). Le standard TLM 2.0 définit par ailleurs une manière standardisée d'échanger des informations temporelles entre les modèles. Pour la consommation d'énergie et dans une moindre mesure pour le thermique, des approches existent mais sont souvent ad-hoc et dépendantes d'un outil industriel. Il est également important de noter que ces différents critères sont fortement interdépendants : quel est par exemple l'impact des choix effectués pour réduire la consommation sur les performances de mon système? Pour répondre à cette question, il est nécessaire de considérer une approche globale permettant d'évaluer l'impact de décisions locales sur les performances globales du système. De nombreux travaux sont encore nécessaires, mais les bases des approches globales ont été posées et il paraît indéniable que leur positionnement se verra renforcé à l'avenir.

Une autre évolution importante, d'ailleurs fortement liée au problème exposé à l'instant, concerne l'intégration massive de logiciels dans les systèmes embarqués. Sur ce type de systèmes, la taille du code a en effet considérablement évolué avec une augmentation d'environ 10 à 30% par an [Ebert 2009]. Cette tendance exponentielle s'explique en grande partie par la multiplicité des

fonctionnalités et des applications disponibles. A la fin des années 1990, une communication téléphonique était l'unique fonctionnalité des téléphones portables. Progressivement, de nouvelles applications (SMS, MMS...) et fonctionnalités (appareil photo, GPS, etc.) ont été proposées aux utilisateurs, auxquelles il faut ajouter la multiplicité des standards réseaux et de télécommunication. Aujourd'hui, ces systèmes intègrent par ailleurs dans leur grande majorité un (voire plusieurs) système d'exploitation (Android ou iOS par exemple) indispensable à la gestion de l'ensemble de ces applications.

Ce rapprochement entre les domaines du matériel et du logiciel n'est pas sans conséquence sur les outils de conception et le métier de concepteur. En effet, avec l'apparition massive du logiciel dans les systèmes embarqués, les concepteurs de systèmes numériques ont vu leur métier évoluer et doivent dorénavant appréhender les technologies du logiciel. Cette évolution a également des répercussions au niveau des outils de conception. Il est en effet indispensable aujourd'hui de disposer d'outils permettant de décrire le système dans sa globalité, d'évaluer ses performances et de dimensionner au plus tôt la plateforme d'exécution. Pour cela, il est nécessaire d'élever le niveau d'abstraction des modèles pour permettre une exploration de l'espace de conception et une évaluation des performances dans des temps de simulation raisonnables. L'objectif de ce type d'approche est de permettre une description rapide du système dans sa globalité (logicielle et matérielle). De nombreux travaux utilisant des langages de haut niveau ont été proposés ces dernières années. Citons par exemple les travaux basés sur les langages UML [Boutekkouk 2009] ou AADL [Colbert 2005] [Senn 2012], mais de nombreuses approches ou environnements ad-hoc existent également.

Comme nous l'avons déjà souligné, la consommation d'énergie est devenu un paramètre incontournable à optimiser pour les systèmes embarqués. Cette évolution est évidemment fortement liée aux exigences du marché, mais il ne faut pas exclure également les conséquences au niveau environnemental de l'augmentation de la consommation globale en énergie. Le nombre de petits appareils (téléphones, consoles de jeux, lecteur MP3...) ne cesse d'augmenter et cette tendance devrait encore s'accroître à l'avenir avec l'Internet des objets [Feki 2013]. Or, la grande majorité de ces objets communicants possèdent une batterie et doivent donc être rechargés régulièrement (quotidiennement pour un smartphone par exemple...), ce qui provoque une augmentation de la consommation d'énergie globale. Cette croissance exponentielle de la consommation d'énergie n'est pas sans conséquence sur notre dépendance énergétique et l'empreinte environnementale, en particulier les déchets, qu'ils soient issus de nos centrales nucléaires ou de nos piles ou batteries usagées. Cette évolution a un impact significatif sur la recherche de solutions durables permettant entre autres de réduire notre empreinte écologique.

Le domaine des objets communicants autonomes en énergie a en effet suscité depuis quelques années un vif intérêt de la part de la communauté scientifique et des industriels. Un objet autonome en énergie est un système dont le fonctionnement dépend uniquement de l'énergie qu'il est capable de récupérer dans son environnement. De nombreuses sources d'énergie durables nous entourent et sont disponibles pour alimenter ces objets, citons par exemple les sources photovoltaïques, thermiques, éoliennes ou encore mécaniques. La récupération de l'énergie a également bouleversé le paradigme de la gestion de la consommation d'énergie. En effet, en l'absence de récupération d'énergie, l'objectif consistait à réduire au maximum l'activité inutile du système vis-à-vis de la fonctionnalité à exécuter afin d'en augmenter l'autonomie. Avec les sources d'énergie durables, la problématique a changé puisque les algorithmes de gestion de la consommation d'énergie (*power manager*) adaptent au contraire dynamiquement la consommation du système en fonction de l'énergie récupérée. Ainsi, la neutralité énergétique qui permet un équilibre entre énergie consommée et énergie récupérée mais également d'obtenir une performance optimale du système, est à la base de nombreuses approches. Les premiers pas de ce type d'approche ont été effectués récemment, en particulier pour les réseaux de capteurs, avec des articles de références comme celui de Kansal intitulé « *Harvesting Aware Power Management for Sensor Networks* » [Kansal 2006].

Des recherches sont encore nécessaires afin d'optimiser l'utilisation de ces ressources, car aujourd'hui les architectures à mettre en œuvre et les approches de gestion de la consommation n'en sont qu'à leur début et de nombreux axes d'améliorations sont envisageables. Il paraît de plus indispensable d'aborder cette problématique d'un point de vue global. En effet, les performances et la consommation d'énergie d'un objet communicant dépendent de nombreux paramètres, souvent interdépendants, qu'il s'agira d'évaluer globalement.

De nombreux travaux de recherches sont ainsi en cours et concernent entre autres les architectures d'exécution [Bechara 2011], les systèmes de récupération d'énergie [Hsu 2006] [Kansal 2006] [Leonov 2007] [Lu 2010] [Carli 2010] [Otis 2003] [Roundy 2004], la gestion du lien radio [Proakis 2008] [Sklar 2001], la mobilité des nœuds [Chen 2010b] [Abbagnale 2009] [Braem 2010] [Vlajic 2011] ou encore la pile protocolaire [Alam 2012] [Lin 2004] [Hurni 2010]. Les applications mettant en œuvre des objets communicants autonomes sont vastes et suscitent un vif intérêt de la part de la communauté scientifique mais également des industriels. Citons les applications de surveillance (incendie, structure, agriculture...), d'aide aux individus ou encore de bâtiments intelligents. Nous sommes certainement au début d'une nouvelle évolution technologique et sociétale majeure. L'internet des objets, cette technologie qui consiste à élaborer des systèmes légers environnementaux intelligents, engendrera des objets qui communiquent et interagissent entre eux. Avec 50 à 100 milliards d'objets susceptibles d'être connectés à Internet d'ici 2020, nous sommes sur le point de vivre une mutation dans laquelle des objets de tous les jours deviendront interconnectés et intelligents [Feki 2013].

Cette analyse des évolutions passées ou des tendances auxquelles nous devrions assister ces prochaines années, ainsi que des technologies et des enjeux commerciaux ou sociétaux n'est évidemment pas exhaustive. Elle permet cependant de situer les travaux que j'ai menés depuis l'obtention de mon doctorat en 1999 et de montrer leur cohérence par rapport aux évolutions auxquelles nous assistons. Comme nous le verrons dans la suite de ce document, l'ensemble de ces travaux couvrent un large spectre afin d'adresser des problématiques majeures des systèmes embarqués. Il s'agit de la caractérisation à haut niveau de la performance et de la consommation, des approches de modélisation au niveau système pour la conception et la vérification des SoC faible consommation, et enfin de la modélisation et l'optimisation globale en énergie d'objets communicants autonomes.

Pour conclure cette introduction, il est important de rappeler que la révolution technologique se situe également dans les laboratoires de recherche où les chercheurs ne cessent d'imaginer et de proposer des solutions innovantes aux problématiques posées par les besoins futurs. A travers l'ensemble de mes travaux, j'ai modestement contribué à cette révolution en essayant d'anticiper les évolutions et les besoins futurs aussi bien au niveau des flots de conception et le développement d'outils d'estimation et d'exploration, que des approches globales pour la gestion optimisée en consommation de nœuds de réseaux de capteurs avec récupérateurs d'énergie.

La suite de ce document présente de manière détaillée l'ensemble des activités de recherche que j'ai menées ces dernières années afin d'illustrer les problématiques qui ont été abordées. Le chapitre suivant propose tout d'abord un positionnement de mes travaux selon trois axes de recherche. Les chapitres 3, 4 et 5 détaillent ensuite chacun de ces trois axes et proposent pour chacun d'eux une sélection de certains travaux permettant d'illustrer l'activité menée et les contributions apportées. Une fiche de synthèse conclut chacun des chapitres afin d'établir un bilan des travaux, notamment en décrivant les encadrements ainsi que les projets et publications qui lui sont rattachés. Le chapitre 6 conclut ce document en proposant plusieurs perspectives de recherche importantes qu'il s'agira d'adresser dans le futur afin de faire face aux évolutions à venir et aux défis à relever.

7 - Positionnement des travaux

Depuis 1995 date de ma première expérience de recherche, mes activités de recherche et développement se sont déroulées dans le domaine des systèmes embarqués. Comme nous l'avons introduit précédemment, ces systèmes ont connu de profonds changements ces dernières années et il est évident que leur évolution va se poursuivre à l'avenir. Mes différentes expériences, de mes années de doctorat au sein de VLSI Technology à mon métier d'enseignant-chercheur au LEAT depuis 2008, m'ont permis d'appréhender différents types de systèmes embarqués, en particulier les processeurs de traitement du signal, des plateformes pour la téléphonie mobile et le multimédia, ou plus récemment les nœuds de réseaux de capteurs avec récupération d'énergie. Durant ces années, j'ai également participé au développement de différentes approches et outils de conception pour les systèmes embarqués.

Ces approches ont globalement deux points communs :

- La recherche de méthodologie de haut niveau, que ce soit pour la caractérisation ou la conception de ces systèmes.
- La modélisation et l'optimisation des performances et de la consommation d'énergie.

Les approches de haut niveau sont indispensables afin d'appréhender la complexité croissante des systèmes embarqués. Elles permettent, en particulier grâce au temps de simulation rapide et à l'utilisation de modèles abstraits, d'explorer tôt dans le flot de conception l'espace de solutions et d'aider ainsi les concepteurs dans leur choix. D'autre part, une étude de LSI Logic montre [Mentor 2010] que les meilleures opportunités d'optimisation (en performance ou en consommation) se situent à un haut niveau d'abstraction. Les performances et plus récemment la consommation d'énergie sont des paramètres incontournables des systèmes embarqués. Il est donc indispensable de disposer d'approches et d'outils permettant de modéliser et d'optimiser ces paramètres conjointement.

Les travaux que j'ai menés ces dernières années s'inscrivent dans ces problématiques et adressent certains points particuliers. Mes travaux de thèse tout d'abord ont concerné l'estimation de performance pour des applications de traitement du signal s'exécutant sur une classe de processeurs DSP [Pegatoquet 1999]. Au milieu des années 1990, les compilateurs C pour processeurs DSP étaient généralement incapables de générer un code assembleur respectant les contraintes temps réel fortes des systèmes embarqués. Les coûts de développement élevés associés au codage manuel d'applications sur DSP et la pression sans cesse plus forte du « time-to-market » rendaient cette situation de plus en plus inacceptable pour les entreprises et militaient en faveur d'une approche de haut niveau basée sur l'utilisation de compilateurs. Or, si les compilateurs pour DSP étaient globalement inefficaces, il était toutefois possible d'améliorer de manière significative les performances du code assembleur généré en modifiant le code C d'origine pour le compilateur cible (i.e. l'architecture cible) sur les parties de code critiques de l'application. Ces problèmes ont motivé l'élaboration de nouveaux outils permettant d'accélérer ce processus. Nous avons pour cela proposé d'utiliser des méthodes d'estimations logicielles qui fournissent, à partir d'une description en C de l'application, les performances d'un code assembleur optimisé. Le modèle d'estimation utilisé est multicible et se base sur une représentation intermédiaire orientée schéma de calcul DSP. Ces travaux ont conduit à la conception et au développement d'un outil appelé VESTIM. Cet outil nous a permis de valider notre approche sur différentes cibles DSP pour un ensemble d'applications complètes, en particulier de compression audio (G.726, G.728, G.723, etc.). De nos jours, même si il est encore parfois nécessaire de développer certaines parties du code en assembleur, l'utilisation des compilateurs s'est généralisée ceci pour deux raisons principales : la complexité des architectures (VLIW par exemple) rend délicate l'écriture du code ; et l'amélioration de l'efficacité des compilateurs pour les cibles DSP.

L'expérience acquise lors de ces travaux dans le domaine de l'estimation à haut niveau d'abstraction m'a permis de poursuivre d'intéressantes collaborations avec mon ancienne équipe de recherche. En

effet, dans les années qui ont suivies ma thèse, VESTIM fut utilisé afin de caractériser les éléments constituant la bibliothèque de fonctions spécifiques ou d'applications complètes de l'outil de *co-design*, CODEF [Gogniat 2000] [Auguin 2001] développé dans l'équipe MOSARTS. Par la suite, VESTIM a également été étendu au sein de l'équipe MOSARTS à un modèle d'estimation de la puissance dissipée par le cœur lors de l'exécution d'un programme. Ce travail a fait l'objet d'une thèse soutenue par Patricia Guitton en Octobre 2004 [Guitton 2004].

Fin 2000, après cinq années passées chez VLSI Technology, j'ai poursuivi mon parcours professionnel au sein de la société Stepmind SA, une startup dédiée à la conception de systèmes sur puce (SoC) pour la téléphonie mobile (GSM/GPRS/Edge) et les réseaux sans fils (Wifi, Hyperlan) alors en plein essor. Durant la phase de conception du circuit dédié à la téléphonie mobile, nous avons mené des études permettant de déterminer la fréquence minimum du processeur DSP pour exécuter les différentes tâches requises par le GSM/GPRS et l'EGPRS. Pour cela, nous avons utilisé une approche de niveau système afin de construire rapidement un modèle du sous-système DSP. Les résultats que nous avons obtenus montrent l'intérêt de disposer tôt dans le flot de conception d'outils de modélisation et simulation système tels que NitroVP de la société CardTools [Cardtools] puisqu'ils permettent d'adapter la fréquence d'horloge du DSP et ainsi réduire la consommation globale du système. Etant responsable de la conception et du développement de l'ordonnanceur temps-réel pour cette plateforme GSM/GPRS/EGPRS, ces résultats m'ont également permis de m'assurer, pour la fréquence choisie du DSP, du respect des contraintes temps-réels pour les différents cas d'étude (appel GSM, transferts de données par paquets utilisant le GPRS ou le EGPRS, etc.).

Fin 2003, je rejoignais Texas Instruments et plus précisément l'équipe Layer1-DSP en charge de la conception et du développement de la couche physique des puces de téléphonie mobile 2.75G. Dans le cadre de mon activité d'ingénieur système, une partie importante de mon travail consistait à valider le logiciel modem embarqué dans ce type de chipset. Si l'outil NitroVP permettait de donner des informations utiles lors de la conception d'une puce, il ne permettait pas de valider par simulation le code de l'application. Typiquement la validation du code modem (et en partie son développement !) s'effectuait alors en laboratoire après réception des premiers échantillons (i.e. en phase post-silicon) lorsque les premières plateformes de développement étaient disponibles. Or, compte tenu des contraintes toujours plus fortes de *time-to-market*, il devenait indispensable de valider en avance de phase (en phase pre-silicon) et parallèlement au développement du code RTL, le code amené à s'exécuter sur la puce. C'est dans ce but que j'ai poursuivi mes travaux de modélisation de niveau système, cette fois-ci afin de valider conjointement le matériel et le logiciel embarqué. Le travail accompli en collaboration avec la société Synopsys (préalablement Virtio) a ainsi permis de modéliser et simuler les différents composants d'une plateforme multiprocesseur OMAP de Texas Instruments impliqués dans les scénarios de communication GSM, GPRS ou EGPRS. La plateforme virtuelle correspondante permet ainsi de fournir un modèle d'exécution impliquant un processeur ARM926, un processeur de traitement du signal C55x de Texas Instruments, différentes mémoires (dont une partagée entre le ARM et le DSP) et périphériques (USB par exemple), ainsi qu'une interface avec le circuit RF. En utilisant cette approche, un appel GSM et des transferts paquets GPRS/EGPRS ont été effectués purement en simulation sur la plateforme virtuelle correspondante. Ce travail a permis de réduire de manière significative les temps de validation puisqu'un appel GSM sur réseau réel fut effectué seulement trois semaines après la réception des premiers échantillons, au lieu d'environ 2 mois sans l'aide du prototypage virtuel pour un précédent système sur puce.

Entre 2006 et 2008, j'ai également participé aux travaux de thèse de Hanene Ben Fradj (équipe MOSARTS du laboratoire I3S) s'intéressant à la consommation d'un processeur muni d'une possibilité d'ajustement en fréquence et en tension (i.e. technique DVFS) couplée à une hiérarchie mémoire [Fradj 2006]. La variation de la consommation mémoire multi-bancs a été étudiée sur une application associant une fonction de communication sans fil (GSM) et multimédia (MPEG-2), où l'ensemble des tâches s'exécutent sur une architecture multiprocesseur OMAP1510 de Texas

Instruments. Ces travaux ont permis de mettre en évidence des gains notables aussi bien sur la consommation mémoire que sur la consommation du couple processeur-mémoire.

Depuis septembre 2008, date de mon arrivée au Laboratoire d'Electronique, Antennes et Télécommunications (LEAT), unité mixte de l'Université de Nice Sophia Antipolis et du CNRS, mes activités de recherche se sont inscrites dans la thématique Modélisation et Conception Système d'Objets Communicants (MCSOC). Les thèmes de recherche que j'ai développé au sein de cette thématique se sont concentrés autour d'une problématique unique, la conception d'objets communicants embarqués basse consommation, mais selon différents points de vue. Trois axes de recherche peuvent ainsi être dégagés :

- Caractérisation à haut niveau de la performance et de la consommation de systèmes embarqués.
- Approche de modélisation au niveau système pour la conception et la vérification de systèmes sur puce (*Systems on Chip - SoC*) faible consommation.
- Modélisation et optimisation globale en énergie d'objets communicants autonomes pour réseaux de capteurs.

Axe 1

Le premier axe de recherche concerne la caractérisation à haut niveau de la performance et de la consommation de systèmes embarqués. L'objectif de cet axe de recherche consiste à définir des approches de modélisation de haut niveau permettant d'évaluer les performances et/ou la consommation de systèmes embarqués, mono ou multiprocesseur, parfois hétérogènes, et exécutant le plus souvent du code temps-réel. Les activités menées dans cet axe couvrent donc aussi bien mes travaux de thèse que les recherches plus récentes entreprises avec Thalès Communications dans le cadre de la thèse de Joffrey Kriegel. Entre temps, des travaux relatifs à cet axe de recherche se sont déroulés à partir de 2001 à Stepmind avec le développement d'un modèle de haut niveau du sous-système DSP pour une application 2.5G. Dans la thèse de Joffrey Kriegel nous avons abordé la problématique de l'exploration d'architectures de systèmes embarqués tôt dans le flot de conception. Afin de répondre à cette contrainte industrielle, une méthodologie ainsi que les outils associés ont été développés afin de modéliser un système (logiciel et matériel), puis d'estimer ses performances et sa consommation d'énergie. Durant ma thèse je n'avais considéré qu'une cible monoprocesseur (un DSP) et seule la performance importait. Progressivement, d'abord dans le cadre de collaborations avec mon ancienne équipe de recherche (projet CODEF) puis avec Thalès Communications, ces travaux ont été étendus à l'estimation de la consommation d'énergie et à des cibles multiprocesseurs et souvent hétérogènes. Ce parcours me semble intéressant car il permet de mettre en évidence les méthodologies d'estimation ou de conception à mettre en œuvre afin de s'adapter aux évolutions des systèmes embarqués.

Axe 2

Le second axe de recherche s'intéresse aux approches de modélisation au niveau système pour la conception et la vérification de systèmes sur puce (*Systems on Chip - SoC*) faible consommation. L'objectif de cet axe de recherche est de lever les verrous de conception relatifs à la mise en œuvre de systèmes sur puce faible consommation complexes et d'anticiper les besoins futurs en termes de flot de conception. Les premiers travaux relatifs à cet axe de recherche se sont déroulés lorsque j'étais ingénieur à Texas Instruments, en adressant la problématique de la validation de code embarqué sur une plateforme multiprocesseur (OMAP) en phase pré-silicon. Pour cela, nous avons développé une collaboration avec Synopsys mettant en œuvre la technologie alors émergente des plateformes virtuelles. Cette expérience m'a conduit naturellement à participer au projet collaboratif HELP dont l'objectif était de modéliser à un haut niveau d'abstraction, typiquement en SystemC/TLM, la consommation de puissance d'un SoC. Dans le cadre de la thèse de Ons Mbarek, nous avons ainsi proposé d'étendre une spécification fonctionnelle de niveau transactionnelle (i.e. SystemC/TLM) avec des sémantiques *power-aware* par abstraction du standard UPF au niveau TLM. Pour cela, nous avons développé un environnement complet (*USLPAF*) dont le cœur consiste en une méthodologie (*USLPAM*) bien structurée pour la spécification, la simulation, la vérification et l'exploration d'architectures power. Cet axe de recherche se poursuit actuellement dans le cadre du

projet collaboratif HOPE (thèse de Hend Affes) afin d'étendre le flot de conception proposé dans HELP pour évaluer la dynamique thermique du SoC ou encore de développer des modèles pour la gestion des horloges ou du reset.

Axe 3

Le dernier axe de recherche s'intéresse à la modélisation et l'optimisation globale en énergie d'objets communicants autonomes. Ces travaux s'effectuent plus spécifiquement dans le domaine des réseaux de capteurs sans fil avec des nœuds dotés d'un ou plusieurs systèmes de récupération et de stockage de l'énergie. Ce domaine de recherche est récent du point de vue des systèmes embarqués et il paraît évident que l'activité de recherche s'y rattachant va se renforcer dans les années à venir. Les premières études que nous avons menées dans ce domaine (post-doc d'Antoine Courtay) ont consisté à caractériser en consommation une plateforme existante (iMote2) en proposant en particulier un modèle du circuit RF. Ce modèle a été intégré au simulateur de réseau Ns-2 [Ns2 2011] afin d'en valider la pertinence lorsque les nœuds communiquent entre eux. Les résultats ont montré, pour différents configurations réseaux et divers scénarios, que le modèle proposé permet d'obtenir des estimations de consommation d'énergie très proches des mesures réalisées sur la plateforme matérielle.

Très tôt nous avons pressenti l'apport d'une approche de modélisation de haut niveau et globale pour ces systèmes embarqués à très forte contrainte énergétique. Aussi dès 2010 et dans le cadre du projet collaboratif GRECO, nous avons développé un environnement de simulation sous Matlab permettant de simuler le comportement d'un nœud de réseau de capteurs (thèse d'Andréa Castagnetti). Sur la base d'une librairie de modèles (ex. RF), de spécifications du système (ex. la capacité de la batterie) et de profils de récupérateurs d'énergie (ex. solaire), cet environnement nous a permis de valider deux techniques innovantes de power management (OL-PM et CL-PM) optimisant la période de réveil du nœud et basées sur le principe de neutralité énergétique. Ces travaux ont ensuite été étendus afin de gérer simultanément la période de réveil du nœud et la puissance d'émission, deux paramètres fortement dépendants dans le cas de nœuds mobiles. Une nouvelle technique de gestion de la puissance d'émission (appelée PTPC) basée principalement sur une loi de contrôle et des prédictions de la qualité du canal a ainsi été développée. Ce type d'approche globale est intéressant car il permet d'évaluer les impacts de décisions locales sur le comportement et les performances globales du système.

Plus récemment, des études ont été menées afin de définir un système de gestion de la période de réveil du nœud indépendant de la source de récupération d'énergie (thèse de Trong-Nhan Le). Cette approche originale part du principe que la connaissance de l'état de charge de l'unité de stockage est suffisante pour en déduire la quantité d'énergie récupérée et consommée par le nœud. Sur la base de la connaissance de l'état de charge, nous avons développé une architecture matérielle basée sur un *power monitor*. Ce dernier est capable de fournir en temps réel l'énergie actuellement stockée, l'énergie récupérée et l'énergie consommée par l'objet. A partir de ces informations, un power manager de faible complexité algorithmique a été développé afin d'adapter dynamiquement la période de réveil du nœud tout en garantissant un mode de fonctionnement en neutralité énergétique. Ces travaux ont été validés en simulation puis sur une plateforme matérielle ([PowWow 2012]), ce qui renforce la portée des résultats obtenus. Même si ce principe n'est pour le moment valable que pour des super-capacités comme unité de stockage, ce type d'approche semble particulièrement intéressant et prometteur pour des systèmes autonomes à fortes contraintes de qualité de services et pouvant nécessiter différents types de récupérateurs d'énergie.

D'autres études sont également en cours concernant la gestion optimisée en consommation et en latence de nœuds mobiles au sein d'un réseau 802.15.4/ZigBee (thèse de Chiraz Chaabane). Ces travaux ont déjà permis de proposer une extension du standard 802.15.4 afin de gérer efficacement le changement de coordonnateur d'un nœud mobile. Enfin, des travaux sont en cours (CDD de Laurent Brochier et d'Adrien Mastromarino) afin de simuler conjointement le comportement et l'environnement des nœuds d'un réseau de capteurs pour une application audio. Ainsi, dans un environnement de simulation unique, nous sommes en mesure de simuler conjointement les transferts sur le medium radio (et par conséquent les couches protocolaires 802.15.4 sous-jacentes) grâce au simulateur OMNET++, et le comportement fonctionnel et en consommation du nœud spécifié en SystemC/TLM.

Pour conclure ce chapitre, la Figure 2 ci-dessous illustre dans le temps mon parcours de recherche tout en témoignant de la continuité et de la cohérence des travaux que j'ai pu menés jusqu'ici. Les flèches pointillées indiquent l'influence d'un travail sur l'autre. En effet, l'ensemble de ces activités, y compris celles effectuées avant mon arrivée au LEAT en 2008, interagissent et se renforcent les unes les autres, et une contribution dans un domaine suscite de nouvelles idées dans un autre. Ceci me semble important et positif car il participe à l'éveil et à la maturité scientifique d'un chercheur. Dans la suite de ce document, je détaille mon activité de recherche selon ces trois axes.

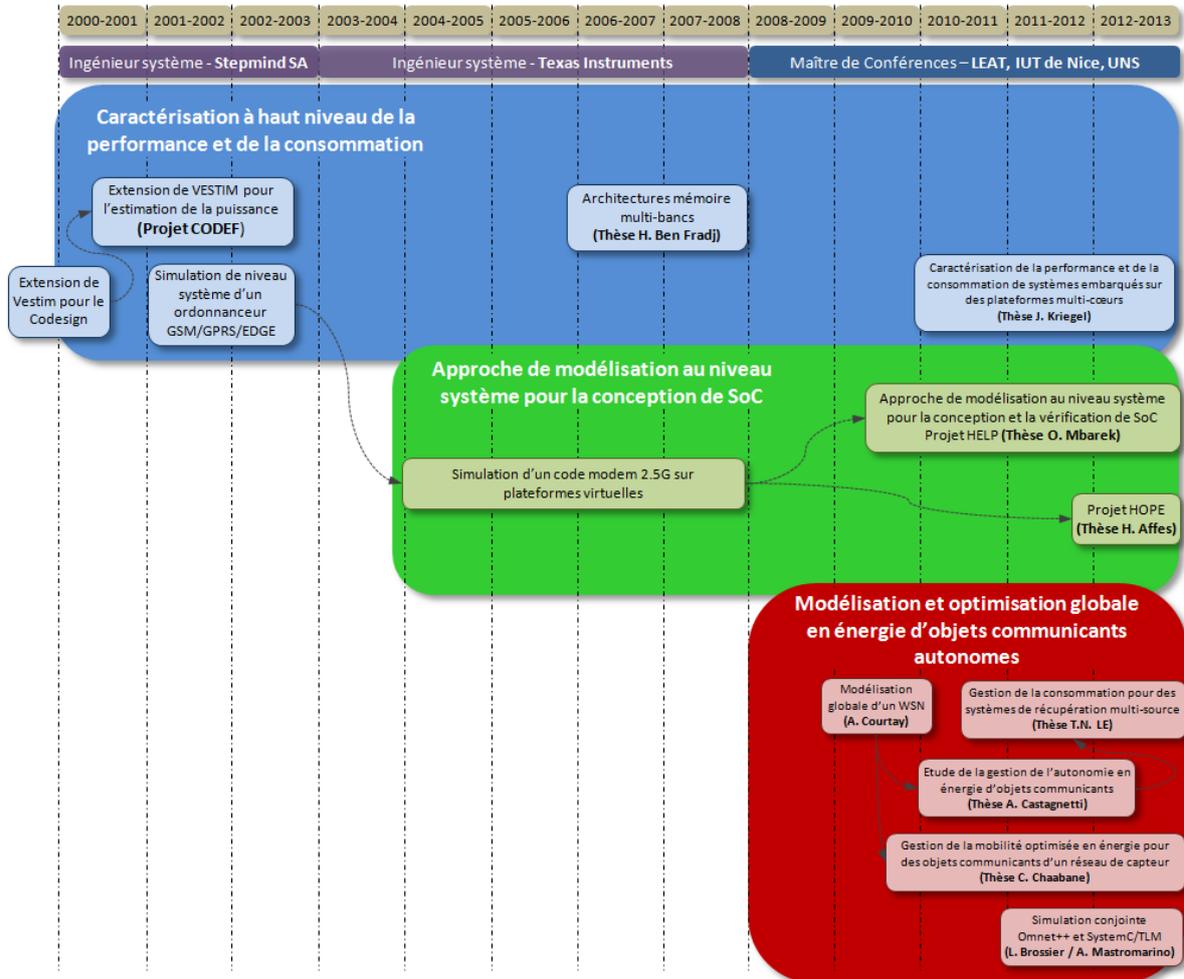


Figure 2. Activités de recherche depuis 1999

8 - Caractérisation à haut niveau de la performance et de la consommation de systèmes embarqués

8.1. Introduction et travaux préliminaires

Le concepteur de systèmes embarqués doit de nos jours faire face à une complexité accrue. Elle recouvre un espace de conception logiciel/matériel plus vaste. Du côté matériel, il inclut : la sélection d'entités de calcul avec leur architecture (mémoire comprise), les interconnexions, et les périphériques, ainsi que leur paramétrage associé. Du côté logiciel, il s'agit : de la répartition des traitements, des politiques d'exécution, ainsi que des stratégies d'implémentation. Cette analyse de l'espace de conception est en particulier assujettie au respect de contraintes temporelles et de consommation électrique. Afin de maîtriser l'ensemble de ces degrés de liberté tout en respectant les contraintes de mise sur le marché (*time-to-market*), il est primordial de proposer aux concepteurs des outils leur permettant d'évaluer tôt dans le flot de conception l'adéquation entre les architectures matérielles et les applications visées.

L'objectif de cet axe de recherche est donc de développer de nouvelles méthodes et de nouveaux outils permettant non seulement d'explorer l'espace de solutions architecturales, mais également d'évaluer les performances d'applications s'exécutant sur des plateformes existantes. Il s'agit donc de lever les verrous de conception entre une spécification de haut niveau et les architectures complexes, souvent multiprocesseurs et hétérogènes sous-jacentes.

Plusieurs contributions ont été apportées au sein de cet axe :

- Utilisation de l'outil d'estimation VESTIM pour le codesign (1999-2001)
- Extension de la méthode d'estimation pour la consommation de puissance (2000-2003)
- Simulation de niveau système d'un SoC pour le GSM/GPRS/EGPRS (2001-2002)
- Optimisation de l'énergie dans une architecture mémoire multi-bancs pour des applications multitâches temps réel (2006-2008)
- Caractérisation de la performance temporelle et de la consommation électrique de systèmes embarqués basés sur des plateformes multiprocesseurs/cœurs et mettant en œuvre du logiciel temps réel (2009-2013)

La Figure 2 donne le déroulement de mes travaux suivant cet axe. Les premiers travaux ont concerné l'intégration de l'outil d'estimations logicielles VESTIM (développé durant ma thèse) dans l'outil de codesign CODEF développé par l'équipe MOSARTS de l'IS. Fournissant des estimations plus réalistes que celles fournies par un compilateur C, l'utilisation de cet outil a permis d'optimiser les choix de partitionnement matériel/logiciel. Par la suite, l'approche développée dans VESTIM et opérant au niveau opération de base a été étendue pour effectuer des estimations de consommation de puissance utilisées par l'outil CODEF. A partir de 2001, je me suis également intéressé à la simulation de niveau système d'un ordonnanceur temps-réel pour un système sur puce dédié au GSM/GPRS/EGPRS. L'objectif était de déterminer avant la phase développement du code, la fréquence minimum du DSP pour exécuter les différentes tâches requises par un téléphone sans fil 2.5G. L'augmentation de la consommation de la mémoire principale des systèmes embarqués a également été considérée dans les travaux concernant l'optimisation de l'énergie dans une architecture mémoire multi-bancs [Fradj 2006]. L'approche développée intervient au sein de la mémoire principale et détermine la configuration de ces différents bancs en fonction du contexte applicatif. L'objectif est de réduire la surface mémoire co-activée avec le (ou les) processeur. Plus récemment, j'ai participé à une collaboration avec Thalès Communications visant à caractériser les performances et la consommation de systèmes embarqués basés sur des plateformes mono ou multiprocesseurs et exécutant du code temps-réel. Ces travaux ont donné lieu au développement d'une méthodologie et des outils associés permettant de modéliser un système (logiciel et matériel)

puis d'estimer ses performances et sa consommation d'énergie. Cette méthodologie s'appuie sur des modèles simples à mettre en œuvre utilisant uniquement des informations présentes dans les documents techniques des constructeurs ou issues d'une phase de *profiling*.

8.2. Présentation des travaux

Afin d'illustrer l'activité menée au sein de cet axe de recherche, la suite de cette section présente le travail de thèse de Joffrey Kriegel adressant le problème de la caractérisation à haut niveau de la performance et de la consommation de systèmes embarqués mono ou multiprocesseurs exécutant du code temps-réel. Bien que cet axe de recherche regroupe d'autres travaux, j'ai choisi ne pas les détailler ici pour deux raisons principales : leur relative ancienneté (10 ans) pour les projets relatifs à l'outil CODEF, et ma plus faible contribution pour les travaux concernant l'optimisation de l'énergie dans une architecture mémoire multi-bancs. Ces travaux sont néanmoins décrits dans la première partie de ce document au paragraphe 3.2.1. intitulé Réduction de la consommation d'énergie des systèmes sur puce.

8.2.1. Problématique

La multiplication des plateformes embarquées disponibles sur le marché rend de plus en plus complexe le choix de l'une d'elles comme support d'exécution d'un produit du commerce. Le développement des architectures multiprocesseurs accentue encore plus ce phénomène. De nombreux choix s'offrent au concepteur afin de respecter les contraintes de performances et de consommation liées à son cahier des charges. Mais quel est le meilleur choix de la plateforme matérielle et comment la paramétrer efficacement ? La réponse à cette question est extrêmement difficile car l'espace de solutions est vaste. En effet le concepteur doit décider (souvent rapidement) entre autres du nombre de processeurs et de leur vitesse, de l'utilisation d'accélérateur matériels, de la taille des mémoires (caches et externes), de la vitesse du bus d'interconnexion, etc. Pour la partie logicielle il lui faudra également prendre des décisions sur la répartition des traitements (entre les différentes unités matérielles) et la politique d'exécution, surtout dans le cas d'applications à fortes contraintes temps-réel. Bien souvent, il est nécessaire d'attendre l'arrivée sur le marché de plateformes de test afin d'exécuter sur ces plateformes des benchmarks ou des applications afin d'évaluer leur performance et leur consommation.

Dans le contexte industriel actuel, cette approche n'est plus pérenne et il devient primordial de disposer d'une méthodologie et des outils associés permettant d'évaluer rapidement des plateformes cibles afin de faire des premiers choix tôt dans le cycle de conception. Ce besoin provient enfin de la nécessité d'accroître le niveau de confiance des choix effectués en amont, car de mauvais choix initiaux peuvent entraîner de lourdes conséquences sur un plan technique mais aussi commercial... Afin de répondre à cette contrainte industrielle (Thalès Communications and Security était notre partenaire), une méthodologie ainsi que les outils associés ont été développés afin de modéliser un système (logiciel et matériel), puis d'estimer ses performances et sa consommation d'énergie pour différentes applications. Comme nous le verrons dans la suite cette méthodologie répond à différentes exigences émanant de Thalès : utilisation des datasheets constructeurs, modèles rapides à développer, estimation rapide (quelques secondes), exploration d'architecture de l'ordre de quelques minutes et des erreurs d'estimation inférieures à 20%. Pour cela, la méthodologie proposée est basée sur une caractérisation à haut niveau de plateformes matérielles mono ou multiprocesseurs et mettant en œuvre du logiciel temps-réel.

De nombreux travaux concernant l'estimation a priori de performance [Cain 2002][Boutekkouk 2009], et dans une moindre mesure, de consommation [Konstantakos 2008][Callou 2008] ont été réalisés ces dernières années par la communauté scientifique. Les approches par simulation de niveau système ont suscitées un vif intérêt car elles permettent d'évaluer rapidement un système complet et de simuler l'interaction entre les différents composants. Metropolis [Balarin 2003], Sesame [Erbas 2007], Milan [Mohanti 2002] ou Artemis [Pimentel 2001] sont quelques exemples d'environnements de niveau système. Ces approches sont généralement basées sur des modèles de calcul (MoC) simples à mettre en œuvre comme des machines d'états [SgROI 2000], des réseaux de

Pétri, des graphes de tâches ou des KPN [Khan 1974]. Si les résultats restent peu précis (mais généralement acceptables), le haut niveau d'abstraction permet d'effectuer des simulations rapides et d'appréhender le système dans sa globalité. Les approches au niveau cycle-près au contraire [Burger 1997][Rosenblum 1997] offrent généralement des précisions très grandes mais les temps de simulation sont importants et le plus souvent seule une partie du système est modélisée. Des études ont été menées afin d'évaluer la technologie des plateformes virtuelles, en particulier QEMU [Bellard 2005], mais aussi Innovator de Synopsys. Pour QEMU, l'étude a permis de montrer les limitations de ce type d'approches pour l'évaluation rapide des performances et de la consommation d'énergie [30]. D'autre part, de nombreux langages permettant d'effectuer des modélisations de haut-niveau ont vu le jour ces dernières années. Citons UML [Boutekouk 2009], AADL [Colbert 2005] [Senn 2012] et SystemC/TLM [Ghenassia 2005] qui permettent de décrire à la fois le logiciel et le matériel. Pour cette thèse, le choix s'est néanmoins porté sur Waveperf [25], un langage appartenant à la famille des approches par simulation de niveau système et développé en interne à Thalès Communications. En effet, notre partenaire industriel souhaitait étudier les possibilités offertes par ce langage, en particulier pour décrire non seulement des applications temps-réel mais également des architectures matérielles.

8.2.2. Description de la méthodologie

Comme le montre la Figure 3, la méthodologie développée se décompose en 5 grandes étapes :

- Modélisation de la plateforme matérielle et de l'application suivie d'une étape de mapping des tâches logicielles sur les différents processeurs.
- Estimation de la performance statique de chaque tâche.
- Génération de code et exécution de l'application au niveau thread.
- Utilisation de traces d'exécution pour l'estimation de la charge des différents processeurs et de la consommation d'énergie.
- Exploration de l'espace de solutions architecturales.

La méthodologie (et l'outil) développée repose sur un modèle en Y-chart [Kienhuis 1997] mettant en œuvre une modélisation distincte de l'application et de l'architecture matérielle. Ce type d'approche évite une modélisation dépendante de l'architecture matérielle et favorise ainsi l'exploration d'architectures.

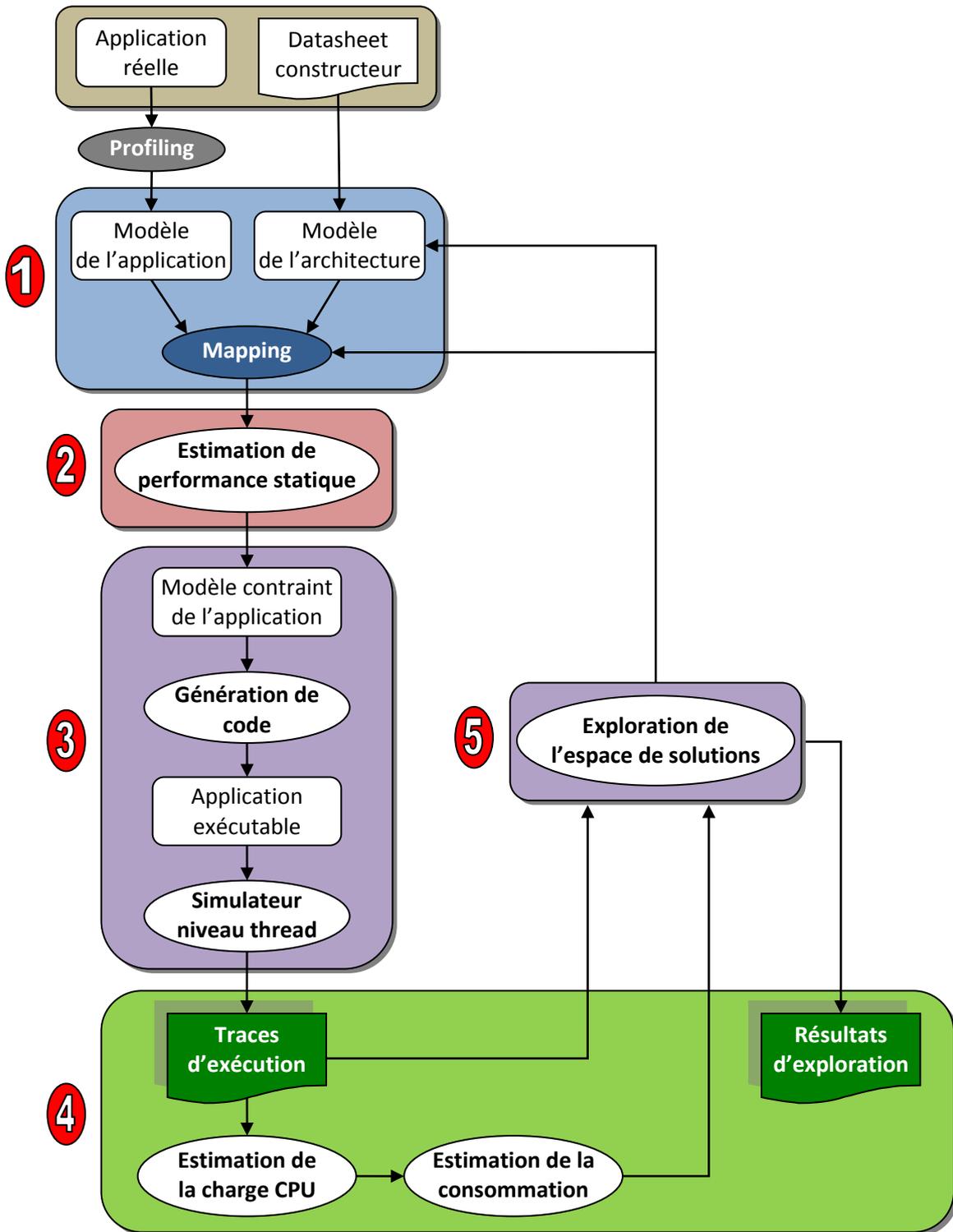


Figure 3. Flot d'estimation et d'exploration de l'espace de solutions

Modélisation de l'application et de la plateforme matérielle, étape de mapping

La description de l'application repose sur un modèle de haut niveau d'abstraction (décrit avec Waveperf) basé sur la description des processus et des tâches ainsi que leurs interdépendances. Elle est issue soit d'une description réelle (le code source), soit d'un modèle théorique de l'application. L'application est modélisée à un niveau tâche dont le niveau de granularité représente un degré de liberté pour le concepteur. Dans le cas d'une application réelle, une étape supplémentaire de profiling est nécessaire. Si l'application n'existe pas encore, on peut utiliser certaines méthodes d'estimation du nombre d'accès mémoire suivant la complexité de l'application, comme par

exemple dans [Neel 2005]. Dans les deux cas, chaque tâche qui possède également une priorité doit être annotée avec les informations suivantes :

- α : taux de parallélisme des instructions
- nb_insn : nombre d'instructions exécutées
- nb_r : nombre d'accès mémoires en lecture de la tâche
- nb_w : nombre d'accès mémoires en écriture de la tâche
- il1 : nombre de cache miss du niveau 1 pour les instructions
- rl1 : nombre de cache miss du niveau 1 pour les lectures
- wl1 : nombre de cache miss du niveau 1 pour les écritures
- il2 : nombre de cache miss du niveau 2 pour les instructions
- rl2 : nombre de cache miss du niveau 2 pour les lectures
- wl2 : nombre de cache miss du niveau 2 pour les écritures
- bm : nombre de défaut de branchement de la tâche (i.e. *branch miss*)

La spécification initiale du langage Waveperf a été enrichie afin de caractériser le modèle applicatif avec précision et par la suite faciliter l'exploration de différentes architectures. Le langage utilisé permet donc de créer aisément des composants logiciels avec des connexions entrantes (tâches) ainsi que les sorties. Une étape de connexion entre ces composants est ensuite nécessaire afin de décrire les dépendances fonctionnelles et le comportement correct du modèle. Voici par exemple la description correspondante à l'application de décodage vidéo H.264 (Figure 4) et utilisant le formalisme de Waveperf (seuls trois paramètres ont été représentés).

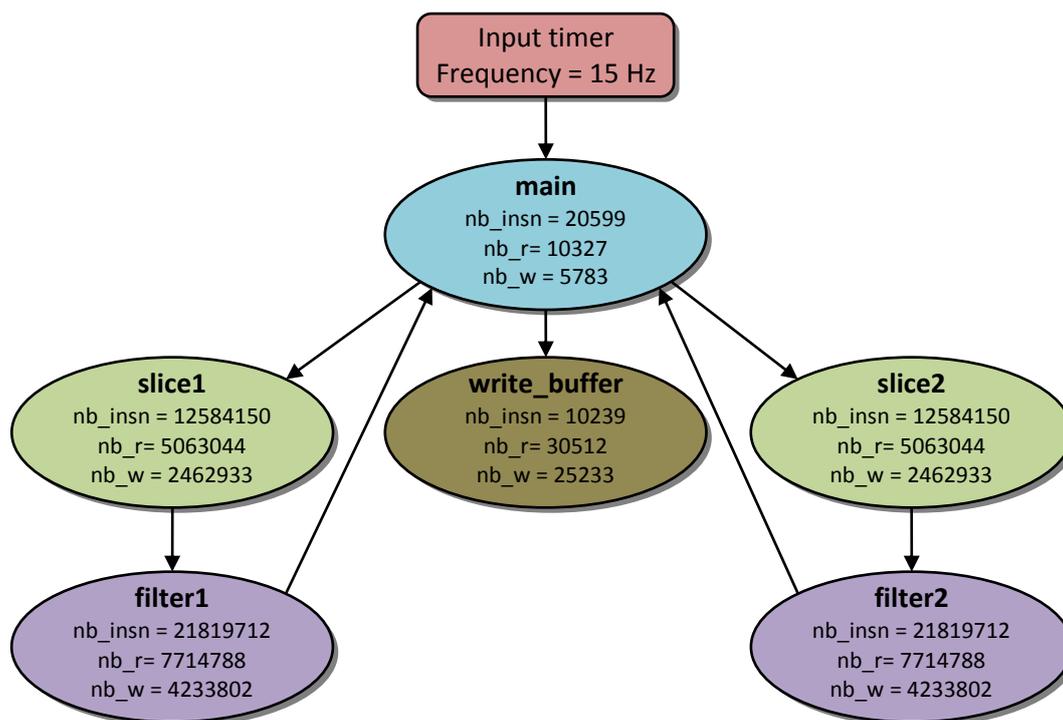


Figure 4. Modèle de l'application décodeur H.264

La plateforme matérielle est modélisée à partir des principaux blocs la constituant, en allant du processeur vers la mémoire principale. Les caractéristiques matérielles principales à définir sont :

- le nombre de processeurs,
- la fréquence des processeurs,
- le nombre d'étages de pipeline
- la puissance de calcul des processeurs exprimée en *Dhrystone* MIPS (DMIPS) par MHz,
- la taille des différentes mémoires caches
- le nombre d'octet par ligne de cache.

Ces informations sont récupérées à partir des *datasheet* des composants matériels à modéliser. C'est le langage Waveperf qui est également utilisé pour décrire la partie matérielle. Une extension de ce

langage a été nécessaire puisque celui-ci n'était conçu initialement que pour décrire la partie logicielle. La Figure 5 illustre la manière dont une architecture quadri-cœurs i.MX6 de Freescale avec deux niveaux de cache peut ainsi être modélisée. Sur la gauche de la figure, on peut apprécier la simplicité et la concision de description du langage Waveperf.

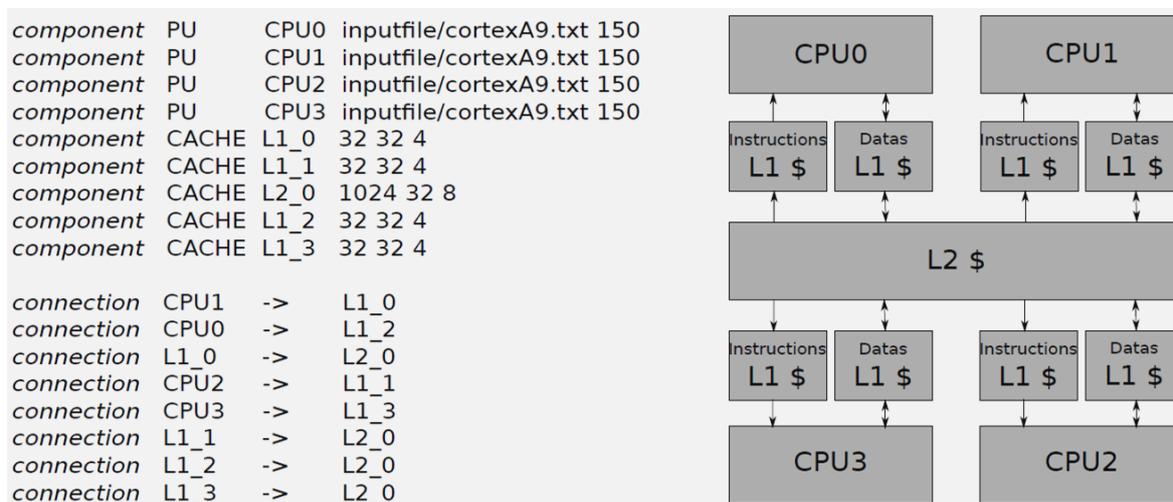


Figure 5. Modélisation de l'architecture matérielle

Les principaux paramètres architecturaux des unités de calcul (PU) peuvent être décrits très efficacement à partir d'informations disponibles dans les *datasheets* constructeurs (fichier *cortexA9.txt* de la Figure 5). La Figure 6 décrit le modèle utilisé pour un processeur ARM Cortex A8. On y trouve successivement l'intervalle de fréquence minimum et maximum du processeur (cet intervalle sera utilisé lors de la phase d'exploration), la puissance de calcul exprimée en *Dhrystone* MIPS par MHz ainsi que le nombre d'étage de pipeline.

```
start_frequency : 100
end_frequency : 800
dmips : 2
pipeline : 13
```

Figure 6. Description d'un processeur ARM Cortex A8

Comme on peut le voir sur la Figure 5, les quatre processeurs ont une fréquence initiale de 150 MHz. Le cache quant à lui est modélisé à l'aide de trois paramètres : sa taille (en kilo octets), sa largeur de ligne et son degré d'associativité. Les lignes suivantes permettent de décrire les connexions entre les composants, celles-ci s'effectuant toujours du processeurs vers la mémoire principale.

A partir de ces deux modèles, une étape supplémentaire de *mapping* est effectuée afin d'obtenir un modèle de l'application contraint par le matériel ciblé pour l'estimation de performance ou de consommation. Il est par exemple nécessaire de définir pour chaque tâche une *affinité*, ce qui revient à lui allouer un processeur cible. Trois types d'affinité ont été définie : fixe, variable et variable par groupe. Dans le cas d'une affinité variable, la tâche peut être assignée à n'importe quel processeur, ce qui autorise la migration de tâches d'un processeur à l'autre dans le cas de plateformes multiprocesseurs. Cette syntaxe est donc particulièrement utilisée lors de la phase d'exploration d'architecture.

Estimation de la performance statique de chaque tâche

Les estimateurs de performance permettent de calculer statiquement (i.e. les effets dynamiques telle que la préemption ne sont pas pris en compte) le temps d'exécution de chaque tâche suivant l'unité de calcul choisie (i.e. le processeur).

L'estimation du temps total d'exécution d'une tâche ($Total_{elapsed_time}$), exprimée en millisecondes, est égale à la somme du temps passé au niveau du processeur ($CPU_{elapsed_time}$) et des mémoires ($MEM_{elapsed_time}$) :

$$Total_{elapsed_time} = CPU_{elapsed_time} + MEM_{elapsed_time}$$

Lors de la phase de validation, cette estimation sera comparée au temps d'exécution de l'application sur la plateforme réelle. L'estimation du temps d'exécution (en ms) requis pour exécuter toutes les instructions présentes dans le thread sur le processeur ($CPU_{elapsed_time}$) est définie de la manière suivante :

$$CPU_{elapsed_time} = \frac{total_nb_insn}{perf} + InstrCacheMissPen + MissPredPen$$

Où :

- ***total_nb_insn*** est égal au nombre total d'instructions exécutées pour cette tâche.
- ***perf*** représente le nombre d'instructions par secondes que le processeur est capable de traiter. Ce paramètre dépend de la fréquence et du nombre de DMIPS par MHz de la plateforme.
- ***InstrCacheMissPen*** permet de prendre en compte le temps nécessaire pour récupérer les instructions lors d'un défaut de cache d'instructions.
- ***MissPredPen*** correspond au temps passé à vider le pipeline lors d'une erreur de prédiction de branchement. Ce paramètre dépend du nombre de mauvaises prédictions de branchements (*nb_miss*) ainsi que de la profondeur du pipeline (*pipeline_depth*) et du temps de cycle de l'horloge (*cycle_time*).

$$MissPredPen = nb_miss \cdot pipeline_depth \cdot cycle_time$$

L'estimation du temps nécessaire pour accéder aux données en mémoire ($MEM_{elapsed_time}$), en lecture ou en écriture et au travers des caches L1 et L2 si nécessaire est défini de la manière suivante :

$$MEM_{elapsed_time} = (nb_r + nb_w) \cdot (rw_ms + \sum_{i=1}^{\infty} li_miss_rate \cdot li_pen)$$

Le paramètre *li_miss_rate* représente le pourcentage de défaut du cache de niveau 1 pour l'application cible. Il est obtenu par profiling en spécifiant à l'outil (Valgrind) la taille des caches de niveau 1 (instructions et les données) et de niveau 2. Ce paramètre permet ainsi d'évaluer l'impact de la taille des différents caches sur les performances. Pour cela il s'agit également de définir une pénalité en temps associée à ces défauts de cache :

$$li_pen = rw_ms \cdot li_nb_cycle$$

Le nombre de cycles de pénalité (*li_nb_cycle*) pour chaque niveau mémoire a été déterminé expérimentalement via le développement d'un programme spécifique (*benchmark*) exécuté sur des plateformes réelles. Le principe de ce *benchmark* consiste à faire varier le nombre de valeurs lues dans une boucle interne (en fait la taille d'un tableau) afin d'effectuer des lectures soit dans le cache de niveau un, soit dans le cache de niveau deux. Par exemple, si l'on souhaite provoquer des accès en lecture dans le cache de niveau deux, il faudra faire des lectures dans un tableau plus grand que la taille du cache de niveau un. La Figure 7 présente les résultats obtenus après l'exécution de ce programme sur trois plateformes matérielles différentes. Sur la partie gauche de la figure on peut observer le temps d'accès en cycles pour accéder à une donnée dans le cache de niveau un, soit environ un cycle pour les trois plateformes. Le second palier de la courbe montre que le temps d'accès pour une donnée dans le cache de niveau deux est d'environ dix cycles.

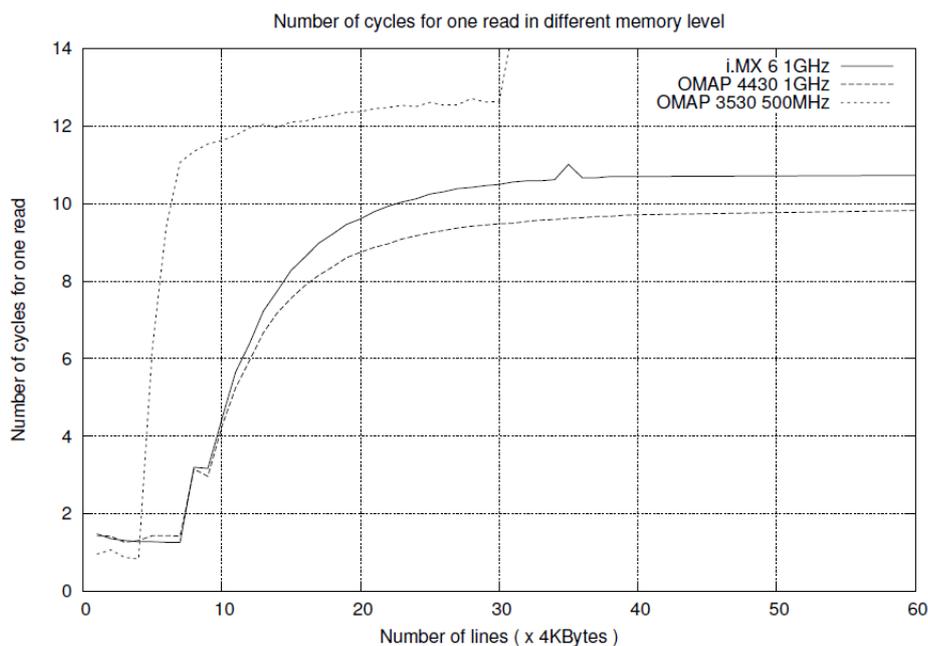


Figure 7. Nombre de cycles pour lire une donnée dans les différents niveaux de cache

Sur la base de ces expérimentations, nous avons approximé le temps d'accès à une donnée présente :

- dans le cache de niveau 1 à un cycle d'horloge,
- dans le cache de niveau 2 à dix cycles d'horloge,
- dans la mémoire principale à cent cycles d'horloge.

L'estimation de la performance statique de chaque tâche est donc basée sur un modèle paramétrique s'appuyant à la fois sur des paramètres issus du profiling de l'application (ex. nombre d'instructions, nombres d'accès mémoires...) et sur des paramètres matériels (ex. fréquence du processeur, taille des caches,...). Ce modèle de l'application contraint par les caractéristiques de l'architecture cible est utilisé par l'outil afin de générer un code exécutable de l'application.

Génération de code, exécution de l'application et génération de traces

L'outil Waveperf est en effet capable de générer du code exécutable d'un modèle d'application pour n'importe quel processeur utilisant POSIX. En combinant les estimations de performance et le résultat du profiling des tâches, il est alors possible de simuler le comportement dynamique de l'application. Le code généré est exécuté sur l'ordinateur hôte utilisant Linux et la norme POSIX. Chaque tâche ayant un temps d'exécution calculé pour le processeur embarqué, la simulation se comporte comme si l'application s'exécutait sur la plateforme réelle. Les différents processeurs de l'ordinateur hôte sont en effet utilisés comme si ils faisaient partis des différentes unités de calcul de la plateforme embarquée. En particulier, le parallélisme de l'application est simulé de la même manière que sur la plateforme cible.

A l'issue de cette simulation, une trace d'exécution est générée. La Figure 8 illustre une trace obtenue pour l'application décodeur H.264. Sur la droite de la figure, on retrouve le modèle de l'application où les différentes tâches ont été assignées sur deux processeurs différents (CPU0 et CPU1) et où figure leurs dépendances fonctionnelles. Une tâche supplémentaire (*periodic task*) est ajoutée afin d'effectuer des tests de préemptions. L'exécution de l'ensemble des tâches de cette application est représentée sur la gauche de la figure. On peut ainsi observer la simulation du parallélisme entre tâches (ex. slice 1 et slice 2). De même, nous pouvons visualiser les effets de préemptions entre tâches, par exemple lorsque *periodic task* préempte les tâches slice 2 ou filter 2 (s'exécutant sur CPU1 également). Dans ce cas, on peut observer que le temps d'exécution de ces tâches est bien légèrement supérieur. Les opérations liées à l'ordonnancement, comme les préemptions et les priorités, sont gérées par le système d'exploitation de la machine hôte (typiquement un PC).

En effet, en utilisant Posix les définitions des parties propriétés d'ordonnancement sont standards. Ainsi, lorsque les tâches sont prêtes à être exécutées, le système d'exploitation (ici Linux) va alors les ordonner dynamiquement suivant leurs priorités et leur affinité de processeurs.

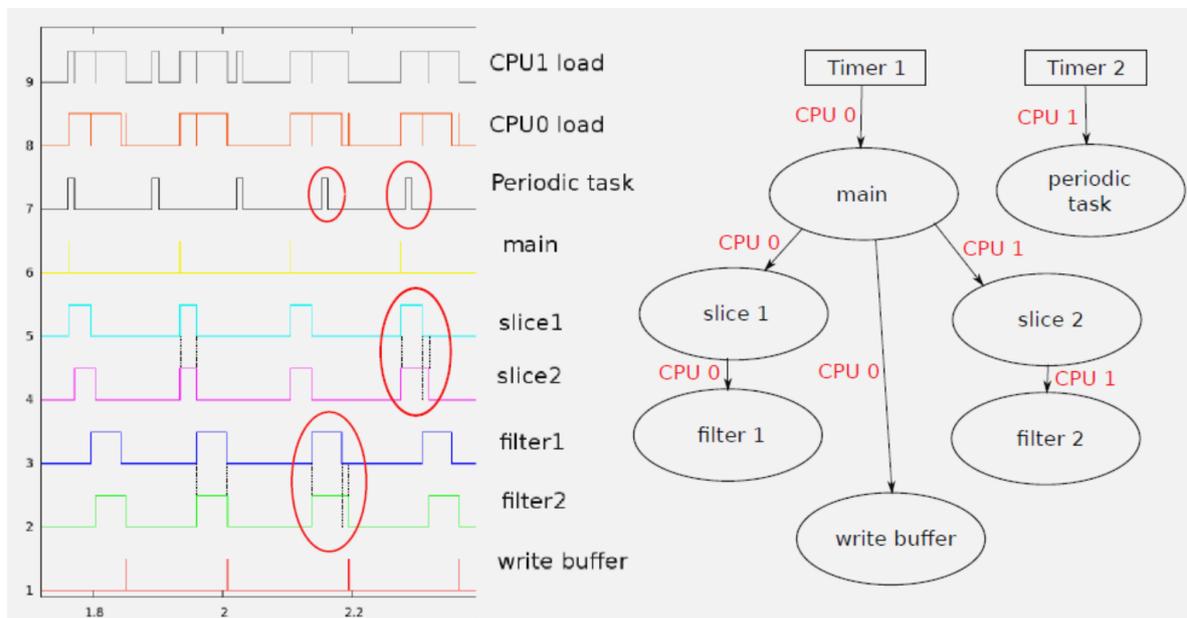


Figure 8. Exemple de trace d'exécution du décodeur H.264 sur deux processeurs

Ces traces peuvent ainsi représenter un précieux support pour l'analyse du comportement fonctionnel et dynamique de l'application, afin par exemple de s'assurer du respect de la périodicité ou de l'ordonnancement des tâches. Enfin, il est aussi possible de tracer les accès aux différentes mémoires de la plateforme. Cette information peut être particulièrement utile pour déterminer par exemple les mémoires les plus utilisées ou pour évaluer si les caches sont correctement dimensionnés, ou encore si il y a des pics d'accès mémoire. La Figure 9 montre par exemple les accès mémoire obtenus pour l'application H.264 décodant des vidéos à 8 images par seconde sur une plateforme ARM Cortex-A8.

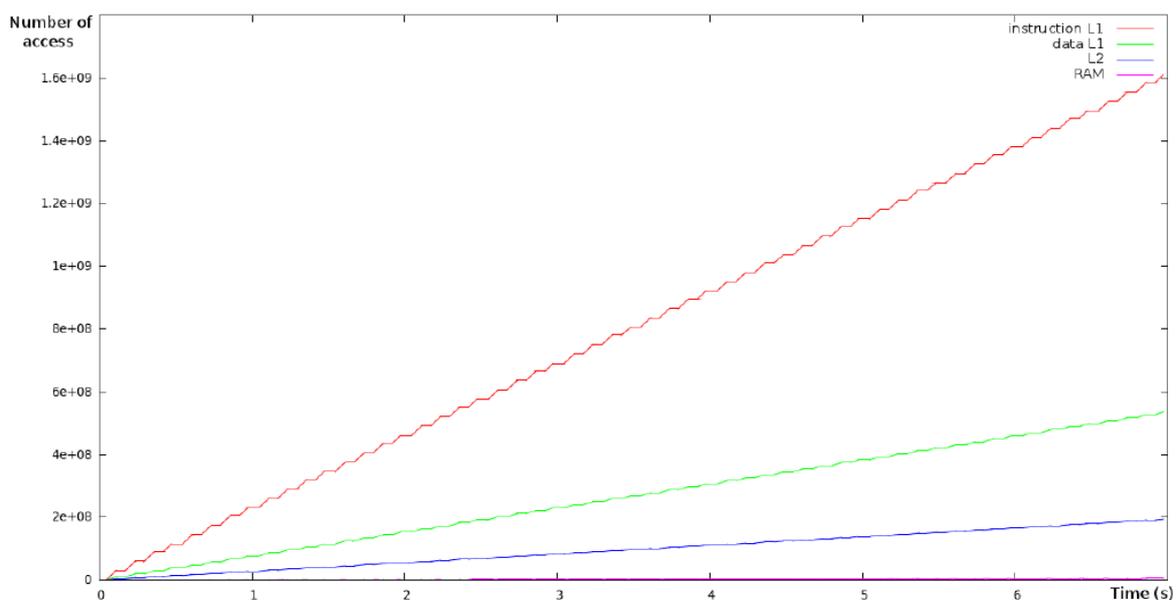


Figure 9. Trace du nombre d'accès dans les différentes mémoires

Ce graphique permet de visualiser les accès pour chaque mémoire, et ainsi d'analyser que la mémoire la plus sollicitée est le cache d'instructions de niveau un et que la mémoire principale

(RAM) est très peu utilisée. Les traces sont également exploitées afin de déterminer l'activité de chaque processeur représentées par *CPU0 load* et *CPU1 load* sur la Figure 8. Cette information permet d'évaluer le niveau de parallélisme de l'application et de s'assurer si besoin de l'efficacité d'une architecture multiprocesseur. Comme le montre la Figure 3, une estimation de la consommation est effectuée à posteriori sur la base de traces d'exécutions générées lors de la simulation.

Estimation de la consommation d'énergie

Dans ces travaux deux types de modèles de consommation ont été investigués: un modèle gros grain et un modèle à grain fin.

La méthode gros grain effectue une estimation moyenne de la consommation d'énergie globale incluant les cœurs de processeur et les caches de niveau L1 et L2. D'autre part, l'information disponible de l'activité des processeurs permet de déterminer si le processeur est actif ou inactif, et donc d'en déduire l'énergie consommée pour exécuter l'application. L'avantage de l'estimation gros grain est de permettre de créer une caractérisation de la consommation du composant très simplement sans avoir d'outillage spécifique. Des expérimentations effectuées avec une plateforme OMAP3530 pour l'application H.264 montre des erreurs d'estimations de 2 à 3% pour trois fréquences de fonctionnement différentes du processeur, ce qui est très précis compte tenu du niveau d'abstraction considéré. Cependant, cette approche reste difficilement généralisable car elle dépend fortement de l'application et notamment du nombre de défaut de cache. Aussi, une méthode d'estimation plus précise a été élaborée.

La méthode grain fin sépare l'estimation en deux parties, différenciant la consommation des cœurs de processeur et la consommation des mémoires cache L1 et L2. Bien qu'il soit de nos jours impossible d'évaluer séparément la consommation de ces différentes unités matérielles, il est néanmoins possible de mesurer en même temps la consommation du processeur, des caches L1 (instructions et données) et du cache L2. L'idée est donc d'utiliser des benchmarks spécifiques permettant d'activer qu'une partie de la plateforme afin d'évaluer ensuite par déduction la consommation de chaque sous-partie. Trois benchmarks ont ainsi été développés afin de différencier la consommation des différentes parties du système :

- benchmark1 : les instructions seulement (i.e. le processeur et le cache L1 instruction),
- benchmark2 : les instructions et le cache de données L1,
- benchmark3 : les instructions et les caches de données L1 / L2.

Pour estimer la consommation électrique d'un cœur de processeur, nous avons utilisé un modèle dépendant du nombre d'instructions exécutées (informations issues du profiling) et du courant de fuite (i.e. *leakage*). Pour estimer la consommation électrique des mémoires cache, le modèle utilisé se base sur le nombre d'accès effectué sur chacune d'elles et tient compte du courant de fuite. Nous avons ainsi défini les paramètres suivants pour nos modèles de consommation:

- *leakage* : courant de fuite du système,
- *cpu* : consommation du processeur pour une instruction exécutée,
- *I\$1* : consommation du cache d'instructions de niveau 1 pour une instruction exécutée,
- *D\$1* : consommation du cache de données de niveau 1 pour accéder à une donnée,
- *L\$2* : consommation du cache de niveau 2 pour accéder à une donnée (on néglige la lecture des instructions du cache de niveau 2 puisque ces instructions une fois lues restent dans le cache de niveau 1 pendant la durée du benchmark).

Soit A le nombre d'instructions exécutées durant le benchmark1, $time1$ le temps d'exécution du benchmark et $E1$ l'énergie consommée par la plateforme, on a alors :

$$E1 = A \cdot cpu + A \cdot I\$1 + time1 \cdot leakage$$

Soit B le nombre d'instructions exécutées durant le benchmark2, C le nombre de lecture en cache, $time2$ le temps d'exécution du benchmark et $E2$ l'énergie consommée par la plateforme, on a alors :

$$E2 = B \cdot cpu + B \cdot I\$1 + C \cdot D\$1 + time2 \cdot leakage$$

Soit B le nombre d'instructions exécutées durant le benchmark3, C le nombre d'écritures en cache, $time2$ le temps d'exécution du benchmark et $E3$ l'énergie consommée par la plateforme, on a alors :

$$E3 = B \cdot cpu + B \cdot I\$1 + C \cdot D\$1 + C \cdot L\$2 + time2 \cdot leakage$$

Comme nous connaissons les valeurs de $E1$, $E2$ et $E3$ (mesures des énergies), de A , B et C (valeurs connues en créant les benchmarks spécifiques), de $time1$ et $time2$ (les temps d'exécution mesurés) et du $leakage$, il est alors possible en utilisant les trois équations précédentes de déduire la consommation de chaque sous-partie. Pour le calcul de la consommation du cache de niveau 2, il suffit de calculer $E3 - E2 = C \cdot L\$2$, soit :

$$L\$2 = \frac{E3 - E2}{C}$$

Pour déterminer les autres valeurs, il faut tout d'abord calculer le coût d'une instruction pour le processeur et le cache de niveau un. Puisque nous avons $E1 = A \cdot cpu + A \cdot I\$1 + time1 \cdot leakage$, on peut en déduire que :

$$(cpu + I\$1) = \frac{E1 - time1 \cdot leakage}{A}$$

On peut ensuite remplacer cette valeur dans l'équation définissant $E2$, soit :

$$E2 = B \cdot (cpu + I\$1) + C \cdot D\$1 + time2 \cdot leakage$$

$$E2 = B \cdot \left(\frac{E1 - time1 \cdot leakage}{A} \right) + C \cdot D\$1 + time2 \cdot leakage$$

On peut alors en déduire la valeur pour la consommation du cache de données de niveau 1 :

$$D\$1 = \frac{E2 - B \cdot \left(\frac{E1 - time1 \cdot leakage}{A} \right) - time2 \cdot leakage}{C}$$

Comme les caches de niveau 1 pour les données et les instructions sont identiques, on peut en déduire que leur consommation est identique et donc $I\$1 = D\1 .

On peut enfin calculer la consommation du processeur pour une instruction exécutée grâce à l'équation définissant $E1$:

$$cpu = \left(\frac{E1 - time1 \cdot leakage}{A} \right) - I\$1$$

Ces différents paramètres (processeur, cache L1/L2 et leakage) ont été caractérisés grâce au banc de mesure du projet OPEN-PEOPLE [Atitallah 2013], en utilisant une plateforme OMAP3530 basée sur un ARM Cortex-A8 cadencé à cinq fréquences processeur différentes (de 125 à 600 MHz). Puisqu'il n'est pas possible de vérifier individuellement les valeurs obtenues, les résultats ont été comparés de manière globale et sont présentés dans le paragraphe 8.2.4. Avant cela, nous allons décrire la dernière étape du flot qui consiste à explorer l'espace de solutions.

Exploration de l'espace de solutions

L'outil d'exploration de l'espace de conception permet de manière automatique d'évaluer plusieurs alternatives architecturales et de converger vers une solution minimisant la consommation du système tout en respectant les contraintes temps-réel¹. Afin de bénéficier de l'expertise des concepteurs Thalès, le choix s'est porté vers une méthode d'exploration guidée et basée sur une connaissance à priori des solutions les plus appropriées.

Comme on peut le voir sur la Figure 3, l'exploration se base sur les traces d'exécution ainsi que sur les estimations de charge CPU et de consommation. Après une analyse de ces traces, l'outil va explorer différentes alternatives architecturales en modifiant certains paramètres et composants matériels (fréquence, nombre de processeur, etc.) ainsi que la répartition des tâches (affinité) sur les différents processeurs. Pour cela, des contraintes (ou objectifs) sont spécifiées à l'explorateur, certaines qu'il est nécessaire de respecter comme la consommation et le temps d'exécution de certaines tâches, d'autres optionnelles comme le taux de charge des processeurs. Afin de converger vers une solution optimisée, l'explorateur dispose de deux leviers :

- la fréquence des processeurs,
- et la répartition des tâches sur les différents processeurs.

Bien qu'il soit possible d'utiliser d'autres paramètres lors de l'exploration (ex. la taille des caches ou le type de processeurs), dans cette étude nous avons cherché à optimiser la configuration d'une plateforme existante pour laquelle certains paramètres sont fixes (ex. la taille des caches).

L'algorithme utilisé pour l'exploration consiste à trouver le meilleur compromis de répartition des tâches sur le système avec les fréquences d'exécution les plus faibles afin de consommer le moins d'énergie possible. Initialement, ce processus itératif tente de répartir les tâches sur un maximum de processeurs en utilisant les fréquences les plus faibles possibles. Nous avons en effet montré par différentes expérimentations qu'une plateforme multiprocesseur fonctionnant à de plus faibles fréquences qu'une plateforme mono-cœur consomme moins d'énergie. Le processus d'exploration s'arrête si une solution respectant les contraintes temps-réel et/ou de charge des processeurs est trouvée, si des fréquences sont supérieures à la valeur maximum autorisée ou si le temps d'exploration dépasse un seuil prédéfini. Nous considérons en effet que si aucune solution n'a été trouvée au bout d'un certain temps (5 minutes dans nos expérimentations), c'est que l'architecture matérielle ne peut satisfaire les contraintes de l'application considérée.

¹ En fait, par manque de temps la prise en compte de la consommation d'énergie par l'algorithme d'exploration n'a pas été implémentée.

8.2.3. Résultats d'estimation de performances

De nombreuses expérimentations ont permis de valider la méthodologie proposée pour diverses applications multimédia (décodeur vidéo H.264, encodeur/décodeur audio G.726, encodeur d'image JPEG, application radio) et benchmarks s'exécutant sur diverses plateformes mono ou multiprocesseurs. Le Tableau 3 liste l'ensemble des plateformes matérielles utilisées lors de la phase de validation ainsi que leurs principaux paramètres.

Plateforme	Fréquences (MHz)	DMIPS	Profondeur du pipeline	Nombre de cœurs	Taille Cache L1	Taille Cache L2
AT91SAM9263	125-200	1.1	5	1	2 x 8 kB	0 kB
i.MX 31	532-665	1.18	8	1 – 4	2 x 16 kB	128 kB
OMAP3530	100-800	2.0	13	1	2 x 16 kB	256 kB
OMAP4430	300-1800	2.5	8	1 – 2	2 x 32 kB	1024 kB
i.MX 6	400-1200	2.5	8	1 – 4	2 x 32 kB	1024 kB
QorIQ	533-1200	2.5	7	1 – 2	2 x 32 kB	512 kB

Tableau 3. Liste des plateformes matérielles utilisées et leurs paramètres

La Figure 10 présente l'architecture du chip OMAP3530. La plateforme matérielle basée sur ce chip (appelée *Beagle board*) permet de mesurer la puissance consommée par le cœur de processeur ou par la mémoire RAM. Cette carte de développement a également été choisie pour sa simplicité de mise en œuvre et ses nombreuses possibilités de configurations. On dispose par exemple d'une large gamme de fréquences processeur allant de 100 à 800MHz, d'une fréquence de bus mémoire paramétrable (83 ou 166MHz), et des caches qu'il est possible de désactiver. La technologie de gravure utilisée pour ce composant est de 65 nm.

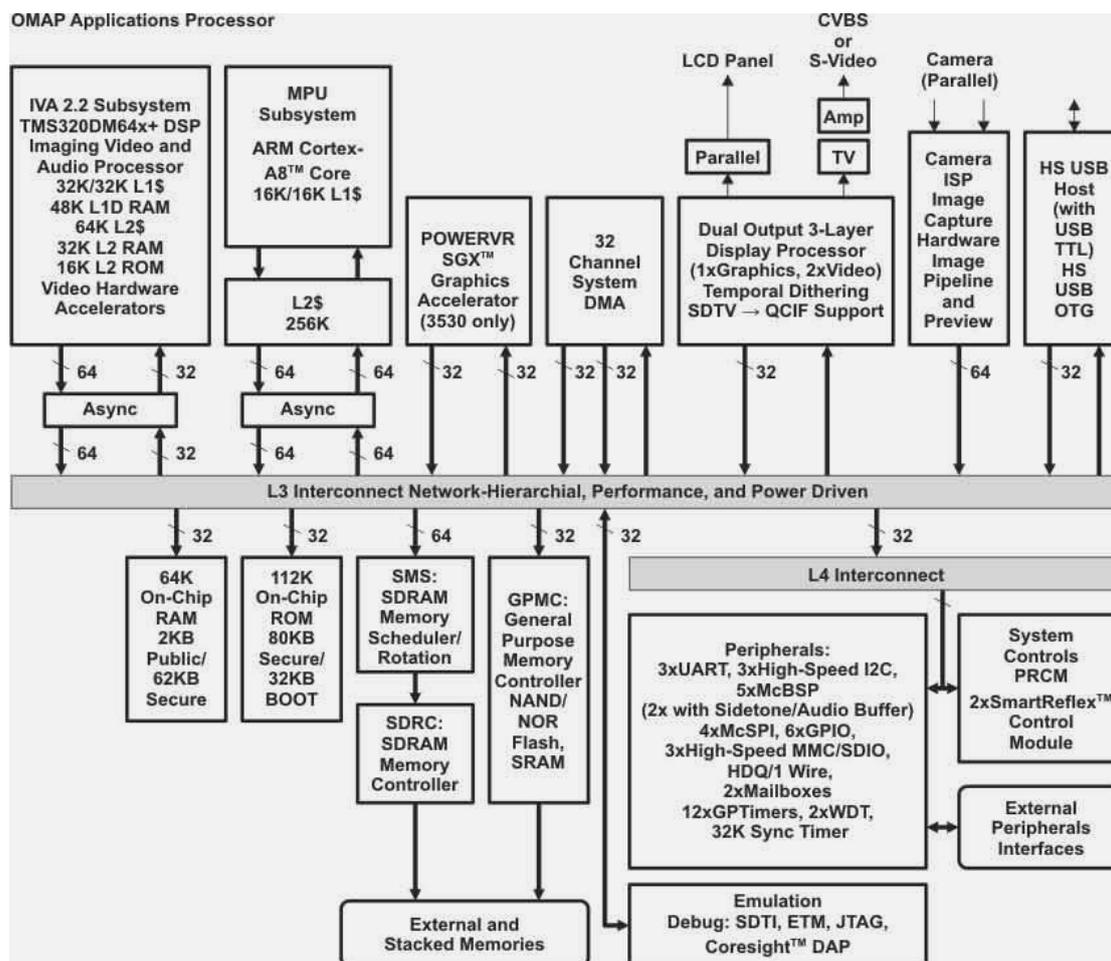


Figure 10. L'architecture OMAP3530

Les résultats d'estimations de performances obtenus pour les différentes plateformes mono ou multiprocesseurs ainsi que diverses applications sont regroupés sur la Figure 11 ci-dessous.

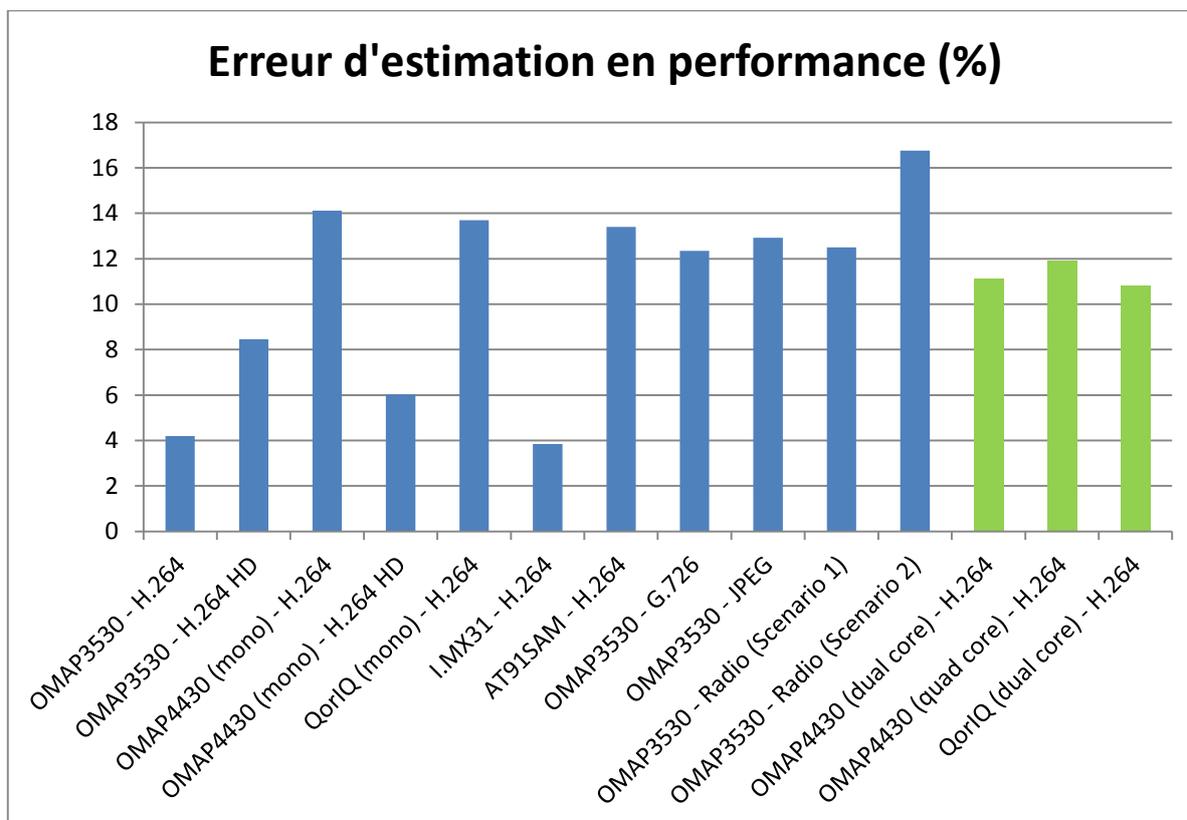


Figure 11. Pourcentage d'erreur d'estimation en performance

Cette figure présente le pourcentage d'erreur en valeur absolue entre l'estimation fournie par l'outil développé au cours de cette thèse (appelé FORECAST) et les mesures effectuées sur plateformes réelles. En fait, la plupart des estimations sont inférieures aux valeurs réelles montrant un certain optimisme de l'outil. Bien qu'une étude approfondie n'ait pas été menée afin d'analyser cet optimisme, on peut toutefois avancer deux raisons expliquant ce comportement : le modèle de latence utilisé pour les caches est imprécis (cf. Figure 7) et l'OS qui perturbe certainement l'exécution de l'application n'est pas pris en compte dans les modèles d'estimations. Les estimations obtenues sont toutefois très précises compte tenu du niveau d'abstraction des modèles utilisés pour décrire l'application et l'architecture cible. Avec une moyenne d'environ 11%, les erreurs d'estimations demeurent toujours inférieures à la contrainte de 20% fixée initialement par le partenaire industriel. Enfin, il est intéressant de noter que les résultats d'estimation ont tous été obtenus à partir d'un profiling effectué sur une architecture ARM alors que le QorIQ est par exemple basé sur un PowerPC. Ce résultat montre la validité de l'approche pour des plateformes appartenant à une même classe d'architecture.

8.2.4. Résultats d'estimation en consommation d'énergie

Diverses expérimentations ont également été menées afin de valider les modèles permettant d'estimer la consommation d'énergie. Le Tableau 4 présente les résultats obtenus en utilisant le modèle grain fin pour deux applications exécutées sur une plateforme OMAP3530 (ARM Cortex-A8) cadencée à différentes fréquences. Ces résultats montrent que le modèle grain fin n'est pas assez fiable. Nous constatons tout d'abord que les estimations varient significativement en fonction de la fréquence, donnant des valeurs soit optimistes, soit pessimistes. De plus, pour l'encodeur JPEG les résultats dépassent largement la marge d'erreur de 20% pour les deux fréquences de fonctionnement. Ces résultats décevants et difficilement interprétables nous ont amené à considérer le modèle gros grain pour les mêmes applications.

Application	Fréquence (MHz)	Energie mesurée (mJ)	Energie estimée (mJ)	Erreur (%)
Décodeur H.264 pour 8FPS	600	1736	1584	-8,7
	550	1340	1357	1,3
	500	1020	1109	8,7
Encodeur JPEG	600	107,6	67,9	-36,9
	500	77,2	53,2	-31,1

Tableau 4. Estimation de la consommation d'énergie à partir du modèle grain fin

Le Tableau 5 ci-dessous présente les résultats obtenus en utilisant le modèle gros grain. Comme on peut l'observer, l'estimation de la consommation d'énergie est bien meilleure dans ce cas. En fait, il semble que l'utilisation d'une moyenne de consommation lorsque le processeur effectue du calcul (cf. Figure 12) réduit la marge d'erreur possible lors des estimations. On retrouve en effet approximativement la même erreur que pour l'estimation de performances, ce qui montre que peu d'erreur est ajoutée par le modèle gros grain.

Application	Fréquence (MHz)	Energie mesurée (mJ)	Energie estimée (mJ)	Erreur (%)
Décodeur H.264 pour 8FPS	600	1736	1759	1,3
	550	1340	1403	4,7
	500	1020	1070	4,9
Encodeur JPEG	600	107,6	91,9	-14,6
	500	77,2	66,1	-14,5

Tableau 5. Estimation de la consommation d'énergie à partir du modèle gros grain

Pour conclure, la Figure 12 montre la consommation de puissance instantanée pour les deux applications utilisées lors de la validation en consommation.

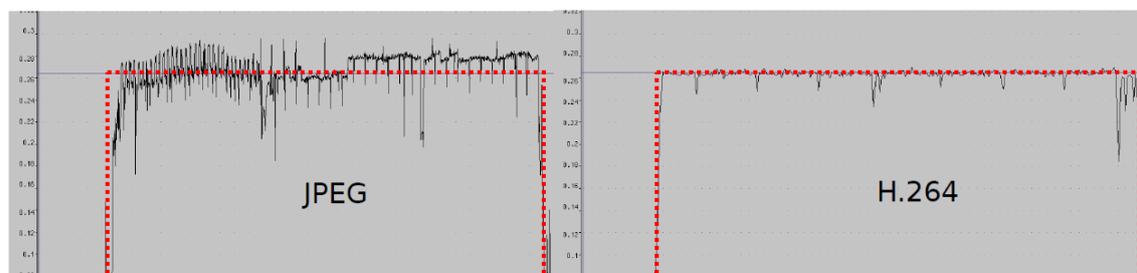


Figure 12. Consommation instantanée et modèle utilisé pour deux applications

Comme nous pouvons l'observer, le profil de consommation est très différent entre ces deux applications. La consommation de l'application JPEG varie beaucoup au cours du temps, alors que l'application H.264 présente un profil en consommation beaucoup plus régulier. Le trait rouge sur la Figure 12 indique la valeur de consommation moyenne utilisé par notre modèle d'estimation gros grain.

8.2.5. Comparaison avec une approche basée QEMU/SystemC

Afin de s'assurer de la pertinence du rapport effort/précision de notre approche, nous avons également comparé nos résultats d'estimation avec une méthode développée dans le cadre du projet COMCAS (Catrene). Dans ce projet, l'approche se base sur un émulateur d'instructions (QEMU [Bellard 2005]) et des wrappers SystemC permettant d'ajouter des informations temporelles et des modèles de périphériques matériels. La Figure 13 montre les erreurs d'estimations obtenues sur une plateforme OMAP4 pour différents benchmarks (issus de la suite *nbench* [Cho 2007]) et trois

fréquences de fonctionnement en utilisant notre approche et celle proposée par le projet COMCAS. Comme nous pouvons le voir, les estimations fournies par COMCAS sont globalement pessimistes et présentent une erreur moyenne légèrement supérieure en comparaison des résultats fournis par notre approche. Ces erreurs proviennent certainement du fait que le dual-pipeline du Cortex-A9 n'est pas modélisé dans l'émulateur QEMU. Hormis pour le benchmark « string sort », nos estimations restent en dessous de la marge d'erreur de 20% et demeurent optimistes comme nous l'avons déjà constaté précédemment. Les résultats observés avec des architectures multiprocesseurs confirment cette tendance.

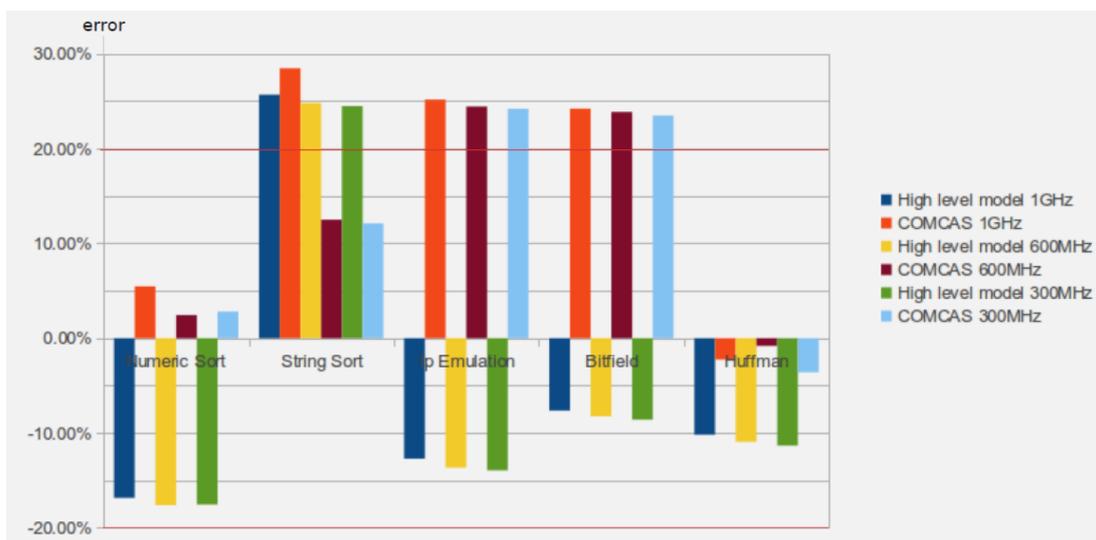


Figure 13. Comparaison des estimations avec l'approche COMCAS

Toutes ces expérimentations montrent que notre approche offre un très bon compromis entre effort de modélisation et précision des estimations. De plus, la durée nécessaire pour obtenir les résultats d'estimation est beaucoup plus rapide : 6 secondes en utilisant notre approche contre environ 5 minutes pour COMCAS.

8.2.6. Exploration de l'espace de conception

Afin de valider l'outil d'exploration développé, nous avons entrepris différentes expérimentations. L'une d'elles consiste à rechercher la solution architecturale permettant de décoder 100 images par secondes (application H.264) sur une plateforme quad-core en limitant la charge des différents processeurs entre 80 et 90%. La Figure 14 montre le déroulement de l'exploration.

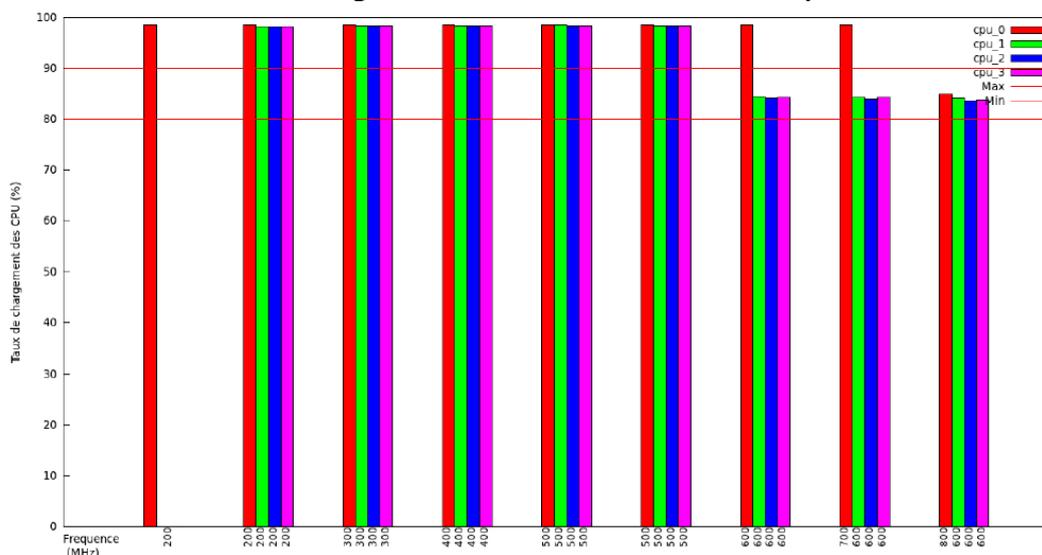


Figure 14. Processus d'exploration pour une architecture quad-core

Comme on peut l'observer, l'explorateur commence par paralléliser les tâches sur les différents processeurs. Les contraintes spécifiées n'étant pas respectées, l'explorateur augmente alors la fréquence des différents processeurs dont la charge est supérieure 90%. Après huit itérations, l'explorateur converge vers une solution utilisant un processeur à 800MHz et les autres à 600MHz. Le premier processeur exécutant une partie de l'application « non parallélisée », il nécessite une fréquence plus élevée afin de compenser ce manque de parallélisme. Les processeurs sont alors tous à environ 85% de charge. Nous avons comparé ce résultat avec la configuration requise sur une plateforme réelle OMAP4430 fonctionnant avec des vitesses identiques pour chaque processeur (contrainte constructeur). Les expérimentations montrent qu'une fréquence de 725MHz est nécessaire dans ce cas afin de respecter la contrainte de 100 images par seconde. En extrapolant les valeurs obtenues par l'explorateur (en particulier en supposant une charge de 100% pour chaque processeur), nous obtenons une fréquence d'environ 747 MHz pour les quatre processeurs. Cette exemple a démontré la capacité de l'approche proposée à appréhender un espace de conception architecturale.

8.3. Conclusion et perspectives

La conception de systèmes embarqués est une tâche complexe nécessitant de nombreuses compétences afin d'obtenir une solution efficace. A travers les travaux menés dans cet axe de recherche, nous avons abordé le problème de l'estimation de la performance et de la consommation à partir d'un haut niveau de description. Nous avons également développé différents environnements permettant une exploration de l'espace de conception. La méthodologie que nous avons détaillée dans cet axe de recherche s'appuie sur une modélisation abstraite permettant de décrire à la fois l'application et l'architecture matérielle. Elle repose également sur des modèles paramétriques simples à mettre en œuvre basés sur des informations présentes dans les documents techniques des constructeurs ou issues d'une phase de profiling de l'application. De plus, les paramètres architecturaux ayant un impact significatif sur les performances ou la consommation ont pu être identifiés. De nombreuses expérimentations ont été menées pour diverses applications s'exécutant sur différentes plateformes mono ou multiprocesseurs. Les résultats obtenus montrent que le rapport entre effort de modélisation et précision des estimations est tout à fait intéressant et militent en faveur de ce type d'approche de haut niveau. Il serait toutefois intéressant d'étudier la généralité de la méthodologie proposée afin de prendre en compte des architectures hétérogènes incluant par exemple des DSP ou des accélérateurs matériels, d'affiner le modèle grain fin pour la consommation d'énergie, ou encore de considérer la portabilité de l'approche pour d'autres OS.

Afin de mener à bien ces travaux, 1 doctorant et un stagiaire ingénieur (encadré par Thalès) ont participé à ce projet.

L'ensemble des travaux menés au sein de cet axe de recherche a conduit à 11 publications scientifiques (1 revue internationale [4], 7 conférences internationales [24] [25] [30] [33] [48] [49] [36] et 3 conférences nationales [55] [60] [63]).

8.4. Fiche de synthèse des travaux

Co-encadrements de thèses

Joffrey KRIEDEL – Convention CIFRE avec THALES Communications and Security

Années de thèse : 2009 / 2012

Caractérisation de la performance temporelle et de la consommation électrique de systèmes embarqués basés sur des plateformes multiprocesseurs/cœurs et mettant en œuvre du logiciel temps réel

Thèse soutenue le 29 janvier 2013

Encadrement : Michel Auguin (50%), Alain Pegatoquet (50%)

Collaborations scientifiques et industrielles

CODEF 1998/2001, Contrat industriel, I3S, VLSI Technology/Philips.
Forecast 2009/2012, Convention CIFRE, *Thales Communications and Security*.

COMCAS 2009-2012, Projet européen Catrene, *NXP, STM, ST-Ericsson, Recore Systems, Axiom-IC, Cea-Leti, Cea-List, Tima, Leat*.

Publications scientifiques

- [4] H. Ben Fradj, C. Belleudy, M. Auguin, A. Pegatoquet – *Low power main memory configuration and tasks allocation*, Journal of Low Power Electronics (JOLPE), pp. 149-157, August 2008.
- [24] J. Kriegel, A. Pegatoquet, M. Auguin and F. Broekaert, *A High Level Mixed Software/Hardware Modeling Framework for Rapid Performance Estimation*, 10th IEEE International NEWCAS Conference, Montreal, Canada, June 17-20, 2012.
- [25] J. Kriegel, A. Pegatoquet, M. Auguin and F. Broekaert, *Waveperf : A Benchmark Generator for Performance Evaluation*, 2nd ACM SIGBED Embed With Linux (EWiLi) Workshop, Lorient, France, 7 June 2012.
- [30] J. Kriegel, A. Pegatoquet, M. Auguin and F. Broekaert, *A Performance Estimation Flow for Embedded Systems with Mixed Software/Hardware Modeling*, 11th International Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation (SAMOS XI), SAMOS, Greece, July 18-21, 2011.
- [33] J. Kriegel, F. Broekaert, A. Pegatoquet and M. Auguin, « *Power optimization technique applied to real-time video application* », 13th Sophia Antipolis Microelectronics Forum (SAME), University Booth, Valbonne, France, Oct. 6-7, 2010.
- [36] H. Ben Fradj, C. Belleudy, M. Auguin, A. Pegatoquet - *Multi-bank memory allocation for Multimedia Application*, 13th International Conference on Electronics, Circuits and Systems (ICECS), pp. 780-783, Nice, France, December 10-13, 2006.
- [48] J. Kriegel, A. Pegatoquet, M. Auguin and F. Broekaert, *A High-Level Benchmarks Generator for Multi-Core Platforms Running Real-Time Applications*, 47th ACM Design Automation Conference (DAC) Work In Progress, San Diego, USA, June 5-9, 2011.
- [49] J. Kriegel, F. Broekaert, A. Pegatoquet and M. Auguin, *Power optimization technique applied to real-time video application*, Tutorial on Ultra Low Power Sensor Networks (WUPS), Como, Italy, February 2011.
- [55] J. Kriegel, A. Pegatoquet, M. Auguin and F. Broekaert, *High level methodology for performance and power-consumption estimation of multicore architectures*, GDR SOC-SiP : Journée Thématique Systèmes sur Puces et Processeurs : Test, Consommation et Sécurité, Lyon, 25 janvier 2012.
- [60] J. Kriegel, A. Pegatoquet, M. Auguin and F. Broekaert, *A Performance Estimation Flow for Embedded Systems with Mixed Software/Hardware Modeling*, Ecole Thématique Conception Faible Consommation (EcoFac), Session poster, La Colle sur Loup, 21-25 mai 2012.
- [63] J. Kriegel, A. Pegatoquet, M. Auguin and F. Broekaert, *A Performance Estimation Flow for Embedded Systems with Mixed Software/Hardware Modeling*, GDR SocSiP, Montpellier, 27-28 Octobre, 2011.

9 - Approche de modélisation au niveau système pour la conception et la vérification de systèmes sur puce faible consommation

9.1. Introduction et travaux préliminaires

Depuis le début des années 2000, le domaine de la conception au niveau système ou ESL (*Electronic System-Level Design*) ne cesse de prendre une place de plus en plus importante dans le développement des systèmes embarqués, ceci pour deux raisons principales : l'augmentation constante de la complexité de ces systèmes (tant au niveau matériel que logiciel) et la pression sans cesse plus forte du *time-to-market*. Les premières solutions de niveau ESL furent dédiées à la validation du code applicatif et à l'évaluation des performances temporelles du système. En effet, avec une augmentation de 10 à 30% par an de la taille du code dans les systèmes embarqués [Ebert 2009], il fallait trouver une solution permettant tôt dans le flot de conception de valider le code source qui allait s'exécuter sur la plateforme matérielle. Pour cela, les solutions proposant des plateformes virtuelles basées en particulier sur le principe de modèles de communications de niveau transactionnel (TLM, *Transaction-Level Modeling*) [Ghenassia 2005] [Thoen 2005] sont progressivement apparues sur le marché. Une plateforme virtuelle peut être définie comme un modèle purement logiciel d'une plateforme matérielle complète. Elle est ainsi composée d'un ensemble de blocs d'IPs ou de cœurs de processeurs spécifiés à un niveau système. Pour les processeurs, des simulateurs de niveau instructions (ISS, *Instructions Set Simulator*) sont le plus souvent intégrés à ces plateformes virtuelles. Certes, les plateformes de prototypage rapides ne permettent pas de vérifier la totalité des fonctionnalités du système (tant au niveau matériel que logiciel), et des validations restent indispensables au niveau transfert registre (RTL, *Register Transfer Level*), porte et physique. Cependant le haut niveau d'abstraction des modèles utilisés par les plateformes virtuelles permettent d'accélérer considérablement les temps de simulation par rapport au niveau RTL, typiquement d'un rapport 100 pour des modèles au cycle près (i.e. *cycle accurate* (CA)) et 1000 pour des modèles de niveau transactionnel [Ghenassia 2005]. Les plateformes virtuelles proposées entre autres par Virtio, Coware ou Vast ont ainsi permis le développement tôt dans le flot de conception de modèles abstraits de l'architecture matérielle. Les équipes de développeur logiciel pouvaient dès lors tester et valider leurs applications en parallèle des développements matériels, permettant un gain de productivité significatif. Ces différentes solutions commerciales manquaient cependant d'un langage de spécification commun et standardisé, freinant parfois le développement de plateformes virtuelles par les concepteurs de systèmes embarqués. La standardisation en 2005 par l'IEEE des spécifications de la bibliothèque SystemC/TLM pour les systèmes numériques combla ce manque.

Depuis, les approches de conception des SoC ont connu une évolution forte afin de répondre aux exigences croissantes liées à la consommation et plus récemment à la température des systèmes sur puce. Cependant, les solutions proposées au niveau système s'attachaient davantage à caractériser la consommation de puissance des différents blocs constituant le système plutôt qu'à réellement spécifier les moyens mis en œuvre afin de réduire la consommation (ex. *power/clock gating*, *voltage/frequency scaling*). Si ces premières tentatives permettaient d'évaluer avec plus ou moins de précision la consommation d'énergie et les politiques de gestion associées, elles n'aidaient pas les concepteurs à spécifier et valider au niveau système leurs composants de gestion basse consommation. En effet, le standard SystemC/TLM est toujours dépourvu de sémantiques pour la modélisation et l'optimisation de la consommation d'énergie, ainsi que pour le couplage entre les spécifications fonctionnelles et celles définissant la consommation. Pourtant, de nombreux efforts ont été entrepris ces dernières années afin de modéliser et optimiser la consommation d'énergie des systèmes sur puce. Ces efforts se sont néanmoins surtout portés au niveau RTL avec l'apparition des formats CPF (Common Power Format) et UPF (Unified Power Format) standardisés respectivement par le Si2 (Silicon Integration Initiative) et l'IEEE. Ces deux formats définissent un langage et une

sémantique de simulation permettant de spécifier la manière dont les sources d'alimentations sont fournies, distribuées et dynamiquement gérées dans un système numérique à faible consommation. UPF et CPF fournissent ainsi les moyens de spécifier les éléments de faible consommation ainsi que les informations nécessaires à leurs contrôles. Ces spécifications sont décrites dans un format utilisable à la fois durant la simulation, la synthèse et le placement/routage, évitant ainsi les possibles erreurs lors de changement de format. La méthodologie utilisée par ces standards se base également sur une séparation des aspects fonctionnels et non-fonctionnels. Pour l'énergie, cette séparation est réalisée en fournissant une spécification relative à la consommation dans un fichier séparée du code source de la spécification fonctionnelle. Les standards UPF et CPF ont ainsi été rapidement adoptés par les concepteurs de système sur puce, mais uniquement à partir du niveau RTL.

Cet axe de recherche adresse plusieurs verrous liés à la mise en œuvre d'approches de modélisation de niveau système (ESL) pour la conception de systèmes sur puce embarqués basse consommation. Ces approches doivent en effet permettre tôt dans le flot de conception (en phase pre-silicon), non seulement d'exécuter sur un modèle abstrait du matériel le code source applicatif, mais également de proposer des modèles de haut niveau de caractéristiques non fonctionnelles telles que le temps et la consommation de puissance, afin d'évaluer conjointement les performances et l'énergie consommée par le système. Il s'agit également de proposer une méthodologie permettant la vérification des spécifications en consommation de ces modèles de niveau système. Cet axe de recherche s'intéresse enfin à l'exploration de solutions architecturales pour une gestion optimisée de la consommation au niveau ESL. Selon les différents scénarios applicatifs la simulation au niveau système permet en effet d'identifier davantage les opportunités d'optimisation de la consommation tôt dans le flot de conception. Plusieurs contributions ont été apportées au sein de cet axe :

- Simulation d'un code modem 2.5G sur plateforme virtuelle (2004-2008)
- Approche de modélisation au niveau système pour la conception et la vérification de SoC (2009-2013)
- Conception haut niveau de systèmes sur puce optimisés en énergie/puissance et satisfaisant des contraintes de performance et de température (depuis 2012).

La Figure 2 donne le déroulement de mes travaux suivant cet axe de recherche. Les travaux menés en 2001 pour la simulation d'un ordonnanceur temps-réel pour un système sur puce dédié au GSM/GPRS/EGPRS permettaient de donner des informations utiles lors de la conception d'une puce, mais il n'était pas possible de valider par simulation le code de l'application. A partir de 2004, je me suis alors intéressé aux méthodes de validation d'un code complet de niveau L1 (i.e. couche physique) basées sur des plateformes virtuelles DesignWare de Synopsys. L'objectif étant de simuler des appels GSM ou des transferts de données GPRS avec un code binaire compatible avec la plateforme matérielle, il était nécessaire de disposer pour la plateforme virtuelle correspondante d'un modèle de niveau système de l'interface RF. Une partie importante de mon travail a donc consisté à participer à la définition des fonctionnalités requises par le modèle du circuit radio connecté au processeur DSP. De même, j'ai été amené à affiner le modèle temporel basé sur des « tranches de temps » (*slice*) et utilisé par ces plateformes virtuelles afin d'obtenir un comportement fidèle du système dans des temps de simulation raisonnables. En utilisant cette approche, un appel GSM et des transferts paquets GPRS/EGPRS ont été effectués purement en simulation sur la plateforme virtuelle correspondante à l'OMAPV1030 de Texas Instruments. Grâce à ce travail, les temps de validation ont été réduits de manière significative puisqu'un appel GSM sur réseau réel fut effectué seulement trois semaines après la réception des premiers échantillons, au lieu d'environ 2 mois sans l'aide du prototypage virtuel pour un précédent système sur puce. Plus récemment, et dans la continuité des activités menées précédemment nous avons commencé des travaux proposant une approche de modélisation au niveau système pour la conception et la vérification de systèmes sur puce (SoC) optimisés en énergie. En s'appuyant sur des standards du domaine et en complément de flots de conception classiques, il s'agit entre autres d'étendre une spécification fonctionnelle de niveau transactionnelle (i.e. SystemC/TLM) avec des sémantiques *power-aware* par abstraction du standard UPF au niveau TLM.

9.2. Présentation des travaux

Afin d'illustrer l'activité menée au sein de cet axe de recherche, la suite de cette section présente le travail de thèse de Ons Mbarek adressant le problème de la modélisation au niveau système pour la conception et à la vérification de systèmes sur puce (SoC) optimisés en énergie. Bien que cet axe de recherche regroupe d'autres travaux, j'ai choisi de ne pas les détailler dans cette partie. Ces travaux sont néanmoins décrits dans la première partie de ce document au paragraphe 3.2.2. intitulé Simulation de niveau système d'application GSM/GPRS/EGPRS.

9.2.1. Contexte et motivations

De nos jours, la conception d'objets mobiles communicants alimentés sur batterie présente de nombreux challenges de part la multitude des contraintes à respecter, en particulier l'augmentation des performances et une maîtrise de la consommation d'énergie. Or, la technologie des batteries n'évolue pas au même rythme que les puissances de traitement disponibles dans ces objets mobiles, et leur consommation d'énergie peut aller rapidement au-delà de ce qui est acceptable par rapport à la durée de fonctionnement entre deux recharges de la batterie. Il est donc devenu indispensable pour les concepteurs de gérer intelligemment la consommation d'énergie de ces systèmes en optimisant le profil de puissance statique et dynamique du circuit en fonction de la fonctionnalité à exécuter comme l'illustre la Figure 15 ci-dessous [Delp 2009].

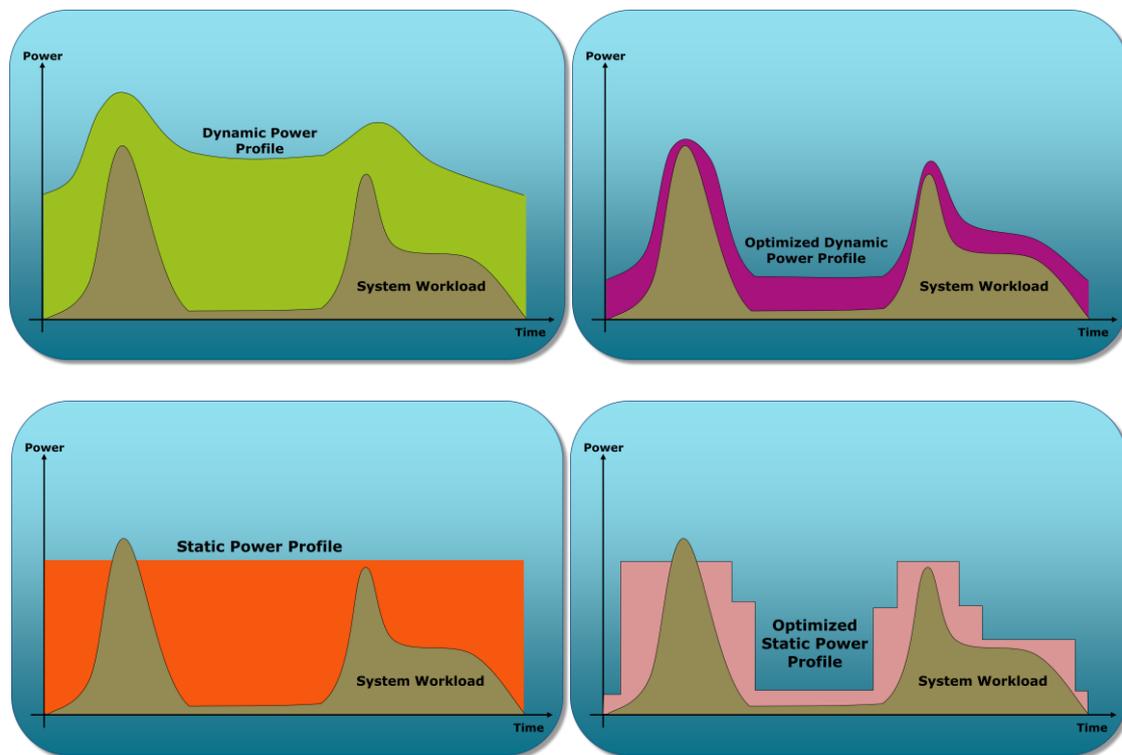


Figure 15. Optimisation du profil de puissance du circuit

A cette fin, différentes techniques de gestion de la consommation sont apparues ces dernières années [Keating 2007]. Parmi ces techniques, le *power gating* et le *clock gating* consistent à éteindre respectivement l'alimentation et l'horloge des blocs matériels inutilisés. Citons également la technique du DVFS (*Dynamic Frequency Voltage Scaling*) qui permet d'accélérer ou de ralentir les traitements (et donc la consommation) en jouant sur le couple tension-fréquence. D'autre part, ces techniques se basent sur le partitionnement de la puce en différents domaines d'horloge (*Clock Domain*) ou de power (*Power Domain*) ainsi que sur l'utilisation de différentes sources d'alimentation (multi-tension ou *Multiple-Voltage*) [Pedram 2002]. Ces différents domaines sont contrôlés indépendamment et leurs états dépendent des ressources nécessaires pour l'exécution du scénario applicatif, par exemple un appel GSM, la lecture d'une vidéo ou l'accès au web pour un

smartphone. Il s'agit en effet d'activer uniquement les *power domains* nécessaires à l'exécution de la fonctionnalité courante (état *Power-On*), et de désactiver les autres (état *Power-Off*). De plus les domaines dans l'état *Power-On* peuvent avoir leur fréquence ajustée individuellement afin d'adapter dynamiquement le niveau de performance à la fonctionnalité en cours d'exécution. Le circuit *SERRA* de Qualcomm [Severson 2009] dédié pour le CDMA illustre bien l'utilisation de ces techniques. Afin de maîtriser la consommation d'énergie, ce circuit a en effet été divisé en 230 domaines d'horloge et 34 domaines power permettant ainsi d'appliquer par exemple les techniques multi-tensions et *power gating*. Toutefois, la mise en œuvre de ces stratégies présente de nombreux défis à relever pour les concepteurs. En effet, définir une architecture logicielle/matérielle ayant le niveau de performance exigée avec une ou des stratégies de gestion de la consommation est devenu un problème extrêmement complexe (de nature NP-difficile). Cette complexité a principalement deux origines : la complexité de l'objet et l'insuffisance des outils d'aide à la conception de niveau système.

Complexité intrinsèque des systèmes sur puce

La première source de problèmes est liée à la complexité intrinsèque de l'objet : il y a par exemple plus de 300 blocs IP dans un OMAP4 de Texas Instruments qui doivent être contrôlés en énergie de manière à supporter l'exécution d'un nombre croissant de scénarios applicatifs. L'augmentation du nombre de blocs IP provoque une explosion du nombre d'états applicatifs et power du système. La Figure 16 présente l'architecture de l'OMAP3530 de Texas Instruments.

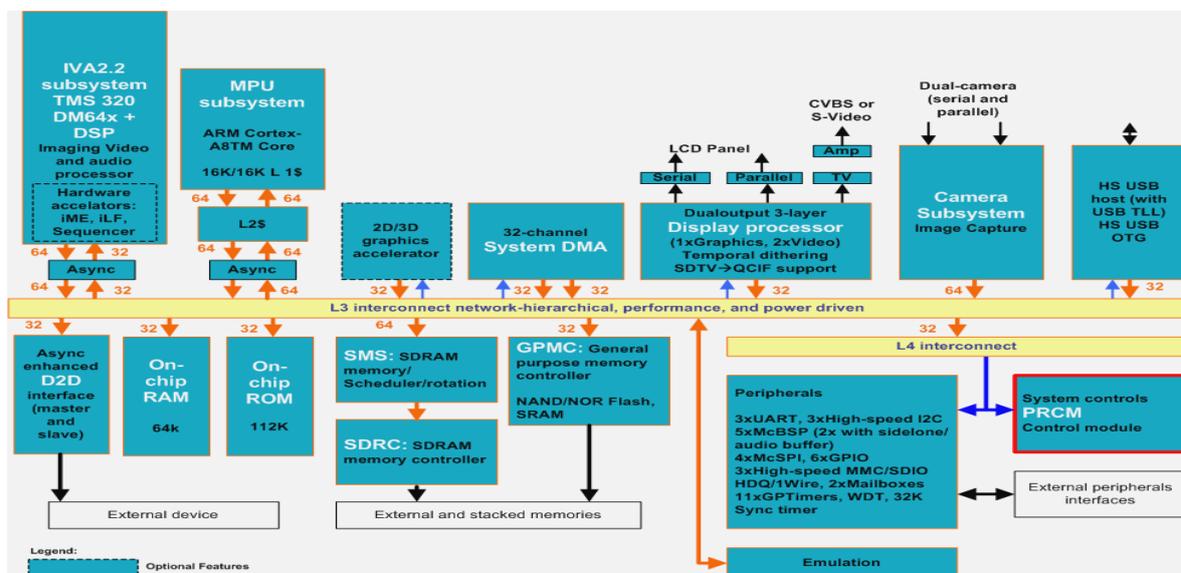


Figure 16. Bloc diagramme de l'OMAP3530

Afin de gérer efficacement la consommation d'énergie, ce circuit a été décomposé en différents domaines d'horloge et power comme le montre la Figure 17. La gestion de ces différents domaines est assurée par un bloc programmable appelé *PRCM* (*Power Clock Reset Management*) qui est en charge d'activer ou désactiver dynamiquement ces domaines en fonction du scénario en cours d'exécution (ce bloc est situé en bas à droite de la Figure 16). Il est intéressant de noter que le guide de référence du *PRCM* comporte plus de 400 pages, ce qui atteste bien de la complexité de la gestion en consommation de ce circuit. D'autres difficultés et sources d'erreurs liées à cette complexité sont également à prendre en considération lors de la conception de l'architecture power. Est-ce que la structure de l'architecture power mise en place est correcte ? Il s'agit par exemple de vérifier la présence de cellules d'isolation ou de registres de rétention. Est-ce que le contrôle de mon architecture power est correct ? Il faut par exemple vérifier que lors d'un changement d'état power, les dépendances fonctionnelles entre power domain sont bien prises en compte. Enfin, est-ce que l'architecture power est correcte ? Il est nécessaire de vérifier entre autres que le partitionnement en power domain permet de respecter les contraintes de performances et d'énergie, ou encore que la stratégie de gestion de la consommation est compatible avec les aspects fonctionnels...

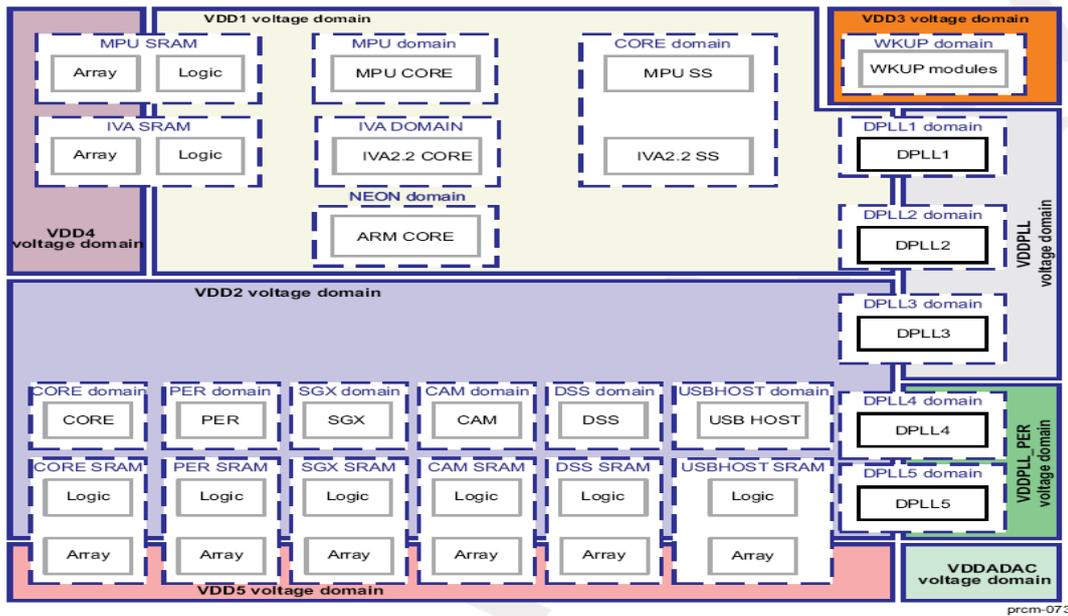


Figure 17. Décomposition en power domain et clock domain de l'OMAP3530

L'insuffisance des outils d'aide à la conception de niveau système

La seconde source de complexité provient de l'insuffisance des outils d'aide à la conception de niveau système pour traiter ce problème. Pourtant, au niveau microarchitecture les industriels disposent d'une technologie et d'outils matures pour modéliser une architecture intégrant les techniques classiques d'optimisation de la consommation de puissance (ex. *power gating* et multi-tension). Ainsi, le standard UPF (*Unified Power Format*) définit les primitives permettant d'inclure dans un modèle fonctionnel RTL les composants de gestion basse consommation. La Figure 18 permet d'illustrer les principaux concepts de la norme UPF sur un cas d'étude très simplifié afin de définir le *Power Intent* du circuit.

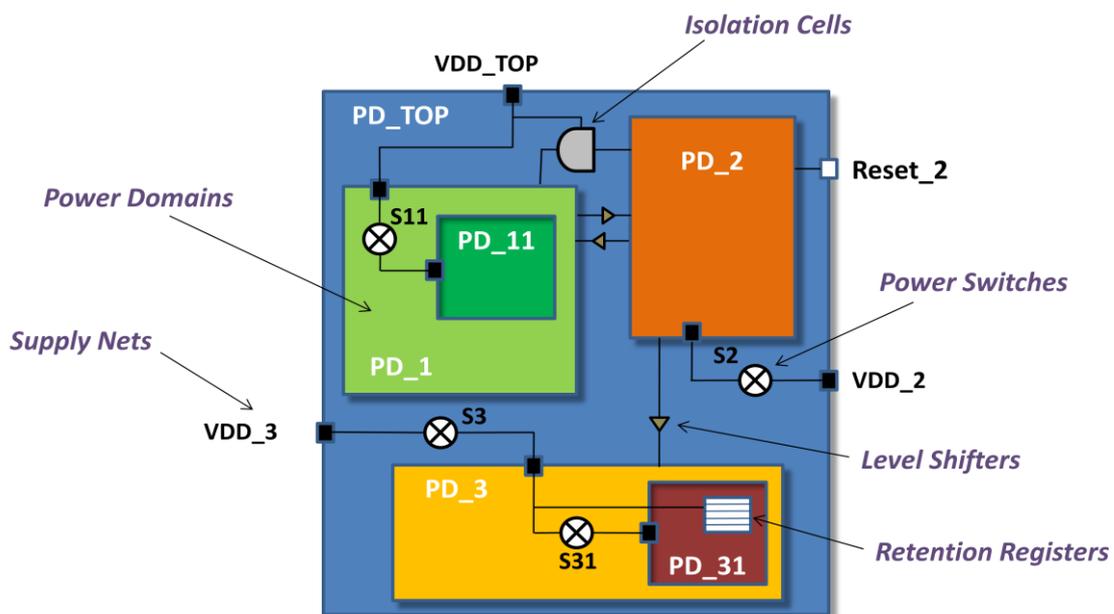


Figure 18. Principaux concepts d'UPF

Power Domain, Design Elements, Supply Nets, Power States et Power Switches

L'architecture matérielle peut être partitionnée en différents *Power Domain* (ex. PD_TOP, PD_1, PD_2, etc.) qui regroupent un sous-ensemble de composants (appelé *Design Elements*) du système recevant leur alimentation depuis un même rail d'alimentation (*Supply Net*). Chaque *Power Domain* peut être mis dans différents états de fonctionnement ou *Power States*. Les *Power States* sont définis

par l'état des *Power Switch* sur les *Supply Nets*. Par exemple, l'état du power domain PD_3 dépend de l'état du *power switch* S3. Comme nous l'avons déjà mentionné plus tôt, la définition de l'architecture power ou *power intent* peut créer des dépendances entre power domain : dans notre exemple PD_11 ne peut pas être à l'état Power-ON si PD_1 est à l'état Power-OFF.

Level Shifters, Retention Registers et Isolation Cells

Un des problèmes majeurs lors de l'utilisation de la technique de *power gating* provient des interfaces de communications qu'il est nécessaire de définir entre les power domains. Ces interfaces additionnelles sont les cellules d'isolation, les *level shifter* et les registres de rétention. Lorsque des power domains sont alimentés avec des tensions différentes, cela peut induire des erreurs logiques fonctionnelles. En effet, un « 1 » logique ne représente pas forcément le même niveau de tension de power domains alimentés différemment. Afin d'éviter ces erreurs, il est nécessaire d'introduire des *Level Shifters* dont le rôle est d'ajuster la tension d'un signal entre deux power domains. Ces *level shifters* sont généralement automatiquement ajoutés par les outils de conception. D'autre part, une interface spécifique est nécessaire lorsqu'un power domain à l'état Power-OFF est connecté à un power domain dont l'état est Power-ON. En effet, l'état logique en sortie du power domain à l'état Power-OFF peut dans ce cas être indéterminé et provoqué des effets incorrects. Pour remédier à ce problème, il est nécessaire d'introduire des cellules d'isolation (*Isolation Cells*) entre les deux power domain de manière à garantir un état déterminé (1 ou 0 suivant la cellule d'isolation utilisée) en sortie du power domain à l'état Power-OFF. Un autre mécanisme est également nécessaire afin de conserver l'état des registres ou mémoires internes des IPs lorsque un power domain passe de l'état Power-ON à Power-OFF ou lors de la réception d'un signal de *Reset*. Pour cela, la norme UPF permet d'introduire des *Retention Registers* qui sont utilisés afin de restaurer l'état des registres ou mémoires lors d'une transition de l'état Power-OFF à Power-ON d'un power domain.

Power Controller et Power Manager

Tous ces éléments nécessaires à la spécification de l'architecture power (i.e. le *power intent*) et illustrés sur la Figure 18 doivent être contrôlés comme le montre la Figure 19. Au niveau local, un ou plusieurs *Power Controller* sont nécessaires afin de gérer le timing des signaux de contrôle des éléments de l'architecture power. Le Power Controller est également en charge de contrôler les différents éléments impliqués dans la configuration d'un état power du système (ce contrôle est illustré par les traits rouges sur la Figure 19).

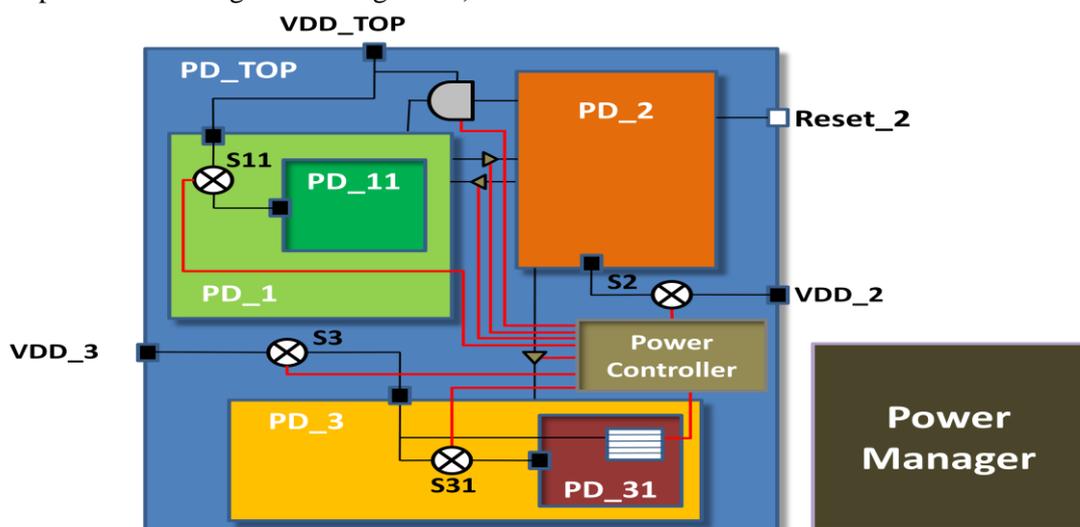


Figure 19. Le contrôle de l'architecture power

Au niveau global, le *Power Manager* (PM) permet la mise en place de la stratégie de *power management* en spécifiant une interface de contrôle entre le fonctionnel (i.e. le code applicatif embarqué) et le matériel. Le PM étant toujours actif, il fait partie d'un power domain dont l'état est de type *Always-ON*. La stratégie de power management est incarnée par une table des états power du système (*Power State Table* (PST)) où chaque ligne correspond à un mode global du système et à

une combinaison particulière d'états de power domains. Le passage d'un état power global à un autre implique que toutes les séquences de contrôle soient exécutées par le ou les Power Controllers. Pour cela, une table des transitions power légales doit également être spécifiée. Il est enfin important de noter que la PST définit une stratégie statique de gestion des états power. Le Tableau 6 ci-dessous est un exemple de PST pour l'architecture power définie précédemment. Comme on peut le voir, trois états globaux ont été définis : *Full Run*, *Boot* et *Sleep*. Pour chacun d'eux, la PST définit l'état (ON ou OFF) de chaque power domain².

	PD_1 (VDD_top)	PD_11 (S11)	PD_2 (VDD_2, S2)	PD_3 (VDD_3, S3)	PD_31 (S31)
Full Run	ON	ON	ON	ON	ON
Boot	ON	OFF	ON	OFF	OFF
Sleep	OFF	OFF	OFF	OFF	OFF

Tableau 6. Exemple d'une Power State Table (PST)

Dans un flot de conception classique (i.e. à partir du niveau RTL), il est ainsi possible en utilisant par exemple les concepts et le formalisme définis par le standard UPF, de compléter la description fonctionnelle du circuit avec un fichier de description du *power intent*. La Figure 20 décrit un exemple de fichier utilisant le formalisme UPF et correspondant à une partie de l'architecture power de la Figure 18.

```
create_power_domain PD_TOP
create_power_domain PD_1 -scope PD_TOP
create_power_domain PD_11 -scope PD_1
create_supply_net VDD_TOP -domain top
create_supply_port VDD_S2 -domain PD_2
create_power_switch S31 -domain PD_3
create_pst .....
add_pst_state .....
```

Figure 20. Exemple de script UPF

De nos jours, les environnements de CAO prennent en compte ces fichiers de description du *power intent* (UPF ou CPF) et sont capables d'automatiser la synthèse et le placement-routage à partir des spécifications fonctionnelles et power du SoC en cours de conception. Ainsi, les comportements simulés permettent non seulement de représenter l'influence du contrôle power sur le fonctionnel, mais également d'estimer la consommation d'énergie et de détecter d'éventuelles erreurs. Cependant, ces standards ne sont pas prévus pour les étapes amont de la conception système puisqu'ils ne sont spécifiés qu'à partir du niveau RTL. Or, à ce niveau de description les temps de simulation sont longs et il est difficile de simuler le système complet. Ainsi, il n'est pas aisé de valider le power intent en termes de gain en énergie au niveau global ou encore de vérifier la stratégie power mise en place vis-à-vis du fonctionnel. De plus, il est établi que les opportunités d'optimisation de l'énergie sont meilleures au niveau système (ESL) quand le matériel et le logiciel sont en cours de spécification ou développement [Mentor 2010]. La Figure 21 décrit les phases classiques du flot de conception d'un SoC ainsi que les différents niveaux d'abstraction sous-jacents. Comme on peut le voir, le niveau ESL couvre le niveau algorithmique (AL), le niveau transactionnel (TLM) avec différentes vues (PV ou PVT) et le niveau cycle-près (CA). Quelque soit le niveau d'abstraction considéré, la vitesse élevée de simulation permet une exploration rapide de l'espace de conception et en particulier des opportunités d'optimisation en énergie.

² Au lieu de On ou Off, il est également possible d'affecter une valeur de VDD prise dans un ensemble de valeurs discrètes (multi-tension).

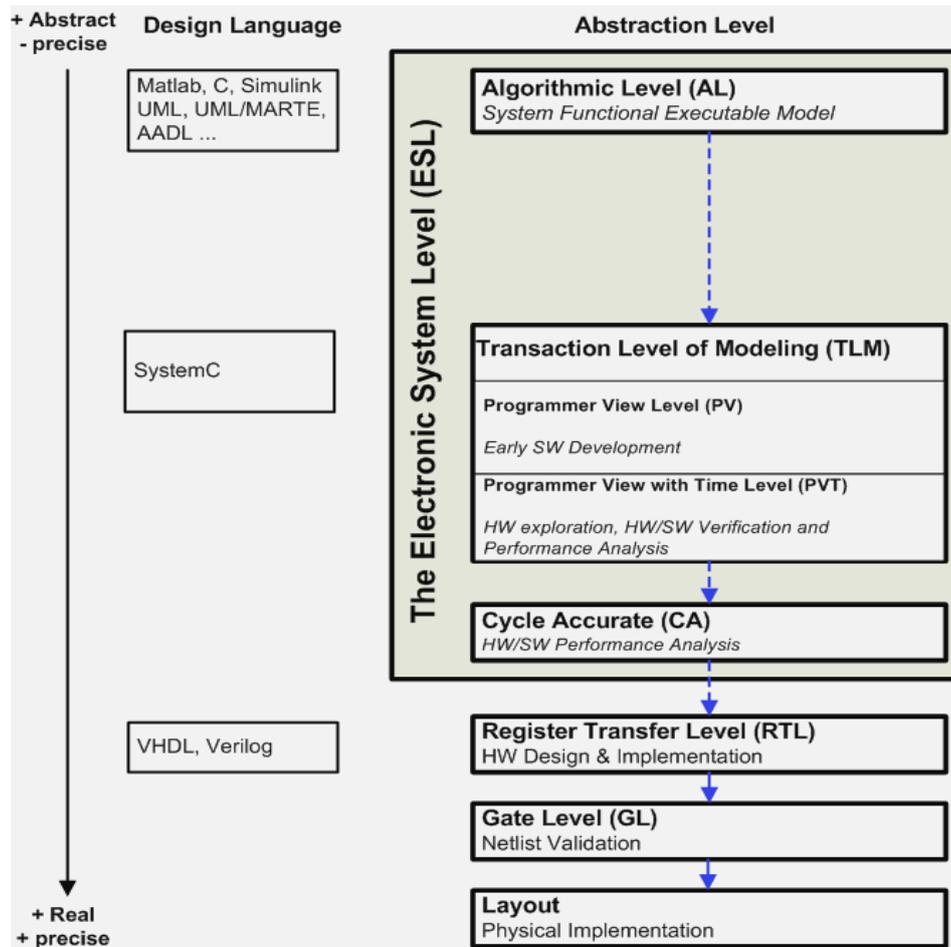


Figure 21. Les différentes phases d'un flot de conception d'un SoC

Il n'est donc pas étonnant que de nombreux travaux visant à intégrer des modèles de consommation dans des descriptions SystemC/TLM aient déjà été réalisés ces dernières années [Chillet 2010] [Dhanwada 2005] [Lebreton 2008] [Lee 2006] [Trabelsi 2011]. Cependant, ces approches visent l'estimation de la consommation en vue d'optimiser la stratégie power et n'adressent pas le problème de la description du *power intent* au niveau TLM.

Objectifs de la thèse

C'est dans ce cadre que nous avons entrepris des travaux afin d'étendre une spécification fonctionnelle de niveau transactionnelle (i.e. SystemC/TLM) avec des sémantiques *power-aware* par abstraction du standard UPF. Cette extension est illustrée sur la partie supérieure de la Figure 22 et représente l'apport de notre approche par rapport à un flot de conception classique.

Cette abstraction de la norme UPF doit nous permettre de valider au niveau TLM un *power intent* en vérifiant en particulier la cohérence entre l'application exécutée et l'architecture power. Pour cela, l'approche que nous avons adoptée applique une séparation des préoccupations fonctionnelles et power analogue à celle définie par UPF. Il s'agit également d'évaluer, localement et globalement, la consommation d'énergie et de puissance pour le ou les *power intent* considérés. En effet, l'exploration de l'espace de conception d'une architecture power ainsi que différentes stratégies de gestion de la consommation constituent un des objectifs majeurs de ces travaux. Enfin, comme le montre la Figure 22, la connexion avec le flot RTL sera réalisée à travers la génération automatique d'un fichier UPF correspondant à la description abstraite de l'architecture power évaluée au niveau TLM.

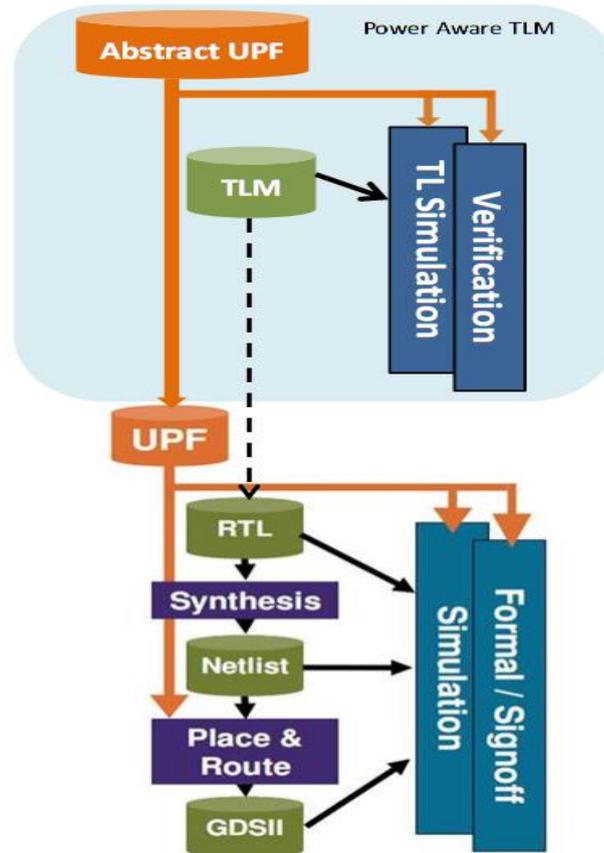


Figure 22. Extension du flot de conception power vers le niveau TLM

Afin de réaliser ces différents objectifs, nous avons développé un environnement complet appelé *Unified System Level Power Aware Framework (USLPAF)* et illustré sur la Figure 23.

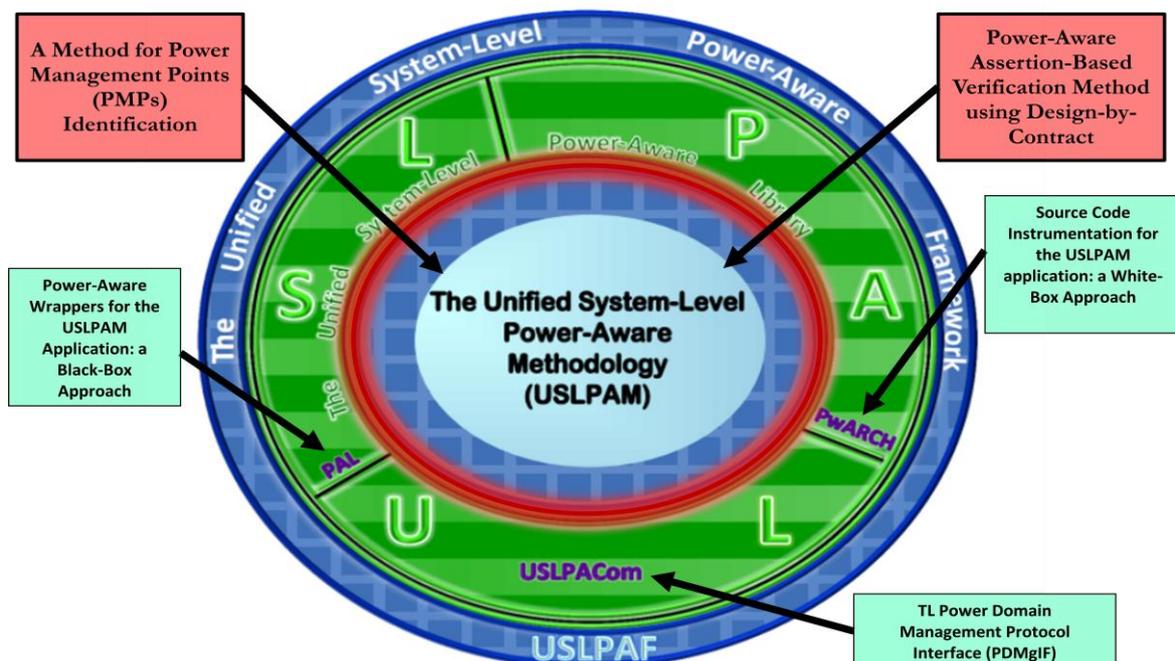


Figure 23. Environnement power-aware unifié de niveau système (USLPAF)

Le cœur de cet environnement consiste en une méthodologie (appelée *USLPAM* pour *Unified System-Level Power-Aware Methodology*) bien structurée pour la spécification, la simulation, la vérification et l'exploration d'architectures power. Deux nouvelles approches marquent cette méthodologie:

- une approche d'identification de points de gestion d'énergie (*PMPs*) et
- une approche de vérification de propriétés power-aware basée sur le concept de contrat et la technique d'assertion.

Autour de cette méthodologie, nous proposons également une librairie d'outils (appelée *USLPAL* pour *Unified System-Level Power Aware Library*) et un ensemble d'approches pour faciliter son application:

- une approche basée sur l'instrumentation du code source et utilisant l'outil *PwARCH* (*Power ARCHitecture*),
- une approche basée sur des *wrappers* power-aware utilisant l'outil *PAL*,
- et une approche de modélisation d'une interface de gestion de power domains appelé *PDMgIF* (*Power Domain Management InterFace*) basé sur l'outil *USLPACom* (*Unified System-Level Power Aware Communication*).

Dans le paragraphe suivant, nous donnons une description détaillée de la méthodologie power-aware proposée.

9.2.2. Un flot de conception power-aware de niveau système (USLPAM)

Présentation générale du flot proposé et définition d'un exemple de plateforme de niveau TLM

La Figure 24 présente le flot global de la méthodologie. Cette méthodologie se compose de cinq étapes séquentielles et d'une étape orthogonale dédiée à la vérification. L'approche proposée permet d'ajouter de manière structurée le power intent ainsi que les stratégies de gestion de la consommation à un modèle fonctionnel de niveau TLM existant. La méthodologie est itérative, permettant ainsi l'exploration de l'espace de conception du power intent (*Low Power Design Intent Space Exploration – LPDISE*).

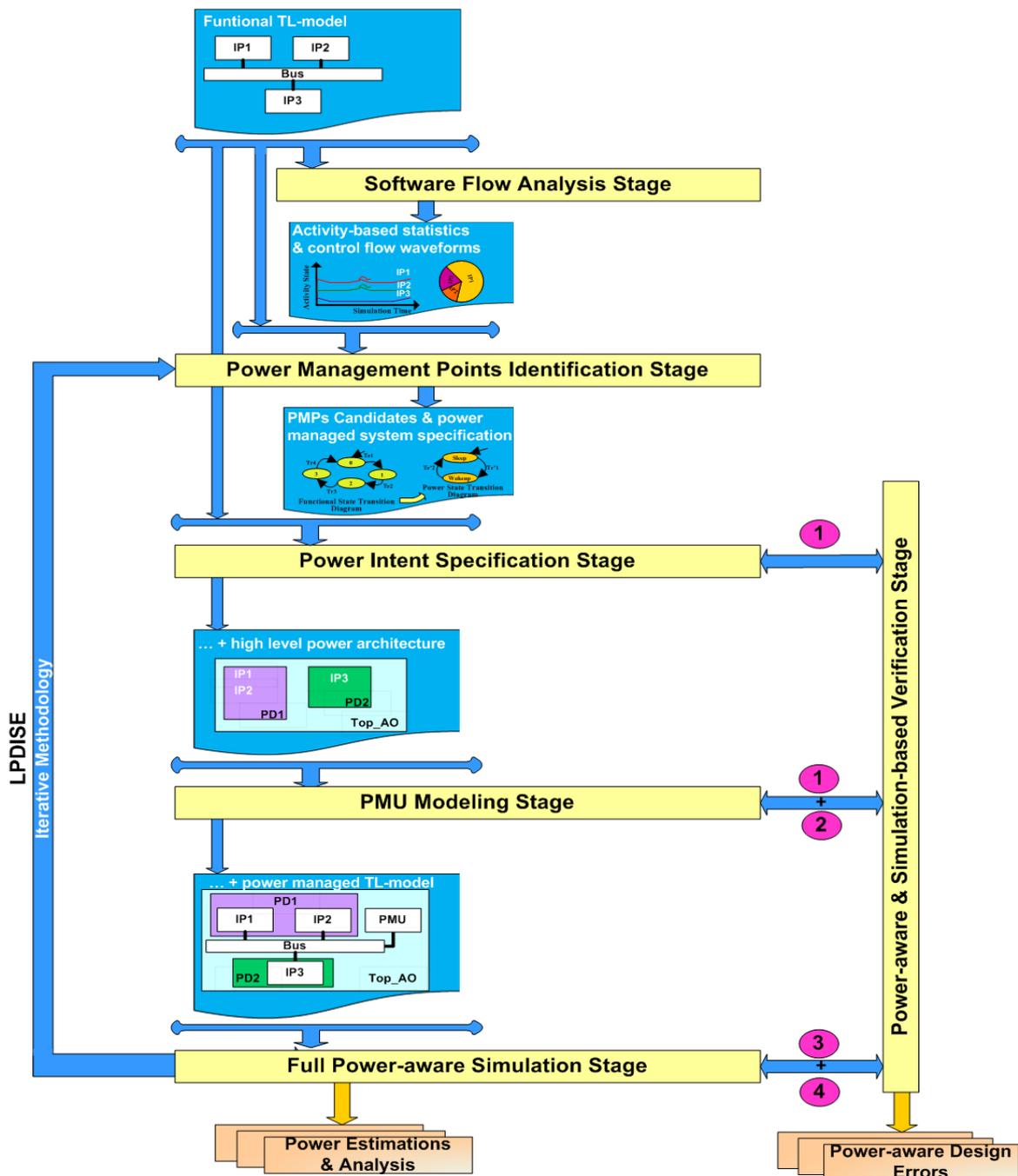


Figure 24. Flot global de la méthodologie power aware

Afin de simplifier les explications et faciliter la compréhension des différentes étapes de la méthodologie, nous proposons d'utiliser un exemple de plateforme décrite en SystemC/TLM et exécutant l'application du « jeu de la vie ». Cette plateforme développée au laboratoire VERIMAG contient des informations temporelles (modèle *TL-AT (Transaction Level - Approximately Timed)*),

ce qui nous permettra par la suite de fournir des valeurs de consommation en énergie. La Figure 25 présente une vue au niveau système de l'architecture matérielle que nous allons utiliser en fil rouge dans ce document afin d'illustrer notre méthodologie. Comme nous pouvons le voir, cette plateforme se compose de six blocs matériels : un modèle de processeur sur lequel s'exécute le jeu de la vie, un *timer*, trois contrôleurs (VGA, interruptions et SRAM) et des GPIO. Ces différents blocs sont reliés entre eux via un bus d'interconnexion

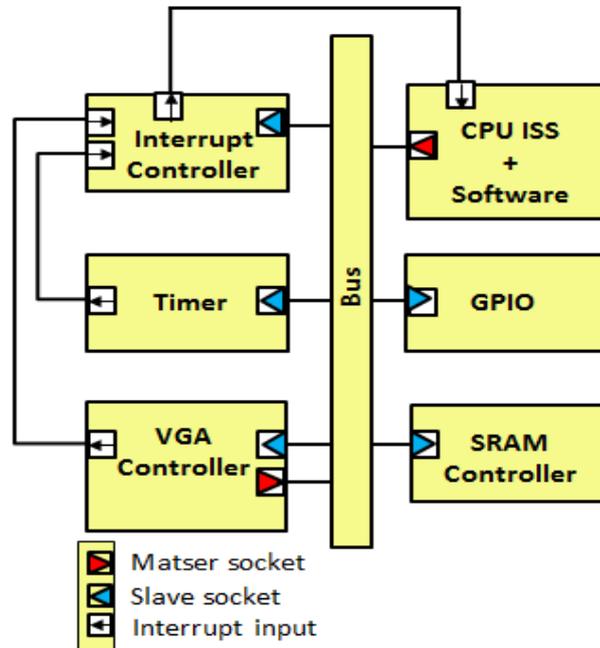


Figure 25. Vue au niveau système de la plateforme matérielle

Le flot logiciel de simulation de cette plateforme de test se compose de 5 étapes :

- 1) Le CPU commence par calculer une image, puis initialise les périphériques.
- 2) Une fois que les périphériques sont initialisés, le VGA affiche une première image.
- 3) Après une période donnée, le CPU calcule l'image suivante et en informe le VGA en lui indiquant l'adresse mémoire où est stockée cette image.
- 4) Le VGA affiche l'image suivante.
- 5) Un bouton poussoir connecté à un GPIO est périodiquement testé par le CPU.

Les étapes 3, 4 et 5 se répètent de façon périodique tant que le CPU ne détecte pas de changement d'état du bouton poussoir. Nous avons simulé cette application afin tout d'abord d'effectuer une analyse à partir du flot d'exécution des opportunités de partitionnement de la plateforme matérielle en power domain.

Etape 1 : Analyse du flot logiciel

La première étape de notre méthodologie consiste à analyser la manière dont les données sont échangées entre les différents composants matériels. Cette analyse se base sur des traces d'exécution, et plus exactement sur les transactions échangées entre composants. Il est en effet possible à partir de ces traces de déduire certaines dépendances fonctionnelles ainsi que des corrélations entre les activités des composants. Enfin, ces traces permettent également de localiser des transactions de synchronisation changeant le profil d'activation de certains composants. Les traces obtenues en simulation pour la plateforme présentée au paragraphe précédent sont illustrées sur la Figure 26, la figure du bas étant un zoom à environ 3,73 secondes.

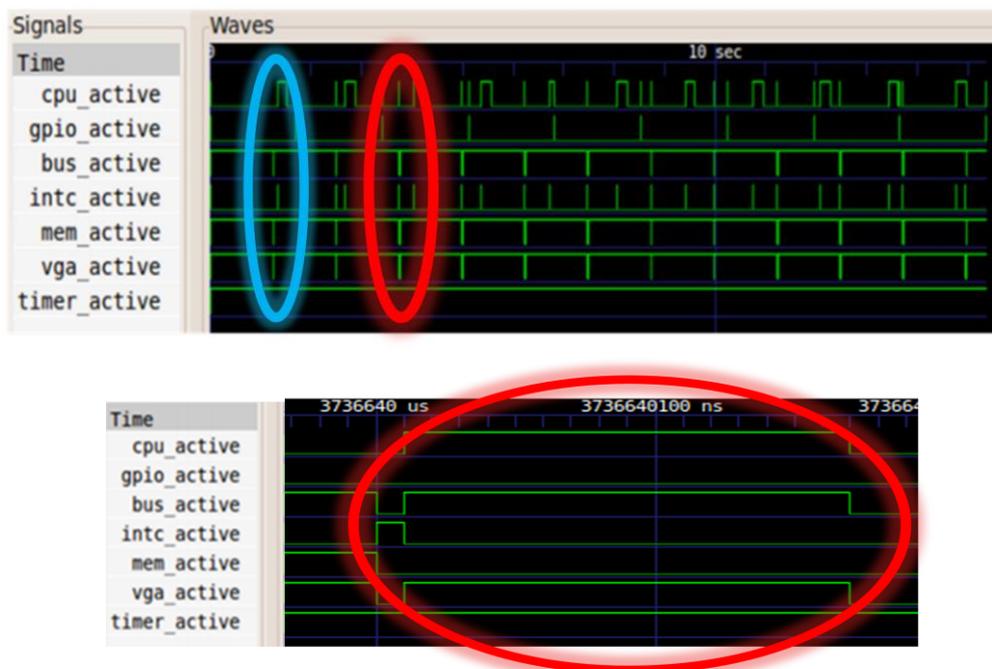


Figure 26. Analyse des transactions à partir de traces d'activités

Après l'analyse de ces chronogrammes, on constate tout d'abord que le timer et le bus sont actifs durant toute la durée de la simulation, ce qui implique que ces deux composants doivent être affectés à un même power domain de type *Always-ON*. On constate également que le CPU est uniquement activé lors de l'occurrence d'interruptions ou pour vérifier périodiquement un registre du GPIO. Il serait donc intéressant de mettre ce composant dans un power domain à part. On remarque enfin que l'activité du VGA est fortement couplée avec celle de la mémoire. Cependant, il semble plus judicieux de mettre la mémoire dans un power domain à part puisqu'elle ne sera pas utilisée durant le gestion des interruptions du VGA. Sur la base de cette analyse (non exhaustive), le concepteur dispose ainsi d'informations pertinentes qui lui permettent d'établir une ou plusieurs alternatives de partitionnement de la plateforme en power domain. L'étape suivante de la méthodologie consiste à identifier les emplacements dans le code source de l'application où pourront s'effectuer les changements d'états power du système (Power Management Points) ainsi partitionné.

Etape 2 : Identification des Power Management Points (PMPs)

La Figure 27 est un exemple de partitionnement en power domains résultant de l'étape d'analyse précédente. Comme on peut le voir, la plateforme a été décomposée en cinq power domain, avec pour ceux disposant d'une *switch* (S1 à S3) la possibilité d'appliquer la technique de *power gating*. Cette décomposition fait aussi apparaître une hiérarchie de power domain : par exemple PD_GPIO est un sous power-domain de PD_A0. Notons également que le CPU dispose de deux sources d'alimentations (VH et VL) autorisant ainsi la technique multi-tension.

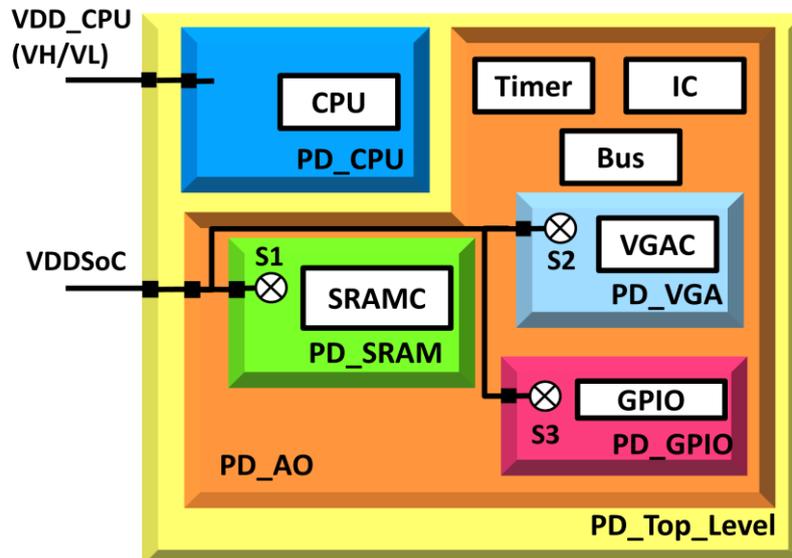


Figure 27. Partitionnement en power domain de la plateforme

L'objectif étant d'activer ou désactiver les différents power domain en fonction des scénarios applicatifs, il s'agit à présent de déterminer les emplacements corrects dans le code source fonctionnel où peuvent s'effectuer les changements d'états de certains power domains. D'autre part, il est nécessaire de définir les éléments mémoires (registres, mémoires) dont les états doivent être retenus (dans des registres de rétention) à la désactivation de chaque power domain.

Afin de répondre à ces questions, il est nécessaire d'identifier les points de gestion d'énergie (PMPs) que l'on peut définir comme un instant dans le temps de simulation où l'état d'un power domain est stable et peut être changé. Ainsi, pour chaque power domain, les PMPs sont composés du triplet *power candidate*, *sleep candidate* et *retention candidate*.

- Les *power candidates* représentent les transitions entre états fonctionnels des composants durant lesquelles on peut changer l'état d'un power domain.
- Les *sleep candidates* représentent plus précisément les transitions entre états fonctionnels où l'on peut éteindre un power domain.
- A chaque *sleep candidate* correspond un ensemble de registres dont les états doivent être retenus durant la phase de désactivation. Ces couples représentent l'ensemble des *retention candidate*.

L'approche que nous proposons pour l'identification des PMPs repose sur une représentation du comportement fonctionnel de chaque composant de la plateforme sous forme d'une machine à états étendue ou EFSM (*Extended Finite State Machine*). Cette EFSM se construit par analyse du code SystemC/TLM fourni pour le composant considéré. A notre connaissance, il n'existe pas d'autres approches visant à modéliser un comportement décrit au niveau SystemC/TLM sous forme de EFSM. La Figure 28 décrit par exemple la machine à états finis étendue obtenue pour le composant VGA. Comme on peut le voir, le comportement de ce composant peut se décomposer en quatre états, F0 à F3. Chaque état se situe généralement entre deux instructions *wait* dans un code SystemC/TLM et regroupe un ensemble d'opérations atomiques non interruptibles. Les flèches représentent les transitions entre ces différents états. Dans notre exemple, 8 transitions ont été définies (A à H). Chaque transition peut être labélisée par un état courant, un état suivant, une entrée

et une sortie. Chaque entrée correspond à un événement interne ou externe au composant. Par exemple, lorsque le VGA est dans l'état initial F0, il est bloqué dans l'attente d'un événement extérieur (*Ext_Ev0*) qui correspond à la réception d'une transaction d'écriture d'une valeur non nulle dans son registre interne *VGA_CFG*. Cette attente est représentée par une boucle sur la Figure 28.

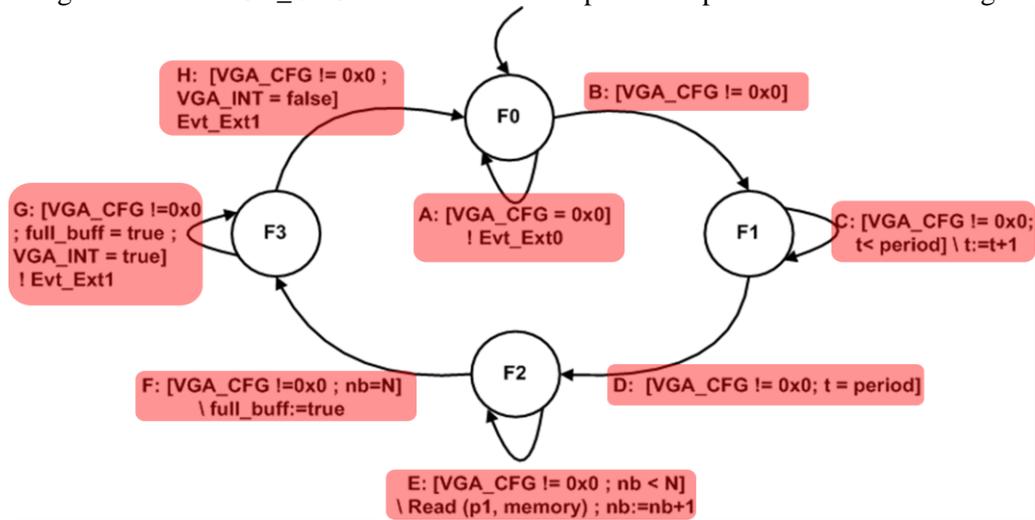


Figure 28. EFSM pour le composant VGA

La notification de cet événement extérieur (*Ext_Ev0*) à la réception de cette transaction déclenchera la transition vers l'état F1 où le composant reste en attente un temps donné ($t < period$). Une fois ce temps écoulé, le VGA passe dans l'état fonctionnel F2 puis dans l'état fonctionnel F3, où le VGA affiche l'image, lance une interruption et reste en attente d'une réponse du CPU correspondant à un événement extérieur (*Ext_Ev1*).

Après avoir modélisé le comportement fonctionnel du composant en EFSM, il est nécessaire d'ajouter sur chaque transition une information concernant l'état de son power domain. La Figure 29 montre la EFSM power-aware ainsi obtenue pour le composant VGA.

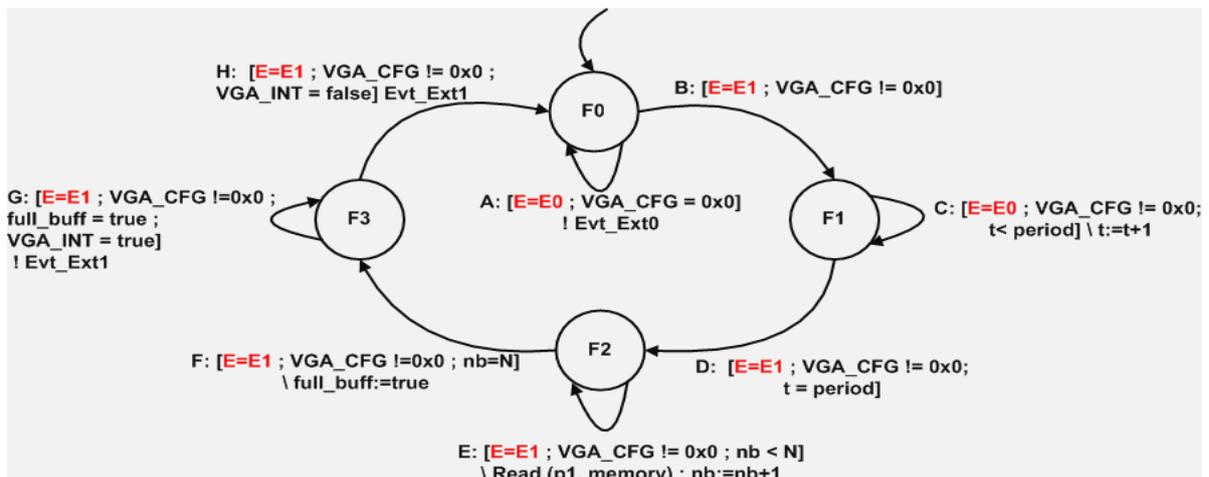


Figure 29. EFSM power-aware pour le composant VGA

En considérant le partitionnement en power domain décrit sur la Figure 27, deux états peuvent être attribués au power domain du composant VGA (PD_VGA):

- E0 pour l'état inactif et
- E1 pour l'état actif.

En effet, la technique de *power-gating* a été appliquée pour le composant VGA et sa mise sous tension dépendra du contrôle qui sera effectué sur le switch S2. Comme le power domain VGA peut être éteint quand il est fonctionnellement en état d'attente, des prédicats $E=E0$ doivent être placés sur les transitions A, C et G. Une exception existe cependant pour la transition G. En effet, bien que

cette dernière représente un état d'attente, le power domain VGA doit être maintenu actif pour cette transition. Cette information provient de l'analyse du flot transactionnel effectuée à l'étape précédente et qui montre que le CPU a besoin d'accéder au VGA lors du traitement de son interruption (cf. chronogramme du bas de la Figure 26). Par conséquent l'état E=E1 (actif) doit être attribué à la transition G.

On peut ainsi en déduire que les transitions A et C sont des *sleep candidate* puisque le power domain VGA peut être mis à l'état *Power-OFF*. Dans ce cas, le contenu du registre VGA_CFG doit être retenu tant qu'il existe comme prédicat dans les transitions qui suivent. Enfin, les transitions A, B, C et D sont des *power candidates* puisque ce sont des transitions durant lesquelles on peut changer l'état du power domain VGA. Le Tableau 7 ci-dessous synthétise ces informations.

	PD_VGA
SleepCandidate	A, C
RetCandidate	(C, {VGA_CFG})
PwCandidate	A, B, C, D

Tableau 7. Power candidate, Sleep candidate et Retention candidate pour le PD VGA

Cette approche par EFSM power-aware nous a donc permis d'identifier les points de gestion d'énergie (PMPs) pour le partitionnement en power domain défini sur la Figure 27. L'étape suivante de la méthodologie consiste à spécifier le power intent pour cette architecture power.

Etape 3 : Spécification du power intent

Tous les éléments nécessaires à la spécification du *power intent* sont définis lors de cette étape. Il s'agit de superposer aux composants fonctionnels existants les éléments de l'architecture power afin par la suite de simuler leurs impacts. Pour cela, les concepts définis par le standard UPF ont été abstraits au niveau SystemC/TLM. Les *power domains*, *supply nets*, *power switches*, *retention registers*, *power state tables* et *legal power state transitions* ont ainsi été modélisés au niveau TLM. Le comportement power d'une architecture et son contrôle (i.e. interface avec le comportement fonctionnel de la plateforme) doivent également être définis lors de cette étape. Pour cela, de nouveaux concepts ont également été ajoutés afin de définir les notions de *Design Element* (DE), d'*observers*, de *power monitor* ou de *domain power controller* (DPC). Un *design element* est attaché à un *power domain* mais « pointe » sur un composant fonctionnel SystemC/TLM. Les concepts d'*observers* et de *power monitor* sont utilisés lors des étapes de vérification et d'estimation de la consommation de puissance ou d'énergie. Les *power monitors* servent en effet à collecter les informations issues des *observers*. Enfin, les *domain power controller* (DPC) sont responsables de changer l'état des *power switches* et des *supply nets*. Tous ces concepts font l'objet de la librairie SystemC-TLM PwARCH développée au LEAT (Ous Mbarek) dans le cadre du projet ANR HELP et illustrée sur la Figure 30.

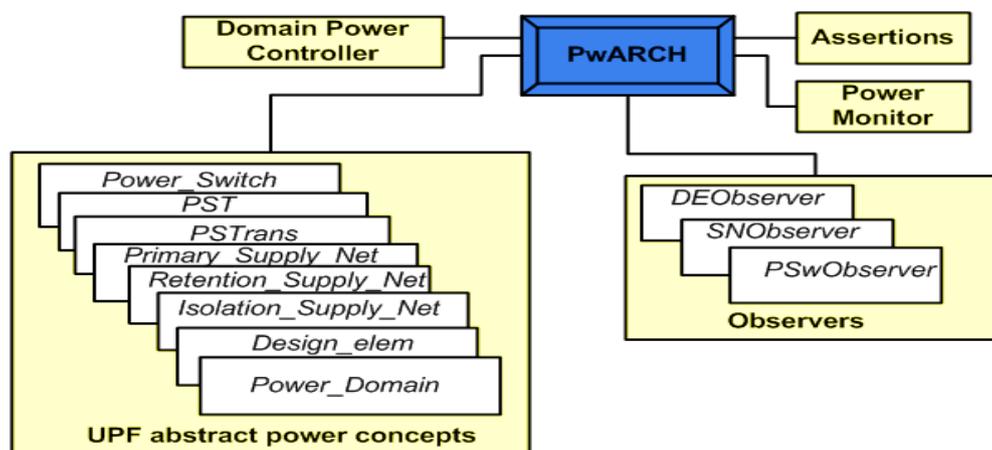


Figure 30. Structure générale de la librairie PwARCH

La Figure 31 illustre la superposition des éléments power sur la plateforme utilisée en exemple. Comme on peut le voir, nous retrouvons les 5 power domain qui ont été définis lors des étapes précédentes. Pour trois d'entre eux (PD_VGA, PD_GPIO et PD_SRAM), il est nécessaire de définir la manière dont les power switch changent d'état et l'impact de ce changement sur la partie fonctionnelle et power, en particulier sur les registres de rétention. Lorsque le power domain VGA est éteint par exemple, l'état de tous les registres de ce composant sont réinitialisés (reset) à l'exception du registre VGA_CFG, puisque ce dernier a été spécifié comme registre de rétention à l'étape précédente (cf. Figure 31).

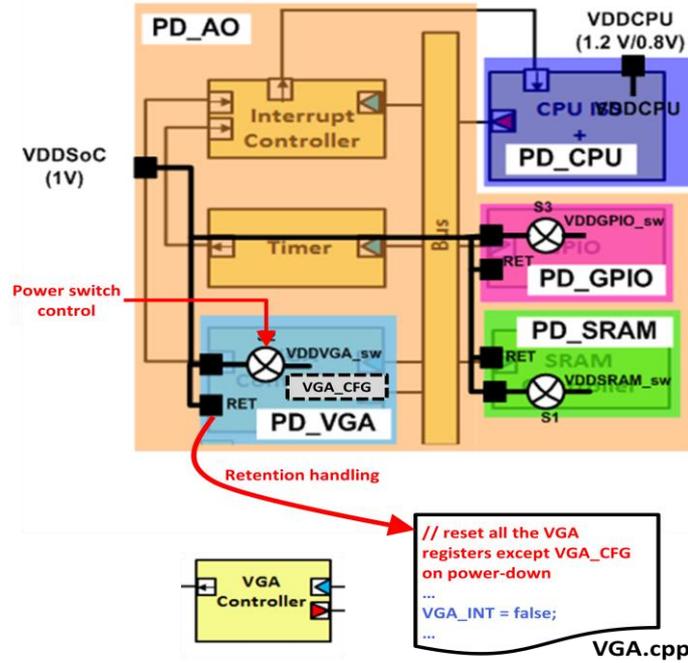


Figure 31. Etape de spécification du power intent

Afin d'évaluer l'efficacité en énergie de l'architecture power ainsi spécifiée, il est également nécessaire d'ajouter des modèles d'estimation en consommation. Pour cela, nous associons à chaque power domain une puissance statique et dynamique. La puissance dynamique (respectivement statique) est définie comme la somme des puissance dynamiques (respectivement statiques) de tous ses composants et de tous ses sous power domains. Les modèles classiques suivants sont attachés à chaque composant fonctionnel (i.e. Design Element) de la plateforme.

$$P_{DE_dynamic}(t) = C' \cdot V^2(t) \cdot f_{clock} \text{ (in Watt)}$$

$$P_{DE_static}(t) = V(t) \cdot I_{leakage} \text{ (in Watt)}$$

La puissance dynamique et statique attachée à chaque power domain est définie alors comme ceci :

$$\forall j/0 \leq j \leq NbPD$$

$$P_{PD_dynamic}^j = \sum_{i=0}^{i \neq NbFM(j)} P_{DE_dynamic}^i(t) + \sum_{k=0}^{k \neq NbNES(j)} P_{DE_dynamic}^k(t)$$

$$P_{PD_static}^j = \sum_{i=0}^{i \neq NbFM(j)} P_{DE_static}^i(t) + \sum_{k=0}^{k \neq NbNES(j)} P_{DE_static}^k(t)$$

Où :

- NbPD : nombre de power domains du système
- NbFM(j) : nombre total de composants fonctionnels (*Design Element*) du power domain j
- NbNES(j) : nombre total de power domain imbriqué (*nested PD*) du power domain j

On peut alors en déduire la consommation de puissance globale par power domain :

$$P_{PDtotal}^j(t) = P_{PD_dynamic}^j(t) + P_{PD_static}^j(t)$$

Afin de simuler dynamiquement l'impact du power intent spécifié sur le modèle fonctionnel TLM, un module SystemC/TLM décrivant une unité de power management (PMU) doit être spécifiée.

Etape 4 : Modélisation de l'unité de gestion power (PMU)

Comme nous l'avons vu précédemment, chaque power domain doit être contrôlé localement. Pour cela, on associe à chaque power domain (pouvant être à l'état Power-OFF) un *Domain Power Controller* (DPC). Ce contrôleur est en charge d'ajuster selon une séquence bien déterminée l'état des éléments power de son power domain. Un module *Power Manager* (PM) doit également être défini. Son rôle consiste à implémenter une stratégie de gestion des power domains mais également d'envoyer l'ordre aux DPCs de changer l'état local de leur power domains selon les décisions de gestion d'énergie. La Figure 32 représente l'architecture power augmentée d'une unité de gestion de la consommation (PMU).

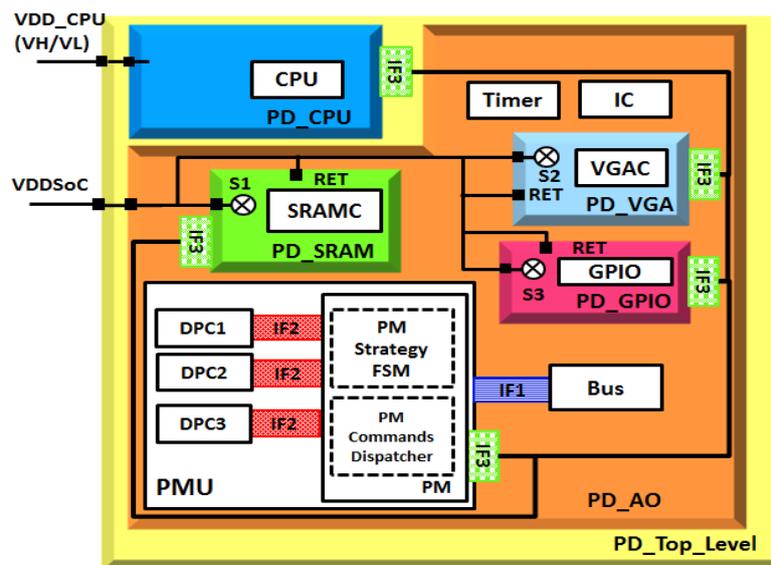


Figure 32. Description de la Power Management Unit (PMU)

Comme on peut le voir sur la Figure 32, trois interfaces supplémentaires doivent être modélisées durant cette étape:

- IF1 : une interface fonctionnelle entre le PMU et le bus à travers laquelle se fait la configuration du PMU et l'accès à ses registres internes.
- IF2 : une interface entre le PM et les DPCs.
- IF3 : une interface entre le PMU et les power domains à travers laquelle les transactions de contrôle des power domains et les événements de gestion d'énergie entre power domain et PMU sont échangés.

En fonction de la stratégie power implémentée par le PMU, il est nécessaire d'ajouter dans le code applicatif les transactions de contrôle nécessaires à un changement d'état des power domains (i.e. les PMPs). Dans le cas d'une stratégie basée scénarios (il y a d'autres stratégies possibles), le power manager se base sur la PST afin de contrôler les différents power domains en changeant l'état des *supply nets* ou des *power switch*. Les transactions de contrôle power (qui proviennent du niveau

applicatif via l'interface fonctionnelle IF1) consistent à écrire une donnée bien précise dans un registre de configuration du PMU afin de provoquer un changement d'état global du système par exemple. Le lien entre les aspects fonctionnels et power s'effectue donc à travers les *design element* et le module PMU. La dernière étape de la méthodologie consiste à simuler le comportement du système power-aware ainsi obtenu.

Etape 5 : Simulation du système power-aware

La simulation permet de vérifier la cohérence entre le code fonctionnel augmenté de commandes de changement d'état power et le power intent. En effet, le comportement du système est considéré comme cohérent si aucune violation de propriétés n'est détectée durant la simulation. D'autre part, des mécanismes permettant de mettre à jour automatiquement durant la simulation les équations de calcul de la consommation sont ajoutés à cette étape. Des fichiers de traces sont également générés lors de la simulation. Ces fichiers permettent d'effectuer une analyse et des comparaisons entre différentes alternatives de solution power. La Figure 33 illustre le type de chronogramme que l'on peut obtenir à partir de ces traces.

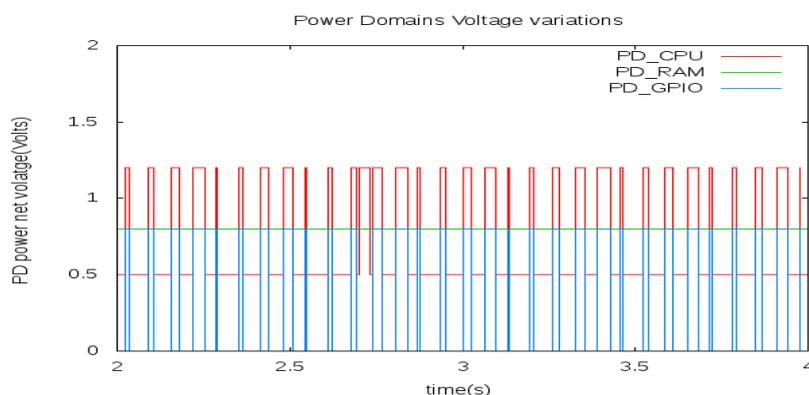


Figure 33. Variation de la tension par power domain

Bien que le comportement fonctionnel de la plateforme de niveau transactionnel soit supposé correct avant l'application de notre méthodologie, il est indispensable de vérifier que l'ajout des caractéristiques power ne provoque pas des erreurs ou des incohérences. Afin de vérifier que chaque étape de la méthodologie s'est déroulée correctement, un processus de vérification a été ajouté au flot de conception de niveau système proposé.

Etape orthogonale : vérification des propriétés power-aware en simulation

L'objectif de cette étape est de vérifier des propriétés power-aware au cours de la simulation. Ces vérifications se basent sur la notion de contrat proposée par Bertrand Meyer [Meyer 1992]. Un contrat est défini comme un ensemble de clauses *assume* (i.e. pré-conditions) et *guarantee* (i.e. post-conditions). Ainsi, pour vérifier un contrat en simulation chaque clause doit être introduite dans le code fonctionnel sous la forme d'une assertion spécifique et déclenchera une exception lors de la violation d'un contrat. Il s'agit donc de spécifier sous la forme de contrat les propriétés power-aware qu'il est nécessaire de vérifier lorsque les composants interagissent. Dans le système power-aware tel que nous l'avons défini, nous pouvons distinguer trois types de composants :

- des composants fonctionnels,
- des composants power,
- et le composant PMU.

En conséquence, nous avons distingué les propriétés power-aware en 4 classes de contrats, chaque classe spécifiant les interactions entre deux types de composants. Ces contrats sont vérifiés aux étapes 3, 4 et 5 définies par notre méthodologie (cf. Figure 24). Le type de relations ou d'interactions entre ces contrats est présentée dans le Tableau 8.

Type de Contrat	Interactions / Relations	
1	Composants Power	Composants Power
2	Composants Power	PMU
3	Composants Power	Composants fonctionnels
4	PMU	Composants fonctionnels

Tableau 8. Les 4 types de contrats

Afin d'éviter de rentrer dans le détail de chaque type de contrat, nous allons donner les principaux objectifs de vérification de chacun d'eux et illustrer leur intérêt par un exemple.

- **Contrats de type 1** : principalement utilisés lors de la phase de spécification du power intent, ces contrats vérifient que l'architecture power est correctement structurée et que les règles de composition (hiérarchie) sont respectées. Il s'agit par exemple de vérifier que la création d'un power switch s'effectue dans un power domain valide.
- **Contrats de type 2** : utilisés lors de la phase de modélisation du PMU, ils vérifient le fonctionnement correct du power manager. Il s'agit par exemple pour les DPCs de vérifier que les transitions d'états power sont correctes dans chaque power domain.
- **Contrats de type 3** : utilisés en simulation, ils permettent de vérifier que les changements d'états power sont cohérents. Il s'agit par exemple de vérifier qu'il n'y a pas d'activité fonctionnelle dans un power domain dont l'état serait Power-OFF.
- **Contrats de type 4** : utilisés en simulation, l'objectif est de vérifier que l'introduction des éléments power n'altèrent pas les comportements fonctionnels attendus. Il s'agit par exemple de vérifier qu'il n'y a pas exécution d'une transaction fonctionnelle vers un power domain inactif.

9.2.3. Techniques et outils pour l'application de la méthodologie

L'application de la méthodologie que nous venons de présenter diffère selon le type de plateformes virtuelles utilisées par le concepteur. En effet, on peut distinguer deux types de plateformes virtuelles³. Une plateforme de type *white-box* se compose d'IPs dont le code source SystemC/TLM est totalement accessible. Au contraire, une plateforme de type *black-box* est constituée d'IPs qui ont été préalablement compilées et vérifiées et dont le code source n'est pas accessible. Selon le type de plateforme, nous proposons une approche et des outils différents afin d'appliquer notre méthodologie. Cette distinction est nécessaire car les contraintes ne sont pas les mêmes lorsque l'on souhaite enrichir une plateforme avec des aspects power pour une IP *black-box* ou une IP *white-box*. Par exemple, il n'est pas possible d'insérer des assertions power (i.e. des contrats) dans une IP *black-box*.

Approche white-box

Dans le cas de plateformes de type *white-box*, nous proposons une approche basée sur l'instrumentation du code source et utilisant la librairie *PwARCH* (cf. Figure 23 et Figure 30). Ainsi, la création d'une alternative d'architecture power s'effectue par l'instanciation d'éléments power de la librairie *PwARCH*. Le code source ainsi obtenu est regroupé dans une section appelée *PowerMain* puis inclus dans le programme principal (*main.cpp*) de la description fonctionnelle. Les observateurs placés sur les *supply nets* et les *power switch*, sont aussi instanciés dans la section *PowerMain*. Ils sont notifiés dès qu'un *supply net* ou un *power switch* change d'état. A l'issue de la simulation, les équations permettant d'évaluer la consommation de puissance et l'énergie sont automatiquement et récursivement mises à jour par le *power monitor* en tenant compte de la hiérarchie des power domains.

Approche black-box

Le cas des plateformes virtuelles constituées d'IP *black-box* pose davantage de problèmes. Evidemment, la librairie *PwARCH* ne peut être utilisée puisque l'instrumentation du code source est impossible. D'autre part, ces IPs offrent une visibilité limitée des changements d'états fonctionnels

³ En fait il existe aussi un type de plateforme hybride composée à la fois d'IPs *white-box* et *black-box*.

internes. Les fournisseurs d'IP *black-box* offrent néanmoins un minimum d'information sur les signaux d'interface et certains registres internes (mappés en mémoire) nécessaires pour configurer et utiliser l'IP. De plus, il est tout à fait possible de capturer puis analyser les transactions échangées au niveau de l'interface externe de ces IPs. Ces informations, bien que limitées, permettent généralement de déterminer le comportement d'une IP *black-box*. Malgré cela, nous devons faire face à trois problèmes majeurs lorsqu'il s'agit d'enrichir une IP *black-box* avec des aspects power. Tout d'abord, le *power intent* associé à l'IP peut altérer son fonctionnement initial. D'autre part, il n'est pas possible d'insérer des assertions power (i.e. des contrats) puisque le concepteur n'a pas accès au code source de l'IP. Enfin, la rétention et la vérification de certaines propriétés (i.e. contrats) ne peuvent concerner que les registres dont l'accès est autorisé depuis l'extérieur de l'IP (i.e. les registres *mappés* en mémoire).

L'approche proposée consiste à encapsuler chaque IP dans un *wrapper power-aware*. La Figure 34 montre la structure générale de ce wrapper.

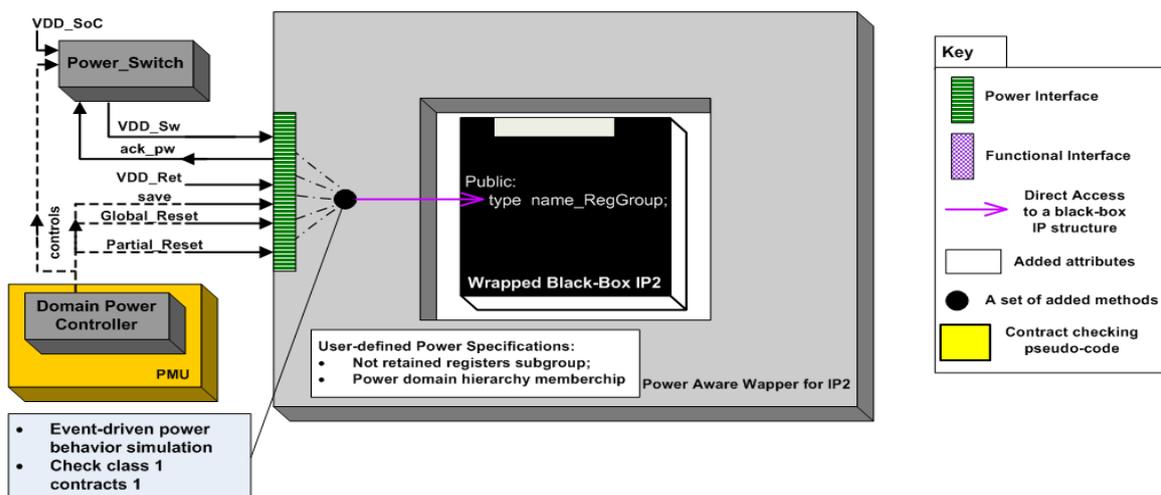


Figure 34. Wrapper power-aware pour IP de type black-box

Ce wrapper possède deux principales caractéristiques. Tout d'abord il contient le power intent ainsi que les mécanismes permettant de simuler le comportement power de l'IP. Il fournit également une interface power qui connecte l'IP *black-box* au PMU et qui regroupe les sources d'alimentation et les signaux de contrôle de l'architecture power gérés par le domain power controller (DPC). Afin de simuler l'impact du power intent sur le fonctionnement de l'IP et d'estimer la consommation, ce wrapper intègre des méthodes supplémentaires sensibles aux changements d'états de cette interface power. La deuxième caractéristique du wrapper consiste à vérifier à l'aide de contrats que l'ajout du power intent n'altère pas la fonctionnalité de l'IP. Comme les contrats ne peuvent pas être insérés dans le code fonctionnel, l'interface fonctionnelle de l'IP est dupliquée à l'intérieur du wrapper. Elle sert à capturer le début et la fin de certaines opérations de l'IP en interceptant les transactions pertinentes passant à travers cette interface et ainsi vérifier certaines propriétés power-aware avant de les véhiculer à destination de l'IP. Pour faciliter la conception modulaire de ces wrappers, nous avons développé l'utilitaire *PAL (Power Aware Layer)* qui offre une structure de base à leur développement. Cependant, le comportement spécifique de chaque wrapper reste à personnaliser par le concepteur.

9.2.4. Application sur des cas d'études

De nombreuses expérimentations ont été effectuées en simulation sur différents types de plateformes virtuelles.

Cas d'étude white-box

Le premier cas d'étude s'est déroulé en utilisant la plateforme présentée à la Figure 25. Comme il s'agit d'une plateforme composée uniquement d'IP de type *white-box*, nous avons utilisé la technique d'instrumentation du code source et l'outil PwARCH pour appliquer la méthodologie. La Figure 35 montre les différentes alternatives power que nous avons conçues à partir de la description fonctionnelle de la plateforme. L'alternative a) est la plateforme d'origine non partitionnée en power domain.

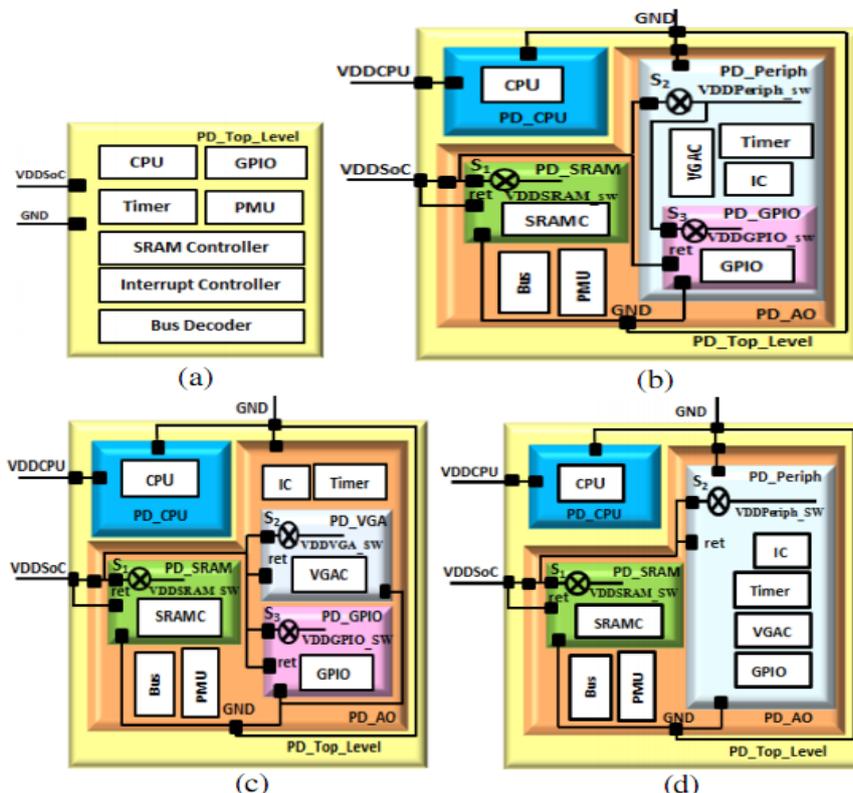


Figure 35. Les différentes alternatives d'architecture power

Les résultats de simulation montrent l'intérêt de partitionner une plateforme en différents power domains puisque les trois alternatives (b, c et d) fournissent un gain énergétique de 90% par rapport à la plateforme non partitionnée. Parmi ces trois alternatives, l'alternative b) est la plus efficace en énergie avec respectivement 58% et 7,3% de gain par rapport aux alternatives d) et c).

Cas d'étude black-box

Afin de valider notre méthodologie sur un cas d'étude industriel plus complexe, nous avons utilisé l'outil de prototypage virtuel *Innovator*⁴ fourni par Synopsys. Cet outil offre des IPs et des plateformes virtuelles précompilées dans une librairie appelée DWSLL (*DesingWare System Level Library*). La Figure 36 montre l'architecture de la plateforme virtuelle *approximately-timed* (AT) utilisée et basée sur un processeur ARM926.

⁴ Suite au rachat de la société Coware par Synopsys en mars 2010, le développement de l'outil Innovator a été progressivement stoppé au profit d'un nouvel environnement appelé Virtualizer.

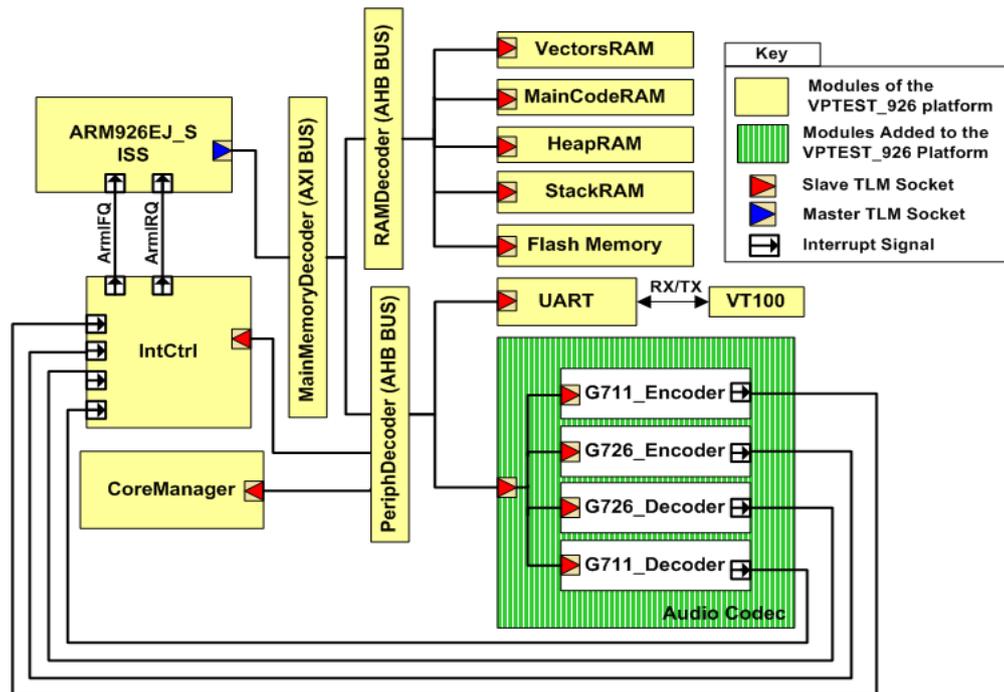


Figure 36. Architecture de la plateforme virtuelle audio

Cette plateforme exécute des scénarios d'enregistrement (PCM record) et de lecture audio (PCM play). A cette fin, nous avons ajouté de nouvelles IPs afin de réaliser l'encodage et le décodage de trames audio (Audio codec sur la Figure 36). Toutes les IPs composant cette plateforme étant de type *black-box*, nous avons appliqué l'approche basée sur les *wrapper power-aware* et l'outil PAL. La Figure 37 montre quatre différentes alternatives power que nous avons conçues pour cette plateforme.

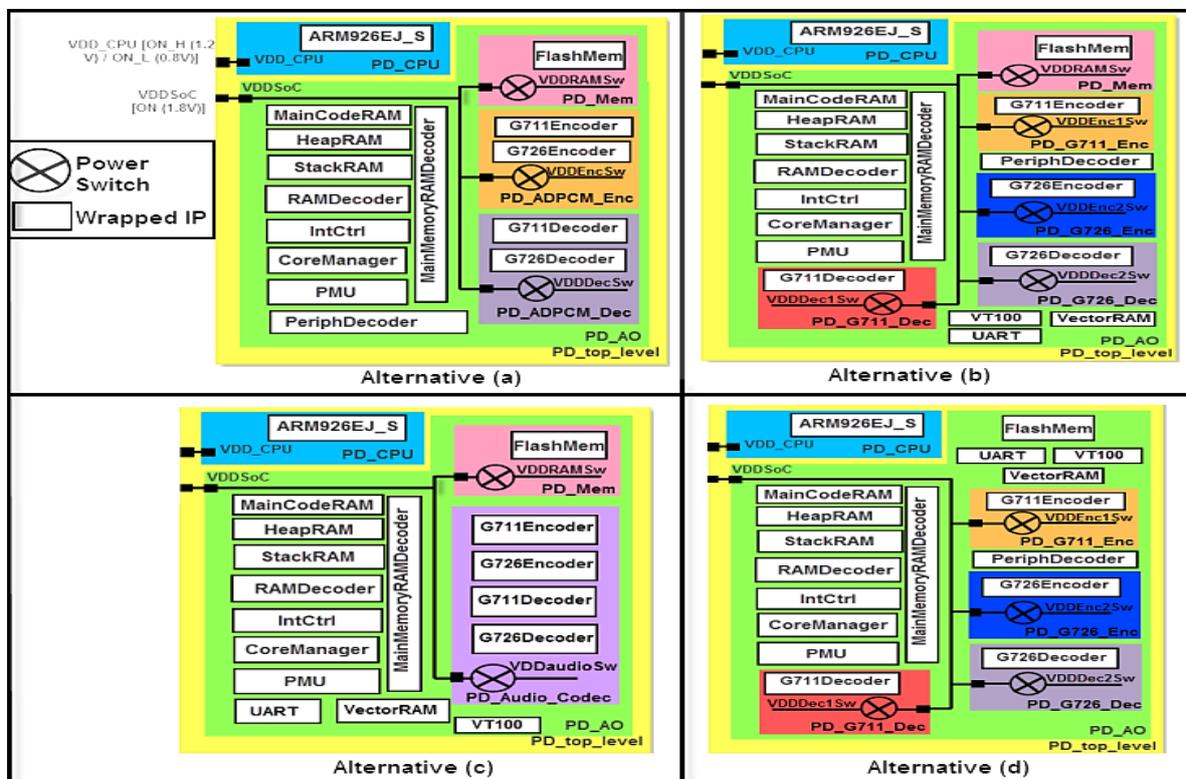


Figure 37. Les différentes alternatives power pour la plateforme audio

Les simulations montrent que l'alternative d) fournit les meilleurs résultats avec un gain énergétique de 53% par rapport à la plateforme non partitionnée. Pour cette alternative d) nous avons défini un power domain pour chacun des quatre blocs permettant la compression ou la décompression audio (G721 et G726). Comme chacun de ces power domain est relié à un power switch, il est possible d'éteindre individuellement l'alimentation de ces blocs, ce qui s'avère être une solution judicieuse en termes d'énergie. L'alternative b) possède une architecture power très similaire, et pourtant la consommation d'énergie est 32% supérieure à l'alternative d). Cette différence provient du choix concernant la mémoire Flash. L'alternative d) montre qu'il est préférable de ne pas appliquer la technique de power gating pour la Flash entre chaque encodage ou décodage audio. En effet, dans ce cas on observe un nombre élevé de transitions entre les modes power (ON et OFF) de la Flash, ce qui provoque des pénalités énergétiques.

Ces cas d'études montrent l'intérêt de notre approche pour concevoir et vérifier tôt dans le flot de conception une architecture power efficace en énergie. La vitesse de simulation inhérente du niveau système permet également de rapidement explorer différentes alternatives power et d'évaluer pour chacune d'elles le gain en énergie. Il faut noter que quelque soit le type de plateforme (*white-box* ou *black-box*), l'ajout du *power intent* et des contrats n'entraîne pas d'augmentation des temps de simulation (seulement 0,02% dans le cas de l'utilisation des *wrappers power-aware* et 0,03% pour l'approche d'instrumentation basée sur PwARCH). Finalement, les expérimentations effectuées avec l'outil Innovator montre que notre méthodologie peut s'intégrer aisément dans des flots de conception industriels basés sur le prototypage virtuel au niveau TLM.

9.3. Conclusion et perspectives

Le domaine de la conception des systèmes embarqués au niveau ESL est très actif depuis une dizaine d'années avec des évolutions importantes au niveau des outils d'aide à la conception et des langages de spécification tel que SystemC/TLM. Afin d'accompagner ces évolutions nous avons mené différentes études suivant cet axe de recherche. Nous nous sommes tout d'abord intéressé aux approches de validation pré-silicon basées sur des plateformes virtuelles afin de simuler un code applicatif complet réalisant des appels GSM ou des transferts de données (E)GPRS. Afin de répondre aux exigences croissantes liées à la consommation, nous avons également proposé une méthodologie permettant de décrire au niveau TLM le *power intent* d'un SoC en faisant une abstraction des concepts du standard UPF. De plus, les propriétés de l'architecture power, la cohérence des décisions prises par le *power manager* ainsi que l'intégrité du comportement fonctionnel sont automatiquement vérifiés en simulation via l'assertion de contrats. Deux approches ont également été proposées afin d'appliquer la méthodologie pour les deux types d'IPs qui composent actuellement les plateformes virtuelles. Les cas d'études montrent l'intérêt du flot proposé dans le processus d'exploration rapide de l'espace de conception et de validation de l'architecture power. Des travaux ont également été initiés afin de faciliter l'exploration par une approche dirigée par les modèles (*Model Driven Engineering – MDE*). Enfin, ces travaux ont également donné lieu à une approche de modélisation d'une interface de gestion de power domains appelée *PDMgIF*.

Afin de mener à bien ces travaux, 2 doctorantes (dont une en cours) et 6 stagiaires ingénieur ou de Master ont participé à ce projet.

Les travaux menés au sein de cet axe de recherche ont conduit à 10 publications scientifiques (2 revues [1] [3], 5 conférences internationales [18] [22] [27] [31] [34] et 3 conférences nationales [56] [61] [65]). De plus, l'article présenté à la conférence internationale PATMOS [31] a reçu un **Best Papers awards**.

9.4. Fiche de synthèse des travaux

Co-encadrements de thèses

Ons MBAREK - Contrat ANR HELP

Une approche de modélisation au niveau système pour la conception et la vérification de systèmes sur puce à faible consommation

Thèse soutenue le 30 mai 2013

En Co-direction (50%) avec le DR CNRS Michel Auguin (50%)

Hend AFFES - Contrat ANR HOPE

Approche de conception par modélisation au niveau transactionnel d'architectures et du contrôle de systèmes sur puce optimisés en énergie

Soutenance prévue en 2015

En Co-direction (50%) avec le Directeur de Recherche CNRS Michel Auguin (50%)

Encadrements de stagiaires ingénieurs et de Master

Ameni Khecharem (Avril 2011 – Septembre 2011)

Utilisation de l'ingénierie des modèles pour accélérer le stage de spécification de l'intention de puissance pour un modèle de système sur puce.

Ecole Nationale d'Ingénieurs de Sfax (Tunisie)

Co-encadrement (50%) avec Michel Auguin.

Housseem Eddine Fathallah (Mars 2011 - Août 2011)

Validation d'une approche hiérarchique de gestion de la consommation d'énergie dans une plateforme virtuelle modélisée au niveau transactionnel.

Ecole Nationale d'Ingénieurs de Sousse (Tunisie)

Stage en collaboration avec la plateforme conception CIM-PACA

Frédéric Nguyen (Avril - Septembre 2009)

Virtual platforms and smart simulation

Master TSM (Télécommunications et Systèmes Microélectroniques) de l'Université de Nice Sophia Antipolis

Stage en collaboration avec la plateforme conception CIM-PACA

Jabran Khan (Avril - Septembre 2009)

Validate the functioning of the IP-room environment and verify the conformity of models of IP in relation to the IP-XACT standard.

Master TSM (Télécommunications et Systèmes Microélectroniques) de l'Université de Nice Sophia Antipolis

Stage en collaboration avec la société Synopsys de Sophia Antipolis.

Vivien Leng (Octobre 2006 – Juin 2007)

Simulation d'un code de niveau L1 pour application GSM/GPRS/EGPRS sur plateformes virtuelles.

Polytech Nice-Sophia Antipolis, Filière Electronique

Jean Trivelly (Janvier – Juin 2006)

Etude de solutions pour la simulation de code L1 pour application 2.5G.

Polytech Nice-Sophia Antipolis, Filière Electronique

Collaborations scientifiques et industrielles

HOPE 2012/2015, Projet ANR – INS, Intel, Synopsys, Magillem, Docea Power, Inria, Plateforme conception CIMPACA, Leat.

HELP 2009/2013, Projet ANR - ARPEGE, ST-Micro, Docea Power, Inria, Verimag, Leat

Projet CIM-PACA, plateforme conception (2008 - Aujourd'hui).

Publications scientifiques

- [1] O. Mbarek, A. Pegatoquet and M. Auguin, *Power Domain Management Interface: Flexible Protocol Interface for Transaction-Level Power Domain Management*, IET Computers & Digital Techniques Journal, Volume 7, Issue 4, pp. 155-166, July 2013.
- [3] O. Mbarek, A. Pegatoquet and M. Auguin, *Using unified power format standard concepts for power-aware design and verification of systems-on-chip at transaction level*, IET Circuits, Devices & Systems journal, Vol. 6, Issue 5, pp. 287-296, 2012.
- [18] O. Mbarek, A. Pegatoquet, M. Auguin, H.E. Fathallah, *Power-Aware Wrappers for Transaction-Level Virtual Prototypes: a Black Box Based Approach*, IEEE 26th International Conference on VLSI Design (VLSID), Pune, India, January 5-10, 2013.
- [22] O. Mbarek, A. Pegatoquet, M. Auguin, *Black-Box And White-Box Early Power Intent Simulation and Verification: Two Novel Approaches*, IEEE Conference on Design and Architectures for Signal and Image Processing (DASIP), Karlsruhe, Germany, October 23-25, 2012.
- [27] O. Mbarek, A. Khecharem, A. Pegatoquet, M. Auguin, *Using Model Driven Engineering to Reliably Accelerate Early Low Power Intent Exploration for a System-on-Chip Design*, 27th ACM Symposium On Applied Computing (SAC), Trento, Italy, March 26-30, 2012
- [31] O. Mbarek, A. Pegatoquet, M. Auguin, *A Methodology for Power-Aware Transaction Level Models of Systems-on-Chip Using UPF Standard Concepts*, 21st International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS), Madrid, September 26-29, 2011. **Best Papers Awards**.
- [34] J. Khan, F. N'Guyen, M. Dubois, M. Auguin, A. Pegatoquet and P. Bricaud, *Next Building Block In A Highly Innovative Soc-ASIC-FPGA collaborative offering: CIM PACA Design Platform IP Room*, in Proc. Forum SAME (Sophia Antipolis Microelectronics), University Booth, Sophia Antipolis, France, 22-23 September, 2009.
- [56] O. Mbarek, A. Pegatoquet, M. Auguin, *A Reliable Instrumentation Method for Low-Power and Energy-Efficient High Level Virtual Prototyping*, Colloque National du GDR SoC-SiP, Campus de Jussieu, Paris, 13-15 juin 2012.
- [61] O. Mbarek, A. Pegatoquet, M. Auguin, *A Power-Aware Design and Verification Framework at Transaction Level*, Ecole Thématique Conception Faible Consommation (EcoFac), Session poster, La Colle sur Loup, 21-25 mai 2012.
- [65] O. Mbarek, A. Pegatoquet and M. Auguin, *« Nouvelle approche pour l'estimation et le contrôle d'énergie d'un composant au niveau transactionnel »*, Colloque National GDR SocSIP, 9-11 juin 2010, Paris

10 - Modélisation et optimisation globale en énergie d'objets communicants autonomes

10.1. Introduction

La consommation d'énergie dans les systèmes embarqués mobiles tels que les réseaux de capteurs est un enjeu majeur pour de nombreuses applications où il est important d'assurer une certaine durée de fonctionnement entre deux recharges de batterie. La généralisation des systèmes électroniques mobiles induit une consommation d'énergie en constante augmentation. L'*International Energy Agency* prévoit une consommation mondiale des gadgets électroniques en 2030 égale à la consommation actuelle des ménages américains et japonais réunis ce qui est loin d'être négligeable. De nombreuses évolutions techniques et technologiques ont permis ces dernières années de réduire la consommation des objets communicants. Dans les architectures numériques les différents niveaux du flot de conception sont concernés : OS temps-réel avec gestion des modes basse consommation, ordonnancement et gestion dynamique de la tension et de la fréquence (DVFS), approches au niveau architecture (e.g. *clock gating*, *power gating*) ou avancées technologiques. La conception de blocs RF optimisés en consommation évolue également afin de prendre en compte les contraintes liées à la qualité du canal, à la sensibilité ou à la résistance aux interférences. Les convertisseurs de tension (DC/DC), analogique-numérique, numérique-analogique ou autres diviseurs de fréquence (PLL, DLL) sont aussi conçus dans un souci de compromis performance/énergie. L'évolution concerne également les protocoles de communications qui sont conçus afin d'obtenir des énergies par bit transféré optimisées (e.g. 802.15.4/ZigBee ou Bluetooth Low Energy⁵). Les couches logicielles applicatives doivent être développées en fonction d'une QoS dépendante de l'énergie disponible. Enfin, les systèmes de récupération et de stockage de l'énergie sont également un élément majeur à prendre en considération dans la conception de ces systèmes, a fortiori lorsqu'il s'agit de concevoir un objet autonome en énergie. Ces techniques sont en général développées sans analyse détaillée des impacts qu'elles peuvent induire mutuellement les unes sur les autres. Or, nous sommes convaincus qu'il est possible de gagner significativement en énergie par une approche globale de conception. Il s'agit par exemple de considérer l'impact de la consommation du circuit RF au niveau des couches protocolaires. En effet, les transceivers radio étant les principaux responsables de la consommation d'énergie dans la plupart des applications de réseaux de capteurs, il convient de ne les utiliser qu'à bon escient, c'est-à-dire éviter au maximum les gaspillages dûs à des écoutes inutiles par exemple (*idle listening*) ou encore réduire au maximum la puissance de transmission lorsque la qualité du canal le permet. Ces travaux se sont effectués dans le domaine émergent des réseaux de capteurs avec des nœuds dotés d'un ou plusieurs système de récupération et de stockage de l'énergie. Ce domaine de recherche est récent du point de vue des systèmes embarqués et il paraît évident que l'activité de recherche s'y rattachant va se renforcer dans les années à venir.

Dans ce contexte et dans la perspective d'un accroissement massif des réseaux de capteurs, il est important d'imaginer des solutions innovantes en particulier dans la politique de power management. Le power manager, en charge de la gestion optimisée de la consommation de l'objet, doit prendre en compte les différents éléments aussi bien matériels, logiciels ou environnementaux (le canal ou le système de récupération) constituant l'objet. D'autre part, les systèmes de récupération de l'énergie remettent en question la problématique liée à la gestion de la consommation d'énergie puisque l'objectif n'est plus de diminuer la consommation de l'objet en fonction de la capacité de la batterie, mais d'adapter l'activité du nœud aux conditions environnementales fluctuantes liées au récupérateur utilisé. Les politiques de gestion de la consommation se basent généralement sur le principe de neutralité énergétique afin d'adapter dynamiquement la période de réveil du nœud (et donc sa consommation moyenne) en fonction d'une prédiction de l'énergie récupérée [Kansal 2006] [Alam 2011] [Ferry 2011] [Moser 2010] [Recas 2009]. Or ces techniques ne prennent pas en compte l'état de charge de la batterie dans leur décision,

⁵ Aussi appelé Bluetooth Smart.

pouvant provoquer une décharge complète de la batterie qui peut s'avérer dommageable en termes de qualité de service suivant le type d'applications visées⁶.

Le problème de la gestion optimisée en consommation et de l'autonomie des objets communicants est complexe. Aussi, les problématiques adressées dans cet axe sont multiples mais visent toutes à réduire la consommation d'énergie tout en optimisant la qualité de service (latence, débit...). L'objectif est de proposer des solutions permettant d'effectuer avant le déploiement du réseau des validations précises des protocoles ou des stratégies de gestion de la consommation. Il s'agit également de prédire le comportement du système sur de longues durées (plusieurs jours voire plusieurs années). Pour cela, il est nécessaire de disposer d'environnements de haut niveau permettant une simulation globale du système basée sur des modèles abstraits des différents éléments impactant la consommation d'énergie. L'analyse et la conception globale du système impliquent par ailleurs une hétérogénéité des modèles (numérique, analogique, logiciel, RF..) qui rend difficile leur interopérabilité. Plusieurs contributions peuvent être citées :

- Caractérisation en consommation une plateforme existante (iMote2) (2009-2010)
- Gestion optimisée en consommation et en latence de nœuds mobiles au sein d'un réseau 802.15.4 (2009-2013)
- Approche de modélisation de haut niveau et globale pour les réseaux de capteurs (2009-2013)
- Système de gestion de la période de réveil du nœud indépendant de la source de récupération d'énergie (2012-2013)
- Intégration de nœuds de réseau de capteurs modélisés en SystemC/TLM dans le simulateur de réseau OMNET++ (2011 – en cours)

La Figure 2 décrit le déroulement de mes travaux suivant cet axe de recherche. L'activité développée au sein de cet axe de recherche s'est d'abord intéressée à la caractérisation en consommation d'une plateforme existante (iMote2) en proposant en particulier un modèle du circuit RF. Nous avons poursuivi ces travaux de modélisation en proposant des modèles pour les différents éléments d'un nœud de réseaux de capteurs. Sur la base de ces modèles, nous avons alors développé un environnement de simulation permettant de simuler le comportement global d'un nœud. Deux techniques innovantes de power management (OL-PM et CL-PM) basées sur le principe de neutralité énergétique ont été validées sous cet environnement. Plus récemment, des études ont été menées afin de concevoir un système de gestion de l'activité du nœud indépendant de la source de récupération d'énergie (thèse de Tron-Nhan Le). D'autre part, des études ont permis de proposer une extension du standard 802.15.4 afin de gérer efficacement en consommation et en latence un nœud mobile (thèse de Chiraz Chaabane). Enfin, des travaux sont en cours afin de simuler conjointement le comportement (fonctionnel et en consommation) d'un nœud décrit en SystemC/TLM avec son environnement et le protocole réseau en utilisant le simulateur OMNET++.

⁶ Une décharge trop importante et non contrôlée peut également gravement endommager une batterie.

10.2. Présentation des travaux

Afin d'illustrer l'activité menée au sein de cet axe de recherche, la suite de cette section présente trois études adressant le problème de la gestion de l'énergie pour des nœuds de réseaux de capteurs autonomes. La première étude concerne les travaux d'Andréa Castagnetti, actuellement en post-doc au CEA-LIST et porte sur une approche de modélisation de haut niveau et globale pour les réseaux de capteurs. La seconde étude correspond aux travaux de Trong-Nhan LE, actuellement en dernière année de thèse, et porte sur une gestion de la consommation d'énergie indépendante de la source de récupération d'énergie. La dernière étude concerne les travaux de Chiraz Chaabane actuellement ATER à l'Université de Nice Sophia Antipolis et porte sur la gestion optimisée en consommation et en latence de nœuds mobiles au sein d'un réseau 802.15.4.

10.2.1. Approche de modélisation de haut niveau et globale pour les réseaux de capteurs

Contexte et motivations

L'histoire des réseaux de capteurs remonte au début des années 80, lorsque l'agence américaine DARPA (*Defense Advanced Research Projects Agency*) lança le projet *Distributed Sensor Networks* (DSN). Avec le temps, les avancées technologiques ont permis de concevoir des réseaux de capteurs sans fil constitués de nœuds de petite taille. Chaque nœud est généralement équipé d'une unité de calcul, d'un ou plusieurs capteurs, d'une batterie et d'une unité de communication radio fréquence. Afin de supporter l'évolution de ces systèmes, différents standards de communication destinés aux réseaux sans fil personnels basses consommation, faibles débit et ayant une portée de quelques mètres (*Low Rate Wireless Personal Area Network (LR-WPAN)*) ont été définis. Ainsi le protocole de communication 802.15.4 a été standardisé par l'IEEE en 2003 alors que la version faible consommation de Bluetooth (appelé Bluetooth SMART depuis 2011) a été initiée par Nokia à partir de 2006.

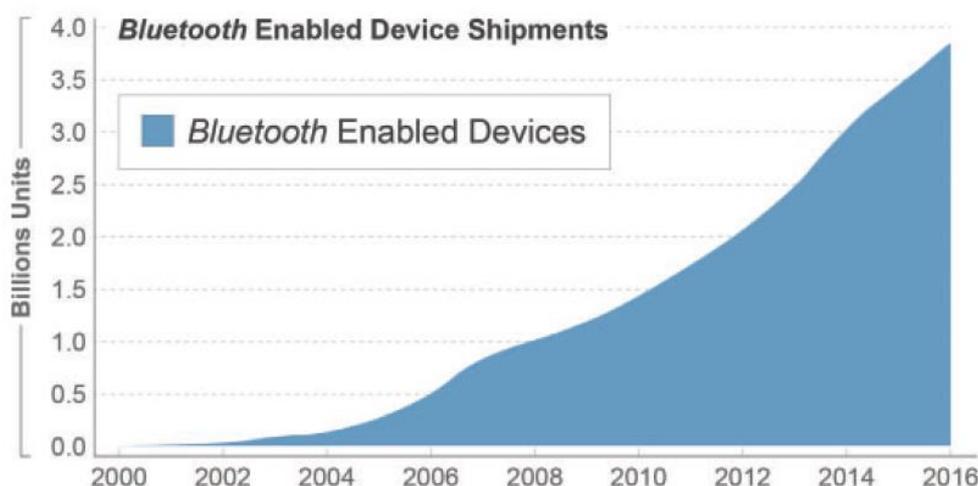


Figure 38. Evolution du marché Bluetooth [Bluetooth 2011]

Compte tenu du nombre élevé d'applications potentielles, le marché des réseaux sans fil personnels est actuellement en plein essor. Citons par exemple la surveillance des structures (Structure Health Monitoring (SHM)), l'aide au individus ou le médical (E-santé), les applications militaires (ex. surveillance d'un champ de bataille), l'environnement (ex. surveillance incendie), l'agriculture ou encore les bâtiments intelligents (i.e. smart buildings). La Figure 38 montre l'évolution du nombre de produits électroniques possédant un chipset Bluetooth [Bluetooth 2011]. Si au début des années 2000 il n'y avait que quelques centaines de milliers d'utilisateurs de cette technologie, on prévoit qu'en 2016 seront vendus près de 4 milliards d'équipements électroniques utilisant un chipset Bluetooth.

Même si l'efficacité énergétique des appareils électroniques a considérablement augmenté ces dernières années, l'augmentation rapide du nombre de ces équipements aura un impact très significatif sur la consommation globale d'énergie. Afin de limiter cette empreinte énergétique, des solutions basées sur des systèmes de récupération de l'énergie ambiante (*Energy Harvesting*) ont été proposées depuis plusieurs années. Plusieurs études de marché montrent d'ailleurs que la production des dispositifs de récupération d'énergie va considérablement augmenter dans les cinq années à venir. Elle était estimée à 29.3 millions d'unités en 2010 et elle devrait dépasser 235.4 millions d'unités en 2015. Les études montrent également que le photovoltaïque devrait représenter environ 40% du marché. La consommation d'énergie doit être optimisée à tous les niveaux de la conception d'un nœud de réseau de capteurs sans fils car ces dispositifs sont généralement alimentés par des batteries de petites tailles. De plus, les nœuds sont souvent dispersés dans des endroits difficilement accessibles, ce qui rend le remplacement des batteries très compliqué, voire impossible. Si la durée de vie d'un nœud de réseau de capteurs sans fil dépend de l'application, elle est avant tout limitée par la capacité de la batterie. Des travaux publiés récemment montrent que la durée de vie d'un réseau de capteurs pour le monitoring d'infrastructures (ponts, bâtiments, etc.) est de quelques jours [Shamim 2008]. Pour des applications où les échantillons sont collectés à une fréquence plus faible la durée de vie peut être cependant de l'ordre de plusieurs mois ou années.

Afin de prolonger l'autonomie d'un nœud au delà de la limite fixée par la capacité de la batterie il est nécessaire d'utiliser un système permettant de récupérer une partie de l'énergie disponible dans l'environnement. Grâce aux avancées technologiques dans la miniaturisation de ces systèmes, il est aujourd'hui possible d'intégrer ce type d'élément dans un nœud de réseau de capteurs, ce qui permet de repousser la limite de l'autonomie imposée par la capacité de la batterie. La récupération d'énergie donne ainsi un degré de liberté supplémentaire dans la conception des protocoles de communication et des techniques de gestion de la consommation (*power management*), mais pose aussi de nouvelles problématiques. En effet, l'objectif principal dans un réseau de capteurs classique est de maximiser la durée de vie du réseau avec pour contrainte le budget énergétique fixé par la capacité de la batterie. Dans un nœud équipé d'un système de récupération d'énergie, au contraire, le budget énergétique n'est pas fixé a priori. Dans ce cas, la durée de vie n'est pas liée aux contraintes énergétiques, mais sera limitée par la fiabilité des composants qui constituent le nœud.

Objectifs de la thèse

C'est dans ce cadre que nous avons entrepris des travaux afin de proposer un environnement de simulation et une bibliothèque de modèles pour l'analyse des nœuds d'un réseau de capteurs avec récupération d'énergie, avec une attention particulière pour les politiques de power management. La Figure 39 présente l'environnement de simulation et de modélisation proposé dans le cadre de ce travail.

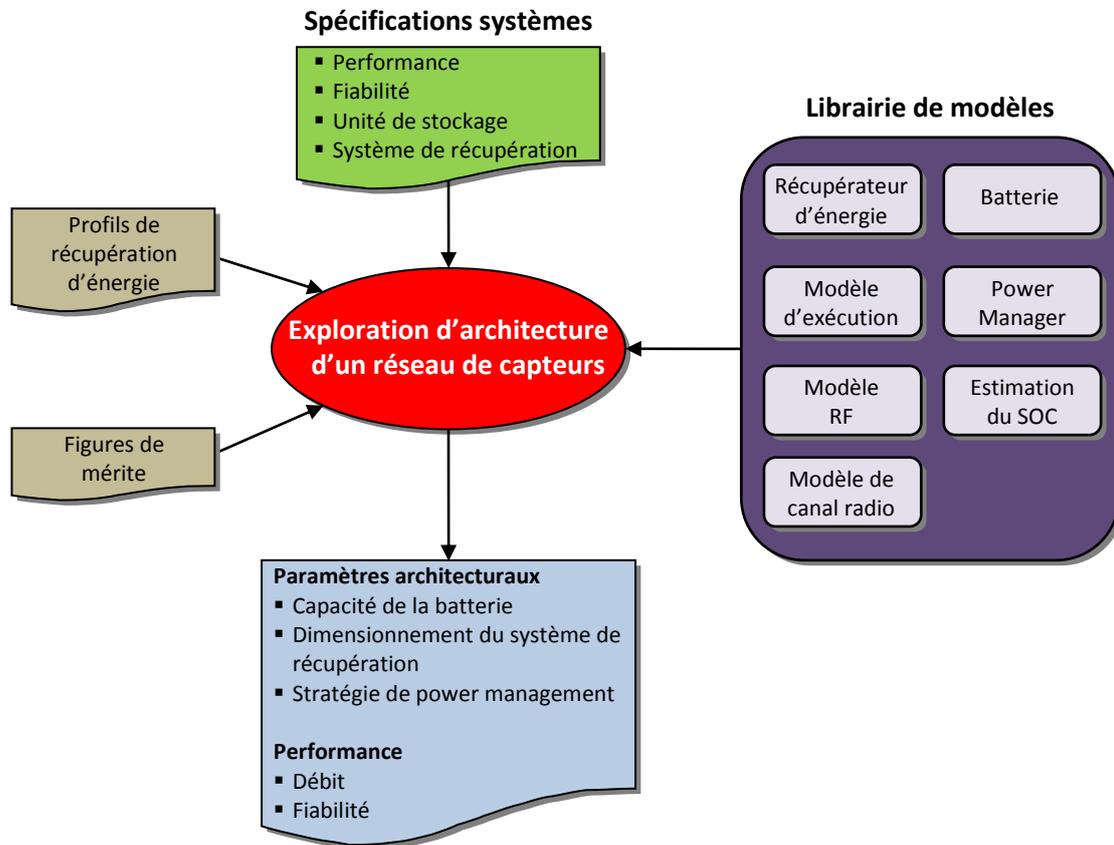


Figure 39. Environnement de simulation pour l'analyse d'un nœud de réseaux de capteurs

Les spécifications systèmes sont fournies par l'utilisateur et peuvent concerner, par exemple, le nombre d'heures de fonctionnement par jour du nœud, le débit moyen, minimal et/ou maximal ou encore le taux d'erreur par bit (ou par paquet) moyen de la couche physique. Des paramètres architecturaux peuvent également être spécifiés tels que la capacité minimale et maximale de la batterie ou le type de système de récupération d'énergie.

Une librairie fournit les différents modèles de haut niveau nécessaires à la simulation globale du nœud dans son environnement. On y retrouve tout d'abord des modèles de batterie et de systèmes de récupération d'énergie. Un modèle permettant de déterminer l'état de charge d'une batterie (*State Of Charge (SOC)*) est aussi disponible. Cette librairie contient également des modèles RF décrivant les différents éléments de base nécessaires au fonctionnement de l'interface radio : modulateur, démodulateur, amplificateurs, filtres, mixers, etc. Afin de simuler les communications RF entre les nœuds, nous avons également ajouté un modèle de canal radio. Les différentes activités exécutées par le nœud (lecture des capteurs, traitement numérique et émission/réception RF) sont décrites sous forme de tâches caractérisées par une valeur de consommation de puissance. La bibliothèque fournit enfin plusieurs techniques de power management. L'énergie disponible dans l'environnement est décrite sous forme de profils issus d'expérimentations sur plateformes réelles. Dans le cas d'un panneau solaire par exemple, ces données représentent des valeurs de luminosité collectées à l'aide d'un luxmètre. Ces données sont ensuite exploitées par le modèle de récupération.

Chaque modèle de la librairie est générique et facilement paramétrable afin de faciliter l'exploration de différentes solutions architecturales. Comme nous le verrons par la suite, il s'agit par exemple d'étudier le compromis entre taille de la batterie et taille du panneau solaire. Cette exploration peut être conduite de façon manuelle ou automatisée à l'aide d'un algorithme d'optimisation implémenté dans le bloc central du flot proposé (Exploration d'architecture d'un réseau de capteurs sur la Figure 39). A partir des spécifications initiales, un modèle exécutable du nœud est généré en assemblant les modèles fournis dans la librairie, puis une simulation est exécutée pour chaque configuration. Sur la base d'une ou plusieurs figures de mérite, les paramètres du nœud sont ajustés de façon itérative jusqu'à l'obtention des performances spécifiées par le concepteur.

Modélisation fonctionnelle du système de communication RF et du canal radio

Dans cette étude nous proposons une modélisation comportementale d'un système de communication radio fréquence permettant la simulation de la couche physique du protocole de communication. Dans une modélisation comportementale, les différents blocs sont représentés sous forme de boîtes noires caractérisées par la relation entre les entrées et les sorties. Contrairement à la modélisation physique (niveau dispositifs), avec ce type d'approche on ne simule pas le comportement interne du système, ce qui se traduit par une réduction du temps de calcul et donc de simulation. Ainsi, la description de chaque bloc se fait à travers des équations qui décrivent le traitement effectué sur le signal d'entrée. Le modèle du circuit RF inclut différents blocs dont le LNA (Low Noise Amplifier), le mélangeur-oscillateur (i.e. *mixer*), un filtre de canal, l'amplificateur de puissance ainsi qu'un convertisseur analogique-numérique et numérique-analogique. Les fonctions principales en bande de base sont également considérées dans cette étude avec des modèles de codage de canal, de modulation et de filtrage de mise en forme. Le canal radio a fait l'objet d'une attention particulière car il joue un rôle crucial dans le fonctionnement du système de communication. Afin de caractériser l'effet du canal de communication sur le signal transmis, nous avons considéré trois phénomènes principaux qui ont été largement décrits et analysés dans la littérature [Proakis 2008] [Sklar 2001] [Andersen 1995] [Cox 1984] [Seidel 1992]: l'atténuation, l'évanouissement à grande échelle (*shadowing*) et l'évanouissement à petite échelle (*small scale fading*).

Afin de valider les modèles utilisés pour représenter les effets du canal et le circuit RF, nous avons comparé les résultats obtenus en simulation avec des mesures collectées lors de tests de terrain (*field tests*) en extérieur. Pour cela nous avons utilisé la plateforme *Imote2* de Crossbow [Nachman 2008] équipée du circuit radio *Chipcon CC2420*, compatible avec le standard 802.15.4 et opérant dans la bande ISM⁷ à 2.4GHz. Les mesures permettent d'évaluer le nombre de paquets reçus (PRR) ainsi que la valeur du RSSI (*Received Signal Strength Indicator*) et du CCI (*Chip Correlation Indicator*) de chaque paquet. Le RSSI est une mesure de la puissance du signal reçu et une valeur est fournie seulement si le paquet est reçu correctement. Le CCI aussi appelé LQI (*Link Quality Indicator*) est défini par Chipcon comme un indicateur de la qualité du signal reçu. La comparaison des valeurs mesurées sur le terrain et des simulations nous ont permis de vérifier la validité de nos modèles. L'analyse du taux de paquets reçus est particulièrement intéressante car elle met en lumière trois zones de réception (connectée, intermédiaire et déconnectée) en fonction de la distance séparant les nœuds communicants. Dans la région intermédiaire le taux de paquets reçus peut varier significativement entre deux points situés à l'intérieur de cette région et cela d'une façon totalement aléatoire. Les simulations ont permis de vérifier que le *shadowing* est la cause principale de cette dispersion.

Modèle global d'un nœud de réseau de capteurs centré sur la batterie

Après avoir analysé les aspects liés à la communication d'un nœud de réseaux de capteurs sans fil, nous nous sommes intéressés à la modélisation du système de récupération et de stockage de l'énergie ainsi qu'aux techniques de power management. Afin de réduire à la fois les temps de simulation et de modélisation, nous avons choisi d'effectuer une modélisation de niveau système du

⁷ Industrial, Scientific and Medical radio bands.

nœud. De plus, limiter le niveau de détail peut faciliter également l'exploration d'architectures et le développement de techniques de power management efficaces. Dans cette étude nous proposons une approche de modélisation centrée sur la batterie, dont le schéma de principe est montré sur la Figure 40.

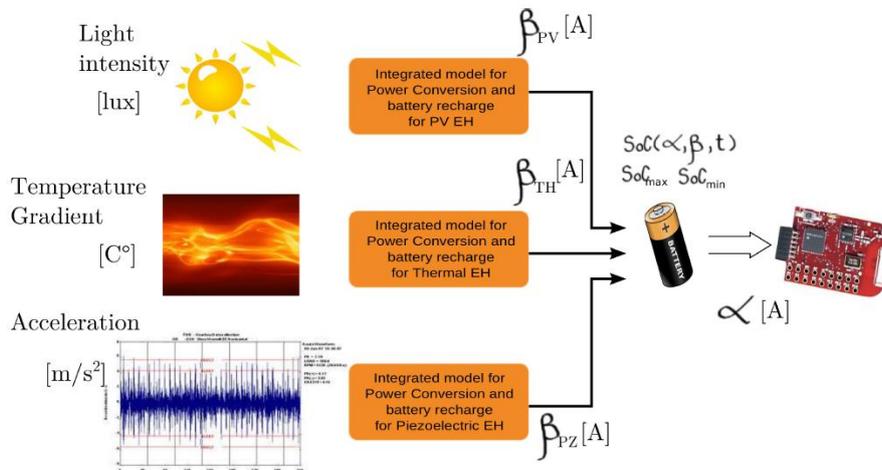


Figure 40. Modèle d'un nœud centré sur la batterie

Avec cette approche, le module de récupération d'énergie est caractérisé par un paramètre appelé β , exprimé en Ampère, qui est fonction de l'intensité de la source d'énergie. Par exemple, le paramètre β pour une cellule photovoltaïque est une fonction de l'intensité lumineuse exprimé en lux, dans le cas d'un module thermoélectrique ce même paramètre est une fonction du gradient thermique, etc. Ce paramètre englobe par conséquent le rendement du module de récupération, du circuit de conversion de puissance et du chargeur. La consommation du nœud est caractérisée par un paramètre, appelé α , également exprimé en Ampère, qui dépend de l'activité du nœud. Le bilan de charge se fait au niveau de la batterie : l'intégrale dans le temps de la différence entre β et α indique la quantité de charge qui est injectée ou prélevée de la batterie. On en déduit alors un troisième paramètre du modèle, l'état de charge instantané de la batterie $SoC(\alpha, \beta, t)$. La batterie est aussi caractérisée par un état de charge maximale et minimale, SoC_{max} et SoC_{min} respectivement.

Modèle de tâches périodiques de l'activité d'un nœud (α)

Nous avons supposé que les différentes activités effectuées par un nœud de réseaux de capteurs peuvent être représentées comme un ensemble de tâches périodiques. Une représentation de différentes activités exécutées par un nœud avec leurs niveaux respectifs de consommation de courant est donnée en Figure 41. L'activité est caractérisée par une période de réveil T_{wi} . Pendant cette période, le nœud, après avoir exécuté une ou plusieurs tâches spécifiques, rentre dans un mode basse consommation. Dans cet exemple, une tâche peut être représentée par une de ces quatre activités :

- lecture des capteurs,
- activité CPU,
- transmission RF,
- réception RF.

Chaque tâche est caractérisée par un niveau de consommation de courant et elle peut avoir sa propre période, qui en général sera différente de la période de réveil T_{wi} . Par exemple, sur la Figure 41 nous avons représenté quatre types d'activités : lecture du capteur (*sensing*), transmission ou réception RF et routage de paquets (*forwarding*). La lecture des capteurs est exécutée à chaque période de réveil T_{wi} , la transmission est exécutée avec une période T_{Tx} et le routage est exécuté avec une période T_{fwd} . Comme le montre la Figure 41, à chaque tâche est associée une valeur de charge totale, exprimée en μAh , consommée lors de son exécution. Par exemple, Q_{sense} est la charge consommée lors de l'exécution de la tâche associée à la lecture des capteurs. Cette valeur représente la consommation globale de la plateforme incluant la consommation des capteurs, du convertisseur analogique/numérique et du CPU.

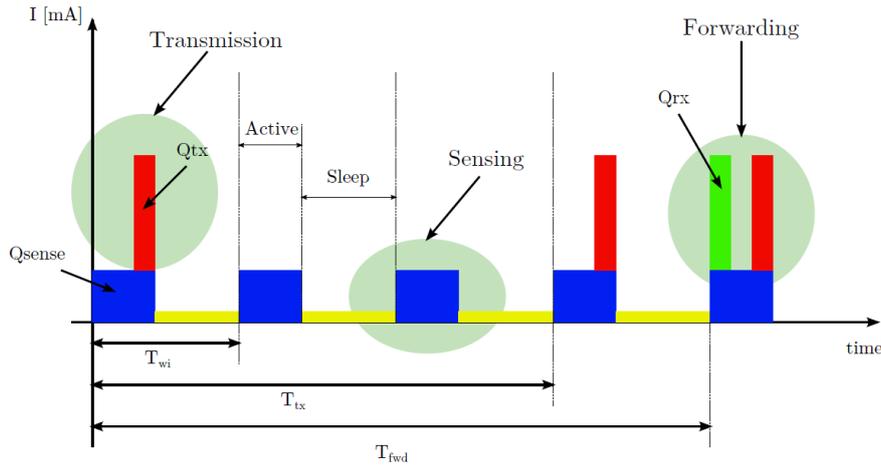


Figure 41 : Modélisation au niveau tâche des activités exécutées par le nœud

Le taux de décharge de la batterie dépend de la charge consommée par la tâche et la période de réveil du nœud. Il est représenté par le paramètre α défini comme suit:

$$\alpha = \frac{Q}{T_{wi}}$$

Équation 1. Taux de décharge de la batterie

Ainsi, α représente le courant moyen consommé pendant une période d'activité du nœud, et sa valeur peut être calculée pour chacune des activités décrites précédemment de façon à caractériser l'application de façon modulaire. En faisant varier la période de réveil du nœud nous pouvons ainsi augmenter ou réduire la consommation de courant du nœud. Nous verrons par la suite que cette période peut être ajustée dynamiquement par le power manager.

Modélisation de haut niveau du système de récupération d'énergie (β)

Le paramètre β , exprimé en Ampère, est une fonction de l'intensité de la source d'énergie. Pour le représenter, nous utilisons un modèle abstrait obtenu en caractérisant le module de récupération d'énergie. La procédure consiste à déterminer la quantité de charge électrique qui est injectée dans la batterie dans un certain intervalle de temps pour différentes valeurs d'intensité de la source d'énergie. Cette procédure nous a permis de caractériser un système de récupération utilisant des panneaux solaires. Dans ce cas, il s'agit de déterminer β pour différentes valeurs d'intensité lumineuse exprimées en lux. Néanmoins, la même procédure pourrait aussi s'appliquer à d'autres types de système de récupération d'énergie. Les résultats expérimentaux pour un système de récupération solaire sont montrés sur la Figure 42.

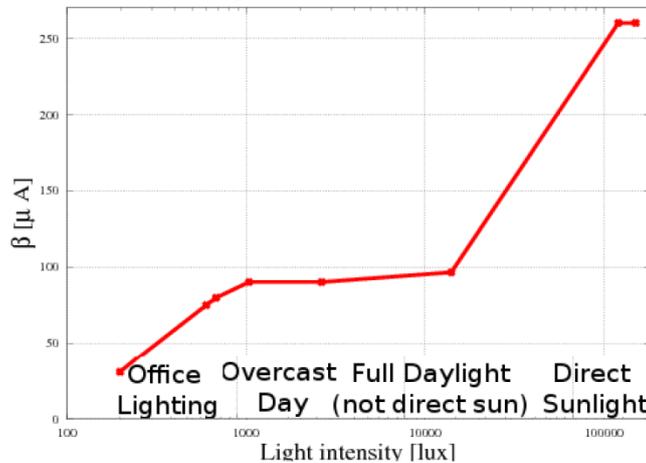


Figure 42. β en fonction de l'intensité lumineuse (échelle logarithmique).

Cette courbe permet de caractériser le panneau solaire utilisé et donc de connaître le courant de recharge pour différentes conditions d'éclairage.

Modèle de l'état de charge de la batterie (SoC)

L'état de charge de la batterie dépend à la fois de l'énergie consommée par le nœud (α) et de l'énergie récupérée (β). Bien entendu, l'énergie consommée dépend des différents modes de fonctionnement du nœud (i.e. du choix de la QoS). L'état de charge de la batterie pour les n prochaines périodes de réveil a ainsi été modélisé comme suit :

$$SoC(t + nT_{wi}) = SoC(t) + \left[\beta - \left(\alpha_s + \alpha_{Tx} \frac{T_{wi}}{T_{Tx}} + \alpha_{fwd} \frac{T_{wi}}{T_{fwd}} \right) \right] \times nT_{wi} - K_{leak} \times nT_{wi}$$

Équation 2. Modèle de l'état de charge de la batterie (SoC)

Où, α_s , α_{Tx} and α_{fwd} sont les valeurs de courant consommé pour respectivement la lecture des capteurs, la transmission RF et le routage (*forwarding*) des paquets. Pour que cette équation soit valable, les conditions suivantes doivent être respectées :

$$SoC(t = 0) = SoC_{max}$$

$$SoC_{min} \leq SoC(t + nT_{wi}) \leq SoC_{max}$$

$$\beta, \alpha_s, \alpha_{Tx} \text{ et } \alpha_{fwd} \text{ sont constants sur } [t, t + nT_{wi}]$$

On considère que la batterie est complètement chargée à $t = 0$. Puisque la batterie ne peut contenir une charge supérieure à SoC_{max} ni être déchargée en dessous de SoC_{min} , son état de charge est borné entre ces deux valeurs. Finalement, nous faisons l'hypothèse dans la dernière équation que les courants de recharge (β) et de décharge (α) sont constants pendant les n prochaines périodes de réveil (nT_{wi}). Si cette dernière condition n'est pas respectée pour une certaine valeur de n , l'équation doit être divisée en des intervalles de temps plus courts. Le courant de fuite (*leakage*) est modélisé par le paramètre K_{leak} . Ce paramètre représente deux effets : le courant d'autodécharge de la batterie et la consommation de courant de la plateforme pendant les périodes d'inactivité (mode veille).

Validation des différents modèles

Afin de valider notre approche de prédiction du SoC de la batterie (et donc des paramètres α et β) nous avons utilisé la plateforme eZ430-RF2500-SEH de Texas Instruments [eZ430-SEH]. Cette plateforme est équipée d'un microcontrôleur TI MSP430 [MSP430 2012], d'un circuit RF Chipcon CC2500 [CC2500 2011], d'un panneau solaire d'environ 32cm² optimisé pour le fonctionnement en mode indoor et d'une batterie lithium intégrée dont la capacité est de 100 μ Ah [Cymbet 2011]. Il faut noter que cette plateforme dispose également d'un condensateur d'une capacité de 1000 μ F placé entre la batterie et la charge afin d'absorber les pics de puissance requis lors des communications RF⁸. Dans nos expérimentations, le nœud se réveille périodiquement afin de lire la valeur d'un capteur de température et transmettre par RF cette valeur à une station de base. A la fin de la transmission, le microcontrôleur et le circuit RF sont placés dans un état faible consommation. La caractérisation en consommation de ces différentes activités s'effectue en mesurant le courant consommé par la plateforme et est illustrée sur la Figure 43.

⁸ Le courant que peut délivrer la batterie est de 600 μ A alors qu'une transmission ou réception RF requiert environ 20mA.

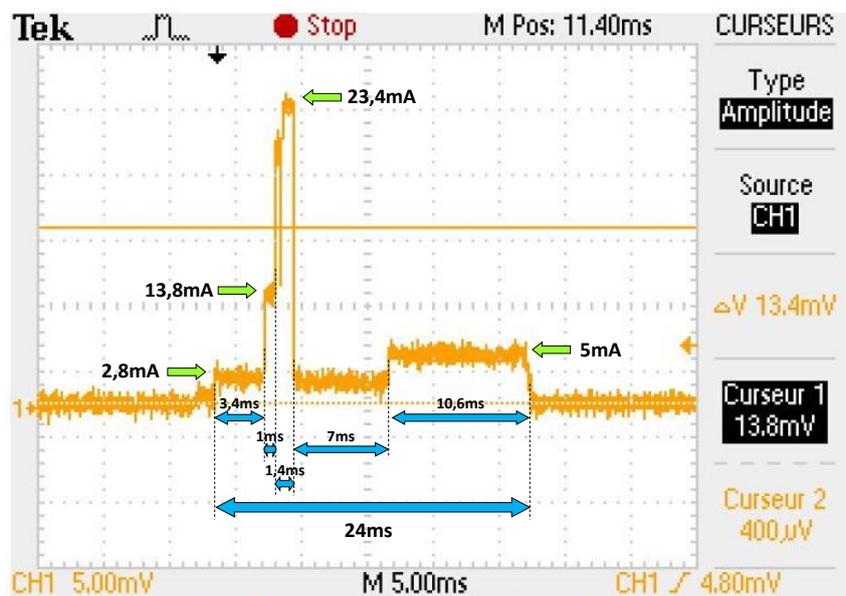


Figure 43. Caractérisation en consommation de l'activité du nœud

La charge équivalente à cette activité a ainsi été évaluée à $0,0357\mu\text{Ah}$. En utilisant le modèle de l'état de charge de la batterie (Équation 2) nous avons alors cherché à prédire la durée de vie du nœud pour différentes périodes de réveil (de 1 à 20 secondes) et conditions d'éclairage (0, 200 et 700 lux). Les résultats théoriques (model) et obtenus expérimentalement (exp) sont montrés dans le Tableau 9 où la durée de vie du nœud (LT) est exprimée en minutes.

Twi [sec]	A [μA]	0 lux		$\cong 200$ lux		$\cong 700$ lux	
		LT (exp)	LT (model)	LT (exp)	LT (model)	LT (exp)	LT (model)
1	128.52	28	29	50	38	88	78
2	64.26	54	59	140	112	/	$+\infty$
3	42.84	83	88	312	332	/	$+\infty$
4	32.13	107	117	/	$+\infty$	/	$+\infty$
6	21.42	162	176	/	$+\infty$	/	$+\infty$
10	12.85	290	294	/	$+\infty$	/	$+\infty$
20	6.43	585	587	/	$+\infty$	/	$+\infty$

Tableau 9. Validation des modèles de consommation et de SoC

Les résultats montrent tout d'abord que le modèle est précis en cas d'absence de récupération d'énergie (0 lux) puisque l'erreur moyenne est de l'ordre de 5%. Comme $\beta=0$, ce cas permet de valider la caractérisation de l'activité du nœud (α) ainsi que le modèle d'estimation du SoC. L'erreur de prédiction augmente légèrement pour 200 et 700 lux, mais le modèle donne toujours des résultats assez précis. Pour une période de réveil supérieure à 4 secondes, pour 200 lux, et 1 seconde, pour 700 lux, l'énergie récupérée (β) est supérieure à l'énergie consommée (α). Le bilan énergétique étant positif, la durée de vie est donc théoriquement infinie.

Algorithmes de power management pour réseau de capteurs avec récupération d'énergie

L'objectif des algorithmes de power management que nous avons développés est de déterminer la prochaine période de réveil du nœud (T_{wi}) en se basant sur l'énergie récupérée (β), l'énergie consommée (α) et sur l'état de charge de la batterie (SoC). Afin d'estimer la quantité d'énergie récupérée, nous avons considéré que le nœud dispose d'un capteur de luminosité (cas de panneaux solaires). La valeur fournie par le capteur permet de déterminer le courant de recharge de la batterie grâce au modèle présenté sur la Figure 42. Nous avons considéré trois types de fonctionnement en consommation pour un nœud:

- *Energy-neutral* : le système fonctionne en équilibre énergétique (*Energy Neutral Operation* ou ENO).

- *Negative-energy* : le nœud consomme plus d'énergie qu'il n'en récupère et fonctionne donc sur batterie.
- *Positive-energy* : l'énergie récupérée est supérieure à l'énergie nécessaire au fonctionnement du nœud. L'énergie restante est soit utilisée pour recharger la batterie, soit perdue lorsque la batterie est complètement chargée.

Open-Loop Energy Neutral Power Manager Power Manager (OL-PM)

L'architecture du power manager en boucle ouverte (*OL-PM*) proposé est illustrée sur la Figure 44. Ce power manager n'utilise pas l'état de charge de la batterie mais uniquement les valeurs de α et β pour déterminer la prochaine période de réveil du nœud T_{wi} .

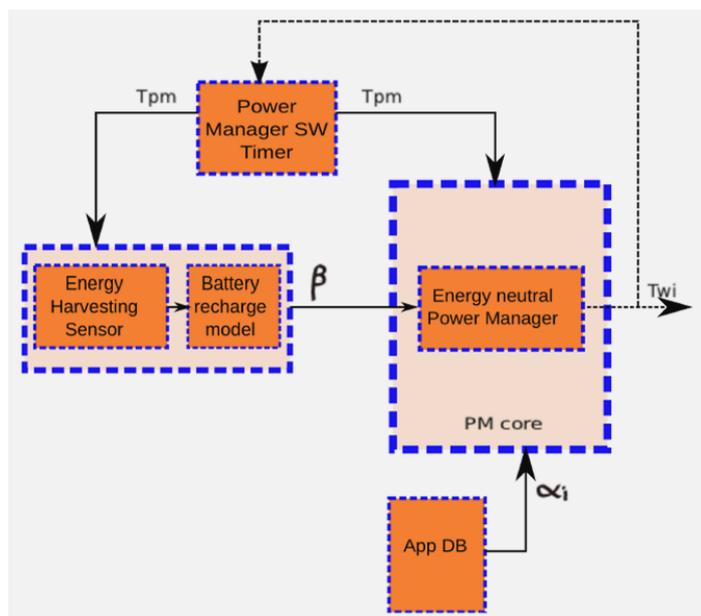


Figure 44. Architecture du power manager Open-Loop

Ce power manager se compose de quatre blocs principaux :

- *Power manager Software Timer* : afin de limiter le surcoût énergétique lié au power manager, ce dernier s'exécute toutes les n périodes de réveil du nœud ($T_{pm} = n.T_{wi}$). Le choix de ce paramètre est important car il limite également la réactivité du power manager, en particulier vis-à-vis de l'état de charge de la batterie ou des changements environnementaux (énergie récupérée, qualité du canal, etc.).
- *Energy harvesting sensor and battery recharge model* : ce bloc permet d'estimer le courant de recharge de la batterie (β).
- *System parameters database (AppDB)* : ce bloc contient l'intervalle des valeurs de la période de réveil (T_{wi}) et les différents niveaux de consommation du nœud (α_i).
- *Energy neutral power manager* : ce bloc met en œuvre la stratégie de power management.

L'objectif du power manager est de respecter la condition de neutralité énergétique : il s'agit pour cela d'équilibrer (sur les n prochaines périodes de réveil du nœud) l'énergie consommée et l'énergie récupérée par le nœud. La condition d'équilibre énergétique pour les n prochaines périodes de réveil s'exprime de la façon suivante :

$$SoC(t) = SoC(t + nT_{wi}) - Q_{pm}$$

Équation 3. Condition d'équilibre énergétique (Energy Neutral Operation)

Où Q_{pm} est la charge consommée pour une exécution du power manager. En remplaçant $SoC(t + nT_{wi})$ par l'expression donnée en Équation 2 on obtient l'égalité suivante :

$$(\beta - \alpha)nT_{wi} - K_{leak}nT_{wi} - Q_{pm} = 0$$

En remplaçant α (Équation 1), la période de réveil qui permet d'assurer l'équilibre énergétique est exprimée de la façon suivante :

$$T_{wi} = \left\lceil \frac{Q + Q_{pm}/n}{\beta - K_{leak}} \right\rceil$$

Équation 4. Période de réveil du nœud dans le cas OL-PM

Puisque que T_{wi} est un entier strictement positif, on approxime sa valeur au plus petit entier supérieur (fonction *ceil*). Avec ce choix, il y aura le plus souvent un faible excès d'énergie récupérée non consommée qui permet de recharger la batterie. Le mode de fonctionnement de ce power manager est donc davantage en *positive-energy* qu'en *energy-neutral*.

Résultats de simulation pour OL-PM

Nous avons utilisé un modèle de la plateforme eZ430-RF2500-SEH de Texas Instruments afin d'évaluer en simulation l'efficacité de la stratégie de power management en boucle ouverte (OL-PM). Pour cela, les résultats obtenus sont comparés avec un power manager faisant référence dans le domaine [Kansal 2006]. Les deux power managers sont simulés en utilisant des profils d'intensité lumineuse collectés pendant 5 jours. Les modèles du panneau solaire, de la batterie et des power managers sont implémentés sous Matlab, et seulement deux minutes sont nécessaires pour simuler 5 jours de fonctionnement. Les données pour le modèle de consommation de courant (α) proviennent de la caractérisation effectuée sur la plateforme TI EZ430 (cf. Figure 43). Pour l'énergie récupérée (β), nous avons mesuré l'intensité lumineuse dans un bureau. Les données provenant du capteur de luminosité ont été enregistrées toutes les 5 secondes pendant 5 jours consécutifs. La Figure 45 montre le profil ainsi obtenu et utilisé par notre environnement de simulation.

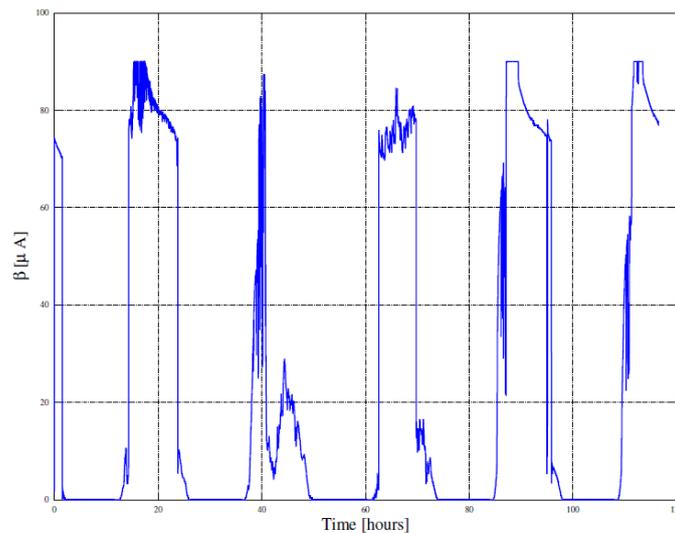


Figure 45. Profil de récupération d'énergie solaire sur 5 jours

La période de réveil du nœud (T_{wi}) a été fixée entre 1 et 120 secondes par pas de 1 seconde. La consommation liée à l'exécution du power manager (Q_{pm}) est considérée égale à la consommation pour une lecture de capteurs suivie d'une transmission RF. Étant donnée la faible complexité du power manager OL-PM que l'on propose, cette valeur peut être considérée comme un majorant. Les paramètres de la batterie sont montrés dans le Tableau 10.

SoC _{min} (μAh)	SoC _{max} (μAh)	C _d (μAh)
37	100	63

Tableau 10. Paramètres de la batterie

L'état de charge minimale de la batterie (SoC_{min}) est fixé par le circuit de protection présent sur la carte EZ430. La capacité de décharge réelle de la batterie (C_d) est de 63 μAh, donc bien inférieure à

la valeur maximale donnée par SoC_{max} . Nous avons utilisé les figures de mérite suivantes pour évaluer les différents power managers :

- Débit moyen ($\langle Rd \rangle$) : calculé sur les 5 jours, il est défini comme le rapport entre la taille du paquet envoyé lors de chaque émission (33 octets) et la moyenne des périodes de réveil (T_{wi}) du nœud.
- Débit maximal et minimal (Rd_{max} , Rd_{min}) : valeur maximale et minimale du débit instantané pendant les 5 jours.
- État de charge moyen de la batterie ($\langle SoC \rangle$) : cette métrique est utilisée pour évaluer la déviation du power manager de la condition d'équilibre énergétique. En cas de parfait équilibre énergétique sa valeur doit être égale à SoC_{max} .
- Défaillance de la batterie (B_f) : cette métrique indique le nombre de fois où l'état de charge de la batterie a été inférieure à SoC_{min} . Dans ce cas le nœud n'est plus opérationnel.

Les résultats de simulation pour les power managers sont reportés dans le Tableau 11 pour une période d'exécution du power manager OL-PM fixée à 10 fois la période de réveil du nœud ($n = 10$).

	$\langle Rd \rangle$ [bit/s]	Rd_{max} [bit/s]	Rd_{min} [bit/s]	$\langle SoC \rangle$ [μAh]	B_f
Kansal	29.55	132	0	65.81	9
OL-PM	44.61	132	2.2	88.8	0

Tableau 11. Comparaison des performances entre OL-PM et Kansal

Comme on peut l'observer, OL-PM permet une amélioration significative du débit moyen ($\langle Rd \rangle$) d'environ 51% par rapport à Kansal. De plus, sur les 5 jours simulés OL-PM ne provoque aucune défaillance de la batterie ($B_f=0$), alors que dans le même temps 9 défaillances sont observées pour Kansal. Ainsi, OL-PM garantit toujours une QoS minimale, ce qui se traduit également par un débit minimum différent de 0 ($Rd_{min} = 2.2$ bit/s). La Figure 46 permet d'analyser le comportement des power manager OL-PM et Kansal.

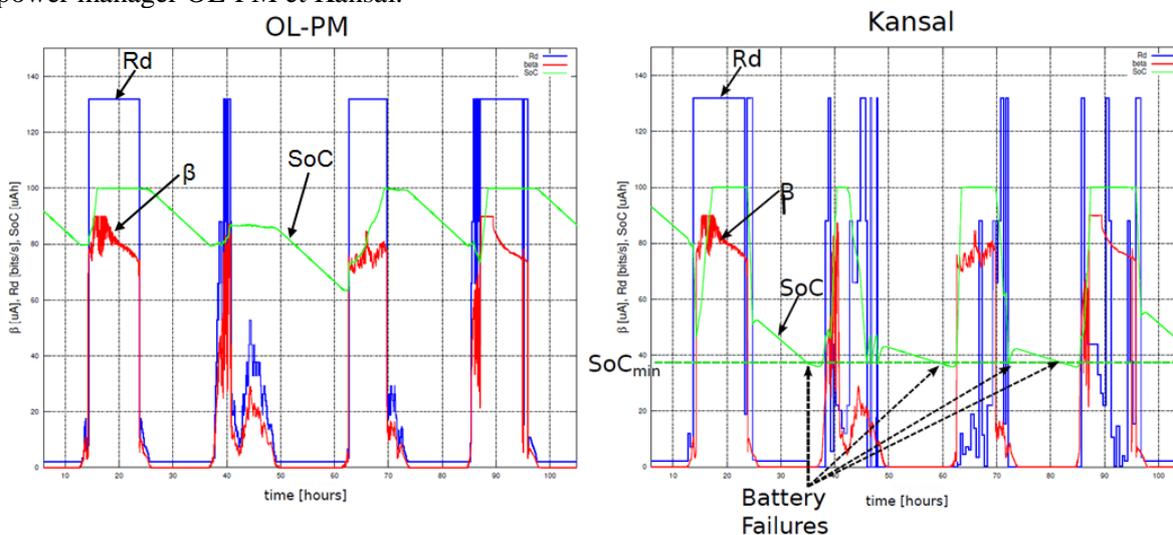


Figure 46. Comportement de OL-PM (n=10) et Kansal

Nous pouvons ainsi observer l'évolution sur cinq jours de l'état de charge de la batterie (SoC) et du débit instantané (Rd) en fonction du profil de récupération d'énergie (β). Comme le débit instantané (Rd) est inversement proportionnel à la valeur de période de réveil du nœud (T_{wi}), les différents paliers observés pour Rd correspondant aux différentes valeurs de T_{wi} . Les simulations montrent tout d'abord que notre power manager OL-PM ne provoque jamais de défaillance de la batterie (*Battery Failures*) contrairement à Kansal, assurant ainsi une QoS minimum durant les 5 journées. Les défaillances de batterie observées pour Kansal s'expliquent par le manque de réactivité du power manager (ce dernier est activé toutes les 30 minutes) et les erreurs de prédictions. En effet, si les conditions de récupération d'énergie fluctuent fortement comme c'est le cas la seconde journée (entre la 38^{ème} et 50^{ème} heure de simulation environ), le PM de Kansal n'est pas en mesure de

le début d'un intervalle à énergie nulle (*Zero Energy Interval* ou ZEI), le power manager *negative-energy* est activé. Dans le cas contraire, c'est le power manager OL-PM qui est utilisé (*Energy-neutral PM* sur la Figure 47). La durée des intervalles à énergie nulle n'est pas connue a priori, par conséquent un prédicteur est utilisé afin d'en estimer la durée. Le schéma fonctionnel du prédicteur de ZEI est montré en Figure 48.

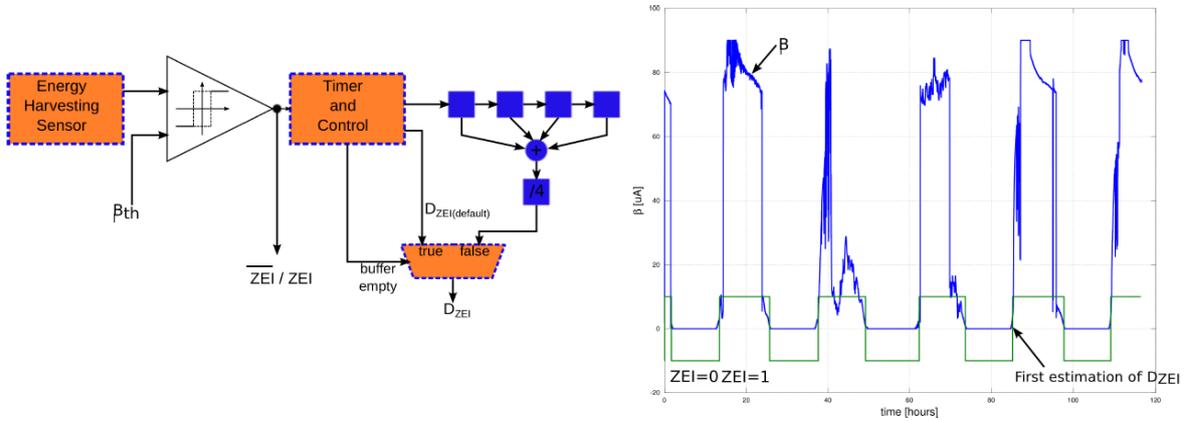


Figure 48. Le prédicteur ZEI

Lorsque l'énergie récupérée descend en dessous du seuil β_{th} , la variable booléenne ZEI est mise à 1 pour indiquer au power manager qu'une période à énergie nulle vient de commencer. Dès que cette variable passe à 1, un compteur est démarré. Ce même compteur sera arrêté lorsque l'énergie récupérée remonte au-dessus du seuil β_{th} et sa valeur représente la durée de l'intervalle à énergie nulle. Le prédicteur de ZEI fournit donc deux signaux de sortie :

- **ZEI** : égal à 1 si $(\beta < \beta_{th})$, 0 sinon. On utilise un comparateur à hystérésis, pour éviter des éventuelles oscillations du signal de sortie.
- **D_{ZEI}** : un entier qui représente l'estimation du ZEI en secondes. Comme le montre la Figure 48, sa valeur est le résultat de la moyenne des 4 derniers échantillons, chacun ayant la même pondération. Si moins de quatre échantillons sont disponibles, la valeur par défaut fourni par le prédicteur a été fixée à 14 heures.

Le fonctionnement du prédicteur de ZEI sur cinq jours pour un système de récupération d'énergie solaire est montré à droite de la Figure 48. L'utilisation du comparateur à hystérésis évite les oscillations du signal ZEI ce qui permet d'avoir une estimation précise de l'intervalle D_{ZEI} . Au cours d'un intervalle ZEI, le système fonctionne sur batterie. L'objectif est donc de trouver une valeur de T_{wi} qui permet d'utiliser de façon efficace l'énergie restante stockée dans la batterie tout en évitant de la décharger complètement. Si on appelle t^* le début de l'intervalle à énergie nulle, la condition qui permet d'utiliser au maximum l'énergie stockée dans la batterie s'écrit de la façon suivante :

$$SoC(t^*) - (\alpha + K_{leak})D_{ZEI} \geq SoC_{min} + M$$

Équation 5. Condition énergétique utilisé lors d'un intervalle ZEI

Où, $SoC(t^*)$ représente l'état de charge de la batterie à l'instant t^* , D_{ZEI} est l'estimation de la durée de l'intervalle à énergie nulle. Une marge M est utilisée afin de contrebalancer les imprécisions sur les estimations du SoC et du D_{ZEI} et donc éviter tout risque de décharge complète de la batterie. Si on remplace α dans l'Équation 5 on obtient alors la relation suivante :

$$T_{wi} \geq \frac{QD_{ZEI}}{SoC(t^*) - K_{leak}D_{ZEI} - (SoC_{min} + M)}$$

Équation 6. Période de réveil du nœud dans le cas d'un intervalle à énergie nulle

Comme on peut l'observer, la période de réveil T_{wi} est inversement proportionnelle à $SoC(t^*)$. Par conséquent, plus la batterie est chargée au début de l'intervalle à énergie nulle (D_{ZEI}) plus le débit pendant l'intervalle ZEI sera élevé. La consommation du nœud (Q), les courants de fuite (K_{leak}) et la marge M fixent une limite inférieure pour la période de réveil.

Résultats de simulation pour CL-PM

Les résultats de simulation pour les trois power managers sont reportés dans le Tableau 12. La période d'exécution de CL-PM a été fixée à 10 fois la période de réveil du nœud ($n = 10$), et contrairement à OL-PM la valeur maximum de T_{wi} n'a pas de limite. La marge M a été fixée à $3.15\mu\text{Ah}$, soit 5% de la capacité de décharge de la batterie.

	$\langle Rd \rangle$ [bit/s]	Rd_{max} [bit/s]	Rd_{min} [bit/s]	$\langle SoC \rangle$ [μAh]	B_f
Kansal	29.55	132	0	65.81	9
OL-PM	44.61	132	2.2	88.8	0
CL-PM	45.87	132	0.37	69.27	0

Tableau 12. Comparaison des performances entre OL-PM, CL-PM et Kansal

Comme le montre le Tableau 12, le power manager CL-PM améliore légèrement le débit moyen ($\langle Rd \rangle$) par rapport à OL-PM et ne provoque pas de défaillance de la batterie. L'augmentation du débit moyen provient de l'utilisation du power manager *negative-energy* durant les intervalles à récupération d'énergie nulle (ZEI) ce qui lui permet de mieux utiliser l'énergie stockée dans la batterie et donc augmenter le débit. Comme on peut l'observer sur la Figure 49 entre la 25^{ème} et la 38^{ème} heure par exemple, OL-PM fixe la période de réveil du nœud à sa valeur maximum (i.e. 120 secondes) qui correspond au débit fixe de 2,2 bit/s, ceci même si au début de cette période la batterie est complètement chargée. Pendant la même période, CL-PM utilise une estimation de l'état de charge de la batterie et de la durée de l'intervalle à récupération nulle afin de choisir une valeur optimisée de période de réveil. Un débit d'environ 10 bits/s est ainsi atteint dans ce cas, ce qui permet d'améliorer sensiblement la qualité de service pendant cet intervalle à énergie nulle. Ce gain intéressant n'a cependant que peu d'influence sur la moyenne globale du débit ($\langle Rd \rangle$).

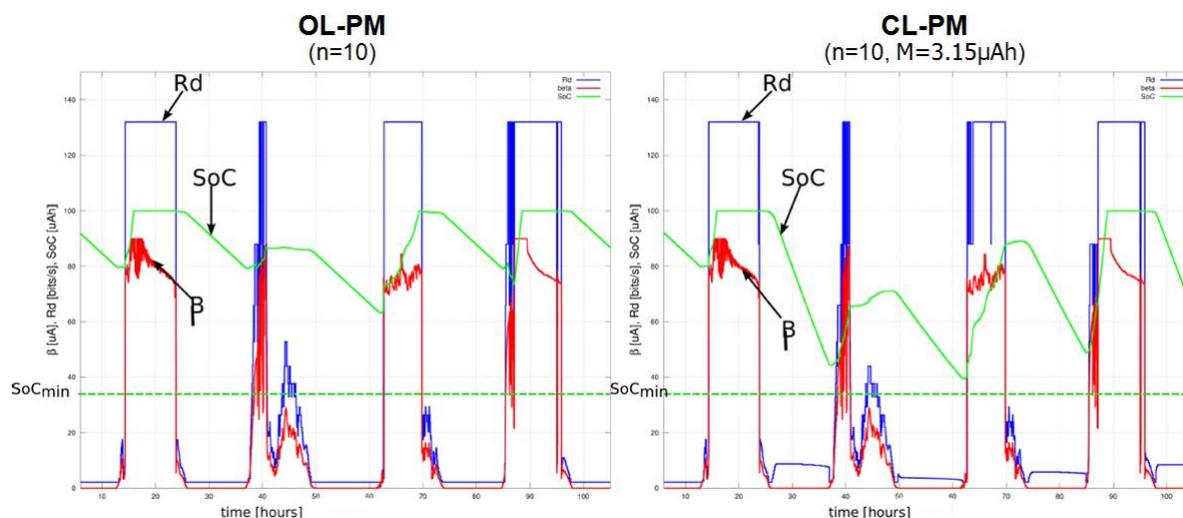


Figure 49. Comportement de OL-PM et CL-PM

La valeur moyenne du SoC (i.e. 69.27) prouve également que CL-PM exploite davantage la capacité de la batterie. Cette plus grande dynamique s'observe aisément sur la Figure 49 où l'on voit que pour CL-PM le SoC varie entre $(SoC_{min}+M)$ et SoC_{max} . Il est aussi intéressant de remarquer que l'objectif du power manager OL-PM et du power manager proposé par [Kansal 2006] est d'avoir un fonctionnement du système en équilibre énergétique. Dans une condition d'équilibre énergétique parfaite, l'état de charge moyen de la batterie ($\langle SoC \rangle$) devrait être égal à la valeur initiale de charge (dans notre cas SoC_{max}). On définit la dérive de l'état de charge de la batterie comme la différence entre SoC_{max} et $\langle SoC \rangle$. Comme on l'observe dans le Tableau 12, la dérive est de $11.2 \mu\text{Ah}$, soit 17.7% de la capacité de décharge (C_d) pour OL-PM. Ceci confirme que notre power manager est capable de suivre les variations de β et de trouver un point d'équilibre énergétique pour le système. Dans le même intervalle, le power manager de [Kansal 2006] provoque une dérive du SoC de 34.19

μAh , soit 54% de la capacité de décharge C_d . Cette dérive importante du SoC provient de la variabilité de β et des erreurs de prédictions. Dans le cas du CL-PM la dérive du SoC est logique puisque la technique *negative-energy* est utilisée pendant les ZEI. Cette dérive est cependant maîtrisée par la prise en compte de l'état de charge de la batterie et d'une marge de sécurité M par rapport à SoC_{\min} . La prise en compte de l'état de charge de la batterie pour déterminer la prochaine période de réveil du nœud est une approche originale par rapport aux solutions présentées dans la littérature.

L'amélioration du débit moyen obtenu par CL-PM et OL-PM par rapport au power manager proposé par [Kansal 2006] est très significative. OL-PM et CL-PM sont en effet capables d'exploiter la variabilité inhérente aux conditions d'ensoleillement grâce à leur capacité d'ajuster dynamiquement et de façon efficace le débit en fonction de la valeur du paramètre β . Dans la technique proposée par [Kansal 2006] au contraire, le choix de T_{wi} s'effectue toutes les 30 minutes en fonction de la prédiction de l'énergie récupérée. Le power manager est donc insensible aux variations de β pendant cet intervalle ce qui ne lui permet pas de s'adapter rapidement aux changements environnementaux. Certes, se réveiller plus souvent engendre un surcoût sur la consommation globale du power manager (Q_{pm}). C'est pour cette raison que nous avons développé des power managers de faibles complexité algorithmique et n'utilisant pas de prédicteur de l'énergie récupérée ou consommée. Nous avons également mené des expérimentations afin d'évaluer l'impact du paramètre n fixant la période d'activation du power manager (OL-PM ou CL-PM) sur le fonctionnement du système. Evidemment, plus n est petit et plus le système est réactif, mais plus le surcoût lié à la consommation du power manager augmente. Inversement, en augmentant la valeur de n , le surcoût diminue mais la réactivité du système est réduite. Le choix du paramètre n représente donc un compromis entre le surcoût du power manager et la réactivité du système. Des résultats de simulation montrent que pour n inférieur à 10 les performances se dégradent. En effet, le gain apporté par la réactivité du power manager est contrebalancé par son surcoût en énergie, dont l'influence est plus marquée lorsque β est proche de zéro. Dans ce cas, le système ne peut fonctionner en équilibre énergétique même avec la période de réveil maximale. Le $\langle\text{SoC}\rangle$ tend à se stabiliser lorsque n est compris entre 10 et 20 et le meilleur débit est obtenu avec des valeurs de n comprises entre 6 et 20. Pour des valeurs supérieures à 20, les performances globales se dégradent à cause de la faible réactivité du power manager

Cas d'étude : dimensionnement conjoint du système de récupération et de la capacité de la batterie

Comme le montre le Tableau 12, le débit moyen fourni par les power managers OL-PM et CL-PM est d'environ 45 bits/s. Imaginons un cas d'étude où ce débit est insuffisant pour l'application cible et que l'on souhaite un débit moyen de 100 bits/s. Le concepteur doit alors envisager un redimensionnement de son système de récupération (taille du panneau solaire) et de stockage de l'énergie (capacité de la batterie). Pour cela, nous allons montrer l'intérêt de notre environnement décrit par la Figure 39 en page 105 pour explorer cet espace de solutions. Nous avons fixé l'intervalle de valeurs suivant pour la capacité de décharge de la batterie (C_d) et le courant de recharge moyen fourni par le panneau solaire ($\langle\beta\rangle$) :

- Batterie : $C_d \in \{63, 1260\}$ [μAh]
- Panneau Solaire : $\langle\beta\rangle \in \{26, 78\}$ [μA]

L'intervalle de valeurs pour C_d est réaliste pour des batteries lithium de petites tailles [Cymbet 2011] [Patil 2008]. En considérant les mêmes conditions d'éclairage, les différentes valeurs de $\langle\beta\rangle$ peuvent être obtenues en augmentant la taille du panneau solaire. Les valeurs instantanées de β ont été extrapolées à partir des données montrées en Figure 45. Le débit moyen en fonction de la capacité de décharge (C_d) et de la taille du panneau solaire est montré en Figure 50. Ces résultats ont été obtenus grâce à notre environnement de simulation global en parcourant différentes configurations pour le système de récupération d'énergie et en utilisant le power manager CL-PM.

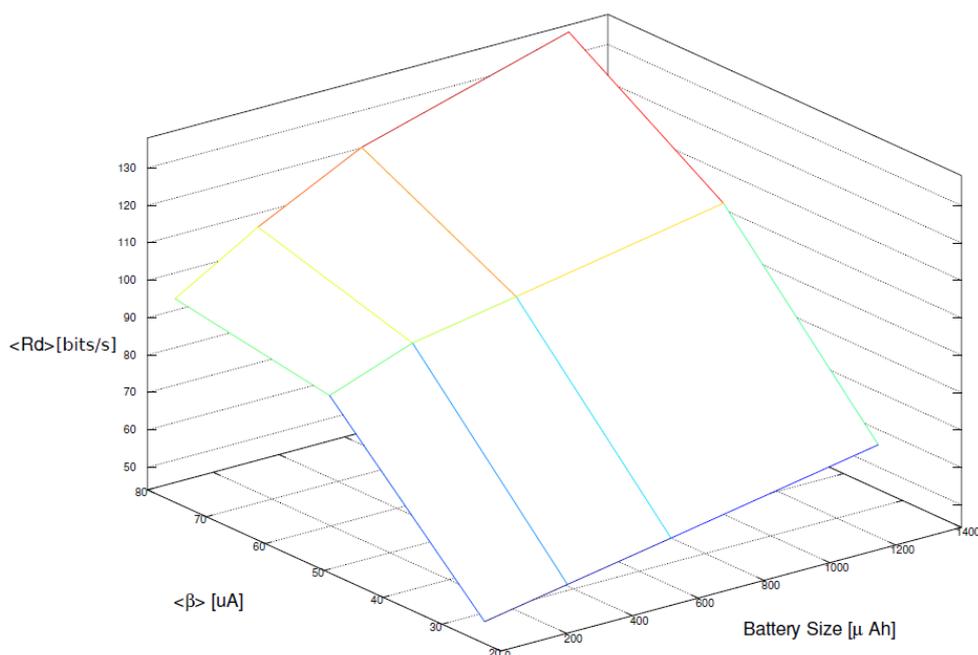


Figure 50. Exploration du dimensionnement du système de récupération contraint par le débit

Comme on pouvait l'anticiper, augmenter la taille du panneau solaire (i.e. $\langle\beta\rangle$) permet d'augmenter le débit moyen $\langle R_d \rangle$ de 58 bits/s à 138 bits/s. Cependant, pour des batteries de petites tailles, on observe un effet de réduction sur $\langle R_d \rangle$ lorsque $\langle\beta\rangle$ dépasse un seuil égal à $50 \mu\text{A}$. On se trouve typiquement dans le cas où le débit a atteint son maximum et une nouvelle augmentation de la taille de la batterie n'est plus utile. En d'autres termes, même si une quantité supérieure d'énergie peut être récupérée, elle ne peut pas être stockée dans la batterie et ne pourra donc pas être utilisée afin d'améliorer le débit. Afin de trouver la configuration optimale satisfaisant la spécification de 100 bits/s, on recherche sur la courbe de la Figure 50 l'isoligne correspondant à ce débit. La Figure 51 montre cette isoligne pour les différentes configurations de batterie et panneau solaire.

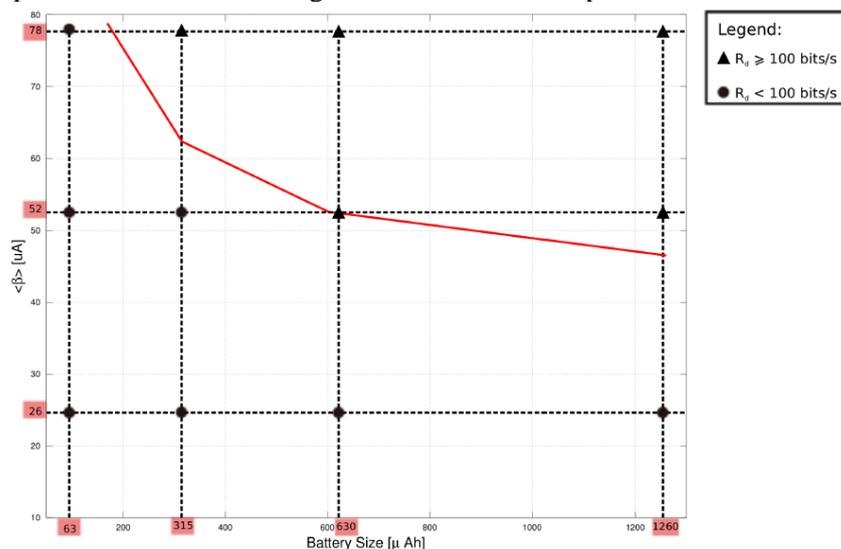


Figure 51. Isoligne correspondant à un débit moyen de 100 bits/s

Comme on peut l'observer, avec une batterie de $63 \mu\text{Ah}$, il n'est pas possible d'atteindre un débit de 100 bits/s quelque soit la taille du panneau solaire. De la même manière, avec un panneau solaire fournissant un $\langle\beta\rangle$ de $26 \mu\text{A}$ il n'est pas possible de satisfaire la contrainte de débit quelque soit la taille de la batterie. Pour atteindre un débit de 100 bits/s il faut donc augmenter à la fois la taille de la batterie et la taille du panneau solaire. Les configurations qui permettent d'atteindre le débit spécifié

sont indiquées par des ▲ sur la Figure 51. Parmi ces configurations, quatre sont au dessus de l'isoline et offre des débits supérieurs à 100 bits/s, ce qui correspond à des systèmes surdimensionnés. La configuration $\{\beta, C_d\} = \{52\mu A, 630\mu Ah\}$ est celle qui se rapproche le plus de l'isoline et représente donc le meilleur dimensionnement du système de récupération et de stockage de l'énergie. Ce cas d'étude portant sur le dimensionnement conjoint du système de récupération et de stockage de l'énergie démontre l'intérêt de disposer d'un environnement global de modélisation et de simulation d'un nœud de réseaux de capteurs. Nous avons également utilisé cet environnement afin de valider une approche innovante de gestion conjointe de la période de réveil et de la puissance d'émission du nœud.

Gestion conjointe de la période de réveil et de la puissance d'émission du nœud (CLPM-PTPC)

Les power managers OL-PM et CL-PM que nous venons de présenter adaptent uniquement la période de réveil du nœud. Or, la qualité du canal radio est un paramètre majeur car il peut impacter fortement les performances d'un réseau de capteurs sans fils. De nombreuses études menées ces dernières années montrent en effet que la qualité d'une communication radio varie significativement en fonction du temps et de l'environnement [Srinivasan 2008] [Tang 2007] [Tang 2013] [Zhao 2003]. En conséquence, une émission à puissance constante peut s'avérer inefficace dans le cas de conditions fluctuantes du canal. Au contraire, si les nœuds du réseau ont une connaissance de la qualité du canal, ils peuvent alors adapter dynamiquement les paramètres de transmission en fonction des variations du lien radio. Cette adaptation permet non seulement d'améliorer la qualité de la communication mais également d'optimiser la consommation d'énergie et de réduire le niveau des interférences. A cette fin, nous avons ainsi proposé une méthode permettant d'adapter dynamiquement la puissance d'émission du nœud tout en garantissant une fiabilité des communications (le taux de PRR par exemple). Ce type d'approche est déjà très utilisé dans le GSM ou le Wifi par exemple. Cependant, à notre connaissance la problématique d'une gestion conjointe de la puissance d'émission et de la période de réveil d'un nœud de réseau de capteurs n'a pas encore été adressée par la communauté, ou seulement partiellement [Dai 2012].

Notre méthodologie s'appuie sur une approche existante [Lin 2006] basée sur la mise à jour d'une loi de contrôle permettant d'ajuster la puissance d'émission du nœud en fonction du lien radio. Cette approche a été étendue afin d'améliorer les performances dans le cas de variations rapides du canal, typiquement dans le cas de nœuds mobiles. En effet, les techniques mises en place pour la mise à jour de la loi de contrôle et l'estimation du canal sont fondamentalement différentes. La Figure 52 présente une vue simplifiée du système mis en place et illustre l'interaction entre les différents contrôleurs.

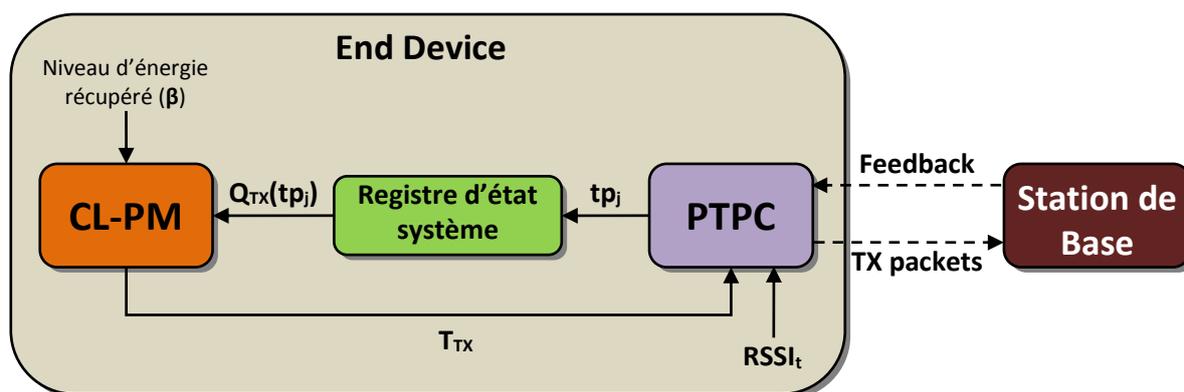


Figure 52. Interaction des différents contrôleurs

Comme on peut le voir, chaque nœud du réseau (*End Device*) est connecté à une station de base (ou coordinateur) avec laquelle il communique par voie radio. L'objectif étant d'adapter la puissance d'émission, les nœuds disposent d'un bloc PTPC (*Predictive Transmission Power Controller*) qui transmet des informations au power manager CL-PM via un registre d'état. Ce registre est en fait une table qui fait correspondre une consommation d'énergie pour toutes les puissances d'émissions

permisses par le chip RF. Afin d'établir la loi de contrôle, PTPC utilise deux vecteurs dépendants du circuit RF :

- TP : contient les différents niveaux de puissance d'émission possibles ($tp_j \in TP$)
- R_i : contient les valeurs de RSSI⁹ obtenues durant la phase d'initialisation ($r_i \in R_i$)

La phase d'initialisation consiste à associer une valeur de RSSI à chaque niveau de puissance d'émission. Pour cela, le nœud (i.e. *End Device*) envoie à la station de base des paquets avec tous les niveaux de puissance permis par le circuit RF (tp_j). Pour chaque paquet, la station de base renvoie alors au nœud terminal une valeur de RSSI (r_i) correspondant au niveau d'émission. Sur la base des vecteurs TP et R_i , les coefficients a_i et b_i de la loi de contrôle linéaire (Équation 7) peuvent alors être déterminés en utilisant une méthode d'approximation des moindres carrés.

$$ri_{est}(tp_j) = a_i tp_j + b_i$$

Équation 7. Loi de contrôle linéaire

Où $ri_{est}(tp_j)$ est une estimation de la puissance reçue par la station de base (RSSI) quand le nœud transmet à une puissance tp_j . Comme on peut le voir sur la Figure 52, le contrôleur PTPC du *end device* prend en compte une consigne RSSI (ou RSSI *set-point*) appelé $RSSI_t$ afin d'adapter dynamiquement sa puissance d'émission tp_j et ainsi garantir que la puissance reçue par la station de base sera égale à cette consigne. Généralement la qualité du lien exprimé par exemple en termes de PRR dépend à la fois de la puissance du signal reçu et du niveau de bruit. Comme la consommation d'énergie dépend de la puissance d'émission, le choix du RSSI *set point* ($RSSI_t$) ajusté généralement hors-ligne représente un compromis entre la qualité du lien et la consommation. En effet, en augmentant la consigne de RSSI on améliore le PRR côté station de base par exemple, mais dans le même temps on requiert une consommation d'énergie plus élevée côté *end device*. La puissance d'émission peut être calculée en utilisant l'Équation 7 et la consigne de RSSI ($RSSI_t$) :

$$RSSI_t = a_i tp_j + b_i \Rightarrow tp_j = \frac{RSSI_t - b_i}{a_i}$$

Équation 8. Puissance d'émission tp_j

Comme l'environnement change continuellement, il est indispensable de mettre à jour périodiquement le modèle de contrôle défini dans l'Équation 7 afin de l'adapter aux variations du canal. La Figure 53 montre l'architecture du contrôleur de puissance PTPC mise en place pour effectuer cette mise à jour. La procédure dépend de l'état du lien entre la station de base et le nœud. Lorsque le lien est établi, le nœud reçoit périodiquement des messages (*feedback* sur la Figure 52) de la part de la station de base. Chacun de ces messages contient une valeur moyenne de RSSI ($\overline{RSSI}_{(FB)}$) calculée par la station de base en utilisant les paquets transmis par le nœud (*TX packets* sur la Figure 52). Cette valeur moyenne est utilisée par le nœud pour mettre à jour la loi de contrôle (*Update Power Control* ou UPC).

⁹ Le RSSI est une mesure de la puissance du signal reçu. Une valeur est fournie seulement si le paquet est reçu correctement.

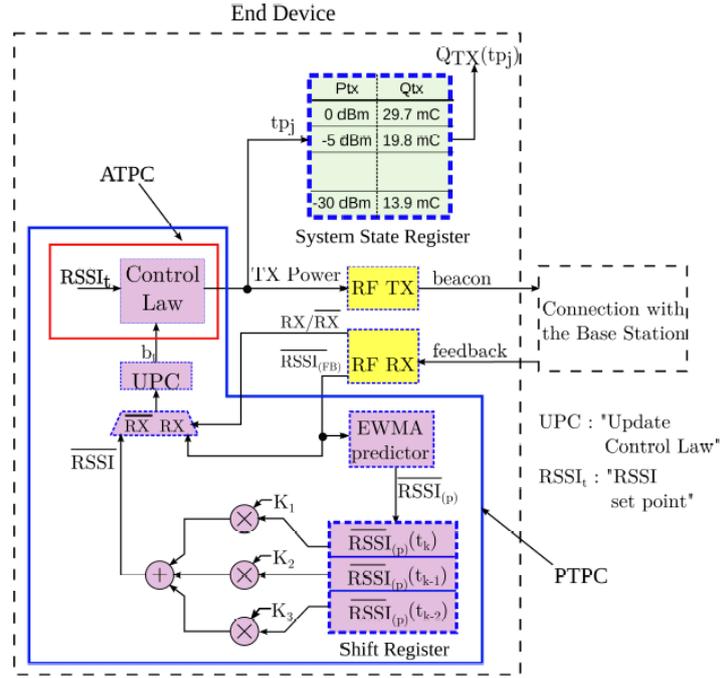


Figure 53. Architecture détaillée du contrôleur de puissance (PTPC)

Lorsque le lien est rompu, le contrôleur PTPC utilise un système prédictif illustré au bas de la Figure 53 pour adapter la loi de contrôle. Dans ce cas en effet, le nœud met à jour sa loi de contrôle en utilisant une procédure en deux étapes. Tout d'abord, un modèle de prédiction basé sur un filtre *EWMA* (*Exponentially Weighted Moving Average*) est utilisé afin d'estimer l'évolution du RSSI (Équation 9). Au temps t_k , la nouvelle valeur prédite ($\overline{RSSI}_{(p)}(t_k)$) est calculée en utilisant la dernière valeur reçue par la station de base ($\overline{RSSI}_{FB}(t_k)$) et la prédiction EWMA précédente ($\overline{RSSI}_{(p)}(t_{k-1})$):

$$\overline{RSSI}_{(p)}(t_k) = \alpha \overline{RSSI}_{(FB)}(t_k) + (1 - \alpha) \overline{RSSI}_{(p)}(t_{k-1})$$

Équation 9. Prédiction du RSSI en cas de lien rompu

Comme le facteur de pondération $\alpha \in]0,1[$, la contribution des anciennes valeurs de $\overline{RSSI}_{(p)}$ décroissent progressivement. Comme le montre la Figure 53, les trois dernières de RSSI prédites sont stockées dans un registre à décalage. Ainsi, la valeur finale de \overline{RSSI} est calculée comme une combinaison linéaire de ces trois valeurs (Équation 10) :

$$\overline{RSSI}(t_k) = K_1 \cdot \overline{RSSI}_{(p)}(t_k) + K_2 \cdot \overline{RSSI}_{(p)}(t_{k-1}) + K_3 \cdot \overline{RSSI}_{(p)}(t_{k-2})$$

Équation 10. Calcul de la valeur finale de RSSI en cas de lien compu

En théorie, les deux coefficients a_i et b_i de la loi de contrôle évoluent dans le temps. Or, il a été montré que dans la pratique les variations du canal radio affectent uniquement les coefficients b_i [Lin 2006]. Ainsi, en utilisant le RSSI reçu de la station de base ($\overline{RSSI}_{FB}(t_k)$) ou calculé localement par le nœud (\overline{RSSI}) et la consigne RSSI de qualité du lien ($RSSI_t$), le paramètre b_i est mis à jour par la fonction UPC en utilisant la relation suivante :

$$b_i(t_k) = b_i(t_{k-1}) - (\overline{RSSI}(t_k) - RSSI_t) = b_i(t_{k-1}) - \Delta_{RSSI}$$

Équation 11. Mise à jour de la loi de contrôle

Le processus de mise à jour de la loi de contrôle est illustré par un exemple sur la Figure 54. Si l'on suppose que le lien radio s'est dégradé entre les instants t_{k-1} et t_k , dans ce cas la valeur de $\overline{RSSI}(t_k)$ est inférieure à la consigne $RSSI_t$. La différence entre ces deux valeurs (notée Δ_{RSSI}) est utilisée pour calculer le nouveau coefficient $b_i(t_k)$ (Équation 11) qui diminue également comme on peut le voir sur

la Figure 54. La mise à jour de la loi de contrôle entraîne dans ce cas une augmentation de la puissance d'émission ($tp_j(t_k)$) nécessaire afin de suivre la consigne du RSSI ($RSSI_t$) et ainsi contrebalancer la dégradation du canal radio. Cette puissance d'émission est alors sélectionnée par le nœud pour l'envoi des prochains paquets à la station de base, ceci jusqu'à la période de mise à jour suivante.

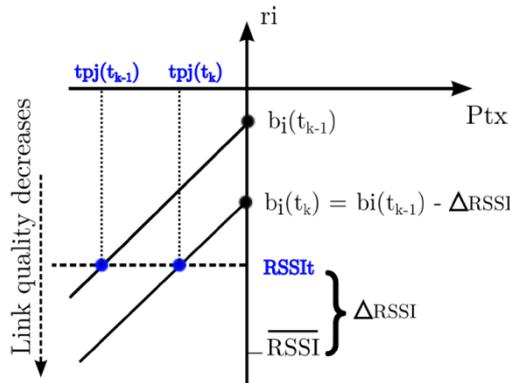


Figure 54. Exemple de mise à jour de la loi de contrôle

Un changement de la puissance d'émission (tp_j) a bien évidemment un impact sur la consommation ($Q_{TX}(tp_j)$), et donc potentiellement aussi une influence sur le calcul de la prochaine période de réveil du nœud (notée T_{TX} sur la Figure 52). L'interaction entre le contrôleur de puissance (PTPC), le power manager (CL-PM) et l'énergie récupérée par le nœud (β) est illustrée sur la Figure 52. Les interdépendances inhérentes à cette interaction ont pu être analysées grâce à notre environnement de simulation global. Nous avons choisi de donner la priorité au contrôleur PTPC afin de déterminer en premier lieu la puissance d'émission (tp_j). CL-PM utilise alors le registre d'état système montré sur la Figure 53 et indiquant la consommation d'énergie correspondante $Q_{TX}(tp_j)$ pour le calcul de la prochaine période de réveil. Des simulations ont été effectuées afin de valider cette approche globale. La Figure 55 montrent les résultats obtenus en termes de PRR (à gauche) et d'énergie utile par paquet reçu E_u (à droite) pour différentes vitesses d'un nœud mobile. Le PRR est défini comme le ratio entre le nombre de paquets correctement reçus par la station de base et le nombre de paquets transmis par le nœud. La métrique E_u est définie comme le rapport entre l'énergie totale consommée par le nœud et le nombre de paquets reçus par la station de base. Le paramètre E_u est donc inversement proportionnel au PRR.

Nous avons comparé notre approche (CLPM-PTPC) avec deux techniques : la première utilise un contrôleur de puissance existant (CLPM-ATPC), la seconde fixe une puissance d'émission constante à -2dBm (CLPM-fixed). Nous avons considéré la plage de puissance d'émission du circuit RF CC2500 [CC2500 2011] qui s'étend de -30 dBm à +1dBm (par pas de 2dBm), avec une consommation respective allant de 9.9mA à 21.5mA. Enfin, les différents contrôleurs sont activés toutes les 10 périodes de réveil du nœud (i.e. $n=10$).

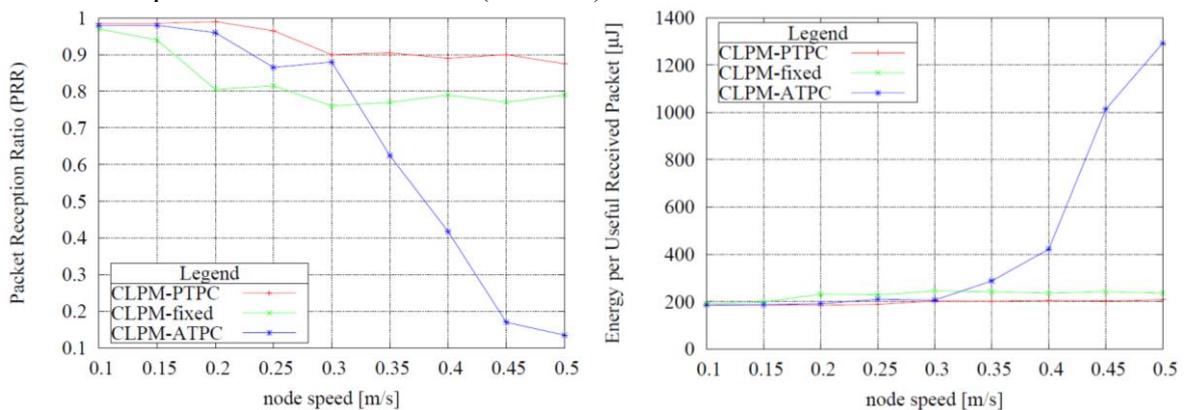


Figure 55. Résultats de simulation pour CL-PM et PTPC

Comme on peut l'observer sur la Figure 55, CLPM-PTPC fournit quelque soit la vitesse du nœud les meilleures performances à la fois en termes de PRR et d'énergie utile E_u . Il est également intéressant de noter que pour un vitesse supérieure à 0.3m/s, les performances (PRR et E_u) du contrôleur ATPC se dégradent très fortement. En effet, dans cette approche la mise à jour de la loi de contrôle s'effectue uniquement en fonction des messages envoyés par la station de base vers le nœud. Or, quand la vitesse augmente le lien radio peut se rompre plus facilement et ATPC n'a pas prévu dans ce cas une alternative pour la mise à jour de la puissance d'émission. Au contraire, PTPC est capable même quand le lien radio est perdu, de prédire une valeur de puissance d'émission permettant de rétablir la communication entre le nœud et la station de base. De plus, PTPC offre un gain en énergie d'environ 15% par rapport à une technique utilisant une puissance d'émission constante (CLPM-fixed).

Nous avons également validé notre approche *CLPM-PTPC* en conditions réelles en utilisant la plateforme matérielle de réseaux de capteurs PowWow [PowWow 2012] développée par l'IRISA et basée sur un circuit RF CC2420 [CC2420 2013]. Lors de ces expérimentations, le nœud est posé sur un robot qui se déplace à vitesse constante en direction de la station de base. Le nœud est distant d'environ 15 mètres de la station de base en position de départ et d'arrivée. La puissance d'émission constante utilisée par *CLPM-Fixed* est de 0dBm et l'activation du power manager s'effectue toutes les 5 périodes de réveil du nœud ($n=5$). Les mesures issues de ces expérimentations sont synthétisées dans le Tableau 13.

	Speed [m/s]	PRR (%)	E_u [μ J]	Energy Gain (%)
CLPM-Fixed	0.2	97	210	
	0.4	95	196	
CLPM-PTPC	0.2	93	155	26.2
	0.3	92	160	23.5
	0.4	89	160	23.6

Tableau 13. Résultats des tests de terrain pour CLPM-PTPC

Les résultats obtenus montrent que notre approche globale de power management permet un gain d'énergie par paquet reçu de 23 à 26% (suivant la vitesse) par rapport à une approche utilisant une puissance d'émission fixe. D'autre part, il est intéressant de noter que pour une vitesse de 0.4 m/s, le PRR est de 95% dans le cas d'une transmission à puissance constante et de 89% pour notre approche adaptative (CLPM-PTPC). Cet écart de 8% pour le PRR est cependant compensé par notre approche puisque dans le même temps, l'énergie utile par paquet reçu passe de 196 μ J à 160 μ J, soit un gain de 23.6%. Enfin, on peut constater que les gains obtenus lors de ces tests de terrain (environ 25%) sont plus importants que ceux que nous avons observés en simulation (environ 15%). En réalité il est difficile de comparer ces gains respectifs, ceci pour plusieurs raisons. Tout d'abord les circuits RF ne sont pas les mêmes (CC2420 et CC2500) et n'offrent pas les mêmes plages de puissance d'émission. D'autre part, la sensibilité en réception de ces deux circuits est différente et la valeur de consigne du RSSI a été fixée à -80dBm en simulation et -60dBm pour la plateforme PowWow. Néanmoins, les gains énergétiques sont relativement proches et surtout nous avons pu observer les mêmes comportements en simulation et lors des tests de terrain. Ceci nous permet raisonnablement d'avancer que les résultats obtenus avec la plateforme PowWow nous ont permis de valider notre environnement de simulation.

Conclusions

Les travaux que nous venons de présenter montrent l'intérêt de disposer de modèles de haut niveau des différents composants d'un nœud de réseau de capteurs. La modélisation globale du nœud permet en effet de valider des stratégies de gestion de la consommation mais également d'évaluer l'impact de choix effectués localement sur les performances globales du système. Enfin, l'environnement de simulation basé sur ces modèles offre un moyen efficace d'explorer l'espace de solutions, par exemple pour le dimensionnement du système de récupération et de stockage de l'énergie. Dans ces travaux, le modèle du nœud est néanmoins dépendant du type de stockage et de

récupération de l'énergie. En effet, les algorithmes de power management (OL-PM et CL-PM) ont été conçus en faisant l'hypothèse que le système de stockage de l'énergie est une batterie dont il faut prédire régulièrement l'état de charge. De plus, ces techniques sont spécifiques à un type de récupérateur solaire. Dans le paragraphe suivant, nous proposons une approche innovante de power management indépendante du type de récupérateur d'énergie.

10.2.2. Power manager pour réseaux de capteurs indépendant de la source d'énergie récupérée

Les travaux de thèse de Trong-Nhan Le (en Co-direction avec l'équipe CAIRN de l'IRISA Lannion) concernent également la gestion optimisée de la consommation d'énergie pour des objets communicants dotés d'un système de récupération d'énergie. Cependant, le système de stockage de l'énergie n'est plus une batterie mais une super capacité. Même si leur courant de fuite est bien supérieur à celui observé sur les batteries¹⁰, un des intérêts majeur des super capacités provient du nombre très élevé de recharge qu'il est possible d'effectuer par rapport à une batterie rechargeable [Jiang 2005]. Les batteries peuvent typiquement être rechargées quelques milliers de fois (ex. environ 5000 fois pour la batterie CBC050 [Cymbet 2011]), alors que le nombre de recharge est globalement deux ordres de grandeur supérieur pour les super capacités (ex. un million de fois pour la super capacité HZ202F [HZ202F 2013]). Dès lors, les super capacités s'avèrent être un système de stockage de l'énergie particulièrement adapté lorsque l'autonomie requise par le système est très importante (plusieurs années). D'autre part, il est possible de connaître avec précision l'état de charge d'une super capacité en mesurant la tension à ses bornes [Simjee 2008]. Puisque seule la connaissance de la tension est nécessaire pour connaître très précisément la quantité d'énergie récupérée, nous verrons qu'il est possible de concevoir un power manager indépendant du type de récupérateur utilisé. Les panneaux solaires représentent toujours la source d'énergie la plus communément utilisée pour les réseaux de capteurs [Hsu 2006] [Kansal 2006] [Moser 2010], ceci principalement de par la quantité d'énergie qu'ils peuvent fournir. Cependant, d'autres types de récupérateurs peuvent dans certains cas représenter une alternative intéressante à l'énergie solaire. Citons les récupérateurs thermiques [Leonov 2007] [Lu 2010], éoliens [Carli 2010] ou encore piézoélectriques [Otis 2003] [Roundy 2004].

Architecture d'un réseau de capteurs indépendante du type de récupérateur

L'architecture générique d'un nœud de réseau de capteurs que nous proposons est décrite sur la Figure 56 avec par exemple deux types de récupérateurs d'énergie (solaire et thermique).

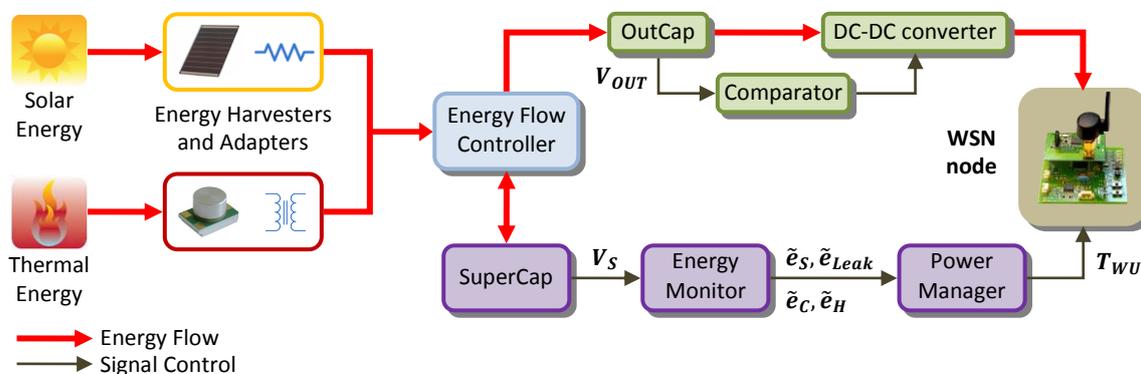


Figure 56. Architecture générique d'un nœud de réseau de capteurs

Comme on peut le voir, une première étape consiste à normaliser l'énergie récupérée par une adaptation spécifique à chaque type de récupérateur (*Energy Adapters*). L'énergie récupérée est alors distribuée par un contrôleur d'énergie (*Energy Flow Controller*) vers deux capacités (*OutCap* et *SuperCap*) ayant deux priorités de charge différentes [Chen 2010a]. En effet, suivant le niveau d'énergie récupérée par le nœud, deux cas peuvent se produire. Si l'énergie récupérée est supérieure à l'énergie consommée par le nœud, le surplus d'énergie est utilisé pour recharger la super capacité qui constitue l'unité de stockage principale du système. Dans le cas contraire, l'énergie nécessaire au fonctionnement du nœud provient à la fois de *OutCap* et de la super capacité *SuperCap*. En fait, l'énergie récupérée est dans un premier temps utilisée pour recharger *OutCap* qui possède une plus grande priorité de charge et une capacité relativement faible par rapport à la super capacité

¹⁰ Une étude récente a montré que ces fuites sont davantage liées à un effet de redistribution de charge qui s'estompe après quelques heures d'inactivité de la super capacité [Weddell 2011].

SuperCap. La tension aux bornes de *OutCap* (V_{OUT}) augmente donc rapidement. Aussi, dès qu'un seuil de charge est atteint le comparateur active le convertisseur DC-DC afin d'alimenter le nœud. Cette architecture basée sur deux unités de stockage, dont une de faible capacité, permet d'autre part un démarrage rapide du nœud. Sur la base de la tension V_S mesurée aux bornes de la super capacité, un moniteur (*Energy Monitor*) permet de déterminer l'énergie actuellement stockée (\tilde{e}_S), l'énergie liée au courant de fuites (\tilde{e}_{Leak}), ainsi que d'estimer l'énergie consommée (\tilde{e}_C) et récupérée (\tilde{e}_H) par le nœud. Ces informations sont ensuite utilisées par un power manager dont le but est d'adapter la prochaine période de réveil du nœud (T_{WU}) permettant de respecter la neutralité énergétique.

Moniteur d'énergie basé sur une super capacité

Dans l'approche que nous proposons, le temps est décomposé en slots de durée $T_S(n)$ et le moniteur d'énergie est activé à la fin de chacun de ces slots. Après une lecture de la tension actuelle aux bornes de la super capacité (*SuperCap*), et en se basant sur une table caractérisant l'énergie consommée par les différentes fonctions de bases invoquées par le nœud, les valeurs discrètes suivantes sont évaluées :

- (\tilde{e}_S) : énergie stockée dans *SuperCap* à la fin du slot n
- (\tilde{e}_{Leak}) : énergie liée au courant de fuite durant la durée du slot n
- (\tilde{e}_C) : énergie consommée par le nœud durant le slot n
- (\tilde{e}_H) : énergie récupérée par le nœud durant le slot n.

Afin de déterminer l'ensemble de ces valeurs, différents modèles ont été développés.

Modèle de l'énergie stockée

L'énergie disponible dans la super capacité à la fin du slot n peut être approximée à partir de sa tension ($V_S(n)$) et de sa capacité C_S de la façon suivante :

$$\tilde{e}_S(n) = \frac{1}{2} C_S V_S(n)^2$$

L'énergie liée au courant de fuite du système de récupération complet durant le slot n dépend également de la capacité C_S et peut être estimée de la façon suivante :

$$\tilde{e}_{Leak}(n) = P_{Leak} T_S(n)$$

Où P_{Leak} est la puissance dissipée liée au courant de fuite et est considérée comme constante.

Modèle de l'énergie consommée

Dans une application typique de réseau de capteurs sans fils, un nœud se réveille périodiquement pour entrer dans un mode actif durant lequel il effectue des mesures issues de ces capteurs qu'il transmet via une communication RF. Généralement le nœud reste très peu de temps en mode actif. Dès la fin de la phase active, le nœud s'endort et utilise les modes faibles consommation des circuits microcontrôleurs ou RF afin de recharger au maximum sa capacité. Ainsi, nous pouvons modéliser l'énergie consommée par le nœud en deux parties distinctes :

$$\tilde{e}_C(n) = \tilde{e}_{Active}(n) + \tilde{e}_{Sleep}(n)$$

Où $\tilde{e}_{Active}(n)$ est l'énergie consommée durant la phase active du nœud et $\tilde{e}_{Sleep}(n)$ est l'énergie consommée lors de phase de repos du nœud. Comme l'énergie consommée durant la phase de repos est quasiment constante, $\tilde{e}_{Sleep}(n)$ peut être aisément estimée à partir de la puissance requise lorsque le nœud est endormi :

$$\tilde{e}_{Sleep}(n) = P_{Sleep} T_{Sleep}(n) \approx P_{Sleep} T_S(n)$$

La durée totale de repos du nœud durant le slot n ($T_{Sleep}(n)$) est approximée à $T_S(n)$ puisque la durée d'activité du nœud est négligeable (de l'ordre de la *ms*) par rapport à la durée d'inactivité (de l'ordre

de la seconde). L'estimation de l'énergie consommée par le nœud ($\tilde{e}_{Active}(n)$) est un processus plus complexe car elle dépend des différents scénarios applicatifs et en particulier du protocole MAC utilisé pour accéder au medium radio. Dans ces travaux nous avons caractérisé l'activité d'un nœud sur une plateforme PowWow [PowWow 2012] basée sur un microcontrôleur MSP430 et un transceiver RF CC2420 [CC2420 2013]. Dans le scénario considéré dans cette étude, deux nœuds communiquent en utilisant le protocole MAC RICER (*Receiver Initiated Cycled Receiver*) [Lin 2004] illustré sur la Figure 57.

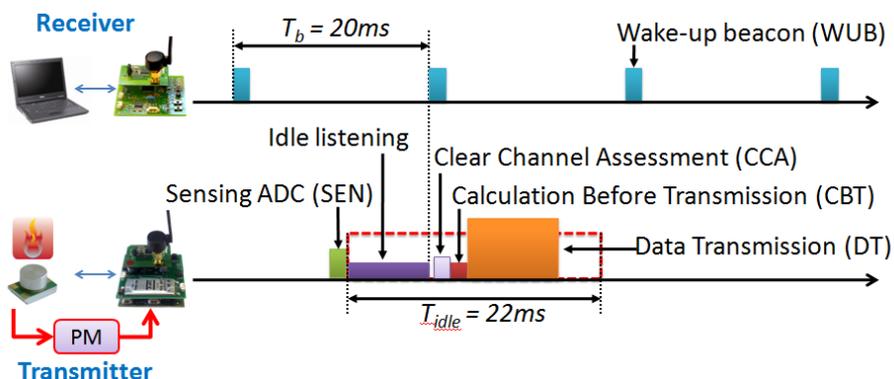


Figure 57. Communication entre deux nœuds utilisant le protocole MAC RICER

Le scénario mis en place met en œuvre un nœud en réception (*receiver*) alimenté sur secteur et connecté à un ordinateur portable afin de récupérer des traces d'exécution. Dans le protocole RICER le nœud en réception envoie régulièrement (toutes les 20ms dans l'exemple de la Figure 57) des trames balises de réveil (*Wake-Up Beacon* ou *WUB*) à destination des nœuds souhaitant lui transmettre des données. Le nœud émetteur (*transmitter*) se réveille également périodiquement (cette période est déterminée par le power manager) et écoute alors le canal dans l'attente de la réception de la trame balise de réveil (*WUB*) pendant une durée maximum fixée à 22ms dans notre exemple afin de tenir compte de la dérive des horloges des nœuds. Il est important de noter que cette attente de la trame balise, appelée *Idle Listening*, représente un paramètre aléatoire dans la caractérisation de l'énergie consommée par un nœud émetteur. Lorsque la *WUB* est détectée par l'émetteur, ce dernier évalue si le canal est libre par une écoute du canal (*Clear Channel Assessment* ou *CCA*). Avant la transmission effective des données vers le récepteur (*Data Transmission* ou *DT*), le nœud effectue certains calculs, par exemple de mise en forme des mesures issues des capteurs (*Calculation Before Transmission* ou *CBT*). Nous considérons que l'accès aux capteurs s'effectue dès le réveil du nœud via un convertisseur analogique-numérique (*Sensing ADC* ou *SEN*). La consommation de ces différentes activités sur la plateforme PowWow a déjà été caractérisée [Alam 2011] et les mesures sont regroupées dans le Tableau 14.

Description	Symbole	Energie
Calculation Before Transmission	E_{CBT}	$9,7\mu\text{J}$
Transmit/Receive wake-up Beacon	E_{WUB}	$51\mu\text{J}$
Data Transmission	E_{DT}	$80\mu\text{J}$
Data Reception	E_{DR}	$100\mu\text{J}$
Clear Channel Assessment	E_{CCA}	$18\mu\text{J}$
Sensing ADC	E_{SEN}	$27\mu\text{J}$
Transmission power	P_{TX}	$66,3\text{mW}$
Reception power	P_{RX}	$76,9\text{mW}$
Sleep power	P_{Sleep}	$85,8\mu\text{W}$

Tableau 14. Caractérisation en consommation d'énergie des activités sur PowWow

Le microcontrôleur est en charge de garder une trace de toutes les activités effectuées par un nœud afin d'estimer l'énergie consommée sur la durée d'un slot. Soit k le nombre d'occurrence de réveil

d'un nœud durant un slot n . Alors, l'énergie consommée totale pour les périodes d'activités du nœud peuvent s'exprimer de la façon suivante :

$$\tilde{e}_{Active}(n) = \sum_{i=1}^k t_{idle}(i) P_{Rx} + k(E_{SEN} + E_{WUB} + E_{CCA} + E_{CBT} + E_{DT})$$

Où $t_{idle}(i)$ est compris entre 0 et 22 ms (dans notre exemple) et correspond à la $i^{\text{ème}}$ écoute du canal dans l'attente de la trame balise de réveil (WUB). Il est important de noter que le power monitor effectue une mesure précise de tous les temps d'écoute nécessaires à la réception de la trame balise de réveil (*Idle listening*). A la fin du slot n , l'énergie consommée par le nœud en phase d'activité $\tilde{e}_{Active}(n)$ peut donc être estimée avec précision. Par la suite cette valeur sera utilisée afin de prédire l'énergie consommée par le nœud pour le slot suivant ($\hat{e}_{Active}(n+1)$).

Modèle de l'énergie récupérée par le nœud

L'énergie récupérée par le nœud est distribuée en trois parties à la sortie du *energy flow controller* décrit sur la Figure 56. La première partie est directement consommée par le convertisseur DC-DC pour alimenter le nœud. La seconde partie est stockée dans la super capacité (*SuperCap*) et la dernière est liée au courant de fuite. Ainsi, l'énergie consommée par un nœud durant un slot de durée n peut s'exprimer de la façon suivante :

$$\tilde{e}_H(n) = \frac{1}{\eta} \tilde{e}_C(n) + [\tilde{e}_S(n) - \tilde{e}_S(n-1)] + \tilde{e}_{Leak}(n)$$

Équation 12. Modèle de l'énergie récupérée

Où η représente le rendement du convertisseur DC-DC, $\tilde{e}_C(n)$ l'énergie consommée par le nœud, $[\tilde{e}_S(n) - \tilde{e}_S(n-1)]$ l'énergie stockée dans la super capacité durant le slot n et $\tilde{e}_{Leak}(n)$ l'énergie liée au courant de fuite. Lorsque l'énergie récupérée par le nœud est supérieure à l'énergie consommée, une partie de cette énergie est consommée par le nœud et seule le surplus d'énergie permet de recharger la super capacité. Inversement, lorsque l'énergie récupérée par le nœud est inférieure à l'énergie consommée (y compris le *leakage*), le nœud reçoit toute l'énergie récupérée mais également de l'énergie provenant de la super capacité. Dans ce cas, le terme $[\tilde{e}_S(n) - \tilde{e}_S(n-1)]$ de l'Équation 12 est négatif.

Ces différents estimations de consommation (\tilde{e}_S , \tilde{e}_{Leak} , \tilde{e}_C , \tilde{e}_H), déterminées par le *power monitor* uniquement à partir de la tension aux bornes de la super capacité, sont exploitées par le *power manager* afin d'adapter dynamiquement la période de réveil du nœud pour le prochain slot de temps, tout en garantissant un mode de fonctionnement en neutralité énergétique.

Gestion de la consommation en neutralité énergétique et à faible complexité

La neutralité énergétique garantit que l'énergie consommée est en moyenne égale à l'énergie récupérée (*Energy Neutral Operation – ENO*), ce qui offre une performance maximum du système. L'adaptation dynamique de la période de réveil du nœud pour le prochain slot de temps ($T_{WU}(n+1)$) est illustré sur la Figure 58.

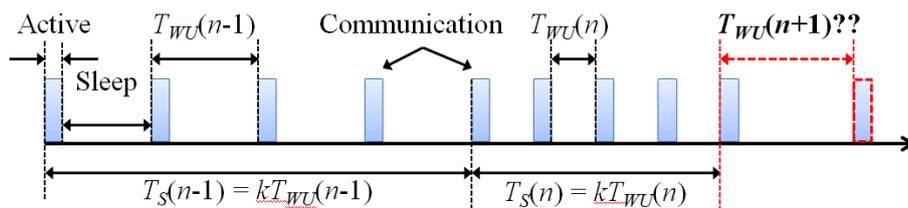


Figure 58. Adaptation dynamique de la période de réveil du nœud (T_{WU})

Soit V_{Ref} la tension de la super capacité quand le nœud a convergé en neutralité énergétique. Le rôle du power manager consiste à estimer la période de réveil du nœud garantissant le respect de la condition de neutralité énergétique pour le prochain slot de temps ($T_{WU}(n+1)$), ce qui revient à

contrôler la tension V_S de la super capacité autour de la tension V_{Ref} . L'activation du power management s'effectue après un nombre prédéfini de réveil du nœud (k) :

$$T_S(n) = kT_{WU}(n)$$

Équation 13. Période d'activation du nœud $T_S(n)$

Bien que le paramètre k reste constant, la périodicité du power manager ($T_S(n)$) varie en fonction de la période de réveil du nœud ($T_{WU}(n)$) comme l'illustre le schéma de la Figure 58. Le choix du paramètre k fournit au concepteur un moyen d'adapter la réactivité du power manager tout en limitant le surcoût en consommation lié à sa complexité. Ce sujet, déjà abordé dans le paragraphe 10.2.1, montre qu'une valeur comprise entre 10 et 20 représente un bon compromis entre réactivité et surcoût du power manager¹¹. A la fin du slot n , l'energy monitor est activé afin de fournir au power manager les différentes estimations de consommation d'énergie ($\tilde{e}_S, \tilde{e}_{Leak}, \tilde{e}_C, \tilde{e}_H$). Sur la base de ces estimations, le power manager effectue une prédiction de l'énergie consommée ($\hat{e}_C(n+1)$) et de l'énergie récupérée ($\hat{e}_H(n+1)$) par le nœud pour le prochain slot de temps ($n+1$). L'énergie consommée peut être prédite de la façon suivante :

$$\hat{e}_C(n+1) = \hat{e}_{Active}(n+1) + P_{Sleep}kT_{WU}(n+1)$$

Équation 14. Prédiction de l'énergie consommée par le nœud durant le slot n

Où $\hat{e}_{Active}(n+1)$ est la prédiction de l'énergie consommée par le nœud durant la phase d'activité et $P_{Sleep}kT_{WU}(n+1)$ représente l'énergie consommée en phase de repos pendant la durée du slot ($n+1$). Comme le nombre d'occurrence de réveil du nœud (k) reste le même pour chaque slot, $\hat{e}_{Active}(n+1)$ peut être prédit en utilisant un filtre à moyenne mobile pondérée EWMA (*Exponentially Weighted Moving Average*) [Hsu 2006]:

$$\hat{e}_{Active}(n+1) = \alpha\hat{e}_{Active}(n) + (1-\alpha)\tilde{e}_{Active}(n)$$

Équation 15. Prédiction de l'énergie consommée par le nœud durant la phase d'activité

Où $\alpha \in [0,1]$ est le facteur de pondération. Le choix du filtre EWMA a été motivé par sa faible complexité de mise en œuvre et ses bonnes performances. Notons que ce filtre est également utilisé par d'autres approches visant à prédire l'énergie récupérée ou consommée par un nœud de réseau de capteurs [Kansal 2006] [Moser 2010] [Recas 2009]. Lors du premier slot, $\hat{e}_{Active}(1)$ est initialisé avec la valeur moyenne du temps d'écoute nécessaire à la réception de la trame balise de réveil (*Idle listening*). Dans notre exemple, nous avons pris une valeur moyenne de 10ms puisque l'intervalle du temps d'écoute est compris entre 0 et 20ms (cf. Figure 57). Bien entendu, plus k est grand et plus cette approximation initiale tend à s'approcher de la valeur moyenne réelle. Si k est égal à 10 par exemple, $\hat{e}_{Active}(1)$ aura donc pour valeur initiale 100ms. La consommation du nœud pendant le slot n ($\tilde{e}_{Active}(n)$) varie également en fonction du temps d'écoute nécessaire pour la réception de la trame balise de réveil (*Idle listening*). Ainsi, il est préférable de fixer une valeur de α supérieure à 0.5 afin de réduire l'impact de ses variations sur la prédiction.

Afin de prédire l'énergie issue du système de récupération, nous faisons l'hypothèse que la puissance récupérée (\tilde{P}_H) est la même durant deux slots consécutifs :

$$\hat{e}_H(n+1) = \tilde{P}_H(n)T_S(n+1) = \tilde{P}_H(n)kT_{WU}(n+1)$$

Équation 16. Prédiction de l'énergie récupérée par le nœud durant le slot n

Cette hypothèse n'est évidemment pas généralisable pour tous les types de récupérateurs d'énergie. Néanmoins, les expérimentations que nous avons mené montrent que cette hypothèse est valide à la fois pour des panneaux solaires et des générateurs thermoélectriques. En effet, les variations du

¹¹ Dans le paragraphe 10.2.1, le paramètre k était appelé n .

niveau d'énergie récupérée sont faibles pour ces deux types de récupérateurs entre deux slots de temps. De plus, nous disposons à la fin de chaque slot d'un moyen de compenser ces erreurs de prédictions de l'énergie consommée et récupérée par le nœud. En effet, en calculant l'énergie stockée dans la super capacité à la fin de chaque slot de temps ($\tilde{e}_S(n)$), nous sommes en mesure de déterminer la déviation énergétique vis-à-vis de la consigne de neutralité énergétique (V_{Ref}) pendant la durée du slot. Cette énergie résiduelle due aux erreurs de prédictions du slot précédent (n-1) peut ainsi être considérée comme un budget énergétique additionnel pour le prochain slot :

$$\tilde{e}_{Bud}(n) = \tilde{e}_S(n) - \frac{1}{2}C_S V_{Ref}^2 = \frac{1}{2}C_S (V_S^2(n) - V_{Ref}^2)$$

Bien entendu, $\tilde{e}_{Bud}(n)$ peut être aussi bien positif que négatif. Ainsi, l'égalité permettant de respecter la neutralité énergétique (ENO) pour le prochain slot de temps (n+1) peut être défini de la façon suivante :

$$\hat{e}_H(n+1) - \tilde{e}_{Leak}(n+1) + \tilde{e}_{Bud}(n) = \frac{1}{\eta} \hat{e}_C(n+1)$$

Équation 17. Condition de neutralité énergétique (ENO)

En utilisant les Équation 14 et Équation 16 afin de remplacer $\hat{e}_H(n+1)$ et $\hat{e}_C(n+1)$ dans l'Équation 17, nous pouvons alors déterminer la période de réveil du nœud (T_{WU}) pour le prochain slot de temps (n+1) :

$$T_{WU}(n+1) = \frac{[\hat{e}_{Active}(n+1) - \eta \tilde{e}_{Bud}(n)]/k}{\eta(\tilde{P}_H(n) - P_{Leak}) - P_{Sleep}}$$

Équation 18. Calcul de la période de réveil du nœud pour le prochain slot

La puissance récupérée pendant le slot ($\tilde{P}_H(n)$) peut être aisément obtenu à partir de l'Équation 12 (en divisant les deux termes par $T_S(n)$) :

$$\tilde{P}_H(n) = \frac{\tilde{e}_{Active}(n)}{\eta T_S(n)} + \frac{P_{Sleep}}{\eta} + \frac{\tilde{e}_S(n) - \tilde{e}_S(n-1)}{T_S(n)} + P_{Leak}$$

En remplaçant le terme ($\tilde{P}_H(n)$) dans l'Équation 18, nous obtenons une nouvelle égalité pour la période de réveil du nœud (T_{WU}) permettant de garantir la condition de neutralité énergétique pour le prochain slot de temps (n+1) :

$$T_{WU}(n+1) = \frac{[\hat{e}_{Active}(n+1) - \eta \tilde{e}_{Bud}(n)]T_{WU}(n)}{\eta[\tilde{e}_S(n) - \tilde{e}_S(n-1)] + \tilde{e}_{Active}(n)}$$

Équation 19. Calcul de la période de réveil du nœud indépendant de l'énergie due au leakage

L'Équation 19 est intéressante car elle montre que la période de réveil du nœud pour le prochain slot de temps peut être déterminée indépendamment de l'énergie liée au courant de fuite. De plus, cette équation montre que la complexité mise en œuvre pour calculer la prochaine période de réveil est relativement faible. En effet, au début de chaque nouveau slot de temps, le power manager a uniquement besoin de lire la tension aux bornes de la super capacité ($V_S(n)$) et d'utiliser la mesure de l'énergie consommée en phase active lors du slot précédent ($\tilde{e}_{Active}(n)$). Notons que la lecture de la tension V_S est relativement sensible aux bruits du convertisseur analogique-numérique du nœud. Afin de moyenniser cette erreur, le power manager utilise une moyenne basée sur trois mesures consécutives de V_S pour le calcul de la prochaine période de réveil. Enfin, il faut noter que la période de réveil du nœud T_{WU} étant un multiple de la seconde, le résultat de l'Équation 19 est arrondi au nombre entier le plus proche. Dans ce cas, et contrairement à l'approximation effectuée dans les travaux présentés dans le paragraphe 10.2.1, l'arrondi peut entraîner aussi bien un fonctionnement légèrement en *positive-energy* ou en *negative-energy*.

Expérimentations

De nombreuses validations des modèles et des politiques de gestion de la consommation ont été effectuées à la fois en simulation et sur la plateforme matérielle PowWow. L'utilisation de la plateforme PowWow représente une réelle plus value à nos travaux, puisque très souvent les résultats présentés dans la littérature dans ce domaine le sont uniquement en simulation. Nous avons effectué des expérimentations en utilisant deux types de récupérateurs d'énergie : solaire et thermique. Dans les deux cas, les résultats montrent que l'architecture mise en place, les modèles proposés (incluant les prédictions de l'énergie consommée et récupérée) et les politiques de gestion de la consommation (i.e. *power manager*), nous permettent de maintenir le nœud en neutralité énergétique et donc de fournir une QoS maximum.

Expérimentations avec récupérateur thermique

La Figure 59 illustre un exemple d'une application de monitoring basée sur des nœuds d'un réseau de capteurs utilisant un système de récupération d'énergie d'origine thermique.

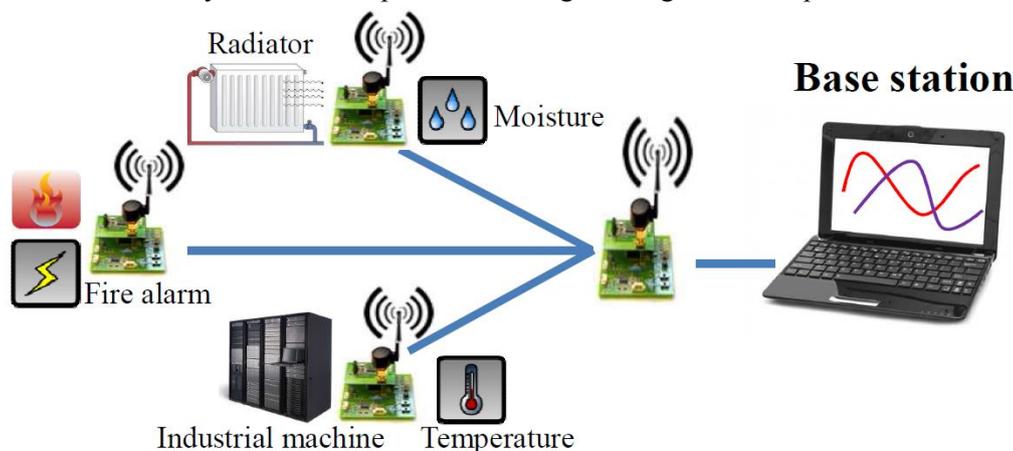


Figure 59. Application de monitoring basée sur des nœuds avec récupération thermique

La station de base (nœud situé à droite de la Figure 59) est reliée aux autres nœuds du réseau par une liaison sans fil et la communication s'effectue en utilisant le protocole RICER décrit sur la Figure 57. Cette station de base, alimentée sur secteur, est reliée à un ordinateur afin de récupérer les informations en provenance des nœuds du réseau. En effet, à chaque période de réveil, les nœuds effectuent via un convertisseur analogique-numérique faible consommation une lecture de la tension aux bornes de leur super capacité (V_S). Cette information est transmise au nœud en réception (la station de base) afin de visualiser l'évolution de la tension de la super capacité et ainsi vérifier que la condition de neutralité énergétique est bien respectée. Bien entendu, les nœuds transmettent également les valeurs issues de leurs capteurs (ex. température ou humidité).

Les expérimentations que nous avons menées mettent en œuvre une station de base et un nœud émetteur équipé de deux cellules à effet *Seebeck* de récupération thermique [CP60333 2012] montées en parallèle¹². Ces cellules thermiques sont disposées sur un adaptateur secteur d'un ordinateur portable. Le gradient de température entre l'air ambiant et l'adaptateur fournit une tension de sortie d'environ 50mV pour les deux cellules. Le composant LTC3018 de la société *Linear Technology* [LTC3108] a été utilisé afin de gérer le flux d'énergie (i.e. *energy flow controller*) en provenance des cellules thermiques. Ce composant propose une solution complète pour des réseaux de capteurs avec récupération d'énergie et fournit deux sorties en tension différentes. La première sortie V_{OUT} est reliée à la capacité *OutCap* et permet d'alimenter directement le nœud. La seconde V_{STORE} est connectée à la super capacité *SuperCap* et permet le stockage de l'énergie récupérée. Le convertisseur analogique-numérique intégré au microcontrôleur MSP430 [MSP430 2011] est utilisé pour la lecture de la tension aux bornes de la super capacité V_S .

¹² Un système de refroidissement par ventilation a également été utilisé.

Des simulations ont tout d'abord été menées afin de choisir le paramètre k déterminant la période de réveil du power manager $T_S(n)$ (cf. Équation 13). Pour cela, nous avons extrait un profil de récupération d'énergie thermique en utilisant la plateforme PowWow. Ce profil est montré sur la Figure 60 pour une durée totale de 4500 secondes.

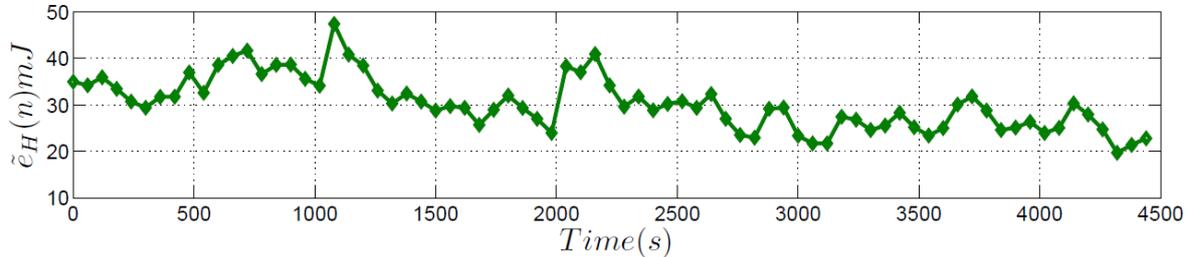


Figure 60. Profil d'énergie thermique

Comme aucun dispositif de poursuite du point de puissance maximale (*Maximum Power Point Tracking* ou *MPPT*) n'est activé sur la plateforme PowWow, ce profil présente des variations relativement importantes comme le montre la Figure 60. Sur la base de ce profil, nous avons simulé le comportement du nœud pour différentes valeurs de k . Le Tableau 15 rassemble les résultats de simulation obtenus pour une super capacité $C_S=0.09F$ [HZ202F 2013] ayant une tension initiale $V_S=4V$ et pour $\alpha=0.6$. La tension de référence pour la condition de neutralité énergétique a été fixée à $V_{Ref}=4V$.

k	$T_{wu}(sec)$				$V_S(mV)$				Total Packets
	Min	Max	Mean	Var	Min	Max	Mean	Var	
5	1	6	2.64	1.95	4000	4132	4092	654	1675
10	1	6	2.64	1.70	4000	4141	4091	740	1685
15	1	6	2.65	1.64	4000	4194	4114	728	1690
20	1	5	2.67	1.34	4000	4315	4229	2135	1691

Tableau 15. Résultats de simulation pour différentes périodes de réveil du PM (k)

Quand k est petit, le PM est capable de réagir rapidement aux fluctuations de l'énergie récupérée. Dans ce cas, on observe une variance importante de la période de réveil du nœud T_{WU} mais de faibles variations sur la tension V_S de la super capacité. Inversement, plus on augmente la valeur de k et plus on réduit les variations de la période de réveil du nœud, au dépens cependant d'une variance importante de la tension V_S , éloignant le nœud de la condition de neutralité énergétique. La dernière colonne du Tableau 15 montre également que le nombre de paquets transmis par le nœud diminue quand k décroît. Cette baisse est due au surcoût en consommation d'énergie du power manager. Nous avons estimé que le coût énergétique du PM est équivalent à l'exécution de trois lectures des capteurs via un ADC, soit $E_{PM} = 3E_{SEN}$. Ce coût, bien que certainement surestimé, reste négligeable en comparaison de l'énergie requise par le protocole de communication durant la durée d'un slot temporel. En effet, quand $k=10$, E_{PM} représente seulement 0,9% de l'énergie totale consommée sur un slot ($\tilde{e}_C(n)$). Il n'est donc pas nécessaire de prendre en compte le surcoût énergétique du PM pour le choix du paramètre k . Dans la suite des expérimentations menées avec les plateformes matérielles PowWow, nous avons choisi de prendre $k=10$, ce qui représente un bon compromis entre la réactivité du PM et les variations sur la période du nœud T_{WU} et la tension aux bornes de la super capacité V_S .

La Figure 61 montre l'évolution temporelle de la tension de la super capacité (V_S) lorsque le power manager adapte dynamiquement la période de réveil du nœud (T_{WU}) afin de respecter la neutralité énergétique représentée par $V_{Ref} = 4V$. La capacité de la SuperCap est $C_S=0.09F$, $\alpha=0.6$ et la valeur initiale de T_{WU} a été fixée à 5 secondes. Les résultats montrent que la tension V_S reste très proche de la valeur de référence, indiquant ainsi la capacité de notre PM d'équilibrer l'énergie récupérée et l'énergie consommée par le nœud, donc de respecter la condition de neutralité énergétique.

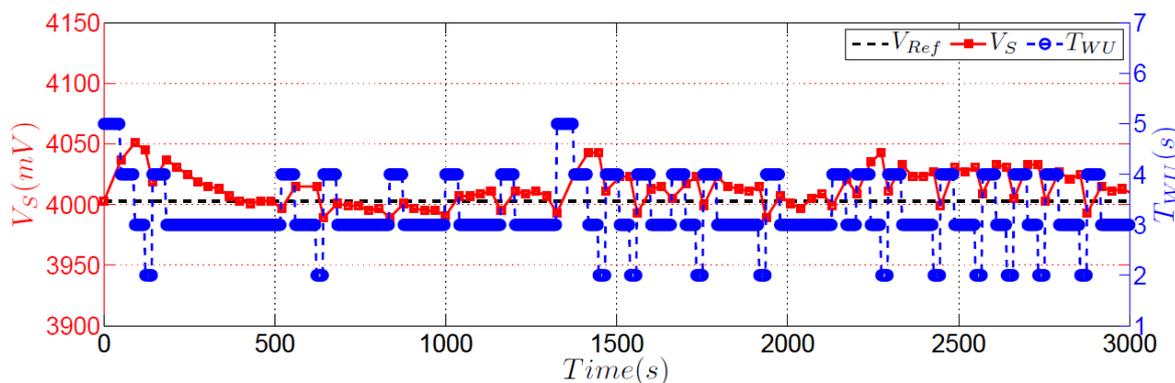


Figure 61. Adaptation de T_{WU} en cas de récupération thermique et pour $C_S=0.09F$

Des expérimentations similaires ont été effectuées mais avec deux cellules de récupération thermiques montées en parallèle. La Figure 62 montre l'évolution temporelle de la tension de la super capacité (V_S) lorsque le power manager adapte dynamiquement la période de réveil du nœud (T_{WU}) pour $C_S=0.18F$. Comme on peut l'observer, l'utilisation d'une super capacité de plus grande capacité permet de stabiliser davantage la tension V_S . Il faut noter néanmoins que les courants de fuites augmentent dans ce second cas d'étude et explique l'augmentation moyenne de T_{WU} par rapport aux résultats obtenus dans la première configuration (Figure 61).

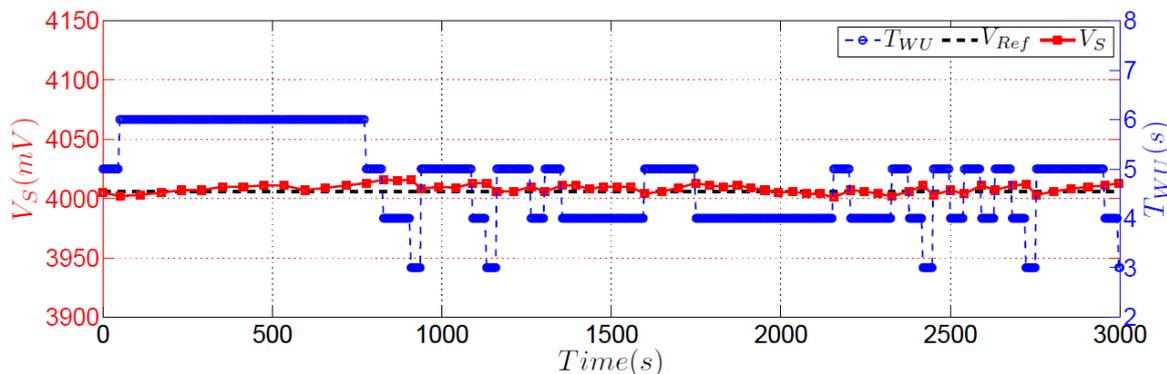


Figure 62. Adaptation de T_{WU} en cas de récupération thermique et pour $C_S=0.18F$

Ces expérimentations montrent qu'il est tout à fait possible de disposer de nœuds d'un réseau de capteurs exploitant une source d'énergie thermique, donc autonomes. Les applications pratiques de ce type de nœud sont nombreuses, par exemple la surveillance d'environnement industriel par une exploitation de la chaleur dissipée par les machines lorsqu'elles fonctionnent. La technologie que nous proposons pourrait à terme remplacer les équipements de surveillance et maintenance très coûteux actuellement mis en place. Les applications de détection (ex. incendie) ou celles liées à la santé (E-Santé) sont également prometteuses.

Expérimentations avec récupérateur solaire

Nous avons également effectué des expérimentations afin de valider notre power manager pour un système de récupération solaire. Pour cela nous avons connecté deux cellules photovoltaïques de dimension 4x6 cm [AM-5610 2007] au nœud émetteur. La Figure 63 montre l'évolution temporelle de la tension de la super capacité (V_S) lorsque le power manager adapte dynamiquement la période de réveil du nœud (T_{WU}) afin de respecter la neutralité énergétique représentée par $V_{Ref} = 4,13V$. La capacité de la SuperCap est $C_S=0.09F$, $\alpha=0.6$ et la valeur initiale de T_{WU} a été fixée à 5 secondes.

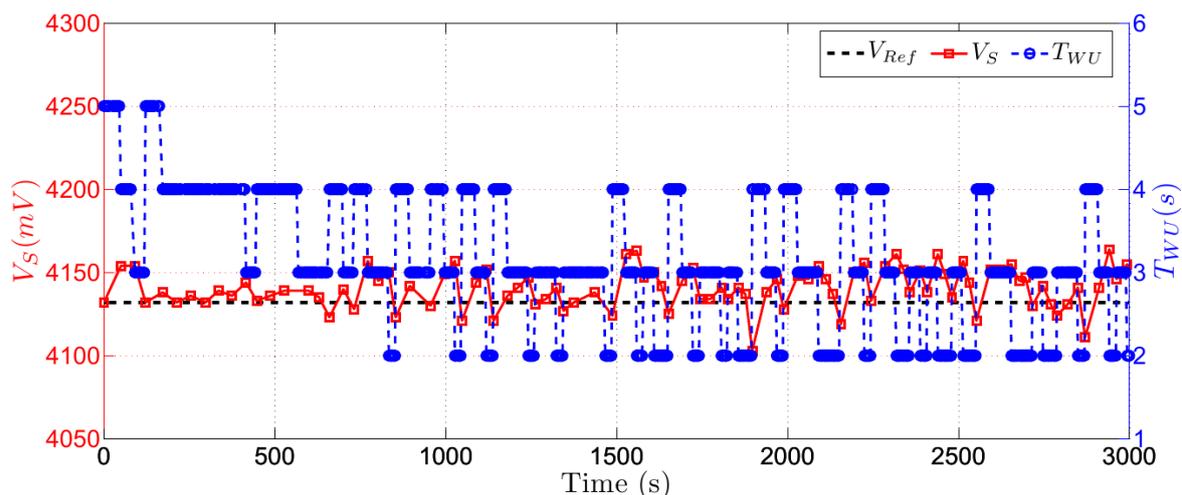


Figure 63. Adaptation de T_{WU} en cas de récupération solaire et pour $C_s=0.09F$

Les résultats montrent que la tension V_S reste très proche de la valeur de référence, indiquant ainsi la capacité de notre PM à respecter la condition de neutralité énergétique. Les tests ont été réalisés dans un bureau fermé avec une intensité lumineuse d'environ 500 lux, ce qui est relativement faible. Dans ces conditions, la Figure 63 montre que la période de réveil du nœud, et donc sa qualité de service, est d'environ trois secondes en moyenne.

Conclusion

Le power manager joue un rôle crucial dans la gestion de nœuds de réseau de capteurs dotés d'un système de récupération d'énergie. Dans l'approche que nous venons de présenter, l'originalité de notre solution repose sur l'indépendance du power manager vis-à-vis du type de récupérateur utilisé. En effet, seule une lecture de la tension aux bornes de la super capacité est requise afin de contrôler l'activité du nœud. Dans cette approche générique, seuls les modèles de prédictions de l'énergie récupérée doivent être adaptés au type de récupérateur. Les résultats de nos expérimentations montrent cependant qu'un modèle de prédiction basé sur l'hypothèse que la puissance récupérée (\tilde{P}_H) est la même durant deux slots consécutifs (Équation 16) est valable lorsque l'énergie récupérée présente de faibles variations comme le thermique ou le solaire. Ce PM, mettant en jeu des calculs ou des processus de faibles complexité, permet de déterminer la prochaine période de réveil du nœud (T_{WU}) garantissant en moyenne le respect de la condition de neutralité énergétique. Le calcul de T_{WU} est également indépendant des courants de fuite. Il est intéressant de noter que dans un premier temps nous avons cherché à utiliser un power manager basé sur correcteur proportionnel intégrale dérivée (PID) afin de contrôler la période de réveil du nœud et par conséquent la tension de l'unité de stockage de l'énergie. Bien que les résultats obtenus pour un système de récupération solaire soient satisfaisants (respect de la neutralité énergétique), le choix des paramètres pour les trois composantes du correcteur PID n'est pas aisé et le temps de convergence en neutralité énergétique est relativement long. Au contraire, notre PM permet au nœud de converger rapidement en neutralité énergétique et d'éviter ainsi de fortes variations autour de la tension de référence.

Plus récemment, nous avons procédé à des expérimentations mettant en œuvre une éolienne comme système de récupération d'énergie. Les premiers résultats obtenus montrent que dans certaines conditions météorologiques (rafale de vent), les niveaux d'énergie récupérée varient fortement et peuvent s'apparenter à des salves (i.e. *bursts*) : l'énergie est disponible en grande quantité mais seulement pendant de brefs instants. Dans ce cas, notre PM (basé sur les modèles de prédictions actuels) n'est pas en mesure de faire converger le nœud en neutralité énergétique. En effet, il arrive parfois que la tension de la super capacité passe en dessous d'un seuil (1.6V) provoquant la mise hors tension du nœud. Ces dysfonctionnements sont en grande partie dus à un dimensionnement inadéquat de notre unité de stockage. En effet, lors des salves d'énergie la super capacité sature rapidement à sa tension maximum et ne peut donc pas stocker toute l'énergie éolienne disponible. De plus, nos modèles prédictifs ne sont pas adaptés à ce type de récupérateur provoquant de fortes

variations de l'énergie récupérée. A ce propos, d'autres types de systèmes de prédictions de l'énergie récupérée ont été investigués durant ces travaux. Nous avons en effet comparé différents types de filtre adaptatifs pour prédire l'énergie récupérée. Sur la base d'un profil de récupération d'énergie solaire de 14 jours disponible sur Internet [NREL 2012], nous avons simulé sous Matlab le comportement de trois filtres différents : WCMA (*Weather Condition Moving Average*) [Bergonzini 2009], EWMA (*Exponentially Weighted Moving Average*) [Kansal 2006] et NLMS (*Normalized Least Mean Squares*). Naturellement, les erreurs moyennes de prédictions sont les plus faibles pour le filtre WCMA puisque ce dernier utilise les conditions d'ensoleillement des 5 derniers jours. La complexité algorithmique et l'empreinte mémoire requise par ce filtre ne militent cependant pas en faveur de cette solution pour un réseau de capteurs. Le filtre NLMS permet d'obtenir le meilleur compromis entre l'erreur de prédiction et le coût de l'implémentation (complexité et empreinte mémoire). Les résultats de simulation montrent que la valeur prédite par le filtre NLMS est en moyenne très proche de la valeur courante, ce qui nous ramène donc au modèle de prédiction utilisé dans notre PM. Il est important de noter que ces expérimentations ont été menées pour des slots de temps de durée fixe (ex. 5 minutes), ce qui n'est évidemment pas le cas dans notre approche.

Le prochain paragraphe s'intéresse à la mobilité des nœuds d'un réseau de capteurs basé sur le protocole 802.15.4.

10.2.3. Gestion optimisée en consommation et en latence de la mobilité d'un nœud dans un réseau 802.15.4/ZigBee

Les travaux de thèse de Chiraz Chaabane (en Cotutelle avec l'équipe ReDCAD de l'Université de Sfax en Tunisie) concernent la gestion optimisée en consommation et en latence de nœuds mobiles au sein d'un réseau 802.15.4/ZigBee [IEEE 802.15.4][ZigBee 2013]. Bien que de nombreuses techniques ont été développées pour une gestion efficace de la mobilité pour le GSM ou le Wifi par exemple, la mobilité d'un nœud n'est pas gérée de manière efficace par le standard 802.15.4 [Chen 2010b]. En effet, même si diverses approches ont été proposées ces dernières années par la communauté afin d'améliorer la gestion de la mobilité des nœuds pour des réseaux personnels sans fils (WPAN) [Abbagnale 2009] [Braem 2010] [Nia-Chiang 2006] [Vlajic 2011], ces techniques n'adressent pas la problématique de l'optimisation de la consommation d'énergie et de la latence lors d'un changement de coordinateur (i.e. station de base). Or, beaucoup d'énergie est gaspillée lorsqu'un nœud doit choisir un nouveau coordinateur d'association. En fait, un nœud mobile associé à un coordinateur ne connaît pas les autres coordinateurs qui se trouvent dans la même zone. De plus, la gestion de la mobilité dans la norme ne prend pas en considération la topologie réseau. L'approche proposée dans cette étude consiste à la fois à anticiper le changement de cellule avant la perte du lien radio et à effectuer une sélection spéculative du prochain coordinateur dans un réseau 802.15.4 en mode « beacon enabled »¹³.

Topologie réseau

La procédure proposée pour anticiper le changement de cellule dans le cas de nœuds mobiles s'appuie sur la topologie réseau en arbre illustrée sur la Figure 64.

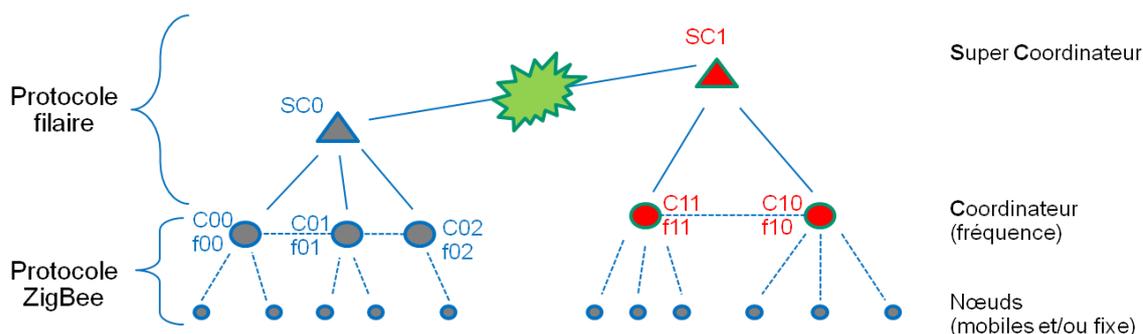


Figure 64. Topologie réseau supportant la mobilité des nœuds

Comme le montre la Figure 64, on distingue trois types d'éléments dans cette architecture:

- Les nœuds mobiles et/ou fixes :
 - chaque nœud terminal autonome en énergie communique directement avec son coordinateur (C00 par exemple).
- Les Coordinateurs:
 - chaque coordinateur transmet/reçoit sur une fréquence différente des autres coordinateurs.
 - Les coordinateurs sont eux-mêmes reliés à un super-coordinateur (SC0 par exemple).
 - Les coordinateurs sont placés sur des routes.
- Les Super Coordinateurs.
 - Les super-Coordinateurs connaissent les positions géographiques des coordinateurs.

Comme on peut également le voir sur la Figure 64, nous supposons que le super coordinateur est relié à ses coordinateurs via une connexion filaire. Evidemment, les nœuds mobiles communiquent avec leur coordinateur par une connexion sans fils s'appuyant sur le protocole 802.15.4. Dans cette topologie, nous considérons que les coordinateurs peuvent également être connectés entre eux par un

¹³ Dans le mode « beacon enabled » le coordinateur envoie périodiquement une trame balise (beacon) permettant une synchronisation des nœuds appartenant au réseau.

moyen de communication efficace permettant d'acheminer les paquets reçus et d'établir la connexion entre les deux terminaux en communication. Ce mode de fonctionnement n'a cependant pas été utilisé pour le moment dans le cadre de cette étude. Le protocole mis en place pour une gestion efficace de la mobilité doit supporter un routage et un adressage qui tient compte de cette dynamique dans le réseau.

Une procédure basée sur l'anticipation du changement de cellule avant la perte du lien radio

La norme IEEE 802.15.4 n'a pas été conçue pour des réseaux de capteurs mobiles. Par conséquent, la consommation d'énergie lors du changement de coordinateur d'association n'est pas optimisée. En effet, la norme 802.15.4 considère qu'un nœud qui se déplace d'un coordinateur à un autre perd le lien radio lorsque 4 trames balises (*beacon*) consécutives n'ont pas été reçues. Dans ce cas, le nœud va successivement effectuer un « *orphan scan* » puis un « *scan actif ou passif* ». Lors d'une procédure d'*orphan scan*, le nœud mobile tente de rétablir le lien avec son coordinateur actuel par l'envoi de paquets de contrôle. Si cette procédure échoue, le nœud effectue alors un balayage des différents canaux de la bande utilisée par le 802.15.4 (16 canaux sont utilisés dans la bande 2.4GHz). Dans ce cas, le nœud effectue soit une écoute passive du medium radio sans effectuer de requête au coordinateur (*scan passif*), soit une écoute active (*scan actif*) durant laquelle après un balayage des différents canaux le nœud envoie une requête au coordinateur ayant la trame balise de plus forte puissance. Pour accéder au medium radio, un nœud du réseau utilise le mécanisme de CSMA/CA (*Carrier Sense Multiple Access with Collision Avoidance*). Lorsqu'un nouveau coordinateur est détecté par le nœud, la procédure d'association à ce nouveau coordinateur peut s'effectuer. Comme le montrerons les résultats expérimentaux cette procédure est très coûteuse en énergie et en latence.

La Figure 65 illustre la procédure de changement de cellule optimisée en consommation et en latence que nous avons proposée. Cette procédure représente le cas où un nœud mobile M se déplace (à une vitesse de quelques m/s) d'un coordinateur C1 auquel il est associé vers un nouveau coordinateur C2. Les parties en rouge sur la Figure 65 représentent les modifications que nous avons proposées à la norme 802.15.4. Nous considérons que les nœuds mobiles utilisent le mode coordonné de la norme 802.15.4. Dans ce mode, les coordinateurs envoient périodiquement (la période est ajustable) une trame balise (ou *beacon*). Les nœuds mobiles utilisent cette trame de contrôle afin d'évaluer périodiquement la qualité du lien avec leur coordinateur via le calcul du LQI (*Link Quality Indicator*).

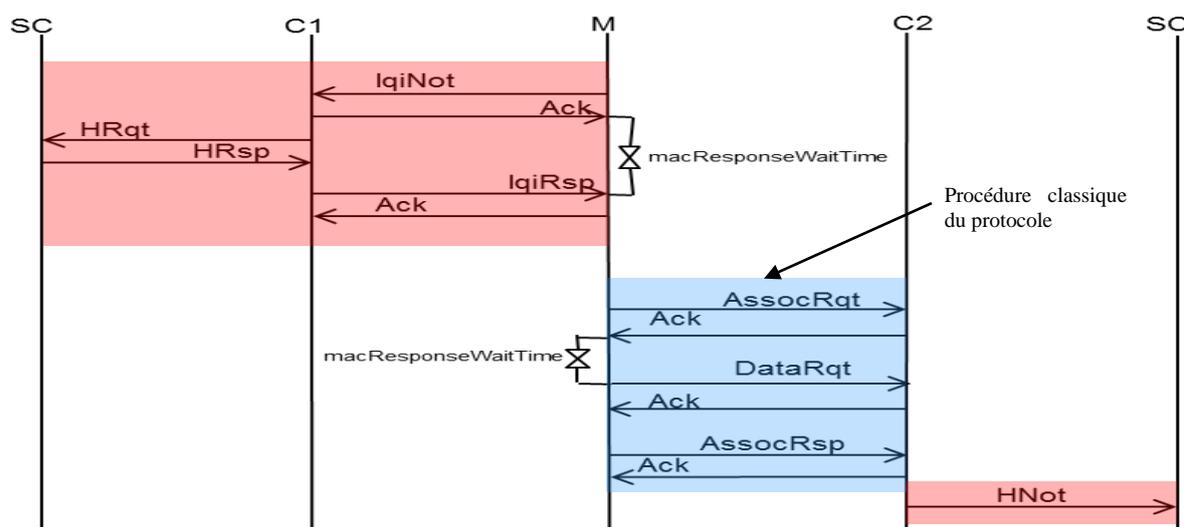


Figure 65. Procédure de changement de cellule

Bien que le standard IEEE 802.15.4 spécifie que le LQI est une valeur entière comprise entre 0 et 255, son calcul n'est pas spécifié et son implémentation varie d'un constructeur à un autre. La norme IEEE propose néanmoins de calculer sa valeur en utilisant une méthode de détection d'énergie, une estimation du rapport signal sur bruit (SNR) ou une combinaison des deux. L'utilisation du LQI par

les couches protocolaires n'est pas davantage spécifiée par le standard 802.15.4. Bien que le LQI ne soit pas spécifié précisément, sa définition implique que sa valeur dépend de la distance entre l'émetteur et le récepteur.

La procédure de changement de cellule peut se décomposer en différentes étapes (cf. Figure 65) :

- Lorsque le nœud mobile s'éloigne de son coordinateur (ici C1), la valeur du LQI diminue.
- Lorsque cette valeur passe en dessous d'un seuil défini par le $LQI_{\text{threshold}}$, le nœud mobile informe son coordinateur (ici C1) par l'envoi d'un LQI_{Not} (*LQI notification*). Cette notification permet d'éviter la perte du lien et de faire une demande d'un nouveau coordinateur au Super-Coordinateur (SC) par l'intermédiaire du coordinateur auquel le nœud est toujours associé.
- Le coordinateur envoie alors une requête au SC afin de lui demander le prochain coordinateur pour le nœud mobile (trame H_{Rqi}).
- Le super-coordinateur décide du nouveau coordinateur d'association (ici C2) et transmet ses identifiants au premier coordinateur d'association (ici C1) via la trame H_{Rsp} .
- Le premier coordinateur d'association C1 achemine alors la décision du super-coordinateur au nœud mobile via l'envoi d'une trame LQI_{Rsp} .
- Sur la base de cette information, le nœud mobile effectue alors une procédure classique d'association sur ce nouveau coordinateur (ici C2).
- Si la procédure réussit, le nouveau coordinateur (ici C2) informe le super-coordinateur (H_{Not}), ce qui permet à ce dernier de mettre à jour des tables de gestion des différents réseaux PAN¹⁴.
- Si la procédure échoue, le nœud recommence une nouvelle procédure d'association à partir du scan actif.

Dans tous les cas, cette procédure permet de supprimer la phase de recherche de l'ancien coordinateur (*orphan scan*) et donc une économie d'énergie.

Seuil de déclenchement ($LQI_{\text{Threshold}}$) de la procédure de changement de coordinateur

Le changement de coordinateur (appelé également *handover*) est déclenché lorsque la qualité du signal, caractérisée par le paramètre LQI dans notre cas, devient inférieure à un seuil appelé $LQI_{\text{threshold}}$. La Figure 66 illustre les paramètres utilisés (LQI_{Min} et LQI_{Init}) pour déterminer le seuil de déclenchement d'un changement de cellule. Sur cette figure nous avons représenté la trajectoire d'un nœud mobile M, de son entrée à sa sortie dans la zone de couverture d'un coordinateur 802.15.4.

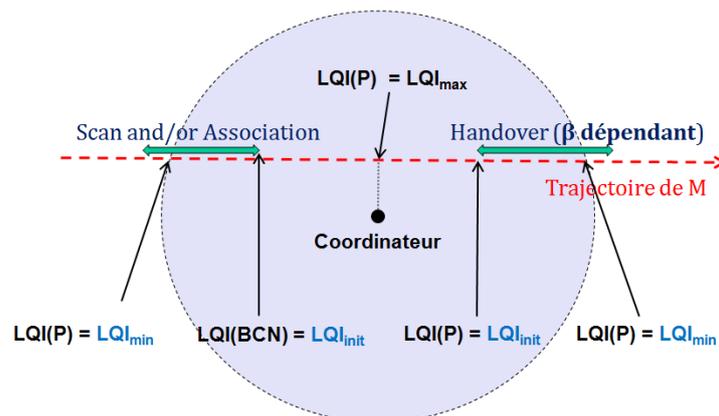


Figure 66. Paramètres utilisés pour le seuil de déclenchement d'un changement de cellule

LQI_{Min} et LQI_{Max} sont définis par le constructeur du transceiver RF et représentent respectivement la plus petite et la plus grande valeur de LQI. LQI_{Init} représente le LQI du premier paquet de synchronisation (*beacon*) reçu par le nœud mobile de la part de son coordinateur à la fin de la phase de synchronisation. Comme le montre la Figure 66, ce paramètre est également utilisé afin de déterminer le moment où le nœud commence à s'éloigner de son coordinateur. Si un nœud mobile

¹⁴ Un PAN (*Personal Area Network*) est un réseau composé des nœuds associés à un coordinateur.

reçoit un paquet avec un $LQI < LQI_{\text{threshold}}$, il informe son coordinateur et commence la procédure de changement de cellule décrite précédemment. Le $LQI_{\text{threshold}}$ est calculé de la façon suivante :

$$LQI_{\text{Threshold}} = LQI_{\text{Init}} - \frac{(LQI_{\text{Init}} - LQI_{\text{Min}})}{\beta}$$

Où β est un paramètre permettant de régler le seuil de déclenchement du changement de coordinateur, avec $\beta \geq 1$. Le paramètre β est particulièrement important pour la réussite du changement de cellule. En effet, si β est trop grand, le nœud mobile risque de déclencher trop rapidement la procédure d'association et ainsi d'être trop éloigné de son nouveau coordinateur pour réussir le changement de cellule. Inversement, si β est trop petit, le nœud mobile risque de déclencher trop tardivement la procédure d'association et de perdre le lien avec son coordinateur d'origine. Dans ce cas le nœud ne serait plus en mesure de recevoir les informations en provenance du super-coordinateur lui indiquant son prochain coordinateur d'association. Les expérimentations que nous avons menées en simulation montrent qu'une valeur de β égale à 2 représente un bon compromis entre la consommation d'énergie et la probabilité de succès du changement de coordinateur.

L'algorithme spéculatif pour le choix du prochain coordinateur

L'algorithme spéculatif déterminant le choix du prochain coordinateur pour un nœud mobile est exécuté au niveau du super coordinateur (SC). En effet, seul le SC connaît les positions géographiques des coordinateurs. Cette information lui permet de proposer de manière spéculative le choix d'un prochain coordinateur pour le nœud mobile. De manière simplifiée, le choix du prochain coordinateur d'association se base sur les informations suivantes:

- les positions géographiques des coordinateurs (cette information est stockée dans une matrice Nt),
- le précédent coordinateur d'association pour le nœud mobile. Cette information est stockée dans un vecteur ($\text{hist}[M]$) pour chaque nœud M du réseau.
- La route actuelle du nœud mobile. Cette information est stockée dans un vecteur ($\text{rd}[M]$) pour chaque nœud M du réseau.

L'approche proposée tend à favoriser le mouvement des nœuds sur une même route. Une des difficultés du protocole proposé est de garantir la transmission de l'identifiant du nouveau coordinateur d'association avant la perte du lien. Cette transmission dépend à la fois du paramètre β , mais aussi de la vitesse du mobile, du nombre de nœud mobile et de la qualité du lien radio.

Quelques résultats expérimentaux

Cette approche a été implémentée et testée avec le simulateur de réseau Ns-2 [Ns2 2011] pour différents cas d'études, en particulier le déplacement d'un nœud sur une route « en ligne droite » (cas *single-road*) ou sur différentes routes (cas *multi-road*). Dans ces simulations nous avons considéré que tous les nœuds du réseau sont associés à un coordinateur avant qu'ils commencent à se déplacer. Le but est de minimiser le nombre de scan du réseau. En effet, un scan du réseau équivaut à un échec de la procédure de changement de cellule. La Figure 67 présente un cas d'étude *single-road* utilisé pour tester les performances de l'approche proposée. Comme nous pouvons le voir, le réseau est constitué :

- d'un super-coordinateur (le nœud 0 en noir sur la figure),
- de 3 coordinateurs (les nœuds 2, 3 et 13 en rouge sur la figure),
- et de 12 nœuds mobiles (nœuds en verts sur la figure situés à leur lieu de départ avant le début de leur mobilité).

Dans ce cas d'étude les nœuds se déplacent sur une route unique en ligne droite, de gauche à droite ou inversement (les nœuds peuvent faire demi-tour). Les nœuds sont situés à des distances différentes des coordinateurs.

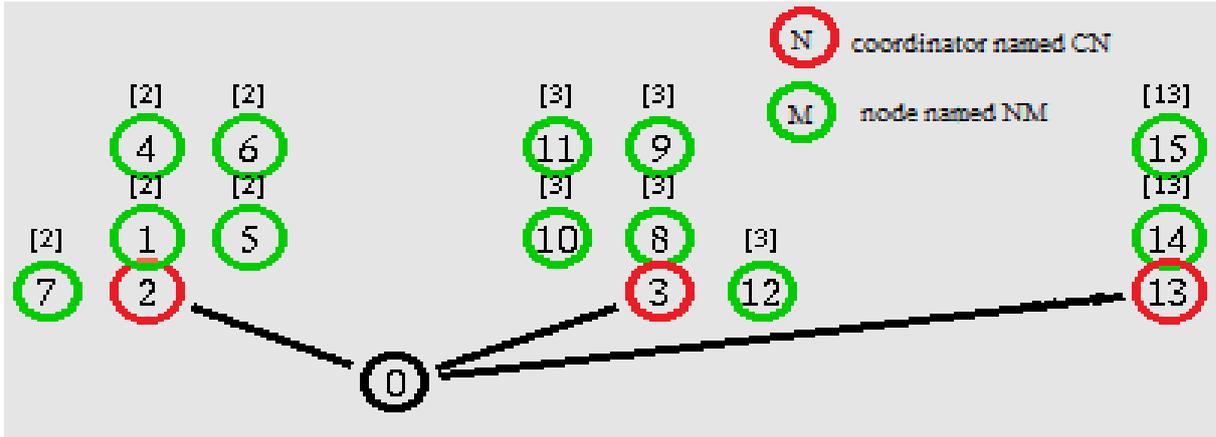


Figure 67. Cas single-road

La Figure 68 présente un cas d'étude *multi-road* utilisé pour tester les performances de l'approche proposée. Comme nous pouvons le voir, le réseau est constitué de 12 coordinateurs numérotés de 1 à 12. Le super-coordonateur ainsi que les nœuds mobiles ne sont pas dessinés sur cette figure. Le suivi du mobile s'effectue par le biais d'un quadrillage 2D de la zone géographique et par la détermination de différentes routes horizontales et verticales couvrant l'ensemble des coordinateurs du réseau.

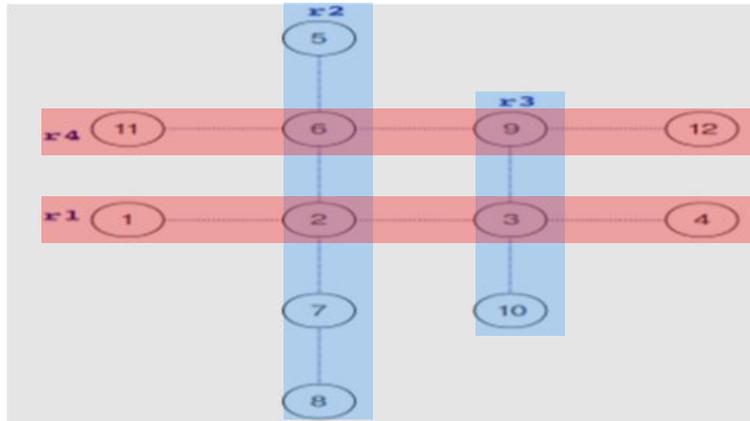


Figure 68. Cas multi-road

Ce quadrillage permet de construire la matrice N_t introduite précédemment et représentant la position géographique des différents coordinateurs. La Figure 69 décrit la matrice N_t obtenue pour le cas d'étude de la Figure 68.

$$N_t = \begin{matrix} & \begin{matrix} r1 & r2 & r3 & r4 \end{matrix} \\ \begin{matrix} 1 \\ 2 \\ 3 \\ 4 \\ 0 \end{matrix} & \begin{pmatrix} 1 & 5 & 9 & 11 \\ 2 & 6 & 3 & 6 \\ 3 & 2 & 10 & 9 \\ 4 & 7 & 0 & 12 \\ 0 & 8 & 0 & 0 \end{pmatrix} \end{matrix}$$

Figure 69. Matrice N_t représentant les positions géographiques des nœuds

Comme on peut le voir, chaque colonne représente une route de la zone géographique, tandis que chaque ligne de la matrice représente les nœuds rencontrés sur chacune des routes. Lorsque la matrice contient une valeur égale à 0, cela signifie qu'il n'y a plus de coordinateur sur la route considérée. Ces différents cas d'études ont été modélisés sous $Ns-2$ où la topologie réseau ainsi que le routage basé sur l'adressage hiérarchique ont d'ailleurs nécessités des modifications assez importantes du simulateur. Trois différents modèles de mobilité ont été utilisés afin de simuler le déplacement des nœuds :

- *Random way-point* :

- Les positions destinations sont déterminées de manière aléatoire.
- La vitesse du nœud mobile est uniformément distribuée entre une valeur min et max.
- *Gauss-Markov*
 - La vitesse et la direction des nœuds sont recalculées périodiquement.
 - La vitesse et la direction des nœuds sont choisies à partir d'une distribution normale des valeurs précédentes.
- *Manhattan*
 - Le modèle de mobilité Manhattan utilise une topologie en grille et fut principalement proposé pour le mouvement en zone urbaine où les rues sont agencées de manière organisées.
 - Les nœuds mobiles se déplacent dans des directions horizontales ou verticales sur une carte urbaine.
 - Le modèle de mobilité emploie une approche probabiliste pour la sélection des mouvements des nœuds. En effet, à chaque intersection un nœud peut décider de continuer sur la même route, ou bien de tourner à droite ou à gauche (et aussi de faire demi-tour). Dans la version standard du modèle, la probabilité de continuer sur la même route est 0,5 alors que la probabilité de tourner à droite ou à gauche est de 0,25.

Les simulations ont permis de mesurer le bénéfice de notre approche pour minimiser la consommation d'énergie mais également la latence de transmission de données d'un nœud à un autre. Dans ces simulations, les nœuds commencent à se déplacer 70 secondes après le début de la simulation qui dure 400 secondes au total. Le paramètre β est égal à 2.

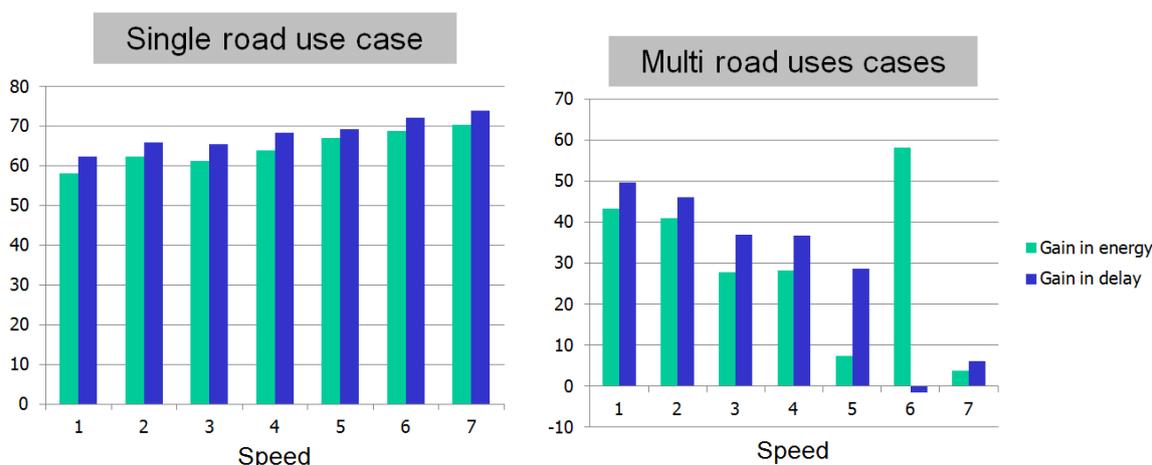


Figure 70. Gain en énergie et de délai de l'approche proposée pour les 2 cas d'études

La Figure 70 montre les gains obtenus par rapport à la procédure 802.15.4 standard pour les deux cas d'études considérés et en fonction de la vitesse du mobile. Ces résultats ont été obtenus sans utiliser les 3 modèles de mobilités présentés précédemment¹⁵. Comme on peut le voir les gains sont très importants dans les deux cas. Dans le cas *single-road*, les gains sont quasiment constants quelle que soit la vitesse du mobile. Dans le cas *multi-road*, le gain en énergie baisse lorsque la vitesse augmente (sauf pour le cas à 6m/s). C'est également le cas pour le gain en délai sauf pour des vitesses élevées où le gain devient très faible (voire négatif à 6 m/s).

La Figure 71 montre les gains en énergie et en délai obtenus par rapport à la procédure 802.15.4 standard pour les 3 modèles de mobilités présentés précédemment et dans le cas d'étude *multi-road*. Les différents modèles sont également testés pour un nombre variable de nœuds mobiles dans le réseau ainsi que différentes vitesses de déplacement allant de 0,5 à 3 m/s. Comme on peut le voir,

¹⁵ La mobilité des nœuds était décrite manuellement dans un premier temps.

c'est avec le modèle de mobilité Manhattan que les gains les plus importants sont observés. Ceci était prévisible car pour les deux autres modèles de mobilité (Gauss-Markov et Random Way-point), les positions des nœuds sont déterminées soit de manière aléatoire, soit à partir d'une distribution normale. Ces modèles pénalisent l'algorithme prédictif qui tend à favoriser le mouvement des nœuds sur une même route. Dans ces expérimentations la probabilité de tourner pour le modèle Manhattan a été fixée à 0,2.

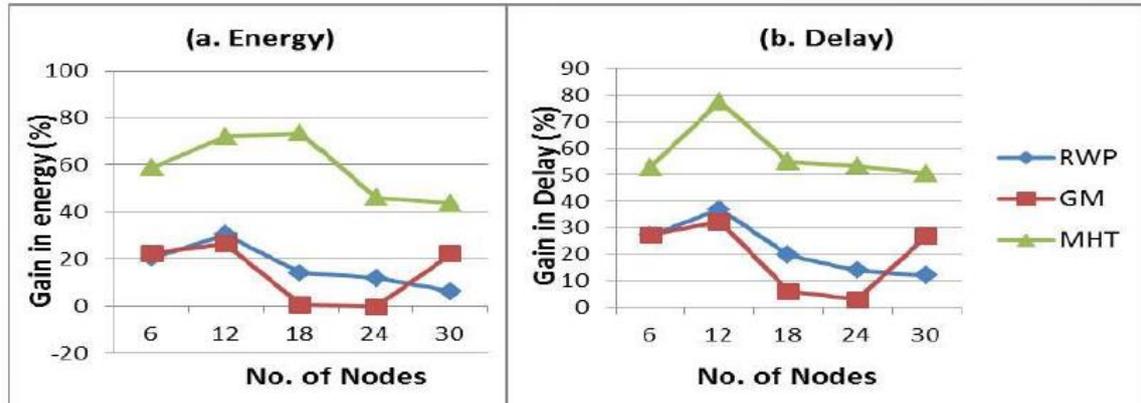


Figure 71. Gain en énergie et en délai pour les différents modèles de mobilité

L'approche proposée a été davantage évaluée pour le modèle de mobilité Manhattan. L'objectif de ces expérimentations était de tester la robustesse de l'algorithme spéculatif pour différentes probabilités de tourner (0.2, 0.5 et 0.8), avec (WP) ou sans pause (WOP) des nœuds durant leur mobilité, ainsi que pour une variation du nombre de nœuds mobiles (6, 12, 18 et 24). La Figure 72 présente les gains observés en énergie pour ces différents cas d'étude.

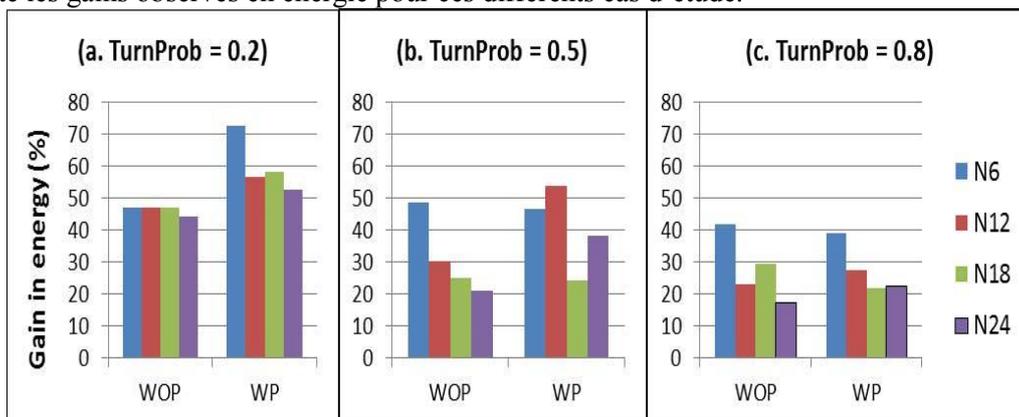


Figure 72. Gain en énergie pour le modèle de mobilité Manhattan

La Figure 73 montre les gains observés en latence pour ces différents cas d'étude.

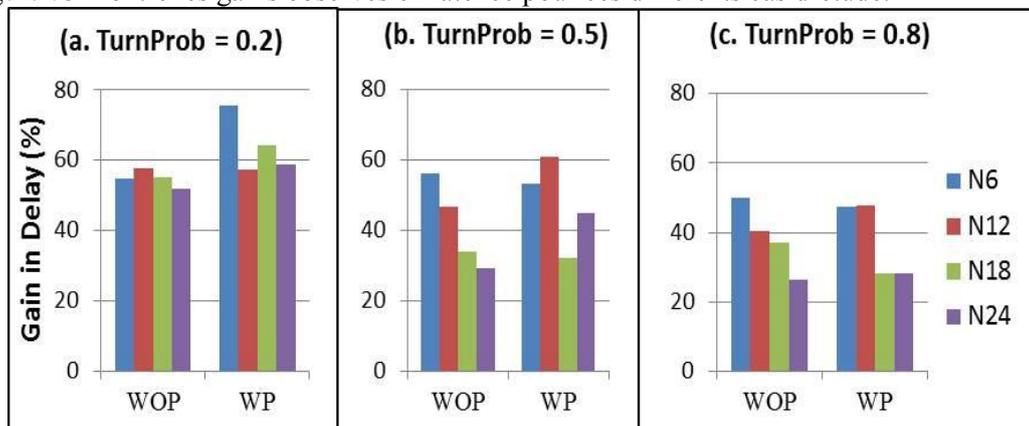


Figure 73. Gain en délai pour le modèle de mobilité Manhattan

Comme on peut le constater, les gains en énergie et en latence sont importants lorsque la probabilité de tourné (i.e. *TurnProb*) est faible (0.2). Les gains restent aux alentours de 20% pour 24 nœuds lorsque cette probabilité est importante (0.8). Bien que notre algorithme spéculatif favorise le déplacement des nœuds sur une même route, ces expérimentations montrent que les gains restent intéressants même dans le cas où les nœuds ont une probabilité importante de tourner.

Conclusion

La gestion optimisée en consommation et en latence de nœuds mobiles dans un réseau personnel sans fil basse consommation (*LP-WPAN*) est une problématique peu adressée par la communauté scientifique. Dans les travaux que nous avons menés sur ce sujet, nous proposons d'anticiper la perte du lien radio en comparant un LQI mesuré sur la voie balise (*beacon*) avec une valeur seuil ($LQI_{\text{Threshold}}$). Lorsque la qualité du lien passe en dessous de ce seuil, une procédure de changement de cellule est initiée afin d'éviter des scans coûteux en consommation et en latence. Des simulations ont permis de valider l'approche proposée pour différents cas d'études, divers modèles de mobilités ainsi que différents paramètres comme la vitesse et le nombre de nœuds, les probabilités de tourner, etc. Les différentes mesures en consommation et en délai ont été comparées avec celles obtenues en utilisant la procédure standard du protocole 802.15.4 et les résultats montrent des gains en énergie et en délai significatifs. Nous avons également validé la robustesse du seuil de déclenchement de changement de cellule ($LQI_{\text{Threshold}}$) dans un environnement bruité avec l'ajout d'un modèle de bruit blanc gaussien lors de nos simulations. Les gains, bien que légèrement en baisse, restent importants (42% en énergie et 58% en délai). L'étude ne considère cependant pas l'influence des interférences sur la trame balise (utilisée pour le calcul du seuil) puisque les nœuds ne sont pas autorisés à transmettre durant cet intervalle. Plus récemment, un algorithme spéculatif probabiliste basé sur un quadrillage en quatre zones de l'espace a été développé et testé pour les trois modèles de mobilité. Cet algorithme permet d'obtenir de meilleures performances pour le modèle de mobilité *random way-point*. L'algorithme favorisant la mobilité sur une même route reste néanmoins plus efficace pour les deux autres modèles de mobilité. Même si ces résultats montrent que les performances dépendent largement du modèle de mobilité considéré, des améliorations peuvent encore être apportées à l'algorithme spéculatif. Il serait par exemple intéressant d'investiguer un algorithme réactif capable d'ajuster dynamiquement la valeur du paramètre β aux conditions du lien radio ou bien par rapport au nombre de nœuds connectés à la station de base. On pourrait également envisagé un algorithme qui tiendrait compte d'un historique du mouvement des nœuds dans l'espace considéré.

10.3. Conclusion et perspectives

Le domaine de la conception d'objets communicants à faible consommation d'énergie est extrêmement actif depuis quelques années. Le déploiement sans cesse croissant du nombre d'objets connectés et le développement naissant de l'internet des objets montrent que les enjeux associés sont très importants. Nous participons à ce mouvement à travers plusieurs études qui visent principalement à concevoir des objets communicants autonomes en énergie pour des réseaux de capteurs sans fil. Pour cela nous avons adressé le problème de la modélisation globale d'un nœud à partir de modèles de haut niveau. Nous avons également développé plusieurs techniques de gestion de la consommation (power manager) permettant d'adapter dynamiquement l'activité du nœud en fonction de la quantité d'énergie récupérée. Ces techniques, basées sur un respect de la condition de neutralité énergétique, permettent un fonctionnement en autonomie du nœud et une optimisation de la qualité de service. Les solutions que nous avons proposées ont été validées en simulation et sur des plateformes matérielles pour différents récupérateurs et deux types d'unité de stockage de l'énergie. Nous avons enfin proposé une extension au standard 802.15.4 permettant d'améliorer la consommation d'énergie et la latence dans le cas de nœuds mobiles au sein d'un réseau de capteurs.

Afin de mener à bien l'ensemble des travaux, 3 doctorants (dont deux en cours), un post-doc, 4 stagiaires ingénieur ou de Master et 2 ingénieurs d'étude ont participé à ce 3^{ème} axe de recherche. Au cours de sa thèse, Chiraz Chaabane a par ailleurs été invitée au *Department of Computer Science and Engineering of the Hong Kong University of Science and Technology* (sous la direction du Pr. Mounir Hamdi) pour un séjour scientifique de 5 mois (de septembre 2012 à janvier 2013).

Les travaux menés au sein de cet axe de recherche ont conduit à 25 publications scientifiques (1 revue [2] (1 revue IEEE Trans. est en cours de révision [6]), 15 conférences internationales [12] [13] [14] [15] [16] [17] [19] [20] [21] [23] [26] [28] [29] [32] [47], 6 conférences nationales [54] [57] [58] [59] [62] [64], ainsi que 3 conférences invitées [9] [10] [11]).

10.4. Fiche de synthèse des travaux

Co-encadrements de thèses et post-doc

Antoine COURTAY – Post-doctorant

Etude de la modélisation de la consommation d'énergie dans les systèmes mobiles communicants : vers une approche globale

Septembre 2009 / Août 2010

Financement du Conseil Scientifique de l'UNS

En Co-direction (50%) avec le DR CNRS Michel Auguin (50%)

Andréa CASTAGNETTI – Bourse MESR

Etude de la gestion de l'autonomie en énergie d'objets communicants sans fil

Thèse soutenue le 11 octobre 2012

En Co-direction (40%) avec le DR CNRS Michel Auguin (30%) et la Mcf. HDR C. Belleudy (30%)

Chiraz CHAABANE – Bourse AVERROES et contrat COMCAS

Système embarqué autonome en énergie pour objets communicants mobiles

Soutenance prévue pour le 4^{ème} trimestre 2013

En Co-direction (50%) avec le DR CNRS Michel Auguin (25%) et le Ass. Pr. Maher BEN JEMAA (25%).

Le TRONG-NHAN - Contrat ANR GRECO

Système de gestion globale de l'énergie pour objets communicants sans fils autonomes

Soutenance prévue pour le 1^{er} trimestre 2014

En Co-direction (50%) avec le Pr. Olivier Sentieys (25%) et le Mcf. HDR Olivier Berder (25%).

Encadrements d'ingénieurs, stagiaires ingénieurs et de Master

Laurent Brossier (Octobre 2011 – Mars 2012)

Simulation d'un réseau de capteurs sans fils modélisé au niveau transactionnel (SystemC/TLM) avec OMNET++.

CDD ingénieur d'études de 6 mois dans le cadre du projet collaboratif ANR GRECO.

Adrien Mastromarino (Avril 2013 – Janvier 2014)

Co-simulation d'une communication audio entre des nœuds d'un réseau de capteurs sans fils modélisés au niveau transactionnel (SystemC-TLM) avec OMNET++.

CDD ingénieur d'études de 10 mois dans le cadre du projet collaboratif ANR GRECO.

Bouhleb Fadia (Juin - Octobre 2012)

Etude et développement d'une plateforme audio dans un réseau de capteurs sans fil.

Ecole Nationale d'Ingénieurs de Sousse (Tunisie)

Olfa Ouni (Avril 2011 – Septembre 2011)

Modélisation et simulation de la consommation d'énergie appliquée à des objets mobiles communicants.

Ecole Nationale d'Ingénieurs de Monastir (Tunisie)

Laurent Brossier (Avril 2011 – Septembre 2011)

Modélisation et simulation d'un réseau de capteurs sans fils

Ecole Polytech Nice-Sophia, Filière Electronique

Chaabane Chiraz (Juin - Septembre 2009)

Evaluation de différentes alternatives de réseaux sans fil à basse consommation d'énergie supportant des nœuds mobiles

Master Multimédia, Bases de Données et Intégration de Systèmes (MBDS) de l'Université de Nice Sophia Antipolis.

Collaborations scientifiques et industrielles

GRECO 2010/2014, Projet ANR - ARPEGE, *Insight-SIP*, *Thales*, *In2mp*, *Irisa*, *Cea-List*, *Cea-Leti*, *Leat*.

University of Cork (UCC), Irlande.

Publications scientifiques

- [2] Andrea Castagnetti, Alain Pegatoquet, Cécile Belleudy and Michel Auguin, *A Framework for Modeling and Simulating Energy Harvesting WSN nodes with Efficient Power Management Policies*, EURASIP Journal on Embedded Systems (JES), pp. 1-20, October 16th, 2012.
- [6] Andrea Castagnetti, Alain Pegatoquet and Michel Auguin, *A Joint Duty-Cycle and Transmission Power Management for Energy Harvesting WSN*, IEEE Transactions on Industrial Informatics Journal, special section "Industrial Wireless Sensor Networks". **Under revision**
- [9] A. Pegatoquet, *Power Management Techniques for Autonomous Wireless Communicating Objects*, Power Autonomous Communicating Objects (PACO) Conference, Gardanne / Aix en Provence, October 24-25, 2013.
- [10] A. Pegatoquet and O. Sentieys, *GRECO : Power Management and Protocol-Level Energy Reduction Techniques*, Ecole Thématique Conception Faible Consommation (EcoFac), La Colle sur Loup, 21-25 mai 2012.
- [11] Alain Pegatoquet, *GRECO (Green communicating object): preliminary studies for autonomous system*, Journée du GDR SoC-SiP, axe Consommation et Energie, Campus de Jussieu, Paris, 17 mai 2011.

- [12] Agnès Fritsch, Florian Broekaert, Alain Pegatoquet and Fabien Gaben, *Monitoring of systems powered by new micro-batteries and energy harvesters: towards the Energy Neutral Operation (ENO)*, European Defense Agency (EDA) - Energy IAP1 Workshop, Energy Supply for military applications, Fraunhofer IAF, Freiburg, Germany, October 16th 2013.
- [13] Trong-Nhan Le, M. Magno, A. Pegatoquet, O. Berder, E. Popovici and O. Sentieys, *Ultra Low Power Asynchronous MAC Protocol using Wake-Up Radio for Energy Neutral Wireless Sensor Networks*, 1st International Workshop on Energy Neutral Sensing Systems (ENSSys) organized in conjunction with 11th ACM SenSys Conference, Roma, November 14th, 2013.
- [14] Trong Nhan Le, A. Pegatoquet, O. Berder and O. Sentieys, and C. Belleudy, *Multi-Source Power Manager for Super-Capacitor based Energy Harvesting Wireless Sensor Networks*, Demo session of the 1st International Workshop on Energy Neutral Sensing Systems (ENSSys) organized in conjunction with 11th ACM SenSys Conference, Roma, November 14th, 2013.
- [15] Trong Nhan Le, A. Pegatoquet, O. Sentieys, O. Berder, and C. Belleudy, *Duty-Cycle Power Manager for Thermal-Powered Wireless Sensor Networks*, 24th IEEE International Symposium on Personal, Indoor and Mobile Radio Communications, pp. 144-149, London, UK, 8-11 September 2013.
- [16] Trong Nhan Le, O. Sentieys, O. Berder, A. Pegatoquet and C. Belleudy, *Energy Predictor using Adaptive Filter in Energy Harvesting Wireless Sensor Networks*, 26th IEEE International Conference on Architecture of Computing Systems (ARCS), 3rd Workshop on Ultra Low Power (WUPS), Prague, Czech Republic, 20 February 2013.
- [17] Chiraz Chaabane, Alain Pegatoquet, Michel Auguin and Maher Ben Jemaa, *Mobility Management Approach for IEEE802.15.4/ZigBee Nodes in a Noisy Environment*, 26th IEEE International Conference on Architecture of Computing Systems (ARCS), 3rd Workshop on Ultra Low Power (WUPS), Prague, Czech Republic, 20 February 2013.
- [19] T.N. Le, O. Sentieys, O. Berder, A. Pegatoquet and C. Belleudy, *Power Manager with PID controller in Energy Harvesting Wireless Sensor Networks*, IEEE International Conference on Internet of Things, Workshop on energy and Wireless Sensors (e-WiSe), pp. 668-670, Besançon, France, November 22-23, 2012.
- [20] O. Berder, O. Sentieys, T.N. Le, A. Pegatoquet, C. Belleudy, F. Broekaert, C. Bernier, S. Bourdel, K. Ben Chehida and C. Barrat, *GRECO : GREen Communicating Objects*, in Proc. Forum SAME (Sophia Antipolis Microelectronics), University Booth, Session 2, Demo 7, Sophia Antipolis, France, 3-4 October, 2012.
- [21] O. Berder, O. Sentieys, Trong Nhan Le, S. Mouget, R. Fontaine, A. Pegatoquet, C. Belleudy, M. Auguin, G. Jacquemod, W. Tatinian, O. Ramos, F. Broekaert, A. Didioui, C. Bernier, K. Ben Chehida, S. Bourdel, H. Barthélémy, P. Ciais and C. Barrat, *GRECO : GREen Communicating Objects*, IEEE Conference on Design and Architectures for Signal and Image Processing (DASIP), Demo Night, Karlsruhe, Germany, October 23-25, 2012.
- [23] C. Chaabane, A. Pegatoquet, M. Auguin and M. Ben Jemaa, *An Efficient Mobility Management Approach For IEEE 802.15.4/ZigBee Nodes*, 14th IEEE International Conference on High Performance Computing and Communications (HPCC-2012) – Third International Workshop on Wireless Networks and Multimedia (WNM-2012), Liverpool, UK, 25-27 June, 2012.
- [26] A. Castagnetti, A. Pegatoquet, C. Belleudy and M. Auguin, *An Efficient State of Charge Prediction Model for Solar Harvesting WSN Platforms*, 19th IEEE International Conference on Systems, Signals and Image Processing (IWSSIP), Vienna, Austria, 11-13 April, 2012.
- [28] A. Castagnetti, A. Pegatoquet, C. Belleudy and M. Auguin, *An Open-Loop Energy Neutral Power Manager for Solar Harvesting WSN*, 2nd International Conference on Pervasive and

- Embedded Computing and Communication Systems (PECCS), Rome, Italy, 24-26 February, 2012.
- [29] C. Chaabane, A. Pegatoquet, M. Auguin and M. Ben Jemaa, *Energy Optimization For Mobile Nodes in a Cluster Tree IEEE 802.15.4/ZigBee Network*, IEEE Computing, Communications and Applications Conference (COMCOMAP), Hong Kong, China, January 11-13, 2012.
- [32] A. Courtay, A. Pegatoquet, M. Auguin and C. Chaabane, « *Wireless Sensor Network Node Global Energy Consumption Modeling* », Conference on Design and Architectures for Signal and Image Processing (DASIP), Edinburgh, Scotland, October 26-27, 2010.
- [47] A. Pegatoquet, *Autonomous Wireless Sensor Networks*, 3rd Conference on Ocean and Coastal Observation : Sensors and Systems (OCOSS), Poster Session, Nice, France, October 28-31 2013.
- [54] Trong Nhan Le, A. Pegatoquet, O. Sentieys, O. Berder and C. Belleudy, *Energy Monitor for Super Capacitor based Wireless Sensor Networks*, Colloque National du GDR SoC-SiP, Lyon, 10-12 juin 2013.
- [57] A. Castagnetti, A. Pegatoquet, C. Belleudy and M. Auguin, *Power Management Architectures for Solar Harvesting Wireless Sensor Networks*, Colloque National du GDR SoC-SiP, Campus de Jussieu, Paris, 13-15 juin 2012.
- [58] A. Castagnetti and A. Pegatoquet, *Modélisation fonctionnelle du Système de Communication RF et du Canal Radio*, Colloque National du GDR SoC-SiP, Campus de Jussieu, Paris, 13-15 juin 2012.
- [59] C. Chaabane, A. Pegatoquet, M. Auguin and M. Ben Jemaa, *Une Approche pour la Gestion de la Mobilité des Terminaux dans un Réseau IEEE 802.15.4 en Arbre*, Ecole Thématique Conception Faible Consommation (EcoFac), Session poster, La Colle sur Loup, 21-25 mai 2012.
- [62] C. Chaabane, A. Pegatoquet, M. Auguin and M. Ben Jemaa, *An Approach For Mobility Management of End Devices in a Cluster Tree ZigBee Network*, GDR SocSIP, Montpellier, 27-28 Octobre, 2011.
- [64] A. Castagnetti, A. Pegatoquet, C. Belleudy and M. Auguin, *A Model for Predicting Remaining Energy for Solar Harvesting WSN Platform*, GDR SocSIP, Montpellier, 27-28 Octobre, 2011.

11 - Bilan et perspectives de recherches

11.1. Bilan scientifique

Ce document propose une description détaillée de mes travaux de recherche depuis l'obtention de mon doctorat en 1999. J'ai néanmoins fait le choix de ne détailler que des études récentes entreprises depuis 2008 et ma prise de fonction en tant que Maître de Conférences à l'Université de Nice Sophia Antipolis. Avant de proposer des perspectives de recherche à l'ensemble de ces travaux, il me paraît important de rappeler les principales évolutions auxquelles nous avons assisté ces dernières années. Il me semble également indispensable de se projeter dans le futur afin d'anticiper les besoins à venir. Quelles seront les prochaines architectures pour les systèmes embarqués ? Quelles applications seront exécutées sur ces systèmes ? Quelles seront les technologies permettant une récupération et un stockage efficace de l'énergie ? Quels standards de communications (protocoles) seront mis en place pour ces objets communicants ?

Depuis ma première expérience dans un laboratoire de recherche en 1995, le paysage des systèmes embarqués numériques a considérablement évolué. Dans le domaine des objets communicants, ces évolutions concernent tout d'abord les architectures matérielles. Nous assistons à une augmentation croissante de la complexité et en particulier du parallélisme des systèmes sur puce. Des smartphones récents comme le Galaxy S4 de Samsung intègrent déjà des architectures CPU basées sur un Cortex-A15 possédant 4 cœurs, et ARM a d'ores et déjà annoncé une architecture octo-cœur (i.e. *Big.LITTLE*) au début de l'année 2013. Dans le domaine des réseaux de capteurs, on assiste également à des évolutions à plusieurs niveaux, notamment pour les microcontrôleurs, les circuits RF ou les systèmes de récupération et de stockage de l'énergie.

Ces évolutions architecturales répondent à des exigences toujours plus fortes en termes de puissances applicatives mais également de réduction de la consommation d'énergie. La conception d'objets communicants embarqués faible consommation est en effet devenue ces dernières années un enjeu majeur. La gestion dynamique de la consommation est également un point très sensible d'un système sur puce. Il est en effet indispensable de proposer des solutions permettant de mettre en veille les parties du système qui ne sont pas nécessaires à l'exécution du code applicatif. Ces évolutions doivent également faire face à de nouvelles contraintes comme par exemple la dissipation thermique et l'auto adaptabilité à de multiples standards de communications. Dans ce dernier cas, la reconfigurabilité ne concerne pas uniquement la partie numérique mais doit s'intégrer à tous les niveaux de la chaîne de transmission afin d'apporter une solution efficace vis-à-vis des fluctuations de l'environnement, des performances (temps de reconfiguration) et de la consommation d'énergie par exemple. Il existe d'ores et déjà des systèmes auto adaptatifs permettant de reconfigurer une antenne en temps-réel en fonction de l'environnement.

Le domaine des réseaux de capteurs et plus généralement des objets connectés (internet des objets) connaît également une forte évolution. Le nombre d'applications basées sur de petits objets communicants connaît actuellement une forte croissance et concerne des domaines extrêmement variés : aide à la personne (E-Santé), agriculture, environnement, *Body Area Network*, maison intelligente... Ces applications mettront certainement en œuvre des milliards d'objets connectés d'ici quelques années [Said 2012], ce qui ne va pas sans poser des questions sur la durabilité énergétique d'une telle évolution. Pour certaines applications cependant, les systèmes à base de récupération d'énergie ambiante permettent d'ores et déjà de concevoir des objets totalement autonomes énergétiquement, contribuant ainsi à la réduction de notre empreinte environnementale. Mais les performances (portée et débit principalement) restent limitées et de nouvelles techniques ou technologies apparaissent régulièrement afin de proposer des améliorations. De multiples récupérateurs (solaire, thermique, éolien, piézoélectrique...) ont ainsi été conçus afin de proposer des solutions adaptées aux conditions environnementales et aux exigences de qualité de services. Cette évolution concerne par exemple la récupération et la conversion d'énergie hyperfréquence en puissance continue dans la bande ISM [Hoang 2011] [Popovic 2013]. Si les rendements et l'énergie

récupérée restent pour le moment limités, cette technique est très prometteuse car elle permettrait de récupérer une partie de l'énergie radio fréquence présente dans notre environnement. Les évolutions concernent également les unités de stockage de l'énergie. Outre les problèmes liés à l'encombrement, ces unités doivent en effet être capables de s'adapter aux fluctuations à la fois de la charge applicative et de la récupération d'énergie.

Les réseaux de communication évoluent également afin de faire face à de nouvelles exigences applicatives tout en réduisant la consommation d'énergie. De nombreux travaux ont été menés ces dernières années par exemple au niveau de la couche MAC pour les réseaux de capteurs sans fil afin d'optimiser les temps d'écoute du medium radio (*idle listening*, *overhearing*, ...) très coûteux en énergie [Alam 2012] [Hurni 2010]. Les différentes couches protocolaires vont également faire face à de nouvelles problématiques liées à l'internet des objets. Si aujourd'hui cette évolution concerne principalement nos ordinateurs, téléphones portables et tablettes, à l'avenir des objets très variés (montre, télévision, voiture, vêtement, lampadaire, etc.) seront capables d'entrer en communication et d'interagir. Ces objets connectés et intelligents (*smart objects*) nécessiteront la mise en place de supports et de protocoles réseaux performants, faible consommation et sécurisés.

Ces évolutions en cours ou à venir vont impliquer des changements en profondeur des architectures et des approches de conception des futurs objets communicants. Même s'ils comportent des points communs, il est nécessaire de différencier les problématiques liées à la conception de SoCs destinés aux plateformes embarquées de type smartphone, de celles liées à la conception de « petits » objets communicants, typiquement des nœuds de réseaux de capteurs.

La gestion conjointe et efficace des contraintes de performance, de réduction de la consommation et de la température devra être au cœur des préoccupations des outils de conception des systèmes sur puce. La définition de nouvelles méthodologies de conception et les outils associés permettant d'appréhender à la fois les scénarios applicatifs, l'architecture matérielle et la description du *power intent* est indispensable. De plus, il sera également nécessaire d'étendre les modèles actuels avec des paramètres (ex. les horloges, le reset) ayant un impact important sur la consommation d'énergie et les performances. Bien que les problématiques dépendent fortement des plateformes ou des scénarios applicatifs, la mise en place de flots de conception permettant d'explorer l'espace de solutions par un raffinement progressif du système, en particulier pour la gestion de la consommation, sera un enjeu majeur.

La définition de nouvelles approches pour la conception d'objets communicants autonomes pour réseaux de capteurs, permettant en particulier de valider en simulation le code applicatif et les couches protocolaires sera nécessaire. D'autre part, l'optimisation de l'énergie ou de la puissance implique de considérer le nœud complet et son environnement, ce qui requiert des approches de modélisation hétérogènes pour appréhender globalement les comportements énergétiques de toute la chaîne de traitement et de transmission, ainsi que les interactions entre les éléments de cette chaîne.

11.2. Perspectives de recherches

Ces défis ouvrent de nouvelles perspectives de recherche qui impliquent d'engager des travaux de recherche pour lever certains verrous qu'ils sous-tendent. Plusieurs thèmes s'inscrivant dans les trois axes de recherches présentés précédemment peuvent être définis. Nous verrons que les interactions entre ces trois axes se trouvent renforcées. Le projet de recherche que je propose vise à concevoir des systèmes embarqués optimisés en consommation pour des objets communicants, que ce soient pour des SoC ou des nœuds de réseaux de capteurs. Il s'agit de proposer des approches de conception de niveau système permettant d'appréhender l'hétérogénéité de ces objets et une prise en compte globale des interactions complexes et souvent cachées de ces systèmes. Une approche de haut niveau réduit les efforts de modélisation et les temps de simulation et permet une exploration tôt dans le flot de conception de l'espace de conception.

11.2.1. La conception de SoC

Modélisation et flot de conception

Les travaux de thèse de Ons Mbarek se sont déroulés dans le cadre du projet collaboratif ANR HELP. Une suite à ces travaux est en cours dans le cadre du projet ANR HOPE dans lequel on se propose d'étudier et développer, entre autres, des modèles SystemC-TLM des composants de contrôle liés à la puissance, l'horloge et le reset. Un des objectifs du projet HOPE consiste également à permettre une évaluation précise de la dynamique de la consommation de puissance et de la température de la solution mais aussi de faciliter l'exploration de l'espace de solutions par une approche dirigée par les modèles (*Model Driven Engineering – MDE*). Il s'agit en effet d'étudier des techniques d'exploration d'architecture permettant d'identifier des compromis entre performance, température et énergie. Pour l'évaluation des aspects thermiques, des solutions existent déjà entre les outils *Virtualizer* de Synopsys et *Aceplorer* de la société DOCEA Power par exemple. Ces solutions restent ad-hoc et méritent une vision plus formelle et standardisée, en particulier sur les interfaces à mettre en œuvre pour l'échange des informations pertinentes entre les différents modèles et environnements.

L'analyse du flot logiciel proposée dans la thèse de Ons Mbarek et permettant d'établir une ou plusieurs alternatives de partitionnement de la plateforme en *power domain* mérite la recherche de solutions plus efficaces et rapides. En effet, l'analyse actuelle s'effectue manuellement sur la base de traces d'exécution afin de déduire certaines dépendances fonctionnelles ainsi que des corrélations entre les activités des composants. On pourrait imaginer une approche exploitant entre autres ces corrélations ou les niveaux de charge des composants et permettant la génération automatique de solutions de partitionnement en *power domain*. Afin de réduire les temps de conception, il paraît également intéressant d'envisager le développement d'une approche permettant de générer automatiquement des moniteurs afin d'évaluer la consommation d'énergie du système ou de vérifier certaines propriétés *power-aware*. Dans les travaux que nous avons menés, la vérification du *power intent* s'effectue en simulation par l'assertion de différents types de contrat. Il nous semble primordial d'imaginer un formalisme pour ces descriptions, par le biais par exemple de machines d'états hiérarchiques. Une modélisation plus formelle du *power intent* devrait permettre de vérifier avant simulation, que certaines propriétés non fonctionnelles sont bien respectées en liaison avec les états fonctionnels du système. Sur ce sujet, il est possible d'envisager des collaborations fructueuses avec mes collègues du LEAT ou l'équipe AOSTE de l'INRIA. Les plateformes virtuelles devront également franchir un nouveau pas afin de permettre une simulation du code binaire applicatif sur un modèle précis de la plateforme matérielle et de son *power intent*. Il s'agira d'étendre les modèles actuels avec des paramètres (ex. les horloges) ayant un impact important sur la consommation d'énergie et les performances. Ces évolutions devront le plus souvent possible sur la base de standards existants, pour lesquels des extensions pourront être proposées.

L'utilisation de standards est en effet indispensable pour l'adoption de nouvelles approches. Aussi, il nous semble primordial de définir une structure standardisée, par exemple par des extensions du standard IP-XACT ou des profils UML, afin de faciliter l'intégration et la réutilisation du *power intent* d'IPs (et son contrôle) par les équipes de concepteurs. Il sera de plus nécessaire de disposer de

passerelles permettant une validation des choix architecturaux effectués au niveau système à un niveau d'abstraction inférieur. Nous avons déjà proposé un outillage permettant de générer une spécification UPF à partir d'un modèle de niveau transactionnel du *power intent*. Cependant, les éléments générés au niveau RTL ne représentent qu'un sous ensemble des modèles du *power intent* de haut niveau, et pour certains d'entre eux il n'existe toujours pas de lien direct. Il est donc nécessaire de rechercher à combler l'écart actuel entre ces deux niveaux de description et *in fine* de proposer des outils permettant de valider les modèles à un niveau d'abstraction plus fin. Pour les horloges par exemple, tout reste à inventer puisqu'il n'existe aujourd'hui aucun formalisme ni standard de description permettant de décrire un arbre d'horloges abstrait et ses contraintes au niveau SystemC/TLM. Or les horloges ont un impact important sur la consommation dynamique d'un système et bien évidemment sur les performances. Dans un souci de gain de productivité et de réduction des efforts de modélisation, il nous semble donc important de proposer à l'avenir des moyens de synthétiser en RTL des spécifications abstraites d'éléments ayant un impact sur la consommation d'énergie ou les performances. Comment par exemple synthétiser un modèle d'arbre d'horloge et son contrôle défini en SystemC/TLM ?

La gestion de la consommation (power management)

Les perspectives de recherche concernent également la gestion optimisée de la consommation de puissance et de l'énergie. De nos jours, la consommation d'énergie des systèmes sur puce est gérée à de multiples niveaux, allant des optimisations matérielles à celles effectuées au niveau de la couche applicative, en passant par les techniques propres au noyau Linux (ex. *CPUFreq* et *Governors*) ou à Android (ex. *Wake-Locks*). Le partitionnement en *power domain*, le *clock gating* ou une gestion dynamique de la tension et de la fréquence (DVFS) sont quelques techniques d'optimisation implémentées au niveau matériel. La gestion de la consommation effectuée par les couches logicielles s'appuie sur ces techniques ou sur des informations fournies par le matériel. En fonction par exemple de l'état de charge de la batterie ou du taux de charge des cœurs actifs, le noyau Linux peut prendre la décision de réduire ou d'augmenter le nombre de cœurs mis en œuvre ainsi que leur fréquence. Il est donc indispensable de proposer au niveau matériel des interfaces permettant de contrôler avec finesse l'ensemble des paramètres permettant une gestion dynamique de la consommation.

De plus, l'analyse que nous avons menée sur les power manager actuellement proposés par les industriels (ex. PRCM de la plateforme OMAP) montrent que la gestion de l'énergie reste centralisée. Or, les systèmes actuels atteignent une telle complexité qu'une poursuite dans cette voie paraît vouée à l'échec. Il nous semble donc important de proposer à l'avenir une méthodologie permettant une gestion plus distribuée, voire hiérarchique de la gestion de la consommation. Cette vue plus distribuée du power management devrait permettre d'en limiter sa complexité mais également d'en faciliter l'application aux technologies émergentes de type SiP (System in Package) ou silicium 3D. D'autre part, les politiques de gestion de la consommation actuellement mises en place se basent généralement sur un ensemble de scénarios (les concepteurs de Texas Instruments utilisaient un « *one-day scenario* » pour valider leur gestion de la consommation). Or, le nombre et la variabilité des applications s'exécutant sur ces systèmes (typiquement un smartphone) ne cessent de croître et militent en faveur d'une approche plus générique. L'évolution est déjà en cours puisque de plus en plus souvent un microcontrôleur « léger » prend en charge la gestion de la consommation d'énergie, remplaçant des machines d'états complexes. Il sera néanmoins nécessaire d'imaginer des power managers plus intelligents, plus réactifs et capables de s'adapter au nombre croissant d'applications et à leur diversité.

Les études que nous avons menées jusqu'à présent concernent uniquement les parties numériques d'un système sur puce. Or la gestion de la consommation d'énergie d'un objet communicant implique d'autres blocs matériels, comme par exemple le circuit RF ou différents convertisseurs. Il paraît donc indispensable de réfléchir aux moyens de prendre en compte ces différents blocs, en particulier vis-à-vis de leur impact sur la consommation d'énergie. Cette approche, plus globale, a déjà été entreprise pour la modélisation de nœuds d'un réseau de capteurs pour lesquels nous proposons à présent quelques perspectives de recherches.

11.2.2. La conception d'objets communicants autonomes

La conception d'objets communicants autonomes en énergie et respectant une certaine QoS, typiquement dans le cadre des réseaux de capteurs sans fil, requiert une optimisation à tous les niveaux de la chaîne de traitement et de transmission, impliquant aussi bien les composants matériels que les couches logicielles. La réalisation d'un objet autonome dépend de l'énergie qu'il est possible de récupérer d'une part, et de l'énergie consommée par le nœud d'autre part. Les perspectives de recherche que j'envisage de mener visent à appréhender ces deux aspects en parallèle. Dans certains cas en effet, il sera indispensable d'optimiser à la fois l'énergie récupérée et l'énergie consommée afin de trouver un point de fonctionnement permettant une autonomie du nœud garantissant une certaine QoS. Bien entendu, la conception d'antennes ou de circuits RF, les techniques de récupération et de stockage de l'énergie ou encore les circuits de conversion (ADC, DAC, DC-DC, AC-DC...) dépassent largement mon domaine de compétence. Il sera donc indispensable de mettre en place des collaborations avec des équipes ayant une expertise dans ces domaines afin de concevoir des objets communicants basés sur ces technologies innovantes.

Au niveau matériel : de l'antenne au système de stockage de l'énergie

D'un point de vue matériel, de nombreuses perspectives de recherches sont envisageables afin d'optimiser les performances tout en réduisant au maximum la consommation. Ces optimisations peuvent concerner tout d'abord l'utilisation d'antennes directives. En effet la grande majorité des antennes utilisées actuellement sont omnidirectionnelles, ce qui pour certaines applications ne représentent pas une solution optimisée en consommation et en performance. Dans le cas d'antennes directives le rayonnement est dirigé dans une direction (celle du nœud destination), ce qui permet de réduire significativement la puissance d'émission et donc la consommation, mais également de diminuer les interférences pour les nœuds n'étant pas dans l'axe de rayonnement. On peut envisager pour cela d'utiliser des systèmes multi-antennes (MIMO) capable d'orienter et de contrôler le faisceau d'une onde radio. Le MIMO, déjà exploité dans les normes de téléphonie mobiles ou le Wimax par exemple, permet d'autre part d'améliorer la portée et les débits. Dans le cadre de petits objets communicants, ces techniques font face à des problématiques d'intégration (de plusieurs antennes) et de miniaturisation. L'utilisation de plusieurs antennes implique de plus des changements au niveau de la chaîne de réception (décodage canal) afin de tirer profit de la diversité spatiale. Des travaux sur des antennes directives et MIMO sont menés depuis quelques années déjà par mes collègues du LEAT qui ont acquis une expertise reconnue dans ce domaine. Il est donc possible d'envisager des collaborations fructueuses sur ce sujet à l'avenir.

Le circuit RF

Le circuit radio est également un élément clé afin d'optimiser la consommation d'énergie et les performances de l'objet communicant. En effet, les bilans énergétiques que nous avons pu effectuer sur différentes plateformes (PowWow, TI EZ430, iMote2) et pour différentes applications, font apparaître que la consommation liée aux transmissions radio représente une grande partie de la consommation globale. Dans le cadre du projet GRECO, des travaux impliquant le LEAT et l'IM2NP ont concerné par exemple la conception d'un circuit RF utilisant une technique de modulation radio basée sur la transmission d'impulsions de très courte durée (UWB) [Bourdel 2012]. En théorie, l'ultra large bande (ULB en français) permet une portée plus importante et surtout une réduction importante de la consommation d'énergie. En effet, il est possible de mettre le circuit dans un mode basse consommation entre chaque impulsion. Cette technique est très récente et il n'existe pas à notre connaissance aujourd'hui de circuits RF basés sur l'UWB pour des réseaux de capteurs par exemple. Certes, des modèles ont été développés en simulation, mais il sera nécessaire de valider par des études, des simulations et des tests sur le terrain cette technique afin de mesurer les gains potentiels et d'en tirer le maximum de bénéfices.

Les wake-up radio (WUR) [Marinkovic 2011] sont également promises à un avenir intéressant pour réduire encore davantage la consommation d'énergie d'objets communicants. Une WUR est une radio permettant de réveiller le circuit RF principal uniquement lorsque cela est nécessaire. Comme la consommation d'une WUR ne dépasse pas quelques nano watts en fonctionnement, elle peut

rester allumée en permanence et ainsi détecter la présence d'une requête de communication provenant d'un autre nœud. Dans le cas de protocoles MAC à échantillonnage de préambule tels que RICER ou TICER par exemple, une grande partie de l'énergie consommée par la RF provient de l'*idle listening*, phase durant laquelle le nœud se met en écoute dans l'attente d'une trame de synchronisation. Or, l'utilisation d'une WUR permet d'éviter cette phase d'écoute sur le circuit RF principal. Une collaboration très récente sur ce sujet a débuté avec l'Université de Cork et mes collègues de l'IRISA à Lannion. Les premiers résultats de simulation que nous venons d'obtenir montrent que l'énergie nécessaire pour transmettre avec succès un paquet peut être réduite d'environ 50% en utilisant une WUR. Bien que nos confrères de Cork aient déjà réalisés des prototypes de WUR, nous n'avons pas pu évaluer expérimentalement ces WUR en la connectant au circuit RF principal. Il s'agira donc à l'avenir de valider ces gains par des tests de terrain. Les premières simulations font apparaître d'autre part de nombreuses collisions à la fois pour les données et les trames balises. Le protocole de la WUR développé à Cork ne permet pas actuellement d'éviter ces collisions. Le développement d'un nouveau protocole utilisant la wake-up radio pour éviter les collisions semble néanmoins possible et fera l'objet d'investigations futures.

Le canal de communication

La qualité du canal de communication peut également avoir une influence forte sur les performances et la consommation de l'objet. Durant sa thèse, Andréa Castagnetti avait mis en évidence trois régions ayant des taux de paquets reçus (PRR) très différents. En fonction de la puissance d'émission, de la sensibilité du récepteur et de la distance entre les nœuds, on retrouve systématiquement une région connectée (PRR=100%), une région déconnectée (PRR=0%) et une région intermédiaire où le PRR est extrêmement variable (considéré entre 10 et 90%). Compte tenu de sa grande variabilité, cette zone intermédiaire représentant pourtant une zone de couverture non négligeable n'est généralement pas exploitée. Or, dans cette région intermédiaire la qualité du canal est parfois excellente et son exploitation à des moments précis permettrait d'augmenter le débit par exemple. Des études menées récemment semblent montrer que dans cette zone, la relation entre la durée durant laquelle des paquets sont perdus consécutivement et la fréquence de ces événements suit un modèle de distribution en loi de puissance ou « *power law* » [Newman 2005]. Les *power law* existent en physique, biologie, science de la terre, économie et finance, informatique et bien d'autres domaines encore. Par exemple, les magnitudes des tremblements de terre, le nombre d'accès à des serveurs web, la fréquence des noms de famille, le diamètre des cratères sur la lune ou encore le nombre de citations reçues par un article scientifique suivent une *power law*. La découverte de ce type de distribution n'est pas nouvelle puisque la première observation suivant une *power law* date de 1913... Des études récentes ont été menées afin d'exploiter le canal de communication dans la région intermédiaire [Alizai 2012]. Par contre, ces études sont basées sur des modèles empiriques et à notre connaissance aucune étude n'a proposée un modèle avec des fondements théoriques solides capable de rendre compte des comportements observés expérimentalement. Nous pensons avoir identifié dans la classe des distributions de probabilité en loi de puissance un modèle qui permet de faire le lien entre théorie et résultats expérimentaux. Si cela se confirme, des perspectives multiples et très intéressantes peuvent être envisagées. On pourrait définir des modèles de canal de communication mieux adaptés aux objets communicants sans fil faible consommation. En effet, la loi de probabilité en puissance que l'on observe expérimentalement ne peut pas être reproduite avec les modèles classiques de canal (évanouissements à large ou petite échelle) et de nouveaux modèles sont nécessaires pour prendre en compte la variation dans le temps du canal de communication sans fil. Ceci nous permettrait de mieux comprendre le comportement observé dans la région intermédiaire et d'extraire des modèles pertinents en vue d'une exploitation par les protocoles de communication. Pour cela nous pourrions nous inspirer de techniques basées sur une *power law* et utilisées par exemple pour estimer le trafic dans les réseaux informatiques [Leland 1994]. Ces progrès pourraient permettre d'augmenter sensiblement le débit mais également la portée des objets communicants.

La récupération et le stockage de l'énergie ambiante

De nombreux types de systèmes de récupération de l'énergie sont utilisés pour les réseaux de capteurs : photovoltaïque, thermique, mécanique, éolien, etc. Les cellules photovoltaïques sont très

souvent le système de récupération privilégié par les concepteurs car la quantité d'énergie récupérée est importante. Néanmoins, dans certains cas (ex. la nuit) ou pour certaines applications, l'utilisation de cellules photovoltaïques provoque une baisse de la QoS pouvant entraîner une décharge complète de la batterie si la consommation du nœud n'est pas gérée efficacement. Nous proposons donc d'étudier la gestion conjointe de plusieurs types de systèmes de récupération de l'énergie. Dans ce cas, il sera entre autres nécessaire d'imaginer de nouveaux algorithmes de power management tirant un maximum de profit des multiples récupérateurs. D'autre part, l'utilisation de *rectenna* [Hoang 2011] [Popovic 2013] comme système de récupération d'énergie me semble une technique extrêmement prometteuse. Une *rectenna* est une antenne suivie d'un circuit de redressement, typiquement un diode, permettant ainsi de convertir les ondes radio en une tension continue. De nos jours, les *rectennas* sont déjà très utilisées, en particulier pour les tags RFID et les cartes sans contacts. Les niveaux d'énergie en jeu sont cependant très faibles et une communication ne peut s'établir que si l'émetteur et le récepteur sont situés à quelques centimètres l'un de l'autre. Les *rectennas* suscitent un intérêt croissant de la part de la communauté scientifique et nul doute que malgré les limites physiques établies par l'équation de *Friis*, des progrès vont s'accomplir dans les années à venir, par exemple au niveau des rendements ou de la miniaturisation permettant la mise en réseau de plusieurs *rectennas*. Par ailleurs, l'utilisation d'antennes directives permettra également d'augmenter le niveau de puissance récupérée au niveau de l'antenne. Si l'on souhaite alimenter un nœud de réseau de capteurs avec une *rectenna*, il sera néanmoins indispensable de réduire dans le même temps le niveau d'énergie actuellement consommé par un nœud. Des travaux sur les *rectennas* sont actuellement menés par mes collègues du LEAT, ce qui permet d'envisager des collaborations également fructueuses sur ce sujet à l'avenir.

Le système de récupération ne peut être dissocié du système de stockage de l'énergie. Les solutions actuelles sont le plus souvent basées sur des batteries ou des super capacités. Or, pour assurer le fonctionnement de dispositifs électroniques autonomes, de nouvelles technologies de stockage d'énergie peuvent être envisagées. Des micro batteries multicouches proposées par une jeune start-up lyonnaise (I-TEN) par exemple permettant de réduire l'encombrement et l'autodécharge des super capacités méritent d'être étudiées.

Au niveau logiciel et protocolaire

Sur la base des perspectives et évolutions matérielles citées précédemment, il est nécessaire d'imaginer de nouvelles approches et outils de conception. Le développement de techniques transverses permettant une gestion conjointe des différentes couches protocolaires (i.e. *cross-layer*) paraît de plus en plus indispensable. Les couches physiques et d'accès au médium (MAC) ayant un impact important sur l'énergie globale consommée constituent des champs d'investigation possibles pour proposer des solutions communicantes et des protocoles plus efficaces et plus sûres en fonction de contraintes souvent dépendantes des applications et de l'environnement. Récemment, Chiraz Chaabane a mené des études sur l'adaptation du débit en fonction de la qualité du canal de communication (*Rate Adaptation*), en faisant varier le nombre de bits par symbole envoyé. Ce principe, déjà utilisé dans la téléphonie mobile par exemple (EGPRS) n'a pas été beaucoup investigué pour les réseaux de capteurs. Les premières études montrent une amélioration sensible du débit et une réduction du nombre de collisions, mais devront être poursuivies car les perspectives semblent réellement prometteuses. Au niveau applicatif, le power manager dont l'objectif principal est l'autonomie du nœud, devra également jouer un rôle dans la négociation de la qualité de service que pourra fournir l'objet. D'autre part, les travaux que nous avons menés ces dernières années considèrent généralement une communication point à point entre un émetteur et un récepteur (topologie en étoile), ce qui simplifie en particulier le routage des paquets. Or, de nombreuses applications de monitoring par exemple se basent sur une topologie maillée ou en arbre de *cluster*. Dans ce cas il sera nécessaire d'adresser la problématique d'une transmission multi-saut (multi-hop) en définissant éventuellement de nouveaux algorithmes de routage. L'utilisation d'antennes directives aura également un impact sur les couches protocolaires. En effet, les nœuds munis de ces antennes ne pourront communiquer qu'avec ceux placés dans l'axe de rayonnement. Quel sera l'impact sur le routage des paquets dans ce contexte ? La conception d'objets communicants autonomes requiert aussi le développement d'outils permettant un dimensionnement du système de

récupération et de stockage de l'énergie. Cette problématique a été partiellement investiguée durant les thèses d'Andréa Castagnetti et de Trong-Nhan Le, mais mérite une étude plus approfondie. Enfin, il sera indispensable d'imaginer des moyens de communication adaptés à la mise en réseau globale des objets connectés (internet des objets).

Une approche de conception et modélisation globale

L'optimisation de l'énergie implique de considérer l'objet communicant complet, en tenant compte également des fluctuations liées à son environnement. Pour cela, il est indispensable de développer des approches de modélisation globales et hétérogènes afin d'appréhender les comportements énergétiques de l'ensemble de la chaîne de transmission. Une approche globale permet également de mettre en évidence les interactions complexes et souvent cachées mises en jeu. Nous nous sommes intéressés à cette problématique dans le cadre du projet ANR GRECO avec l'environnement de simulation développé par Andrea Castagnetti. Cette solution présente cependant de nombreuses limitations, en particulier l'absence de simulation des couches protocolaires. Récemment, nous avons développé avec l'aide de deux ingénieurs une approche permettant la simulation d'une plateforme audio complète modélisée en SystemC/TLM au sein du simulateur de réseau OMNET++. Dans ce cas, nous sommes en mesure de simuler les différents composants du nœud (mémoires, bus, timers, etc.) mais également les communications réseaux et l'environnement. Des modèles de récupérateurs et un premier power manager permettant d'ajuster dynamiquement la période de réveil du nœud ont déjà été développés. Nous proposons d'étendre cette étude sur deux axes principaux. Tout d'abord il nous semble pertinent d'inclure un simulateur de niveau instruction (ISS) du microcontrôleur. Une collaboration est en cours avec le CEA-LIST pour inclure un ISS du processeur AntX très basse consommation [Bechara 2011]. D'autre part, il nous semble intéressant d'appliquer l'approche développée lors de la thèse de Ons Mbarek pour le cas des réseaux de capteurs et consistant à partitionner une plateforme matérielle en différents *power domain*.

Dans tous les cas, nous allons poursuivre nos efforts de conception sur la base de modèles de haut niveau. Que ce soit dans le cas de conception de SoC ou de petits objets communicants, c'est par une approche de niveau système que les meilleures opportunités d'optimisation de la consommation d'énergie pourront être obtenues. De plus, des modèles de haut niveau sont indispensables pour simuler le comportement des réseaux de capteurs sur de longues périodes pouvant aller jusqu'à plusieurs années. Nous devons également poursuivre nos efforts de validation sur le terrain, en procédant au déploiement de réseaux de capteurs. Les expérimentations que nous avons effectuées avec les cartes PowWow nous ont permis de vérifier les modèles et les algorithmes de power management que nous avons au préalable simulés. Ces tests de terrain n'ont cependant concerné qu'un nombre limité de nœud (3 au maximum) et il sera nécessaire à l'avenir d'effectuer un passage à l'échelle en considérant plusieurs dizaines de nœuds. Dans ce cadre, les outils de simulation ou l'utilisation de générateurs de signaux comme ceux proposés par Rohde et Schwartz pour le 802.15.4/ZigBee pourront permettre de reproduire et corriger d'éventuels problèmes rencontrés lors des tests de terrain.

Ces perspectives de recherche mettent en évidence la complexité des futurs objets communicants et en particulier leur hétérogénéité, ce qui implique des niveaux d'expertises élevés et variés. Il est donc nécessaire de développer des collaborations entre équipes pluridisciplinaires afin de répondre à cette complexité et aux besoins commerciaux et sociétaux. Ce projet de recherche s'inscrit au sein des trois thématiques du laboratoire LEAT, mais plus largement dans le laboratoire d'excellence Labex UCN@Sophia, le centre de recherche mutualisé sur les antennes (CREMANT), le pôle de compétitivité SCS et la plateforme conception CIMPACA. Il me paraît indispensable également d'ouvrir nos compétences par le biais de nouvelles collaborations nationales et internationales (par le biais de contrats et projets de type ANR ou FUI), que ce soit avec des partenaires industriels ou académiques.

12 - Acronymes et abréviations

AADL	A rchitecture A nalysis and D esign L anguage
ASIC	A pplication S pecific I ntegrated C ircuit
ATPC	A daptive T ransmission P ower C ontrol
CCI	C hip C orrelation I ndicator
CDMA	C ode D ivision M ultiple A ccess
CL-PM	C losed- L oop P ower M anager
DAC	D igital to A nalog C onverter
CREMANT	C entre de R Echerche M utualisé sur les A N T ennes
CPF	C ommon P ower F ormat
CPU	C ontrol P rocessing U nit
CSMA/CA	C arrier S ense M ultiple A ccess with C ollision A voidance
DMIPS	D hrystone M IPS
DSP	D igital S ignal P rocessor
DVFS	D ynamic V oltage F requency S caling
EFSM	E xtended F inite S tate M achine
ENO	E nergy N eutral O peration
ESL	E lectronic S ystem- L evel
EGPRS	E nhanced G PRS
EWMA	E xponentially W eighted M oving A verage
GSM	G lobal S ystem for M obile communications
GPRS	G eneral P acket R adio S ervice
HSDPA	H igh S peed D ownlink P acket A ccess
HSUPA	H igh S peed U plink P acket A ccess
IP	I ntellectual P roperty
ISM	I ndustrial, S cientific and M edical radio bands
LPDISE	L ow P ower D esign I ntent S pace E xploration
LQI	L ink Q uality I ndicator
LTE	L ong T erm E volution
MIMO	M ultiple- I nter M ultiple- O utput
MIPS	M illions of I nstruction P er S econd
OL-PM	O pened- L oop P ower M anager
OMAP	O pen M ultimedia A pplications P rocessor
PAL	P ower- A ware L ayer
PDMgIF	P ower D omain M anagement I nter F ace
PM	P ower M anager

PST	Power State Table
PTPC	Predictive Transmission Power Control
PwARCH	Power ARCHitecture
RICER	Receiver Initiated Cycled Receiver
RSSI	Received Strength Signal Indicator
RTL	Register Transfer Level
TICER	Transmitter Initiated Cycled Receiver
SoC	System On Chip
SOC	State Of Charge
UML	Unified Modeling Language
UPC	Update Power Control
UPF	Unified Power Format
USLPACom	Unified System-Level Power-Aware Communication
USLPAF	Unified System-Level Power-Aware Framework
USLPAL	Unified System-Level Power-Aware Library
USLPAM	Unified System-Level Power-Aware Methodology
WPAN	Wireless Personal Area Network
WSN	Wireless Sensor Networks
WUB	Wake-Up Beacon
ZEI	Zero Energy Interval

13 - Références bibliographiques

- [Abbagnale 2009] A. Abbagnale, E. Cipollone, and F. Cuomo, *A Case Study for Evaluating IEEE 802.15.4 Wireless Sensor Network Formation with Mobile Sinks*, ICC'09, pp.1-5, 14-18 June 2009.
- [Alam 2011] M.M. Alam, O. Berder, D. Menard, T. Anger, and O. Sentieys, *A hybrid model for accurate energy analysis of wsn nodes*, EURASIP Journal on Embedded Systems, vol. 2011, p. 16, 2011.
- [Alam 2012] M. M. Alam, O. Berder, D. Menard and O. Sentieys, *TAD-MAC: Traffic-Aware Dynamic MAC Protocol for Wireless Body Area Sensor Networks*, IEEE Journal of Emerging And Selected Topics in Circuits and Systems, vol. 2 issue 1, pp. 109-119, March 2012.
- [Ali 2010] Ali Mustafa et al., *Evaluation and design exploration of solar harvested-energy prediction algorithm*, Design Automation and Test in Europe (DATE), Dresden, Germany, pp. 142-147, 8-12 March 2010.
- [Alizai 2012] Alizai et al. *Exploiting the Burstiness of Intermediate-Quality Wireless Links*, Journal of Distributed Sensor Networks (Hindawi), 2012.
- [AM-5610 2007] Solar Cells AM-5610CAR – Sanyo [en ligne]
http://us.sanyo.com/Dynamic/customPages/docs/solarPower_Amorphous_PV_Product_Brochure_EP120B.pdf
- [Andersen 1995] J. B. Andersen, T. S. Rappaport, and S. Yoshida. *Propagation measurements and models for wireless communications channels*. Communications Magazine, IEEE, 33(1), pp. 42–49, 1995.
- [Atitallah 2007] Ben Atitallah, R., Niar, S., Dekeyser, J.L., *MPSOC Power Estimation Framework at Transaction Level Modeling*. In 19th International Conference on Microelectronics (ICM), Egypt, pp. 245–248, 2007.
- [Atitallah 2013] R. B. Atitallah, E. Senn, D. Chillet, M. Lanoe and D. Blouin. *An efficient Framework for Power-Aware Design of Heterogeneous MPSoC*. IEEE Transactions on Industrial Informatics, Vol. 9, Issue 1, pp. 487-501, Feb. 2013.
- [Auguin 2001] M. Auguin, L. Capella, F. Cuesta, E. Gresset, *CODEF: a system level design space exploration tool*, In Proceedings of the Acoustics, Speech, and Signal Processing, 2001.
- [Balarin 2003] F. Balarin, Y. Watanabe, H. Hsieh, L. Lavagno, C. Paserone, and A. Sangiovanni-Vincentelli. *Metropolis : an integrated electronic system design environment*. IEEE Computer, 36(4) :45–52, Apr. 2003.
- [Bechara 2011] C. Bechara, A. Berhault, N. Ventroux and S. Chevobbe, *A small footprint interleaved multithreaded processor for embedded systems*, 18th IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp. 685-690, Beirut, Lebanon, 2011.

- [Bellard 2005] Bellard Fabrice, *QEMU, a Fast and Portable Dynamic Translator*, FREENIX Track : USENIX Annual Technical Conference, 2005.
- [Bergonzini 2009] C. Bergonzini, D. Brunelli, and L. Benini, *Algorithms for harvested energy prediction in batteryless wireless sensor networks*, in International Workshop on Advances in sensors and Interfaces (IWASI), pp. 144–149, 2009.
- [Bluetooth 2011] Bluetooth Special Interest Group – *2011 Annual Report* [en ligne] https://www.bluetooth.org/library/userfiles/file/2011AR/2011_AnnualReport_FINAL4.pdf
- [Bourdel 2012] S. Bourdel, *Low Power UWB Transmitter and TAG design*. 38th European Solid-State Circuits Conference (ESSIRC) - Invited Tutorial, 2012.
- [Boutekkouk 2009] F. Boutekkouk, M. Benmohammed, S. Bilavarn and M. Auguin, *UML for Modelling and Performance Estimation of Embedded Systems*. Journal of Object Technology, vol.8, no.2, p.95 118, March-April, 2009.
- [Braem 2010] B. Braem, and C. Blondia, *Supporting mobility in Wireless Body Area Networks: An analysis*, *Body Sensor Networks (BSN)*, pp 52–55, 7-9 June 2010.
- [Burger 1997] D. Burger and T. M. Austin. *The SimpleScalar tool set, version 2.0*. Technical Report 1342, Computer Sciences Department, University of Wisconsin-Madison, June 1997.
- [Cain 2002] Harold W. Cain, Kevin M. Lepak, Brandon A. Schwartz, and Mikko H. Lipasti, *Precise and accurate processor simulation*. In Proceedings of the Fifth Workshop on Computer Architecture Evaluation using Commercial Workloads (CAECW), Cambridge, Massachusetts, Feb 2, 2002.
- [Callou 2008] Gustavo Callou et al. *A Formal Approach for Estimating Embedded System Execution Time and Energy Consumption*, pp. 379-388, PATMOS, Lisbon, Portugal, 2008.
- [Cardtools] CARDtools Systems, [en ligne] <http://www.cardtools.com>
- [Carli 2010] D. Carli, D. Brunelli, D. Bertozzi et L. Benini, *A high-efficiency wind-flow energy harvester using micro turbine*, in Power Electronics Electrical Drives Automation and Motion (SPEEDAM), International Symposium, pp. 778–783, Jun 14-16, 2010.
- [CC2420 2013] 2.4 GHz IEEE 802.15.4 / ZigBee - ready RF Transceiver datasheet [en ligne] <http://www.ti.com/lit/ds/symlink/cc2420.pdf>
- [CC2500 2011] CC2500 – Low Cost Low Power 2.4GHz RF transceiver datasheet, 2011. [en ligne]. <http://www.ti.com/lit/ds/symlink/cc2500.pdf>
- [Chen 2010a] C.-Y. Chen and P. H. Chou, *Duracap: a supercapacitor-based, power-bootstrapping, maximum power point tracking energy-harvesting system*,

- in Proceedings of International Symposium on Low Power Electronics and Design (ISLPED), pp. 313–318, 2010.
- [Chen 2010b] L. Chen, T. Sun, and N. Liang, *An Evaluation Study of Mobility Support in ZigBee Networks*, Journal of Signal Processing Systems, vol. 59, no. 1, pp. 111–122, April 2010.
- [Chillet 2010] Daniel Chillet, Eric Senn, Olivier Zendra, Smail Niar, Cécile Belleudy, Victor Tissier, Christian Samoyeau, *Open-PEOPLE ANR Project, Open Power and Energy Optimization Platform and Estimator*, HIPEAC Newsletter No 24, October 2010.
- [Cho 2007] S. Cho and Y. Kim, *Linux BYTEmark Benchmarks : A Performance Comparison of Embedded Mobile Processors*, The 9th IEEE International Conference on Advanced Communication Technology, Feb. 2007.
- [Colbert 2005] Ed Colbert, Steve Vestal, Peter H. Feiler, Bruce Lewis, *An Overview of the SAE Architecture Analysis & Design Language (AADL) Standard: A Basis for Model-Based Architecture-Driven Embedded Systems Engineering*, In volume 176/2005 of IFIP International Federation for Information Processing (Springer Boston), pp. 3–15, 2005
- [Cox 1984] Donald C. Cox, Roy R. Murray, and A. W. Norris. *800-MHz attenuation measured in and around suburban houses*. 63(6 part 1), pp. 921–954, 1984.
- [CP60333 2012] CP60333 Peltier Module, CUI Inc. [en ligne]
<http://www.cui.com/product/resource/cp60.pdf>
- [Cymbet 2011] Cymbet Corporation. Rechargeable Solid State Energy Storage EnerChip CBC050, 2011 [en ligne]
<http://www.cymbet.com/pdfs/DS-72-01.pdf>
- [Dai 2012] G. Dai et al., *Remaining energy-level-based transmission power control for energy-harvesting WSNs*, International Journal of Distributed Sensor Networks, vol. 2012, 2012.
- [Delp 2009] G. Delp (LSI), J. Biggs (ARM) and S. Jadcherla(Synopsys), *Design and Verification of Low Power SoCs*. IsQED Symposium 2009 [en ligne]
<http://www.synopsys.com/Community/UniversityProgram/CapsuleModule/LowPowerSoCs.ppt>
- [Dhanwada 2005] Nagu Dhanwada, Reinaldo A. Bergamaschi, William W. Dungan, Indira Nair, Paul Gramann, William E. Dougherty, and Ing-Chao Lin , *Transaction-level modeling for architectural and power analysis of PowerPC and CoreConnect-based systems*. Design Automation for Embedded Systems, Vol. 10, No. 2-3, pp. 105-125, September 2005.
- [Ebert 2009] C. Ebert, C. Jones, *Embedded Software: Facts, Figures and Future*. IEEE Computer, Volume 42 , Issue 4, pp.42-52, April 2009 ;
- [Erbaş 2007] C. Erbaş, A.D. Pimentel, M. Thompson, and S. Polstra - *A Framework for System-Level Modeling and Simulation of Embedded Systems*

- Architectures*, EURASIP Journal on Embedded Systems, Volume 2007 Issue 1, January 2007.
- [eZ430-SEH] Texas Instruments Solar Energy Harvesting platform [en ligne] <http://www.ti.com/tool/ez430-rf2500-seh>
- [Feki 2013] Mohamed Ali Feki et al., *The Internet of Things : The Next Technological Revolution*, IEEE Computer Society, pp. 24-25, February 2013.
- [Ferry 2011] N. Ferry et al., *Power/Energy Estimator for Designing WSN Nodes with Ambient Energy Harvesting Feature*, EURASIP Journal on Embedded Systems, Volume 2011, January 2011.
- [Fradj 2006] Hanene Ben Fradj, *Optimisation de l'Energie dans une Architecture Mémoire Multi-Bancs pour des Applications Multi-Tâches Temps Réel*, Rapport de thèse, 2006.
- [Ghenassia 2005] *Transaction-Level Modeling with SystemC. TLM Concepts and Applications for Embedded Systems*. Frank Ghenassia Editions, Springer, 2005.
- [Gogniat 2000] G. Gogniat, M. Auguin, L. Bianco, A. Pegatoquet – *A Codesign Back End Approach for Embedded System Design*, ACM Transaction on Design Automation for Embedded Systems, vol. 5, No 3, pp. 492-509, July 2000.
- [Guitton 2004] Patricia Guitton-Ouhamou, *Estimation et optimisation de la consommation lors de la conception globale des systèmes autonomes*, Rapport de thèse, 2004.
- [Gupta 1993] R. K. Gupta, G. D. Micheli, *Hardware-Software Cosynthesis for Digital Systems*, IEEE Design & Test of Computers, pp. 29 – 41, Sept. 1993.
- [Hoang 2011] T.Q.V. Hoang, A. Douyere, J-L. Dubard, J-D. Lan Sun Luk, *TLM Design of a compact PIFA rectenna*, International Conference on Electromagnetics in Advanced Applications (ICEAA), pp. 508-511, 12-16 Sept. 2011.
- [Hsu 2006] J. Hsu, S. Zahedi, A. Kansal, M. Srivastava, and V. Raghunathan, *Adaptive duty cycling for energy harvesting systems*, in Proceedings of the International Symposium on Low Power Electronics and Design (ISLPED), pp. 180–185, 2006.
- [Hurni 2010] P. Hurni, T. Braun, and M. Anwander. *Evaluation of wisemac and extensions on wireless sensor nodes*. Journal of Telecom Systems, 437(1-2):49–58, 2010.
- [HZ202F 2013] CAP-XX Supercapacitor HZ202F, 2013 [en ligne] [http://www.tecategroup.com/capacitors/datasheets/cap-xx/CAP-XX Data Sheets.pdf](http://www.tecategroup.com/capacitors/datasheets/cap-xx/CAP-XX_Data_Sheets.pdf)
- [IEEE 802.15.4] IEEE 802.15 WPAN Task Group 4 (TG4), 2006 [en ligne] <http://www.ieee802.org/15/pub/TG4.html>

- [Jiang 2005] X. Jiang, J. Polastre, and D. Culler, *Perpetual environmentally powered sensor networks*, in International Symposium on Information Processing in Sensor Networks (IPSN), pp. 463–468, 2005.
- [Kansal 2006] Aman Kansal, Jason Hsu, Mani B Srivastava, Vijay Raghunathan, *Harvesting Aware Power Management for Sensor Networks*, 43rd Design Automation Conference (DAC) , Sna Francisco, USA, July 2006.
- [Khan 1974] G. Kahn. *The semantics of a simple language for parallel programming*. In Proceedings of the IFIP Congress, pages 471–475. North-Holland Publishing Co., 1974.
- [Keating 2007] M. Keating, D. Flynn, R. Aitken, A. Gibbons, K. Shi, *Low Power Methodology Manual for Systems-on-Chip Design*, Springer, 2007.
- [Kienhuis 1997] B. Kienhuis, E. Deprettere, K. Vissers, and P. van der Wolf, *An approach for quantitative analysis of application-specific dataflow architectures*. In Application-Specific Systems, Architectures, and Processors (ASAP), July 1997.
- [Konstantakos 2008] Vasilios Konstantakos, Alexander Chatzigeorgiou, Spiridon Nikolaidis and Theodore Laopoulos. *Energy Consumption Estimation in Embedded Systems*. IEEE Transactions on instrumentations and measurement, Vol. 57, N°4, April 2008.
- [Lebreton 2008] H. Lebreton and P. Vivet. *Power Modeling in SystemC at Transaction Level, Application to a DVFS architecture*. In Proceedings of the 2008 IEEE Computer Society Annual Symposium on VLSI, Washington-DC, USA, pp. 463–466, April 2008.
- [Lee 2006] I. Lee, H. Kim, P. Yang, S. Yoo, E.-Y. Chung, K.-M. Choi, J.-T. Kong, S.-K. Eo, *PowerViP: Soc Power Estimation Framework at Transaction Level*. In 11th Asia and South Pacific Design Automation Conference (ASP-DAC), Japan, pp. 551–558, 2006.
- [Leland 1994] W.E. Leland, M.S. Taqqu, W. Willinger, D.V. Wilson, *On the self-similar nature of Ethernet traffic*, IEEE/ACM Transactions on Networking Volume 2, Issue 1, pages 1-15, 1994.
- [Leonov 2007] V. Leonov, T. Torfs, P. Fiorini, and C. Van Hoof, *Thermoelectric converters of human warmth for self-powered wireless sensor nodes*, Sensors Journal, IEEE, vol. 7, no. 5, pp. 650 –657, 2007.
- [Lin 2004] E.-Y. Lin, J. Rabaey, and A. Wolisz, *Power-efficient rendez-vous schemes for dense wireless sensor networks*, in IEEE International Conference on Communications, vol. 7, pp. 3769 – 3776, 2004.
- [Lin 2006] S. Lin et al., *ATPC: adaptive transmission power control for wireless sensor networks*, in Proceedings of the 4th international conference on Embedded networked sensor systems. ACM, pp. 223–236, 2006.
- [LTC3108] Ultralow Voltage Step-Up Converter and Power Manager, Linear Technology [en ligne]
<http://www.linear.com/product/LTC3108>

- [Lu 2010] X. Lu and S.-H. Yang, *Thermal energy harvesting for WSNs*, in IEEE International Conference on Systems, Man and Cybernetics (SMC), pp. 3045–3052, 2010.
- [Marinkovic 2011] Stevan Jovica Marinkovic, Emanuel M. Popovici, *Nano-Power Wireless Wake-Up Receiver With Serial Peripheral Interface*. IEEE Journal on Selected Areas in Communications 29(8): 1641-1647, 2011.
- [Meadows 2012] Donella Meadows, Dennis Meadows and Jorgen Randers, *The Limits to Growth – The 30-year Update*, Edition Rue de l'échiquier, 2012.
- [Mentor 2010] Yossi Veller and Shabtay Matalon, *Why you should optimize power at the Electronic System Level*, White paper, Mentor Graphics 2010. [en ligne] <http://www.mentor.com/esl/resources/overview/why-you-should-optimize-power-at-the-esl-fbee69ac-548a-4b9a-b670-94d15351eade>
- [Meredith 2010] Michael Meredith and Steve Svoboda, Open SystemC Initiative, *The Next IC Design Methodology Transition Is Long Overdue*, Feb. 2010. [en ligne] <http://www.accellera.org/resources/articles/icdesigntrans>.
- [Meyer 1992] B. Meyer, *Applying “Design by Contract”*. Computer Journal, Vol. 25, Issue 10, pp. 40–51, October. 1992.
- [Mohanti 2002] S. Mohanty and V. K. Prasanna - *Rapid system-level performance evaluation and optimization for application mapping onto SoC architectures*, in Proceedings of the 15th Annual IEEE International ASIC/SOC Conference, pp. 160-167, Rochester, NY, USA, September 2002.
- [Moore 1998] Moore G.E., *Cramming more Components onto Integrated Circuits*, Electronics, 38 (8) (April 19, 1965); reproduced in Proc. IEEE, 86, 82 (1998).
- [Moser 2010] C. Moser, L. Thiele, D. Brunelli, and L. Benini. *Adaptive Power Management for Environmentally Powered Systems*, IEEE Transactions on Computers, Vol. 59, issue 4, pp. 478-491, April 2010.
- [MSP430 2011] Ultralow Power Mixed Signal Microcontroller MSP430F16x - Texas Instruments [en ligne] <http://www.ti.com/product/msp430f1611>
- [MSP430 2012] Ultralow Power Mixed Signal Microcontroller MSP430F2274 – Texas Instruments [en ligne] <http://www.ti.com/product/msp430f2274>
- [Nachman 2008] L. Nachman et al. IMOTE2: Serious Computation at the Edge, International Conference on Wireless Communications and Mobile Computing (IWCMC), pp. 1118 – 1123, 2008.
- [Neel 2005] J. Neel, P. Robert, J. Reed. *A Formal Methodology for Estimating the Feasible Processor Solution Space for a Software Radio*. In Proceeding of the SDR 05 Technical Conference and Product Exposition, 2005.
- [Newman 2005] M. E. J. Newman, Power laws, Pareto distributions and Zipf's law, Contemporary Physics 46, pp. 323-351, 2005.

- [Nia-Chiang 2006] L. Nia-Chiang, C. Ping-Chieh, S. Tony, Y. Guang, C. LingJyh, and G. Mario, *Impact of Node Heterogeneity in ZigBee Mesh Network Routing*, Systems, Man and Cybernetics (ICSMC '06), vol. 1, pp. 187–191, 8-11 October 2006.
- [NREL 2012] National Renewable Energy Laboratory [en ligne].
<http://www.nrel.gov>
- [Ns2 2011] Network Simulator 2 [en ligne]
http://nslam.isi.edu/nslam/index.php/Main_Page
- [Otis 2003] Brian P. Otis and Jan M. Rabaey. *A 300 μ W 1.9GHz CMOS Oscillator Utilizing Micromachined Resonators*. IEEE Journal of Solid-State Circuits, Vol. 38, Issue 7, July 2003.
- [Patil 2008] Arun Patil, Vaishali Patil, Dong Wook Shin, Ji-Won Choi, Dong-Soo Paik, and Seok-Jin Yoon. *Issue and challenges facing rechargeable thin film lithium batteries*. Materials Research Bulletin, 43(8–9), pp. 1913-1942, 2008.
- [Pedram 2002] M. Pedram, *Power Aware Design Methodologies*. Kluwer Academic Publishers, Norwell, MA, USA, 2002.
- [Pegatoquet 1999] Alain Pegatoquet, *Méthode d'estimation de performance logicielle : application au développement rapide de code optimisé pour une classe de processeurs DSP*, Rapport de thèse, Octobre 1999.
- [Pimentel 2001] A. Pimentel, L. Hertzberger, P. Lieverse, P. van der Wolf and E. Deprettere. *Exploring embedded systems architectures with Artemis*. IEEE Computer, 34(11) :57–63, Nov. 2001.
- [Popovic 2013] Z. Popovic et al., *Low-power Far-Field Wireless Powering for Wireless Sensors*, Proceedings of the IEEE Special Issue : Wireless Power Transmission, Technology and Applications, pp. 1397-1407, Volume 101, Number 6, June 2013.
- [PowWow 2012] *PowWow: Power optimized hardware and software framework for wireless motes*. [en ligne].
<http://powwow.gforge.inria.fr/>
- [Proakis 2008] Proakis John G. and Salehi Masoud. *Digital Communications*. McGraw-Hill, 1221 Avenue of the Americas, New York, NY 10020, 5th edition, 2008.
- [Recas 2009] Recas Pioro et al., *Prediction and management in energy harvested wireless sensor nodes*, Proceedings of the 1st International Conference on Wireless Communications, Vehicular Technology, Information Theory and Aerospace & Electronic Systems Technology (VITAE), vol. 1, num. 1, pp. 6-10, Aalborg, Denmark, 17-20 May, 2009.
- [Rosenblum 1997] M. Rosenblum, E. Bugnion, S. Devine, and S. Herrod. *Using the SimOS machine simulator to study complex computer systems*. ACM Transactions on Modeling and Computer Simulation, 7(1) :78–103, Jan. 1997.

- [Roundy 2004] S. Roundy and P. K. Wright. *A piezoelectric vibration based generator for wireless electronics*. *Smart Materials and Structures*, Vol. 13, N° 5, pp. 1131–1142, 2004.
- [Said 2012] Omar Said and Mehedi Masud, *Towards Internet of Things: Survey and Future Vision*, International Journal of Computer Networks (IJCN), Volume (5) : Issue (1) : 2013.
- [Seidel 1992] Y. S. Seidel and T. S. Rappaport. *914 MHz path loss prediction models for indoor wireless communications in multi floored buildings*. *Transactions on Antennas and Propagation, IEEE*, 40(2), pp. 207–217, 1992.
- [Senn 2012] E. Senn, C. Belleudy, D. Chillet, A. Fritsch, R. Ben Atitallah and O.Zendra. *Open-PEOPLE : Open Power and Energy Optimization PPlatform and Estimator*. 15th EUROMICRO Conference on Digital System Design (DSD), Cesme, Turkey, September 2012.
- [Severson 2009] Matt Severson, *Low Power SOC Design and Automation*, Qualcomm CDMA Technologies, July 2009 [en ligne].
<http://cseweb.ucsd.edu/classes/wi10/cse241a/slides/Matt.pdf>
- [Sgroi 2000] M. Sgroi, L. Lavagno, and A. Sangiovanni-Vincentelli. *Formal Models for Embedded System Design*. *IEEE Des. Test*, 17(2) :14–27, 2000.
- [Shamim 2008] Shamim N. Pakzad, Gregory L. Fenves, Sukun Kim, and David E. Culler, *Design and Implementation of Scalable Wireless Sensor Network for Structural Monitoring*. *Journal of Infrastructure Systems*, 14(1), pp. 89-101, March 2008.
- [Sharifi 2013] Shervin Sharifi, Dilip Krishnaswamy, Tajana Simunic Rosing: *PROMETHEUS: A Proactive Method for Thermal Management of Heterogeneous MPSoCs*. *IEEE Trans. on CAD of Integrated Circuits and Systems* 32(7): 1110-1123, 2013.
- [Simjee 2008] F. Simjee and P. Chou, Efficient charging of supercapacitors for extended lifetime of wireless sensor nodes, *IEEE Transactions on Power Electronics*, vol. 23, no. 3, pp. 1526–1536, 2008.
- [Sklar 2001] Bernard Sklar, *Digitals Communications - Fundamental and Applications*. Prentice Hall, 2nd edition, 2001.
- [Srinivasan 2008] K. Srinivasan et al., *The β -factor: measuring wireless link burstiness*, in *Proceedings of the 6th ACM conference on Embedded network sensor systems*. ACM, pp. 29–42, 2008.
- [SystemC 2011] IEEE Standards 1666: Open SystemC Language Reference Manual [en ligne]
<http://www.accellera.org/downloads/standards/systemc>
- [Tang 2007] L. Tang et al., *Channel characterization and link quality assessment of IEEE 802.15. 4-compliant radio for factory environments*, *IEEE Transactions on Industrial Informatics*, vol. 3, no. 2, pp. 99–110, 2007.

- [Tang 2013] L. Tang, *Study of Speed-Dependent Packet Error Rate for Wireless Sensor on Rotating Mechanical Structures*, IEEE Trans. Industrial Informatics, vol. 9, no. 1, pp. 72–80, 2013.
- [Thoen 2005] F. Thoen, *Functional TLM simplifies heterogeneous multiprocessor software development*, Embedded.com, Aug 24, 2005.
- [Trabelsi 2011] Trabelsi, C., Ben Atitallah, R., Meftali, S., Dekeyser, J.-L., and Jemai, A. *A model-driven approach for hybrid power estimation in embedded systems designs*. In EURASIP Journal on Embedded Systems, 2011.
- [Vlajic 2011] N. Vlajic, D. Stevanovic, and G.Spanogiannopoulos, *Strategies for improving performance of IEEE 802.15.4/ZigBee WSNs with path-constrained mobile sink(s)*, Elsevier Computer Communications Journal, pp. 743-757, vol. 34, issue 6, May 2011.
- [Weddell 2011] A. Weddell, G.V. Merrett, T. Kazmierski, and B. Al-Hashimi, *Accurate supercapacitor modeling for energy-harvesting wireless sensor nodes*. IEEE Transactions on Circuits and Systems II, vol. 58, Issue 12, pp. 911-915, December 2011.
- [Zhao 2003] J. Zhao and R. Govindan, *Understanding packet delivery performance in dense wireless sensor networks*, in Proceedings of the 1st international conference on Embedded networked sensor systems. ACM, pp. 1–13, 2003.
- [ZigBee 2013] ZigBee Alliance [en ligne]
<http://www.zigbee.org/>