



HAL
open science

Modélisation comportementale d'un réseau sur puce basé sur des interconnexions RF

Lounis Zerioul

► **To cite this version:**

Lounis Zerioul. Modélisation comportementale d'un réseau sur puce basé sur des interconnexions RF. Electronique. Université de Cergy Pontoise (UCP), 2015. Français. NNT : . tel-01334169

HAL Id: tel-01334169

<https://hal.science/tel-01334169>

Submitted on 20 Jun 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Université de Cergy-Pontoise - Ecole doctorale Sciences et Ingénierie

THÈSE

présentée pour obtenir le titre de DOCTEUR
en Sciences et Techniques de l'Information et de la Communication

MODÉLISATION COMPORTEMENTALE D'UN RÉSEAU SUR PUCE BASÉ SUR DES INTERCONNEXIONS RF

par

Lounis ZERIOUL

ETIS - ENSEA / Université de Cergy-Pontoise / CNRS UMR 8051
6 avenue du Ponceau, 95014 Cergy-Pontoise Cedex, France

Soutenue le 1^{er} septembre 2015 devant le jury composé de :

J. P. DIGUET,	LAB-STICC, Université de Bretagne-Sud	Rapporteur
M. M. LOUËRAT,	LIP6, Université Pierre et Marie CURIE	Rapporteuse
D. DRAGOMIRESCU,	LAAS-CNRS, INSA Toulouse	Examinatrice
Y. WANG,	IETR, Polytech Nantes	Examineur
E. BOURDEL,	ETIS, ENSEA	Co-directrice de thèse
M. ARIAUDO,	ETIS, ENSEA	Co-directrice de thèse

Résumé

Le développement des systèmes multiprocesseurs intégrés sur puce (MPSoC¹) répond au besoin grandissant de calcul intensif dans les différents domaines de traitement de l'information. En dépit des progrès exceptionnels des MPSoC, les réseaux de communication sur puce (NoC²) demeurent un verrou pour l'évolution des performances de ce type d'architecture à cause de leur consommation d'énergie ainsi que du retard lors de l'acheminement de données. C'est dans ce contexte que le réseau sur puce à base d'interconnexions RF et filaires (RFNoC³) a émergé. Ce type de réseau est au cœur des travaux de cette thèse.

Les interconnexions RF étant largement utilisées à l'échelle macroscopique, leur adaptation à l'échelle des MPSoC fait apparaître des contraintes et des opportunités différentes. Afin de gérer au mieux la conception d'un tel réseau, un travail préalable exploratif est nécessaire afin de tenir compte des contraintes et de tirer un maximum de profit des opportunités qu'offre le RFNoC. Pour ce faire, il est indispensable de développer une plateforme de simulation intégrant à la fois des blocs analogiques concernant les interconnexions RF et des blocs numériques concernant la partie classique du NoC.

Dans un premier temps, la simulation temporelle d'un RFNoC en VHDL-AMS⁴ avec des composants dont les modèles sont idéaux est validée. Ensuite, cette modélisation est utilisée pour optimiser l'allocation des ressources spectrales disponibles. Après une évaluation de l'évolution de la qualité du signal transmis à travers le RFNoC dans différentes configurations, notamment en half-duplex et en full-duplex en fonction de la largeur de la bande de protection entre les bandes adjacentes à travers lesquelles les données sont transmises, nous proposons des solutions pour améliorer la qualité de la transmission de données, le cas échéant.

Dans un deuxième temps, nous avons développé en VHDL-AMS des modèles comportementaux et précis de chacun des composants du RFNoC. Lors du développement des modèles de l'amplificateur faible bruit (LNA) et du mélangeur, nous avons pris en compte les paramètres concernant, l'amplification (ou éventuellement l'atténuation), les non-linéarités, le bruit et la bande passante. Les fuites entre les accès sont également considérées pour le modèle du mélangeur. Le modèle de l'oscillateur local est développé et considère les paramètres conventionnels, notamment le bruit de phase. Quant à la ligne de transmission, un modèle fréquentiel incluant les différents couplages capacitifs et inductifs et particulièrement l'effet de peau est adapté pour les simulations temporelles.

Une fois tous les composants modélisés, l'impact des paramètres des composants sur les performances du RFNoC est évalué afin d'anticiper les contraintes qui s'imposeront lors de la conception du RFNoC.

1. Multi-Processor System on Chip
2. Network on Chip
3. Radio Frequency Network on Chip
4. VHSIC (Very High Speed Integrated Circuits) Hardware Description Language - Analog and Mixed-Signal

Abstract

The development of multiprocessor systems integrated on chip (MPSoC) responds to the growing need for high-performance computing in the various information processing domains. Despite the exceptional progress of MPSoC, on-chip communication networks (NoC) remain a lock for the evolution of this type of architecture performances. This is due to their energy consumption and the delay in routing data. It is in this context that the wired RF network on chip (RFNoC) was emerged. This kind of network on chip is at the scope of our thesis works.

RF interconnects are widely used on the macroscopic scale, their adaptation to the scale of MPSoC presents other constraints and opportunities. In order to better manage the design of such network, explorative preliminary work is necessary to take into account the constraints and get the maximum benefit from the opportunities offered by the RFNoC. To do this, this work requires the development of a simulation platform addressing both analog blocks for RF interconnects and digital blocks on classical part of the NoC.

First, the VHDL-AMS temporal simulation of an RFNoC with components whose models are ideal is validated. Then, these models are used to optimize the allocation of the available spectrum resources. After an assessment of the evolution of the quality of the signal transmitted through the RFNoC in various configurations, including half-duplex and full-duplex, according to the width of the guard band between adjacent bands through which the data are transmitted, we provide solutions to improve the quality of the transmission of data, where appropriate.

Secondly, we have developed, in VHDL-AMS, behavioral and accurate models of all RFNoC components. During the development of models of the low noise amplifier (LNA) and the mixer, we took into account the parameters for the amplification (or possibly the attenuation), nonlinearities, noise and bandwidth. Leakages between the access are also considered for the mixer model. The model of the local oscillator is developed and considers the conventional parameters, including its phase noise. Concerning the transmission line, a frequency model including the various capacitive and inductive couplings and particularly the skin effect is adapted for time domain simulations.

Once all the components modeled, the impact of component parameters on RFNoC performances is evaluated to anticipate constraints of the RFNoC design.

Résumé court

Le développement des systèmes multiprocesseurs intégrés sur puce (MPSoC) répond au besoin grandissant des architectures de calcul intensif. En revanche, l'évolution de leurs performances est entravée par leurs réseaux de communication sur puce (NoC) à cause de leur consommation d'énergie ainsi que du retard. C'est dans ce contexte que les NoC à base d'interconnexions RF et filaires (RFNoC) ont émergé. Afin de gérer au mieux et d'optimiser la conception d'un RFNoC, il est indispensable de développer une plateforme de simulation intégrant à la fois des circuits analogiques et numériques.

Dans un premier temps, la simulation temporelle d'un RFNoC avec des composants dont les modèles sont idéaux est utilisée pour optimiser l'allocation des ressources spectrales disponibles. Le cas échéant, nous proposons des solutions pour améliorer la qualité de signal transmis. Dans un deuxième temps, nous avons développé en VHDL-AMS des modèles comportementaux et précis de chacun des composants du RFNoC. Les modèles de l'amplificateur faible bruit (LNA) et du mélangeur, prennent en compte les paramètres concernant, l'amplification, les non-linéarités, le bruit et la bande passante. Le modèle de l'oscillateur local considère les paramètres conventionnels, notamment le bruit de phase. Quant à la ligne de transmission, un modèle fréquentiel précis, incluant l'effet de peau est adapté pour les simulations temporelles. Ensuite, l'impact des paramètres des composants sur les performances du RFNoC est évalué afin d'anticiper les contraintes qui s'imposeront lors de la conception du RFNoC.

Short abstract

The development of multiprocessor systems integrated on chip (MPSoC) responds to the growing need for intensive computation systems. However, the evolution of their performances is hampered by their communication networks on chip (NoC) due to their energy consumption and delay. It is in this context that the wired RF network on chip (RFNoC) was emerged. In order to better manage and optimize the design of an RFNoC, it is necessary to develop a simulation platform addressing both analog and digital circuits.

First, a time domain simulation of an RFNoC with components whose models are ideal is used to optimize the allocation of the available spectrum resources. Where appropriate, we provide solutions to improve the quality of transmitted signal. Secondly, we have developed, in VHDL-AMS, behavioral and accurate models of all RFNoC components. The models of the low noise amplifier (LNA) and the mixer take into account the parameters for the amplification, nonlinearities, noise and bandwidth. The model of the local oscillator considers the conventional parameters, including its phase noise. Concerning the transmission line, an accurate frequency model, including the skin effect is adapted for time domain simulations. Then, the impact of component parameters on RFNoC performances is evaluated to anticipate constraints of the RFNoC design.

Remerciements

Les travaux présentés dans ce mémoire sont effectués dans le laboratoire ETIS. Je tiens à remercier les responsables ainsi que tous les membres du laboratoire ETIS et en particulier ceux de l'équipe ASTRE.

J'adresse mes remerciements aux responsables de l'université de Cergy-Pontoise, en particulier ceux de l'école doctorale sciences et ingénierie qui ont permis le financement de mes travaux de thèse dans le cadre d'une allocation de recherche.

Je souhaite remercier Monsieur Jean-Philippe DIGUET et Madame Marie-Minerve LOUËRAT pour avoir accepté de rapporter mes travaux de thèse. De même, mes remerciements vont à Madame Daniela DRAGOMIRESCU et Monsieur Yide WANG, membres du jury qui ont partagé la responsabilité d'évaluer mon travail.

Je souhaite exprimer toute ma reconnaissance à Emmanuelle BOURDEL, co-directrice de ma thèse, qui m'a aidé à mener à bien mes travaux de thèse, aussi bien sur le plan scientifique que sur le plan social.

Je tiens à exprimer toute ma gratitude à Myriam ARIAUDO, co-directrice de ma thèse, qui a cru en moi depuis que j'étais en master. En plus de m'avoir fait profiter de son expérience, elle a su amplifier ma passion pour la recherche et m'initier au métier de l'enseignement.

J'adresse mes remerciements à tous les collègues au sein du laboratoire ETIS avec qui j'ai passé des moments agréables. Certains sont déjà partis pour de nouveaux horizons (Amel, Fatine, Laurent, Liang et Lotfi) et d'autres prépareront très prochainement leurs soutenances (Mohamad et Frédéric). Grâce à ces collègues, j'ai eu l'opportunité d'avoir des échanges à la fois enrichissants et amusants sur des questions scientifiques et extra-scientifiques, notamment avec mon collègue de bureau, Brunel et avec Mohamad. Je tiens également à remercier les nouveaux doctorants et je leurs souhaite bon courage pour réussir leurs thèses.

Je souhaite exprimer ma reconnaissance à tous les enseignants qui ont contribué à mon éducation et à ma formation et ce de l'école primaire jusqu'à l'université.

D'un point de vue personnel, je souhaite remercier ma mère qui a toujours veillé sur moi, mon père qui m'a toujours encouragé pour aller jusqu'au bout de mes objectifs, mon épouse qui m'a toujours soutenu mais aussi mon frère et mes sœurs avec leurs familles respectives qui étaient toujours là pour moi. Mes remerciements vont également à mes grands-mères, à mon oncle Ali et tous les autres membres de la famille, notamment ceux qui nous ont quittés à jamais.

Enfin, je tiens à remercier mes amis et toutes les personnes qui ont contribué, de près ou de loin, à la réussite de ma thèse, parmi eux Lounis KESSAL et le personnel de l'ENSEA.

Table des matières

Acronymes et notations	xix
Introduction générale	1
1 Réseaux sur puce	7
1.1 Métriques pour les réseaux sur puce	8
1.1.1 Latence	9
1.1.2 Débit de données	9
1.1.3 Bande passante de bissection	9
1.1.4 Point de saturation	9
1.1.5 Ressources et surface en silicium	9
1.1.6 Profil énergétique	10
1.1.7 Autres métriques	10
1.2 Approches classiques des interconnexions pour les systèmes sur puce	10
1.2.1 Le bus partagé	10
1.2.2 Réseaux sur puce	12
1.2.2.1 Topologie	13
1.2.2.2 Mécanismes de commutation	16
1.2.2.3 Fonction de routage	19
1.2.2.4 Protocole de contrôle de flux	20
1.2.2.5 Système d'horloge du NoC	20
1.3 État de l'art sur les réseaux sur puce classique	21
1.3.1 ARTERIS	21
1.3.2 VSTNOC	21
1.3.3 Hermes	22
1.3.4 Ætheral	22
1.3.5 SPIN	22
1.4 Comparaison NoC vs bus partagé	23
1.5 Réseaux sur puce émergents	26
1.5.1 Intégration 3D	26
1.5.1.1 Principe	27
1.5.1.2 État de l'art des NoC 3D	30

1.5.1.3	Contraintes et défis de l'intégration 3D	32
1.5.2	Interconnexions optiques	32
1.5.2.1	Principe	32
1.5.2.2	État de l'art des NoC optiques	34
1.5.2.3	Problématiques et défis des NoC optiques	37
1.5.3	Interconnexion à nano-tube de Carbone	37
1.5.4	Interconnexion RF avec/sans fil (RFNoC)	38
1.5.4.1	Principe	39
1.5.4.2	État de l'art	41
1.6	Conclusion	48
2	Validation du concept du RFNoC et Allocation de ressources spectrales	51
2.1	Introduction	52
2.2	Le langage VHDL-AMS	54
2.3	Modélisation idéale du RFNoC	56
2.3.1	Modélisation idéale de l'émetteur	56
2.3.2	Modèle compact de la ligne de transmission	60
2.3.3	Modélisation du récepteur idéal	61
2.3.3.1	Modélisation du LNA	61
2.3.3.2	Modélisation du filtre passe-bas	63
2.4	Validation du Concept du RFNoC	64
2.5	Allocation de ressources spectrales	66
2.5.1	Métrique de mesure	67
2.5.2	Communication en half-duplex	69
2.5.3	Communication en full-duplex	71
2.5.4	Optimisation d'allocation de ressources spectrales	73
2.6	Conclusion	75
3	Modélisation du RFNoC	77
3.1	Introduction	78
3.2	Etat de l'art des modélisations comportementales	78
3.3	Modélisation du LNA	81
3.3.1	Description du modèle	81
3.3.2	Validation du modèle	89
3.3.3	Récapitulatif de la modélisation du LNA	92
3.4	Modélisation du mélangeur	93
3.4.1	Description du modèle	94
3.4.2	Validation du modèle	101
3.4.3	Récapitulatif de la modélisation du mélangeur	104
3.5	Modélisation de l'oscillateur local	106
3.5.1	Description du modèle	106
3.5.2	Validation du modèle	110
3.6	Modélisation de la ligne de transmission	111
3.6.1	Adaptation du modèle pour des simulations temporelles	115

TABLE DES MATIÈRES

3.6.2	Validation de l'effet de peau par simulation temporelle	117
3.7	Conclusion	120
4	Dimensionnement et performances du RFNoC	121
4.1	Introduction	122
4.2	Dimensionnement de chaque composant du RFNoC	123
4.2.1	Topologie du RFNoC avec un seul émetteur et un seul récepteur	123
4.2.2	Topologie du RFNoC avec huit émetteurs et huit récepteurs .	124
4.2.2.1	Imperfections du mélangeur de l'émetteur	124
4.2.2.2	Imperfections du LNA	125
4.2.2.3	Imperfections du mélangeur du récepteur	129
4.2.2.4	Combinaison des facteurs de bruit du LNA et du mélangeur du récepteur	131
4.3	Performances du RFNoC	132
4.4	Optimisation de l'allocation de ressources spectrales du point de vue des produits d'intermodulations	134
4.5	Modèle compact et à très haut niveau d'abstraction du RFNoC . . .	137
4.6	Conclusion	141
	Conclusion générale et perspectives	143
A	Annexe	151
A.1	L_n et C_n du filtre passe-bas normalisé (fréquence de coupure à -3dB)	152
A.2	Exemple de code VHDL-AMS (mélangeur idéal)	152
A.3	Équation de Friis pour définir le facteur de bruit d'un récepteur RF .	153
A.4	Méthode de calcul des coefficients du polynôme décrivant les non- linéarités du LNA	153
A.4.1	Calcul de k_{lna_3}	153
A.4.2	Calcul de k_{lna_5}	154
A.5	Contraintes sur les valeurs de l' $IP3$ et du $P1dB$ pour la validité de la modélisation polynômiale	154
	Publications	159
	Bibliographie	161

Table des figures

1	Évolution de la longueur des interconnexions sur puce de six niveaux du métal[Courtay 08]	3
2	Evolution du retard	3
1.1	Représentation d’une architecture du type MPSoC	8
1.2	Le bus partagé	11
1.3	Le bus partagé hiérarchique	12
1.4	NoC en grille	13
1.5	Topologie d’un NoC direct à interconnexion complète	14
1.6	Topologie d’un NoC direct en forme d’octogone	15
1.7	Topologie d’un NoC direct en grille : (a)En 2D (b) Tore en 2D (c) Tore en 2D plié [Pasricha 08]	15
1.8	NoC en arbre élargi	16
1.9	NoC en papillon	17
1.10	Structure d’un message, d’un paquet, d’un FLIT et d’un PHIT [Pasricha 08]	17
1.11	NoC en 3D avec routeur symétrique [Kim 07]	28
1.12	NoC en 3D avec routeur asymétrique [Kim 07]	28
1.13	NoC avec un véritable routeur 3D [Kim 07]	29
1.14	NoC avec un routeur 3D décomposé selon les directions [Kim 07]	29
1.15	SoC avec a)PE en 2D et NoC en 2D b)PE en 2D et NoC en 3D c)PE en 3D et NoC en 2D d)PE en 3D et NoC en 3D	30
1.16	Structure interne d’un routeur 3D hiérarchique pour un NoC 3D	31
1.17	Architecture d’un réseau sur puce basé sur des interconnexions optiques	33
1.18	Structure d’un NoC optique avec deux points d’accès [Joshi 09]	34
1.19	Structure d’un NoC optique à base de λ -routeur [Scandurra 08]	35
1.20	Structure du routeur hybride 4×4 [Shacham 08].	37
1.21	Illustration de la structure du graphène (à gauche) ainsi que des nanotubes de carbone mono-feuillet (milieu) et multi-feuillet [Graham 05].	38
1.22	Illustration de l’architecture du RFNoC.	40
1.23	Représentation des accès a) capacitif et b) inductif [Tao 08].	41
1.24	L’architecture MORFIC [Kaplan 11].	44
1.25	Architecture d’un réseau McWiNoC[Zhao 11].	46

TABLE DES FIGURES

1.26	Architecture d'un NoC à base de Wcube[Lee 09].	47
1.27	Architecture de l'émetteur-récepteur du réseau WiNoCoD.	48
2.1	Architecture générale d'un MPSoC avec un RFNoC	52
2.2	Ressources spectrales disponible et les bandes exploitées par les NoC classiques en bande de base et par les RFNoC en bande RF.	54
2.3	Architecture du RFNoC simulé	57
2.4	Modélisation du registre à décalage à rétroaction linéaire	57
2.5	Modélisation du Convertisseur Numérique/Analogique	58
2.6	Modélisation du mélangeur.	59
2.7	Modélisation de l'oscillateur local.	60
2.8	Modélisation compacte de la ligne de transmission.	61
2.9	Validation du modèle compact de la ligne de transmission.	62
2.10	Modélisation de l'amplificateur faible bruit.	63
2.11	Modélisation du filtre passe-bas.	64
2.12	Retard du RFNoC dû au filtre passe-bas en fonction de la fréquence de coupure de celui-ci.	65
2.13	Chronogrammes des signaux envoyés et reçus.	66
2.14	Diagramme de l'œil.	68
2.15	BER vs Eb/N0 pour une modulation BPSK et un bruit Gaussien.	68
2.16	Répartition des ressources spectrales disponibles.	69
2.17	Rapport signal à bruit dans le cas du half-duplex et du filtre d'ordre 4.	70
2.18	Rapport signal à bruit dans le cas du half-duplex et du filtre d'ordre 2.	71
2.19	Répartition des ressources spectrales disponibles en communications full-duplex a) inter-digité et b) groupé.	72
2.20	Rapport signal à bruit dans le cas de communication en full-duplex inter-digitée et du filtre d'ordre 2.	72
2.21	Rapport signal à bruit dans le cas de communication en full-duplex groupée et du filtre d'ordre 2.	73
2.22	Rapport signal à bruit dans le cas de communication en full-duplex groupée et du filtre d'ordre 3 dans la zone de transition.	74
2.23	Rapport signal à bruit dans le cas de communication en full-duplex groupée avec suppression d'une bande en zone de transition.	74
2.24	Comparaison des niveaux des rapports signaux aux bruits.	75
3.1	Illustration des composant d'une architecture d'un RFNoC	78
3.2	Modélisation comportementale avancée de l'amplificateur faible bruit	81
3.3	Densités de probabilité des variables aléatoires a) uniforme et b) Gaussienne (normale)	83
3.4	Spectre du signal à l'entrée et à la sortie du LNA pour des caractérisations a) mono-porteuse et b) bi-porteuses.	85
3.5	Définition des paramètres des non-linéarités d'un circuit électronique pour des tests a) mono-porteuse et b) bi-porteuses.	86
3.6	Illustration de la bande passante du modèle du LNA	90
3.7	Caractérisation mono-porteuse du LNA	91

TABLE DES FIGURES

3.8	caractérisation bi-porteuses du LNA	91
3.9	Récapitulatif de la modélisation du LNA	92
3.10	Modélisation comportementale avancée du mélangeur	94
3.11	Illustration de la différence entre le NF_{ssb} et le NF_{dsb}	96
3.12	Spectre du signal aux différents ports du mélangeur abaisseur (<i>down-converter</i>) pour des caractérisations a) mono-porteuse et b) bi-porteuses.	98
3.13	Modélisation comportementale des fuites entre les ports du mélangeur	101
3.14	Caractérisation mono-porteuse du mélangeur	102
3.15	Caractérisation bi-porteuses du mélangeur	103
3.16	Fuites entre les ports du mélangeur	104
3.17	Récapitulatif de la modélisation du mélangeur	105
3.18	Spectres des signaux des oscillateurs locaux a) idéal et b) réaliste; et c) profil du bruit de phase.	107
3.19	Implémentation de l'une des pentes du profil équivalent en bande de base du bruit de phase	109
3.20	Spectre du bruit de phase transposé en bande de base.	111
3.21	Structure des lignes de transmission a) Coplanaire et b) Thin film Microstrip.	113
3.22	Modèles distribués des lignes de transmission a) Classique et b) Évolué.	113
3.23	Comparaison des parties a) réelle et b) imaginaire de la valeur exacte de $\sqrt{2s}$ avec son approximation.	117
3.24	L'erreur relative de l'approximation de $\sqrt{2s}$	117
3.25	Circuit de simulation pour la validation du modèle de la ligne de transmission.	118
3.26	Comparaison de l'atténuation dans la ligne de transmission pour des simulations temporelles et fréquentielles.	119
4.1	Architecture de la topologie du RFNoC simulée.	122
4.2	Évolution de la qualité du signal en fonction des non-linéarités du mélangeur de l'émetteur du RFNoC.	124
4.3	Évolution de la qualité du signal en fonction du facteur de bruit du LNA du RFNoC dont la ligne de transmission est de 60 mm de longueur. a) pour les huit récepteurs. b) pour l'un des huit récepteurs	125
4.4	Évolution de la qualité du signal en fonction du facteur de bruit du LNA du RFNoC dont la ligne de transmission est de 60 mm, 70 mm et 80 mm de longueur.	126
4.5	Évolution de la qualité du signal en fonction du facteur de bruit du LNA du RFNoC dont la ligne de transmission est de 80 mm de longueur.	127
4.6	Évolution de la qualité du signal avec la variation de la longueur de ligne de transmission du RFNoC.	128
4.7	Évolution de la qualité du signal en fonction de l'écart entre la puissance du signal d'entrée du LNA et le P1dB en entrée.	128

TABLE DES FIGURES

4.8	Évolution de la qualité du signal en fonction du facteur de bruit du mélangeur du récepteur du RFNoC dont la ligne de transmission est de 70 mm de longueur. a) pour les huit récepteurs. b) pour un seul récepteur	129
4.9	Évolution de la qualité du signal en fonction du facteur de bruit du mélangeur du récepteur du RFNoC dont la ligne de transmission est de 70mm et 80 mm de longueur.	130
4.10	Évolution de la qualité du signal en fonction des non-linéarités du mélangeur du récepteur du RFNoC. a) pour les huit récepteurs. b) pour l'un des récepteurs.	131
4.11	Évolution de la qualité du signal en fonction du facteur de bruit du mélangeur du récepteur sachant que celui du LNA vaut 3 dB et la longueur de la ligne de transmission est de 70 mm. a) pour les huit récepteurs. b) pour l'un des récepteurs	132
4.12	Simulation du RFNoC avec cumul des imperfections	133
4.13	Spectre du signal à l'entrée et à la sortie d'un circuit non-linéaire.	134
4.14	Contribution aux produits d'intermodulation d'ordre 3, sur les bandes utiles, de huit bandes allouées uniformément.	135
4.15	Contribution aux produits d'intermodulation d'ordre 5, sur les bandes utiles, de huit bandes allouées uniformément.	135
4.16	Emplacement des produits d'intermodulation d'ordre trois, sur les bandes utiles, de huit bandes allouées uniformément.	136
4.17	Emplacement des produits d'intermodulation d'ordre cinq, sur les bandes utiles, de huit bandes allouées uniformément.. . . .	136
4.18	Simulation globale d'une topologie du RFNoC avec tous les composants le constituant	138
4.19	Simulation simplifiée de la topologie du RFNoC présentée en figure 4.18	138
4.20	Modèle d'un bus transmettant les données à un BER et un retard sont paramétrables	139
4.21	Courbe reliant le taux d'erreur binaire BER au rapport signal à bruit $(E_b/N_0)_{dB}$ pour un bruit Gaussien	139
4.22	Comparaison entre les valeurs du BER ciblées (renseignées) et celles mesurées sur le modèle du bus bruité	140
4.23	Évolution du spectre du signal a) dans un émetteur hétérodyne et b) dans un récepteur hétérodyne.	147
4.24	Architecture d'un RFNoC avec des émetteurs, récepteurs reconfigurables dynamiquement.	148
4.25	Architecture d'un MPSoC doté d'un RFNoC reconfigurables dynamiquement.	149
4.26	Allocation des ressources spectrales disponibles dans les cas a) basique et b) optimisé.	150
A.1	Code VHDL-AMS d'un modèle idéal du mélangeur.	152
A.2	Évolution de la valeur du discriminant Δ en fonction du $P1dB$ et de l' $IP3$	155

TABLE DES FIGURES

A.3	Signe du discriminant Δ en fonction du $P1dB$ et de l' $IP3$	156
A.4	Nature des racines a) V_{in_1} et b) V_{in_2} en fonction du $P1dB$ et de l' $IP3$	156

Liste des tableaux

1.1	Comparaison NoC vs bus partagé ([Yoo 08]).	23
3.1	Mode de fonctionnement des non-linéarités du modèle du LNA.	88
3.2	Comparaison des valeurs du facteur de bruit du LNA.	89
3.3	Mode de fonctionnement des non-linéarités du modèle du mélangeur.	100
3.4	Comparaison des facteurs de bruit mesurés du mélangeur	101
3.5	Récapitulatif des résultats de simulations des fuites du mélangeur	105
3.6	Récapitulatif du profil de bruit de phase de l'oscillateur local simulé	110
3.7	Paramètres de la ligne de transmission considérée.	114
3.8	Valeurs des coefficients a_m et b_n de la fonction $F(s)$	116
4.1	BER et $(E_b/N_0)_{dB}$ correspondants aux différents nombres de bandes de transmission en tenant compte uniquement des interférences.	140

Acronymes et notations

ADS	<i>Advanced Design System</i>
AMBA	<i>Advanced Microcontroller Bus Architecture</i>
ARM	<i>Advanced RISC Machines</i>
ASK	<i>Amplitude-Shift Keying</i>
BER	<i>Bit Error Rate</i>
BPSK	<i>Binary Phase-Shift keyin</i>
CAB	<i>Configurable Analog Block</i>
CAN	<i>Convertisseur Analogique-Numérique</i>
CDMA	<i>Code Division Multiple Access</i>
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CNA	<i>Convertisseur Numérique-Analogique</i>
CNT	<i>Carbone Nano-Tube</i>
D	<i>Dimension</i>
dB	<i>Décibel</i>
dBc	<i>Décibel relative to carrier</i>
dBm	<i>Décibel-milliwatts</i>
DSP	<i>Digital Signal Processor</i>
DQPSK	<i>Differential Quadrature Phase-Shift Keying</i>
ER	<i>Electronic Router</i>
FDMA	<i>Frequency Division Multiple Access</i>
FLIT	<i>FLow control unIT</i>
FPAA	<i>Field-Programmable Analog Array</i>
FPGA	<i>Field-Programmable Gate Array</i>
f_T	<i>Frequency Transition</i>
GALS	<i>Globally Asynchronous Locally Synchronous</i>
Gbps	<i>Giga-bit per second</i>
GSPS	<i>Giga-Samples Per Second</i>
HEMT	<i>High-Electron-Mobility Transistor</i>
IF	<i>Intermediate Frequency</i>
IP	<i>Intellectual Property</i>

ITRS	<i>International Technology Roadmap for Semiconductors</i>
LFSR	<i>Linear Feedback Shift Register</i>
LNA	<i>Low Noise Amplifier</i>
LPF	<i>Low Pass Filter</i>
MC-CDMA	<i>MultiCarrier Code Division Multiple Access</i>
McWiNoC	<i>Multi-Channel Wireless Network On Chip</i>
MESFET	<i>Metal-Semiconductor Field Effect Transistor</i>
MORFIC	<i>Mesh Overlaid with Radio Frequency InterConnect</i>
MPSoC	<i>Multi-Processor System on Chip</i>
MWCNT	<i>Multi-Walled Carbone Nano-Tubes</i>
NI	<i>Network Interface</i>
NoC	<i>Network on Chip</i>
OFDMA	<i>Orthogonal Frequency Division Multiple Access</i>
OOK	<i>On-Off Keying</i>
PA	<i>Power Amplifier</i>
PE	<i>Processing Element</i>
PHIT	<i>PHysical unIT</i>
PIN	<i>Positive Intrinsic Negative (... diode)</i>
PLL	<i>Phase-Locked Loop</i>
PSE	<i>Photonic Switching Element</i>
RFNoC	<i>Radio Frequency Network on Chip</i>
RISC	<i>Reduced Instruction Set Computer</i>
SNR	<i>Signal to Noise Ratio [Dans notre cas, noise=bruit + interférences]</i>
SoC	<i>System on Chip</i>
SPIN	<i>Scalable Programmable Integrated Network</i>
SWCNT	<i>Single-Walled Carbone Nano-Tubes</i>
T_b	<i>Bit Duration Time</i>
TDMA	<i>Time Division Multiple Access</i>
t_f	<i>Fall Time</i>
TSV	<i>Through-Silicon Via</i>
t_r	<i>Rise Time</i>
UWB	<i>Utra WideBande</i>
VHDL-AMS	<i>VHSIC Hardwar Description Language - Analog and Mixed-Signal</i>
VHSIC	<i>Very High Speed Integrated Circuits</i>
VSTNOC	<i>Versatile ST-Microelectronics Network On Chip</i>
WCDMA	<i>Wideband Code Division Multiple Access</i>
WDM	<i>Wave Division Multiplexing</i>
WiMax	<i>Worldwide Interoperability for Microwave Access</i>
WiNoCoD	<i>Wired RF Network on Chip reconfigurable on Demand</i>

Introduction générale

Depuis la mise au point du premier circuit intégré au milieu du $XX^{\text{ème}}$ siècle, le marché des circuits électroniques n'a cessé de gagner du terrain. En effet, aujourd'hui, pratiquement tous les appareils électroniques, tels que les téléphones mobiles, les consoles de jeu, les ordinateurs ou encore l'électronique embarquée dans le domaine de l'automobile et l'aéronautique, intègrent au moins un circuit intégré sous forme d'un système sur puce (SoC⁵) qui est lui même composé de processeurs, de mémoires et de circuits dédiés à une fonction donnée (IP⁶).

Les avancées spectaculaires des processus de conception et de technologie de fabrication de circuits intégrés permettent aujourd'hui d'intégrer jusqu'à un milliard de transistors sur le même SoC. Ces transistors sont les principaux circuits rentrant dans la composition des composants des SoC, qu'ils soient des processeurs, des mémoires, des IP ou encore le réseau de communication sur puce (NoC).

Très rapidement l'architecture des SoC devient complexe ce qui conduit à l'apparition de nouvelles disciplines de recherche lors de leur conception. Parmi ces disciplines, nous pouvons citer la gestion des communications sur puce, la dissipation de l'énergie dans le cas d'empilement 3D ainsi que les problématiques qui découlent de l'intégration sur le même SoC des circuits numériques et d'autres analogiques.

Afin d'accompagner l'évolution des besoins des calculs intensifs pour les appareils électroniques, la première solution a été d'augmenter la fréquence à laquelle le processeur exécute l'application pour laquelle il est conçu. Néanmoins, passée la fréquence de 3 GHz, la consommation d'énergie du SoC explose. A partir de ce constat, un nouveau paradigme des circuits de traitement a fait son apparition et consiste à mettre en parallèle l'exécution des applications. Pour ce faire, les systèmes sur puce avec plusieurs processeurs (MPSoC) sont nés.

Parallèlement à l'évolution du paradigme des circuits de traitement de l'information, l'intégration dans un même SoC est étendue à d'autres types de composants, notamment les interfaces de contrôle des périphériques (Afficheurs, USB, ethernet, etc.)

Ces deux tendances de l'évolution de l'architecture des MPSoC font que le nombre d'éléments le constituant et par conséquent, à interconnecter au sein de

5. System on Chip

6. Intellectual Property

ces circuits est constamment en augmentation. Ainsi, l'interconnexion au sein des circuits MPSoC devient un paramètre clé et constitue une discipline à part entière dans la conception des MPSoC.

Historiquement, les toutes premières interconnexions dans les SoC sont effectuées en point à point. Les bus partagés ont émergé pour les circuits dont le nombre d'éléments à interconnecter ne dépasse pas la dizaine. Dès l'apparition des MPSoC, les bus partagés deviennent obsolètes, les réseaux sur puce (NoC) font alors leur apparition pour gérer les communications à l'intérieur des MPSoC.

Les progrès technologiques d'intégration de circuits électroniques permettent la mise en œuvre des MPSoC à plusieurs centaines de processeurs, voire à des milliers dans un futur proche. Dès lors, les performances du réseau sur puce sous sa forme classique s'avèrent inadéquates avec les besoins des MPSoC, c'est pourquoi, l'émergence de nouveaux paradigmes de réseau sur puce est nécessaire selon l'ITRS⁷ [Itrs].

Contexte et objectifs de la thèse

En dépit des progrès exceptionnels des MPSoC, les réseaux sur puce demeurent un verrou pour l'évolution des performances de ce type de circuits. La longueur des interconnexions sur une même puce a rapidement augmenté pour atteindre plusieurs kilomètres (figure 1). Ainsi, pour les technologies les plus récentes, la part de l'énergie consommée par les interconnexions devient dominante (80%) par rapport à celle due au traitement lui-même à cause des nombreux sauts que doivent effectuer les messages avant d'atteindre leurs destinations respectives. En technologie 250nm, le retard de propagation des signaux dans le SoC est dû, à parts égales, aux portes logiques et aux interconnexions globales. Cependant, en technologie 32nm, la proportion du retard des portes logiques est insignifiante devant le retard des interconnexions globales (figure 2). Face à cette situation, plusieurs nouveaux paradigmes de réseaux sur puce ont percé. L'intégration 3D, les interconnexions optiques, ainsi que les interconnexions RF avec ou sans fil, font partie des solutions proposées. Chacune de ces solutions, avec ses avantages et ses inconvénients, est plus ou moins adaptée selon la configuration et la taille du MPSoC. Les travaux de cette thèse s'articulent autour du réseau sur puce à base d'interconnexions RF et filaires (RFNoC).

Les interconnexions RF sont largement utilisées à l'échelle macroscopique ; leur utilisation à l'échelle des SoC fait apparaître des contraintes et opportunités différentes. Le segment RF des RFNoC doit être à la fois ultra-compact, à consommation d'énergie la plus basse possible et très large bande passante ou à défaut reconfigurable. Cette dernière caractéristique permet d'exploiter au mieux les ressources spectrales disponibles et par la même occasion, d'obtenir un débit de données le

7. International Technology Roadmap for Semiconductors

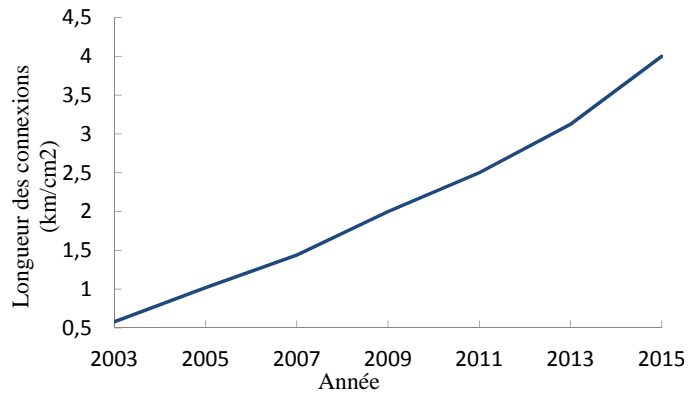


Figure 1 – Évolution de la longueur des interconnexions sur puce de six niveaux du métal[Courtay 08]

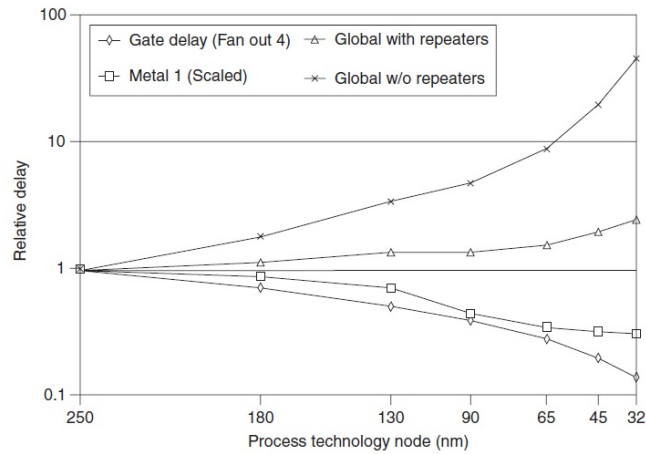


Figure 2 – Evolution du retard dans les portes logiques et les interconnexions[Pasricha 08]

plus élevé possible. Quant aux opportunités, la très haute vitesse de transmission de données sous forme d’ondes électromagnétiques ainsi que la très large bande des ressources spectrales disponibles ouvrent la voie à un réseau à très haut débit de données.

Afin de gérer au mieux la conception d’un tel réseau, un travail préalable exploratoire est indispensable afin de tenir compte des contraintes et de tirer un maximum de profit des opportunités qu’offre le RFNoC. Ces travaux d’exploration à effectuer à travers des simulations couvrent à la fois des blocs analogiques concernant les interconnexions RF et des blocs numériques concernant la partie classique du NoC.

Afin de développer une plateforme de simulation du RFNoC, nous avons opté pour le VHDL-AMS comme langage de description de matériel. Ce choix est motivé, d’une part, par le fait que le langage VHDL-AMS est conçu pour co-simuler sur une même plateforme les circuits numériques, analogiques et mixtes. Il permet d’autre

part d'effectuer des simulations temporelles qui sont plus adaptées aux circuits numériques.

L'objectif principal de la présente thèse est de créer des modèles des circuits du RFNoC en VHDL-AMS afin de prévoir et d'optimiser le fonctionnement du RFNoC.

Organisation et contributions de la thèse

Le présent manuscrit est organisé en trois chapitres à travers lesquels les travaux effectués le long de la thèse sont présentés.

Le premier chapitre présente dans une première partie un rappel sur les concepts généraux concernant les interconnexions sur puce et concerne essentiellement les métriques permettant d'évaluer les performances des interconnexions. La deuxième partie donne un aperçu historique de l'évolution des interconnexions sur puce. A travers cette présentation, l'essentiel de l'état de l'art des interconnexions sur puce est présenté, à commencer par les bus partagés, en passant par les réseaux sur puce classiques et en finissant par des présentations un peu plus détaillées des paradigmes émergents, notamment, l'intégration 3D, les interconnexions optiques, les nano-tubes de Carbone ainsi que les interconnexions RF avec et sans fils. Le principe de fonctionnement de chacun de ces paradigmes est exposé et est suivi d'un état de l'art.

Le deuxième chapitre est consacré, dans la première moitié, à valider la simulation temporelle d'un RFNoC en VHDL-AMS avec des composants dont les modèles sont idéaux. En effet, nous présentons d'abord un rappel des principales fonctionnalités du langage VHDL-AMS ainsi que les tendances de son évolution. Ensuite, nous présentons les modèles de l'émetteur et du récepteur RF ainsi que de la ligne de transmission que nous avons développés. La validation de cette modélisation est obtenue en comparant les résultats de simulation d'une architecture du RFNoC avec ceux obtenus sur un logiciel commercial de simulation électrique (ADS⁸). Dans la deuxième moitié du chapitre, cette modélisation est utilisée pour optimiser l'allocation des ressources spectrales disponibles. Nous avons d'abord évalué l'évolution de la qualité du signal transmis à travers le RFNoC dans différentes configurations, notamment en half-duplex et en full-duplex. Pour chacun des types de communications, nous avons mesuré cette évolution en fonction de la largeur de la bande fréquentielle de protection entre les bandes adjacentes à travers lesquelles les données sont transmises. Après avoir constaté la qualité de transmission de données dans ces différentes configurations, nous proposons des solutions pour améliorer la qualité de la transmission de données.

Dans le troisième chapitre, nous présentons en détail notre modélisation comportementale précise de chacun des composants du RFNoC. Lors du développement

8. Advanced Design System

des modèles de l'amplificateur faible bruit (LNA⁹) et du mélangeur, nous avons pris en compte les paramètres concernant : l'amplification (ou éventuellement l'atténuation), la non-linéarité, le bruit et la bande passante. Les fuites entre les accès sont également considérées pour le mélangeur. Quant à la ligne de transmission, un modèle fréquentiel incluant les différents couplages capacitifs et inductifs ainsi que l'effet de peau est adapté pour les simulations temporelles.

Une fois tous les composants correctement modélisés et validés, dans le chapitre quatre, un ensemble de simulations est mis en œuvre pour évaluer l'impact des paramètres des composants sur les performances du RFNoC ainsi que pour dimensionner les différents composants du RFNoC afin de répondre à un cahier des charges fixé préalablement en terme de taux d'erreur binaire. Ce travail permet d'optimiser en amont la conception du RFNoC. A long terme, les modèles développés permettront également d'explorer d'autres aspects des systèmes sur puce dus à la co-intégration de circuits à fonctionnalité analogique avec ceux dont la fonctionnalité est numérique. Dans ce chapitre, un travail prospectif est également effectué concernant l'optimisation de l'allocation des ressources spectrales disponibles vis à vis des intermodulations.

Enfin, dans la dernière partie, nous présentons une conclusion ainsi que des pistes à explorer pour la suite des travaux, notamment sur la reconfiguration des émetteurs-récepteurs.

9. Low Noise Amplifier

Chapitre 1

Définitions et état de l'art sur les réseaux sur puce

Sommaire

1.1 Métriques pour les réseaux sur puce	8
1.1.1 Latence	9
1.1.2 Débit de données	9
1.1.3 Bande passante de bissection	9
1.1.4 Point de saturation	9
1.1.5 Ressources et surface en silicium	9
1.1.6 Profil énergétique	10
1.1.7 Autres métriques	10
1.2 Approches classiques des interconnexions pour les systèmes sur puce	10
1.2.1 Le bus partagé	10
1.2.2 Réseaux sur puce	12
1.3 État de l'art sur les réseaux sur puce classique	21
1.3.1 ARTERIS	21
1.3.2 VSTNOC	21
1.3.3 Hermes	22
1.3.4 Ætheral	22
1.3.5 SPIN	22
1.4 Comparaison NoC vs bus partagé	23
1.5 Réseaux sur puce émergents	26
1.5.1 Intégration 3D	26
1.5.2 Interconnexions optiques	32
1.5.3 Interconnexion à nano-tube de Carbone	37
1.5.4 Interconnexion RF avec/sans fil (RFNoC)	38
1.6 Conclusion	48

Depuis quelques années, les interconnexions sur puce sont devenues une problématique à part entière dans le champ de la conception des SoC. La première raison évidente de l'apparition de cette problématique est bien la complexité des architectures des SoC. En effet, les premiers systèmes sur puce étaient constitués de quelques blocs fonctionnels uniquement, à savoir, un processeur ou un DSP¹, un système mémoire et quelques interfaces pour connecter des périphériques. Depuis quelques années, cette architecture a très rapidement évolué pour céder face aux architectures à multi-cœur, en l'occurrence les MPSoC (Figure 1.1) avec au départ des configurations à quelques dizaines de cœurs, principalement des blocs de calcul [Vangal 08]. Ensuite des SoC à des centaines de cœurs, voire des milliers [Johnson 11], ont commencé à apparaître. Face à cette évolution d'architecture, un réseau de communication sur puce qui doit être à la fois suffisamment évolutif (scalable) et pouvant atteindre les performances requises pour ce type de SoC, est plus que jamais indispensable.

A travers le contenu de ce chapitre, dans un premier temps, nous rappelons les métriques permettant l'évaluation des performances des interconnexions sur puce. Ensuite, les concepts généraux avec l'état de l'art sur les interconnexions classiques sont exposés. Dans un deuxième temps, une prospection des réseaux sur puces émergents est effectuée.

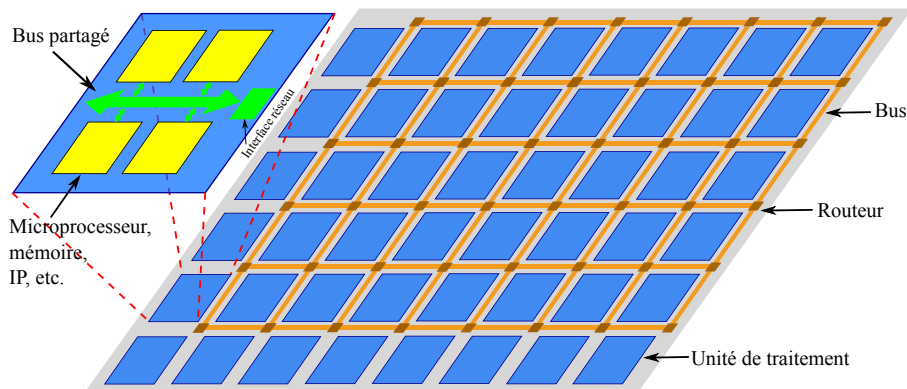


Figure 1.1 – Représentation d'une architecture du type MPSoC

1.1 Métriques pour les réseaux sur puce

A l'instar des paramètres généralistes qui permettent de caractériser et d'évaluer les performances des réseaux sur puce tels que la scalabilité ou le taux d'erreur binaire, il existe d'autres métriques plus raffinées dont quelques unes sont citées ci dessous.

1. Digital Signal Processor

1.1 Métriques pour les réseaux sur puce

1.1.1 Latence

La latence est définie comme étant le temps qui sépare le moment d'émission d'une donnée à travers le réseau et le moment de réception de celle-ci par le destinataire. Ce délai englobe le temps de propagation à travers le lien physique (bus ou autre) ainsi que le temps de traitement au niveau de l'émetteur, du récepteur et éventuellement des composants intermédiaires, tels que les routeurs. Cette métrique est à prendre en compte notamment pour les systèmes de communication avec signaux Requête/Confirmation avant l'envoi effectif des données. Dans certains cas, la latence est exprimée en nombre de cycles. La latence peut être mesurée dans différentes configurations du NoC. La latence à vide est mesurée en présence d'un seul message dans le réseau tandis que la latence moyenne est mesurée en présence de plusieurs messages sur le même réseau, ce qui caractérise la capacité du réseau de gérer le partage de ressources par plusieurs messages.

1.1.2 Débit de données

Le débit de données qualifie l'aptitude d'acheminement des messages du réseau. Il correspond à la quantité de données transmises à travers le réseau par unité de temps. Tout comme la latence, il est possible de définir un débit à vide ainsi qu'un débit moyen pour un réseau chargé. Il dépend de plusieurs paramètres comme la fréquence de fonctionnement, la bande passante du lien de communication ainsi que le temps de traitement au niveau de l'émetteur et du récepteur.

1.1.3 Bande passante de bissection

Si le réseau sur puce est divisé en deux sous-parties égales, la bande passante de bissection indique la bande passante (débit) entre ces deux parties. L'axe de division doit être le plus court possible. Sa valeur est égale à la somme des bandes passantes (débits) des liens qu'il faut couper pour avoir cette division en deux du réseau sur puce[Coppola 08].

1.1.4 Point de saturation

Le point de saturation est le point séparant les deux zones de fonctionnement du réseau en terme de capacité à écouler les données y circulant. En effet, pour les taux d'injection des messages inférieurs au point de saturation, la latence reste prédictible et est raisonnable tandis qu'au delà du point de saturation la latence n'est plus prédictible et est très élevée et par conséquent n'est plus acceptable. Dans ce dernier cas, le réseau est dit saturé.

1.1.5 Ressources et surface en silicium

Du fait du besoin croissant d'augmenter la densité d'intégration dans les SoC, il est intéressant d'évaluer la superficie dédiée aux interconnexions. Le coût en surface

d'un réseau sur puce est déterminé par les routeurs ou bien les émetteurs/récepteurs, les points de croisement ainsi que les liens physiques de communication (Bus, ligne de transmission). Généralement, la surface du réseau sur puce en Silicium est dominée par celle des routeurs ou des émetteurs/récepteurs, selon le type du NoC.

1.1.6 Profil énergétique

Comme tout circuit électronique, la consommation d'énergie électrique des NoC est un point essentiel à prendre en compte. La consommation électrique globale des NoC est composée de deux types de consommation. L'une est dite statique et due aux courants de fuite. Elle dépend principalement de la finesse de la technologie de gravure et du nombre de ressources utilisées. L'autre type de consommation est dite dynamique et dépend principalement des transitions entre les deux états du signal (+Vdd, -Vdd). En technologie 90 nm, la part de l'énergie statique consommée par le NoC ne dépasse pas les 22% [Mullins 06] tandis que celle de l'énergie dynamique peut aller jusqu'à 65% de la consommation globale du NoC. Un certain pourcentage pouvant atteindre les 28% de la consommation globale des NoC est dû aux liens de connexion. À partir de la technologie 32 nm, la consommation en énergie statique prend de l'ampleur et devient majoritaire devant l'énergie dynamique [Rodriguez 06] [Zhan 15].

1.1.7 Autres métriques

Il existe d'autres métriques telles que le degré des nœuds qui est donné par le nombre de liens de communication associés à un routeur ou émetteur. Le diamètre du NoC est donné par le nombre maximal de sauts nécessaire pour acheminer un message entre les deux nœuds les plus éloignés du NoC, et cela, en empruntant le chemin le plus court.

1.2 Approches classiques des interconnexions pour les systèmes sur puce

Les interconnexions sur puce ont beaucoup évolué depuis les années 1990. Tout au début, les interconnexions sur puce étaient de simples réseaux point à point, puis arrivent les bus partagés qui évoluent ensuite pour des bus hiérarchiques. Vers le milieu des années 2000, les réseaux sur puce font leur apparition et évoluent afin d'accompagner la progression des performances requises pour les SoC.

1.2.1 Le bus partagé

Le bus partagé est l'un des premiers paradigmes de connexion au sein des SoC. Il est encore utilisé dans les SoC dont le nombre des éléments à interconnecter (microprocesseurs, mémoires, IP...) peut aller jusqu'à la dizaine. Le bus partagé est

1.2 Approches classiques des interconnexions pour les systèmes sur puce

très utilisé dans les SoCs inclus dans les téléphones mobiles, les consoles portables, les tablettes ou encore les micro-ordinateurs à multi-cœur. Les bus partagés les plus utilisés sont : le bus AMBA² et ses variétés de la société ARM³ [Amba], le CoreConnect d'IBM [IBM], le STBus de STMicroelectronics [STM] et le bus Avalon de ALTERA [ALTERA a].

Un bus partagé est doté de plusieurs ports d'entrée-sortie permettant aux blocs fonctionnels du SoC d'y accéder. Deux types de blocs fonctionnels peuvent être distingués. Les *Maîtres* qui sont des blocs actifs, sont appelés aussi les *Initiateurs* car ils sont à l'origine des requêtes de communication. Les *Esclaves* qui sont des blocs passifs, sont appelés aussi les *Cibles* car ils sont les destinataires des requêtes des maîtres. L'ensemble des requêtes est régi par un langage de communication globale appelé *protocole de communication*. De manière générale, un bus partagé peut être considéré comme un multiplexeur commandé par une fonction d'arbitrage qui permet de gérer les requêtes.

Une architecture d'un SoC, qui est dans cet exemple à mémoire partagée, dont l'interconnexion est effectuée via un bus partagé est représentée dans la figure 1.2.

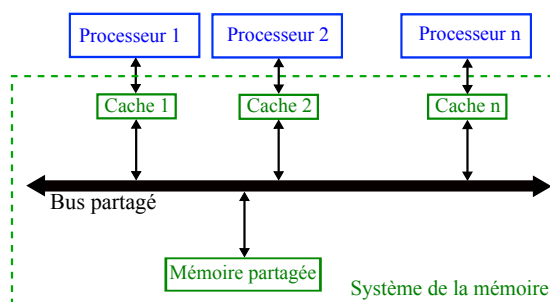


Figure 1.2 – Architecture générale d'un SoC à multi-cœurs à mémoire partagée avec une communication via un bus partagé

Dans le cas où le nombre de cœurs à interconnecter est relativement élevé, un bus partagé hiérarchique est utilisé (Figure 1.3). Cette topologie du bus est constituée de bus partagés qui sont reliés par des ponts. Ceci permet de partager la charge sur les sous-bus partagés et par la même occasion réduire la latence.

Mise à part la consommation d'énergie ainsi que la surface en Silicium, du point de vue fonctionnel, l'extensibilité du bus partagé n'est pas limitée, cependant, la latence provoquée par celui-ci est d'autant plus grande que le nombre de blocs fonctionnels à interconnecter est élevé. Par ailleurs, la fonction d'arbitrage se complexifie davantage, notamment lorsque les blocs fonctionnels à interconnecter sont de natures variées.

2. Advanced Microcontroller Bus Architecture

3. Advanced RISC (Reduced Instruction Set Computer) Machines

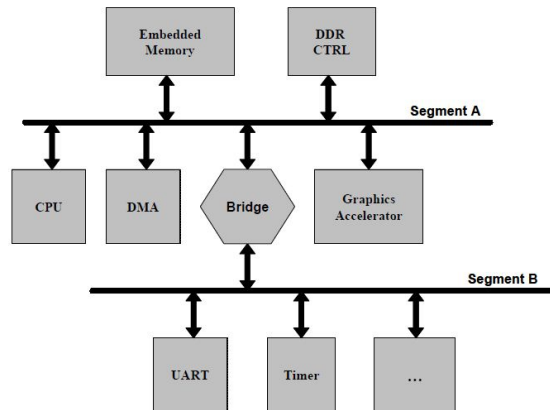


Figure 1.3 – Architecture d'un bus partagé hiérarchique[Coppola 08]

1.2.2 Réseaux sur puce

L'évolution des architectures des SoC a fait que le nombre de cœurs qui y sont intégrés est en augmentation. Cette tendance rend l'utilisation des bus partagés inadéquate pour ce type d'architectures. En effet, la bande passante globale du bus partagé répartie sur l'ensemble des cœurs n'est plus en mesure d'assurer l'interconnexion du SoC. A partir de ce constat, les réseaux sur puce sont apparus pour pallier ce problème.

L'architecture des NoC est très semblable à celle des macro-réseaux de façon générale tels que les réseaux de capteurs, avec des contraintes plus ou moins équivalentes mais souvent à des niveaux plus poussés. Le NoC doit être à la fois à très basse consommation d'énergie et réduire au minimum la latence de communication ainsi que le coût en surface de Silicium de l'électronique qui lui est dédiée.

L'architecture des NoC est à la fois évolutive (scalable, mais pas indéfiniment) et permet d'assurer les performances nécessaires pour le fonctionnement des MP-SoC. Dans les réseaux sur puce, il n'y a plus la notion de maître et d'esclave, tous les blocs fonctionnels peuvent être à la fois initiateurs et cibles. Contrairement aux bus partagés, le réseau sur puce transmet des messages sous forme de paquets de données. Ces paquets sont acheminés de l'initiateur vers une ou plusieurs cibles. Cet acheminement est effectué avec des aiguillages dans les routeurs et des transferts via des bus reliant les routeurs.

La topologie la plus connue des réseaux sur puce est le réseau en grille. La figure 1.4 représente un réseau sur puce en grille qui sert d'interconnexion pour un ensemble de nœuds, appelé aussi des "*processing elements*". Ces nœuds sont constitués de processeurs, de mémoires, d'IP ou encore d'une combinaison de plusieurs de ces éléments. Chaque nœud est connecté à son propre routeur à travers une interface réseau (NI⁴) qui empaquette tout message provenant du nœud avant de le transmettre au routeur.

4. Network Interface

1.2 Approches classiques des interconnexions pour les systèmes sur puce

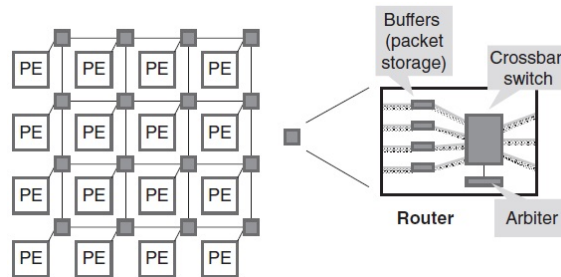


Figure 1.4 – Architecture d'un SoC avec un NoC en grille[[Pasricha 08](#)]

Le routeur est doté de buffers sur ses entrées afin de recevoir les paquets de son propre nœud ou de l'un des routeurs voisins cardinaux. Ensuite, selon l'adresse de destination contenue dans l'entête du paquet, celui-ci est aiguillé vers l'une des sorties appropriée en utilisant un crossbar. Un bloc d'arbitrage accorde la priorité en cas de plusieurs paquets, de sources différentes et à diriger vers la même sortie du routeur. Ainsi, les paquets traversent plusieurs liens d'interconnexions et transitent sur plusieurs routeurs afin de parcourir le chemin reliant leurs sources et leurs destinations. Tous les réseaux sur puce ne fonctionnent pas de la même manière et le fonctionnement du réseau décrit ci-dessus permet juste de mettre l'accent sur sa différence par rapport aux bus partagés.

A ce jour, plusieurs architectures de réseaux sont proposées. Il existe des caractéristiques propres à chaque NoC permettant de le différencier de l'ensemble des autres NoC. Quelques unes de ces caractéristiques sont présentées dans les paragraphes suivants.

1.2.2.1 Topologie

Un réseau sur puce est caractérisé par sa topologie qui décrit l'organisation des interconnexions physiques du graphe du réseau. Elle désigne le nombre et l'emplacement des liaisons des nœuds (les routeur-commutateurs et les liens d'interconnexion). Il existe deux types de topologies, les topologies directes et les topologies indirectes.

Le réseau en topologie directe a la particularité d'associer à chaque routeur, au moins un élément du réseau à interconnecter. Ainsi le nombre de routeurs est inférieur ou égal au nombre d'éléments du réseau à interconnecter. Chaque routeur est connecté directement à un ensemble de routeurs voisins. Cette topologie permet d'augmenter la bande passante globale quand le nombre de nœuds augmente mais cela est coûteux en termes de consommation et de surface en silicium. En effet, augmenter le nombre de liens de connexion permet de meilleures performances en bande passante mais cela s'accompagne par un surcoût en consommation d'énergie et en surface de silicium des liens et des routeurs. La figure 1.5 montre une topologie avec une interconnexion complète, c'est à dire, chacun des nœuds est directement connecté avec l'ensemble des autres nœuds du réseau. Lorsque le nombre de nœuds

à interconnecter est élevé, cette approche n'est plus utilisable.

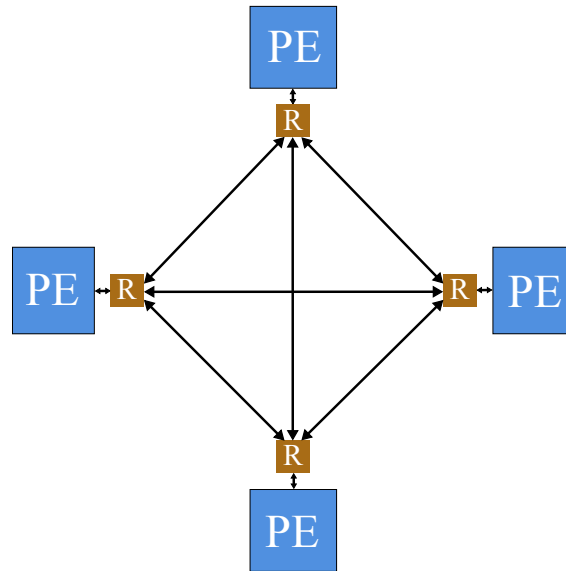


Figure 1.5 – Topologie d'un NoC direct à interconnexion complète

Il existe d'autres configurations de la topologie directe qui offrent un bon compromis entre le coût et les performances du réseau. Dans ces topologies, les connexions physiques directes entre les routeurs ne sont déployées que partiellement. Par conséquent, certains paquets devraient transiter sur un ou plusieurs routeurs intermédiaires avant d'atteindre leurs destinations respectives. L'une des topologies satisfaisant ces conditions est la topologie en octogone (Figure 1.6).

La topologie en octogone (Figure 1.6) est constituée de huit nœuds et douze liens physiques de connexion. L'envoi d'un message nécessite deux sauts au maximum. Le regroupement de plusieurs réseaux en octogone permet d'augmenter le nombre de nœuds du SoC. Un des nœuds des réseaux élémentaires en octogone est transformé en pont afin d'assurer la connexion entre ces derniers.

La topologie la plus connue est celle en grille avec ses variétés (Figure 1.7) dont la plus utilisée est la topologie de grille en deux dimensions (2D) illustrée sur la figure 1.7.(a). Dans le cas de cette topologie, les liens entre routeurs ont tous la même longueur, ce qui facilite la conception du SoC. Chaque routeur associé à un nœud est connecté à quatre routeurs voisins, à l'exception des routeurs situés aux bordures du SoC. La surface de la grille augmente linéairement avec le nombre de nœuds. Le réseau en grille doit être conçu de façon à éviter l'accumulation des paquets au centre de la grille afin d'éviter une éventuelle dégradation des performances du réseau.

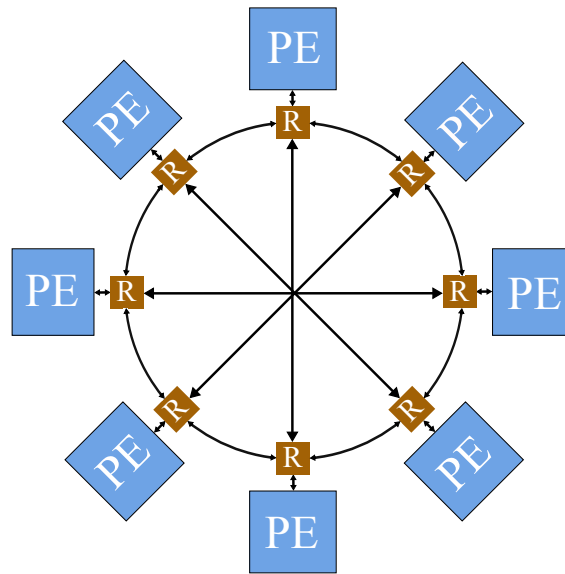


Figure 1.6 – Topologie d'un NoC direct en forme d'octogone

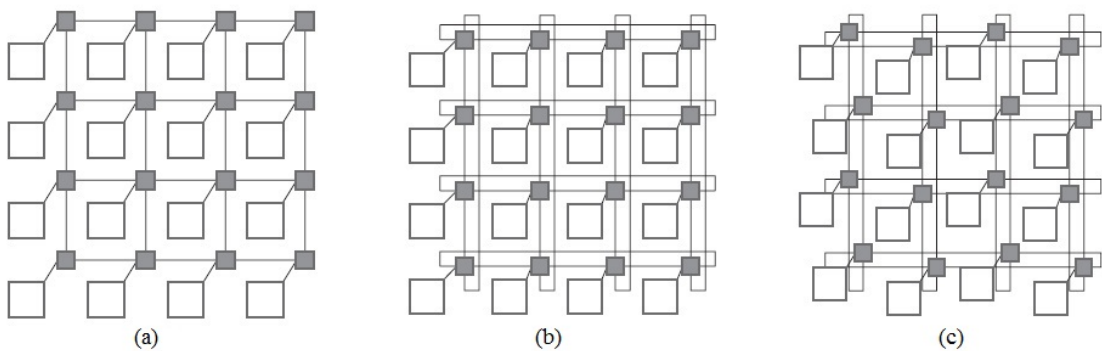


Figure 1.7 – Topologie d'un NoC direct en grille : (a) En 2D (b) Tore en 2D (c) Tore en 2D plié [Pasricha 08]

La topologie du tore en 2D (Figure 1.7.(b)) est une topologie très semblable à celle en grille 2D. La particularité de celle-ci réside dans les routeurs se trouvant sur les bordures du SoC. Tout couple de ces routeurs se trouvant sur une même ligne ou une même colonne, est relié à travers des liens de connexion relativement longs. Ainsi, tous les routeurs du réseau sont reliés à quatre routeurs, y compris ceux des bordures. Cependant, contrairement à la majorité des canaux du réseau, ceux qui relient les routeurs des bordures étant trop longs peuvent engendrer des latences prohibitives. Afin de remédier partiellement à cette problématique, la topologie du tore en 2D plié est proposée (Figure 1.7.(c)). Dans le cas de cette topologie, tous les liens entre routeurs ont pratiquement la même longueur.

Le réseau en topologie indirecte associe à chaque nœud du réseau un routeur externe à celui-ci. La topologie indirecte contient aussi des routeurs qui ne sont associés à aucun nœud. Le fonctionnement de ces derniers consiste uniquement à aiguiller les messages. Du fait de leur fonction, ces routeurs sont aussi appelés commutateurs. Les routeurs auxquels les nœuds sont connectés assurent une connexion de type point à point pour permettre à chaque nœud de communiquer avec le reste du réseau. Les topologies indirectes les plus connues sont la topologie en arbre (Figure 1.8)[Wang 12] ainsi que la topologie en papillon (Figure 1.9)[Moussa 07].

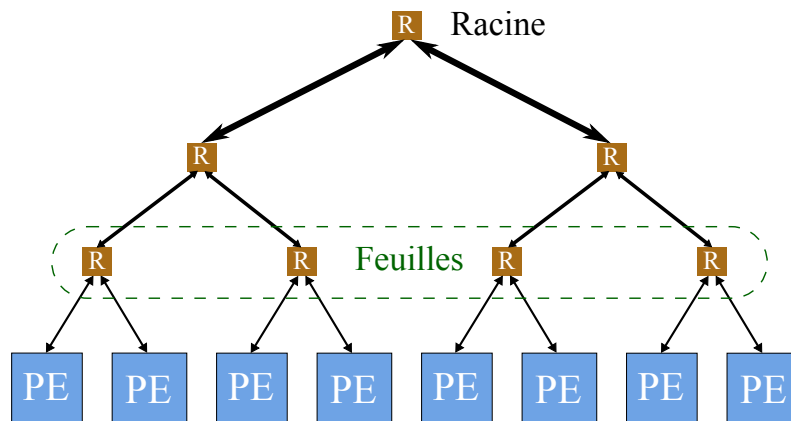


Figure 1.8 – NoC en arbre élargi

Dans la topologie en arbre (Figure 1.8) les éléments du réseau à interconnecter sont reliés aux feuilles de l'arbre. Dans une configuration simple de cette topologie, le trafic est très élevé au niveau de la racine de l'arbre ainsi que des commutateurs voisins. Afin d'améliorer les performances de cette topologie, une autre topologie dite en arbre élargi a été proposée. La particularité de la topologie en arbre élargi réside dans la bande passante des liens de connexion entre commutateurs qui augmente au fur et à mesure que l'on se rapproche de la racine.

La figure 1.9 montre la topologie en papillon à huit éléments à interconnecter et trois niveaux de crossbar. Dans cette figure, pour des considérations de clarté, les modes initiateur et cible du même nœud (PE⁵) communicant sont représentés séparément.

1.2.2.2 Mécanismes de commutation

Le mécanisme de commutation détermine la façon dont les paquets passent à travers les routeurs du réseau. Les nœuds génèrent les messages à échanger à travers le NoC. Ces messages peuvent être constitués d'un ou plusieurs paquets. Le paquet est divisé en FLIT⁶ qui est à son tour constitué d'un ou plusieurs PHIT⁷. La PHIT

5. Processing Element

6. FLow control unIT

7. PHysical unIT

1.2 Approches classiques des interconnexions pour les systèmes sur puce

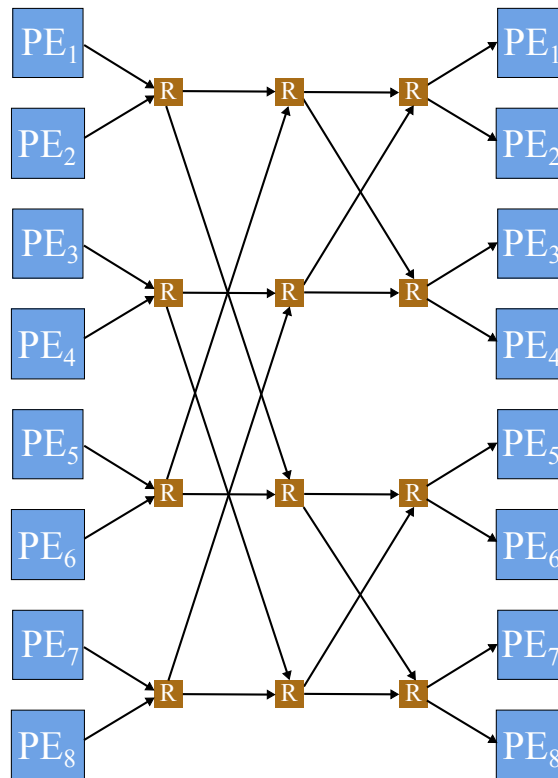


Figure 1.9 – NoC en papillon

est une donnée transférable sur un lien de connexion en un coup d'horloge, ce qui revient à dire que la taille du PHIT correspond à la largeur en bits du lien de communication. La figure 1.10 montre la structure d'un FLIT, d'un paquet et d'un message. Chaque NoC dispose de sa propre configuration des messages. Le choix sur la taille des messages est déterminant pour le NoC en termes de performances, de coût ainsi que de la consommation en énergie.

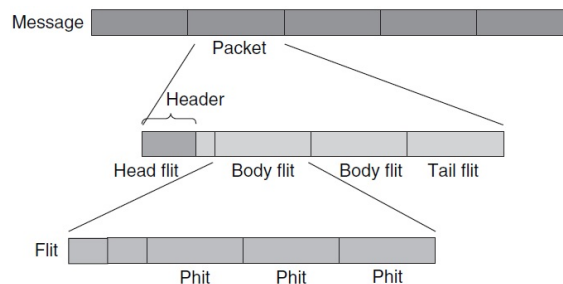


Figure 1.10 – Structure d'un message, d'un paquet, d'un FLIT et d'un PHIT [Pasricha 08]

Il existe deux types principaux de mécanismes de commutation : la commutation du circuit et la commutation de paquets.

En *commutation de circuit*, les communications se font en deux étapes. Le chemin physique de la source jusqu'à la destination est d'abord réservé, ensuite, le message est transmis entièrement. Ce chemin est constitué de liens de connexion, de routeurs et éventuellement de commutateurs. Le FLIT d'entête du message traverse en premier le chemin de la source vers la destination afin de réserver le chemin et ouvrir la voie pour le reste des FLIT du même message. Il arrive parfois que l'un des liens de connexion ou l'un des routeurs ne soit pas encore disponible, dans ce cas le chemin est mis en attente. L'avantage de cette technique est que, une fois le chemin réservé, une liaison directe de la source à la destination est disponible dont la bande passante est égale à celle des liens de connexion, ce qui mène à une réduction de la latence. Par contre, cette technique devient très vite moins avantageuse dès que le nombre de nœuds augmente. Cela est dû à la non disponibilité de toutes les ressources mises à disposition de la communication en cours pendant toute la durée de cette dernière. La solution pour remédier à ce problème est de multiplier les canaux virtuels sur le même lien physique et d'utiliser les circuits virtuels pour les commutations [Benini 06].

En *commutation de paquets*, les paquets sont envoyés à travers le réseau sans réservation préalable d'un chemin de l'initiateur à la cible. Ceux-ci définissent leur chemin de manière indépendante au fur et à mesure de leur propagation dans le réseau jusqu'à leur arrivée à la cible. Plusieurs paquets peuvent arriver en même temps à un routeur et solliciter l'emprunt du même lien de connexion. Cela réduit la durée de non disponibilité des ressources en cours d'utilisation, en revanche, cela nécessite une gestion des contentions au niveau des routeurs.

Il existe trois types de commutations de paquets. Le premier est le "*store and forward*" qui consiste à envoyer un paquet d'un routeur à un autre uniquement si le routeur émetteur a fini de recevoir l'intégralité du message qu'il doit transmettre et que le buffer du routeur récepteur a suffisamment de mémoire libre pour recevoir l'intégralité du paquet. Ce type de commutation de paquets n'est pas très utilisé à cause de la contrainte de la taille des buffers qui doit être au minimum égale à celle des paquets. Le second type de commutation de paquets est le "*virtual cut through*". Avant de finir la réception d'un paquet, le routeur émetteur commence à envoyer les premiers FLIT au routeur suivant mais uniquement si le buffer de ce dernier a suffisamment d'espace pour recevoir la totalité du paquet en question. Cette technique aussi n'est pas très utilisée à cause de la taille des buffers qu'elle nécessite. Le troisième type de commutation de paquets est le *wormhole*. La taille des buffers nécessaires est réduite à celle des FLIT. Dès qu'un FLIT est reçu, il est transmis au prochain routeur dès que l'espace requis se libère. Si le routeur prochain n'a pas suffisamment d'espace pour recevoir le paquet entièrement, celui-ci se retrouvera distribué sur deux routeurs, voire plus. Bien que cette situation puisse provoquer des blocages de ressources, cette technique de commutation est très utilisée dans les NoC, seule ou en combinaison avec d'autres techniques.

1.2 Approches classiques des interconnexions pour les systèmes sur puce

1.2.2.3 Fonction de routage

La fonction de routage assure le bon fonctionnement du routage des paquets ou des circuits le long du chemin de la source à la destination. La fonction de routage est choisie en faisant un compromis entre plusieurs paramètres, à savoir la puissance requise pour le routage, la taille de la table de routage, le retard du routage, etc. Les fonctions de routage peuvent être classées en plusieurs catégories.

Les fonctions de routage peuvent être *statiques* ou *dynamiques*. Une fonction de routage est dite statique ou encore déterministe lorsque le chemin emprunté pour transférer des paquets d'un routeur source à un routeur destination est fixe et cela quel que soit l'état en cours du NoC et la charge au niveau des routeurs ainsi que des liens de connexion. Pour les fonctions de routage dynamiques, la décision sur le routage est prise en fonction de l'état en cours du NoC et de la charge à laquelle il fait face. Ainsi, le chemin de transfert d'un routeur source à un routeur de destination peut évoluer dans le temps, notamment dans le cas où les besoins de l'application en cours changent. La fonction de routage dynamique permet de gérer mieux la distribution du trafic sur le NoC même si cela est assuré au prix d'un surcoût en ressources. Elle propose notamment des chemins alternatifs lorsque certaines directions sont en contention ou des routeurs ne fonctionnent plus.

Que ce soient des fonctions de routage statiques ou dynamiques, elle peuvent être classées selon l'emplacement de l'information de routage et la prise de décision de routage en *source* ou bien *distribuée*. Lorsque la fonction de routage est distribuée, les paquets entraînent avec eux l'adresse de la destination. Celle-ci est utilisée au niveau de chaque routeur et après chaque saut afin de définir le port de sortie vers lequel le paquet sera dirigé tout en consultant la table de routage logé dans ce même routeur. La fonction de routage en source ne nécessite ni d'inclure l'adresse de la destination dans l'entête des paquets ni de table de routage au niveau des routeurs intermédiaires. En revanche, l'entête des paquets contient des indications sur le chemin à emprunter (liste des routeurs relayeurs). Le nombre de bits nécessaires à cet entête augmente lorsque le chemin du paquet est long.

Les fonctions de routage peuvent être différenciées par le fait qu'elles soient à *routage minimal* ou à *routage non-minimal*. La classification est effectuée selon que la distance du chemin de routage est le minimum possible ou pas. En routage minimal, le paquet n'est envoyé que lorsque le chemin minimal est libre. Contrairement à cela, le routage non-minimal permet d'emprunter un chemin plus long que le minimum, ce qui permet d'éviter des contentions dans le NoC mais au prix d'un surcoût en consommation.

La fonction de routage doit éviter toute situation d'inter-blocage dans le cas de commutation des paquets. L'inter-blocage statique est une dépendance cyclique des demandes de ressources par un ensemble de routeurs. L'inter-blocage statique se

produit lorsque les routeurs s'empêchent mutuellement de l'obtention des ressources (routeur ou canal) dont ils ont besoin pour continuer leurs propagation dans le réseau [Coppola 08]. Ce type d'inter-blocage apparaît notamment dans la commutation de paquet en wormhole. Il existe aussi l'inter-blocage dynamique. Les routeurs se trouvant en inter-blocage dynamique forment un itinéraire en boucle fermé des paquets. Ainsi, les paquets se déplacent à travers cet itinéraire sans pouvoir sortir et atteindre leurs destinations respectives.

La fonction de routage en XY est sans doute l'une des plus utilisées dans les topologies de grille en 2D [Chawade 12]. La fonction de routage en XY basique appelée aussi statique consiste à transférer le paquet horizontalement puis verticalement en utilisant les coordonnées du routeur actuel et celles du routeur de destination. Il existe des variétés de cette fonction de routage. La fonction IX/Y consiste à router 50% des paquets en XY et 50% en YX. La fonction XY Dynamique (DyXY) est une fonction adaptative. Lorsque le chemin le plus court entre un routeur source et un routeur destination n'est pas unique, la fonction DyXY aide le paquet à choisir son chemin selon la charge en cours du réseau. La fonction XYX est une variété avec de la tolérance aux fautes. En effet, les paquets sont envoyés avec une redondance. Un marquage est introduit dans l'entête des paquets afin de distinguer l'original de celui de redondance. Le paquet original est routé en XY tandis que le paquet de redondance est routé en YX. Une autre variété de la fonction de routage XY est la fonction XY adaptative. Elle détermine le chemin des paquets en fonction de la charge en cours du réseau. Le chemin emprunté n'est pas forcément le plus court.

1.2.2.4 Protocole de contrôle de flux

Le rôle du protocole de contrôle de flux est d'allouer les ressources du NoC aux paquets traversant celui-ci. Le mécanisme de contrôle de flux s'occupe également de la gestion des conflits d'accès aux ressources du NoC. A titre d'exemple, lorsqu'une erreur de transmission d'un FLIT à travers le lien de connexion apparaît et qu'il va falloir l'envoyer à nouveau alors qu'en même temps, le FLIT suivant doit être envoyé lui aussi, le mécanisme de contrôle de flux intervient pour gérer ce conflit.

1.2.2.5 Système d'horloge du NoC

L'horloge dans les SoC est un point aussi sensible que les réseaux sur puce. En effet, d'une part, la génération et la distribution du signal d'horloge nécessaire au fonctionnement de l'ensemble des nœuds pourrait consommer dans certains cas jusqu'à 40% de la consommation globale du SoC [da Rosa 12], d'autre part, en plus des rayonnements électromagnétiques, le signal d'horloge est l'une des sources principales du bruit dans les SoC.

Idéalement, tous les nœuds du réseau doivent être cadencés sur une seule horloge globale mais à l'heure actuelle il est très difficile, voir impossible d'assurer la génération des signaux de l'horloge correctement synchronisés à l'entrée de chacun

1.3 État de l'art sur les réseaux sur puce classique

des nœuds du même SoC. Plusieurs paramètres peuvent être à l'origine du décalage entre ces signaux, à savoir, les variations de l'impédance d'entrée des buffers, de la longueur des liens de connexion, du processus de fabrication qui mène à des changements des valeurs des résistances, des capacités et des inductances. Face à cette problématique, le mécanisme GALS⁸ a été proposé et consiste en un fonctionnement du SoC globalement asynchrone et localement synchrone [Ludovici 11]. Des travaux de recherche ont été menés afin de proposer des solutions pour des SoC complètement synchrones, entre autre, en utilisant un oscillateur contrôlé numériquement [Terosiet 12], ou encore en utilisant une distribution d'une horloge mère par un arbre en H [Rosenfeld 06]. Une solution encore plus originale a été proposée et consiste à utiliser un réseau d'antennes intégrées afin de distribuer le signal d'horloge [Floyd 02].

1.3 État de l'art sur les réseaux sur puce classique

Un réseau sur puce est caractérisé par son architecture définie par sa topologie et un ensemble de paramètres permettant la gestion et l'organisation des communications. Ces paramètres sont, le mode de commutation, la fonction de routage, le contrôle de flux et la gestion de l'horloge. Dans la littérature, des NoC académiques ou industriels sont proposés dont quelques uns sont cités ci-dessous.

1.3.1 ARTERIS

Ce réseau est proposé par la société ARTERIS [ARTERIS], fournisseur d'IP pour les NoC, principalement des commutateurs et des interfaces réseau. Ce réseau peut être personnalisé en plusieurs topologies et offre la possibilité de le connecter via des interfaces à des bus partagés. Il fonctionne en mode complètement synchrone ou en GALS. Deux outils d'aide à la conceptions sont proposés, le *NoCexplorer* permettant la description et la simulation d'une topologie et le *NoCcompiler* qui, une fois la description validée, génère une description matérielle des ressources nécessaires au NoC décrit.

1.3.2 VSTNOC

Le VSTNOC⁹ est l'évolution du bus STBus de ST Microelectronics [STM] pour les réseaux sur puce [Scandurra 08]. Une famille de topologies est proposée avec divers formats de paquets constituant les messages échangés. Les IP accèdent à ce réseau à travers des unités d'interface réseau. En utilisant des routeurs pipelinés, le VSTNOC permet d'augmenter la fréquence d'échange de données. Un autre point fort de cette architecture est l'encombrement minimal des liens d'interconnexion.

8. Globally Asynchronous Locally Synchronous

9. Versatile ST-Microelectronics Network On Chip

1.3.3 Hermes

Hermes est un réseau en accès libre et de topologie en grille 2D dont la taille est personnalisable. Ce réseau est caractérisé par la commutation de paquets en mode wormhole et une fonction de routage XY [Moraes 04]. L'élément principal de ce réseau est le routeur qui est équipé de cinq ports d'entrée/sortie, quatre avec ses voisins cardinaux. Le cinquième port est lié localement avec un processeur ou une IP. Les entrées des ports sont équipées de buffers dont la taille est paramétrable mais de huit FLIT par défaut. Ces buffers emmagasinent les paquets en queue afin d'éviter la contention dans le routeur. Les deux premiers FLIT du paquet constituent son entête et contiennent l'adresse de destination ainsi que le nombre de FLIT du paquet.

1.3.4 Ætheral

Le réseau Ætheral a été développé dans les laboratoires de recherche de la société Philips [Goossens 05]. C'est un réseau indirect qui achemine les messages par commutation de paquets en wormhole. La fonction de routage est déterministe et localisée au routeur source. Les paquets sont mis en file d'attente au niveau des buffers pour gérer le trafic. La configuration de ce réseau est mise en œuvre afin d'éviter les inter-blocages statiques et dynamiques. Un premier paquet contenant l'adresse du routeur émetteur et celle du routeur récepteur est envoyé afin d'ouvrir et de réserver un chemin pour la suite des paquets. Si ce premier paquet ne parvient pas à atteindre la destination à cause de l'impossibilité de réserver tous le chemin, un second paquet prévient la source en empruntant le chemin inverse, en libérant au passage les ressources réservées initialement. Dans le cas où le premier paquet atteint la destination, un autre type de paquet est envoyé à la source afin de confirmer la réservation du chemin.

1.3.5 SPIN

Le réseau SPIN¹⁰ [Adriahantenaina 03] est conçu en topologie d'arbre élargi. La commutation se fait sur les paquets en mode wormhole. Quand un routeur doit gérer plusieurs paquets, ceux-ci sont mis en file d'attente. La taille des paquets n'est pas limitée. Chaque paquet est constitué de FLIT dont la taille est de 4 octets. Le paquet commence par un FLIT d'entête, suivi par des FLIT de données et enfin un FLIT de fin de paquet. Un octet du FLIT d'entête contient l'adresse de la destination tandis que le reste du FLIT sert pour d'autres services et options de routage.

Il existe encore beaucoup d'autres architectures de NoC qui ont été proposées dans la littérature. L'ensemble de ces architectures dites classiques, à partir d'un certain nombre d'éléments du réseau à interconnecter, s'avèrent insuffisantes pour

10. Scalable Programmable Integrated Network

1.4 Comparaison NoC vs bus partagé

répondre aux performances requises pour les MPSoC. D'autres paradigmes pour les NoC sont donc plus que nécessaires.

1.4 Comparaison NoC vs bus partagé

Le tableau suivant récapitule les avantages et les inconvénients des NoC et des bus partagés, tout en faisant la comparaison entre les deux selon plusieurs critères.

Table 1.1 – Comparaison NoC vs bus partagé ([Yoo 08]).

Paramètres	NoC	Bus partagé
Bande passante et rapidité	<ul style="list-style-type: none">⊕ Transfert de données non bloquant, les transferts sont concurrents.⊕ Liens de connexion pipelinés.⊕ La modélisation/conception est facilitée par la régularité de l'architecture.	<ul style="list-style-type: none">⊖ Transfert de données bloquant.⊖ L'ajout d'unités dégrade les performances électriques du bus partagé.
Utilisation des ressources	<ul style="list-style-type: none">⊕ Partage des ressources de transfert de manière régulée.	<ul style="list-style-type: none">⊖ Un seul maître utilise le bus partagé durant son transfert de données.

...Suite à la page suivante.

TABLE 1.1 – (suite de la page précédente)

Paramètres	NoC	Bus partagé
Fiabilité	<ul style="list-style-type: none"> ⊕ Facilité de contrôle et de détection d'erreurs grâce aux paquets. ⊕ Liens de communication entre commutateurs courts permettent la fiabilité de signalement d'erreur. ⊕ Possibilité de rerouter le paquet en cas de défaillance d'un chemin. 	<ul style="list-style-type: none"> ⊖ Contrôle d'erreurs pénalisant. ⊖ Probabilité d'erreur élevée à cause de la longueur des fils du bus. ⊖ Une défaillance partielle conduit systématiquement à la défaillance intégrale du bus.
Arbitrage	<ul style="list-style-type: none"> ⊕ Arbitrage distribué et nécessite une logique de petite taille et rapide. ⊖ L'arbitrage distribué utilise pratiquement des informations locales, pas/peu les conditions globales du trafic. 	<ul style="list-style-type: none"> ⊖ Tous les maîtres sollicitent un seul et même arbitre ce qui implique une logique de taille élevée et une réduction de la rapidité du bus. ⊕ La centralisation d'arbitrage permet de prendre les décisions les plus optimales.
Énergie	<ul style="list-style-type: none"> ⊕ La communication point à point réduit la consommation d'énergie. 	<ul style="list-style-type: none"> ⊖ Communication en diffusion (broadcast) nécessite plus d'énergie.

...Suite à la page suivante.

1.4 Comparaison NoC vs bus partagé

TABLE 1.1 – (suite de la page précédente)

Paramètres	NoC	Bus partagé
Modularité et complexité	<ul style="list-style-type: none"> ⊕ La réutilisation des routeurs/commutateurs et des liens de communication réduit considérablement le temps de conception. 	<ul style="list-style-type: none"> ⊖ Conception de bus spécifique donc peu/pas réutilisable.
Scalabilité	<ul style="list-style-type: none"> ⊕ La bande de bisection augmente avec la taille du réseau. 	<ul style="list-style-type: none"> ⊖ Le bus partagé devient lent en augmentant le nombre d'éléments à interconnecter. ⊖ Faiblement scalable.
Horloge	<ul style="list-style-type: none"> ⊕ Pas besoin d'une synchronisation globale. 	<ul style="list-style-type: none"> ⊖ Nécessité de synchronisation de l'ensemble des nœuds à interconnecter via le bus partagé.
Latence	<ul style="list-style-type: none"> ⊖ Les contentions au niveau des routeurs se traduisent en latence. ⊖ L'arbitrage à répétition dans chaque routeur aboutit à un cumul de latence. ⊖ les opérations de paquetage, de synchronisation et d'interfaçage entraînent de la latence supplémentaire. 	<ul style="list-style-type: none"> ⊕ Latence faible. La fonction d'arbitrage est relativement simple.

...Suite à la page suivante.

TABLE 1.1 – (suite de la page précédente)

Paramètres	NoC	Bus partagé
Surface	⊖ Les routeurs/ commutateurs et les buffers nécessitent d'avantage de surface.	⊕ Nécessite moins de surface et de buffers.
Standardisation	⊖ Faible standardisation.	⊕ Largement standardisé (AMBA, OCP, etc).

1.5 Réseaux sur puce émergents

Avec l'évolution de la finesse des technologies, le nombre de cœurs intégrés dans un SoC atteint plusieurs centaines voire des milliers. A partir de la technologie 90 nm, le retard dans les fils de connexion qui sont de plus en plus longs n'est plus négligeable. L'augmentation de ce retard est dû également au rétrécissement de la section des fils ainsi que du pas entre deux fils voisins ce qui mène à l'augmentation de la constante RC . D'autre part, la probabilité d'erreur sur les données échangées à travers le réseau est plus élevée à cause de plusieurs paramètres, entre autre, les interférences électromagnétiques (le bruit du crosstalk) et les problèmes de synchronisation.

De nouveaux paradigmes d'interconnexion sur puce ont fait leur apparition afin de remédier aux limites des NoC classiques. En effet, avec leur configuration actuelle, les NoC n'assurent plus les performances de communication requises afin d'accompagner l'évolution des performances des SoC, .

1.5.1 Intégration 3D

Le réseau sur puce en 3D, étant l'évolution naturelle de celui en 2D, était la première solution envisagée afin d'améliorer les performances des réseaux sur puce. En plus des communications horizontales, l'intégration 3D permet des communications verticales à travers des TSV¹¹ généralement. Les avantages principaux de l'intégration 3D sont, d'une part, la réduction considérable de la longueur des liens de connexion entre routeurs et d'autre part, la diminution du nombre de sauts nécessaires pour parcourir un chemin de données. L'intégration 3D des SoC, présente

11. Through-Silicon Via

1.5 Réseaux sur puce émergents

d'autres avantages en dehors du NoC tels que l'empilement de technologies hétérogènes, la réduction de la surface de la puce et enfin la réutilisation des masques sur plusieurs niveaux en cas de symétrie.

1.5.1.1 Principe

L'empilement 3D des SoC permet une haute densité d'intégration. Par ailleurs, la consommation d'énergie globale des NoC ainsi que la latence sont tous les deux réduits.

L'intégration en 3D concerne non seulement les *processing elements* mais le NoC aussi afin de tirer profit au maximum de cette approche. L'élément clé des NoC 3D est le routeur, sachant qu'il doit assurer à la fois une faible latence et une large bande passante. Diverses architectures des routeurs 3D sont envisageables dont quelques unes sont décrites ci-dessous.

Le routeur en 3D de base ou encore *le routeur symétrique* (Figure 1.11) est l'évolution naturelle du routeur en 2D. En plus des cinq ports dont le routeur 2D est doté, deux ports supplémentaires sont nécessaires pour un accès vertical. Ainsi, le routeur 3D requiert un large crossbar (7×7), un algorithme de routage plus compliqué et des buffers à chaque port. Ce routeur ne distingue pas les liens de connexion verticaux (courts, environ quelques microns) et les liens de connexion horizontaux (relativement longs, de l'ordre du millimètre). Toute communication, quelle soit intra-niveau ou inter-niveau, constitue un saut et est vue de la même manière par le routeur. L'avantage principal de ce routeur est la baisse du nombre de sauts grâce à la réduction de la taille du NoC sur chaque niveau. Cependant, l'amélioration en termes de latence est infime à cause de la multitude de transferts de données inter-niveaux. Dans le cas où le nombre de sauts est très élevé, le gain en terme de puissance dissipée grâce à la réduction du nombre de sauts nécessaires pour un transfert, peut vite être rattrapé par l'augmentation de puissance et de la surface du crossbar des routeurs. D'autres limites s'ajoutent à celles-ci, telles que l'augmentation de la taille des buffers, la complexité de la logique de routage et de celle d'arbitrage à cause des ports supplémentaires.

Le routeur 3D hybride (Figure 1.12) est appelé aussi routeur *asymétrique* à cause de l'asymétrie entre les latences dans les liens de connexions verticaux (courts) et horizontaux (longs). Étant donnée la courte distance des interconnexions verticales, une communication à travers tous les niveaux empilés, en un seul saut, est faisable. En effet, un bus partagé est utilisé pour les communications verticales et permet en un seul saut un transfert de données entre routeurs, qu'ils soient voisins ou pas. Contrairement au routeur symétrique, le routeur asymétrique requiert un seul port supplémentaire par rapport au routeur 2D ; ce port lui permettant d'accéder au bus partagé. Malgré l'amélioration qu'apporte le routeur asymétrique par rapport au routeur symétrique, son point faible reste la sérialisation des communications

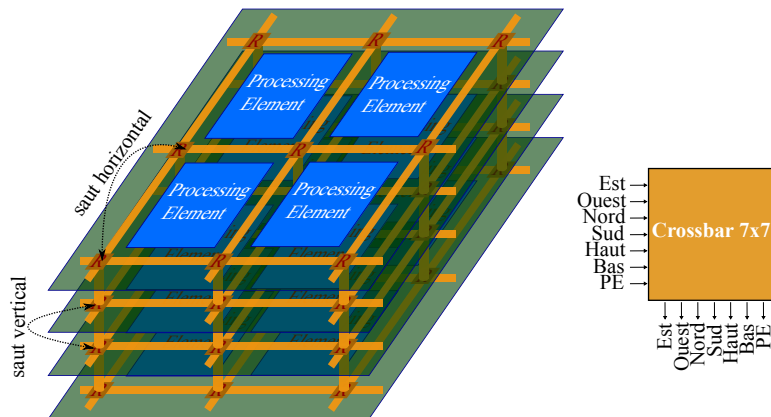


Figure 1.11 – NoC en 3D avec routeur symétrique [Kim 07]

à travers le bus partagé. En cas de grande quantité de paquets à écouler, le bus partagé peut créer une forte contention. Le bus vertical permet de réduire la latence globale du NoC par contre la bande passante verticale est considérablement réduite.

Le véritable routeur 3D implémente un crossbar en 3D, par conséquent, les liens

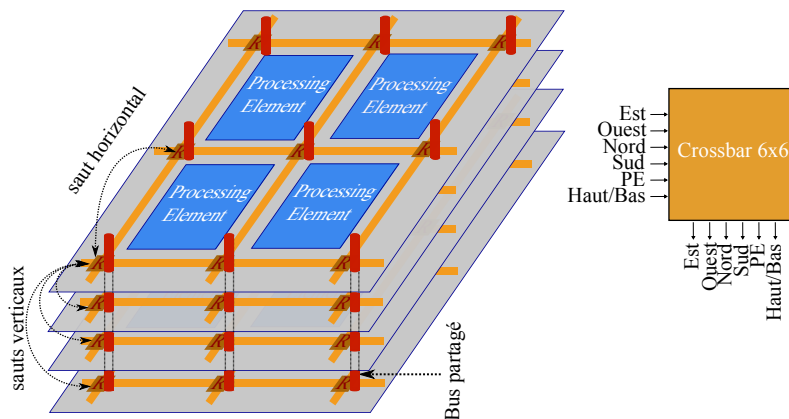


Figure 1.12 – NoC en 3D avec routeur asymétrique [Kim 07]

de connexions verticaux ne sont pas nécessaires. L'architecture du crossbar en 3D est une évolution du Crossbar 2D. Il est constitué d'un crossbar en 2D lui permettant des commutations entre ports du même niveau et des boîtes de connexion pour les commutations entre niveaux successifs (Figure 1.13). Pour un crossbar 3D à partir d'un crossbar 2D de 5×5 , il faudrait 25 boîtes de connexion. La fusion de tous les routeurs se trouvant sur la même ligne verticale donne lieu à de multiples chemins possibles. Par ailleurs, pour les routeurs de niveaux différents et se trouvant sur une même ligne verticale, les communications entre eux en un seul saut sont rendues possibles par cette approche. Par exemple, une communication entre le port *est* du

1.5 Réseaux sur puce émergents

niveau 1 et le port *sud* du niveau 3 se fait en un seul saut et sans passer par des buffers. Si à première vue, la multiplication de chemin offerte par le crossbar en 3D apparait avantageuse, il n'en reste pas moins que cette approche complexifie davantage la logique d'arbitrage.

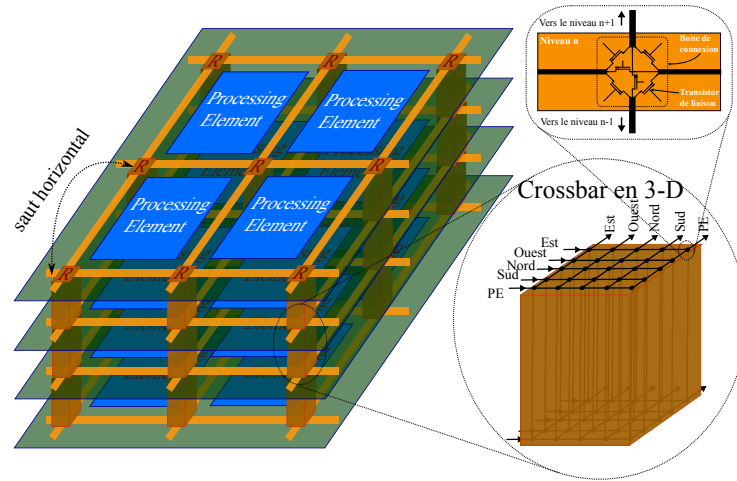


Figure 1.13 – NoC avec un véritable routeur 3D [Kim 07]

Le routeur 3D décomposé selon les dimensions (Figure 1.14) sépare le flux de données entrant en trois catégories, selon la direction de déplacement. En effet, dans un premier temps, les FLIT reçus par l'un des cinq ports d'entrée sont classés selon leur déplacement, est-ouest, nord-sud ou haut-bas et dirigés, à l'aide d'un démultiplexeur (1 vers 4), vers l'un des trois modules, dédiés chacun à une direction. Ces modules, à savoir, le module ligne (est-ouest), le module colonne (nord-sud) et le module vertical (haut-bas) sont tous dotés d'un crossbar dont la taille est de 4×2 pour les deux premiers [Kim 07]. Ces crossbars acheminent directement les FLIT vers le port de sortie adéquat. Cette architecture réduit sensiblement la taille du crossbar et par la même occasion la contention.

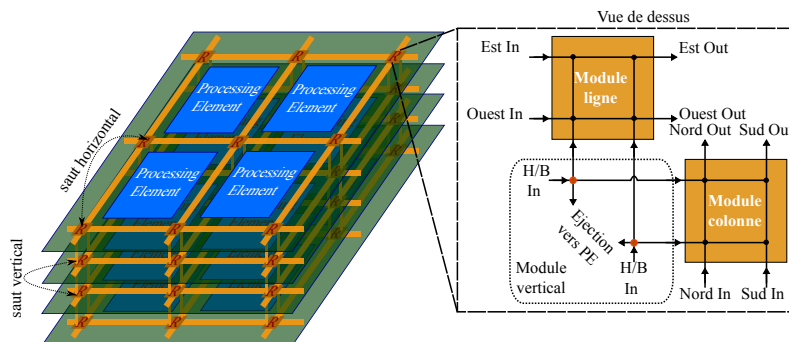


Figure 1.14 – NoC avec un routeur 3D décomposé selon les directions [Kim 07]

1.5.1.2 État de l'art des NoC 3D

Une multitude d'architectures de NoC 3D sont proposées dans la littérature. V. F. Pavlidis et al [Pavlidis 07] ont montré l'avantage de l'intégration 3D. Plusieurs topologies ont été ciblées tout en prenant comme référence le NoC de topologie en grille dans laquelle le NoC et le nœud, appelé aussi Processing Element (PE), sont tous les deux intégrés en 2D (Figure 1.15.a). L'intégration en 3D du NoC permet d'avoir une diversité de chemins et par conséquent réduire le nombre de sauts des paquets de données (Figure 1.15.b). Il est possible également d'intégrer le PE en 3D. Cela implique la diminution de la longueur des liens de communication reliant les routeurs pour ainsi réduire la durée et la puissance nécessaires pour les communications (Figure 1.15.c). L'idéal est de réunir l'intégration 3D à la fois du PE et du NoC (Figure 1.15.d) afin de tirer profit des deux approches.

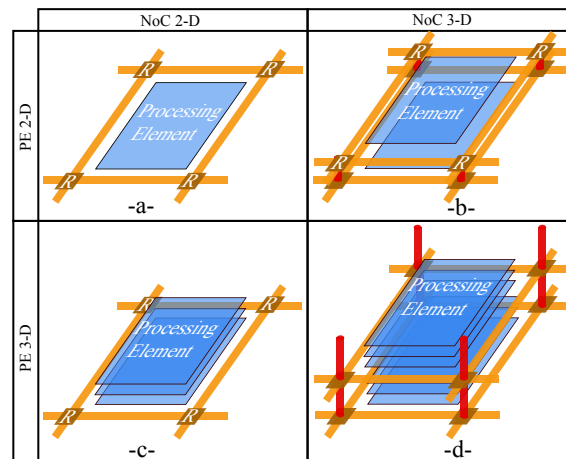


Figure 1.15 – SoC avec a)PE en 2D et NoC en 2D b)PE en 2D et NoC en 3D c)PE en 3D et NoC en 2D d)PE en 3D et NoC en 3D

Une comparaison des performances de ces topologies en termes de nombre moyen de sauts effectués par les paquets ainsi que la longueur des liens de communication a été effectuée [Pavlidis 07]. L'intégration en 3D du NoC et des PE présente les meilleurs résultats. Il a été démontré aussi que dans le cas où le retard de routage est dominant, les performances de la topologie de l'intégration 2D des PE avec NoC en 3D s'approche de celle de l'intégration en 3D des PE et du NoC. En revanche, lorsque le retard des liens de communication est dominant, les performances de l'architecture avec intégration en 3D des PE et un NoC 2D s'approche de celle de l'intégration en 3D des PE et du NoC.

W. Lafi et al [Lafi 11] ont proposé un NoC 3D à base d'un routeur 3D hiérarchique. Au lieu d'un routeur avec un crossbar 7×7 , ils ont partagé le routeur en deux sous-routeurs (Figure 1.16) : l'un avec un crossbar de 5×5 et l'autre de taille 4×4 . Mis à part les ports dédiés à la communication entre ces deux sous-routeurs, le premier est connecté avec des routeurs voisins du même niveau, tandis que le second

1.5 Réseaux sur puce émergents

est connecté avec les routeurs des deux niveaux voisins ainsi qu'avec le PE. Grâce à ce NoC, au lieu qu'un FLIT se déplaçant verticalement traverse n_1 routeurs de 7×7 pour atteindre sa destination, il traversera n_1 routeurs mais de taille de 4×4 uniquement. De la même manière, au lieu de traverser n_2 routeurs 7×7 horizontalement, il traversera un routeur 4×4 , n_2 routeurs 5×5 et enfin un routeur 4×4 . Le routeur 5×5 a été conçu et réalisé en technologie CMOS¹² 65 nm et grâce à des extrapolations de performance et d'architecture, une comparaison entre les routeurs 7×7 et le routeur hiérarchique est effectuée. En termes de coûts en surface et de consommation d'énergie, les deux routeurs sont à égalité ($0,28 \text{ mm}^2$ et $19,65 \text{ mW}$ respectivement).

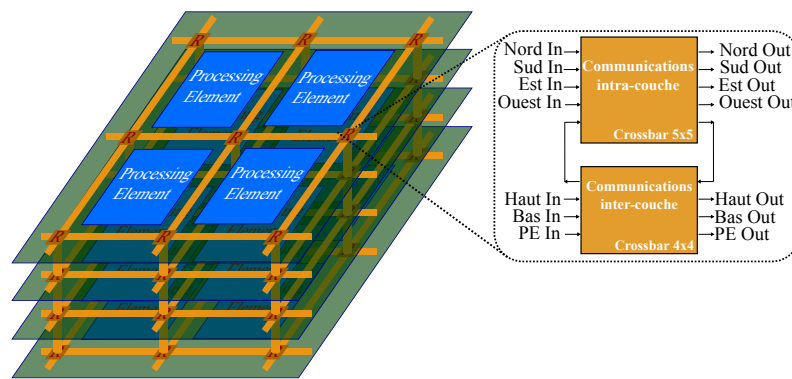


Figure 1.16 – Structure interne d'un routeur 3D hiérarchique pour un NoC 3D

La technique GALS est utilisée pour gérer la synchronisation du SoC. Le passage de la partie synchrone à la partie asynchrone est assuré grâce aux interfaces réseau.

Les performances de ce réseau ont été évaluées en utilisant une configuration avec 256 routeurs répartis en 8 niveaux contenant chacun 32 routeurs. En terme de débit en fonction du taux d'injection de données dans le NoC, le seuil de saturation peut être repoussé de 15 à 25% grâce à l'approche utilisée. Quant à la latence, en fonction du débit de données, la méthode proposée présente en moyenne 15 à 25% de moins par rapport au réseau conventionnel. Le seuil de saturation du débit est aussi repoussé.

Contrairement aux topologies présentées jusqu'ici, qui sont complètement 3D, A. Bartzas et al [Bartzas 09] ont exploré une topologie hétérogène avec à la fois des routeurs 2D et 3D au sein du même NoC. L'objectif principal de ces topologies est de réduire la longueur totale des interconnexions et de réduire le nombre de routeurs 3D dont l'architecture est complexe. Plusieurs configurations de cette topologie sont proposées selon le positionnement des routeurs 2D dans le NoC 3D. Les routeurs 2D sont soit répartis uniformément sur toute la surface d'un niveau, soit concentrés au centre ou encore répartis sur le pourtour d'un niveau. Grâce à cette méthodologie, par rapport à une architecture complètement 3D, des gains sont atteints en termes

12. Complementary Metal Oxide Semiconductor

de consommation (jusqu'à -29%), de latence (-2% en moyenne) et de surface active des routeurs (jusqu'à -18%).

1.5.1.3 Contraintes et défis de l'intégration 3D

Certes l'intégration 3D offre de nombreux avantages, néanmoins, elle souffre de plusieurs contraintes qui empêchent sa percée à grande échelle.

La problématique majeure de l'intégration 3D est incontestablement *la dissipation de la chaleur*. En outre, la haute densité d'intégration implique inévitablement une haute densité de puissance et se traduit en température élevée du SoC. Ainsi, cette augmentation de la température, d'une part, empêche le SoC de fonctionner à des hautes fréquences et d'autre part réduit considérablement la fiabilité des circuits empilés.

L'intégration 3D souffre également du coût élevé de réalisation à cause de la difficulté de réalisation des TSV. Cette difficulté vient du fait de la grande taille de la section des TSV par rapport aux transistors.

Il existe d'autres contraintes de l'intégration 3D qui sont la difficulté et le coût élevé des procédures de test des circuits 3D ainsi que l'apparition de nouveaux défauts de fabrication spécifiques à cette approche.

1.5.2 Interconnexions optiques

Les interconnexions optiques sont une solution prometteuse pour pallier le goulet des interconnexions sur puce. Cette solution consiste à remplacer les connexions électriques par des guides d'ondes optiques. Ses avantages sont multiples et variés. Les interconnexions optiques offrent une bande passante estimée à plusieurs centaines de gigas et en utilisant une simple modulation (OOK ¹³). Ils possèdent une certaine immunité aux problèmes des interférences électriques et aux capacités/inductances parasites. La puissance nécessaire à la transmission de données en utilisant des interconnexions optiques est complètement indépendante de la distance. Une fois le chemin de communication établi, la transmission se fait à très grande vitesse et généralement sans nécessité de transiter par des routeurs intermédiaires. Contrairement aux réseaux électriques, le débit de données, aussi grand qu'il soit, est transparent pour le réseau optique.

Les interconnexions optiques sont déjà déployées dans les super-calculateurs ainsi que dans les communication inter-puces. Dans ces circuits, la problématique de surface ne se pose pas ou très peu contrairement aux SoC. La faisabilité des interconnexions optiques comme réseau sur puce suscite un grand intérêt auprès des laboratoires académiques et industriels.

1.5.2.1 Principe

L'architecture d'un réseau sur puce basé sur des interconnexions optiques est relativement simple. Elle est constituée d'une source laser, d'un émetteur optique,

13. On-Off Keying

1.5 Réseaux sur puce émergents

d'un guide d'onde et d'un récepteur optique [Haurylau 06]. L'intégration de la source laser dans le SoC demeure un verrou pour cette approche. Ainsi, une source laser externe au SoC est envisagée dans un premier temps.

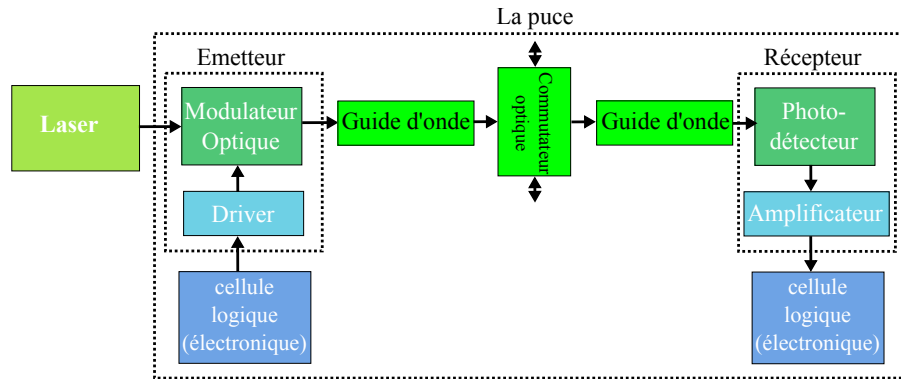


Figure 1.17 – Architecture d'un réseau sur puce basé sur des interconnexions optiques

La source laser produit de la lumière pour le modulateur optique. Celui-ci, traduit les données fournies par le driver sous formes de signal électrique en un signal optique modulé. Les performances du modulateur opto-électrique dépendent du *taux d'extinction* qui est défini par le rapport des intensités de lumières des états on-off de la modulation. Le taux d'extinction dépend à son tour de la puissance du signal électrique qui commande le modulateur. Un taux d'extinction de valeur faible augmente la probabilité d'erreur de transmission à cause de la difficulté de déceler les niveaux du signal du côté du photo-détecteur.

Le guide d'onde est le chemin emprunté par le signal optique véhiculant les données. L'indice de réfraction du matériau du guide d'onde joue un rôle primordial dans le réseau sur puce optique en termes de bande passante, de latence et de surface. Le silicium et les polymères sont les plus utilisés, ces derniers étant ceux qui présentent la latence la plus faible [Pasricha 08]. Le commutateur optique n'est utilisé que dans certaines topologies des NoC optiques. Il a un rôle équivalent à celui des routeurs intermédiaires dans les réseaux classiques.

Le récepteur optique est constitué d'un photo-détecteur et d'un amplificateur. Dans le cas où de multiples transmissions sont effectuées simultanément sur le guide d'onde en utilisant le multiplexage en longueur d'onde (WDM¹⁴), le photo-détecteur doit être doté de filtres sélectifs afin de sélectionner individuellement les données portées par chacune des longueurs d'ondes. La diode PIN¹⁵ est largement utilisée dans ce cas. Lors de la conception du récepteur photo-électronique, un compromis est à

14. Wave Division Multiplexing

15. Positive Intrinsic Negative (... diode)

trouver entre sa rapidité et son efficacité quantique qui caractérise les pertes lors de la conversion du signal optique en un signal électrique.

1.5.2.2 État de l'art des NoC optiques

Deux types de modulateurs sont largement évoqués dans la littérature, à savoir, l'interféromètre de Mach-Zehnder [Green 07] qui est très rapide (une dizaine de Gbps) mais qui occupe une grande superficie (jusqu'à quelques millimètres de longueur) et consomme beaucoup d'énergie. Le second modulateur opto-électronique est la diode PIN [Xu 05] qui est basé sur un micro-résonateur. Le principe de ce résonateur est la sensibilité de la lumière aux petites variations de l'indice de réfraction du silicium. Contrairement au premier, celui-ci est compact ($12\ \mu\text{m}$ de diamètre) et peu consommateur en énergie. L'inconvénient de ce modulateur est sa rapidité qui ne dépasse pas quelques MHz (Démonstration pour 400 Mb/s).

De multiples implémentations de réseaux sur puce à base d'interconnexions optiques ont été présentées dans la littérature. Dans les paragraphes suivants, quelques unes sont décrites.

A. Joshi et al [Joshi 09] ont proposé une topologie de réseau optique pour l'interconnexion d'un MPSoC à 64 tuiles dans laquelle un multiplexage en longueur d'onde est utilisé (WDM). Dans ce réseau, une source laser externe fournit une lumière à plusieurs longueurs d'ondes (deux dans la figure 1.18 λ_1 et λ_2). Ce signal optique atteint le guide d'onde du SoC à travers un coupleur. Tout le long du guide d'onde, des émetteurs utilisant des modulateurs à anneaux résonnants modulent le signal optique d'une seule longueur d'onde. Les récepteurs utilisent des filtres à anneaux résonnants, chacun étant accordé sur une longueur d'onde pour absorber le signal correspondant depuis le guide d'onde et le conduit vers le photo-détecteur. Une fois le signal optique transformé en un signal électrique, ce dernier atteint le récepteur électrique. En cas de besoin d'un débit élevé, le nombre de guides d'ondes est augmenté.

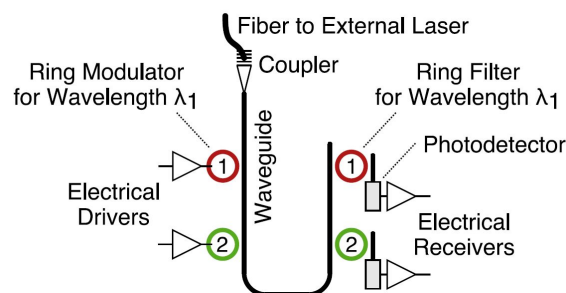


Figure 1.18 – Structure d'un NoC optique avec deux points d'accès [Joshi 09]

Plusieurs types d'architectures de modulateur/démodulateur sont envisageables. Les deux architectures de base sont le multiplexage distribué et le multiplexage

1.5 Réseaux sur puce émergents

concentré. Dans la première configuration, chaque émetteur peut transmettre ses données en utilisant l'une des longueurs d'onde mises à disposition dans le réseau tandis que les récepteurs ne sont dotés que d'un seul filtre qui leur permet de recevoir des données sur une seule longueur d'onde. La seconde configuration est l'inverse de la première. Elle autorise l'envoi sur une seule longueur d'onde et la réception sur toutes les longueurs d'onde. Cette configuration est particulièrement intéressante dans les communications de type *broadcast*. Pour les deux configurations des émetteurs/récepteurs, un arbitrage globale est indispensable.

Des architectures de NoC optiques plus évoluées sont également proposées afin de réduire le coût en surface ainsi qu'en consommation d'énergie. Ces architectures sont basées sur l'utilisation de réseaux à plusieurs étages de petits routeurs [Joshi 09].

A.Scandurra et I. O'Connor [Scandurra 08] ont proposé l'équivalent du réseau classique VSTNOC en utilisant les interconnexions optiques. Cela permet de garder les protocoles de communication existants. Chaque initiateur de ce réseau peut communiquer simultanément avec 1 à N cibles constituant le réseau (exemple avec $N=8$ sur la figure 1.19).

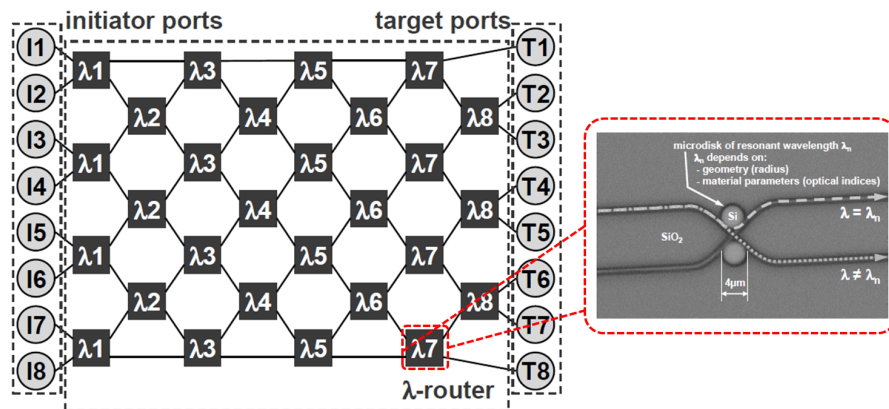


Figure 1.19 – Structure d'un NoC optique à base de λ -routeur [Scandurra 08]

Tout initiateur (I_i) est relié à un émetteur électro-optique et chaque cible T_j est reliée à un récepteur qui transforme le signal optique en un signal électrique. Dans les deux cas, la liaison est faite à travers des *interfaces réseau*. Cette structure de communication contient des λ -routeurs qui permettent le routage du signal optique selon sa longueur d'onde [Brière 05]. Sa surface est d'environ $10 \times 10 \mu m^2$. Une des techniques de réalisation de ces λ -routeurs consiste en l'utilisation de micro-disques résonnants. Si la longueur d'onde (λ) du signal se propageant dans le guide d'onde adjacent au micro-disque est égale à celle de résonance de ce dernier (λ_n), le signal est couplé sur le micro-disque et ensuite sur l'autre guide d'onde voisin, sinon le signal continue sa propagation dans le même guide d'onde (Figure 1.19). Ainsi, le λ -routeur a un comportement semblable à un crossbar 2×2 . Vu de l'extérieur, ce routeur optique a le comportement suivant :

- Si $\lambda = \lambda_n \Rightarrow$ Propagation droite (parallèle).
- Si $\lambda \neq \lambda_n \Rightarrow$ Propagation en diagonale.

Un réseau de N initiateurs-cibles est constitué au moins de N étages de λ -routeurs. Les étages sont composés alternativement de $(N/2)$ et $(N/2 - 1)$ λ -routeurs. Il existe un chemin physique unique pour chacun des couples initiateur-cible (I_i, T_j) en utilisant une longueur d'onde unique. Si chaque émetteur est équipé d'une seule source laser accordable sur plusieurs longueurs d'ondes, 8 (dans le cas où $N=8$) transmissions sont possibles à la fois dans le réseau et 64 (N^2) transmissions si l'émetteur peut générer simultanément des signaux optiques à 8 longueurs d'onde différentes.

A. Shacham et al [Shacham 08] ont proposé un NoC hybride dans lequel les messages de grande taille sont transmis via une couche d'interconnexion optique avec commutation de circuit, tandis que les messages de petite taille sont transmis à travers la couche d'interconnexion électrique avec une commutation de paquets. Le réseau électrique sert aussi à commander les commutateurs de la couche optique. Ainsi chaque envoi de message via le réseau optique est précédé par l'envoi d'un paquet de commande via le réseau électrique afin d'établir le chemin dans la couche d'interconnexion optique.

Qu'il soit de topologie en grille ou en tore, la couche optique du réseau est constitué de routeurs hybride 4×4 . Ces routeurs sont interconnectés avec des guides d'ondes. Chacun des routeurs est constitué de 4 commutateurs optiques 2×2 (PSE¹⁶) et d'un routeur électronique (ER¹⁷) de commande (Figure 1.20). S'il se trouve en mode purement de commutation, le routeur hybride est connecté aux 4 routeurs voisins (nord, sud, est, ouest), sinon l'un de ses 4 ports est utilisé pour connecter le PE.

L'architecture la plus adoptée dans la littérature consiste à utiliser un guide d'onde qui parcourt tout le SoC avec des émetteurs/récepteurs tout au long. Les émetteurs/récepteurs sont généralement à base d'anneaux résonnants. Parmi celles-ci, on trouve l'architecture Corona [Vantrease 08] ainsi que l'architecture ATAC [Kurian 10].

L'architecture Corona [Vantrease 08] met à profit conjointement, l'intégration 3D et les interconnexions optiques. Elle est prévue pour la technologie 16 nm en 2017 et est constituée de 256 processeurs organisés en 64 clusters. L'ensemble des clusters est connecté par le réseau optique. Le débit agrégé s'élève à plusieurs téra-bit par second.

L'architecture ATAC [Kurian 10] peut aller jusqu'à 1024 processeurs et est organisée en 64 clusters de 16 processeurs chacun. Les communications intra-cluster sont effectuées à travers un NoC électrique et à travers deux réseaux distincts avec le routeur-concentrateur connecté au guide d'onde.

16. Photonic Switching Element

17. Electronic Router

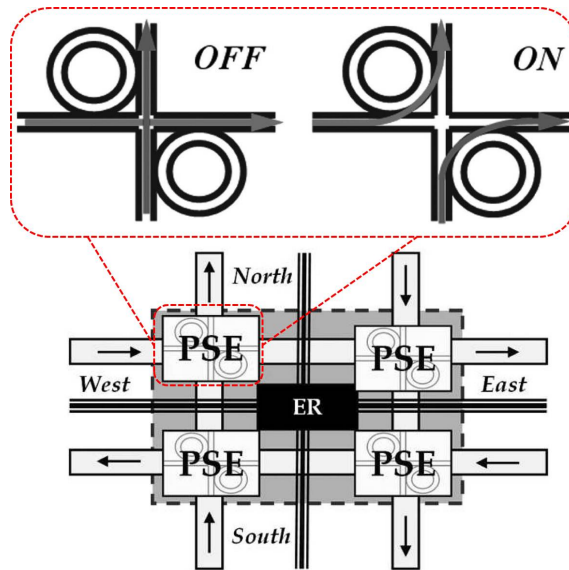


Figure 1.20 – Structure du routeur hybride 4×4 [Shacham 08].

1.5.2.3 Problématiques et défis des NoC optiques

Les interconnexions optiques sont incontestablement l'une des solutions les plus prometteuses à long terme pour les réseaux sur puce. Néanmoins, davantage de travaux de recherche sont nécessaires afin de déverrouiller certaines problématiques qui subsistent pour ce type d'interconnexion. Quelques unes de ces problématiques sont citées ci-dessous :

- L'efficacité de l'émetteur et du récepteur opto-électrique en termes de rapidité, de puissance dissipée ainsi qu'en densité d'intégration. En effet, ces paramètres doivent être aux moins égaux à ceux des interconnexions électriques filaire, voire meilleurs afin de les concurrencer.
- Miniaturisation et intégration de la source laser dans le SoC .
- Le coût élevé des guides d'onde utilisant des polymères et nécessitant des modulateurs/démodulateurs spécifiques.
- La sensibilité à la variation de la température des composants constituant les interconnexions optiques, nécessite soit d'assurer une température constante, soit de rechercher de nouveaux composants qui sont peu ou pas du tout sensibles aux variations de la température.

1.5.3 Interconnexion à nano-tube de Carbone

Les nano-tubes de Carbone, communément appelés CNT¹⁸ sont proposés pour remplacer les fils de cuivre utilisé par les NoC classiques. Les CNT se présentent sous forme de graphène enroulé en cylindre dont le diamètre varie de 0,6 à 3 nm (Figure 1.21). Selon la direction dans laquelle ils sont enroulés, les CNT peuvent se comporter soit en métal soit en semi-conducteur.

18. Carbone Nano-Tube

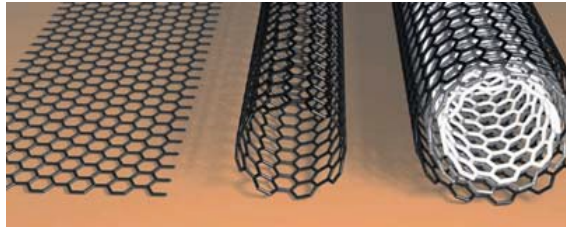


Figure 1.21 – Illustration de la structure du graphène (à gauche) ainsi que des nanotubes de carbone mono-feuillet (milieu) et multi-feuillet [Graham 05].

Les CNT présentent des propriétés remarquables. En effet, les CNT possèdent une grande stabilité mécanique et thermique, une bonne conduction thermique et surtout une grande capacité de conduction du courant électrique. La structure particulière des CNT leur permet d'être résistant à l'électro-migration. Il a été démontré qu'un CNT de diamètre 1 nm, peut supporter une densité de courant de près de $10^{10} A/cm^2$ [McEuen 02] sans dégrader les performances du tube. Les CNT possèdent également la plus haute mobilité de porteurs de charges jamais mesurée.

La morphologie de base des CNT est dite mono-feuillet (SWCNT¹⁹). L'emboîtement des CNT mono-feuillets, les uns à l'intérieur des autres constitue un CNT dit multi-feuillet (MWCNT²⁰). Les MWCNT ont un comportement métallique [Kordrostami 08]. A cause de leur résistance intrinsèque élevée [Raychowdhury 04], le SWCNT n'est pas une solution envisageable pour remplacer les fils de cuivre d'interconnexions globales et intermédiaires, les SWCNT empilés ainsi que les MWCNT le sont et avec une amélioration considérable des performances de transmission [Li 08]. En revanche, il existe encore de nombreux verrous technologiques qu'il faudra résoudre, à savoir, le mauvais contact CNT-Métal, la difficulté de donner la chiralité voulue au CNT lors du processus de fabrication et enfin l'effet inductif qui peut être très contraignant à hautes fréquences.

A. Raychowdhury et al [Raychowdhury 04] ainsi que Z. Kordrostami et al [Kordrostami 08] ont proposé des modèles des CNT servant d'interconnexion.

1.5.4 Interconnexion RF avec/sans fil (RFNoC)

Les NoC classiques avec bus en cuivre fragmentés par des répéteurs exploitent, dans les meilleurs cas, 5GHz de bande fréquentielle. Cela correspond à 2% de la bande passante disponible en technologie 45 nm. Cette bande disponible est limitée

19. Single-Walled Carbone Nano-Tubes

20. Multi-Walled Carbone Nano-Tubes

1.5 Réseaux sur puce émergents

par la fréquence de coupure des circuits CMOS f_T ²¹ qui s'élève, selon l'ITRS, à 240 GHz pour la technologie 45 nm [Itrs]. Les NoC classiques souffrent également de la faiblesse de reconfiguration de l'allocation de la bande passante disponible, d'une puissance dissipée élevée et d'une latence qui augmente avec la taille des MPSoC. Le réseau sur puce basé sur des interconnexions RF (RFNoC) est proposé afin de pallier ces limites. En effet, l'atout majeur des RFNoC est de tirer profit de la très large bande de fréquences disponible dans les circuits CMOS. Il est prévu que la fréquence de coupure des circuits intégrés atteindra les 600 GHz en technologie 16 nm [Itrs]. Cela permettrait la conception des segments RF à très large bande en ne nécessitant que très peu de surface en Silicium. Contrairement aux interconnexions classiques dans lesquelles pour envoyer un "1" ou un "0" logique, il faut charger ou décharger toute la ligne, pour les RFNoC, les données sont transmises sous forme d'ondes électromagnétiques impliquant moins de puissance dissipée et une très faible latence. En outre, les transmissions bidirectionnelles simultanément ainsi que la reconfiguration de la bande disponible sont également possibles dans les RFNoC et permettent aussi les communications de type broadcast²² et multicast²³. L'implémentation du RFNoC est extensible et complètement compatible avec les circuits CMOS [Chang 01]. Ces avantages du RFNoC ne sont entièrement assurés qu'à partir d'une certaine taille du MPSoC.

1.5.4.1 Principe

Le principe des RFNoC consiste à échanger les données sous forme d'ondes électromagnétiques. Les données sont modulées en amplitude ou en phase, voire les deux et mises sur une porteuse. L'une des modulations les plus simples est la BPSK²⁴ et consiste en un changement de phase entre 0° et 180°. Une fréquence porteuse est allouée à chaque transmission d'un initiateur vers une cible. Ainsi, un accès multiple par répartition en fréquence (FDMA²⁵) est adoptée. L'accès multiple par répartition en code (CDMA²⁶) est aussi utilisé et consiste à accorder un code pour chaque transmission entre un émetteur et un récepteur. L'architecture générale d'un RFNoC est illustrée dans la figure 1.22.

Le bloc numérique peut être un processeur, une mémoire ou simplement une IP. Il peut être aussi une tuile constituée d'un à deux processeurs, d'une mémoire et éventuellement d'une IP, ou encore un cluster qui regroupe un certain nombre de tuiles. Dans ce dernier cas, le réseau sur puce est couramment hiérarchisé. Le RFNoC est emprunté pour effectuer les communications à longue distance tandis que

21. f_T ou *frequency Transition* correspond à la fréquence pour laquelle le gain en courant du transistor chute à l'unité.

22. Diffusion d'un émetteur à tous les récepteurs du réseau

23. Diffusion d'un émetteur à une partie des récepteurs du réseau

24. Binary Phase-Shift keyin

25. Frequency Division Multiple Access

26. Code Division Multiple Access

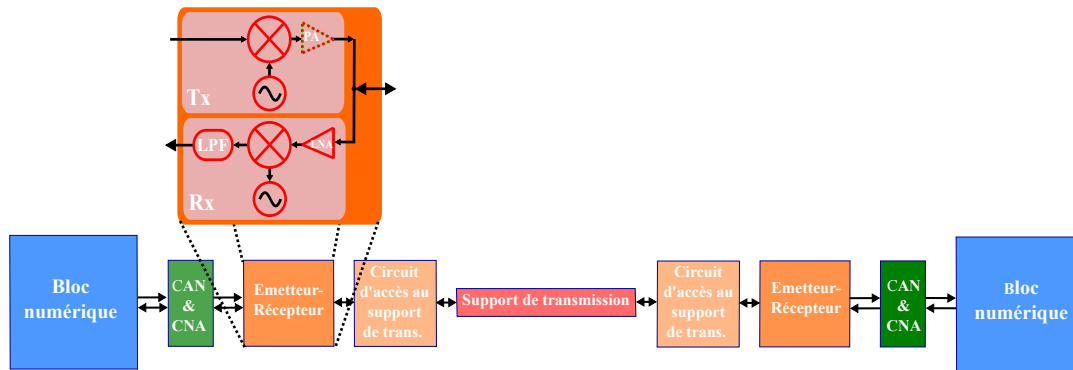


Figure 1.22 – Illustration de l'architecture du RFNoC.

localement, les communications sont assurées par un réseau classique.

Les convertisseurs analogique-numérique (CAN) et numérique-analogique (CNA) ne sont pas nécessaires pour toutes les architectures, notamment lorsqu'aucun traitement n'est effectué sur le signal provenant du bloc numérique. Parmi ces traitements, nous pouvons citer la modulation numérique afin d'augmenter l'efficacité spectrale et la mise en forme du signal afin de réduire la puissance des lobes secondaires au minimum.

L'émetteur-récepteur s'occupe de la transposition fréquentielle du signal. L'écart fréquentielle de transposition est fixé par la fréquence du signal de l'oscillateur local. L'architecture homodyne étant celle qui occupe le moins de surface possible est souvent utilisée. L'émetteur homodyne est composé d'un oscillateur local et d'un mélangeur qui met le signal de bande de base à la fréquence porteuse et éventuellement d'un amplificateur de puissance (PA²⁷). Souvent, le PA n'est pas nécessaire dans le cas des RFNoC. Quant au récepteur homodyne, il est constitué d'un amplificateur faible bruit (LNA) ainsi que d'un oscillateur local et d'un mélangeur qui ramène en bande de base le signal se trouvant à la fréquence porteuse. Le récepteur est également doté d'un filtre passe-bas (LPF²⁸) qui permet de supprimer tous les signaux qui dépassent la bande passante du signal utile, notamment le signal des autres transmissions du RFNoC.

Les émetteurs-récepteurs doivent être à large bande passante ou à défaut reconfigurables afin de pouvoir utiliser toutes les bandes de transmission disponibles. Dans tous les cas, l'oscillateur local doit pouvoir générer des fréquences différentes à des instants différents.

Un RFNoC est dit *avec ou sans fil* selon son support de transmission données. A chacune de ces deux catégories du RFNoC est associé un type de circuit d'accès

27. Power Amplifier

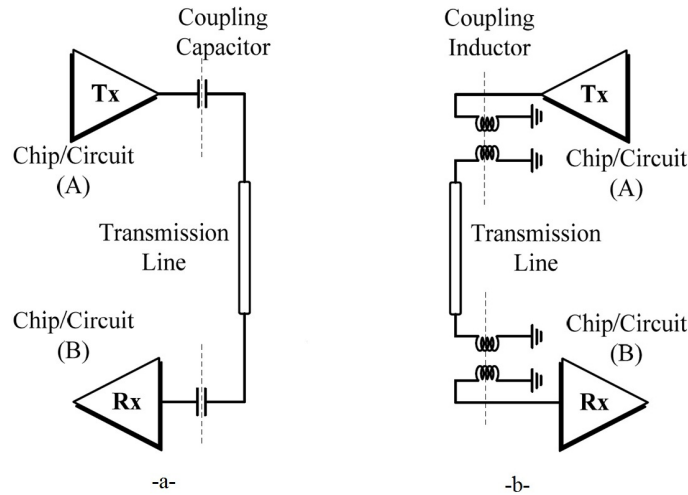
28. Low Pass Filter

1.5 Réseaux sur puce émergents

au support de transmission.

La première catégorie des RFNoC est celle dont le support de transmission est une ligne de transmission. La ligne de transmission est conçue pour qu'elle permette un délai de propagation le plus court possible, un minimum de pertes et de dispersion et qu'elle soit compacte. Les types de lignes de transmissions les plus utilisés sont les lignes différentielles, les lignes coplanaires et un peu moins les lignes microstrip. Le circuit d'accès à la ligne de transmission peut être capacitif [Xu 11] [Chang 01][Sun 05], inductif [Kim 12] ou tout simplement direct [Chang 08b]. La figure 1.23 illustre les accès capacitif et inductif. L'accès capacitif est le plus avantageux et réduit la perturbation de l'impédance caractéristique de la ligne de transmission dû aux accès multiples.

La deuxième catégorie des RFNoC est celle dont les transmissions sont effectuées à travers l'air libre. Ainsi les circuits d'accès sont des antennes. Ces antennes doivent être miniaturisées au maximum et à large bande tout en ayant un bon gain.



1.5.4.2 État de l'art

Plusieurs travaux sont présentés dans la littérature afin de montrer la faisabilité des CAN/CNA à des fréquences d'échantillonnage très élevées. Y. M. Greshishchev et al [Greshishchev 10] ont montré la faisabilité et ont réalisé un CAN pouvant atteindre les 40 GSPS²⁹ avec une résolution de 6 bits, une consommation inférieure à 1,5 W et une surface de $4 \times 4 \text{ mm}^2$ en technologie CMOS 65 nm. M. Nagatani et al [Nagatani 11] ont proposé un CNA de 60 GSPS, 6 bits de résolution avec une consommation entre 0,3 à 1,8 W et une surface de $3 \times 3 \text{ mm}^2$ (avec les plots) en technologie $0,5 \mu\text{m}$ InP HBT³⁰.

29. Giga-Samples Per Second

30. Indium-Phosphide Heterojunction Bipolar Transistor

La faisabilité d'un émetteur-récepteur pour une modulation OOK et permettant la transmission avec un débit de 3.3 Gbps³¹ et à une fréquence porteuse de 60 GHz a été montrée en technologie CMOS 90 nm [Lee 10]. L'émetteur fait 0.43 mm^2 et consomme 183 mW alors que le récepteur fait 0.68 mm^2 et consomme 103 mW. Un émetteur-récepteur pour une modulation ASK³² à une fréquence d'oscillateur local à 131-140 GHz et avec un débit maximum de 2.5 Gbps a été proposé par Z. Xu [Xu 10] en technologie CMOS 65 nm. Les émetteurs-récepteurs occupent des surfaces actives de 0.03 mm^2 - 0.12 mm^2 respectivement et consomment des puissances s'élevant à 115 mW-120 mW respectivement. Un modulateur-démodulateur BPSK pour un débit de données de 2 Gbps a été présenté par J. Kim et al [Kim 11]. L'émetteur-récepteur opérant à 6 ou 12 GHz montre de bonnes caractéristiques en surface ($0,0128 \text{ mm}^2$ et $0,0261 \text{ mm}^2$) ainsi qu'en consommation d'énergie (2,7 mW et 9,8 mW).

Huang et al [Huang 08] ont présenté les travaux de conception d'un circuit CMOS d'un oscillateur local de 324 GHz en technologie 90 nm. Leur méthode consiste en la superposition linéaire de quatre signaux en quadrature de phases et de fréquences quatre fois plus faibles que celle générée au final.

La faisabilité de l'intégration des antennes sur un SoC a été montrée dans [O 05]. Cette démonstration concerne une antenne de moins de 0.5 mm^2 et permet des transmissions à 15 GHz et à des distances allant jusqu'à 2.2 cm. L'antenne est utilisée pour la distribution du signal d'horloge. Une multitude de types d'antennes est explorée, notamment le dipôle linéaire, le dipôle en zig-zag ou encore en boucle.

M. Bialkowski et al [Bialkowski 09] ont proposé une antenne à fente effilée avec des propriétés large bande (6 GHz) entre 20 et 30 GHz, de taille de moins de 2 mm^2 et un gain de transmission de -15 dB³³ à 10 mm de distance.

Les antennes en graphène sont très prometteuses. En effet, S. Abadal et al [Abadal 13] ont fait des projections de performances et prévoient la possibilité de doter chaque processeur d'un MPSoC d'un émetteur-récepteur et d'une antenne, le tout occupant quelques μm^2 de surface. Cette miniaturisation sera obtenue grâce au graphène qui permet de monter en fréquence jusqu'à l'ordre du THz. Les nono-tubes de carbone sont également proposés comme des antennes optiques [Kempa 07]

Les RFNoC sont proposés pour la première fois et brevetés par M. F. Chang et al [Chang 01][Chang 12]. M. F. Chang et al ont montré la faisabilité des RFNoC en utilisant les techniques d'accès multiples CDMA et FDMA. Ils ont réalisé un démonstrateur constitué d'un émetteur et d'un récepteur, combinant le CDMA et le FDMA avec un modulateur à conversion directe, à fréquence porteuse de 5 GHz et une ligne de transmission dont l'accès est capacitif. Le couplage capacitif permet également des interconnexion 3D à condition que l'émetteur et le récepteur soient sur deux niveaux métalliques différents [Socher 07].

31. Giga-bit per second

32. Amplitude-Shift Keying

33. Décibel

1.5 Réseaux sur puce émergents

M. F. Chang et al [Chang 05a] montrent dans leurs travaux de recherche que le TDMA³⁴ est caractérisé par une faiblesse en termes de débit de données ainsi que de reconfigurabilité. Quant aux CDMA et FDMA, les deux techniques sont au même niveau de reconfigurabilité qui est plus élevée que celui du TDMA. Mais en terme de débit, le FDMA possède de meilleures performances. Pour toutes ces raisons, une combinaison des deux techniques FDMA et CDMA a été proposée sous forme de CDMA multiporteuse (MC-CDMA³⁵) afin d'avoir un maximum de débit et de reconfiguration [Chang 05a].

S. W. Tam et al [Tam 09] ont proposé et réalisé le circuit d'une transmission combinée RF et en bande de base. En effet, à travers la même ligne de transmission différentielle faisant 5 mm de longueur, deux bandes de 4 Gbps chacune sont transmises à des fréquences porteuses de 30 GHz et 50 GHz ainsi que 2 Gbps en bande de base. L'énergie nécessaire pour la transmission d'un bit est de 0.125 pJ/b/mm en bande de base et 0.09 pJ/b/mm en bandes transposées.

A. Carpenter et al [Carpenter 12] ont proposé d'utiliser une ligne de transmission à la place d'un bus partagé. Cette solution consiste à utiliser des segments de ligne de transmission et à avoir des émetteurs-récepteurs sur les deux bouts de chaque segment avec possibilité de shunter les segments. Un circuit démonstrateur a été présenté et montre que la surface de cette interconnexion RF servant de bus partagé (Surface totale des émetteurs et des récepteurs) fait moins de 0.2% de la surface du SoC.

A. Dokhanchi et al [Dokhanchi 11] ont étudié la possibilité d'utiliser les interconnexions RF dans les FPGA³⁶ de grandes tailles. La surface en Silicium requise pour le RFNoC est d'environ 16.93% de la surface du FPGA. En revanche, cette approche réduit la latence des communications empruntant les interconnexions RF de 69.4% en moyenne. L'utilisation des ressources de routage est également baissée de 7% en moyenne. L'architecture du FPGA est organisée en groupements des ressources dans des carrés à tailles égales. Chaque groupement possède un émetteur-récepteur RF et lui permet d'accéder à la ligne de transmission coplanaire qui parcourt tout le FPGA. Un algorithme de gestion de ces interconnexions a été proposé également.

Un démonstrateur virtuel d'une architecture MORFIC³⁷ (Figure 1.24), qui est un MPSoC doté d'un RFNoC, a été montré par A. B. Kaplan et al [Kaplan 11] [Chang 08b]. La plateforme contient 64 processeurs, 32 mémoires cache et 4 interfaces mémoire, le tout cadencé par une horloge de 4 GHz. L'implémentation de la

34. Time Division Multiple Access

35. MultiCarrier Code Division Multiple Access

36. Field-Programmable Gate Array

37. Mesh Overlaid with Radio Frequency InterConnect

partie RF sur un MORFIC de 400 mm^2 ne nécessiterait que 0.13% de surface en Silicium. L'architecture MORFIC est également doté d'un NoC en topologie de grille 10×10 . Le NoC est cadencé à 2 GHz et utilise un routage de paquets XY/YX³⁸ (équivalent à la fonction de routage IX/Y qui est évoquée au paragraphe 1.2.2.3). Les bus reliant deux routeurs voisins sont de largeur de 16 Octets et occasionnent un cycle d'horloge de retard tandis que dans le routeur lui même, un retard de 5 cycles est produit. A ce réseau classique est superposé un RFNoC . En effet, une ligne de transmission parcourt le SoC sous forme d'un serpentín en Z.

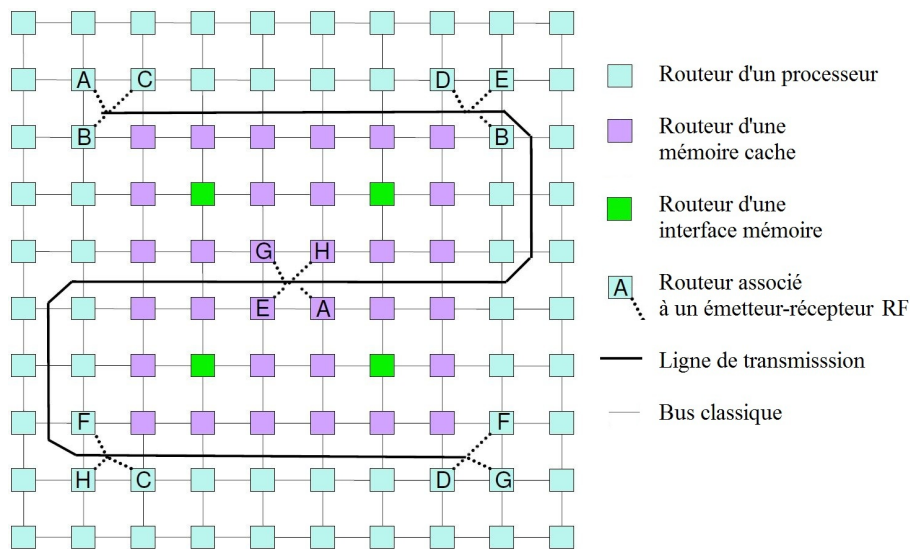


Figure 1.24 – L'architecture MORFIC [Kaplan 11].

Le SoC est organisé en cinq régions à interconnecter par le RFNoC. Ces régions ont un accès direct à la ligne de transmission et correspondent aux quatre coins et au centre du SoC. A l'exception de celle du centre qui est dotée de quatre émetteurs-récepteurs, celles des quatre coins n'ont que trois émetteurs-récepteurs chacune. Par conséquent, chaque région d'un coin peut communiquer directement avec trois autres régions et doit transiter par celle du centre afin de communiquer avec la quatrième.

Chacun des émetteurs-récepteurs RF est relié à un routeur de six ports. Ce routeur est une extension du routeur classique avec un port supplémentaire pour avoir l'accès au RFNoC. Une bande de transmission des huit disponibles est allouée à un couple constitué de deux émetteurs-récepteurs RF et permet la transmission d'un paquet en un seul cycle d'horloge. Les largeurs des bandes de transmissions variant entre 16 et 256 octets par cycle d'horloge sont expérimentées.

Localement, les communications se font à travers le NoC classique, cependant, pour les longues distances, la ligne de transmission est empruntée. Ainsi, la ligne de transmission peut être vue comme une autoroute, tandis que les bus du NoC classique sont l'équivalent des routes départementales.

38. Le routage en XY/YX consiste à router la moitié des paquets selon l'axe X puis selon l'axe Y, tandis que l'autre moitié est routé d'abord selon l'axe Y puis selon l'axe X

1.5 Réseaux sur puce émergents

Les performances de l'architecture MORFIC ont été évaluées en comparaison avec celles de l'architecture de base, c'est à dire, sans le RFNoC. La comparaison est effectuée pour sept applications multithread (SPLASH, Barnes, FFT, LU, Ocean, Radix, Water Nsquared et Water-Spacial). L'architecture MORFIC permet une amélioration des performances de ces applications, en moyenne de 13% mais peut atteindre les 18% pour certaines d'entre elles. Cette amélioration est obtenue, entre autres, grâce à une réduction de la latence moyenne de la transmission des paquets de 22%.

La limite de l'architecture MORFIC se manifeste par un goulet d'étranglement en termes de latence au niveau des accès à la ligne de transmission. L'autre point faible de cette architecture demeure dans l'allocation de ressources spectrales qui est statique.

Une architecture d'un NoC hybride est proposée par A. Ganguly et al [Ganguly 09]. Elle consiste à diviser le SoC en clusters qui sont dotés de sous-réseaux de topologies en grille ou en étoile pour les communications intra-cluster, ainsi que d'une station de base pour effectuer les communications inter-clusters sans fil. Les stations de base sont composées d'une antenne et d'un émetteur-récepteur RF et sont reliées directement à tous les processeurs du cluster. Cette architecture permet d'améliorer les performances du SoC en termes de latence et de consommation d'énergie. Une multitude de protocoles de gestion de ce types d'architectures est proposée [Ganguly 11a][Ganguly 11b].

D. Zhao et al [Zhao 11] ont proposé un réseau sur puce sans fil et multi-canal (McWiNoC³⁹) et basé sur la modulation de type ultra large bande (UWB⁴⁰). L'architecture de ce réseau, représentée en figure 1.25.a, est sous forme d'une grille en 2D dont les mailles sont des tuiles. Chaque tuile est composée d'un processeur, de deux mémoires caches, d'une interface réseau et équipé d'un routeur RF. Le routeur RF est doté d'un segment RF qui est constitué d'un émetteur-récepteur UWB et d'une antenne avec une portée de communication prédéterminée. Pour une même distance à parcourir dans le réseau, l'envoi d'un paquet requiert un ou plusieurs sauts selon la portée de l'antenne. Des liens filaires subsistent et connectent chaque tuile avec ses quatre voisines. Ces liens servent pour le contrôle des communications sans fil ainsi que l'allocation de la bande disponible.

Plusieurs topologies sont proposées grâce à la possibilité de modification de la portée des transmissions sans fil.

La première topologie proposée est l'équivalent d'un NoC classique en grille 2D dont les communications sont effectuées par la voie RF. Pour cette topologie, la portée des communications est égale à la distance entre deux routeurs RF voisins L et est égale aussi à la longueur d'un lien filaire reliant deux routeurs voisins (figure 1.25.b). La seconde topologie consiste à augmenter la portée des communications à $\sqrt{2}L$ (figure 1.25.c). Ainsi, chaque routeur RF peut communiquer, en un seul saut, avec huit

39. Multi-Channel Wireless Network On Chip

40. Ultra WideBande

autres routeurs RF contrairement à la topologie de base pour laquelle un routeur n'a l'accès direct qu'à ses quatre routeurs voisins. La troisième topologie analysée est à une portée de communication de $\sqrt{5}L$ (figure 1.25.d). Cela permet aux routeurs RF un accès direct avec 20 routeurs RF. L'idéal serait la topologie permettant aux routeurs RF d'avoir un accès direct avec tous les autres routeurs RF ce qui réduirait au minimum la latence, quoique dans ce cas, la surface et la puissance des routeurs RF augmentera considérablement ainsi que la gestion de la fonction d'arbitrage deviendrait très complexe.

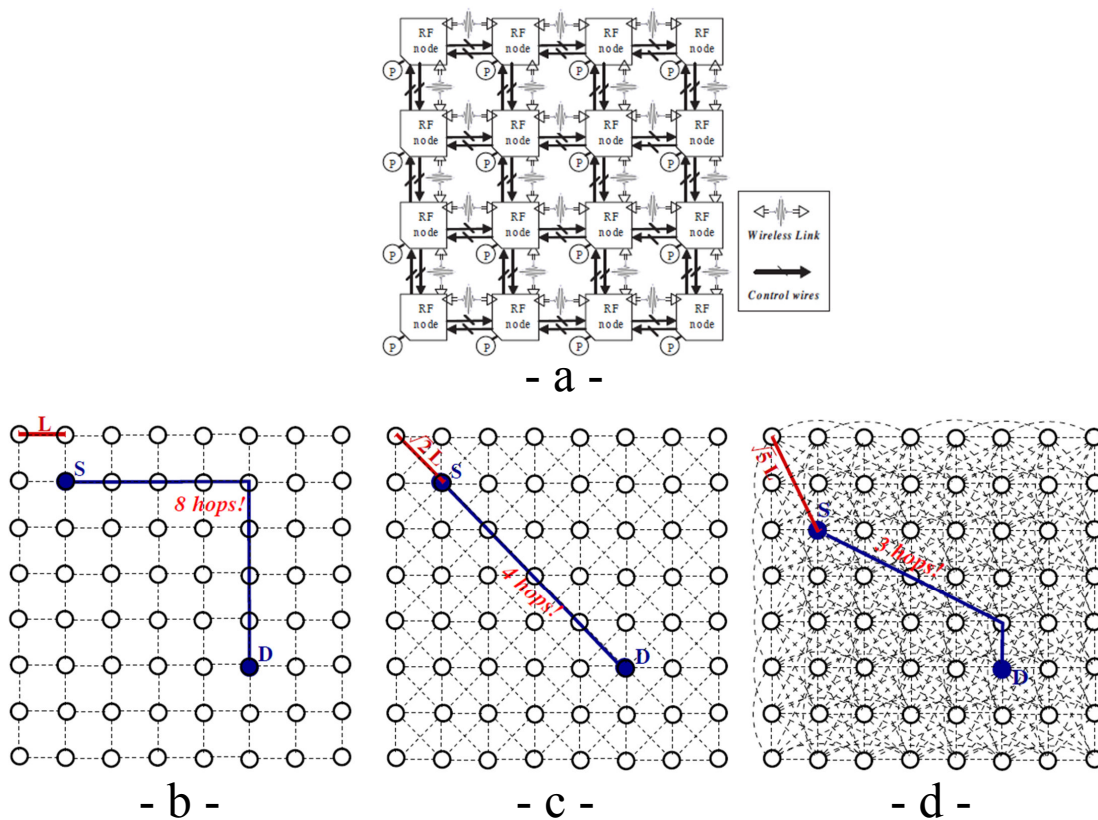


Figure 1.25 – Architecture d'un réseau McWiNoC [Zhao 11].

Une amélioration de performances de 23.3% en moyenne est obtenue en terme de temps d'exécution (SPLASH-II), avec une réduction de la latence pouvant atteindre les 65.3% pour une architecture à 64 processeurs. Une méthodologie de placement ainsi que des protocoles de communication adaptés à ce type d'architectures sont également développés [Zhao 07] [Zhao 08].

Une architecture d'un réseau à deux étages et hybride (filaire et sans fil) est proposée [Lee 09]. Un NoC classique de topologie de grille concentrée est associé avec des interconnexions sans fil effectuant les communications à des fréquences de

1.5 Réseaux sur puce émergents

l'ordre du sub-THz. L'architecture est composée de structures appelées WCube. Le WCube de base, noté $Wcube_0$ est composé de 16 nœuds concentrés. Chacun de ces nœuds est composé de quatre processeurs ou quatre mémoires caches. L'une de ces mémoires cache peut être une interface avec la mémoire externe. Les WCube de base sont munis d'une seule antenne émettrice et de quatre antennes réceptrices. Les antennes ne sont pas intégrées directement sur le Silicium mais placées sur une couche très fine de polyimide afin de réduire les pertes dans le substrat. Un groupement de quatre WCube de niveau hiérarchique n "WCube $_n$ " constitue un WCube de niveau hiérarchique supérieur $n+1$ "WCube $_{n+1}$ ". Un adressage des WCube est établi de manière à permettre une allocation de ressources spectrales optimisée ainsi qu'une réduction du nombre de sauts dans le réseau et d'éviter l'inter-blocage.

Cette proposition est très prometteuse, néanmoins elle dépend de la faisabilité des projections faite en ce qui concerne l'intégration des antennes en technologie CMOS 32 nm.

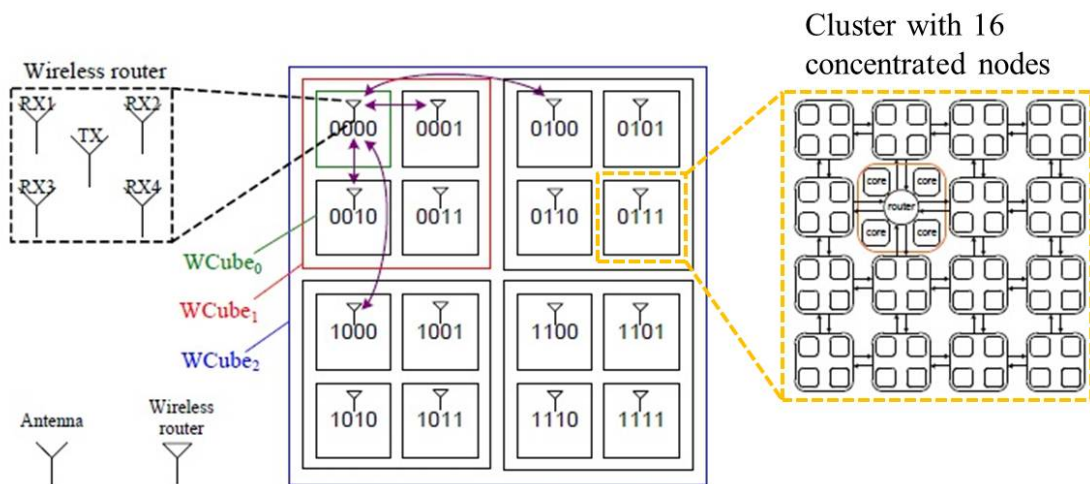


Figure 1.26 – Architecture d'un NoC à base de WCube [Lee 09].

Pour une architecture à 1024 processeurs, l'approche proposée montre des performances équivalentes ou légèrement meilleures en termes de consommation d'énergie par rapport au réseau classique tandis qu'en terme de latence, une diminution de 20% à 40% est obtenue.

Le projet WiNoCoD⁴¹ est une architecture du RFNoC guidé dont les ressources spectrales disponibles sont dynamiquement et intelligemment reconfigurables [Brière 14] [Unlu 14]. WiNoCoD utilise l'OFDMA⁴² comme technique d'accès multiple qui associe les multiplexages en fréquence (FDMA) et en temporel (TDMA). L'architecture

41. Wired RF Network on Chip reconfigurable on Demand

42. Orthogonal Frequency Division Multiple Access

typique de l'émetteur-récepteur OFDMA adaptée aux interconnexions sur puce est montrée sur la figure 1.27.

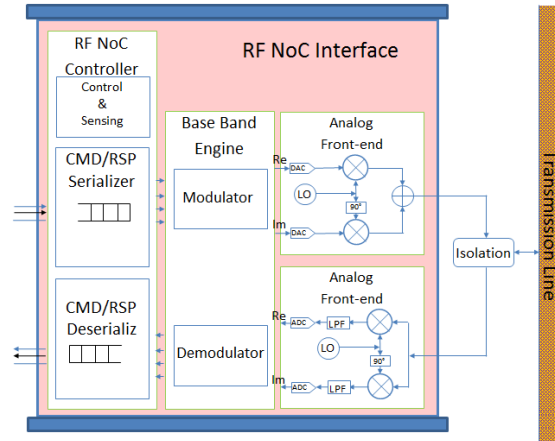


Figure 1.27 – Architecture de l'émetteur-récepteur du réseau WiNoCoD.

Comme tous les réseaux de type RFNoC, WiNoCoD est prévu pour interconnecter les clusters d'un MPSoC dont le nombre de processeurs peut aller jusqu'à 4096. Les clusters se partagent des ressources spectrales de largeur de 20 GHz autour de 30 GHz ce qui nécessite des émetteurs/récepteurs RF de très large bande, miniaturisés et consomment très peu en énergie. La faisabilité de ces émetteurs a été montrée dans [Drillet 14]. D'autres travaux sont présentés sur l'allocation intelligente et dynamique de la bande de transmission disponible pour l'ensemble des clusters du MPSoC [Unlu 14]. Enfin, une solution est également proposée afin de résoudre le problème de la désadaptation de la ligne de transmission en présence de plusieurs émetteurs-récepteurs le long de cette dernière.

1.6 Conclusion

Il a été montré par comparaison de performances entre des NoC de paradigmes différents que pour des interconnexions ne dépassant pas les 1 mm de longueurs, les interconnexions classiques à base de bus filaires fragmentés par des répéteurs, restent encore le meilleur moyen pour les effectuer [Tam 11].

En revanche, dans les communications à des longueurs dépassant les 1 mm, les paradigmes émergents entrent en lice afin de pallier les limites des interconnexions classiques. Pour les communications à des longueurs allant jusqu'à 30 cm, les interconnexions RF sont préférées devant les interconnexions optiques, tandis qu'au-delà des 30 cm, cette tendance s'inverse [Tam 11].

Les longueurs des communications sur puce actuelles ne dépassant pas les 30 cm et compte tenu de leur meilleur compromis entre les performances et le coût ainsi

1.6 Conclusion

que leur intégrabilité dans les SoC, les interconnexions RF sont choisies dans cette thèse comme la thématique de recherche scientifique principale. Les interconnexions RF à travers une ligne de transmission sont privilégiées car la miniaturisation des antennes à très large bande atteignable aujourd'hui ne permet pas l'intégration du nombre nécessaire d'antennes sur un même MPSoC.

Le travail de recherche effectué sera présenté dans les prochains chapitres et concerne essentiellement la modélisation comportementale de l'émetteur ainsi que du récepteur RF et de la ligne de transmission. Les modèles développés seront validés et utilisés pour traiter certaines problématiques des RFNoC telles que l'allocation de ressources spectrales ainsi que le dimensionnement des composants du RFNoC.

Chapitre 2

Validation du concept du RFNoC en VHDL-AMS et Allocation de ressources spectrales

Sommaire

2.1	Introduction	52
2.2	Le langage VHDL-AMS	54
2.3	Modélisation idéale du RFNoC	56
2.3.1	Modélisation idéale de l'émetteur	56
2.3.2	Modèle compact de la ligne de transmission	60
2.3.3	Modélisation du récepteur idéal	61
2.4	Validation du Concept du RFNoC	64
2.5	Allocation de ressources spectrales	66
2.5.1	Métrique de mesure	67
2.5.2	Communication en half-duplex	69
2.5.3	Communication en full-duplex	71
2.5.4	Optimisation d'allocation de ressources spectrales	73
2.6	Conclusion	75

2.1 Introduction

Un réseau sur puce établi avec des interconnexions RF est constitué d'un émetteur RF, d'une ligne de transmission et d'un récepteur RF. Vu les multiples avantages des interconnexions RF par rapport aux interconnexions classiques, l'idéal serait de les déployer massivement sur les MPSoC, notamment pour les communications à longue distance. Toutefois, l'état de l'art de l'intégration des émetteurs-récepteurs dans les SoC indique que les interconnexions RF ne peuvent remplacer les interconnexions classiques que partiellement. L'approche de réseau hiérarchique est alors adoptée. Localement, les communications sont accomplies par les interconnexions classiques pendant que les données échangées à longues distances sont transmises à travers les interconnexions RF.

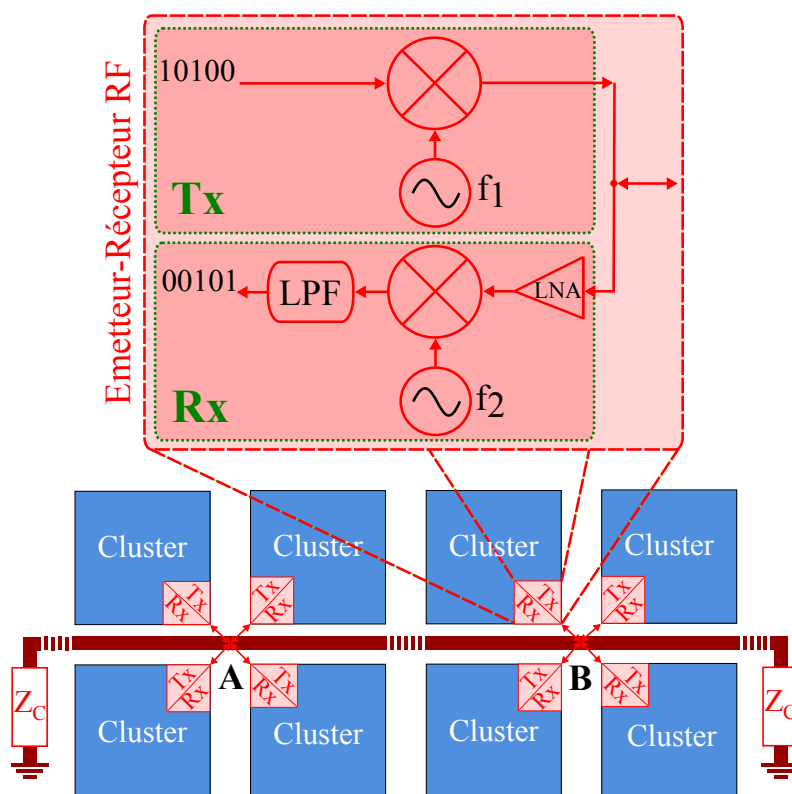


Figure 2.1 – Architecture générale d'un MPSoC avec un RFNoC

Les éléments constituant le MPSoC, c'est-à-dire, les processeurs, les mémoires caches ou tout simplement des IP, sont réunis dans des *clusters* de tailles égales généralement (figure 2.1). Un sous réseau de topologie de grille en 2D ou autre topologie assure les interconnexions à l'intérieur du cluster. Chaque cluster est doté d'un émetteur-récepteur RF (*Tx-Rx* dans la figure 2.1) et lui permet d'envoyer et de recevoir des données à travers la ligne de transmission. La ligne de transmission dessert tous les émetteurs-récepteurs RF.

2.1 Introduction

Alors que dans la plupart des bus d'interconnexions classiques les données sont transmises en parallèle à travers plusieurs fils de cuivre, en ce qui concerne les interconnexions RF, les données sont sérialisées et transmises à travers des bandes de fréquences. Dans un RFNoC, les données sont transposées à une fréquence porteuse qui est fixée par l'oscillateur local. En effet, à travers une simple modulation analogique d'amplitude (ASK), le signal numérique provenant du cluster initiateur, sous forme d'une suite de bits, est mélangé avec le signal RF délivré par l'oscillateur local. Le signal ainsi généré est envoyé à travers la ligne de transmission. Étant donné que l'accès multiple est effectué par répartition en fréquence (FDMA), tous les clusters transmettent leurs données à travers la même ligne de transmission en même temps. Cependant, chaque émetteur rattaché à un cluster utilise une fréquence porteuse différente des autres. A un instant donné, chaque récepteur est accordé sur une seule fréquence porteuse par son oscillateur local. Le signal provenant de la ligne de transmission dont la fréquence porteuse est égale à celle sur laquelle le récepteur est accordé est transposé en bande de base par le mélangeur du récepteur. Avant d'atteindre le cluster cible, le signal passe à travers un filtre passe-bas afin d'éliminer tous les signaux en dehors de la bande utile. Finalement, le signal numérique est reconstitué grâce à un détecteur de seuil.

Les interconnexions RF permettent aux RFNoC de mieux exploiter les ressources spectrales disponibles. En effet, les bandes de transmission de données occupent le maximum de la bande disponible. En revanche, les réseaux classiques, transmettant les données uniquement en bande de base, n'exploitent qu'une part infime des ressources spectrales disponibles (Figure 2.2). Pour la figure 2.2, nous supposons que chaque bande de transmission du RFNoC permet la transmission d'un débit égale à celui d'un bus classique.

Dans ce chapitre, l'objectif est, dans un premier temps, la validation du concept du RFNoC par des simulations utilisant des modèles simplifiés des éléments du RFNoC avec le FDMA comme technique d'accès multiple. Nous avons choisi le FDMA parmi d'autres méthodes d'accès multiple. Notre choix est motivé par la simplicité du segment RF que le FDMA nécessite, notamment en émetteur-récepteur homodyne. Ce segment RF est aussi l'un des plus compacts. Nous avons choisi pour la modélisation le langage VHDL-AMS qui est particulièrement adapté pour développer ces modèles car il permet la modélisation des circuits numériques, analogiques et mixtes. Dans un deuxième temps, une étude prospective est présentée afin d'optimiser l'allocation d'une bande spectrale disponible à l'ensemble des utilisateurs du RFNoC qui sont dans ce cas, les clusters. Cette optimisation doit répondre à plusieurs critères : la largeur d'une bande de transmission de données est fixe et est équivalente au débit de transmission des bus classiques, il faut allouer un maximum de bandes afin d'augmenter le débit de données, il faut également réduire au minimum la surface des émetteurs-récepteurs et leur consommation d'énergie.

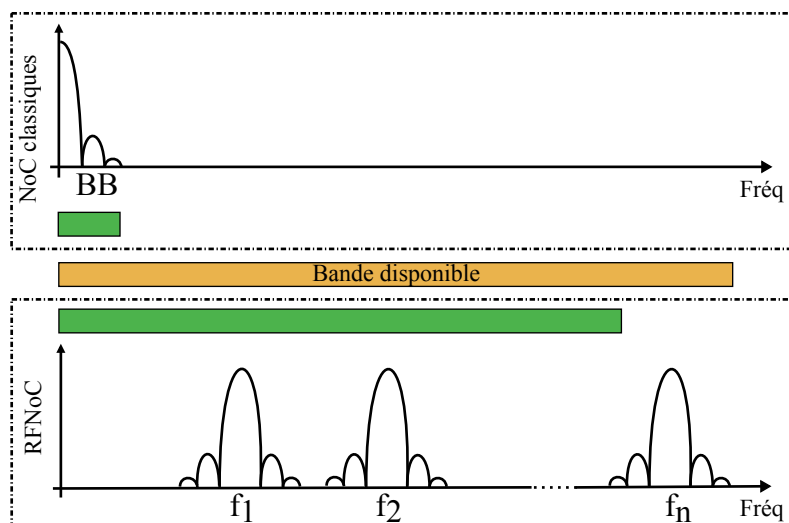


Figure 2.2 – Ressources spectrales disponible et les bandes exploitées par les NoC classiques en bande de base et par les RFNoC en bande RF.

2.2 Le langage VHDL-AMS

Le VHDL-AMS est un langage de description matériel à signal numérique, analogique et mixte. Il constitue un sur-ensemble du VHDL, ainsi toute description établie en VHDL est valide et produit le même résultat en VHDL-AMS [Peterson 02]. Les simulations qu'elles soient fréquentielles ou temporelles sont également supportées en VHDL-AMS

Quelques années seulement après la sortie du premier standard du VHDL, le besoin pour un langage de description matérielle étendu aux circuits analogiques est apparu, cependant le premier standard de ce langage ne voit le jour qu'en 1999 sous le nom du **IEEE Standard 1076.1** [iee 07].

Le VHDL-AMS est établi pour répondre à des besoins lors du processus de conception des circuits électroniques à plusieurs étapes. En effet, le VHDL-AMS permet d'abord de décrire la structure des systèmes complexes ainsi que la connectique des sous-systèmes les composant. Ensuite, le fonctionnement de chaque système primaire est spécifié en utilisant des équations et de simples fonctions. Ainsi, un prototypage virtuel du système complet est simulé avant sa fabrication et permet d'effectuer des corrections et des optimisations afin d'éviter des coûts élevés du processus de fabrication, en plus du temps que cela nécessite. Enfin, le VHDL-AMS permet également de décrire les micro-systèmes avec des structures très détaillées afin de faciliter et d'optimiser l'étape de leur synthèse en silicium.

La modélisation en VHDL-AMS peut être effectuée à différents niveaux d'abstraction du système manipulant des grandeurs électriques et non électriques. Ces niveaux d'abstraction sont obtenus grâce à des modèles à complexité variable (des réseaux de Kirchhoff jusqu'aux modèles à flot de données). Le VHDL-AMS offre aussi la possibilité de modélisation de systèmes complets pouvant aller jusqu'à une chaîne d'acquisition de données, y compris l'environnement du capteur. En plus de

2.2 Le langage VHDL-AMS

résolution d'équations algébriques, le VHDL-AMS est doté d'un noyau de résolution d'équations différentielles décrivant le fonctionnement des systèmes [Nikitin 07]. De nouvelles quantités sont définies également afin de permettre l'évaluation des différences de potentiels ainsi que des courants dans les réseaux électriques mais aussi d'autres grandeurs physiques mécaniques, thermiques, etc.

Un composant ou un système primaire modélisé en VHDL-AMS est communément constitué d'une entité associée à une ou plusieurs architectures. L'entité définit l'aspect extérieur du composant, notamment les paramètres génériques ainsi que les **ports** qui constituent son interface avec les composants auxquels il est connecté. Les ports peuvent être de classe **signal** pour les canaux de communication directionnels ou bidirectionnels, de classe **terminal** pour les points équipotentiels de connexions analogiques et aux niveaux desquels les lois de Kirchhoff sont vérifiées (lois de conservation d'énergie pour les grandeurs non électriques) ou encore de classe **quantity** pour les points de connexion analogique sans que les lois de Kirchhoff soient satisfaites. Quant aux architectures, elles décrivent la structure interne ou bien le comportement du composant modélisé.

Tout composant ou système modélisé et ensuite compilé via un outil de VHDL-AMS crée un fichier dans la **bibliothèque de conception**. La **bibliothèque logique** prédéfinie pour cet usage porte le nom **work**, tandis que la bibliothèque logique **std** comporte les compilations des définitions des types, des opérateurs et des sous-programmes prédéfinis.

Une variété de nouveaux attributs sont mis en place en VHDL-AMS et s'appliquent aux quantités modélisant les différences de potentiels et les courants dans le cas des circuits électroniques, notamment la dérivée et l'intégration par rapport au temps (**Q'dot** et **Q'integ**), la transformée de Laplace et en Z (**Q'ltf** et **Q'ztf**), l'échantillonneur bloqueur (**Q'zoh**), **Q'ramp** ou encore **Q'above** pour la comparaison d'une quantité à une valeur seuil avec création d'événement. Pour la synchronisation du noyau de simulation VHDL et le calculateur analogique, l'attribut **above**, associé à l'instruction **break** qui prévient des discontinuités, est d'une importance capitale. Dès qu'un événement est créé par l'attribut **above**, l'instruction **break** intervient et force le calcul d'une solution analogique avec prise en compte du résultat immédiat.

La description d'un système airbag dans en VHDL-AMS par F. Pêcheux et al [Pecheux 06] constitue un exemple mettant en avant la pluridisciplinarité du langage VHDL-AMS. Pour cet effet, des modèles dans diverses disciplines sont développés, mécanique (accéléromètre) notamment, électrique (inverseur CMOS), thermique (couplage thermique) et optique (fibre optique, diode, photo-diode).

Pour les circuits numériques décrits en VHDL, il existe une multitude d'outils permettant leur synthèse et implémentation sur des circuits de type FPGA. Cependant, à l'heure actuelle, il n'existe pas d'outils, ni de circuits analogiques configurables (programmables) avancés qui permettent la synthèse et l'implémentation

pour modèles incluant des circuits analogiques, cela malgré l'existence de plusieurs langages de description matérielle adaptés, dont le VHDL-AMS. Néanmoins, dans la littérature, diverses idées sont proposées dans ce sens [Nesrine 06]. En effet, un circuit analogique équivalent d'un FPGA appelé FPAA¹ est développé [Anderson 04]. Un exemple de conception d'un stéthoscope intelligent est présenté [Asensi 06] avec un FPAA constitué de quatre blocs analogiques programmables (CAB²), chacun de ces CAB peut synthétiser un ensemble de composants analogiques ou encore un convertisseur analogique numérique de 8 bits [Anadigm]. Cependant, que ce soit la taille du FPAA ou la modularité des CAB, tous les deux nécessitent des améliorations considérables.

2.3 Modélisation idéale du RFNoC

A travers des simulations d'une architecture d'un RFNoC, cette partie est dédiée à la modélisation en VHDL-AMS d'un RFNoC et à la validation du concept du RFNoC. Cette validation est effectuée avec des modèles comportementaux des éléments du RFNoC et sans tenir compte de tous les défauts de ces éléments.

Les signaux numériques étant traités généralement en temporel [Sen 98], nous avons opté pour le développement de modèles temporels et en VHDL-AMS des éléments du RFNoC. L'architecture modélisée est celle donnée dans la figure 2.3. Pour ce faire, les modèles de l'émetteur RF, du récepteur RF ainsi que de la ligne de transmission sont nécessaires.

La topologie du RFNoC présentée dans la figure 2.3 n'est certes pas très représentative d'un cas réel, néanmoins notre choix est motivé par la nécessité d'isoler les sources de dégradation du signal transmis à travers le RFNoC. En effet, une topologie avec des émetteurs-récepteurs positionnés le long de la ligne de transmission et à travers tout le MPSoC, qui est plus représentative d'un cas réel, sera confrontée au problème de désadaptation de la ligne de transmission qui constitue une problématique à part entière dans le domaine des RFNoC.

2.3.1 Modélisation idéale de l'émetteur

L'émetteur RF est composé d'un mélangeur ainsi que d'un oscillateur local. Quant au cluster, il est modélisé par un générateur de données ainsi qu'un convertisseur numérique/analogique (CNA).

Le générateur de données aléatoire est modélisé sous la forme d'un simple registre à décalage à rétroaction linéaire (LFSR³). A chaque valeur initiale attri-

1. Field Programmable Analog Arrays
2. Configurable Analog Block
3. Linear Feedback Shift Register

2.3 Modélisation idéale du RFNoC

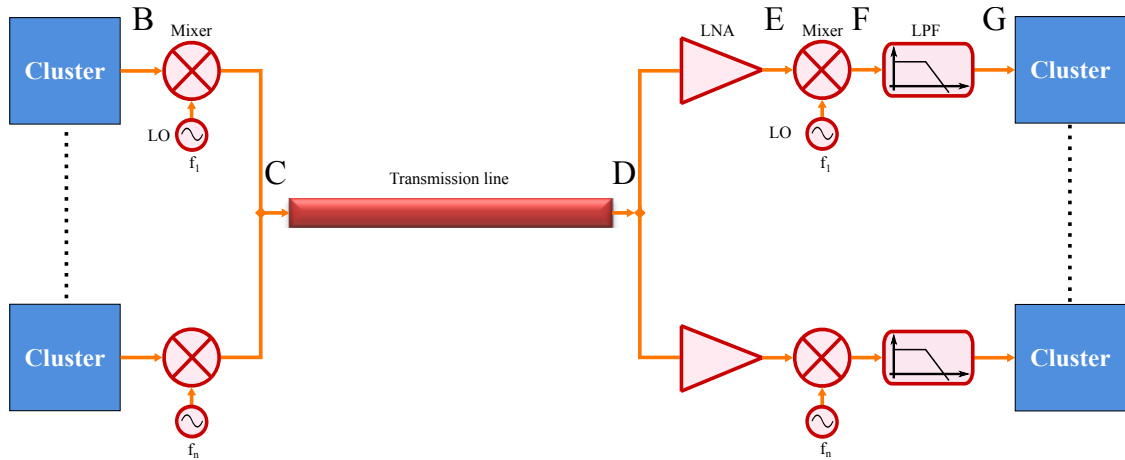


Figure 2.3 – Architecture du RFNoC simulé

buée au registre, est associée une séquence de données différentes. Cette propriété du LFSR permet de générer des flux de données distincts pour chaque cluster du réseau. Le deuxième avantage de ce générateur demeure dans le fait que pour un même cluster, en maintenant la même valeur initiale du LFSR, la séquence du flux de données générée reste inchangée pour toutes les simulations.

Le LFSR est cadencé sur une fréquence de $1/T_b$. T_b ⁴ étant la durée du bit correspondant au débit de données ciblé.

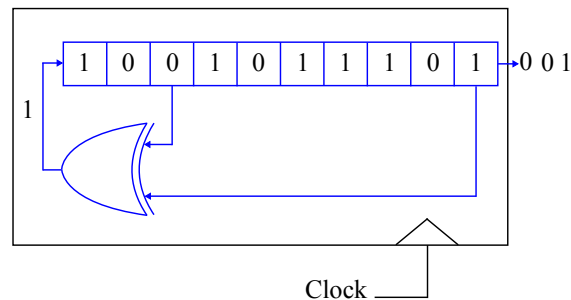


Figure 2.4 – Modélisation du registre à décalage à rétroaction linéaire

Le convertisseur numérique/analogique n'est pas nécessaire pour l'architecture réelle du RFNoc. Cependant, en simulation, la conversion de la nature du signal est indispensable. En effet, le signal que fournit le cluster est de type binaire alors que les modèles des éléments du RFNoC manipulent des tensions et des courants. Pour le signal de sortie de ce convertisseur, le modèle prévoit également un temps de montée et un temps de descente, t_r ⁵ et t_f ⁶ respectivement.

4. Bit Duration Time

5. Rise Time

6. Fall Time

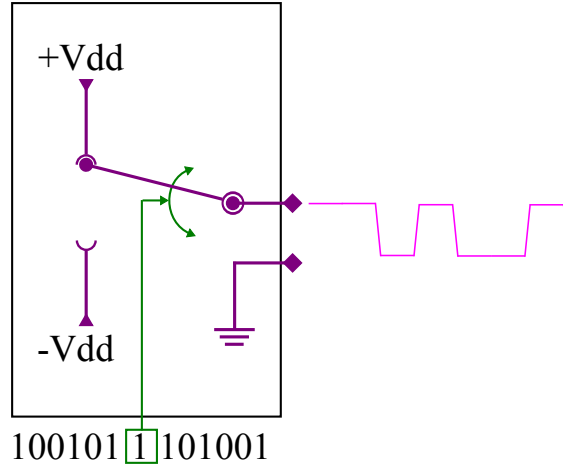


Figure 2.5 – Modélisation du Convertisseur Numérique/Analogique

Le mélangeur : La fonction du mélangeur consiste à transposer fréquemment son signal d'entrée. Pour ce faire, le mélangeur opère une multiplication du signal d'entrée avec celui de l'oscillateur local. Le signal d'entrée est, soit à fréquence intermédiaire (basse), soit à fréquence RF. D'autre part, le mélangeur fonctionne en *Up-converter* ou en *Down-converter*, respectivement.

Le mélangeur est modélisé idéalement comme un circuit électronique dont la fonction consiste à multiplier les signaux des ports d'entrée. Seulement deux caractéristiques sont prises en compte dans ce premier modèle idéal, le gain de conversion en décibel GC_{dB} ainsi que les impédances réelles d'entrée et de sortie (R_{in_mx} , R_{lo_mx} et R_{out_mx}). Le gain de conversion dépend de la puissance de l'oscillateur local. Par conséquent, pour modéliser correctement le gain de conversion GC_{dB} , il est nécessaire de connaître la puissance du signal de l'oscillateur local.

La modélisation comportementale d'un composant électronique non-linéaire, est habituellement décrite par un polynôme dont l'ordre n dépend du type des non-linéarités à prendre en compte. Dans le cas du mélangeur, l'expression de ce polynôme est donnée en équation 2.1 et sera traité comme tel dans le chapitre 3. Néanmoins, concernant le modèle utilisé dans ce chapitre 2, il ne tient compte que du gain de conversion. Ainsi, à l'exception du coefficient k_{mx_1} , tous les autres coefficients k_{mx_i} sont nuls. Les simplifications de ce modèle traduisent le comportement linéaire du mélangeur lorsque la puissance du signal d'entrée est basse. En tenant compte de l'impédance réelle de sortie du mélangeur, la nouvelle expression du polynôme est donnée par l'équation 2.2.

2.3 Modélisation idéale du RFNoC

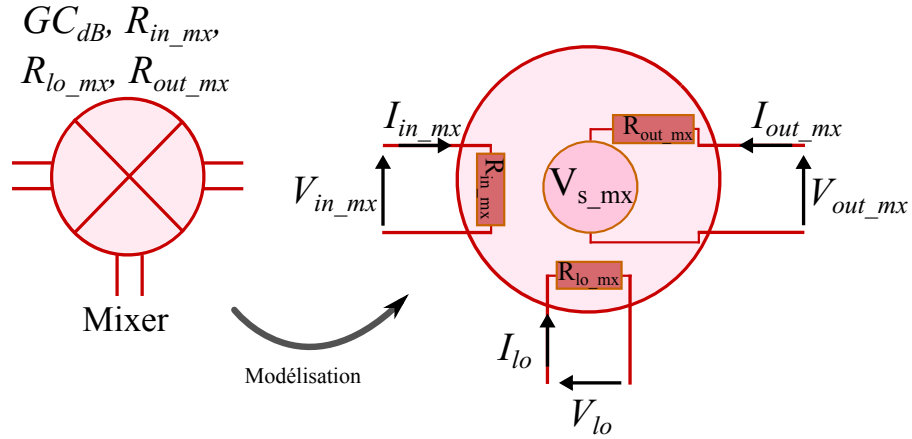


Figure 2.6 – Modélisation du mélangeur.

$$\left\{ \begin{array}{l} V_{out_mx} = \left(\sum_{i=1}^n k_{mx_i} V_{in_mx}^i \right) V_{lo_mx} \\ \text{avec :} \\ V_{in_mx} = A_{in_mx} \cos(2\pi f_{in_mx} t) \\ V_{lo_mx} = A_{lo_mx} \cos(2\pi f_{lo_mx} t) \end{array} \right. \quad (2.1)$$

$$\left\{ \begin{array}{l} V_{s_mx} = 2k_{mx_1} V_{in_mx} V_{lo_mx} \\ \text{avec :} \\ k_{mx_1} = \frac{2}{A_{lo_mx}} \sqrt{\frac{R_{out_mx}}{R_{in_mx}}} 10^{\frac{GC_{dB}}{20}} \\ A_{lo_mx} = \sqrt{2 R_{lo_mx}} 10^{\frac{P_{lo}-30}{20}} \end{array} \right. \quad (2.2)$$

où P_{lo} désigne la puissance du signal de l'oscillateur locale en dBm⁷ et GC_{dB} le gain de conversion en dB.

Le code VHDL-AMS de ce modèle idéal du mélangeur est donné à titre d'exemple en annexe A.2

7. Décibel-milliwatts

L'*oscillateur local* est représenté par une source d'un signal sinusoïdal de fréquence f_{LO} , de puissance P_{lo} et éventuellement de retard τ et de composante continue V_{DC} . L'impédance réelle de sortie ($R_{out_{lo}}$) de cet élément est également prise en compte.

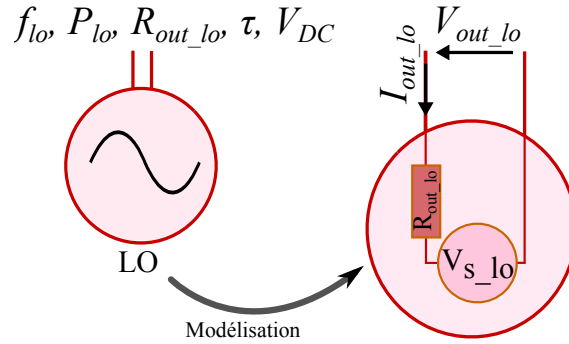


Figure 2.7 – Modélisation de l'oscillateur local.

$$\begin{cases} V_{s_lo} = 2V_{DC} + 2A_{lo} \cos(2\pi f_{lo}(t - \tau)) \\ A_{lo} = \sqrt{2R_{out_lo}} 10^{\frac{P_{lo}-30}{20}} \end{cases} \quad (2.3)$$

2.3.2 Modèle compact de la ligne de transmission

Un modèle compact de la ligne de transmission est développé et permet d'effectuer des simulations très rapides. Plusieurs paramètres sont retenus pour ce modèle, à savoir, une atténuation constante en fonction de la fréquence du signal Att_{dB} , une impédance caractéristique sous forme d'une résistance de valeur constante également ainsi qu'un retard occasionné par la ligne en fonction de sa longueur l (figure 2.8).

$$\begin{cases} V_{s1} = 2a [V_{out2}(t - \tau) - V_{s2}(t - \tau)] \\ V_{s2} = 2a [V_{out1}(t - \tau) - V_{s1}(t - \tau)] \\ avec : a = 10^{\frac{l \times Att_{dB}}{20}} \\ \tau = l \times \tau_0 \end{cases} \quad (2.4)$$

Att_{dB} est l'atténuation de la ligne en dB pour un millimètre de longueur. Sa valeur varie généralement entre 0.7 dB/mm et 1.5 dB/mm [Chang 08a] voire plus dans certaines configurations de la ligne de transmission. l est la longueur de la

2.3 Modélisation idéale du RFNoC

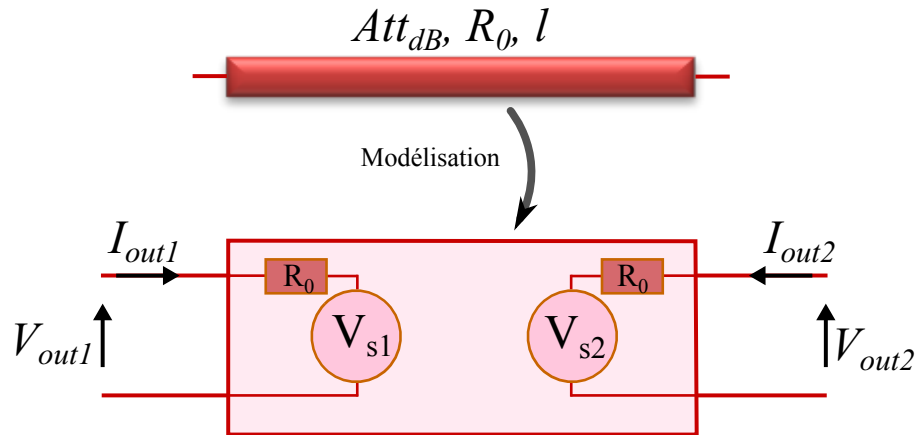


Figure 2.8 – Modélisation compacte de la ligne de transmission.

ligne en millimètres. τ_0 est le retard dans la ligne de transmission d'une longueur d'un millimètre. Sa valeur est d'environ 7.0 ps [Chang 08a]. Les résultats de simulation montrés en figure 2.9 montrent la validation du modèle compact de la ligne de transmission dans un contexte du RFNoC. La figure 2.9 représente une ligne de transmission avec six points d'accès.

Un signal impulsionnel envoyé par V_g au point T_A arrive à tous les autres points d'accès avec un retard proportionnel à la distance le séparant du point T_A . En plus de ce signal transmis, chacun des points d'accès reçoit la réflexion du signal due aux autres points d'accès. Du fait de la désadaptation aux points T_B , T_C , T_D et T_E , des réflexions multiples apparaissent ainsi que des transmissions de ces signaux réfléchis. Ces deux phénomènes créent de multiples échos sur chacun des points T_i .

2.3.3 Modélisation du récepteur idéal

L'architecture du récepteur RF contient un mélangeur et un oscillateur local dont les modèles seront les mêmes que ceux décrits pour l'émetteur RF dans le paragraphe 2.3.1. Le récepteur RF est composé également d'un amplificateur faible bruit (LNA), d'un filtre passe-bas et d'un convertisseur analogique/numérique (CAN).

2.3.3.1 Modélisation du LNA

Tout comme le mélangeur, la modélisation comportementale des non-linéarités de l'amplificateur faible bruit est communément décrite par un polynôme dont l'ordre dépend du type des non-linéarités à prendre en compte. L'expression de ce polynôme est donnée en équation 2.5 [Gautier 14b]. Les coefficients pour les non-linéarités seront déterminés dans le chapitre 3.

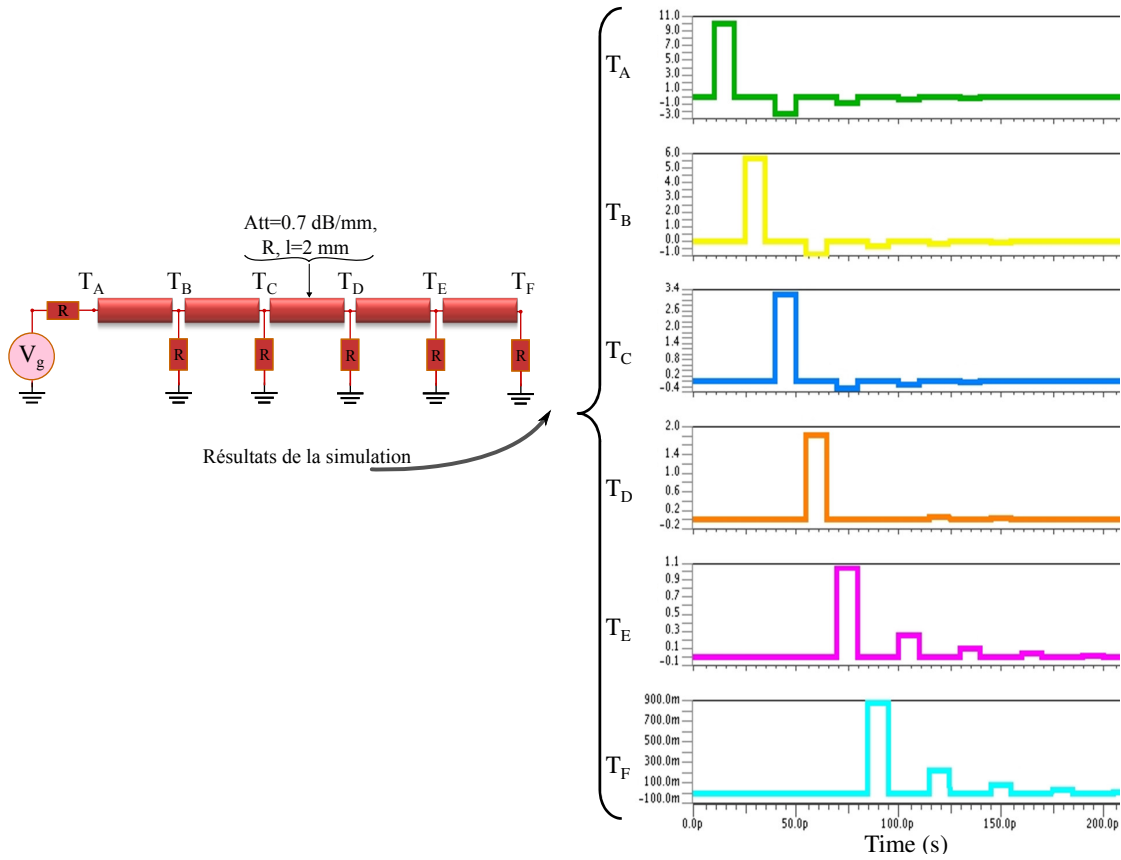


Figure 2.9 – Validation du modèle compact de la ligne de transmission.

$$\begin{cases} V_{out_lna} = \sum_{i=1}^n k_{lna_i} V_{in_lna}^i \\ avec : V_{in_lna} = A_{in_lna} \cos(2\pi f_{in_lna} t) \end{cases} \quad (2.5)$$

Le modèle de l'amplificateur faible bruit est simplifié pour les besoins du présent chapitre et consiste uniquement en l'amplification du signal d'entrée avec un gain constant G_{dB} et cela quelle que soit la puissance du signal d'entrée. Les impédances réelles d'entrée (R_{in_lna}) et de sortie (R_{out_lna}) sont également prises en considération pour l'établissement du modèle. L'expression simplifiée du polynôme est donnée par l'équation 2.6.

2.3 Modélisation idéale du RFNoC

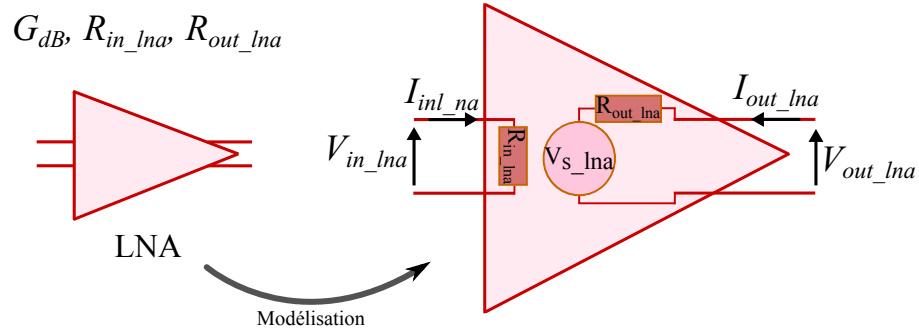


Figure 2.10 – Modélisation de l'amplificateur faible bruit.

$$\begin{cases} V_{s_lna} = 2k_{lna_1} V_{in_lna} \\ k_{lna_1} = \sqrt{\frac{R_{out_lna}}{R_{in_lna}}} 10^{\frac{G_{dB}}{20}} \end{cases} \quad (2.6)$$

Où G_{dB} est le gain du LNA en décibel.

Les simulations correspondent dans ce cas à une configuration à faible niveau de puissance des signaux.

2.3.3.2 Modélisation du filtre passe-bas

L'approche la plus simple pour modéliser le filtre passe-bas consiste à utiliser la fonction de transfert dans le domaine de Laplace que le langage VHDL-AMS permet de simuler. En revanche, l'impossibilité de tenir compte, correctement, des impédances d'entrée et de sortie par cette méthode de modélisation sous forme de boîte noire, a fait que nous avons choisi une autre méthode de modélisation. La méthode que nous avons mise en place s'appuie sur la synthèse des filtres avec des cellules LC . Un programme développé en VHDL-AMS permet de générer automatiquement l'architecture d'un filtre dont le fonctionnement correspond aux spécifications renseignées. Le nombre de cellules de cette architecture dépend de l'ordre du filtre N , tandis que les valeurs des paramètres L_k et C_k dépendent de la fréquence de coupure f_c et de la résistance de référence R_0 . Un filtre de type Butterworth est choisi car, le gain, dans la bande passante de ce filtre est la plus plate possible des filtres usuels.

$$\begin{cases} L_k = R_0 \frac{L_n}{\omega_c} \\ C_k = \frac{C_n}{R_0 \omega_c} \\ \omega_c = 2\pi f_c \end{cases} \quad (2.7)$$

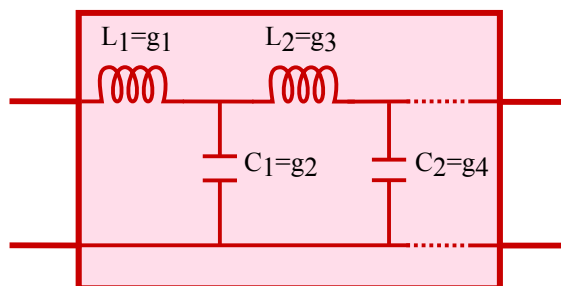


Figure 2.11 – Modélisation du filtre passe-bas.

Où L_n et C_n sont les paramètres du filtre normalisé ($f_c = \frac{1}{2\pi} Hz$ et $R_0 = 1\Omega$) dont un tableau des valeurs est placé en annexe A.1.

Lorsqu'un gabarit du filtre passe-bas est défini sous forme de deux fréquences de coupure, l'une f_c à -3 dB et l'autre f_s à $A_s dB$ ($A_s < -3dB$), l'ordre du filtre N est donné par le plus petit entier supérieur à Q (équation 2.8).

$$Q = \frac{1}{2} \frac{\ln \left(10^{\left(\frac{A_s}{10}\right)} - 1 \right) - \ln \left(10^{\left(\frac{-3}{10}\right)} - 1 \right)}{\ln \left(\frac{f_s}{f_c} \right)} \quad (2.8)$$

Le convertisseur analogique/numérique a pour rôle, la conversion de la nature du signal fourni par le RFNoC au cluster. Le signal traité dans le cluster est de nature binaire tandis que les modèles des éléments du RFNoC manipulent des tensions et courants. Le modèle est composé d'un port d'entrée analogique et d'un port de sortie numérique de largeur d'un bit. Son fonctionnement est référé à une tension de seuil V_{th} . La configuration asynchrone du modèle maintient le port de sortie à une valeur binaire de "1" tant que la tension d'entrée est supérieure à V_{th} sinon la sortie est maintenue à "0". Pour la configuration synchrone, le changement de valeur du port de sortie intervient uniquement lors des fronts d'horloge. Tout au long de ce manuscrit, la configuration asynchrone est adoptée.

2.4 Validation du Concept du RFNoC

Dans un premier temps, une même architecture du RFNoC a été décrite à la fois en VHDL-AMS et sur la partie circuit du logiciel ADS qui est un logiciel de simulation circuit et système [Agilent]. Cette architecture est composée uniquement d'un émetteur, d'un récepteur et d'une ligne de transmission. Une comparaison du signal entre chaque point équivalent des deux modélisations a permis la validation des modèles développés en VHDL-AMS.

Ensuite, l'architecture illustrée en figure 2.3 est décrite en VHDL-AMS avec quatre émetteurs au point C et quatre récepteurs au point D avec la configuration suivante des différents éléments du RFNoC :

- ✓ Débit de données : 1Gbps.

2.4 Validation du Concept du RFNoC

- ✓ $\pm V_{DD} = \pm 0.8$ V.
- ✓ Les fréquences porteuses : 10 GHz, 20 GHz, 30 GHz et 40 GHz (D'autres fréquences auraient pu être choisies. Néanmoins, nous avons constaté la disponibilité dans l'état de l'art des émetteurs-récepteurs miniaturisés à ces ordres de grandeur des fréquences).
- ✓ La ligne de transmission est caractérisée par $l = 12$ mm (à titre d'exemple), $Att_{dB} = 0.7$ dB/mm et $\tau_0 = 7.5$ ps/mm.
- ✓ Le filtre passe-bas est de second ordre avec $f_c = 3$ GHz.
- ✓ La tension de seuil du convertisseur Analogique/Numérique : $V_{th} = 0.0$ (Modulation BPSK).

Remarque Un compromis est nécessaire pour le choix de la fréquence de coupure du filtre passe-bas. En effet, cette fréquence doit être élevée afin de récupérer, à la sortie du filtre, un signal qui se rapproche le plus du signal carré, et en même temps, raisonnablement basse pour atténuer suffisamment les signaux issus des transmission aux fréquences voisines. Du point de vue du retard dans le RFNoC dû au filtre, nous avons montré qu'il est inutile de paramétrer le filtre passe-bas à une fréquence supérieure à trois fois la bande du signal utile en bande de base (Figure 2.12). Cette démonstration est effectuée à travers une série de simulations et montre qu'à partir de cette fréquence, le retard dans le RFNoC dû au filtre est quasi constant et est à une valeur très faible.

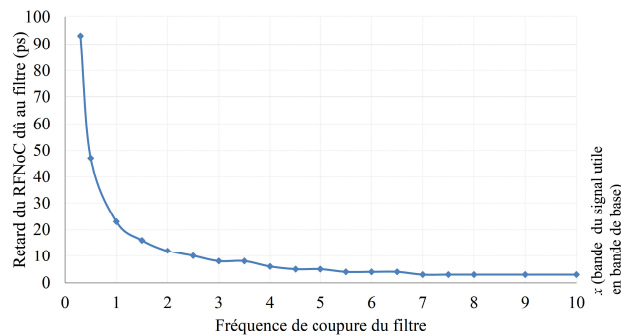


Figure 2.12 – Retard du RFNoC dû au filtre passe-bas en fonction de la fréquence de coupure de celui-ci.

La figure 2.13 montre les chronogrammes des signaux numériques envoyés et ceux reçus. Pour un seul couple émetteur/récepteur, le détail de l'évolution du signal tout au long du RFNoC est fourni. Les données générées par les initiateurs sont transformées en ondes électromagnétiques par les émetteurs et transitent, en même temps, sur la ligne de transmission. Avec cette représentation temporelle, il est pratiquement impossible de distinguer visuellement les signaux provenant des quatre émetteurs. Néanmoins, tout au long de la durée de la simulation, les données de chaque émetteur sont correctement récupérées par l'un des quatre récepteurs correspondant.

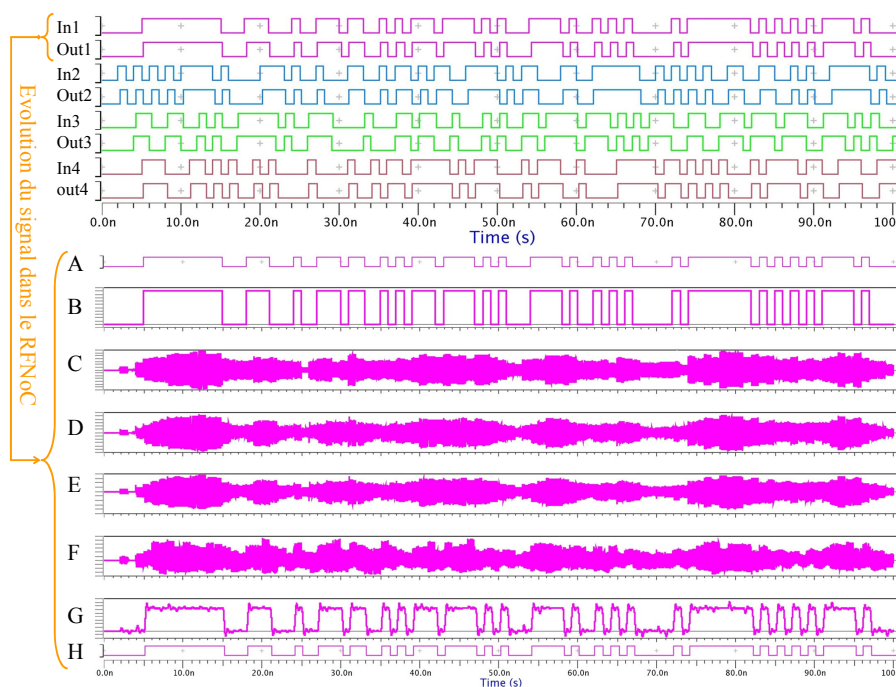


Figure 2.13 – Chronogrammes des signaux envoyés et reçus.

Le réseau sur puce ainsi simulé ne peut être que de type globalement asynchrone et localement synchrone (GALS). En effet, toute la partie RF du réseau est asynchrone. Une interface réseau permet la transition entre ces communications RF et celles effectuées à l'intérieur des clusters, sachant que ces dernières sont synchrones. Le rôle de cette interface consiste également à empaqueter/des-empaqueter les données et éventuellement la gestion du code correcteur d'erreur. Cette interface ne sera pas abordée dans ce travail mais reste une question à ne pas négliger.

2.5 Allocation de ressources spectrales

Afin d'obtenir le débit global le plus élevé possible du RFNoC, une optimisation de l'allocation des ressources spectrales est indispensable. Pour ce faire, nous nous sommes fixés de permettre le plus grand nombre de transmissions simultanées possibles à 1Gbps. Cependant, la bande totale attribuable est limitée, d'une part, par la fréquence maximale (f_T) à laquelle les circuits RF peuvent fonctionner correctement et d'autre part, par une fréquence minimale à partir de laquelle les circuits RF sont suffisamment miniaturisés pour qu'ils soient intégrables en nombre au sein du SoC.

Le spectre fréquentiel d'un signal de données est composé d'un lobe principal et de plusieurs lobes secondaires. Le nombre de bandes est limité par les puissances des lobes secondaires. En effet, ces puissances peuvent s'avérer suffisamment élevées

2.5 Allocation de ressources spectrales

pour nuire aux bandes adjacentes, notamment si une mise en forme optimale n'est pas mise en place tel que dans le cas de ce RFNoC pour des questions de coût en surface.

En vue d'une optimisation de l'allocation des ressources spectrales, l'architecture de la figure 2.3 est modélisée avec la même configuration que dans le paragraphe 2.4. L'objectif est de déterminer le nombre maximum de bandes de données pouvant être allouées, tout en assurant un BER⁸ fixé à l'avance. L'approche développée dans cette section est effectuée pour un BER ciblé de 10^{-7} , qui est certes une valeur plus élevée que celle obtenue par les NoC classiques (de l'ordre du 10^{-18} [Bartzas 09]), néanmoins elle est raisonnable pour les interconnexions RF [Chang 05b] auxquelles il est nécessaire d'appliquer un code correcteur d'erreur. Ce type de code existe déjà pour les réseaux sur puce classiques [Murali 05], il conviendra de l'adapter si besoin est. Quant à la bande fréquentielle totale disponible pour ce RFNoC, pour des raisons d'adéquation aux simulations et à titre d'exemple, elle est fixée entre 50 GHz et 100 GHz. Cela dit, la méthode montrée restera valide au-delà de cette bande.

Dans un premier temps, les performances du RFNoC sont évaluées pour chacun des deux types de communication possibles, à savoir en half-duplex et en full-duplex, ensuite une optimisation d'allocation est proposée. Ce travail a été valorisé dans le cadre d'un article de conférence internationale [Zerioul 15].

2.5.1 Métrique de mesure

Dans le but de déterminer l'allocation optimale des ressources spectrales, le paramètre évalué est le rapport signal à bruit (SNR⁹). Ce paramètre et le BER sont reliés pour chaque type de modulation. Le SNR peut être calculé à partir du diagramme de l'œil (Figure 2.14) obtenu sur le signal de sortie du filtre passe-bas (Figure 2.3) par l'équation 2.9.

$$\begin{cases} SNR = \frac{H_{level} - L_{level}}{HL_{stdev} + LL_{stdev}} \\ E_b/N_0 = 20 \log(SNR) - 3 \end{cases} \quad (2.9)$$

H_{level} et L_{level} indiquent les valeurs moyennes des parties haute et basse du diagramme de l'œil respectivement. HL_{stdev} et LL_{stdev} sont les écarts types calculés sur les parties haute et basse du diagramme de l'œil respectivement. E_b/N_0 est communément utilisé pour établir les courbes théoriques reliant le BER au rapport signal à bruit. Un rapport signal à bruit minimum de valeur $E_b/N_0 = 11.32dB$ est requis pour atteindre le BER ciblé de 10^{-7} pour un signal de type BPSK dans le cas d'un canal à bruit Gaussien (Figure 2.15).

8. Bit Error Rate

9. Signal to Noise Ratio

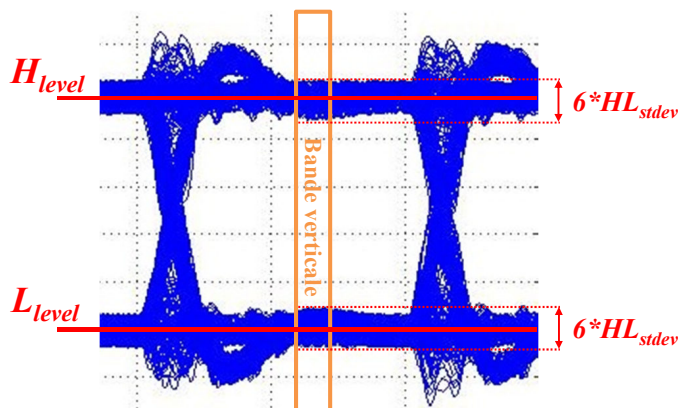


Figure 2.14 – Diagramme de l'œil.

La figure 2.15 représente une comparaison de deux courbes équivalentes du BER en fonction de E_b/N_0 dans le cas d'un canal Gaussien et une modulation BPSK. L'une est la courbe théorique tandis que l'autre est obtenue avec des simulations VHDL-AMS en appliquant l'équation 2.9.

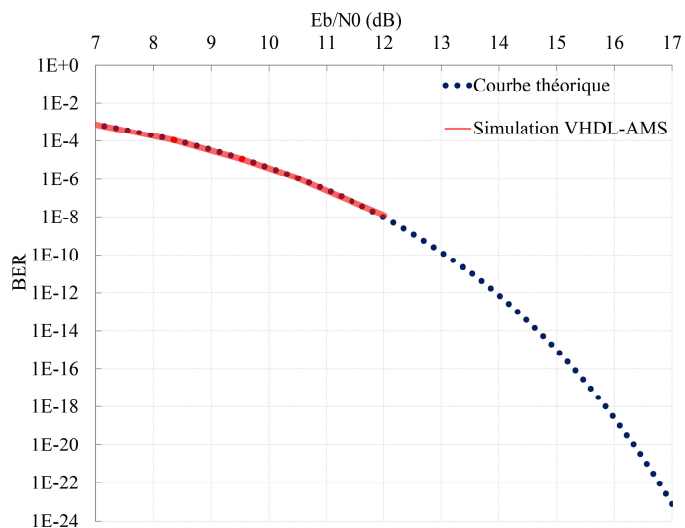


Figure 2.15 – BER vs E_b/N_0 pour une modulation BPSK et un bruit Gaussien.

Dans le cadre de ce chapitre, le bruit considéré n'est pas celui des composants du RFNoC, mais plutôt celui relatif aux interférences entre les bandes adjacentes. Comme l'immense majorité des bruits des circuits électroniques, ces interférences sont approximées par un bruit Gaussien.

2.5 Allocation de ressources spectrales

2.5.2 Communication en half-duplex

La communication half-duplex est caractérisée par la possibilité de réaliser des communications bidirectionnelles sur le même support mais dans un seul sens à la fois uniquement. Ce type de communications s'applique aux bus partagés ainsi qu'à une bonne partie des supports de communication numériques. Pour modéliser ce cas de figure, tous les clusters connectés au point **C** (Figure 2.3) envoient des données à ceux connectés au point **D**, ou bien l'inverse mais jamais les deux en même temps.

Dans un premier temps, un filtre passe-bas quasi-parfait (filtre d'ordre 4) est utilisé afin d'établir un cas de référence. Dans un but de restreindre la surface dédiée aux circuits du RFNoC, dans un deuxième temps, le filtre passe-bas est remplacé par un autre dont l'ordre est de deux.

Les ressources spectrales disponibles entre 50 GHz et 100 GHz sont partagées entre les n bandes allouées aux émetteurs correspondants aux clusters communicants. Pour chaque configuration du RFNoC caractérisée par le nombre de bandes de communication n , un paramètre appelé Δf est défini et détermine l'écart entre les fréquences centrales de deux bandes adjacentes (Figure 2.16). A travers chacune des bandes allouées et en fonction du type de modulation, les données sont transmises avec un débit fixe \mathbf{Db} . Ce débit \mathbf{Db} est multiplié par n pour obtenir le débit global du RFNoC.

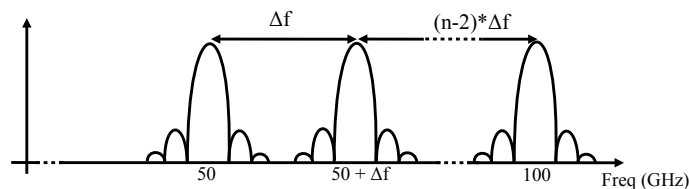


Figure 2.16 – Répartition des ressources spectrales disponibles.

En figure 2.16 est représenté le spectre du signal transmis à travers la ligne de transmission. Ce spectre contient les n bandes de transmission de données avec un lobe principal et des lobes secondaires. Chaque point de l'axe des fréquence représente la fréquence centrale de l'une des bandes de transmission de données et correspond à la fréquence de l'oscillateur local de l'émetteur concerné.

Nous faisons varier le nombre de bandes de communication n afin de déterminer le nombre de communications maximum simultanées. Dans chaque cas, le rapport signal à bruit est calculé et comparé à la valeur seuil correspondant au BER ciblé. La figure 2.17 montre les résultats avec un filtre d'ordre quatre.

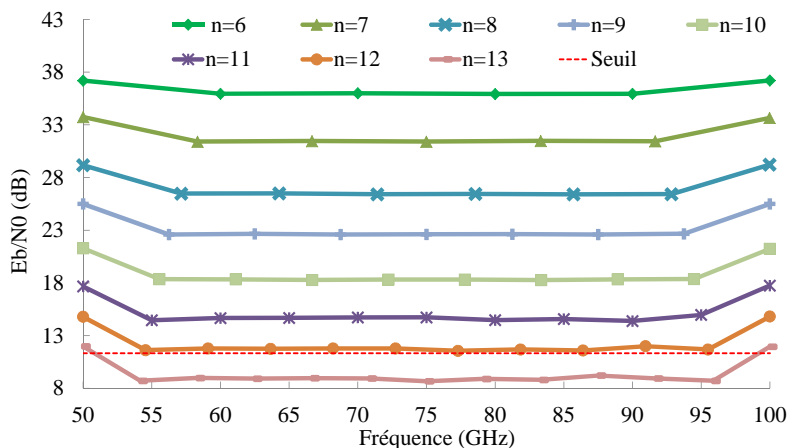


Figure 2.17 – Rapport signal à bruit dans le cas du half-duplex et du filtre d'ordre 4.

Lorsque le nombre de bandes n allouées augmente, l'écart entre les fréquences centrale Δf diminue, par conséquent, la proportion du signal de la bande adjacente venant perturber la bande utile est plus élevée, le rapport signal à bruit est alors diminué.

Grâce au filtrage quasi-parfait, le seuil en terme de rapport signal à bruit requis pour le BER visé est largement dépassé et cela jusqu'à une répartition sur dix bandes des 50 GHz de ressources spectrales disponibles. Il est à noter également que pour chacune des répartitions, la valeur du rapport signal à bruit demeure identique pour tous les récepteurs à l'exception de ceux dont les fréquences porteuses sont situées aux limites de la bande. En effet, le rapport signal à bruit de ces deux récepteurs n'est dégradé que par une seule bande adjacente contrairement aux autres récepteurs. Avec cette configuration, il est possible de transmettre simultanément jusqu'à 12 bandes de transmission.

L'un des objectifs clés lors de la conception des RFNoC est de faire en sorte que la surface en Silicium dédiée aux émetteurs-récepteurs soit la plus faible possible. Les filtres sont constitués, entre autre, d'inductances qui occupent une grande surface. Par conséquent, les filtres dont l'ordre est élevé sont à éviter dans la mesure du possible. Ainsi, le filtre passe-bas utilisé précédemment est remplacé par un autre dont l'ordre est de deux.

La figure 2.18 montre les résultats des simulations avec un filtre d'ordre deux. La forme des courbes est similaire à celles avec un filtrage quasi-parfait, avec un glissement groupé de ces courbes vers le bas. Ainsi, le seuil en rapport signal à bruit n'est dépassé que lorsque le nombre de bandes allouées est au maximum de 8. Notons que ce nombre passe à 10 pour une configuration du RFNoC avec un filtre passe-bas d'ordre 3.

2.5 Allocation de ressources spectrales

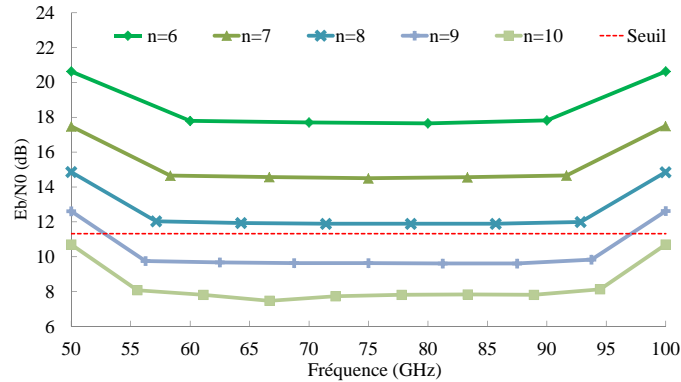


Figure 2.18 – Rapport signal à bruit dans le cas du half-duplex et du filtre d'ordre 2.

2.5.3 Communication en full-duplex

En full-duplex, les communications bidirectionnelles sont non seulement possibles mais peuvent être effectuées simultanément. Ce concept est appliqué notamment dans les communications en bande transposée. Afin de modéliser cette approche dans le cadre du RFNoC, la figure 2.3 est reprise, avec une partie des clusters connectés au point **C** qui envoie des données, tandis que l'autre partie reçoit des données envoyées par une partie des clusters connectés au point **D**. Ainsi, une partie des bandes allouées véhiculent des données à travers la ligne de transmission dans un sens pendant que l'autre le fait dans le sens opposé.

Deux organisations différentes de cette allocation sont envisageables. Si à chaque fois que deux bandes adjacentes transmettent des données dans un même sens à travers la ligne de transmission sont intercalées par une bande dont les données sont transmises dans le sens opposé, cette organisation du spectre est dite **inter-digitée** (Figure 2.19.a). La seconde organisation consiste à **grouper** sur un côté les bandes des communications effectuées dans chacun des deux sens de la ligne de transmission (Figure 2.19.b).

Comme le montre la figure 2.20, le rapport signal à bruit ciblé n'est aucunement atteint pour les communications en full-duplex avec une organisation inter-digitée des bandes et cela quelle que soit l'allocation des ressources spectrales disponibles et jusqu'à la diminution du nombre de bandes allouées à six. Cette détérioration considérable du rapport signal à bruit est dû au fait que les puissances des signaux des bandes adjacentes sont très élevées, car ils sont générés par des émetteurs se trouvant au même endroit que le récepteur du signal utile. En revanche, le seuil est dépassé en augmentant l'ordre du filtre passe-bas, jusqu'à $n=7$ pour l'ordre 3 et $n=9$ pour l'ordre 4.

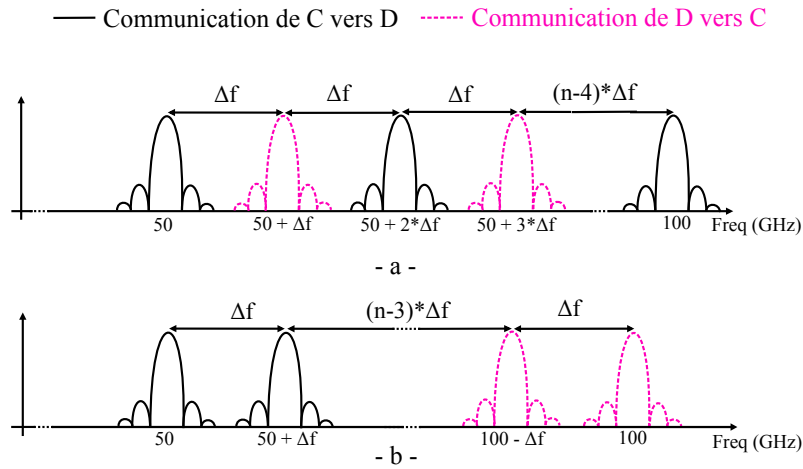


Figure 2.19 – Répartition des ressources spectrales disponibles en communications full-duplex a) inter-digité et b) groupé.

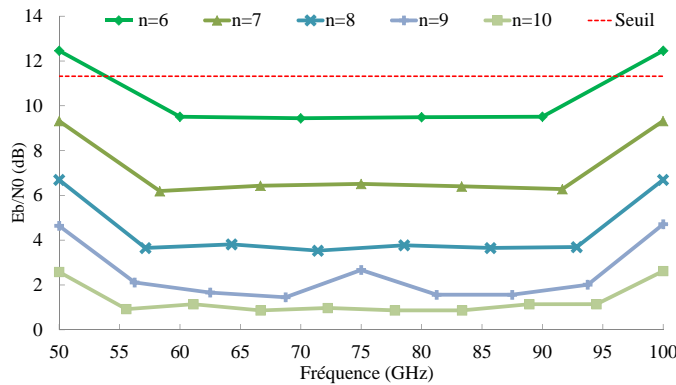


Figure 2.20 – Rapport signal à bruit dans le cas de communication en full-duplex inter-digité et du filtre d'ordre 2.

En communication full-duplex à organisation groupée des bandes, les résultats en terme de rapport signal à bruit sont globalement améliorés pour l'ensemble des allocations testées à l'exception des bandes situées en zone fréquentielle de transition entre les deux ensembles de bandes groupées de part et d'autre. Une remarque se dégage de ces résultats illustrés en figure 2.21 ; à l'extérieur de la zone de transition, les résultats sont très proches de ceux en communication en half duplex alors qu'à l'intérieur de cette zone, les résultats sont très proches de ceux en communication en full-duplex avec bandes groupées.

La dégradation des résultats dans la zone de transition est de même origine que pour l'organisation en inter-digité des bandes, c'est à dire, la forte puissance du signal de l'une des bandes adjacentes due au fait que celui-ci est émis par un émetteur situé au même point que celui de récepteur du signal utile. Selon les cas considérés, seule l'allocation de 6 bandes de transmission permet de dépasser le seuil du rapport signal à bruit. En augmentant l'ordre du filtre passe-bas à 3, l'objectif en

2.5 Allocation de ressources spectrales

question est atteint jusqu'à $n=8$ tandis que pour un ordre 4, cette limite du nombre n est portée à 10.

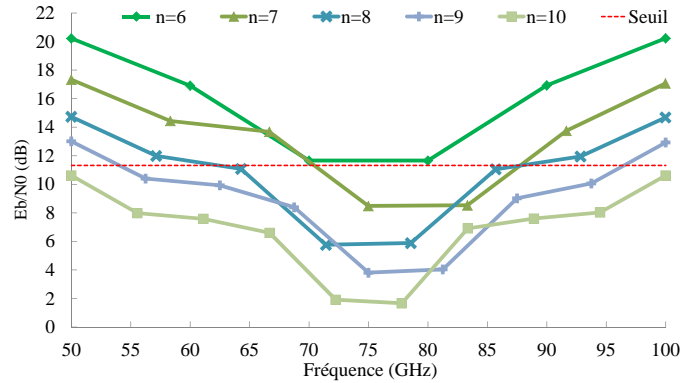


Figure 2.21 – Rapport signal à bruit dans le cas de communication en full-duplex groupée et du filtre d'ordre 2.

2.5.4 Optimisation d'allocation de ressources spectrales

Bien que les communications de type full-duplex soient les plus plausibles au sein des MPSoC, les allocations classiques des ressources spectrales disponibles ne permettent pas de maximiser le nombre de bandes à travers lesquelles des données sont échangées, par conséquent une optimisation de cette allocation est indispensable. L'agencement groupé des bandes allouées semble apporter la solution à l'exception de la zone fréquentielle de transition. Deux solutions sont envisageables à partir de cette configuration :

- ✓ Augmentation de l'ordre du filtre passe-bas (de manière permanent, lors de la conception du RFNoC) des récepteurs des bandes en zone de transition.
- ✓ Suppression de l'une des deux bandes dans la zone de transition.

La première solution permet d'atténuer davantage les signaux de bandes adjacentes pour les récepteurs des bandes en zone de transition fréquentielle, d'où l'augmentation de l'ordre du filtre passe-bas des deux récepteurs en question. La figure 2.22 montre qu'en utilisant uniquement un ordre 3 du filtre passe-bas pour ces deux récepteurs, les données peuvent être échangées avec le rapport signal à bruit requis à travers un nombre de bande allant pratiquement jusqu'à 8.

La seconde solution consiste en la suppression de l'allocation de l'une des deux bandes situées dans la zone de transition fréquentielle. Ainsi, le niveau du rapport signal à bruit en zone de transition fréquentielle s'aligne, voire dépasse de peu celui des bandes en dehors de cette zone (Figure 2.23). Quant au seuil en terme de rapport signal à bruit, il est dépassé pour toute allocation dont le nombre de bandes de transmission ne dépasse pas les $n=8-1$. Cette solution est certes obtenue au prix de la perte d'une bande donc de la réduction du débit global, cependant l'ordre des

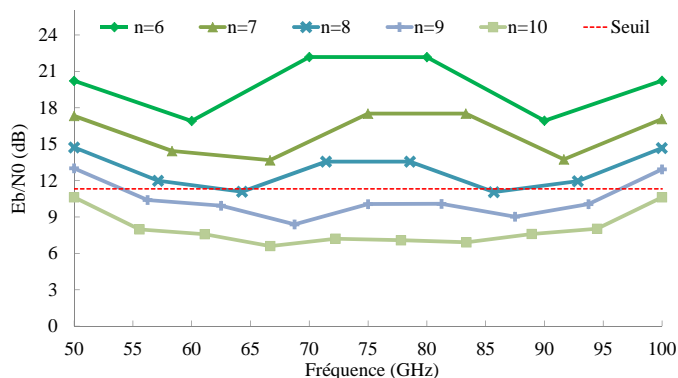


Figure 2.22 – Rapport signal à bruit dans le cas de communication en full-duplex groupée et du filtre d'ordre 3 dans la zone de transition.

filtres de tous les récepteurs est maintenu à 2, par la même occasion la surface dédiée au récepteur est ramenée au plus bas possible.

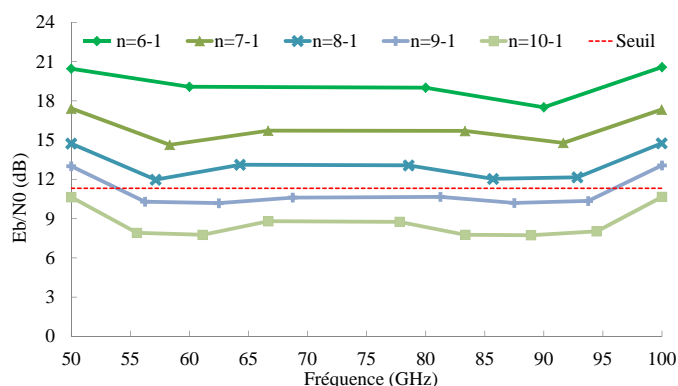


Figure 2.23 – Rapport signal à bruit dans le cas de communication en full-duplex groupée avec suppression d'une bande en zone de transition.

En vue de mettre en évidence les écarts entre les niveaux des rapports signal à bruit, les courbes de ceux-ci correspondantes aux différents cas traités lors des paragraphes précédents sont mises en comparaison dans la figure 2.24. Cette figure met bien en exergue l'effondrement de la qualité du signal dans le cas des communications en full-duplex. Cette détérioration de la qualité du signal apparaît sur l'ensemble des bandes allouées pour l'organisation inter-digitée de celles-ci et uniquement en zone de transition pour l'organisation groupée. La figure 2.24 montre également que lorsque les solutions que nous avons proposées sont appliquées, la qualité du signal pour les allocations en full-duplex est largement améliorée et rejoint le niveau des communications en half-duplex.

2.6 Conclusion

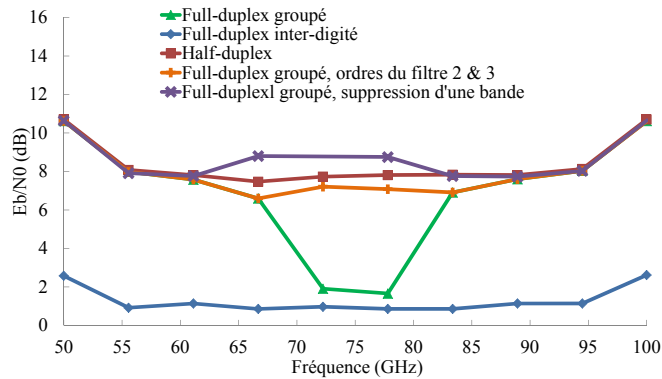


Figure 2.24 – Comparaison des niveaux des rapports signaux aux bruits.

L'augmentation du débit global d'un RFNoC passe inévitablement par l'allocation d'un maximum de bandes de transmissions sur l'ensemble de ressources spectrales disponibles. Cependant, cela doit se faire en réduisant au minimum la surface dédiée au RFNoC. A l'issue de la série des simulations effectuées dans ce but, un certain nombre de conclusions peuvent être tirées. Ces conclusions restent valides au-delà de la limitation imposée aux ressources spectrales disponibles de 50 à 100GHz mais à condition de garder la même configuration du RFNoC que celle décrite au paragraphe 2.4 avec la possibilité de modifier les fréquences porteuses ainsi que le nombre des émetteur-récepteurs. A cause de la projection des résultats à des ressources spectrales disponible illimitées, ceux-ci seront donnés, non pas sous forme de nombre maximum de bandes à allouer mais d'écart en fréquence (Δf) minimum entre les fréquences centrales des bandes de transmissions pour avoir un E_b/N_0 minimum de 11.32 dB.

- ✓ Avec les communications en half-duplex, un Δf minimum de 7.14 GHz est requis (Débit global de $n * 1Gbps$).
- ✓ Avec les communications en full-duplex, il est préconisé d'opter pour l'organisation groupée des bandes allouées avec empêchement d'allocation de l'une des deux bandes en zone de transition et de s'assurer d'un Δf minimum de 7.14 GHz (Débit global de $(n - 1) * 1Gbps$).

2.6 Conclusion

Des modèles simplifiés d'un émetteur-récepteur RF ainsi que d'une ligne de transmission sont développés pour l'outil de simulation VHDL-AMS et ont permis la validation du concept du réseau sur puce basé sur des interconnexions RF en utilisant la technique d'accès multiple du FDMA. Ces modèles permettent de modéliser différentes topologies du RFNoC et par conséquent d'optimiser les performances de celui-ci. Néanmoins, la nature simple de ces modèles risque de rendre vulnérables les résultats obtenus par une telle démarche. Dès lors, le développement de modèles plus précis est indispensable.

La coexistence de plusieurs bandes de transmissions de données sur la ligne de transmission du RFNoC n'est pas tout le temps sans conséquences sur les performances du RFNoC. Afin d'isoler les conséquences des interférences entre ces bandes sur les performances du RFNoC, plusieurs configurations des communications à travers un RFNoC sont simulées grâce aux modèles simples. Cette exploration a permis de montrer que pour les communications de type full-duplex, il est conseillé de grouper les bandes communicantes dans une même direction sur la ligne et de ne pas allouer l'une des deux bandes de transmission situées dans la zone de transition entre les deux ensembles de bandes groupées.

Les résultats ainsi que les conséquences tirées de cet ensemble de simulations peuvent être généralisés. Ainsi, quelle que soit la topologie du RFNoC, nous conseillons d'allouer les bandes de transmissions lointaines à des couples d'émetteurs-récepteurs reliés par une courte distance de la ligne de transmission. Inversement, il faut allouer les bandes proches à des couples d'émetteurs-récepteurs reliés par une longue distance de la ligne de transmission. Cette approche permet de réduire les interférences entre bandes adjacentes.

Chapitre 3

Modélisation comportementale avancée, en VHDL-AMS, des éléments du RFNoC

Sommaire

3.1	Introduction	78
3.2	Etat de l'art des modélisations comportementales	78
3.3	Modélisation du LNA	81
3.3.1	Description du modèle	81
3.3.2	Validation du modèle	89
3.3.3	Récapitulatif de la modélisation du LNA	92
3.4	Modélisation du mélangeur	93
3.4.1	Description du modèle	94
3.4.2	Validation du modèle	101
3.4.3	Récapitulatif de la modélisation du mélangeur	104
3.5	Modélisation de l'oscillateur local	106
3.5.1	Description du modèle	106
3.5.2	Validation du modèle	110
3.6	Modélisation de la ligne de transmission	111
3.6.1	Adaptation du modèle pour des simulations temporelles	115
3.6.2	Validation de l'effet de peau par simulation temporelle	117
3.7	Conclusion	120

3.1 Introduction

Le RFNoC met les interconnexions RF à l'échelle du SoC, ce qui fait apparaître de nouvelles contraintes et opportunités. En terme de contraintes, Le ségment RF des RFNoC doit être à la fois ultra-compact, à très basse consommation d'énergie, à très large bande passante et éventuellement reconfigurable afin d'utiliser au mieux les ressources spectrales disponibles. Quant aux opportunités, nous pouvons citer la très haute vitesse de transmission des ondes électromagnétiques véhiculant les données échangées dans le RFNoC ainsi que la très large bande des ressources spectrales disponibles qui ne sont limitées que par la bande passante des circuits du RFNoC. Dans le chapitre précédent, nous avons présenté les modèles idéaux des composants du RFNoC tandis que dans ce troisième chapitre, nous présenterons des modèles précis des composants du RFNoC.

Le dimensionnement d'un réseau sur puce basé sur des interconnexions RF nécessite des simulations les plus précises possibles et en tenant compte de l'essentiel des défauts et imperfections des éléments et circuits rentrant dans la composition de ces réseaux.

Par le biais du contenu de ce chapitre, après un court état de l'art, nous présentons les descriptions des modélisations en VHDL-AMS, d'une ligne de transmission, d'un LNA, d'un mélangeur, et d'un oscillateur local. Chacun de ces modèles développés est validé par une approche adaptée. Tous les composants sont représentés sur l'architecture du RFNoC de la figure 3.1. La description de la modélisation du filtre passe-bas est présentée dans le chapitre 2, paragraphe 2.3.3.2 (page 63) et nous n'apporterons pas de modifications à ce composant dans ce chapitre.

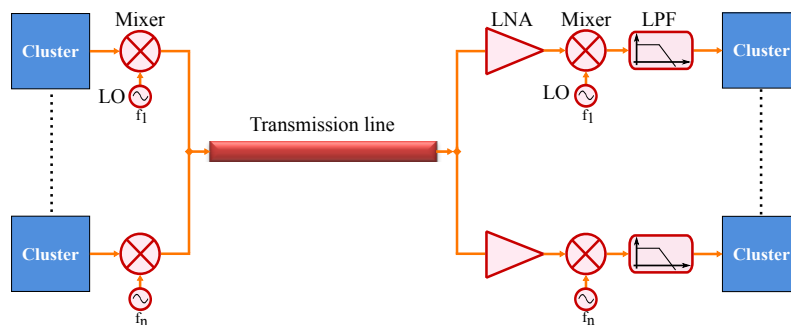


Figure 3.1 – Illustration des composant d'une architecture d'un RFNoC

3.2 Etat de l'art des modélisations comportementales

La modélisation du mélangeur ainsi que du LNA est réalisable à des niveaux d'abstraction différents. Ces niveaux d'abstraction sont répartis du plus haut niveau (généraliste, moins précis et rapide à simuler) au plus bas (ciblé, précis et lent à simuler). Le choix de l'un ou de l'autre est souvent un compromis entre les

3.2 Etat de l'art des modélisations comportementales

besoins de simulation en termes de performances d'un coté et des contraintes de simulations des modèles en termes du temps et de puissance de calcul de l'autre coté. Le modèle communément appelé comportemental en est un exemple. Il est à la fois à haut niveau d'abstraction ce qui permet de l'intégrer dans des simulations de systèmes complexes et tient compte de suffisamment de spécifications des circuits pour s'approcher le plus possible du comportement réel de celui-ci. Les autres niveaux d'abstraction sont de type structurel, ou mixtes pour lesquels l'architecture du composant à modéliser est indispensable contrairement à la modélisation comportementale.

De multiples travaux ont été présentés dans la littérature au sujet de la modélisation comportementale du mélangeur et du LNA et parfois en VHDL-AMS.

Un modèle du LNA à haut niveau d'abstraction en VHDL-AMS est développé par H. Li et al [Li 05] pour permettre rapidement d'évaluer les performances avec des simulations systèmes. Les impédances réelles d'entrée et de sortie sont modélisées sous forme d'un circuit en série composé d'une capacité, d'une inductance et d'une résistance. La partie résistive de cette impédance en entrée est divisée en deux résistances, l'une est idéale et l'autre bruitée afin de modéliser le facteur de bruit. Les non linéarités sont spécifiées, pour ce modèle, par le point de compression à 1 dB (pour un fonctionnement amplificateur de puissance) ou bien par le point d'interception d'ordre trois (pour un fonctionnement LNA) mais pas les deux à la fois. La caractéristique fréquentielle du LNA est également modélisée grâce à un filtre passe-bande. Les modélisations de l'amplification linéaire, du bruit et de la non-linéarité sont optimisées pour qu'elles correspondent aux paramètres d'un modèle équivalent du niveau transistor. La même approche a été appliquée lors de la modélisation du mélangeur par W. Yang et al [Yang 04].

Une bibliothèque des composants d'une chaîne complète composée d'un émetteur/récepteurs RF ainsi que du canal de propagation est proposée par B. Nicolle et al [Nicolle 07] et permet la simulation temporelle des systèmes de transmission sans-fil. Les éléments clés de cette chaîne sont principalement, le LNA, le mélangeur, l'amplificateur de puissance, le filtre et la PLL¹. Cette bibliothèque tient compte d'un certain nombre de paramètres critiques, à savoir, le facteur de bruit, le bruit de phase et les harmoniques. Les impédances d'entrée et de sortie sont des simples résistances. Lors de la modélisation du LNA, le gain en puissance, l'IP3, le facteur de bruit, ainsi que la bande passante sont pris en compte. Quant au mélangeur qui intègre aussi l'oscillateur local, le modèle est équivalent à celui du LNA, avec en plus un multiplicateur à la sortie qui permet la transposition du signal d'entrée. Le bruit de phase de l'oscillateur local est considéré. Le canal présenté est de type Gaussien. La validation de quelques paramètres est montrée. Les modèles sont décrits en partie en VHDL-AMS, le reste est modélisé sur Matlab/Simulink, notamment les parties concernant le bruit des composants (facteur de bruit et bruit de phase).

1. Phase Locked Loop

Y. Joannon et al [Joannon 06] ont présenté une modélisation en VHDL-AMS d'un émetteur/récepteur WCDMA². Les modèles utilisés sont ceux proposés dans le simulateurs ADMS [Mentor] de Mentor Graphics avec certaines adaptations et améliorations.

J. B. David [David 10] a présenté une approche de modélisation équivalent en bande de base d'un système de transmission de données. Le principe de cette méthode consiste à simuler une bande du signal située autour de la fréquence porteuse et afin de réduire le temps de simulation, cette bande est transposée en bande de base. Cette modélisation néglige un bon nombre d'harmoniques du signal. Ce type de modèle n'est utilisable que pour une vérification fonctionnelle du système simulé. Ce principe est aussi utilisé dans [He 06] pour modéliser la chaîne de transmission WiMax³ d'un mobile.

T. Riad et al [Riad 10] ont proposé la modélisation comportementale d'un LNA. L'approche s'appuie sur les paramètres S . Le modèle tient compte des non-linéarités, de l'intermodulation, de la saturation, du bruit et des impédances réelles d'entrée et de sortie du LNA. Le bruit est généré avec des sources instanciées à partir d'un autre outil de simulation (Eldo/SPICE) ce qui réduit la portabilité du modèle. Seuls les non-linéarités d'ordre trois sont prises en compte, par conséquent il n'est possible d'introduire que la valeur du point d'interception d'ordre trois (et pas le point de compression à 1 dB).

A. Syed [Ali 12] a proposé la modélisation en VHDL-AMS des composants principaux d'une chaîne de communication RF. La modélisation est effectuée à une multitude de niveaux d'abstractions, notamment comportemental. Cependant, les modèles comportementaux restent simplistes.

Un ensemble de modélisations en VHDL-AMS et idéales (ne tenant pas compte des défaut) d'une chaîne complète d'émission/réception est proposé pour différents types de modulations, notamment la $\pi/4$ DQPSK⁴ [Normark 04], le BPSK [Nikitin 04] et les M-QAM [Jaber 07].

Dans l'ensemble des travaux de modélisation cités ci-dessus, des insuffisances se sont avérées. Les modèles ne prennent comme paramètre des non-linéarités que le point d'interception d'ordre trois ou le point de compression mais pas les deux au même temps, à l'exception du modèle présenté dans [He 06], en revanche ce modèle est de type équivalent en bande de base, ce qui réduit la précision du modèle en termes d'harmoniques. Concernant la zone de saturation des composants, aucun des modèle ne justifie mathématiquement le choix de la puissance à partir de laquelle

2. Wideband Code Division Multiple Access
3. Worldwide Interoperability for Microwave Access
4. Differential Quadrature Phase-Shift Keying

3.3 Modélisation du LNA

cette zone est entamée. Peu de ces modèles sont développés en VHDL-AMS et la génération du bruit pour des simulations temporelles pour ces composants n'est évoquée nulle part.

Faces aux limites montrées par les modèles du mélangeur, du LNA et de l'oscillateur local, nous avons développé des modèles tenant compte de paramètres essentiels de ces composants et de manière plus précise pour certains. Les détails de la démarche suivie ainsi que sa validation sont présentés ci-dessous.

3.3 Modélisation du LNA

Les performances de l'amplificateur faible bruit (LNA) sont d'une importance capitale dans les systèmes de transmission RF. En effet, le LNA est le premier élément d'un récepteur RF juste après l'antenne ou la ligne de transmission. D'après l'équation de Friis [Friis 44], le facteur de bruit du récepteur RF est largement dominée par celui du LNA (cf. annexe A.3). En outre, le LNA doit amplifier suffisamment le signal, tout en ayant une bonne linéarité car les autres signaux créent des intermodulations. Lors du développement du modèle du LNA, l'ensemble de ces paramètres est à prendre en compte et avec la plus grande précision possible.

3.3.1 Description du modèle

Dans cette partie, nous présentons la théorie concernant la modélisation comportementale avancée du LNA. Lorsqu'il est nécessaire, la méthode de description de ce modèle avec le langage VHDL-AMS est également présentée. Comme le montre la figure 3.2, le modèle du LNA est organisé en trois parties. D'abord le bruit pour tenir compte de facteur de bruit (NF), puis un filtre passe-bande pour la bande passante du LNA et enfin les non-linéarités pour le point de compression à 1 dB, le point d'interception d'ordre trois et la saturation.

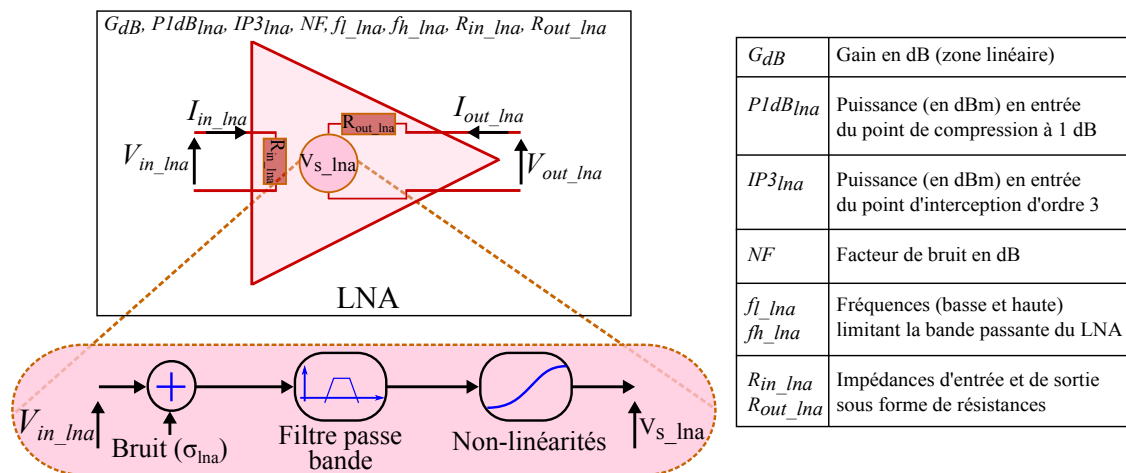


Figure 3.2 – Modélisation comportementale avancée de l'amplificateur faible bruit

Bruit

Le bruit est un paramètre critique du LNA. Comme les distorsions et les intermodulations, le bruit est un signal parasite qui dégrade le signal utile. En revanche, le bruit est aléatoire tandis que les distorsions et les intermodulations sont déterministes.

Le rapport de la puissance du signal par rapport à la puissance du bruit (SNR) est souvent utilisé afin de caractériser l'effet du bruit. Cependant, lors de la conception d'un circuit, le bruit de celui-ci est caractérisé par le facteur de bruit (NF). Le facteur de bruit du LNA est défini à partir des facteurs de bruit individuels des éléments mis en cascades pour former le LNA. Le facteur de bruit du LNA mesure la dégradation du rapport signal à bruit lorsque le signal traverse le LNA. Son expression en décibel est donnée par :

$$NF_{lna} = 10 \log(F_{lna}) = 10 \log \frac{SNR_{in}}{SNR_{out}} \quad (3.1)$$

Où F_{lna} est le facteur de bruit en linéaire, SNR_{in} (respectivement SNR_{out}) est le rapport signal à bruit à l'entrée (respectivement à la sortie) du LNA. Lors de la mesure du facteur de bruit, le bruit en entrée est un bruit thermique correspondant à la température normalisée $T_0 = 290K$.

Nous avons modélisé le bruit du LNA par une source équivalente de bruit à l'entrée et dont la sortie est additionnée avec le signal d'entrée du LNA. Comme la majorité des phénomènes physiques, le bruit dans les circuits électroniques est modélisé par un bruit blanc Gaussien.

En VHDL-AMS, il n'est possible de créer directement qu'un bruit de distribution uniforme (figure 3.3.a). Pour générer le bruit blanc de distribution Gaussienne (figure 3.3.b), nous utilisons deux variables aléatoires indépendantes de distributions uniformes (X_1 et X_2) et la méthode de Box-Muller [Brière 05]. L'expression de la méthode de Box-Muller [Box 58] est :

$$y = \sqrt{-2 \ln(x_1)} \cos(2\pi x_2) \quad (3.2)$$

Où Y est la variable aléatoire (centrée et réduite) décrivant un bruit blanc de distribution gaussienne.

Afin de modéliser le bruit du LNA, nous avons besoin de générer, à partir de la variable aléatoire y centrée ($\mu = 0$) réduite ($\sigma = 1$), une variable aléatoire y' centrée et non réduite.

$$y' = \sigma y + \mu \quad (3.3)$$

Avec μ l'espérance mathématique. Dans notre cas $\mu = 0$. σ est l'écart type. Dans notre cas, σ représente la valeur efficace de la tension de bruit à générer.

3.3 Modélisation du LNA

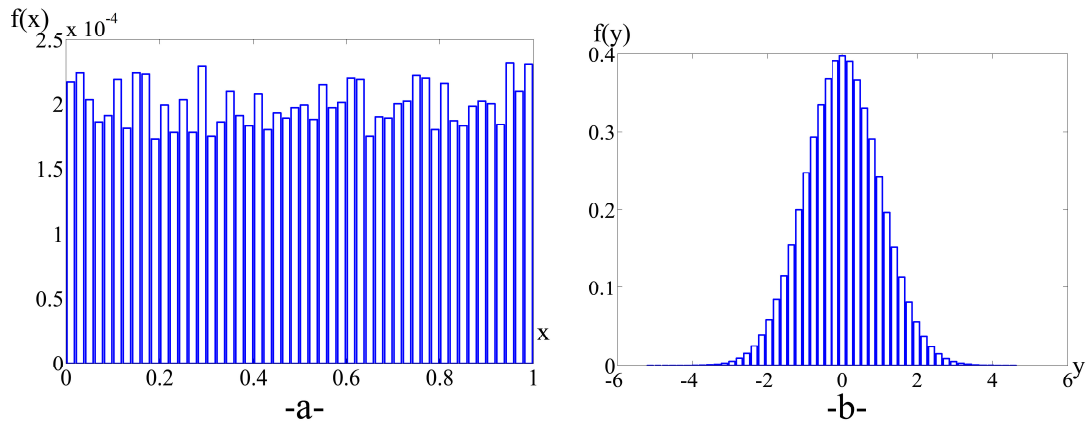


Figure 3.3 – Densités de probabilité des variables aléatoires a) uniforme et b) Gaussienne (normale)

En tenant compte de la méthode de modélisation du facteur de bruit par une source équivalente de bruit à l'entrée du LNA, l'expression de σ est donnée par l'équation 3.4.

$$\sigma_{lna} = \sqrt{4R_{in_lna}kT_0B(F_{lna} - 1)} \quad (3.4)$$

Avec : k la constante de Boltzmann. Le bruit à l'entrée du LNA est un bruit thermique à la température normalisée T_0 qui vaut $290K$. B est la bande passante considérée du bruit.

Bande passante

Le gain en puissance du LNA dépend de la fréquence du signal, par conséquent, le LNA n'est utilisable que pour des signaux d'entrée dont la fréquence se situe à l'intérieur de la bande passante du LNA. La bande passante du LNA est la bande fréquentielle pour laquelle le gain en puissance du LNA n'est pas trop dégradé.

Nous modélisons la bande passante du LNA grâce à une fonction mathématique décrivant un filtre passe-bande. Par convention, les fréquences de coupure des filtres usuels sont données à une atténuation de -3 dB ce qui correspond à une division de la puissance par deux. Pour le LNA, une telle variation du gain en puissance est trop élevée. Par conséquent, nous avons opté pour le dimensionnement d'un filtre passe-bande d'une atténuation maximale moins élevée, en l'occurrence, de -0,2 dB à l'intérieur de sa bande passante. Notre méthodologie de dimensionnement du filtre est valide pour tout type de filtre (Butterworth, Chebyshev, Bessel, ...) et pour tout ordre, en revanche elle ne sera présentée et appliquée que pour le filtre de Butterworth d'ordre deux. Ainsi, pour déterminer la fonction de transfert du filtre passe-bande de Butterworth, d'ordre deux et dont l'atténuation maximale dans la

bande passante est de A_p , nous utilisons d'abord la fonction de transfert (Equation 3.5) d'un filtre passe-bas d'ordre deux, normalisée, de type Butterworth et dont la fréquence de coupure est donnée à -3 dB.

$$H_0(s) = \frac{1}{1 + \sqrt{2}s + s^2} \quad (3.5)$$

Pour que cette fonction de transfert assure une atténuation maximale de A_p à l'intérieur de la bande passante au lieu de -3 dB, il suffit de remplacer la variable de Laplace s par $s\sqrt[n]{\varepsilon}$ dans l'expression de la fonction de transfert $H_0(s)$ (Équation 3.5). n représente l'ordre du filtre et ε est donné par :

$$\varepsilon = \sqrt[10]{10^{\frac{-A_p}{10}} - 1} \quad (3.6)$$

Une dernière étape de dénormalisation du filtre est nécessaire afin d'obtenir le filtre passe-bande avec les fréquences de coupure f_{l_lna} et f_{h_lna} . Ainsi la fonction de transfert finale est donnée par :

$$\begin{cases} H(s) = \frac{B_w^2 s^2}{\varepsilon \omega_0^4 + \sqrt{2\varepsilon} \omega_0^2 B_w s + (B_w^2 + 2\varepsilon \omega_0^2) s^2 + \sqrt{2\varepsilon} B_w s^3 + \varepsilon s^4} \\ B_w = 2\pi(f_{h_lna} - f_{l_lna}) \\ \omega_0 = 2\pi\sqrt{f_{h_lna} f_{l_lna}} \end{cases} \quad (3.7)$$

Non-linéarité

Une bonne partie des circuits électroniques peut être représentée par un modèle linéaire afin d'obtenir leurs réponses à un signal d'entrée (zone linéaire de la figure 3.5.a). Néanmoins, les non-linéarités représentent des paramètres importants à ne pas négliger. Pour un signal d'entrée mono-porteuse, les non-linéarités se manifestent sous formes d'harmoniques d'ordres élevés et de la compression du gain en puissance. Pour un signal d'entrée de type bi-porteuses, les non-linéarités s'expriment par des intermodulations et par l'effet d'un brouilleur (appelé aussi bloqueur) sur la désensibilisation du gain en puissance du LNA.

Lors de la caractérisation d'un circuit électronique, le point de compression à 1 dB (P1dB) est souvent utilisé. Le P1dB permet de quantifier les non-linéarités pour un test mono-porteuse dont le spectre du signal est donné en figure 3.4.a. Le point de compression à 1 dB est défini comme étant la puissance du signal d'entrée

3.3 Modélisation du LNA

pour laquelle le gain en puissance diminue de 1 dB par rapport au gain en puissance linéaire (zone de compression de la figure 3.5.a).

S'agissant de la caractérisation des non-linéarités par un test bi-porteuses dont le spectre est donné en figure 3.4.b, le point d'interception d'ordre trois (IP3) est utilisé. L'IP3 correspond à l'intersection de deux lignes. La première représente le prolongement linéaire de la puissance des produits d'intermodulations d'ordre trois en fonction de la puissance du signal d'entrée, tandis que la seconde est le prolongement de la puissance de sortie de l'harmonique fondamental en fonction de la puissance du signal d'entrée (figure 3.5.b). L'IP3 est particulièrement important pour caractériser l'effet des signaux se trouvant tout près, de part et d'autre, de la bande du signal utile.

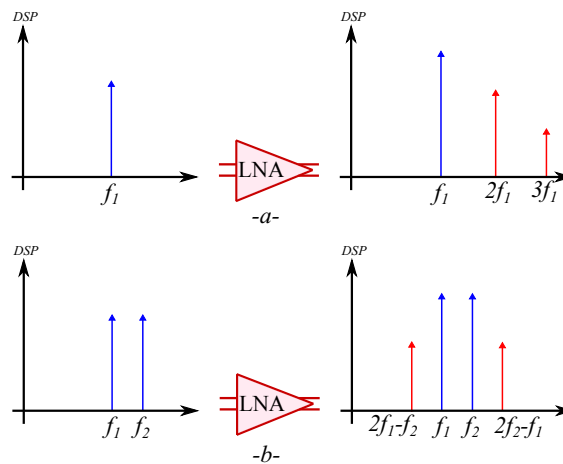


Figure 3.4 – Spectre du signal à l'entrée et à la sortie du LNA pour des caractérisations a) mono-porteuse et b) bi-porteuses.

Remarque Le point d'interception d'ordre trois ainsi que le point de compression à 1 dB de l'amplificateur faible bruit sont tous les deux communément donnés soit avec leurs puissances respectives en entrée ou en sortie du LNA. Dans notre cas, dans tout le manuscrit nous donnons ces points par les variables $IP3_{lna}$ et $P1dB_{lna}$ qui désignent les puissances en dBm, en entrée du LNA, respectivement, du point d'interception d'ordre trois et du point de compression à 1 dB.

Nous avons modélisé les non-linéarités du LNA avec un polynôme d'ordre cinq avec uniquement les termes de degrés impairs (Équation 3.8). L'ordre cinq du polynôme est le plus petit qui permet de tenir compte des imperfections envisagées. Les termes de degrés pairs sont négligés car, les non-linéarités d'ordres pairs sont, soit compensables lors de la conception des circuits [Yuan 10], soit d'une importance non avérée à cause de l'éloignement des harmoniques générés par ces termes par rapport au signal utile.

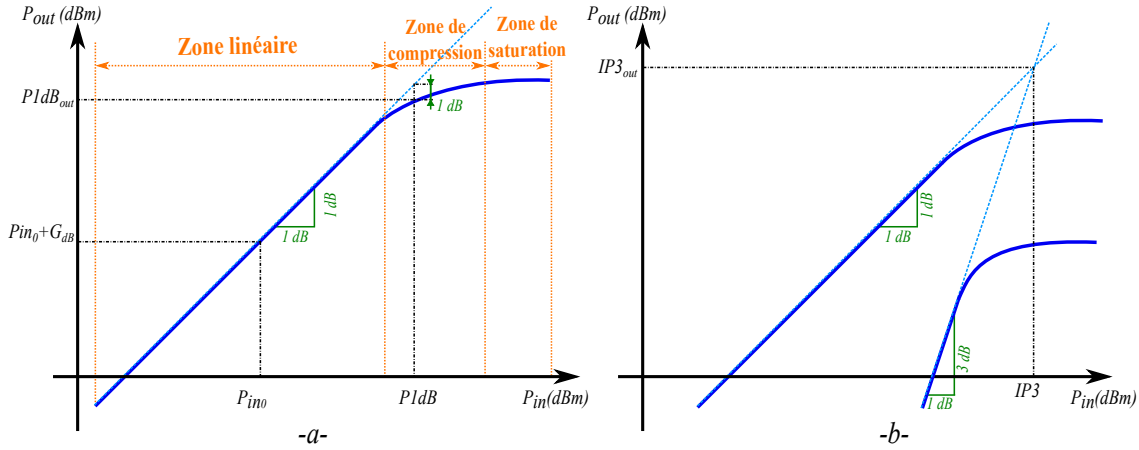


Figure 3.5 – Définition des paramètres des non-linéarités d'un circuit électronique pour des tests a) mono-porteuse et b) bi-porteuses.

$$V_{s_lna} = 2 \left(k_{lna_1} V_{in_lna} + k_{lna_3} V_{in_lna}^3 + k_{lna_5} V_{in_lna}^5 \right) \quad (3.8)$$

Avec, pour un test mono-porteuse :

$$V_{in_lna} = A_{in_lna} \cos(2\pi f_{in1_lna} t) \quad (3.9)$$

et pour un test bi-porteuses :

$$V_{in_lna} = A_{in_lna} \cos(2\pi f_{in1_lna} t) + A_{in_lna} \cos(2\pi f_{in2_lna} t) \quad (3.10)$$

La pondération par 2 du polynôme dans l'équation 3.8 permet la compensation de l'effet du diviseur de tension de la sortie du modèle du LNA (Figure 3.10). En effet, lorsque le LNA est bien adapté en sortie ($Z_{load} = Z_{out}^*$), la tension V_{out_lna} vaut la moitié de la tension V_{s_lna} .

Pour un test bi-porteuses, nous avons fixé la même amplitude pour les deux sinusoïdes dans le seul but de simplifier les calculs, sinon le calcul des coefficients et par la même occasion le modèle sont valides quelles que soient les amplitudes de ces sinusoïdes.

Les coefficients k_{lna_i} du polynôme sont définis en fonction des paramètres spécifiant les caractéristiques du LNA.

k_{lna_1} est défini par le gain en puissance linéaire (G_{dB}) avec un test mono-porteuse et en négligeant les termes d'ordres trois et cinq. Ce choix est justifié par le fait que pour les petits signaux, les termes d'ordre trois et cinq sont négligeables devant le terme du premier ordre.

Le coefficient k_{lna_3} est défini en fonction du point d'interception d'ordre trois ($IP3_{lna}$). Ce coefficient est obtenu en résolvant l'équation mettant en égalité, d'une

3.3 Modélisation du LNA

part, la partie linéaire de la réponse du polynôme à une excitation bi-porteuses mais en ne considérant que l'un des deux fondamentaux et d'autre part, la partie linéaire de l'un des deux produits d'intermodulation d'ordre trois de la réponse du polynôme à une excitation bi-porteuses également (annexeA.4.1).

Quant au coefficient k_{lna_5} , il est défini par le point de compression à 1 dB du LNA ($P1dB_{lna}$). Le coefficient est obtenu par l'équation typique de la définition du point de compression à 1 dB, c'est à dire, un écart de 1 dB entre le gain en puissance linéaire du LNA et le gain réel (annexeA.4.2).

Ces conditions de calcul mènent aux résultats suivants :

$$\begin{cases} k_{lna_1} = \sqrt{\frac{R_{out_lna}}{R_{in_lna}}} 10^{\frac{G_{dB}}{20}} \\ k_{lna_3} = -\frac{4}{3} \frac{k_{lna_1}}{A_{ip3_lna}^2} \\ k_{lna_5} = \frac{8}{5} \frac{k_{lna_1}}{A_{p1dB_lna}^4} (10^{-0,05} - 1) - \frac{6}{5} \frac{k_{lna_3}}{A_{p1dB_lna}^2} \end{cases} \quad (3.11)$$

Avec :

$$\begin{cases} A_{ip3_lna} = \sqrt{2R_{in_lna}} 10^{\frac{IP3_{lna}-30}{20}} \\ A_{p1dB_lna} = \sqrt{2R_{in_lna}} 10^{\frac{P1dB_{lna}-30}{20}} \end{cases} \quad (3.12)$$

Remarque Le polynôme décrivant le comportement non-linéaire du LNA (Équation 3.8), avec seulement les deux coefficients k_{lna_1} et k_{lna_3} permet de tenir compte du gain en puissance linéaire du LNA, du point d'interception d'ordre trois ($IP3_{lna}$) ainsi que du point de compression à 1 dB ($P1dB_{lna}$). En revanche une contrainte s'impose sur les valeurs de ces deux derniers paramètres. En effet, nous ne pouvons fixer la valeur que d'un seul de ces deux paramètres et la valeur du second est déduite, sachant que $IP3_{lna} - P1dB_{lna} = 9,64$ [Gautier 14b]. Dans la littérature, plusieurs approches s'appuyant sur cette modélisation sont proposées en se contentant de fixer la valeur de l'un de ces deux paramètres [Li 05] [Nicolle 07]. Ceci est également le cas pour la modélisation du mélangeur [Yang 04]. Vue la raison évoquée ci-dessus, l'ajout du coefficient k_{lna_5} au polynôme de l'équation 3.8 s'est imposé afin de pouvoir renseigner des valeurs de l' $IP3_{lna}$ et du $P1dB_{lna}$ de manière indépendante.

Dans le modèle décrit ci-dessus, la tension de sortie n'est pas bornée contrairement au comportement réel du LNA. En effet, à partir d'une certaine puissance d'entrée, le gain en puissance du LNA est saturé.

Pour compléter la modélisation du LNA par un polynôme, nous avons mis en place une méthode qui permet de modéliser la zone de saturation du gain en puissance. Cette méthode consiste à générer à la sortie du LNA un signal d'amplitude constante à partir du point de saturation du LNA. Le point de saturation est donné par la condition exprimée par l'équation 3.13 [Agilent].

$$\left. \frac{\partial V_{s_lna}}{\partial V_{in_lna}} \right|_{V_{in_lna}=V_{in0_lna}} = 0 \quad (3.13)$$

V_{in0_lna} est la solution de l'équation 3.13 et correspond au point où la courbe de V_{out_lna} en fonction de V_{in_lna} possède une tangente parfaitement horizontale. Pour le modèle développé, ce point correspond au début de la zone de saturation. La valeur de V_{in0_lna} , ainsi que l'amplitude de saturation V_{out0_lna} sont données par l'équation 3.14.

$$\begin{cases} V_{in0_lna} = \sqrt{\frac{-3k_{lna_3} - \sqrt{9k_{lna_3}^2 - 20k_{lna_1}k_{lna_5}}}{10k_{lna_5}}} \\ V_{out0_lna} = 2 \left(k_{lna_1}V_{in0_lna} + k_{lna_3}V_{in0_lna}^3 + k_{lna_5}V_{in0_lna}^5 \right) \end{cases} \quad (3.14)$$

La prise en compte des non-linéarités du modèle du LNA est résumée dans le tableau 3.1. Tant que la puissance du signal d'entrée est inférieure à la puissance de saturation, le modèle fonctionne en mode polynômial et dès que la puissance de saturation est dépassée, le modèle passe en mode de saturation.

Table 3.1 – Mode de fonctionnement des non-linéarités du modèle du LNA.

V_{in_lna}	$-\infty \rightarrow -V_{in0_lna}$	$-V_{in0_lna} \rightarrow +V_{in0_lna}$	$+V_{in0_lna} \rightarrow +\infty$
V_{out_lna}	$-V_{out0_lna}$	$k_{lna_1}V_{in_lna} + k_{lna_3}V_{in_lna}^3 \dots$ $\dots + k_{lna_5}V_{in_lna}^5$	$+V_{out0_lna}$
Mode	Saturation	Polynômial	Saturation

3.3 Modélisation du LNA

Remarques

1. La validité du modèle du LNA, notamment la zone de saturation, est conditionnée par la relation 3.15. Cette relation, conditionne l'existence et l'unicité de la solution réelle V_{in0_lna} pour l'équation 3.13 (cf. annexe A.5).

$$IP3_{lna} \geq P1dB_{lna} + 9,5 \quad (3.15)$$

2. Le modèle développé pour le LNA dans ce chapitre peut servir également pour l'amplificateur de puissance (PA) à l'émission. Cependant, dans le cas du PA, le bruit n'est plus un paramètre critique. En revanche, les non-linéarités ainsi que les intermodulations sont à prendre en compte rigoureusement.

3.3.2 Validation du modèle

Nous avons procédé à la validation du modèle du LNA en trois étapes. D'abord, le bruit, puis la bande passante et enfin les non-linéarités.

Nous avons validé la partie concernant le bruit en spécifiant plusieurs valeurs du facteur de bruit (NF) du modèle du LNA. Ensuite, le modèle est introduit dans une simulation permettant d'évaluer le facteur de bruit. Dans le tableau 3.2, les résultats ainsi obtenus sont comparés avec ceux du modèle du LNA proposé dans le logiciel ADS [Agilent]. Ce modèle est appelé *Amplifier2* dans la bibliothèque de simulation électrique de ADS. Sur ADS, l'évaluation du facteur de bruit est obtenue directement à la fin de la simulation tandis qu'en VHDL-AMS, le facteur de bruit est obtenu par l'évaluation des rapports signal à bruit à l'entrée et à la sortie du LNA .

Table 3.2 – Comparaison des valeurs du facteur de bruit du LNA.

NF renseigné	NF évalué sur :	
	ADS (<i>Amplifier2</i>)	VHDL-AMS (modèle développé)
0	0,000	0,000
1	1,000	0,995
2	2,000	1,998
3	3,000	3,001
6	6,000	6,011
10	10,000	10,019

Comme le montre le tableau 3.2, les résultats obtenus avec le modèle que nous avons développé sont quasi identiques à ceux du modèle fourni dans la bibliothèque ADS.

La validation de la modélisation de la bande passante du LNA est effectuée avec les paramètres $f_{l_lna} = 2GHz$ et $f_{h_lna} = 3GHz$. La validation est obtenue directement avec une simulation en VHDL-AMS dont le résultat est illustré dans la figure 3.6. Aux fréquences de coupure f_{l_lna} et f_{h_lna} , l'écart entre les puissances d'entrée et de sortie du LNA est de $0,2 dB$, ce qui répond correctement au cahier des charges fixé au préalable (cf. paragraphe 3.3.1).

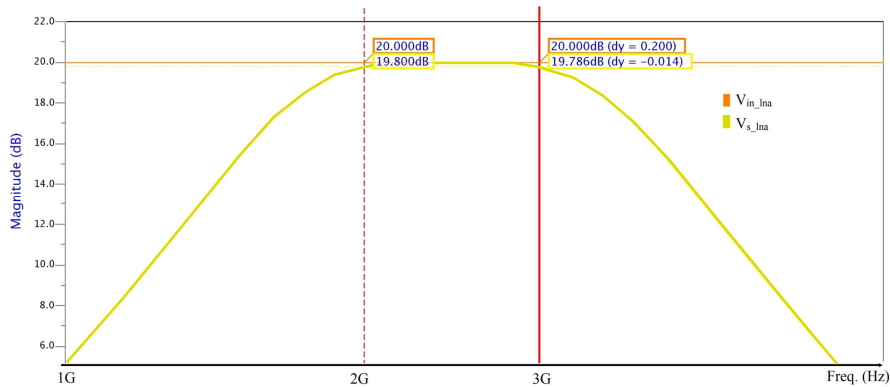


Figure 3.6 – Illustration de la bande passante du modèle du LNA

Remarque Notons que le modèle *Amplifier2* développé par ADS [Agilent] ne permet pas de considérer la bande passante.

Tout comme le bruit, nous avons validé les non-linéarités du LNA en comparant les résultats du modèle développé et celles du LNA proposé dans la bibliothèque des simulations électriques du logiciel ADS [Agilent], à savoir le composant dénommé *Amplifier2*. Les résultats des simulations mono-porteuse et bi-porteuses sont montrés en figure 3.7 et figure 3.8 respectivement. Ci-dessous, suivent les paramètres du LNA pour lesquels ces résultats sont obtenus. Ces paramètres sont extraits de la fiche technique d'un LNA mis en vente par un concepteur de circuits électroniques [Avago].

- ☑ $G_{dB} = 23,2 dB$.
- ☑ $P1dB_{lna} = -13 dBm$.
- ☑ $IP3_{lna} = -2,2 dBm$.

Nous avons effectué les simulations avec des signaux sinusoïdaux en entrée du LNA, de fréquences de $50 GHz$ pour le cas en mono-porteuse et de $50 GHz$ et $51 GHz$ pour le cas en bi-porteuses.

Les résultats des simulations montrent que les performances du modèle du LNA que nous avons développé sont identiques à celles du composant *Amplifier2* proposé dans la bibliothèque du logiciel ADS.

3.3 Modélisation du LNA

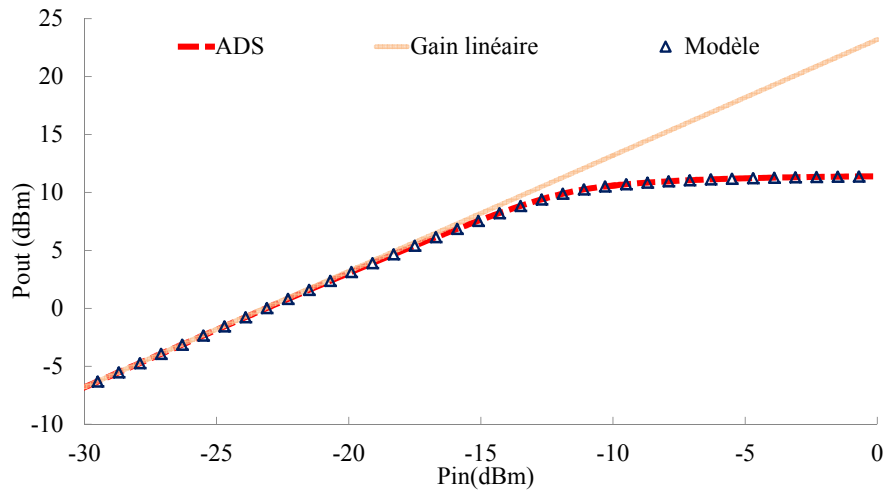


Figure 3.7 – Caractérisation mono-porteuse du LNA

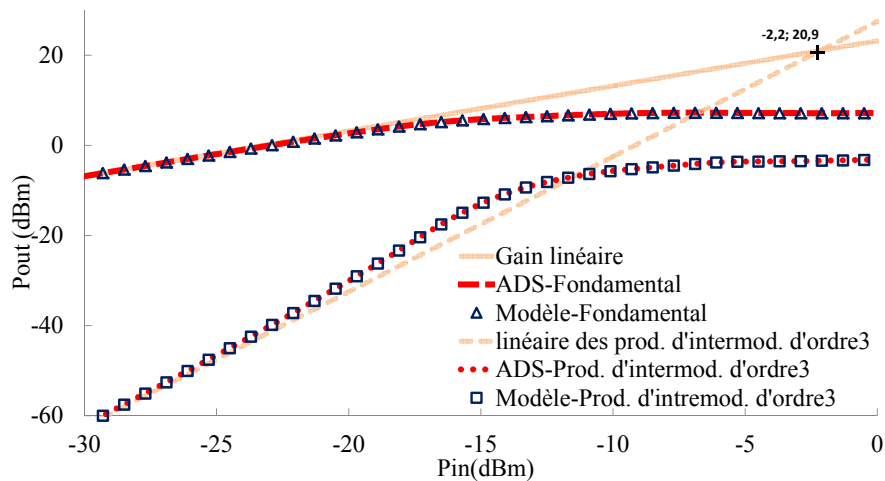


Figure 3.8 – caractérisation bi-porteuses du LNA

La courbe correspondant au résultat de la simulation mono-porteuse (Figure 3.7) présente trois zones. La zone linéaire valide le gain en puissance linéaire, tandis que la zone de compression de la courbe valide le point de compression à 1 dB. Au delà, de la puissance du point de compression, la courbe entre dans la zone de saturation.

Les résultats de la simulation bi-porteuses (Figure 3.8) sont présentés avec deux types de courbes principales. La courbe du haut représente le signal en sortie du LNA à la fréquence fondamentale qui est aussi la fréquence du signal d'entrée. La courbe du bas exprime la puissance de l'un des deux produits d'intermodulation d'ordre trois. Les prolongements des parties linéaires de ces courbes se croisent au point d'interception d'ordre trois. La valeur prélevée de ce point (indiqué par la croix) correspond bien à celle consignée au modèle du LNA.

Remarque La validation décrite ci-dessus est obtenue en décrivant le modèle tel que nous l'avons présenté au paragraphe 3.3.1. Nous avons implémenté cette description en VHDL-AMS ainsi que sur le logiciel ADS. Cette description du modèle est facilement implémentable sur tout autre langage de description de matériel analogique ou logiciel de simulation de circuits électroniques.

3.3.3 Récapitulatif de la modélisation du LNA

Après avoir détaillé la modélisation des différents paramètres du LNA, le modèle global est résumé sur la figure 3.9 avec les différentes fonctions décrivant les imperfections du LNA.

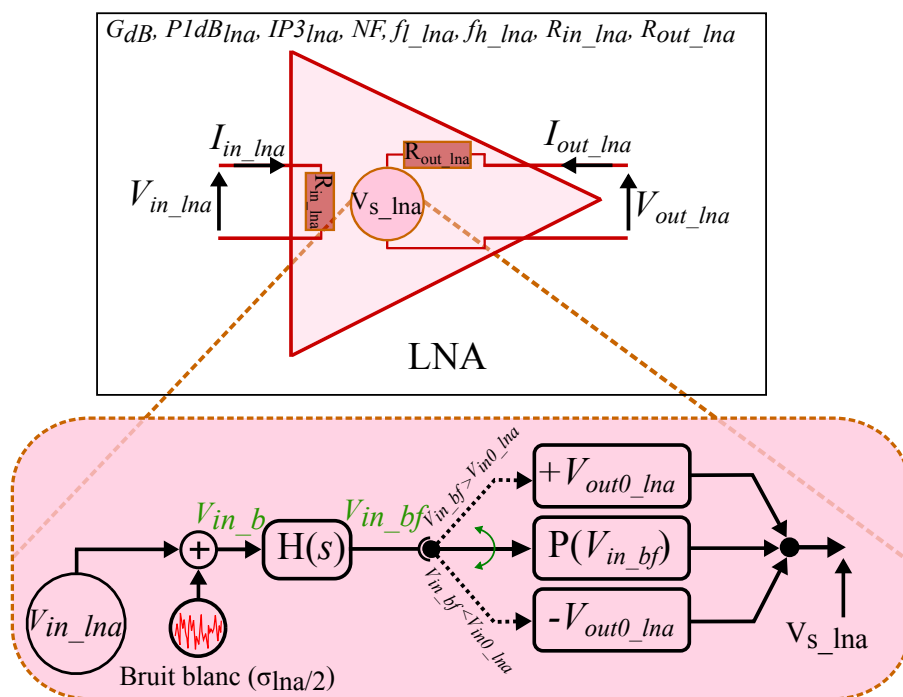


Figure 3.9 – Récapitulatif de la modélisation du LNA

Les différentes fonctions et variables de la figure 3.9 sont données en équations 3.16.

3.4 Modélisation du mélangeur

$$\left\{ \begin{array}{l}
 \sigma_{l_{na}} = \sqrt{4R_{in_l_{na}}kT_0B(F_{l_{na}} - 1)} \\
 H(s) = \frac{B_w^2 s^2}{\varepsilon\omega_0^4 + \sqrt{2\varepsilon}\omega_0^2 B_w s + (B_w^2 + 2\varepsilon\omega_0^2)s^2 + \sqrt{2\varepsilon}B_w s^3 + \varepsilon s^4} \\
 V_{in0_l_{na}} = \sqrt{\frac{-3k_{l_{na_3}} - \sqrt{9k_{l_{na_3}}^2 - 20k_{l_{na_1}}k_{l_{na_5}}}}{10k_{l_{na_5}}}} \\
 V_{out0_l_{na}} = 2 \left(k_{l_{na_1}}V_{in0_l_{na}} + k_{l_{na_3}}V_{in0_l_{na}}^3 + k_{l_{na_5}}V_{in0_l_{na}}^5 \right) \\
 P(V_{in_bf}) = 2 \left(k_{l_{na_1}}V_{in_bf} + k_{l_{na_3}}V_{in_bf}^3 + k_{l_{na_5}}V_{in_bf}^5 \right)
 \end{array} \right. \quad (3.16)$$

3.4 Modélisation du mélangeur

Le fonctionnement du mélangeur est obtenu grâce aux non-linéarités des composants électroniques passifs ou actifs selon le type du mélangeur. Les mélangeurs passifs ne consomment pas de puissance et se comportent comme des impédances non-linéaires. Les composants les plus utilisés pour ces topologies sont les diodes Schottky et les transistor à effet de champ (MESFET⁵ et HEMT⁶) froids (fonctionnent dans leurs zones ohmiques du fait de leur non-polarisation) [Gautier 14a]. Les composants utilisés dans un mélangeur actif sont polarisés, par conséquent, ils consomment de la puissance. Les composants utilisés dans ce type de topologies sont les transistors bipolaires ou à effet de champs [Gautier 14a].

Les mélangeurs simplement ou doublement équilibrés sont proposés dans la littérature afin de supprimer, ou à défaut réduire certains harmoniques non-désirés, notamment ceux qui sont relatifs aux non-linéarités d'ordres pairs [Maas 93][Gautier 14b].

5. Metal-Semiconductor Field Effect Transistor

6. High-Electron-Mobility Transistor

Le modèle du mélangeur que nous avons développé correspond au mélangeur doublement équilibré.

3.4.1 Description du modèle

Le mélangeur est un composant à deux ports d'entrée contrairement au LNA. Un port de signal d'entrée *in* (signal en bande de base ou basse fréquence ou RF) et un port oscillateur local *lo*. Le signal du port *in* véhicule l'information, ce qui fait que son spectre s'étend sur une bande de fréquences proportionnelle au débit de données. Cette bande est située autour d'une fréquence basse, éventuellement en bande de base pour un mélangeur *up-converter*, sinon elle est située autour d'une fréquence proche, voire égale à celle de l'oscillateur local pour un mélangeur *down-converter*. En revanche, le signal de l'oscillateur local est constitué d'une seule raie correspondant à la fréquence de celui-ci. Le véritable signal d'entrée du mélangeur est celui provenant du port *in*. Par conséquent, les non-linéarités ainsi que le bruit du mélangeur sont relatifs uniquement au port *in*. Ainsi, la modélisation du mélangeur est amplement inspirée du modèle que nous avons développé pour le LNA. Comme le montre la figure 3.10, le modèle du mélangeur est partagé en deux parties. La première fait subir au signal issu du port *in* toutes les imperfections à prendre en compte tandis que la deuxième effectue une multiplication parfaite du signal issu de la première étape et celui du port de l'oscillateur local (*lo*). Il existe d'autres méthodologies de modélisation du mélangeur permettant de prendre en compte les mêmes paramètres du mélangeur en question, en revanche celle-ci permet la réutilisation et l'adaptation d'une bonne partie de la théorie développée pour la modélisation du LNA dans le paragraphe 3.3.1.

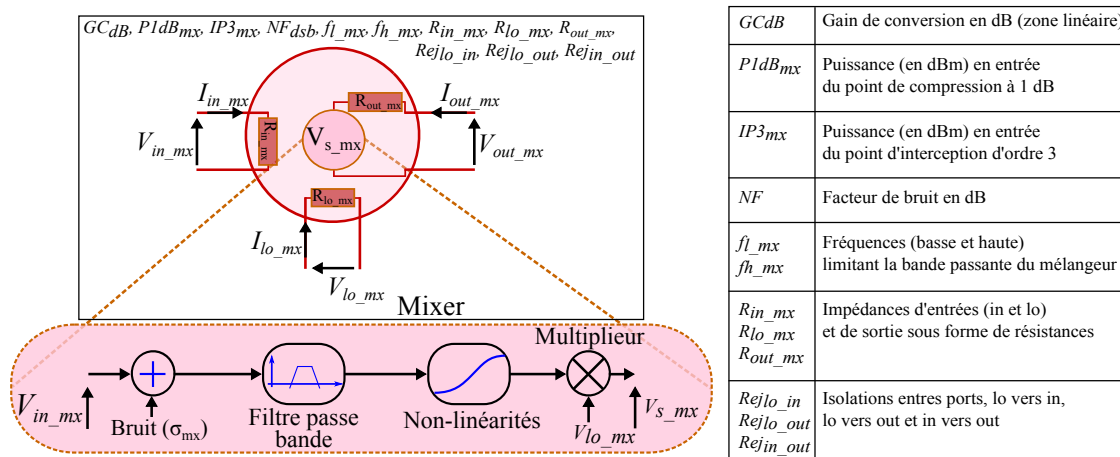


Figure 3.10 – Modélisation comportementale avancée du mélangeur

Le modèle du mélangeur est organisé en quatre sous-blocs (Figure 3.10). Les blocs du bruit et du filtrage passe-bande permettent de modéliser, respectivement, le facteur de bruit du mélangeur (NF_{dsb}) et la bande passante du mélangeur (F_{h_mx} , F_{l_mx}).

3.4 Modélisation du mélangeur

L'ensemble formé du bloc des non-linéarités et du multiplieur nous permettent de tenir compte du gain (en puissance) de conversion du mélangeur (GC_{dB}), du point de compression à 1 dB ($P1dB_{mx}$) et du point d'interception d'ordre trois ($IP3_{mx}$). Enfin, les fuites entre ports du mélangeurs sont implémentées indépendamment.

Bruit

Le bruit du mélangeur est quantifiable par deux types de facteur de bruit. Le type du facteur de bruit est défini en fonction de la position de la bande passante du signal utile à l'entrée du mélangeur par rapport à la fréquence du signal de l'oscillateur local. Ainsi, on définit un facteur de bruit à bande latérale unique (NF_{ssb} ⁷) et un facteur de bruit à double bande latérale (NF_{dsb} ⁸). Ces deux facteurs de bruit sont liés par l'équation 3.17. Les 3,01 dB de l'équation 3.17 sont dus au doublement de la puissance du bruit transposé par le mélangeur [Razavi 98].

La figure 3.11 illustre la différence entre un facteur de bruit à bande latérale unique et un facteur de bruit à double bande latérale. Pour cette démonstration, nous utilisons un mélangeur non bruyant et à gain de conversion nul. Dans ce cas, lorsque le signal utile à l'entrée RF du mélangeur, se trouve sur une seule bande latérale par rapport à la fréquence du signal de l'oscillateur local, nous constatons que le bruit résultant sur le port de sortie du mélangeur à la fréquence f_{IF} correspond à la superposition de la transposition à la fréquence f_{IF} du bruit thermique de la bande du signal image avec celui de la bande du signal utile. Comme la densité spectrale du bruit dans la bande du signal utile et dans la bande du signal image est la même (bruit blanc), la puissance du bruit à la sortie du mélangeur est doublée même si le mélangeur, pour rappel ne présente ni amplification, ni bruit propre à lui (hypothèse de départ). Ce doublement de la puissance du bruit s'exprime par une addition de 3,01 décibel dans une échelle logarithmique.

$$NF_{ssb} = NF_{dsb} + 3,01 \quad (3.17)$$

Dans les logiciels de simulation électronique et particulièrement ADS, le paramètre à renseigner pour le facteur de bruit du mélangeur est le NF_{dsb} . En revanche, dans la plupart des fiches des fournisseurs de composants électroniques, c'est plutôt le NF_{ssb} qui est privilégié. De ce fait, afin de se conformer à la fois au fonctionnement des logiciels de simulation et aux données des fiches de fournisseurs de composants électronique, nous avons choisi d'utiliser le paramètre NF_{dsb} pour spécifier au modèle du mélangeur le facteur de bruit, tandis que lors de la validation, nous mesurons le paramètre NF_{ssb} , sachant que les deux paramètres sont liés par la relation simple donnée par l'équation 3.17.

7. Single-SideBande Noise Figure

8. Double-SideBande Noise Figure

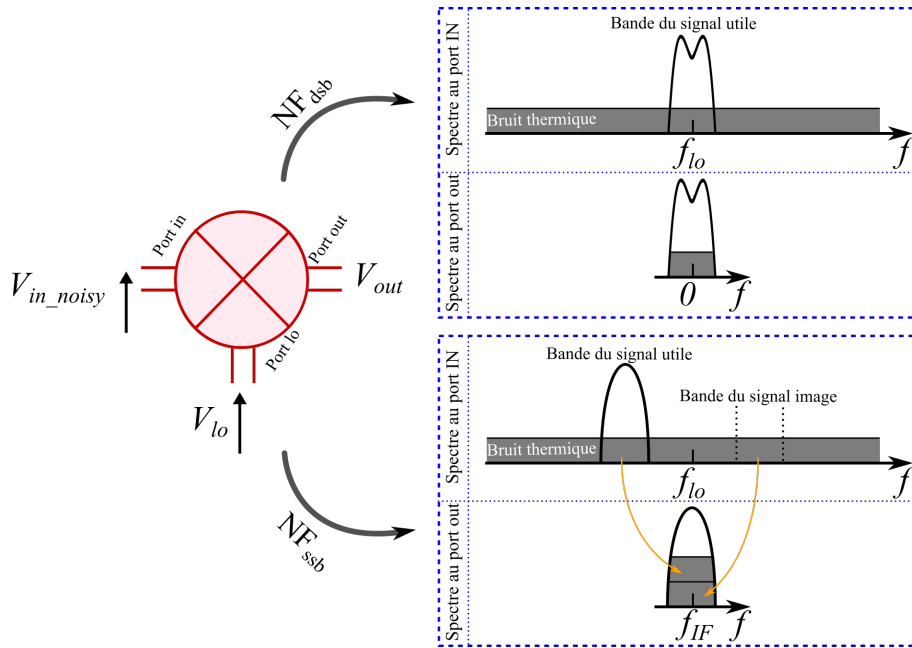


Figure 3.11 – Illustration de la différence entre le NF_{ssb} et le NF_{dsb}

L'approche que nous avons suivie pour la modélisation du facteur de bruit du mélangeur est semblable à celle du LNA. Une source équivalente du bruit est placée à l'entrée du modèle du mélangeur. Cette source équivalente de bruit est pilotée par une variable aléatoire de distribution Gaussienne (cf. paragraphe 3.3.1) dont l'écart type est donné dans l'équation 3.18.

$$\sigma_{mx} = \sqrt{4R_{in_mx}kT_0B \left(10^{\frac{NF_{dsb}}{10}} - 1 \right)} \quad (3.18)$$

Avec : k la constante de Boltzmann. Le bruit à l'entrée du port *in* du mélangeur est un bruit thermique à la température normalisée T_0 qui vaut $290K$. B la bande passante considérée du bruit. NF_{dsb} le facteur de bruit à double bande latérale, en dB.

Bande passante

Nous avons adapté le même filtre passe-bande dimensionné pour le modèle du LNA. Ce filtre a pour fréquences de coupure f_{l_mx} et f_{h_mx} à une atténuation de $-0,2$ dB. Il est appliqué au signal d'entrée provenant du port *in* (RF ou bande de base).

3.4 Modélisation du mélangeur

Non-linéarité et multiplication

Contrairement à l'ensemble des composants électroniques pour lesquels tout est fait pour minimiser les non-linéarités, le mélangeur doit son fonctionnement aux caractéristiques non-linéaires des composants électroniques de base, tel que les transistors et les diodes. Ainsi, les signaux utiles à l'entrée (port *in*) et à la sortie du mélangeur se trouvent à des fréquences différentes. Par conséquent, le gain en puissance du mélangeur est qualifié de *Gain de Conversion*.

Nous avons modélisé les non-linéarités du mélangeur grâce à un polynôme d'ordre cinq (équation 3.19). Dans ce polynôme, seuls les termes de degrés impairs sont retenus afin de répondre au besoin de tenir compte des trois paramètres définissant le comportement du mélangeur, à savoir le gain (en puissance) de conversion linéaire, le point de compression à 1 dB et le point d'interception d'ordre trois. Les non-linéarités d'ordres pairs ne sont pas prises en compte car il existe des techniques d'élimination de celles-ci ou à défaut les réduire à un niveau qui rend leur impact négligeable. L'une de ces approches est celle des mélangeurs simplement ou doublement équilibrés [Gautier 14b].

$$V_{s_mx} = 2 \left(k_{mx_1} V_{in_mx} + k_{mx_3} V_{in_mx}^3 + k_{mx_5} V_{in_mx}^5 \right) V_{lo_mx} \quad (3.19)$$

Avec :

$$V_{lo_mx} = A_{lo_mx} \cos(2\pi f_{lo} t) \quad (3.20)$$

et :

- soit pour un test mono-porteuse (dont les spectres des signaux aux entrées et à la sortie du mélangeur sont représentés dans la figure 3.12.a) :

$$V_{in_mx} = A_{in_mx} \cos(2\pi f_{in1_mx} t) \quad (3.21)$$

- soit pour un test bi-porteuses (dont les spectres des signaux aux entrées et à la sortie du mélangeur sont donnés en figure 3.12.b) :

$$V_{in_mx} = A_{in_mx} \cos(2\pi f_{in1_mx} t) + A_{in2_mx} \cos(2\pi f_{in2_mx} t) \quad (3.22)$$

Lorsque le mélangeur est bien adapté en sortie, la tension V_{out_mx} vaut la moitié de la tension V_{s_mx} (Figure 3.10). Afin de compenser l'effet de ce diviseur de tension à la sortie du mélangeur, l'expression de la tension V_{s_mx} (Equation 3.19) est multipliée par 2. Nous avons défini les coefficients k_{mx_i} en fonction des paramètres du mélangeur.

Le coefficient k_{mx_1} est calculé en fonction du gain (en puissance) de conversion CG_{dB} avec une excitation mono-porteuse du mélangeur. Pour ce calcul, les termes d'ordres supérieurs sont négligés.

Le coefficient k_{mx_3} est calculé en fonction du point d'interception d'ordre trois $IP3_{mx}$. Ce calcul est effectué avec une excitation bi-porteuses.

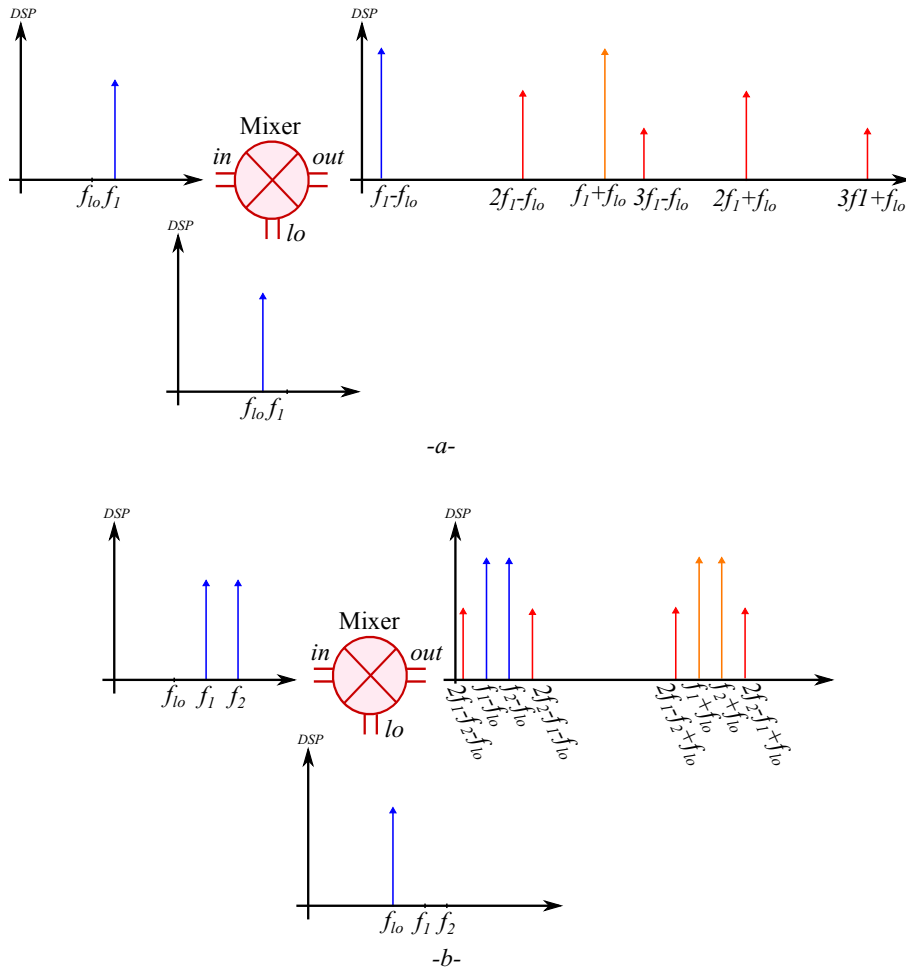


Figure 3.12 – Spectre du signal aux différents ports du mélangeur abaisseur (*down-converter*) pour des caractérisations a) mono-porteuse et b) bi-porteuses.

Le polynôme donné par l'équation 3.19 avec uniquement les coefficients $k_{m_x_1}$ et $k_{m_x_3}$ permet de tenir compte des paramètres du mélangeur CG_{m_x} et $IP3_{m_x}$. De plus, un point de compression à 1 dB, dont la puissance en entrée vaut $IP3_{m_x} - 9,64$ dB, est également engendré par ces deux coefficients. Comme la valeur du point de compression à 1 dB renseignée $P1dB_{m_x}$ n'est pas nécessairement égale à la valeur indiquée ci-dessus, nous avons ajouté le coefficient $k_{m_x_5}$ au polynôme afin de pouvoir varier, dans la mesure du possible, la valeur de ce point de compression à 1 dB engendré pour qu'elle soit égale à la valeur renseignée $P1dB_{m_x}$.

Les expressions des coefficients $k_{m_x_1}$, $k_{m_x_3}$ et $k_{m_x_5}$ sont données en équation 3.23.

3.4 Modélisation du mélangeur

$$\begin{cases} k_{mx_1} = \frac{2}{A_{lo_calc}} \sqrt{\frac{R_{out_mx}}{R_{in_mx}}} 10^{\frac{CG_{dB}}{20}} \\ k_{mx_3} = \frac{4}{3} \frac{k_{mx_1}}{A_{ip3_mx}^2} \\ k_{mx_5} = \frac{8}{5} \frac{k_{mx_1}}{A_{p1dB_mx}^4} (10^{-0,05} - 1) - \frac{6}{5} \frac{k_{mx_3}}{A_{p1dB_mx}^2} \end{cases} \quad (3.23)$$

Avec :

$$\begin{cases} A_{lo_calc} = \sqrt{2R_{lo_mx}} 10^{\frac{P_{lo}-30}{20}} \\ A_{ip3_mx} = \sqrt{2R_{in_mx}} 10^{\frac{IP3_{mx}-30}{20}} \\ A_{p1dB_mx} = \sqrt{2R_{in_mx}} 10^{\frac{P1dB_{mx}-30}{20}} \end{cases} \quad (3.24)$$

Où P_{lo} est la puissance, en dBm, délivrée par l'oscillateur local et A_{lo_calc} l'amplitude de la tension correspondante. La valeur de P_{lo} est indispensable pour le calcul des coefficients k_{mx_i} dont les valeurs dépendent des paramètres caractérisant le mélangeur à modéliser.

La modélisation décrite ci-dessus concerne uniquement les zones linéaires et de compression du gain du mélangeur. Quant à la zone de saturation, nous avons mis en place une méthode permettant sa modélisation. A partir d'une amplitude du signal d'entrée $V_{in0_{mx}}$ cette méthode prend le relais sur le polynôme et délivre à la sortie du mélangeur un signal d'amplitude constante $V_{out0_{mx}}$. De la même manière que pour le LNA, le point $V_{in0_{mx}}$ est calculé en résolvant l'équation 3.25 [Agilent].

$$\left. \frac{\partial V_{s_mx}}{\partial V_{in_mx}} \right|_{V_{in_mx}=V_{in0_mx}} = 0 \quad (3.25)$$

$$\begin{cases} V_{in0_mx} = \sqrt{\frac{-3k_{mx_3} - \sqrt{9k_{mx_3}^2 - 20k_{mx_1}k_{mx_5}}}{10k_{mx_5}}} \\ V_{out0_mx} = 2 \left(k_{mx_1} V_{in0_mx} + k_{mx_3} V_{in0_mx}^3 + k_{mx_5} V_{in0_mx}^5 \right) A_{lo_calc} \end{cases} \quad (3.26)$$

Au final, le fonctionnement de la partie du modèle du mélangeur concernant les non-linéarités et la saturation est résumé dans le tableau 3.3

Table 3.3 – Mode de fonctionnement des non-linéarités du modèle du mélangeur.

V_{in_mx}	$-\infty \rightarrow -V_{in0_mx}$	$-V_{in0_mx} \rightarrow +V_{in0_mx}$	$+V_{in0_mx} \rightarrow +\infty$
V_{out_mx}	$-V_{out0_mx}$	$k_{mx_1}V_{in_mx} + k_{mx_3}V_{in_mx}^3 \dots$ $\dots + k_{mx_5}V_{in_mx}^5$	$+V_{out0_mx}$
Mode	Saturation	Polynômial	Saturation

Remarque Le fonctionnement correct du modèle du mélangeur que nous avons développé, notamment la zone de saturation, est conditionnée par la relation 3.27. Cette relation conditionne l'existence et l'unicité de la solution réelle V_{in0_mx} pour l'équation 3.25 (cf. annexe A.5).

$$IP3_{mx} \geq P1dB_{mx} + 9,5 \quad (3.27)$$

Fuites entre les ports

A cause des imperfections des composants élémentaires des mélangeurs notamment les transistors, il existe des fuites des signaux de certains ports du mélangeur. En effet, à partir de certaines fréquences du signal, des capacités de liaison se créent entre les différents ports du mélangeur.

Nous avons modélisé les fuites entre les ports du mélangeur sous forme d'une transmission entre les ports en question. Les valeurs des coefficients de transmission sont déterminées en fonction des paramètres du mélangeur Rej_{lo_in} , Rej_{lo_out} et Rej_{in_out} qui correspondent respectivement aux coefficients de fuites, oscillateur local vers le port d'entrée in , oscillateur local vers la sortie et enfin, de l'entrée in vers la sortie.

La figure 3.13 schématise la modélisation des fuites du port i vers le port j du mélangeur.

$$\left\{ \begin{array}{l} V_{s_lo_in} = 2V_{lo_mx} \sqrt{\frac{R_{in_mx}}{R_{lo_mx}}} 10^{\frac{Rej_{lo_in}}{20}} \\ V_{s_lo_out} = 2V_{lo_mx} \sqrt{\frac{R_{out_mx}}{R_{lo_mx}}} 10^{\frac{Rej_{lo_out}}{20}} \\ V_{s_in_out} = 2V_{in_mx} \sqrt{\frac{R_{out_mx}}{R_{in_mx}}} 10^{\frac{Rej_{in_out}}{20}} \end{array} \right. \quad (3.28)$$

3.4 Modélisation du mélangeur

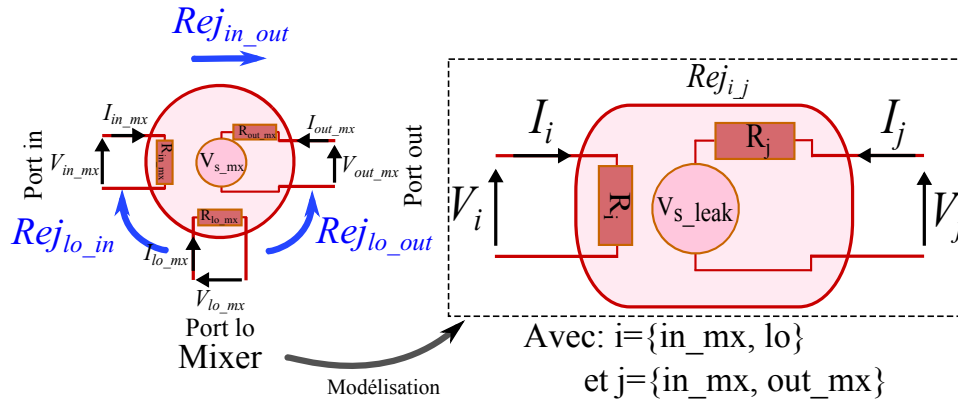


Figure 3.13 – Modélisation comportementale des fuites entre les ports du mélangeur

3.4.2 Validation du modèle

Nous avons validé la modélisation en plusieurs étapes. La validation de la bande passante étant similaire à celle du LNA n'est pas rappelée pour le mélangeur. Cette validation est présentée dans le paragraphe 3.3.2. Dans les paragraphes suivants, nous présentons les validations du bruit, puis des non-linéarités et enfin des fuites entre les ports du mélangeur.

Afin de valider le facteur de bruit du mélangeur, deux circuits équivalents sont simulés. L'un avec le composant *Mixer2* proposé dans la bibliothèque de simulations électriques du logiciel ADS et l'autre avec le modèle du mélangeur que nous avons développé. Plusieurs valeurs du facteur de bruit à double bande latérale (NF_{dsb}) sont renseignées dans les deux mélangeurs, puis à chaque fois, le facteur de bruit à bande latérale simple (NF_{ssb}) est mesuré pour les deux mélangeurs. Les résultats sont comparés dans le tableau 3.4.

Table 3.4 – Comparaison des facteurs de bruit mesurés du mélangeur

NF_{dsb} renseigné	NF_{ssb} évalué sur :	
	ADS (Mixer2)	VHDL-AMS (modèle développé)
0	3,010	3,000
1	4,020	4,000
2	5,020	5,040
3	6,020	6,006
6	9,030	9,006
10	13,040	13,007
12	15,040	15,007

Remarque Pour rappel, pour montrer la validation du modèle en terme de facteur de bruit, les valeurs mesurées de celui-ci en terme de NF_{ssb} doivent être égales à $(NF_{dsb} + 3.01)$.

Les résultats du tableau 3.4 montrent une bonne concordance entre les résultats obtenus avec le modèle que nous avons développé et ceux du modèle proposé par ADS.

Afin de valider les caractéristiques non-linéaires du mélangeur, nous avons comparé les évaluations effectuées sur le modèle que nous avons développé avec celles du modèle développé par ADS. Ces évaluations ont été effectuées pour des simulations mono-porteuse et bi-porteuses. Les résultats de ces simulations sont montrés, respectivement, en figure 3.14 et figure 3.15.

Ces différentes simulations sont effectuées avec les paramètres des mélangeurs abaisseurs (*down-converter*) dont les valeurs sont listées ci-dessous :

- ☑ $CG_{dB} = 0 \text{ dB}$.
- ☑ $P1dB_{mx} = 10,0 \text{ dBm}$.
- ☑ $IP3_{mx} = 24,0 \text{ dBm}$.
- ☑ $R_{in_mx} = R_{lo_mx} = R_{out_mx} = 50 \Omega$.

Nous avons effectué les simulations avec des signaux sinusoïdaux en entrée *in* du mélangeur, de fréquences de 50 GHz pour le cas en mono-porteuse et de 50 GHz et 51 GHz pour le cas en bi-porteuses. Quant à la fréquence du signal de l'oscillateur local, elle est de 45 GHz .

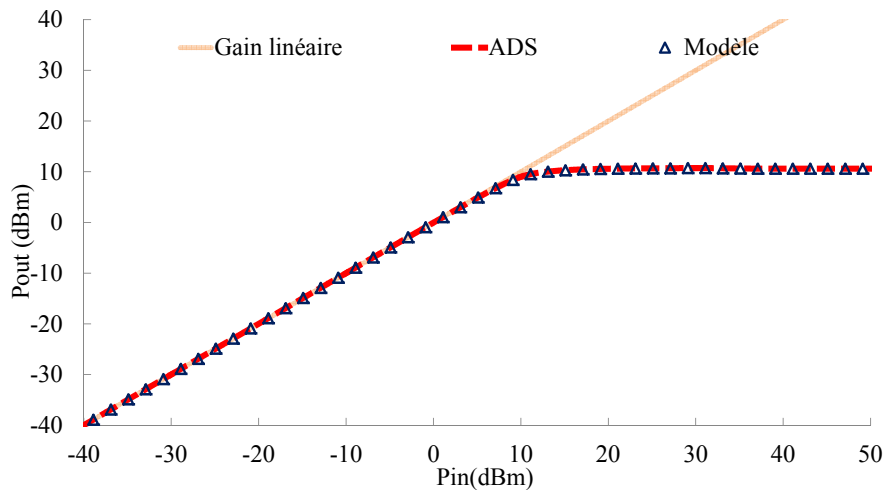


Figure 3.14 – Caractérisation mono-porteuse du mélangeur

Les résultats présentés en figure 3.14 et figure 3.15 montrent que les évaluations obtenues avec le modèle du mélangeur que nous avons développé sont identiques à celles obtenus avec le composant disponible dans la bibliothèque du logiciel ADS (*Mixer2*).

3.4 Modélisation du mélangeur

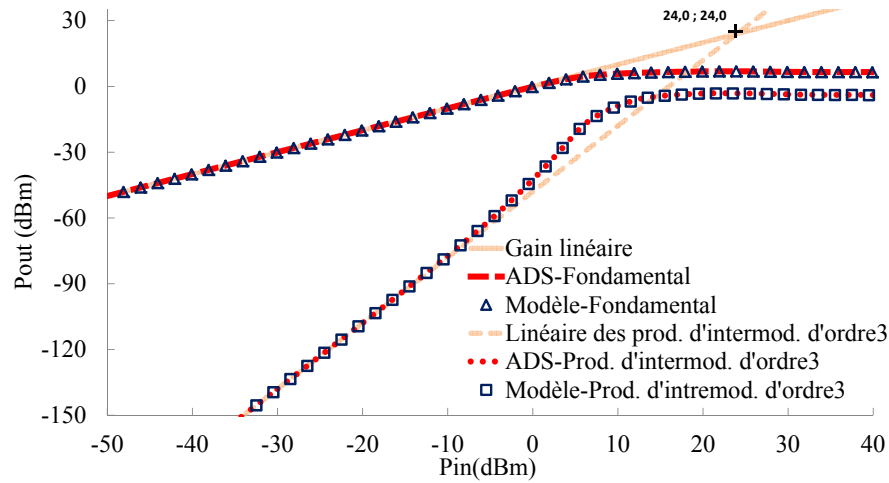


Figure 3.15 – Caractérisation bi-porteuses du mélangeur

Les résultats de la simulation mono-porteuse (Figure 3.14) décrivent les trois zones principales de fonctionnement du mélangeur, à savoir la zone linéaire régie par le gain (en puissance) de conversion linéaire, puis la zone de compression qui est régie par le point de compression à 1 dB et enfin, le plateau correspondant à la zone de saturation du mélangeur.

Dans la figure 3.15 sont représentés les produits d'intermodulation d'ordre trois (en bas de la figure) ainsi que les produits du signal à la fréquence fondamentale. En plus des zones linéaires, les deux courbes contiennent également des zones de saturation. Néanmoins, les prolongements de ces parties linéaires se croisent au point indiqué sur la figure par une croix. La valeur mesurée de ce point coïncide bien à la valeur introduite de la puissance en entrée du mélangeur du point d'interception d'ordre trois ($IP3_{mx} = 24,0 \text{ dBm}$).

Remarque Tout comme l'amplificateur faible bruit, le point d'interception d'ordre trois ainsi que le point de compression à 1 dB du mélangeur sont tous les deux communément donnés soit avec leurs puissances respectives en entrée ou en sortie du mélangeur. Dans notre cas, dans tout le manuscrit, nous désignons ces deux points, respectivement, par les variables $IP3_{mx}$ et $P1dB_{mx}$ qui correspondent aux puissances en dBm et en entrée du mélangeur.

Quant aux fuites entre les ports du mélangeur, nous avons validé les paramètres les décrivant avec une même simulation. Pour ce faire, le mélangeur est simulé avec les paramètres suivants :

- ☑ $Rej_{lo_in} = -20 \text{ dB}$.
- ☑ $Rej_{lo_out} = -20 \text{ dB}$.
- ☑ $Rej_{in_out} = -20 \text{ dB}$.

- ☑ $R_{in_mx} = R_{lo_mx} = R_{out_mx} = 50 \Omega$.
- ☑ $CG_{dB} = 0 \text{ dB}$.

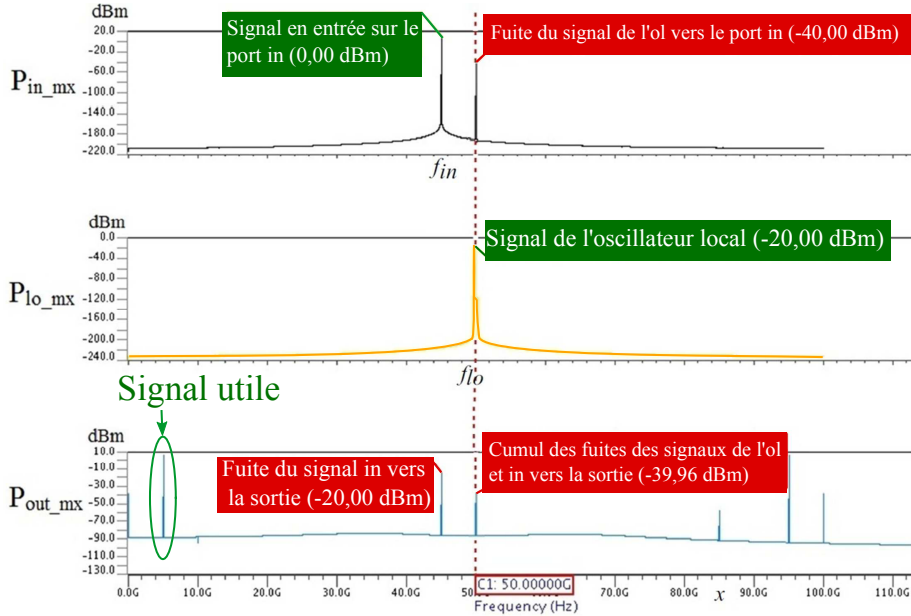


Figure 3.16 – Fuites entre les ports du mélangeur

La figure 3.16 montre les différentes fuites entre les ports du mélangeur. Les trois types de fuites envisageables sont visibles sur cette figure. En outre, sur le signal de sortie du mélangeur, deux harmoniques apparaissent et ne correspondent, directement, à aucune de ces fuites. L'un des harmoniques est en bande de base ($f = 0$) et l'autre à la fréquence $2f_{lo}$. Ils sont le produit du mélange entre le signal de l'oscillateur local et sa fuite vers le port d'entrée in . Quant à l'harmonique du signal de sortie à la même fréquence que l'oscillateur local, il est de deux origines. L'une est la fuite du signal de l'oscillateur local et l'autre est également la fuite du signal de l'oscillateur local mais en passant d'abord par le port d'entrée in . La raie en sortie du mélangeur dont la fréquence est égale à celle du signal d'entrée sur le port in correspond à la fuite du signal du port in vers la sortie du mélangeur. L'ensemble des raies de la figure 3.16 est récapitulé dans le tableau 3.5.

3.4.3 Récapitulatif de la modélisation du mélangeur

Après avoir présenté en détail la modélisation des différents paramètres du mélangeur, le modèle global est résumé sur la figure 3.17 avec les différentes fonctions décrivant les imperfections du mélangeur (équation 3.29).

3.4 Modélisation du mélangeur

Table 3.5 – Récapitulatif des résultats de simulations des fuites du mélangeur

Port	Fréq. de la raie	Nature de la raie
<i>in</i>	f_{in}	Signal utile sur le port <i>in</i>
	f_{lo}	Fuite du port <i>lo</i> vers le port <i>in</i>
<i>lo</i>	f_{lo}	Signal utile sur le port <i>lo</i>
<i>out</i>	0.0	Mélange du signal <i>lo</i> avec celui de sa fuite vers le port <i>in</i>
	$f_{lo} - f_{in}$	Signal utile à la sortie
	f_{in}	Fuite du port <i>in</i> vers la sortie
	f_{lo}	Fuite du port <i>lo</i> vers la sortie
	$f_{lo} + f_{in}$	Signal utile à la sortie
	$2f_{lo}$	Mélange du signal <i>lo</i> avec celui de sa fuite vers le port <i>in</i>
	x	Raie due au repliement spectral

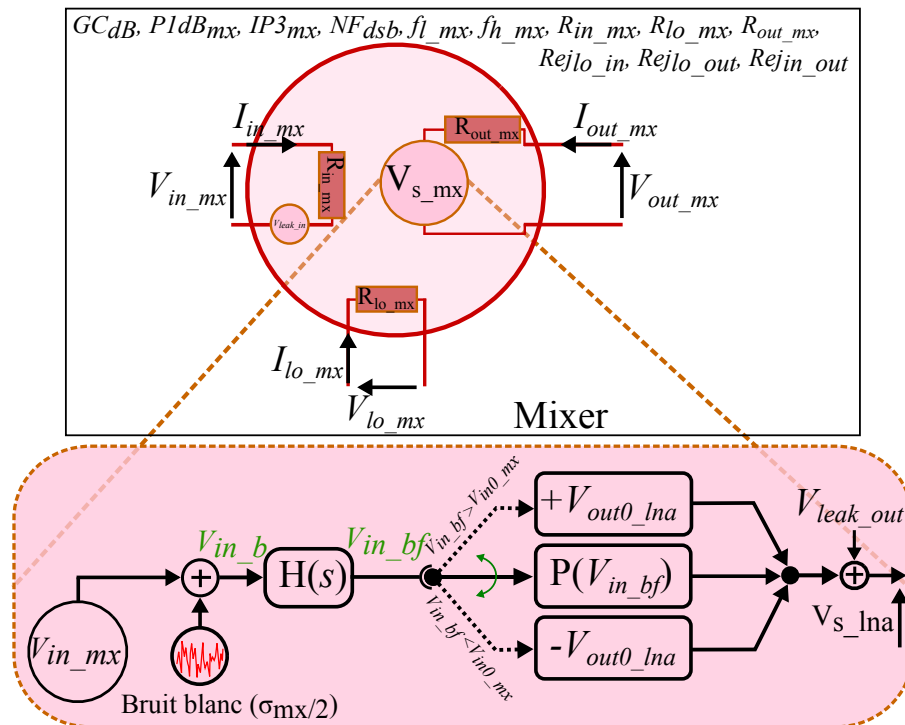


Figure 3.17 – Récapitulatif de la modélisation du mélangeur

$$\left\{ \begin{array}{l}
 \sigma_{mx} = \sqrt{4R_{in_mx}kT_0B(F_{mx} - 1)} \\
 H(s) = \frac{B_w^2 s^2}{\varepsilon\omega_0^4 + \sqrt{2\varepsilon}\omega_0^2 B_w s + (B_w^2 + 2\varepsilon\omega_0^2)s^2 + \sqrt{2\varepsilon}B_w s^3 + \varepsilon s^4} \\
 V_{in0_mx} = \sqrt{\frac{-3k_{mx_3} - \sqrt{9k_{mx_3}^2 - 20k_{mx_1}k_{mx_5}}}{10k_{mx_5}}} \\
 V_{out0_mx} = 2 \left(k_{mx_1}V_{in0_mx} + k_{mx_3}V_{in0_mx}^3 + k_{mx_5}V_{in0_mx}^5 \right) \\
 P(V_{in_bf}) = 2 \left(k_{mx_1}V_{in_bf} + k_{mx_3}V_{in_bf}^3 + k_{mx_5}V_{in_bf}^5 \right)
 \end{array} \right. \quad (3.29)$$

3.5 Modélisation de l'oscillateur local

Comme tout circuit électronique, l'oscillateur local est sujet à du bruit. Ce bruit est généralement dû aux dispositifs constituant l'oscillateur et agit, soit sur l'amplitude, soit sur la fréquence du signal. La perturbation de ce bruit sur l'amplitude est souvent, soit éliminée, soit tout simplement négligeable. Seul la déviation aléatoire de la fréquence du signal de l'oscillateur local est considérée comme paramètre de défaut. Ainsi, le modèle de l'oscillateur local que nous avons développé est axé sur ce défaut communément appelé le *bruit de phase*.

3.5.1 Description du modèle

Le spectre d'un oscillateur local idéal est nul partout sauf pour une seule fréquence (Figure 3.18.a). En revanche, le spectre d'un oscillateur réaliste s'étend sur une plage fréquentielle Δf , avec une décroissance de sa puissance à partir de la fréquence fondamentale de part et d'autre (Figure 3.18.b).

3.5 Modélisation de l'oscillateur local

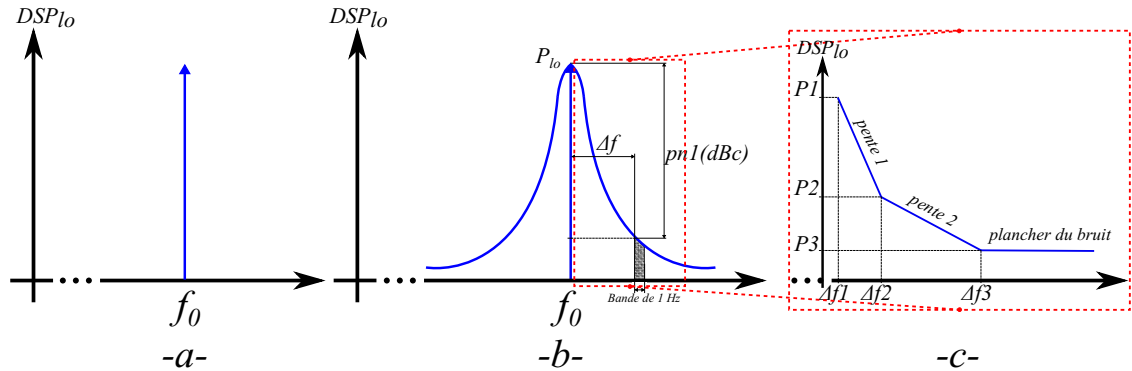


Figure 3.18 – Spectres des signaux des oscillateurs locaux a) idéal et b) réaliste ; et c) profil du bruit de phase.

Si nous considérons un oscillateur local avec un bruit de phase modélisé par une variation de la phase du signal $\phi(t)$, son signal de sortie est exprimé avec l'équation 3.30.

$$\begin{cases} V_{s_lo} = 2A_{lo} \cos(2\pi f_0 t + \phi(t)) \\ A_{lo} = \sqrt{2R_{out_lo}} 10^{\frac{P_{lo}-30}{20}} \end{cases} \quad (3.30)$$

Avec : A_{lo} l'amplitude du signal de l'oscillateur local.

En développant l'équation 3.30 avec l'hypothèse de $|\phi(t)| \ll 1 \text{ rad}$, celle-ci devient :

$$V_{s_lo} = 2A_{lo} [\cos(2\pi f_0 t) - \sin(2\pi f_0 t) \phi(t)] \quad (3.31)$$

Selon l'équation 3.31, le profil du bruit de phase (Figure 3.18.c) peut être généré en bande de base, puis, celui-ci est transposé autour de la fréquence de l'oscillateur local f_0 .

Dans l'approche de notre modélisation du bruit de phase, nous créons les zones de pentes *pente 1* et *pente 2* en faisant passer des bruits blancs de densités spectrales de puissance $P1$ et $P2$ à travers des filtres passe-bas ($LPF1$ et $LPF2$) dont les rejections correspondent à *pente 1* et *pente 2* respectivement. Quant au plancher de bruit, il est directement généré par un bruit blanc de densité spectrale de puissance $P3$.

La méthodologie de création de ces bruits blancs sur VHDL-AMS est identique à celle que nous avons présentée au paragraphe 3.3.1. L'écart type σ_j du bruit blanc à générer dans chacun des cas avec des densités spectrales P_j est donné par l'équation 3.32 pour une bande passante de bruit considéré B .

$$\sigma_j = \sqrt{P_j B} \quad (3.32)$$

Nous avons implémenté en numérique les filtres *LPF1* et *LPF2*. Ce choix est motivé par le fait que ceux-ci sont appliqués au bruit blanc qui est généré par un processus discret décrivant une variable aléatoire (cf. paragraphe 3.3.1). Lors du dimensionnement de ces filtres, deux cas de figures peuvent se présenter selon les paramètres décrivant le bruit de phase :

1. Soit, la pente décrit celle d'un filtre usuel, c'est à dire, $n^*(-20 \text{ dB/décade})$, sachant que n est l'ordre du filtre.
2. Soit, la pente ne décrit pas celle d'un filtre usuel. Dans ce cas, nous avons opté pour une méthode d'implémentation indirecte afin de limiter les ressources de calcul nécessaires. A titre d'exemple, l'implémentation directe d'un filtre numérique passe-bas de pente 10 dB/décade , de fréquence de coupure de 1 kHz avec une fréquence d'échantillonnage de 1 GHz , nécessite -10^5 coefficients [Staszewski 05].

Dans ce deuxième cas, en l'occurrence lorsque la pente à générer n'est pas définie par celle d'un filtre numérique usuel, la pente est créée à partir des signaux des sorties de plusieurs filtres passe-bas numériques usuels. Cette approche est inspirée de la proposition de R. B. Staszewski et al [Staszewski 05].

L'ordre des filtres numériques usuels utilisés pour la création de la pente est déterminé en fonction de l'atténuation de la pente à former. En effet, l'atténuation dans la bande de réjection du filtre usuel utilisé doit être supérieure, en valeur absolue, à celle de la pente à former. L'ordre du filtre le plus bas satisfaisant cette condition est privilégié. Ainsi, la composition d'une pente de -10 dB/décade requière l'utilisation des filtres du premier ordre (-20 dB/décade) tandis que pour une pente de -30 dB/décade , des filtres d'ordre deux (-40 dB/décade) sont plus adaptés.

La figure 3.19 illustre l'implémentation de l'une des pentes constituant le profil équivalent en bande de base du bruit de phase. Cette implémentation est effectuée pour une pente de $-D \text{ db/décade}$ telle que $0 < D < 20$. Ainsi, les filtres du premier ordre sont utilisés pour former la pente du bruit de phase en question.

Lorsqu'une pente est formée à partir de Nb_{lpf} filtres passe-bas, de fonctions de transfert $H_k(j\omega)$, les fréquences de coupure de ces filtres sont définies par l'équation 3.33.

$$f_{c,k+1} = \frac{A_{dB}}{\text{slope}} f_{c,k} \quad \text{Avec : } \begin{cases} A_{dB} = \frac{P_2 - P_3}{Nb_{lpf} - 1} \\ \text{slope} = \frac{P_2 - P_3}{10 \log \frac{\Delta f_3}{\Delta f_2}} \end{cases} \quad (3.33)$$

3.5 Modélisation de l'oscillateur local

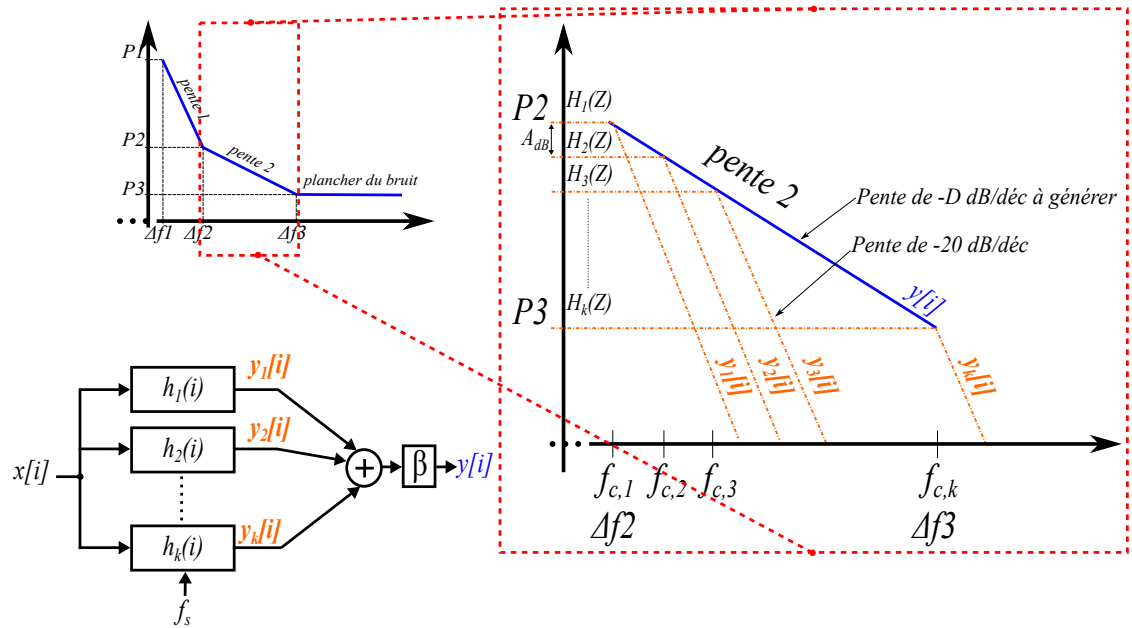


Figure 3.19 – Implémentation de l'une des pentes du profil équivalent en bande de base du bruit de phase

Les fonctions de transfert $H_k(j\omega)$ des filtres du premier ordre et du second ordre sont données respectivement par l'équation 3.34 et l'équation 3.35. Ces fonctions de transfert des filtres numériques sont déterminées à partir de celles des filtres à signal continu et en appliquant la transformation bilinéaire [Oppenheim 09].

$$H_k(Z) = \frac{A^{-(k-1)} a_k}{1 + (1 - a_k) Z^{-1}} \quad \text{Avec : } \begin{cases} A = 10^{\frac{A_{dB}}{20}} \\ a_k = 2\pi \frac{f_{c,k}}{f_s} \end{cases} \quad (3.34)$$

$$H_k(Z) = \frac{A^{-(k-1)} a_k^2 (1 + 2Z^{-1} + Z^{-2})}{4 + 2\sqrt{2}a_k + a_k^2 + (-8 + 2a_k^2) Z^{-1} + (4 - 2\sqrt{2}a_k + a_k^2) Z^{-2}} \quad \text{Avec : } \begin{cases} A = 10^{\frac{A_{dB}}{20}} \\ a_k = 2\pi \frac{f_{c,k}}{f_s} \end{cases} \quad (3.35)$$

Où f_s est la fréquence d'échantillonnage du signal.

L'addition des signaux des sorties des filtres $H_k(j\omega)$ crée correctement le profil envisagé mais avec un décalage en puissance de quelques décibels vers le haut. Afin de pallier ce problème, nous multiplions la somme de ces signaux par un coefficient

β donnée par l'équation 3.36, sachant que $\beta < 1$. Nous avons déterminé la valeur du coefficient β en tenant compte du fait que les bruits blanc additionnés sont corrélés.

$$\beta = \frac{1}{\sum_{i=0}^{Nb_{lpf}-1} A^{-i}} \quad (3.36)$$

Remarque1 Lors de la formation des pentes du profil du bruit de phase ainsi que du plancher du bruit, les points communs à deux zones différentes ne sont produits que par un seul filtre prévu pour l'une des deux zones en question. Ainsi, pour tous les calculs concernant la modélisation, le nombre de filtres considérés est Nb_{lpf} , en revanche, seuls $Nb_{lpf} - 1$ filtres passe-bas sont implémentés, le point correspondant au $Nb_{lpf}^{\text{ème}}$ filtre étant généré lors de la formation de la pente suivante ou encore le plancher du bruit. Cependant, pour le calcul du coefficient β , le nombre de filtres passe-bas implémentés est considéré.

Remarque2 En plus de la modélisation du bruit de phase de l'oscillateur local décrite ci-dessus, il est possible d'intégrer aux modèles un retard τ ainsi qu'une composante continue V_{DC} (cf. paragraphe 2.3.1 du chapitre 2).

3.5.2 Validation du modèle

Pour valider la modélisation du bruit de phase de l'oscillateur local dans le cadre de pentes non-usuelles du profil du bruit de phase, nous avons fixé le nombre de filtres usuels nécessaires Nb_{lpf} à cinq. La validation a été effectuée pour un profil de bruit de phase défini par une atténuation de 50 dBc⁹ par rapport à la puissance de la raie fondamentale et à une fréquence offset de 100 Hz par rapport à la fréquence fondamentale, puis -80 dBc à 1 kHz et enfin un plancher de bruit de -100 dBc à partir de la fréquence d'offset de 100 kHz. Ce profil de bruit de phase décrit une pente de -30 dB/décade à partir de d'une fréquence offset de 100 Hz, puis une pente de -10 dB/décade à partir de 1 kHz et enfin un plancher de bruit à partir de 100 kHz. Ce profil de bruit est également récapitulé dans le tableau 3.6. La puissance du signal de l'oscillateur local à la raie fondamentale est de 0 dBm.

Table 3.6 – Récapitulatif du profil de bruit de phase de l'oscillateur local simulé

Δf	100 Hz	1 kHz	100 kHz	> 100 kHz
<i>DSP(dBc)</i>	-50	-80	-100	
<i>Pente</i>	-30 dB/décade	-10 dB/décade	Plancher de bruit	

9. Décibel relative to carrier

3.6 Modélisation de la ligne de transmission

Le spectre de sortie de l'oscillateur, transposé en bande de base est montré sur la figure 3.20. Une courbe correspondant à une moyenne mobile sur 50 points est présentée sur la même figure afin d'affiner le résultat du bruit de phase. Ce résultat montre bien que le bruit de phase généré correspond aux paramètres de spécification de celui-ci.

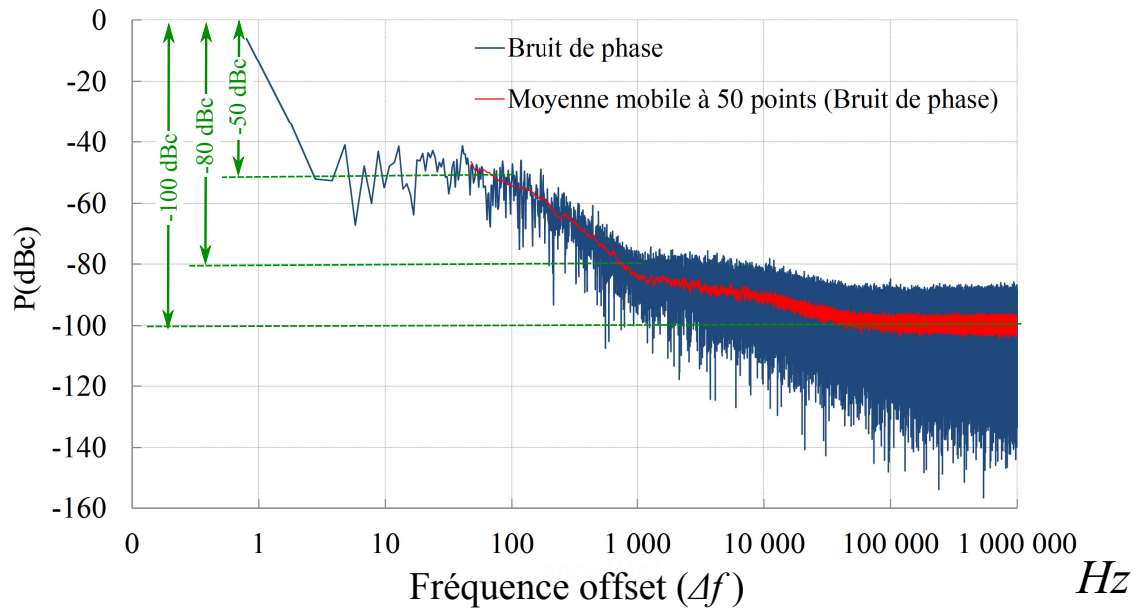


Figure 3.20 – Spectre du bruit de phase transposé en bande de base.

3.6 Modélisation de la ligne de transmission

Les lignes de transmission les plus utilisées dans les RFNoC sont les lignes coplanaires (Figure 3.21.a) et les lignes microstrip (Figure 3.21.b) ou encore les lignes différentielles. Toute ligne de transmission est souvent caractérisée dans le domaine fréquentiel. Ainsi, les modèles des lignes de transmission sont généralement développés pour des simulations fréquentielles. La modélisation de la ligne de transmission la plus courante consiste à décomposer la ligne en éléments distribués. La configuration classique de cette approche est basée sur les paramètres électriques par unité de longueur $RLCG$ (Figure 3.22.a). Ces paramètres dépendent principalement du conducteur utilisé, du diélectrique et de la géométrie de la ligne de transmission.

Notre objectif est d'adapter un modèle fréquentiel suffisamment précis pour des simulations temporelles, réalisées en VHDL-AMS. La partie la plus délicate de cette opération est l'effet de peau qui se manifeste par la variation des pertes linéiques de la ligne de transmission en fonction de la fréquence du signal. Ce travail a été l'objet d'un article d'une conférence internationale [Zerrouk 12].

M. Burford et al [Burford 05] ont montré une méthode de modélisation de l'effet de peau par évaluation de l'épaisseur de peau en fonction de la fréquence du signal. Par définition, l'épaisseur de peau est fonction de la racine carrée de la fréquence du signal. La fréquence est remplacée par une expression, facilement modélisable en VHDL-AMS grâce à quelques identités trigonométriques et leurs fonctions dérivées. L'épaisseur de peau est utilisée pour évaluer la résistance du modèle distribué de la ligne de transmission. En effet, la valeur de cette résistance est déterminée en fonction de la section effective du conducteur à travers laquelle le courant circule. Cette section évolue avec l'épaisseur de peau. L'effet de peau est modélisé par la résistance du modèle distribué.

K. Siebert et al [Siebert 09] ont présenté un modèle en VHDL-AMS des pertes résistives de la ligne de transmission dépendantes de la fréquence du signal. Leur méthode consiste en l'approximation sous forme d'une fonction de transfert dans le domaine de Laplace de l'atténuation de la ligne de transmission et de l'admittance caractéristique. Cette approximation est effectuée pour des fréquences ne dépassant pas la fréquence de 1,5 GHz. Des comparaisons entre les valeurs exactes et celles de l'expression approximée sont montrées pour l'atténuation et pour l'admittance caractéristique. La méthode présentée se repose sur l'approximation de Padé. Dans certains cas, cette approximation est très sensible au point de développement des séries de Taylor nécessaires pour une approximation de Padé. Ainsi, si ce point est choisi en basses fréquences, l'approximation risque de diverger de l'expression exacte en hautes fréquences et vice versa.

Le modèle classique de la ligne de transmission sous la forme distribuée (Figure 3.22.a) n'est pas approprié pour une modélisation très précise à cause de la dépendance en fréquence de ses paramètres *RLCG*.

Pour remédier à ce problème, nous avons opté pour un modèle plus évolué et dont les paramètres par unité de longueur sont très peu dépendants de la fréquence (Figure 3.22.b) [Nguyen Tran 08] [Nguyen Tran 09].

Le modèle proposé par L. Nguyen Tran et al [Nguyen Tran 09] considère l'ensemble des phénomènes qui se produisent lors de la propagation d'un signal RF à travers la ligne de transmission. En effet, en plus des phénomènes classiques tel que les pertes linéiques, ce modèle tient compte de l'effet de peau, des courants de Foucault et des différents couplages capacitifs dans la ligne de transmission (Figure 3.22.b), contrairement aux modèles classiques proposés dans la littérature qui ne prennent en compte qu'une partie de ces paramètres. L'effet de peau est inclus dans les résistances R_1 et R_2 . Par conséquent, les valeurs de ces deux résistances évoluent en fonction de la fréquence du signal tandis que les autres paramètres restent pratiquement constants. Le modèle des éléments à connecter, les uns après les autres, pour former la ligne complète est représenté en figure 3.22.b.

3.6 Modélisation de la ligne de transmission

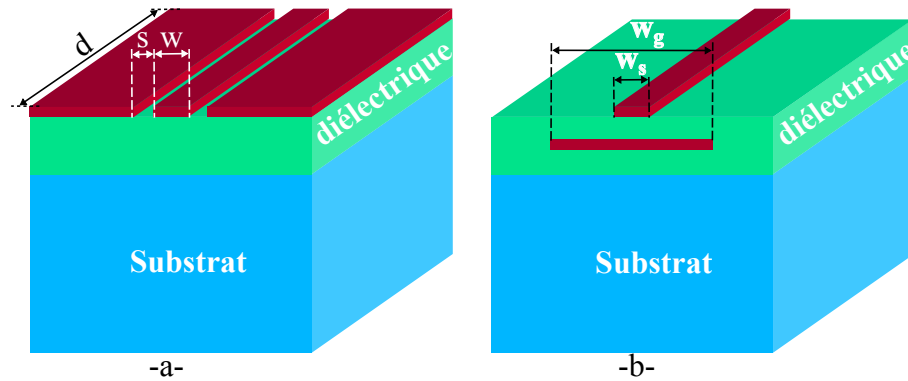


Figure 3.21 – Structure des lignes de transmission a) Coplanaire et b) Thin film Microstrip.

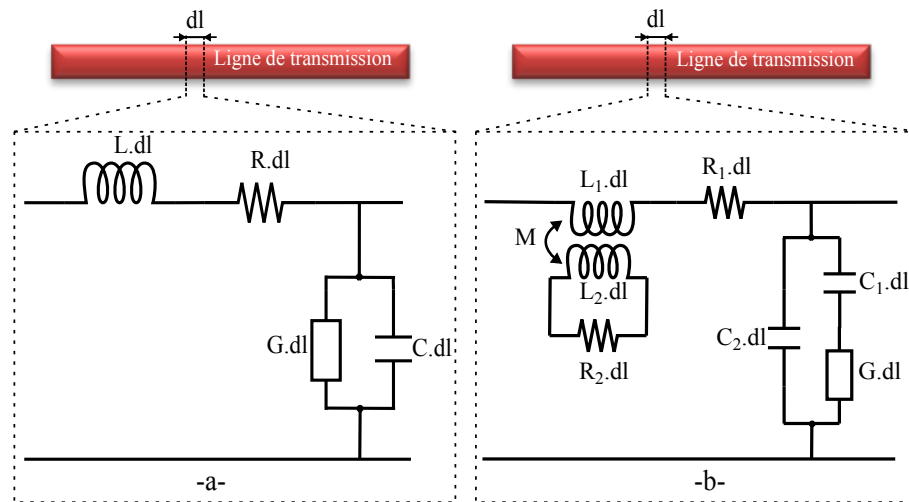


Figure 3.22 – Modèles distribués des lignes de transmission a) Classique et b) Évolué.

L'originalité de ce modèle se situe à la fois dans la partie série et la partie parallèle du modèle de la ligne de transmission.

Dans la partie parallèle du modèle, à cause de la pénétration du champ électromagnétique jusqu'au substrat de la ligne de transmission, deux types de couplages capacitifs apparaissent. L'un à travers le diélectrique, représenté par la capacité C_2 du modèle et l'autre à travers le substrat, représenté par la capacité C_1 (Figure 3.22.b).

Dans la partie série, les courants alternatifs circulant dans la ligne de transmission génèrent des champs magnétiques dont les lignes pénètrent dans le substrat. Ainsi des courants de Foucault y sont induits et créent des pertes supplémentaires dans la ligne de transmission. Ce phénomène est modélisé par R_2 , L_2 et le coefficient de l'inductance mutuelle M (Figure 3.22.b). L'inductance mutuelle M décrit le couplage magnétique entre les boucles de courant de Foucault dans le substrat et celles circulant dans le conducteur de la ligne. Quant à l'effet inductif de base, il est modélisé par l'inductance L_1 .

Lorsque la fréquence du signal augmente, les pertes linéiques de la ligne de transmission augmentent également à cause de l'effet de peau. En effet, en haute fréquence, le courant a tendance à ne plus se propager à travers toute la section du conducteur mais uniquement à travers la périphérie de cette section ou encore dans le cas extrême, à travers la surface du conducteur. Ce phénomène est modélisé par les résistances R_1 et R_2 . Les expressions de ces résistances sont données par l'équation 3.37.

$$\begin{cases} R_1 = R_{1DC} + A\sqrt{f} \\ R_2 = R_{2DC} + B\sqrt{f} \end{cases} \quad (3.37)$$

Avec R_{1DC} et R_{2DC} représentent les valeurs des résistances R_1 et R_2 en basses fréquences tandis que les constantes A et B représentent les pondérations de l'effet de peau pour les mêmes résistances.

Les paramètres par unité de longueur ont été extraits analytiquement pour une ligne de transmission de type microstrip [Nguyen Tran 08]. Cette extraction de paramètres est effectuée pour des fréquences allant de 100 MHz jusqu'à 40 GHz. La ligne de transmission a pour dimensions $W_S = 10 \mu m$, $W_G = 100 \mu m$. Quant à l'épaisseur du diélectrique entre les rubans du signal et de la masse, elle est de $3 \mu m$. Les paramètres extraits sont résumés dans le tableau 3.7.

Sachant que les valeurs numériques des paramètres R_2 et L_2 n'ont aucune si-

Table 3.7 – Paramètres de la ligne de transmission considérée.

Paramètre	Valeur
k	0,285
C_1 (pF/m)	38
C_2 (pF/m)	167
G (S/m)	1,25
L_1 (H/m)	$4,6 \cdot 10^{-7}$
R_1 (Ω /m)	$2000 + 0,002 \sqrt{f}$
$1/\tau$ (rad/s)	$10^{10} + 13,0 \cdot 10^4 \sqrt{f}$

gnification physique intrinsèque, deux paramètres sont définis [Nguyen Tran 08] : le temps de relaxation τ et le coefficient de couplage k , dont les expressions sont données par l'équation 3.38.

3.6 Modélisation de la ligne de transmission

$$\begin{cases} \tau = \frac{L_2}{R_2} \\ k = \frac{M^2}{L_1 L_2} \end{cases} \quad (3.38)$$

L_2 peut prendre une multitude de valeurs différentes. En ce qui nous concerne, pour des raisons de simplification, nous avons choisi $L_2 = L_1$.

3.6.1 Adaptation du modèle pour des simulations temporelles

Notre contribution consiste en l'adaptation pour des simulations temporelles, notamment l'effet de peau dans le cadre du modèle de la ligne de transmission exposé dans la section précédente. Ainsi, nous avons repris le modèle de la ligne de transmission représenté dans la figure 3.22.b avec les paramètres donnés dans le tableau 3.7.

Afin que ce modèle soit intégrable dans des simulations temporelles, il est indispensable de trouver un moyen de modéliser les résistances R_1 et R_2 qui dépendent de la fréquence du signal. Pour répondre à cette nécessité, nous avons utilisé les propriétés de la transformée de Laplace inverse. Ainsi, les résistances R_1 et R_2 sont modélisées par des fonctions de transfert dans le domaine de Laplace. Chacune de ces fonctions de transfert est déterminée pour qu'elle soit une approximation de l'une des expressions des résistances R_1 et R_2 . La difficulté de cette opération réside dans l'intervalle d'approximation qui doit couvrir l'intégralité de l'intervalle de validité du modèle de la ligne de transmission qui s'étend de 100 MHz à 40 GHz. Cette bande de fréquences correspond à celle utilisée dans [Nguyen Tran 08].

L'effet de peau dans les résistances R_1 et R_2 peut également être exprimé par l'équation 3.39 [Siebert 09].

$$R = R_{DC} + R_S(1 + j)\sqrt{\omega} \quad (3.39)$$

En considérant la variable de Laplace $s = j\omega$ et sachant que $1 + j = \sqrt{2}j$, l'équation 3.39 aura pour expression l'équation 3.40.

$$R = R_{DC} + R_S\sqrt{2s} \quad (3.40)$$

Le comportement de tout système et particulièrement les circuits électroniques, peut être décrit par une fonction rationnelle dans le domaine de Laplace. En considérant que le courant est le signal d'entrée et que la tension est le signal de sortie, l'expression de la résistance R peut s'exprimer sous la forme donnée en équation 3.41.

$$R \approx \frac{\sum_{m=0}^M \alpha_m s^m}{\sum_{n=0}^N \beta_n s^n} \quad N \neq 0 \quad (3.41)$$

Pour déterminer les coefficients α_m et β_n , il faut d'abord développer $\sqrt{2s}$ sous forme de fonction rationnelle $F(s)$. Nous avons déterminé cette fonction grâce à un algorithme d'un logiciel commercial qui permet de minimiser l'erreur maximum commise lors de l'approximation. En effet, cet algorithme recherche une fonction rationnelle $F(s)$ dont les ordres des polynômes du numérateur et du dénominateur prédéfinis M et N , ensuite les valeurs des coefficients des polynômes du numérateur et du dénominateur sont optimisés pour que l'erreur maximale d'approximation soit la plus petite possible sur tout l'intervalle d'approximation.

En spécifiant l'intervalle d'approximation de 100 MHz à 40 GHz et les ordres des polynômes du numérateur et du dénominateur $M = 6$ et $N = 5$, l'algorithme en question est utilisé pour déterminer les coefficients a_m et b_n de la fonction $F(s)$ (Équation 3.42) permettant l'approximation de $\sqrt{2s}$. Deux contraintes s'imposent lors du choix des valeurs de M et N . Elles ne doivent pas être trop élevées pour réduire le temps de simulation de la fonction de transfert et au même temps suffisamment élevées pour assurer une bonne approximation de la fonction $\sqrt{2s}$.

$$\sqrt{2s} \approx F(s) = \frac{\sum_{m=0}^6 a_m s^m}{\sum_{n=0}^5 b_n s^n} \quad (3.42)$$

Les valeurs des coefficients a_m et b_n sont données dans le tableau 3.8.

Table 3.8 – Valeurs des coefficients a_m et b_n de la fonction $F(s)$.

a_m	b_n
$a_0 = 4.8321 \cdot 10^3$	$b_0 = 1.0$
$a_1 = 1.5768 \cdot 10^{-4}$	$b_1 = 6.08783 \cdot 10^{-9}$
$a_2 = 2.5452 \cdot 10^{-13}$	$b_2 = 3.08428 \cdot 10^{-18}$
$a_3 = 4.5565 \cdot 10^{-23}$	$b_3 = 2.11921 \cdot 10^{-28}$
$a_4 = 1.2587 \cdot 10^{-33}$	$b_4 = 2.37001 \cdot 10^{-39}$
$a_5 = 5.4515 \cdot 10^{-45}$	$b_5 = 3.48128 \cdot 10^{-51}$
$a_6 = 1.8865 \cdot 10^{-57}$	-

La comparaison de la fonction $F(s)$ et $\sqrt{(2s)}$ le long de l'intervalle d'approximation, montre un bon accord des résultats pour les parties réelle et imaginaire (Figure 3.23).

L'erreur relative de l'approximation de $\sqrt{2s}$ avec la fonction $F(s)$ est donnée en figure 3.24. En basses fréquences, l'erreur relative ne dépasse pas 5 % tandis que pour le reste de l'intervalle d'approximation l'erreur relative est encore plus basse et ne dépasse pas 1,5 %. Pour obtenir la fonction de transfert dans le domaine de Laplace de la résistance R , il suffit de remplacer $\sqrt{2s}$ par la fonction $F(s)$ dans l'expression

3.6 Modélisation de la ligne de transmission

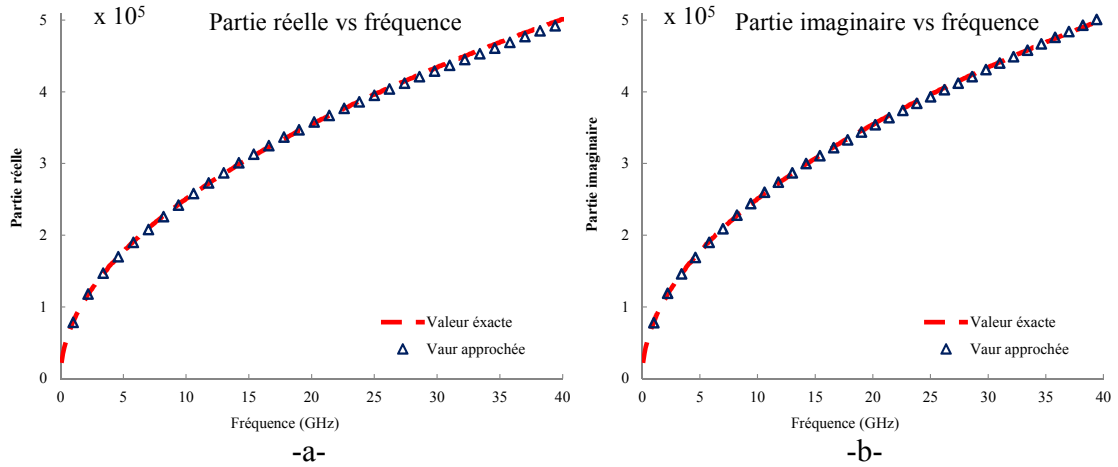


Figure 3.23 – Comparaison des parties a) réelle et b) imaginaire de la valeur exacte de $\sqrt{2}s$ avec son approximation.

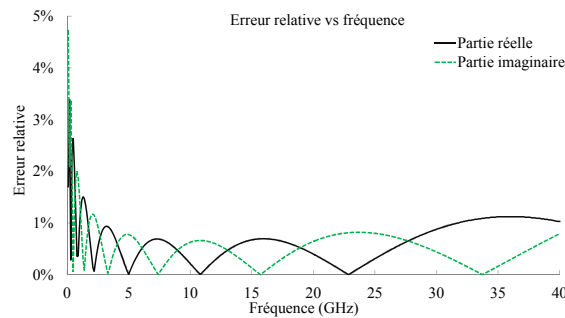


Figure 3.24 – L'erreur relative de l'approximation de $\sqrt{2}s$.

de R donnée dans l'équation 3.40. Ainsi les coefficients α_m et β_n sont calculés et leurs expressions sont données par l'équation 3.43. En intégrant ces coefficients dans la fonction de transfert de la résistance, nous obtenons une modélisation comportementale de l'effet de peau dans la ligne de transmission pour des simulations temporelles.

$$\begin{cases} \alpha_m = R_{DC}b_m + R_Sa_m & \text{pour } m = 0 \longrightarrow 5, \quad \alpha_6 = R_Sa_6 \\ \beta_n = b_n & \text{pour } n = 0 \longrightarrow 5 \end{cases} \quad (3.43)$$

3.6.2 Validation de l'effet de peau par simulation temporelle

En vue de l'évaluation des performances de notre modélisation de l'effet de peau, nous avons comparé les résultats d'une simulation temporelle incorporant le modèle

que nous avons développé avec ceux d'une simulation fréquentielle utilisant le modèle initial de la ligne de transmission. La simulation temporelle est effectuée en VHDL-AMS tandis qu'en fréquentiel, le logiciel ADS [Agilent] est utilisé.

Le circuit utilisé lors de la validation du modèle de la ligne de transmission est représenté en figure 3.25. Une ligne de transmission (microstrip) de 2 mm de longueur est considérée. Cette ligne est implémentée en mettant en cascade 100 éléments similaires. Chaque élément a une longueur de $20 \mu\text{m}$ et correspond au schéma électrique de la figure 3.22.b. La longueur de ces éléments est choisie suffisamment petite pour s'assurer qu'elle ne dépasse pas le dixième de la plus petite longueur d'onde s'y propageant.

Les deux extrémités de la ligne de transmission sont fermées sur des résistances de telle sorte à mieux l'adapter et par la même occasion, réduire les réflexions. Ainsi, les deux résistances ($R_g // R_{in}$) et R_{load} sont égales à la partie réelle de l'impédance caractéristique de la ligne de transmission, la partie imaginaire étant pratiquement nulle. En dehors des basses fréquences, la valeur de l'impédance caractéristique varie peu en fonction de la fréquence. La valeur fixée pour la simulation est celle correspondant au milieu de l'intervalle fréquentiel, en l'occurrence 20 GHz.

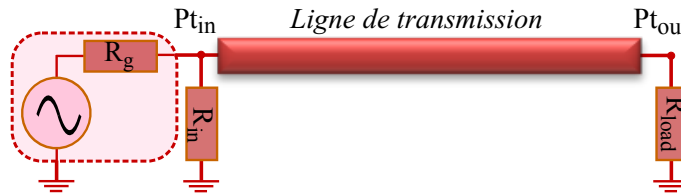


Figure 3.25 – Circuit de simulation pour la validation du modèle de la ligne de transmission.

Pour prendre en compte l'effet de peau, les expressions de R_1 et R_2 sont écrites sous la forme donnée en équation 3.41. La constante R_S est déterminée par identification entre l'expression donnée par l'équation 3.40 et les expressions de R_1 et R_2 données dans l'équation 3.38 et le tableau 3.7. Quant aux autres paramètres nécessaires pour le modèle distribué de la ligne de transmission, ceux du tableau 3.7 sont utilisés à l'exception du paramètre k . Pour obtenir la même constante de propagation que celle mesurée, le coefficient de couplage k doit avoir pour valeur 0,35 au lieu de valeur donnée dans le tableau 3.7 (0,285). Cela est dû à la partie imaginaire provenant de $\sqrt{2s}$ et qui n'apparaît pas dans les expressions initiales de R_1 et R_2 données dans le tableau 3.7.

Les résultats des simulations sont montrés dans la figure 3.26. La figure illustre une comparaison entre les résultats de simulations temporelles et ceux des simulations fréquentielles. Les simulations sont effectuées en balayant les fréquences allant de 100 MHz à 40 GHz. Pour chaque simulation, l'atténuation en tension est calculée entre les points Pt_{in} et Pt_{out} par l'équation 3.44.

3.6 Modélisation de la ligne de transmission

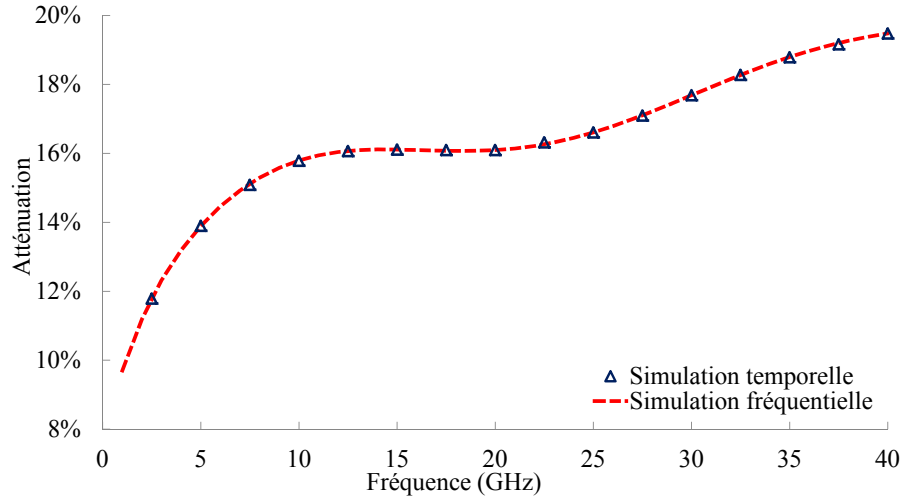


Figure 3.26 – Comparaison de l’atténuation dans la ligne de transmission pour des simulations temporelles et fréquentielles.

$$Atténuation = 100 \left(1 - \frac{mag(V_{Pt_{out}})}{mag(V_{Pt_{in}})} \right) \quad (3.44)$$

Avec $V_{Pt_{in}}$ et $V_{Pt_{out}}$ représentent les tensions du signal aux points Pt_{in} et Pt_{out} respectivement. mag désigne la fonction permettant de calculer l’amplitude du signal. la multiplication par 100 permet d’avoir le résultat en pourcentage.

La comparaison des résultats dans la figure 3.26 montre un excellent accord entre les atténuations produites par les modèles temporel et fréquentiel de la ligne de transmission. Ce constat valide notre modélisation de la ligne de transmission avec effet de peau pour des simulations temporelles.

Remarque La modélisation de la ligne de transmission tenant compte de l’effet de peau pour des simulations temporelles a été montrée pour des fréquences allant jusqu’à 40 GHz. Pour les fréquences plus élevées que 40 GHz, nous avons vérifié que l’approximation de la fonction $\sqrt{2s}$ reste valide pour des fréquences allant jusqu’à 100 GHz, avec une erreur relative de moins de 5%. Néanmoins, avant d’utiliser le modèle pour ces fréquences, il est nécessaire de s’assurer que le modèle fréquentiel de la ligne de transmission [Nguyen Tran 08] sur lequel notre approche se repose soit valide pour les fréquences allant de 40 à 100 GHz.

3.7 Conclusion

Des modèles des composants de l'émetteur et du récepteur ainsi que de la ligne de transmission ont été présentés. Lors du développement de ces modèles, nous avons pris en compte des paramètres essentiels caractérisant les imperfections des composants. Ces paramètres décrivent les non-linéarités, le bruit, la bande passante et éventuellement les fuites entre les ports pour ce qui est de l'amplificateur faible bruit et du mélangeur. Concernant l'oscillateur local, le bruit de phase est considéré. Les modèles que nous avons proposés constituent un approfondissement de la précision par rapport aux modèles disponibles dans la littérature. En outre, chaque modèle est adapté pour des simulations en VHDL-AMS.

Tous les modèles développés sont validés, soit par correspondance avec les paramètres renseignés soit en comparaison avec des performances des modèles proposés par des logiciels commerciaux.

En plus du LNA et du mélangeur, nous avons adapté le modèle d'une ligne de transmission pour des simulations temporelles. Le modèle initial a été développé pour des simulations fréquentielles et tient compte, entre autres, de l'effet de peau, des courants de Foucault et des différents couplages capacitifs. Nous avons validé ce modèle en comparant les résultats de deux simulations, l'une temporelle et l'autre fréquentielle.

Les modèles développés doivent permettre d'analyser le concept du RFNoC dans des conditions de fonctionnement de ses composants très proches de la réalité. De plus, ils permettent également la co-simulation des parties numériques et analogiques du réseau sur puce basé sur des interconnexions RF.

Chapitre 4

Dimensionnement et performances du RFNoC

Sommaire

4.1	Introduction	122
4.2	Dimensionnement de chaque composant du RFNoC	123
4.2.1	Topologie du RFNoC avec un seul émetteur et un seul récepteur	123
4.2.2	Topologie du RFNoC avec huit émetteurs et huit récepteurs	124
4.3	Performances du RFNoC	132
4.4	Optimisation de l'allocation de ressources spectrales du point de vue des produits d'intermodulations	134
4.5	Modèle compact et à très haut niveau d'abstraction du RFNoC	137
4.6	Conclusion	141

4.1 Introduction

L'ensemble des composants du RFNoC, qu'ils soient dans la partie émettrice ou réceptrice ou encore la ligne de transmission, sont tous modélisés en VHDL-AMS et permettent de prendre en considération pratiquement tous les défauts et imperfections susceptibles d'apparaître lors de la conception des vrais composants. Nous avons utilisé ces modèles afin d'analyser le concept du RFNoC. Ces simulations nous ont permis de trouver les paramètres limites des imperfections des composants qui permettent au RFNoC de fonctionner correctement. Cette opération est effectuée pour des topologies constituées par un ou plusieurs émetteurs/récepteurs.

Dans les sections suivantes, nous avons pour objectif de présenter une méthodologie permettant de déterminer les performances des composants du RFNoC nécessaires pour respecter un cahier des charges pour les communications effectuées à travers le réseau en question. Pour ce faire, nous commençons par montrer l'impact des paramètres définissant les imperfections des composants du RFNoC sur les performances du RFNoC. Ces performances sont évaluées en mesurant la qualité du signal en terme de rapport signal à bruit après le ou les récepteurs du RFNoC. La méthode de calcul de celui-ci est la même que celle présentée dans le paragraphe 2.5.1. La qualité du signal est montrée dans chaque cas par rapport à une référence de $(E_b/N_0)_{dB}$ qui vaut 11,32 dB. Cette valeur correspond à un BER maximum de 10^{-7} .

Afin de se mettre dans les conditions réelles du RFNoC, une topologie avec 8 émetteurs et 8 récepteurs est simulée en VHDL-AMS (l'architecture est montrée dans la figure 4.1). Les 8 fréquences porteuses de ce RFNoC sont uniformément réparties entre 50 et 100 GHz. Pour cette topologie et sans les imperfections des composants, le rapport signal à bruit pour tous les récepteurs est largement supérieur à celui de la référence ($E_b/N_0 = 11.32dB$).

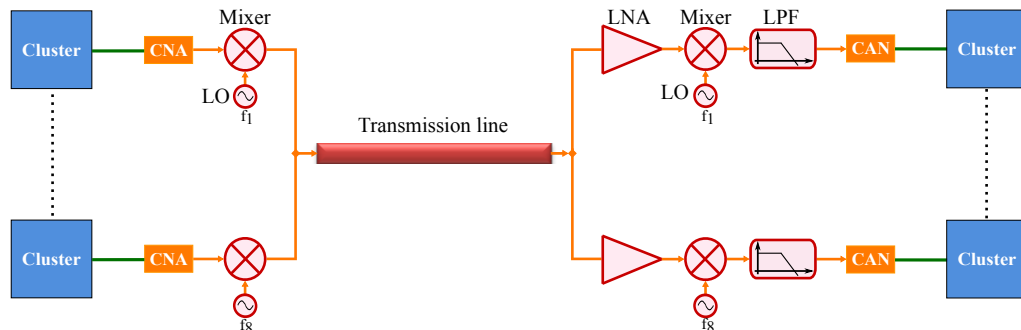


Figure 4.1 – Architecture de la topologie du RFNoC simulée.

Les paramètres des composants du RFNoC sont choisis parmi ceux répertoriés ci-dessous, selon l'objectif des simulations. Certaines de ces valeurs sont extraites

4.2 Dimensionnement de chaque composant du RFNoC

des datasheets, les autres, nous les cherchons dans des intervalles de valeurs proche de celles de l'état de l'art :

- ☑ **Cluster** modélisé par un générateur de données aléatoires dont le débit est de 1 Gbps.
- ☑ **Le CNA** a pour niveau du signal de sortie $\pm V_{DD} = \pm 0.8$ et correspond à la tension délivrée par la partie numérique (le cluster).
- ☑ **Le mélangeur** : Gain de conversion = 1.8 dB, Point de compression à 1dB = variable1, Point d'interception d'ordre trois = variable1 + 12dB (par choix), facteur de bruit = 1 dB à 10 dB.
- ☑ **Oscillateur local** : Puissance de 0.0 dBm, fréquence entre 50+n7.14 GHz avec $n=\{0, 1, \dots, 7\}$.
- ☑ **Ligne de transmission** : Longueur = de 20 mm à 80 mm (Ces longueurs permettent de balayer plusieurs longueurs de chemins de données que nous pouvons avoir sur les MPSoC), Atténuation=0.7 dB/mm, retard 7.5 ps/mm.
- ☑ **LNA** : Gain=16.7 dB, point de compression à 1 dB = variable2, point d'interception d'ordre trois= variable2+12 dB (par choix), Facteur de bruit= 1 dB à 10 dB.
- ☑ **Le filtre passe-bas** d'ordre deux et de fréquence de coupure de 3 GHz.
- ☑ **CAN** de seuil de décision de 0.

4.2 Dimensionnement de chaque composant du RFNoC

4.2.1 Topologie du RFNoC avec un seul émetteur et un seul récepteur

La topologie du RFNoC avec un seul émetteur et un seul récepteur est simulée. L'impact des différents composants du RFNoC sur les performances des transmissions est évalué en terme de non-linéarités et de bruit.

Le signal d'entrée de chaque composant du RFNoC est de type mono-porteuse. Ainsi, l'impact des non-linéarités de ses composants se réduit à celui du point de compression à 1 dB. Les simulations de cette topologie avec les non-linéarités des composants ont montré que la transmission n'est pas perturbée même si la puissance du signal d'entrée du composant en question dépasse largement celle du point de compression à 1 dB. Cela est dû au fait que la modulation du signal est à enveloppe constante et par conséquent robuste au fonctionnement en saturation des composants de la chaîne de transmission.

Concernant le bruit des composants du RFNoC, les simulations ont montré que la qualité du signal transmis n'est en aucun cas perturbée et cela pour tous les paramètres réalistes des composants. Cela s'explique par la puissance du signal d'entrée pour chaque composant qui est relativement élevée par rapport au niveau du bruit.

4.2.2 Topologie du RFNoC avec huit émetteurs et huit récepteurs

Pour les besoins de cette section, une topologie du RFNoC composée de huit émetteurs et de huit récepteurs (figure 4.1) est simulée en tenant compte des imperfections des composants séparément. La communication en half-duplex est retenue, c'est à dire que les communications bidirectionnelles sont possibles mais jamais au même instant. L'impact du LNA et des mélangeurs du RFNoC est évalué.

Remarque : Nous avons choisi une topologie du RFNoC relativement simple afin d'éviter le problème de désadaptation de la ligne de transmission qui serait due à la présence des émetteurs-récepteurs le long de la ligne de transmission [Sun 05]. Cette problématique n'est pas abordée dans ce travail.

4.2.2.1 Imperfections du mélangeur de l'émetteur

Le mélangeur de l'émetteur permet la transposition du signal d'entrée autour de la fréquence porteuse visée. La puissance du signal d'entrée de ce mélangeur est suffisamment élevée pour que le bruit de celui-ci ne détériore pas le signal à sa sortie. En revanche, les non-linéarités sont susceptibles de détériorer le signal de sortie du mélangeur. En effet, le mélangeur de chaque émetteur du RFNoC reçoit un signal mono-porteuse à son entrée par conséquent ses non-linéarités ne détériorent pas la qualité de signal (paragraphe 4.2.1). Cependant, la saturation du signal par ces mélangeurs (Point de compression à 1 dB) superposée aux interférences entre bande de transmission peut l'être.

La puissance d'entrée du mélangeur est fixe. En variant le point de compression à 1 dB et par conséquent l'IP3 (en entrée), sachant que $IP3 = P1dB + 12$, la qualité du signal obtenue après le récepteur, est montrée sur la figure 4.2. Cette qualité du signal est donnée en fonction de l'écart de la puissance d'entrée par rapport au point de compression à 1 dB. Pour rappel, la simulation est effectuée avec huit émetteurs et huit récepteurs, cependant les résultats montrés correspondent à l'un des huit récepteurs.

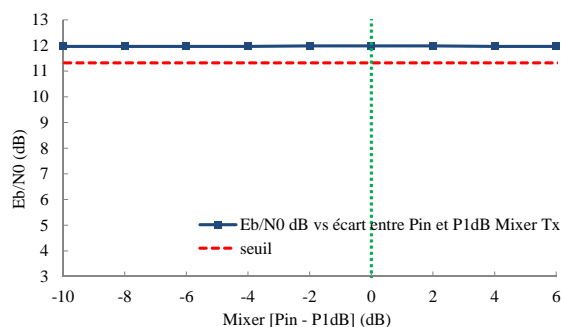


Figure 4.2 – Évolution de la qualité du signal en fonction des non-linéarités du mélangeur de l'émetteur du RFNoC.

4.2 Dimensionnement de chaque composant du RFNoC

La figure 4.2 montre que la qualité du signal reste constante malgré que la puissance du signal d'entrée du mélangeur dépasse largement le point de compression à 1 dB (en entrée) du même mélangeur. Ces résultats montrent que le cumul des non-linéarités du mélangeur de l'émetteur du RFNoC avec les interférences entre bandes ne détériore pas la qualité du signal échangé.

4.2.2.2 Imperfections du LNA

L'amplificateur faible bruit est l'un des éléments les plus sensibles de tout le récepteur RF. Le LNA est le premier composant du récepteur RF. Comme son nom l'indique, le LNA doit apporter le plus faible niveau de bruit possible et amplifier suffisamment le signal d'entrée. Les paramètres de bruit ainsi que les non-linéarités du LNA ont un impact sur les performances du RFNoC.

Facteur de bruit du LNA

Afin de quantifier l'impact du facteur de bruit du LNA sur les performances du RFNoC, nous avons simulé une topologie de celui-ci avec huit émetteurs et huit récepteurs (figure 4.1) et avec des longueurs de ligne de transmission différentes. Les longueurs de 60 mm, 70 mm et 80 mm sont considérées et permettent d'avoir des puissances à l'entrée du LNA de -44,6 dBm, -51.6 dBm et -58.6 dBm respectivement. Les résultats de ces simulations sont montrés sur la figure 4.3 et sur la figure 4.4.

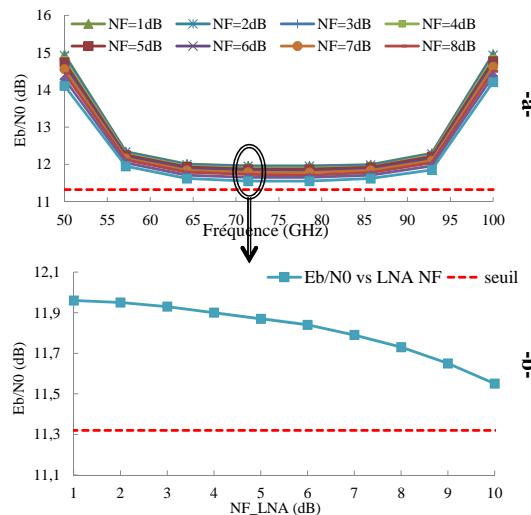


Figure 4.3 – Évolution de la qualité du signal en fonction du facteur de bruit du LNA du RFNoC dont la ligne de transmission est de 60 mm de longueur. a) pour les huit récepteurs. b) pour l'un des huit récepteurs

La figure 4.3 concerne la topologie avec une longueur de la ligne de transmission de 60 mm. En figure 4.3.a, les rapports signal à bruit des 8 récepteurs sont illustrés pour chaque valeur du facteur de bruit du LNA tandis qu'en figure 4.3.b est représentée l'évolution du rapport signal à bruit pour l'un des huit récepteurs en fonction

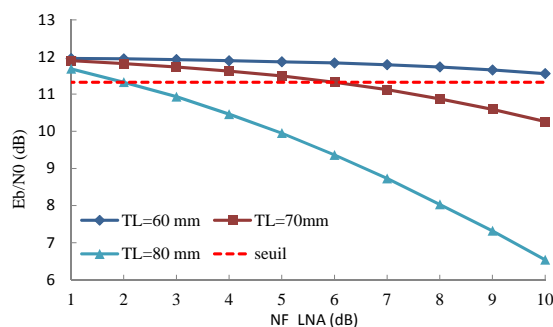


Figure 4.4 – Évolution de la qualité du signal en fonction du facteur de bruit du LNA du RFNoC dont la ligne de transmission est de 60 mm, 70 mm et 80 mm de longueur.

du facteur de bruit du LNA. Il faut noter que le bruit du LNA est superposé aux interférences entre les bandes des différentes transmissions.

La figure 4.4 concerne la simulation de la topologie du RFNoC avec les trois longueurs de ligne de transmission considérées, à savoir 60 mm, 70 mm et 80 mm. Chacune des courbes de cette figure représente l'évolution du rapport signal à bruit pour l'un des huit récepteurs en fonction du facteur de bruit du LNA.

Selon la longueur de la ligne, à partir d'une certaine valeur du facteur de bruit, le rapport signal à bruit commence à se dégrader considérablement. Pour un RFNoC dont la longueur de la ligne de transmission est de 60 mm, la dégradation apparaît mais ne parvient pas à faire passer le rapport signal à bruit au-dessous du seuil envisagé et cela pour toute valeur du facteur de bruit du LNA allant jusqu'à 10 dB. Concernant la configuration du RFNoC avec une ligne de transmission de longueur de 70 mm, le rapport signal à bruit dépasse le seuil envisagé pour toute valeur du facteur de bruit du LNA inférieure ou égale à 6 dB. Lorsque la longueur de la ligne de transmission passe à 80 mm, la valeur maximum tolérée du facteur de bruit du LNA est de 2dB.

Remarque : Dans le cas de la longueur de la ligne de transmission de 80 mm (figure 4.5), à partir d'une certaine valeur du facteur de bruit du LNA, la détérioration du signal utile par le bruit prend le dessus sur les interférences inter bandes de transmission. En effet, pour les valeurs faibles du facteur de bruit du LNA, le rapport signal à bruit des récepteurs dont les bandes de transmissions sont situées sur les bordures est plus élevé que celui des autres récepteur. Cela est dû au fait que ces deux bandes des signaux utiles ne sont interférées que par une seule bande adjacente contrairement aux bandes des signaux utiles situées au milieu de l'ensemble des bandes qui sont interférées par deux bandes adjacentes. A partir d'une certaine valeur du facteur de bruit du LNA (9 dB), la contribution du bruit de ce dernier devient dominante devant l'interférence entre les bandes. Par conséquent, la valeur du rapport signal à bruit devient la même pour l'ensemble des récepteurs.

4.2 Dimensionnement de chaque composant du RFNoC

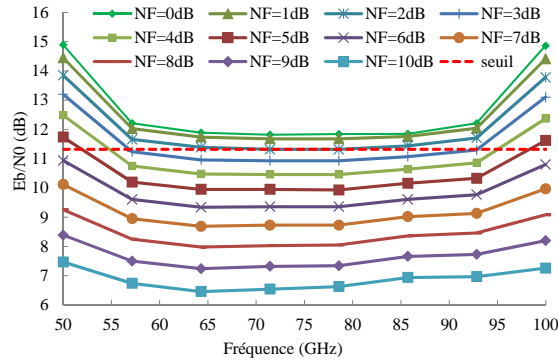


Figure 4.5 – Évolution de la qualité du signal en fonction du facteur de bruit du LNA du RFNoC dont la ligne de transmission est de 80 mm de longueur.

Non-linéarités du LNA

Nous avons évalué l'impact des non-linéarités (seules, sans le bruit) du LNA sur les performances du RFNoC. Nous avons fixé la valeur du point de compression à 1 dB en entrée ($P_{1dB} = -13$ dBm) et celle du point d'interception d'ordre trois ($IP_3 = -1$ dBm). En maintenant constante la puissance du signal émis, nous varions la longueur de la ligne de transmission du RFNoC afin d'obtenir une variation de la puissance du signal à l'entrée du LNA. La variation du rapport signal à bruit en fonction de la longueur de la ligne de transmission du RFNoC est montrée en figure 4.6. En figure 4.6.a, les rapports signal à bruit des huit récepteurs sont représentés pour toutes les longueurs de la ligne de transmission considérées tandis qu'en figure 4.6.b, la courbe représente l'évolution du rapport signal à bruit pour uniquement un des huit récepteurs.

La figure 4.6 montre que, tant que la longueur de la ligne est élevée, l'impact des non-linéarités est très faible, voire nul, car la puissance du signal à l'entrée du LNA est relativement faible. Dans notre cas, c'est à dire la topologie choisie ainsi que les paramètres du LNA que nous avons fixés, à partir d'une longueur de ligne de transmission du RFNoC de 38 mm, le rapport signal à bruit de chaque récepteur se détériore et diminue lorsque la ligne de transmission est plus courte.

Ces résultats montrent également que pour des longueurs de la ligne de transmission supérieures à 38 mm, le rapport signal à bruit est dominé par les interférences inter-bandes de transmission (figure 4.6.a).

Nous avons constaté auparavant qu'en intégrant les non-linéarités dans le mélangeur de l'émetteur, la compression du gain de conversion ne détériore pas le rapport signal à bruit du signal démodulé. De ce fait, la détérioration du signal montrée sur la figure 4.6 est due exclusivement aux intermodulations.

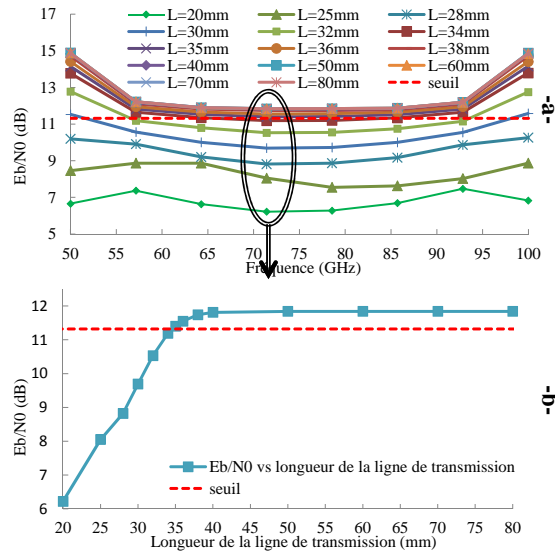


Figure 4.6 – Évolution de la qualité du signal avec la variation de la longueur de ligne de transmission du RFNoC.

Nous présentons les résultats de la figure 4.6.b sous une autre forme. Pour chacune des longueurs de ligne de transmission considérées, nous avons mesuré la puissance du signal d’entrée du LNA. Ainsi, l’évolution du rapport signal à bruit est présentée en fonction de l’écart entre la puissance du signal à l’entrée du LNA et le point de compression à 1 dB (figure 4.7). Cette figure montre que la dégradation du signal à cause des non-linéarités du LNA commence à partir d’une puissance du signal à l’entrée de celui-ci dont la valeur est à environ -16 dB de la puissance correspondant au point de compression à 1 dB. Cependant, les résultats montrés nous permettent de conclure que le rapport signal à bruit requis pour les performances ciblées est assuré pour toute valeur du point de compression à 1 dB du LNA située à 14 dB plus élevée que la puissance du signal à l’entrée du LNA.

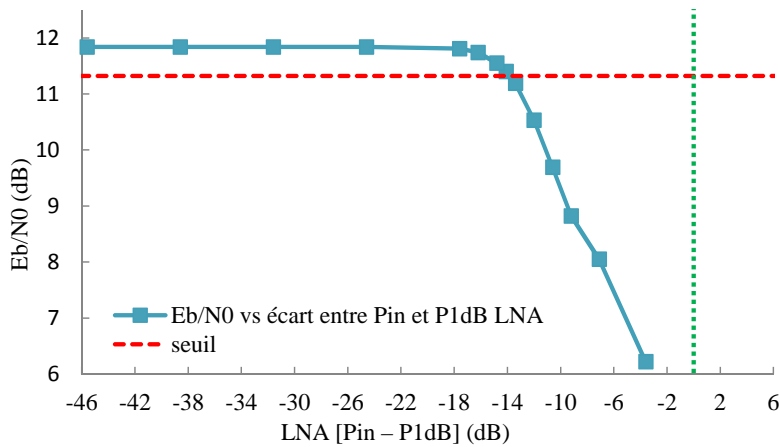


Figure 4.7 – Évolution de la qualité du signal en fonction de l’écart entre la puissance du signal d’entrée du LNA et le P1dB en entrée.

4.2 Dimensionnement de chaque composant du RFNoC

4.2.2.3 Imperfections du mélangeur du récepteur

Après amplification par le LNA, le récepteur transpose le signal reçu en bande de base grâce à son mélangeur. Ainsi, les non-linéarités et éventuellement le bruit du mélangeur du récepteur sont susceptibles de provoquer des dégradations de la qualité du signal du RFNoC. Pour analyser les paramètres relatifs à ces dégradations, nous avons simulé le RFNoC avec une topologie de huit émetteurs et huit récepteurs et en ne tenant compte que des imperfections des mélangeurs des récepteurs.

Facteur du bruit

Généralement, le facteur du bruit du mélangeur du récepteur de tout système de transmission ne provoque que très peu de dégradations sur le signal reçu. L'objectif des simulations de cette partie est d'analyser l'impact du cumul du facteur de bruit du mélangeur du récepteur et des interférences entre bandes de transmission.

Nous avons simulé le RFNoC avec des lignes de transmission dont les longueurs sont de 70 mm et 80 mm, tout en maintenant la puissance à l'émission constante. Cela engendre des niveaux de puissance différents à l'entrée du mélangeur du récepteur. Les résultats de ces simulations sont montrés sur la figure 4.8 et la figure 4.9.

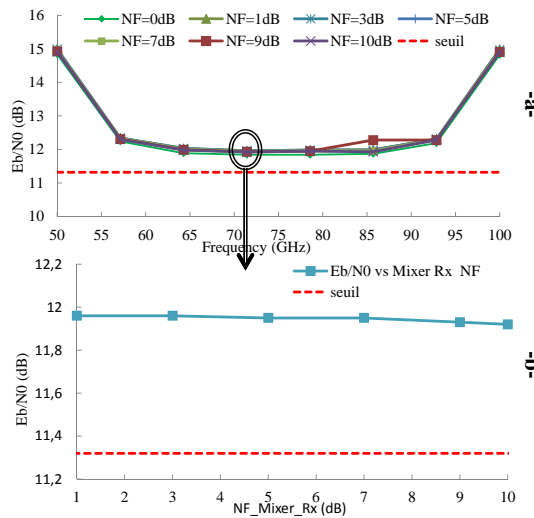


Figure 4.8 – Évolution de la qualité du signal en fonction du facteur de bruit du mélangeur du récepteur du RFNoC dont la ligne de transmission est de 70 mm de longueur. a) pour les huit récepteurs. b) pour un seul récepteur

La figure 4.9 représente les résultats relatifs à l'un des huit récepteurs du RFNoC. Cette figure montre que lorsque la longueur de la ligne est de 70 mm, le facteur de bruit du mélangeur du récepteur ne dégrade que très légèrement la qualité du signal. En revanche, lorsque la longueur de la ligne de transmission passe à 80 mm,

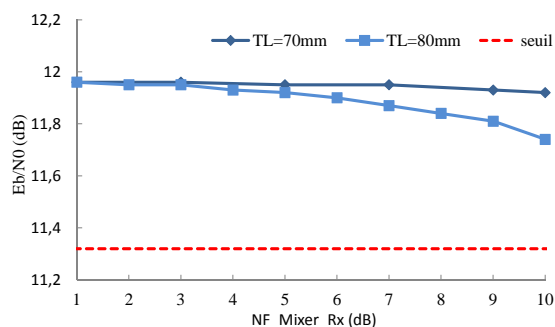


Figure 4.9 – Évolution de la qualité du signal en fonction du facteur de bruit du mélangeur du récepteur du RFNoC dont la ligne de transmission est de 70mm et 80 mm de longueur.

la qualité du signal est dégradée davantage mais en aucun cas ne parvient à faire passer le rapport signal à bruit au-dessous du seuil ciblé et cela pour toute valeur du facteur de bruit du mélangeur inférieure ou égale à 10 dB.

Non-linéarités

Le signal d’entrée du mélangeur du récepteur est généralement de puissance légèrement élevée grâce à l’amplification du LNA. Cela représente un avantage du point de vue du bruit du mélangeur, cependant, cela est susceptible d’accentuer l’effet des non-linéarités.

Pour quantifier l’impact des non-linéarités du mélangeur du récepteur sur la qualité du signal et ainsi déterminer les valeurs limites des paramètres définissant ces non-linéarités afin de respecter le cahier des charges, nous avons maintenu constante la valeur du paramètre du point de compression à 1 dB (P1dB) du mélangeur du récepteur à une valeur arbitraire ainsi que la valeur du point d’interception d’ordre trois (IP3), sachant que $IP3 - P1dB = 12dB$ et avons fait varier la longueur de la ligne de transmission. La puissance émise par les émetteurs étant maintenue constante, cela varie la puissance du signal à l’entrée du mélangeur. Les résultats de ces simulations sont montrés en figure 4.10.a pour les huit récepteurs et en figure 4.10.b pour l’un des huit récepteurs. Ces résultats sont présentés en fonction de l’écart entre la puissance d’entrée du mélangeur du récepteur et son point de compression à 1 dB.

Les résultats de la figure 4.10.b montrent que déjà pour des puissances d’entrée du mélangeur à -16 dB du point de compression à 1 dB, le rapport signal à bruit commence à se dégrader, néanmoins, le seuil est dépassé par le rapport signal à bruit pour toute puissance d’entrée du mélangeur inférieure ou égale à -14 dB du point de compression à 1 dB du même mélangeur. Ce résultat confirme que ces dégradations sont dues aux intermodulations plutôt qu’à la compression du gain, d’autant plus que nous avons déjà observé ce résultat lors des simulations dans lesquels nous avons analysé les imperfections des composants du RFNoC dans le cadre d’un seul émetteur et d’un seul récepteur, cas où il n’y a pas d’intermodulations (cf paragraphe 4.2.1).

4.2 Dimensionnement de chaque composant du RFNoC

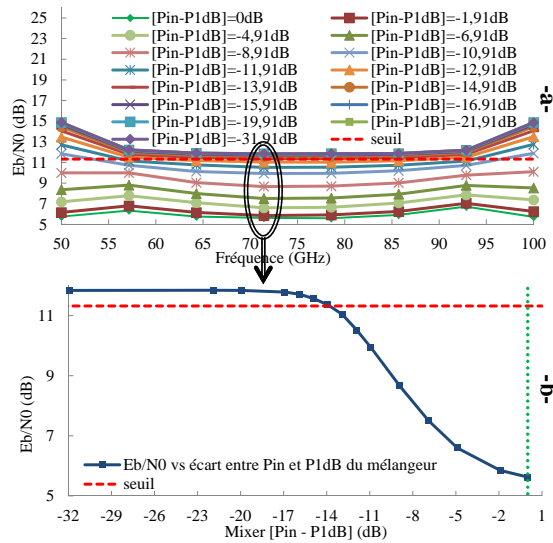


Figure 4.10 – Évolution de la qualité du signal en fonction des non-linéarités du mélangeur du récepteur du RFNoC. a) pour les huit récepteurs. b) pour l'un des récepteurs.

4.2.2.4 Combinaison des facteurs de bruit du LNA et du mélangeur du récepteur

Une fois que nous avons analysé séparément l'impact des facteurs de bruit du LNA et du mélangeur du récepteur sur la qualité du signal échangé à travers le RFNoC, nous avons pour but dans cette section d'analyser les résultats de combinaison de ces deux paramètres d'imperfection.

Lors de l'analyse exclusive de l'impact du facteur du bruit du LNA sur la qualité du signal échangé à travers le RFNoC (cf paragraphe 4.2.2.2), nous avons constaté que pour une valeur de 3 dB de ce paramètre et pour la longueur de la ligne de transmission de 70 mm, le rapport signal à bruit de l'ensemble des récepteurs est largement supérieur au seuil. En effet, dans ce cas, pour l'un des huit récepteurs du RFNoC, le rapport signal à bruit vaut 11,73 dB. Sans le bruit du LNA, ce rapport signal à bruit vaut environ 12 dB. Quant à l'impact relatif exclusivement au bruit du mélangeur du récepteur (cf paragraphe 4.2.2.3), nous avons constaté que la qualité du signal reste quasiment constante pour la longueur de la ligne de transmission de longueur de 70 mm et pour toute valeur du facteur de bruit du mélangeur allant jusqu'à 10 dB.

Pour les raisons évoquées ci-dessus, afin d'analyser l'impact du cumul des imperfections en terme du facteur de bruit du LNA et du mélangeur du récepteur, nous avons fixé la valeur du facteur de bruit du LNA à 3 dB et nous avons varié le facteur du bruit du mélangeur du récepteur. Ces simulations sont effectuées pour la longueur de la ligne de transmission de 70 mm uniquement. Les résultats de ces simulations sont donnés en figure 4.11.a pour les huit récepteurs et en figure 4.11.b pour l'un de ces récepteurs.

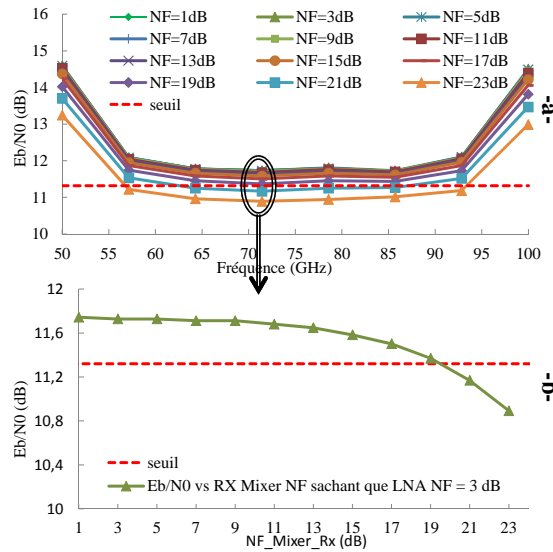


Figure 4.11 – Évolution de la qualité du signal en fonction du facteur de bruit du mélangeur du récepteur sachant que celui du LNA vaut 3 dB et la longueur de la ligne de transmission est de 70 mm. a) pour les huit récepteurs. b) pour l’un des récepteurs

Les conséquences du cumul des bruits du LNA et du mélangeur du récepteur commencent à apparaître lorsque le facteur de bruit du mélangeur dépasse une dizaine de Décibels. Lorsque le facteur de bruit du mélangeur dépasse les 19 dB, le rapport signal à bruit passe au-dessous du seuil envisagé. Pour rappel, les imperfections en bruit du LNA et du mélangeur se superposent aux dégradations du signal dues aux interférences entre les bandes de transmission.

Remarque 1 Certaines valeurs du facteur de bruit du mélangeur considérées sont très élevées et ne correspondent pas à un circuit réaliste. L’objectif des résultats de la figure 4.11 est de trouver la valeur limite du facteur de bruit.

Remarque 2 Nous avons effectué les mêmes simulations que celles décrites ci-dessus afin d’analyser l’impact du cumul du bruit du mélangeur de l’émetteur du RFNoC avec celui du LNA. Les résultats ont montré que ce cumul ne varie pas la qualité du signal à la sortie du récepteur. Cela est vrai pour des longueurs de la ligne de transmission allant de 60 mm jusqu’à 80 mm et pour des facteurs de bruit du mélangeur de l’émetteur et du LNA allant jusqu’à 10 dB pour chacun des deux composants.

4.3 Performances du RFNoC

Dans cette section nous simulons l’architecture du RFNoC donnée en figure 4.1 avec le cumul des imperfections du RFNoC. Les paramètres des composants du RFNoC sont choisis dans un premier temps à leurs limites tolérables pour respecter le cahier des charge en terme de BER (de 10^{-7} qui correspond à un $E_b/N_0 = 11.32dB$).

4.3 Performances du RFNoC

Ces valeurs sont déterminées dans les sections précédentes.

- ☑ **Cluster** modélisé par un générateur de données aléatoires dont le débit est de 1 Gbps.
- ☑ **Le CNA** a pour niveau du signal de sortie $\pm V_{DD} = \pm 0.8$.
- ☑ **Le mélangeur de l'émetteur** : Gain de conversion = 1.8 dB, Point de compression à 1dB = 12 dBm, Point d'interception d'ordre trois = 24 dBm, facteur de bruit = 15 dB.
- ☑ **Oscillateur local** : Puissance de 0.0 dBm, fréquence entre $50+n7.14$ GHz avec $n=\{0, 1, \dots, 7\}$.
- ☑ **Ligne de transmission** : Longueur = 70 mm, Atténuation=0.7 dB/mm, retard 7.5 ps/mm.
- ☑ **LNA** : Gain=16.7 dB, point de compression à 1 dB = -36 dBm, point d'interception d'ordre trois= -24 dBm, Facteur de bruit= 3 dB.
- ☑ **Le mélangeur du récepteur** : Gain de conversion = 1.8 dB, Point de compression à 1dB = -19 dBm, Point d'interception d'ordre trois = -7 dBm, facteur de bruit = 18 dB.
- ☑ **Le filtre passe-bas** d'ordre deux et de fréquence de coupure de 3 GHz.
- ☑ **CAN** de seuil de décision de 0.

En figure 4.12 sont présentés les résultats des simulations cumulant les imperfections du RFNoC. Les résultats du cumul des non-linéarités uniquement, des bruits uniquement et des deux au même temps sont présentés. Dans ce dernier cas, le rapport signal à bruit passe au dessous du seuil ciblé (cas1 de la figure 4.12). En baissant le facteur de bruit du mélangeur du récepteur à 10 dB, le rapport signal à bruit est ramené au même niveau que le seuil (cas2).

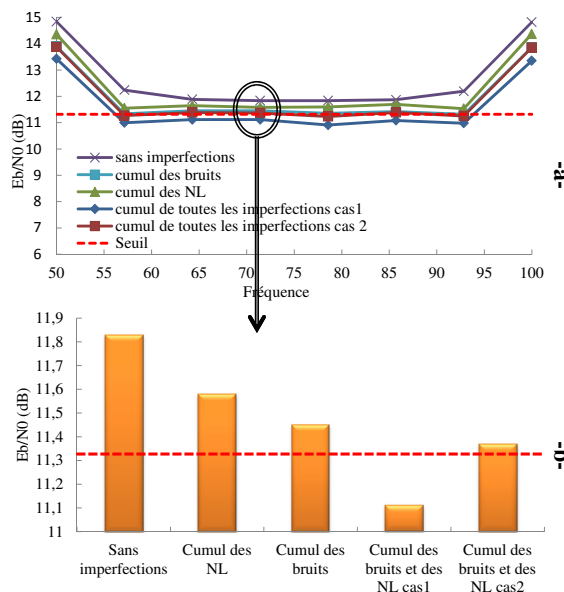


Figure 4.12 – Simulation du RFNoC avec cumul des imperfections

Les modèles développés permettent de dimensionner le RFNoC afin de répondre à un cahier des charges concernant les communications sur puce. Quelques valeurs limites des spécifications des composants du RFNoC sont également données dans le cas de huit émetteurs et huit récepteurs. La méthodologie de dimensionnement présentée dans cette partie pour la topologie choisie du RFNoC est applicable sur toute autre topologie et éventuellement dans d'autres applications que le RFNoC.

4.4 Optimisation de l'allocation de ressources spectrales du point de vue des produits d'intermodulations

Tout circuit électronique non-linéaire (LNA, mélangeur,...) produit des intermodulations. En effet, pour une excitation par un signal multi-porteuse, le circuit non-linéaire produit à sa sortie, en plus du signal utile, des raies à des fréquences très proches de celles du signal utile. Le RFNoC s'insère complètement dans ce contexte. La figure 4.13 illustre les produits d'intermodulation d'ordre trois et d'ordre cinq d'un circuit non-linéaire. Ainsi, une optimisation de l'allocation des ressources spectrales par rapport aux intermodulations est nécessaire.

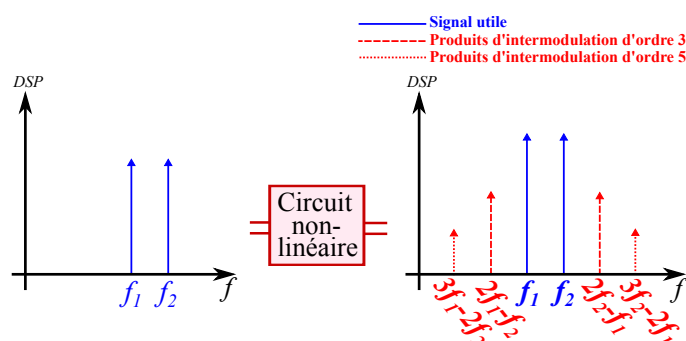


Figure 4.13 – Spectre du signal à l'entrée et à la sortie d'un circuit non-linéaire.

Chaque récepteur du RFNoC est confronté à la problématique des produits d'intermodulation dus à ses non-linéarités ainsi qu'à la présence, à son entrée, des bandes transmises par tous les émetteurs du RFNoC. La contribution des unes et des autres à l'ensemble de ces produits d'intermodulation n'est pas la même. Les contributions de huit bandes uniformément allouées sont représentées en figure 4.14 et en figure 4.15. La première figure correspond aux produits d'intermodulations d'ordre 3 tandis que la seconde correspond au produits d'intermodulation d'ordre cinq.

Sur la figure 4.14 et la figure 4.15, chaque rectangle placé sur une bande \mathbf{B}_i signifie que la bande \mathbf{B}_i , avec une autre bande \mathbf{B}_j a créé un produit d'intermodulation à la bande \mathbf{B}_k , sachant que \mathbf{B}_i , \mathbf{B}_j et \mathbf{B}_k sont toutes des bandes de transmission de données (\mathbf{B}_1 à \mathbf{B}_8).

4.4 Optimisation de l'allocation de ressources spectrales du point de vue des produits d'intermodulations

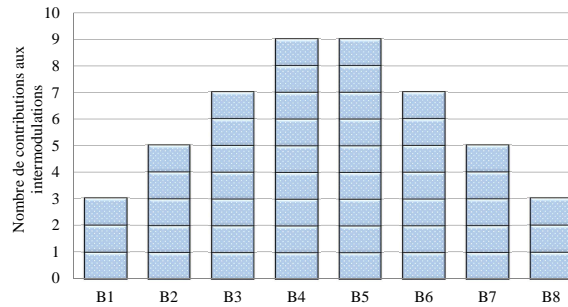


Figure 4.14 – Contribution aux produits d'intermodulation d'ordre 3, sur les bandes utiles, de huit bandes allouées uniformément.

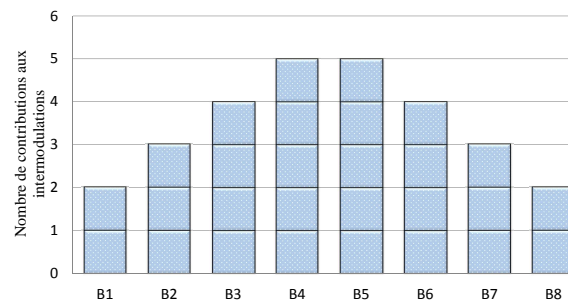


Figure 4.15 – Contribution aux produits d'intermodulation d'ordre 5, sur les bandes utiles, de huit bandes allouées uniformément.

Il est clair que les bandes allouées au milieu de la bande totale disponible contribuent plus que celles allouées aux bordures. Dans le cas considéré, c'est à dire de huit bandes, elles sont trois fois plus élevées pour les produits d'intermodulation d'ordre trois tandis que pour les produits d'intermodulations d'ordre cinq, elles sont 2,5 fois plus élevées.

L'ensemble des produits d'intermodulation d'ordre trois qui sont créés par les huit bandes, sont uniformément répartis sur ces mêmes huit bandes (Figure 4.16). Quant aux produits d'intermodulation d'ordre cinq, ils sont également uniformément répartis sur l'ensemble des bandes à l'exception des bandes **B3** et **B6**. Sur ces deux bandes, seulement la moitié est produite en terme de parts de produits d'intermodulation d'ordre cinq (Figure 4.17).

Sur la figure 4.16 et la figure 4.17, chaque rectangle placé sur une bande **Bi** signifie qu'un produit d'intermodulation est créé sur la bande **Bi**. Les bandes impliquées dans la création de ce produit d'intermodulation sont **Bj** et **Bk** données en légendes des figures (**Bj_Bk**). **Bi**, **Bj** et **Bk** sont toutes des bandes de transmission de données (**B1** à **B8**).

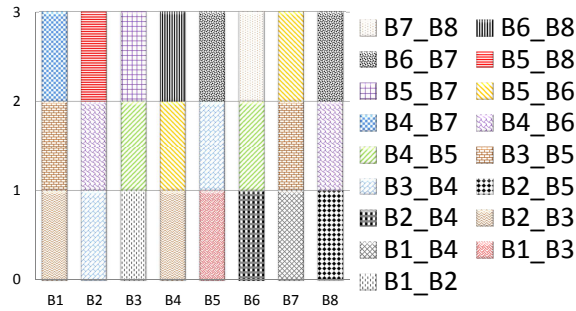


Figure 4.16 – Emplacement des produits d’intermodulation d’ordre trois, sur les bandes utiles, de huit bandes allouées uniformément.

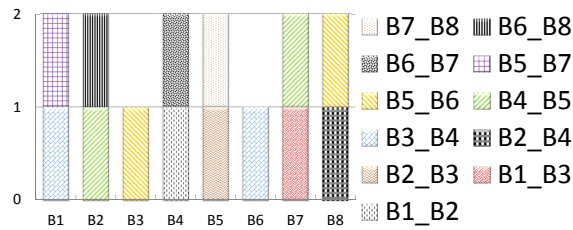


Figure 4.17 – Emplacement des produits d’intermodulation d’ordre cinq, sur les bandes utiles, de huit bandes allouées uniformément..

Les résultats montrés ci-dessus montrent que lors de l’allocation des ressources spectrales disponibles, dans le cas où l’utilisation de l’intégralité des bandes n’est pas indispensable, il est judicieux de commencer d’attribuer les bandes situées vers les deux limites (minimum et maximum) des ressources spectrales disponibles. Prenons l’exemple dans lequel huit bandes de transmission sont disponibles et que seules quatre bandes de transmission sont nécessaires pour les communications du MPSoC. dans ce cas, l’allocation uniforme de ces quatre bande sur les huit disponibles (sur **B1**, **B3**, **B5** et **B7**) crée quatre produits d’intermodulation situés dans les bandes allouables tandis que l’allocation avec notre recommandation (**B1**, **B2**, **B7** et **B8**) ne crée que deux produit d’intermodulation situés dans les bandes allouables.

Remarque : Lors du dimensionnement du RFNoC vis à vis des non-linéarités de ses composants, le rapport signal à bruit requis par le cahier des charges est assuré. L’optimisation présentée dans cette section n’a de but que pour améliorer la qualité du signal. Cela pourrait permettre de ne pas utiliser (temporairement) de code correcteur d’erreur. La mise en œuvre de la décision sur l’allocation et par conséquent l’utilisation (ou non) des codes correcteurs d’erreurs, n’est pas abordée dans ce travail.

4.5 Modèle compact et à très haut niveau d'abstraction du RFNoC

La simulation des signaux RF nécessite un pas de simulation très court. Par conséquent, la durée de ce type de simulation peut s'avérer très long dans certains cas. Dans la suite de cette section, nous présentons une solution pour les simulations de durée longues.

Quelles que soient les détériorations que provoquent les imperfections des imperfections des différents composants du RFNoC, elles peuvent être résumées à un taux d'erreur binaire (BER) et un retard pour le signal numérique. Ainsi, pour les simulations de très longues durées, notamment les co-simulations matériel-logiciel, nous proposons un modèle d'un bus bruité qui transmet les données avec un taux d'erreur binaire et un retard, tous les deux paramétrables. Les simulations de ce type se feront comme suit :

1. Simuler en VHDL-AMS la topologie envisagée du RFNoC avec de simple générateurs de bits aléatoires à la place des clusters et en tenant compte de toutes les imperfections des composants.
2. Pour chaque bande de transmission, mesurer le retard de transmission de données ainsi que la qualité du signal en terme de $(E_b/N_0)_{dB}$.
3. Modéliser chaque bande de transmission de données par un bus bruité paramétré avec le retard et le taux d'erreur binaire (correspondant à $(E_b/N_0)_{dB}$) extraits lors de la simulation globale de la topologie du RFNoC ciblée (comme indiqué en 1).

Au final, la simulation globale de la topologie du RFNoC (figure 4.18) est remplacée par une simulation d'un ensemble de bus bruités (figure 4.19) avec des taux d'erreur binaire et des retards dont les valeurs sont extraites d'une seule simulation préalable de la topologie globale. Cette modélisation simplifiée de la topologie considérée du RFNoC est valide tant que le scénario de communication n'est pas changé, sinon une nouvelle et unique simulation de la topologie avec le nouveau scénario sera nécessaire afin d'extraire les performances de transmission de données.

Un modèle de bus bruité et tenant compte d'un retard est représenté en figure 4.20. Les données d'entrée du bus sont converties en signal réel (-1 et +1 volt) par le CNA. Ce signal est ensuite additionné avec un bruit blanc Gaussien, puis retardé de τ et enfin converti en données sous forme binaire par le CAN. Le bruit blanc Gaussien est généré comme présenté dans le paragraphe 3.3.1. Un échantillon est généré toutes les T_S qui est égale à la durée du bit des données d'entrée et dont la valeur est à renseigner au modèle du bus. Quant à l'écart type σ_b , il est défini en fonction de la valeur du BER. Son expression est donnée en équation 4.1. La valeur à renseigner au modèle du bus est le rapport signal à bruit à savoir $(E_b/N_0)_{dB}$ au lieu

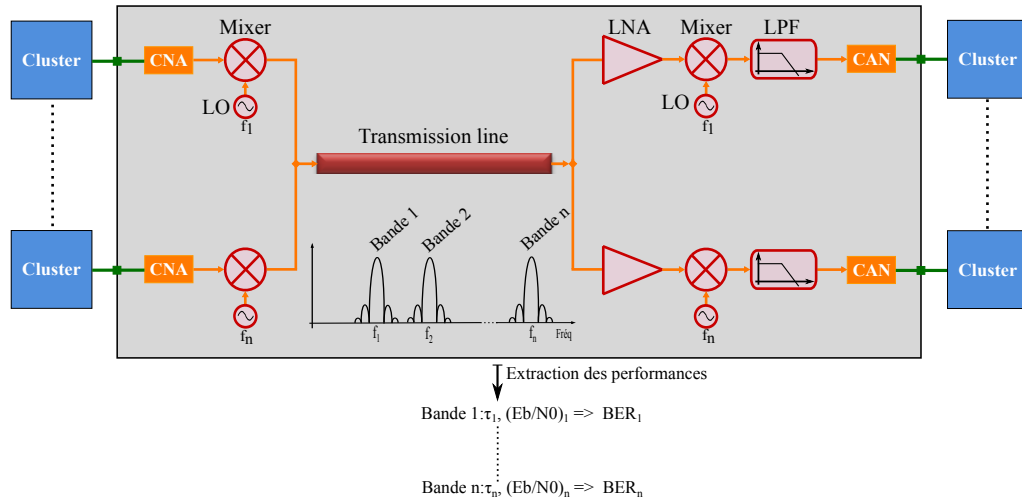


Figure 4.18 – Simulation globale d’une topologie du RFNoC avec tous les composants le constituant

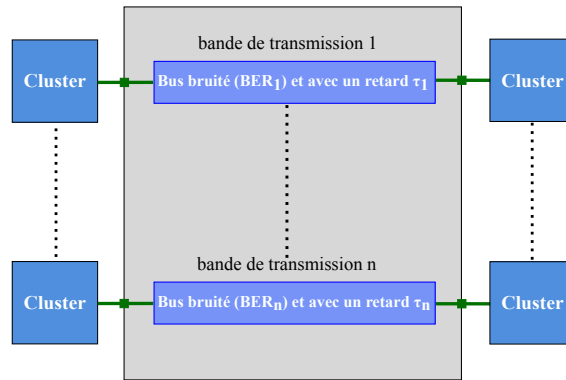


Figure 4.19 – Simulation simplifiée de la topologie du RFNoC présentée en figure 4.18

de la valeur du BER. Ce choix est dû au fait qu’il n’existe qu’une approximation de l’expression de $(E_b/N_0)_{dB}$ (dont nous avons besoin pour le modèle du bus bruité) en fonction du taux d’erreur binaire. Cependant, en utilisant simplement la courbe de la figure 4.21, il est possible d’extraire la valeur de $(E_b/N_0)_{dB}$ pour toute valeur du taux d’erreur binaire désiré.

$$\sigma_b = 10^{\frac{\left(\frac{E_b}{N_0}\right)_{dB} + 3,01}{-20}} \tag{4.1}$$

Pour valider le modèle du bus bruité, nous l’avons simulé en renseignant plusieurs valeurs du $(E_b/N_0)_{dB}$ correspondantes aux valeurs du BER ciblées et avons comparé à chaque fois la valeur ciblée à celle mesurée du BER. Les valeurs ciblées du BER vont de 10^{-2} à 10^{-7} . Comme expliqué précédemment, pour simuler chacune de ces valeurs du BER, nous renseignons sa valeurs équivalente en terme de $(E_b/N_0)_{dB}$ extraite de

4.5 Modèle compact et à très haut niveau d'abstraction du RFNoC

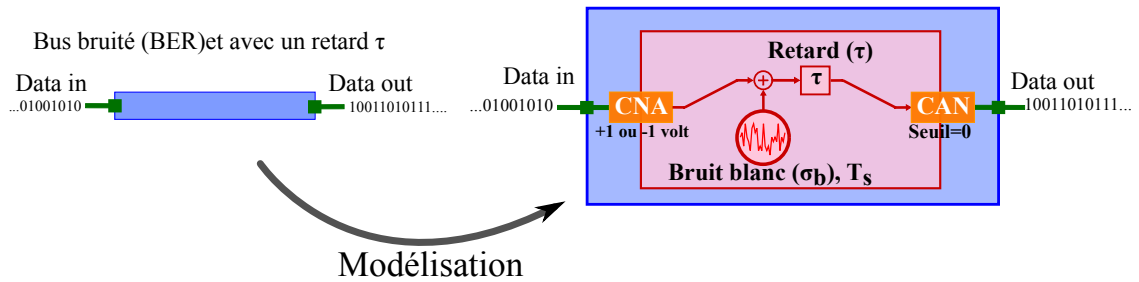


Figure 4.20 – Modèle d'un bus transmettant les données à un BER et un retard sont paramétrables

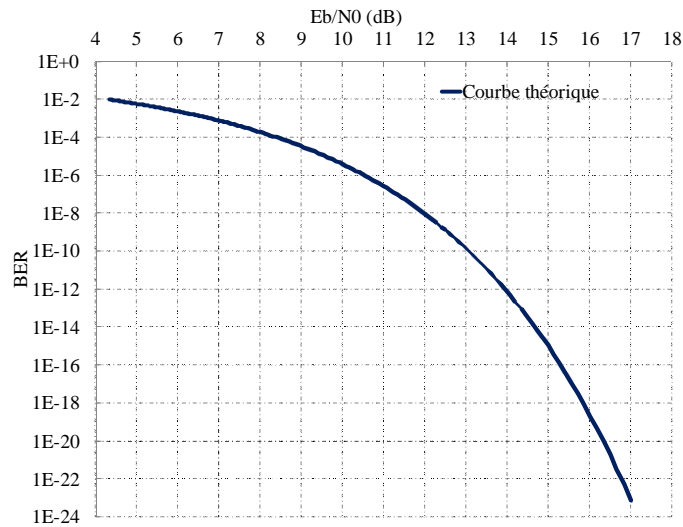


Figure 4.21 – Courbe reliant le taux d'erreur binaire BER au rapport signal à bruit $(E_b/N_0)_{dB}$ pour un bruit Gaussien

la figure 4.21. Ensuite, le bus est simulé de façon à pouvoir mesurer le BER pour les données le traversant. Les résultats des simulations sont présentés en figure 4.22 et montrent qu'ils correspondent fidèlement aux valeurs ciblées du BER.

Un modèle compact du RFNoC plus générique que précédemment a été développé. En effet, ce modèle paramétrable avec un nombre de bandes de transmission (\mathbf{n}) et génère le nombre d'entrées et de sorties nécessaire (\mathbf{n}). Comme la largeur des ressources spectrales disponibles est fixe (50 GHz), selon le nombre de transmission \mathbf{n} , le rapport signal à bruit et par conséquent le BER varie et le modèle tient compte de cette variation et fait subir un BER différent aux données d'entrée pour chaque valeur de \mathbf{n} . La table reliant le nombre de bandes de transmissions \mathbf{n} aux BER (ou de $(E_b/N_0)_{dB}$) est extraite à partir de la section 2.5.2 du chapitre deux. Cette table, données sur le tableau 4.1 ne tient compte que des interférences entre bandes de transmission.

Pour valider le modèle compact du RFNoC ainsi développé, plusieurs simulations

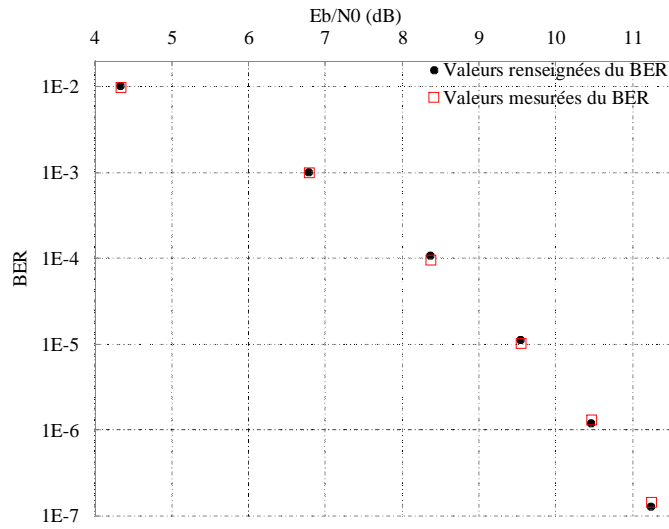


Figure 4.22 – Comparaison entre les valeurs du BER ciblées (renseignées) et celles mesurées sur le modèle du bus bruité

Table 4.1 – BER et $(E_b/N_0)_{dB}$ correspondants aux différents nombres de bandes de transmission en tenant compte uniquement des interférences.

Nombre de bandes de transmission n	$(E_b/N_0)_{dB}$	BER
≤ 6	17,7	$9,97e^{-28}$
7	14,57	$1,79e^{-14}$
8	11,93	$1,38e^{-8}$
9	9,67	$8,15e^{-6}$
≥ 10	7,73	$2,82e^{-4}$

sont effectuées avec différentes valeurs du nombre de bandes de transmission n . Pour chacune de ces valeurs de n , le BER est mesuré et est comparé à celui de la table de référence (tableau 4.1). Dans chaque cas, la valeur mesurée du BER correspond bien à celle correspondante aux nombre n introduit au modèle générique du RFNoC.

Remarque Lors de la simulation du modèle générique avec $n=10$, c'est à dire 10 émetteurs et dix récepteurs, nous avons comparé le temps nécessaire pour sa simulation (moins d'une minute) au temps équivalent nécessaire pour la simulation de la même topologie du RFNoC en utilisant les modèles comportementaux des composants (plus de deux heures). Après l'unique simulation longue, une réduction du temps de simulation de 99,8% est obtenue.

4.6 Conclusion

La modélisation comportementale des différents composants du RFNoC nous a permis d'analyser l'impact des imperfections de ces différents composants sur les performances du RFNoC en terme de qualité du signal à la sortie des récepteurs. La méthodologie montrée permet également de dimensionner les composants du RFNoC pour répondre à un cahier des charges.

Les résultats des simulations ont bien confirmé les tendances traditionnelles et attendues de l'impact des imperfections des composants du RFNoC sur ses performances globales, que ce soit en terme de bruit ou de non-linéarités.

La méthodologie présentée permet de dimensionner les composants du RFNoC pour assurer un BER minimum pour les données échangées. En effet, le dimensionnement se fait à travers quelques simulations temporelles, incluant les imperfections des composants ainsi que les interférences entre bandes de transmission. D'une part, les modèles temporels des différents composants que nous avons développés et présentés dans le chapitre trois, tiennent compte des imperfections classiques, d'autre part, le fait qu'ils soient développés en VHDL-AMS donne la possibilité de les co-simuler avec les parties numériques du MPSoC ainsi que de rajouter toute autre imperfection non traditionnelle aux modèles tel que la problématique liée à la compatibilité électromagnétique.

L'allocation la plus optimale de point de vue des interférences entre bandes de transmission (notamment en half-duplex) est la répartition uniforme des ressources spectrales disponibles avec un écart fréquentiel constant entre les bandes de transmissions adjacentes. En revanche, cette allocation accentue la dégradation du signal utile par les non-linéarités des composants du récepteur du RFNoC, notamment le LNA et le mélangeur.

Dans le cas où l'allocation de la totalité des bandes de transmission possibles n'est pas nécessaire, nos analyses ont montré qu'il faut commencer par l'allocation des bandes situées vers les deux extrémités des ressources spectrales disponibles.

Pour les simulations de longue durée de la même topologie du RFNoC, incorporé dans une simulation du MPSoC par exemple pour différents algorithmes, nous avons présenté une procédure consistant à utiliser des bus bruités et permettant de réduire le temps et les ressources de calcul. Un modèle générique du RFNoC paramétrable en nombre de bande de transmission est également développé et tient compte des interférences entre bandes de transmission.

Conclusion générale et perspectives

Le réseau sur puce basé sur des interconnexions RF est considéré comme l'une des meilleures solutions afin de pallier les limites des réseaux sur puce classiques qui sont basés sur des bus filaires fragmentés par des répéteurs. En effet, dans la littérature, il a été montré qu'en comparant les performances des NoC utilisant des paradigmes différents, les interconnexions RF présentent les meilleures performances pour les interconnexions sur puce dont le chemin à parcourir est de longueur située entre 1 *mm* et 30 *cm* [Tam 11].

Compte tenu de leur meilleur compromis entre les performances et le coût ainsi que leur intégrabilité dans les SoC, nous nous sommes intéressés aux interconnexions RF. Le haut débit de données nécessite des composants à large bande passante. La miniaturisation des antennes à très large bande pour qu'elles soient intégrées sur un MPSoC est difficile à réaliser actuellement, par conséquent, nous avons privilégié les interconnexions RF à travers une ligne de transmission.

Dans un premier temps, nous avons rappelé les concepts généraux relatifs aux interconnexions sur puce. Ensuite, nous avons montré l'état de l'art de l'ensemble des paradigmes émergents à savoir, l'intégration 3D, les interconnexions optiques, les interconnexions par nano-tubes de carbone et enfin les interconnexions RF avec et sans fil. Quelques réalisations ont été effectuées montrant les avantages et les inconvénients.

Dans un deuxième temps, nous avons fourni des modèles simplifiés d'un émetteur RF, d'un récepteur RF ainsi que d'une ligne de transmission. Ces modélisations ont été développées en VHDL-AMS et pour des simulations temporelles.

D'abord, ces modèles nous ont permis, de valider le concept du réseau sur puce basé sur des interconnexions RF en utilisant la technique d'accès multiple du FDMA. Ces simulations ont également validé l'utilisation du VHDL-AMS pour la modélisation du RFNoC. Ensuite, ces modèles nous ont permis de simuler différentes topologies du RFNoC et par conséquent d'optimiser les performances de celui-ci.

La coexistence de plusieurs bandes de transmission de données sur la ligne de

transmission du RFNoC permet certes d'augmenter le débit global, en revanche, elle n'est malheureusement pas sans conséquences négatives sur les performances du RFNoC. Afin d'isoler les conséquences des interférences entre ces bandes sur les performances du RFNoC, plusieurs configurations des communications à travers un RFNoC sont simulées grâce aux modèles simples. Cette exploration nous a permis de montrer que pour les communications de type full-duplex, il est conseillé de grouper les bandes de fréquences de communication dans une même direction sur la ligne et d'empêcher la transmission à travers l'une des deux bandes situées dans la zone de transition entre les deux ensembles de bandes groupées.

Les résultats ainsi que les constats que nous avons tirés de cet ensemble de simulations peuvent être généralisés. Ainsi, quelle que soit la topologie du RFNoC, nous conseillons d'allouer les bandes de transmissions éloignées à des couples d'émetteurs-récepteurs dont aux moins un des deux émetteurs est relié au récepteur de l'autre par une courte distance de la ligne de transmission. Inversement, allouer les bandes proches à des couples d'émetteurs-récepteurs dont l'émetteur de l'un est relié au récepteur de l'autre par une longue distances de la ligne de transmission. Cette approche permet de réduire les interférences entre bandes adjacentes.

La troisième partie de notre travail est consacrée au développement de modèles plus précis. En effet, nous avons développé les modèles de la ligne de transmission ainsi que de tous les éléments regroupés dans l'émetteur-récepteur RF. Lors du développement de ces modèles, nous avons pris en compte des paramètres essentiels caractérisant les imperfections des composants. Ces paramètres décrivent les non-linéarités, le bruit, la bande passante et éventuellement les fuites entre les ports pour ce qui est de l'amplificateur faible bruit et du mélangeur. Concernant l'oscillateur local, le bruit de phase est considéré. Les modèles que nous avons proposés constituent un approfondissement de la précision par rapport aux modèles disponibles dans la littérature. Chaque modèle est adapté pour des simulations en VHDL-AMS et pour des simulations temporelles.

Pour tous les modèles que nous avons développés, nous avons procédé par la suite à leur validation, soit par correspondance avec les paramètres renseignés soit en comparaison avec des performances des modèles proposés par des logiciels commerciaux.

Concernant la ligne de transmission, nous avons adapté le modèle d'une ligne de transmission pour des simulations temporelles. Le modèle initial a été développé pour des simulations fréquentielles et tient compte, entre autres, de l'effet de peau, des courants de Foucault et des différentes couplages capacitifs. Nous avons validé ce modèle en comparant les résultats de deux simulations, l'une temporelle et l'autre fréquentielle.

L'ensemble des modèles que nous avons développés nous a permis de valider le concept du RFNoC dans des conditions de fonctionnement de ses composants très proches de la réalité. Ces modèles permettent la co-simulation des parties numériques et analogiques du réseau sur puce basé sur des interconnexions RF et cela

constitue la contribution principale de la présente thèse.

Les modèles que nous avons développés ont été utilisés dans un contexte d'interconnexions RF pour un réseau sur puce, néanmoins, ils restent valides et utilisables pour toute simulation incluant des parties numériques et analogique sans faire appel à une co-simulation entre deux logiciels.

La modélisation comportementale des différents composants du RFNoC nous a permis d'analyser l'impact des imperfections de ces différents composants sur les performances du RFNoC en terme de qualité du signal à la sortie des récepteurs. Grâce à la simulation temporelle des ces composants, nous avons présenté une méthodologie de dimensionnement des différents composants du RFNoC afin de respecter un cahier des charges en terme de taux d'erreur binaire. Cette méthodologie prend en compte les imperfections des composant du RFNoC et les interférences entre bandes de transmission de données.

De manière générale, l'allocation la plus optimale de point de vue interférences entre bandes de transmission est la répartition uniforme des ressources spectrales disponibles avec un écart fréquentiel constant entre les bandes de transmissions adjacentes. En revanche, cette allocation accentue l'effet des non-linéarités des composants du récepteur du RFNoC, en particulier en terme d'intermodulation. Le travail que nous avons présenté a été effectué dans le contexte d'un réseau sur puce basé sur des interconnexions RF. En revanche, les contributions ainsi que les résultats peuvent être appliqués et utilisés dans d'autres types d'application, notamment les systèmes de communication en général.

Perspectives

La suite des travaux de recherche présentés dans cette thèse sont à orienter sur deux axes principaux. Le premier concerne l'aspect architecture et modélisation du RFNoC et le second concerne l'aspect reconfiguration des émetteurs-récepteurs du RFNoC.

Amélioration du modèle générique du RFNoC

Avant de pouvoir implémenter le RFNoC sur un MPSoC tel que nous l'avons décrit dans ce travail, il reste quelques points à travailler. Ces points sont :

- ✓ Mise en œuvre d'un circuit d'interface entre le RFNoC et le NoC du cluster dont le rôle est :
 - Gestion des transitions du système GALS
 - Empaquetage/des-empaquetage des messages
 - Gestion de l'allocation des ressources spectrales disponibles
 - Implémentation des codes correcteurs d'erreurs
- ✓ Évaluation de la compatibilité électromagnétique du MPSoC doté d'un RFNoC
- ✓ Mise en œuvre d'une méthode d'accès à la ligne de transmission par les émetteurs-récepteurs RF. Cette méthode doit être plus efficace que les accès directs, inductif et capacitif.

Une bibliothèque de modèles des composants du RFNoC est présentée dans cette thèse. Néanmoins, il est nécessaire de compléter cette bibliothèque :

- ✓ Modélisation de l'antenne et du canal de transmission. Ces modèles permettront d'explorer les architectures du RFNoC sans fil.
- ✓ Prise en compte des effets mémoire du LNA et du mélangeur
- ✓ Modélisation de véritables convertisseurs analogique/numérique et numérique/analogique (CAN,CNA). Grâce à ces modèles, il sera possible d'utiliser des modulation numériques de type x QAM¹ (modulation d'amplitude en quadrature) pour augmenter le débit global du RFNoC.
- ✓ Prise en compte de la consommation d'énergie des composants ce qui va permettre l'optimisation de l'architecture du RFNoC du point de vue consommation d'énergie.

Dans la section 4.5 du chapitre quatre, nous avons présenté un modèle à très haut niveau d'abstraction du RFNoC qui permet de réduire énormément le temps de simulation de celui-ci. Ce modèle est configurable en terme de nombre de bandes de communication et le modèle détermine automatiquement le BER correspondant et en tient compte. En revanche, ce modèle ne prend en compte pour déterminer ce BER que les interférences entre les bandes de transmission. Pour améliorer ce modèle, il faut établir une base de données qui contient les performances de RFNoC en terme du BER en fonction des paramètres des imperfections des composants du RFNoC et des topologies courantes du RFNoC. Ainsi, le nouveau modèle générique

1. Quadrature Amplitude Modulation. Exemple 4 QAM, 16 QAM,...

du RFNoC aura comme paramètre d'entrée, en plus du nombre de transmission, les paramètres des imperfections des composants du RFNoC et utilisera cette base de données pour déterminer le BER et le prendra en compte pour la transmission des données arrivées sur ses entrées vers ses sorties.

Reconfiguration dynamique du RFNoC

Le second axe d'orientation de la suite des travaux de recherche de la présente thèse concerne la mise en place d'une approche permettant la reconfiguration dynamique de l'accès aux ressources spectrales disponibles. En effet, pour optimiser l'utilisation des ressources spectrales disponibles, les émetteurs/récepteurs du RFNoC doivent pouvoir avoir accès dynamiquement à l'ensemble des ressources spectrales disponibles, aussi bien en terme de bande de transmission de données qu'en largeur de celle-ci (afin d'allouer plus ou moins de débit).

A l'heure actuelle, la conception d'un émetteur/récepteur RF reconfigurable et suffisamment compact est quasi-impossible. En revanche, il est tout à fait possible de faire appel aux émetteurs/récepteurs hétérodynes à fréquence intermédiaire basse (Low IF²) dont la première transposition est effectuée en numérique (figureé 4.23), sachant qu'il est tout à fait faisable de concevoir des émetteurs/récepteurs numériques reconfigurables.

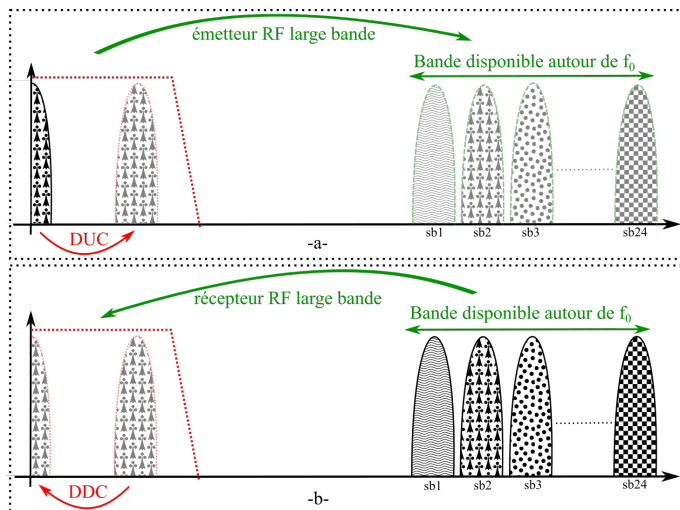


Figure 4.23 – Évolution du spectre du signal a) dans un émetteur hétérodyne et b) dans un récepteur hétérodyne.

La faisabilité de l'émetteur/récepteur numérique est largement démontrée dans la littérature. En effet, de multiples travaux ont été présentés à propos de cette thématique [Gutierrez 08] [Sarwana 11]. En outre, les deux principaux fournisseurs de

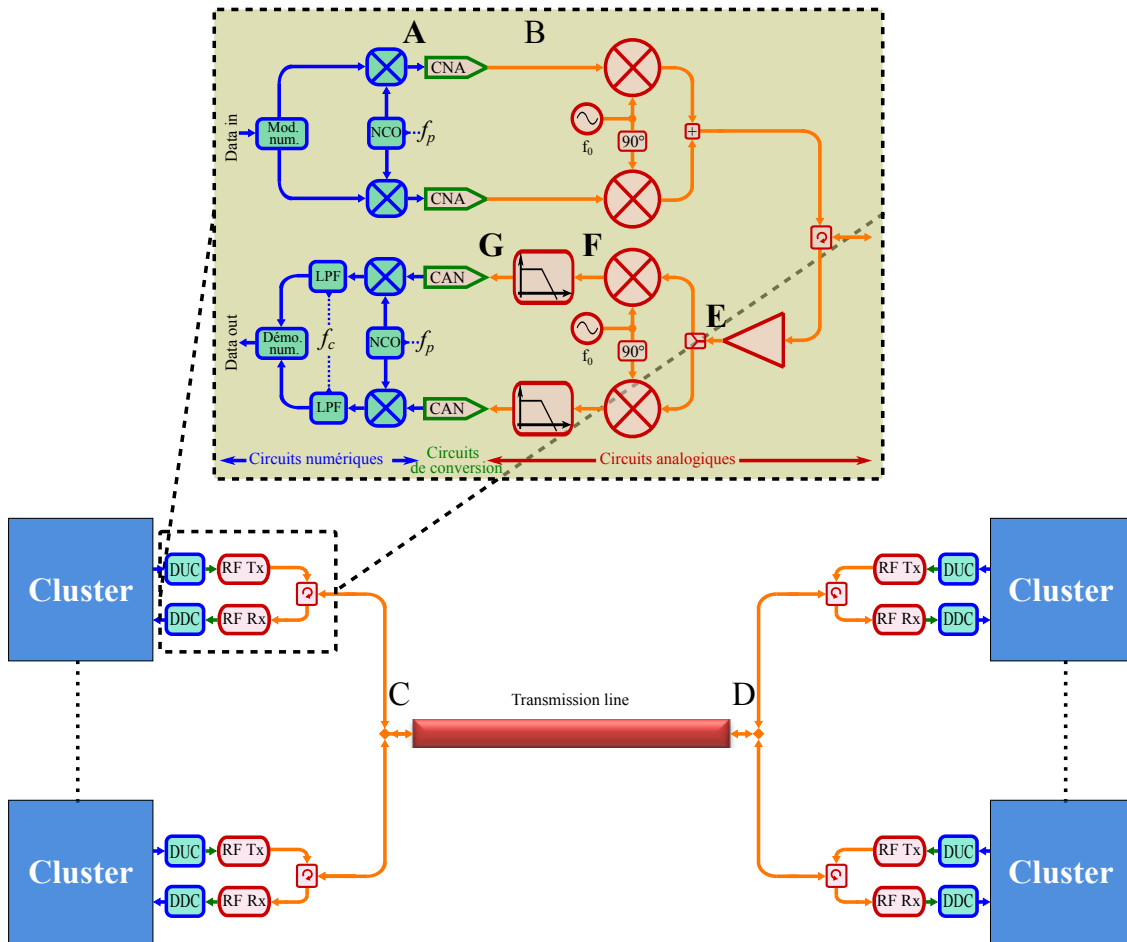


Figure 4.24 – Architecture d’un RFNoC avec des émetteurs, récepteurs reconfigurables dynamiquement.

circuits électroniques numériques programmables de type FPGA à savoir, ALTERA et XILINX, fournissent des méthodologies d’implémentation d’émetteur/récepteur numérique sur leurs plateformes respectives [ALTERA b] [Stephen 08]. Pour ce faire, ils s’appuient sur leurs outils et IP respectifs.

Des convertisseurs analogique-numérique et numérique-analogique à très haute fréquence d’échantillonnage sont proposés dans la littérature. Y. M. Greshishchev et al [Greshishchev 10] ont proposé et réalisé en technologie CMOS 65 nm un CAN pouvant atteindre les 40 GSPS avec une résolution de 6 bits, une consommation inférieure à 1,5 W et une surface de $4 \times 4 \text{ mm}^2$. M. Nagatani et al [Nagatani 11] ont proposé et réalisé, en technologie $0,5 \mu\text{m}$ InP HBT³, un CNA de 60 Gsp/s, 6 bits de résolution avec une consommation entre 0,3 à 1,8 W et une surface de $3 \times 3 \text{ mm}^2$ (avec les plots).

Plusieurs travaux ont montré la faisabilité d’un émetteur/récepteur RF qui doit

3. Indium-Phosphide Heterojunction Bipolar Transistor

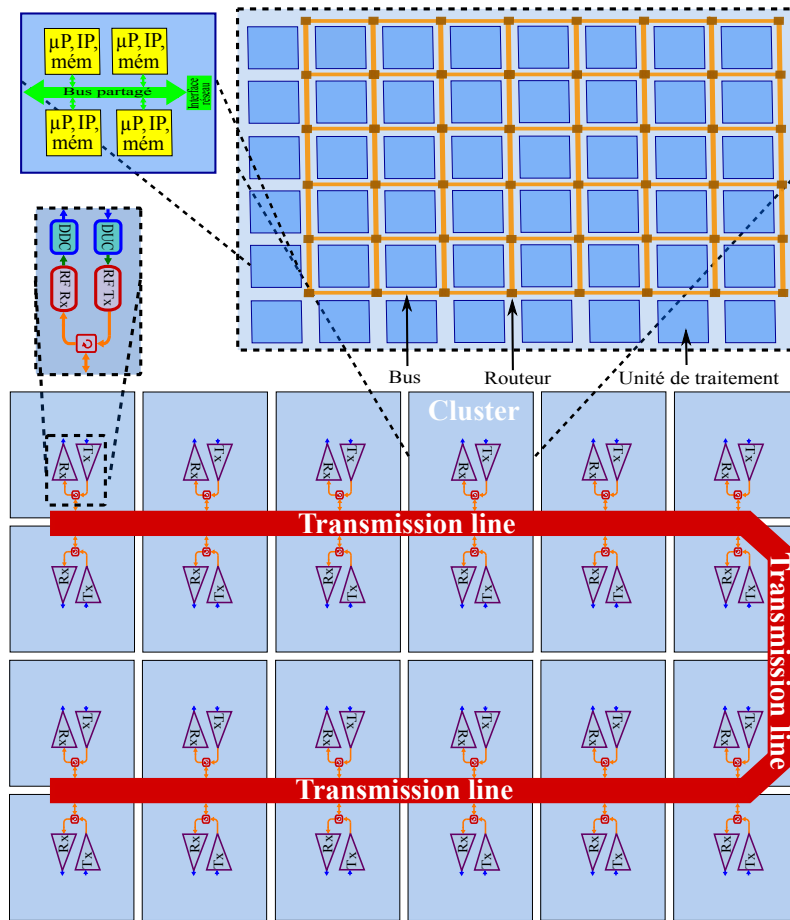


Figure 4.25 – Architecture d'un MPSoC doté d'un RFNoC reconfigurables dynamiquement.

fonctionner à la fois à haute fréquence afin de réduire ses dimensions et être suffisamment large bande. Un émetteur-récepteur pour une modulation OOK et permettant la transmission avec un débit de 3.3 Gbps et à une fréquence porteuse de 60 GHz a été montrée en technologie CMOS 90 nm [Lee 10]. Z. Xu [Xu 10] ont proposé, en technologie CMOS 65 nm, un émetteur-récepteur pour une modulation ASK à une fréquence porteuse de 131 à 140 GHz et avec un débit maximum de 2.5 Gbps. Huang et al [Huang 08] ont présenté les travaux de conception d'un circuit CMOS d'un oscillateur local de 324 GHz en technologie 90 nm. L'extrapolation des performances de l'état de l'art de la conception des circuits RF nous permet de prévoir, pour les années à venir, des émetteurs-récepteurs à très large bande et suffisamment miniaturisés pour intégrer plusieurs sur un seul SoC.

Le support de transmission dans notre cas est une ligne de transmission. Cependant, il serait plus intéressant d'utiliser les antennes. Une antenne permettant des transmissions à une fréquence de 60 GHz a été proposée dans la littérature [Yeh 13]. La largeur de sa bande peut aller jusqu'à 11 GHz.

L'architecture finale d'un MPSoC équipé d'un RFNoC reconfigurable dynamiquement est montrée en figure 4.25. Le réseau de communication de ce système est hiérarchisé. Un bus partagé permet la communication au sein de l'élément de calcul. Les éléments de calcul du même cluster communiquent via un réseau classique en grille. Enfin, les clusters communiquent à travers le RFNoC. Ainsi, il existe plusieurs niveaux de communications et seules les communications inter-clusters transitent par le RFNoC. Le nombre de cluster est déterminé en fonction du nombre d'éléments de calcul, des dimensions du RFNoC et des ressources spectrales disponibles.

La reconfigurabilité dynamique aussi bien de l'émetteur que du récepteur apportera de multiples avantages au RFNoC. Dans le cas de l'architecture montrée dans la figure 4.25, la bande totale est divisée, à largeurs égales, sur les 24 clusters du MPSoC (figure 4.26.a). Dans un fonctionnement basique, une sous-bande sera allouée à chacun des clusters en émission pour communiquer avec l'un des 23 clusters. Selon l'allocation de ressources spectrales disponibles, chaque récepteur de cluster démodule le signal provenant de l'un des 23 clusters, voire plusieurs en admettant que les récepteurs sont multi-bandes. En revanche, il se trouve que tout les initiateurs n'ont pas les mêmes besoins de communication, dans ce cas, les largeurs des sous-bandes peuvent être adaptées à ces besoins (figure 4.26.b). Enfin, l'agilité des émetteurs/récepteurs facilite les communications de type broadcast qui sont très utilisées pour la cohérence des mémoires caches des circuits de type MPSoC.

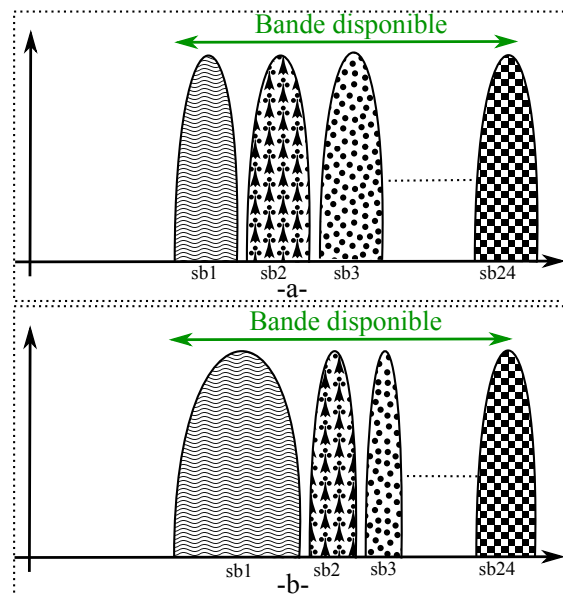


Figure 4.26 – Allocation des ressources spectrales disponibles dans les cas a) basique et b) optimisé.

Annexe **A**

Annexe

Sommaire

A.1	L_n et C_n du filtre passe-bas normalisé (fréquence de coupure à -3dB)	152
A.2	Exemple de code VHDL-AMS (mélangeur idéal)	152
A.3	Équation de Friis pour définir le facteur de bruit d'un récepteur RF	153
A.4	Méthode de calcul des coefficients du polynôme décrivant les non-linéarités du LNA	153
A.4.1	Calcul de k_{lna_3}	153
A.4.2	Calcul de k_{lna_5}	154
A.5	Contraintes sur les valeurs de l' $IP3$ et du $P1dB$ pour la validité de la modélisation polynômiale	154

A.1 L_n et C_n du filtre passe-bas normalisé (fréquence de coupure à -3dB)

N	L_1	C_1	L_2	C_2	L_3	C_3	L_4	C_4
1	2.0	-	-	-	-	-	-	-
2	1.4142	1.4142	-	-	-	-	-	-
3	1.0	2.0	1.0	-	-	-	-	-
4	0.7654	1.8478	1.8478	0.7654	-	-	-	-
5	0.6180	1.6180	2.0	1.6180	0.6180	-	-	-
6	0.5176	1.4142	1.9318	1.9318	1.4142	0.5176	-	-
7	0.4450	1.2470	1.8019	2.0	1.8019	1.2470	0.4450	-
8	0.3902	1.1111	1.6629	1.9615	1.9615	1.6629	1.1111	0.3902

A.2 Exemple de code VHDL-AMS (mélangeur idéal)

```

1 -- Bibliothèques
2 Library IEEE;
3 Use IEEE.std_logic_1164.all;
4 LIBRARY disciplines;
5 USE disciplines.Electromagnetic_system.ALL;
6
7 -- Connectique et parametres
8 ENTITY mixer IS
9     GENERIC ( Rin : Real :=50.0;
10              Rosc : Real :=50.0;
11              Rout : Real :=50.0);
12     PORT ( TERMINAL Tin, Tosc, Tout : Electrical);
13 END ENTITY Mixer_ideal;
14
15 --Architecture
16 ARCHITECTURE equ OF Mixer_ideal IS
17     QUANTITY Vrf ACROSS Irf THROUGH Tin to electrical_ground;
18     QUANTITY Vlo ACROSS Ilo THROUGH Tosc to electrical_ground;
19     QUANTITY Vout ACROSS Iout THROUGH Tout to electrical_ground;
20 BEGIN
21     Irf==Vrf/Rin;
22     Ilo==Vlo/Rosc;
23     Iout==(Vout-Vrf*Ilo)/Rout;
24 END ARCHITECTURE equ;

```

Figure A.1 – Code VHDL-AMS d'un modèle idéal du mélangeur.

A.3 Équation de Friis pour définir le facteur de bruit d'un récepteur RF

$$F_{abc} = F_a + \frac{F_b - 1}{A_a} + \frac{F_c - 1}{A_a A_b} \quad (\text{A.1})$$

Avec : F_{abc}, F_a, F_b, F_c sont les facteurs de bruit, respectivement de, l'ensemble des trois circuits (**a**, **b** et **c**), du circuit **a**, du circuit **b** et du circuit **c**. A_a, A_b, A_c sont les gains en puissance, respectivement, du circuit **a**, du circuit **b** et du circuit **c**.

A.4 Méthode de calcul des coefficients du polynôme décrivant les non-linéarités du LNA

A.4.1 Calcul de k_{lna_3}

L'équation caractérisant la partie linéaire du gain du LNA est :

$$k_{lna_1} A_{in_lna} \quad (\text{A.2})$$

Cette équation est obtenue grâce à l'expression du polynôme donnée par l'équation 3.8 dans lequel V_{in_lna} est remplacé par un signal mono-porteuse (équation 3.9) et en ne gardant que la partie linéaire de l'amplitude du signal à la fréquence fondamentale (f_{in1_lna}).

L'équation définissant la partie linéaire d'un des produits d'intermodulation est :

$$\frac{3}{4} k_{lna_3} A_{in_lna}^3 \quad (\text{A.3})$$

Cette équation est obtenue grâce à l'expression du polynôme donnée par l'équation 3.8 dans lequel V_{in_lna} est remplacé par un signal bi-porteuses (équation 3.10) et en ne gardant que la partie linéaire de l'amplitude du signal à l'une des fréquence d'intermodulation d'ordre trois ($2f_{in1_lna} - f_{in2_lna}$ ou $2f_{in2_lna} - f_{in1_lna}$).

L'abscisse du point correspondant à l'intersection des courbes définies par équation A.2 et équation A.3 correspond à l'IP3 du LNA, c'est à dire $A_{in_lna} = A_{ip3_lna}$. Ainsi, l'équation A.4 est obtenue et permet d'extraire la valeur du coefficient k_{lna_3} :

$$k_{lna_1} A_{ip3_lna} = \frac{3}{4} k_{lna_3} A_{ip3_lna}^3 \quad (\text{A.4})$$

$$k_{lna_3} = -\frac{4}{3} \frac{k_{lna_1}}{A_{ip3_lna}^2} \quad (\text{A.5})$$

Le signe moins (-) de l'expression de k_{lna_3} est imposé pour assurer une diminution du gain du LNA dans la zone de sa compression.

A.4.2 Calcul de k_{lna_5}

L'équation caractérisant le gain du LNA avec les non-linéarités :

$$k_{lna_1}A_{in_lna} + \frac{3}{4}k_{lna_3}A_{in_lna}^3 + \frac{5}{8}k_{lna_5}A_{in_lna}^5 \quad (A.6)$$

Cette équation est obtenue grâce à l'expression du polynôme donnée par l'équation 3.8 dans lequel V_{in_lna} est remplacé par un signal mono-porteuse (équation 3.9) et en ne gardant que l'amplitude du signal à la fréquence fondamentale (f_{in1_lna}).

Lorsque la puissance du signal d'entrée est égale à celle du point de compression à 1 dB ($P1dB_{lna}$ dont l'amplitude est A_{p1dB_lna}) la puissance du signal de sortie est 1 dB plus faible que celle donnée par le gain linéaire du LNA, cela se traduira par l'équation suivante :

$$10 \log \left(\frac{\left(k_{lna_1}A_{p1dB_lna} + \frac{3}{4}k_{lna_3}A_{p1dB_lna}^3 + \frac{5}{8}k_{lna_5}A_{p1dB_lna}^5 \right)^2}{2R_{out_lna}10^{-3}} \right) = 10 \log \left(\frac{(k_{lna_1}A_{p1dB_lna})^2}{2R_{out_lna}10^{-3}} \right) - 1 \quad (A.7)$$

Cette équation permet d'extraire la valeur du coefficient k_{lna_5} :

$$k_{lna_5} = \frac{8}{5} \frac{k_{lna_1}}{A_{p1dB_lna}^4} (10^{-0,05} - 1) - \frac{6}{5} \frac{k_{lna_3}}{A_{p1dB_lna}^2} \quad (A.8)$$

A.5 Contraintes sur les valeurs de l' $IP3$ et du $P1dB$ pour la validité de la modélisation polynômiale

Pour que la modélisation polynômiale du LNA ou du mélangeur, il faut que la dérivée de V_{out} par rapport à V_{in} ait une seule racine réelle :

$$\frac{\partial V_{out}}{\partial V_{in}} = 0$$

$$\Rightarrow k_1 + k_3V_{in}^2 + k_5V_{in}^4 = 0$$

A.5 Contraintes sur les valeurs de l' $IP3$ et du $P1dB$ pour la validité de la modélisation polynômiale

En posant $A = V_{in}^2$:

$$\Rightarrow k_1 + k_3A + k_5A^2 = 0$$

Le calcul du discriminant Δ donne :

$$\Delta = 9k_3^2 - 20k_1k_5$$

En exprimant les coefficients k_1 , k_3 et k_5 en fonction du Gain (ou Gain de conversion), du $P1dB$ et de l' $IP3$, nous traçons l'évolution de la valeur du discriminant Δ en fonction du $P1dB$ et de l' $IP3$ (figure A.2) :

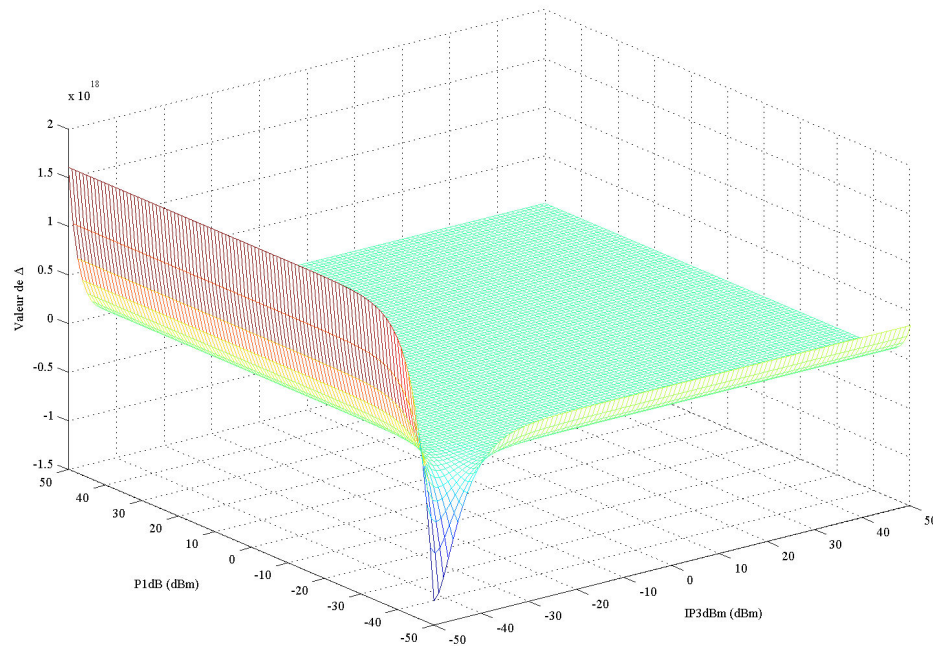


Figure A.2 – Évolution de la valeur du discriminant Δ en fonction du $P1dB$ et de l' $IP3$.

Le signe du discriminant Δ en fonction du $P1dB$ et de l' $IP3$ est donné par la figure A.3. Le discriminant Δ est positif dans les surfaces planes de la figure A.3 et négatif dans les surfaces vides.

Les natures des racines V_{in_1} et V_{in_2} en fonction du $P1dB$ et de l' $IP3$ sont données par la figure A.4. Ces racines sont réelles dans les surfaces planes de la figure A.4 et complexes dans les surfaces vides :

La validité de la modélisation polynômiale du LNA et du mélangeur est conditionnée par l'existence d'une racine réelle et unique de la dérivée du polynôme. Selon

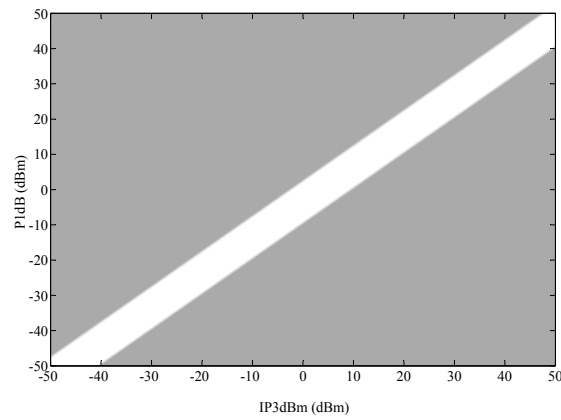


Figure A.3 – Signe du discriminant Δ en fonction du $P1dB$ et de l' $IP3$.

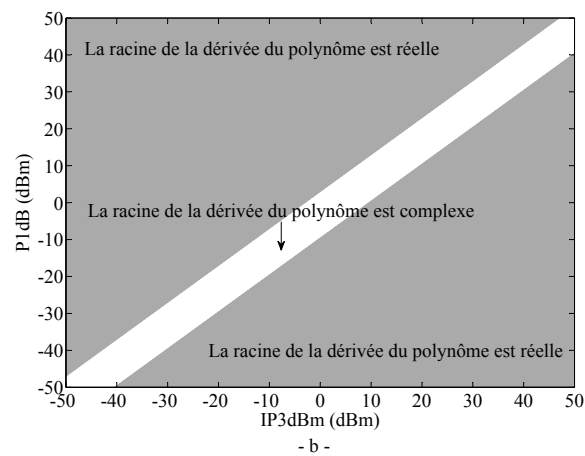
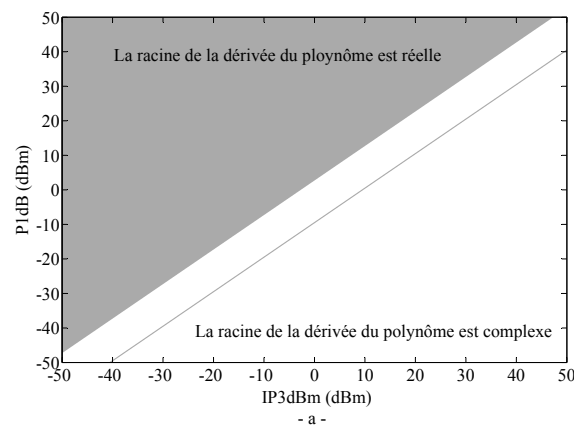


Figure A.4 – Nature des racines a) V_{in_1} et b) V_{in_2} en fonction du $P1dB$ et de l' $IP3$.

A.5 Contraintes sur les valeurs de l' $IP3$ et du $P1dB$ pour la validité de la modélisation polynômiale

la figure A.4.a et la figure A.4.b, ces conditions sont vérifiées uniquement par la surface inférieure de la figure A.4.b.

Au final, pour la validité de la modélisation polynômiale, la condition suivante doit être vérifiée : $IP3 \geq P1dB + 9,5$

Publications

Conférences internationales avec acte et comité de lecture

- ✓ **L. Zerioul**, M. Ariaudo & E. Bourdel. *Optimization of Spectral Resources Allocation in a Context of RF Network on Chip*, 13th IEEE International NEW Circuits And Systems (**NEWCAS**), Grenoble, Juin 2015.
- ✓ E. Unlu, M. Hamieh, C. Moy, M. Ariaudo, Y. Louet, F. Drillet, A. Briere, **L. Zerioul**, J. Denoulet, A. Pinna, B. Granado, F. Pecheux, C. Duperrier, S. Quintanel, O. Romain & E. Bourdel. *An OFDMA based RF interconnect for massive multi-core processors*, 8th IEEE/ACM International Symposium on Networks-on-Chip (**NoCS**), Ferrare (Italie), Septembre 2014.
- ✓ F. Drillet, M. Hamieh, **L. Zerioul**, A. Briere, E. Unlu, M. Ariaudo, Y. Louet, E. Bourdel, J. Denoulet, A. Pinna, B. Granado, P. Garda, F. Pecheux, C. Duperrier, S. Quintanel, P. Meunier, C. Moy & O. Romain. *Flexible Radio Interface for NoC RF-Interconnect*, 17th Euromicro Conference on Digital System Design (**DSD**), Vérone (Italie), Aout 2014.
- ✓ A. Briere, J. Denoulet, A. Pinna, B. Granado, F. Pecheux, P. Garda, M. Ariaudo, F. Drillet, C. Duperrier, M. Hamieh, S. Quintanel, O. Romain, **L. Zerioul**, Y. Louet, C. Moy, E. Unlu & E. Bourdel. *WiNoCoD : Un réseau d'interconnexion hiérarchique RF pour les MPSoC* Conférence d'informatique en Parallélisme, Architecture et Système (**CompAS**), Neuchâtel, Avril 2014.
- ✓ **L. Zerioul**, E. Bourdel & M. Ariaudo. *Skin effect modeling in time domain for RF network on chip*, 19th IEEE International Conference on Electronics, Circuits and Systems (**ICECS**), Séville (Espagne), Décembre 2012

Conférences nationales avec acte et comité de lecture

- ✓ **L. Zerioul**, E. Bourdel & M. Ariaudo. *Modélisation temporelle et effet du bruit des éléments d'un RFNoC*, 19^{èmes} Journées Nationales Microondes (**JNM**),

Bordeaux, Juin 2015.

- ✓ **L. Zerioul**, M. Ariaudo & E. Bourdel. *Impact de la ligne de transmission pour des interconnexions RF d'un réseau sur puce*, 18^{èmes} Journées Nationales Microondes (**JNM**), Paris, Mai 2013.

Colloques nationaux

- ✓ **L. Zerioul**, E. Bourdel & M. Ariaudo. *VHDL-AMS Modeling in Time Domain of an RF Network on Chip*, Groupement de Recherche SoC-SiP (**GDR SoC-SiP**), Paris, Juin 2014.
- ✓ **L. Zerioul**, M. Ariaudo & E. Bourdel. *Impact de l'atténuation de la ligne de transmission pour des interconnexions RF d'un réseau sur puce*, Groupement de Recherche SoC-SiP (**GDR SoC-SiP**), Lyon, Juin 2013.
- ✓ **L. Zerioul**, E. Bourdel & M. Ariaudo. *Effect of RF Interconnects Within an On-Chip Data Exchange*, Groupement de Recherche SoC-SiP (**GDR SoC-SiP**), Paris, Juin 2012.

Bibliographie

- [Abadal 13] S. Abadal, E. Alarcón, A. Cabellos-Aparicio, M. Lemme & M. Nemirovsky. *Graphene-enabled wireless communication for massive multicore architectures*. Communications Magazine, IEEE, vol. 51, no. 11, pages 137–143, November 2013. 42
- [Adriahantenaina 03] Adrijean Adriahantenaina, Herve Charlery, Alain Greiner, Laurent Mortiez & Cesar Albenes Zeferino. *SPIN : A Scalable, Packet Switched, On-Chip Micro-Network*. In Proceedings of the Conference on Design, Automation and Test in Europe : Designers' Forum - Volume 2, DATE '03, pages 20070–, Washington, DC, USA, 2003. IEEE Computer Society. 22
- [Agilent] Agilent. *Advanced Design System, Agilent Technologies*. <http://www.home.agilent.com/en/pc-1297113/advanced-design-system-ads?&cc=FR&lc=fre>. 64, 88, 89, 90, 99, 118
- [Ali 12] Syed Ali. *Performance analysis of VHDL-AMS at various levels of abstraction*. International Journal of Advanced Electronics and Communication Systems, vol. 1, no. 1, 2012. 80
- [ALTERA a] ALTERA. *Avalon Interface Specifications*. http://www.altera.com/literature/manual/mnl_avalon_spec.pdf. 11
- [ALTERA b] ALTERA. *Tool Flow for Design of Digital IF for Wireless Systems*. <http://www.altera.com/literature/an/an442.pdf>. 148
- [Amba] Amba. *AMBA Open Specifications*. <http://www.arm.com/products/system-ip/amba/amba-open-specifications.php>. 11
- [Anadigm] Anadigm. *AN121E04, AN221E04, Field Programmable Analog Arrays - User Manual*. http://www.anadigm.com/_doc/UM021200-U007.pdf. 56
- [Anderson 04] H.C. Anderson, D.A. Bersch, T.F. Giles, I.C. Macbeth, B.E. Nottingham & T.J. Streit. *System and method for configuring*

-
- analog elements in a configurable hardware device*, January 2 2004. EP Patent App. EP20,030,253,707. 56
- [ARTERIS] ARTERIS. *Arteris, the Network on Chip Company*. <http://www.arteris.com/>. 21
- [Asensi 06] G.D. Asensi, J.S. Gomez-Diaz, J. Martinez-Alajarin & R.R. Merino. *Synthesis on programmable analog devices from VHDL-AMS*. In Electrotechnical Conference, 2006. MELECON 2006. IEEE Mediterranean, pages 27–30, May 2006. 56
- [Avago] Technologies Avago. *ALM-2812 Dual-Band (2.4-2.5) GHz & (4.9-6)GHz WLAN Low Noise Amplifier*. http://www.avagotech.com/pages/en/rf_microwave/amplifiers/low_noise_amplifiers/alm-2812/. 90
- [Bartzas 09] Alexandros Bartzas, Kostas Siozios & Dimitrios Soudris. *Networks-on-chips : Theory and practice*, chapitre Three-dimensional Networks-on-Chip architectures. CRC Press, Inc., Boca Raton, FL, USA, 1st edition, 2009. 31, 67
- [Benini 06] Luca Benini & Giovanni De Michelli. *Networks on chips : technology and tools*. The Morgan Kaufmann series in systems on silicon. Elsevier Morgan Kaufmann Publishers, San Francisco, 2006. 18
- [Bialkowski 09] M. Bialkowski & A Abbosh. *Investigations into intrachip wireless interconnection for ultra large scale integration technology*. In Antennas and Propagation Society International Symposium, 2009. APSURSI '09. IEEE, pages 1–4, June 2009. 42
- [Box 58] G. E. P. Box & Mervin E. Muller. *A Note on the Generation of Random Normal Deviates*. The Annals of Mathematical Statistics, vol. 29, no. 2, pages 610–611, 06 1958. 82
- [Brière 05] M. Brière. *Flot de conception hiérarchique d'un système hétérogène : Prototypage virtuel d'un réseau d'interconnexion optique intégré*. Thèse, L'École Centrale de Lyon, Novembre 2005. 35, 82
- [Brière 14] Alexandre Brière, Julien Denoulet, Andrea Pinna, Bertrand Granado, François Pêcheux, Patrick Garda, Myriam Ariaudo, Frédéric Drillet, Cédric Duperrier, Mohamad Hamieh, Sébastien Quintanel, Olivier Romain, Lounis Zerioul, Yves Louët, Christophe Moy, Eren Unlu & Emmanuelle Bourdel. *WiNo-CoD : Un réseau d'interconnexion hiérarchique RF pour les MPSoC*. In ComPAS'2014, track architecture, pages 1–12, April 2014. 47
- [Burford 05] M. Burford & T. Kazmierski. *A VHDL-AMS Based Time Domain Skin Depth Model for Edge Coupled Lossy Transmission Stripline*. In Forum on Specification and Design Languages

-
- 2005, pages 197–208. ECSI, 2005. Event Dates : September 27-30th 2005. [112](#)
- [Carpenter 12] A Carpenter, Jianyun Hu, O. Kocabas, M. Huang & Hui Wu. *Enhancing effective throughput for transmission line-based bus*. In Computer Architecture (ISCA), 2012 39th Annual International Symposium on, pages 165–176, June 2012. [43](#)
- [Chang 01] M.-C.F. Chang, V.P. Roychowdhury, Liyang Zhang, Hyunchol Shin & Yongxi Qian. *RF/wireless interconnect for inter- and intra-chip communications*. Proceedings of the IEEE, vol. 89, no. 4, pages 456–466, Apr 2001. [39](#), [41](#), [42](#)
- [Chang 05a] AF. Chang. *CDMA/FDMA-interconnects for future ULSI communications*. In Computer-Aided Design, 2005. ICCAD-2005. IEEE/ACM International Conference on, pages 975–978, Nov 2005. [43](#)
- [Chang 05b] M.-C.F. Chang, I Verbauwhede, C. Chien, Z. Xu, Jong-sun Kim, Jenwei Ko, Qun Gu & Bo-Cheng Lai. *Advanced RF/baseband interconnect schemes for inter- and intra-ULSI communications*. Electron Devices, IEEE Transactions on, vol. 52, no. 7, pages 1271–1285, July 2005. [67](#)
- [Chang 08a] M.-C. Frank Chang, Eran Socher, Sai-Wang Tam, Jason Cong & Glenn Reinman. *RF Interconnects for Communications On-chip*. In Proceedings of the 2008 International Symposium on Physical Design, ISPD '08, pages 78–83, New York, NY, USA, 2008. ACM. [60](#), [61](#)
- [Chang 08b] M.F. Chang, J. Cong, A Kaplan, M. Naik, G. Reinman, E. Socher & S.-W. Tam. *CMP network-on-chip overlaid with multi-band RF-interconnect*. In High Performance Computer Architecture, 2008. HPCA 2008. IEEE 14th International Symposium on, pages 191–202, Feb 2008. [41](#), [43](#)
- [Chang 12] M.C.F. Chang, J. CONG, A. Kaplan, M. Naik, G. Reinman, E. Socher, S.W. Tam & C. Liu. *On-chip radio frequency (RF) interconnects for network-on-chip designs*. <http://www.google.com/patents/US8270316>, September 18 2012. US Patent 8,270,316. [42](#)
- [Chawade 12] Shubhangi D Chawade, Mahendra A Gaikwad & Rajendra M Patrikar. *Article : Review of XY Routing Algorithm for Network-on-Chip Architecture*. International Journal of Computer Applications, vol. 43, no. 21/973-93-80867-69-8, pages 20–23, April 2012. Published by Foundation of Computer Science, New York, USA. [20](#)
- [Coppola 08] Marcello Coppola, Miltos D. Grammatikakis, Riccardo Locatelli, Giuseppe Maruccia & Lorenzo Pieralisi. Design of cost-

-
- efficient interconnect processing units : Spidergon stnoc. CRC Press, Inc., Boca Raton, FL, USA, 1st edition, 2008. [9](#), [12](#), [20](#)
- [Courtay 08] Antoine Courtay. *Consommation d'énergie dans les interconnexions sur puce : Estimation de haut niveau et optimisations architecturales*. PhD thesis, Université de Bretagne Sud, 2008. [xi](#), [3](#)
- [da Rosa 12] T.R. da Rosa, V. Larrea, N. Calazans & F.G. Moraes. *Power consumption reduction in MPSoCs through DFS*. In Integrated Circuits and Systems Design (SBCCI), 2012 25th Symposium on, pages 1–6, Aug 2012. [20](#)
- [David 10] J.B. David. *Radio receiver mixer model for event-driven simulators to support functional verification of RF-SOC wireless links*. In Behavioral Modeling and Simulation Conference (BMAS), 2010 IEEE International, pages 42–47, Sept 2010. [80](#)
- [Dokhanchi 11] A Dokhanchi, A Jahanian, E. Mehrshahi & M.T. Teimoori. *Feasibility Study of Using the RF Interconnects in Large FPGAs to Improve Routing Tracks Usage*. In VLSI (ISVLSI), 2011 IEEE Computer Society Annual Symposium on, pages 1–6, July 2011. [43](#)
- [Drillet 14] F. Drillet, M. Hamieh, L. Zerioul, A. Briere, E. Unlu, M. Ariaudo, Y. Louet, E. Bourdel, J. Denoulet, A. Pinna, B. Granado, P. Garda, F. Pecheux, C. Duperrier, S. Quintanel, P. Meunier, C. Moy & O. Romain. *Flexible Radio Interface for NoC RF-Interconnect*. In Digital System Design (DSD), 2014 17th Euromicro Conference on, pages 36–41, Aug 2014. [48](#)
- [Floyd 02] B.A. Floyd, Chih-Ming Hung & K.K. O. *Intra-chip wireless interconnect for clock distribution implemented with integrated antennas, receivers, and transmitters*. Solid-State Circuits, IEEE Journal of, vol. 37, no. 5, pages 543–552, May 2002. [21](#)
- [Friis 44] H.T. Friis. *Noise Figures of Radio Receivers*. Proceedings of the IRE, vol. 32, no. 7, pages 419–422, July 1944. [81](#)
- [Ganguly 09] A Ganguly, K. Chang, P.P. Pande, B. Belzer & Alireza Nojeh. *Performance evaluation of wireless networks on chip architectures*. In Quality of Electronic Design, 2009. ISQED 2009. Quality Electronic Design, pages 350–355, March 2009. [45](#)
- [Ganguly 11a] A Ganguly, K. Chang, S. Deb, P.P. Pande, B. Belzer & C. Teuscher. *Scalable Hybrid Wireless Network-on-Chip Architectures for Multicore Systems*. Computers, IEEE Transactions on, vol. 60, no. 10, pages 1485–1502, Oct 2011. [45](#)

-
- [Ganguly 11b] A Ganguly, P. Wettin, K. Chang & P. Pande. *Complex network inspired fault-tolerant NoC architectures with wireless links*. In Networks on Chip (NoCS), 2011 Fifth IEEE/ACM International Symposium on, pages 169–176, May 2011. [45](#)
- [Gautier 14a] Jean-Luc Gautier, Myriam Ariaudo, Cédric Duperrier & Sébastien Quintanel. *Conception des dispositifs actifs hyperfréquences*. germes. Lavoisier, Paris, France, 2014. [93](#)
- [Gautier 14b] Jean-Luc Gautier, Sébastien Quintanel, Myriam Ariaudo & Cédric Duperrier. *Design of microwave active devices*. ISTE. Wiley, Hoboken, NJ, 2014. [61](#), [87](#), [93](#), [97](#)
- [Goossens 05] K. Goossens, J. Dielissen & A. Radulescu. *AEthereal network on chip : concepts, architectures, and implementations*. Design Test of Computers, IEEE, vol. 22, no. 5, pages 414–421, Sept 2005. [22](#)
- [Graham 05] A.P. Graham, G.S. Duesberg, W. Hoenlein, F. Kreupl, M. Liebau, R. Martin, B. Rajasekharan, W. Pamler, R. Seidel, W. Steinhögl & E. Unger. *How do carbon nanotubes fit into the semiconductor roadmap ?* Applied Physics A, vol. 80, no. 6, pages 1141–1151, 2005. [xi](#), [38](#)
- [Green 07] William M. Green, Michael J. Rooks, Lidija Sekaric & Yurii A. Vlasov. *Ultra-compact, low RF power, 10 Gb/s silicon Mach-Zehnder modulator*. Opt. Express, vol. 15, no. 25, pages 17106–17113, Dec 2007. [34](#)
- [Greshishchev 10] Y.M. Greshishchev, J. Aguirre, M. Besson, R. Gibbins, C. Falt, P. Flemke, N. Ben-Hamida, D. Pollex, P. Schvan & Shing-Chi Wang. *A 40GS/s 6b ADC in 65nm CMOS*. In Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International, pages 390–391, Feb 2010. [41](#), [148](#)
- [Gutierrez 08] Jorge Gutierrez. *Universal Digital Radio Transmitter for Multistandard Applications*. Theses, Université de Cergy Pontoise, 2008. [147](#)
- [Haurylau 06] M. Haurylau, G. Chen, H. Chen, J. Zhang, N. A. Nelson, D. H. Albonesi, E. G. Friedman & P. M. Fauchet. *On-Chip Optical Interconnect Roadmap : Challenges and Critical Directions*. Selected Topics in Quantum Electronics, IEEE Journal of, vol. 12, no. 6, pages 1699–1705, Nov 2006. [33](#)
- [He 06] Jie He, Jun Seok Yang, Yongsup Kim & AS. Kim. *System-Level Time-Domain Behavioral Modeling for A Mobile WiMax Transceiver*. In Behavioral Modeling and Simulation Workshop, Proceedings of the 2006 IEEE International, pages 138–143, Sept 2006. [80](#)

-
- [Huang 08] Daquan Huang, T.R. LaRocca, M.-C.F. Chang, L. Samoska, A. Fung, R.L. Campbell & M. Andrews. *Terahertz CMOS Frequency Generator Using Linear Superposition Technique*. Solid-State Circuits, IEEE Journal of, vol. 43, no. 12, pages 2730–2738, Dec 2008. 42, 149
- [IBM] IBM. *CoreConnect Bus Architecture*. https://www-01.ibm.com/chips/techlib/techlib.nsf/productfamilies/CoreConnect_Bus_Architecture. 11
- [iee 07] *IEEE Standard VHDL Analog and Mixed-Signal Extensions*. IEEE Std 1076.1-2007 (Revision of IEEE Std 1076.1-1999), pages c1–328, Nov 2007. 54
- [Itrs] Itrs. *The International Technology Roadmap for Semiconductors (ITRS), 2007*, <http://www.itrs.net/>. 2, 39
- [Jaber 07] Karim Jaber, Ahmed Fakhfakh & Nouri Masmoudi. *VHDL-AMS Behavioral Modeling and Simulation of M-QAM transceiver system*. In 4th International Conference : Sciences Of Electronic, Technologies Of Information And Telecommunications, March 2007. 80
- [Joannon 06] Y. Joannon, V. Beroulle, R. Khouri, C. Robach, S. Tedjini & J.-L. Carbonero. *Behavioral modeling of WCDMA transceiver with VHDL-AMS language*. In Design and Diagnostics of Electronic Circuits and systems, 2006 IEEE, pages 111–116, April 2006. 80
- [Johnson 11] D.R. Johnson, M.R. Johnson, J.H. Kelm, W. Tuohy, Steven S. Lumetta & S.J. Patel. *Rigel : A 1,024-Core Single-Chip Accelerator Architecture*. Micro, IEEE, vol. 31, no. 4, pages 30–41, July 2011. 8
- [Joshi 09] A. Joshi, C. Batten, Yong-Jin Kwon, S. Beamer, I. Shamim, K. Asanovic & V. Stojanovic. *Silicon-photonic clos networks for global on-chip communication*. In Networks-on-Chip, 2009. NoCS 2009. 3rd ACM/IEEE International Symposium on, pages 124–133, May 2009. xi, 34, 35
- [Kaplan 11] A.B. Kaplan & J.L. Dickie. Architectural integration of rf-interconnect to enhance on-chip communication for many-core chip multiprocessors. BiblioBazaar, 2011. xi, 43, 44
- [Kempa 07] K. Kempa, J. Rybczynski, Z. Huang, K. Gregorczyk, A. Vidan, B. Kimball, J. Carlson, G. Benham, Y. Wang, A. Herczynski & Z. Ren. *Carbon Nanotubes as Optical Antennae*. Advanced Materials, vol. 19, no. 3, pages 421–426, 2007. 42
- [Kim 07] Jongman Kim, Chrysostomos Nicopoulos, Dongkook Park, Reetuparna Das, Yuan Xie, Vijaykrishnan Narayanan, Mazin S. Yousif & Chita R. Das. *A Novel Dimensionally-*

-
- decomposed Router for On-chip Communication in 3D Architectures*. In Proceedings of the 34th Annual International Symposium on Computer Architecture, ISCA '07, pages 138–149, New York, NY, USA, 2007. ACM. [xi](#), [28](#), [29](#)
- [Kim 11] Jongsun Kim, Gyungsu Byun & M. Frank Chang. *A Low-Overhead and Low-Power RF Transceiver for Short-Distance On and Off-Chip Interconnects*. *Ieice Transactions*, vol. 94-C, pages 854–857, 2011. [42](#)
- [Kim 12] Yanghyo Kim, Sai-Wang Tam, Gyung-Su Byun, Hao Wu, Lan Nan, G. Reinman, J. Cong & M. C F Chang. *Analysis of Non-coherent ASK Modulation-Based RF-Interconnect for Memory Interface*. *Emerging and Selected Topics in Circuits and Systems*, *IEEE Journal on*, vol. 2, no. 2, pages 200–209, June 2012. [41](#)
- [Kordrostami 08] Zoheir Kordrostami, Mohammad Hossein Sheikhi & Reza Mohammadzadegan. *Modeling Electronic Properties of Multiwall Carbon Nanotubes*. *Fullerenes, Nanotubes and Carbon Nanostructures*, vol. 16, no. 1, pages 66–77, 2008. [38](#)
- [Kurian 10] George Kurian, Jason E. Miller, James Psota, Jonathan Eastep, Jifeng Liu, Jurgen Michel, Lionel C. Kimerling & Anant Agarwal. *ATAC : A 1000-core Cache-coherent Processor with On-chip Optical Network*. In Proceedings of the 19th International Conference on Parallel Architectures and Compilation Techniques, PACT '10, pages 477–488, New York, NY, USA, 2010. ACM. [36](#)
- [Lafi 11] Walid Lafi. *Architectures multiprocesseurs pour applications de télécommunication basées sur les technologies d'intégration 3D*. Thèse, Université de Grenoble, 2011. [30](#)
- [Lee 09] Suk-Bok Lee, Sai-Wang Tam, Ioannis Pefkianakis, Songwu Lu, M. Frank Chang, Chuanxiong Guo, Glenn Reinman, Chunyi Peng, Mishali Naik, Lixia Zhang & Jason Cong. *A Scalable Micro Wireless Interconnect Structure for CMPs*. In Proceedings of the 15th Annual International Conference on Mobile Computing and Networking, MobiCom '09, pages 217–228, New York, NY, USA, 2009. ACM. [xii](#), [46](#), [47](#)
- [Lee 10] Jri Lee, Y. Chen & Yenlin Huang. *A Low-Power Low-Cost Fully-Integrated 60-GHz Transceiver System With OOK Modulation and On-Board Antenna Assembly*. *Solid-State Circuits*, *IEEE Journal of*, vol. 45, no. 2, pages 264–275, Feb 2010. [42](#), [149](#)
- [Li 05] Hong-qiang Li & Chang-yun Miao. *Behavioral modeling and simulation of RF LNA with VHDL-AMS*. volume 6035, pages 60351H–60351H–9, 2005. [79](#), [87](#)

-
- [Li 08] Hong Li, Wen-Yan Yin, K. Banerjee & Jun-Fa Mao. *Circuit Modeling and Performance Analysis of Multi-Walled Carbon Nanotube Interconnects*. Electron Devices, IEEE Transactions on, vol. 55, no. 6, pages 1328–1337, June 2008. 38
- [Ludovici 11] Daniele Ludovici, Alessandro Strano, Georgi N. Gaydadjiev & Davide Bertozzi. *Mesochronous NoC Technology for Power-efficient GALS MPSoCs*. In Proceedings of the Fifth International Workshop on Interconnection Network Architecture : On-Chip, Multi-Chip, INA-OCMC '11, pages 27–30, New York, NY, USA, 2011. ACM. 21
- [Maas 93] S.A. Maas. Microwave mixers. ARTECH HOUSE ANTENNAS AND PROPAGATION LIBRARY. Artech House, 1993. 93
- [McEuen 02] P.L. McEuen, Michael S. Fuhrer & H. Park. *Single-walled carbon nanotube electronics*. Nanotechnology, IEEE Transactions on, vol. 1, no. 1, pages 78–85, Mar 2002. 38
- [Mentor] Graphics Mentor. *Questa ADMS, Complex Analog/Mixed-Signal System-on-Chip Designs*. http://www.mentor.com/products/fv/advance_ms/. 80
- [Moraes 04] Fernando Moraes, Ney Calazans, Aline Mello, Leandro Möller & Luciano Ost. *HERMES : an infrastructure for low area overhead packet-switching networks on chip*. Integration, the {VLSI} Journal, vol. 38, no. 1, pages 69 – 93, 2004. 22
- [Moussa 07] H. Moussa, O. Muller, A. Baghdadi & M. Jezequel. *Butterfly and Benes-Based on-Chip Communication Networks for Multiprocessor Turbo Decoding*. In Design, Automation Test in Europe Conference Exhibition, 2007. DATE '07, pages 1–6, April 2007. 16
- [Mullins 06] R. Mullins. *Minimising Dynamic Power Consumption in On-Chip Networks*. In System-on-Chip, 2006. International Symposium on, pages 1–4, Nov 2006. 10
- [Murali 05] S. Murali, T. Theocharides, N. Vijaykrishnan, M.J. Irwin, L. Benini & G. De Micheli. *Analysis of error recovery schemes for networks on chips*. Design Test of Computers, IEEE, vol. 22, no. 5, pages 434–442, Sept 2005. 67
- [Nagatani 11] M. Nagatani, H. Nosaka, K. Sano, K. Murata, K. Kurishima & M. Ida. *A 60-GS/s 6-Bit DAC in 0.5- μ m InP HBT Technology for Optical Communications Systems*. In Compound Semiconductor Integrated Circuit Symposium (CSICS), 2011 IEEE, pages 1–4, Oct 2011. 41, 148
- [Nesrine 06] Ksentini Nesrine, Fakhfakh Ahmed, Loulou Mourad, Mas-moudi Nouri & Charlot Jean-Jacques. *Développement d'un*

-
- outil de synthèse analogique pour les systèmes à courants commutés utilisant VHDL-AMS*. Lebanese Science Journal, vol. 7, no. 1, Sept 2006. [56](#)
- [Nguyen Tran 08] Linh Nguyen Tran, D. Pasquet, Emmanuelle Bourdel & S. Quintanel. *CAD-Oriented Model of a Coplanar Line on a Silicon Substrate Including Eddy-Current Effects and Skin Effect*. Microwave Theory and Techniques, IEEE Transactions on, vol. 56, no. 3, pages 663–670, March 2008. [112](#), [114](#), [115](#), [119](#)
- [Nguyen Tran 09] Linh Nguyen Tran. *Caractérisation et modélisation d'interconnexions et d'inductances en technologie BiCMOS. Application à l'amplification faible bruit*. Thèse, Université de Cergy-Pontoise, May 2009. [112](#)
- [Nicolle 07] B. Nicolle, W. Tatinian, G. Jacquemod, J.-J. Mayol & J. Oudinot. *RF library based on block diagram and behavioral descriptions*. In Behavioral Modeling and Simulation Workshop, 2007. BMAS 2007. IEEE International, pages 52–57, Sept 2007. [79](#), [87](#)
- [Nikitin 04] P. Nikitin, E. Normark, C. Wakayama & R. Shi. *VHDL-AMS modeling and simulation of a BPSK transceiver system*. In Proceedings of IEEE International Conference on Circuit and Systems for Communications, 2004. [80](#)
- [Nikitin 07] Pavel V. Nikitin & C.-J. Richard Shi. *VHDL-AMS based modeling and simulation of mixed-technology microsystems : a tutorial*. Integration, the {VLSI} Journal, vol. 40, no. 3, pages 261 – 273, 2007. [55](#)
- [Normark 04] E. Normark, Lei Yang, C. Wakayama, P. Nikitin & R. Shi. *VHDL-AMS behavioral modeling and simulation of a $\pi/4$ DQPSK transceiver system*. In Behavioral Modeling and Simulation Conference, 2004. BMAS 2004. Proceedings of the 2004 IEEE International, pages 119–124, Oct 2004. [80](#)
- [O 05] K.K. O, K. Kim, B. Floyd, J. Mehta, H. Yoon, C.-M. Hung, D. Bravo, T. Dickson, X. Guo, R. Li, N. Trichy, J. Caserta, W. Bomstad, J. Branch, D.-J. Yang, J. Bohorquez, J. Chen, E.-Y. Seok, L. Gao, A Sugavanam, J.-J. Lin, S. Yu, C. Cao, M.-H. Hwang, Y.-R. Ding, S.-H. Hwang, H. Wu, N. Zhang & J.E. Brewer. *The feasibility of on-chip interconnection using antennas*. In Computer-Aided Design, 2005. ICCAD-2005. IEEE/ACM International Conference on, pages 979–984, Nov 2005. [42](#)
- [Oppenheim 09] Alan V. Oppenheim & Ronald W. Schaffer. Discrete-time signal processing. Prentice Hall Press, Upper Saddle River, NJ, USA, 3rd edition, 2009. [109](#)

-
- [Pasricha 08] Sudeep Pasricha & Nikil Dutt. On-chip communication architectures - system on chip interconnect. Elsevier, USA, 1st edition, 2008. [xi](#), [3](#), [13](#), [15](#), [17](#), [33](#)
- [Pavlidis 07] V.F. Pavlidis & E.G. Friedman. *3-D Topologies for Networks-on-Chip*. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, vol. 15, no. 10, pages 1081–1090, Oct 2007. [30](#)
- [Pecheux 06] F. Pecheux, C. Lallement & A. Vachoux. *VHDL-AMS and Verilog-AMS As Alternative Hardware Description Languages for Efficient Modeling of Multidiscipline Systems*. Trans. Comp.-Aided Des. Integ. Cir. Sys., vol. 24, no. 2, pages 204–225, November 2006. [55](#)
- [Peterson 02] Gregory Peterson, Peter Ashenden & Darrell Teegarden. The system designer’s guide to vhdl-ams. Morgan Kaufmann Publishers Inc., San Francisco, CA, USA, 2002. [54](#)
- [Raychowdhury 04] A. Raychowdhury & K. Roy. *A circuit model for carbon nanotube interconnects : comparative study with Cu interconnects for scaled technologies*. In Computer Aided Design, 2004. ICCAD-2004. IEEE/ACM International Conference on, pages 237–240, Nov 2004. [38](#)
- [Razavi 98] Behzad Razavi. Rf microelectronics. Prentice-Hall, Inc., Upper Saddle River, NJ, USA, 1998. [95](#)
- [Riad 10] Tamer Riad & Qi Jing. *A nonlinear S-parameters behavioral model for RF LNAs*. In Quality Electronic Design (ASQED), 2010 2nd Asia Symposium on, pages 106–111, Aug 2010. [80](#)
- [Rodriguez 06] Samuel Rodriguez & Bruce Jacob. *Energy/Power Breakdown of Pipelined Nanometer Caches (90Nm/65Nm/45Nm/32Nm)*. In Proceedings of the 2006 International Symposium on Low Power Electronics and Design, ISLPED ’06, pages 25–30, New York, NY, USA, 2006. ACM. [10](#)
- [Rosenfeld 06] J. Rosenfeld & E.G. Friedman. *Design methodology for global resonant H-tree clock distribution networks*. In Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on, pages 4 pp.–2076, May 2006. [21](#)
- [Sarwana 11] S. Sarwana, D.E. Kirichenko, V.V. Dotsenko, A.F. Kirichenko, S.B. Kaplan & D. Gupta. *Multi-Band Digital-RF Receiver*. Applied Superconductivity, IEEE Transactions on, vol. 21, no. 3, pages 677–680, June 2011. [147](#)
- [Scandurra 08] Alberto Scandurra & Ian O’Connor. *Scalable CMOS-compatible photonic routing topologies for versatile networks on chip*. In First International Workshop on Network on Chip Architectures, pages 44–50, November 2008. [xi](#), [21](#), [35](#)

-
- [Sen 98] B.K. Sen & R.L. Wheeler. *Skin effects models for transmission line structures using generic SPICE circuit simulators*. In Electrical Performance of Electronic Packaging, 1998. IEEE 7th Topical Meeting on, pages 128–131, Oct 1998. 56
- [Shacham 08] A. Shacham, K. Bergman & L.P. Carloni. *Photonic Networks-on-Chip for Future Generations of Chip Multiprocessors*. Computers, IEEE Transactions on, vol. 57, no. 9, pages 1246–1260, Sept 2008. xi, 36, 37
- [Siebert 09] K. Siebert, H. Gunther, S. Frei & W. Mickisch. *Modeling of Frequency Dependent Losses of Transmission Lines with VHDL-AMS in Time Domain*. In Electromagnetic Compatibility, 2009 20th International Zurich Symposium on, pages 313–316, Jan 2009. 112, 115
- [Socher 07] E. Socher & M.-C.F. Chang. *Can RF Help CMOS Processors? [Topics in Circuits for Communications]*. Communications Magazine, IEEE, vol. 45, no. 8, pages 104–111, August 2007. 42
- [Staszewski 05] R.B. Staszewski, C. Fernando & P.T. Balsara. *Event-driven Simulation and modeling of phase noise of an RF oscillator*. Circuits and Systems I : Regular Papers, IEEE Transactions on, vol. 52, no. 4, pages 723–733, April 2005. 108
- [Stephen 08] Creaney Stephen & Kostarnov Igor. *Designing Efficient Digital Up and Down Converters for Narrowband Systems*. http://www.xilinx.com/support/documentation/application_notes/xapp1113.pdf, December 2008. 148
- [STM] STM. *STBus presentation*. <http://www.design-reuse.com/articles/16092/stbus-complex-interconnect-design-and-verification-for-a-hdtv-soc.html>. 11, 21
- [Sun 05] M. Sun & Y.-P. Zhang. *Performance of inter-chip RF-interconnect using CPW, capacitive coupler, and UWB transceiver*. Microwave Theory and Techniques, IEEE Transactions on, vol. 53, no. 9, pages 2650–2655, Sept 2005. 41, 124
- [Tam 09] Sai-Wang Tam, E. Socher, Alden Wong & M. C F Chang. *A simultaneous tri-band on-chip RF-interconnect for future network-on-chip*. In VLSI Circuits, 2009 Symposium on, pages 90–91, June 2009. 43
- [Tam 11] Sai-Wang Tam, M.F. Chang & Jongsun Kim. *Wireline and wireless RF-Interconnect for next generation SoC systems*. In Circuits and Systems (MWSCAS), 2011 IEEE 54th International Midwest Symposium on, pages 1–3, Aug 2011. 48, 143

-
- [Tao 08] Cheng Tao, P. Teemu, T. Esa & H. Tenhunen. *RF Transceiver Circuit Technology Based Wireless Interconnects for Inter- and Intra-Chip Communication System*. In Electronics Packaging Technology Conference, 2008. EPTC 2008. 10th, pages 1409–1414, Dec 2008. [xi](#), [41](#)
- [Terosiet 12] Mehdi Terosiet. *Conception d'un oscillateur robuste contrôlé numériquement pour l'horlogerie des SoCs*. PhD thesis, Université Pierre et Marie Curie, 2012. [21](#)
- [Unlu 14] E. Unlu, M. Hamieh, C. Moy, M. Ariaudo, Y. Louet, F. Drillet, A. Briere, L. Zeriuol, J. Denoulet, A. Pinna, B. Granado, F. Pecheux, C. Duperrier, S. Quintanel, O. Romain & E. Bourdel. *An OFDMA based RF interconnect for massive multi-core processors*. In Networks-on-Chip (NoCS), 2014 Eighth IEEE/ACM International Symposium on, pages 182–183, Sept 2014. [47](#), [48](#)
- [Vangal 08] S.R. Vangal, J. Howard, G. Ruhl, S. Dighe, H. Wilson, J. Tschanz, D. Finan, A. Singh, T. Jacob, S. Jain, V. Erraguntla, C. Roberts, Y. Hoskote, N. Borkar & S. Borkar. *An 80-Tile Sub-100-W TeraFLOPS Processor in 65-nm CMOS*. Solid-State Circuits, IEEE Journal of, vol. 43, no. 1, pages 29–41, Jan 2008. [8](#)
- [Vantrease 08] Dana Vantrease, Robert Schreiber, Matteo Monchiero, Moray McLaren, Norman P. Jouppi, Marco Fiorentino, Al Davis, Nathan Binkert, Raymond G. Beausoleil & Jung Ho Ahn. *Corona : System Implications of Emerging Nanophotonic Technology*. SIGARCH Comput. Archit. News, vol. 36, no. 3, pages 153–164, June 2008. [36](#)
- [Wang 12] Zhehui Wang, Jiang Xu, Xiaowen Wu, Yaoyao Ye, Wei Zhang, Mahdi Nikdast, Xuan Wang & Zhe Wang. *Floorplan Optimization of Fat-Tree Based Networks-on-Chip for Chip Multiprocessors*. IEEE Transactions on Computers, vol. 99, no. Pre-Prints, page 1, 2012. [16](#)
- [Xu 05] Qianfan Xu, Bradley Schmidt, Sameer Pradhan & Michal Lipson. *Micrometre-scale silicon electro-optic modulator*. Nature, vol. 435, no. 7040, pages 325–327, May 2005. [34](#)
- [Xu 10] Z. Xu, Q.J. Gu, Yi-Cheng Wu, A Tang, Yu-Ling Lin, Ho-Hsian Chen, Chewnpu Jou & M.-C.F. Chang. *D-band CMOS transmitter and receiver for multi-giga-bit/sec wireless data link*. In Custom Integrated Circuits Conference (CICC), 2010 IEEE, pages 1–4, Sept 2010. [42](#), [149](#)
- [Xu 11] Jian-Fei Xu & Na Yan. *Analysis and Simulation for RF Interconnect*. In Progress In Electromagnetics Research Sympo-

-
- sium, PIERS, pages 1410 – 1414, Suzhou, China, September 2011. [41](#)
- [Yang 04] W. Yang, H. Carter & J. Yan. *A high-level VHDL-AMS model design methodology for analog RF LNA and mixer*. In Behavioral Modeling and Simulation Conference, 2004. BMAS 2004. Proceedings of the 2004 IEEE International, pages 125–129, Oct 2004. [79](#), [87](#)
- [Yeh 13] Ho-Hsin Yeh & K.L. Melde. *Development of 60-GHz Wireless Interconnects for Interchip Data Transmission*. Components, Packaging and Manufacturing Technology, IEEE Transactions on, vol. 3, no. 11, pages 1946–1952, Nov 2013. [149](#)
- [Yoo 08] Hoi-Jun Yoo, Kangmin Lee & Jun Kyong Kim. *Low-power noc for high-performance soc design*. CRC Press, Inc., Boca Raton, FL, USA, 1st edition, 2008. [xvii](#), [23](#)
- [Yuan 10] Haiquan Yuan, Fujiang Lin, Zhongqian Fu & Lu Huang. *A 0.18 μm CMOS inductorless complementary-noise-canceling-LNA for TV tuner applications*. Journal of Semiconductors, vol. 31, no. 12, pages 1–6, December 2010. [85](#)
- [Zerioul 12] L. Zerioul, E. Bourdel & M. Ariaudo. *Skin effect modeling in time domain for RF network on chip*. In Electronics, Circuits and Systems (ICECS), 2012 19th IEEE International Conference on, pages 721–724, Dec 2012. [111](#)
- [Zerioul 15] L. Zerioul, M. Ariaudo & E. Bourdel. *Optimization of Spectral Resources Allocation in a Context of RF Network on Chip*. In NEW Circuits And Systems (NEWCAS), 2015 13th IEEE International Conference on, page [Accepté](#), Jun 2015. [67](#)
- [Zhan 15] Jia Zhan, Jin Ouyang, Fen Ge, Jishen Zhao & Yuan Xie. *Dim-NoC : A dim silicon approach towards power-efficient on-chip network*. In Design Automation Conference (DAC), 2015 52nd ACM/EDAC/IEEE, pages 1–6, June 2015. [10](#)
- [Zhao 07] Dan Zhao, Yi Wang & Hongyi Wu. *Dual-channel Binary-countdown Medium Access Control in Wireless Network-on-chip*. In Proceedings of the 2Nd International Conference on Nano-Networks, Nano-Net '07, pages 11 :1–11 :5, ICST, Brussels, Belgium, Belgium, 2007. ICST (Institute for Computer Sciences, Social-Informatics and Telecommunications Engineering). [46](#)
- [Zhao 08] Dan Zhao & Yi Wang. *SD-MAC : Design and Synthesis of a Hardware-Efficient Collision-Free QoS-Aware MAC Protocol for Wireless Network-on-Chip*. Computers, IEEE Transactions on, vol. 57, no. 9, pages 1230–1245, Sept 2008. [46](#)

[Zhao 11]

Dan Zhao, Yi Wang, Jian Li & T. Kikkawa. *Design of multi-channel wireless NoC to improve on-chip communication capacity!* In Networks on Chip (NoCS), 2011 Fifth IEEE/ACM International Symposium on, pages 177–184, May 2011. [xi](#), [45](#), [46](#)