HAL
open science

Étude de la technique des courants commutés. Application à la conversion analogique-numérique sigma-delta

Mourad Loulou

To cite this version:

Mourad Loulou. Étude de la technique des courants commutés. Application à la conversion analogique-numérique sigma-delta. Micro et nanotechnologies/Microélectronique. Université Bordeaux 1, 1998. Français. NNT : . tel-01216005

HAL Id: tel-01216005

https://hal.science/tel-01216005v1

Submitted on 15 Oct 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre 1990

THESE

PRESENTEE A

L'UNIVERSITE BORDEAUX I

ECOLE DOCTORALE DES SCIENCES PHYSIQUES
ET DE L'INGENIEUR

par **Mourad LOULOU**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPECIALITE : **Electronique**

Etude de la technique des courants commutés. Application à la conversion analogique-numérique sigma-delta.

---

qui sera soutenue le : 23 novembre 1998

Après avis des rapporteurs :

Monsieur Lotfi KAMOUN	Maître de Conférences, ENI Sfax (Tunisie)
Monsieur Richard KIELBASA	Professeur, SUPELEC Gif sur Yvette

Devant la Commission d'examen formée de :

Monsieur Dominique DALLET	Maître de Conférences, ENSER Bordeaux
Monsieur Lotfi KAMOUN	Maître de Conférences, ENI Sfax (Tunisie)
Monsieur Richard KIELBASA	Professeur, SUPELEC Gif sur Yvette
Monsieur Philippe MARCHEGAY	Professeur, ENSER Bordeaux
Monsieur Dominique MORCHE	Ingénieur, C.N.E.T. Grenoble
Monsieur Youssef MLIK	Professeur, IPEI Sfax (Tunisie)
Monsieur André TOUBOUL	Professeur, Université Bordeaux 1

- 1998 -

N° d'ordre 1990

THESE

PRESENTEE A

L'UNIVERSITE BORDEAUX I

ECOLE DOCTORALE DES SCIENCES PHYSIQUES
ET DE L'INGENIEUR

par **Mourad LOULOU**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPECIALITE : **Electronique**

Etude de la technique des courants commutés.
Application à la conversion analogique-numérique sigma-delta.

---

qui sera soutenue le : 23 novembre 1998

Après avis des rapporteurs :

Monsieur Lotfi KAMOUN	Maître de Conférences, ENI Sfax (Tunisie)
Monsieur Richard KIELBASA	Professeur, SUPELEC Gif sur Yvette

Devant la Commission d'examen formée de :

Monsieur Dominique DALLET	Maître de Conférences, ENSER Bordeaux
Monsieur Lotfi KAMOUN	Maître de Conférences, ENI Sfax (Tunisie)
Monsieur Richard KIELBASA	Professeur, SUPELEC Gif sur Yvette
Monsieur Philippe MARCHEGAY	Professeur, ENSER Bordeaux
Monsieur Dominique MORCHE	Ingénieur, C.N.E.T. Grenoble
Monsieur Youssef MLIK	Professeur, IPEI Sfax (Tunisie)
Monsieur André TOUBOUL	Professeur, Université Bordeaux 1

- 1998 -

REMERCIEMENTS

Les travaux de recherche qui font l'objet de ce mémoire de thèse ont été réalisés au Laboratoire de Microéléctronique IXL de l'Université de Bordeaux I, dirigé successivement par Messieurs les professeurs Jean Paul DOM et André TOUBOUL.

Je tiens à exprimer à Monsieur le professeur André TOUBOUL ma profonde reconnaissance pour la confiance qu'il m'a témoignée en m'accueillant au sein de son laboratoire et pour l'honneur qu'il me fait en participant à ce jury de thèse.

J'exprime ma plus profonde reconnaissance à Monsieur le professeur Jean Paul DOM pour tout ce qu'il m'a apporté en tant qu'enseignant et pour la confiance qu'il ma témoignée en acceptant de prendre la direction de mon stage de DEA. Je salut avec émotion sa mémoire.

Que Monsieur le professeur Philippe MARCHEGAY, Directeur de cette thèse, sache que sa confiance, son soutien et ses conseils, tant scientifique qu'humain, ont été précieux pour la réalisation de ce travail et qu'il en soit vivement remercié.

Je remercie vivement Monsieur Lotfi KAMOUN, Maître de conférence à l'Ecole Nationale d'Ingénieurs de Sfax, TUNISIE et directeur du département de Génie Electrique, pour l'intérêt qu'il a porté à ce mémoire en acceptant d'en être rapporteur, et de participer à ce jury.

Je remercie également Monsieur le Professeur Richard KIELBASA de l'Ecole Supérieure d'Electricité, responsable du groupe électronique du service des mesures, pour avoir accepté d'être rapporteur de ce mémoire et de participer à ce jury.

J'adresse mes sincères remerciement à Monsieur le professeur Youssef MLIK, Directeur de l'Institut Préparatoire des Etudes d'Ingénieurs de Sfax, TUNISIE, pour l'honneur qu'il me fait en participant à ce jury de thèse.

Que Monsieur Dominique MORCHE, Ingénieur – C.N.E.T. – Grenoble, soit remercié pour avoir accepté d'être membre de la commission d'examen et d'apporter ainsi l'avis du milieu industriel.

Je souhaite que Monsieur Dominique DALLET, maître de conférence à l'ENSERB, trouve ici toute ma reconnaissance pour son aide et son soutien technique et moral qu'il m'a apporté durant l'ensemble de mes travaux de thèse.

Je tiens à témoigner ma reconnaissance à Monsieur Hakan TRAFF, Assistant Professeur à l'Université de Linköping, SUEDE pour sa contribution à l'élaboration de ce travail. Son aide et sa collaboration me font exprimer ici mon plus grand respect à son égard.

Je tiens à remercier Messieurs M. BENKAIS, Y. BERTOUMIEU, A. FABRE, P. NOUEL, N. MASMOUDI, G. MORIZET, J. TOMAS, P. ROUX et mesdames E. GARNIER et S. LEMASSON pour leur collaboration et le soutien qui m'ont apporté.

Que mes collègues de travail et amis, A. FAKHFAKH, D. HADDADI, T. LOUKIL, A. LAFLAQUIERE, N. MILET, H. RAGBI et P. RIFFAUD-DEGREYS pour leur aide efficace qu'ils m'ont apportée.

Messieurs R. DEVRESE et P. VILLESUZANNE ingénieurs système du laboratoire, pour leur compréhension, et leur support technique. Je tiens à les remercier vivement pour leur aide.

Que mes confrères tunisiens soient remerciés pour leur soutien moral.

Que les élevés ingénieurs de l'ENSERB qui ont contribué à l'élaboration de la partie numérique de ce travail soient vivement remerciés pour la qualité de leur travail.

Enfin j'exprime ma sympathie à tous les membres du Laboratoire que je n'ai pas nommé, et à toutes les personnes qui m'ont apporté une aide durant l'ensemble de mes travaux.

SOMMAIRE

INTRODUCTION GENERALE **1**

Chapitre I

LES BASES DE LA TECHNIQUE DES COURANTS COMMUTES **5**

I INTRODUCTION 7

II CELLULES DE BASE DE LA TECHNIQUE DES COURANTS COMMUTES 7

II-1 Principe de la technique des courants commutés. 7
II-2 Cellule mémoire de courant 8
II-3 Cellule mémoire deuxième génération. 9
II-4 Cellule mémoire de courant dynamique. 10

III LES ANOMALIES DANS LA TECHNIQUE DES COURANTS COMMUTÉS 11

III-1 Erreur de désaccord. 11
III-2 Erreur due au temps d'établissement 12
III-3 Effet de la variation de la tension de sortie 13
III-4 Amélioration de la fonction recopie des cellules mémoires 15
III-4-1 Association cascode à tension de grille constante *15*
III-4-2 L'association cascode à tension de grille régulée *16*
III-4-3 Cellule mémoire à grille commune *18*
III-5 L'effet d'injection de charge. 19
III-5-1 Analyse des différentes capacités mises en jeux *17*
III-5-2 Effet du temps de transition du signal d'horloge sur la charge injectée *22*
III-6 Réduction de l'erreur d'injection de charge. 24
III-6-1 Utilisation du transistor fantôme. *25*
III-6-2 Utilisation d'une structure différentielle *26*
III-6-3 Mise en cascade de deux cellules *27*
III-6-4 Ajustement de l'excursion des signaux d'horloge *27*
III-6-5 Utilisation des cellules algorithmiques *28*

IV NOUVELLES GENERATIONS DE CELLULES MEMOIRE 29

III-6 Réduction de l'erreur d'injection de charge. 29
III-6 Réduction de l'erreur d'injection de charge. 30

V AVANTAGES DES CIRCUITS À COURANTS COMMUTÉS 31

V-1 Faible coût. 32
V-2 Rapidité 32
V-3 Faible tension d'alimentation. 32

VI CONCLUSION 33

Chapitre II

LA CONVERSION ANALOGIQUE-NUMERIQUE SIGMA-DALTA.....35

I INTRODUCTION 37

II CHAINE DE CONVERSION ANALOGIQUE NUMERIQUE 37

III LE BRUIT DE QUANTIFICATION 40

IV MODELISATION DU BRUIT DE QUANTIFICATION 40

V LE RAPPORT SIGNAL SUR BRUIT SNR 41

VI LE SUR-ECHANTILLONNAGE DANS LES CIRCUITS DE CONVERSION 42

VII GENERALITES SUR LA TECHNIQUE SIGMA-DELTA 44

VII-1 De la modulation Delta à la modulation Sigma-Delta 45
VII-2 Le codeur à minimisation de bruit 47
VII-3 Le filtre numérique 49

VIII ETUDE DU MODULATEUR SIGMA DELTA DU PREMIER ORDRE 49

VIII-1 Etude temporelle du modulateur Sigma-Delta du premier ordre 50
VIII-2 Réponse à une entrée constante 51
VIII-3 La Réponse du modulateur à une entrée sinusoïdale 52

IX MODULATEURS SIGMA DELTA D'ORDRE ELEVE 54

IX-1 Caractéristiques du rapport signal sur bruit. 56

X MODULATEUR SIGMA-DELTA D'ORDRE 2 58

X-1 Analyse spectrale du modulateur 58
X-2 Courbe du SNR en fonction de l'amplitude du signal d'entrée 59

XI STABILITE DES MODULATEURS SIGMA –DELTA. 60

XI-1 Analyse linéaire 60
XI-2 Lieu des pôles 61
XI-2-1 Cas d'un modulateur du premier ordre 64
XI-2-2 Cas d'un modulateur du second ordre 64

XII GENERALITES SUR LA DECIMATION 65

XII-1 Choix du filtre numérique décimateur 67
XII-1-1 Les filtres RII 67
XII-1-2 Les filtres RIF 68
XII-1-3 Filtre sinus cardinal 68

XIII CONCLUSION 70

CHAPITRE III

LES INTEGRATEURS A COURANTSCOMMUTES EN CLASSE A 73

I INTRODUCTION 75

II DIFFERENTES STRUCTURES D'INTEGRATEURS A COURANTS COMMUTES 75

II-1 Principe d'intégrateur à courants commutés 75
II-2 Unité d'intégration 76
II-3 Intégrateur généralisé sans perte 78
II-4 Intégrateurs généralisés avec perte, inverseur et non inverseur 79
II-4-1 Intégrateur non inverseur avec perte 79
II-4-2 Intégrateur inverseur avec perte 80

III INTÉGRATEURS DIFFÉRENTIELS DOUBLEMENT ÉCHANTILLONNÉS 81

III-1 Intégrateur bilinéaire différentiel 81
III-2 Intégrateur bilinéaire différentiel avec compensation du mode commun en mode courant en contre réaction 83
III-3 Intégrateur pseudo bilinéaire 84
III-4 Compensation du mode commun avec réaction en aval 85
III-5 Structure Auto-compensée 87
III-5-1 Cellule auto-compensée 87
III-5-2 Intégrateur auto–compensé 91

IV CONCLUSION 94

Chapitre IV

MODELISATION ET SIMULATION DES CIRCUITS A COURANTS COMMUTES 97

I- INTRODUCTION 99

II UTILISATION DES MODELES PETITS SIGNAUX DES TRANSISTORS MOS 100

II-1 Application aux modulateurs Sigma-Delta 102
II-2 Mesures des erreurs de courant 102
II-2-1 Cas de la cellule mémoire 104
II-2-1-1 Calcul de l'erreur totale sur le courant de sortie 104
II-2-1-2 Calcul de l'erreur due à l'injection de charge 104
II-2-1-3 Calcul de l'erreur de courant due au rapport fini des conductances d'entrée et de sortie 106
II-2-2 Etude du cas de l'intégrateur généralisé 107
II-2-2-1 Calcul de l'erreur totale sur le courant de sortie 108
II-1-2-2 Calcul de l'erreur due au rapport fini des conductances d'entrée sortie 109
II-1-2-3 Calcul de l'erreur d'injection de charge sur le courant de sortie de l'intégrateur 109
II-3 Etude des filtres à Courants Commutés 111
II-3-1 Etude d'un filtre à courants commutés d'ordre 2 111
II-3-2 Simulation du filtre 114

III UTILISATION DES MODELES MATHEMATIQUES DES ERREURS DE COURANT 115

III-1 Modélisation des cellules mémoires à courants commutés 116
III-2 Simulation des modulateurs Sigma-Delta 117
III-3 Méthodologie de simulation des modulateurs Sigma-Delta 120

IV CONCLUSION 121

Chapitre V

CONCEPTION DES MODULATEURS SIGMA-DELTA A COURANTS COMMUTES 123

I INTRODUCTION 125

II SOUS-CIRCUITS D'UN MODULATEUR SIGMA-DELTA EN MODE COURANT 125

II-1 Les comparateurs de courant 125
II-1-2 L'inverseur CMOS 125
II-1-2 Comparateur de tension différentiel 126
II-1-3 Comparateur à miroir de courant 127
II-1-4 Comparateur CMOS à contre réaction 128
II-2 Le convertisseur N/A 1bit 130
II-3 Les interrupteurs MOS 130
II-4 Génération des signaux de commande 131

III MODULATEUR 1, PRESENTATION ET MESURES 136

III-1 Présentation du modulateur 136
III-2 Mesures expérimentales 138
III-2-1 Mesures préliminaires 138
III-2-1 Mesures sur CanTest 140
III-2-1-1 Présentation de Cantest 140
III-2-1-2 Mesures sur le modulateur 1 avec Cantest. 141

III MODULATEUR 2, PRESENTATION ET MESURES 145

III-1 Présentation du modulateur 145
III-2 Mesures expérimentales sur le Modulateur 2 146

IV CONCEPTION DE LA CHAINE DE DECIMATION 150

IV-1 Choix de la structure de la chaîne de décimation 150
VI-2 Résultats de simulation 152
VI-3 Mesures sur CanTest 153

IV CONCLUSION 155

CONCLUSION GENERALE 157

ANNEXES 163

Annexe 1

RAPPEL SUR LA MODELISATION DU TRANSISTOR MOS 165

A1-1 Modèle grands signaux 165
A1-2 Modèle petits signaux du transistor MOS 167

Annexe 2

CALCUL DE L'ERREUR D'INJECTION DE CHARGE SUR MAPLE 169

A2-1 Programme de formulation de l'erreur dans la cellule mémoire 169

A2-2 programme de calcul de l'erreur dans la cellule mémoire 171
A2-3 Programme de formulation de l'erreur dans l'intégrateur 173
A2-4 Programme de calcul de l'erreur dans l'intégrateur 175

Annexe 3

CIRCUITS ET CARTES D'ÉVALUATION 179

A3-1 Brochage et carte d'évaluation du modulateur 1 179
A3-2 Brochage et carte d'évaluation du modulateur 2 180

REFERENCES BIBLIOGRAPHIQUES 181

Bibliographie du Chapitre I 183
Bibliographie du Chapitre II 185
Bibliographie du Chapitre III 188
Bibliographie du Chapitre IV 190
Bibliographie du Chapitre V 191
Bibliographie Complémentaire 192
Contributions 193

INTRODUCTION GENERALE

Les systèmes de traitement de l'information bénéficient du progrès technologique que connaissent actuellement la microélectronique et les logiciels de conception des circuits. C'est dans le domaine numérique que le développement est le plus important : beaucoup de fonctions qui étaient autrefois du domaine analogique se sont numérisées grâce à des processus de fabrication plus simples permettant une intégration plus poussée et des coûts plus faibles.

Cependant la nature des signaux physiques reste du domaine analogique et bien souvent le signal de sortie, après traitement, doit l'être aussi. Les convertisseurs de données, Analogique-Numérique et Numérique-Analogique, sont donc les composants clés de l'électronique d'aujourd'hui.

Les applications de pointe, dans le domaine des télécommunications mobiles et dans le secteur biomédical notamment, sont très exigeants en performances et en miniaturisation. Elles demandent au niveau des convertisseurs, précision, faible tension d'alimentation, faible puissance et intégration poussée. Le principe de la modulation Sigma-Delta pour la réalisation des convertisseurs Analogique-Numérique est devenue une solution optimale pour atteindre les hautes résolutions. L'intérêt de la méthode tient en fait dans la relative simplicité de sa partie analogique au détriment d'une partie numérique très gourmande en surface de silicium, mais de conception bien adaptée aux logiciels de CAO.

Depuis les années 70, les concepteurs se sont intéressés à la technique des capacités commutées pour la réalisation de fonctions analogiques, notamment le filtrage et la conversion de données. Le développement de cette technique a suivi celui de la technologie MOS qui s'imposait dans le domaine numérique. Cependant la compatibilité n'est pas totale. Elle nécessite aux niveaux des capacités des performances impossibles à assurer avec les technologies classiques d'intégration des fonctions numériques. De plus les fréquences traitées restent modestes compte tenu des performances limitées des amplificateurs opérationnels réalisés.

En 1988 sont apparus les 'circuits à courants commutés' comme une alternative aux circuits à capacités commutées déjà largement utilisés. Cette technique, qui met en œuvre uniquement des transistors MOS pour la conception des circuits analogiques, est entièrement compatible avec le processus de fabrication des circuits numériques car elle ne nécessite qu'une seule couche de polysilicium contrairement à la technique des capacités commutées. En dehors de l'intérêt de pouvoir réaliser des circuits qui mélangent les deux types de signaux analogique et numérique, la technique des courants commutés présente d'autres avantages : faible tension d'alimentation, faible puissance consommée et faible surface de silicium. Elle

trouve son application dans les circuits de conversion, les filtres analogiques, les réseaux de neurones...

Notre travail de recherche a consisté à étudier cette technique dans le but de concevoir des modulateurs Sigma-Delta de structures simples, destinés aux applications basse fréquence (bande audio), et proposer des solutions pour la conversion Analogique-Numérique.

Dans le chapitre I nous donnons les bases de la technique des courants commutés. Cette étude englobe une présentation des différentes générations de cellules mémoires de courant, de leurs principales anomalies et des solutions utilisées pour améliorer leurs performances. Le principal problème de cette technique, l'injection de charge, y est modélisé pour une cellule mémoire deuxième génération.

Le chapitre II traite de la conversion analogique-numérique Sigma-Delta. Nous commençons par faire un rappel des différentes caractéristiques de la conversion analogique-numérique. Le principe du sur-échantillonnage dans les systèmes de conversion est par la suite présenté pour comprendre l'intérêt de la mise en forme du bruit de quantification dans les modulateurs Sigma-Delta. Dans une deuxième partie, nous effectuons une étude temporelle sur le modulateur d'ordre 1, une étude spectrale sur le modulateur d'ordre 2 et une analyse de la stabilité des modulateurs en adoptant des modèles linéaires. Nous terminons ce chapitre par une présentation du principe du filtrage numérique à décimation.

Le circuit de base constituant un modulateur passe bas est l'intégrateur. Le chapitre III traite de ses différentes structures à courants commutés. Des solutions originales sont proposées pour réduire l'influence de l'erreur du rapport fini des conductances d'entrée/sortie et de l'erreur d'injection de charge.

La conception à base de la technique des courants commutés nécessite un temps de calcul prohibitif pour la simulation temporelle de ce type de circuits. Nous proposons dans le chapitre IV deux méthodes différentes mais complémentaires pour la modélisation et la simulation de ces circuits afin de réduire le temps de calcul. Nous justifions leur intérêt par des exemples concrets.

Le chapitre V contient quatre parties. Dans la première partie, nous décrivons les différents blocs nécessaires pour la conception d'un modulateur Sigma-Delta en mode courant, excepté l'intégrateur vu précédemment. Dans la deuxième et la troisième partie, nous présentons les deux modulateurs conçus ainsi que les mesures expérimentales faites sur les circuits fabriqués. Au terme de ce travail nous proposons l'architecture d'un convertisseur Sigma-Delta complet intégrant le filtre à décimation. Nous donnons des résultats de mesures concernant la réalisation partielle de ce filtre utilisant un filtre en peigne.

Chapitre I

LES BASES DE LA TECHNIQUE DES COURANTS COMMUTES

I INTRODUCTION

En 1988 Daubert et Tsividis ont présenté pour la première fois un nouveau miroir de courant CMOS, destiné à la conception des convertisseurs A/N et N/A et des circuits de traitement des signaux analogiques [Dau-88]; Ce miroir est appelé 'copieur de courant'. Un an après, les mêmes auteurs ont introduit des circuits à courant échantillonné se basant sur leur cellule de courant [Val-89]. A la même époque, Hughes *et al.,* ont présenté le principe des courants commutés utilisant une technique en mode courant basée sur un circuit suiveur bloqueur [Hug-89]. Ce suiveur bloqueur est aussi connu sous l'appellation cellule mémoire première génération, alors que le copieur de courant est appelé cellule mémoire deuxième génération ou miroir de courant dynamique. Une troisième équipe, Wegmann *et al.,* a développé une nouvelle structure basée sur deux cellules mémoire fonctionnant en opposition de phase afin d'atteindre un mode de fonctionnement continu. Cette structure a été appelé par leur auteurs miroir de courant dynamique [Weg-89]. Cette appellation semble se confondre avec celle de la cellule proposée par Daubert *et al.,* alors qu'elle est plus appropriée pour le circuit présenté dans [Weg-89], puisqu'elle fonctionne en dynamique. Les trois cellules proposées portent le nom de cellule mémoire de courant.

II. CELLULES DE BASE DE LA TECHNIQUE DES COURANTS COMMUTES.

II-1 Principe de la technique des courants commutés.

Le principe réside dans le fait que la conduction du transistor MOS est assurée par la tension appliquée entre grille et source et que celle-ci peut être mémorisée par la capacité intrinsèque existante entre ces deux électrodes.

La figure I-1 explique le principe de la mémorisation du courant dans un transistor NMOS selon les deux états de l'interrupteur :

- L'état ON, quand l'interrupteur est fermé. La capacité grille-source du transistor se charge à la tension $V_e>V_T$, et un courant de drain I_D circule dans le transistor M.

- L'état OFF, lorsque l'interrupteur s'ouvre. Comme la résistance d'entrée du transistor MOS est très élevée, la capacité C_{gs} garde sa charge et la tension V_{GS} aux bornes de la capacité est alors maintenue. Le transistor M continue à débiter le même courant I_D.

Cette propriété est exploitée pour la réalisation de cellules mémoires de courant .

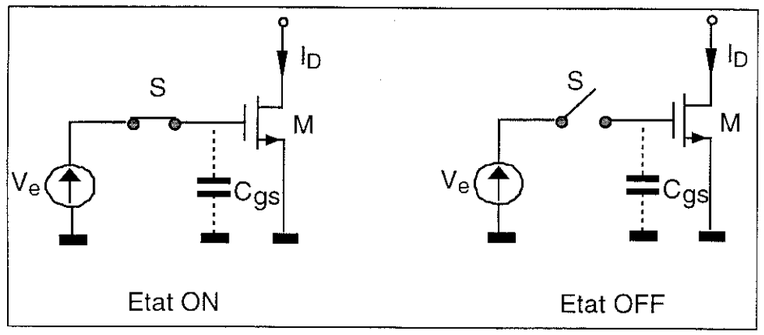


Figure I-1. Principe fondamental de la technique à courants commutés.

II-2 Cellule mémoire de courant

La figure I-2 montre la cellule mémoire de courant dans sa configuration première génération [Hug-89]. Elle consiste essentiellement en un miroir de courant, avec un interrupteur de contrôle S, commandé par un signal d'horloge Φ. Cet interrupteur permet la mémorisation du courant quand le signal d'horloge est à l'état bas. Quand le signal Φ est à l'état haut, l'interrupteur S est fermé, la cellule se comporte comme un miroir de courant conventionnel, les transistors M_0 et M_1 conduisent respectivement les courants J+i et AJ+i_o selon les relations (I-1) et (I-2) avec $k_{n0}=k_{n1}$.

$$i_{d0} = J + i = k_{n0}\left(\frac{W}{L}\right)_0 (V_{GS0} - V_{T0})^2 \qquad \text{(I-1)}$$

$$i_{d1} = AJ + i_o = k_{n1}\left(\frac{W}{L}\right)_1 (V_{GS1} - V_{T1})^2 \qquad \text{(I-2)}$$

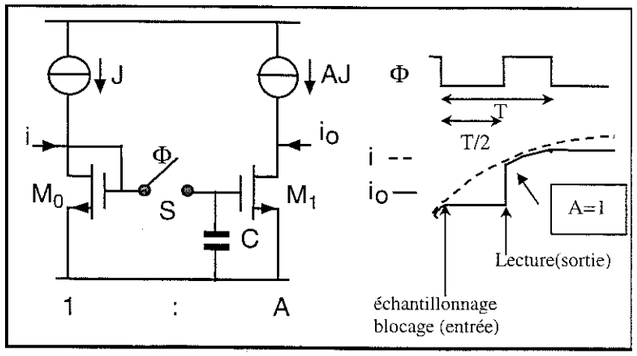


Figure I-2. Cellule mémoire de courant.

Puisque les transistors M_0 et M_1 ont des tensions grille-source égales le courant de sortie suit le courant d'entrée avec un coefficient de pondération A qui dépend du rapport entre les rapports (W/L) des transistors M_0 et M_1.

$$A = \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_0} \qquad \text{(I-3)}$$

Quand le signal d'horloge Φ passe à l'état bas, l'interrupteur S est ouvert, et la grille du transistor de sortie est isolée. Puisque le potentiel de la grille de celui-ci est maintenu par sa capacité grille-source, le courant de sortie est aussi maintenu à la valeur i_o=Ai.

Cette cellule correspond à la fonction suiveur-bloqueur. En effet durant la phase d'état haut du signal d'horloge, le courant de sortie suit le courant d'entrée, puis à l'ouverture de l'interrupteur S (phase d'état bas) sa valeur instantanée est bloquée du fait de la mémorisation de la tension V_{GS} correspondante dans la capacité C.

Dans l'utilisation de cette cellule, dans les circuits à échantillonnage, la mémorisation du courant d'entrée se fait sur la transition négative de Φ et la lecture du courant de sortie sur la transition positive : il apparaît alors un retard de la sortie par rapport à l'entrée d'une demi période d'horloge. La fonction de transfert discrète réalisée par cette cellule s'écrit alors:

$$\frac{i_o(z)}{i(z)} = Az^{-\frac{1}{2}} \qquad \text{(I-4)}$$

Cette relation correspond au cas de la figure I-2. où le courant de sortie comme le courant d'entrée est pris, par convention, entrant dans la cellule. En fait en considérant le sens réel des courants en entrée et en sortie, la cellule mémoire, comme tout miroir de courant, présente un fonctionnement inverseur.

II-3 Cellule mémoire deuxième génération.

L'erreur de désaccord entre les transistors M_0 et M_1 de la cellule mémoire première génération a conduit au développement de la deuxième génération des circuits à courants commutés [Val-89] et [Hug-90]. Comme le montre la figure I-3, cette structure combine les deux transistors M_0 et M_1 en un transistor unique M_1 jouant à la fois le rôle du transistor d'entrée et celui de sortie.

Remarque importante: Les signaux de commande Φ_1 et Φ_2 sont tels qu'ils ferment les interrupteurs correspondants lorsque ces signaux sont au niveau haut. Par la suite on appellera Φ_i (i= 1,2,...) la phase pour laquelle le signal Φ_i est à 1.

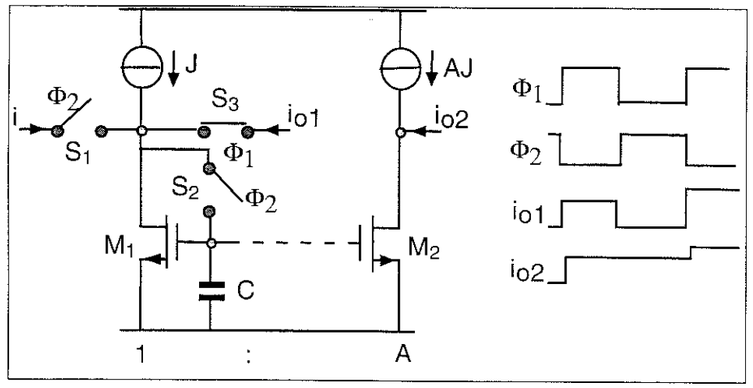


Figure I-3. Cellule mémoire deuxième génération.

Trois interrupteurs, S_1, S_2 et S_3 dont la commande est contrôlée par les signaux d'horloge Φ_1 et Φ_2 représentés sur la figure I-3 sont associés au transistor mémoire. La mémorisation se fait en deux étapes. Durant la phase Φ_2 dite phase d'acquisition, les interrupteurs S_1 et S_2 se ferment, permettant de connecter le transistor M_1 en diode et dériver le courant d'entrée dans un nœud basse impédance. Le transistor M_1 conduit donc la somme des courants de polarisation et d'entrée (J+i). A la fin de cette phase, le courant d'entrée est échantillonné lors de l'ouverture des interrupteurs S_1 et S_2. Durant la phase Φ_1, qui correspond à la phase de restitution, l'interrupteur S_3 est fermé connectant le drain du transistor M_1 à la sortie, la grille est isolée et son potentiel est maintenu par la capacité grille-source, le transistor continue alors à conduire le courant J+i et le courant de sortie reproduit le courant d'entrée (i_{o1}=i).

La sortie i_{o1} n'est valable que durant la phase Φ_1. Pour que l'information soit bloquée durant toute la période d'horloge, ou pour une recopie du courant avec une certaine pondération, on utilise un étage supplémentaire comme l'indique la figure I-3.

La cellule deuxième génération, elle aussi, correspond à un circuit échantillonneur bloqueur et introduit un retard d'une demi période d'horloge de la sortie par rapport à l'entrée.

II-4 Cellule mémoire de courant dynamique.

Elle est formée de deux cellules de recopie de courant fonctionnant alternativement (figure I-4). Cette cellule résoud le problème de discontinuité dans la cellule mémoire deuxième génération [Weg-89].

Durant la phase Φ_1 le courant d'entrée est échantillonné et mémorisé dans le transistor M_2, qui sera restitué par la sortie pendant la phase Φ_2. Durant cette dernière phase le courant

d'entrée est de nouveau exploité et échantillonné- mémorisé par le transistor M_1, puis restitué durant la phase Φ_1 par la sortie. Ceci veut dire que le courant d'entrée est échantillonné deux fois durant une période d'horloge. Ainsi la continuité du courant de sortie est assurée par rapport à la cellule mémoire deuxième génération.

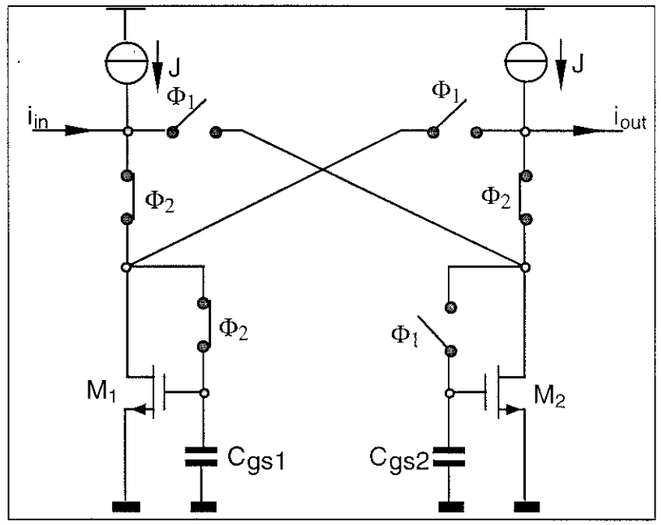


Figure I-4. Cellule mémoire de courant dynamique.

III LES ANOMALIES DANS LA TECHNIQUE DES COURANTS COMMUTES

Les prédictions théoriques du fonctionnement de la cellule mémoire de courant, supposent que le transistor MOS fonctionne comme une source de courant idéale contrôlée par la tension appliquée entre sa grille et sa source. Les imperfections du transistor MOS provoquent des anomalies dans le fonctionnement de la cellule mémoire par rapport au fonctionnement idéal.

III-1 Erreur de désaccord

Cette erreur se présente aussi bien pour les circuits à courants commutés première génération que pour les circuits deuxième génération [Hug-90]. Ce problème provient de la non reproductibilité parfaite des paramètres des transistors MOS au moment de l'implantation sur silicium. Ce type de problème n'est pas directement pris en compte dans les simulateurs mais il existe dans la réalité au moment de la fabrication.

Considérons une cellule première génération, formée par deux transistors M_0 et M_1, géométriquement identiques. Le courant de drain de M_0 et M_1 sont donnés en première approximation par les expressions (I-5) et (I-6).

$$i_0 = k_{n0}\left(\frac{W}{L}\right)_0 (V_{GS0} - V_{T0})^2 \qquad \text{(I-5)}$$

$$i_1 = k_{n1}\left(\frac{W}{L}\right)_1 (V_{GS1} - V_{T1})^2 \qquad \text{(I-6)}$$

Idéalement, les deux transistors ont les mêmes paramètres caractéristiques k et V_T si bien que le gain en courant est donné par la relation (I-3).

L'erreur de désaccord se situe à deux niveaux, au niveau de ces paramètres non strictement identiques du fait des variations statistiques et surtout de l'écart de température entre les deux transistors, et au niveau des rapports $\left(\frac{W}{L}\right)$ qu'on ne maîtrise pas totalement au moment de l'implantation. L'erreur la plus importante se situe d'ailleurs à ce niveau ainsi qu'au niveau de V_T du fait des différences possibles entre les températures des deux transistors [Lak-86].

Après implémentation les rapports $\left(\frac{W}{L}\right)$ s'écrivent : $\left(\frac{W+\Delta W}{L+\Delta L}\right)_0$ et $\left(\frac{W+\Delta W}{L+\Delta L}\right)_1$.

ainsi que $V_{T1} = V_{T0} + \delta V_T$

Comme $V_{GS0} = V_{GS1}$, on aura comme gain réel du courant:

$$A_r \cong A.\left(1+\frac{\Delta W_1}{W_1}-\frac{\Delta L_1}{L_1}+\frac{\Delta W_0}{W_0}-\frac{\Delta L_0}{L_0}\right)\left(1-\frac{2\delta V_T}{V_{GS0}-V_{T0}}\right) \qquad \text{(I-7)}$$

En conclusion, l'écart sur les dimensions réelles par rapport aux dimensions idéales, ainsi que la différence des tensions de seuil, entraînent une erreur sur le coefficient de pondération.

III-2 Erreur due au temps d'établissement

Les performances de la cellule mémoire dépendent de la précision avec laquelle la tension de grille a été mémorisée. Cette tension dépend de la valeur du temps d'acquisition par rapport au temps d'établissement qui correspond au temps nécessaire pour que la charge de la capacité grille-source atteigne son régime permanent.

Le schéma équivalent petit signaux de la cellule mémoire durant la phase d'acquisition et la phase de restitution reste valable pour de faibles variations du courant d'entrée [Tou-93].

Le circuit correspondant est donné sur la figure I-5. Le calcul de la fonction de transfert du courant mémorisé par rapport au courant d'entrée conduit à la relation (I-8).

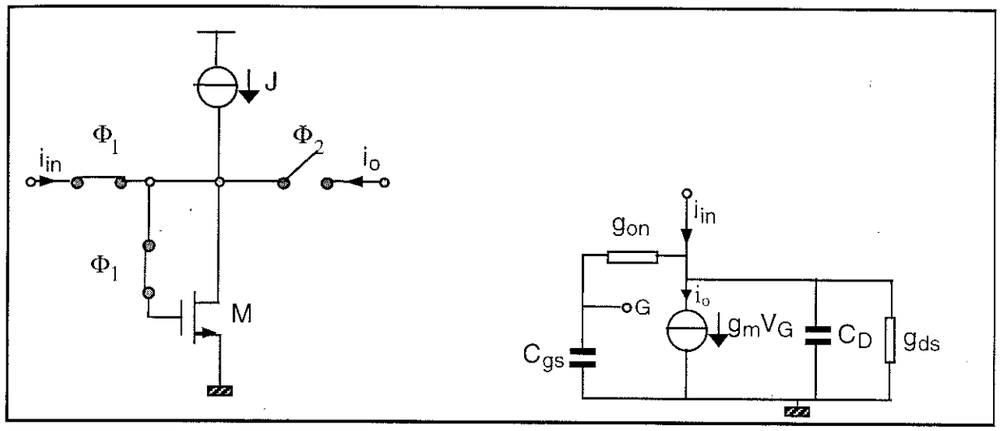


Figure I-5. Schéma équivalent de la cellule mémoire (Phase d'acquisition).

$$H(p) = \frac{i_o}{i_{in}} = -\frac{\left(\frac{g_m}{g_m+g_{ds}}\right)}{1+p\left(\frac{1}{g_m+g_{ds}}\right)\left(\left(1+\frac{g_{ds}}{g_{on}}\right)C_{gs}+C_D\right)+p^2\frac{C_D+C_{gs}}{(g_m+g_{ds})g_{on}}} \qquad \text{(I-8)}$$

III-3 Effet de la variation de la tension de sortie

Durant la phase d'acquisition, le potentiel du drain du transistor mémoire est forcé au potentiel de sa grille. Durant la phase de restitution, le drain est connecté au dipôle qui conduit le courant de sortie. La précision de la cellule dépend de l'influence de la tension imposée par ce dipôle sur la recopie du courant [Tou-93]. En effet, à cause de l'existence d'une conductance finie vue du coté du drain du transistor mémoire, toute variation de la tension de sortie entraîne une erreur sur la valeur du courant de sortie.

Pour de faibles variations de la tension de sortie autour de la valeur du potentiel du drain durant la phase d'acquisition, l'erreur est sensiblement linéaire et s'exprime sous la forme:

$$\Delta I_{out} = g_o.\Delta V_{out} \qquad \text{(I-9)}$$

Où g_o est la conductance totale vue au niveau du drain du transistor mémoire. Cette conductance s'exprime comme suit:

$$g_o = g_{ds} + g_J + g_m.\left(\frac{C_{gd}}{C_{gs}+C_{gd}}\right) \qquad \text{(I-10)}$$

où, comme le montre la figure I-6, g_{ds} est la conductance drain-source du transistor mémoire traduisant le phénomène de la modulation de la longueur du canal (effet Early), g_J est la conductance interne de la source du courant de polarisation J et le troisième terme correspond à l'effet du diviseur de tension formé par les capacités, grille-drain C_{gd} et grille-source C_{gs}. En effet, toute variation du potentiel du drain du transistor mémoire conduit à une variation du potentiel de sa grille et introduit une erreur sur le courant restitué.

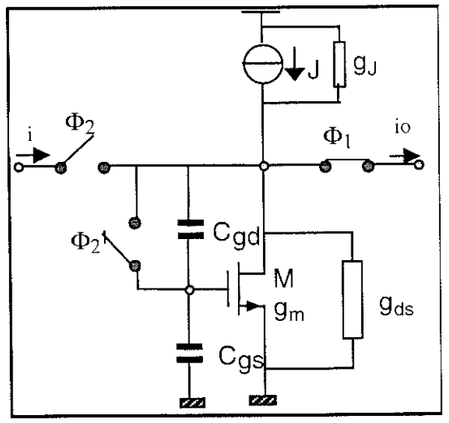


Figure I-6. Cellule mémoire avec les conductances mises en jeu.

La conductance d'entrée de la cellule mémoire est sa conductance vue par l'entrée, durant la phase d'acquisition, quand le transistor mémoire est connecté en diode. Cette conductance est sensiblement égale à la transconductance du transistor mémoire.

$$g_i = g_m + g_{ds} + g_J \approx g_m \tag{I-11}$$

Pour mieux voir l'influence des conductances d'entrée et de sortie de la cellule mémoire sur la recopie du courant, on considère le cas le plus courant où une cellule mémoire est chargée par une deuxième identique mise en cascade.

Le calcul du rapport entre le courant de sortie et d'entrée de la cellule est donnée par la relation (I-12).

$$\frac{i_o}{i_{in}} = \left(-z^{-\frac{1}{2}}\right)\frac{1-\frac{g_o}{g_i}}{1+\frac{g_o}{g_i}} \approx \left(-z^{-\frac{1}{2}}\right)\frac{1}{1+2\frac{g_o}{g_i}} \tag{I-12}$$

L'approximation prend en considération que la conductance de sortie est généralement très faible devant la conductance d'entrée de la cellule mémoire.

Afin de réaliser des cellules mémoires de grande précision et en se référant à la relation (I-12), il faut diminuer au maximum sa conductance de sortie et augmenter sa

conductance d'entrée, et ce dans le but de fixer le potentiel de drain du transistor mémoire et le rendre insensible aux fluctuations de la tension de sortie.

Une première solution pour résoudre ce problème consiste à augmenter simultanément le rapport (W/L) et L afin d'augmenter g_m et diminuer g_{ds}. Cependant cette solution n'est pas réaliste car l'augmentation de W et L conduit à une augmentation de la capacité grille source et par suite à une dégradation de la rapidité de la cellule mémoire.

D'autres solutions sont proposées dans la littérature dont quelques-unes ont été utilisées dans les structures proposées dans cette thèse, à savoir, l'association cascode à tension de grille constante et l'association cascode à tension de grille régulée.

III-4 Amélioration de la fonction recopie des cellules mémoires

III-4-1 Association cascode à tension de grille constante

La figure I-7 montre la cellule mémoire deuxième génération dans sa configuration cascode simple [Tou-93]. Elle est obtenue en intercalant un transistor monté à grille commune, entre la sortie et le drain du transistor mémoire. Ce transistor T_C a sa grille connectée à la tension constante V_P.

Le calcul des conductances d'entrée et de sortie de la nouvelle cellule donne:

$$g_i = g_m + \frac{g_{ds}(g_{dc} - g_m)}{g_{mc} + g_{ds} + g_{dc}} \approx g_m \tag{I-13}$$

$$g_o = g_J + \frac{g_{ds} g_{dc}}{g_{mc} + g_{ds} + g_{dc}} \approx g_J + \frac{g_{dc}}{g_{mc}} g_{ds} \tag{I-14}$$

On remarque que la conductance d'entrée est sensiblement inchangée, alors que la conductance de sortie a été atténuée par un facteur $a = \frac{g_{mc}}{g_{dc}}$ très inférieur à l'unité (ceci suppose que la même structure est utilisée pour les sources de courant de polarisation).

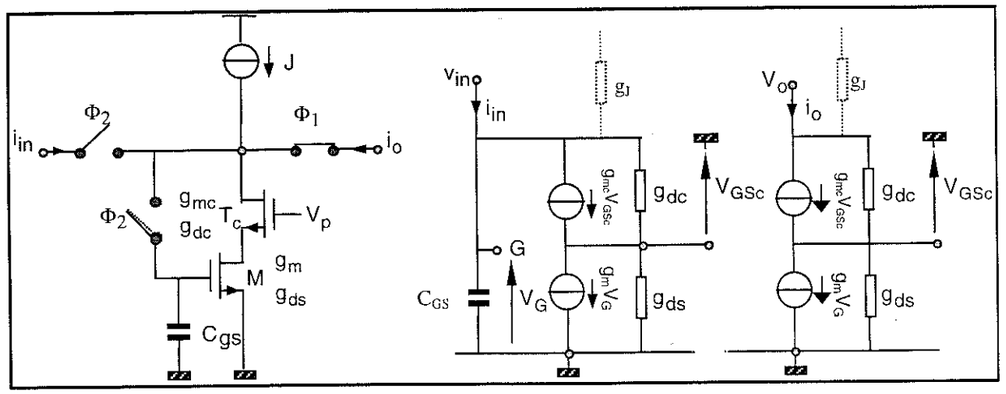


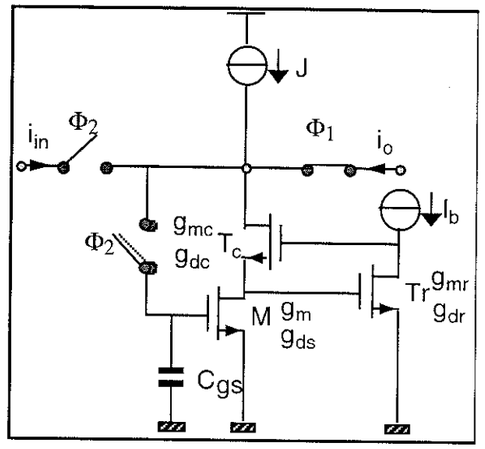
Figure I-7. La cellule mémoire deuxième génération dans sa configuration cascode simple, Schémas équivalents petits signaux simplifiés, phase d'acquisition et phase de restitution.

III-4-2 L'association cascode à tension de grille régulée

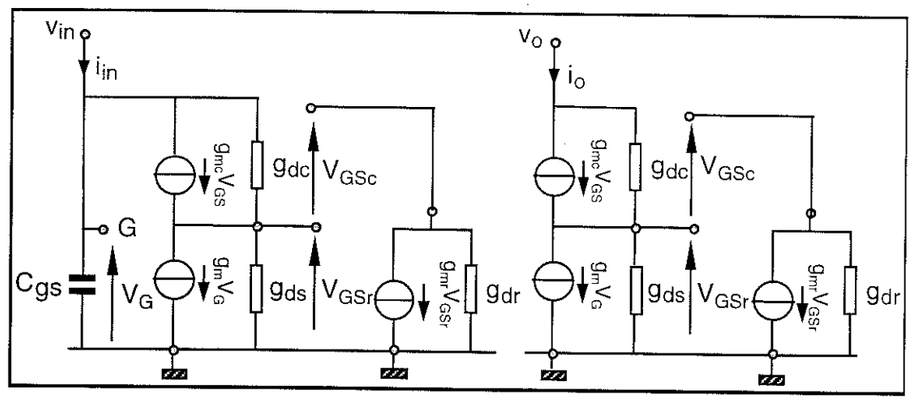
Une amélioration de la cellule mémoire cascode consiste à introduire un troisième transistor monté en amplificateur dans une boucle de contre-réaction (figure I-8-a) [Tou-90, Tou-93]

En phase mémoire nous avons affaire à une rétroaction de courant. En effet toute variation du courant de sortie de la cellule mémoire est convertie en variation de tension aux bornes du transistor mémoire puis amplifiée et ramenée sur la grille du transistor cascode. La résistance de sortie du transistor cascode se trouve alors multipliée par le facteur de rétroaction. La conductance de sortie de la cellule, spécifique de la phase mémoire, se trouve alors considérablement diminuée.

En revanche, en phase d'acquisition, la connexion entre la sortie du transistor cascode (qui est dans cette phase, l'entrée de la cellule et non pas la sortie comme en phase mémoire) et la grille du transistor mémoire introduit une contre réaction de tension contrariant la contre réaction de courant. Le résultat est alors l'invariance de la conductance d'entrée par rapport au cascode simple.



(a)



(b)

Figure I-8. (a) Cellule mémoire deuxième génération cascode régulé. (b) Schémas équivalents correspondant : phase d'acquisition et phase de restitution.

Le calcul des conductances d'entrée et de sortie conduit aux relations suivantes:

$$g_i = g_m + \frac{g_{ds}(g_{dc} - g_m)}{g_{ds} + g_{dc} + g_{mc}\left(1 + \frac{g_{mr}}{g_{dr}}\right)} \approx g_m \qquad \text{(I-15)}$$

$$g_o = g_J + \frac{g_{ds} g_{dc}}{g_{ds} + g_{dc} + g_{mc}\left(1 + \frac{g_{mr}}{g_{dr}}\right)} \approx g_J + \frac{g_{dc}}{g_{mc}} \frac{g_{dr}}{g_{mr}} g_{ds} \qquad \text{(I-16)}$$

La conductance d'entrée est quasiment inchangée alors que la conductance de sortie est atténuée d'un facteur $a_r = \frac{g_{mc}}{g_{dc}} \frac{g_{mr}}{g_{dr}}$. Cette atténuation est d'ordre quadratique par rapport à l'atténuation donnée par la structure cascode simple.

III-4-3 Cellule mémoire à grille commune

Cette structure [Gro-89] est montrée sur la figure I-9-a. Un transistor monté en amplificateur grille commune introduit, en phase d'acquisition, une contre réaction de tension qui augmente la conductance d'entrée (conductance d'entrée durant cette phase) du facteur de contre réaction.

En phase de restitution, dans le cas idéal où les sources de courant, associées au transistor grille commune, ont une impédance infinie, la conductance de sortie est inchangée par rapport à la cellule simple.

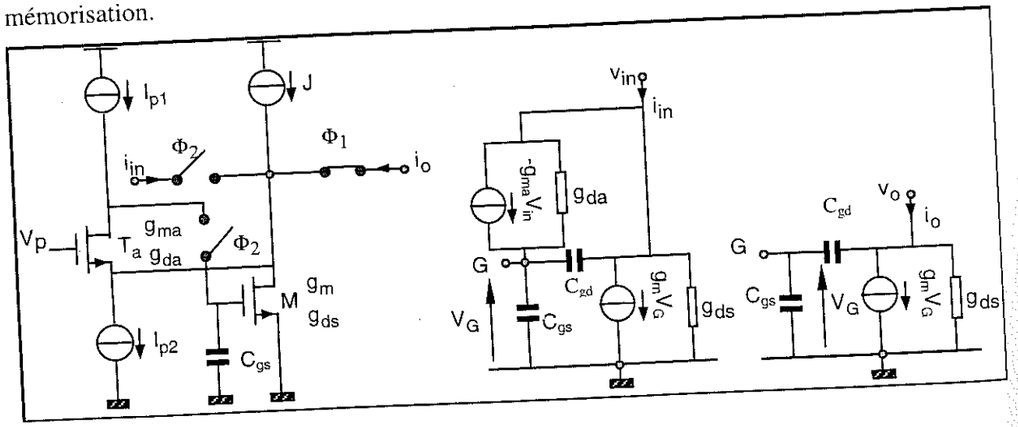
En faisant référence aux schémas équivalents de la figure I-9-b, le calcul donne :

$$g_i = g_{ds} + g_J + g_m \frac{g_{ma}}{g_{da}} \approx g_m \frac{g_{ma}}{g_{da}} \qquad \text{(I-17)}$$

$$g_o = g_{ds} + g_J + g_m \cdot \left(\frac{C_{gd}}{C_{gs} + C_{gd}} \right) \qquad \text{(I-18)}$$

La conductance d'entrée augmente du facteur multiplicatif $a = \frac{g_{ma}}{g_{da}}$ alors que la conductance de sortie est sensiblement inchangée.

Cette cellule est cependant moins intéressante que celle à cascode simple du fait du diviseur capacitif (qui s'élimine dans le cas du cascode) et à cause de l'utilisation des sources de courant supplémentaires de polarisation du transistor auxiliaire T_a, sources de courant qui doivent, en outre, être très performantes si on veut que T_a n'intervienne pas durant la phase de mémorisation.



(a) (b)

Figure I-9. (a) Cellule mémoire deuxième génération à grille commune. (b) Schémas équivalents simplifiés correspondant.

III-5 L'effet d'injection de charge

L'erreur d'injection de charge est causée par les charges injectées dans la grille du transistor mémoire lors de l'ouverture de l'interrupteur. Les sources principales de cette erreur sont le couplage du signal d'horloge à travers les capacités parasites et la redistribution des charges stockées dans le canal du transistor interrupteur.

Cette injection de charge se traduit par une variation V_{inj} de la tension grille-source qui entraîne une variation du courant de drain, i_{Dinj} obtenue en remplaçant V_{GS} par $V_{GS.M}+V_{inj}$ dans la formulation de la caractéristique de sortie d'un MOS (annexe 1, relation A1-1).

$$i_{Dinj} = \frac{k_n}{2}\left(\frac{W}{L}\right)_M V_{inj}^{\ 2} + k_n\left(\frac{W}{L}\right)_M (V_{GS.M} - V_{T.M})V_{inj} \qquad \text{(I-19-a)}$$

$$\text{Avec } V_{GS.M} = \sqrt{\frac{I_p + i_{sig}}{k_n\left(\frac{W}{L}\right)_M}} + V_{T.M} \qquad \text{(I-19-b)}$$

Où Ip est le courant de polarisation de la cellule mémoire et i_{sig} le signal d'entrée.

La variation du courant i_{Dinj} se subdivise en deux composantes : la première est liée à la polarisation, elle est indépendante du signal d'entrée et peut se calculer en annulant ce dernier ; la deuxième, composante non linéaire, est liée au signal d'entrée et correspond à la différence entre l'erreur totale et la composante indépendante du signal d'entrée.

III-5-1 Analyse des différentes capacités mises en jeux

Les capacités parasites sont principalement dues aux diffusions latérales du drain et de la source sous la grille du transistor MOS. La figure I-10-a montre une coupe latérale de celui-ci.

L'aire de la capacité de recouvrement est $W_{eff}L_D$ et la valeur de la capacité de recouvrement est alors donnée par (I-20).

$$C_{rec} = C_{ox} W_{eff} L_D \qquad \text{(I-20)}$$

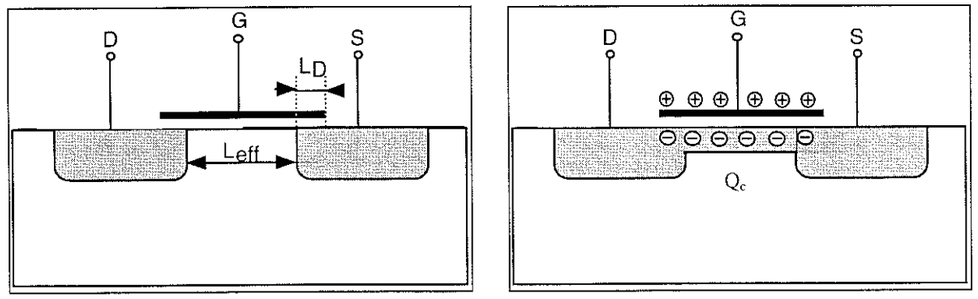
où $W_{eff}=W-2W_D$ est la largeur effective du canal avec W_D la largeur de la diffusion latérale sur la largeur du canal.

La capacité grille du canal MOS C_{gc} est visible sur la figure I-12-b, le canal forme l'électrode inférieure de C_{gc}. En apparence les capacités C_{gc} et C_{rec} sont adjacentes et ne se distinguent pas sauf que C_{gc} couvre la surface effective de la grille, W_{eff} L_{eff}. Comme le canal se forme quand V_{gs} dépasse V_T, la charge du canal s'écrit:

$$Q_c = (V_{gs} - V_T)C_{gc} \qquad \text{(I-21)}$$

Avec

$$C_{gc} = C_{ox} W_{eff} L_{eff} = C_{ox} W_{eff} (L - 2L_D) \qquad \text{(I-22)}$$



(a) (b)

Figure I-10. Coupe transversale schématisée du transistor MOS (a) montrant les régions de recouvrement dues aux diffusions latérales.(b) montrant la charge du canal dans sa région ohmique.

Quand $V_{GS}>V_T$, le canal est conducteur, C_{gc} consiste en une capacité répartie entre le drain et la source du transistor. Quand le potentiel V_{GS} passe au-dessous de V_T la conduction du canal disparaît et Q_c est évacuée dans le drain et la source. La quantité de charge injectée dans le drain et la source ne peut être calculée que d'une manière numérique [Shieh-87, Weg-87]. Elle dépend principalement de la vitesse de transition du signal de commande de la grille du transistor interrupteur, qui correspond à la pente du front descendant du signal d'horloge. On verra ultérieurement l'effet de ce paramètre sur la quantité de charge injectée dans la grille du transistor mémoire.

La figure I-11 montre une cellule mémoire deuxième génération où figurent les différentes capacités parasites mises en jeu lors de la commutation de la cellule. La capacité $C_{gs,M}$ est la capacité grille-source du transistor mémoire et C_d est la capacité vue par son drain.

$$C_{gs,M} = \frac{2}{3} C_{gc,M} + C_{rec,M} = \frac{2}{3} C_{ox} W_{eff,M} L_{eff,M} + C_{rec,M} \qquad \text{(I-23)}$$

Deux états possibles peuvent se présenter au cours d'une transition d'horloge. Le premier quand le transistor interrupteur T_i est conducteur, cet état de la cellule mémoire est schématisé sur la figure I-12. Le drain et la source du transistor interrupteur sont reliés par la conductance répartie g du canal. Le deuxième état quand le transistor interrupteur est bloqué, son drain et sa source sont isolés (figure I-13).

A partir du schéma de la figure I-12, et en régime permanent, la charge stockée dans le canal du transistor interrupteur avant la commutation est donnée par la relation (I-24).

$$Q_c = (C_{gc,i} + 2C_{rec,i})(V_H - V_{GS,M} - V_{T,i}) \qquad \text{(I-24)}$$

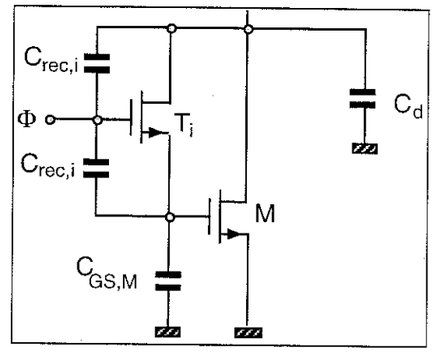


Figure I-11. Cellule mémoire deuxième génération avec capacités parasites

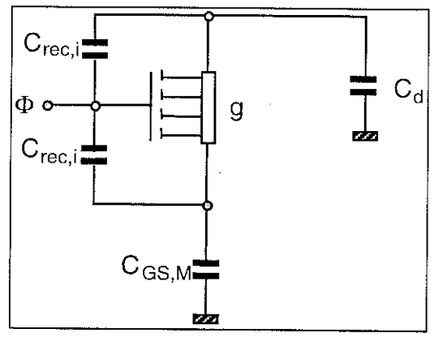


Figure I-12. Cellule mémoire avec Transistor interrupteur conducteu.r

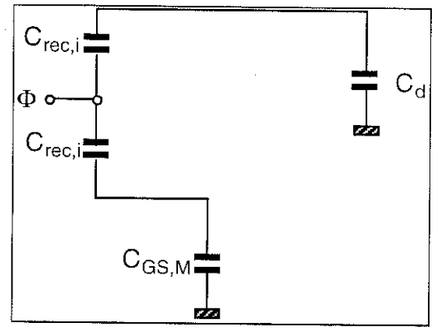


Figure I-13. Cellule mémoire avec Transistor interrupteur ouvert.

La charge injectée dans la grille du transistor mémoire est formée de deux composantes: la première consiste en une portion de la charge stockée dans le canal de l'interrupteur. Elle représente l'effet principal de l'injection de charge et dépend du temps de transition du signal d'horloge comme il sera expliqué dans le paragraphe suivant. La deuxième composante est due au couplage de la capacité de recouvrement avec le signal d'horloge. Cette quantité de charge dont la valeur est donnée par l'expression (I-25) ne dépend que de V_B, potentiel bas du signal d'horloge et du potentiel de grille du transistor mémoire.

$$Q_{rec} = C_{rec,i}(V_{GS,M} + V_{T,i} - V_B) \qquad \text{(I-25)}$$

La charge totale injectée sera:

$$Q_{tot} = kQ_c + Q_{rec} \qquad \text{(I-26)}$$

avec k le facteur d'injection dépendant de la vitesse de transition.

III-5-2 Effet du temps de transition du signal d'horloge sur la charge injectée

Wegmann *et al.* ont montré que la quantité de charge injectée dans la capacité mémoire dépend du gradient de la transition du front descendant du signal de commande de l'interrupteur. Pour cette raison on définit le paramètre B qui caractérise la vitesse relative de transition d'horloge [Weg-87]:

$$B = \left(V_{GS,i} - V_{T,i}\right)\sqrt{\frac{\mu C_{ox}\left(\frac{W_i}{L_i}\right)}{\alpha C_{gs,M}}} = \left(V_{GS,i} - V_{T,i}\right)\sqrt{\frac{\mu\left(\frac{W_i}{L_i}\right)}{\frac{2}{3}\alpha W_M L_M}} \qquad \text{(I-27)}$$

Où $\alpha = \frac{V_H - V_L}{t_f}$ est la pente du front descendant du signal d'horloge, t_f le temps de descente du signal.

Pour bien analyser l'effet d'injection de charges, on distingue trois cas possibles selon la valeur de B.

1- Cas des transitions lentes. (B>>1)

Ceci correspond, pour la technologie utilisée, à des temps de transitions très importants (t_f>>10ns). Dans ce cas et durant l'ouverture du transistor interrupteur, le drain et la source restent connectés par la conductance du canal, et il y a assez de temps pour que les deux électrodes restent en communication. Les potentiels du drain et de la source restent égaux, par suite l'évacuation de la charge du canal se répartie proportionnellement aux valeurs des capacités vues de chaque nœud. Le schéma équivalent en petits signaux de la cellule mémoire au moment de la commutation est représenté sur la figure I-14.

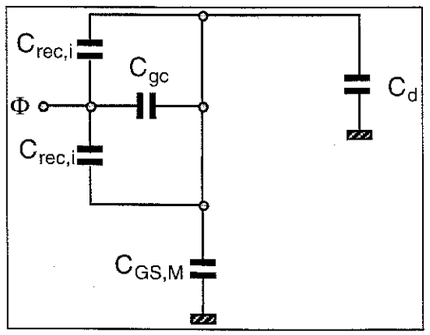


Figure I-14. Schéma équivalent de la cellule mémoire , lors d'une transition lente.

La charge totale injectée est donnée par la relation (I-28)

$$Q_{tot} = \frac{C_{gs,M}}{C_{gs,M} + C_d}\left(C_{gc,i} + 2C_{rec,i}\right)\left(V_H - V_{GS,M} - V_{T,i}\right) + C_{rec,i}\left(V_{GS,M} + V_{T,i} - V_B\right) \qquad \text{(I-28)}$$

Ceci provoque une variation du potentiel de grille du transistor mémoire v_{inj} donnée par:

$$v_{inj} = \frac{\left(C_{gc,i} + 2C_{rec,i}\right)\left(V_H - V_{GS,M} - V_{T,i}\right)}{C_{gs,M} + C_d} + \frac{C_{rec,i}\left(V_{GS,M} + V_{T,i} - V_B\right)}{C_{gs,M}} \qquad \text{(I-29)}$$

2- Cas des transitions rapides (B<<1).

Ce cas correspond en pratique à des temps de descente très petits du signal d'horloge (t_f<<10ns). Le transistor interrupteur se bloque instantanément et il n'y aura aucune communication entre son drain et sa source. La charge du canal sera subdivisée en deux parties égales injectées dans chacune des deux électrodes indépendamment de la valeur de la capacité qui charge chacun des deux nœuds. La figure I-15 représente le schéma équivalent qui correspond à ce cas. La valeur de la charge totale injectée et la variation du potentiel de la grille sont données par les relations (I-30) et (I-31).

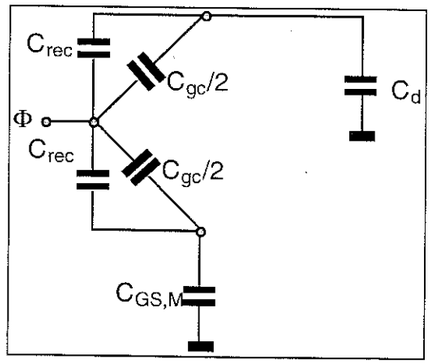


Figure I-15. Schéma équivalent de la cellule mémoire , lors d'une transition rapide.

$$Q_{tot} = \left(\frac{C_{gc,i}}{2} + C_{rec,i}\right)\left(V_H - V_{GS,M} - V_{T,i}\right) + C_{rec,i}\left(V_{GS,M} + V_{T,i} - V_B\right) \qquad \text{(I-30)}$$

$$v_{inj} = \frac{\left(\frac{C_{gc,i}}{2} + C_{rec,i}\right)\left(V_H - V_{GS,M} - V_{T,i}\right) + C_{rec,i}\left(V_{GS,M} + V_{T,i} - V_B\right)}{C_{gs,M}} \qquad \text{(I-31)}$$

3- Cas intermédiaire (B≈1)

Le calcul de la quantité de la charge injectée du coté drain du transistor interrupteur dépend de la valeur de B et elle nécessite des méthodes de calcul purement numériques.

Cependant ce calcul devient simple si les capacités vues par les deux électrodes sont égales. Dans ce cas la répartition de la charge du canal se fera de manière égale entre les deux nœuds, indépendamment de la valeur de B. Ce cas ne se présente pas pour les cellules mémoire deuxième génération mais peut se présenter pour les cellules de la première génération.

Une fois calculée l'expression de l'erreur sur le potentiel de la grille V_{inj}, il nous faut connaître l'erreur correspondante sur le courant de sortie.

Ce passage se fera par la relation I-19-a, tout en remplaçant $V_{GS,M}$ par l'expression I-19-b à la fois dans I-19-a et dans V_{inj}. Ces calculs seront appliqués dans nos cas particuliers au chapitre IV.

III-6 Réduction de l'erreur d'injection de charge

Le problème d'injection de charges reste le principal handicap de la technique des courants commutés. Cet effet introduit des erreurs non linéaires sur la réponse des circuits à courants commutés, difficiles à compenser.

Les charges injectées dans la capacité de grille du transistor mémoire se présentent dans un premier temps sous forme d'une variation de la tension de grille. Ensuite cette variation est restituée sous forme d'une erreur sur le courant de sortie de la cellule mémoire. C'est cette conversion tension - courant qui laisse la compensation de l'effet d'injection de charge difficile à réaliser dans les circuits en mode courant. Par contre, dans la technique des capacités commutées où les signaux porteurs de l'information sont les tensions, l'effet d'injection de charges peut être compensé en mémorisant la variation de la tension dont on se sert par la suite pour compenser son effet sur la sortie du circuit. Une opération équivalente en mode courant n'est pas évidente.

En effet, la variation du potentiel de grille doit être traduite en courant pour effectuer la compensation. Comme la caractéristique de transfert du MOS n'est pas linéaire, cette compensation s'avère complexe.

Dans la littérature plusieurs solutions ont été proposées pour minimiser cette erreur mais la compensation totale reste toujours à trouver [Min-93, Jon-93, Cha-95, Tse-95, Riff-97, Lou-98-1].

En analysant les formules exprimant l'erreur sur le courant, une première considération qui pourrait être efficace, consisterait à augmenter la capacité grille source du transistor mémoire en augmentant sa taille et à diminuer au maximum la capacité grille du transistor interrupteur en prenant les tailles minimales permises par la technologie utilisée. Ceci permettrait de minimiser considérablement l'erreur sur le courant mais au détriment de la vitesse de fonctionnement de la cellule suite à l'augmentation de la capacité C_{gs} et de la conductance g_{on} de l'interrupteur. Cette solution reste valable mais à appliquer selon les contraintes des fréquences de travail. D'autres solutions ont été proposées, elles sont présentées ci après.

III-6-1 Utilisation du transistor fantôme

Cette solution a été largement utilisée dans les circuits à capacités commutées [Eich-90]. Elle consiste à mettre un deuxième transistor T_{ph} en série avec le transistor interrupteur connecté à la capacité de grille du transistor mémoire comme l'indique la figure I-16. Le drain et la source du transistor fantôme sont connectés ensemble. Il est commandé par un signal d'horloge complémentaire à celui du transistor interrupteur principal. Son rôle est transparent pendant la phase d'acquisition. Durant la phase de transition acquisition-restitution, le transistor mémoire évacue les charges stockées précédemment dans son canal dans la capacité mémoire C_{GS}. Une partie de cette charge est absorbée par le transistor fantôme pour créer son propre canal. Pour avoir une compensation totale, il faut que la surface du transistor fantôme soit égale à la moitié de celle du transistor interrupteur. Généralement on divise alors par deux la largeur du canal. En pratique cette solution n'est pas très sure et la compensation nécessite un ajustement du rapport 1/2 entre les deux transistors. Ce réglage dépend aussi du niveau du potentiel de la grille du transistor mémoire, qui, au cours du fonctionnement, varie considérablement. D'autre part la compensation est extrêmement sensible au décalage entre les instants de commutation des transistors T_i et T_{ph}.

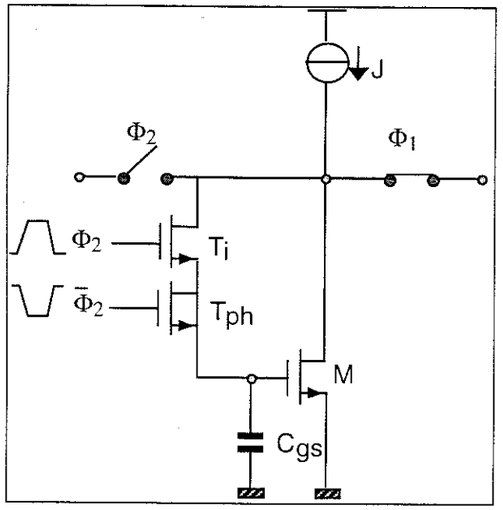


Figure I-16. Compensation avec un transistor fantôme.

L'interrupteur doit avoir une dimension minimale. Si le transistor fantôme a pour dimension la moitié du transistor interrupteur cela implique à ce dernier une dimension double de la dimension minimale autorisée par la technologie. Ceci a pour effet de multiplier par deux un effet d'injection de charge qui ne serait pas totalement compensé.

III-6-2 Utilisation d'une structure différentielle

Cette solution a été adoptée dans les travaux de cette thèse [Lou-96] . Elle permet de réduire la distorsion ramenée par l'effet d'injection de charge.

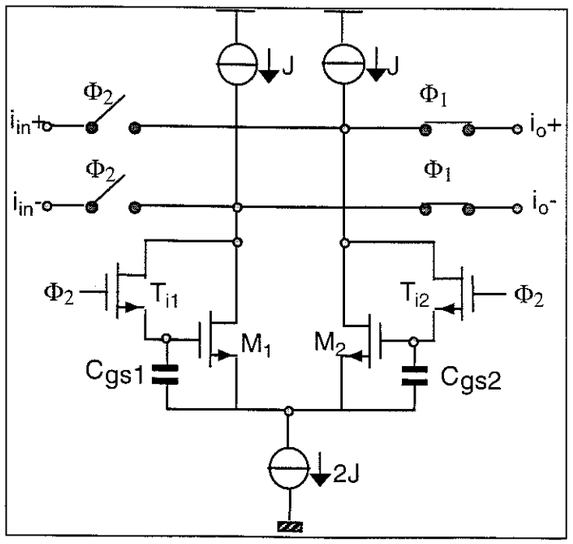


Figure I-17. Cellule mémoire différentielle.

La figure I-17 montre un exemple de cellule mémoire différentielle. Dans ce cas il y a un phénomène d'injection de charge dans les deux transistors mémoire et à la sortie il y aura rejection du mode commun et de la composante quadratique du signal d'entrée reliée à l'injection de charge. Opération très utile pour des applications telles que les modulateurs Sigma Delta (voir Chapitre IV).

III-6-3 Mise en cascade de deux cellules

Ce cas se présente quand le circuit nécessite la mise en cascade de plusieurs paires de cellules mémoire identiques (figure I-18). En effet, en mettant en cascade deux cellules mémoire identiques, à la sortie de la deuxième on aura élimination de la composante indépendante du signal d'entrée (composante liée au point de repos de la cellule) et des composantes quadratiques, puisque le courant d'entrée de la deuxième cellule est égal à l'inverse de celui de la première. Cette solution a un effet similaire à celui de la structure différentielle.

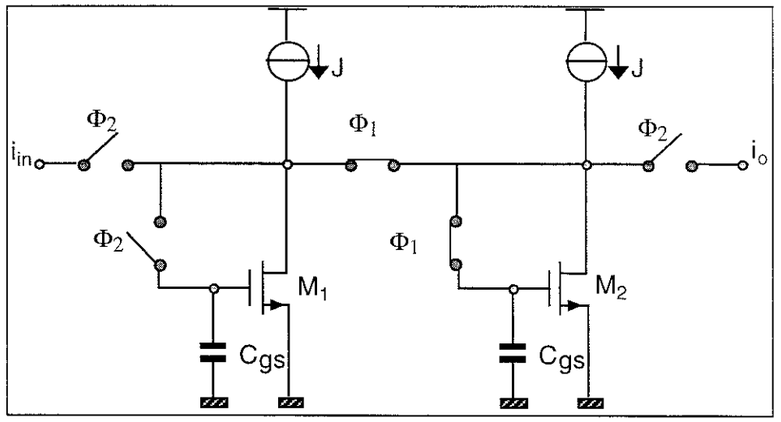


Figure I-18. Mise en cascade de paire de cellules.

III-6-4 Ajustement de l'excursion des signaux d'horloge

D'après les relations (I-29) et (I-31), la variation V_{inj} de la tension de grille du transistor mémoire suite à l'injection de charge, dépend du niveau bas V_B des signaux de commande Φ_i. Cette tension V_B est généralement égale à zéro pour permettre le blocage du transistor interrupteur. Comme le potentiel de la source du transistor interrupteur est égal a celui de la grille du transistor mémoire $V_{GS,M}$, il suffit d'ajuster le niveau bas du signal de commande à ce même potentiel ($V_{GS,M}$), juste suffisant pour bloquer l'interrupteur. Ceci permet de réduire V_{inj} qui devient, pour le cas des transitions lentes:

$$v_{inj} = \frac{(C_{gc} + 2C_{rec})(V_H - V_{GS,M} - V_{T,i})}{C_{gs,M} + C_d} + \frac{C_{rec} V_{T,i}}{C_{gs,M}} \qquad \text{(I-33)}$$

alors que sa valeur pour V_B nulle est:

$$v_{inj} = \frac{(C_{gc} + 2C_{rec})(V_H - V_{GS,M} - V_{T,i})}{C_{gs,M} + C_d} + \frac{C_{rec}(V_{GS,M} + V_{T,i})}{C_{gs,M}} \qquad \text{(I-34)}$$

La figure I-19 montre une réalisation de l'ajustement de l'excursion du signal de commande utilisant un étage suiveur pour recopier le potentiel de grille du transistor mémoire. Cette tension est utilisée pour fixer le niveau bas d'un inverseur [Vit-90].

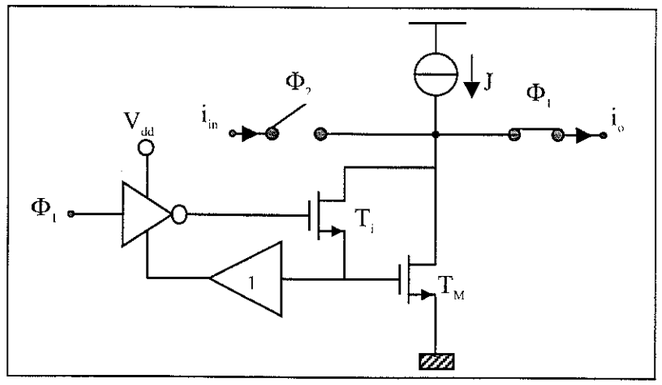


Figure I-19. Cellule mémoire avec ajustement de l'excursion de l'horloge.

III-6-5 Utilisation des cellules algorithmiques

Ce type de cellule est proposé par Toumazou [Tou-90-1] pour la réduction de l'effet d'injection de charge. Elle permet de compenser les deux composantes dépendante et indépendante du signal d'entrée.

La procédure suivie par cette cellule (figure I-20) consiste en une mémorisation de l'erreur durant une phase, qui sera soustraite à la sortie durant la phase de restitution.

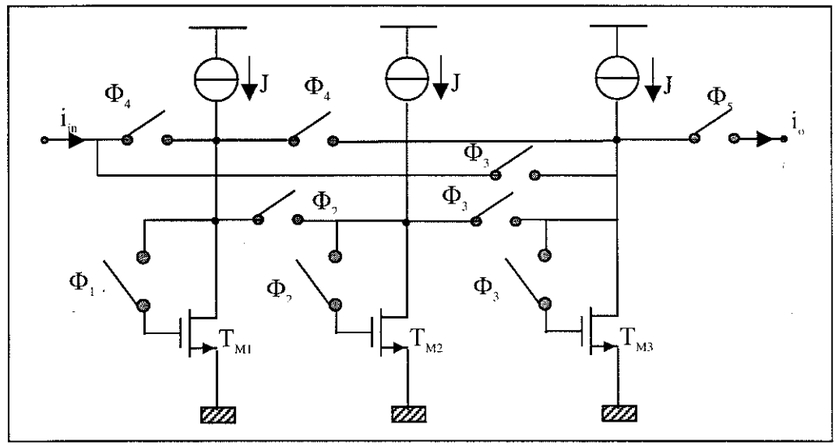


Figure I-20. Cellule mémoire algorithmique

Cette solution présente plusieurs inconvénients, en effet elle nécessite un séquencement des signaux d'horloge complexe (voir Tableau I-1) et conduit à une augmentation de la puissance consommée et de la surface de silicium occupée.

Période	1	2	3	4	5	6	7	8	9	10	11	12
Φ_1	1	0	0	1	0	0	0	0	0	0	0	0
Φ_2	0	1	0	0	1	0	0	0	0	0	0	0
Φ_3	0	0	1	0	0	1	0	0	0	0	0	0
Φ_4	0	0	0	1	0	0	0	0	0	0	0	0
Φ_5	0	0	0	0	0	0	1	1	1	1	1	1

Tableau I-1. Stratégie de génération des signaux d'horloge de la cellule mémoire algorithmique.

IV NOUVELLES GENERATIONS DE CELLULES MEMOIRE

IV-1 Cellule mémoire classe AB

Généralement les circuits analogiques en classe AB permettent d'augmenter la dynamique du circuit sans augmenter la consommation en courant statique. La structure de la cellule mémoire en classe AB dérive du convoyeur de courant classe AB fonctionnant en mode suiveur de courant comme l'indique la figure (I-21-a) avec le nœud Y à la masse. L'analyse du circuit montre que la dynamique de celui-ci peut atteindre quatre fois son courant de polarisation [Sed-90].

Par l'intermédiaire d'un jeu d'interrupteurs permettant l'échantillonnage et la restitution du courant d'entrée on obtient la cellule mémoire classe AB [Batt-91] donnée sur la figure (I-

urant la phase Φ_1 les transistors T_{M1} et T_{M2} de la figure (I-21-b) sont connectés en ... jouent le rôle des transistors T_5 et T_7 de la figure (I-21-a) pour assurer l'acquisition du courant d'entrée i. Durant la phase Φ_2 les grilles des transistors T_{M1} et T_{M2} sont isolées et leurs drains sont connectés à la sortie pour assurer la restitution du courant de sortie. Le rôle des interrupteurs S_{N1} et S_{P1} est d'assurer la continuité du courant dans la branche formée par T_2 et T_4.

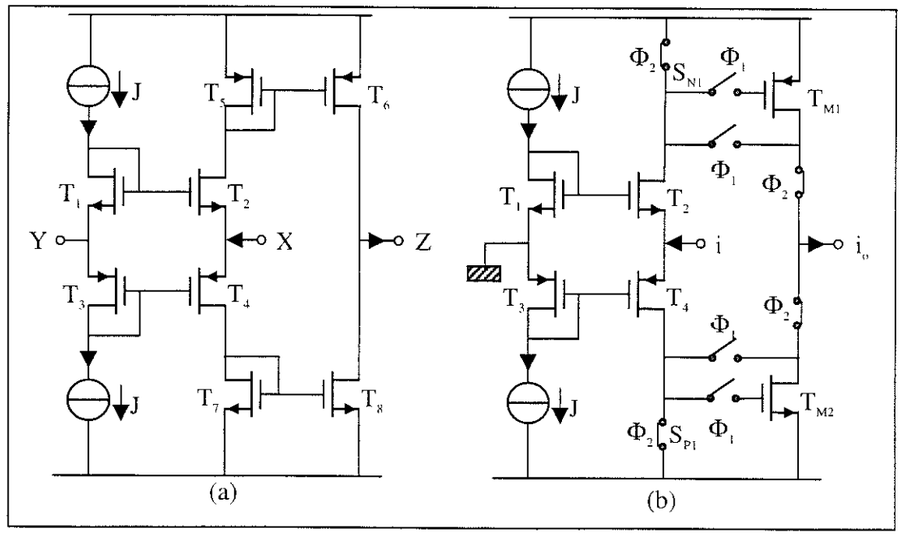


Figure I-21. (a) Convoyeur de courant en classe AB. (b) Cellule mémoire de courant classe AB.

Cette cellule permet aussi une réduction de l'erreur d'injection de charge résultante à la sortie. En effet, bien que le phénomène d'injection se manifeste de la même façon que pour les cellules mémoires classe A, une certaine compensation est atteinte en choisissant convenablement les dimensions des transistors mémoires et interrupteurs. Par exemple on choisit des transistors mémoires NMOS et PMOS de mêmes tailles et la taille du transistor interrupteur à canal P égale à trois fois la taille de celui à canal N.

IV -2 Cellule mémoire S^2I

Hughes *et al.* ont proposé un autre circuit à courants commutés dont le principe de fonctionnement se rapproche de celui de la cellule algorithmique [Hug-93]. Le schéma du circuit avec le chronogramme des signaux d'horloges correspondantes est donné sur la figure I-22. La phase d'acquisition dans ce cas consiste en deux étapes. Durant la première séquence (phase Φ_{11}), la tension de polarisation V_p est reliée à la grille du transistor T_p qui débite alors

le courant de polarisation de la cellule. Durant cette phase le courant d'entrée est échantillonné par le transistor mémoire T_M. A la fin de cette phase, l'interrupteur connectant le transistor mémoire en diode s'ouvre et induit une erreur sur le courant de drain. Durant la phase Φ_{12} le transistor T_p voit sa grille isolée de la tension de polarisation tout en étant connecté en diode. Cette configuration le force à conduire la somme du courant de polarisation et l'erreur d'injection de charge induite sur le courant du drain du transistor mémoire. Au passage à la phase de restitution un deuxième phénomène d'injection de charge se produit dans le canal du transistor T_p. Puisque l'erreur d'injection est de faible valeur cette deuxième erreur est alors principalement liée au courant de polarisation. Ceci permet de récupérer à la sortie de la cellule un courant avec l'erreur d'injection de charge au niveau de T_P, mais celle-ci est constante et indépendante du signal d'entrée.

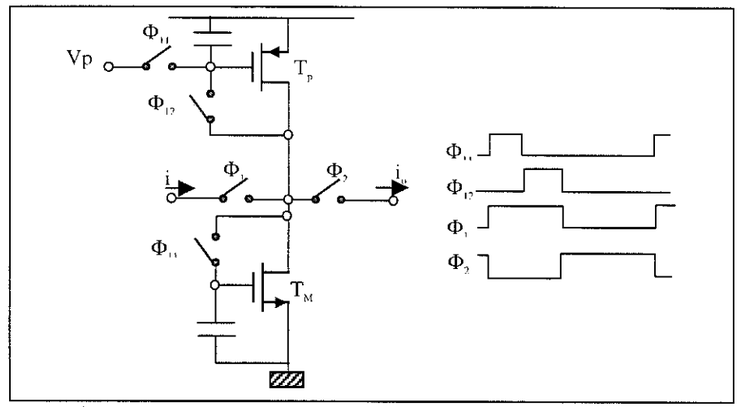


Figure I-22. Cellule mémoire S^2I.

Cette cellule est avantageuse par rapport à la cellule algorithmique, car elle n'utilise que deux interrupteurs supplémentaires et ne demande pas une stratégie compliquée de génération de signaux d'horloge. Elle est aussi performante puisqu'elle permet d'éliminer l'erreur d'injection de charge liée au signal ; seule l'erreur liée au point de polarisation de la cellule persiste, et correspond à un offset de courant.

V AVANTAGES DES CIRCUITS A COURANTS COMMUTES

Malgré ses imperfections dont les principales ont été vues précédemment, la technique des courants commutés présente des avantages pour la conception des circuits mixtes analogiques et numériques. Le potentiel de cette technique est décrit dans ce qui suit.

V-1 Faible coût

On a vu que le rôle de la capacité grille-source est de maintenir constante la tension de grille, par suite cette technique ne nécessite pas des capacités 'linéaires'. Ceci est un avantage significatif par rapport à la technique des capacités commutées, qui demande une technologie de fabrication à double couche de polysilicium, pour fabriquer des capacités constantes : un certain nombre de masques supplémentaires est alors nécessaire par rapport au processus standard des circuits numériques VLSI CMOS, ce qui augmente les coûts.

V-2 Rapidité

Du fait de leur faible impédances intrinsèques les circuits à courants commutés sont adaptés aux applications hautes fréquences. Le temps d'établissement pour le cas d'une cellule simple est déterminé par la constante de temps $\tau=C_{GS}/g_m$, où C_{GS} est la capacité grille-source du transistor mémoire. On voit l'intérêt de prendre des capacités grille-source du transistor mémoire faible, mais l'erreur d'injection de charge est plus importante, donc l'erreur sur la recopie est plus importante. De plus l'utilisation de circuits auxiliaires de compensation de l'injection de charge augmente le temps d'établissement. Ainsi globalement la recherche de la minimisation de l'erreur d'injection de charge va à l'encontre de la rapidité de la cellule.

V-3 Faible tension d'alimentation

Dans les circuits en mode courant, les grandeurs porteuses du signal analogique, sont les courants. Par conséquent la tension d'alimentation ne limite pas la plage de variation du signal. Pour cela les circuits à courants commutés conviennent pour les applications à faible tension de polarisation. La variation maximale de l'entrée est limitée par la valeur du courant de polarisation, alors que la plus petite valeur du courant d'entrée est déterminée par le niveau du bruit.

Si on multiplie le courant de polarisation par un facteur 'n' ainsi que la largeur du transistor mémoire, toutes les tensions des nœuds restent inchangées, alors que la plage de variation du courant d'entrée est augmentée du même facteur 'n'. Ceci présente aussi un privilège très important vis à vis de la rapidité. En effet la multiplication par 'n' de la largeur du transistor mémoire conduit en même temps à l'augmentation de la valeur de la capacité grille et de la transconductance par un facteur n, ce qui maintient constant, la valeur de la constante du temps du circuit, ainsi la vitesse du circuit ne se dégrade pas.

VI CONCLUSION.

Dans cette étude bibliographique, on a présenté le principe de la technique des courants commutés comme une nouvelle approche pour la conception de fonctions analogiques, où l'information est portée par le courant. Cette technique a attiré l'attention des concepteurs durant les dix dernières années pour ses performances telles que la rapidité, la faible consommation de puissance et la faible occupation de surface de silicium. Sa compatibilité avec le processus de fabrication des circuits logiques CMOS et sa possibilité de fonctionner à de très faibles tensions d'alimentation permettent à cette technique de répondre aux exigences des applications portables actuelles dans le domaine des communications mobiles et le domaine médical (implants). Néanmoins, cette technique présente de sérieux problèmes de mise en œuvre comme l'injection de charge dont les effets sont difficiles à éliminer.

Ce problème demeure un handicap car il n'est pas encore intégralement résolu. Plusieurs solutions existent pour le réduire mais aucune donne entièrement satisfaction. Certaines d'entre elles sont efficaces, mais seulement pour une application donnée. La notre concerne la conception d'intégrateurs pour la réalisation des modulateurs Sigma-Delta. Le chapitre III est entièrement consacré à ces intégrateurs et nous y verrons les techniques employées pour la compensation de l'injection de charge. Auparavant le chapitre II traite de la conversion Sigma-Delta et nous permet de comprendre l'architecture choisie.

Chapitre II

LA CONVERSION ANALOGIQUE NUMERIQUE SIGMA-DELTA

I INTRODUCTION

C'est grâce aux progrès de l'intégration monolithique que le traitement numérique, qui nécessite pourtant une quantité de transistors beaucoup plus importante que le traitement analogique, a pu s'imposer. Les avantages sont alors déterminants du fait des précisions auxquelles on accède et surtout par la variété des traitements possibles sous forme numériques.

Les convertisseurs de données sont donc aujourd'hui parmi les composants clés de l'électronique actuelle. Ils permettent de traduire l'information d'un univers à un autre, du monde naturel entièrement analogique à l'univers des nombres qui est celui des machines informatiques.

Le principe de la modulation Sigma-Delta dans la réalisation des convertisseurs analogique-numérique (CAN) est devenue une solution optimale pour atteindre les hautes résolutions. De plus l'intérêt de cette méthode est qu'elle est simple à mettre en œuvre et qu'elle utilise des circuits de quantification ayant une résolution nettement inférieure à la résolution finale du convertisseur.

L'évolution des technologies VLSI pour la fabrication des CI numériques a rendu faisable la partie de traitement numérique nécessaire pour le flot de bits provenant du modulateur Sigma-Delta.

II CHAINE DE CONVERSION ANALOGIQUE NUMERIQUE

Le schéma bloc de la figure II-1 rappelle les différentes fonctions constituant un système de conversion analogique-numérique [Bent-90]. Le fonctionnement de chaque élément est synchronisé par un ou plusieurs signaux d'horloge selon l'algorithme de conversion utilisé, tous dérivés du signal d'échantillonnage. Ce dernier a pour rôle de permettre le prélèvement d'échantillons du signal analogique d'entrée au rythme de la fréquence f_e.

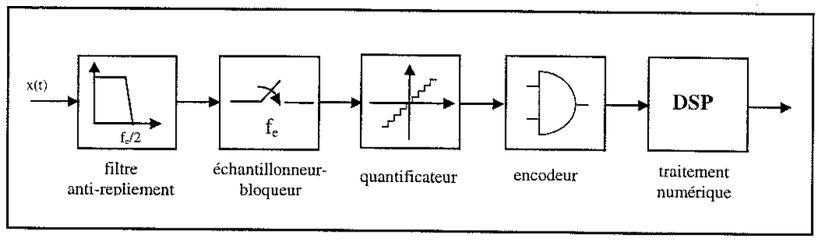


Figure II-1. Chaîne de conversion analogique-numérique.

Une chaîne de conversion analogique numérique est en général constituée par les blocs suivants:

Filtre anti-repliement

Ce filtre passe-bas à fréquence de coupure égale à la moitié de la fréquence d'échantillonnage, est nécessaire pour éviter le repliement du spectre du signal analogique lors de l'échantillonnage.

Echantillonneur-bloqueur

Cette fonction permet de maintenir constant la valeur analogique du signal d'entrée, durant une période de conversion. Cette opération consiste en un échantillonnage du signal à des intervalles de temps uniformément séparés, T_e. Les échantillons x(n) d'un signal à temps continu x(t) représentent ses valeurs aux temps nT_e [$x(n)=x(nT_e)$]. L'effet de l'opération d'échantillonnage dans le domaine fréquentiel est une image répétitive du spectre du signal de départ tous les multiples de la fréquence d'échantillonnage $f_e=1/T_e$.

En posant $X_e(f)$, la transformée de Fourrier du signal échantillonné et X(f) celle du signal continu d'entrée, on obtient:

$$X_e(f) = f_e \sum_{k=-\infty}^{+\infty} X(f - kf_e) \qquad \text{(II-1)}$$

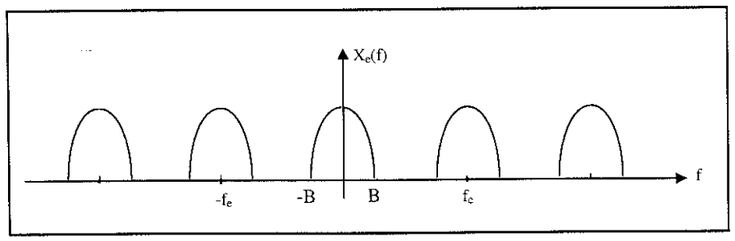


Figure II-2. Spectre d'un signal échantillonné.

Le signal échantillonné est maintenue constant durant toute la période de conversion : c'est la fonction du bloqueur. Celui-ci n'est pas nécessaire si la variation de l'entrée durant une période d'horloge est inférieure au pas de quantification.

Le quantificateur

La numérisation par principe ne possède qu'un nombre limité de chiffres significatifs, elle tronque ou arrondit la valeur de l'échantillon. Cette fonction est modélisée par le quantificateur qui possède un nombre Q de niveaux de comparaison.

Pour un quantificateur de résolution n bit, la valeur de Q est de 2^n. Deux niveaux successifs sont séparés par un pas de quantification q constant qui désigne la grandeur analogique associée au bit de poids le plus faible (LSB).

$$q = \frac{PE}{2^n} \qquad \text{(II-2)}$$

où PE est la pleine échelle analogique.

Sur la figure II-3 est représentée la caractéristique de transfert de quantification par arrondi, qui a pour entrée le signal échantillonné x(n) et pour sortie le signal quantifié y(n).

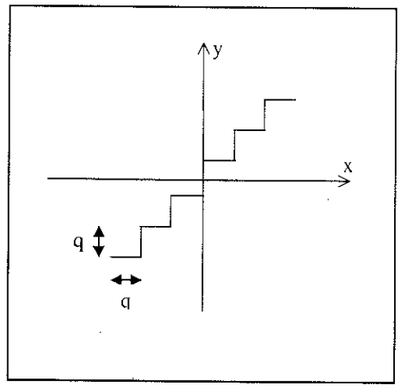


Figure II-3. Caractéristique de transfert d'un quantificateur par arrondi.

L'encodeur

Il permet de transformer les codes fournis par le quantificateur dans un format binaire convenable pour la suite des traitements.

L'étage de traitement numérique

Cet étage traduit le traitement réalisé sur le signal numérisé. Il peut englober une correction des erreurs introduites par les étages amonts.

III LE BRUIT DE QUANTIFICATION

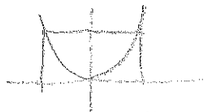
L'échantillonnage ne dégrade pas l'information (si la condition de Shannon est satisfaite). En revanche la quantification la dégrade de manière irréversible. Le bruit de quantification correspond à l'erreur définie par l'écart entre la valeur de l'entrée analogique et sa valeur quantifiée.

$$\varepsilon_q(g_a) = Q(g_a) - g_a \qquad \text{(II-3)}$$

où g_a est la grandeur analogique qui peut être une tension ou un courant, $Q(g_a)$ sa valeur quantifiée.

Ce bruit est compris entre $-\frac{q}{2}$ et $+\frac{q}{2}$ pour un processus de quantification par arrondi et entre 0 et q pour une quantification par troncature.

Si l'amplitude du signal d'entrée est suffisamment grande pour parcourir un nombre d'intervalles de quantification suffisant, on montre que $\varepsilon(q)$ s'apparente à un bruit blanc équi-réparti sur la largeur du pas de quantification $[-\frac{q}{2},+\frac{q}{2}]$. Ce bruit a une valeur moyenne nulle dans le cas d'une quantification par arrondi. Sa valeur quadratique moyenne est:



$$\overline{\varepsilon^2} = \frac{1}{q}\int_{-\frac{q}{2}}^{+\frac{q}{2}} \varepsilon^2 d\varepsilon = \frac{q^2}{12} \qquad \text{(II-4)}$$

$\frac{q^3}{3} \to \frac{q^2}{3} \to \frac{q^2}{4*3}$

Il s'agit d'un processus aléatoire, stationnaire et ergodique, la puissance spectrale du bruit P_B est égale à sa valeur quadratique moyenne définie par (II-5),

$$P_B = \int_{-\frac{f_e}{2}}^{\frac{f_e}{2}} dsp_B(f).df = \frac{q^2}{12} \qquad \text{(II-5)}$$

où $dsp_B(f)$ est la densité spectrale de puissance du bruit et f_e est la fréquence d'échantillonnage. Avec les hypothèses présentées dans ce paragraphe, la densité spectrale de bruit est constante sur tout le spectre $\left[\frac{-f_e}{2},\frac{f_e}{2}\right]$, alors:

$$dsp_e(f) = \frac{q^2}{12 f_e} \qquad \text{(II-6)}$$

IV MODELISATION DU BRUIT DE QUANTIFICATION

Dans un CAN la fonction de quantification est non linéaire ce qui rend difficile son étude. Afin de faciliter son analyse comportemental, le quantificateur est linéarisé et modélisé

par une source de bruit additive e(n) rajoutée au signal x(n) pour produire le signal quantifié y(n) (figure II-4) [Benn-48].

$$y(n) = x(n) + e(n) \qquad \text{(II-7)}$$

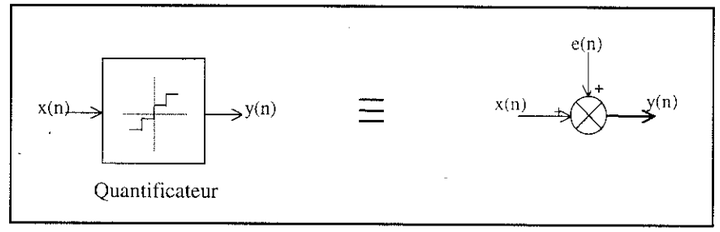


Figure II-4. Modèle linéaire d'un quantificateur.

Pour simplifier l'analyse du bruit provenant du processus de quantification, les hypothèses suivantes sont généralement admises [Aziz-96]:

- La séquence e(n) correspond à une séquence aléatoire,
- La séquence e(n) est décorrélée du signal x(n),
- La densité de probabilité de l'erreur e(n) est uniforme dans la plage de variation de e(n) $\left[-\frac{q}{2},\frac{q}{2}\right]$,
- La séquence e(n) est une variable aléatoire non corrélée: e(n) est équivalente à un bruit blanc.

V LE RAPPORT SIGNAL SUR BRUIT SNR

Le rapport signal sur bruit SNR est un paramètre qui caractérise les performances du convertisseur. Il est défini par la relation suivante:

$$SNR = \frac{P_s}{P_B} \qquad \text{(II-8)}$$

où P_s est la puissance du signal d'entrée et P_B est la puissance du bruit de quantification.

Pour un signal couvrant la pleine échelle, avec une amplitude équirépartie sur celle-ci, sa puissance est donnée par:

$$P_s = \frac{PE^2}{12} \qquad \text{(II-9)}$$

$\frac{PE^2}{12} \cdot \frac{12}{q^2}$

Le rapport signal sur bruit est alors:

$$SNR = \left(\frac{PE}{q}\right)^2 = 2^{2n} \qquad \text{(II-10)}$$

dB:

$$SNR_{dB} = 6n \qquad \text{(II-11)}$$

Pour un signal d'entrée sinusoïdal couvrant la pleine échelle PE, sa puissance est:

$$P_s = \frac{PE^2}{8} \qquad \text{(II-12)}$$

ce qui modifie le rapport signal sur bruit [Ren-89]:

$$SNR_{PE.dB} = 6.02n + 1.76 \qquad \text{(II-13)}$$

Si le signal est d'une amplitude crête à crête 2A inférieure ou égale à PE le rapport signal sur bruit s'écrit [Benk-93]:

$$(SNR_{2A})_{dB} = (SNR_{PE})_{dB} - 20\log\left(\frac{PE}{2A}\right) \qquad \text{(II-14)}$$

VI LE SUR-ECHANTILLONNAGE DANS LES CIRCUITS DE CONVERSION

On a vu précédemment (relation II-6) que la densité spectrale du bruit de quantification est inversement proportionnelle à la fréquence d'échantillonnage f_e. Il est donc intéressant d'échantillonner le signal analogique à des fréquences bien supérieures à la fréquence de Nyquist f_N=2B: cette opération est dite sur-échantillonnage [Cand-92]. Celle-ci permettra alors de minimiser la puissance totale du bruit dans la bande utile du signal $[-B, B]$, en faisant suivre le sur-échantillonnage d'un filtrage limitant la bande du signal converti à la bande utile $[-B, B]$.

On définit le taux de sur-échantillonnage :

$$k = OSR = \frac{f_e}{f_N} = \frac{f_e}{2B} \qquad \text{(II-15)}$$

Si k est très grand devant 1, il y a sur-information dans le temps qu'il est possible de transformer en une résolution spatiale meilleure.

Le principe de conversion dans un système à sur-échantillonnage est donné par le schéma bloc suivant [Bent-90]:

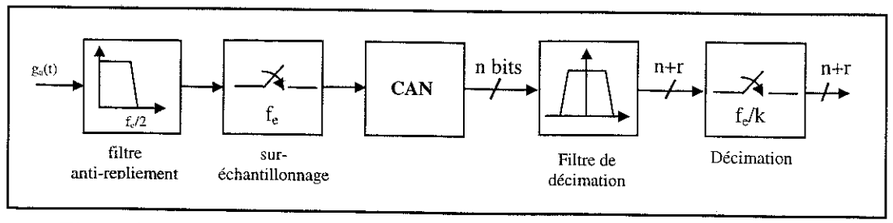


Figure II-5. Synoptique d'un système de conversion à sur-échantillonnage.

Le filtre de décimation est un filtre numérique passe-bas qui assure une fréquence à la sortie de la chaîne de conversion égale à la fréquence de Nyquist. L'étage de décimation permet de sous-échantillonner le signal afin d'obtenir une sortie des données à une fréquence plus basse tout en augmentant le nombre de bits sur lesquels est codé le signal analogique.

La quantification dans le CAN entraîne une densité spectrale de bruit donnée par la relation (II-6).

Dans la bande utile $\left[-\frac{f_e}{2k}, \frac{f_e}{2k}\right]$ la puissance du bruit de quantification est:

$$P_B = \int_{-\frac{f_e}{k}}^{\frac{f_e}{k}} dsp_B(f)df = dsp_B.\frac{f_e}{k} = \frac{q^2}{12k} \qquad \text{(II-16)}$$

Le rapport signal sur bruit devient alors:

$$SNR = \frac{P_s}{P_B} = \frac{\frac{PE^2}{12}}{\frac{q^2}{12k}} = 2^{2n}k \qquad \text{(II-17)}$$

soit en dB:

$$\begin{aligned} SNR_{dB} &= 10\log(2^{2n}.k) = 20\log(2^n) + 10\log k \\ &= n.20\log(2) + 10\log k = 6n + 10\log(k) \end{aligned} \qquad \text{(II-18)}$$

Le rapport signal sur bruit est alors augmenté, il est équivalent à celui d'un CAN dont la résolution a été augmentée de r bits avec:

$$SNR_{dB} = 20\log 2.(n+r) = 6(n+r) \qquad \text{(II-19)}$$

d'où d'après II-18

$$r = \frac{\log(k)}{\log(4)} \qquad \text{(II-20)}$$

Comme on l'a vu en début de paragraphe, la figure (II-6) donne l'aspect fréquentiel du sur-échantillonnage avec décimation, où la puissance du bruit (partie grise dans la figure) a été minimisé dans la bande de Nyquist $\left[-\frac{f_e}{2k}, \frac{f_e}{2k}\right]$.

La relation II-20 montre que pour augmenter la résolution de 1 bit il faut multiplier la fréquence d'échantillonnage par 4.

Dès l'instant où on cherche à atteindre des résolutions élevées, la fréquence d'échantillonnage devient prohibitive. De plus cette augmentation de la résolution suppose les hypothèses données au paragraphe II-4 satisfaites, ce qui n'est pas le cas à faible niveau où

l'amélioration devient nulle pour des signaux d'entrée d'amplitude comparable au pas de quantification du CAN.

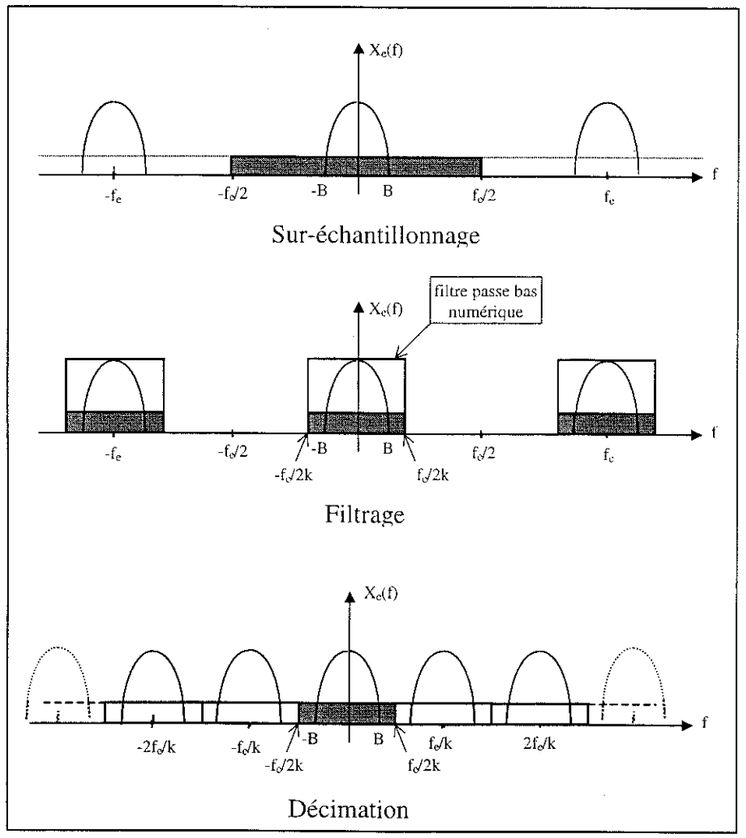


Figure II-6. Analyse spectrale d'un système de conversion à sur-échantillonnage.

L'introduction d'une boucle de contre-réaction utilisée dans la technique Sigma-Delta permet de rejeter le bruit hors bande utile et d'améliorer ainsi l'efficacité du sur-échantillonnage.

VII GENERALITES SUR LA TECHNIQUE SIGMA-DELTA

Le principe de la modulation Sigma-Delta appliqué à la conversion A/N comprend deux fonctions (figure II-7):

- Le modulateur Sigma-Delta ou codeur dont le rôle est de modifier la façon de représenter le signal analogique: obtention d'un signal du type PDM (Modulation de la densité d'impulsions).

- Le Filtre numérique qui a pour but d'effectuer à la fois un filtrage passe bas et une décimation qui dans le cas de la conversion A/N fait office de filtre de décimation.

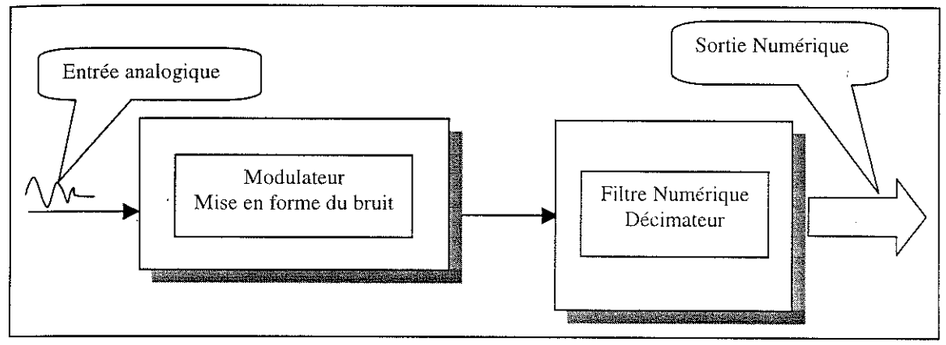


Figure II-7. Schéma bloc d'un convertisseur sigma-Delta.

La modulation mise en jeu dans ce type de conversion fait partie des modulations numériques différentielles, qui quantifient et numérisent non pas la valeur du signal d'entrée, mais la différence entre cette valeur et une valeur estimée par extrapolation des valeurs du signal aux instants précédents. Cette modulation exploite la redondance de l'information contenue dans le sur-échantillonnage du signal d'entrée.

Afin d'exploiter cette redondance le modulateur utilise une boucle de contre-réaction qui permet d'adapter le codage à l'évolution temporelle de la quantité d'information contenue dans le signal d'entrée. Cette boucle permet aussi dans certains cas, et c'est là l'intérêt du codage Sigma-Delta, d'affaiblir le bruit de quantification dans la bande utile du signal d'entrée et de le repousser hors bande, c'est ce qui est appelé la 'mise en forme du bruit'.

VII-1 De la modulation Delta à la modulation Sigma-Delta

Le schéma représenté ci-dessous donne le principe d'un modulateur Delta [Lib-52].

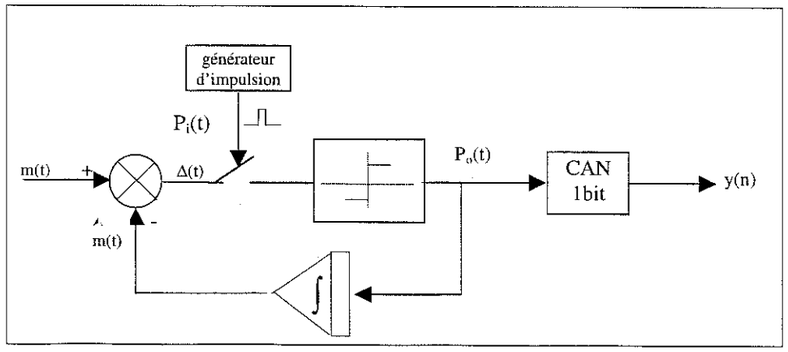


Figure II-8. Schéma bloc d'un modulateur Delta.

Le générateur d'impulsions sur-échantillonne la différence Δ(t) entre le signal lui même et une estimation de celui-ci, obtenue en intégrant les impulsions de sortie quantifiées à deux niveaux.

$$\Delta(t) = m(t) - \hat{m}(t) \qquad \text{(II-21)}$$

L'échantillonnage de Δ(t) par le générateur d'impulsions $P_i(t)$ donne des impulsions d'amplitude constante soit positives soit négatives, c'est uniquement le signe qui est conservé en $P_0(t)$. Ces impulsions $P_0(t)$, intégrées, donnent un signal en marche d'escalier qui enveloppe les variations de m(t). La différence Δ(t) évolue dans une plage[-q, q] où q est la hauteur d'une marche de $\hat{m}(t)$, la marche qui correspond à l'intégration d'une impulsion $P_0(t)$. Δ(t) correspond au bruit de quantification et c'est ce bruit qui est codé dans la modulation Δ.

Il est aussi possible d'englober le CAN 1bit dans la chaîne directe du modulateur tout en mettant un CNA 1bit dans la boucle de contre-réaction (figure II-9-a). Ainsi le quantificateur est inutile puisque le CAN 1 bit se charge de cette fonction. L'échantillonnage peut être réalisé en dehors du modulateur, ce qui conduit en fin de compte au schéma bloc de la figure II-9-b:

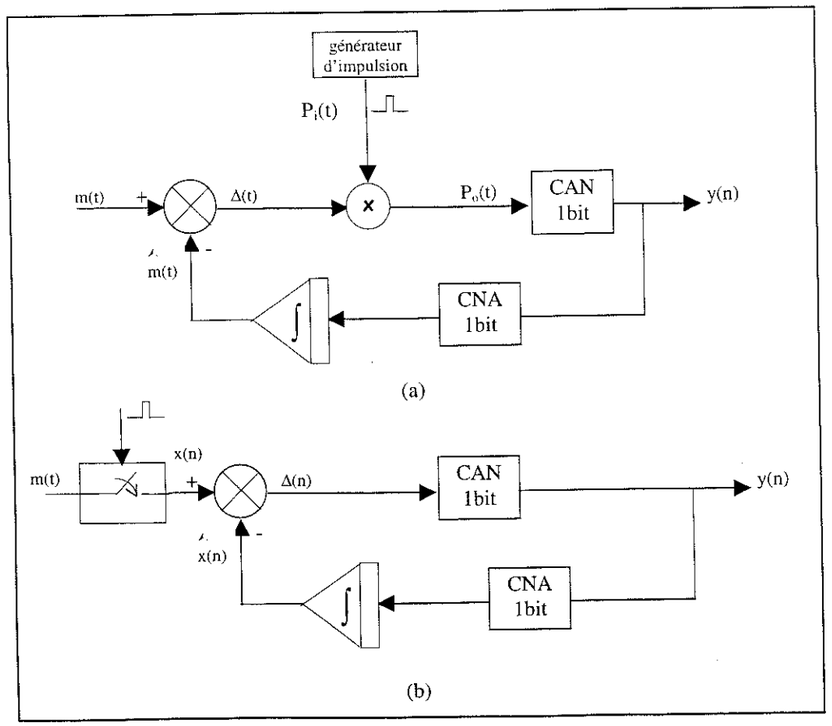


Figure II-9. (a) et (b) Modulateurs Delta modifiés.

Selon cette architecture où le CAN et le CNA sont des convertisseurs 1 bit on obtient un flot de bit ou 'bit stream' en sortie comme codage du signal analogique d'entrée. Il s'agit d'une nouvelle représentation du signal m(t). En effet le passage de y(n) à travers le CNA puis l'intégrateur, récupère $\hat{x}(n)$ traduction quantifiée de x(n) donc de m(t). En fait puisque $\hat{x}(n)$ est une approximation de x(n), y(n) est une approximation de la dérivée de $\hat{x}(n)$, donc de x(n). Si on cherche à ce que y(n) soit le codage de x(n) et non de sa dérivée, il suffit d'intégrer le signal d'entrée avant d'attaquer le modulateur ; on obtient alors un modulateur Sigma-Delta (figure II-10 (a)).

On obtient alors un schéma simplifié (figure II-10 (b)) qui est celui de l'architecture classique d'un modulateur Sigma-Delta d'ordre 1.

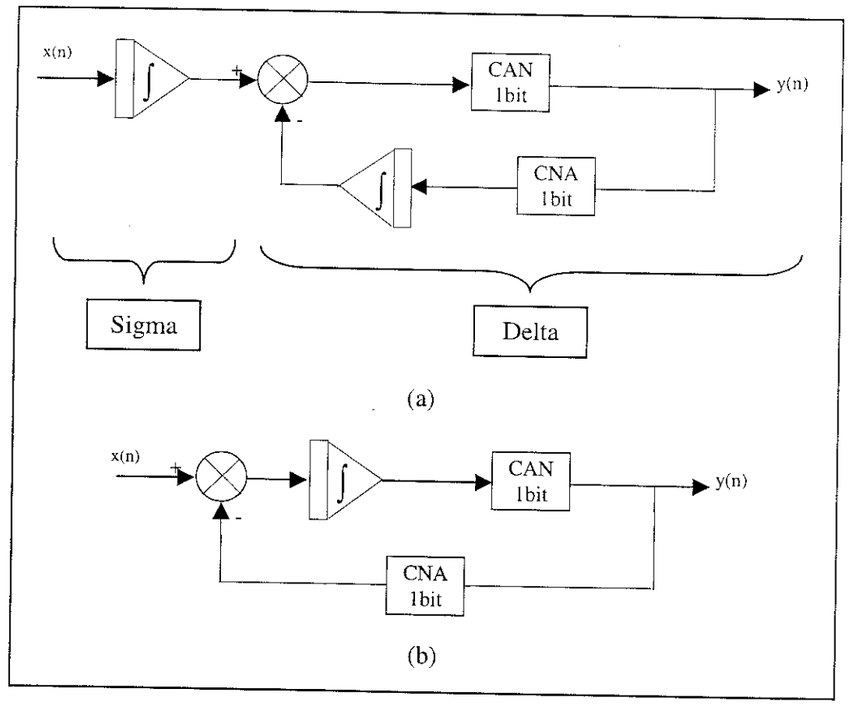


Figure II-10. (a) Modulateur Sigma-Delta à partir du modulateur Delta. (b) Modulateur Sigma-Delta du premier ordre classique.

VII-2 Le codeur à minimisation de bruit

Dans le paragraphe VI, on a vu que le sur-échantillonnage n'est pas suffisant pour réduire la puissance du bruit de quantification dans la bande utile du signal, et qu'il nécessite

l'utilisation de fréquences d'échantillonnage très élevées pour atteindre de très hautes résolutions. Ceci représente l'handicap des circuits à sur-échantillonnage lors de l'implantation sur silicium. Le modulateur sigma- delta permet de réaliser une mise en forme du bruit, qui minimise la puissance de bruit dans la bande utile du signal en le rejetant vers les hautes fréquences.

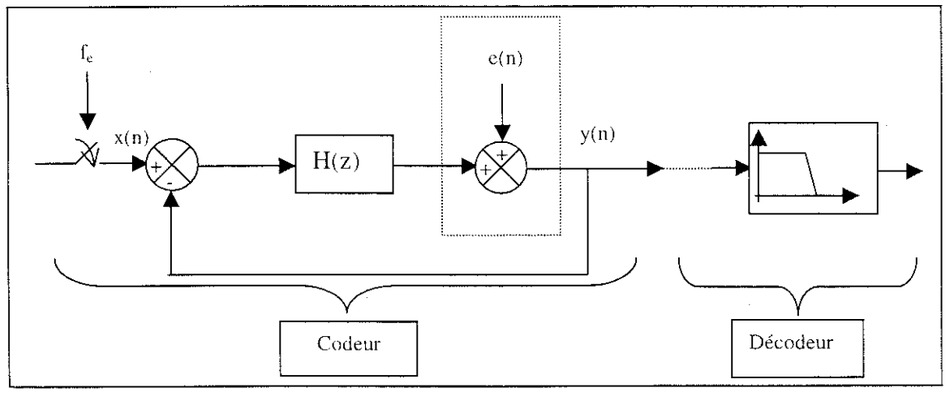


Figure II-11. Codeur Sigma-Delta.

Pour le montrer, le codeur de la figure II-10 est représenté par son schéma fonctionnel de la figure II-11 dans lequel l'intégrateur à été généralisé par la fonction de transfert H(z). La quantification du CAN a été modélisée par une source additive de bruit blanc e(n).

L'équation de transfert de la sortie du codeur entier par rapport au signal d'entrée et au bruit de quantification est la suivante:

$$Y(z) = \frac{H(z)}{1+H(z)} X(z) + \frac{1}{1+H(z)} E(z) \qquad \text{(II-22)}$$

La fonction de transfert associée au signal d'entrée s'écrit:

$$FTS(z) = \frac{H(z)}{1+H(z)} \qquad \text{(II-23)}$$

Celle associée au bruit de quantification est:

$$FTB(z) = \frac{1}{1+H(z)} \qquad \text{(II-24)}$$

Dans notre cas de modulation Sigma-Delta, la fonction de transfert associée au signal d'entrée, FTS(z) correspond à un filtre passe bas dont la bande permise inclut la bande utile du signal. Quant à la fonction de transfert associée au bruit de quantification, elle réalise un filtrage passe haut qui permet de rejeter le spectre de bruit vers des fréquences nettement supérieures à celles du signal d'entrée, et de le minimiser dans la bande utile du signal d'entrée.

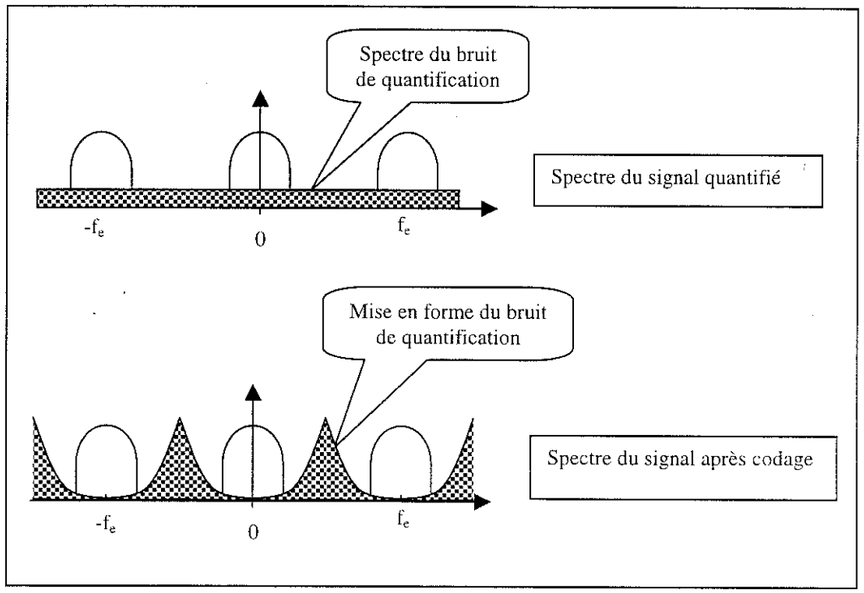


Figure II-12. Aspect fréquentiel de la mise en forme du bruit de quantification.

Remarque: La fonction de transfert par rapport au signal d'entrée peut correspondre à celle d'un filtre passe bande dans le cas d'un modulateur Sigma-Delta passe bande. La fonction de transfert par rapport au bruit réalise alors un filtrage réjecteur de bande (celle du signal d'entrée).

VII-3 Le filtre numérique

Ce filtre réalise deux fonctions: le filtrage passe bas qui permet d'atténuer le bruit en dehors de la bande utile du signal et d'éviter le repliement de spectre au moment du sous-échantillonnage, sous-échantillonnage qui est la deuxième fonction assurée par ce filtre afin d'augmenter la résolution et de diminuer le débit en sortie.

VIII ETUDE DU MODULATEUR SIGMA DELTA DU PREMIER ORDRE

Le schéma bloc linéarisé d'un modulateur Sigma Delta d'ordre 1 est représenté sur la figure II-13 dans une chaîne de conversion analogique numérique complète. Dans le cas simple où le filtre passe bas utilisé est un intégrateur à temps discret à retard, sa fonction de transfert s'écrit:

$$H(z) = \frac{z^{-1}}{1-z^{-1}} \qquad \text{(II-25)}$$

Le signal quantifié est alors la somme de la séquence u(n) formée par la différence entre le signal d'entrée x(n) et une représentation analogique de la sortie quantifiée y(n).

Dans notre étude on suppose le CNA linéaire et de gain unitaire. L'équation de transfert du modulateur s'écrit:

$$Y(z) = z^{-1}X(z) + (1-z^{-1})E(z) \qquad \text{(II-26)}$$

Ce qui donne FTS(z)=z^{-1} et FTB(z)=1-z^{-1}

La sortie du modulateur résulte de la superposition du signal d'entrée retardé d'une période d'échantillonnage et d'une mise en forme du bruit de quantification par le dérivateur qui réalise la fonction d'un filtre passe haut.

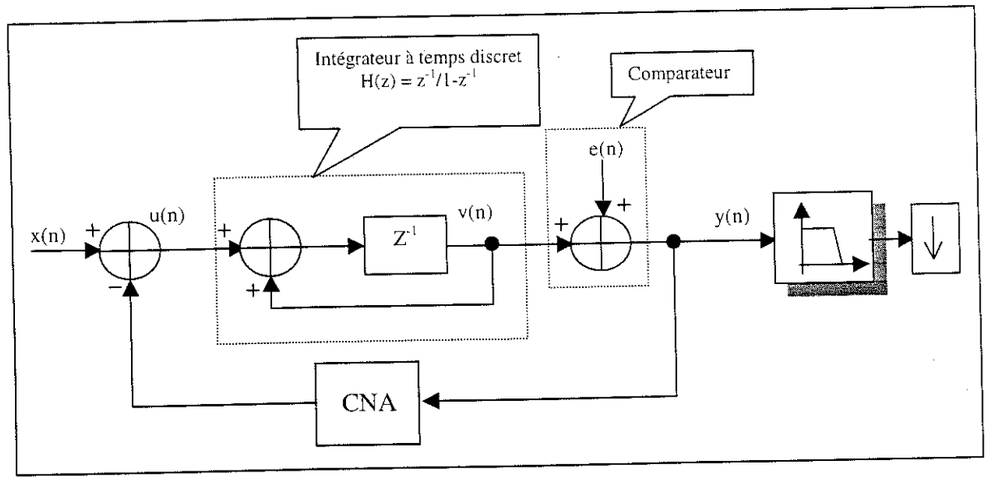


Figure II-13. Chaîne de conversion Sigma-Delta du 1er ordre

VIII-1 Etude temporelle du modulateur Sigma-Delta du premier ordre

La mise en équation du modulateur dans le domaine temporel est donné par le système d'équations aux différences suivant [Aziz-96]:

$$\begin{aligned} v(n) &= u(n-1) + v(n-1) \\ y(n) &= \begin{cases} 1 & v(n) \geq 0 \\ -1 & v(n) < 0 \end{cases} \\ u(n) &= x(n) - y(n) \end{aligned} \qquad \text{(II-27)}$$

La séquence u(n) représente l'erreur entre l'entrée x(n) et la sortie y(n) du modulateur. Cette erreur ne s'annule que si l'entrée prend les valeurs 1 ou –1.

Pour mieux comprendre le fonctionnement du modulateur, prenons le cas où la sortie y(n)=1, l'erreur est alors négative, puisque nous considérons le signal d'entrée normalisé par

rapport à la pleine échelle (son domaine de variation est alors [-1,1]). Cette valeur est rajoutée dans l'accumulateur (ou intégrateur). Après quelques coups d'horloge la sortie de l'intégrateur sera négative, par conséquent la sortie du modulateur bascule et prend la valeur –1 et l'erreur u(n) change de signe et devient positive. Cette erreur sera accumulée de nouveau dans l'intégrateur jusqu'à ce que sa sortie devienne positive et la sortie du quantificateur revient à la valeur 1.

VIII-2 Réponse à une entrée constante

La réponse du modulateur à une entrée constante se traduit par une suite de 1 et de –1 périodique par paquet de N échantillons. Le nombre N dépend du rapport entre la valeur de l'entrée et la tension de référence du convertisseur numérique-analogique 1bit. Plus le niveau de l'entrée est élevé, plus on aura des '1' à la sortie et inversement pour les faibles niveaux d'entrée.

La valeur moyenne de ces échantillons est un arrondi du niveau continu de l'entrée. En effet si la valeur de x(n) est rationnelle, la moyenne de la sortie correspond bien à la valeur de l'entrée. Prenons par exemple le cas où x(n)= 0.55. La séquence de sortie du modulateur est montrée sur la figure II-14. Cette séquence est périodique tous les 40 échantillons. Sur les 40 échantillons 31 prennent la valeur '1' et 9 prennent la valeur '-1' ce qui donne comme valeur moyenne

$$v_{moy} = \frac{31*1 + 9*(-1)}{40} = \frac{22}{40} = 0.55 \qquad \text{(II-28)}$$

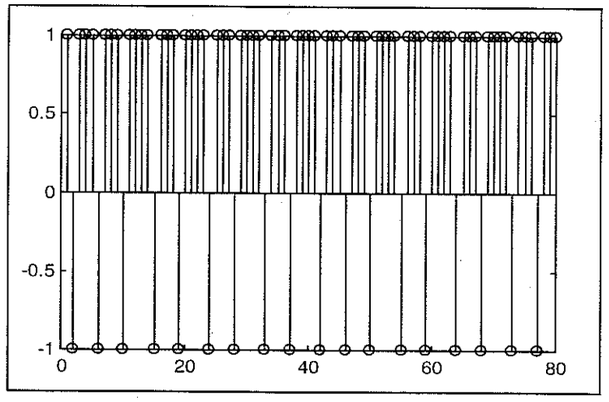


Figure II-14. Sortie du modulateur y(n) pour une entrée constante.

Dans la figure II-15 sont représentées en (a) les séquences d'écart u(n) entre la sortie et l'entrée et en (b) la sortie de l'intégrateur v(n). L'allure de v(n) montre mieux l'aspect périodique du fonctionnement du modulateur.

Pour les cas particuliers où l'entrée est nulle, la sortie du modulateur change alternativement entre 1 et –1 tous les coups d'horloge, et pour le cas où l'entrée est forcée à 1, la sortie reste toujours à 1.

Pour obtenir à la sortie du convertisseur une valeur approximative du signal d'entrée, il suffit de procéder à une opération de moyennage, sur une période de temps limitée, du flot de bits provenant du modulateur: cette opération correspond à l'étage de filtrage passe-bas qui précède l'opération de décimation.

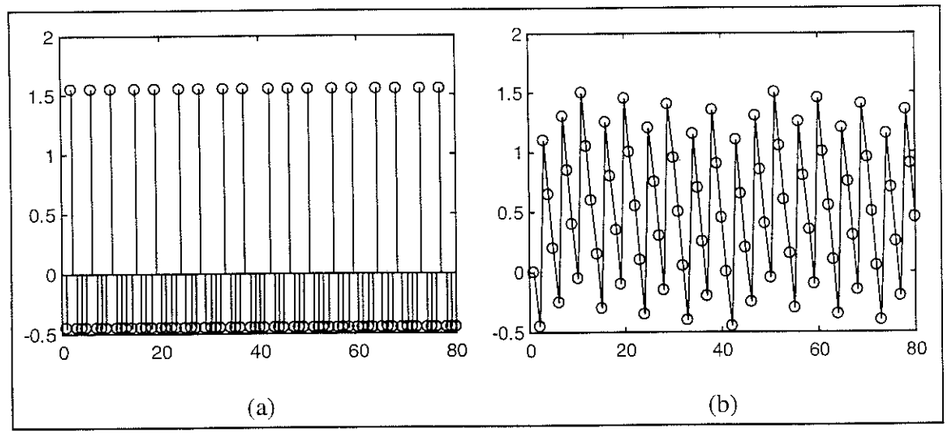


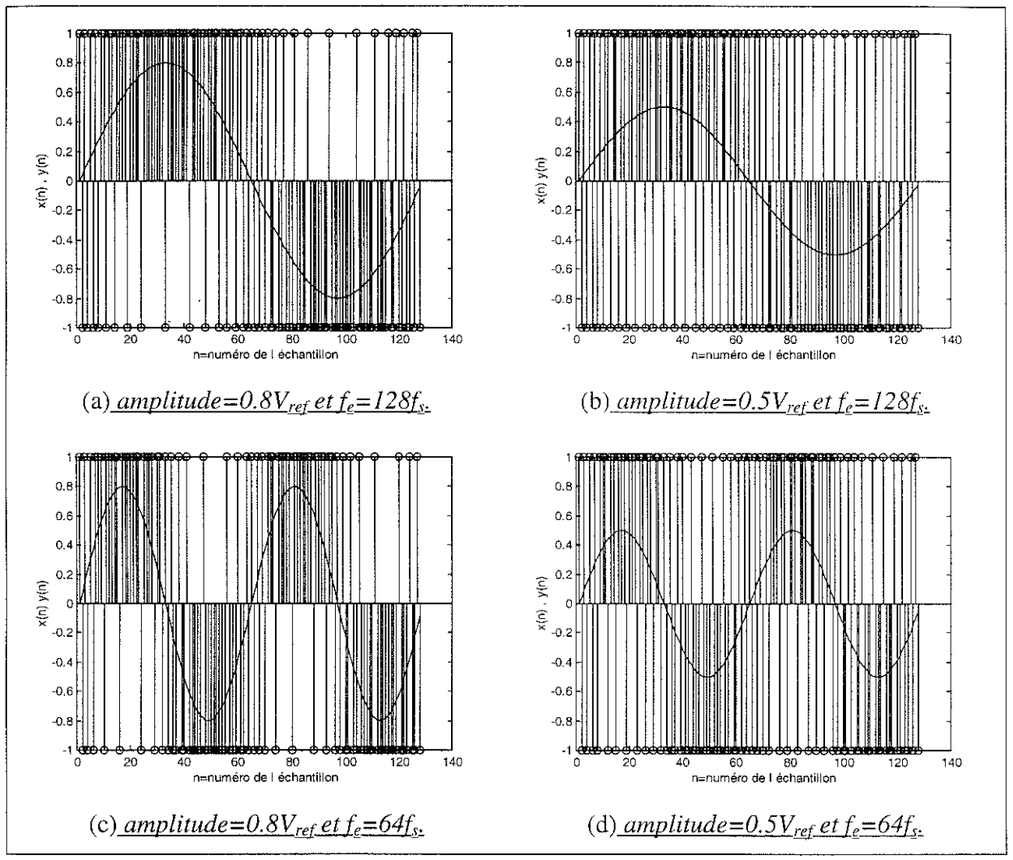
Figure II-15. (a) L'erreur u(n). (b) La sortie de l'intégrateur v(n).

VIII-3 La Réponse du modulateur à une entrée sinusoïdale

Il est intéressant d'étudier la réponse d'un modulateur Sigma-Delta à une entrée sinusoïdale car elle permet une analyse spectrale du fonctionnement du modulateur et d'identifier les anomalies de ses différents blocs, notamment du quantificateur. Cette analyse permet aussi l'étude de la dynamique du modulateur en parcourant différentes plages d'amplitude.

Sur la figure II-16, on montre différentes réponses du modulateur 1er ordre pour deux amplitudes d'entrée et deux fréquences d'échantillonnage.

Le signal de sortie correspond à une modulation de densité d'impulsion de 1 et de –1. En effet, quand le niveau de l'entrée est élevé, au voisinage de la crête positive de la sinusoïde, le signal modulé présente plus de 1 que de –1 et inversement pour des faibles niveaux d'entrée. Quand la sinusoïde passe par zéro la sortie oscille entre 1 et -1.



(a) *amplitude=0.8V_{ref} et f_e=128f_s.* (b) *amplitude=0.5V_{ref} et f_e=128f_s.*

(c) *amplitude=0.8V_{ref} et f_e=64f_s.* (d) *amplitude=0.5V_{ref} et f_e=64f_s.*

Figure II-16. Réponse du modulateur pour des entrées sinusoïdales. f_e est la fréquence d'échantillonnage et f_s est la fréquence du signal sinusoïdal.

Il est nécessaire d'analyser la sortie de l'intégrateur quand le modulateur est excité par une sinusoïde , c'est cette analyse qui fixe la dynamique du modulateur, et la valeur de la référence analogique du convertisseur Numérique-Analogique de la boucle de retour. La figure II-17 représente la sortie de l'intégrateur pour une entrée sinusoïdale d'amplitude 1.1V_{ref}. Pour ce cas de figure, au voisinage de la pleine échelle, la sortie de l'intégrateur atteint 2.3 V_{ref} . La polarisation de l'intégrateur analogique devra être ajustée de sorte à assurer la linéarité de l'intégrateur quand sa sortie est de 2.3V_{ref} et d'éviter la saturation du circuit.

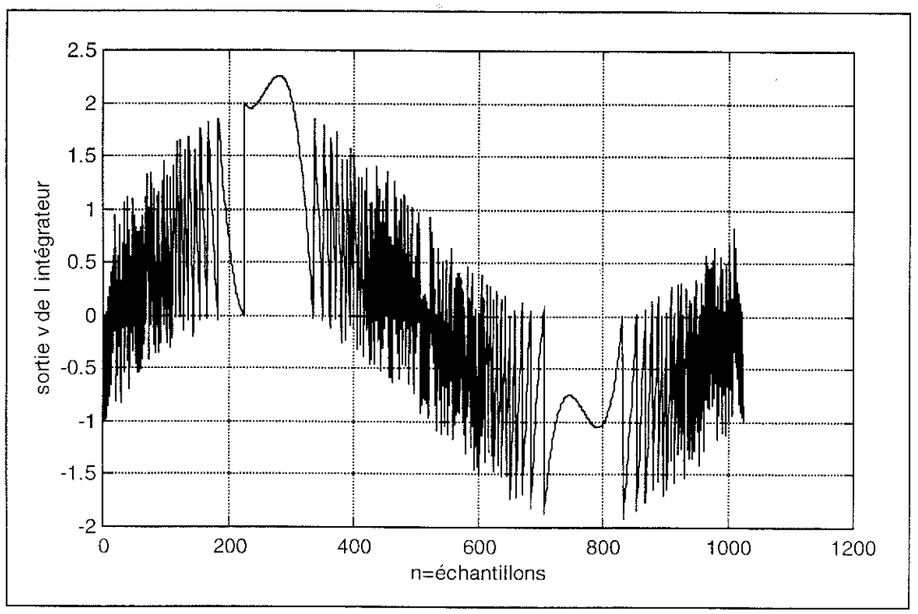


Figure II-17. Réponse sinusoïdale. Sortie de l'intégrateur.

IX MODULATEURS SIGMA-DELTA D'ORDRE ELEVE

L'étude comportementale présentée sur le modulateur Sigma-Delta d'ordre 1 donne une idée sur le principe de la modulation Sigma-Delta. Cette idée peut être étendue à d'autres architectures plus complexes qui sont proposées pour une amélioration des performances.

Beaucoup d'architectures ont été proposées dans la littérature, dont on peut en tirer un classement [Bena-94] et [Mor-94]. Dans le cadre de cette thèse on s'est limité à l'étude des modulateurs monobit à structure cascadé d'ordre n représentés sur la figure II-18

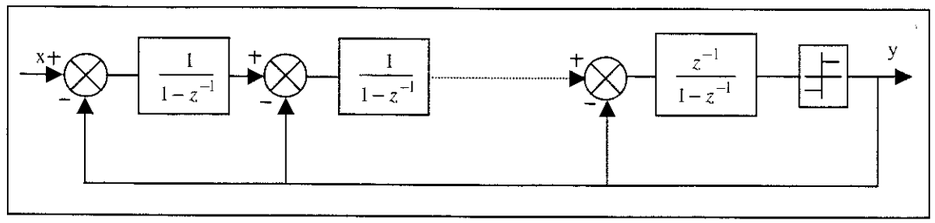


Figure II-18. Modulateur d'ordre n, structure cascadé.

Ce modulateur est formé de n intégrateurs mis en cascade, et de n boucles de contre réaction de la sortie du modulateur à l'entrée de chaque intégrateur. Le dernier intégrateur introduit un retard d'une période d'horloge, pour assurer la faisabilité du système.

Le calcul de la fonction de transfert de la sortie par rapport au signal d'entrée et au bruit de quantification conduit à l'équation de transfert suivante :

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})^n E(z) \qquad \text{(II-29)}$$

avec $FTS(z) = z^{-1}$ et $FTB(z) = (1 - z^{-1})^n$.

La fonction de transfert associée au signal reste la même et consiste en un passe-tout du signal traité avec un retard de la sortie d'une période d'horloge par rapport à l'entrée. Par contre la fonction de transfert associée au bruit de quantification est celle d'un filtre passe haut d'ordre égal à l'ordre du modulateur et dont les courbes de gain pour différents ordres sont représentées sur les figures II-19 et II-20.

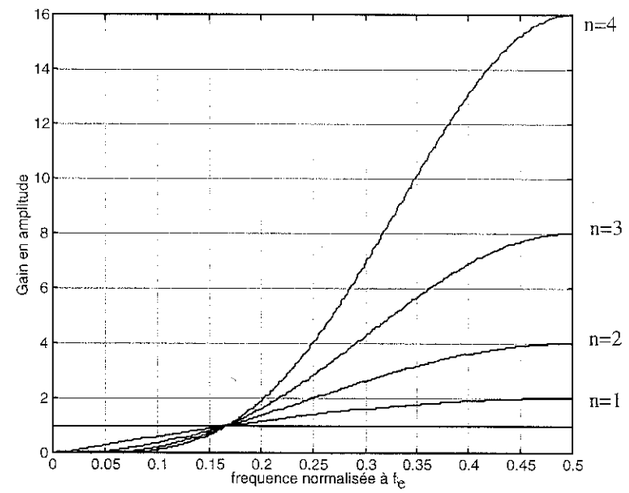


Figure II-19. Courbes de gain linéaires de la fonction de transfert du bruit de quantification pour les modulateurs d'ordre n=1, 2, 3, 4.

Si on compare les différentes fonctions de transfert par rapport au bruit, pour différents ordres du modulateur, il est clair que le bruit de quantification est nettement atténué en basses fréquences pour des modulateurs d'ordre supérieur, alors qu'il est amplifié en hautes fréquences au voisinage de $f_e/2$ (f_e est la fréquence d'échantillonnage). Ceci permet de minimiser d'avantage sa puissance dans la bande du signal et d'améliorer le rapport signal sur bruit à la sortie du modulateur dans la bande utile.

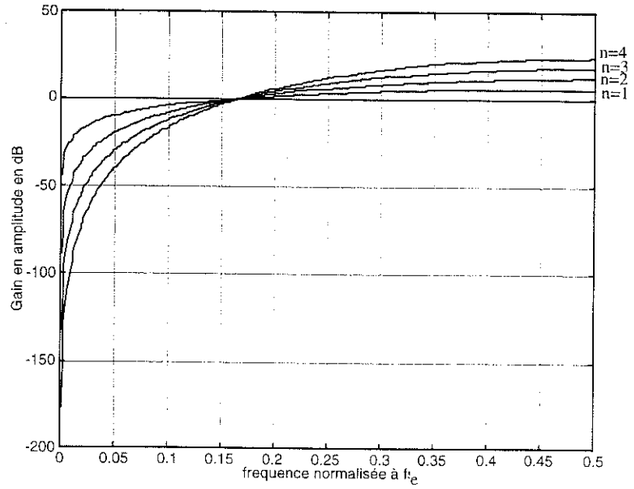


Figure II-20. Courbes de gain en dB de la fonction de transfert du bruit de quantification pour les modulateurs d'ordre n=1, 2, 3, 4.

IX-1 Caractéristiques du rapport signal sur bruit.

En se référant aux résultats du paragraphe précédent ainsi qu'au principe même des convertisseurs à sur-échantillonnage, on constate que les deux paramètres principaux déterminant le rapport signal sur bruit de la sortie du modulateur sigma- delta, sont l'ordre n du modulateur et le facteur de sur-échantillonnage (OSR OverSampling Ratio) définie par:

$$k = OSR = \frac{f_e}{2B} \qquad \text{(II-30)}$$

Dans le cas général pour un modulateur formé de n boucles et réalisant une fonction de prédiction d'ordre n du bruit de quantification, la puissance du bruit de quantification modulé, calculé dans la bande de Nyquist [-B,B] est donnée par la relation suivante [Nors-96].

$$P_B = \frac{q^2}{12}\frac{\pi^n}{\sqrt{2n+1}}\frac{1}{k^{n+\frac{1}{2}}} \qquad \text{(II-31)}$$

Le rapport signal sur bruit calculé pour un signal couvrant la pleine échelle avec une amplitude équirépartie s'écrit alors:

$$SNR = \left(\frac{\pi^n}{\sqrt{2n+1}}\frac{1}{k^{n+\frac{1}{2}}}\right)^{-1} \qquad \text{(II-32)}$$

soit en dB:

$$SNR_{dB} = 20(n+\frac{1}{2})\log(k) - 20n\log(\pi) - 10\log(2n+1) \qquad \text{(II-33)}$$

Cette formule permet de tracer des courbes, paramétrées en n, donnant le SNR en fonction du facteur de sur-échantillonnage k (OSR). Les courbes de la figure II-21 donnent le SNR en fonction du OSR pour les modulateurs formés de 1, 2, 3 et 4 boucles.

De ces courbes, on constate que pour un ordre n fixé le rapport signal sur bruit augmente sensiblement de 3(2n+1)dB chaque fois que l'on double la fréquence d'échantillonnage, ce qui correspond à un gain de (n+1/2) bits dans la résolution.

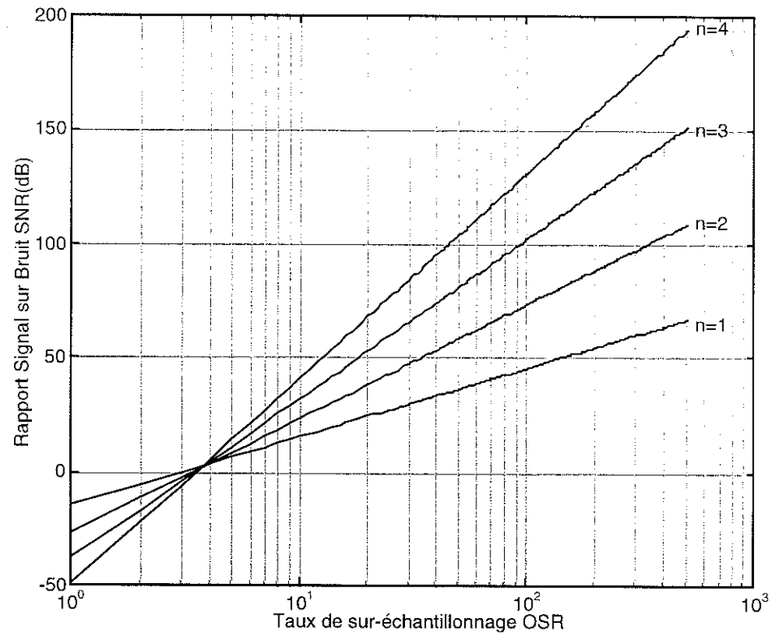


Figure II-21. Rapport signal sur bruit SNR en dB en fonction du taux de sur-échantillonnage OSR, pour des modulateurs d'ordre n=1, 2, 3 et 4.

L'utilisation de modulateurs d'ordre élevé est donc souhaitable, elle permet d'atteindre des résolutions très élevées avec des rapports de sur-échantillonnage raisonnable, mais un problème sévère de stabilité se pose à partir du troisième ordre. Ceci limite les cas pratiques à l'utilisation de modulateurs d'ordre 2 ou bien incite à passer à des architectures différentes, voire plus complexes.

Dans la suite on s'intéresse à l'étude du modulateur d'ordre 2, dont l'architecture a été retenue pour la réalisation de modulateurs Sigma-Delta avec la technique des courants commutés.

X MODULATEUR SIGMA-DELTA D'ORDRE 2

Le schéma bloc du modulateur d'ordre 2 est donné sur la figure II-22. Cette structure est essentiellement composée de deux intégrateurs, le premier a pour fonction de transfert celle d'un intégrateur sans retard $\frac{1}{1-z^{-1}}$ et le second a pour fonction de transfert $\frac{z^{-1}}{1-z^{-1}}$.

Ce modulateur correspond à l'une des structures qui réalise une prédiction de second ordre de l'erreur de quantification. L'équation de transfert de la sortie du modulateur est donnée par:

$$Y(z) = z^{-1}X(z) + (1-z^{-1})^2 E(z) \qquad \text{(II-34)}$$

D'où $FTS(z) = z^{-1}$ et $FTB(z) = (1-z^{-1})^2$

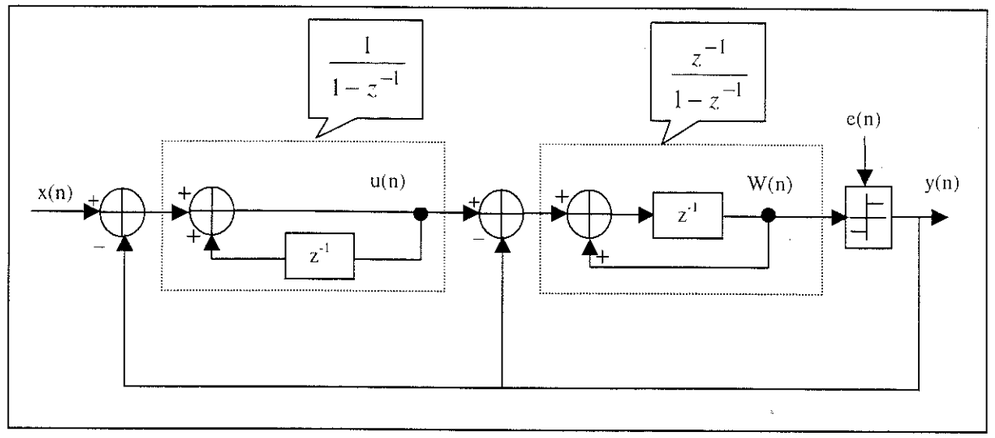


Figure II-22. Modulateur sigma delta de second ordre.

Il est à noter qu'on peut réaliser le modulateur second ordre en utilisant deux intégrateurs de fonction de transfert $\frac{z^{-1}}{1-z^{-1}}$, tout en suivant le premier par un gain 1/2. Les deux versions réalisent la même mise en forme du bruit de quantification, mais la deuxième introduit un retard supplémentaire dans la fonction de transfert associée au signal FTS.

X-1 Analyse spectrale du modulateur

Elle permet d'analyser le comportement spectral du modulateur dans la bande du signal, qui dans notre cas correspond à la bande audio. Elle consiste en des simulations temporelles du modulateur d'ordre 2 à l'aide du logiciel MATLAB faites pour des cas réels de fréquences audio. La fréquence d'échantillonnage est fixée à 1.024 MHz et la bande du signal

est limitée à la bande de 8kHz. Pour un signal d'entrée sinusoïdal de fréquence égal à 1kHz et d'amplitude égale à 80% de la pleine échelle, la FFT du signal de sortie est faite sur 65536 points, et donne le spectre de sortie représenté sur la figure II-23, limité à 8kHz.

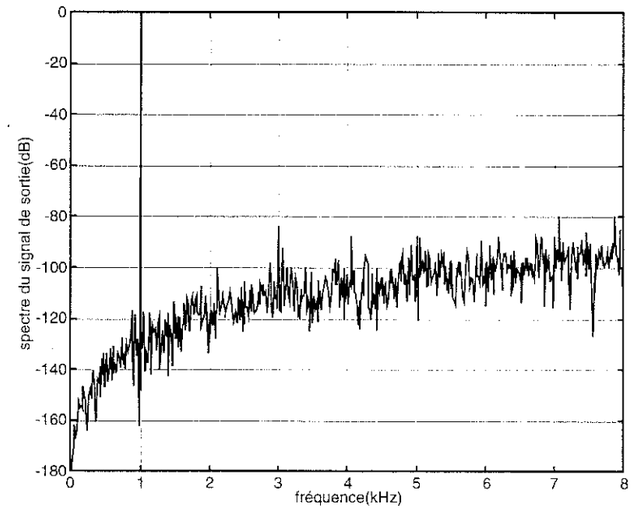


Figure II-23. Spectre normalisé du signal de sortie du modulateur limité à la bande audio [0,8kHz], pour une entrée sinusoïdale de fréquence 1kHz et à -2dB de la pleine échelle, sur-échantillonné à la fréquence de 1.024MHz.

Le niveau du plancher de bruit est significatif du nombre de points N sur lesquels est faite la FFT du signal. Cette analyse permet aussi de détecter la distorsion harmonique causée par les imperfections des différents blocs du le modulateur (cette étude fera l'objet du chapitre-IV).

X-2 Courbe du SNR en fonction de l'amplitude du signal d'entrée

Cette courbe est une caractéristique générale des modulateurs Sigma-Delta. Elle donne la valeur de rapport signal sur bruit mesuré en dB en fonction de l'amplitude relative du signal d'entrée par rapport à la pleine échelle exprimée en dB. Cette courbe est linéaire en échelle logarithmique et présente une chute du SNR lorsque l'amplitude du signal d'entrée s'approche de la pleine échelle, témoigné par la présence d'harmonique d'ordre 3 sur le spectre de la figure II-23. Ceci est caractéristique des modulateurs Sigma-Delta et provient de la saturation du deuxième intégrateur. La figure II-24 donne cette caractéristique pour un facteur de sur-échantillonnage OSR=64. D'après les relations II-13 et II-14, la résolution dans ce cas est de 12.66 bits.

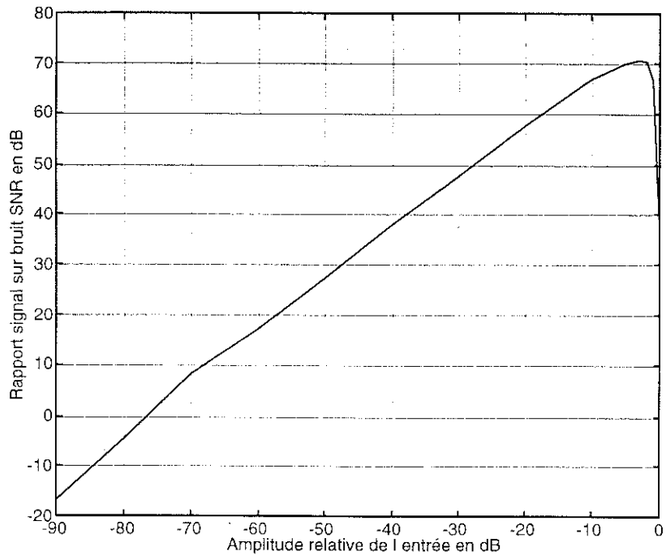


Figure II-24. Rapport signal sur bruit du modulateur Sigma-delta de second ordre(OSR=64).

XI STABILITE DES MODULATEURS SIGMA–DELTA.

Comme tout système discret régi par des équations aux différences, les modulateurs Sigma–Delta nécessitent une étude de stabilité, principalement pour les ordres très élevés. A cause de l'aspect non linéaire introduit par le quantificateur on a jamais réussi à développer une théorie générale de la stabilité des modulateurs Sigma–Delta quelque soit l'ordre. Ceci n'a pas empêché la réalisation de modulateurs d'ordre supérieur [Kar-90].

Plusieurs travaux ont traité la stabilité des modulateurs Sigma-Delta [Ard-87, Sti-88, Hei-91, Pin-93, Bai-94]. Nous nous limiterons ici à une analyse linéaire.

XI-1 Analyse linéaire

Cette analyse tient compte des erreurs de modélisation du quantificateur binaire (convertisseur A/N 1bit) et ce, en introduisant un gain arbitraire k>0 à l'entrée du quantificateur [Nors-96]. Ceci n'affecte pas le fonctionnement du modulateur puisque le quantificateur est binaire. Par contre, elle affecte le modèle linéaire et change l'expression des fonctions de transfert de la sortie associées au signal d'entrée et au bruit de quantification.

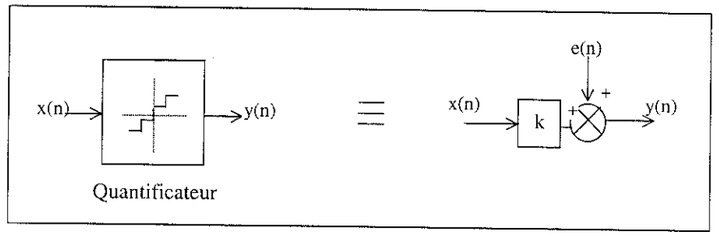


Figure II-25. Nouvelle modélisation du quantificateur.

XI-2 Lieu des pôles

Dans le cas général le schéma bloc d'un modulateur Sigma-Delta est alors donné par la figure II-26.

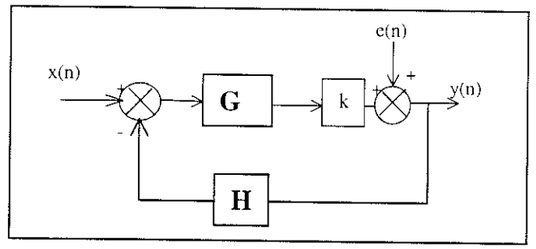


Figure II-26. Schéma bloc général d'un modulateur Sigma-Delta.

Les fonctions de transfert générales de la sortie associées au signal d'entrée et au bruit de quantification sont :

$$FTS = \frac{kG}{1+kHG}, FTB = \frac{1}{1+kHG} \qquad \text{(II-35)}$$

où G est la fonction de transfert de la chaîne principale et H la fonction de transfert de la boucle de retour. Nous avons bien deux fonctions de transfert qui ont la même équation caractéristique définie par :

$$1 + kHG = 0 \qquad \text{(II-36)}$$

La stabilité du système dépend de la position des racines de l'équation II-36 par rapport au cercle unité, mais le critère de stabilité est différent de celui pour les systèmes linéaires. En effet pour les systèmes linéaires la stabilité est déterminée par l'ensemble de valeurs k pour lesquelles les racines du polynôme caractéristique se situent dans le cercle unité. Ceci est la condition nécessaire et suffisante pour que les variables d'états (signaux) du système ne divergent pas.

Dans notre cas, tenant compte de la non-linéarité du modulateur, sa stabilité sera assurée si l'évolution des racines de l'équation caractéristique ne permet pas au signal

d'entrée du quantificateur de diverger. Ceci veut dire que les racines du polynôme caractéristique ne devront pas être impérativement à l'intérieur du cercle unité pour toute valeur de k>0, puisque la valeur de k dépend du niveau du signal à l'entrée du quantificateur.

L'évolution de la position des racines pour les valeurs de k>1 n'est pas importante dans la détermination de stabilité du modulateur. En effet l'augmentation du gain k vers des valeurs élevées, implique une atténuation du niveau du signal à l'entrée du quantificateur. Donc même dans le cas où les racines tendraient à sortir du cercle unité, ce qui revient à une augmentation du niveau du signal à l'entrée du quantificateur, on verrait alors apparaître une diminution de la valeur du gain k, d'où un retour des racines à l'intérieur du cercle unitaire.

Le plus important dans ce cas est l'étude de la position des racines pour des valeurs de k comprises entre 0 et 1. Pour cela on distingue quatre cas de répartition des racines :

- Le premier est le cas où toutes les racines sont à l'extérieur du cercle unité pour toute valeur k entre 0 et 1 : dans ce cas le modulateur est instable (figure II-27).
- Le deuxième cas correspond à une stabilité inconditionnelle définie par des racines se situant à l'intérieur du cercle unité quelle que soit la valeur de $k \in [0,1]$ (figure II-28).
- Le troisième cas est quand le lieu des racines admet une valeur k_{crit} pour laquelle les racines se situent à l'extérieur du cercle unité pour les valeurs de $k \in [0,k_{crit}]$, et intègre le cercle pour le reste des valeurs de k (figure II-29) : dans ce cas le système est instable . En effet, autour de la valeur critique de k une augmentation de l'amplitude du signal d'entrée du quantificateur implique une diminution de la valeur de k, ce qui entraîne le retour des pôles d'une manière irréversible vers l'extérieur du cercle unité.
- Le quatrième cas est le complémentaire du troisième. Pour les valeurs de k inférieures à k_{crit} les racines se situent à l'intérieur du cercle unité et pour les valeurs supérieures les racines sortent du cercle (figure II-30). Prenons le cas où le gain k est proche de k_{crit} et les racines ont tendance à sortir du cercle unité. Ceci conduit alors à une augmentation du niveau du signal à l'entrée du quantificateur, d'où une diminution de la valeur du gain k, provoquant le retour des racines du polynôme caractéristique vers le cercle unité : le système est donc stable.

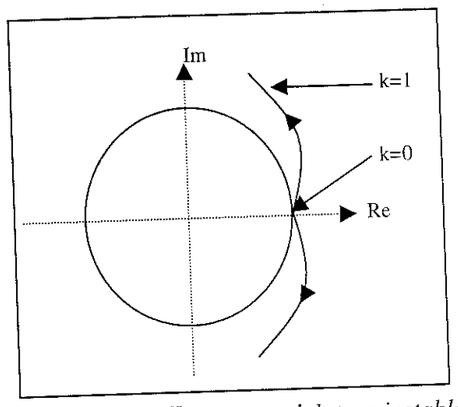


Figure II-27. 1er Cas : modulateur instable.

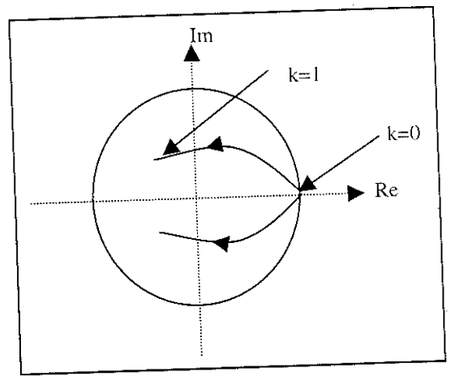


Figure II-28. 2ème Cas : modulateur stable.

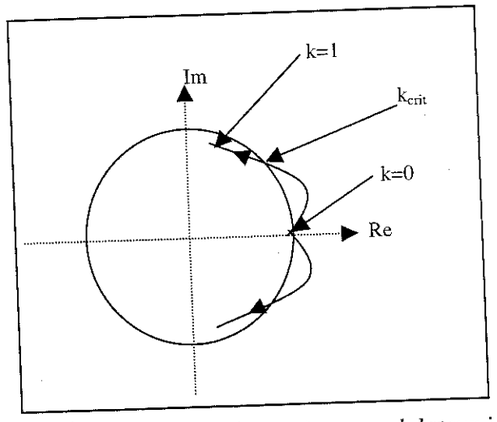


Figure II-29. 3ème Cas de lieu des racines: modulateur instable.

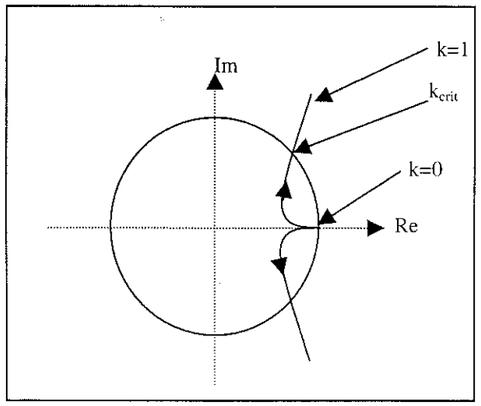


Figure II-30. 4ème Cas de lieu des racines: modulateur stable.

XI-2-1 Cas d'un modulateur du premier ordre

Prenons le cas du modulateur de la figure II-13 et introduisons le gain supplémentaire k associé au quantificateur, l'équation caractéristique du système linéarisé devient :

$$1-(1-k)z^{-1}=0 \qquad \text{(II-37)}$$

Les pôles des fonctions FTS et FTB s'écrivent en fonction de k comme suit :

$$p_k = 1-k \qquad \text{(II-38)}$$

Pour tout 0<k<1, p_k se situe à l'intérieur du cercle unité d'où la stabilité inconditionnelle des modulateurs de premier ordre.

XI-2-2 Cas d'un modulateur du second ordre

Prenons maintenant le cas qui nous intéresse le plus, celui d'un modulateur du second ordre. Pour analyser sa stabilité, nous prenons le cas le plus général du modulateur Sigma-Delta représenté sur la figure II-31.

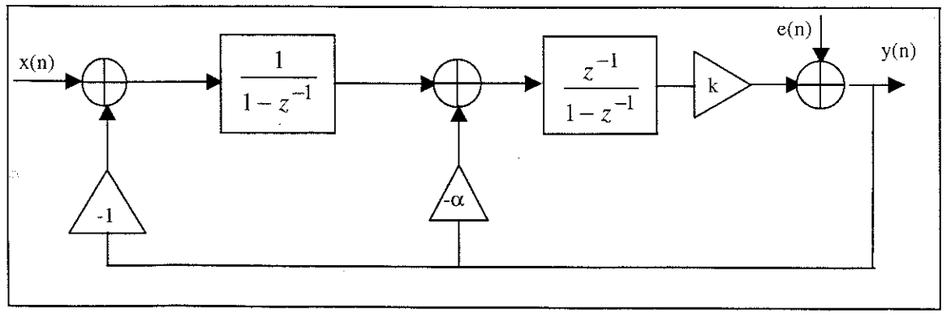


Figure II-31. Modèle du modulateur second ordre étudié.

Le calcul de l'équation caractéristique donne le polynôme suivant :

$$z^2+(-2+k(1+\alpha))z+(1-k\alpha)=0 \qquad \text{(II-39)}$$

Le tracé du lieu des racines de ce polynôme pour le cas général α=1, correspond à un lieu stable puisque les pôles du modulateur pour k∈[0,1] se situent sur le cercle de centre(0.5,0) et de rayon 0.5 inclus dans le cercle unité (Figure II-32).

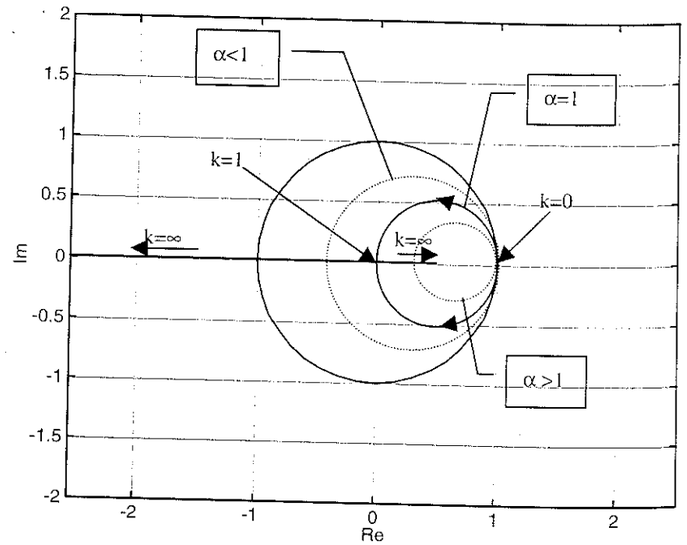


Figure II-32. Lieu des pôles pour un modulateur second ordre (α=1, α>1 et α<1).

L'utilisation de deux intégrateurs à retard dans la chaîne directe du modulateur change la condition de stabilité à α=2.

XII GENERALITES SUR LA DECIMATION

Le modulateur Sigma-Delta délivre un signal sur peu de bits (un seul bit dans notre cas) à une fréquence d'échantillonnage très élevée, difficilement utilisable. On appelle décimation le fait de ramener cette fréquence d'échantillonnage à une fréquence proche de la fréquence de Nyquist avec, simultanément une augmentation du nombre de bits. Cette opération s'effectue grâce à un moyennage temporel sur un certain nombre d'échantillons du signal sur-échantillonné. Par ailleurs, le filtre doit également éliminer le bruit de quantification sans déformer le spectre utile. Il doit donc être très sélectif.

Classiquement, le filtre décimateur se compose d'un filtre passe-bas qui élimine le bruit de quantification et d'un sous-échantillonneur d'ordre M. La représentation de ce module est la suivante:

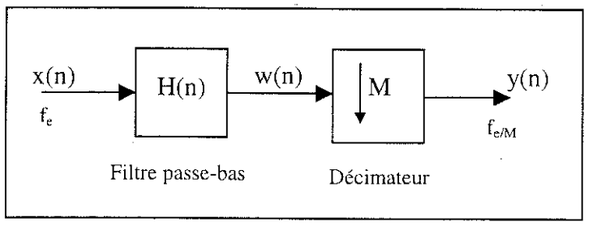


Figure II-33. Le filtre numérique décimateur.

La relation II-40 donne l'ordre de grandeur (en 1ère approximation) du nombre de coefficients nécessaire du filtre :

$$Nombre_de_coefficients = \frac{Fréquence_de_suréchantillonnage}{Largeur_de_la_bande_de_transition} \qquad \text{(II-40)}$$

Etant donné que le filtre décimateur doit être le plus sélectif possible, le nombre de coefficients sera important et sa réalisation en un seul étage devient complexe et prohibitive en surface occupé. Il est donc nécessaire d'effectuer un filtrage et un sous-échantillonnage en plusieurs étages. En effet, le taux de sous-échantillonnage de chaque filtre étant plus faible, les filtres associés seront moins sélectifs mais moins complexes [Chu-84].

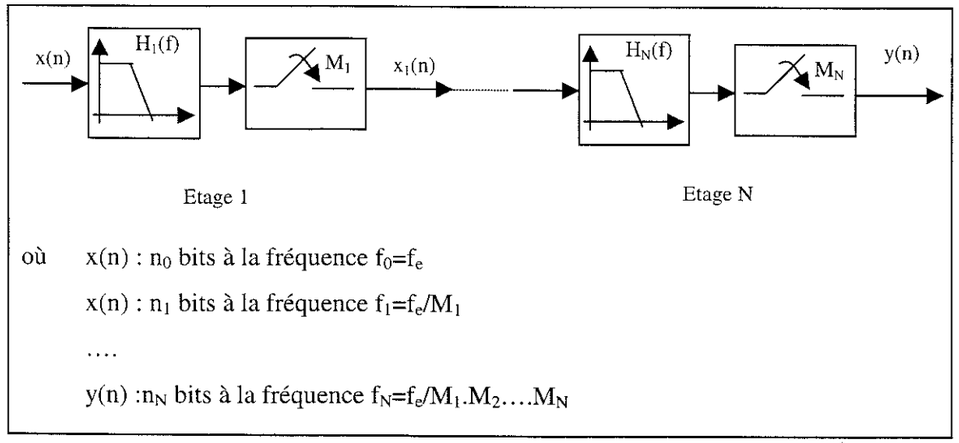


Figure II-34. Cascade de N filtres décimateurs.

Le filtre décimateur global H(f) est donc fractionné en M filtres successifs $H_1(f)$, $H_2(f)$ ....$H_N(f)$. Chaque étage (i) est suivi d'une décimation intermédiaire de facteur M_i de telle sorte que le facteur de décimation global M est:

$$M = M_1.M_2.....M_N \qquad \text{(II-41)}$$

La fréquence d'échantillonnage vue par les différents étages diminue le long de la chaîne de décimation jusqu'à atteindre en bout de chaîne la fréquence de sortie f_N:

$$f_N = \frac{f_{N-1}}{M_N} = \frac{f_{N-2}}{M_N.M_{N-1}} = ... = \frac{f_0}{M} \qquad \text{(II-42)}$$

La dynamique de codage croît le long de la chaîne de filtrage de n_0 à n_1, n_2,... n_N bit correspondant à la résolution souhaitée.

Il existe plusieurs procédés d'optimisation de cette chaîne de filtrage. Nous exposerons par la suite deux méthodes de réalisation de ce filtre.

XII-1 Choix du filtre numérique décimateur

D'une manière générale, un filtre numérique est un système linéaire invariant qui traite les échantillons d'entrée x[n] pour donner une suite y[n]. Les signaux d'entrée et de sortie sont liés par une équation aux différences :

$$\sum_{i=0}^{N} a_i.y[n-i] = \sum_{i=0}^{M} b_i.x[n-i] \qquad \text{(II-43)}$$

où les coefficients a_i et b_i sont caractéristiques du filtre.

On distingue deux grandes classes de filtres numériques: les filtres RIF 'filtres à Réponse Impulsionnelle Finie et les filtres RII 'filtres à Réponse Impulsionnelle Infinie'.

XII-1-1 Les filtres RII

La réponse d'un filtre à Réponse Impulsionnelle Infinie est donnée par l'équation aux différences suivante:

$$y[n] = \sum a_i.x[n-i] + \sum b_i.y[n-i] \qquad \text{(II-44)}$$

Il s'agit d'une structure récursive, du fait que la valeur de l'échantillon de sortie à l'instant n dépend des échantillons de sortie précédents. Le nombre de coefficients d'un filtre RII est plus faible que celui un filtre RIF réalisant la même fonction de filtrage. De ce fait, à surface égale, les filtres RII sont plus performants que les filtres RIF et d'un point de vue

logiciel, leur synthèse est plus simple. Un filtre analogique peut être synthétisé en une structure RII, les structures RIF n'ayant pas d'équivalents analogiques.

XII-1-2 Les filtres RIF

La réponse d'un filtre à Réponse Impulsionnelle Finie est donnée par l'équation aux différences suivante:

$$y[n]=\sum a_i . x[n-i] \qquad \text{(II-45)}$$

Leur réponse est linéaire en phase, les distorsions de phase sont donc négligeables. Ce point peut avoir son importance selon le type des signaux traités. La réponse de ce filtre est l'expression d'une moyenne pondérée. Leur fonction de transfert en z est non récursive, par conséquent la stabilité est toujours assurée contrairement aux filtres RII. Les performances de ces filtres souffrent moins des effets de troncature lors de leur implantation. Leur mise en cascade simplifie énormément leur implantation. Pour toutes ces raisons évoquées, les structures RIF sont les plus souvent utilisées pour la réalisation du filtre décimateur des modulateurs Sigma-Delta.

Parmi ces filtres, ceux les plus couramment utilisés pour la décimation en sortie des modulateurs Sigma-Delta sont les filtres en sinus cardinal (filtre en peigne) et les filtres demi-bande.

XII-1-3 Filtre sinus cardinal

Ce filtre est la façon la plus simple et la plus économique de sous-échantillonner, car il ne nécessite pas de multiplieur. Il est encore appelé filtre en peigne. La fonction de transfert de ce filtre est le résultat d'une moyenne sur M échantillons successifs:

$$y[n]=\frac{1}{M}\sum_{i=0}^{M-1} x[n-i] \qquad \text{(II-46)}$$

où M est le facteur de décimation.

La fonction de transfert en z correspondante est donc de la forme:

$$H(z)=\frac{1}{M}.\frac{1-z^{-M}}{1-z^{-1}} \qquad \text{(II-47)}$$

Avec z = exp($j2\pi\frac{f}{f_e}$); f_e: fréquence d'échantillonnage.

On obtient dans le domaine fréquentiel:

$$\left|H\left(j2\pi\frac{f}{f_e}\right)\right|=\left|\frac{\sin c\left(M\pi\frac{f}{f_e}\right)}{\sin c\left(\pi\frac{f}{f_e}\right)}\right| \qquad \text{(II-48)}$$

La fonction de transfert d'une cascade de k filtres sinus cardinal, est équivalente à celle d'un filtre sinus cardinal d'ordre k. Elle s'exprime comme suit:

$$H(z)=\left(\frac{1}{M}\right)^k\left(\frac{1-z^{-M}}{1-z^{-1}}\right)^k \qquad \text{(II-49)}$$

Son module s'écrit alors:

$$\left|H\left(j2\pi\frac{f}{f_e}\right)\right|=\left|\frac{\sin c\left(M\pi\frac{f}{f_e}\right)}{\sin c\left(\pi\frac{f}{f_e}\right)}\right|^k \qquad \text{(II-50)}$$

On remarque que plus l'ordre du sinus cardinal est élevé, plus l'atténuation hors bande est importante. Il est donc intéressant d'utiliser un filtre sinus cardinal d'ordre élevé pour éliminer un maximum de bruit. On réduit ainsi le phénomène de repliement de bruit dans la bande utile lors du sous-échantillonnage. Il est montré que pour un modulateur Sigma-Delta d'ordre L, il faut avoir un sinus cardinal d'ordre k = L + 1 [Cand-92] pour atténuer convenablement le bruit de quantification situé hors bande.

La simplicité d'implantation du sinus cardinal peut être mise en évidence en décomposant la fonction de transfert. Après factorisation, on obtient:

$$H(z)=\left(\frac{1}{M}\right)^k\left(\frac{1}{1-z^{-1}}\right)^k\left(1-z^{-M}\right)^k \qquad \text{(II-51)}$$

On reconnaît alors une fonction intégration suivie d'une fonction dérivation. Or, ces deux étapes sont suivies d'un sous-échantillonnage d'un facteur M. Afin de simplifier l'implantation du filtre, on peut intercaler le sous-échantillonnage entre l'intégration et la dérivation. L'opération de dérivation pourra alors fonctionner à une fréquence d'horloge inférieure à celle de l'intégration: le terme $(1-z^{-M})^k$ est remplacé par $(1-z^{-1})^k$ dans l'expression de H(z) [Sar-97]. Cela n'affecte en rien la réponse en amplitude du filtre. La figure ci-dessous représente les deux structures possibles:

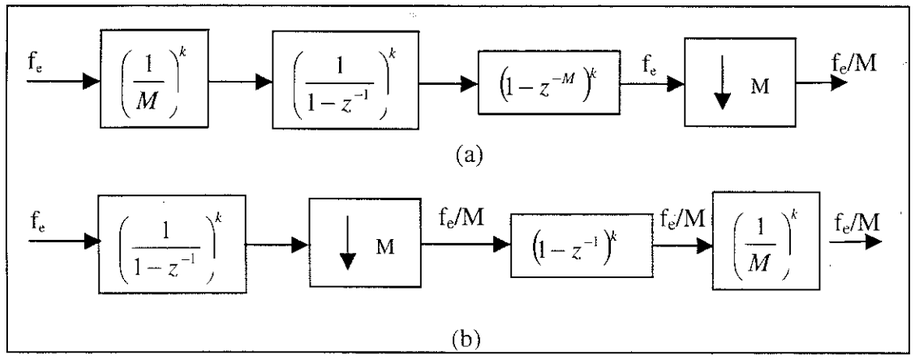


Figure II-35. (a) Structure directe du filtre en sinus cardinal; (b) Structure indirecte du filtre en sinus cardinal.

La fréquence de travail du dérivateur de la deuxième configuration étant diminuée par rapport à la première, la puissance consommée est plus faible et le nombre d'étages utilisé est réduit. Par conséquent, il est plus avantageux d'utiliser la deuxième configuration.

Un problème de dépassement 'overflow' en sortie des intégrateurs peut se produire et se répercuter sur les dérivateurs. Pour éviter cela, la sortie doit être sur un nombre de bits déterminé par la relation suivante [Bar-97]:

$$Résolution_de_sortie = k.Log_2(M) + B_{in} \qquad \text{(II-52)}$$

Où k est l'ordre du sinus cardinal, M est le facteur de décimation et B_{in}: le nombre de bits en entrée.

La contrepartie à la simplicité de ce filtre est qu'il n'est pas assez sélectif et qu'il apporte une atténuation non négligeable dans la bande utile. Il est généralement placé dans le premier étage de la chaîne de décimation. Le filtre sinus cardinal effectue ainsi un sous-échantillonnage important, puis viennent les filtres RIF correcteur pour compenser l'atténuation du gain dans la bande utile et des RIF décimateurs plus sélectifs en fin de chaîne de décimation. On utilise en général pour cela des filtres demi-bande [Cro-81], des filtres sélectifs et dont la fréquence de coupure est égale $f_e/4$. Ce qui revient alors une décimation par deux seulement.

XIII CONCLUSION

La résolution dans une chaîne de conversion analogique-numérique est limitée par le pas de quantification résultant. Une manière de surmonter cet handicap est de sur-échantillonner le signal. C'est à dire compenser la limitation de la discrétisation spatiale pour une discrétisation temporelle meilleure. Cette méthode a ses limites liées à la technologie et

elle ne peut s'appliquer que si elle s'accompagne d'une réjection du bruit vers les hautes fréquences, en dehors de la bande du signal. C'est cette mise en forme du bruit qui est caractéristique de la boucle Sigma-Delta.

Pour expliquer le comportement temporel de la boucle nous avons pris l'exemple d'un modulateur d'ordre un, puis pour mettre en évidence la forme caractéristique du spectre de bruit nous avons fait appel à un modulateur d'ordre 2 et supérieur. Un grand nombre d'architectures ont été proposées dans la bibliographie, mais pour des raisons de simplicité et de sûreté de fonctionnement nous avons opté pour une structure cascadée d'ordre 2. Celle-ci est inconditionnellement stable comme nous l'avons montré. Sa résolution est limitée à 12.7 bits pour un facteur de sur-échantillonnage de 64.

Nous avons donnée des indications sur le filtrage numérique à décimation qui doit suivre le modulateur pour constituer une chaîne de conversion complète. Le filtre en sinus cardinal (ou en peigne dans le domaine fréquentiel) est particulièrement bien adapté à la décimation importante, mais présente en revanche l'inconvénient de ne pas avoir une réponse constante, en amplitude, dans la bande basse fréquence du signal utile. Le filtre demi-bande n'as pas cet inconvénient mais se trouve limité à une décimation par deux. Ces deux types de filtres sont généralement utilisés l'un à la suite de l'autre avec parfois un filtre intermédiaire de correction.

Chapitre III

LES INTEGRATEURS A COURANTS COMMUTES EN CLASSE A

I INTRODUCTION

Dans les systèmes linéaires de traitement de l'information, on distingue deux familles: les systèmes à temps continu et les systèmes à temps discret. Les premiers sont définis par des équations différentielles et par leurs fonctions de transfert linéaires. Les systèmes discrets sont définis par des équations aux différences et par leurs fonctions de transfert discrètes en z.

Dans les deux cas on peut transformer la forme de modélisation en une représentation graphique comportant trois blocs fondamentaux : intégrateurs, blocs de gain et opérateurs additionneurs et soustracteurs. Cette représentation est aussi valable pour les systèmes non linéaires tels que les modulateurs Sigma-Delta, en introduisant les blocs non linéaires correspondants.

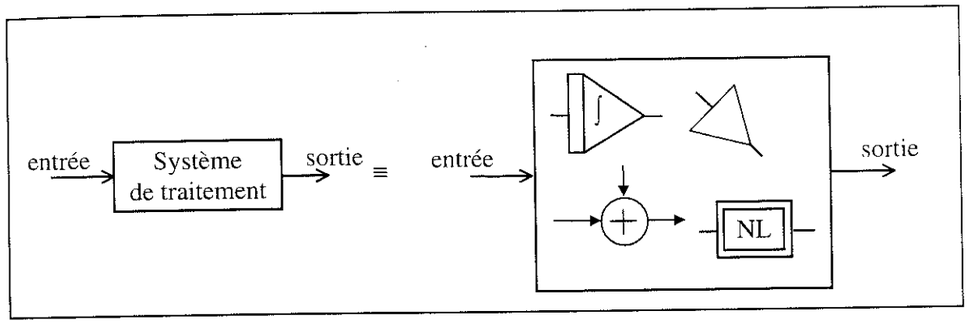


Figure III-1. Eléments de base d'un système de traitement d'un système analogique.

Pour les circuits de traitement à temps discret en mode courant [Tou-93], la fonction d'intégration constitue un élément de base dont les performances sont décisives pour le bon fonctionnement du système entier.

L'intégrateur de signaux analogiques consiste dans le cas des circuits à temps continu à exploiter les relations d'intégration et de dérivation liant les potentiels et les courants dans les composants passifs : capacités et inductances. Dans le cas des systèmes à temps discret, l'opération consiste dans la sommation des échantillons du signal analogique pris aux instants d'échantillonnage.

II DIFFERENTES STRUCTURES D'INTEGRATEURS A COURANTS COMMUTES

II-1 Principe d'intégrateur à courants commutés

L'intégrateur à courants commutés [Hug-90, Hug-90-1] exploite la propriété de retard introduite par une cellule mémoire de courant. Il est réalisé en bouclant le courant de sortie

d'une cellule retard à son entrée, de sorte à sommer le courant d'entrée et le courant de rétroaction comme l'illustre le schéma bloc suivant:

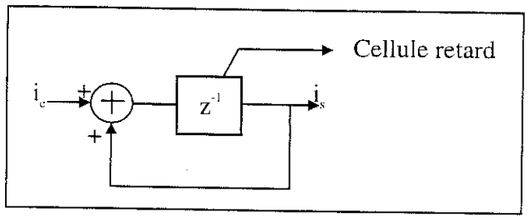


Figure III-2. Schéma bloc d'un intégrateur à courants commutés.

Le retard d'une période d'horloge est constitué par la mise en cascade de deux cellules mémoires introduisant chacune un retard d'une demi période d'horloge (Figure III-3).

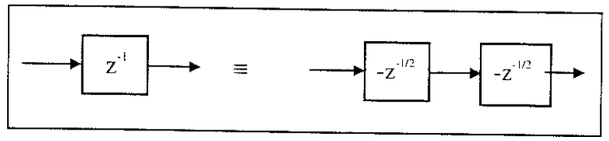
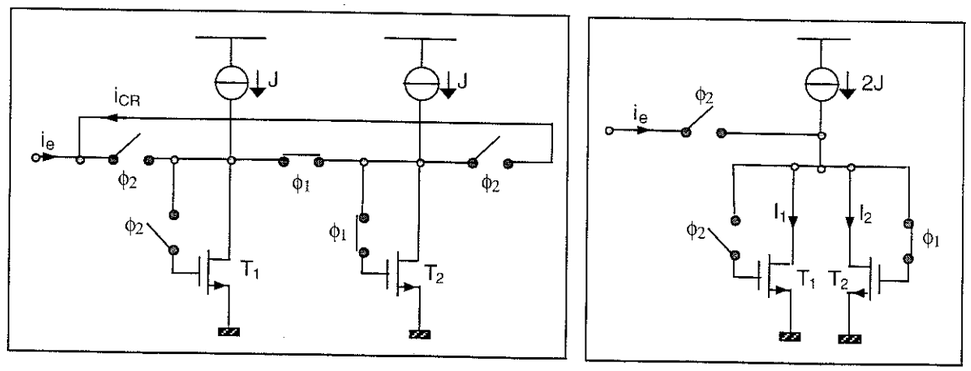


Figure III-3. Schéma bloc d'une cellule retard.

Dans la suite on ne s'intéresse qu'aux circuits à courants commutés deuxième génération en classe A.

II-2 Unité d'intégration

La mise en œuvre du principe représenté en figure III-2 et III-3 est donnée en figure III-4-a. Comme les drains des transistors T_1 et T_2 sont en permanence en court circuit compte tenu des phases recouvrantes Φ_1 et Φ_2, le schéma peut se simplifier en celui de la figure III-4-b.



(a) (b)

Figure III-4. (a) Intégrateur à courants commutés (b) version modifiée "unité d'intégration".

Pour bien suivre l'évolution de l'algorithme d'intégration, référons nous à ce dernier schéma figure III-4-b. Durant la phase Φ_1, le transistor T_1 enregistre le nouvel échantillon du courant d'entrée. Celui-ci est retranché durant la phase Φ_2 de la valeur stockée précédemment dans le transistor mémoire T_2. Le calcul des courants de drain des deux transistors mémoire durant les périodes de fonctionnement est comme suit :

La mise en équation des courants I_1 et I_2 sera faite durant la période n. Durant la phase Φ_2 de la période n-1 le courant d'entrée i_e est injecté dans le nœud d'entrée. Les courants i_e, I_1 et I_2 sont reliés par l'équation suivante :

$$i_e(n-1)+2J=I_1(n-1)+I_2(n-1) \qquad \text{(III-1)}$$

Durant la phase Φ_1 de la période n le courant d'entrée est annulé. La grille du transistor T_1 est isolé, celui-ci mémorise alors la valeur de son courant de drain de la phase Φ_2, $I_1(n-1)$. Le transistor T_2 est connecté en diode, son courant de drain prend donc sa nouvelle valeur $I_2(n)$. La nouvelle relation reliant les différents courants sera :

$$2J=I_1(n-1)+I_2(n) \qquad \text{(III-2)}$$

De même que pour la phase Φ_2 de la période n-1, l'équation III-1 s'écrit pour la phase Φ_2 de la période n :

$$i_e(n)+2J=I_1(n)+I_2(n) \qquad \text{(III-3)}$$

Les relations III-1 et III-2 et III-3 conduisent aux équations aux différences suivantes :

$$I_2(n)-I_2(n-1)=-i_e(n-1) \qquad \text{(III-4)}$$

$$I_1(n)-I_1(n-1)=i_e(n) \qquad \text{(III-5)}$$

Or initialement les courants I_1 et I_2 sont égales à J, d'où les expressions de la valeur des courant I_1 et I_2 en z:

$$I_2=J-\frac{z^{-1}}{1-z^{-1}}i_e \qquad \text{(III-6)}$$

$$I_1=J+\frac{1}{1-z^{-1}}i_e \qquad \text{(III-7)}$$

Les deux équations représentent deux formes différentes de fonction de transfert d'intégrateurs. La première est dite à retard et la deuxième sans retard. Pour restituer les courants effectifs résultant de l'intégrateur, il suffit d'utiliser des étages de sortie recopiant les courants des transistors T_1 et T_2.

Remarque importante: Dans le calcul des fonctions de transfert de tout circuit à courants commutés, la forme de la fonction de transfert dépend impérativement des instants d'échantillonnage du signal d'entrée et des instants de lecture du signal de sortie. Les signaux sont en effet échantillonnés durant les deux phases du signal d'horloge global contrôlant le circuit, ce qui introduit l'opérateur $z^{-1/2}$ dans les équations, comme cela apparaîtra pour la suite.

II-3 Intégrateur généralisé sans perte

L'intégrateur généralisé sans perte à courants commutés dans sa configuration deuxième génération[Tou-93] tel qu'il est représenté sur la figure III-5 est formé de deux transistors mémoire T_1 et T_2 associés à deux transistors de sortie T_3 et T_4. Il a une structure symétrique permettant, d'une part, d'égaliser les capacités vues par la grille de chaque transistor mémoire pour réduire au mieux l'erreur d'injection de charge résultante aux sorties et d'autre part de réaliser différentes fonctions d'intégration.

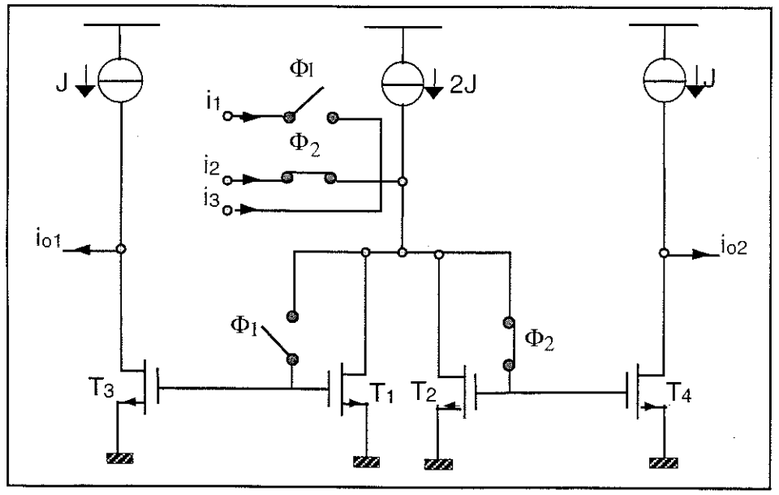


Figure III-5. Intégrateur généralisé.

La fonction de transfert des courants de sortie i_{o1} et i_{o2} par rapport aux courants d'entrées i_1 et i_2 dépend des instants d'échantillonnage des courants de sortie.

Dans le cas où les courants de sortie i_{o1} et i_{o2} sont exploités durant la phase Φ_1, ceux-ci s'expriment par:

$$i_{o11} = -\frac{1}{1-z^{-1}} i_1 + \frac{z^{-\frac{1}{2}}}{1-z^{-1}} i_2 - i_3 \qquad \text{(III-8)}$$

$$i_{o21} = \frac{z^{-1}}{1-z^{-1}} i_1 - \frac{z^{-\frac{1}{2}}}{1-z^{-1}} i_2 - i_3 \qquad \text{(III-9)}$$

Dans le cas où l'exploitation des sorties a lieu durant la phase Φ_2; ces équations deviennent :

$$i_{o12} = -\frac{z^{-\frac{1}{2}}}{1-z^{-1}} i_1 + \frac{z^{-1}}{1-z^{-1}} i_2 - i_3 \qquad \text{(III-10)}$$

$$i_{o22} = \frac{z^{-\frac{1}{2}}}{1-z^{-1}} i_1 - \frac{1}{1-z^{-1}} i_2 - i_3 \qquad \text{(III-11)}$$

II-4 Intégrateurs généralisés avec perte, inverseur et non inverseur

II-4-1 Intégrateur non inverseur avec perte

L'intégrateur avec perte, contient une contre-réaction non unitaire permettant de réaliser une fonction de transfert discrète de la forme $\frac{1}{1-\delta z^{-1}}$ avec $\delta<1$. En partant d'un intégrateur généralisé dans sa configuration non inverseuse, on lui associe un étage supplémentaire, correspondant au transistor T_3 sur la figure III-6. Cet étage fournit un courant proportionnel au courant de sortie avec un coefficient de pondération $\frac{\beta}{\alpha}$. Ce courant est injecté dans le nœud d'entrée durant la phase Φ_1 du signal d'horloge. La fonction de transfert peut donc être formulée en utilisant les résultats du paragraphe II-3. Selon la phase d'échantillonnage Φ_1 ou Φ_2 du courant de sortie on obtient respectivement :

$$\frac{i_o(z)}{i(z)} = \frac{\frac{\alpha}{1+\beta} z^{-1/2}}{1-\frac{1}{1+\beta} z^{-1}} \qquad \text{(III-12)}$$

Ou :

$$\frac{i_o(z)}{i(z)} = \frac{\frac{\alpha}{1+\beta} z^{-1}}{1-\frac{1}{1+\beta} z^{-1}} \qquad \text{(III-13)}$$

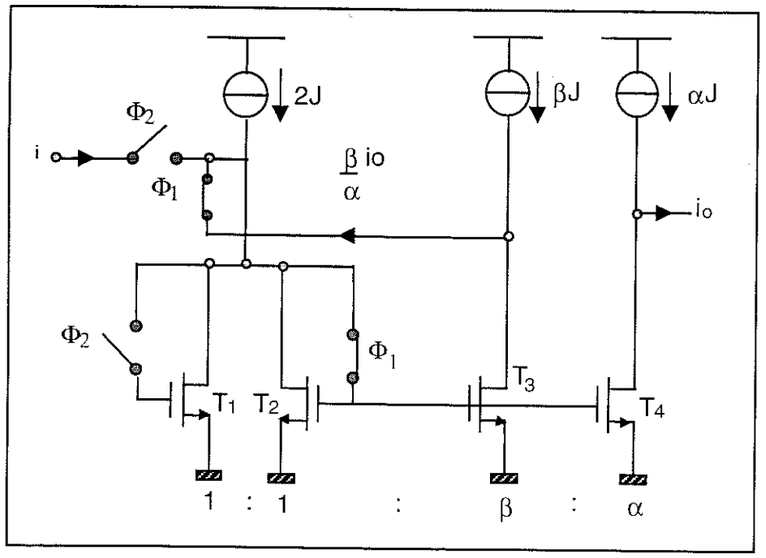


Figure III-6. Intégrateur généralisé non inverseur avec perte.

II-4-2 Intégrateur inverseur avec perte

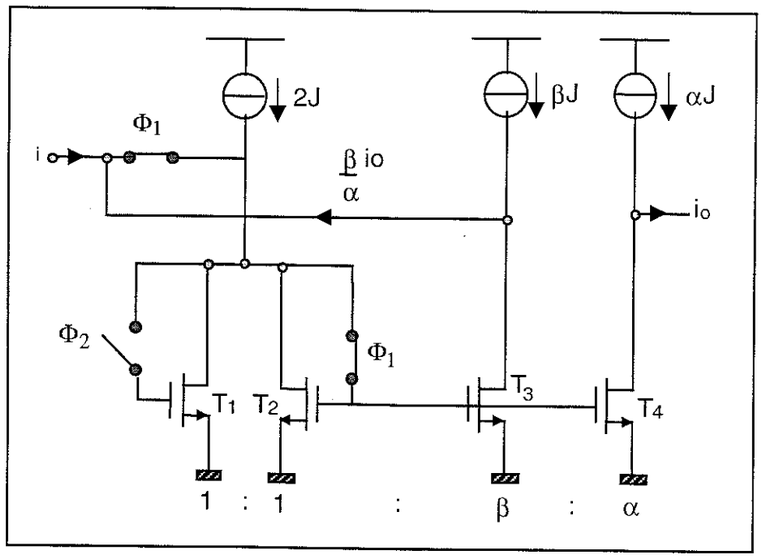


Figure III-7 Intégrateur inverseur avec perte.

Celui-ci utilise l'intégrateur inverseur généralisé avec un étage supplémentaire fournissant le courant de contre réaction. Ce courant est injecté dans le nœud d'entrée durant la phase Φ_1, phase complémentaire d'injection du courant d'entrée, comme le montre la figure

III-7. Ceci conduit à la formulation de la fonction de transfert dans le cas d'une lecture de la sortie durant les phases Φ_1 et Φ_2 respectivement:

$$\frac{i_o(z)}{i(z)} = -\frac{\dfrac{\alpha}{1+\beta}}{1-\dfrac{1}{1+\beta}z^{-1}} \qquad \text{(III-14)}$$

$$\frac{i_o(z)}{i(z)} = -\frac{\dfrac{\alpha}{1+\beta}z^{-1/2}}{1-\dfrac{1}{1+\beta}z^{-1}} \qquad \text{(III-15)}$$

III INTEGRATEURS DIFFERENTIELS DOUBLEMENT ECHANTILLONNES

III-1 Intégrateur Bilinéaire Différentiel

La structure différentielle [Tan-94,Tra-94,Tra-94-1] permet un double échantillonnage du signal d'entrée ; il est en effet échantillonné sur les deux phases Φ_1 et Φ_2 du signal d'horloge. Cette structure symétrique permet également d'assurer la continuité du courant d'entrée qui, dans le cas général, n'est exploité que durant une demi-période d'horloge. Ceci économise la puissance et évite l'utilisation de circuits auxiliaires pour évacuer le courant durant les phases inactives.

Sur la figure III-8 est représenté l'intégrateur bilinéaire différentiel. Il est formé de deux unités d'intégrateurs généralisés. Les sorties des deux unités sont interconnectées de sorte à fournir deux sorties différentielles réalisant la même fonction bilinéaire.

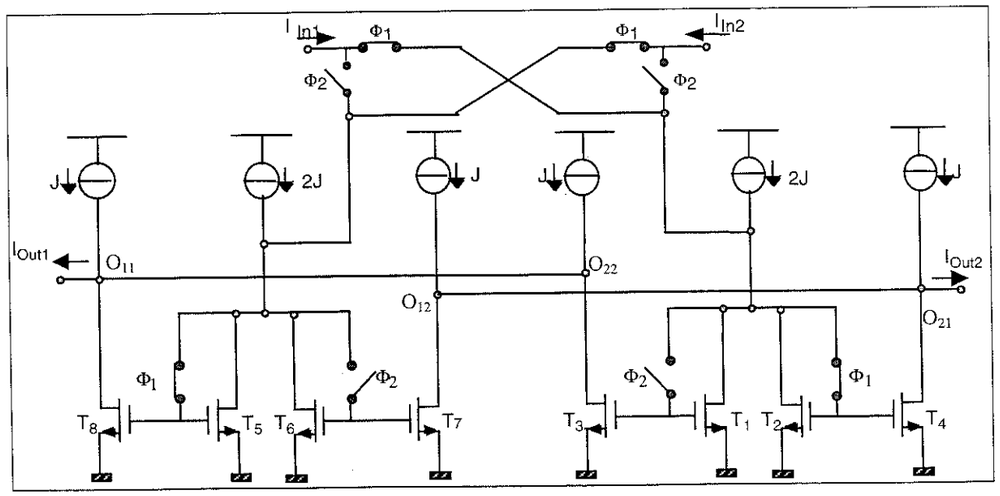


Figure III-8. Intégrateur bilinéaire différentiel.

Les sorties intermédiaires lues lors de la phase Φ_1 s'expriment par :

$$O_{11} = -\frac{1}{1-z^{-1}} I_{in2} + \frac{z^{-\frac{1}{2}}}{1-z^{-1}} I_{in1} \qquad \text{(III-16)}$$

$$O_{12} = \frac{z^{-1}}{1-z^{-1}} I_{in2} - \frac{z^{-\frac{1}{2}}}{1-z^{-1}} I_{in1} \qquad \text{(III-17)}$$

$$O_{21} = -\frac{1}{1-z^{-1}} I_{in1} + \frac{z^{-\frac{1}{2}}}{1-z^{-1}} I_{in2} \qquad \text{(III-18)}$$

$$O_{22} = \frac{z^{-1}}{1-z^{-1}} I_{in1} - \frac{z^{-\frac{1}{2}}}{1-z^{-1}} I_{in2} \qquad \text{(III-19)}$$

D'où les sorties I_{out1} et I_{out2} :

$$I_{out1} = O_{11} + O_{22}$$

$$I_{out1} = \frac{z^{-\frac{1}{2}}}{1-z^{-\frac{1}{2}}} I_{in1} - \frac{1}{1-z^{-\frac{1}{2}}} I_{in2} \qquad \text{(III-20)}$$

$$I_{out2} = O_{12} + O_{21}$$

$$I_{out2} = -\frac{1}{1-z^{-\frac{1}{2}}} I_{in1} + \frac{z^{-\frac{1}{2}}}{1-z^{-\frac{1}{2}}} I_{in2} \qquad \text{(III-21)}$$

Or dans le cas général les courants d'entrée I_{in1} et I_{in2} peuvent s'exprimer comme superposition d'un mode commun et d'un mode différentiel :

$$I_{in1} = I_{MC} + I_{MD} \qquad \text{(III-22)}$$

$$I_{in2} = I_{MC} - I_{MD} \qquad \text{(III-23)}$$

On peut alors écrire :

$$I_{out1}(z) = \frac{1+z^{-1/2}}{1-z^{-1/2}} I_{MD} - I_{MC} \qquad \text{(III-24)}$$

$$I_{out2}(z) = -\frac{1+z^{-1/2}}{1-z^{-1/2}} I_{MD} - I_{MC} \qquad \text{(III-25)}$$

L'opération d'intégration porte uniquement sur le mode différentiel et le mode commun est intégralement restitué.

Le calcul qui vient d'être fait a été appliqué à la phase Φ_1. Si on fait de même pour la phase complémentaire Φ_2, on trouve la même fonction. En conséquence cette fonction de transfert globale liant la sortie différentielle à l'entrée différentielle est indépendante de la

phase d'échantillonnage. Cette fonction est donnée par la relation III-26 ; La présence de l'opérateur $z^{-1/2}$ confirme le double échantillonnage des courants d'entrée.

$$\frac{I_{out}(z)}{I_{in}(z)} = \frac{I_{out1} - I_{out2}}{I_{in1} - I_{in2}} = \frac{1+z^{-1/2}}{1-z^{-1/2}} \qquad \text{(III-26)}$$

Dans les chaînes complexes où les circuits blocs fonctionnent en mode différentiel, il est nécessaire d'éliminer la composante mode commun pour éviter son accumulation le long de la chaîne. Pour cela des solutions seront présentées dans les paragraphes suivants.

III-2 Intégrateur Bilinéaire Différentiel avec compensation du mode commun en mode courant en contre-réaction

Pour compenser le signal mode commun des sorties différentielles, une solution en mode courant est envisageable [Lou-98-4]: elle consiste à exploiter la réponse de l'intégrateur généralisé suite à l'entrée i_3 tel qu'il est indiqué dans le paragraphe II-3. En fait il s'agit d'utiliser des étages de sortie supplémentaires qui, en additionnant les courants de sortie en A, B, C et D, restituent le courant mode commun en E. Ce courant est par la suite injecté par l'intermédiaire d'un jeu de miroirs de courant à deux étages de sortie, dans le nœud de chaque unité d'intégration (Figure III-9).

Cette solution présente deux inconvénients, à savoir l'augmentation de plus de 50% de la puissance consommée et celle de la surface de silicium occupée par le circuit total.

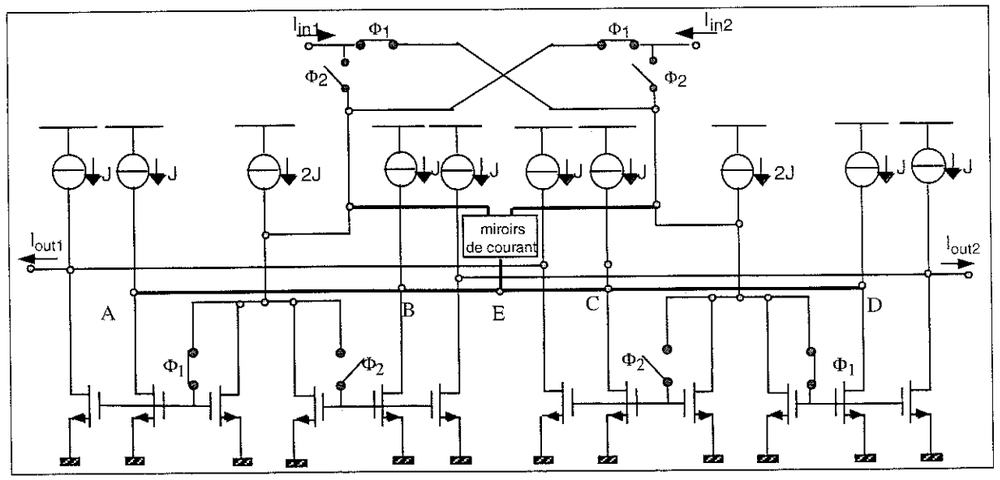


Figure III-9. Intégrateur bilinéaire différentiel avec compensation du mode commun.

III-3 Intégrateur pseudo bilinéaire

Autre que l'augmentation de la consommation en puissance, le circuit précédent présente un autre inconvénient : celui de l'erreur de désaccord entre les transistors de sorties et ceux des étages supplémentaires. La structure proposée [Lou-98-4] consiste à subdiviser les différentes sorties en deux courants, chacun étant activé durant une des deux phases de l'horloge. Le premier courant sert à former les sorties de l'intégrateur et le deuxième à extraire le mode commun.

La figure III-10 représente un schéma simplifié de l'intégrateur réalisé. Les sources de courants J doivent être identiques et à grande impédance de sortie : elles ont été réalisées à partir d'un miroir de courant généralisé et cascodé simple. Cette structure cascode a aussi été utilisée dans les cellules mémoire elles-mêmes. Le jeu des miroirs de courant permet l'extraction du mode commun et sa recopie pour l'injecter dans les noeuds d'intégration.

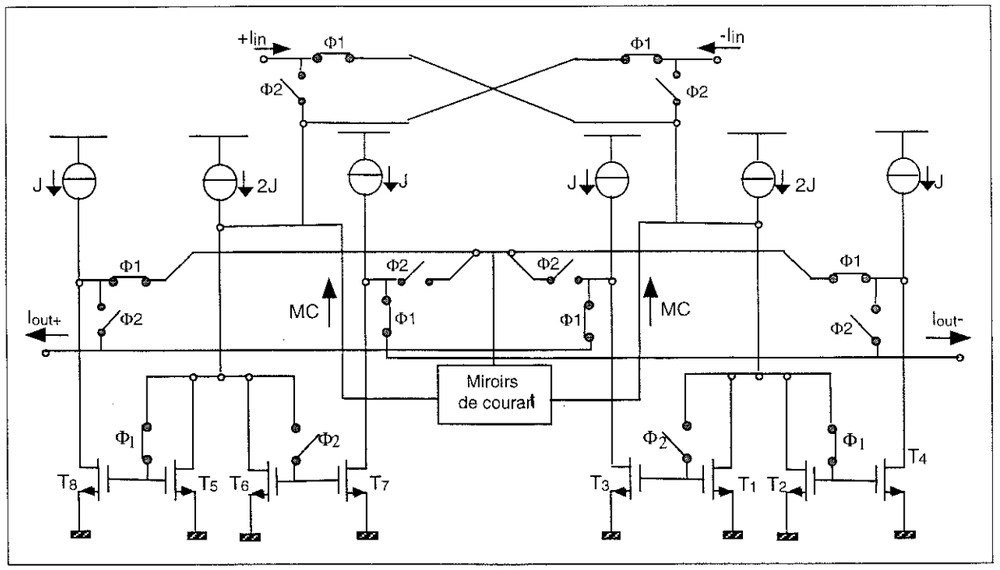


Figure III-10. Intégrateur peudo bilinéaire.

La tension d'alimentation est fixée à 3V et le courant de polarisation J à 100µA.

Le circuit a été simulé sous CADENCE pour une entrée en courant sinusoïdale, d'amplitude 5µA, de fréquence 100kHz, échantillonnée à la fréquence d'horloge de 1MHz . Le résultat de simulation est donné par la figure III-11. Il montre bien un gain algorithmique en vitesse d'échantillonnage égal au double de la fréquence d'horloge.

Un autre avantage de cette structure consiste en une réduction partielle de l'erreur d'injection de charge. En effet l'offset de courant dépendant du point de repos des transistors mémoire fait partie du mode commun rejeté. Egalement, ce circuit réduit la puissance consommée en comparaison avec l'intégrateur bilinéaire compensé.

Cet intégrateur sera utilisé ultérieurement pour la réalisation d'un modulateur Sigma-Delta de second ordre.

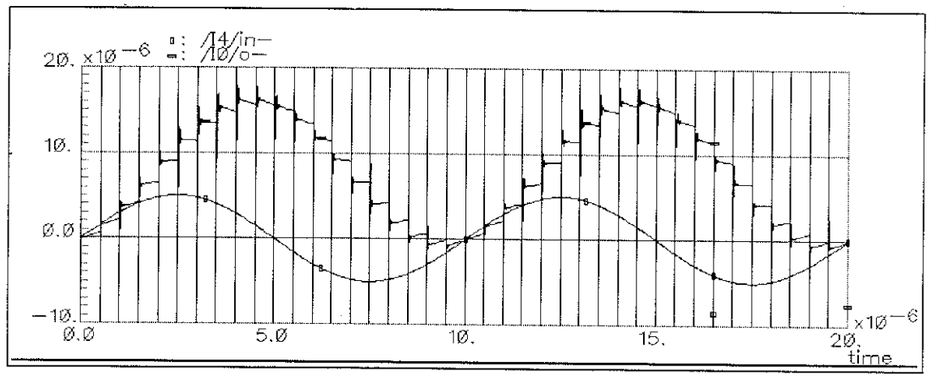


Figure III-11. Résultat de simulation de l'intégrateur pseudo bilinéaire.

III-4 Compensation du mode commun avec réaction en aval

L'utilisation de structures différentielles nécessite la compensation du mode commun. Généralement, cette compensation peut se faire moyennant une contre réaction en courant ou en tension [Tra-94-1,Tan-96].

La compensation en mode tension consiste en une génération d'un potentiel image du courant mode commun circulant dans les transistors mémoire. Ce potentiel est alors utilisé pour ajuster le courant de polarisation et compenser le mode commun.

Il est également possible de réaliser la compensation en mode courant, ce qui revient à extraire le courant du mode commun et de l'injecter une fois inversé dans les transistors mémoire en question.

La compensation avec contre réaction présente deux inconvénients principaux conduisant à un dysfonctionnement du circuit global et un troisième n'affectant pas le fonctionnement du circuit. Le premier inconvénient est la non-linéarité due à l'utilisation des conversions courant-tension et tension-courant nécessaires pour le premier type de compensation, le deuxième est la limitation en fréquence due aux boucles de contre réaction et

le troisième est l'augmentation de la consommation du circuit total. Ce dernier inconvénient se présente dans le cas d'une compensation en mode courant.

Dans cette section, on présente un type de compensation autre que les méthodes traditionnelles de compensation avec contre réaction [Tan-94-1]. Cette alternative consiste en une compensation en aval. Elle permet de résoudre les deux problèmes majeurs des compensations avec contre réaction.

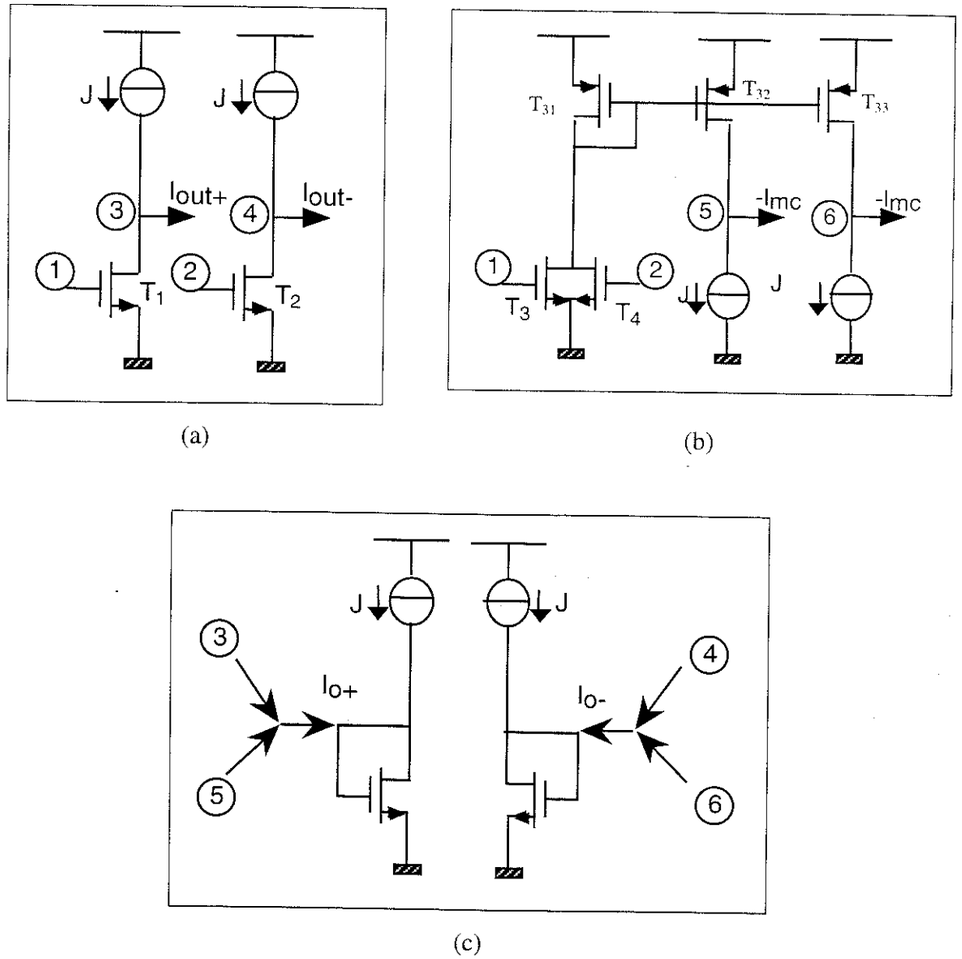


Figure III-12. Compensation du mode commun en mode aval.

Cette technique peut se résumer par les opérations illustrées sur la figure (III-12). On considère la sortie différentielle I_{out+} et I_{out-} provenant des transistors mémoire T_1 et T_2, formant les étages de sortie du circuit en question, comme le représente la figure (III-12-a). Un bloc supplémentaire, représenté sur la figure (III-12-b), est nécessaire pour la formation du courant

mode commun, il est formé par deux transistors T_3 et T_4 appariés ayant un rapport $\left(\frac{W}{L}\right)$ égal à la moitié de celui de T_1 et T_2, et dont les grilles sont respectivement reliées aux grilles de T_1 et T_2. Les drains de T_3 et T_4 sont connectés pour extraire le mode commun et rejeter le mode différentiel. Les transistors T_{31} , T_{32} et T_{33} forment un miroir de courant à deux étages de sortie fournissant deux courants identiques à l'opposé du courant mode commun $-I_{mc}$ avec $I_{mc} = \frac{1}{2}(I_{out+} + I_{out-})$. La dernière étape consiste à additionner chacun des courants générés $-I_{mc}$ à I_{s+} et I_{s-} pour attaquer l'étage suivant comme l'illustre la figure (III-12-c). Ceci empêche la propagation de la composante du mode commun d'un bloc à un autre. Le seul inconvénient de cette technique est l'utilisation de miroirs de courant, d'où un désaccord possible entre les transistors T_{31}, T_{32} et T_{33}.

III-5 Structure auto-compensée

L'utilisation de l'intégrateur pseudo bilinéaire pour la réalisation de modulateurs Sigma-Delta à courants commutés n'a pas permis d'atteindre les performances prévus (chapitre V). Ceci est dû à l'erreur d'injection de charge dépendante du signal d'entrée et non compensée dans l'intégrateur provoquant une non-linéarité. Il est donc indispensable d'essayer de compenser la totalité de l'erreur d'injection de charge.

Le sujet concernant la compensation de la totalité de l'erreur d'injection de charge a été profondément traité dans la littérature [Min-93, Jon-93, Cha-95, Tse-95]. En effet, cette anomalie reste un handicap de la technique des courants commutés. Dans ce qui suit, on propose un intégrateur à courants commutés basé sur une cellule auto-compensée.

III-5-1 Cellule auto-compensée

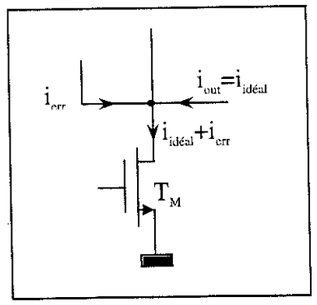


Figure III-13. principe de la compensation.

En théorie pour compenser toute erreur de courant quelle que soit son origine, il suffit d'identifier cette erreur, la recopier puis l'injecter en opposition au nœud où on désire la correction. Ce principe est appliqué ici au drain du transistor mémoire (figure III-13).

La cellule auto-compensée traduisant cette idée est représentée sur la figure III-14, [Riff-97]. Elle est formée par la cellule de base non compensée dont les éléments sont le transistor mémoire T_M, sa source de polarisation J ainsi que les interrupteurs T_{i2}, T_{i3} et T_{i4}. A cette cellule est associé un circuit auxiliaire formé par le transistor T_D, l'interrupteur T_{i1} et un miroir de courant constitué par les transistors supposés parfaitement appariés T_1 et T_2. Le rapport $\left(\frac{W}{L}\right)$ du transistor T_M est le double de celui de T_D.

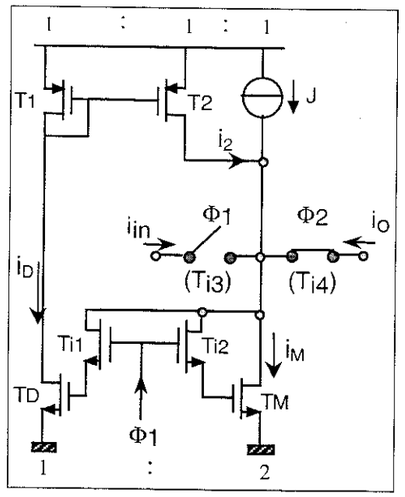


Figure III-14. Cellule auto compensée.

En régime permanent du fait du rapport précédent, les courants, dans les différents transistors, obéissent à la relation suivante :

$$i_M = 2i_D = 2i_2 \qquad \text{(III-27)}$$

Les courants de polarisations des deux transistors T_M et T_D sont alors respectivement 2J et J.

Durant la phase d'acquisition Φ_1, les interrupteurs T_{i1}, T_{i2} et T_{i3} sont fermés et le courant d'entrée est injecté dans le transistor mémoire, on aura donc :

$$i_M = J + i_2 + i_{in} \qquad \text{(III-28)}$$

Et d'après III-27 on trouve:

$$i_M = 2(J + i_{in}) \text{ et } i_D = J + i_{in} \qquad \text{(III-29)}$$

Durant la phase de restitution Φ_2, les transistors interrupteurs T_{i1} et T_{i2} se bloquent. Une quantité de charge précédemment stockée dans leur canal s'évacue dans les capacités grille source des transistors T_D et T_M ce qui introduit une erreur sur le courant drain de chacun d'eux:

$$i_M = 2(J + i_{in}) + i_{injM} \text{ et } i_D = J + i_{in} + i_{injD} \qquad \text{(III-30)}$$

Le courant restitué à la sortie est alors égal à :

$$i_o = i_{in} + i_{injM} - i_{injD} \qquad \text{(III-31)}$$

Pour que la réponse de la cellule soit parfaite, il faut donc que les courants correspondant à l'erreur d'injection de charge dans les transistors T_M et T_D soient égaux.

Considérons maintenant le cas réel des transitions rapides des signaux d'horloge. En revenant sur les expressions des erreurs de courant (I-19) et de tension (I-29) dues à l'injection de charge données aux paragraphes III-5 du chapitre I, et du fait que la capacité grille source de T_M est deux fois plus grande que celle de T_D, on a :

$$v_{injD} = 2v_{injM} \qquad \text{(III-32)}$$

Ceci suppose que les deux transistors interrupteurs T_{i1} et T_{i2} sont identiques et que la capacité grille source de T_M est deux fois plus grande que celle de T_D. En pratique, cela impose que le transistor T_M soit formé par deux transistors identiques à T_D afin de compenser l'effet des capacités de recouvrement au moment de l'implémentation. Ceci conduit à la compensation de la composante la plus significative, proportionnelle à V_{inj}, de l'erreur d'injection de charge.

L'erreur finale est égale à :

$$i_{inj} = i_{injM} - i_{injD} = \frac{k_n}{2}\left(\frac{W}{L}\right)_M v_{injM}^{\ 2} \qquad \text{(III-33)}$$

Ce terme restant très faible devant les termes de départ, et peut être considéré négligeable par rapport à l'erreur donnée par I-19.

Cette cellule est simulée avec les conditions suivantes :

Tension d'alimentation.	3.3V.
Courant de polarisation J.	100µA.
Technologie.	AMS CMOS 0.8µm.
$\left(\frac{W}{L}\right)$ du transistor mémoire T_M	$\left(\frac{40}{2}\right)$
$\left(\frac{W}{L}\right)$ du transistor duplicateur T_D	$\left(\frac{20}{2}\right)$
$\left(\frac{W}{L}\right)$ des transistors T_{i1} et T_{i2}	$\left(\frac{2}{0.8}\right)$
Fréquence du signal d'entrée.	23.44kHz.
Amplitude du signal d'entrée	50µA
Fréquence d'échantillonnage.	1MHz.

Tableau III-1. Paramètres de simulation de la cellule.

La cellule dans ses deux configurations, compensée ou non compensée, utilise l'association cascode régulé pour les transistors T_M, T_D, la source de courant et le miroir de courant.

La figure III-15 montre les spectres de sortie de la cellule avec et sans compensation. Le spectre représenté par un trait en pointillés correspond à la réponse de la cellule simple sans compensation. Ce spectre présente une distorsion harmonique forte caractérisée par la présence des harmoniques d'ordre 2 et 3, sa dynamique est faible de valeur 55dB. Le second spectre correspond à la réponse de la cellule proposée qui présente une dynamique nettement améliorée à 90dB.

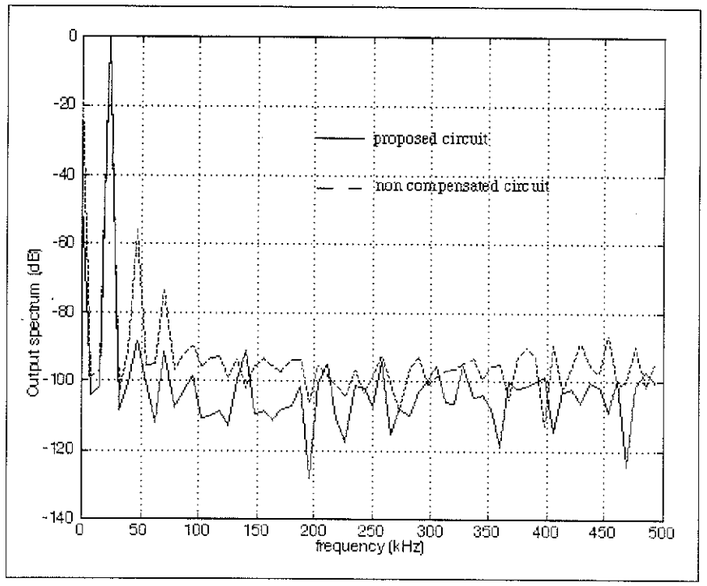


Figure III-15. Spectres de sortie de la cellule mémoire avec et sans compensation.

III-5-2 Intégrateur auto–compensé

L'intégrateur généralisé dans sa configuration deuxième génération (Figure III-16), dont le fonctionnement a été vu au paragraphe II-3, est formé principalement d'une unité d'intégration constituée par les transistors mémoire T_1 et T_2 dont le mode de fonctionnement est contrôlé par les transistors interrupteurs T_{i1} et T_{i2}. Cette unité assure alternativement les opérations de mémorisation et d'addition.

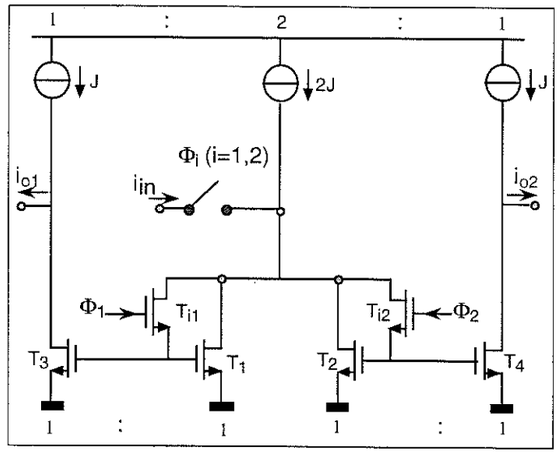


Figure III-16. Intégrateur généralisé.

Les deux transistors T_1 et T_2 sont associés à deux transistors de sortie T_3 et T_4 nécessaires pour attaquer d'autres blocs additionnels. En appliquant la méthode de

compensation de l'erreur d'injection de charge sur l'unité d'intégration et en considérant les deux transistors mémoire T_1 et T_2, on obtient le schéma donné par la figure III-17.

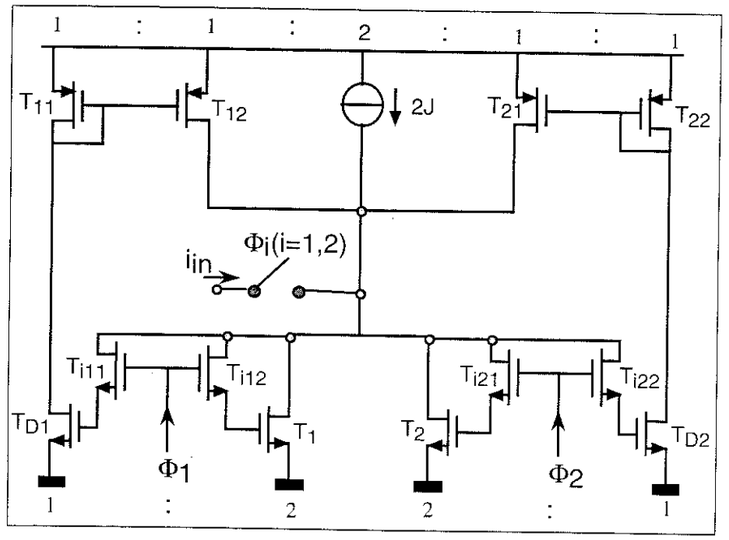


Figure III-17. Unité d'intégration compensée.

Il est nécessaire maintenant de copier et de sortir les courants de drain des transistors T_1 et T_2 résultant de l'algorithme d'intégration. L'utilisation des miroirs de courant conventionnels, comme cela est fait sur la figure III-16, n'est pas convenable dans ce cas. Ceci vient du fait que la compensation est faite en mode courant et non en mode tension. En effet, la correction s'effectue au niveau du courant de drain du transistor mémoire et non pas sur le potentiel de sa grille qui reste toujours affecté par l'erreur de tension v_{inj}. Donc, la grille du transistor T_3 ne devra pas être connectée à la grille du transistor T_1, également pour les transistors T_2 et T_4. Pour restituer les courants de sortie i_{o1} et i_{o2}, on propose d'utiliser deux étages de sortie compensés comme l'illustre la figure III-18.

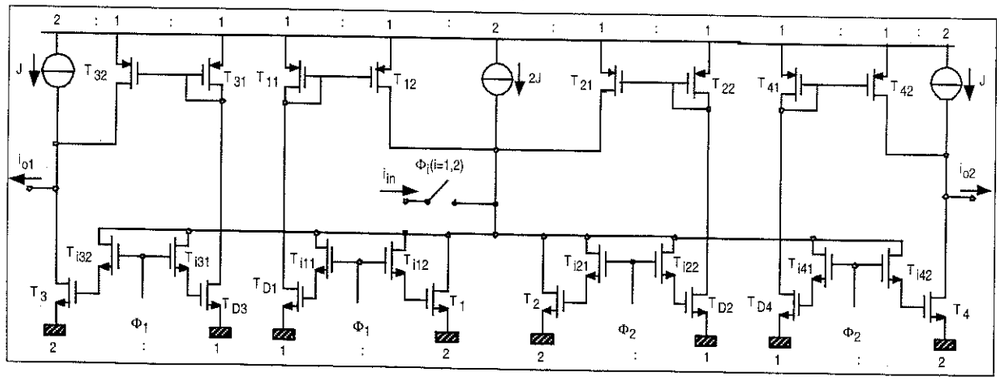


Figure III-18. Intégrateur proposé avec étages de sortie compensés.

L'étage de sortie est formé du transistor T_3 et deux autres transistors interrupteur. Cette structure permet de copier le potentiel de grille du transistor T_1 durant la phase Φ_1. Donc au cours de la transition du signal d'horloge, le phénomène produit dans T_1 se produit également dans T_3 et on réalise la même boucle de compensation que celle pour T_1. Pour ne pas perturber le fonctionnement de l'unité d'intégration et conserver la même valeur de capacité vue par la grille de T_1, le potentiel de grille de l'unité d'intégration est prélevé au niveau du drain du transistor mémoire T_1. Ceci assure à la fois la stabilité de l'intégrateur ainsi que l'isolation entre l'unité d'intégration et les étages de sortie durant la phase Φ_2 [Lou-98-1].

Un circuit similaire est utilisé pour copier le courant de drain du transistor T_2. Cet intégrateur est utilisé dans une configuration différentielle pour éliminer le courant offset résiduel provenant de la partie non compensée de l'erreur d'injection de charge.

Cet intégrateur est aussi simulé par le simulateur SPECTRE avec les mêmes conditions et les mêmes caractéristiques utilisées pour la cellule auto-compensée, sauf que l'amplitude du courant d'entrée est maintenant prise égale à 5µA, le résultat de simulation est donnée sur la figure III-19.

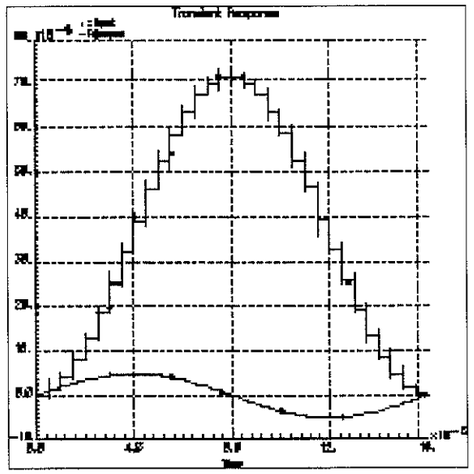


Figure III-19. Résultat de simulation transitoire de l'intégrateur auto compensé.

La structure qu'on a proposée réalise des performances satisfaisantes de point de vue réduction de l'erreur d'injection de charge. Par contre, elle nécessite des précautions au moment de l'implémentation :

- Un bon appariement des transistors constituant le miroir de courant formant la boucle de contre réaction du courant.

- Une minutieuse implémentation des transistors mémoire et des transistors duplicateur T_D, en mettant en parallèle deux transistors bien appariés avec le transistor duplicateur, pour former le transistor mémoire, et ce pour que les potentiels d'injection de charges dans T_M et T_D vérifient la relation III-32.
- Du moment où la cellule mémoire est réalisée par une association cascode régulé, il faudra mieux injecter le courant de rétroaction provenant du miroir de courant au niveau du drain du transistor mémoire puisque son potentiel subit moins de variations que celui du transistor cascode.

Cette structure a un inconvénient : une grande occupation de surface de silicium par rapport à la structure conventionnelle, due à l'utilisation répétitive du circuit de compensation. En contre partie, on assiste à une grande réduction de l'erreur d'injection de charge et une réduction de la taille des transistors mémoire ce qui élargit la bande d'utilisation des circuits utilisés.

L'intégrateur proposé [Lou-98-1] a été par la suite utilisé pour l'implémentation d'un modulateur Sigma-Delta de second ordre et a permis d'améliorer les performances.

IV CONCLUSION.

L'intégrateur est l'une des pièces maîtresses de la structure des modulateurs Sigma-Delta. Dans ce chapitre nous en avons présenté différents types en nous limitant à des circuits fonctionnant en classe A, vu leur simplicité de réalisation. Cependant d'autres structures d'intégrateurs classe AB ont été proposés [Traf-94, Traf-94-1, Oli-97] qui présentent d'autres caractéristiques intéressantes pour remédier, elles aussi, aux différents problèmes de la technique des courants commutés.

Nous avons adopté des structures différentielles pour deux raisons : l'utilisation des intégrateurs symétriques permet une exploitation continue du signal analogique, et le gain en vitesse d'échantillonnage procure une meilleure exploitation du signal. Nous avons proposé plusieurs méthodes permettant de compenser au mieux les anomalies, à savoir l'effet du rapport des conductances d'entrée/sortie et surtout l'effet d'injection de charge. Quant aux problèmes du temps d'établissement, il n'a pas été envisagé ici parce que notre application se limite aux fréquences basses de la bande audio, ne nécessitant pas des fréquences d'échantillonnage élevées.

Comme nous l'avons vu, l'association cascode réduit l'influence de la conductance de sortie sans toutefois éliminer l'erreur correspondante. Nous avons alors proposé la structure à cascode régulé associée à une auto-compensation de la cellule mémoire de l'intégrateur.

L'erreur a alors été en grande partie compensée. Cependant nous avons remarqué que cette solution génère un régime oscillatoire risquant d'augmenter le temps d'établissement. Elle semble donc limitée au fonctionnement basse fréquence ou bien faut-il utiliser une correction en fréquence.

Quant au problème de l'injection de charge, sa compensation a été abordée de deux manières différentes. La première introduit une boucle de contre-réaction en mode commun sur l'intégrateur alors que la seconde, plus efficace, fait appel à une auto-compensation de la cellule mémoire elle-même. Ces deux solutions ont été mises en œuvre dans la réalisation de deux modulateurs Sigma-Delta qui feront l'objet du chapitre V.

CHAPITRE IV

MODELISATION ET SIMULATION DES CIRCUITS A COURANTS-COMMUTES

I- INTRODUCTION

Mis à part les anomalies de la technique des courants commutés qui touchent aux performances des circuits réalisés, il existe un problème touchant la procédure de conception. Il s'agit du temps très excessif des simulations nécessaires pour faire les analyses temporelles des circuits complexes. Parmi ces circuits on peut citer les convertisseurs A/N Sigma-Delta, notre sujet principal, les convertisseurs N/A et les filtres.

Un circuit dont le fonctionnement obéit aux états des interrupteurs, est de nature non continue vis à vis du temps, dit 'circuit à temps discret'. Il est évident que sur ce type de circuit on ne peut pas effectuer les différents types d'analyse offerts par les simulateurs de circuits analogiques, notamment les analyses fréquentielles. Il est aussi indispensable de bien choisir l'état initial des différents interrupteurs pour que le simulateur retrouve le bon point de fonctionnement statique du circuit. Le seul type d'analyse qu'on peut effectuer est l'analyse transitoire qui fournit l'évolution des différentes variables du circuit en fonction du temps, selon l'état des différents interrupteurs mis en jeu. Ce type d'analyse nécessite des temps d'exécution très grands et des unités de stockage des vecteurs de test très volumineuses, dépendant principalement de la complexité du circuit et du nombre d'interrupteurs mis en jeu. Le temps de calcul dépend aussi du rapport entre la fréquence de commutation et la fréquence du signal analogique traité. Lorsque celui-ci est élevé, les temps de calculs sont très longs puisque le simulateur travaille au rythme du signal d'échantillonnage. A ce sujet on peut citer l'exemple d'une simulation analogique faite sur le premier modulateur Sigma-Delta présenté au chapitre V. Il s'agit d'une simulation temporelle sur une période d'un signal analogique sinusoïdal de fréquence 1kHz échantillonné à la fréquence de 1MHz, la simulation a nécessité 10 jours de calcul et 1Giga octets pour le stockage des résultats obtenus. Cette simulation a été réalisée pour vérifier le fonctionnement comportemental du modulateur sans pouvoir en déduire ses performances, qui nécessitent une simulation sur un intervalle de temps plus long. Il est donc indispensable de trouver une solution permettant à la fois de réduire les temps de simulations et la taille des fichiers de sortie créés. Ce problème s'est posé aussi pour les concepteurs de circuits à capacité commutées. Afin de résoudre ce problème, PHILIPS, par exemple propose un logiciel appelé SCALP 'Switched Capacitor Analysis Program'. Dias *et al.* ont développé un logiciel dédié à l'étude des modulateurs Sigma-Delta à capacités commutées, appelé TOSCA [Dias-91].

Un deuxième point touchant à la simulation des circuits à courants commutés est la recherche d'une méthode d'analyse permettant la mesure par simulation des différentes erreurs dues aux anomalies de cette technique présentées au chapitre I, à savoir :

- L'injection des charges dans la grille du transistor mémoire.
- Le rapport fini des conductances d'entrée et de sorties des cellules mémoires.
- L'erreur due aux temps d'établissement.

Cette étude est nécessaire afin d'extraire les modèles réels régissant ces différents phénomènes, et de valider les modèles déjà établies théoriquement.

Dans ce chapitre nous présenterons deux approches concernant la simulation des circuits à courants commutés : la première méthode est basée sur une simplification des schémas équivalents des différents composants constituant le circuit. La seconde méthode est une simulation comportementale dans laquelle les erreurs ont été ajoutées aux modèles idéaux. Les expressions mathématiques des erreurs sont comparées aux résultats donnés par la première méthode. Ceci permet de valider celle-ci dans une certaine plage de fonctionnement.

II UTILISATION DES MODELES PETITS SIGNAUX DES TRANSISTORS MOS

Les circuits à courants commutés étudiés sont polarisés autour d'un état correspondant au fonctionnement linéaire des transistors principaux, les transistors mémoire, et les potentiels et les courants des différents éléments d'une cellule subissent des variations autour de ce point. A l'exception des interrupteurs, le fonctionnement des autres éléments constituant les cellules peuvent être alors linéarisés [Que-91].

Dans ce contexte Gates *et al.* ont proposé un programme de simulation des circuits à courants commutés [Gat-96]. Ce programme est basé sur l'utilisation des modèles simplifiés des différents éléments d'une cellule pour arriver à une mise en équation simplifiée des différentes phases de fonctionnement de la cellule. Selon le type d'analyse, qu'elle soit temporelle ou fréquentielle ils utilisent respectivement le modèle grands signaux ou faibles signaux du transistor MOS (voir Annexe1). Le programme réalisé utilise la technique des matrices creuses pour réduire le temps de calcul et la taille mémoire nécessaire au stockage des données.

Notre approche se base sur l'utilisation de schémas simplifiés du modèle petit signaux pour la simulation sur simulateur électronique (HSPICE, SPECTRE). Les paramètres des

modèles utilisés sont extraits au point de fonctionnement des différents éléments pour effectuer des analyses temporelles rapides des circuits à courants commutés.

Les modèles proposés des éléments de base constituant les circuits à courants commutés sont présentés sur le tableau I.

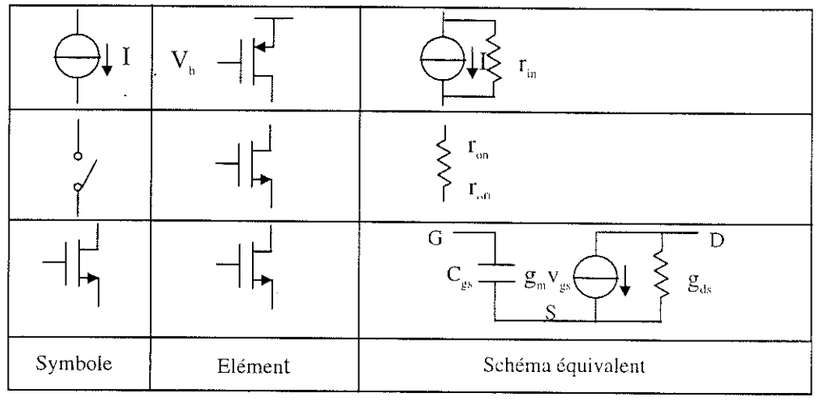


Tableau IV-1 Eléments de base des circuits à courants commutés.

- Les sources de courant sont réalisées par des transistors PMOS polarisés par des tensions de référence qui fixent la valeur du courant de polarisation des cellules. Elles sont équivalentes à une source de courant idéale en parallèle avec la résistance interne de la source réelle.
- Les interrupteurs sont principalement réalisés par des transistors NMOS pour les interrupteurs de tension ou par une porte de transmission CMOS pour les interrupteurs de courant. Ces interrupteurs sont équivalents à une résistance très faible r_{on} lorsqu'ils sont fermés et à une résistance de très grande valeur r_{off} lorsqu'ils sont ouverts. Cette modélisation ignore l'effet des capacités mises en jeux au moment de la commutation, ce qui élimine l'effet de l'injection des charges stockées dans les canaux des transistors interrupteur. Il est possible de faire une modélisation permettant de tenir compte de cet effet, en faisant intervenir les capacités parasites du transistor MOS.
- Les transistors mémoire sont modélisés par leur schéma simplifié petit signaux donné dans le tableau IV-1. L'utilisation de modèles plus complexes n'est justifiée que si on s'intéresse à la réponse transitoire des circuits en commutation.

Les paramètres correspondants à chaque modèle sont extraits au point de polarisation de la cellule mémoire réelle suite à une analyse en continu par le logiciel de simulation analogique des circuits électronique, SPECTRE sous CADENCE.

II-1 Application aux modulateurs Sigma-Delta

La même simulation du modulateur qui a demandé plusieurs jours de calcul a été refaite en utilisant les schémas simplifiés idéaux. Le temps de simulation à été réduit à quelques heures. Une telle simulation est suffisante pour tester la fonctionnalité du modulateur. Il est possible de prolonger l'analyse mais ceci n'est pas réaliste car, d'une part les modèles utilisés ne tiennent pas compte des imperfections du transistor MOS, et d'autre part l'approximation petits signaux n'est pas valable pour le cas des modulateurs Sigma-Delta, vue la grande variation des courants circulant dans les cellules mémoire correspondantes.

II-2 Mesures des erreurs de courant

Le deuxième intérêt de la modélisation présentée précédemment, est l'évaluation des différentes erreurs sur le courant de sortie des circuits à courants commutés, causées par les imperfections du transistor MOS. Pour cela différents niveaux de simulations ont été élaborés en activant différentes sources d'erreur et en neutralisant d'autres, au moyen des modèles définis au paragraphe II.

Des simulations ont été faites pour une cellule mémoire deuxième génération de type cascode simple (Figure IV-1) ainsi que pour l'intégrateur sans perte de la figure IV-2 où les transistors T_1, T_2, T_3 et T_4 sont remplacés par l'association cascode formé par les transistors M et T_c. Le tableau VI-2 résume les principales paramètres des deux circuits simulés. Les résultats obtenus par simulations ont été par la suite comparés aux calculs théoriques établis au chapitre I.

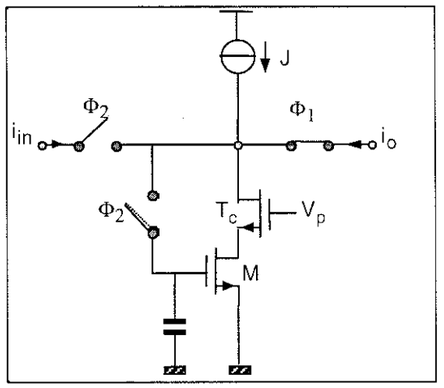


Figure IV-1. Cellule mémoire deuxième génération dans sa configuration cascode simple.

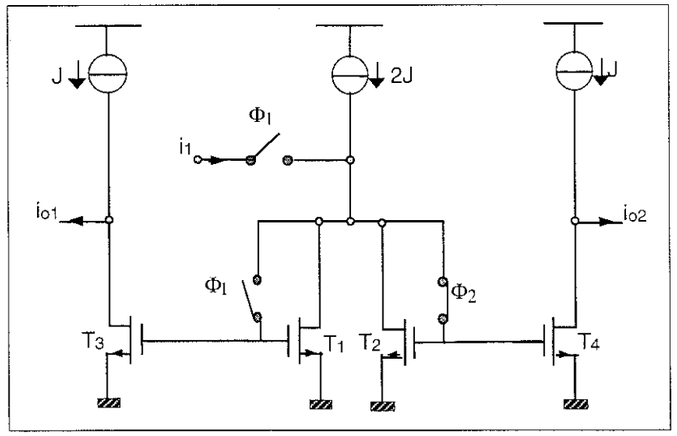


Figure IV-2. Intégrateur à courants commutés.

Technologie	0.8µm
Tension d'alimentation	3.3V
Courant de polarisation J	100µA
(W/L) du transistor mémoire M(en µm)	64/8
(W/L) du transistor cascode T_c (en µm)	52/0.8
(W/L) du transistor l'interrupteur (en µm)	2/0.8
Fréquence de commutation	1MHz

Tableau IV-2. Paramètres principales de la cellule mémoire.

II-2-1 Cas de la cellule mémoire

II-2-1-1 Calcul de l'erreur totale sur le courant de sortie

L'erreur totale sur le courant de sortie de la cellule mémoire correspond à la différence entre la valeur du courant d'entrée au moment de l'échantillonnage et la valeur du courant restitué à la sortie. La valeur du courant d'entrée échantillonné est en fait le courant de sortie de la cellule mémoire simulée en remplaçant ses différents éléments par leur schéma équivalent idéal.

La courbe représentée sur la figure IV-3 donne l'erreur totale pour différentes valeurs du courant d'entrée de la cellule prise entre –80 et 80µA, au delà de cette plage on assiste a une très forte saturation des transistors mémoire.

D'après cette courbe on peut déduire que l'erreur totale est subdivisée en deux composantes : la première correspond à un offset de courant de valeur 0.5µA soit 0.5% de la valeur du courant de polarisation et une deuxième composante qui dépend du courant d'entrée, cette dernière pouvant être considérée linéaire pour des courants d'entrée variant entre-60µA et 60µA.

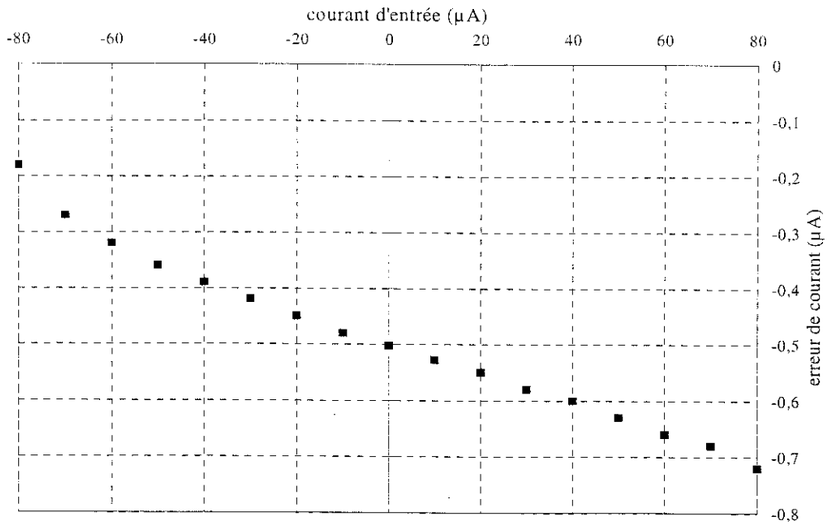


Figure IV-3. Erreur totale du courant de sortie.

II-2-1-2 Calcul de l'erreur due à l'injection de charge

En remplaçant les interrupteurs par leur schéma équivalent petits signaux, on élimine l'effet d'injection de charge. Ceci permet de trouver les courants de sorties affectés par toutes

les imperfections, sauf l'injection de charge. Si on déduit cette valeur de l'erreur totale déjà calculée on obtient l'erreur due à l'injection de charge.

La courbe de la figure IV-4 donne l'erreur de l'injection de charge. L'analyse des deux courbes d'erreur totale et d'injection de charge montre que la contribution de l'erreur d'injection de charge est très importante vis à vis des autres erreurs cumulées.

En se ramenant maintenant à la formulation théorique déjà élaborée au chapitre I, et en considérant le cas des transitions très rapides, les trois expressions nécessaires au calcul de l'erreur dans une cellule mémoire sont rappelées ci-dessous (relations IV-1, 2 et 3). Les différents paramètres des transistors mis en jeu nécessaires au calcul de l'erreur d'injection de charge sont extraits aux points de polarisation en faisant une simulation DC de la cellule sur le simulateur SPECTRE.

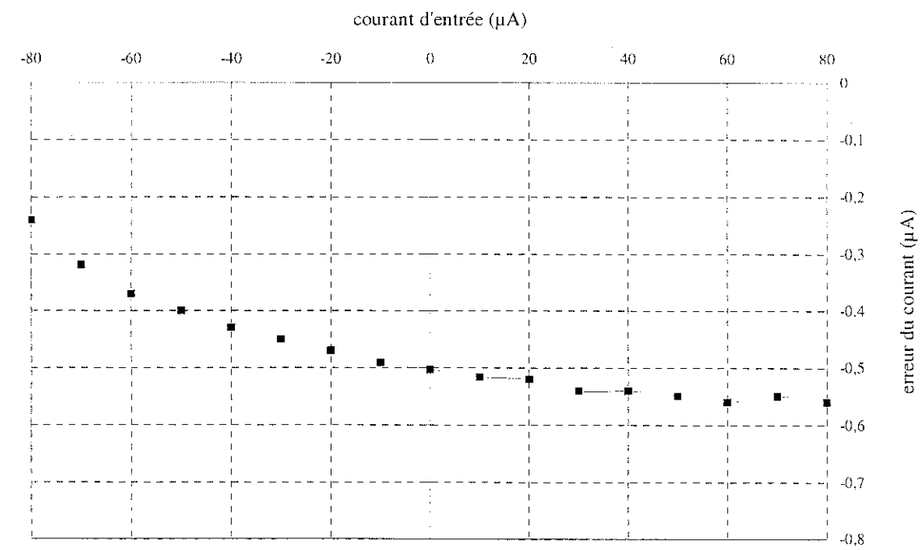


Figure IV-4. Erreur d'injection de charge.

$$i_{Dinj} = \frac{k_n}{2}\left(\frac{W}{L}\right)_M V_{inj}^{\ 2} + k_n\left(\frac{W}{L}\right)_M (V_{GS,M} - V_{T,M})V_{inj} \qquad \text{(IV-1)}$$

Avec

$$V_{GS,M} = \sqrt{\frac{I_p + i_{sig}}{k_n\left(\frac{W}{L}\right)_M}} + V_{T,M} \qquad \text{(IV-2)}$$

Et

$$v_{inj} = \frac{\left(\frac{C_{gc}}{2} + C_{rec}\right)\left(V_H - V_{GS,M} - V_{T,i}\right) + C_{rec}\left(V_{GS,M} + V_{T,i} - V_B\right)}{C_{gs,M}} \qquad \text{(IV-3)}$$

La formulation de la valeur de l'erreur d'injection de charge i_{Dinj} est élaborée à l'aide du logiciel MAPLE. Elle conduit à une expression complexe donnée dans l'annexe 2.

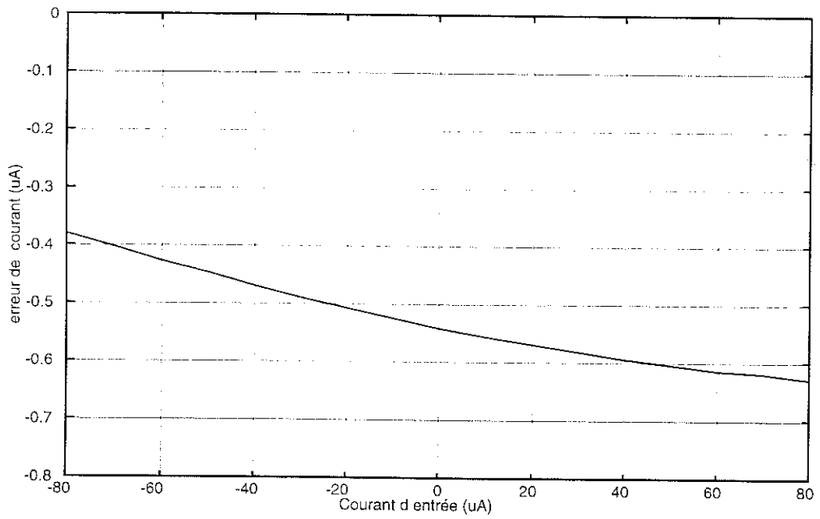


Figure IV-5. Erreur d'injection de charge théorique.

La représentation de cette erreur en fonction du courant d'entrée est donnée par la figure IV-5. Ce résultat met en valeur le calcul théorique et l'hypothèse des transitions rapides adoptée. Une légère différence existe cependant entre les mesures faites par simulation et le calcul théorique quand la valeur du courant d'entrée s'approche de la valeur du courant de polarisation. Ceci s'explique par la saturation de la cellule mémoire : les paramètres des transistors interrupteur T_s et mémoire M changent suite à la grande variation du courant d'entrée.

II-2-1-3 Calcul de l'erreur de courant due au rapport fini des conductances d'entrée et de sortie

L'erreur due au rapport des conductances d'entrée et de sortie correspond à l'écart entre le courant de sortie de la cellule simulée avec des interrupteurs idéaux et des éléments réels d'une part, et le courant résultant de la simulation d'une cellule réalisée entièrement par des

éléments idéaux d'autre part. Ceci suppose que l'erreur due aux temps d'établissement est négligeable. Cette hypothèse est vérifiée lorsque les fréquences d'horloge sont faibles devant la fréquence de coupure des cellules mémoire.

La figure IV-6 représente la courbe de l'erreur de courant due au rapport fini des conductances d'entrée et de sortie prise pour différentes valeurs du courant d'entrée.

Cette courbe n'est pas linéaire contrairement à la formulation théorique, et se déforme si on augmente la valeur du courant d'entrée. Ceci vient du fait que la transconductance et la conductance drain source du transistor MOS varient en fonction du courant d'entrée et que l'approximation petits signaux n'est plus valable pour les forts courants d'entrée. Par la suite la modélisation adoptée sera limitée en applications, mais reste utile si on désire des simulations approximatives ou comportementales.

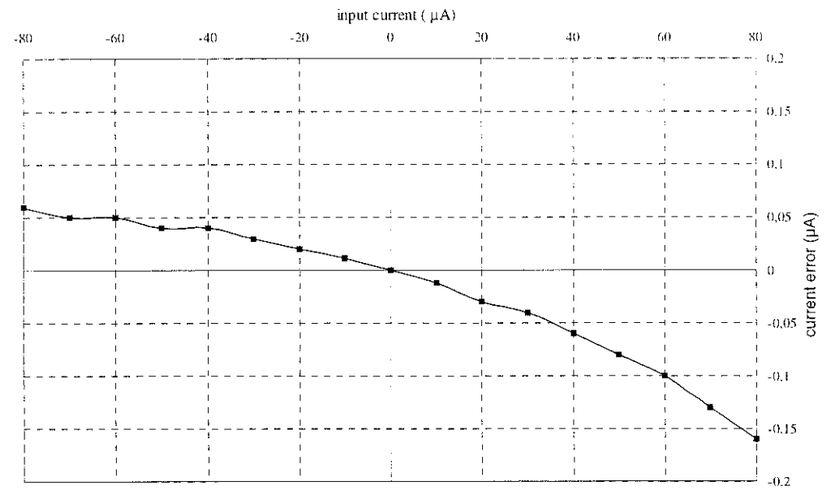


Figure IV-6. Erreur de courant due au rapport des conductances.

II-2-2 Etude du cas de l'intégrateur généralisé

La même procédure de simulation peut être appliquée aux intégrateurs, pour évaluer les erreurs dues à l'injection de charge et au rapport fini des conductances d'entrée et de sortie. Seulement dans le cas de l'intégrateur ces erreurs sont fonction de deux variables, la valeur échantillonnée du courant d'entrée et la valeur déjà mémorisée dans les transistors mémoire, qui correspond à la valeur précédente du courant de sortie de l'intégrateur. La représentation de l'erreur sera donc tridimensionnelle et difficile à réaliser par simulation. Pour cela on a fixé une valeur du courant d'entrée égale à 1µA et on s'arrange dans le choix des périodes de calcul pour que le courant de sortie couvre la pleine échelle.

II-2-2-1 Calcul de l'erreur totale sur le courant de sortie

Cette erreur est évaluée suite à une simulation avec les éléments réels de l'intégrateur. Sa valeur correspond à la différence entre la valeur de la sortie et la valeur idéale si l'intégrateur était parfait. Cette valeur idéale est la somme de la valeur précédente du courant de sortie et de la valeur du courant d'entrée 1µA.

Cette manipulation conduit au résultat donné par la figure IV-7. La courbe présentant des fluctuations correspond à la valeur de l'erreur, alors que celle en traits pointillés correspond à la courbe de tendance. Les fluctuations dans les valeurs réelles viennent de la nature de la simulation elle-même où les valeurs du courant de sortie et de l'erreur varient au cours des phases de l'horloge. Cette erreur est relativement faible par rapport à la valeur de l'erreur totale sur la sortie de la cellule mémoire. Ceci vient d'une part de la réduction de l'effet d'injection de charge suite à l'augmentation d'un facteur deux de la valeur de la capacité au niveau des grilles des transistors mémoire, et d'autre part de la compensation d'une partie de la composante de l'erreur indépendante du signal par la mise en cascade de deux cellules mémoires attaquées par des courants opposés. Elle est aussi approximativement linéaire et présente un très faible courant de décalage.

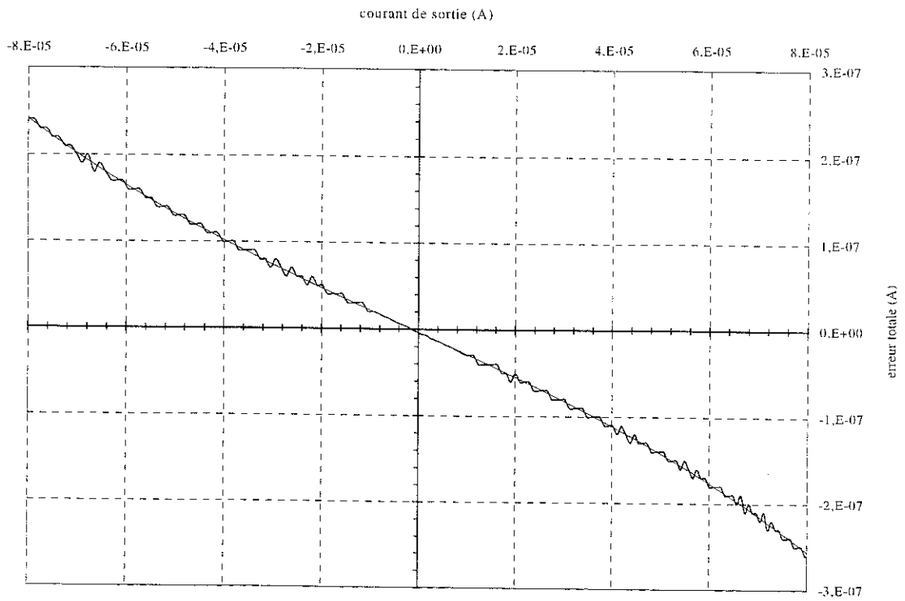


Figure IV-7. Erreur totale mesurée dans l'intégrateur.

II-1-2-2 Calcul de l'erreur due au rapport fini des conductances d'entrée sortie

La simulation de l'intégrateur avec des interrupteurs idéaux permet l'extraction de l'erreur due au rapport fini des conductances drain source et transconductances des transistors mémoire formant l'unité d'intégration. La figure IV-8 représente cette erreur, dont l'évolution est linéaire, surtout pour les faibles valeurs du courant de sortie.

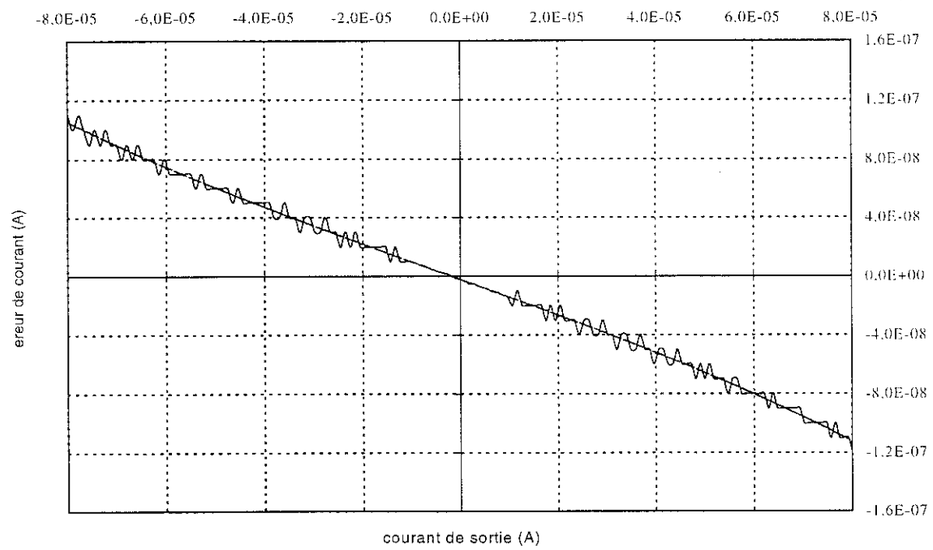


Figure IV-8. Erreur due au rapport fini des conductances d'entrée sortie.

II-1-2-3 Calcul de l'erreur d'injection de charge sur le courant de sortie de l'intégrateur

La valeur de l'erreur due à l'injection de charge peut être déduite de l'écart entre l'erreur totale et l'erreur due au rapport des conductances d'entrée sortie. Cette erreur est représentée sur la figure IV-9. Elle est aussi retrouvée théoriquement, en appliquant la même formulation que celle développée pour la cellule, aux deux transistors mémoire formant l'intégrateur. Dans cette formulation les courants d'entrée pour chacun des deux transistors durant la phase d'acquisition sont ici respectivement $I_{out}+I_{sig}$ et $-I_{out}$, où I_{out} est le courant de sortie de l'intégrateur et I_{sig} le courant d'entrée. Le calcul détaillé est donné en Annexe 2.

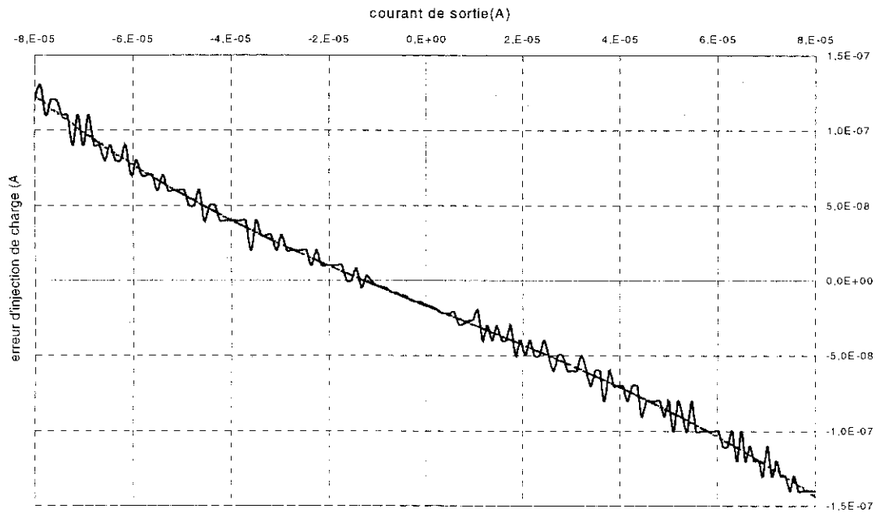


Figure IV-9. Valeurs relevées de l'erreur d'injection de charge.

La figure IV-10 représente l'erreur d'injection de charge pour un courant d'entrée constant de valeur 1µA. Cette courbe s'approche de la courbe de tendance des valeurs simulées à une constante près. Cette différence vient de l'accumulation de la composante de l'erreur d'injection de charge indépendante du signal, au cours de l'évolution de l'algorithme d'intégration, accumulation dont il n'a pas été tenu compte dans la formulation théorique. Ceci confirme la validité du calcul théorique élaboré et permet d'utiliser les modèles théoriques de l'erreur de courant dans les cellules pour des simulations plus complexes, en utilisant le logiciel de calcul mathématique MATLAB.

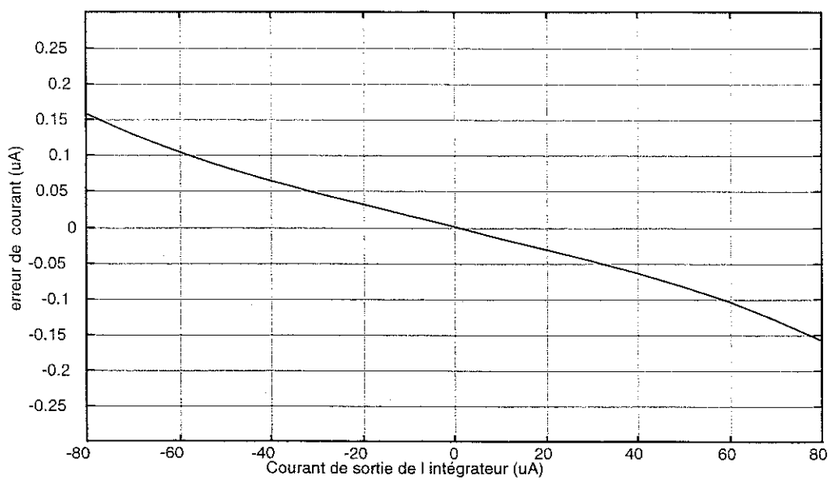


Figure IV-10. Courbe théorique de l'erreur d'injection de charge. Courant d'entrée=1µA.

II-3 Etude des filtres à courants commutés

La méthode présentée, s'appuie sur le principe d'une modélisation des éléments constituant un circuit à courants commutés par des composants linéaires, ce qui permet un gain énorme en temps de simulation. Cette modélisation n'est valable que pour les circuits dont le signal porteur obéit à la condition des faibles amplitudes des courants se propageant dans le circuit. L'application la plus concrète est l'étude des filtres à courants commutés.

II-3-1 Etude d'un filtre à courants commutés d'ordre2.

Dans ce qui suit, on propose l'étude d'un filtre du type Butterworth de second ordre. Pour cela on considère le filtre passif RLC équivalent donnée par la figure IV-11.

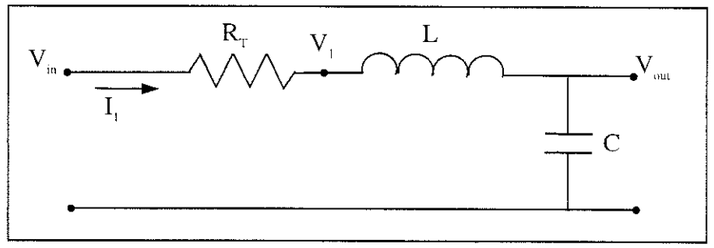


Figure IV-11 Filtre RLC passe bas d'ordre 2.

Les équations régissant le fonctionnement du circuit sont :

$$V_1 = V_{in} - R_T I_1 \qquad \text{(IV-4)}$$

$$I_1 = \frac{1}{pL}(V_1 - V_{out}) \qquad \text{(IV-5)}$$

$$V_{out} = \frac{1}{pC} I_1 \qquad \text{(IV-6)}$$

La réalisation utilisant des circuits en mode courant, nécessite la conversion des tensions V_{in}, V_1 et V_{out} en courants, respectivement I_{in}, I_1' et I_{out}, et ce en divisant les tensions par une résistance arbitraire R_S :

$$I_{in} = \frac{V_{in}}{R_S},\ I_1' = \frac{V_1}{R_S}\ et\ I_{out} = \frac{V_{out}}{R_S} \qquad \text{(IV-7)}$$

Les équations IV-4, 5, 6 deviennent :

$$I_1' = I_{in} - \frac{R_T}{R_S} I_1 \qquad \text{(IV-8)}$$

$$I_1 = \frac{R_S}{pL}(I_1' - I_{out}) \qquad \text{(IV-9)}$$

$$I_{out} = \frac{1}{pR_S C} I_1 \qquad \text{(IV-10)}$$

Ces équations permettent de représenter le diagramme d'état correspondant par des blocs d'intégration, de sommation et de gain.

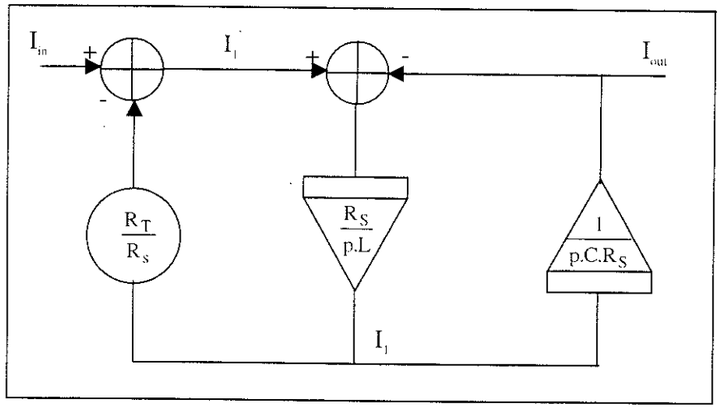


Figure IV-12. Diagramme d'état du filtre.

Les intégrateurs figurant dans ce diagramme peuvent être réalisés avec retard ou sans retard.

L'intégrateur sans retard a pour fonction de transfert à temps discret:

$$H(z) = \frac{-1}{1 - z^{-1}} \qquad \text{(IV-11)}$$

Qui correspond en temps continu à la fonction de transfert :

$$H(p) \approx -\frac{f_c}{p} e^{j\frac{wT_c}{2}} \qquad \text{(IV-12)}$$

Qui est celle d'un intégrateur à temps continu possédant une avance d'une demi période d'horloge (ou un avance de phase de $\frac{wT_c}{2}$, f_c et T_c sont respectivement la fréquence et la période de commutation).

L'intégrateur avec retard a pour fonction de transfert:

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \qquad \text{(IV-13)}$$

Qui correspond en temps continu à la fonction de transfert :

$$H(p) \approx \frac{f_c}{p} e^{-j\frac{wT_c}{2}} \qquad \text{(IV-14)}$$

Cette fonction correspond aussi à celle d'un intégrateur à temps continu avec un retard d'une demie période d'horloge (retard de phase de $-\frac{wT_c}{2}$).

Pour éliminer les déphasages introduits il suffit d'utiliser une des deux solutions suivantes :

1. Si dans le diagramme du filtre on fait appel à une mise en cascade de deux intégrateurs, il suffit que l'un soit avec retard et l'autre sans.
2. Si la branche ne fait intervenir qu'un seul intégrateur, on utilise un intégrateur inverseur sans retard suivi d'une cellule mémoire pour compenser à la fois l'avance de phase et l'inversion introduites par l'intégrateur.

   L'application de cette méthode à notre filtre conduit au schéma donnée par la figure IV-13.

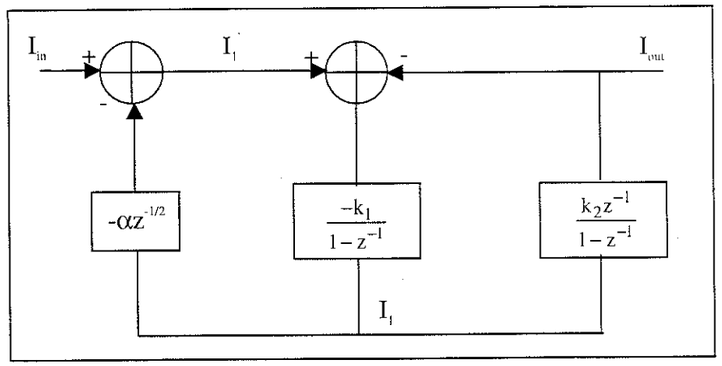


Figure IV-13. Schéma bloc du filtre.

Pour le bon appariement des transistors mémoire et de sortie des deux intégrateurs ainsi qu'une bonne compensation du mode commun de l'effet d'injection de charge, on choisit 0.5 comme gain des intégrateurs. Les gain k_1 et k_2 sont calculés de façon à reproduire les bonnes valeurs des coefficients du filtre. Pour une fréquence de commutation donnée f_c on trouve :

$$\alpha = \frac{R_T}{R_S} \qquad \text{(IV-15)}$$

$$k_1 = \frac{R_s}{f_c L} = \frac{W_1}{L_1}\left(\frac{W_0}{L_0}\right)^{-1} \qquad \text{(IV-16)}$$

$$k_2 = \frac{1}{f_c R_s C} = \frac{W_2}{L_2}\left(\frac{W_0}{L_0}\right)^{-1} \qquad \text{(IV-17)}$$

Où W_0 et L_0 sont les dimensions des transistors mémoire formant les unités d'intégration des deux intégrateurs. W_1, L_1 et W_2, L_2 sont les dimensions respectivement des transistors de sortie des deux intégrateurs.

La résistance arbitraire R_S est choisie de façon à réduire au maximum la surface de silicium occupée par le circuit, ce qui revient à minimiser la somme (W_1+W_2). Cette valeur de résistance est obtenue pour :

$$\frac{\partial(W_1 + W_2)}{\partial R_s} = 0 \qquad \text{(IV-18)}$$

Le calcul donne :

$$R_s = \sqrt{\frac{L}{C}} \qquad \text{(IV-19)}$$

II-3-2 Simulation du filtre

Le filtre simulé est celui de la figure IV-13, dont la fréquence de coupure à –3dB est de 1kHz, avec une résistance R_T de valeur 1kΩ. La fréquence de commutation est choisie égale à 50kHz. Ce choix est fait pour avoir des coefficients de pondération pratiquement réalisables. Les principaux paramètres de ce filtre sont donnés dans les tableaux IV-3 et IV-4.

Paramètres du Filtre passif	
R_T	1kΩ
L	0.1126H
C	0.2247μF

Tableau IV-3. Paramètres du filtre passif type Butterworth.

Paramètres du filtre à courants commutés	
Fréquence de commutation	50kHz
R_S	0.707kΩ
α	$\sqrt{2}$
k_1=k_2	1/8

Tableau IV-4. Paramètres du filtre à courants commutés type Butterworth.

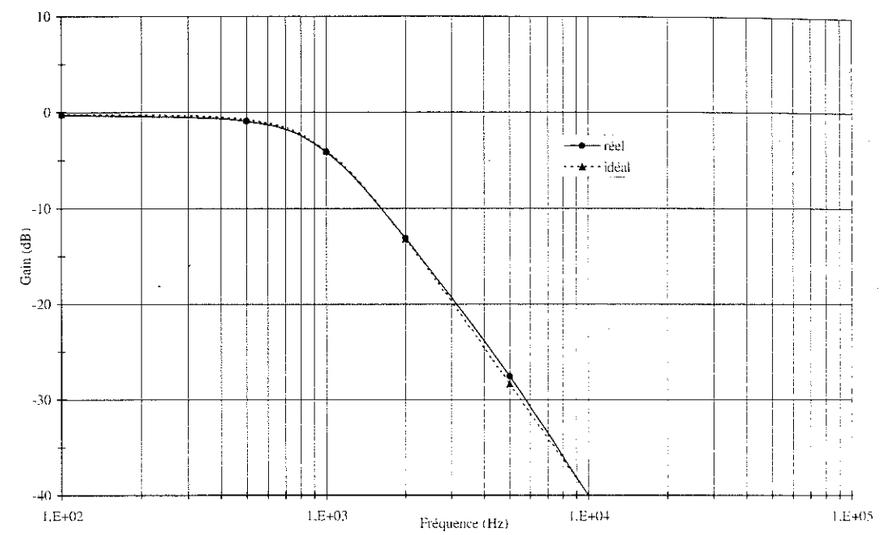


Figure IV-14. Courbes de gain du filtre étudié.

La figure IV-14 donne les courbes de gain du filtre. La première en trait continu représente la simulation du filtre avec des composants réels et la deuxième en trait pointillé représente la simulation du filtre utilisant les modèles linéaires présentés au paragraphe I. Les deux courbes sont très proches, ces simulations prouvent l'efficacité de la modélisation proposée pour la simulation des circuits à courants commutés, en particulier pour l'application au filtrage où les courants respectent la condition de faibles signaux. Cette méthode permet de réaliser des simulations proches de la réalité tout en nécessitant des temps de calcul minimes.

III UTILISATION DES MODELES MATHEMATIQUES DES ERREURS DE COURANT

L'idée de simuler les circuits à courants commutés moyennant des logiciels autres que les simulateurs électroniques a été proposé par plusieurs auteurs [N'Go-94, Oli-97]. Chacun a utilisé une méthode pour modéliser la cellule mémoire. N'Groran a utilisé un langage de programmation pour écrire les équations de courants régissant le fonctionnement d'une cellule mémoire, en se basant sur le modèle grand signaux du transistor MOS. Cette méthode permet la simulation complète des circuits à courants commutés tenant compte de toutes les anomalies de la technique.

Grâce à une simulation sur simulateur électronique SPICE, Oliaei fait une extraction des vecteurs des erreurs de courant de sortie d'une cellule mémoire, qui ensuite sont utilisés pour simuler des circuits plus complexes sur MATLAB.

Dans notre contribution, on propose d'utiliser les modèles mathématiques élaborés sur l'erreur d'injection de charge et sur les autres imperfections. Après simplification, elles sont introduites sous forme de blocs fonctionnels dans le simulateur comportemental SIMULINK utilitaire de MATLAB. Cette méthode à été appliquée pour la simulation des modulateurs Sigma-Delta.

III-1 Modélisation des cellules mémoire à courants commutés

La réalisation de modulateurs Sigma Delta nécessite une étude comportementale avant leur implémentation pour évaluer leurs performances, vue qu'il est très difficile de les évaluer avec les simulateurs classiques des circuits intégrés analogiques ou mixtes. Il est aussi utile d'interpréter les résultats trouvés afin d'expliquer l'origine des anomalies des modulateurs une fois fabriqués.

On propose une modélisation de la cellule mémoire permettant la simulation comportementale, sur MATLAB, des modulateurs Sigma-Delta à courants commutés utilisant la transformée en z.

Une cellule mémoire à courants commutés réalise la fonction d'un copieur de courant. Elle est idéalement modélisée par une cellule retard d'une demi-période d'horloge comme montré sur la figure IV-15.

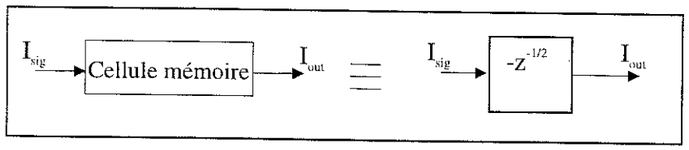


Figure IV-15. Modèle de la cellule mémoire dans le domaine z.

Le modèle mathématique exprimant l'erreur d'injection de charge dans une cellule mémoire en fonction du courant d'entrée et utilisant MAPLE est donné en annexe 2. L'évaluation expérimentale de cette erreur montre qu'on peut se limiter au terme de second ordre , ce qui donne alors une expression simple de l'erreur :

$$i_{dinj} = \alpha + \beta I_{sig} + \gamma I_{sig}^2 \qquad \text{(IV-20)}$$

où α, β et γ sont des paramètres qui dépendent du courant de polarisation et des paramètres des transistors mémoire et interrupteur, et I_{sig} est le courant d'entrée. Le modèle simple de la figure IV-15 est alors complété par le schéma bloc de la figure IV-16.

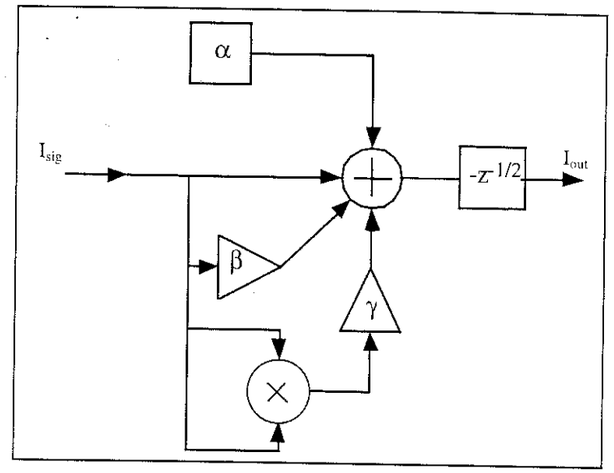


Figure IV-16. Modèle proposé pour la cellule mémoire.

III-2 Simulation des modulateurs Sigma-Delta

L'intégrateur est le circuit de base d'un modulateur Sigma-Delta passe-bas, et ses imperfections affectent le fonctionnement du modulateur entier. Il est principalement formé par deux cellules mémoire en cascade pour former une cellule retard, avec rebouclage de la sortie sur l'entrée comme vu au chapitre III et représenté sur la figure IV-17. La sortie de l'intégrateur peut être prélevée soit à la sortie de la cellule retard si la fonction intégrateur à réaliser est à retard, soit à l'entrée de la cellule retard si la fonction intégrateur est sans retard.

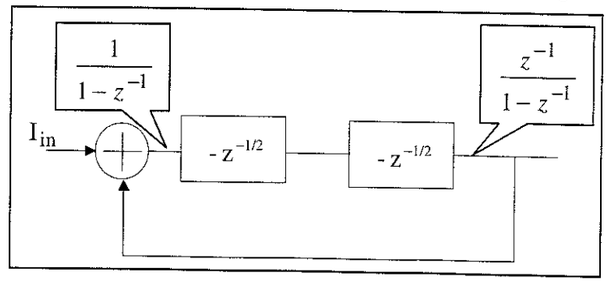


Figure IV-17. Schéma bloc d'un intégrateur.

La figure IV-18 rappelle le schéma bloc d'un modulateur Sigma-Delta de second ordre sur lequel nous avons travaillé, où H_i est la fonction de transfert en z de l'intégrateur.

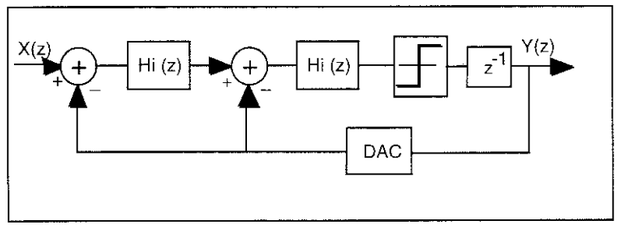


Figure IV-18. Schéma bloc simplifié du modulateur.

Le modèle proposé [Lou-98-2] est utilisé pour des simulations comportementales au moyen de SIMULINK-MATLAB.

Les principaux paramètres de simulation sont donnés au tableau IV-4.

Fréquence d'échantillonnage	1.024MHz
Bande utile du signal	0-8kHz
Fréquence du signal d'entrée	1kHz
OSR (Facteur de sur-échantillonnage)	64
Nombre d'échantillons pour la FFT	32768
Pleine échelle de courant	50µA

Tableau IV-4. Principales caractéristiques de simulation.

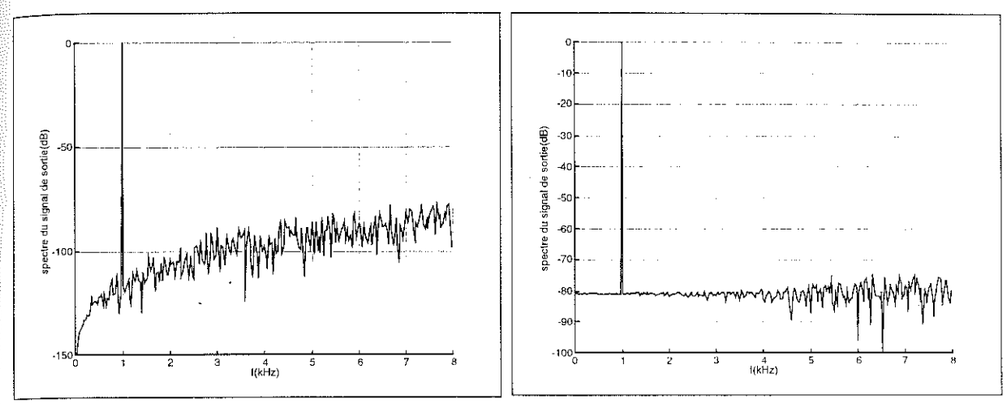
Les paramètres α, β et γ extraits du calcul développé sur MAPLE sont donnés comme suit :

α	$-0.540765\ 10^{-6}$
β	-0.001559
γ	5.796451

Tableau IV-5. Paramètres du modèle d'erreur de la cellule mémoire.

Nous proposons d'expliquer les dégradations observées sur les modulateurs conçus et qui seront présentés au chapitre V et de prédire ainsi les performances des modulateurs avant implémentation.

Sur la figure IV-19 on présente le spectre de sortie du modulateur résultat de deux types de simulation: la première est faite en adoptant le modèle simplifié donné par le schéma bloc de la figure IV-18, qui correspond au cas idéal. La deuxième est faite en utilisant le modèle proposé introduisant les erreurs. Le résultat montre une élévation du niveau du plancher de bruit en très basse fréquences.



(a) (b)

Figure IV-19. Spectre de sortie du modulateur (a) Modèle simplifié idéal; (b) Modèle proposé introduisant les erreurs.

Il est aussi possible de simuler le modulateur en séparant les différentes composantes de l'erreur d'injection de charge. On a remarqué que l'augmentation du plancher du bruit était liée à la composante continue du modèle. Cependant, l'effet de cette composante ne sera effectif que si le terme d'erreur linéaire est mis en jeu, quelle que soit la prise en compte de l'erreur non-linéaire. Le résultat présenté sur la figure IV-20 montre l'effet combiné de la composante continue et de l'erreur linéaire alors que la figure IV-21 donne l'effet lié à l'offset et l'erreur non-linéaire. On remarque donc bien que la surélévation du plancher du bruit provient du terme d'erreur constant ajouté au terme linéaire, alors que la combinaison de l'erreur constante avec le terme non-linéaire n'augmente que très légèrement le niveau du plancher de bruit mais provoque semble-t-il l'apparition d'harmonique d'ordre trois.

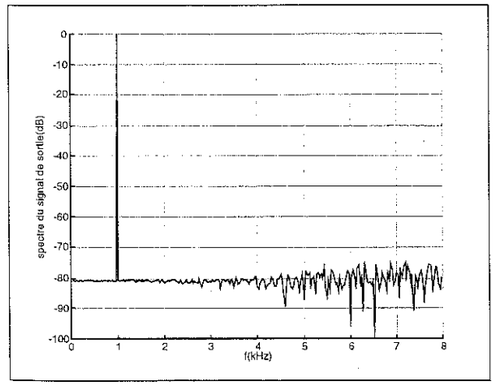


Figure IV-20. Spectre de sortie du modulateur: effet des composantes linéaire et continue

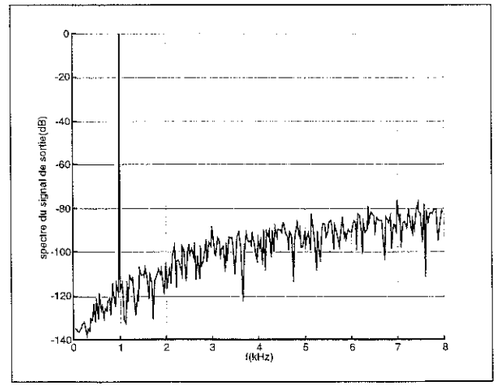


Figure IV-21. Spectre de sortie du modulateur: effet des composantes non linéaire et continue.

III-3 Méthodologie de simulation des modulateurs Sigma-Delta

Nous avons présenté deux manières de simuler des modulateurs Sigma-Delta à courants commutés. La première consiste en une simulation fonctionnelle du modulateur en utilisant les cellules mémoire de courant remplacées par leur schéma équivalent simplifié. Cette simulation est très utile pour vérifier le fonctionnement du système complet. Cependant elle ne donne pas d'indications sur les problèmes liés aux phénomènes inhérents au transistor réel. La deuxième correspond à la simulation des modulateurs avec des modèles simples qui tiennent compte des imperfections et permet d'évaluer les performances du circuit en cours de conception. Les deux méthodes sont complémentaires et peuvent être combinées pour former une méthodologie de simulation des modulateurs Sigma-Delta et de tout autre circuit complexe à courants commutés.

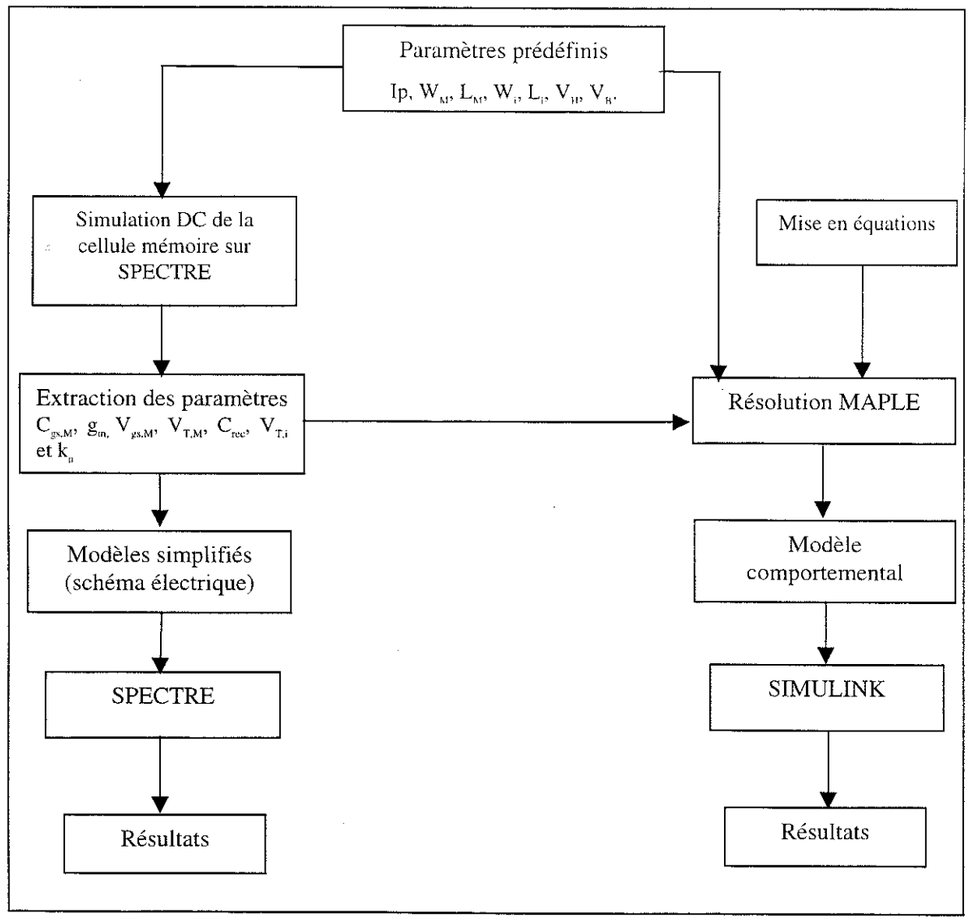


Figure IV-22. Méthodologie de simulation d'un circuit à courants commutés.

IV CONCLUSION

Un des problèmes majeurs rencontré lors de la conception des circuits à courants commutés est leur simulation. Nous avons présenté dans ce chapitre deux méthodes permettant de limiter le temps de calcul. La première met en œuvre un simulateur analogique en simplifiant les modèles par des schémas équivalents linéaires petits signaux. On constate que cette méthode permet de réduire fortement les temps de simulation, mais reste limitée aux applications où les courants porteurs de l'information sont de faibles amplitudes, telle que le filtrage. Dans d'autres cas, comme les modulateurs Sigma-Delta, l'utilisation de cette méthode permet d'entreprendre une étude fonctionnelle du circuit. En effet cette modélisation a servi à l'extraction des différentes erreurs, dues aux anomalies de la technique, sur le courant de sortie d'une cellule mémoire et de l'intégrateur généralisé sans perte. Cette évaluation a permis par la suite de valider le calcul théorique de l'erreur d'injection de charge et d'adopter un modèle mathématique simple qui a été implanté sur MATLAB pour la simulation comportementale des modulateurs Sigma - Delta. Les résultats trouvés expliquent alors les résultats des mesures faites sur les deux modulateurs réalisés dans le cadre de notre travail et présentés dans le Chapitre V. On est parvenu à distinguer l'effet des différentes sources d'erreur qui dégradent les performances des modulateurs.

Chapitre V

CONCEPTION DES MODULATEURS SIGMA-DELTA A COURANTS-COMMUTES

I INTRODUCTION

Le convertisseur Sigma-Delta correspond à un système assez complexe, qui fait intervenir deux blocs principaux comme cela a déjà été dit au chapitre II:

- Le premier bloc est le modulateur Sigma-Delta qui correspond à la partie analogique du système. Il fait l'objet principal de ce chapitre dans lequel on distinguera trois parties. Une première partie dans laquelle on présente les blocs de base d'un modulateur Sigma-Delta proposés en mode courant. Une deuxième traite de l'implantation sur silicium des deux modulateurs réalisés et une troisième concerne les mesures faites sur chacun des deux circuits.
- Le deuxième bloc est le Filtre Numérique qui fera le sujet de la dernière partie de ce chapitre qui conduira en fin de compte à l'association des différentes réalisations pour tester le convertisseur entier.

II SOUS-CIRCUITS D'UN MODULATEUR SIGMA-DELTA EN MODE COURANT

Un modulateur Sigma-Delta passe bas de second ordre est formé principalement de quatre sous-circuits principaux:

1. L'intégrateur qui constitue le filtre passe bas et qui a été étudié au Chapitre III, pour lequel nous avons proposé deux nouvelles structures, à savoir l'intégrateur pseudo bilinéaire qui a été utilisé pour l'implémentation de notre premier modulateur et l'intégrateur auto-compensé utilisé pour l'implémentation du second modulateur.
2. Le quantificateur ou plutôt le comparateur de courant.
3. Le CNA 1bit qui forme la boucle de retour.
4. Le circuit générateur des signaux de contrôle nécessaire pour le fonctionnement des intégrateurs à courants commutés.

II-1 Les comparateurs de courant

II-1-2 L'inverseur CMOS

Le comparateur de la figure V-1 [Craw-92, Tan-96], est un inverseur CMOS utilisé comme comparateur. Le courant d'entrée charge ou décharge les capacités de grille des transistors NMOS et PMOS, ce qui conduit à un changement du potentiel d'entrée de

l'inverseur. En effet, pour un courant I_e positif le potentiel à l'entrée de l'inverseur croît jusqu'à dépasser le seuil de l'inverseur et la sortie V_s passe alors à zéro. Pour des courants I_e négatifs la sortie de l'inverseur passe à l'état haut V_{dd}. Pour avoir une sortie différentielle, on ajoute un étage de sortie formé par deux autres inverseurs CMOS mis en cascade, comme l'illustre la figure V-2.

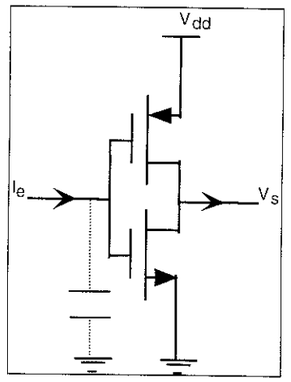
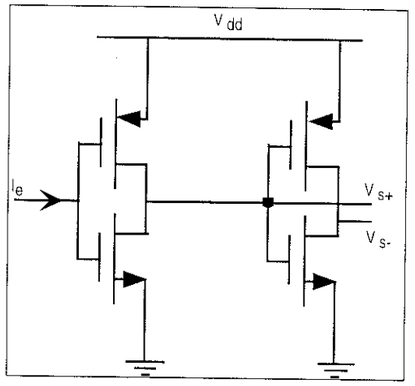


Figure V-1. Inverseur CMOS.



FigureV-2. Etage de sortie.

II-1-2 Comparateur de tension différentiel

Le comparateur de la figure V-3 [Tan-96] est très pratique pour les circuits fonctionnant en mode différentiel ; il fonctionne selon le même principe que celui de l'inverseur CMOS. Selon le sens des courants différentiels I_{e+} et I_{e-}, les capacités des transistors formant la paire différentielle se chargent ou se déchargent. Si le premier courant charge la capacité de l'un des transistors, l'autre courant décharge la capacité du second. Ceci induit un courant qui charge la capacité de grille du transistor PMOS de l'étage de sortie. Le sens de ce courant change selon le sens du courant différentiel, et la tension de sortie évolue en accord avec le courant différentiel.

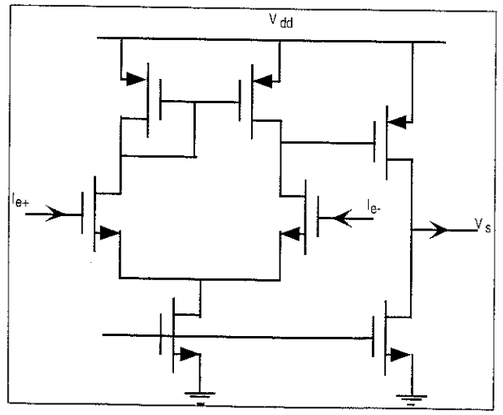


Figure V-3. Comparateur différentiel de tension.

Les deux comparateurs de la figure V-1 et V-3 ne sont pas de vrais comparateurs de courant vu leurs impédance d'entrée très élevée, ceci conduit à une très grande variation du potentiel d'entrée. En effet une fois le comparateur atteint son régime permanent, le courant d'entrée sera dévié dans une autre branche du circuit. Ceci conduit à une limitation en vitesse du comparateur. Pour résoudre ce problème une réduction de l'impédance d'entrée est nécessaire. C'est le cas du comparateur proposé par H. Traff [Traf-92]. Ce comparateur dont le fonctionnement est donné au paragraphe II-1-4, est utilisé dans les deux modulateurs que nous avons conçu.

II-1-3 Comparateur à miroir de courant

Le comparateur à miroir de courant utilise deux miroirs de courant de grande résistance de sortie, l'un de type NMOS et l'autre de type PMOS connectés en classe AB [Traf-92]. Ce circuit permet d'amplifier les faibles écarts de courant d'entrée sous forme de grandes variations du potentiel de sortie. Cependant, la grande résistance de sortie limite la vitesse du comparateur dans le cas d'une charge capacitive, ce qui est souvent le cas dans les circuits MOS.

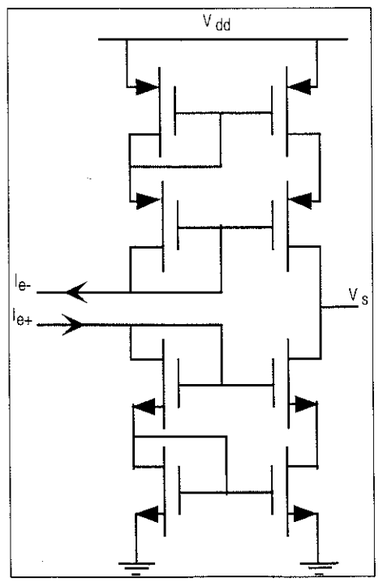
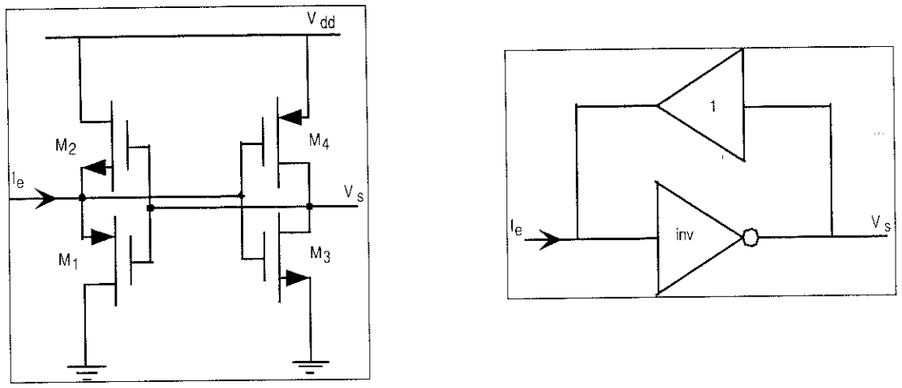


Figure V-4. Comparateur à miroir de courant.

II-1-4 Comparateur CMOS à contre-réaction

Il est formé par l'inverseur qui constitue la chaîne directe du comparateur, et par un étage source suiveuse en classe AB comme chaîne de retour (Figure V-5) [Traf-92].



(a) Schéma du comparateur. *(b) Synoptique du comparateur.*

Figure V-5. Comparateur à contre réaction positive.

- Le gain transimpédance est approximativement égal à l'inverse de la transconductance de l'étage suiveur formé par M_1 et M_2.

$$\frac{V_S}{I_e} = -\left(g_{m1} + g_{ds1}.\frac{g_{ds3}}{g_{m3}}\right)^{-1} \approx -\frac{1}{g_{m1}} \qquad \text{(V-1)}$$

où (g_{m1},g_{ds1}) et (g_{m3},g_{ds3}) sont respectivement les transconductances et conductances drain source des transistors M_1 et M_3. Ceci suppose que les dimensions des transistors NMOS et PMOS complémentaires sont dans un rapport égal à $\frac{\mu_p}{\mu_n}$ pour avoir égalité des transconductances et des conductances drain source.

- Une très faible impédance d'entrée Z_e donnée par la relation suivante:

$$Z_e \approx \frac{1}{g_{m1}}\frac{g_{ds3}}{g_{m3}} \qquad \text{(V-2)}$$

A cause de sa faible résistance d'entrée le potentiel d'entrée de ce comparateur varie légèrement. Ceci veut dire que les deux transistors M_1 et M_2 sont toujours conducteurs, par conséquent ce comparateur consomme de la puissance en continue, bien que l'inverseur ne consomme aucun courant en continu.

Le comparateur réalisé est représenté sur la figure V-6. La figure V-7 donne le chronogramme d'entrée-sortie du comparateur suite à une entrée de courant impulsionnelle de largeur 50ns et d'amplitude 5µA. Le temps d'établissement de 5ns.

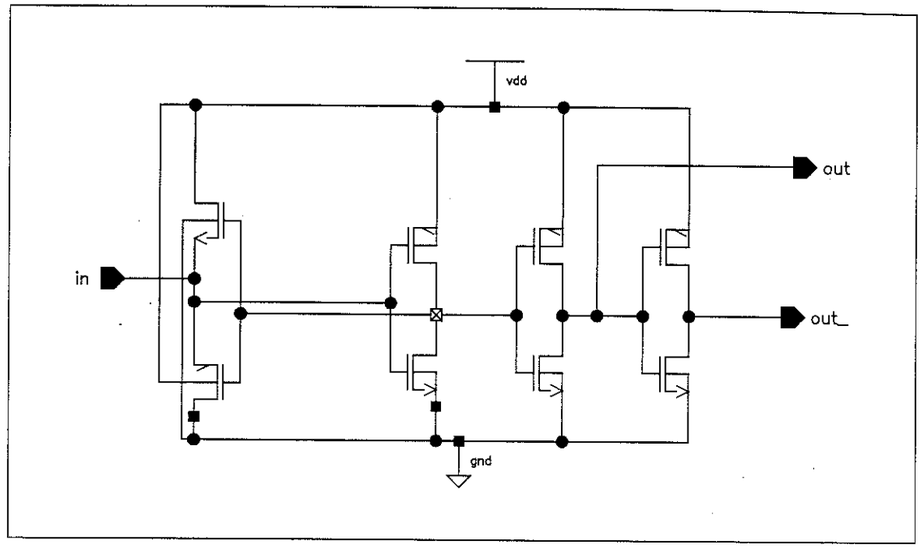


Figure V-6. Circuit de simulation du comparateur utilisé.

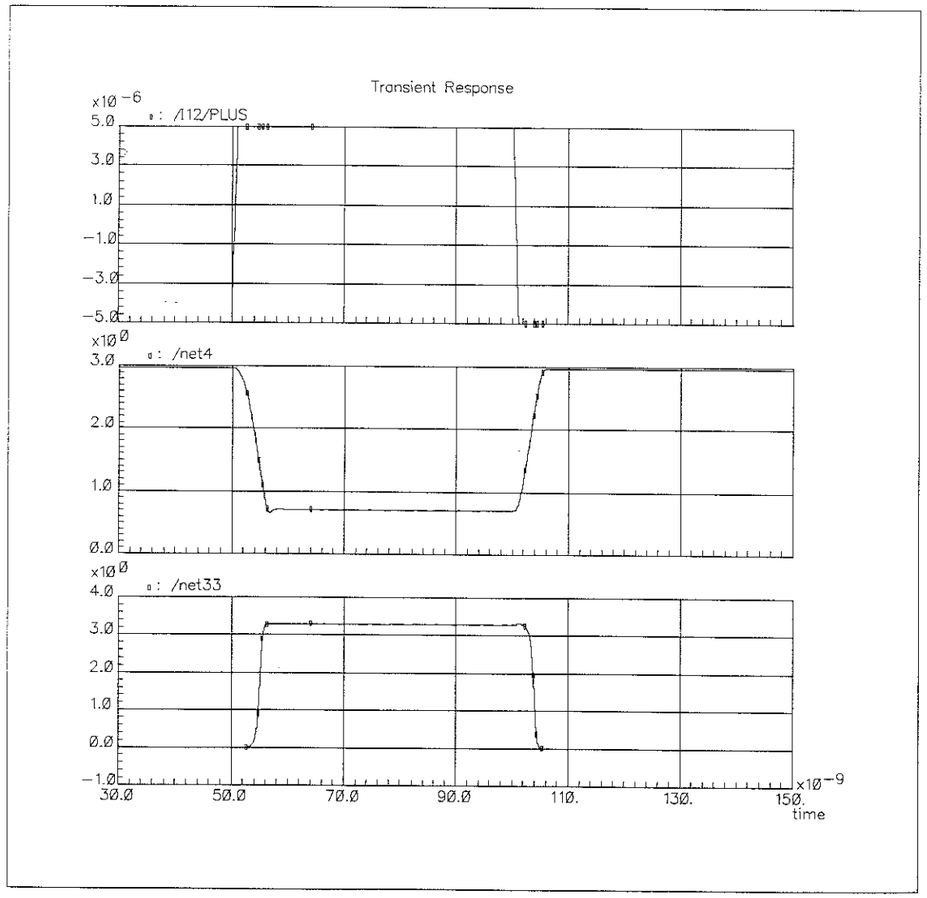


Figure V-7. Chronogrammes de simulation du comparateur.

Du haut vers le bas : courant d'entrée, sortie V_{out-} et sortie V_{out+}.

II-2 Le convertisseur N/A 1bit

Ce circuit forme la boucle de retour. Dans le cas du mode courant qui nous intéresse et pour un modulateur du second ordre à deux étages d'intégration, ce circuit doit être dédoublé avec sortie en courant. Ce courant est soustrait du courant d'entrée au niveau du premier étage et du courant de sortie du premier intégrateur au niveau du second étage.

Les modulateurs étant conçus en mode différentiel, le convertisseur N/A 1bit doit aussi être différentiel et être équivalent à une source de courant ($\pm I_{ref}$) flottante contrôlée par les sorties Vs+ et Vs- du comparateur.

Le type de la source de courant utilisée est similaire à la structure de la cellule mémoire utilisée dans les autres sous-circuits. Sur la figure V-8 est représenté le CNA réalisé : la valeur du courant de référence I_{ref} est fixée de façon à avoir une dynamique du signal d'entrée la plus grande tout en assurant le fonctionnement linéaire des autres blocs, principalement de l'intégrateur.

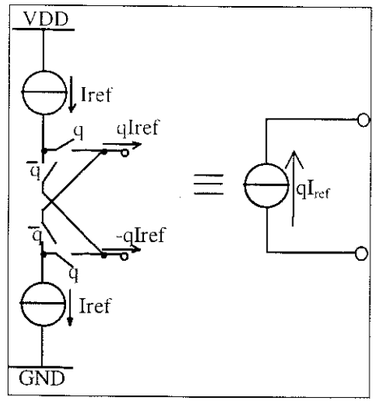


Figure V-8. Convertisseur N/A 1bit (q=1 si V_s=1 et q=-1 si V_s=0).

II-3 Les interrupteurs MOS

Dans tout circuit a courants commutés on distingue deux types d'interrupteurs ; Les interrupteurs de courant et les interrupteurs de tension.

- Les interrupteurs de tension (S_4 et S_5 sur la figureV-9) sont ceux qui assurent la connexion entre le drain et la source d'un transistor mémoire, et cela durant la phase d'acquisition. Ils sont appelés des interrupteurs de tension car ils ne conduisent du courant qu'en régime transitoire. Ces interrupteurs sont des transistors NMOS et ils sont à l'origine du phénomène d'injection de charge. Afin

de minimiser l'erreur due à cet effet, les dimensions de ces transistors sont prises égales aux plus petites dimensions qu'autorise la technologie utilisée.

- Les interrupteurs de courant sont ceux qui assurent l'acquisition du courant d'entrée ou la restitution du courant de sortie d'une cellule mémoire (S_1 et S_2 sur la figure V-9). Ces interrupteurs sont réalisés par des portes de transmission CMOS pour assurer la linéarité de fonctionnement de la cellule sur toute la plage de variation du courant d'entrée ou de sortie. Rappelons qu'une porte de transmission CMOS est formée de deux transistors MOS complémentaires mis en parallèle et commandés en opposition.

II-4 Génération des signaux de commande

La stratégie à laquelle doit obéir la génération des signaux de commande dans les circuits à capacités commutées est différente de celle des circuits à courants commutés [Traf-94-1]. La règle à respecter dans le premier cas est de ne jamais connecter au même point deux nœuds possédant des potentiels différents. Les signaux en opposition de phase doivent être alors non chevauchants. Ceci ne peut être le cas pour les circuits à courants commutés qui nécessitent à chaque instant la circulation des courants. Pour mieux illustrer ce propos considérons le cas général de deux cellules mémoire mises en cascade. Chaque cellule est formée d'un transistor mémoire, d'une source de polarisation J et d'un jeu d'interrupteurs commandant leur fonctionnement (figure V-9).

Quatre signaux de commande sont nécessaires pour faire fonctionner ce type de circuit, Φ_{1i}, Φ_{2i}, Φ_{1v} et Φ_{2v}.

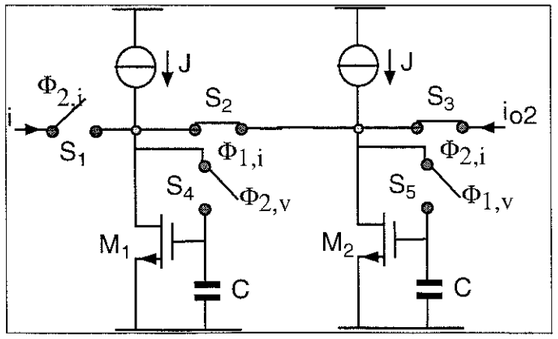


Figure V-9 Cellules mémoire deuxième génération mises en cascade.

- Les interrupteurs de courant (S_1, S_2 et S_3) permettent l'acquisition ou la restitution du signal analogique dans les différentes branches. Les signaux commandant l'ouverture et la fermeture de ces interrupteurs sont Φ_{1i} et Φ_{2i} . Ils doivent être tels qu'à tout moment le

courant circulant dans le transistor mémoire, supposé comme étant source de courant idéale, trouve un chemin pour s'écouler. Pour réaliser cette condition il faut que les signaux de commande Φ_{1i} et Φ_{2i} soient en opposition et qu'ils se chevauchent (figure V-10).

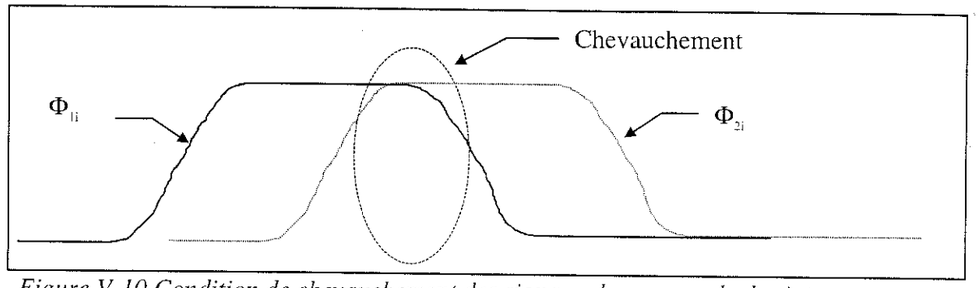


Figure V-10 Condition de chevauchement des signaux de commande des interrupteurs courants.

- Les interrupteurs de tension (S_4 et S_5) sont les interrupteurs qui permettent de connecter les transistors mémoire en diode durant la phase d'acquisition Φ_{1i} ou Φ_{2i}. Les signaux commandant ces interrupteurs sont Φ_{1v} et Φ_{2v}. Ils sont systématiquement en phase avec le signal commandant l'acquisition, mais avec quelques aménagements :
  1. Les signaux Φ_{1v} et Φ_{2v} doivent passer à l'état haut en même temps ou avant que les signaux Φ_{1i} et Φ_{2i} passent à l'état haut pour assurer la bonne acquisition du courant d'entrée et pour qu'il ne soit pas dévié dans une autre branche d'impédance plus faible.
  2. Les signaux Φ_{1v} et Φ_{2v} doivent passer à l'état bas avant les signaux Φ_{1i} et Φ_{2i} pour échantillonner le courant d'entrée. En effet, cette transition qui correspond à l'échantillonnage doit se produire durant l'acquisition et doit être terminée avant la restitution.

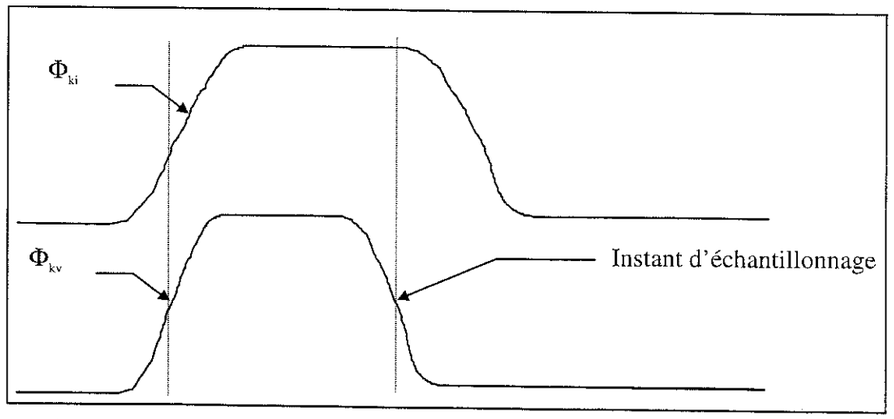


Figure V-11 Condition d'échantillonnage du signal analogique (k=1,2).

Donc pour faire fonctionner un circuit à courants commutés formé par deux cellules mémoire et plus, il est nécessaire de générer les différents signaux de commande Φ_{1i}, Φ_{1v}, Φ_{2i} et Φ_{2v}.

Φ_{1i} et Φ_{2i} sont deux signaux d'horloge complémentaires qui se chevauchent.

Φ_{1v} est en phase avec Φ_{1i} avec une certaine avance au passage à l'état bas.

Φ_{2v} est en phase avec Φ_{2i} avec une certaine avance au passage à l'état bas.

Les signaux en opposition de phase peuvent être générés par une mémoire RS où les deux entrées R et S sont complémentaires et attaquées par un signal d'horloge (signal de base pour la génération de tous les signaux de commande). Pour que les deux signaux Φ_{1i} et Φ_{2i} se chevauchent, on intercale un nombre pair d'inverseurs (figure V-12) entre les sorties des portes NAND de la mémoire RS et la boucle de retour. Ceci introduit un retard pour le passage de l'état haut à l'état bas de l'une des deux sorties de la mémoire RS, ce qui revient à un chevauchement des deux signaux de sortie pris au niveau des portes NAND de la RS.

L'obtention des signaux Φ_{1v} et Φ_{2v} se fait par combinaison de deux signaux retardés l'un par rapport à l'autre ; le retard dépend du nombre d'inverseurs mis en cascade et du retard apporté par chaque inverseur.

Il est aussi nécessaire de fournir les signaux complémentaires à Φ_{1i} et Φ_{2i} pour la commande des portes de transmission utilisées comme interrupteur de courant.

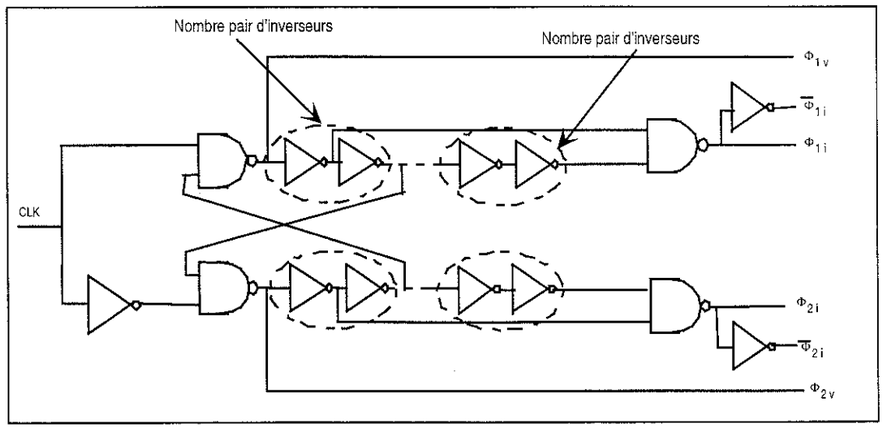


Figure V-12. Circuit de génération des signaux de commande.

Un circuit d'initialisation à la mise sous tension est nécessaire pour mettre tous les signaux de commande à zéro afin de décharger toute charge auxiliaire mémorisée dans les capacités mémoire (figure V-13).

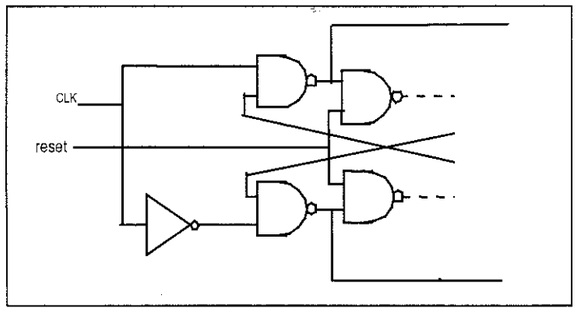


Figure V-13. Initialisation du circuit de génération des signaux de commande.

Le circuit de la figure V-14 correspond au schéma du circuit de simulation. L'horloge CLK est choisie de fréquence 1MHz. Les signaux Φ_{1i}, $\overline{\Phi}_{1i}$, Φ_{1v}, Φ_{2i}, $\overline{\Phi}_{2i}$ et Φ_{2v} correspondent aux signaux clk1i, clk1i*, clk1v, clk2i, clk2i* et clk2iv. La simulation niveau transistor de ce circuit donne les résultats représentés sur les figures V-15 (transition négative du signal clk1i) et V-16 (transition négative du signal clk2i). Les différents signaux ont un temps de transition moyen compris entre 0.5ns et 1ns.

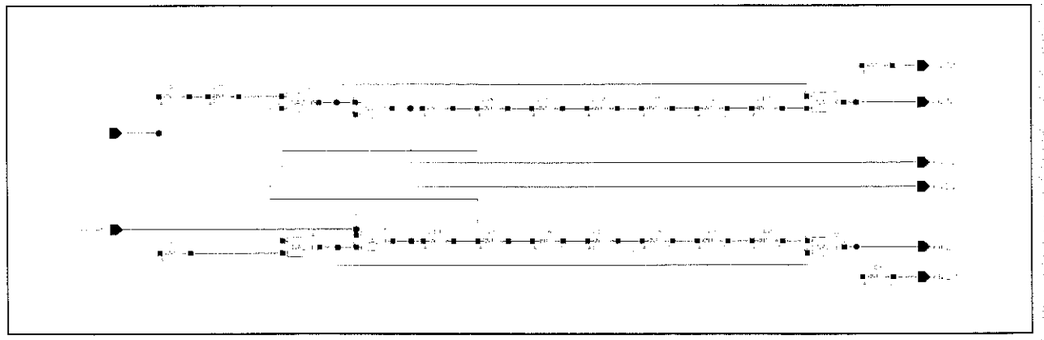


Figure V-14. Circuit de simulation des signaux de commande *avec initialisation.*

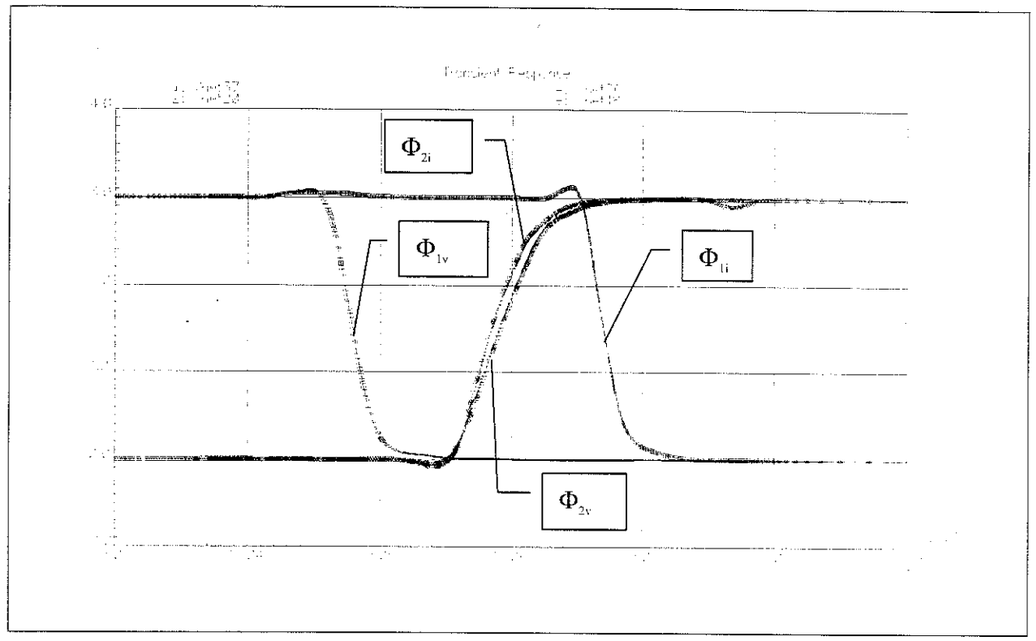


Figure V-15. Signaux Φ_{1i}, Φ_{1v}, Φ_{2i} et Φ_{2v} sur le front descendant de Φ_{1i}.

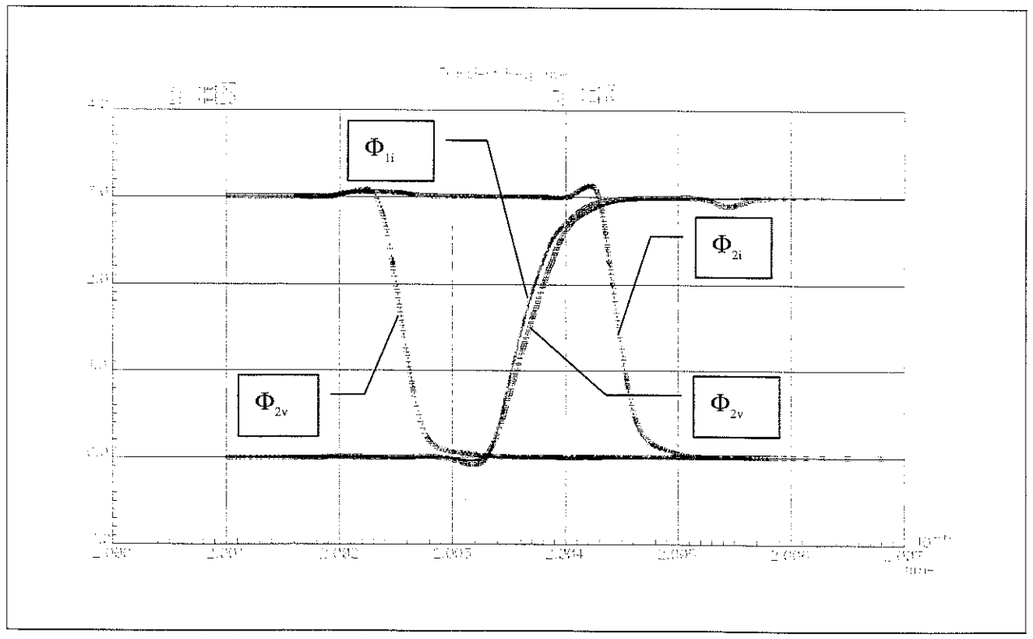


Figure V-16. Signaux Φ_{1i}, Φ_{1v}, Φ_{2i} et Φ_{2v} sur le front descendant de Φ_{2i}.

Dans ce qui suit, on présente les deux modulateurs réalisés. Les deux circuits ont été conçus sous l'environnement CADENCE disponible au laboratoire IXL. Cet outil permet les différentes étapes nécessaires à la réalisation du circuit : la saisie des schémas des circuits bloc et leurs schémas de simulation, la simulation hiérarchique de ces circuits, le dessin des masques, la comparaison entre les schémas saisis et le 'netlist' généré à partir du 'layout' et enfin la simulation des circuits blocs et du circuit entier comprenant les composants parasites dus à l'arrangement des différents transistors sur la surface de silicium qui peuvent modifier le fonctionnement du circuit une fois fabriqué.

Le logiciel de simulation utilisé est SPECTRE qui dérive du simulateur SPICE et qui offre une grande souplesse de travail grâce à son interface graphique permettant la correspondance entre schéma et netlist.

III MODULATEUR 1, PRESENTATION ET MESURES

III-1 Présentation du Modulateur

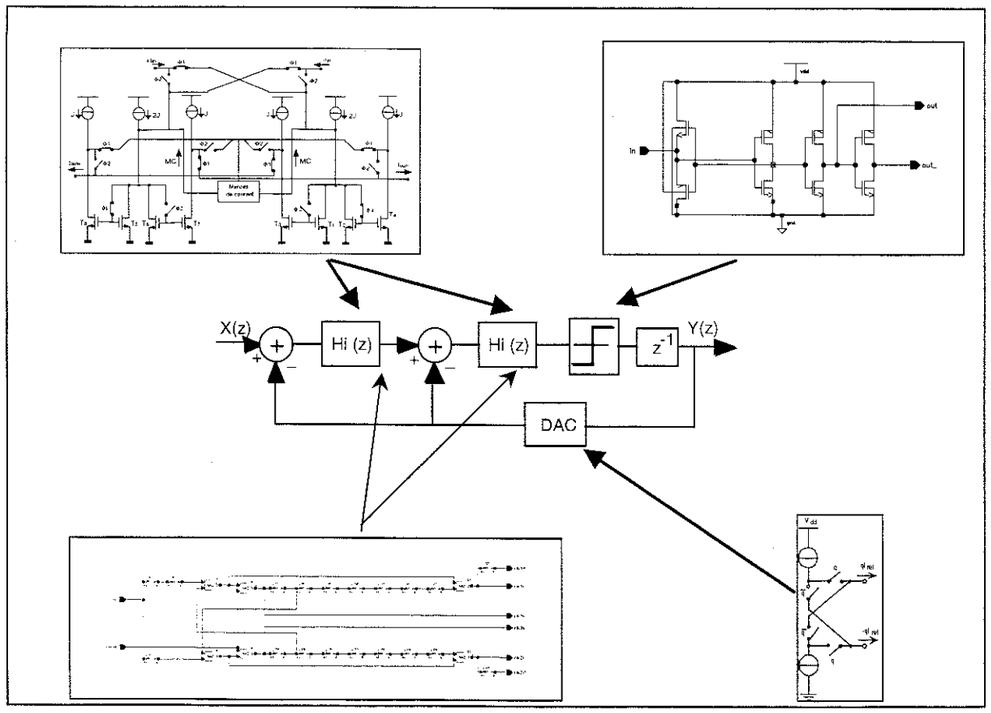


Figure V-17. Synoptique du modulateur 1.

Le schéma bloc du modulateur [Lou-96] est celui d'un second ordre, déjà étudié au chapitre II. Chacun des blocs est remplacé par son équivalent en mode courant. La figure V-17 représente un synoptique du modulateur réalisé. L'intégrateur utilisé dans ce modulateur est l'intégrateur pseudo bilinéaire différentiel [Lou-98-4] présenté au chapitre III. Le séquencement des signaux d'horloge est tel que sa fonction de transfert $H_i(z)$ est sans retard, de la forme :

$$H_i(z) = \frac{1}{1 - z^{-1}} \qquad \text{(V-3)}$$

Il est donc nécessaire d'introduire un retard dans la chaîne du deuxième intégrateur afin d'assurer la stabilité du système entier. Ce retard est réalisé par une bascule D symbolisée par l'opérateur z^{-1} dans le schéma bloc du modulateur, et il est mis à la sortie du quantificateur. La bascule est réalisée à partir d'inverseurs et d'interrupteurs contrôlés par les mêmes signaux de contrôle que les intégrateurs. L'intégrateur ainsi que le reste des blocs sont réalisés dans leur configuration cascode simple.

Le schéma bloc de la figure V-18 illustre le modulateur entier réalisé en mode courant. La connexion entre les différents blocs diffère de celle des circuits mode tension :

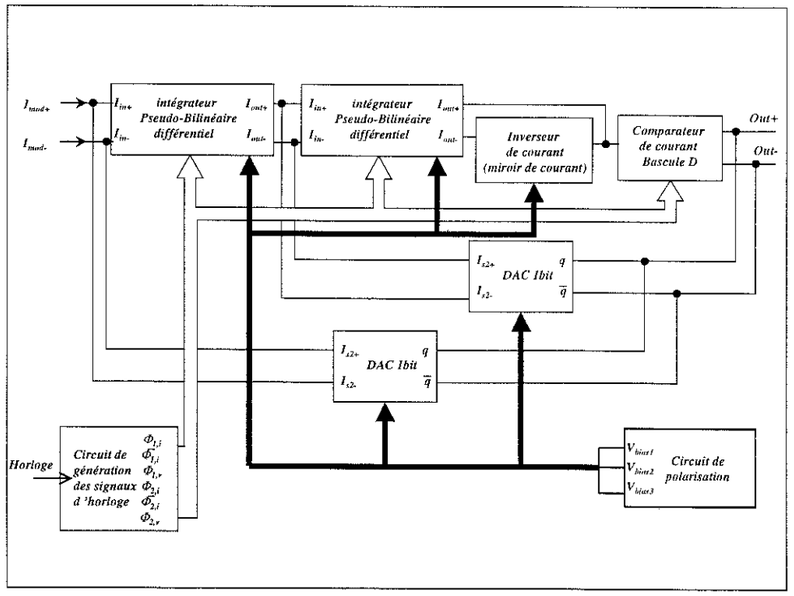


Figure V-18. Schéma bloc du modulateur 1.

Nous avons utilisé deux convertisseurs N/A 1bit fournissant les courants différentiels de contre réaction ($\pm I_{ref}$). Les sorties du premier convertisseur sont soustraites des entrées différentielles du modulateur. Dans notre cas de circuits différentiels, la soustraction des deux

courants revient à une addition avec permutation du rôle des deux courants de sortie du CNA. Nous avons procédé de même pour la deuxième boucle de contre réaction. A la sortie du deuxième intégrateur, on fait la différence entre les deux courants différentiels. Ceci permet à la fois d'éliminer la composante résiduelle du mode commun et d'attaquer le comparateur à entrée unique. Pour cela on utilise un miroir de courant pour inverser la sortie inverseuse de l'intégrateur I_{out-}. En dehors des blocs déjà présentés, un circuit de polarisation a été réalisé, il permet de fournir trois valeurs de tension fixe V_{bias1}, V_{bias2} et V_{bias3}.

- V_{bias1} : tension de polarisation des transistors de type PMOS formant les sources de courant.
- V_{bias2} : tension de polarisation des transistors cascode de type PMOS associés aux sources de courant.
- V_{bias3} : tension de polarisation des transistors cascode de type NMOS associés au transistor mémoire.

Les valeurs de ces tensions peuvent être ajustées par des résistances de polarisation mise à l'extérieur du circuit.

Le circuit est conçu en technologie CMOS 1.2µm, le courant de référence du modulateur est fixé à 50µA et la fréquence nominale de commutation est 1MHz.

III-2 Mesures expérimentales

III-2-1 Mesures préliminaires

Le modulateur est fabriqué par AMS. La figure V-19 donne une photo de la puce réalisée. Celle-ci a une forme longitudinale permettant l'alignement des lignes d'alimentation et de polarisation. Elle assure aussi une bonne séparation entre les signaux analogiques et les signaux d'horloges.

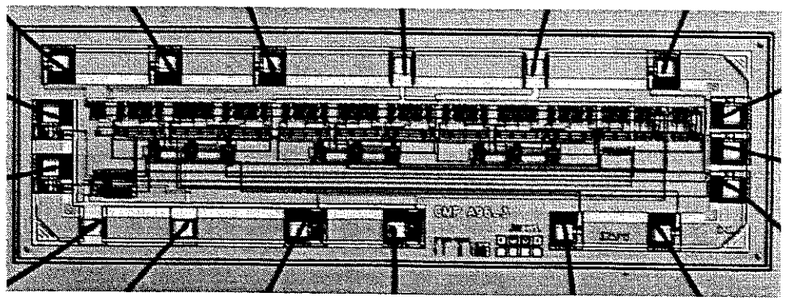


Figure V-19. Photo de la puce du modulateur 1.

Afin de faire les premiers tests sur le modulateur il est nécessaire de l'adapter à son environnement. Pour cela une carte d'évaluation sur circuit imprimé a été réalisée contenant :

- Un circuit de polarisation.
- Un circuit à base d'amplificateurs AD844 permettant la conversion tension courant et fournissant une paire de courants différentiels à l'entrée du circuit.
- Un circuit d'initialisation.

Le schéma électrique du circuit réalisé est donné dans l'annexe 3. Nous avons utilisé la plate-forme de caractérisation CanTest disponible au laboratoire.

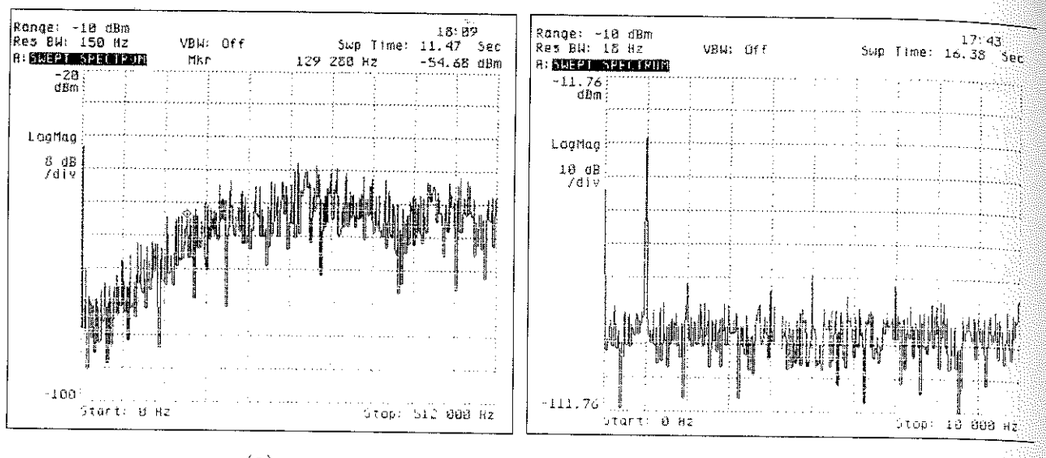
Les premières mesures ont été faites sur un analyseur de spectre, ce qui a permis la visualisation du spectre du signal de sortie du modulateur, de vérifier son fonctionnement global et d'estimer sa résolution. Les caractéristiques de test sont récapitulées dans le tableau suivant :

Fréquence d'échantillonnage	1.024MHz
Bande utile du signal d'entrée	8kHz
Pleine échelle du courant d'entrée	50µA
Fréquence du signal d'entrée	1kHz
Amplitude du signal d'entrée	20µA

Tableau V-1.

Les spectres de sortie de la figure V-20 représentent respectivement (a) le spectre de sortie du modulateur dans la bande de Nyquist, (b) le spectre de sortie dans la bande audio limitée à 10kHz, spectre qui serait obtenu après filtrage passe bas.

La figure V-20-a montre une bonne mise en forme du bruit de quantification par rejection vers les hautes fréquences. Sur la figure V-20-b on remarque l'existence d'une distorsion harmonique caractérisée par la présence de raies d'harmoniques d'ordre 2, 4, 5 et 7. On a constaté aussi une augmentation de cette distorsion suite à un accroissement de l'amplitude du signal d'entrée.



(a) (b)

Figure V-20. Spectre de sortie du modulateur 1.

III-2-1 Mesures sur CanTest

III-2-1-1 Présentation de Cantest

Cantest est un système d'évaluation dynamique et de caractérisation des convertisseurs analogique–numérique, développé au Laboratoire de Micro-électronique IXL [Mar-95]. Le banc de test est organisé comme le montre la figure V-21. Il permet l'acquisition des données et l'évaluation des paramètres d'une large gamme de convertisseurs A/N, par différentes méthodes d'analyse. Les caractéristiques principales de CanTest sont : sa compatibilité avec plusieurs configurations externes, son interface homme-machine bien développé et sa capacité de faire tourner un grand nombre d'algorithmes de traitement de données pour l'extraction des paramètres spécifiques caractérisant les convertisseurs A/N.

CanTest tourne sur un Macintosh (Power PC). Il lui est associée une carte d'acquisition numérique. La partie logicielle qui gère l'acquisition et le traitement des résultats est écrite en langage C.

L'acquisition se fait en deux modes : mémorisation de 64k d'échantillons ou acquisition en temps réel. Les échantillons numériques sortant du convertisseur sous test proviennent d'une carte d'évaluation adaptant le convertisseur au système Cantest. Le signal d'entrée, le signal d'horloge et les sources d'alimentations sont fournies des générateurs performants extérieurs. La fréquence d'acquisition peut aller jusqu'à 50MHz. Ce système peut tester les convertisseurs à sur-échantillonnage tel que les convertisseurs Sigma-Delta et les convertisseurs de résolution allant jusqu'à 24 bits.

CanTest permet trois types d'analyses : analyse statistique, analyse spectrale et analyse temporelle. Chaque type d'analyse permet l'extraction des caractéristiques principales comme le rapport signal sur bruit ou les erreurs de non-linéarité.

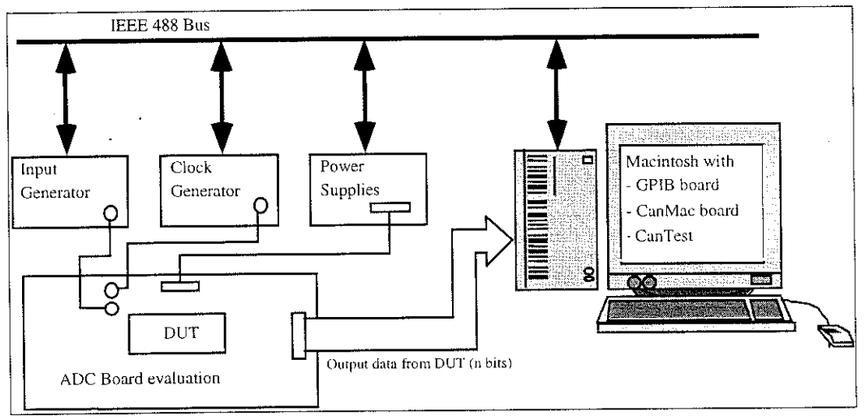


Figure V-21 Système CanTest.

III-2-1-2 Mesures sur le modulateur 1 avec Cantest.

Les mesures sont faites avec la carte d'évaluation déjà utilisée pour les tests préliminaires. Une simple conversion du niveau haut du flot de bit et du signal d'horloge de 3V à 5V est nécessaire pour l'interface avec Cantest. L'acquisition de la sortie du modulateur est faite sur un seul bit. Ceci n'autorisera qu'un seul type de traitement : l'analyse fréquentielle du signal de sortie tant que le filtrage numérique de décimation n'a pas été fait.

Mesures spectrales

Cette analyse nous a permis d'identifier les différentes anomalies fréquentielles comme la distorsion harmonique et ses origines. Le système CanTest permet le calcul de la FFT du signal de sortie.

La figure V-22 et V-23 correspondent aux spectres de sortie limités à la bande de 8kHz, pour des entrées sinusoïdales et pour deux valeurs d'amplitude, -14dB et –24dB par rapport à la pleine échelle et pour deux fréquences, 1kHz et 2kHz.

Le spectre de la figure V-22 présente un niveau du plancher bruit de –60 dB par rapport au niveau de l'entrée qui est à –14dB de la pleine échelle. La mise en forme du bruit de quantification s'opère correctement mais les performances du modulateur sont dégradées par la présence d'harmoniques d'ordre 3, 4, 5 et 7. La remontée du plancher du bruit est

causée par le bruit interne du circuit et l'erreur d'injection de charge dont l'effet à été expliqué au chapitre IV et la présence des harmoniques impairs vient de la saturation des intégrateurs. Cette erreur est partiellement réduite dans le cas de ce modulateur par l'utilisation de capacités grille-source importantes pour les transistors mémoire et par l'utilisation de la structure pseudo bilinéaire différentielle [Lou-96].

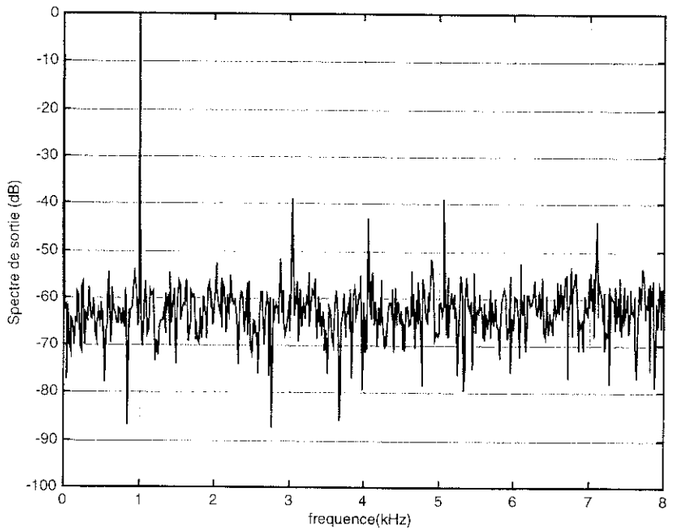


Figure V-22. Spectre de sortie du modulateur 1 testé avec CanTest. Entrée courant sinusoïdale de fréquence 1kHz d'amplitude -14dB de la pleine échelle, la fréquence d'échantillonnage est de 1.024MHz.

Le spectre de la figure V-23 présente un niveau de plancher de bruit assez haut –50dB, ceci est relatif à l'amplitude du signal d'entrée qui est de –24 dB. On remarque la présence de l'harmonique d'ordre 3 de faible amplitude et la disparition des autres harmoniques. Ceci s'explique par un effet minime de la saturation des intégrateurs pour les faibles niveaux d'entrée et un fonctionnement dans la zone linéaire des intégrateurs. L'apparition précoce des harmoniques pour des amplitudes supérieures à –20 dB est due à l'utilisation d'un courant de référence un peu élevé ce qui provoque la saturation des intégrateurs.

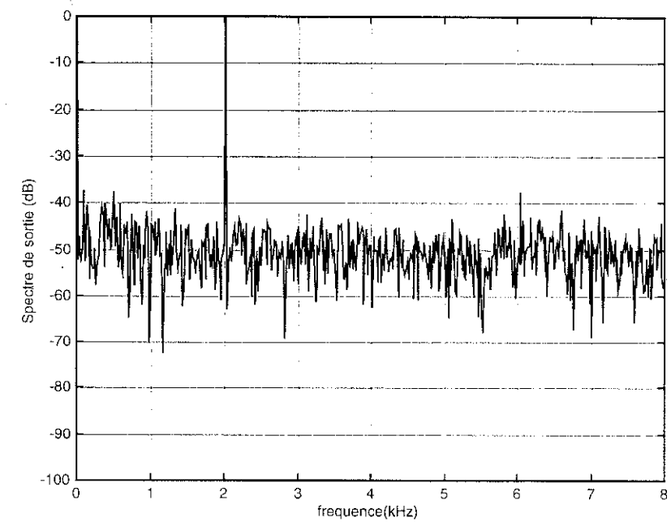


Figure V-23. Spectre de sortie du modulateur 1 testé avec CanTest. Entrée courant sinusoïdale de fréquence 2kHz d'amplitude -24dB par rapport à la pleine échelle, la fréquence d'échantillonnage est de 1.024MHz.

Courbe du SNR

Des mesures ont été faites pour différentes valeurs d'amplitudes de l'entrée analogique. La figure V-24 montre la courbe SNR en fonction de l'amplitude en dB du signal d'entrée. Cette courbe suit une loi linéaire pour les faibles amplitudes, puis subit une déformation à partir des amplitudes supérieures à -10dB de la pleine échelle. Ceci s'explique par le phénomène de saturation dans les intégrateurs qui pourra être réduit par diminution de la valeur du courant de référence au détriment de la dynamique du modulateur. La courbe atteint un maximum de -43.dB pour une amplitude de -10dB de la pleine échelle. En se référant aux relations II-13 et II-14 développées au chapitre II permettant le calcul de la résolution effective du modulateur avec correction par rapport à la pleine échelle, ce modulateur a une résolution effective de 9bits.

En dehors de la saturation des circuits à courants commutés, la dégradation des performances du modulateur par rapport aux estimations théoriques s'explique aussi par le bruit amené par les non linéarités du circuit de test et principalement le circuit de conversion tension courant [Tan-96].

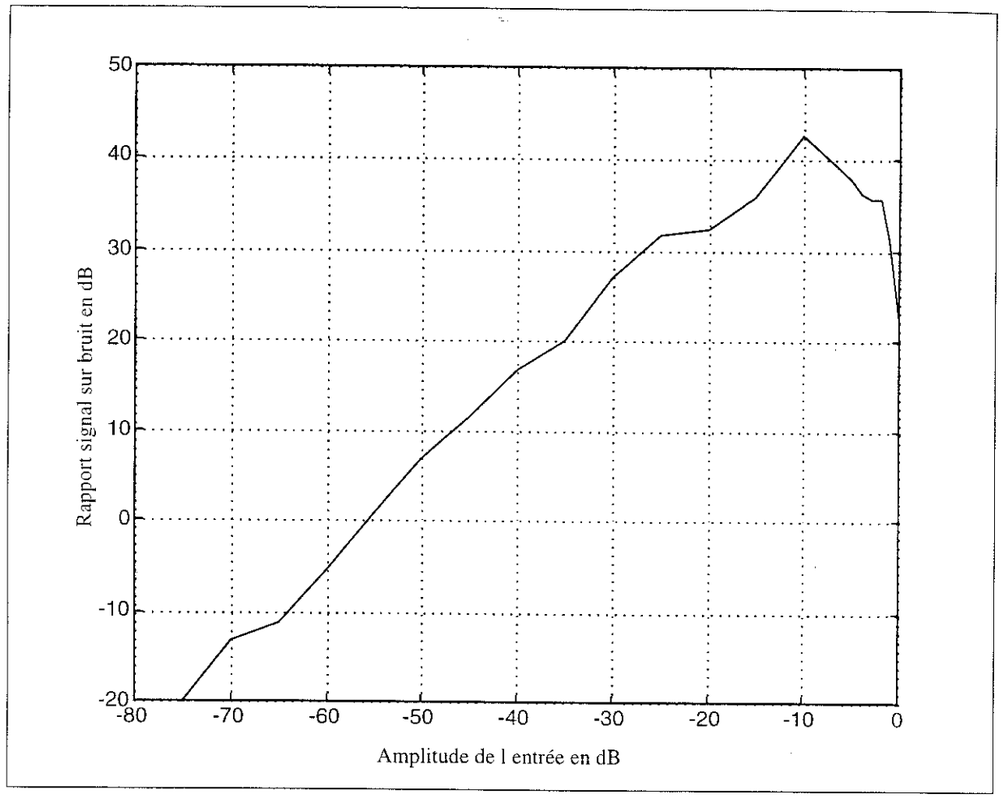


Figure V-24. Courbe SNR sans distorsion en fonction de l'amplitude du signal d'entrée.

Fréquence du signal d'entrée=1kHz.

Fréquence du signal d'horloge=1.024MHz, OSR=64.

Le fonctionnement nominal du modulateur est décrit à une fréquence d'horloge de 1MHz. Le test du modulateur pour des fréquences plus élevées montre des performances dégradées au-delà de 2MHz. Cette limitation est due à l'utilisation des transistors mémoire de grande taille, ce qui augmente les constantes de temps des cellules mémoire (V-4).

$$\tau = \frac{C_{mem}}{g_m} \qquad \text{(V-4)}$$

où C_{mem} est la capacité grille source du transistor mémoire et g_m est sa transconductance.

Le circuit occupe une surface de silicium relativement grande, qui est dû à:

- l'utilisation des transistors mémoire de grande taille.
- l'emploi d'une méthode de routage et de placement des transistors très spacieuse pour éviter les problèmes causés par les capacités parasites au moment de la fabrication.

Le tableau suivant résume les principales caractéristiques du modulateur 1.

Technologie	AMS 1.2µ CMOS
Surface de silicium occupée	2.5mm^2
Courant de référence	50µA
Puissance dissipée	8 mW
Fréquence d'horloge nominale	1.024MHz
Fréquence d'horloge maximale	2MHz
Bande du signal	8kHz
Rapport de sur-échantillonnage OSR	64
Résolution	9 bits

Tableau V-2. Tableau récapitulatif du modulateur 1.

III MODULATEUR 2 PRESENTATION ET MESURES

III-1 Présentation du Modulateur

L'architecture de ce modulateur [Lou-98-5] est la même que celle utilisée pour le premier. Deux modifications essentielles ont été faites par rapport au premier modulateur: La première consiste en l'utilisation de l'intégrateur auto-compensée [Lou-98-1] étudié dans le chapitre III et la deuxième concerne l'implantation des différents circuits blocs en technologie 0.8µm CMOS. Son schéma synoptique est donné par la figure V-25.

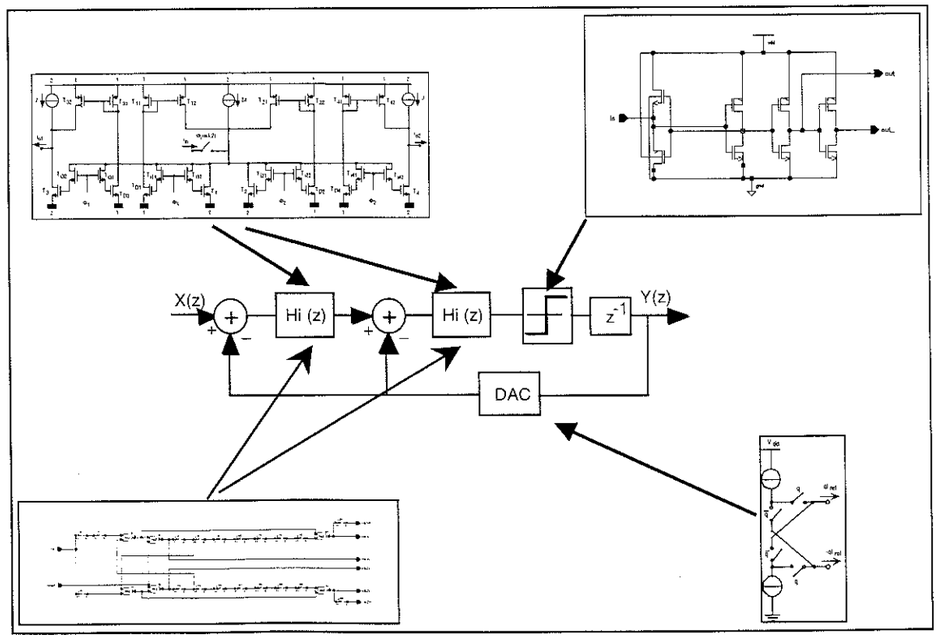


Figure V-25 Synoptique du modulateur 2.

L'intégrateur auto-compensé est utilisé dans sa configuration différentielle. Cet intégrateur ainsi que tous les blocs faisant intervenir des sources de courant, sont réalisés dans leur configuration cascode à tension de grille régulée. Ceci nécessite un circuit de polarisation diffèrent de celui de du modulateur 1. Il permet de fournir trois valeurs de tension fixe V_{polar}, $V_{1.1V}$ et $V_{2.2V}$.

- V_{polar} : tension de polarisation des transistors de type PMOS formant les sources de courant. Cette tension est ajustée par la valeur d'une résistance mise à l'extérieur du circuit.
- $V_{1.1V}$: tension de polarisation des transistors de type NMOS formant la source de courant de la structure cascode régulé de type PMOS.
- $V_{2.2V}$: tension de polarisation des transistors de type PMOS formant la source de courant de la structure cascode régulé NMOS.

Le courant de référence du modulateur est fixé à 50µA et la fréquence nominale de fonctionnement est de valeur 2.048MHz.

III-2 Mesures expérimentales sur le modulateur 2

Le modulateur est fabriqué par AMS. La figure V-26 donne une photo de la puce réalisée. Comme pour le modulateur 1 et afin de faire les premiers tests sur le modulateur2, nous avons réalisé une carte d'évaluation sur circuit imprimé permettant à la fois de faire les tests préliminaires et les tests sur CanTest. Cette carte comprend :

- Un circuit de polarisation permettant d'ajuster la valeur de V_{polar}.
- Un circuit à base d'amplificateurs AD844 permettant la conversion tension courant et fournissant une paire de courant différentielle à l'entrée du circuit
- Un circuit d'initialisation.
- Un circuit d'adaptation à Cantest (conversion 3.3V-5V) de l'horloge et de la sortie du modulateur.

Le schéma électrique du circuit réalisé est donné dans l'annexe 3.

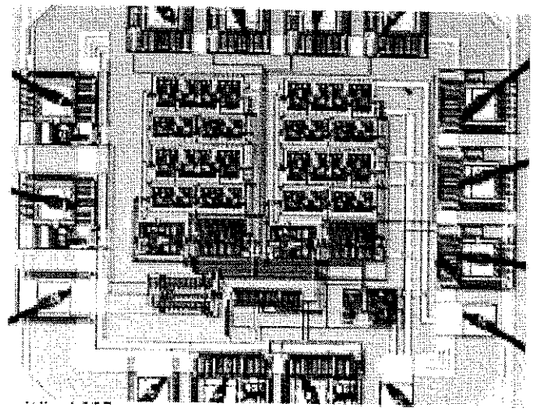


Figure V-26. Photo de la puce du modulateur 2.

Les premières mesures ont été faites sur un analyseur de spectre. Ce qui a permis la visualisation du spectre du signal de sortie du modulateur et de vérifier son fonctionnement global.

Les diverses mesures faites sur le modulateur 2 ont été réalisées avec le système de caractérisation CanTest. Dans un premier temps le modulateur est testé seul en faisant l'acquisition du flot de bit de la sortie du modulateur. Dans un deuxième temps le modulateur a été testé avec un filtre de décimation intégré sur un circuit de type Xilinx qui sera présenté dans la dernière partie de ce chapitre.

Mesures spectrales

Le tableau V-3 donne les conditions de test :

Fréquence d'échantillonnage	2.048MHz
Bande utile du signal d'entrée	8kHz
Pleine échelle du courant d'entrée	50µA
Fréquence du signal d'entrée	1kHz
Amplitude du courant d'entrée	-15dB

Tableau V-3.

Le spectre de la figure V-27 correspond au spectre de sortie du modulateur pour une entrée sinusoïdale d'amplitude –15 dB par rapport à la pleine échelle et de fréquence 1kHz

échantillonnée à la fréquence 2.048MHz. Ce spectre montre une amélioration certaine par rapport au premier modulateur :

- Une bonne mise en forme du bruit, qui se traduit par un faible plancher de bruit de valeur moyenne –65dB pour un signal d'amplitude –15dB en dessous de la pleine échelle.
- Une forte réduction de la distorsion harmonique à la sortie du modulateur. La présence de l'harmonique d'ordre 2 s'explique par la saturation des transistors mémoire si on augmente l'amplitude du courant d'entrée. Cette distorsion s'accentue si on s'approche de la pleine échelle. Ceci est l'inconvénient de l'utilisation des circuits classe A. Il reste toujours possible de résoudre ce problème par la diminution du courant de référence des Convertisseurs N/A 1bit.

Les améliorations apportées par rapport au premier modulateur, justifient l'efficacité de la méthode de compensation de l'effet d'injection de charge et l'utilisation de la structure cascode à tension de grille régulée.

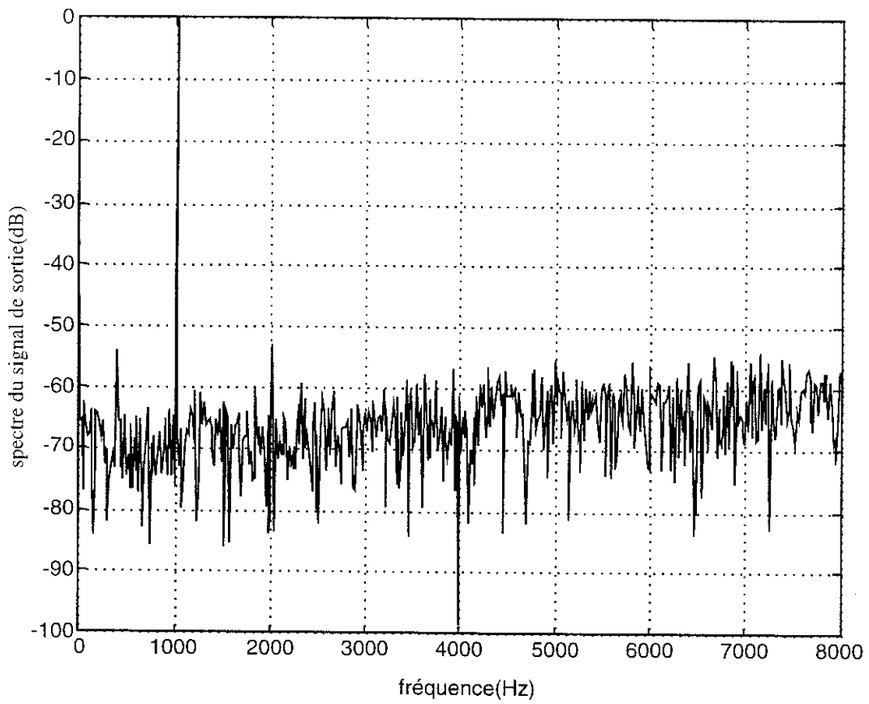


Figure V-27. Spectre de sortie du modulateur 2 testé avec CanTest. Entrée courant sinusoïdale de fréquence 1kHz d'amplitude -15dB de la pleine échelle, la fréquence d'échantillonnage est de 2.048MHz.

Courbe du SNR

La figure V-28 montre la courbe SNR en fonction de l'amplitude en dB du signal d'entrée. Cette courbe suit une loi linéaire pour les faibles amplitudes, puis subit une déformation à partir des amplitudes supérieures à -10dB de la pleine échelle. La courbe atteint son maximum de –52dB pour une amplitude de -5dB de la pleine échelle. En se référant aux relations V-4 et V-5, la résolution effective de ce modulateur est supérieure à 10bits.

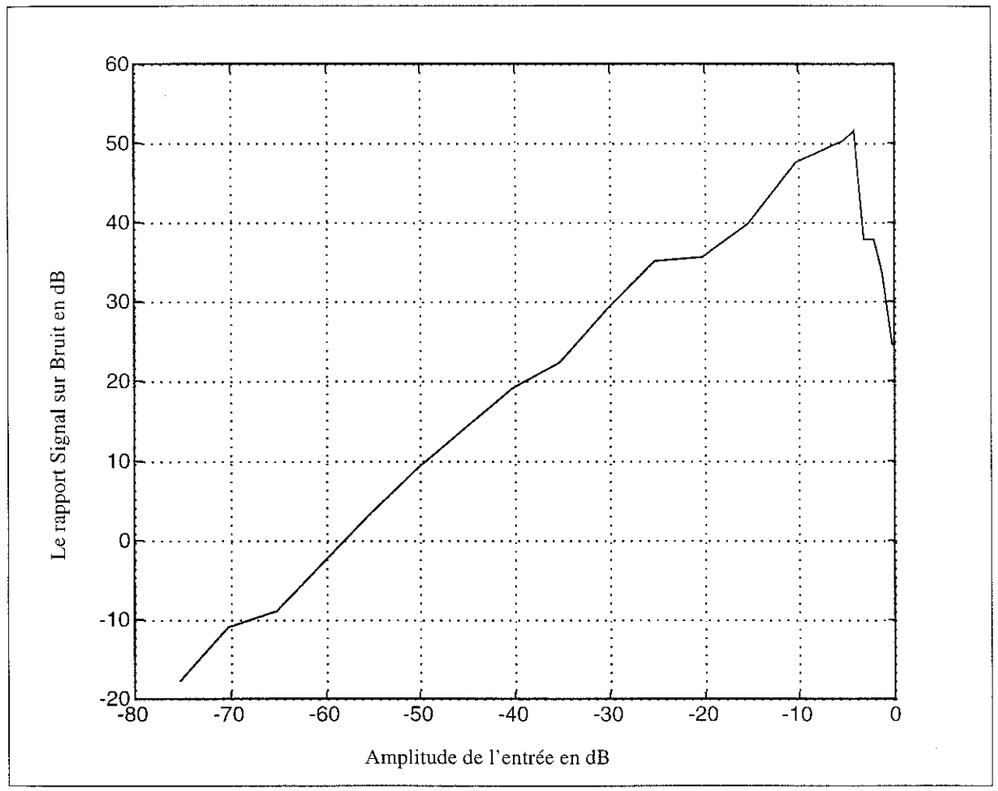


Figure V-28. Courbe SNR en fonction de l'amplitude du signal d'entrée.
Fréquence du signal d'entrée=1kHz.
Fréquence du signal d'horloge=2.048MHz, OSR=128.

Le tableau V-4 récapitule les caractéristiques du modulateur 2. Le modulateur occupe une surface de silicium de 0.45mm^2, plus faible que celle du premier modulateur malgré la complexité des cellules mémoire utilisées. Ceci s'explique par la taille des transistors mémoire qui a été réduite et par un placement routage optimisé pour minimiser la taille de la puce. Cependant on constate une augmentation de la puissance consommée. Cette

augmentation est due principalement aux circuits de compensation. On constate aussi une augmentation de la fréquence maximale de commutation suite à l'utilisation des transistors de faible taille.

On peut penser que cette dernière amélioration aurait pu être plus significative, mais elle se trouve freinée par les boucles de contre réaction de la structure auto-compensée qui viennent s'ajouter au comportement oscillatoire du cascode régulé.

Technologie	AMS 0.8µm CMOS
Surface de silicium occupée	0.45mm^2
Courant de référence	50µA
Puissance dissipée	18mW
Fréquence d'horloge nominale	2.048MHz
Fréquence d'horloge maximale	3MHz
Bande du signal	8kHz
Rapport de sur-échantillonnage OSR	128
Résolution	10bits

Tableau V-4. Tableau récapitulatif du modulateur 2.

IV CONCEPTION DE LA CHAINE DE DECIMATION

Cette chaîne de décimation a été implantée sur un circuit Xilinx. Les outils de développement et de simulation utilisés sont les logiciels adaptés aux applications de traitement numérique du signal, de Mentor Graphics, à savoir DSPlab.

IV-1 Choix de la structure de la chaîne de décimation

Les spécifications dépendent des caractéristiques du signal traité par la chaîne de conversion et de la résolution dynamique attendue en sortie de celle-ci. Les résultats trouvés sur le modulateur 2 ont permis de définir les spécifications suivantes :

Modulateur Sigma-Delta				Filtre Décimateur	
Ordre L	f_e	Amplitude signaux en entrée	Fréquence signaux en entrée	Résolution	Bande passante signaux en sortie B
2	2.048 MHz	0 à 50µA	500Hz à 8 kHz	12 bits	8 kHz

Tableau V-5. Spécification de la chaîne de décimation.

De ces spécifications, nous obtenons les paramètres nécessaires à la réalisation des filtres:

- Le facteur de décimation est donné par: $M = \frac{f_e}{2B}$, soit M = 128;
- L'ordre du sinus cardinal est donné par: k = L+1, soit k = 3;

Il a été convenu de répartir le facteur de décimation de la façon suivante:

Filtres	Taux de sous-échantillonnage
Sinus cardinal	32
1er demi-bande	2
2ème demi-bande	2

Tableau V-6. Caractéristiques de la chaîne de filtrage.

Par ailleurs, après le filtre sinus cardinal, il est nécessaire de placer un filtre RIF afin de corriger l'atténuation dans la bande utile.

Pour limiter le dépassement, il est nécessaire de travailler en complément à 2 en entrée de la chaîne de décimation. La résolution interne est calculée en appliquant la relation II-52. Comme dans notre cas, k = 3, M = 32 et B_{in} = 2 bits. On obtient alors: $n_{interne}$ = 17 bits. Il suffira alors de tronquer les cinq derniers bit à la sortie pour obtenir un convertisseur sur 12 bits. Il est important de noter que le SNR mesuré en sortie du modulateur Sigma-Delta ne demande pas une résolution supérieure à 12 bits, c'est en ce sens que les 5 derniers bits ne sont pas significatifs.

Finalement, on aboutit à la structure donnée par la figure V-29 pour la chaîne de décimation qui a fait l'objet d'un travail réalisé au sein de notre équipe de recherche [Abt-97]:

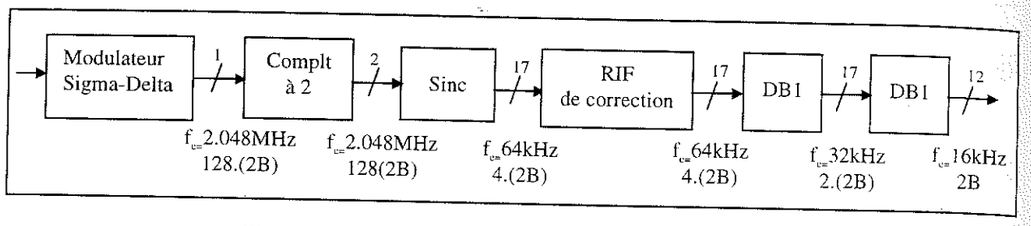


Figure V-29. Structure de la chaîne de décimation.

Dans ce qui suit on présente les résultats obtenus suite à la simulation sur Mentor du filtre sinus cardinal d'une part et des mesures faites sur CanTest avec le modulateur et le filtre sinus cardinal implanté dans un Xilinx d'autre part. Le reste de la chaîne de décimation n'a pas été développé et fait partie des perspectives de ce travail.

VI-2 Résultats de simulation

Dans un premier temps Cantest a permis de mémoriser une acquisition du flot de bits à la sortie du modulateur 2. La fréquence du signal d'entrée est égale à 3.0625kHz et son amplitude à 5µA (–20dB en dessous de la pleine échelle). Le nombre de points acquis est de 32768. Les données sont ainsi sauvegardées dans un fichier pour les traiter à l'aide des outils de simulation de Mentor Graphics. La simulation du bloc sinus cardinal correspond a une décimation par 32. Nous avons donc obtenu 1024 points de données codées sur 17 bits. Les figures V-30 et V-31 illustrent la courbe temporelle et la FFT du signal de sortie. Pour une meilleure définition, ces deux diagrammes ont été restitués par l'intermédiaire de CanTest.

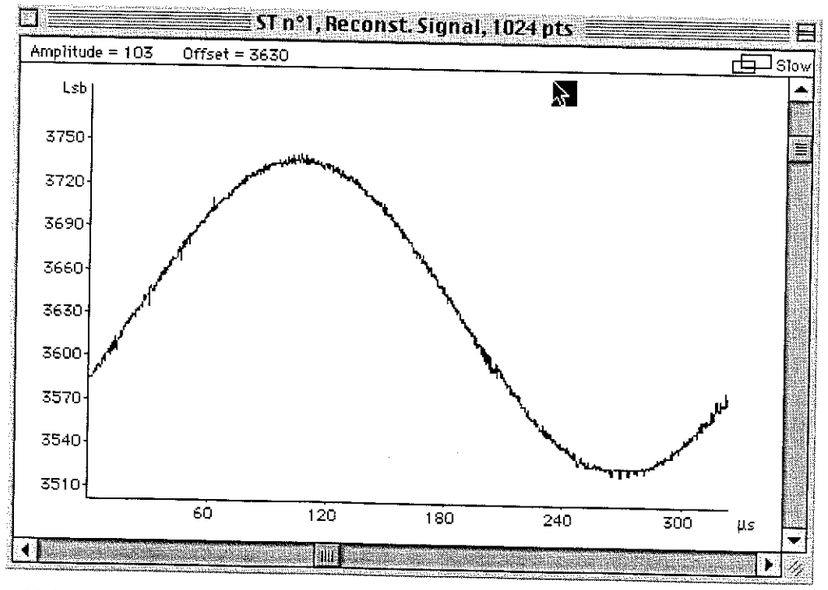


Figure V-30. Représentation du signal de sortie dans le temps, reconstitué sur une période.

La figure V-30 correspond à une reconstitution du signal d'entrée par un algorithme interne à CanTest, algorithme qui permet de placer l'ensemble des 32k points de la simulation sur une seule période de signal.

Le spectre est affiché en figure V-31. Le fondamental à -26dB montre l'existence d'une atténuation de 6dB dans la chaîne de mesure. La distorsion harmonique n'a pas été prise en compte du fait de la hauteur du plancher de bruit. Le résultat de 9.4 bits est conforme avec les 10 bits de résolution du modulateur trouvées sur une plage de fréquence 4 fois plus faible.

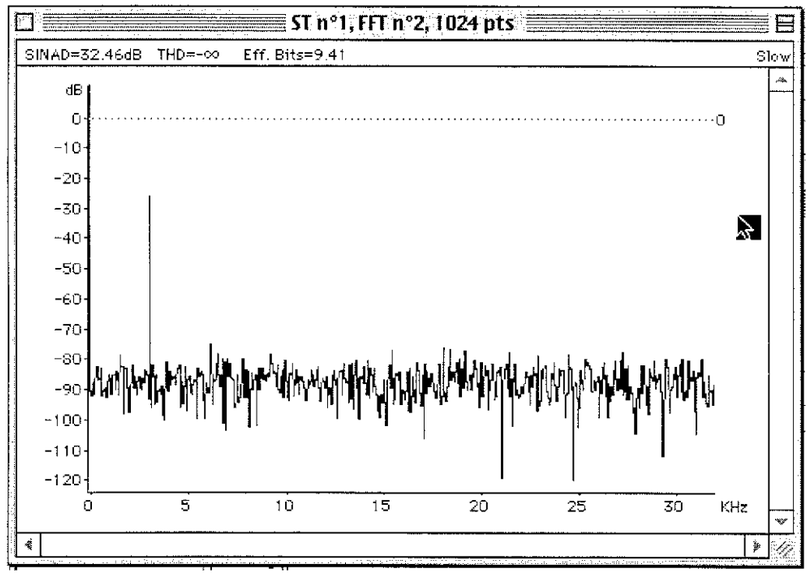


Figure V-31. Spectre du signal de sortie.

VI-3 Mesures sur CanTest

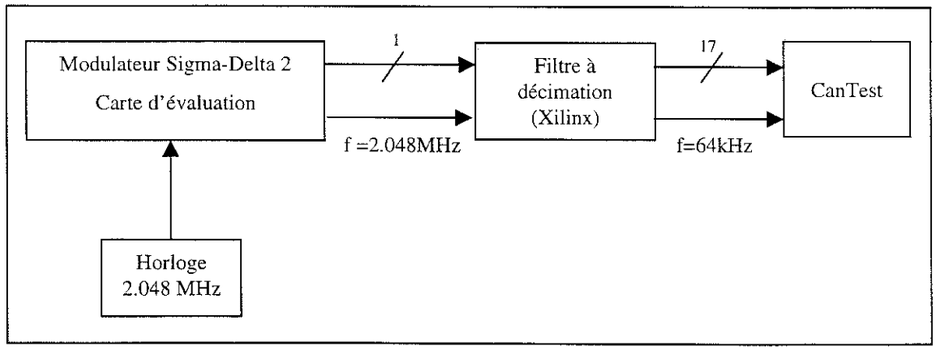


Figure V-32. Montage de test du convertisseur entier.

Le filtre décimateur en sinus cardinal déjà présenté a été implanté sur un circuit Xilinx. Le Modulateur et le filtre ont été rassemblés pour former un convertisseur Sigma-Delta à sortie parallèle.

L'acquisition sur CanTest est faite sur les 12 bits les plus significatifs des 17 bits fournis à la sortie du filtre. Le modulateur est attaqué par un signal sinusoïdal de fréquence 1kHz et d'amplitude –10dB de la pleine échelle . Les figures V-33 et V-34 illustrent le signal de sortie reconstitué et son spectre. Le filtre joue bien son rôle et CanTest vérifie la fonctionnalité de l'ensemble en tant que convertisseur analogique-numérique. En revanche la distortion harmonique est importante, elle persiste même si le niveau d'entrée diminue. On se souvient que cette distorsion a été mesurée très faible en sortie du modulateur 2. Nous le constatons d'ailleurs à nouveau sur le fichier traité en simulation. On devrait donc conclure que c'est le filtre lui-même qui apporte cette non-linéarité. Pourtant dans l'état actuel de nos résultats il est en fait difficile de donner une interprétation définitive de ce défaut qui peut être dû simplement à des conditions de mesures incorrectes. Ce point est à éclaircir pour la suite de nos travaux.

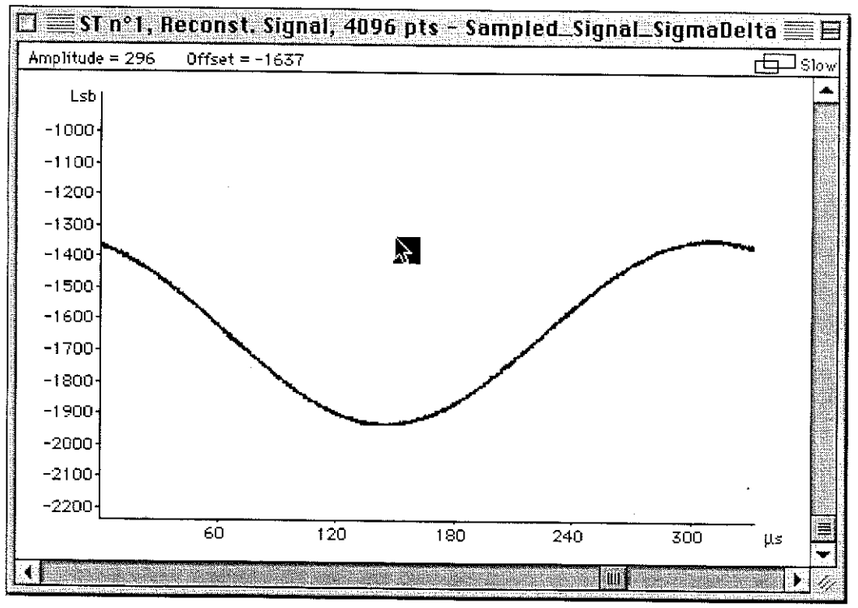


Figure VI-10. Signal reconstitué.

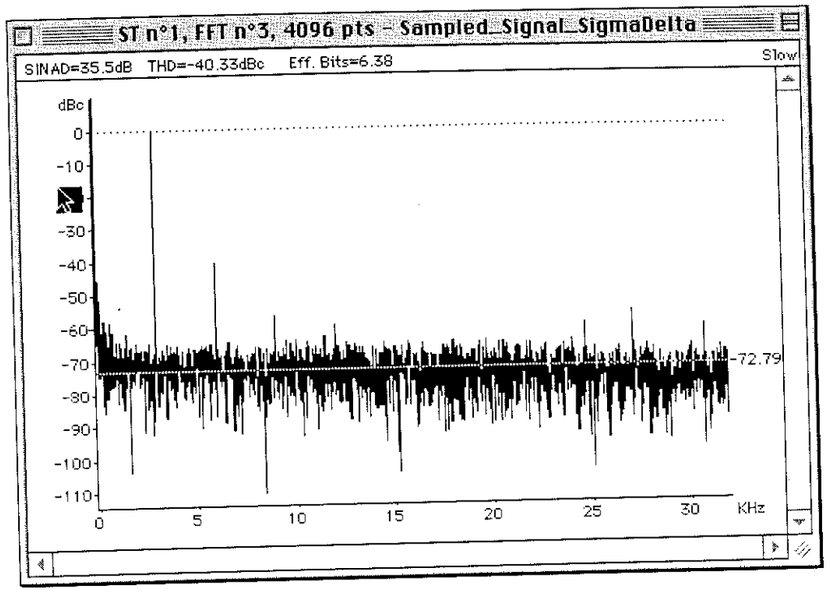


Figure VI-11. Spectre du signal reconstitué.

IV CONCLUSION

Dans ce chapitre terminal nous avons présenté les deux modulateurs que nous avons conçus. Ceux-ci ont une structure du second ordre cascadé classique.

Dans la première partie de ce chapitre nous avons étudié les différents blocs constituant un modulateur en mode courant : le comparateur de courant, le convertisseur N/A 1 bit et le circuit de génération des signaux de contrôle.

Dans la deuxième partie, nous avons présenté en détails le premier modulateur. Celui-ci utilise l'intégrateur pseudo bilinéaire dans sa configuration cascode simple. Les mesures expérimentales faites ont montré une déformation de la caractéristique du SNR pour des amplitudes de signal d'entrée supérieures à –10dB. Cette déformation est due principalement à la saturation des intégrateurs pour les fortes amplitudes. Ceci se traduit alors par une distorsion harmonique dans le spectre de sortie du modulateur. De plus l'importance de l'harmonique d'ordre 3 s'explique par une saturation précoce des intégrateurs suite à l'utilisation d'un courant de référence élevé.

Dans la troisième partie nous avons présenté le deuxième modulateur conçu. Ce modulateur utilise l'intégrateur auto-compensé dans sa configuration cascode régulé. Celui ci a montré une réduction considérable de la distorsion harmonique dans le spectre de la sortie, et présente des performances en résolution et rapidité meilleures. Sa résolution a été estimée de 10bits effectifs. Le test des deux modulateurs a été fait en utilisant le système Cantest par

acquisition du flot de bits à la sortie des modulateurs. Nous avons utilisé de travaux de l'équipe sur le filtre à décimation. Il s'agit d'un filtre en sinus cardinal d'ordre 3 à décimation par 32 implanté en Xilinx. On a pu constaté la bonne fonctionnalité de l'ensemble mais l'apparition de non-linéarités dont l'origine reste à trouver.

CONCLUSION GENERALE

Notre sujet d'étude nous a amené à nous intéresser à deux domaines qui tendent aujourd'hui à converger, celui de la micro-électronique et plus particulièrement de la conception électronique et celui du traitement du signal. La conception d'un convertisseur Sigma-Delta peut être considérée en effet comme une application de chacun des domaines et ceci est d'autant plus vrai dans le cas de la technique utilisée pour l'implémentation électronique. Les deux premiers chapitres posent les bases des deux domaines d'actions et les trois suivants concernent notre contribution à proprement parlé.

Dans le chapitre I, qui traite de la technique des courants commutés, nous avons, après une présentation générale, modélisé les deux principales causes d'erreurs des circuits fonctionnant sur ce principe : la valeur finie des résistances équivalentes et l'injection de charge. Nous avons passé en revue les méthodes proposées en bibliographie pour contrer ces erreurs et conclure qu'il n'existe pas de solutions générales mais des cas particuliers où la correction peut être optimale.

Un minimum de connaissances en traitement du signal est nécessaire pour comprendre les avantages des convertisseurs Sigma-Delta. Ce sont leurs propriétés qui sont détaillées au chapitre II : sur-échantillonnage avec mise en forme du bruit. Notre travail n'étant pas tenu à un cahier des charges précis, nous avons opté pour une architecture cascade du deuxième ordre classique, limitée, en théorie, à moins de 13 bits de résolution pour un facteur de sur-échantillonnage égal à 64, mais sans problème de stabilité.

Un des blocs fondamentaux d'un modulateur Sigma-Delta passe bas sur lequel repose en partie la précision de celui-ci est le bloc d'intégration. C'est ainsi qu'au chapitre III nous avons proposé deux nouvelles structures d'intégrateur. Celles-ci sont basées sur une architecture différentielle entièrement symétrique permettant une meilleure exploitation du signal pour une fréquence d'échantillonnage donnée. La première réalisation est du type bilinéaire ; elle possède la particularité d'être économe en surface occupée et en consommation. Elle met en œuvre une compensation de mode commun par contre réaction en courant. En tant que première réalisation nous avons recherché la simplicité en optant pour des cellules mémoire simplement cascodé mais avec des tailles de transistors relativement grande dans le but de réduire les deux sources d'erreur signalées précédemment.

Le second intégrateur possède une structure optimale vis-à-vis de ces erreurs. L'emploi de la technique cascode régulé au niveau des transistors mémoire, mais aussi des sources de courant, permet d'améliorer fortement les sorties en courant. L'utilisation d'une sorte de 'bootstrapping' en courant au niveau des grilles des transistors mémoire permet la compensation de l'erreur d'injection de charge. Si cette technique est relativement simple pour les cellules mémoires, elle se complique dès l'instant où la recopie du courant de sortie

est nécessaire comme dans le cas de l'intégrateur. La structure à étages de compensation multiple proposée résout le problème tout en assurant l'isolation entre les étages mémoire

Un intégrateur est un circuit linéaire. Dans le cas où celui-ci est à temps continu son analyse par un logiciel de simulation analogique en option AC est très efficace, mais malheureusement inadaptée dans le cas des circuits à temps discret. Seule est envisageable l'option 'transitoire' : le comportement en régime établi est alors très difficile à atteindre et demande un temps de calcul prohibitif. Nous apportons deux solutions à ce problème. La première consiste simplement à simplifier les modèles en adoptant des circuits équivalents petits signaux très simples pour les composants du circuit. Les simulateurs analogiques en option transitoire peuvent être utilisés : ils perdent en précision mais gagnent beaucoup en rapidité. La seconde méthode plus réaliste dans le cas des forts signaux, modélise les erreurs à partir de l'approche théorique, utilise les valeurs numériques des bibliothèques des simulateurs analogiques, et les introduit dans un simulateur comportemental tel que MATLAB-SIMULINK.

Nos travaux ont débouché sur la conception de deux modulateurs et à l'ébauche d'un convertisseur analogique-numérique complet. Le chapitre V présente ces réalisations. Les intégrateurs ayant été détaillées précédemment on explique les autres blocs en insistant notamment sur la nécessité d'un bon contrôle des commandes des interrupteurs MOS selon leur rôle, interrupteurs de courant ou interrupteurs de tension. Les modulateurs réalisés obéissent au même schéma bloc, celui d'une structure cascadée d'ordre deux. Au niveau du circuit leur différence essentielle tient dans les intégrateurs. Ils utilisent chacun l'un des types d'intégrateur proposés au chapitre III. La technologie utilisable pour l'intégration monolithique ayant évoluée entre les deux réalisations, la première l'a été en technologie 1.2µm et la deuxième en 0.8µm, les deux du fondeur AMS. La mesure expérimentale a nécessité la réalisation de cartes d'évaluation intégrant notamment les circuits d'interface permettant l'attaque en tension des générateurs du commerce et l'adaptation au système CanTest. Il s'agit là de la plate-forme de caractérisation des convertisseurs analogique-numérique, conçue et réalisée par le Laboratoire IXL. Vu le caractère monobit de la sortie des modulateurs, seule l'analyse spectrale a pu être implémentée. Elle a permis de mettre en évidence la mise en forme du bruit de quantification, caractéristique de la technique Sigma-Delta. Le second modulateur a présenté une linéarité bien meilleure que le premier, et ceci même à fort niveau. De plus sa dynamique a été augmentée jusqu'à approcher –5dB de la pleine échelle. Quant à la résolution, les mesures ont donné 9 bits effectifs pour le premier et 10bits pour le second. Les résultats restent cependant éloignés des prévisions théoriques de 12.7 bits. L'écart peut s'expliquer par l'injection de charge au niveau des intégrateurs dont

une partie n'est pas compensée et aussi du bruit interne des transistors MOS de l'intégrateur. Ce phénomène que nous n'avons pas eu le temps d'étudier est certainement responsable de la remontée du plancher du bruit dans les relevés spectraux.

Enfin des travaux annexes ont permis la réalisation d'un filtre numérique de décimation. Ce filtre a été introduit en sortie du second modulateur de manière à constituer un convertisseur A/N. Mais avec une bande utile de 32kHz au lieu des 8kHz prévus, du fait de la décimation incomplète. L'ensemble a été validé par CanTest mais a présenté une distorsion harmonique anormale, problème qui devra être expliqué et résolu dans la suite de ces travaux.

Dans l'équipe cette thèse a ouvert la voie de la conception dans deux directions.

- La conversion analogique Sigma-Delta est un sujet qui n'avait pas été abordé jusqu'ici que sous l'angle de la caractérisation et non de la conception. Une structure simple a été choisie mais une meilleure rejection du bruit peut être obtenue grâce à des architectures plus complexes. Nous avons étudié et simulé certaines d'entre elles sur un aspect fonctionnel grâce à MATLAB. Ces résultats n'ont pas été présentés dans ce mémoire mais seront utiles pour les travaux qui se poursuivent.
- La technique des courant commutés pour la conception analogique MOS est intéressante à bien des égards. Nous avons apporté des solutions à certains défauts inhérents sans toutefois pouvoir atteindre les hautes résolutions. D'autres cellules doivent être envisagées, notamment celles en classe AB ou les cellules S^2I qui ont été présentées dans le chapitre I. Les travaux publiés où elles interviennent montrent des performances supérieures aux nôtres [Oli-97], [Moe-96]. Dans l'état actuel les travaux de l'équipe se sont orientés vers une modélisation poussées des cellules mémoire que nous avons utilisées, ceci afin d'augmenter leur précision et leur rapidité. La validation est faite sur un convertisseur numérique analogique algorithmique, très pénalisant du fait de l'accumulation de l'erreur, mais choisi pour cela. Nous avons débuté cette étude et participé à l'architecture du premier CNA conçu par l'équipe [Rif-97].

ANNEXES

Annexe 1

RAPPEL SUR LA MODELISATION DU TRANSISTOR MOS

La modélisation du transistor MOS est importante dans la conception des circuits intégrés analogiques MOS. Le concepteur a besoin de modèles non seulement dans la synthèse mais aussi dans l'analyse du système à implementer. En effet dans la synthèse, il utilise un modèle simple pour faire un premier calcul manuel, puis il utilise des modèles plus complexes pour affiner le dimensionnement du circuit. Ce type de modèle est implanté sur un calculateur qui permet une analyse complète et fourni les résultats de simulation.

A1-1 MODELE GRANDS SIGNAUX

Les circuits étudiés manipulent des transistors MOS fonctionnant en forte inversion. Les définitions suivantes sont utilisées dans la formulation des modèles du transistor [Alle-87] :

k	la constante de Boltzmann	J/K
T	la température absolue	K
q	charge élémentaire	As
n_i	la concentration intrinsèque des porteurs	m^{-3}
C_{ox}	la capacité de la grille par unité de surface	F/m^2
N_A	la concentration d'impureté de type-P	m^{-3}
N_D	la concentration d'impureté de type-N	m^{-3}
N_{sub}	la concentration d'impureté dans le canal	m^{-3}
ε_{si}	la permittivité du silicium	F/m
μ	la mobilité des électrons dans le canal	m^2/Vs
V_{TO}	la tension seuil du transistor	V
W, L	largeur et longueur du canal	m
L_{rec}	Longueur de la région de recouvrement ou de la diffusion latérale	m
Φ_F	$=\frac{kT}{q} ln\left(\frac{N_{sub}}{n_i}\right)$, potentiel de Fermi	V
Φ_o	$=\frac{kT}{q} ln\left(\frac{N_A N_D}{n_i^2}\right)$, barrière de potentiel dans la jonction pn	V

γ $=\dfrac{\sqrt{2qN_{sub}\varepsilon_{si}}}{C_{ox}}$ facteur du substrat $\sqrt{V}$

k $=\mu C_{ox}$, paramètre transconductance

$\mu A/V^2$

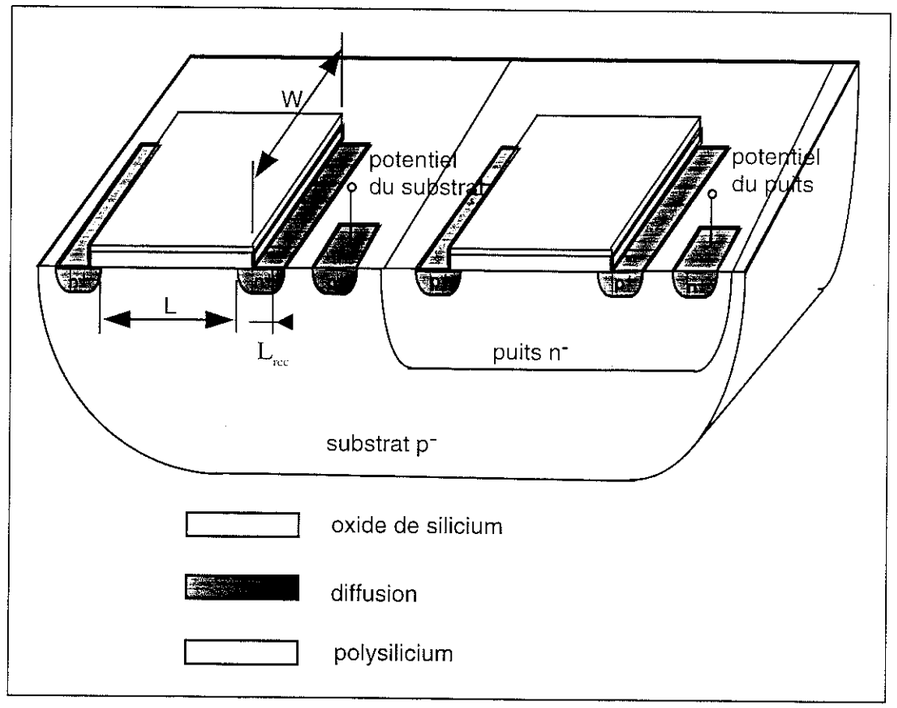


Figure A1-1 coupe transversale simplifiée des transistors NMOS et PMOS.

Le modèle forte inversion d'un transistor NMOS dans la région ohmique i.e. $v_{GS}-V_{Tn}>v_{DS}>0$:

$$i_D = k_n \frac{W}{L}\left(v_{GS} - V_{Tn} - \frac{v_{DS}}{2}\right)v_{DS}\left(1+\lambda_n v_{DS}\right) \qquad \text{(A1-1)}$$

avec v_{GS}, v_{DS} sont respectivement les tensions grille- source et drain- source du transistor

Dans la région de saturation i.e. $v_{DS} \geq v_{GS}-V_{Tn}>0$

$$i_D = \frac{k_n}{2}\frac{W}{L}\left(v_{GS} - V_{Tn}\right)^2\left(1+\lambda_n v_{DS}\right) \qquad \text{(A1-2)}$$

où

$$V_{Tn} = V_{Tn0} + \gamma_n\left(\sqrt{2|\Phi_F| - v_{BS}} - \sqrt{2|\Phi_F|}\right) \qquad \text{(A1-3)}$$

où v_{BS} est la tension substrat-source du transistor.

Dans ce modèle simplifié le courant de drain est considéré comme nul si $v_{GS} \leq V_{Tn}$.

Le modèle forte inversion d'un transistor PMOS dans la région ohmique i.e. $v_{SG}-|V_{Tp}| \geq v_{SD}>0$:

$$i_D = k_p \frac{W}{L}\left(v_{SG} - |V_{Tp}| - \frac{v_{SD}}{2}\right)v_{SD}\left(1+\lambda_p v_{SD}\right) \qquad \text{(A1-4)}$$

dans la région de saturation, i.e. $v_{SD} \geq v_{SG}-|V_{Tp}|>0$

$$i_D = \frac{k_p}{2}\frac{W}{L}\left(v_{SG} - |V_{Tp}|\right)^2\left(1+\lambda_p v_{SD}\right) \qquad \text{(A1-5)}$$

avec $V_{Tp} = V_{Tp0} + \gamma_p\left(\sqrt{2|\Phi_F| - v_{SB}} - \sqrt{2|\Phi_F|}\right)$

De même le courant de drain est considéré comme nul pour $v_{SG} \leq |V_{Tn}|$

A1-2 MODELE PETITS SIGNAUX DU TRANSISTOR MOS

Le modèle petits signaux du transistor MOS dans la région de saturation est défini par les équations suivantes, celles du transistor PMOS sont faciles a déduire à partir des définitions.

la transconductance du transistor:

$$g_m = \left.\frac{\partial i_D}{\partial v_{GS}}\right|_{v_{DS},v_{BS}} = k_n \frac{W}{L}\left(v_{GS}^0 - V_{Tn}\right)\left(1+\lambda_n v_{DS}^0\right) = \sqrt{2k_n I_D^0 \frac{W}{L}\left(1+\lambda_n v_{DS}^0\right)} \qquad \text{(A1-6)}$$

où v_{GS}^0, v_{DS}^0 et I_D^0 sont les potentiels et le courant du transistor au point de polarisation.

La conductance drain source est la suivante:

$$g_{ds} = \left.\frac{\partial i_D}{\partial v_{DS}}\right|_{v_{GS},v_{BS}} = \frac{\lambda_n I_D^0}{1+\lambda_n v_{DS}^0} \qquad \text{(A1-7)}$$

λ_n est le paramètre lié à la modulation de la longueur du canal MOS (Effet Early).

et sa transconductance substrat source est donnée par:

$$g_{mbs} = \left.\frac{\partial i_D}{\partial v_{BS}}\right|_{v_{GS},v_{DS}} = \frac{\sqrt{2k_n I_D^0 \frac{W}{L}\left(1+\lambda_n v_{DS}^0\right)}}{2\sqrt{2|\Phi_F| - v_{BS}^0}} = \frac{g_m}{2\sqrt{2|\Phi_F| - v_{BS}^0}} \qquad \text{(I-8)}$$

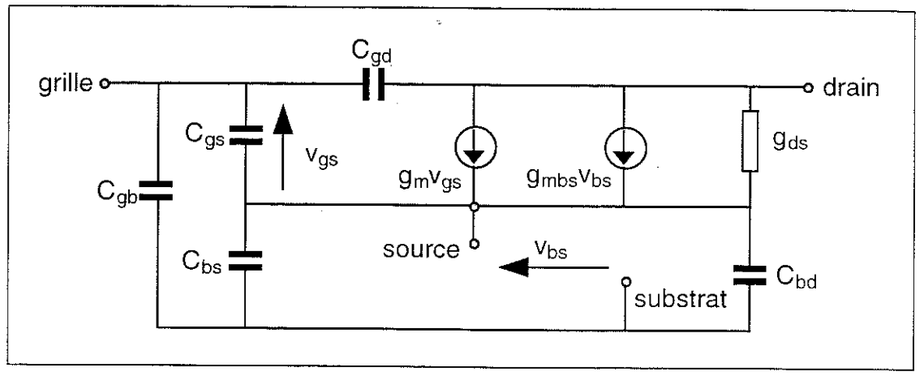


Figure A1-2. Le modèle petit signaux du transistor NMOS.

Les capacités grille source C_{gs} et grille drain C_{gd} exprimées dans la région de saturation sont données comme suit:

$$C_{gs} = W(L_{rec} + \frac{2}{3}L)C_{ox} \qquad \text{(A1-9)}$$

$$C_{gs} = WL_{rec}C_{ox} \qquad \text{(A1-10)}$$

les autres capacités montrées sur le schéma équivalent petits signaux du transistor dépendent essentiellement des capacités de jonctions des diffusions pn.

Annexe 2
CALCUL DE L'ERREUR D'INJECTION DE CHARGE SUR MAPLE

A2-1 Programme de formulation de l'erreur dans la cellule mémoire

```
> restart;
>
> idinj:=(kn*W*Vinj^2)/(2*L)+(kn*W*(Vgs0-VTm)*Vinj)/L;
```

$$idinj := \frac{1}{2}\frac{kn\,\mathrm{W}\,Vinj^2}{L} + \frac{kn\,\mathrm{W}\,(Vgs0 - VTm)\,Vinj}{L}$$

```
> Vgsm:=sqrt(Ip*L/kn/W)*(1+Isig/2/Ip)+VTm;
```

$$Vgsm := \frac{\sqrt{Ip}\,\sqrt{L}\left(1 + \frac{1}{2}\frac{Isig}{Ip}\right)}{\sqrt{kn}\,\sqrt{\mathrm{W}}} + VTm$$

```
> Vinj:=(Cgc+2*Crec)*(VH-Vgsm-VTi)/(Cgsm+Cd);
```

$$Vinj := \frac{(Cgc + 2\,Crec)\left(VH - \frac{\sqrt{Ip}\,\sqrt{L}\left(1 + \frac{1}{2}\frac{Isig}{Ip}\right)}{\sqrt{kn}\,\sqrt{\mathrm{W}}} - VTm - VTi\right)}{Cgsm + Cd}$$

```
> idinj:=(kn*W*Vinj^2)/(2*L)+(kn*W*(Vgs0-VTm)*Vinj)/L;
```

$$idinj := \frac{1}{2}\frac{kn\,\mathrm{W}\,(Cgc + 2\,Crec)^2\left(VH - \frac{\sqrt{Ip}\,\sqrt{L}\left(1 + \frac{1}{2}\frac{Isig}{Ip}\right)}{\sqrt{kn}\,\sqrt{\mathrm{W}}} - VTm - VTi\right)^2}{(Cgsm + Cd)^2\,L} + \frac{kn\,\mathrm{W}\,(Vgs0 - VTm)\,(Cgc + 2\,Crec)\left(VH - \frac{\sqrt{Ip}\,\sqrt{L}\left(1 + \frac{1}{2}\frac{Isig}{Ip}\right)}{\sqrt{kn}\,\sqrt{\mathrm{W}}} - VTm - VTi\right)}{(Cgsm + Cd)\,L}$$

```
> indinj:=collect(idinj,Isig);
```

$$indinj := \frac{1}{8}\frac{(Cgc + 2\,Crec)^2\,Isig^2}{Ip\,(Cgsm + Cd)^2} + \left(-\frac{1}{2}\frac{\sqrt{kn}\,\sqrt{\mathrm{W}}\,(Cgc + 2\,Crec)^2\left(VH - \frac{\sqrt{Ip}\,\sqrt{L}}{\sqrt{kn}\,\sqrt{\mathrm{W}}} - VTm - VTi\right)}{\sqrt{Ip}\,\sqrt{L}\,(Cgsm + Cd)^2} - \frac{1}{2}\frac{\sqrt{kn}\,\sqrt{\mathrm{W}}\,(Vgs0 - VTm)\,(Cgc + 2\,Crec)}{\sqrt{Ip}\,\sqrt{L}\,(Cgsm + Cd)}\right)Isig$$

$$+\frac{1}{2}\frac{kn\,\mathrm{W}\,(Cgc+2\,Crec)^2\left(VH-\frac{\sqrt{Ip}\,\sqrt{L}}{\sqrt{kn}\,\sqrt{\mathrm{W}}}-VTm-VTi\right)^2}{(Cgsm+Cd)^2\,L}$$

$$+\frac{kn\,\mathrm{W}\,(Vgs0-VTm)\,(Cgc+2\,Crec)\left(VH-\frac{\sqrt{Ip}\,\sqrt{L}}{\sqrt{kn}\,\sqrt{\mathrm{W}}}-VTm-VTi\right)}{(Cgsm+Cd)\,L}$$

```
>
>
```


A2-2 programme de calcul de l'erreur dans la cellule mémoire

```
> restart;
> W:=64e-6;
```

$$\mathrm{W} := .000064$$

```
> L:=8e-6;
```

$$L := .8\ 10^{-5}$$

```
> Vgs0:=1.411;
```

$$Vgs0 := 1.411$$

```
> VTm:=837.2e-3;
```

$$VTm := .8372$$

```
> kn:=7.6e-5;
```

$$kn := .000076$$

```
> Ip:=100e-6;
```

$$Ip := .000100$$

```
> VH:=3;
```

$$VH := 3$$

```
> VTs:=674.7e-3;
```

$$VTs := .6747$$

```
> Ws:=2e-6;
```

$$Ws := .2\ 10^{-5}$$

```
> Ls:=0.8e-6;
```

$$Ls := .8\ 10^{-6}$$

```
> C1:=0,5*Cgc+Crec;
```

$$C1 := 0,5\ Cgc + Crec$$

```
> Cox:=2.225e-3;
```

$$Cox := .002225$$

```
> Crec0:=0.076e-6*1.4e-6*Cox;
```

$$Crec0 := .2367400\ 10^{-15}$$

```
> C1:=0.5*Ws*Ls*Cox;
```

$$C1 := .178000\ 10^{-14}$$

```
> Cgsm:=768.6e-15;
```

$$Cgsm := .7686\ 10^{-12}$$

```
> Cgs:(2/3)*W*L*Cox;
```

$$.7594666667\ 10^{-12}$$

```
> Vgsm:=sqrt((Ip+Isig)*L/kn/W)+VTm;
```

$$Vgsm := \sqrt{.1644736842 + 1644.736842\ Isig} + .8372$$

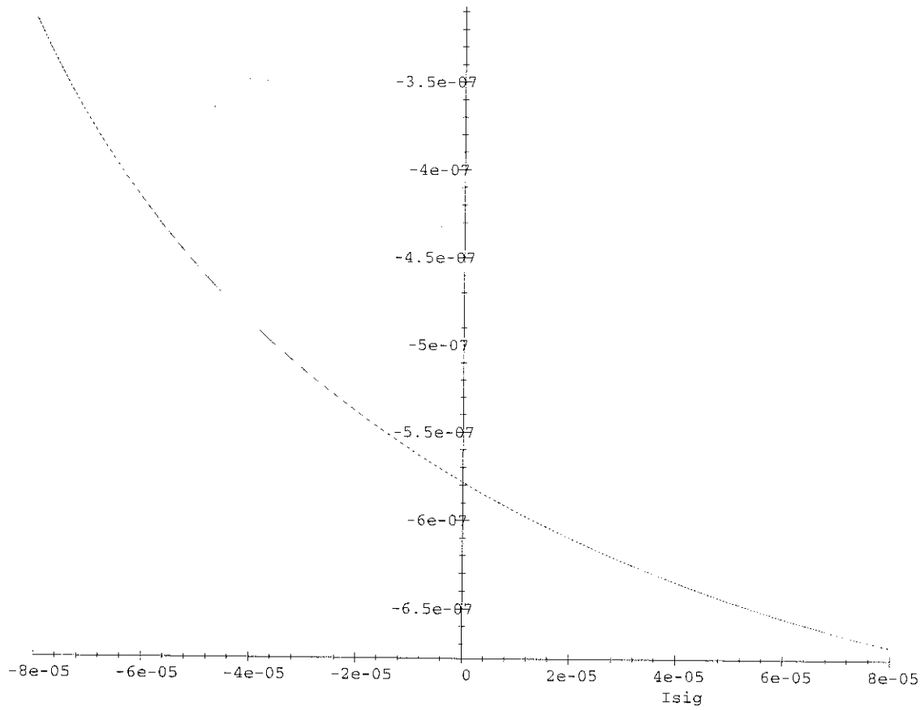
```
> Vinj:=-C1*(VH-Vgsm-VTs)/Cgsm+Crec0(Vgsm+VTi)/Cgsm/2;
```

$$Vinj := -.003292282071 + .002315899037\sqrt{.1644736842 + 1644.736842\ Isig}$$

```
> idinj:=(kn*W*Vinj^2)/(2*L)+(kn*W*(Vgsm-VTm)*Vinj)/L;
```

$$idinj := .0003040000000\,(-.003292282071 + .002315899037\sqrt{.1644736842 + 1644.736842\ Isig})^2 + .0006080000000\sqrt{.1644736842 + 1644.736842\ Isig}\,(-.003292282071 + .002315899037\sqrt{.1644736842 + 1644.736842\ Isig})$$

```
> plot(idinj, Isig=-0.00008..0.00008);
```




```
> 
```

Figure A2-1 Erreur d'injection de charge dans la cellule mémoire.

A2-3 Programme de formulation de l'erreur dans l'intégrateur

```
> restart;
> idinj1:=(kn*W*Vinj1^2)/(2*L)+(kn*W*(Vgsm1-VTm)*Vinj1)/L;
```

$$idinj1 := \frac{1}{2}\frac{kn\,\mathrm{W}\,Vinj1^2}{L} + \frac{kn\,\mathrm{W}\,(Vgsm1 - VTm)\,Vinj1}{L}$$

```
> idinj2:=(kn*W*Vinj2^2)/(2*L)+(kn*W*(Vgsm2-VTm)*Vinj2)/L;
```

$$idinj2 := \frac{1}{2}\frac{kn\,\mathrm{W}\,Vinj2^2}{L} + \frac{kn\,\mathrm{W}\,(Vgsm2 - VTm)\,Vinj2}{L}$$

```
> Vgsm1:=sqrt((Ip+Iout+Isig)*L/kn/W)+VTm;
```

$$Vgsm1 := \sqrt{\frac{(Ip + Iout + Isig)\,L}{kn\,\mathrm{W}}} + VTm$$

```
> Vgsm2:=sqrt((Ip-Iout)*L/kn/W)+VTm;
```

$$Vgsm2 := \sqrt{\frac{(Ip - Iout)\,L}{kn\,\mathrm{W}}} + VTm$$

```
> Vinj1:=-C1*(VH-Vgsm1-VTs)/Cgsm/2+Crec0(Vgsm1+VTi)/Cgsm/2;
```

$$Vinj1 := -\frac{1}{2}\frac{C1\left(VH - \sqrt{\frac{(Ip + Iout + Isig)\,L}{kn\,\mathrm{W}}} - VTm - VTs\right)}{Cgsm} + \frac{1}{2}\frac{\mathrm{Crec0}\left(\sqrt{\frac{(Ip + Iout + Isig)\,L}{kn\,\mathrm{W}}} + VTm + VTi\right)}{Cgsm}$$

```
> Vinj2:=-C1*(VH-Vgsm2-VTs)/Cgsm/2+Crec0(Vgsm2+VTi)/Cgsm/2;
```

$$Vinj2 := -\frac{1}{2}\frac{C1\left(VH - \sqrt{\frac{(Ip - Iout)\,L}{kn\,\mathrm{W}}} - VTm - VTs\right)}{Cgsm} + \frac{1}{2}\frac{\mathrm{Crec0}\left(\sqrt{\frac{(Ip - Iout)\,L}{kn\,\mathrm{W}}} + VTm + VTi\right)}{Cgsm}$$

```
> idinj1:=(kn*W*Vinj1^2)/(2*L)+(kn*W*(Vgsm1-VTm)*Vinj1)/L;
```

$$idinj1 := \frac{1}{2}\frac{kn\,\mathrm{W}\left(-\frac{1}{2}\frac{C1\,(VH - \%1 - VTm - VTs)}{Cgsm} + \frac{1}{2}\frac{\mathrm{Crec0}(\%1 + VTm + VTi)}{Cgsm}\right)^2}{L} + \frac{kn\,\mathrm{W}\sqrt{\frac{(Ip + Iout + Isig)\,L}{kn\,\mathrm{W}}}\left(-\frac{1}{2}\frac{C1\,(VH - \%1 - VTm - VTs)}{Cgsm} + \frac{1}{2}\frac{\mathrm{Crec0}(\%1 + VTm + VTi)}{Cgsm}\right)}{L}$$

$$\%1 := \sqrt{\frac{(Ip + Iout + Isig)\,L}{kn\,\mathrm{W}}}$$

```
> idinj2:=(kn*W*Vinj2^2)/(2*L)+(kn*W*(Vgsm2-VTm)*Vinj2)/L;
```

$$idinj2 := \frac{1}{2}\, kn\, \mathrm{W} \left(-\frac{1}{2} \frac{C1 \left(VH - \sqrt{\frac{(Ip - Iout)\, L}{kn\, \mathrm{W}}} - VTm - VTs \right)}{Cgsm} + \frac{1}{2} \frac{\mathrm{Crec0} \left(\sqrt{\frac{(Ip - Iout)\, L}{kn\, \mathrm{W}}} + VTm + VTi \right)}{Cgsm} \right)^2 / L + kn\, \mathrm{W} \sqrt{\frac{(Ip - Iout)\, L}{kn\, \mathrm{W}}} \left(-\frac{1}{2} \frac{C1 \left(VH - \sqrt{\frac{(Ip - Iout)\, L}{kn\, \mathrm{W}}} - VTm - VTs \right)}{Cgsm} + \frac{1}{2} \frac{\mathrm{Crec0} \left(\sqrt{\frac{(Ip - Iout)\, L}{kn\, \mathrm{W}}} + VTm + VTi \right)}{Cgsm} \right) / L$$

```
> idinjtot:=idinj1-idinj2;
```

$$idinjtot := \frac{1}{2} \frac{kn\, \mathrm{W} \left(-\frac{1}{2} \frac{C1\, (VH - \%1 - VTm - VTs)}{Cgsm} + \frac{1}{2} \frac{\mathrm{Crec0}(\%1 + VTm + VTi)}{Cgsm} \right)^2}{L} + \frac{kn\, \mathrm{W} \sqrt{\frac{(Ip + Iout + Isig)\, L}{kn\, \mathrm{W}}} \left(-\frac{1}{2} \frac{C1\, (VH - \%1 - VTm - VTs)}{Cgsm} + \frac{1}{2} \frac{\mathrm{Crec0}(\%1 + VTm + VTi)}{Cgsm} \right)}{L} - \frac{1}{2}\, kn\, \mathrm{W} \left(-\frac{1}{2} \frac{C1 \left(VH - \sqrt{\frac{(Ip - Iout)\, L}{kn\, \mathrm{W}}} - VTm - VTs \right)}{Cgsm} + \frac{1}{2} \frac{\mathrm{Crec0} \left(\sqrt{\frac{(Ip - Iout)\, L}{kn\, \mathrm{W}}} + VTm + VTi \right)}{Cgsm} \right)^2 / L - kn\, \mathrm{W} \sqrt{\frac{(Ip - Iout)\, L}{kn\, \mathrm{W}}} \left(-\frac{1}{2} \frac{C1 \left(VH - \sqrt{\frac{(Ip - Iout)\, L}{kn\, \mathrm{W}}} - VTm - VTs \right)}{Cgsm} + \frac{1}{2} \frac{\mathrm{Crec0} \left(\sqrt{\frac{(Ip - Iout)\, L}{kn\, \mathrm{W}}} + VTm + VTi \right)}{Cgsm} \right) / L$$

$$\%1 := \sqrt{\frac{(Ip + Iout + Isig)\, L}{kn\, \mathrm{W}}}$$

```
>
>
> plot(idinjtot, Iout=-0.0001..0.0001);
```


A2-4 Programme de calcul de l'erreur dans l'intégrateur

```
> restart;
> W:=64e-6;
```

$W := .000064$

```
> L:=8e-6;
```

$L := .8\ 10^{-5}$

```
> Vgs0:=1.411;
```

$Vgs0 := 1.411$

```
> VTm:=837.2e-3;
```

$VTm := .8372$

```
> kn:=7.6e-5;
```

$kn := .000076$

```
> Ip:=100e-6;
```

$Ip := .000100$

```
> VH:=3;
```

$VH := 3$

```
> VTs:=674.7e-3;
```

$VTs := .6747$

```
> Ws:=2e-6;
```

$Ws := .2\ 10^{-5}$

```
> Ls:=0.8e-6;
```

$Ls := .8\ 10^{-6}$

```
> C1:=0,5*Cgc+Crec;
```

$C1 := 0,5\ Cgc + Crec$

```
> Cox:=2.225e-3;
```

$Cox := .002225$

```
> Crec0:=0.076e-6*1.4e-6*Cox;
```

$Crec0 := .2367400\ 10^{-15}$

```
> C1:=0.5*Ws*Ls*Cox;
```

$C1 := .178000\ 10^{-14}$

```
> Cgsm:=768.6e-15;
```

$Cgsm := .7686\ 10^{-12}$

```
> Cgs:(2/3)*W*L*Cox;
```

$.7594666667\ 10^{-12}$

```
> Isig:=1e-6;
```

$Isig := .1\ 10^{-5}$

```
>
> idinj1:=(kn*W*Vinj1^2)/(2*L)+(kn*W*(Vgsm1-VTm)*Vinj1)/L;
```

$$idinj1 := .0003040000000\ Vinj1^2 + .0006080000000\ (Vgsm1 - .8372)\ Vinj1$$

```
> idinj2:=(kn*W*Vinj2^2)/(2*L)+(kn*W*(Vgsm2-VTm)*Vinj2)/L;
```

$$idinj2 := .0003040000000\ Vinj2^2 + .0006080000000\ (Vgsm2 - .8372)\ Vinj2$$

```
> Vgsm1:=sqrt((Ip+Iout+Isig)*L/kn/W)+VTm;
```

$$Vgsm1 := \sqrt{.1661184210 + 1644.736842\ Iout} + .8372$$

```
> Vgsm2:=sqrt((Ip-Iout)*L/kn/W)+VTm;
```

$$Vgsm2 := \sqrt{.1644736842 - 1644.736842\ Iout} + .8372$$

```
> Vinj1:=-C1*(VH-Vgsm1-VTs)/Cgsm/2+Crec0(Vgsm1+VTi)/Cgsm/2;
```

$$Vinj1 := -.001569137393 + .001157949519\sqrt{.1661184210 + 1644.736842\ Iout}$$

```
> Vinj2:=-C1*(VH-Vgsm2-VTs)/Cgsm/2+Crec0(Vgsm2+VTi)/Cgsm/2;
```

$$Vinj2 := -.001569137393 + .001157949519\sqrt{.1644736842 - 1644.736842\ Iout}$$

```
> idinj1:=(kn*W*Vinj1^2)/(2*L)+(kn*W*(Vgsm1-VTm)*Vinj1)/L;
```

$$idinj1 := .0003040000000\left(-.001569137393 + .001157949519\sqrt{.1661184210 + 1644.736842\ Iout}\right)^2 + .0006080000000\sqrt{.1661184210 + 1644.736842\ Iout}\left(-.001569137393 + .001157949519\sqrt{.1661184210 + 1644.736842\ Iout}\right)$$

```
> idinj2:=(kn*W*Vinj2^2)/(2*L)+(kn*W*(Vgsm2-VTm)*Vinj2)/L;
```

$$idinj2 := .0003040000000\left(-.001569137393 + .001157949519\sqrt{.1644736842 - 1644.736842\ Iout}\right)^2 + .0006080000000\sqrt{.1644736842 - 1644.736842\ Iout}\left(-.001569137393 + .001157949519\sqrt{.1644736842 - 1644.736842\ Iout}\right)$$

```
> idinjtot:=idinj1-idinj2;
```

$$idinjtot := .0003040000000\left(-.001569137393 + .001157949519\sqrt{.1661184210 + 1644.736842\ Iout}\right)^2 + .0006080000000\sqrt{.1661184210 + 1644.736842\ Iout}\left(-.001569137393 + .001157949519\sqrt{.1661184210 + 1644.736842\ Iout}\right) - .0003040000000\left(-.001569137393 + .001157949519\sqrt{.1644736842 - 1644.736842\ Iout}\right)^2 - .0006080000000\sqrt{.1644736842 - 1644.736842\ Iout}\left(-.001569137393 + .001157949519\sqrt{.1644736842 - 1644.736842\ Iout}\right)$$

```
> plot(idinjtot, Iout=-0.0001..0.0001);
```

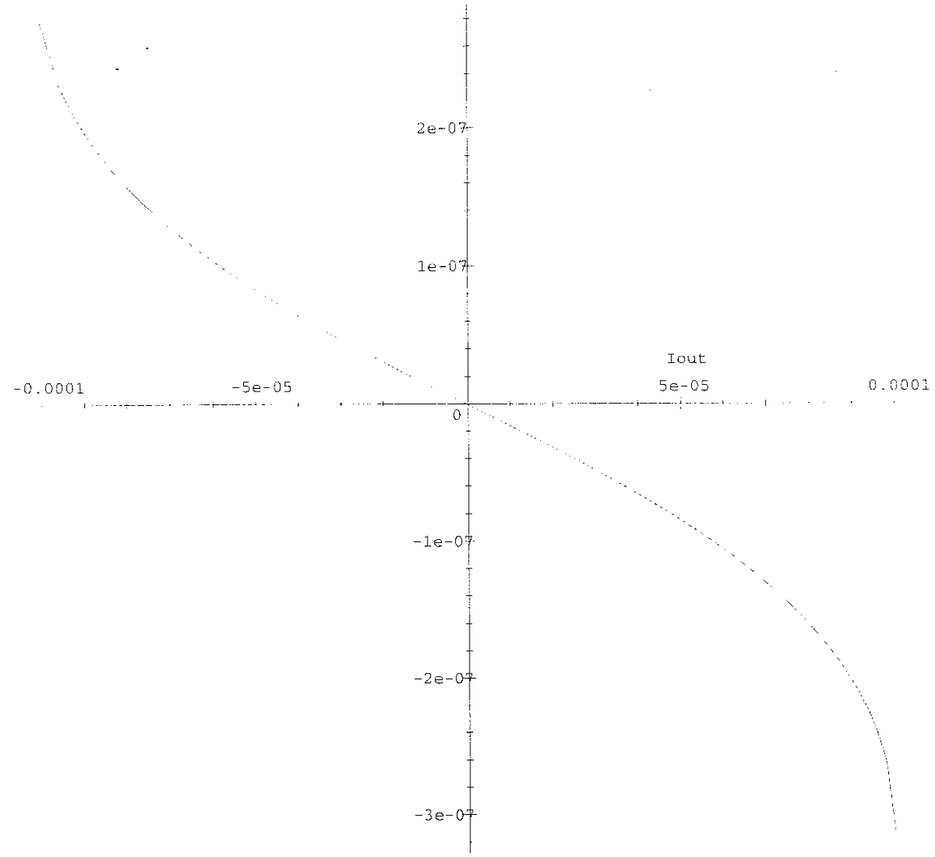
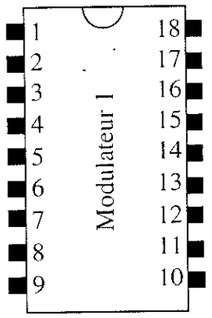



Figure A2-2 erreur d'injection de charge dans l'intégrateur.

Annexe 3

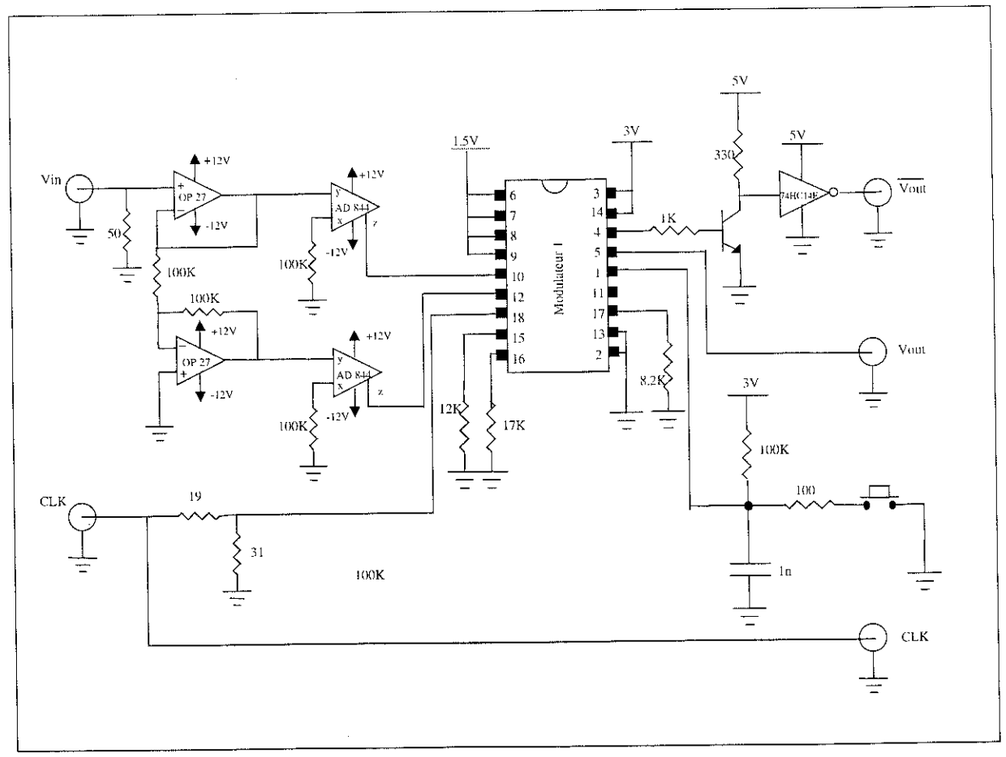
A3-1 Brochage et carte d'évaluation du modulateur1



Boitier du modulateur 1

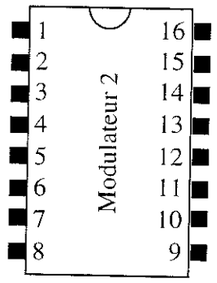
1	Reset	10	Imod+
2	DGND	11	NC
3	VDD	12	Imod-
4	OUT-	13	AGND
5	OUT+	14	VCC
6	Int_in+	15	BIAS_3
7	Int_in-	16	BIAS_1
8	Int_out+	17	BIAS_2
9	Int_out-	18	CLK

Brochage du modulateur 1



Carte d'évaluation du modulateur 1

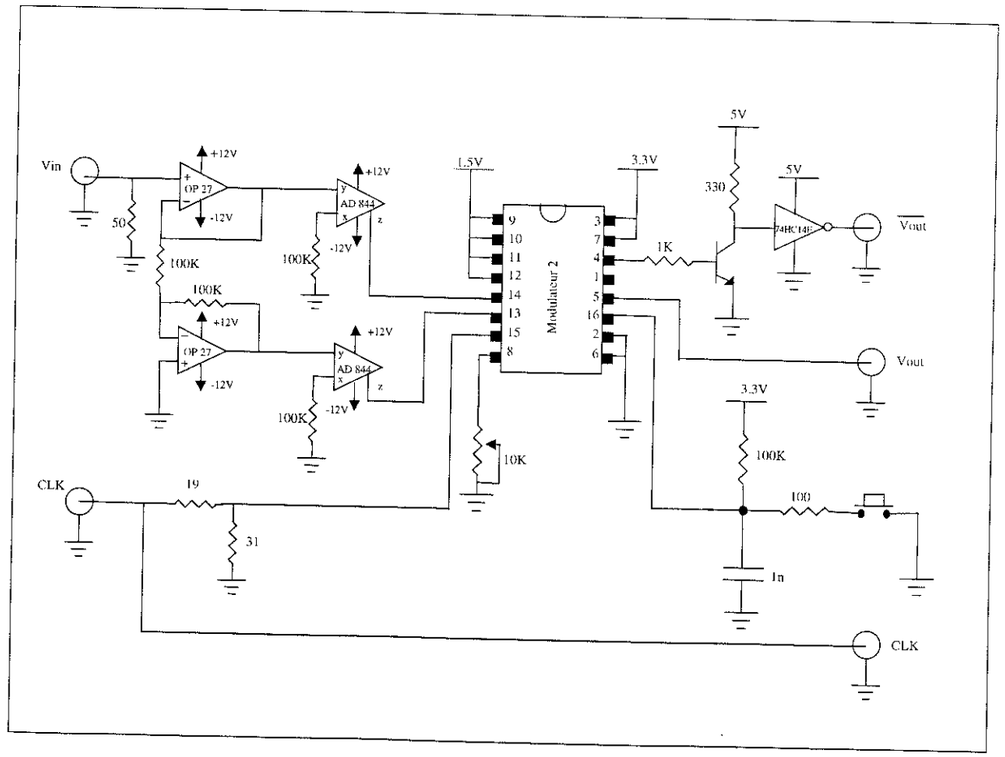
A3-2 Brochage et carte d'évaluation du modulateur 2



1	NC	9	Test_out42
2	DGND	10	Test_out32
3	VDD	11	Test_out41
4	OUT-	12	Test_out42
5	OUT+	13	Mod_in-
6	AGND	14	Mod_in+
7	VCC	15	CLK
8	Rpolar	16	Reset

Boîtier du modulateur 2

Brochage du modulateur 2



Carte d'évaluation du modulateur 2

REFERENCES BIBLIOGRAPHIQUES

Bibliographie du Chapitre I

[Batt-91] N. C. Battersby et C. Toumazou, "Class AB Switched Current memory for analogue sampled data Systems," *Electronic Letters.* , Vol. 27, pp. 873-875, May 1991.

[Cha-95] H.W. Cha et K. Watnabe, "Aclock-Feedthrough and Offset Compensated Fully-Differential Switched-Current Circuit," *IEICE trans. Fundamentals,* Vol. E78-A, N°. 11, pp. 1531-1533, Nov. 1995.

[Dau-88] S. J. Daubert, Y. P. Tsividis et D. Vallancourt, "Current Copier Cells", *Electronic Letters,* Vol. 24, No.25, pp. 1560-1562, July 1988.

[Eich-90] C. Eichenberger et W. Guggenbuhl, "On Charge Injection in Analog MOS Switches and Dummy Compensation Techniques," *IEEE Trans. On Circuits And Systems,* Vol. 37, No. 2, Feb. 1990, pp. 256-264.

[Gro-89] D. W. J.Groeneveld, H. J. Schouwenaars, H. A. H. Termeer et C. A. A. Bastiaansen, "Self Calibration Technique For Monolithic High-Resolution D/A Converters," *IEEE J. Solid-State Circuits*, 24, pp. 1517-22, Dec. 1989.

[Hug-89] J.B. Hughes, N.C. Bird, et I.C. Macbeth, "Switched Currents - A New Technique For Analog Sample-Data Signal Processing," *proc. Of IEEE Intl. Symp. Circuits And Systems (ISCAS)*, pp. 1584-1587, May 1989.

[Hug-90] J.B. Hughes, I.C. Macbeth, et D.M. Pattullo, "Second Generation Switched Current Signal Processing," *Proc. Of IEEE Intl. Symp. Circuits And Systems (ISCAS)*, pp. 2805-2808, May 1989.

[Hug-93] J.B. Hughes et K.W. Moulding, "S^2I ; A Two-step Approach to Switched Currents," *Proc. Of IEEE Intl. Symp. Circuits And Systems (ISCAS),* Chicago May 1993.

[Jon-93] B. Jonsson et S. Eriksson, "New Clock Feedthrough Compensation Scheme for Switched Current Circuits," *Electronic Letters.*, 1993, Vol. 29, pp. 1446-1448, August 1993.

[Lak-86] K. R. Lakshmikumar, R. A. Hadaway et M. A. Copeland, "Charactérisation And Modelling of Mismatch in MOS Transistor For Precision Analog Design," *IEEE J. Solid-State Circuits*, Vol SC-21, pp. 1057-66, Dec. 1986.

[Lou-96] M. Loulou, H. Traff et P. Marchegay, "3V Sigma-Delta Modulator Using a Pseudo Bilinear Switched-Current Integrator," *IEEE-CAS region 8 Workshop on Analog and Mixed IC design*, pp. 98-101, Sep. 1996.

[Lou-98-1] M. Loulou P. Riffaud-Desgreys, P. Marchegay. et E. Garnier, "A Clock Feedthrough Compensated Switched Current Integrator," *IEEE Int. Conf. On Elect. Circuits and Sys. ICECS98*, Vol.1, pp.305-308, Sep. 1998, Lisboa, Portugal.

[Min-93] S. Minkyu, L. Yongman et K. Wonchan, "A Clock Feedthrough Reduction Circuit for Switched-Current Systems," *IEEE Journal Of Solid State Circuits*, Vol. 28, N°.2, pp. 133-137, Feb. 1993.

[Riff-97] P. Riffaud, G. Tourneur, E. Garnier et P. Roux, "A Charge Injection Error Eeduction Circuit For Switched-Current Systems," *Electronics Letters*, Vol. 33, No.20, pp. 1689-1691, September 1997.

[Sed-90] A. S. Sedra et G. W. Roberts, " Current Conveyor Theory And Practice, " *in C. Toumazou, F. J. Lidgey et D. G. Haigh Eds., " Analogue IC Design : The current Mode Approach,* " pp.314-317, 1990.

[Sheu-88] B. J. Sheu, W. J. Hsu, et P. K. Ko, "An MOS Transistor Charge Model for VLSI Design," *Proc. of Int. Symp. Circuits And Systems (ISCAS)*°, pp. 1420-1423, Chicago Illinois, May 1993.

[Shieh-87] J. H. Shieh, M. Patil, et B. J. Sheu, "Measurment and Analysis of Charge Injection in MOS Analog Switches," *IEEE J. Solid-State Circuits*, Vol. SC-22, No.2, Apr. 1987, pp. 277-281.

[Tou-90] C. Toumazou, J. B. Hughes et C. M. Pattullo, "Regulated Cascode Switched

Current Memory Cell," *Electronic Letters,* 26, N°. 5, pp. 303-305, March 1990.

[Tou-90-1] C. Toumazou, N. C. Battersby et C. Maglaras, "High Performance Algorithmic Switched Current Memory Cell," *Electronic Letters*, Vol. 26, pp. 1593-1595,13 Sept. 1990.

[Tou-93] C. Toumazou, J. B. Hughes, D. G. Haigh et N. C. Battersby, "Switched Currents An Analogue Technique For Digital Technology," *IEE Circuit and Systems* Series 5, 1993.

[Tse-95] C. K. Tse, et M. H. L. Chow, "A New Clock Feedthrough Cancellation Method For Second Generation Switched-Current Circuits," *IEEE Int. Symp. On Circuits And Systems*, Vol. 3, pp. 2104-2107, 1995.

[Val-89] D. Vallancourt, et Y. P. Tsividis, "Sampled-Current Circuits," *Proc of IEEE Intl. Symp. Circuits And Systems*, pp. 1592-1595, May 1989, Portland.

[Vit-90] E. A. Vittoz, et G. Weggmann, "Dynamic Current Mirrors," *Chapter 7 in C. Toumazou, F. J. Lidgey et D. G. Haigh, Eds., "Analogue IC Design : The current Mode Approach,"* pp.314-317, 1990.

[Weg-87] G. Wegmann, et E.A.Vittoz, "Charge Injection Analog MOS Switches," *IEEE J. Solid State Circuits*, Vol. SC-22, No. 6, Dec. 1987, pp. 1091-1097.

[Weg-89] G. Wegmann, et E.A. Vittoz,: "Very Accurate Dynamic Current Mirrors," *Electronic Letters*, Vol. 25, N°. 10, pp. 644-646, May 1989.

Bibliographie du Chapitre II

[Ard-87] S. H. Ardalan et J. J. Paulos, "An Analysis Of Nonlinear Behavior In Delta-Sigma Modulators," *IEEE Trans. Circuits and Systems*, Vol. CAS-34, pp.593-603, June 1987.

[Aziz-96] P. M. Aziz, H. V. Sorensen, et J. V. D. Spiegel, " An Overview Of Sigma-Delta Converters, " *IEEE Signal Processing Magazine*, pp. 61-80, Jan. 1996.

[Bai-94] R. T. Baird et S.T. Fiez, " Stability Analysis Of High-Order Delta-Sigma Modulation For ADC'S," *IEEE Trans. On Circuits. And Systems-II : Analog And Digital Signal Processing*, Vol. 41, N°1, pp. 59-62, Jan. 1994.

[Bar-97] C. J. Barett, " Low Power Decimation Filter Design for Multi-Standard Tranceiver Applications," ," *Thèse de Doctorat, Université de Californie, Berkeley,* 1997.

[Bena-94] Ph. Benabes, "Etudes de Nouvelles Structures de Convertisseurs Sigma-Delta Passe-Bande," *Thèse de Doctorat, Université d'Orsay Paris-Sud, Supélec,* Sep. 1994.

[Benk-93] M. Benkais, " Méthodologie de Caractérisation des Circuits de Conversion Analogique Numérique à Facteur de Mérite Elevé, Mise En Œuvre Dans Le Système CanTest," *Thèse de Doctorat, Université Bordeaux I,* Mai 1993.

[Benn-48] W. Bennett, " Spectra Of Quantised Signals," *Bell System Technical Journal,* pp. 446-472, Vol. 27, July 1948.

[Bent-90] L. Beneteau, "La Conversion Analogique Numérique Haute Résolution, Intérêt Des Structures Sigma-Delta Sur-Echantillonnées," *Mémoire de thèse*, Oct. 1990.

[Bos-88] B. E. Boser et B. A. Wooley, " The Design Of Sigma-Delta Modulation Analog-to-Digital Converters," *IEEE J. Of Solid State Circuits*, Vol. 23, N°. 6, pp.1298-1308, Dec. 1988.

[Cand-92] J. C. Candy, et G. C. Temes, Eds., " Oversampling Delta-Sigma Data Converters : Theory, Design, and Simulation," *IEEE Press*, 1992.

[Chu-84] S. Chu, "Multirate Filter Designs Using Comb Filters," *IEEE Trans. Circuits and Sys.*, Vol. CAS-31, pp. 913-924, November 1984.

[Cro-81] R. E. Crochiere et L. R. Rabiner, "Interpolation and Decimation Of Digital Signal- Atutorial Review," *Pro. IEEE*, Vol. 69, pp. 300-331, March 1981.

[Hei-91] S. Hein et A. Zakhor, "On The Stability Of Interactive Sigma-Delta Modulators," *proc. Of IEEE Intl. Symp. Circuits And Systems (ISCAS'91)*, pp.1621-1624, Avril 1991.

[Kar-90] T. Karema, T. Ritoniemi et H. Tenhunen " An Oversampled Sigma-delta A/D Converter Circuit Using Two-Stage Fourth Order Modulator," *proc. Of IEEE Intl. Symp. Circuits And Systems (ISCAS'90)*, pp. 3279-3282, May 1990.

[Lib-52] L. J. Libois, " Un Nouveau procédé de modulation codée ' La Modulation Δ'," *L'Onde Electrique*, pp. 26-31, Janvier 1952.

[Mor-94] D. Morche, "Conception de Codeur Sigma-Delta en Technologie CMOS pour la Conversion Analogique Numérique Haute Résolution," *Thèse de Doctorat, Université de Grenoble,* 1994.

[Nors-96] S. R. Norsworthy, R. Schreier et G. C. Temes, " Delta-Sigma Data Converters, Theory, Design, and Simulation," *(IEEE Press 1996)*

[Nors-89] S. R. Norsworthy, I. G. Post et H. Scott Fetterman, " A 14-Bit 80-kHz Sigma-Delta A/D Converter : Modeling, Design, and Performance Evaluation," *IEEE J. Of Solid State Circuits,* Vol. 24, N°. 2, pp. 256-266, Avril 1989.

[Pin-93] S. C. Pinault, et P. V. Lopresti, "On The Behaviour Of The Double-Loop Sigma Delta Modulator," *IEEE Circuits and Systems II,* CASII-40, pp. 467-479, August 1993.

[Ren-89] S. Renaud, , P. Marchegay et B. Parmentier, " Méthodes d'analyse des Dispositifs de Conversion A/N en Régime Dynamique," *L'Onde Electrique*, Vol. 69, N° 1, pp. 47-55, Janvier-Fevrier 1989.

[Sar-97] T. Saramaki et T. Ritoniemi, "Modified Comb Filter Structure for Décimation," IEEE 1997.

[Sti-88] E. F. Stikvoort, " Some Remarks On the Stability And Performance Of the Noise Shaper or Sigma delta Modulator," *IEEE Transaction On Communications* Vol. 36, N°. 10, pp. 1157-1162, Oct. 1988.

Bibliographie du Chapitre III

[Cha-95] H.W. Cha et K. Watnabe, "Aclock-Feedthrough and Offset Compensated Fully-Differential Switched-Current Circuit," *IEICE trans. Fundamentals,* Vol. E78-A, N°. 11, pp. 1531-1533, Nov. 1995.

[Jon-93] B. Jonsson et S. Eriksson, "New Clock Feedthrough Compensation Scheme for Switched Current Circuits," *Electronic Letters.*, 1993, Vol. 29, pp. 1446-1448, August 1993.

[Hug-90] J. B. Huges, I. C. Macbeth, et D. M. Pattullo, " Switched Current System cells," *in Proc. IEEE Inter. Symp. On Circuits and Systems*, pp. 303-306, 1990.

[Hug-90-1] J. B. Huges, I. C. Macbeth, et D. M., Pattullo, " New Switched Current Integrator,", *Electronic letters*, Vol. 26, pp. 694-695, 24 May 1990.

[Lou-96] M. Loulou, H. Traff. et Ph. Marchegay, "3V Sigma-Delta Modulator Using a Pseudo Bilinear Switched-Current Integrator," *IEEE-CAS region 8 Workshop on Analog and Mixed IC design*, pp. 98-101 Sep. 1996.

[Lou-98-1] M. Loulou, P. Riffaud-Desgreys, Ph. Marchegay et E. Garnier " A Clock Feedthrough Compensated Switched Current Integrator," *5th IEEE International Conference On Electronics, Circuits and Systems. ICECS'98*, Vol.1, pp.305-308, Sep. 1998, Lisboa, Portugal.

[Lou-98-4] M. Loulou, H. Traff, Ph. Marchegay, N. Masmoudi et L. Kamoun, "New Structure Of Switched Current Integrator," *International Conference on Microelectronics, ICM'98*, Dec. 1998.

[Min-93] S. Minkyu, L. Yongman et K. Wonchan "A Clock Feedthrough Reduction Circuit for Switched-Current Systems," *IEEE Journal Of Solid State Circuits,* Vol. 28, NO.2, pp. 133-137 Feb. 1993.

[Oli-97] O. Oliaei, "Technique des Courants Commutés pour les Convertisseur à Sur-échantillonnage ou Sous-échantillonnage, " *Thèse de l'Ecole Supérieure des Télécommunications de Paris.* Octobre 1997.

[Riff-97] P. Riffaud, G. Tourneur, E. Garnier et Ph. Roux, "A Charge Injection Error Reduction Circuit for Switched Current Systems," *Electronics Letters*, Vol. 33, No.20, pp. 1689-1691, September 1997.

[Tan-94] N. Tan et S. Eriksson, "A fully différential switched Current delta-Sigma Modulator Using a Single 3.3V Power Supply Voltage," *Proc. IEEE International Symposium on CAS*, May 1994, Vol. 5, pp. 485-588.

[Tan-94-1] N. Tan et S. Eriksson, "Low Voltage Fully différential Class AB SI Circuits with Common Mode Feedforward," *Electronic Letters*, pp. 2090-2091, Dec. 1994.

[Tan-96] N. Tan, "Switched Current Delta-Sigma A/D Converters," *in Analog Integrated Circuits and Signal Processing, 9*, pp. 7-24, 1996.

[Tou-93] C. Toumazou, J. B. Hughes, D. G. Haigh, et N. C. Battersby,. "switched Currents An Analogue Technique For Digital Technology, " *IEE Circuit and Systems Series 5*, 1993.

[Traf-94] H.Traff, et S. Eriksson, " Novel Pseudo class AB Fully differential 3V Switched Current System Cells," *Electronic Letters*, Vol. 30, pp.536-537, March 1994.

[Traf-94-1] H. Traff, et S. Eriksson, " 2V High Speed Low Power Small Area Low Conductance class AB Fully differential Switched Current System Cells," *Proc. Of Intl. SBMICRO '94*, pp. 1549-52, Aug. 1994.

[Tse-95] C. K. Tse, et M. H. L. Chow, "A New Clock Feedthrough Cancellation Method For Second Generation Switched-Current Circuits," *IEEE Int. Symp. On Circuits And Systems*, Vol. 3, pp. 2104-2107, 1995.

Bibliographie du Chapitre IV

[Bar-93] J. A. Barby, "Switched-Current Filter Models For Frequency Analysis In The Continuous-Time Domain," *in IEEE Iternational Symposium On Circuits and Systems*, pp. 1427-1430, May 1993.

[Dias-91] V. Dias, V. Liberali, et F. Maloberti, "TOSCA 'Tool for OverSampling Converter Analysis' : A user-Friendly Behavioural Simulator for Oversampling A/D converters," *IEEE Int. Symp ; on Circuits And Systems*, pp. 2677-2680, May. 1991 ;

[Gat-96] J. W. Gates et E. I. El_Masry, "Switched-Current Analysis Program," *IEEE Trans. On Circuits and Systems-II : Analog and Digital Signal Processing*, Vol. 43, N°. 1, Jan. 1996.

[Que-91] A. C. M. de Queiroz, P. R. M. Pinheiro et L. P. Calôba, "Systematic Nodal Analysis Of Switched-Current Filters " *In Proc. IEEE International Symposium On Circuits and Systems*, pp. 1801-1804, Singapore, June 1991.

[Lou-98-2] M. Loulou, D. Dallet, et Ph. Marchegay, "Behavioural Study Of Second Order Switched-Current Sigma-Delta Modulator," *IWADCM, International Workshop ON Analog to Digital Converter Modelling*, Vol.2 pp. 839-842, Naples Italy, September 1998.

[Lou-98-3] M. Loulou, Ph. Marchegay, N. Masmoudi, et L. Kamoun, "Utilisation des Modéles Petits Signaux des Transistors MOS pour la Simulation des Circuits à Courants-Commutés," *J.T.E.A.98, Journées Tunisienne d'Electrotechnique et d'Automatiques, Conférence Internationale*, Hammamet Tunisie, 7-8 Novembre 1998.

[N'Go-94] Ph. N'Goran, "Simulation à Temps Discret de Circuits à Mémoire de Courants et Application à l'Etude de Modulateurs Sigma-Delta," *Thèse de Doctorat, Université des Sciences et Techniques de Lille Flandres-Artois*, Janvier 1994.

[Oli-97] O. Oliaei, "Technique des Courants Commutés pour les Convertisseur à Sur-échantillonnage ou Sous-échantillonnage, " *Thèse de l'Ecole Supérieure des Télécommunications de Paris*. Octobre 1997.

Bibliographie du Chapitre V

[Abt-97] Y. Abtroun et V. ," Conception d'un Filtre Numérique à Décimation, " *Rapport de projet E.N.S.E.R.B*, juin 1997.

[Bar-97] C. J. Barett, "Low Power Decimation Filter Design for Multi-Standard Tranceiver Applications, " *Thèse de l'université de Californie*, Berkeley, 1997.

[Ber-96] S. Berton et S. Parmentier, "Conception d'un filtre numérique pour la conversion analogique numérique Sigma-Delta," *Rapport de projet E.N.S.E.R.B*, juin 1996.

[Craw-92] P. J. Crawley, et G. W. Roberts, "Switched - Current Sigma Delta Modulation for A/D conversion " *Proc. IEEE International Symposium on Circuits and Systems*, May 1992, pp. 1320-1323.

[Des-97] E. Descarpentries, "Synthèse Comportementale de Chaîne de Décimation Associées à un Banc de Convertisseurs Delta-Sigma," *Rapport de Stage ENSERB-C.N.E.T.*, Nov.1997.

[Lou-96] M. Loulou, H. Traff. et Ph. Marchegay, "3V Sigma-Delta Modulator Using a Pseudo Bilinear Switched-Current Integrator," *IEEE-CAS region 8 Workshop on Analog and Mixed IC design*, pp. 98-101 Sep. 1996.

[Lou-98-1] M. Loulou, P. Riffaud-Desgreys, Ph. Marchegay et E. Garnier " A Clock Feedthrough Compensated Switched Current Integrator," *5th IEEE International Conference On Electronics, Circuits and Systems. ICECS'98*, Vol.1, pp.305-308, Sep. 1998, Lisboa, Portugal.

[Lou-98-4] M. Loulou, H. Traff, Ph. Marchegay, N. Masmoudi et L. Kamoun, "New Structure Of Switched Current Integrator," *International Conference on Microelectronics, ICM'98*, Dec. 1998.

[Lou-98-5] M. Loulou, D. Dallet, et Ph. Marchegay, "A 3.3V Switched-Current Second Order Sigma-Delta Modulator for Audio Applications," *Proposé pour Journal IEE Proc. Circuits, Devices and Systems, 1998.*

[Mar-97] L-P. Martim et T. Pinel, "Filtre numérique à décimation pour modulateur Delta-Sigma, "*Rapport de projet E.N.S.E.R.B*, juin 1997.

[Sin 94] P. M. Sinn, et G. W. Roberts, "A Comparison of First and Second Generation switched Current Cells,", Proc. IEEE International Symposium on Circuits and Systems, May 1994, Vol. 5, pp. 301-304.

[Tan-94-1] N. Tan, B. Jonsson, et S. Eriksson, « A 3.3 V 11 bit Delta – Sigma Modulator Using First Generation SI Circuits, » Electron Lett.

[Tan-94-2] N. Tan, " Oversampling A/D Converters and Current-Mode techniques," *Ph.D. Thesis University of Linkoping*, 1994

[Tan-96] N. Tan, " Switched Current Delta-Sigma A/D Converter," *Analog Integrated Circuits and Signal Processing*, Vol. 9, pp. 7-24, 1996.

[Tou 94] C. Toumazou, et G. Saether, : "Switched-Current Circuits and Systems,", *Proc IEEE International Symposium on Circuits and Systems*, Vol. tutorials, pp. 459-486, May 1994

[Traf-92] H. Traff, " A Novel Approach to High Speed CMOS Current Comparators," *Electronic Letters*, Vol. 28, pp. 310-311, Jan. 1992.

[Traf-94-1] H. Traff, " On The Clocking Of discrete Time Circuits," *Report LiTH-ISY-R-1590*, March 1994.

Bibliographie Complémentaire

[Alle-87] P.E. Allen et D.R. Holberg, " CMOS Analog Circuit Design," *Holt, Rinehart and Winston, Inc., New York*, 1987.

[Jon-94] B. Jonsson, " Applications of the Switched-Current Technique," *Licenciate Thesis, University of Linkoping Sweden* Oct.1994.

[Moe-96] N. Moeneclaey et A. Kaiser, " A High-Resolution Current-Mode Sigma-Delta Modulator," *Proc. Of the 22nd European Solid-State Circuits Conference ESSCIRC'96*, pp. 260-263, 17-19 Sept.1996.

[Riff-98] P. Riffaud-Degreys, E. Garnier, P. Roux, M. Loulou et J. Tomas, " A Switched Current Algorithmic DA Converter, " *Second International Workshop On Design Of Mixed Mode Integrated Circuits And Applications*, pp.1-4, Mexico July 27-29, 1998

Contributions

[Lou-96] M. Loulou, H. Traff. et Ph. Marchegay, "3V Sigma-Delta Modulator Using a Pseudo Bilinear Switched-Current Integrator," *IEEE-CAS region 8 Workshop on Analog and Mixed IC design*, pp. 98-101 Sep. 1996.

[Riff-98] P. Riffaud-Degreys, E. Garnier, P. Roux, M. Loulou et J. Tomas, " A Switched Current Algorithmic DA Converter, " *Second International Workshop On Design Of Mixed Mode Integrated Circuits And Applications*, pp.1-4, Mexico July 27-29, 1998

[Lou-98-1] M. Loulou, P. Riffaud-Desgreys, Ph. Marchegay et E. Garnier " A Clock Feedthrough Compensated Switched Current Integrator," *5th IEEE International Conference On Electronics, Circuits and Systems. ICECS'98*, Vol.1, pp.305-308, Sep. 1998, Lisboa, Portugal.

[Lou-98-2] M. Loulou, D. Dallet, et Ph. Marchegay, "Behavioural Study Of Second Order Switched-Current Sigma-Delta Modulator," *IWADCM, International Workshop ON Analog to Digital Converter Modelling*, Vol.2 pp. 839-842, Naples Italy, September 1998.

[Lou-98-3] M. Loulou, Ph. Marchegay, N. Masmoudi, et L. Kamoun, "Utilisation des Modéles Petits Signaux des Transistors MOS pour la Simulation des Circuits à Courants-Commutés," *J.T.E.A.98, Journées Tunisienne d'Electrotechnique et d'Automatiques, Conférence Internationale*, Hammamet Tunisie, 7-8 Novembre 1998.

[Lou-98-4] M. Loulou, H. Traff, Ph. Marchegay, N. Masmoudi et L. Kamoun, "New Structure Of Switched Current Integrator," *International Conference on Microelectronics, ICM'98*, Dec. 1998.

[Lou-98-5] M. Loulou, D. Dallet, et Ph. Marchegay, "A 3.3V Switched-Current Second Order Sigma-Delta Modulator for Audio Applications," *Proposé pour Journal IEE Proc. Circuits, Devices and Systems, 1998.*

Résumé

Après avoir donné les bases de la technique des courants commutés comme principe de conception de fonctions analogiques, les fondements de la conversion analogique-numérique Sigma-Delta sont expliqués : sur-échantillonnage avec mise en forme du bruit de quantification dans le modulateur puis obtention de la résolution souhaitée grâce au filtrage numérique à décimation. Les intégrateurs sont les pièces maîtresses du modulateur; après avoir décrit des solutions possibles pour réaliser cette fonction, deux intégrateurs originaux sont proposés dans lesquels les défauts sont compensés notamment l'injection de charge. Lors de la conception, l'étape de simulation, problème délicat pour les circuits à temps discret, est résolu par deux approches complémentaires, l'une fonctionnelle, l'autre comportementale. Enfin deux réalisations de modulateurs du second ordre sont décrites, elles permettent d'atteindre des résolutions de 9 et 10 bits. La seconde a donné lieu à une chaîne de conversion analogique-numérique à sortie parallèle sur 12 bits.

Abstract

After the description of switched current circuits as new approach for designing Analogue and mixed analogue and digital circuits, the theory of Sigma-Delta analogue to digital conversion is presented : over-sampling with quantization noise shaping in the modulator to reach high resolutions by mean of digital decimation filter. The integrator is the main block of the modulator, after describing possible solutions to design, two new structures are proposed to reduce clock-feedthrough error. The simulation of such circuits involves problem of simulating discrete time circuits, this problem was solved by using two complementary approaches, functional and behavioural. We finally, design two second order modulators of 9 and 10 bits of effective resolution and the complete analogue to digital conversion system with parallel output on 12bits.

Mots cles

Conception mixte analogique numérique CMOS
Technique des courants commutés
Intégrateurs
Injection de charge
Convertisseur analogique-numérique sur-échantillonné
Modulateur Sigma-Delta
Filtre numérique à décimation
Simulation et modélisation comportementale

Key words

CMOS mixed analogue and digital IC
Switched current technique
Integrators
Clock-feedthrough
Over-sampled Analogue to digital converter
Sigma-Delta modulator
Decimation filter
Behavioural modeling and simulation