



HAL
open science

Etude et développement d'une architecture radio numérique innovante dans le contexte des communications aéronautiques

Aminath Badarou

► **To cite this version:**

Aminath Badarou. Etude et développement d'une architecture radio numérique innovante dans le contexte des communications aéronautiques . Electronique. UNIVERSITE DE NANTES, 2013. Français. NNT : ED503-202 . tel-01104931

HAL Id: tel-01104931

<https://hal.science/tel-01104931>

Submitted on 19 Jan 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Public Domain

Thèse de Doctorat

Aminath BADAROU

*Mémoire présenté en vue de l'obtention
du grade de Docteur de l'Université de Nantes
Sous le label de l'Université Nantes Angers Le Mans*

Discipline : Electronique
Spécialité : Télécommunications
Laboratoire : IETR UMR 6164

Soutenance le 4 octobre 2013

École doctorale Sciences et Technologies de l'Information et Mathématiques (STIM)
Thèse N° ED503-202

Etude et développement
d'une architecture radio numérique innovante
dans le contexte des communications aéronautiques

JURY

Président :	M. Ghaïs EL ZEIN , Professeur, INSA Rennes
Rapporteurs :	Mme Geneviève BAUDOIN , Professeur, ESIEE, Noisy Le Grand M. Claude DUVANAUD , Maître de Conférences/HDR, IUT Angoulême, Université de Poitiers
Directeur de Thèse :	M. Jean-François DIOURIS , Professeur, Ecole polytechnique de l'université de Nantes
Co-encadrants :	M. Bruno FEUVRIE , Maître de Conférences, IUT de Nantes M. Sylvain REED , Ingénieur/Docteur, Télérad, Anglet

Résumé

Cette thèse porte sur le développement d'une nouvelle architecture d'émetteur radio numérique dans la bande de fréquence UHF (225 MHz – 400 MHz) et VHF (118 MHz - 144 MHz) et dans le cadre de communications aéronautiques. Il s'agit de proposer une solution qui puisse convenir non seulement aux systèmes actuels mais aussi aux futurs systèmes en cours de spécification tels que le LDACS-1 ou le LDACS-2. Le choix optimal de l'architecture est lié à la technique de linéarisation associée à l'étage d'amplification. Le travail s'est déroulé en trois principales étapes. Tout d'abord, le choix de l'architecture optimale adaptée à l'application est effectué. La deuxième partie de l'étude est consacrée à l'implémentation numérique de l'architecture. La troisième et dernière partie est la validation expérimentale qui a permis d'évaluer les performances du système réalisé.

Mots-clés : amplificateur de puissance, émetteurs, UHF, VHF, méthodes de linéarisation, EER, boucle cartésienne, prédistorsion, navigation aérienne, communications aéronautiques

Abstract

Air traffic evolution around the world result in higher air navigation equipments needs. This PhD study focuses on a new digital architecture for UHF (225 MHz – 400 MHz) and VHF (118 MHz - 144 MHz) transmitter in aeronautical communications context. New architecture for both current systems and futures systems (which is presently being specified) like LDACS-1 and LDACS-2 systems has to be proposed. The best architecture choice is related to the amplification stage linearization techniques used. This work was carried out in three main steps. First, the best architecture choice suited to our application is made. The second step of the study is dedicated to the architecture digital implementation. Last but not least step is devoted to the experimental validation which allow to assess the system performances.

Keywords : power amplifier, transmitters, UHF, VHF, linearization methods, EER, cartesian feedback, predistorsion, air navigation, aeronautical communications

Liste des acronymes et abréviations

ACARS	Aircraft C ommunications A dressing and R eporting S ystem
ACPR	Adjacent C hannel P ower R atio
AM	Amplitude M odulation
AM-MSK	Amplitude M odulation- M inimum S hift K eying
AP	Amplificateur de P uissance
ARS	Aeronautical R adionavigation S ervices
ASIC	Application S pecific I ntegrated C ircuits
ATC	Air T raffic C ontrol
BC	Boucle C artésienne
CALLUM	Constant A mplitude L ocked L oop U niversal M odulator
CAN	Convertisseur A nalogique N umérique
CDMA	Code D ivision M ultiple A ccess
CIC filter	Cascaded I ntegrator C omb filter
CNA	Convertisseur N umérique A nalogique
CORDIC	C Oordinate R otation D Igital C omputer
CSMA	Carrier S ense M ultiple A ccess
D8PSK	Differential 8 P hase S hift K eying
DSP	Digital S ignal P rocessor
EDGE	Enhanced D ata R ates for G SM E volution

EER	Envelope Elimination and Restoration
ET	Envelope Tracking
ETSI	European Telecommunications Standards Institute
EUROCAE	European Organisation for Civil Aviation Equipment
EUROCONTROL	European Organization for the Safety of Air Navigation
EVM	Error Vector Magnitude
FCS	Futur Communication System
FI	Fréquence Intermédiaire
FIR	Finite Impulse Response
FM	Frequency Modulation
FMC	FPGA Mezzanine Card
FPGA	Field Programmable Gate Array
FSK	Frequency Shift Keying
GFSK	Gaussian-filtered Frequency Shift Keying
GMSK	Gaussian Minimum Shift Keying
GSM	Global System for Mobile communications
IBO	Input Back Off
ICAO	International Civil Aviation Organization
IMD	Inter-Modulation Distorsions
ITU	International Telecommunication Union
LDACS	L-Digital Aeronautical Communication System
LFSR	Linear Feedback Shift Register
LINC	Linear amplification with Non linear Components
LO	Local Oscillator

LUT	Look-Up Table
MIMO	Multiple Input Multiple Output
NASA	National Aeronautics and Space Administration
NPR	Noise Power Ratio
OACI	Organisation de l'Aviation Civile Internationale
OBO	Output Back Off
OCT	Oscillateur Controlé en Tension
OFDM	Orthogonal Frequency-Division Multiplexing
OFDMA	Orthogonal Frequency-Division Multiple Access
OL	Oscillateur Local
PA	Power Amplifier
PAE	Power Added Efficiency
PAR	Peak to Average Ratio
PLL	Phase Lock Loop
PSK	Phase Shift Keying
QAM	Quadrature Amplitude Modulation
RF	Radio Frequency
RL	Radio Logicielle
RLR	Radio Logicielle Restreinte
RRC	Root Raised Cosine
RSB	Rapport Signal Bruit
SCA	Software Control Architecture

SDR	Software Defined Radio
TDMA	Time Division Multiple Access
UHF	Ultra High Frequency
VCO	Voltage Controlled Oscillato
VDL	VHF Data Link
VHDL	VHSIC Hardware Description Language
VHF	Very High Frequency
WCDMA	Wideband Code Division Multiple Access
WIF	Wireless Innovation Forum
WLAN	Wireless Local Area Network
WRC	World Radiocommunications Conference

Table des matières

Chapitre 1.	Normes et architectures d'émetteurs.....	7
1.1.	Normes : évolutions et contraintes.....	7
1.2.	Architectures des émetteurs	12
1.2.1.	Emetteur hétérodyne ou superhétérodyne.....	14
1.2.2.	Emetteur à conversion directe ou homodyne.....	15
1.2.3.	Emetteur Low-IF (faible fréquence intermédiaire).....	16
1.2.4.	Phase Lock Loop (PLL) à modulation directe	16
1.2.5.	Conclusion	17
1.3.	Radio Logicielle.....	17
1.3.1.	Différence entre « Software Radio » et « Software Defined Radio ».....	18
1.3.2.	Objectifs de la SDR	20
1.3.3.	Avancées dans la Radio logicielle	21
1.3.4.	Emetteurs UHF Telerad : défis de conception.....	21
1.4.	Conclusion	23
Chapitre 2.	Amplificateur de puissance et linéarisation des émetteurs	24
2.1.	L'amplificateur de puissance	24
2.1.1.	Les classes d'amplificateur de puissance.....	27
2.1.2.	Caractéristiques AM/AM et AM/PM.....	31
2.1.3.	Modélisation d'un amplificateur de puissance	36
2.1.4.	Quantification des distorsions : ACPR, EVM et RSB.....	38
2.1.5.	Amplificateur de puissance : compromis entre rendement et linéarité.....	42
2.2.	Les techniques de linéarisation et d'amélioration de rendement	43
2.2.1.	Techniques de contre réaction ou feedback	45
2.2.2.	La prédistorsion	49
2.2.3.	La feedforward.....	53
2.2.4.	Techniques d'amélioration du rendement.....	54
2.3.	Conclusion	59
Chapitre 3.	Etude comparative de quelques architectures d'émetteurs radio	62
3.1.	Méthodologie de travail	62

3.2.	Etat de l'art des convertisseurs	63
3.2.1.	Principes de bases	64
3.2.2.	Les différents types d'architectures de CANs et CNAs.....	67
3.3.	Architecture 1 : Architecture boucle cartésienne idéale	71
3.3.1.	Limites technologiques : les CANs et CNAs.....	72
3.3.2.	Limites technologiques : le filtre passe-bande.....	73
3.4.	Architecture 2 : architecture boucle cartésienne réalisable.....	74
3.5.	Architecture 3 : l'EER	75
3.6.	Architecture 4 : Architecture EER associée à une boucle de retour	76
3.7.	Conclusion	76
3.8.	Etude des deux architectures retenues	78
3.8.1.	Etude quantitative et qualitative : Dimensionnement des deux architectures...	79
3.9.	Conclusion	91
Chapitre 4.	Modélisation et optimisation de l'EER.....	93
4.1.	Délai entre les voies d'amplitude et de phase.....	93
4.2.	Commande du gain de l'AP	94
4.2.1.	Etat de l'art de la correction de la commande de gain.....	94
4.2.2.	L'étage d'amplification.....	96
4.2.3.	Commande du gain de l'AP : mise en évidence des non-linéarités.....	98
4.2.4.	Modélisation et correction de la commande de gain	101
4.3.	Génération du signal RF à enveloppe constante	107
4.3.1.	Déphaseur commandé en tension.....	107
4.3.2.	Le synthétiseur de fréquence	113
4.3.3.	Le modulateur IQ.....	115
4.4.	Simulation de la chaîne complète	117
4.4.1.	Méthode EER sans boucle	117
4.4.2.	Chaîne complète avec la boucle de retour	119
4.5.	Conclusion	121
Chapitre 5.	Validation expérimentale	122
5.1.	Partie Numérique	122
5.1.1.	Plateforme FPGA et carte convertisseurs	122

5.1.2.	Implémentation VHDL – format et opération	123
5.1.3.	Traitement « bande de base » : les blocs numériques.....	124
5.2.	Partie RF : modulateur IQ + étage d’amplification	131
5.2.1.	Réalisation.....	132
5.2.2.	Résultats.....	134

Liste des tableaux

Table 1 : Statistiques accidents en 2011 dans le monde	1
Table 2 : Contraintes initiales de l'architecture à réaliser.....	5
Tableau 1.1 : Quelques spécifications du LDACS-1 et LDACS-2.....	11
Tableau 1.2 : Classification des systèmes radio logicielle selon la WIF	20
Tableau 1.3 : Quelques spécifications des émetteurs UHF mode 2.....	22
Tableau 2.1 : Caractérisation des classes d'opération A, AB, B et C.....	29
Tableau 2.2 : Tableau récapitulatif de l'ACPR requis pour la norme EN 301 841-2.....	40
Tableau 3.1: Tableau comparatif des différentes méthodes de linéarisation	63
Tableau 3.2 : Performances de CANs en fonction de leur architecture.....	69
Tableau 3.3 : Performances CAN disponibles sur le marché	70
Tableau 3.4 : Performances de CNAs disponibles sur le marché.....	70
Tableau 3.5 : Tableau comparatif des architectures BC et EER.....	78
Tableau 3.6 : Spécifications de l'émetteur radio	80
Tableau 3.7: Quelques CNAs 16 bits du marché.....	82
Tableau 3.8 : Ordre du filtre passe-bas de Butterworth en sortie du CNA.....	87
Tableau 3.9 : $Gain ; MP ; \Delta_{max}$ pour $MP = 45^\circ$ et $MP = 60^\circ$	89
Tableau 4.1 : Coefficients du polynôme $p(x)$	101
Tableau 4.2: E_{max} pour plusieurs degrés du polynôme p_1x	110
Tableau 4.3 : ACPR dans le premier canal adjacent (gauche).....	118
Tableau 4.4 : ACPR du spectre en sortie de l'AP : EER et boucle cartésienne traditionnelle.	119
Tableau 4.5 : Spécifications de la boucle de retour	120
Tableau 4.6 : ACPR de l'EER sans et avec boucle de retour	121
Tableau 5.1 : Paramètres filtre RC interpolateur	128

Liste des figures

Fig. 1 : Déroulement d'un vol : prise en charge de l'avion par différents centres de contrôle...	2
Fig. 2 : Illustration des différents aspects du travail	4
Figure 1.1 : Transitions de la AM-MSK dans le mode ACARS	8
Figure 1.2 : Illustration de la technique de TDMA.....	9
Figure 1.3 : Synoptique simplifié d'un émetteur radio	12
Figure 1.4 : Synoptique d'un émetteur hétérodyne.....	14
Figure 1.5 : Synoptique d'un émetteur à conversion directe	15
Figure 1.6 : Synoptique de l'émetteur « PLL à modulation directe ».....	16
Figure 1.7 : Architecture simplifiée d'une radio logicielle idéale	18
Figure 1.8 : Architecture RL pragmatique.....	19
Figure 2.1 : Schéma d'un amplificateur de puissance	25
Figure 2.2 : Variation de la puissance de sortie en fonction de la puissance d'entrée.....	26
Figure 2.3 : Circuit simplifié d'un amplificateur de classe F	30
Figure 2.4 : Tension de drain d'un amplificateur de classe F : (a) 3eme harmonique, (b) tension du drain, (c) tension de sortie	30
Figure 2.5 : Tension et courant du drain d'un amplificateur de classe E.....	31
Figure 2.6 : (a) Conversion AM/AM; (b) Conversion AM/PM.....	32
Figure 2.7 : Distorsions du signal de sortie de l'amplificateur de puissance.....	33
Figure 2.8 : Test 2 tons et produits d'intermodulation.....	34
Figure 2.9 : Illustration des points de compression à 1dB et d'interception d'ordre 3.....	35
Figure 2.10 : Illustration du critère d'ACPR	39
Figure 2.11 : Représentation géométrique de l'EVM.....	40
Figure 2.12 : Mesure du RSB	41
Figure 2.13 : Illustration du compromis entre linéarité et efficacité énergétique de l'amplificateur de puissance	42
Figure 2.14 : Synoptique d'une boucle cartésienne	45
Figure 2.15 : Schéma de principe de la boucle cartésienne.	48
Figure 2.16 : Synoptique de la boucle polaire	49

Figure 2.17 : Schéma général de la prédistorsion	49
Figure 2.18 : Illustration de la prédistorsion	50
Figure 2.19 : Circuit de prédistorsion avec une diode série.....	51
Figure 2.20 : Illustration de la prédistorsion adaptative	53
Figure 2.21 : Principe de la feedforward	54
Figure 2.22 : Schéma de principe de l'Enveloppe Elimination and Restoration	56
Figure 2.23 : Méthode de l'Enveloppe Tracking.....	56
Figure 2.24 : Synoptique de la méthode LINC	57
Figure 2.25 : Schéma de principe de la CALLUM.....	58
Figure 2.26 : Méthode de Doherty.....	59
Figure 3.1 : Densité de probabilité de l'erreur de quantification	65
Figure 3.2 : Principe du sous-échantillonnage (le spectre bande de base n'est pas retrouvé) ..	66
Figure 3.3 : Principe du sous-échantillonnage (le spectre bande de base est retrouvé).....	67
Figure 3.4 : Architecture boucle cartésienne idéale.....	72
Figure 3.5: Architecture boucle cartésienne réalisable	74
Figure 3.6: Architecture EER	75
Figure 3.7: Synopsis d'une boucle cartésienne	80
Figure 3.8 : Spectre du signal bande de base et ses images en sortie du CNA.....	81
Figure 3.9 : Zones de Nyquist des bandes UHF et VHF	83
Figure 3.10 : Modélisation d'une seule voie de la boucle dans le domaine de Laplace.....	84
Figure 3.11 : Marges de phase et gain sans (a) et avec (b) le filtre de compensation.	89
Figure 3.12 : Puissance en sortie de l'amplificateur de puissance avec et sans la boucle	90
Figure 4.1 : Boucle de correction du signal d'enveloppe dans une architecture EER.....	94
Figure 4.2 : Boucle de correction du signal de phase dans une architecture EER.....	95
Figure 4.3 : Configuration de la correction par prédistorsion pour un émetteur H-EER.....	95
Figure 4.4 : Les deux étages d'amplification.....	96
Figure 4.5 : Gain et PAE du MW7I en fonction de la puissance de sortie	97
Figure 4.6: Evolution du gain du MW7I en fonction de sa tension de polarisation V_{gg1_2} ...	99
Figure 4.7 : Puissance de sortie de l'AP (en watts) en fonction de sa tension de polarisation	100
Figure 4.8: Puissance en sortie de l'AP avec et sans prise en compte de la non linéarité de la tension de polarisation	100

Figure 4.9 : Modèle de la non-linéarité de la commande de l'ampli	102
Figure 4.10 : Illustration d'un système de prédistorsion.....	102
Figure 4.11 : Illustration algorithme prédistorsion par LUT	103
Figure 4.12 : Résultats de l'algorithme de prédistorsion sous Matlab.....	104
Figure 4.13 : Spectre du signal de sortie avec et sans correction (longueur de table de N=10000).....	105
Figure 4.14 : Influence de la longueur de la LUT sur l'ACPR de l'architecture EER	105
Figure 4.15 : Influence de la longueur de la LUT sur l'ACPR de l'architecture EER pour $0 < N < 3000$	106
Figure 4.16: Structure d'un déphaseur hybride utilisant un coupleur hybride et des diodes varicap.....	108
Figure 4.17: Phase cumulée en sortie du déphaseur hybride 3dB	109
Figure 4.18: Variation de la phase en fonction de la tension de commande du déphaseur à 225 MHz	110
Figure 4.19: Modélisation de la commande du déphaseur par un modèle polynomial (degré 3, 5, 6 et 8)	111
Figure 4.20 : Signaux I en entrée et en sortie du système (en bleu : Le signal bande de base I - en rouge : le signal I en sortie de l'AP et démodulé)	112
Figure 4.21 : Influence sauts de phase sur le diagramme de l'œil du signal démodulé en sortie du système.....	113
Figure 4.22: Modulation de fréquence de la boucle à verrouillage de phase	114
Figure 4.23 : Schéma d'un modulateur.....	115
Figure 4.24 : Illustration des sources d'erreurs avec le modulateur I/Q.....	117
Figure 4.25 : Spectre en sortie de l'AP pour architecture EER et boucle cartésienne traditionnelle	118
Figure 4.26 : Schéma ADS de l'architecture « EER + boucle de retour »	120
Figure 5.1: Synoptique des cartes ML605 et FMC150.....	122
Figure 5.2 : Blocs numériques de l'architecture EER.....	124
Figure 5.3 : Principe de l'algorithme PRn23	126
Figure 5.4 : Signaux D8PSK I et Q visualisés avec Chipscope.....	127
Figure 5.5 : Filtre RRC implémenté	127

Figure 5.6 : Gabarit du FIR implémenté sur [0;8*RS]	128
Figure 5.7 : Filtre CIC interpolateur	129
Figure 5.8 : Puissance de sortie en fonction de la puissance d'entrée pour le MW7I (@ 400 MHz).....	131
Figure 5.9 : Modulateur + étage d'amplification	132
Figure 5.10 : Banc de test final	133
Figure 5.11 : Synoptique détaillé du banc de test	134
Figure 5.12 : Constellation des signaux <i>Inormet Qnorm</i> en sortie du FPGA.	135
Figure 5.13 : Enveloppe du signal fournie par le FPGA et en sortie de l'AP.....	136
Figure 5.14 : Amélioration du niveau des canaux adjacents avec l'EER	138
Figure 5.15 : Spectres en sortie de l'AP avec et sans la prédistorsion.....	139
Figure 5.16 : Diagramme de l'œil avec et sans prédistorsion.....	140

*A mon papa chéri, décédé durant ma dernière
année de thèse. Malheureusement, tu as été
rappelé à Dieu avant que ce travail ne soit fini.
Mais j'espère que de là où tu te trouves, tu es
fier de moi. Tu as toujours cru en moi et avais
l'habitude de me dire qu'il fallait persévérer
dans la vie et ne pas baisser les bras au moindre
obstacle. Merci papa pour ces leçons*

Remerciements

Cette thèse a été réalisée dans le cadre d'un contrat CIFRE en collaboration avec la société TELERAD et l'Institut d'Electronique et Télécommunications de Rennes.

Je tiens tout d'abord à remercier Sylvain REED, Docteur-Ingénieur au laboratoire Emission à TELERAD pour la confiance dont il a fait preuve à mon égard en me confiant ce projet. Sa présence et sa sollicitude dans les moments de doute m'ont permis de mener à bien cette thèse. Ses conseils, connaissances et compétences techniques ont été d'une très grande aide durant ces trois dernières années.

Je remercie Mme Marie-Claude BACHELET, Patrice MARIOTTE, Didier DEMAILLY et Philippe RUAS de m'avoir accueillie au sein de la société TELERAD où ce travail de thèse s'est déroulé dans de très bonnes conditions.

Mes sincères remerciements à Jean-François DIOURIS, Professeur des Universités à l'Université de Nantes pour avoir accepté d'encadrer cette thèse et m'accompagner tout le long de ces trois années.

Je remercie Bruno FEUVRIE, Maître de Conférences à l'IUT de Nantes et co-directeur de thèse pour sa disponibilité, sa patience à mon égard et son aide qui ont été très précieux.

J'adresse mes remerciements à Jean-Michel BORDAGARAY, André-Vincent CHANGALA pour les discussions animées et leur aide tout le long de ma thèse, Stéphane CHARVIT, Mathieu PASTORE, Daouda NDONG et à tous ceux qui ont participé au sein de TELERAD d'une manière ou d'une autre à la réussite de mon travail.

Je remercie Brigitte PAPAGIORGIU pour sa présence, sa disponibilité, son amitié et sa bienveillance à mon égard pendant ces trois années.

Un grand merci à Alvinice KODJO pour son amitié, ses encouragements dans les durs moments que nous avons traversés. Merci à Ivan SOSSOU-SOMASSE, qui n'a cessé de m'encourager et de croire en moi. Mes remerciements à tous mes amis, Nadia SOUMAILA, Olga GOUBALI et tous les autres que je n'ai pas pu citer et qui n'ont cessé de m'encourager.

Je tiens à exprimer ma profonde gratitude envers mon oncle Yacoub LAGUIDE pour son soutien indéfectible durant toute la durée de mes études.

Enfin, mes pensées se tournent vers ma mère, Moutiatou, mes frères et sœurs Samirath, Aymanath, Malik et Malikath et tous mes proches que je n'ai pas cités qui n'ont cessé de me soutenir et m'encourager durant tout ce temps.

Introduction

L'Organisation de l'aviation civile internationale (OACI ou en anglais International Civil Aviation Organization : ICAO) est l'organisation internationale qui élabore les normes pour la standardisation du transport aéronautique international (les vols à l'intérieur d'un même pays ne sont pas du ressort de l'OACI). Cette organisation prévoit une augmentation de 4 % du trafic sur les 15 prochaines années. Selon [1], 80000 avions décollent et atterrissent chaque jour dans le monde, soit 29,4 millions de vols chaque année. La Table 1 fournie par OACI présente le nombre d'accidents survenus de par le monde par rapport au volume du trafic ainsi que le ratio (qui définit le nombre d'accidents par millions de départs) que cela représente.

Region,	Trafic (par milliers)	Accidents		Accidents fatals
		Nombre	Ratio	
Afrique	891	7	7,9	3
Asie	7561	22	2,9	3
Europe	7143	39	5,5	4
Amérique latine et les Caraïbes	2625	15	5,7	4
Amérique du Nord	10979	38	3,5	0
Océanie	855	4	4,7	2
Monde entier	30053	126	4,2	16

Table 1 : Statistiques accidents en 2011 dans le monde

Ces taux relativement faibles s'expliquent non seulement par les mesures draconiennes de sécurité et de sûreté imposées par les différentes agences de gestion du trafic aérien mais aussi par la qualité des équipements afférents aux transports aériens.

Pendant la durée d'un vol, les avions sont pris en charge par des centres de contrôle qui se relaient selon la position de l'avion (Fig. 1).

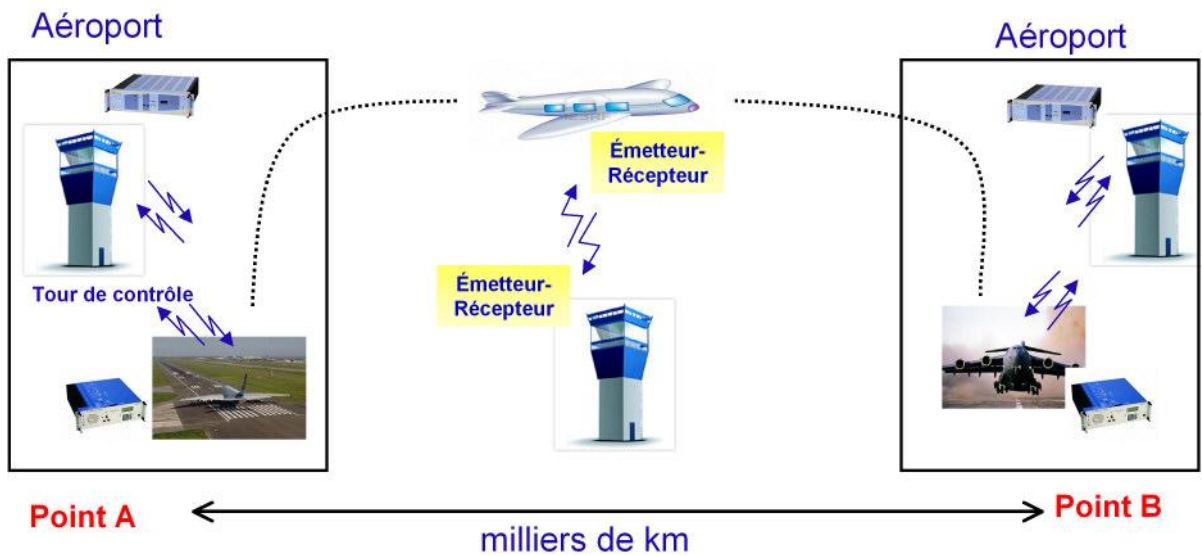


Fig. 1 : Déroulement d'un vol : prise en charge de l'avion par différents centres de contrôle

La sécurité de ces vols dépend aussi en grande partie des équipements, notamment des émetteurs/récepteurs qui assurent la transmission de l'information et qui sont présents aussi bien à bord (dans l'avion) qu'au sol (dans les centres de contrôle).

Le trafic aérien augmente et le volume des informations échangées croît en proportion. Actuellement, on assiste à un encombrement des fréquences existantes. Une évolution vers de nouveaux systèmes tels que le L-DACS 1 ou le L-DACS 2 est ainsi envisagée. Les émetteurs/récepteurs exploités actuellement dans l'aéronautique fonctionnent en France dans les bandes analogiques VHF pour le civil (118 MHz - 144 MHz) et UHF (225 MHz - 400 MHz) pour le militaire. Les nouveaux systèmes devraient permettre, à terme, de répondre aux problèmes de congestion du spectre que rencontre actuellement la bande VHF et autoriser de nouveaux échanges air/air et le transfert de données. Toutefois, le changement des systèmes actuels (VHF) vers le L-DACS devrait prendre quelques années (des dizaines) avant l'apparition des premiers équipements opérationnels. Le challenge aujourd'hui se situe dans la conception d'équipements multi-standards ou multinormes. Ces émetteurs doivent intégrer différentes modulations allant de la simple AM (modulation d'amplitude), à la D8PSK (Differential 8 Phase Shift Keying) pour la VHF actuelle et à l'OFDM (Orthogonal Frequency-Division Multiplexing) ou le GMSK (Gaussian Minimum Shift Keying) pour les

futurs systèmes LDACS. Dans cet objectif, la radio logicielle ou tout au moins la radio logicielle restreinte constitue le futur des systèmes de communications. Cette technique permet au système matériel d'exécuter plusieurs fonctions radios différentes. Ceci conduit à la notion de reconfigurabilité des systèmes matériels sans intervention physique (téléchargement d'un simple logiciel pour la mise à jour de l'équipement). La conception d'une radio logicielle idéale (traitement de l'information juste après l'antenne) n'est pas possible à l'heure actuelle pour des systèmes à fréquence porteuse élevée. Les concepteurs se sont donc rabattus vers une solution intermédiaire dénommée la Radio Logicielle Restreinte (RLR). Réaliser une RLR passe par trois étapes :

- La partie RF (Radio Fréquence) qui ne peut être réalisée de manière numérique et comporte donc des composants entièrement analogiques (filtres, oscillateurs locaux, amplificateur de puissance, etc.)
- Une partie numérique qui réalise le traitement des signaux en bande de base (génération des formes d'ondes, différents codages, etc.) ou signaux modulés suivant une fréquence intermédiaire (FI)
- Une couche logicielle qui supervise l'ensemble et qui gère le flux des informations échangées entre les différents blocs de la partie numérique.

De nombreuses recherches ont été initiées sur chacune de ces parties, engendrant une importante littérature scientifique sur ces sujets.

Le travail de cette thèse se concentre principalement sur les parties « RF » et « traitement bande de base » d'une RLR, dans le cadre d'émetteur UHF et VHF, même si tous les aspects de cette vaste problématique ne seront pas abordés.

L'amplificateur de puissance est un élément clé dont la conception est délicate. En effet, la conception des autres étages de la partie RF est plus ou moins liée aux contraintes pesant sur l'étage d'amplification. Le rendement d'un amplificateur de puissance, qui traduit la capacité de l'amplificateur de puissance à exploiter au maximum la puissance fournie (via l'alimentation) pour amplifier le signal à transmettre, influe non seulement sur le système de refroidissement qui devra être dimensionné mais aussi sur la mise en œuvre ou non d'un système de linéarisation dont le rôle sera d'augmenter le rendement ou la linéarité selon les

différentes applications. Le travail exposé dans ce manuscrit peut être résumé par le diagramme de la Fig. 2.

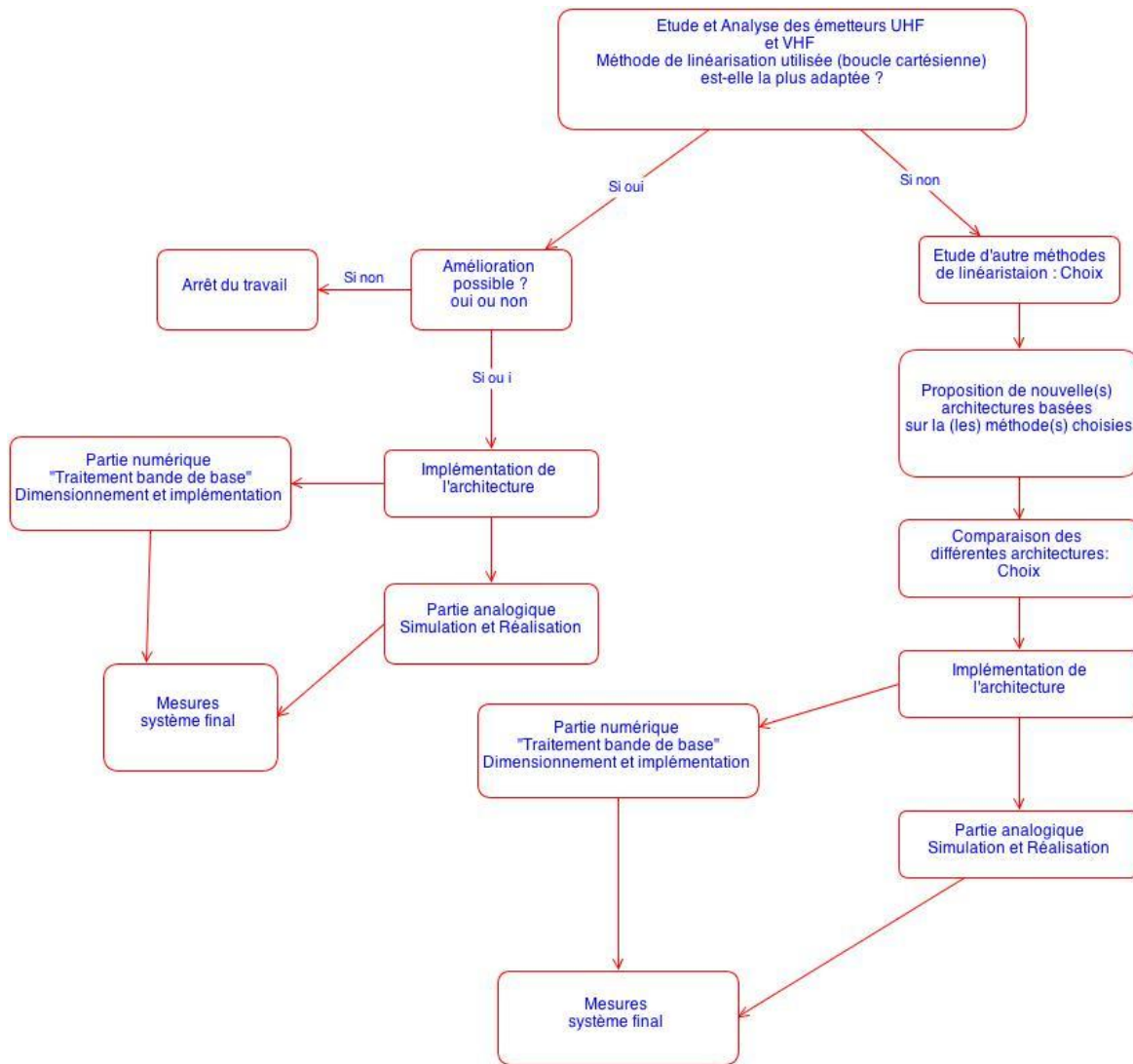


Fig. 2 : Illustration des différents aspects du travail

La première étape de ce travail consiste en une étude détaillée des émetteurs UHF et VHF qui ont servi de référence. En fonction des résultats de cette première phase, une décision est prise sur une amélioration de l'architecture actuelle ou un changement d'architecture. Dans tous les cas de figure, le plus grand nombre de fonctions devra être réalisé de façon numérique. Un prototype sera réalisé, testé et ses performances devront être évaluées et discutées.

La Table 2 récapitule les différentes spécifications adoptées concernant l'étude à développer.

Emetteurs UHF et VHF	
Bande de fréquence	VHF (118 MHz – 144 MHz) et UHF (225 MHz - 400 MHz)
Modulation	D8PSK
Fréquence symbole	1 MHz
Roll-off du filtre de Nyquist	0.22
ACPR	
Interférence dans le 1 ^{er} canal adjacent	-60 dB
Interférence dans le 2 nd canal adjacent	-70 dB
EVM	6 %
Niveau du bruit à la sortie de l'AP	-160 dBc/Hz à +/- 5 MHz de la porteuse
Puissance dans le canal utile	47 dBm

Table 2 : Contraintes initiales de l'architecture à réaliser

Ces contraintes s'inspirent en grande partie des spécifications de l'ETSI EN 301 842-1 (mode 2) destinées aux émetteurs VHF fonctionnant en mode VDL 2 (modulation D8PSK). Le travail sera effectué sur deux largeurs de bande de fréquence différentes : 10,5 kHz et 1 MHz. La première bande est celle du système spécifié pour l'ETSI. La seconde bande de fréquence est choisie en raison de l'évolution future des émetteurs vers des systèmes LDACS-1 ou LADCS-2 évoqués dans le chapitre 1. Cette fréquence correspond au double de celle préconisée dans le cas du LDACS-1 et permet d'avoir de la marge concernant la bande passante du système final.

Le contenu des différents chapitres est présenté ci-dessous :

- Le chapitre 1 traite des différentes normes utilisées dans les émetteurs UHF et VHF dédiés à l'aéronautique, présente les défis liés à la conception de ces émetteurs et introduit plus en détail le concept de la Radio logicielle et en particulier celui de la Radio Logicielle Restreinte.
- Le chapitre 2 est consacré à une étude approfondie des principales caractéristiques d'un amplificateur de puissance (ACPR, rendement, point de fonctionnement, point de compression à 1dB, point d'intermodulation d'ordre 3, etc.). Puis sont abordées les différentes méthodes de

linéarisation qui peuvent être associées à un étage d'amplification ainsi que les avantages et inconvénients de chacune d'entre elles. Plusieurs architectures sont comparées et deux d'entre elles sont choisies pour être approfondies.

- Dans le chapitre 3, nous évaluerons les avantages et inconvénients de plusieurs architectures. L'architecture retenue fera l'objet d'une réalisation expérimentale.
- Le chapitre 4 est consacré à une étude de l'architecture choisie à partir d'un choix technologique prenant en compte l'ensemble des défauts de la chaîne, l'ensemble est détaillé par différentes simulations.
- Le chapitre 5 est dédié à l'implémentation proprement dite et comporte trois aspects :
 - La réalisation de la partie RF de l'architecture à partir des composants choisis,
 - L'implémentation de la partie numérique « traitement bande de base »,
 - La mise en place d'une maquette de l'ensemble.

Les améliorations de cette architecture sont proposées et une conclusion est donnée. Le but final de ce travail est de démontrer la faisabilité d'une architecture (prototype) qui respecte les contraintes fixées par la Table 2.

Chapitre 1. Normes et architectures d'émetteurs

1.1. Normes : évolutions et contraintes

Dans l'industrie aéronautique, la sécurité et la navigabilité sont des préoccupations fortes, synonymes d'enjeux commerciaux. Les transmissions aéronautiques jouent un rôle fondamental pour assurer cette sécurité. Les bandes VHF (117,975 MHz -144 MHz) et UHF (225MHz - 400MHz) sont des bandes réservées aux communications aéronautiques sol/air. La bande UHF est réservée aux applications militaires tandis que la bande VHF est exploitée pour les communications civiles pour l'Europe. Les principales instances internationales qui régissent la normalisation dans les domaines des télécommunications aéronautiques et des aides à la navigation aérienne sont l'European Telecommunications Standards Institute (ETSI) et l'European Organisation for Civil Aviation Equipment (EUROCAE).

L'Organisation de l'Aviation Civile Internationale (OACI, en anglais International Civil Aviation Organization : ICAO) participe à l'élaboration des normes qui permettent la standardisation du transport aéronautique international.

L'ETSI (Telecommunications Standards Institute), représente l'organisme de normalisation européen du domaine des télécommunications. Il s'agit d'une organisation non-gouvernementale dont le but est de produire des standards qui seront implantés dans toute l'Europe et ailleurs, dans le domaine des télécommunications.

Les équipements qui nous intéressent dans le cadre de cette thèse concernent les communications sol/air (communication entre les avions et les systèmes basés au sol).

Les émetteurs récepteurs dans les stations de base sont soumis à des contraintes sévères inhérentes au domaine d'activité qui exige un ensemble d'équipements fiables.

Différentes modulations telles que la D8PSK, GFSK (Gaussian-Filtered Frequency Shift Keying), AM (Amplitude Modulation), FM (Frequency modulation) [2] [3] doivent pouvoir cohabiter dans un même équipement. Dans ce cas, l'équipement doit respecter des normes et des spécifications très précises. Dans les équipements actuellement mis en service, il existe

des modes de communication des données basées sur les différents types de modulations cités ci-dessus :

- Mode A3E

C'est le standard ETSI EN 300 676-1 [3] qui définit les spécifications de ce mode exploitant notamment une modulation d'amplitude analogique de type AM-DSB/WC (modulation d'amplitude à porteuse conservée et à double bande latérale).

- Mode ACARS (Aircraft Communications Addressing and Reporting)

Il s'agit d'un système de liaison de données assurant la transmission de données de type caractères entre le sol et les avions. Ce système est développé pour la transmission de données de maintenance, météo, personnels, ... La modulation choisie est une modulation numérique de type AM-MSK (Amplitude Modulation- Minimum Shift Keying), c'est-à-dire une modulation MSK en bande de base, modulant la porteuse en amplitude. La vitesse de transmission est de 2400 bits/s. Ainsi :

- Un changement de bit par rapport au bit précédent génère un signal à 1200 Hz.
- Pas de changement de bit par rapport au bit précédent génère un signal à 2400 Hz.

Les quatre transitions possibles sont représentées ci-dessous

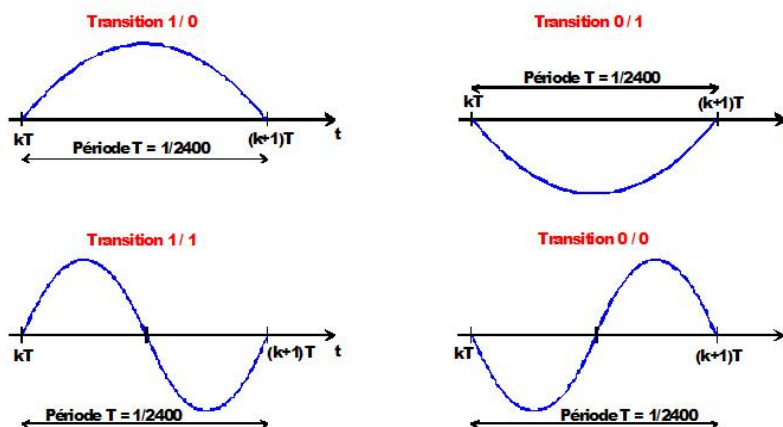


Figure 1.1 : Transitions de la AM-MSK dans le mode ACARS

- Mode VDL 2 (VHF Data Link)

Les spécifications de ce mode sont définies par la norme ETSI EN 301 841-1 [4]. La modulation utilisée est une D8PSK. La fréquence symbole pour ce mode est de 10,5 ksymb/s. Chaque état de la modulation contient 3 bits d'informations, ce qui donne un débit binaire de 31,5 kbits/s. Le débit est beaucoup plus élevé que dans le mode ACARS ou A3E.

- Mode VDL 3

Le mode 3 permet d'assurer une transmission des données et de la voix. Ce mode utilise aussi la D8PSK.

- Mode VDL 4

Les spécifications de ce mode sont définies par l'ETSI EN 301 842-1 [5]. La modulation est une GFSK. Il s'agit d'un mode qui autorise une communication numérique entre les avions et les stations au sol.

Tous ces modes se différencient également par la technique d'accès au canal. L'ACARS et le mode VDL 2 utilisent le CDMA (Code Division Multiple Access) alors que le mode VDL 3 et le mode VDL 4 utilise le TDMA (Time Division Multiple Access) pour accéder au canal.

Mode d'accès au canal radio

- TDMA

La communication est séquencée en séparant les instants d'émission et de réception. Chaque correspondant dispose d'une ressource allouée (slots). Chaque utilisateur émet sur des intervalles de temps différents mais utilise la totalité de la bande passante du canal (Figure 1.2).

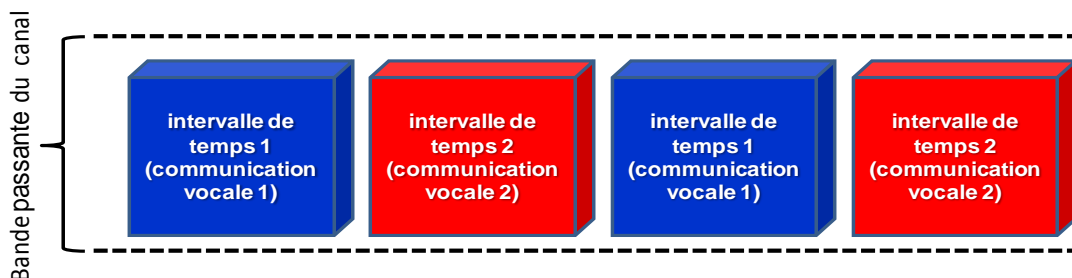


Figure 1.2 : Illustration de la technique de TDMA

- CDMA

À l'aide d'une séquence pseudo-aléatoire, les données sont étalées sur une large bande en émission. En réception, un corrélateur, possédant la même séquence qu'à l'émission et synchronisé sur celle-ci, récupère les données initiales avec un gain de traitement égal au rapport entre la bande RF occupée et la bande utile des données.

Pour anticiper l'évolution du trafic et répondre aux besoins du marché en termes de volume de données échangées et d'augmentation du trafic, de nouveaux standards sont étudiés. Actuellement, le problème crucial est l'encombrement des fréquences existantes, ce qui entraîne l'étude de nouveaux systèmes tels que le LDACS-2 et le LDACS-1.

- Le LDACS-1 et LDACS-2 : le futur des communications aéronautiques civiles ? [6]

Depuis 2002, un projet Américano-Européen a été mis en place pour développer un nouveau système de communication aéronautique destiné à assurer la sécurité des passagers et qui satisfasse aux nouvelles contraintes aéronautiques. L'étude de la FCS (Futur Communication System) est sous la responsabilité de la NASA (National Aeronautics and Space Administration) pour les Etats-Unis et EUROCONTROL (European Organization for the Safety of Air Navigation) pour l'Europe. C'est en 2007, durant la WRC (World Radiocommunications Conference), organisée par l'ITU (International Telecommunication Union), qu'il a été décidé d'exploiter une partie de la bande L (960 MHz à 1164 MHz) allouée à l'ARS (Aeronautical Radionavigation Services) pour la partie de la FCS consacrée aux communications continentales. Le système associé est appelé L-Digital Aeronautical Communication System (L-DACS). Le L-DACS est un système en charge de la communication sol/air. Différent de l'actuel système VHF analogique, le système LDACS devrait ajouter certaines fonctionnalités telles que la communication point à point air /air et l'échange de données. Deux technologies pouvant être adaptées au LDACS ont été présélectionnées par l'ICAO : le LADCS-1 et le LDACS-2.

Le LDACS-2 couvre la bande des 960 MHz - 975 MHz et le LDACS-1 couvre la bande 985,5 MHz - 1008,5 MHz (LDACS1-FL) et 1048,5 MHz - 1071,5 MHz (LDACS1-RL).

Le Tableau 1.1 extrait de [6] récapitule les principales caractéristiques du LDACS-1 et LDACS2

	LDACS-1	LDACS-2
Bandes de fréquences	Forward Link (FL) : 985,5 - 1008,5 MHz ; Reverse Link (RL) : 1048,5 - 1071,5 MHz	960 - 975 MHz
Bande passante	498,05 kHz	200 kHz
Fréquence binaire	FL (303 - 1373 kbps) + RL (220 - 1038 kbps)	270,833 kbps (FL+RL)
Modulations	QPSK, 16-QAM, 64-QAM (dépend du bruit)	GMSK
Technique d'accès	FL : OFDMA RL : OFDMA/TDMA	TDMA comme pour le GSM

Tableau 1.1 : Quelques spécifications du LDACS-1 et LDACS-2

Les termes FL et RL représentent respectivement le lien dans le sens ascendant et descendant.

En attendant le choix définitif de l'un au l'autre des systèmes LDACS, l'architecture des émetteurs doit être améliorée pour prendre en compte l'augmentation du trafic, l'obsolescence des composants anciens et tenir compte des progrès technologiques incontestables du marché de l'électronique : utilisation de composants reconfigurables, augmentation de la part du traitement numérique en bande de base en utilisant des plates-formes performantes dédiées au traitement du signal telles que les DSP (Digital Signal Processor), les ASICS (Application Specific Integrated Circuits) ou encore les FPGA (Field Programmable Gate Array) de ces émetteurs qui permettront à terme une plus grande souplesse et reconfigurabilité.

Avant d'orienter nos travaux vers ces nouvelles architectures, il est nécessaire de présenter les architectures actuellement utilisées.

1.2. Architectures des émetteurs

Le synoptique simplifié d'un émetteur radio est proposé Figure 1.3.

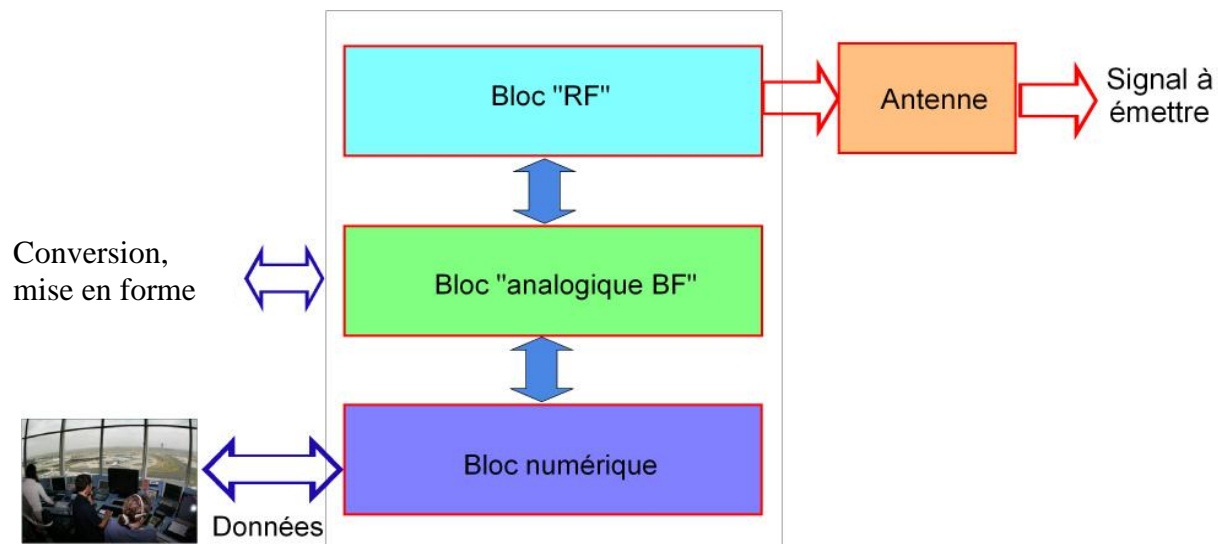


Figure 1.3 : Synoptique simplifié d'un émetteur radio

La structure d'un émetteur radio peut être découpée selon les blocs suivants :

- Bloc numérique : c'est le bloc qui gère toute la partie « traitement bande de base des signaux » de l'équipement.

Dans ce bloc, différentes fonctions sont réalisées pour la mise en forme du signal avant qu'il ne soit émis :

- Le codeur
Le bloc numérique ne traite que des signaux binaires. Le codeur permet éventuellement de supprimer des éléments binaires non significatifs (compression de données ou codage de source), ou au contraire d'introduire de la redondance dans l'information en vue de la protéger contre le bruit et les perturbations présentes sur le canal de transmission (codage de canal).

- Le modulateur numérique
La modulation a pour rôle d'adapter le spectre du signal au canal (milieu physique) dans lequel il est émis. Eventuellement, le signal peut être généré autour d'une fréquence porteuse, si la plateforme de traitement numérique peut la fournir.
- Le filtrage
Le filtrage permet de mettre en forme les signaux traités. Certains filtres présents dans le bloc numérique tel que le filtre de Nyquist sont nécessaires pour limiter la bande des signaux à émettre tout en évitant les phénomènes d'interférences inter-symboles qui peuvent dégrader de manière significative la qualité du signal à la réception. Il s'agit bien souvent du filtre en cosinus surélevé (Root Raised Cosine, RRC) qui permet de réduire la bande du signal numérique à un signal numérique de bande $B = \frac{(1+\alpha)}{2 \times T_s}$, où α est le coefficient de retombée appelé aussi roll-off et T_s , la durée d'un symbole.
- Bloc analogique BF
Dans ce bloc sont réalisés certaines opérations telles que la conversion numérique analogique et éventuellement une transposition de fréquence en bande intermédiaire.
- Bloc RF
Le rôle de ce bloc est principalement la conversion du signal sur une porteuse RF ainsi que l'amplification du signal à émettre.

L'architecture, ainsi décrite Figure 1.3 n'est qu'une vue simpliste de la réalité. Dans ce chapitre, les principaux types d'architectures qui peuvent être rencontrés dans la littérature sont exposés brièvement ainsi qu'une présentation de ce qu'est la radio logicielle qui représente les futurs équipements de radiocommunication. Les émetteurs UHF/VHF actuellement commercialisés et utilisés comme référence sont présentés pour mettre en évidence les difficultés de conception et ainsi proposer une nouvelle architecture d'émetteur aussi robuste que flexible pour prendre en compte l'évolution éventuelle des normes.

1.2.1. Emetteur hétérodyne ou superhétérodyne

L'architecture de l'émetteur hétérodyne est présentée sur la Figure 1.4.

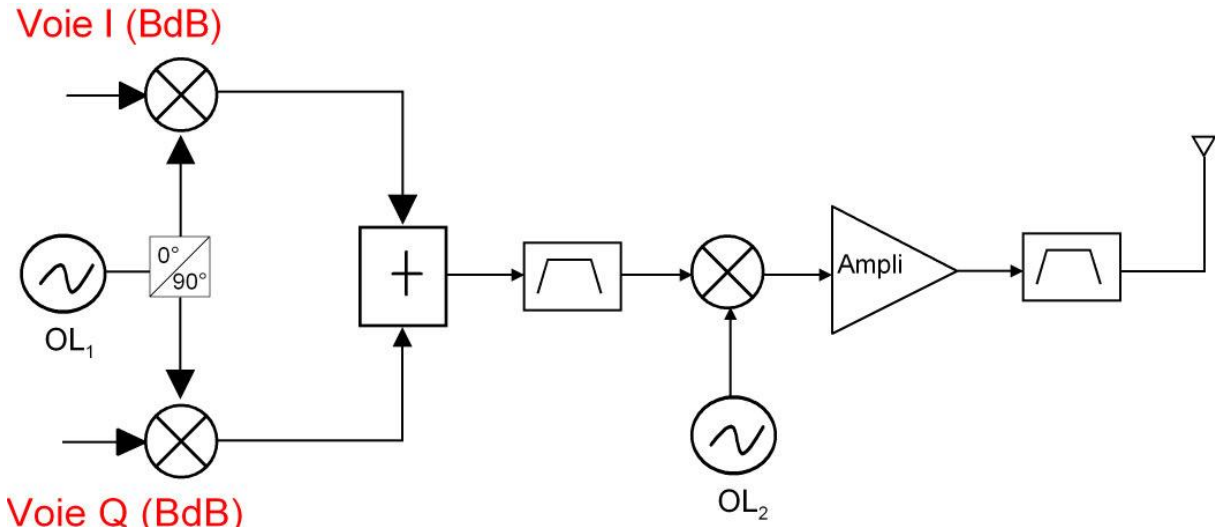


Figure 1.4 : Synoptique d'un émetteur hétérodyne

Ce type d'émetteur possède un changement de fréquence. Les signaux analogiques en bande de base I et Q sont transposés à une fréquence intermédiaire $f_{FI} = f_{OL1}$ grâce à deux mélangeurs en quadrature et recombinaison. Le signal ainsi obtenu est filtré pour supprimer les harmoniques de f_{FI} avant d'être transposé à la fréquence $f_{RF} = f_{OL1} + f_{OL2}$ mais aussi $f_{OL2} - f_{OL1}$. Ces deux fréquences sont le résultat du mélange avec l'oscillateur local OL_2 . Un filtre passe-bande est ensuite utilisé pour filtrer la bande indésirable $f_{OL2} - f_{OL1}$. L'intérêt de ce principe basé sur une fréquence intermédiaire fixe f_{FI} , réside dans le fait qu'il diminue les contraintes de filtrage. Il s'agit d'une architecture qui convient autant aux modulations à enveloppe non constante qu'aux modulations à enveloppe constante. La modulation en quadrature étant effectuée à une fréquence f_{FI} relativement faible par rapport à la fréquence RF, le désaccord de phase entre les voies I et Q est beaucoup plus faible comparé à une architecture homodyne [7].

Les fréquences image $f_{OL2} - f_{OL1}$ et utile $f_{OL2} + f_{OL1}$ sont de même puissance. Une atténuation de la fréquence image d'environ 50 à 60 dB est généralement suffisante pour éviter toute interférence. Le second filtre passe bande d'un ordre élevé, reste difficile à réaliser en termes d'encombrement et de coût (il induit une surconsommation non négligeable). De plus,

il est passif et ne peut pas être intégré sur une puce avec les autres composants de la chaîne RF [7].

1.2.2. Émetteur à conversion directe ou homodyne

Dans les émetteurs homodynes, un seul étage de conversion en fréquence est présent comme illustré sur la Figure 1.5.

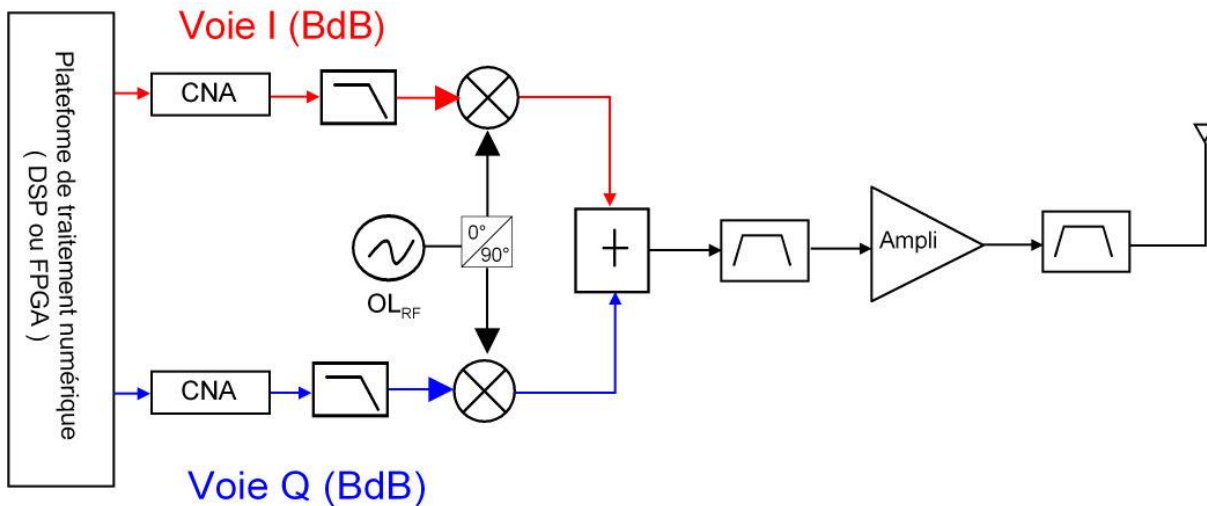


Figure 1.5 : Synoptique d'un émetteur à conversion directe

Le signal bande de base est directement modulé à la fréquence RF d'émission sans passer par une fréquence intermédiaire FI. Cette architecture, aussi appelée architecture zéro-FI en raison de l'absence de fréquence intermédiaire, est très compacte (peu de composants) et peut être facilement intégrée. Elle convient aux applications de type WCDMA où la surface et la consommation de courant sont des critères déterminants [8]. Toutefois, cette architecture souffre d'un important handicap : les phénomènes d'« injection pulling » et « injection locking » [9] [10]. Ces phénomènes interviennent en raison de la proximité entre l'oscillateur local et l'amplificateur de puissance. Lorsque deux systèmes oscillants se trouvent proches l'un de l'autre, ils ont tendance à s'accorder à la même pulsation par couplage. La puissance du signal modulé en sortie de l'amplificateur de puissance étant bien supérieure à celle de l'OL, le spectre de l'OL est dégradé par le bruit généré en sortie de l'amplificateur de puissance. On parle alors d'« injection pulling » lorsque l'amplitude du signal RF change et

« injection locking » lorsque la pulsation de l'OL varie [7]. Une bonne isolation entre l'étage de transposition et l'étage d'amplification permet d'atténuer le phénomène.

1.2.3. Émetteur Low-IF (faible fréquence intermédiaire)

L'émetteur Low-IF repose sur le même principe que l'émetteur hétérodyne à la différence que la fréquence d'OL est beaucoup plus basse. Le premier étage de mélange à la fréquence FI peut éventuellement être réalisé dans un circuit numérique. Cette architecture présente les mêmes avantages que l'émetteur à conversion directe. De plus, l'émetteur à faible fréquence intermédiaire permet de s'affranchir des problèmes d'offset de l'architecture homodyne. Une mauvaise sélection des fréquences d'OL produit des harmoniques en sortie [8]. Le filtre passe-bas qui suit le VCO doit être sélectif afin de garantir la qualité du signal de sortie.

1.2.4. Phase Lock Loop (PLL) à modulation directe

Le schéma de cette architecture extrait de [11] est proposé Figure 1.6. Il s'agit d'une architecture qui ne convient qu'aux modulations à enveloppe constante. Elle a été inventée pour répondre aux fortes contraintes de la norme GSM concernant le bruit dans la bande de réception [8] [9]. Le signal RF à amplifier est généré en sortie du VCO de la PLL. La sortie du VCO est injectée dans un comparateur de phase pour fournir un signal d'erreur qui, après filtrage, pilote le VCO.

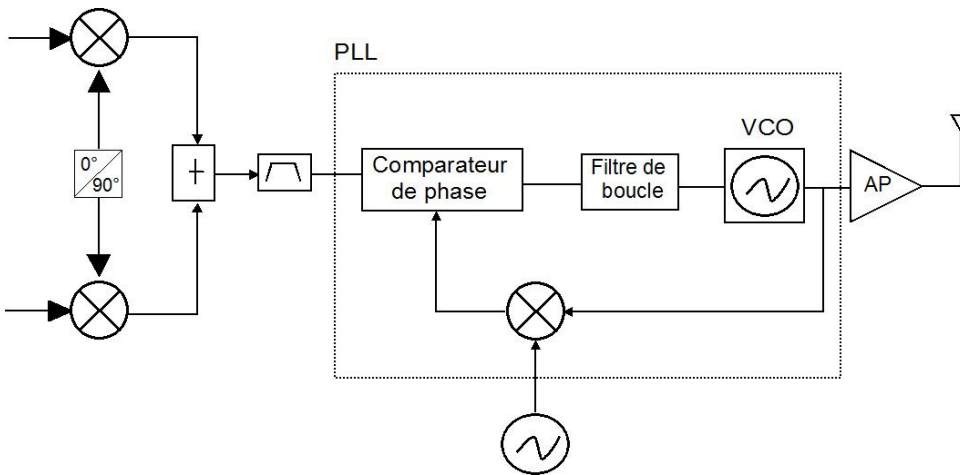


Figure 1.6 : Synoptique de l'émetteur « PLL à modulation directe »

Cette architecture souffre aussi du phénomène de « pulling » décrit précédemment. Une bonne isolation entre l'étage d'amplification et le VCO est nécessaire.

1.2.5. Conclusion

Les architectures présentées dans cette section sont des architectures qui peuvent être qualifiées de « traditionnelles ». Compte tenu de la multiplication des standards de communication, des besoins de débit de données de plus en plus élevés qui nécessitent l'utilisation de modulations de plus en plus complexes, de la volonté d'avoir des équipements « multi-standards » ou « multi-normes » que ce soit pour la navigation aérienne, la téléphonie mobile ou encore pour une utilisation militaire, la radio-logicielle est un concept de plus en plus développée même si à l'étape actuelle, une architecture radio logicielle idéale pour les fréquences porteuses visées est impossible en raison des différents verrous technologiques. Le paragraphe suivant détaillera les apports de la radio logicielle ainsi que ses avantages dans la conception des équipements de communications modernes.

1.3. Radio Logicielle

Le Dr. Joseph Mitola est à l'origine du concept de Radio Logicielle (RL). Le terme « Software Radio » n'a pas plus d'une quinzaine d'années [12]. Le principe de la RL est d'obtenir qu'un système matériel puisse être reconfiguré pour exécuter plusieurs fonctions radios différentes. Il existe plusieurs définitions de ce qu'est la RL dans la littérature. Toutes ces définitions renvoient au même objectif : la possibilité de reconfigurer le matériel sans intervention « physique » ou changement matériel. L'objectif de la radio logicielle est de réaliser en numérique ce qui auparavant était analogique afin d'être le plus reprogrammable possible. La RL doit apporter une uniformisation (architecture générique) et une simplification du matériel en permettant une reconfiguration (téléchargement) de tout ou partie des fonctions de l'appareil. Un système basé sur la RL doit être capable de se reconfigurer selon les paramètres de son environnement et peut être mis à jour facilement et rapidement. La Figure 1.7 extraite de [13] présente une architecture radio logicielle idéale.

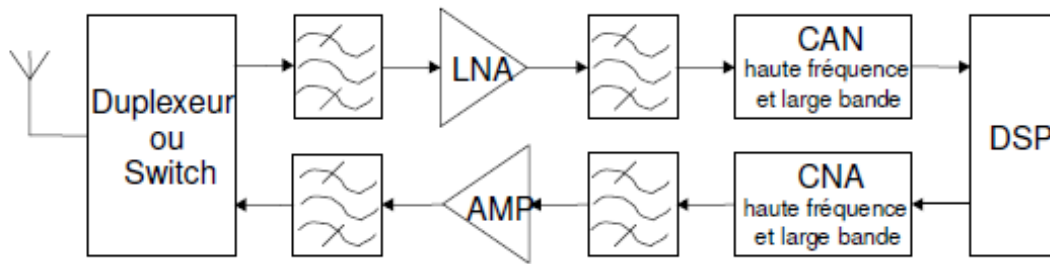


Figure 1.7 : Architecture simplifiée d'une radio logicielle idéale

Les conversions analogique/numérique ou numérique/analogique s'effectuent tout de suite après l'antenne et l'architecture est entièrement reprogrammable car le processeur de signaux est directement relié aux convertisseurs. Une radio logicielle met en œuvre deux notions fondamentales :

- La plate-forme « matérielle »
Une plate-forme est l'ensemble des matériels radios et des systèmes de traitement qui hébergent une ou plusieurs formes d'onde.
- Le logiciel
Une forme d'onde est l'ensemble des transformations algorithmiques appliquées à l'information pour la convertir en signal radio. Une forme d'onde est entièrement logicielle et définit les caractéristiques du signal RF, dont la fréquence, la modulation et le format. Les radios logicielles permettent l'utilisation de multiples formes d'ondes, éventuellement dans différentes bandes spectrales, pour différents usages, voire même de façon simultanée.

Néanmoins, la RL décrite ci-dessus n'est pas réalisable. La limitation est essentiellement liée aux performances des convertisseurs analogiques numériques (CAN) ou numériques analogiques (CNA). Ceci oblige à se tourner vers des solutions intermédiaires, d'où l'intérêt de la SDR (Software Defined Radio) ou RLR (Radio Logicielle Restreinte).

1.3.1. Différence entre « Software Radio » et « Software Defined Radio »

Il s'agit d'une architecture qui peut être qualifiée de pragmatique [13] (Figure 1.8).

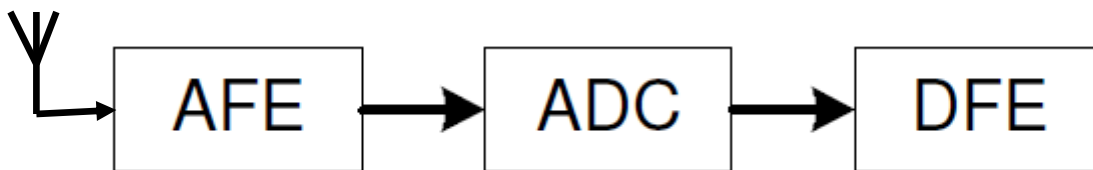


Figure 1.8 : Architecture RL pragmatique

L'architecture idéale n'étant pas réalisable à l'heure actuelle, les nombreux travaux existants sont orientés vers une solution intermédiaire. Il s'agit de la RLR ou SDR. Contrairement à la radio logicielle idéale dans laquelle la conversion analogique numérique est réalisée au niveau de la RF, la conversion se fait au niveau de la FI pour la SDR. Il s'agit donc d'une solution composée nécessairement d'une partie analogique et d'une autre numérique.

Dans cette configuration, la partie analogique est divisée en deux nouvelles parties séparées par le convertisseur AN ou NA : la première (Analog Front End, AFE) qui reste analogique car non réalisable en numérique actuellement et la seconde (Digital Front End, DFE) numérique qui réalise certaines anciennes fonctions analogiques.

Il est possible d'effectuer une classification du type de radio en fonction de l'endroit où l'on fixe la limite entre le sous-système matériel et le sous-système logiciel, et incidemment en fonction de son degré de reconfiguration. La Wireless Innovation Forum (WIF) propose une classification (Tableau 1.2) des systèmes radio logicielles en fonction du degré de reconfiguration.

Catégorie	Dénomination	Degré de reconfiguration
0	Radio matérielle	Radio qui ne peut être modifiée par logiciel ; reconfiguration par échange de composant
I	Radio contrôlée par logiciel	Reconfiguration logicielle limitée à un jeu prédéfini de paramètres (niveaux de puissance, interconnexions,...)
II	Radio définie par logiciel	Contrôle logiciel et reconfiguration des formes d'ondes, fréquence, bande passante, (dé)modulation, détection du signal, paramètre de

		sécurité, etc.
III	Radio logicielle idéale	Conversion analogique au niveau de l'antenne, tout le reste du système est reconfigurable..
IV	Radio logicielle ultime	Toute la radio est reprogrammable. Supporte simultanément plusieurs types de fonctions et différentes fréquences.

Tableau 1.2 : Classification des systèmes radio logicielle selon la WIF

1.3.2. Objectifs de la SDR

L'objectif ultime de la radio logicielle consiste en une dématérialisation complète de l'interface radio. Elle fait partie de la tendance globale des circuits électroniques à migrer du "tout transistor" vers le "tout logiciel". L'évolution ultime de la radio logicielle est la radio intelligente. Une radio intelligente est une radio logicielle dans laquelle les éléments de communication sont conscients de leur environnement (localisation, etc.) et de leur état interne, peuvent prendre des décisions en fonction de leur comportement et d'objectifs prédéfinis, et sont également capables d'apprentissage.

Les objectifs visés avec la SDR ne sont pas les mêmes dans le domaine de la téléphonie mobile, la navigation aérienne ou maritime ou encore la sécurité, etc.

Pour la téléphonie mobile par exemple, il existe une multitude de standards et normes. La SDR est une solution permettant une interopérabilité entre les différents opérateurs.

Dans le domaine de la sécurité publique, lors de catastrophes naturelles, les forces d'intervention d'urgence provenant de différents pays n'arrivent pas à coordonner leurs actions en raison des différents types d'équipements utilisés. Ce genre de situation diminue l'efficacité des actions menées. La SDR peut permettre de surmonter ces problèmes d'incompatibilité entre les équipements provenant de différents pays.

Il en est de même aussi pour les forces armées de différents pays qui rencontrent des difficultés à communiquer entre eux et pour lesquelles la sécurité et la fiabilité des informations échangées représentent des points très critiques.

1.3.3. Avancées dans la Radio logicielle

Les dernières évolutions dans l'aéronautique en matière de RL concernent les radios interopérables dans le cadre de la mise en réseaux des unités sur le terrain. Celles-ci s'appuient sur le standard SCA (Software Control Architecture) et offrent une capacité haut débit sécurisé permettant des échanges de données, de phonie et de vidéo en réseau. Dans le domaine de l'ATC (Air Traffic Control), les RLs mises en œuvre pour assurer le contrôle des aéronefs militaires et civils sont de technologie duale. Leur moteur logiciel permet un choix de forme d'onde multiples mais n'est utilisé que pour des échanges de phonie et de données. Les travaux menés dans le cadre de la mise en œuvre du ciel unique européen au travers du programme SESAR [14] [15] et aux Etats Unis aux travers du programme NextGen [16] [17] tendent vers une gestion dynamique des bandes spectrales, de la forme d'onde, de la puissance émise en émission ou de la marge de sensibilité en réception [18].

1.3.4. Emetteurs UHF Telerad : défis de conception

Telerad développe, conçoit et fabrique entre autres des équipements radio dans les deux bandes (UHF et VHF). Les études menées dans le cadre de cette thèse ont été développées essentiellement sur des émetteurs UHF en mode VDL2. Ce mode se caractérise principalement par la modulation D8PSK. Précisons toutefois qu'il n'existe pas de spécifications de l'ETSI pour les émetteurs UHF avec une modulation D8PSK. Ce mode a été privilégié en raison de toutes les difficultés qu'il concentre dans la conception d'émetteur radio RF (UHF et VHF confondus). Les spécifications seront dès lors celles de l'EN 301 841-1 pour la VHF VDL en mode 2 à l'exception de la bande de fréquence qui sera celle de l'UHF (225 MHz - 400 MHz). Le Tableau 1.3 récapitule quelques spécifications de ce mode :

Largeur du canal principal	10 kHz
Type de modulation	D8PSK
Puissance moyenne dans le canal principal	47 dBm
Mesure ACP	
Espacement entre les canaux	16 kHz
Bande du canal principal	10 kHz

Interférence dans le 1 ^{er} canal adjacent (16 kHz)	-60 dB
Interférence dans le 2 nd canal adjacent (16 kHz)	-70 dB
Interférence dans le 4 ^{ème} canal adjacent (25 kHz)	-80 dB
Mesure EVM	
EVM max	6%
Mesure bruit	
Bruit lointain	-152 dBc/Hz

Tableau 1.3 : Quelques spécifications des émetteurs UHF mode 2

L'augmentation du trafic et des volumes de données échangées entre les stations de base et les équipements, la saturation des bandes actuelles allouées aux communications aéronautiques obligent les industriels opérant dans le secteur aéronautique à anticiper l'évolution des standards et ainsi proposer de nouveaux émetteurs qui devront satisfaire ces nouvelles spécifications. La partie RF de la plupart des émetteurs disponibles sur le marché est difficilement reconfigurable. De plus, les éléments constituant le système sont analogiques. La radio logicielle dans ce contexte peut être une réponse aux différents problèmes posés lors de la conception d'émetteurs/récepteurs radio en intégrant de manière numérique quelques fonctions analogiques.

Comme tout système de transmission moderne, les émetteurs UHF peuvent être décomposés en 2 grands blocs :

- Un bloc numérique qui gère le traitement bande de base du système,
- Une partie RF qui rassemble tous les composants analogiques

Dans la chaîne de transmission, la conception de certains composants ou étages pose des problèmes techniques en raison de spécifications strictes concernant ces émetteurs.

Les difficultés de conception de ces émetteurs sont liées à la réduction des bruits proche et lointain.

- Pour réduire le niveau des distorsions dans les canaux adjacents au canal utile ou le bruit proche, une méthode de linéarisation de l'amplificateur de puissance est souvent associée à l'architecture de l'émetteur.
- La question du bruit lointain, notamment du niveau des harmoniques d'ordre pair est résolue en choisissant une structure d'amplificateur de puissance adaptée. Du type de structure choisi, découle le type de filtre à placer en sortie de l'amplificateur de puissance ainsi que son ordre (généralement élevé). Le niveau de bruit en sortie de l'amplificateur de puissance dépend directement de la qualité du synthétiseur de fréquence. Ces synthétiseurs sont en effet développés spécialement pour tenir les contraintes de bruit en sortie de l'amplificateur de puissance.

L'architecture actuelle des émetteurs est une architecture basée sur la boucle cartésienne (voir Chapitre 2).

1.4. Conclusion

Dans ce chapitre ont été abordées les normes en vigueur dans le domaine des équipements d'aide à la navigation aérienne ainsi que les différentes architectures d'émetteurs traditionnelles rencontrées dans la littérature pour cette application. L'architecture radio logicielle idéale étant impossible à l'heure actuelle, une solution partielle est d'implémenter le maximum de fonctions par des techniques numériques, ce qui les rend plus facilement reconfigurable.

La question qui se pose aujourd'hui est de savoir si l'architecture actuelle basée sur la boucle cartésienne est la plus adaptée. Les standards sont amenés à évoluer et doivent inclure différentes modulations qui doivent cohabiter dans un même équipement. La tendance aujourd'hui est orientée vers des équipements multi-standards. Il faut donc porter une attention toute particulière à la structure la plus adaptée à ces évolutions. Avant d'aborder les différentes architectures possibles, le prochain chapitre est consacré à l'étude des amplificateurs de puissance ainsi que les méthodes de linéarisation qui peuvent y être associées en fonctions des contraintes du cahier des charges.

Chapitre 2. Amplificateur de puissance et linéarisation des émetteurs

Dans les systèmes de communications radios, selon la nature du signal (signal à enveloppe variable ou constante) en entrée de l'AP, des distorsions plus ou moins importantes peuvent être observées en sortie. Pour les signaux à enveloppe constante, l'utilisation de l'AP en zone non linéaire (pour augmenter le rendement) entraîne peu ou pas de distorsions en sortie de l'AP. Par contre, pour des signaux à enveloppe variable, l'utilisation de l'AP dans la même zone engendre des distorsions qui doivent être corrigées. Pour répondre aux exigences de linéarité et/ou de rendement des différents standards et normes, il faut trouver des techniques qui permettent de retrouver en sortie des APs des signaux amplifiés mais très peu ou pas distordus. L'objectif de ce chapitre est de fournir une description détaillée de la fonction d'amplification de puissance ainsi que des différentes méthodes existantes pour corriger les non-linéarités engendrées en fonction de l'application.

2.1. L'amplificateur de puissance

Dans la majorité des systèmes de transmission, la puissance d'émission du signal doit être suffisamment importante pour pouvoir être reçue par l'antenne du récepteur et ne pas être noyée dans le bruit. Pour une liaison point à point, l'atténuation en espace libre d'une onde radio dépend de la distance d et de la longueur d'onde λ . Elle s'exprime en dB par la relation

(2.1) :

$A = 10 \times \log \left(\frac{4 \times \pi \times d}{\lambda} \right)^2$	(2.1)
-----------------------------------------------------------------------------	-------

Cette atténuation étant généralement importante, un amplificateur de puissance est nécessaire pour fournir un niveau de puissance suffisant à l'antenne d'émission. Le fonctionnement de cet élément illustré Figure 2.1 dépend essentiellement des éléments actifs, c'est-à-dire des transistors. Ces transistors ont besoin d'une source externe qui va fournir l'énergie nécessaire à cette opération d'amplification et permettre d'obtenir la puissance voulue à l'émission.

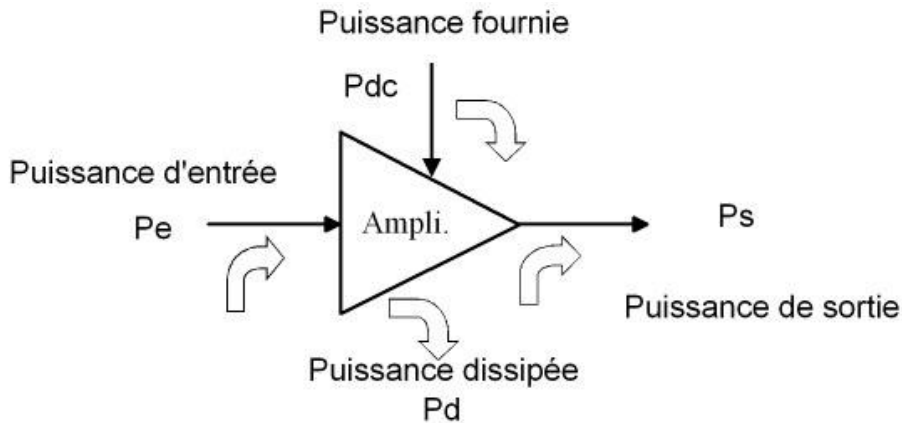


Figure 2.1 : Schéma d'un amplificateur de puissance

Le bilan de puissance dans un amplificateur de puissance est donné par la relation (2.2) et illustrée à la Figure 2.1.

$P_d = P_{dc} + P_e - P_s$	(2.2)
----------------------------	---------

P_e représente la puissance du signal en entrée, P_{dc} la puissance continue fournie par l'alimentation, P_s est la puissance de sortie qui sera envoyée à l'antenne d'émission et P_d la puissance dissipée par effet joule.

L'objectif pour le concepteur est de minimiser P_d et de transmettre le maximum de puissance à l'antenne. Le rendement de sortie d'un amplificateur est une caractéristique qui permet d'indiquer la proportion selon laquelle la puissance délivrée par la source de puissance P_{dc} (Batterie d'un terminal mobile, source d'énergie d'une station de base) est transformée en puissance RF de sortie. Ce facteur permet d'avoir une estimation de la valeur de la puissance P_d lors de la conception de systèmes de refroidissement ou d'évacuation de la chaleur des étages d'amplification. Il existe plusieurs définitions du rendement d'un amplificateur de puissance. La plus usitée est donnée par la relation (2.3). Ce rendement est défini comme étant le rapport entre la puissance de sortie P_s et la puissance P_{dc} fournie.

$\eta = \frac{P_s}{P_{dc}}$	(2.3)
-----------------------------	---------

Lorsque l'amplificateur présente un gain de puissance peu élevé, la définition du rendement de (2.4) doit tenir compte de la puissance d'entrée P_e . Il est question alors de rendement en

puissance ajoutée ou PAE (Power added Efficiency). Ce rendement rend mieux compte de la conversion de l'énergie DC en énergie utile et tient compte de la puissance d'entrée du signal. Pour des amplificateurs ayant un gain important, P_e est négligeable devant P_s et ces deux rendements sont proches.

$\eta = \frac{P_s - P_e}{P_{dc}}$	(2.4)
-----------------------------------	---------

La courbe de la Figure 2.2 illustre la caractéristique générale d'un amplificateur de puissance qui traduit l'évolution de la puissance de sortie en fonction de la puissance en entrée. L'amplificateur de puissance présente trois zones de fonctionnement. Chacune de ces zones de fonctionnement détermine le comportement de l'amplificateur. Il existe de nombreuses classes de fonctionnement des amplificateurs. On parle d'amplificateurs analogiques lorsque l'amplificateur est polarisé dans l'une des classes A, B, AB ou C. Les amplificateurs sont classés dans les catégories D, E, F lorsqu'ils fonctionnent en commutation [19]. Les classes des amplificateurs les plus utilisées sont les classes A, B, AB et C.

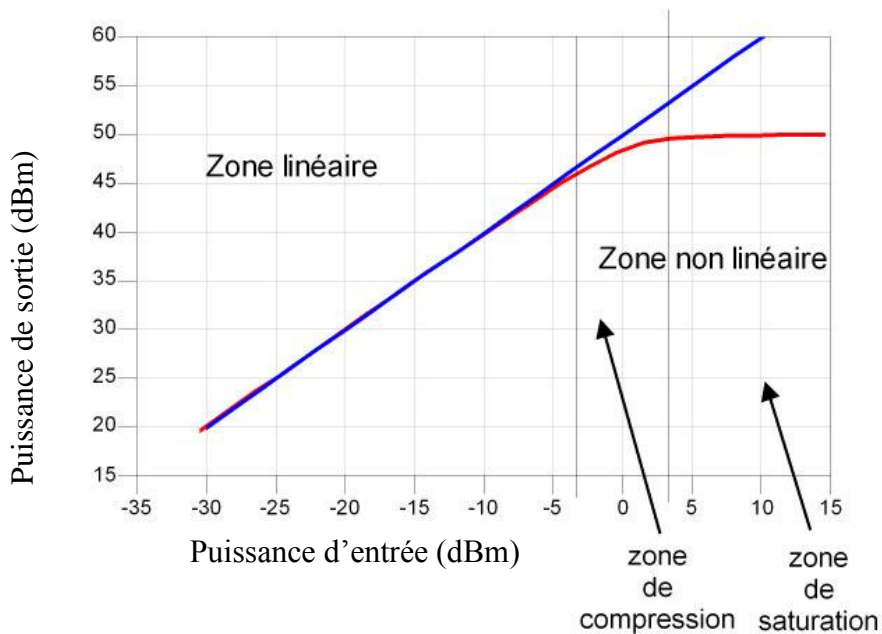


Figure 2.2 : Variation de la puissance de sortie en fonction de la puissance d'entrée

Dans la zone linéaire, le gain G de l'amplificateur de puissance est défini par l'équation (2.5)

$G = \frac{P_s}{P_e}$	(2.5)
-----------------------	---------

Cette relation est valable lorsque l'amplitude du signal d'entrée varie faiblement autour du point de fonctionnement appelé aussi point de repos choisi dans cette zone linéaire.

Dans la zone de saturation, la puissance de sortie reste constante quelque soit la puissance du signal d'entrée. Les distorsions sont alors très importantes.

La zone située entre la zone linéaire et la zone de saturation est appelée zone de compression. C'est dans cette zone que le signal de sortie n'est plus proportionnel au signal d'entrée. La courbe commence à s'incurver par rapport à la caractéristique linéaire. Les distorsions apparaissent et sont de plus en plus importantes. Le gain de l'amplificateur de puissance diminue pour de fortes puissances d'entrée. Le point de la courbe où la puissance de sortie est 1dB en dessous de la courbe linéaire est appelé point de compression en sortie à 1 dB [20].

La courbe de la Figure 2.2 est aussi appelée courbe de conversion AM/AM. Il existe une autre courbe qui traduit la variation de la phase du signal de sortie en fonction de la puissance d'entrée. Il s'agit de la courbe de conversion AM/PM.

2.1.1. Les classes d'amplificateur de puissance

La définition d'une classe d'amplification est directement liée à l'angle de conduction θ du courant de drain de l'amplificateur de puissance.

L'angle de conduction θ peut être défini par la portion du cycle du signal d'entrée RF pendant lequel le transistor génère du courant. Pour plus de détail, le lecteur pourra se référer aux documents de [21], [22] et [23] qui décrivent en détail le principe des différentes classes d'amplificateur de puissance en fonction de la polarisation du transistor. Ainsi les classes A, AB, B et C. sont parmi les classes les plus utilisées. Il existe d'autres classes d'amplificateurs appelées classes commutées. Dans ces classes, le transistor est adapté de manière spécifique pour lui permettre de travailler en mode commuté garantissant de grands niveaux d'efficacité énergétique [21]. Ce sont les classes D, E et F.

2.1.1.1. Classes A, AB, B et C

- L'amplificateur de classe A possède une caractéristique linéaire et les signaux amplifiés subissent des distorsions faibles au prix d'un rendement également faible. En effet, le rendement maximal théorique d'un amplificateur de classe A est de 50% [24] [19] mais en raison des exigences de linéarité des applications, le rendement est plutôt limité à 25%. L'angle de conduction vaut $\theta = 2\pi$, c'est-à-dire que le transistor conduit tout le temps. Cette classe d'amplificateur est utilisée pour l'étage de pré-amplification où une forte efficacité n'est pas requise, efficacité qui est assurée par le dernier étage d'amplification. Pour des applications dont la durée de vie de la batterie (donc efficacité énergétique importante) est un enjeu important, l'utilisation de cette classe d'amplificateur ne convient pas.
- Le rendement d'un amplificateur de classe B est sensiblement meilleur que celle d'un amplificateur de classe A. Il atteint 78% [24] [19] tout en fournissant un certain niveau de linéarité. L'angle de conduction θ pour cette classe est égal à π .
- La classe AB offre un bon compromis entre linéarité et efficacité énergétique. L'angle de conduction θ est compris entre π et 2π . C'est la classe la plus exploitée.
- L'amplificateur de classe C a une caractéristique non linéaire très prononcée. L'angle de conduction est inférieur à π . Il en résulte de tels niveaux de distorsions des signaux amplifiés que ces amplificateurs ne conviennent pas aux applications nécessitant un niveau de linéarité élevé.

Le Tableau 2.1 extrait de [19] et [25] résume les caractéristiques des classes d'amplificateurs les plus couramment utilisées.

Classe	Angle de conduction (θ)	Puissance de sortie	Rendement Maximal	Gain	Plage de Linéarité
A	2π	Satisfaisante	50%	Important	Grande
B	π	Moyenne	78.5%	Moyen	Moyenne
AB	Entre 2π et π	Moyenne	50% à 78.5%	Satisfaisant	Satisfaisante
C	Inférieur à π	Faible	100%	Faible	Faible

Tableau 2.1 : Caractérisation des classes d'opération A, AB, B et C

2.1.1.2. Classes E et F

Les classes E et F sont principalement utilisées pour l'amplification de signaux à enveloppe constante où les spécifications de linéarité peuvent être relâchées en raison de leur efficacité énergétique très élevée. Ces solutions sont très développées pour les applications RF.

- Classe F
Un amplificateur de classe F est un amplificateur polarisé en classe B auquel est ajouté une succession de filtres à la sortie du transistor afin de contrôler les harmoniques d'ordre impairs créées [21] [26]. Un exemple de ce type de circuit est présenté Figure 2.3 [27]. Selon le circuit de cette figure, l'harmonique d'ordre 3 réfléchi s'ajoute au signal de sortie du drain créant ainsi un signal avec une plus grande amplitude pour une même consommation DC. La Figure 2.4 montre la forme d'onde du signal de sortie correspondant à ce circuit. L'augmentation de l'amplitude du signal produit entraîne une augmentation proportionnelle de l'efficacité énergétique du transistor. On se retrouve ainsi avec une configuration permettant d'obtenir une efficacité énergétique supérieure à celle d'un transistor polarisé en classe B.

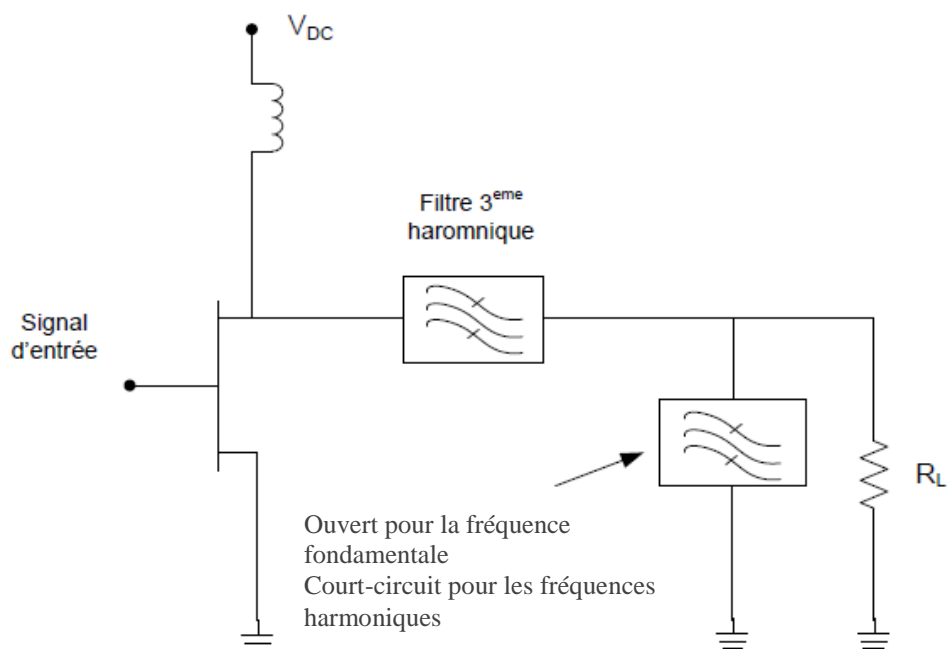


Figure 2.3 : Circuit simplifié d'un amplificateur de classe F

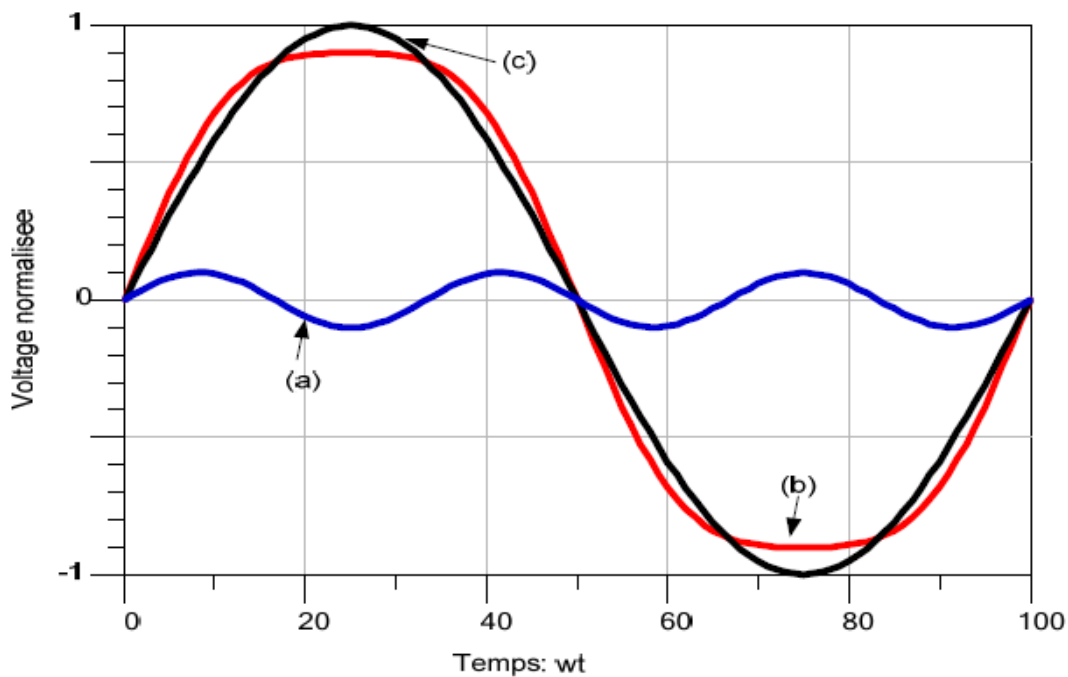


Figure 2.4 : Tension de drain d'un amplificateur de classe F : (a) 3eme harmonique, (b) tension du drain, (c) tension de sortie

- **Classe E**
 Dans la classe E, le transistor opère comme un interrupteur. L'efficacité énergétique avec un amplificateur classe E est théoriquement de 100% [21] [28]. En prévenant grâce à un circuit d'adaptation judicieusement choisi la présence simultanée dans le temps d'un courant et d'une tension de haut niveau, la consommation DC du transistor est largement minimisée, voire annulée en théorie. Une illustration graphique du courant et de la tension du drain est présentée à la Figure 2.5 [27]. Le chevauchement partiel entre ces deux grandeurs dans le temps, inévitable dans la réalité, entraîne une certaine consommation DC. Cette consommation explique l'obtention de valeurs d'efficacité énergétique inférieures à la valeur théorique de 100%.

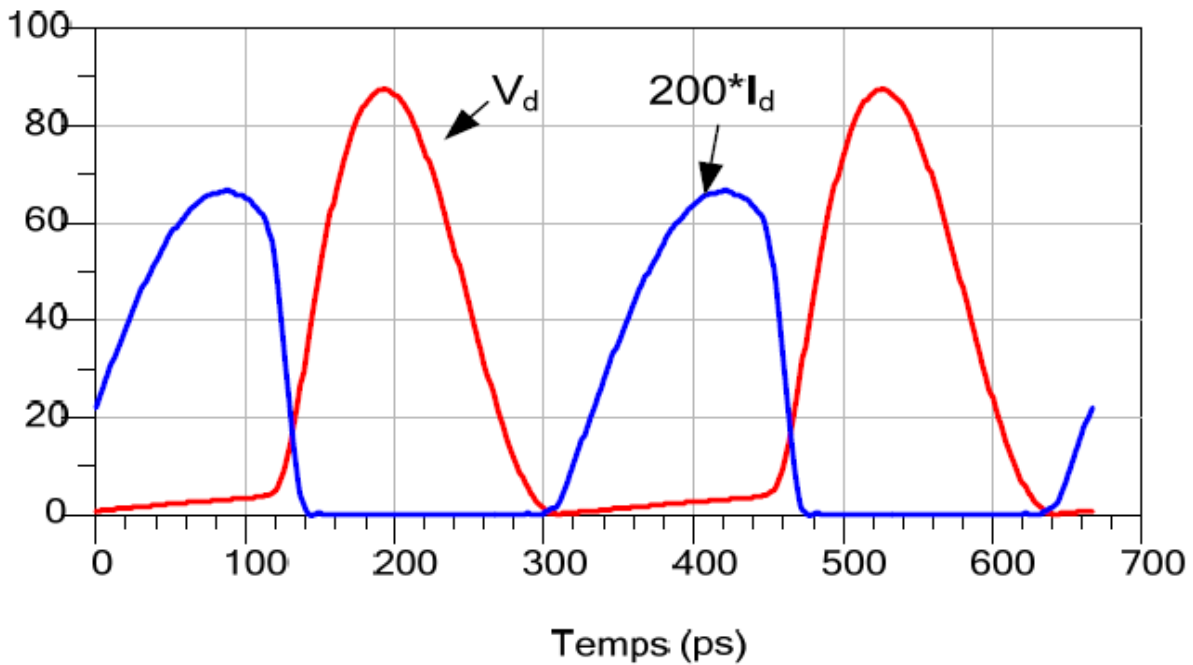


Figure 2.5 : Tension et courant du drain d'un amplificateur de classe E

2.1.2. Caractéristiques AM/AM et AM/PM

L'amplificateur de puissance constitue l'un des points les plus délicats lors de la conception d'un émetteur RF. Selon les niveaux de puissances en entrée, le comportement de l'amplificateur de puissance sera plus ou moins linéaire. Le fonctionnement linéaire de l'amplificateur se traduit par la relation (2.6)

$V_s(t) = a_0 + (a_1 \times V_e(t))$	(2.6)
--------------------------------------	---------

où a_1 désigne le gain de l'amplificateur de puissance et a_0 correspond à la sortie DC.

Pour optimiser leur rendement (ou efficacité énergétique), les amplificateurs de puissance travaillent généralement proche de la zone de saturation. Ainsi pour des niveaux de puissance d'entrée ayant une forte dynamique, l'amplificateur n'a plus un comportement linéaire et génère des distorsions. Ces distorsions peuvent être caractérisées par les courbes AM/AM et AM/PM (Figure 2.6) qui donnent respectivement la puissance et la phase du signal de sortie en fonction de la puissance du signal d'entrée. Lorsque les signaux en entrée de l'amplificateur sont à enveloppe constante, il est possible de travailler proche de la zone de saturation de l'amplificateur (efficacité maximale) avec pour conséquence peu ou pas de distorsions en sortie.

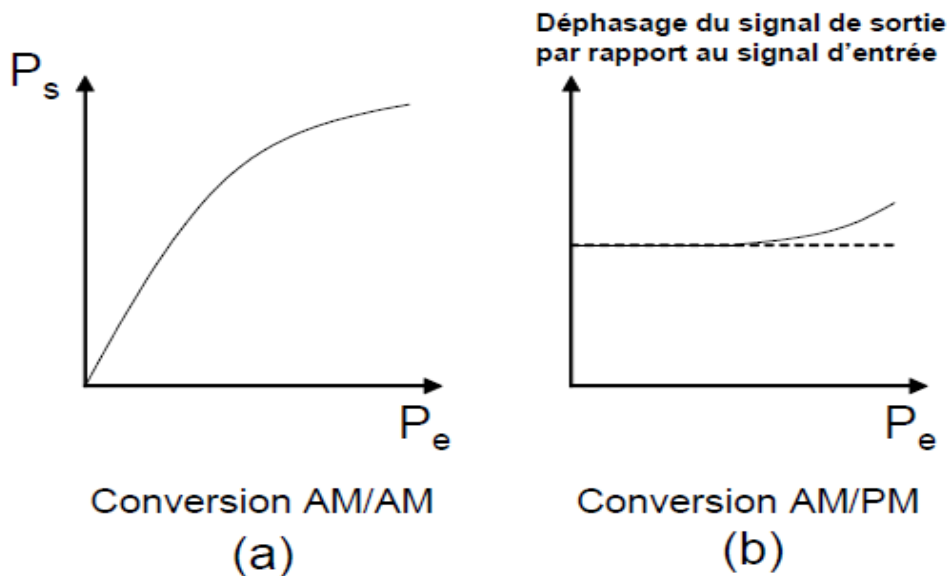


Figure 2.6 : (a) Conversion AM/AM; (b) Conversion AM/PM

- Les distorsions de phase impliquent une déformation de la constellation du signal d'entrée.
- Les distorsions d'amplitude engendrent des remontées spectrales en dehors du canal utile et participe également à la déformation de la constellation.

La Figure 2.7 récapitule les conséquences des non-linéarités de l'amplificateur de puissance sur un signal à bande étroite modulé numériquement.

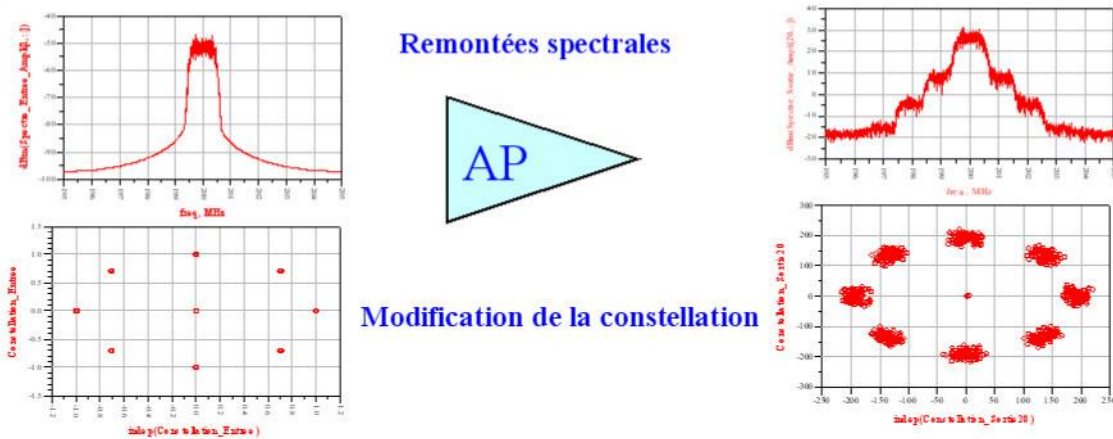


Figure 2.7 : Distorsions du signal de sortie de l'amplificateur de puissance

Les remontées spectrales peuvent gêner le bon fonctionnement d'applications qui émettent dans ces canaux adjacents si les niveaux de puissance sont trop élevés. L'ACPR, défini pour chaque norme, donne l'écart minimum entre la puissance du signal dans le canal principal et les canaux adjacents sur des bandes de fréquences prédéfinies. La déformation de la constellation peut entraîner une augmentation de la probabilité d'erreur sur les symboles reçus. L'EVM décrit l'écart maximum entre la constellation émise et reçue.

- Harmoniques et produits d'intermodulation
 Pour les signaux sinusoïdaux un et deux tons, la non-linéarité de l'amplificateur de puissance engendre des signaux de fréquences différentes de celles du signal entrant : ce sont les harmoniques et les produits d'intermodulation d'ordre pair et impair (Figure 2.8).

La distorsion harmonique [29] d'un amplificateur correspond à la génération de nouvelles composantes à des fréquences multiples des fréquences fondamentales. Ainsi l'harmonique d'ordre 2 d'une raie fondamentale correspond à 2 fois la fréquence de cette raie. Le plus souvent ces harmoniques peuvent être facilement éliminées ou du moins suffisamment atténuées par filtrage.

Le test 2 tons (utilisation d'un signal contenant deux composantes fréquentielles) (Figure 2.8) permet de mettre en évidence l'apparition de nouveaux contenus spectraux en sortie de l'amplificateur de puissance lorsque celui-ci est excité en entrée par deux raies spectrales assez proches [21] [22].

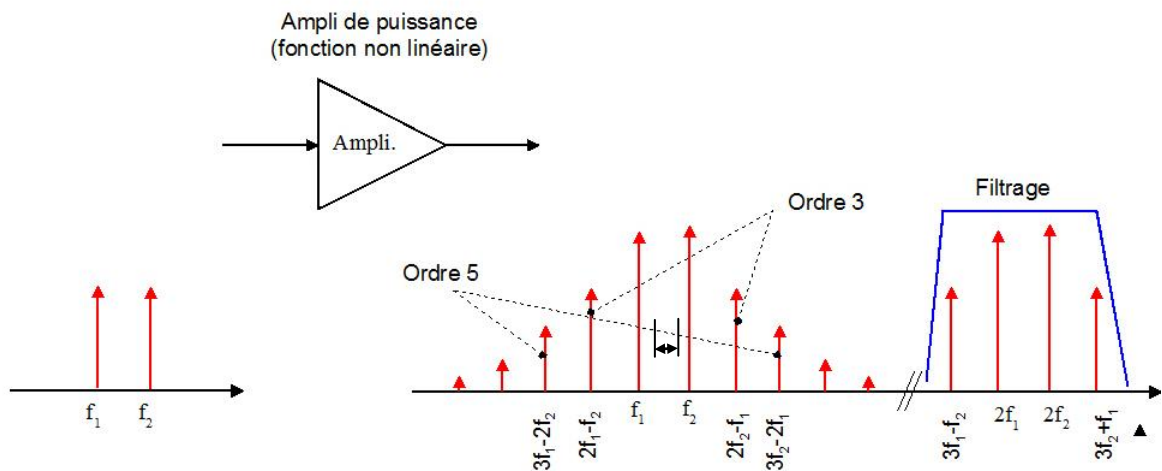


Figure 2.8 : Test 2 tons et produits d'intermodulation

Les raies d'intermodulation correspondent à la génération de composantes fréquentielles autour des raies fondamentales et des raies harmoniques. Il s'agit des fréquences du type $mf_1 \pm nf_2$ ($m, n \in \mathbb{N}$). Un produit d'intermodulation est défini par son ordre. Dans le cas d'un signal d'entrée à deux porteuses, l'ordre est donné par $m + n$. Les produits d'ordre pair sont généralement loin de la bande utile et peuvent être supprimés par filtrage. Les produits d'ordre impair sont plus gênants car situés trop près du signal utile. Ils ne peuvent être atténués par filtrage. Prenons l'exemple du produit d'intermodulation d'ordre 3 (ce sont les raies les plus proches des raies fondamentales). Pour des niveaux d'entrée inférieurs au point de compression, les niveaux des raies d'intermodulation d'ordre 3 s'alignent sur une droite de pente 3[29]. Les droites de pente 1 et de pente 3 se coupent en un point où la puissance de sortie des signaux est égale au produit d'intermodulation. Ce point s'appelle point d'interception d'ordre 3. Il est à noter que ce point n'est qu'un outil mathématique. Il n'est pas mesurable car en réalité le niveau des raies d'intermodulation n'atteint jamais le niveau des raies fondamentales. Ainsi sur une échelle logarithmique puissance d'entrée - puissance de

sortie, une augmentation du signal d'entrée de 1 dB se traduit pas une augmentation de 3 dB du produit d'intermodulation d'ordre 3.

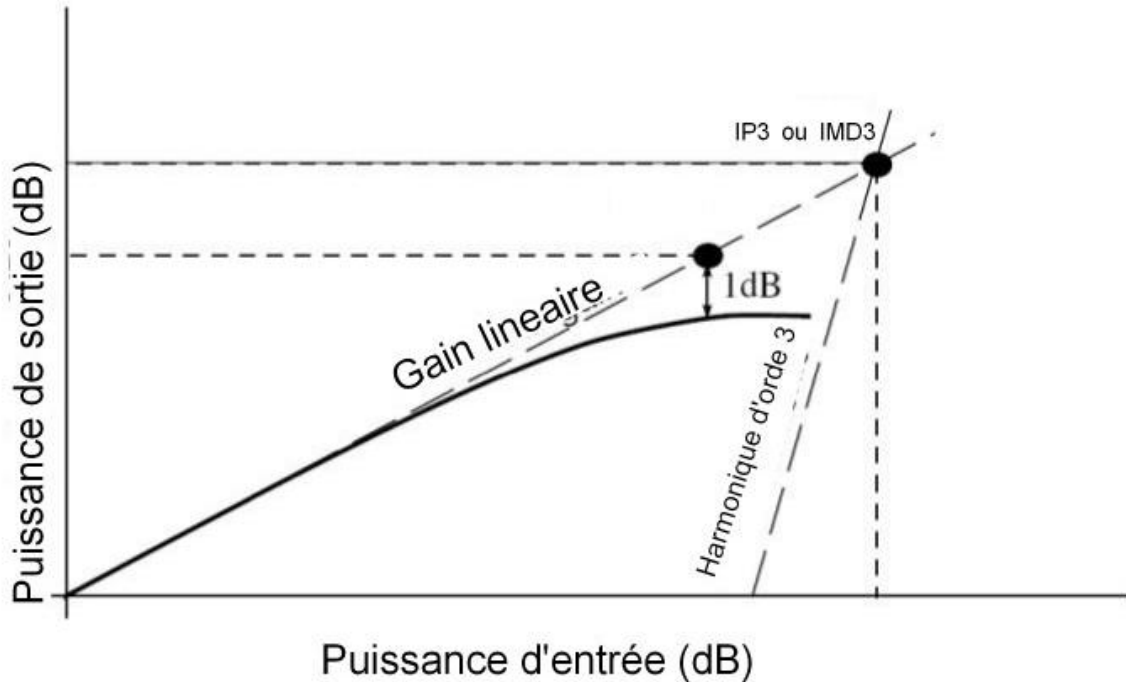


Figure 2.9 : Illustration des points de compression à 1dB et d'interception d'ordre 3

Le degré de distorsion introduit par les raies d'intermodulation est indiqué par la mesure de la protection. La protection est définie comme étant la différence entre la puissance du signal de sortie et le niveau des raies d'intermodulation d'ordre n. Pour une puissance d'entrée inférieure au point de compression, le point d'interception est défini par la relation (2.7) :

$PIMD_{(n)} = n \times P - (n - 1) \times PI_{(n)}$	(2.7)
-----------------------------------------------------	-------

Où :

n est le produit d'intermodulation

$PIMD_{(n)}$ représente la puissance des raies d'intermodulation d'ordre n en dBm (puissance entrée ou sortie)

P est la puissance des raies fondamentales en dBm (puissance en sortie ou entrée)

$PI_{(n)}$ est la puissance d'interception d'ordre n (puissance entrée ou sortie)

2.1.3. Modélisation d'un amplificateur de puissance

Il existe différents modèles pour modéliser un amplificateur de puissance. Nous allons présenter deux de ces modèles : le modèle polynomial et le modèle de Saleh. Le signal modulé en entrée de l'amplificateur de puissance peut s'écrire [19] :

$x(t) = A(t) \times \cos(\omega_0 t + \varphi(t))$	(2.8)
----------------------------------------------------	---------

L'expression du signal en sortie de l'amplificateur $y(t)$ peut s'écrire (2.9) :

$y(t) = F_A[A(t)] \times \cos[\omega_0 t + \varphi(t) + F_\varphi(A(t))]$	(2.9)
---------------------------------------------------------------------------	---------

$A(t)$ et $\varphi(t)$ représentent respectivement l'amplitude et la phase du signal bande de base.

$F_A[A(t)]$ correspond à la conversion AM/AM et $F_\varphi[A(t)]$ à la conversion AM/PM de l'amplificateur de puissance.

2.1.3.1. Modèle polynomial

Il s'agit d'un modèle simple communément utilisé pour représenter dans une première approche les non-linéarités de l'amplificateur. Ce modèle traduit l'évolution de la puissance de sortie en fonction de la puissance d'entrée sous la forme d'un polynôme de la forme [30] :

$y(t) = \sum_{k=1}^K a_k x^k(t)$	(2.10)
----------------------------------	----------

$x(t)$ et $y(t)$ sont respectivement les signaux d'entrée et de sortie de l'amplificateur de puissance. Les coefficients a_k sont déterminés de façon expérimentale. Pour un amplificateur de puissance modélisé par la relation (2.10) les conversions AM/AM et AM/PM [19] s'écrivent :

$F_A[A(t)] = \sum_{m=0}^{\frac{K-1}{2}} \frac{a_{2m+1}}{a^{2m}} \binom{2m+1}{m+1} [A(t)]^{2m+1}$ $F_\varphi[A(t)] = 0$	(2.11)
------------------------------------------------------------------------------------------------------------------------	----------

On peut remarquer que la distorsion de phase n'apparaît pas dans ce modèle. Un système non-linéaire « sans mémoire » ne peut engendrer que de la distorsion d'amplitude, et jamais de la distorsion de phase. S'il y a de la distorsion de phase, le système doit forcément posséder de la mémoire [30] [31] [19].

2.1.3.2. Modèle de Saleh

Il s'agit d'un modèle proposé par [32] pour modéliser les amplificateurs de puissance à ondes progressives. Les caractéristiques de transfert AM /AM et AM/PM sont données par les relations (2.12) et (2.13) :

$F_A[A(t)] = \frac{\alpha_a[A(t)]}{1 + \beta_a[A(t)]^2}$	(2.12)
----------------------------------------------------------	----------

$F_\varphi[A(t)] = \frac{\alpha_\varphi[A(t)]^2}{1 + \beta_\varphi[A(t)]^2}$	(2.13)
------------------------------------------------------------------------------	----------

Notons que pour de grandes valeurs de l'amplitude $A(t)$, $F_A[A(t)]$ est proportionnel à $1/A(t)$ et $F_\varphi[A(t)]$ s'approche d'une constante. Dans [32], les valeurs des paramètres α_a , β_a , α_φ et β_φ sont obtenues par des mesures expérimentales dans un contexte de transmission multiporteuses et sont données par : $\alpha_a = 1.9638$, $\beta_a = 0.9945$, $\alpha_\varphi = 2.5293$ et $\beta_\varphi = 2.8168$.

2.1.3.3. Effet mémoire des amplificateurs

Un dispositif est à mémoire si à un instant donné le signal de sortie dépend du signal d'entrée à cet instant et à des instants précédents. En pratique, les amplificateurs sont des dispositifs à mémoire et présentent des caractéristiques de transferts AM/AM et AM/PM qui dépendent de la fréquence, ce qui doit être pris en compte dans des applications large bande [19] [33] [34] . Le phénomène de l'effet mémoire est dû au stockage de l'énergie dans le composant (l'amplificateur de puissance) [19]. Cette énergie peut être stockée sous une forme électrique ou sous forme thermique. C'est la constante de temps de la charge et de la décharge de cette énergie qui détermine la gamme de fréquence où agit l'effet mémoire.

On distingue en général deux types d'effets mémoire selon la durée de la constante de temps :

- Les effets mémoires basse fréquence : ils résultent de phénomènes lents dont la constante de temps est très élevée par rapport à l'inverse de la fréquence de fonctionnement de l'amplificateur. Ils sont essentiellement liés à des phénomènes d'origine électrothermique et à des phénomènes d'origine électrique.
- Les effets de mémoire haute fréquence : ils tiennent leur nom du fait qu'ils résultent de constantes de temps courtes, c'est à dire du même ordre de grandeur que la période du signal d'excitation. Ces phénomènes sont principalement dus aux éléments réactifs des circuits d'adaptation et les défauts physiques des semi-conducteurs.

L'effet mémoire des amplificateurs a été traité en détail dans [29]. Compte tenu des bandes de fréquence relativement étroites de notre système, les effets mémoires de l'amplificateur de puissance ne seront pas pris en compte dans le cadre de notre travail.

2.1.4. Quantification des distorsions : ACPR, EVM et RSB

2.1.4.1. ACPR : Adjacent Channel Power Ratio

L'ACPR est défini comme le rapport entre la puissance du signal dans le canal utile et la puissance du signal générée par les distorsions dans les canaux adjacents comme illustré sur la Figure 2.10 pour la norme ETSI EN 301 841-2 (émetteur en mode VDL 2, voir. Chapitre 1).

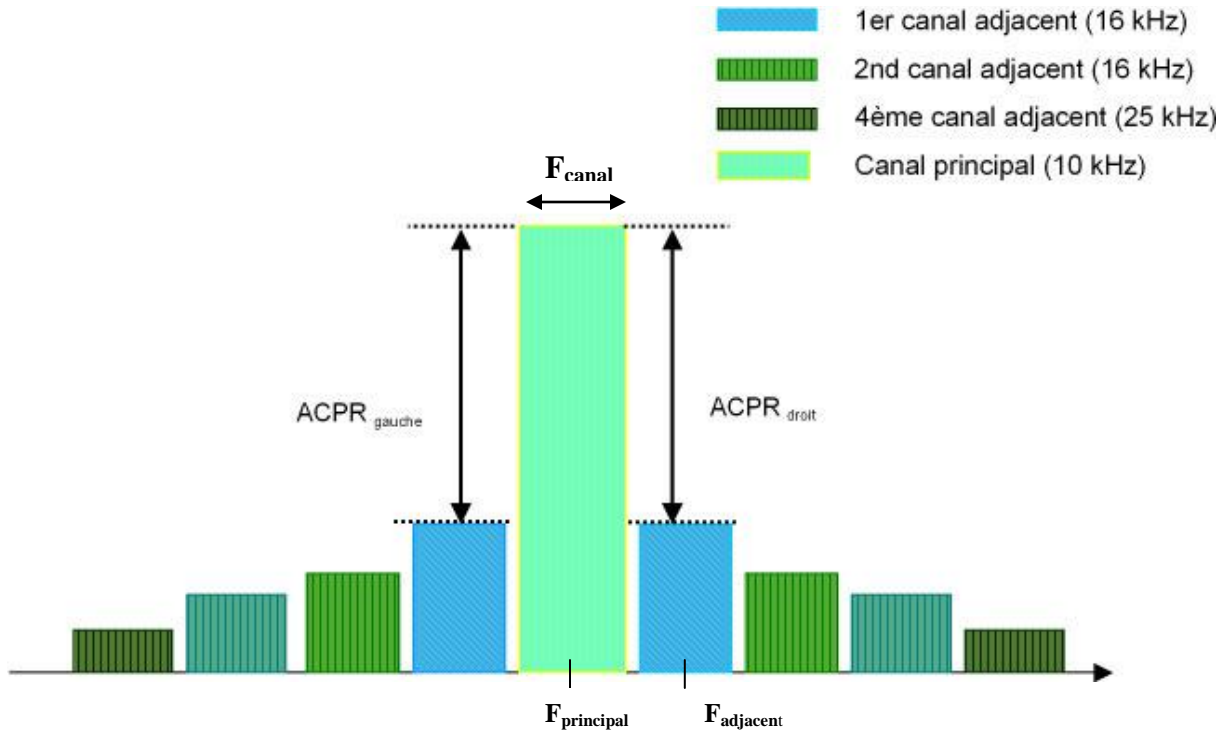


Figure 2.10 : Illustration du critère d'ACPR

Le calcul de l'ACPR est donné par la relation (2.14) :

$$ACPR = \frac{\int_{F_{adjacent} - \frac{F_{canal}}{2}}^{F_{adjacent} + \frac{F_{canal}}{2}} DSP(f) df}{\int_{F_{principal} - \frac{F_{canal}}{2}}^{F_{principal} + \frac{F_{canal}}{2}} DSP(f) df} \quad (2.14)$$

DSP(f) représente la densité spectrale de puissance du signal. $F_{principal}$, F_{canal} , $F_{adjacent}$ sont définies à la Figure 2.10. Selon qu'on traite les signaux dans les canaux adjacents gauche ou droit, on parlera d'ACPR gauche ou d'ACPR droit. Chaque norme définit les largeurs des canaux adjacents. Pour l'ETSI EN 301 841-2, le Tableau 2.2 récapitule le niveau de l'ACPR en dB requis en fonction de la largeur du canal adjacent considéré.

	Canal principal	1 ^{er} canal adjacent (droit ou gauche)	2 nd canal adjacent	4 ^{eme} canal adjacent
Largeur du canal (kHz)	10	16	25	25
ACPR (dB)	--	65	75	85

Tableau 2.2 : Tableau récapitulatif de l'ACPR requis pour la norme EN 301 841-2

2.1.4.2. EVM: Error Vector Magnitude

Les non-linéarités inhérentes à l'amplificateur distordent le signal RF en sortie. Au niveau de la réception après l'étape de démodulation, les symboles récupérés peuvent différer des symboles émis. Le critère de l'EVM représente la distance moyenne entre les points de la constellation idéale et les valeurs des échantillons soumis aux distorsions de l'amplificateur comme illustré à la Figure 2.11.

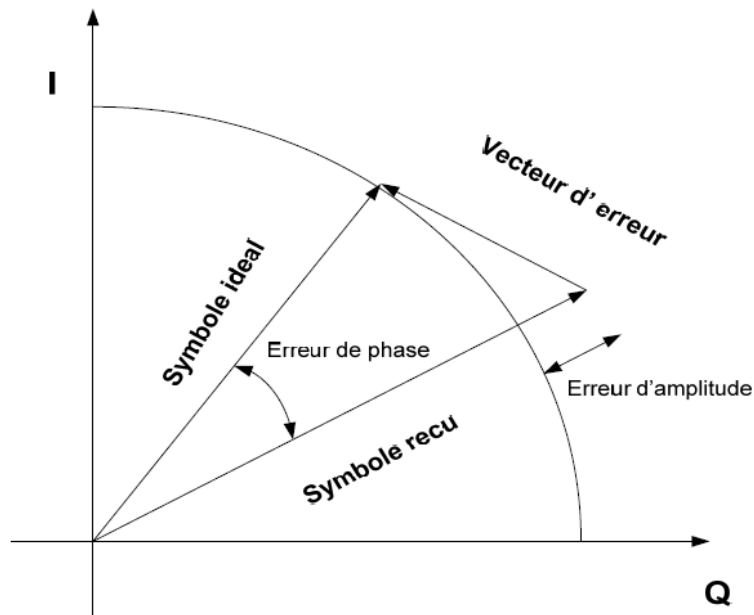


Figure 2.11 : Représentation géométrique de l'EVM

Son expression s'écrit (2.15). $S_{ideal}(k)$ est le signal idéal sans distorsions et $S_{recu}(k)$ est le signal distordu par la non linéarité.

$EVM(\%) = 100 \sqrt{\frac{\frac{1}{N} \sum_{k=1}^N S_{ideal}(k) - S_{recu}(k) ^2}{\frac{1}{N} \sum_{k=1}^N S_{ideal}(k) ^2}}$	(2.15)
----------------------------------------------------------------------------------------------------------------------------------	----------

2.1.4.3. NPR : Noise Power Ratio

Le NPR [21] [19] est une mesure de la puissance des distorsions dans le canal causées par les non linéarités de l'amplificateur. Il peut être mesuré en générant un grand nombre de porteuses d'amplitude identique et de phase aléatoire en supprimant une bande de fréquence dans le spectre du signal d'entrée du canal (souvent 1% de sa largeur) et en mesurant en sortie le niveau de distorsion dans l'espace fréquentiel laissé vacant. Le NPR est défini comme le rapport entre la puissance maximale du signal dans le canal et la puissance des distorsions. La Figure 2.12 illustre la mesure du NPR sur un signal modulé après passage dans un amplificateur de puissance.

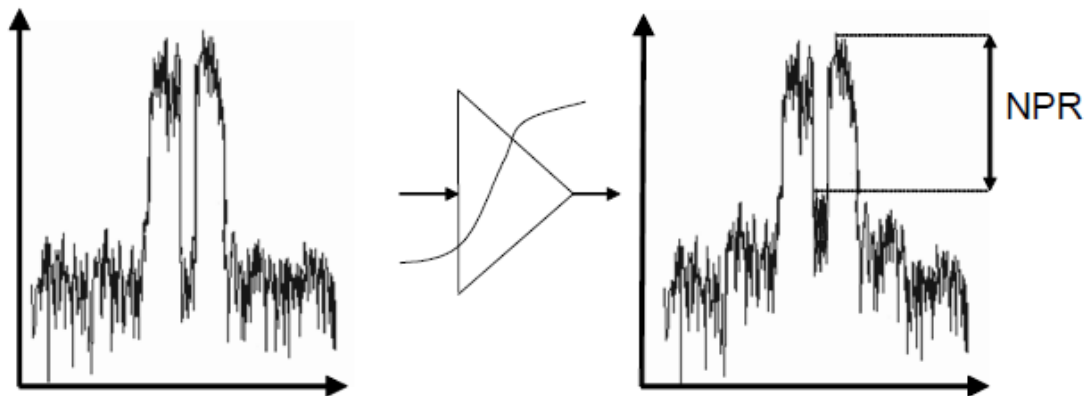


Figure 2.12 : Mesure du RSB

$NPR_{dB} = 10 \times \log \left(\frac{\int_{Trou} P(f) d(f) BW_{porteuse}}{\int_{Porteuse} P(f) d(f) BW_{trou}} \right)$	(2.16)
----------------------------------------------------------------------------------------------------------------------------	----------

BW_{trou} et $BW_{porteuse}$ représentent respectivement la largeur de bande du « trou » et du signal utile (porteuse).

2.1.5. Amplificateur de puissance : compromis entre rendement et linéarité

Lors de la conception d'un amplificateur de puissance, la question délicate du compromis entre linéarité et rendement se pose. Un amplificateur de puissance linéaire signifie que les distorsions en sortie de l'amplificateur de puissance (s'il y en a) n'entraînent pas de remontées spectrales qui parasitent le bon fonctionnement d'équipements émetteurs dans les canaux adjacents du canal attribué à l'application en cours. Mais cette linéarité se paie au prix d'un rendement faible. Nous avons vu que le rendement traduit la capacité de l'amplificateur à convertir le signal DC qui a servi à sa polarisation en signal RF. Plus le rendement est faible, plus la puissance à dissiper sera élevée et nécessitera l'utilisation de systèmes d'évacuation de la chaleur ou de refroidissement plus ou moins encombrants. L'utilisation de tels systèmes peut aller à l'encontre de l'objectif de réduction du volume pour certaines applications [8].

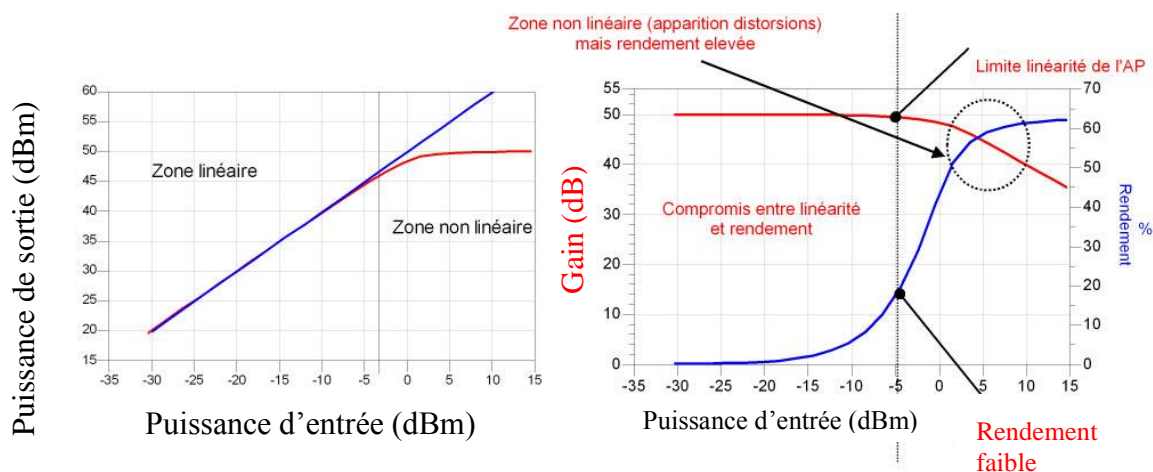


Figure 2.13 : Illustration du compromis entre linéarité et efficacité énergétique de l'amplificateur de puissance

Dans ces conditions, il est préférable de travailler dans la zone non linéaire (Figure 2.13) de l'amplificateur de puissance quitte à générer des distorsions qu'il faudra corriger au moyen de méthodes de linéarisation. Le PAR (Peak to Average Ratio) représente le rapport entre la puissance maximale d'un signal modulé et sa puissance moyenne. Pour des signaux à enveloppe variable présentant un fort PAR, les techniques de réductions du PAR peuvent être

appliquées [19] [35]. Ces techniques permettent de limiter le PAR sans dégrader le signal. La polarisation des amplificateurs de puissance en classe AB présente le meilleur compromis entre linéarité de l'amplificateur de puissance et le rendement. Les rendements les plus élevés sont obtenus pour les amplificateurs de puissance polarisés en classe commutée. Ce type de polarisation est plus adaptée aux modulations à enveloppe constante de type GMSK (modulation utilisée dans le GSM) ou des architectures d'émetteurs basées sur des techniques de linéarisation utilisant des signaux à enveloppe constante en entrée de l'amplificateur de puissance de type EER (Envelope Elimination and Restoration).

2.2. Les techniques de linéarisation et d'amélioration de rendement

Pour éviter ou corriger les distorsions en sortie de l'amplificateur de puissance en raison de ses non-linéarités, il existe différentes façons de procéder :

- Méthode 1 : il est possible d'agir de façon intrinsèque sur la technologie du transistor utilisé pour la conception de l'AP. Ces techniques qui sortent du cadre de ce travail ne seront pas abordées.
- Méthode 2 : les techniques de réductions de PAR. Ce sont des techniques appliquées en amont de l'amplification et qui ne concernent que les signaux présentant un fort PAR. Elles sont souvent associées aux méthodes de linéarisation dites d'amélioration du rendement.
- Méthode 3 : Les distorsions peuvent être corrigées au moyen de techniques dites de linéarisation classique.

Seules les techniques regroupées dans la méthode 3 seront abordées dans la suite de notre travail. Les techniques de réduction du PAR sortent aussi du cadre de notre travail, le niveau du PAR des modulations utilisées dans le cadre de cette thèse ne sont que de quelques dB (3 à 4 dB), bien loin des niveaux de PAR (environ 12 dB) des signaux de type OFDM. Bien que les futurs systèmes de communication tels que le LDACS-1 intègrent des modulations à fort PAR tel que l'OFDM, le choix a été fait d'exclure ce type de modulation dans le cadre de ce travail.

Selon l'application, les contraintes au niveau de l'amplificateur de puissance ne sont pas les mêmes. Pour certaines applications (applications audio), la linéarité prime sur le rendement du système. Dans d'autres, le rendement est le facteur le plus important. Dans les applications où le volume du système est une contrainte majeure, il est évident que l'utilisation d'amplificateur de puissance avec un faible rendement ne peut être envisagée.

La polarisation de l'amplificateur de puissance est différente selon que le signal en entrée soit à enveloppe constante ou variable.

- Cas des signaux à enveloppe constante : nous retrouvons les signaux à enveloppe constante avec les modulations numériques telles que le GMSK, la PSK ou FSK, etc. Pour ce type de signaux, l'amplificateur de puissance peut fonctionner dans sa zone non linéaire en générant pas ou peu de distorsions. La puissance maximale est égale à la puissance moyenne. Le PAR dans ce cas est de 0 dB.
- Cas des signaux à enveloppe variable : la QAM et l'OFDM sont des exemples de modulations numériques qui génèrent des signaux à enveloppe variable. Dans ce cas, la variation du PAR peut aller de 6.2 dB pour le 16-QAM à 12 dB [21] dans le cas de l'OFDM. Un tel signal en entrée d'un amplificateur de puissance utilisé dans sa zone non linéaire générera de très fortes distorsions. Nous avons deux façons de procéder dans ce cas :
 - 1^{ère} solution :
Réduire considérablement la puissance du signal de sortie pour demeurer dans la zone linéaire (Output Backoff important). Dans ce cas, le rendement est fortement dégradé.
 - 2^{ème} solution :
Appliquer une méthode de linéarisation ou d'amélioration de rendement selon la situation pour corriger les distorsions, puis effectuer un recul de puissance équivalent au PAR du signal considéré appliqué à l'entrée de l'amplificateur. Autrement dit, le point de fonctionnement de l'amplificateur de puissance doit être choisi de manière à ce que la puissance crête du signal d'entrée soit

au plus situé au point de saturation pour assurer une certaine linéarité. On parle alors de recul d'entrée ou Input Back Off (IBO).

Certaines techniques, comme la contre-réaction, l'approche feedforward ou la prédistorsion, essaient de corriger les distorsions apportées par l'AP. Ce sont des techniques de linéarisation classiques. D'autres méthodes dites d'amélioration de rendement permettent d'attaquer l'amplificateur de puissance par des signaux à enveloppe constante. On peut citer dans cette catégorie, l'EER (Envelope Elimination and Restoration), la LINC/CALLUM (Linear amplification with Non linear Components) et CALLUM (Constant Amplitude Locked Loop Universal Modulator).

2.2.1. Techniques de contre réaction ou feedback

Cette méthode a été proposée pour la première fois en 1937 par Black [36]. Il existe différentes versions de cette technique mais elles sont toutes basées sur le même principe : la contre réaction (Figure 2.14). On tente de linéariser l'amplificateur en forçant l'entrée à suivre la sortie du système en rajoutant une boucle de retour.

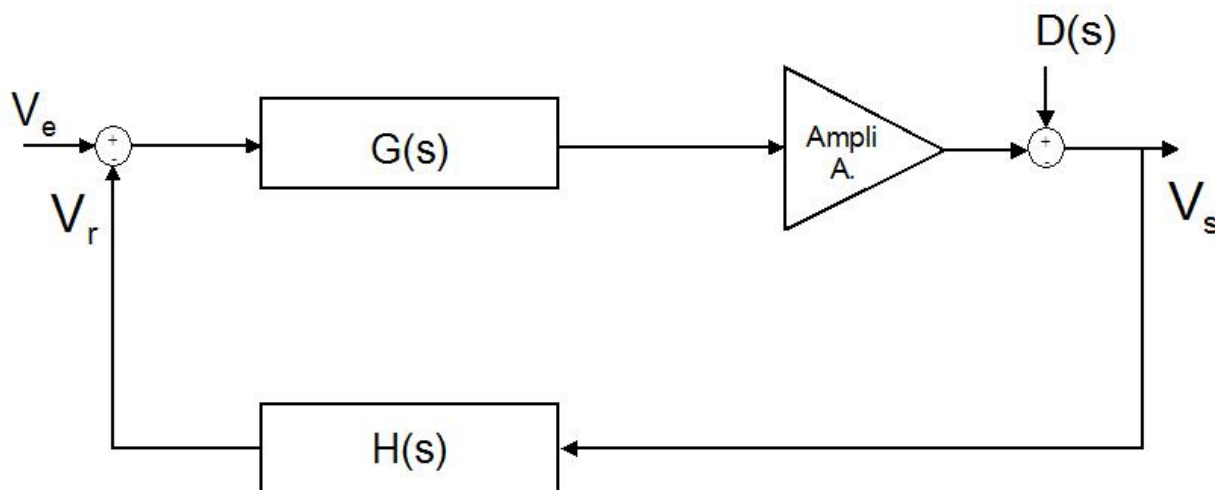


Figure 2.14 : Synoptique d'une boucle cartésienne

Le signal d'entrée est amplifié et filtré dans la voie directe qui comprend le circuit de compensation de fonction de transfert $G(s)$ et le gain A de l'amplificateur de puissance. La distorsion de la voie principale est modélisée par $D(s)$. Cette distorsion intègre la distorsion

principale du système liée à l'amplificateur de puissance non linéaire et les autres distorsions du système (filtres, modulateurs, etc.,...). Une partie du signal est prélevée et comparée au signal d'entrée en passant par $H(s)$ qui représente la fonction de transfert de la voie de retour.

La relation entre le signal d'entrée et la sortie est donnée par les relations suivantes :

- En boucle ouverte :

$V_s(s) = A \times G(s) \times V_{Erreur}(s) + D(s)$	(2.17)
------------------------------------------------------	----------

- En boucle fermée :

$V_s(s) = \frac{A \times G(s)}{1 + A \times G(s) \times H(s)} V_e(s) + \frac{D(s)}{1 + A \times G(s) \times H(s)}$	(2.18)
--------------------------------------------------------------------------------------------------------------------	----------

Le terme $A \times G \times H$ est appelé gain de boucle. La réduction de la distorsion est d'autant plus grande que le gain de boucle est élevé. En choisissant $A \times G(s) \times H(s) \gg 1$, l'équation (2.18) s'écrit :

$V_s(s) = \frac{1}{H(s)} V_e(s) + \frac{D(s)}{1 + A \times G(s) \times H(s)}$	(2.19)
-------------------------------------------------------------------------------	----------

Le gain global du système fermé ne dépend que de H et est plus faible que le gain $A \times G$ en boucle ouverte. Le principal inconvénient de cette technique est qu'elle peut devenir instable sous certaines conditions. La réduction des distorsions (donc la linéarité du système) est liée au gain de boucle. Lorsque le gain de boucle est trop élevé, le système peut devenir instable. La stabilité du système dépend donc d'un compromis entre le gain de boucle et la bande passante du système bouclé. Le gain doit être le plus élevé possible mais est limité par la stabilité du système qui dépend de la réponse en phase du système. La stabilité du système est définie par les notions de marge de phase et marge de gain. Généralement, des marges de gain et de phase respectivement de 12 dB et 45° sont admises pour garantir la stabilité en boucle fermée d'un système. Notons également que toute distorsion introduite dans la voie de retour ne sera pas corrigée. Les circuits utilisés dans la voie de retour doivent donc être le plus linéaire possible.

2.2.1.1. La boucle cartésienne

La boucle cartésienne (Figure 2.15) est l'une des méthodes les plus connues des techniques de linéarisation par contre réaction. Le nom de boucle cartésienne dérive du format des signaux I et Q en bande de base en entrée du système. Lorsque les signaux en entrée de la boucle sont les signaux d'amplitude $A(t)$ et de phase $\varphi(t)$, on parle de boucle polaire.

La linéarisation par boucle cartésienne est aussi basée sur le principe de contre réaction. Un coupleur en amont de l'AP non linéaire prélève une partie du signal de sortie et le démodule sous forme de signaux en phase I' et en quadrature Q'. Ces signaux sont ensuite soustraits des signaux d'entrée en bande de base I et Q. Le signal d'erreur qui en résulte est utilisé pour compenser les distorsions apportées par l'AP.

La boucle cartésienne est une technique classée parmi les méthodes de linéarisation en bande étroite. Ceci est dû au délai introduit par la boucle de retour. Le principal avantage de cette méthode est sa relative simplicité de mise en œuvre [37] et son utilisation pour n'importe quel type de modulation.

Les principaux désavantages de cette technique sont :

- utilisation d'un démodulateur I/Q supplémentaire
- stabilité du système qui dépend du gain de la boucle
- problèmes de délai entre les différents chemins et la bande passante du filtre de boucle.

Certains travaux publiés traitent des moyens permettant d'augmenter les performances de la boucle cartésienne. Parmi ces travaux, on peut citer [37] qui s'attaque particulièrement au problème de décalage de phase (décalage de phase qui induit des problèmes de stabilité) et des moyens pour y remédier. Certaines techniques basées sur des tracés de graphes ont été mises en œuvre [38] principalement pour des APs de classe A à AB pour permettre de déterminer le gain maximum d'une boucle cartésienne avant l'instabilité pour des systèmes MIMO (Multiple Input Multiple Output).

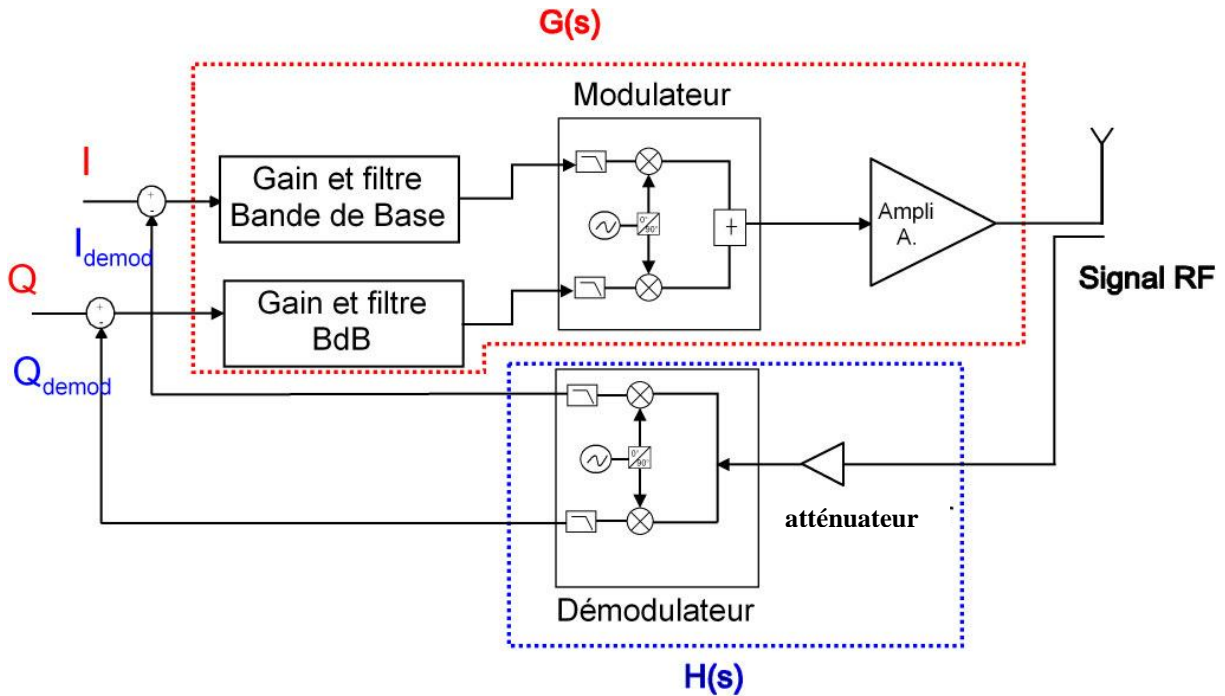


Figure 2.15 : Schéma de principe de la boucle cartésienne.

2.2.1.2. La boucle polaire

La boucle polaire (Figure 2.16) est similaire à la boucle cartésienne à la différence que les signaux cartésiens I et Q sont remplacés par les signaux d'amplitude A et de phase φ . La boucle polaire a été proposée par Petrovic en 1979 [39]. La contre-réaction est en général effectuée en fréquence intermédiaire (FI) mais une implémentation en RF est aussi possible. Le signal de phase est généré en envoyant le signal d'entrée à la fréquence FI en entrée d'un limiteur. Le signal d'amplitude est obtenu en appliquant les signaux d'entrée et en sortie du limiteur à un démodulateur. Une partie du signal RF en sortie de l'AP est prélevée et démodulée à la fréquence intermédiaire FI grâce à un oscillateur local. Les signaux d'amplitude et de phase distordus sont générés exactement comme en entrée du système. Le signal d'erreur de phase en sortie d'un détecteur de phase est appliqué à l'oscillateur contrôlé en tension (OCT ou VCO en anglais) qui génère un signal RF d'enveloppe constante en entrée de l'AP mais modulé en phase. La voie du signal d'enveloppe est similaire à celle d'une contre réaction classique. Le chemin de contre-réaction de la phase est généralement inclus dans une PLL, ce qui peut poser des problèmes de verrouillages aux faibles amplitudes [29] [33] [40].

Comme tout système bouclé, la boucle polaire doit présenter une marge de phase suffisante dans chacune des boucles pour garantir la stabilité. La bande passante des signaux de phase et d'amplitude est supérieure à la bande passante du signal de sortie RF. La représentation polaire du signal s'accompagne donc d'une extension de la bande passante qui induit une diminution du délai maximal autorisé dans la boucle et des circuits de boucle beaucoup plus rapides. L'utilisation de la boucle polaire est donc limitée aux signaux bande étroites.

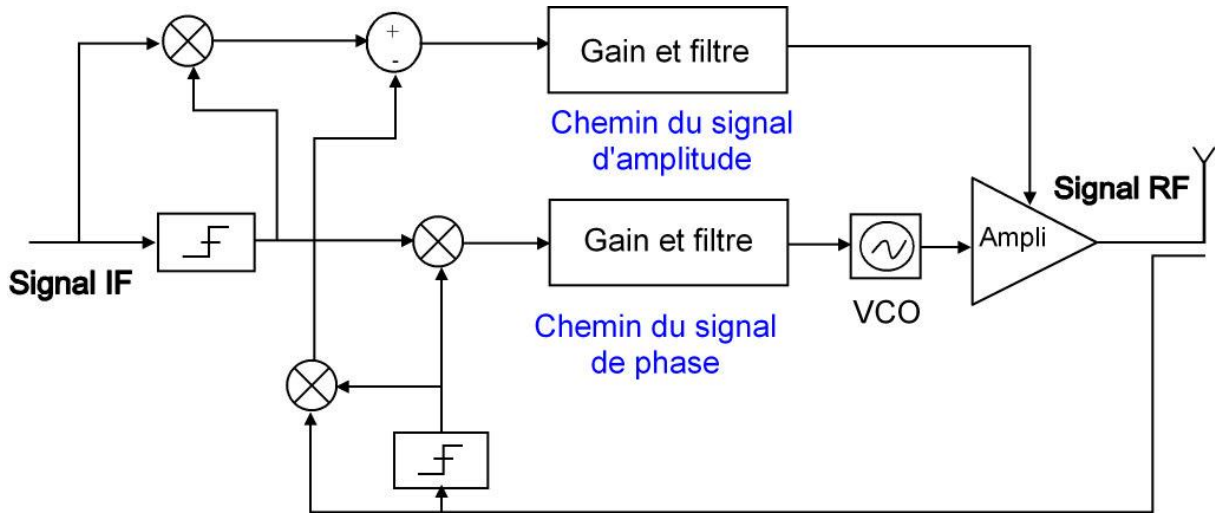


Figure 2.16 : Synoptique de la boucle polaire

2.2.2. La prédistorsion

Les techniques de prédistorsion visent à modifier le signal RF à amplifier de telle sorte que le résultat en sortie du système complet soit linéaire tant en phase qu'en amplitude. Il s'agit de techniques non tributaires de la bande passante et du type de modulation. Elles sont adaptées aux signaux larges bandes et multiporteuses [29].

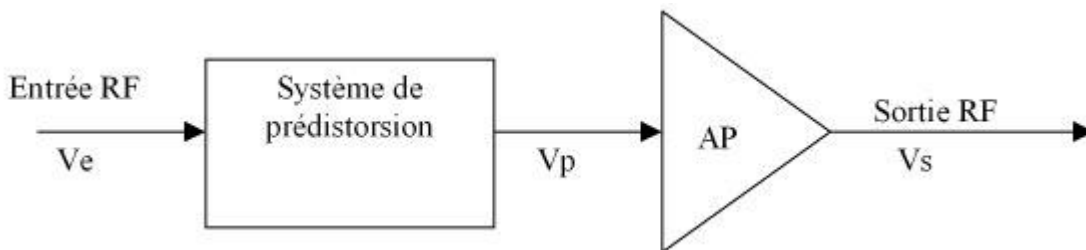


Figure 2.17 : Schéma général de la prédistorsion

Le principe général consiste à modéliser la caractéristique de l'amplificateur pour créer un dispositif dont les distorsions en amplitude et en phase sont l'inverse de celles créées par l'amplificateur. Ce système est appelé « pré-distorreur » ou « pré-compensateur ». Selon la position du « pré-distorreur », la prédistorsion est dite RF, FI ou bande de base.

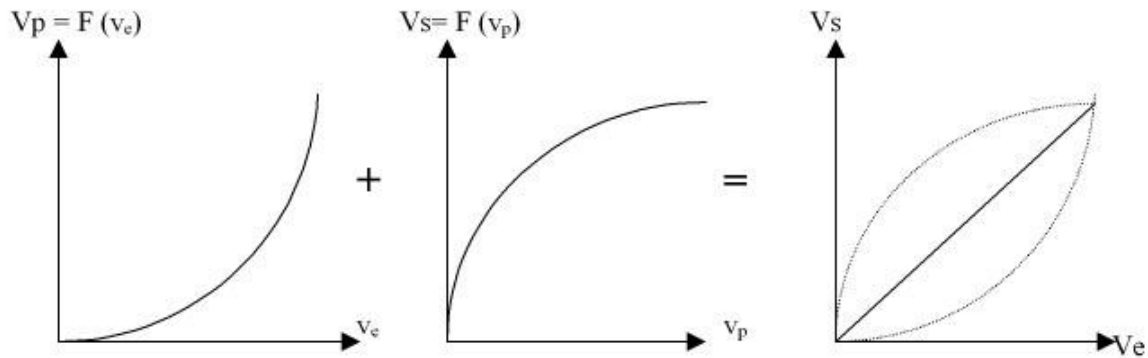


Figure 2.18 : Illustration de la prédistorsion

Le système résultant de la mise en série du « pré-distorreur » et de l'amplificateur présente peu ou pas de distorsion en sortie. Le domaine de correction est évidemment limité au domaine où l'amplificateur présente un gain encore acceptable (dans la pratique jusqu'à 3 dB de compression environ [41]). La difficulté de cette technique réside dans la complexité à mettre en œuvre un circuit qui produise de manière précise l'inverse en amplitude et phase de la caractéristique de l'AP. Ceci implique que la caractéristique à pré-distordre doit être parfaitement connue. La simplicité de cette technique se prête bien à l'intégration avec un faible impact sur la complexité et la taille du circuit.

2.2.2.1. Prédistorsion analogique

- Prédistorsion RF

Les systèmes de prédistorsion en RF sont utilisés en général pour corriger des amplificateurs pour lesquels les conditions de linéarité ne sont pas draconiennes, ou si la fonction de non-linéarité est simple [42]. Généralement la prédistorsion RF est utilisée pour réduire les produits d'intermodulation d'ordre 3 (IMD3). La chaîne RF est précédée d'un correcteur à bas niveau dont le principe consiste à extraire les produits d'intermodulation d'ordre 3 d'un élément non linéaire et à les ajouter en opposition de phase au signal d'entrée,

créant ainsi une non-linéarité compensatrice des distorsions de l'amplificateur de puissance. L'élément non linéaire est choisi comme modélisant le mieux possible les non-linéarités de l'amplificateur de sortie. Cet élément peut être aussi bien une diode ou un amplificateur utilisé dans sa zone de compression [42].

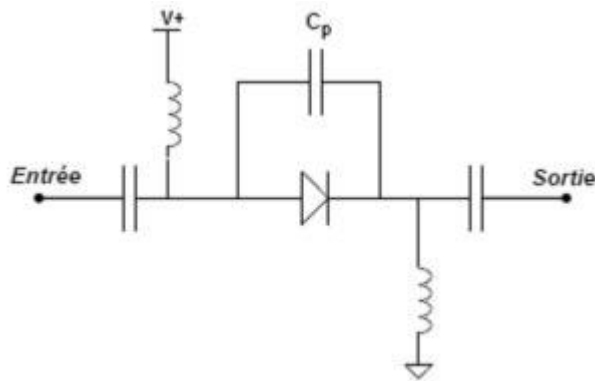


Figure 2.19 : Circuit de prédistorsion avec une diode série

- Prédistorsion FI

La prédistorsion est choisie en FI dans des systèmes à modulation analogique lorsqu'il y a besoin de maîtriser des fonctions complexes de non-linéarité. Elle est plus souple à mettre en œuvre qu'en RF car la fréquence étant plus basse, les éléments parasites ont moins d'importance. En général, les dispositifs performants reproduisent le modèle grâce à différents éléments non linéaires [41] (par exemple, des diodes pour corriger les produits AM/AM, et des varicaps pour corriger les produits AM/PM) qui modélisent une plage donnée de la variation AM/AM du signal. Chaque élément est paramétrable en position et en amplitude, si bien que le modèle peut être approché par la somme de ces contributions élémentaires. La modélisation de la non-linéarité de l'amplificateur de puissance doit inclure les variations en fonction de la thermique, et utiliser une information de température de l'étage de puissance à corriger. La principale difficulté provient du fait que la bande passante FI doit

englober les produits d'intermodulation d'ordres impairs (au moins ceux d'ordre 3) et que ce n'est pas toujours possible.

On trouve dans la littérature des systèmes de prédistorsion utilisant des diodes en série avec l'amplificateur [29] , ou en parallèle avec des transistors [42]. Les niveaux de linéarisation atteignables au moyen de la prédistorsion analogique restent modestes, sous peine d'augmenter la complexité du circuit à mettre en œuvre.

Le principal désavantage de la prédistorsion FI est qu'elle ne traite pas de la possible dégradation introduite par le processus de modulation [42].

La prédistorsion en bande de base n'avait aucun avantage sur la prédistorsion en FI [29] avant l'avènement des circuits numériques de traitements de signaux de plus en plus performants tels que les DSPs et les FPGAs. Aujourd'hui, c'est la méthode de prédistorsion la plus répandue et qui présente le meilleur rapport coût/complexité de mise en œuvre.

2.2.2.2. Prédistorsion numérique adaptative bande de base

Dans un système basique de prédistorsion, les performances sont sensibles à des variations de température ou le vieillissement des transistors. L'ajout d'une action adaptative est nécessaire pour suivre et corriger si besoin ces variations. Selon ce nouveau critère, la technique de prédistorsion peut être « adaptative ».

La Figure 2.20 illustre le principe de fonctionnement d'une prédistorsion adaptative. Elle consiste à comparer la sortie attendue à la sortie obtenue et adapter la prédistorsion en fonction de l'erreur observée grâce à l'algorithme d'adaptation. La boucle d'adaptation permet respectivement de suivre les variations de puissance du signal d'entrée et de suivre l'évolution des composants. Lorsque la fonction de prédistorsion est réalisée entièrement de manière numérique et que la prédistorsion s'effectue sur les signaux bande de base auquel s'ajoute une action adaptative pour corriger les variations du système, on parle de prédistorsion numérique adaptative en bande de base.

La fonction de prédistorsion peut être implémentée de différentes manières [30] :

- implémentation par tables de correspondance
- implémentation par modèles paramétriques : cette approche regroupe des modèles simples tels que le modèle polynomial ou des modèles beaucoup plus complexes comme les séries de Voltera ou des modèles basés sur les réseaux de neurones.

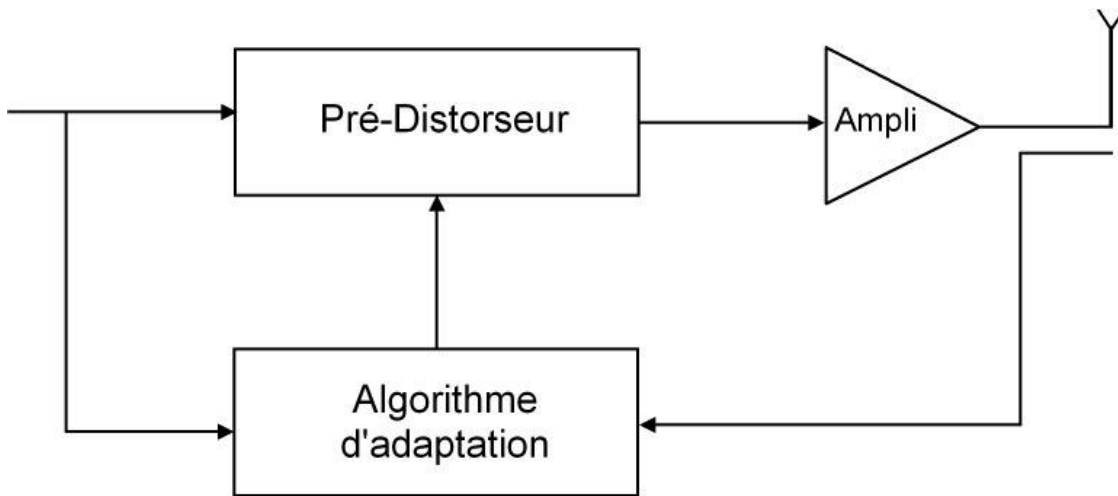


Figure 2.20 : Illustration de la prédistorsion adaptative

2.2.3. La feedforward

A la différence des techniques de contre-réaction qui comparent la sortie d'un AP non linéaire avec son entrée et utilise le même AP pour amplifier le signal d'erreur, la feedforward utilise deux amplificateurs de puissance. Ceci implique donc un flot continu sur le chemin direct et l'absence de contre-réaction. Le principe de cette technique [30] est illustré Figure 2.21.

Le signal d'entrée est séparé en deux parties par un diviseur de puissance (en général un coupleur directionnel). Une partie est injectée en entrée d'un amplificateur non linéaire principal. La seconde partie est retardée. Une partie du signal distordu en sortie de l'AP non linéaire est prélevée en utilisant un second coupleur et à la suite d'une mise en forme, ce signal est soustrait du signal retardé. Le signal d'erreur résultant qui contient dans le meilleur des cas les distorsions apportées par les différents composants est ensuite amplifié par un amplificateur avant d'être soustrait du signal en sortie de l'AP non linéaire retardé. L'absence de boucle de retour, du moins dans sa version originale fait de la feedforward un système

inconditionnellement stable et permet en théorie de faire des opérations sans limitation de bande passante.

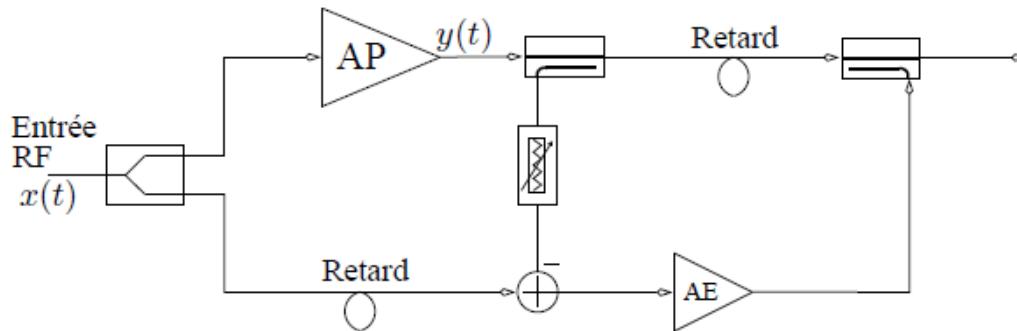


Figure 2.21 : Principe de la feedforward

Toutefois les performances de cette technique dépendent de l'amplificateur d'erreur qui ne doit pas apporter de distorsions au système et doit avoir un gain important. La consommation de ce type de système fait qu'elle ne peut être appliquée pour la téléphonie mobile par exemple.

2.2.4. Techniques d'amélioration du rendement

Ces méthodes permettent d'améliorer le rendement des amplificateurs de puissance en faisant en sorte de l'utiliser dans sa zone à fort rendement sans générer de distorsions en sortie. Nous avons établi dans la première partie de ce chapitre que les distorsions en sortie de l'amplificateur sont dues à la variation de la dynamique du signal en entrée. Lorsque le signal en entrée de l'amplificateur est à enveloppe constante, il est possible de travailler en zone non linéaire de l'amplificateur sans que des distorsions ne soient générées en sortie. Ces techniques permettent d'obtenir des rendements théoriques de l'ordre de 100 % mais leur implémentation en pratique fait face à de nombreuses difficultés qui font que les rendements obtenus sont plus modestes.

2.2.4.1. EER (Enveloppe Elimination and restoration)

La technique de linéarisation par Elimination et Restauration d'enveloppe a été mise au point en 1952 par Kahn [43]. La structure originale de l'EER est composée d'un amplificateur

de puissance à haut rendement mais hautement non linéaire (typiquement les APs de classe E ou F) et d'un amplificateur d'enveloppe avec un rendement élevé. L'architecture de l'EER est montrée Figure 2.22. Le signal modulé RF est séparé en entrée en deux parties à l'aide d'un coupleur ou diviseur de fréquence. Ces deux parties sont ensuite traitées séparément :

- Une partie transite par un limiteur d'amplitude. Cette opération permet d'obtenir en sortie du limiteur un signal à enveloppe constante contenant uniquement l'information de phase.
- L'autre partie du signal passe par un détecteur pour extraire l'information d'enveloppe. Ce signal est ensuite amplifié comme tension de commande au niveau de l'AP non linéaire pour moduler le signal de phase à enveloppe constante en entrée.

Le signal contenant l'information de phase est injecté en entrée d'un AP dans sa zone de fort rendement. L'information d'enveloppe est ensuite exploitée après avoir été amplifiée pour moduler dynamiquement l'alimentation de l'amplificateur de puissance. Les meilleurs rendements pour cette technique sont obtenus pour des APs de classe C, E et F. Le principal avantage de l'EER se trouve dans la simplicité de son implémentation. Dans les systèmes actuels, les signaux contenant l'information de phase et d'amplitude sont générés dans un DSP ou FPGA. On parle dans ce cas d'EER en bande de base. Sa mise en œuvre est néanmoins confrontée à un certain nombre de problèmes pratiques :

- la linéarité du module amplificateur d'enveloppe
- les non-linéarités entre le signal reconstitué en sortie de l'AP et le signal de commande
- le déphasage entre les voies des signaux de phase et d'enveloppe lors du processus de restauration du signal RF modulé [44]
- la dynamique du signal d'enveloppe
- la bande passante du signal d'enveloppe

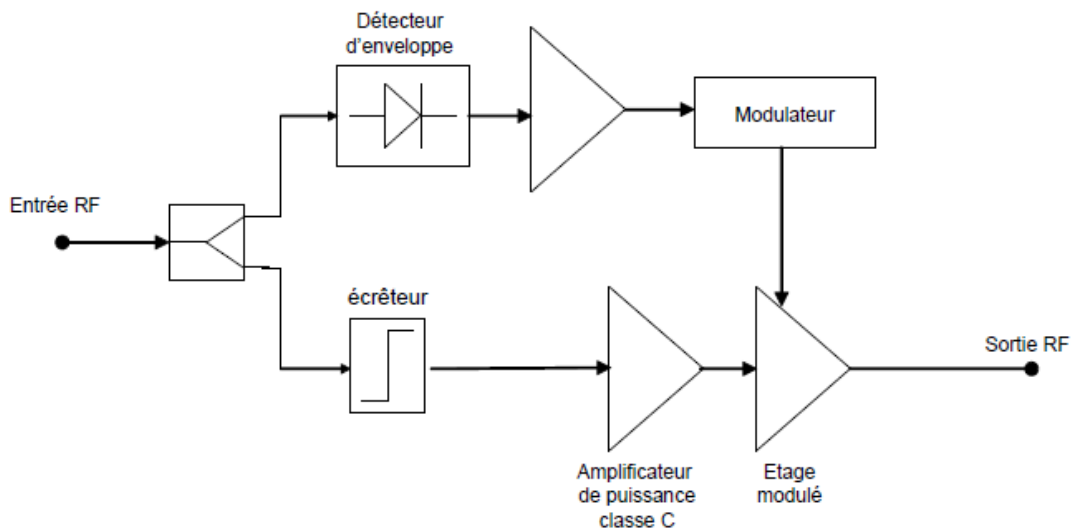


Figure 2.22 : Schéma de principe de l'Enveloppe Elimination and Restoration

Dans [40], il est proposé de rajouter deux boucles de retour au schéma de base de l'EER pour augmenter la linéarité de l'AP et ceci dans le cas d'un signal en bande L (1.4 GHz – 1.5 GHz) avec une puissance crête de 43 dBm.

2.2.4.2. La méthode d'Enveloppe Tracking (E T)

Cette méthode ressemble à la méthode EER à la différence que l'entrée de l'AP est un signal qui contient à la fois l'information de phase et d'amplitude.

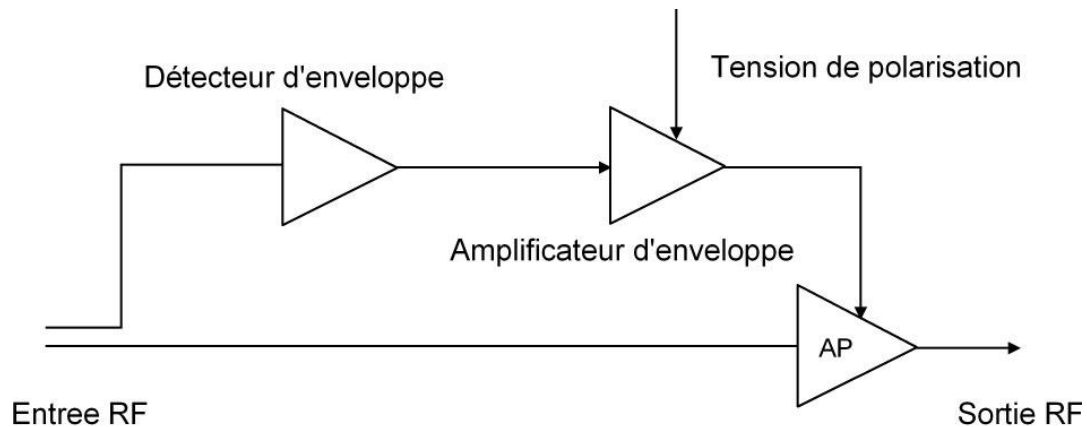


Figure 2.23 : Méthode de l'Enveloppe Tracking

D'autres variantes de cette méthode sont proposées dans la littérature. Dans [45], les auteurs ont associé l'Enveloppe Tracking et la Prédistorsion. Un bloc de prédistorsion numérique est

rajouté pour améliorer la linéarité de l'AP sans affecter le rendement. En utilisant cette technique, on obtient un PAE (Power Added Efficiency) double d'un système sans ET avec prédistorsion (pour un ampli de classe AB) avec un signal modulé en OFDM.

2.2.4.3. La méthode LINC et CALLUM

- Technique LINC

La méthode LINC [46] (Linear amplification with Non linear Component) fait partie des méthodes dites de sommation vectorielle. Le principe est simple : la somme de deux ou plusieurs signaux à enveloppe constante peut conduire à l'obtention d'un signal à enveloppe et phase variables. L'amplification des signaux à enveloppe constante n'a pas besoin d'être linéaire [47]

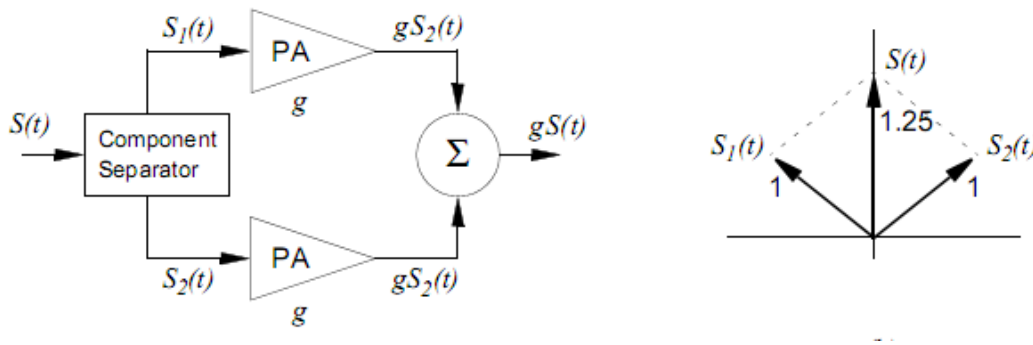


Figure 2.24 : Synoptique de la méthode LINC

Ainsi, un rendement assez élevé de l'amplificateur peut être obtenu. Le principal désavantage de cette technique réside dans les pertes inhérentes à la procédure de combinaison qui diminue le rendement final [21].

La technique LINC est sensible aux différences de phases et d'amplitude des deux chemins qui peuvent dégrader les performances du système. Une boucle de retour est souvent nécessaire pour compenser les variations des amplificateurs.

- Méthode Callum

Cette méthode a été proposée par Bateman [48]. Elle se distingue de la LINC par la boucle de retour qui y est rajoutée. La technique propose deux boucles de retour et un VCO (Voltage Controlled Oscillator) pour générer les signaux à enveloppe constante exacte.

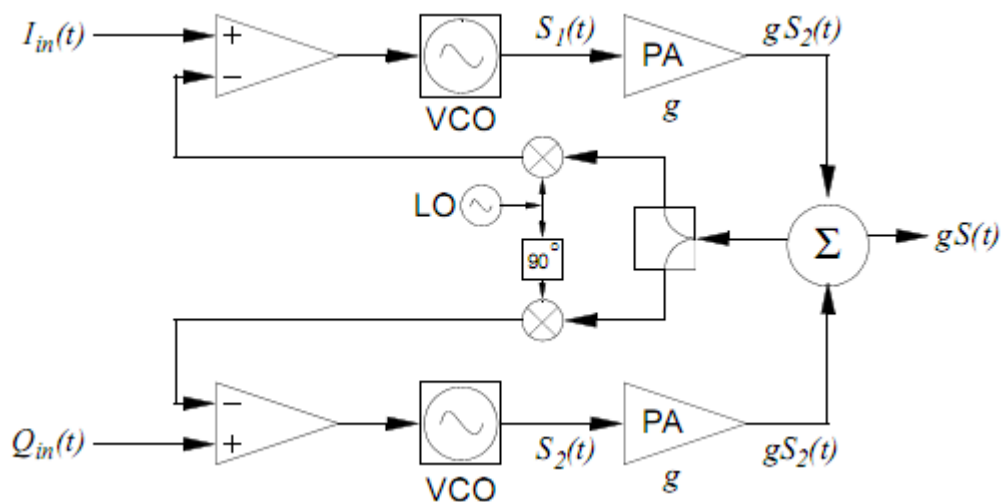


Figure 2.25 : Schéma de principe de la CALLUM

Lorsque le système est stable, le VCO augmente automatiquement la fréquence de l'oscillateur local et fait la transposition de fréquence. La boucle de retour présente dans les systèmes CALLUM implique une possible instabilité du système et des erreurs dans la boucle introduites par les différents composants.

2.2.4.4. La technique de Doherty

Cette technique a été proposée par DOHERTY en 1936 [49]. L'objectif est de maintenir le rendement de l'amplificateur à une valeur élevée pour une variation importante de la puissance d'entrée. Ceci permet par exemple d'utiliser un back-off en puissance de sortie (OBO) tout en ayant un rendement correct. La technique Doherty permet de modifier l'impédance de charge en sortie des transistors en fonction du niveau de puissance d'entrée, grâce à l'utilisation de deux amplificateurs : l'un « principal » et l'autre « auxiliaire » [29] [50].

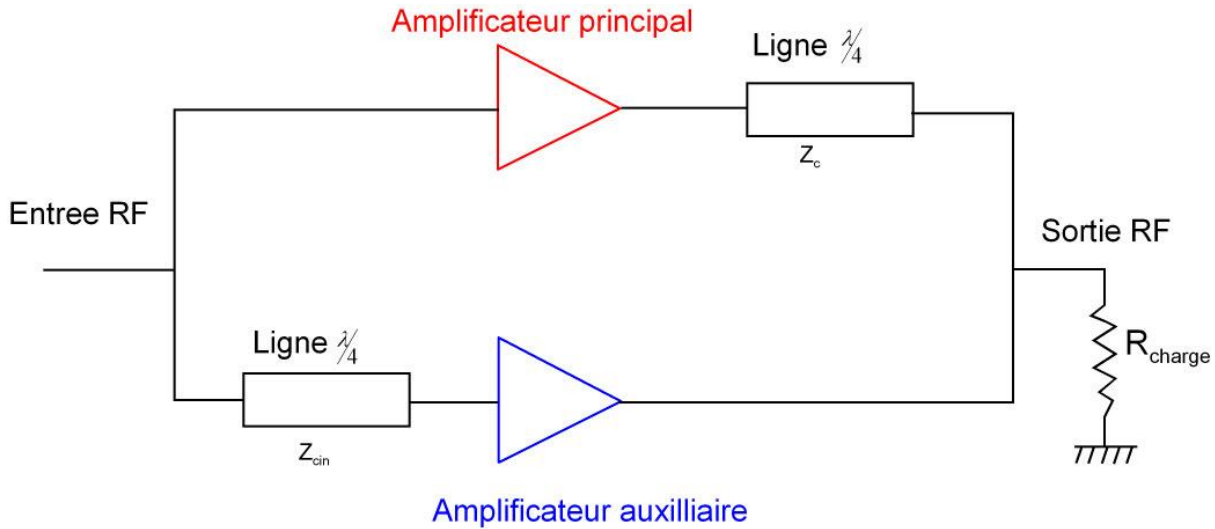


Figure 2.26 : Méthode de Doherty

L'amplificateur auxiliaire se comporte comme une charge active pour l'amplificateur principal. Ainsi, lorsque la puissance d'entrée augmente, l'amplificateur auxiliaire commence à conduire et modifie la charge présentée à l'amplificateur principal.

2.3. Conclusion

Dans ce chapitre, nous avons montré que les non linéarités de l'amplificateur de puissance créent des distorsions AM/AM et AM/PM. Ces distorsions entraînent des remontées spectrales dans les canaux adjacents de la bande utilisée et une modification de la constellation des symboles reçus. Les distorsions sont quantifiées par les critères d'ACPR et d'EVM. Pour éviter ces distorsions, le système doit être le plus linéaire possible. La manière la plus simple de procéder est de polariser l'amplificateur de puissance en classe A. L'inconvénient de cette méthode est qu'elle ne permet qu'un faible rendement énergétique. Dans la plupart des applications RF (téléphonie mobile, satellites), le rendement est un critère essentiel. L'enjeu majeur est alors d'obtenir une bonne efficacité énergétique pour un niveau de linéarité donnée. Ce compromis peut être obtenu en appliquant des méthodes de linéarisation soit au système complet, soit à l'amplificateur de puissance. Un état de l'art des méthodes de linéarisation a été proposé dans ce chapitre. Dans le chapitre 1, nous avons mis en évidence les difficultés rencontrées avec l'architecture utilisée dans les émetteurs UHF et VHF.

L'enjeu principal de cette thèse est donc de proposer une architecture d'émetteur pour la norme ETSI EN 301 841-2 qui présente les caractéristiques suivantes :

- Tout le système ou une partie peut être implémenté de manière numérique de manière à pouvoir reconfigurer plus facilement l'émetteur.
- La méthode de linéarisation choisie doit permettre de répondre aux exigences de la norme ETSI EN 301 841-2 en termes de bruit, d'ACPR et d'EVM.
- Compte tenu de l'environnement de travail de ces émetteurs, la méthode de linéarisation choisie ne doit pas entraîner une modification trop radicale de l'architecture actuellement utilisée.
- Certaines contraintes de la norme sont très sévères notamment en termes de niveau de bruit. Des composants spéciaux ont été développés pour répondre à ces exigences. La nouvelle architecture doit pouvoir intégrer sans difficultés ces composants au cas où la méthode de linéarisation seule ne permettrait pas d'obtenir les performances visées.

Parmi les méthodes de linéarisation proposées, la boucle cartésienne peut être un choix intéressant. En effet, compte tenu de la bande passante relativement étroite de notre système, il est possible de réaliser la correction bande de base dans une plateforme numérique. Mais ce système peut devenir instable. Les différents paramètres doivent être choisis de manière judicieuse.

L'EER est une technique qui ne nécessite pas de modification radicale du système existant. Les différents blocs RF nécessaires à son implémentation sont déjà présents dans l'architecture actuelle.

La prédistorsion numérique adaptative en bande de base en dépit de tous ses avantages nécessite une modification en profondeur du système. Concevoir une architecture basée sur cette méthode nécessiterait que l'architecture des émetteurs soit complètement repensée. Le temps de développement de la méthode de prédistorsion est incompatible avec les délais imposés dans le cadre de ce projet. De plus, la structure même de cette technique va à l'encontre de l'objectif de ré-utilisation des modules existants dans les émetteurs actuellement

commercialisés. Les autres techniques présentées (LINC, CALLUM, feedforward) présentent aussi l'inconvénient de nécessiter un changement trop important dans l'architecture actuelle.

Le prochain chapitre présentera les différentes architectures possibles avec les méthodes choisies ci- dessus.

Chapitre 3. Etude comparative de quelques architectures d'émetteurs radio

Les difficultés de conception des émetteurs UHF et VHF ont été exposées dans le chapitre 1. Aujourd'hui, l'augmentation du trafic, la saturation des bandes de fréquences allouées aux communications aéronautiques imposent de proposer des alternatives aux systèmes actuels. Les émetteurs doivent évoluer et être les plus souples possible afin de permettre une meilleure reconfigurabilité. Les architectures traditionnelles analogiques ne sont plus adaptées et doivent être remplacées ou tout du moins être améliorées notamment en utilisant davantage de composants numériques. Plusieurs architectures basées sur les méthodes de linéarisation de l'amplificateur de puissance sont proposées dans ce chapitre. Ces architectures tiennent non seulement compte des contraintes liées à la norme mais aussi de l'architecture des émetteurs radio exploitée actuellement dans les communications aéronautiques par TELERAD. Une étude quantitative et qualitative des deux architectures envisagées est présentée pour définir la plus adaptée aux contraintes du nouvel émetteur.

3.1. Méthodologie de travail

La méthodologie employée pour choisir la meilleure architecture adaptée aux besoins spécifiés dans le chapitre précédent est exposée ci dessous :

- Etude comparative des différentes méthodes de linéarisation :

Dans le chapitre précédent, différentes méthodes de linéarisation ont été exposées. Les techniques à bande étroite telles que la boucle cartésienne, l'EER ou encore l'ET ont l'avantage d'être plus facile à implémenter que celles dites à large bande telles que la feedforward. Le Tableau 3.1 regroupe les techniques de linéarisation à bande étroite ainsi que leurs avantages et inconvénients par rapport aux spécifications.

Techniques à bande étroite		
	Avantages	Inconvénients
Boucle cartésienne	Peu sujet aux dérives en température et au vieillissement des composants Linéarisation du système en entier	Problème de stabilité du fait de la boucle de retour
EER	Rendement important	Difficulté d'ajuster les deux voies en amplitude et phase
LINC	Rendement important, fortes puissances de sortie	Utilisation de deux AP non linéaires Difficulté pour ajuster les deux chemins en phase et en amplitude

Tableau 3.1: Tableau comparatif des différentes méthodes de linéarisation

- Etude de différentes architectures d'émetteurs

Les architectures d'émetteurs basées sur les méthodes de linéarisation exposées dans le Tableau 3.1 sont étudiées. Le choix de l'architecture dépend de l'évolution des normes et des contraintes qui lui sont associées ainsi que du savoir faire de la société pour la conception des différents composants.

- Choix et étude de deux architectures d'émetteurs
- Architecture retenue pour l'implémentation.

Avant d'aborder les différentes architectures d'émetteurs (associées à une méthode de linéarisation), nous nous intéressons à l'état de l'art des convertisseurs AN et NA. En effet, les performances des CANs et CNA influent grandement sur le choix des architectures. Dans le cas d'une architecture à conversion directe, des convertisseurs travaillant à des fréquences très élevées sont nécessaires. Cette contrainte est relâchée lorsque l'architecture utilisée est à fréquence intermédiaire.

3.2. Etat de l'art des convertisseurs

Le choix d'un CAN ou CNA dépend de l'application à laquelle il est destiné. Pour des applications nécessitant une grande précision, des convertisseurs possédant une résolution élevée doivent être privilégiés, au détriment de la vitesse de conversion. C'est le cas des

convertisseurs sigma delta qui peuvent avoir une résolution supérieure à 24 bits avec des fréquences d'échantillonnage de l'ordre du Msamp/s pour les plus performants. Lorsque la vitesse est primordiale, la fréquence d'échantillonnage devient le critère principal dans de choix du convertisseur. Le coût de ces composants demeure également un critère de choix fondamental.

3.2.1. Principes de bases

3.2.1.1. La résolution :

Elle est exprimée en nombre de bits ou en % de la pleine échelle. Elle définit la valeur de la variation de la tension d'entrée donnant lieu à une variation d'une unité de la donnée numérique présente en sortie du convertisseur.

3.2.1.2. Erreur de quantification

Un convertisseur analogique-numérique idéal introduit par son principe une erreur systématique dite erreur de quantification. Toutes les valeurs d'entrée comprises entre deux codes successifs sont converties en un seul code. Réciproquement, un convertisseur numérique-analogique transforme un code en une valeur analogique exacte, mais l'erreur de quantification reste toujours présente car elle est faite au moment de l'arrondi (ou troncature) dans le calculateur, du nombre réel représentant la valeur analogique souhaitée vers la valeur binaire sur les N bits du CNA.

L'erreur de quantification peut être considérée comme un processus aléatoire de densité de probabilité notée $P_r(x)$. Pour une quantification uniforme, la densité de probabilité est uniforme entre 0 et q (quantification par troncature) et vaut $1/q$ où q est le pas de quantification.

La variance du bruit de quantification est donnée par la relation suivante :

$\sigma_n^2 = \int_0^q (x - E(x))^2 \times P_r(x) dx = \frac{q^2}{12}$	(3.1)
------------------------------------------------------------------------	---------

$E(x)$ est la moyenne et vaut $\frac{q}{2}$. Le pas de quantification q s'écrit aussi $q = \frac{2A}{2^N}$ où A est la tension maximale positive du signal en entrée et N, le nombre de bits. Nous pouvons écrire :

$\sigma_n^2 = \frac{4A^2}{2^{2N} \times 12}$	(3.2)
----------------------------------------------	---------

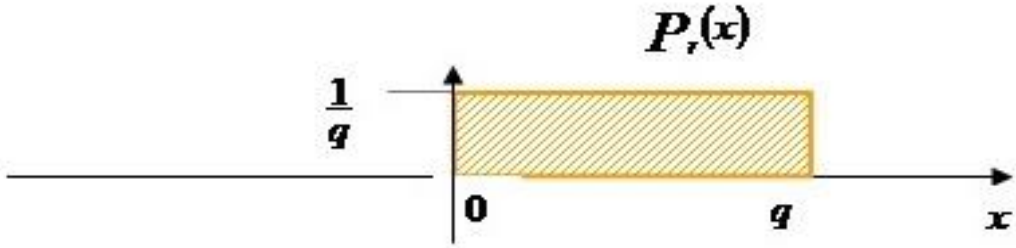


Figure 3.1 : Densité de probabilité de l'erreur de quantification

3.2.1.3. Le sur-échantillonnage :

Le rapport signal sur bruit d'un CAN est défini en dB par l'expression ci-dessous :

$\overline{SNR}_{ideal} = 10 \times \log_{10} \left(\frac{\sigma_s}{\sigma_n} \right)^2$	(3.3)
-------------------------------------------------------------------------------------------	---------

Où σ_s^2 est la puissance du signal d'entrée.

La puissance moyenne d'un signal sinusoïdal d'amplitude A et de période T en entrée du CAN est donnée par l'équation (3.4) :

$\sigma_s^2 = \frac{A^2}{2}$	(3.4)
------------------------------	---------

En remplaçant les équations (3.2) et (3.4) dans l'équation (3.3), on obtient l'équation

(3.5) :

$\overline{SNR}_{ideal} = 6,02 \times N + 1,76$	(3.5)
-------------------------------------------------	---------

La densité spectrale de puissance du bruit se définit par :

$S_n(f) = \frac{q^2}{12 \times F_{ech}}$	(3.6)
------------------------------------------	---------

$S_n(f)$ traduit la puissance du bruit de quantification dans une bande de fréquence donnée. Lorsque cette bande augmente d'un facteur L, la densité spectrale de puissance diminue d'un

facteur L . Cette opération qui consiste à échantillonner un signal à une fréquence $F = L \times 2B$ dans le but d'étaler le bruit sur une bande beaucoup plus élevée que la bande utile du signal s'appelle le « sur-échantillonnage ». L'expression du SNR devient alors :

$\overline{SNR}_{ideal} = 6,02 \times N + 10 \times \log(L)$	(3.7)
--------------------------------------------------------------	---------

L'expression $10 \times \log(L)$ est appelé gain de traitement.

3.2.1.4. Le sous-échantillonnage

La porteuse n'a pas besoin d'être restituée fidèlement dans la plupart des applications car elle ne contient aucune information. Dans ces conditions, il peut être envisagé d'échantillonner le signal analogique RF en entrée du CAN à une fréquence beaucoup plus faible que la fréquence de Shannon [51]. Dans ce cas, la seule condition est d'avoir une fréquence d'échantillonnage au moins égale à deux fois la bande passante du signal. Pour éviter des repliements de spectres non désirés, il faudra s'assurer que la bande passante du signal à échantillonner ne chevauche pas deux zones de Nyquist (la zone de Nyquist est définie comme la moitié de la fréquence d'échantillonnage) en rajoutant un filtre passe bande en entrée du CAN qui permet d'éliminer les composantes non désirables du signal d'entrée.

Les figures ci-dessous illustrent le principe du sous-échantillonnage.

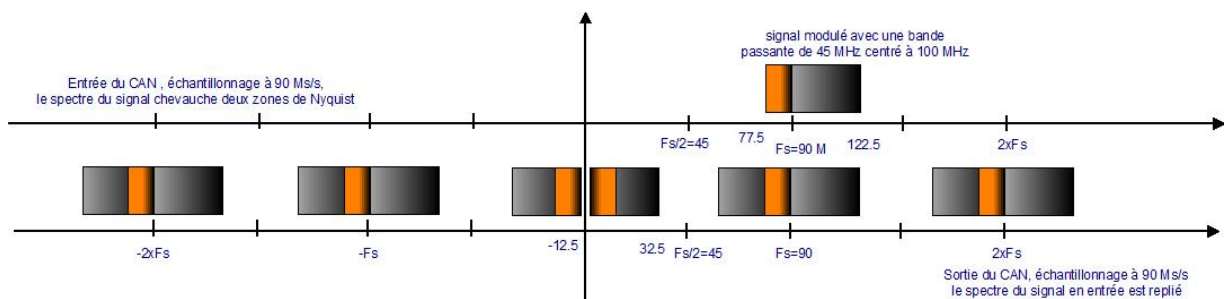


Figure 3.2 : Principe du sous-échantillonnage (le spectre bande de base n'est pas retrouvé)

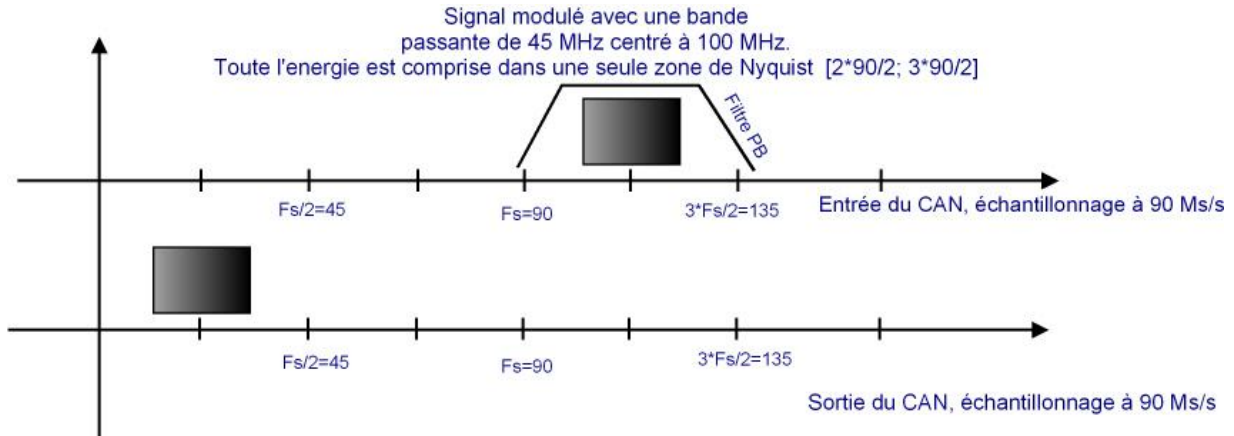


Figure 3.3 : Principe du sous-échantillonnage (le spectre bande de base est retrouvé)

Sur la Figure 3.2, le spectre du signal à échantillonner chevauche deux zones de Nyquist. En sortie du CAN, on observe une superposition du spectre orange entouré sur le spectre gris. Il est impossible de récupérer le signal bande de base original. Sur la Figure 3.3, la bande passante du signal réduite grâce au filtre passe-bande est contenue dans une seule zone de Nyquist $[k F_s/2; (k + 1) F_s/2]$. Sur la Figure 3.3, notons que toutes les répliques du signal sous-échantillonné ne sont pas représentées pour des raisons de clarté. En définitive, pour obtenir un sous échantillonnage correct d'un signal bande étroite, il faut que la bande du signal soit contenue à l'intérieur de 2 multiples consécutifs de $F_s/2$ soit $[k F_s/2; (k + 1) F_s/2]$.

La section suivante traite des différents types d'architectures de CAN et CNA.

3.2.2. Les différents types d'architectures de CANs et CNAs

3.2.2.1. CAN à approximations successives ou SAR (Successive Approximation Registers)

Ces CAN constituent un excellent compromis entre précision et vitesse. Ils offrent un excellent facteur de mérite et sont très utilisés dans l'industrie. Ils sont réalisables en technologie CMOS.

3.2.2.2. CAN flash ou parallèle

Ce type de CAN est le plus rapide car il est composé de comparateurs qui agissent en parallèle et le temps de conversion est donc uniquement limité par le temps d'établissement des

comparateurs. Le temps de traversée de la logique de décodage est en général faible par rapport à celui des comparateurs. Ces CANs présentent l'inconvénient de devenir trop complexes pour les hautes résolutions. En effet, à chaque bit supplémentaire, il faut doubler les circuits tout en doublant également leur précision. Les progrès dans les circuits intégrés actuels permettent cependant d'atteindre aisément les 8 bits (256 comparateurs) avec des fréquences d'échantillonnage de l'ordre de 1,5 GHz.

3.2.2.3. CAN subranging ou pipeline

Ces CANs sont appelés aussi semi-flash, en cascade. Les CAN parallèles sont limités en précision et les CAN SAR ou à intégration sont, de par leur fonctionnement série, limités en vitesse. Toutefois, on peut trouver une solution à ces limitations en modifiant l'architecture.

En combinant deux (ou plus) convertisseurs flash qui convertissent successivement les bits de poids fort puis de poids faible et en traitant les conversions successivement, on obtient de très bons compromis vitesse-précision et surface de silicium. On peut même, au prix d'échantillonneurs-bloqueurs supplémentaires, traiter «en pipeline» les conversions successives : le premier étage convertit la valeur analogique qui vient d'être échantillonnée, pendant que le deuxième étage convertit la valeur analogique qui a été échantillonnée précédemment, soustraite de la valeur des MSB (de la conversion précédente) et amplifiée, et ainsi de suite. L'avantage est de donner ainsi, à chaque étage, une période entière de l'horloge externe pour réaliser une étape de conversion. Ces technologies se développent beaucoup actuellement et sont utilisées pour les communications numériques (Set Top Box, TV, téléphonie portable...)[52].

3.2.2.4. CAN sigma-Delta :

Il s'agit de CAN basée sur la combinaison d'un modulateur et d'un sommateur (ou intégrateur), l'ensemble étant rebouclé. Cet ensemble est ensuite suivi d'un processeur qui réalise un filtrage (souvent appelé décimation) qui donne le mot de sortie sur N bits. Cette architecture a par principe une grande linéarité qui ne dépend pas ou très peu de la précision de la partie analogique. La partie analogique est donc limitée et simple (utilisation d'une technologie CMOS simple). De plus, cette architecture rejette naturellement le bruit de quantification. La partie complexe est en numérique. Elle est donc parfaitement maîtrisable et

peu sensible aux dérives. L'origine du nom $\Sigma\Delta$ dérive de la structure : association d'un modulateur basé sur la différence « modulation Δ » et d'un intégrateur (ou sommateur) « Σ ». Ce sont des convertisseurs utilisés lorsqu'on veut une conversion très précise. Ce genre de convertisseur est lent et ne peut pas rivaliser avec les SAR ou les flashs sur le plan de la vitesse. La mise en forme du bruit (Noise shaping) est accomplie par le filtre analogique de l'intégrateur qui a un comportement passe haut pour le bruit et un comportement passe bas pour le signal utile.

Le Tableau 3.2 [53] récapitule les performances des CAN standards ou usuels en fonction de leur architecture.

Architecture	Résolution	Vitesse	Avantages-inconvénients
Sar	8 à 18 bits	≤ 10 Msamp/s	+ Résolution élevée ; Faible consommation -vitesse d'échantillonnage limitée
Sigma-delta	16 et 31 bits	≤ 50 Msamp/s	+Résolution la plus élevée et précision ; excellente linéarité ; faible consommation ; excellente réjection numérique du bruit -vitesse de conversion limitée
Pipeline	10 et 16 bits	Entre 1 Msamp/s et 1 Gsamp/s	+Très rapide; correction digitale des erreurs ; meilleur compromis vitesse résolution
Flash	6 à 8 bits	Entre 1 et 20 Gsamp/s	+ Les plus rapides -Résolution limitée ; puce de dimension importante ; Forte consommation

Tableau 3.2 : Performances de CANs en fonction de leur architecture

Le Tableau 3.2 expose quelques CANS disponibles sur le marché au moment de la rédaction de ce mémoire.

Références	Vitesse	Résolution	Fournisseur
LTC2209	160 Msamp/s	16 bits	Linear technology
ADS5484	170 Msamp/s	16 bits	TI
LTC2158-14	310 Msamp/s	14 bits	Linear technology

ADS69P49	250 Msamp/s	14 bits	TI
ADS5400	1 Gsamp/s	12 bits	TI
ADC12D1800	3.6 Gsamp/s	12 bits	TI
ADS5474	400 Msamp/s	14 bits	TI

Tableau 3.3 : Performances CAN disponibles sur le marché

Il existe deux types d'architectures CNA :

3.2.2.5. CNA à résistances pondérées (réseau R/2R).ou à réseaux de capacités

Ils sont aussi connus sous le nom de CNA en courant. Nous pouvons également noter les CNAs à réseau de capacités (au lieu de résistances). Le principe est sensiblement le même que dans le cas des réseaux résistifs, à la différence près que, à la place de courants, on travaille sur des charges et des tensions. Ces convertisseurs sont plus faciles à réaliser en CMOS qu'avec les résistances.

3.2.2.6. Les CNA sigma-delta

Ils sont de plus en plus répandus, car ils permettent des précisions très élevées. Le Tableau 3.4 présente les performances de quelques CNA disponibles sur le marché :

Résolution	Vitesse	Références	Fabricants
20 bits	245.76 ksamp/s	DAC1220	TI
16 bits	1 Gsamp/s	DAC5682Z	TI
14 bits	5 Gsamp/s	MAX5880	Maxim
12 bits	8 Gsamp/s	MD622H	Euvis
14	4.6 Gsamp/s	Maxim	MAX5882
14	2.3 Gsamp/s	Maxim	MAX5879
16	1.5 Gsamp/s	TI	DAC34SH84
16	1.263 Gsamp/s	Analog Devices	AD9122
14	2.4 Gsamp/s	TI	DAC5670
14	2.5 Gsamp/s	AD	AD9739

Tableau 3.4 : Performances de CNAs disponibles sur le marché

Les CNAs atteignent des fréquences d'échantillonnage de 8 Gsamp/s mais la résolution n'excède pas 12 bits. La plus grande précision de CNA disponible sur le marché (au moment de cette rédaction) est de 20 bits mais avec une vitesse d'échantillonnage inférieure à 250 ksamp/s comme exposé dans le Tableau 3.4.

Les CANs pipeline fonctionnent jusqu'à 3.6 Gsamp/s pour les plus récents mais avec une résolution de 12 bits. Toutefois, les coûts de ces CANs très rapides ne permettent pas d'envisager leur utilisation dans des applications où la réduction des coûts est l'un des critères principaux. Les CANs de résolution 16 bits n'excèdent pas des fréquences d'échantillonnage de 200 Msamp/s alors que les CANs pipeline de 14 bits fonctionnent jusqu'à 400 Msamp/s (Tableau 3.3). Notons que ces tableaux ont été réalisés en utilisant les informations contenues dans les sites internet des principaux fournisseurs de convertisseurs.

Ces limites technologiques des convertisseurs vont avoir une grande importance sur le choix des architectures présentées dans le prochain paragraphe.

Le paragraphe qui suit présente les différentes architectures possibles en fonction de méthodes de linéarisation présentées dans le chapitre précédent et en tenant compte notamment des performances des convertisseurs AN et NA disponibles actuellement sur le marché.

3.3. Architecture 1 : Architecture boucle cartésienne idéale

Cette architecture représentée Figure 3.4 est basée sur la méthode de la boucle cartésienne. Le signal modulé à la fréquence porteuse est généré directement dans la partie numérique. Le CNA permet de passer du domaine numérique vers le domaine analogique.

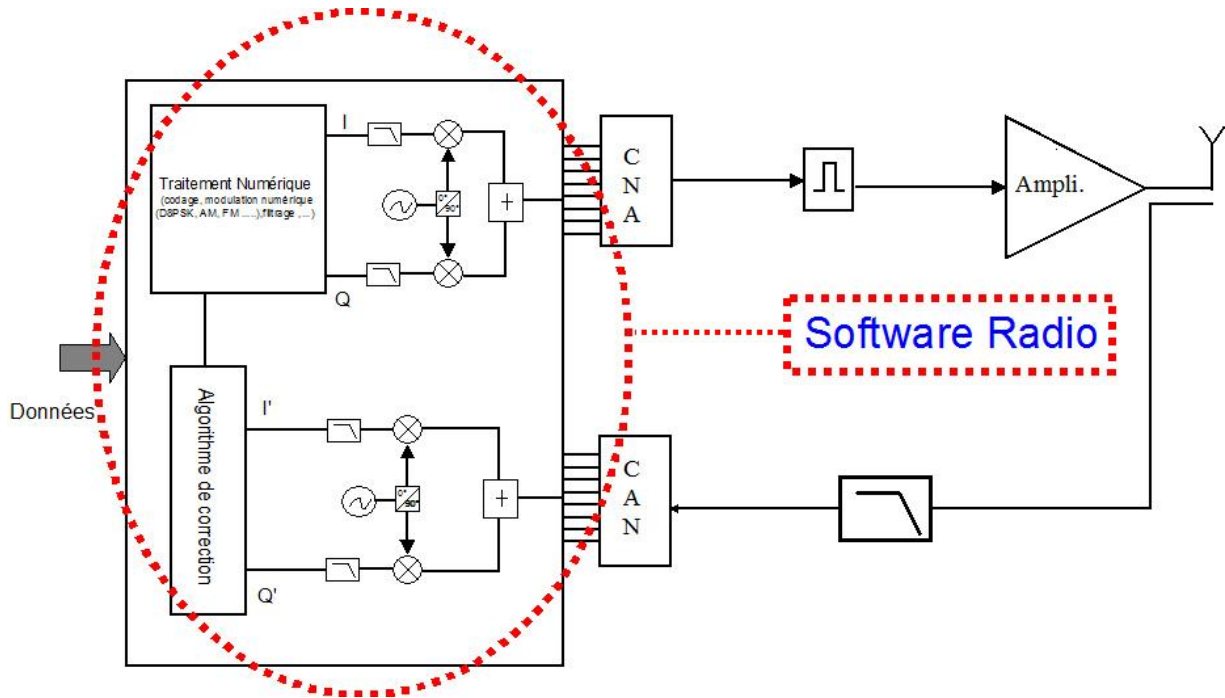


Figure 3.4 : Architecture boucle cartésienne idéale

En sortie du CNA, le signal passe par un filtre passe-bande sélectif en fréquence permettant de filtrer les répliques du signal, puis est traité par l'amplificateur de puissance utilisé dans sa zone à fort rendement. La boucle de retour permet de corriger à la fois les distorsions introduites par l'amplificateur de puissance et celles introduites par les autres circuits de la chaîne d'émission. Au niveau de la voie de retour, il n'y a pas de fréquence intermédiaire. La démodulation se fait directement sur la plateforme de traitement numérique. Cette architecture est une architecture « Software Radio » idéale car la partie « Front-end RF » de l'émetteur est réduite au strict minimum. Toutefois, comme toutes les architectures « Software Radio » idéales, celle-ci présente des limites technologiques à sa réalisation.

3.3.1. Limites technologiques : les CANs et CNAs

En sortie et en entrée de la plateforme de traitement numérique, l'utilisation des CNA et CAN est indispensable pour convertir le signal modulé du numérique vers l'analogique ou de l'analogique vers le numérique. L'émetteur radio à concevoir doit fonctionner dans la bande VHF (118 MHz - 144 MHz) et UHF (225 MHz-400 MHz). Notons $F_{0,max}$, la fréquence maximale de la porteuse, soit 400 MHz. Le CNA doit pouvoir fonctionner selon la théorie de

l'échantillonnage de Shannon-Nyquist à au moins 2 fois la fréquence maximal de la bande de travail soit 800 MHz. En pratique, ce rapport monte à 4 fois (pour relâcher les contraintes du filtre anti-repliement en sortie du CNA) la fréquence maximale du signal à émettre soit dans notre cas une fréquence d'échantillonnage de l'ordre de 1.6 GHz. De plus, le niveau de bruit proche exigé par les clients (bien supérieur à celui demandé par la norme qui est de -150 dBc/Hz) est de -162 dBc/Hz. Pour pouvoir atteindre ce niveau de bruit, il faudrait des convertisseurs de 27 bits au minimum (3.8).

$\overline{SNR} = 6,02 \times N_{bits} + 1.76$	(3.8)
------------------------------------------------	---------

En posant : $SNR = 162 \text{ dB}$, on obtient $N_{bits} \approx 27 \text{ bits}$

Il existe sur le marché des convertisseurs capables d'échantillonner à de telles fréquences comme le montre le Tableau 3.4 mais avec des résolutions bien inférieures à 27 bits.

La démodulation se faisant dans la partie numérique, il faudrait des CAN capables d'échantillonner le signal modulé directement à la fréquence porteuse. La plus haute fréquence d'échantillonnage disponible sur le marché pour un CAN est de 400 Msamp/s avec une résolution de 14 bits pour un coût raisonnable (Tableau 3.3). Pour éviter d'avoir à échantillonner la porteuse qui ne contient pas d'informations, la solution du sous-échantillonnage peut être envisagée de manière à travailler beaucoup plus bas en fréquence et récupérer le signal en bande de base.

3.3.2. Limites technologiques : le filtre passe-bande

En sortie du CNA, l'utilisation d'un filtre passe-bande sélectif en fréquence se justifie par le niveau de bruit requis par la norme ou exigé par les clients en entrée de l'amplificateur de puissance. En supposant que le CNA utilisé travaille sur 16 bits, le niveau SNR théorique qu'il peut assurer est de 98 dB. Le filtre doit permettre d'atteindre les -162 dBc/Hz. En considérant un filtre passe bande qui couvre les bandes UHF et VHF, le prix d'un tel filtre atteint des milliers d'euros. Un tel coût va à l'encontre des objectifs de réduction de coûts dans le développement de ces nouveaux émetteurs.

En conclusion, même si elle présente des avantages non négligeables telle que la disparition de certains composants analogiques comme l'oscillateur local, le modulateur et le

démodulateur qui ont la réputation d'être coûteux, encombrants, difficilement réglables et sujets aux dérives, cette architecture est difficilement réalisable aujourd'hui à cause des limites technologiques imposées notamment par les CAN et CNA. De plus l'utilisation de filtre passe-bande sélectif pour répondre aux contraintes de la norme en termes de bruit augmente considérablement le coût de développement des émetteurs basés sur ce type d'architecture.

3.4. Architecture 2 : architecture boucle cartésienne réalisable

L'architecture représentée Figure 3.5 est une architecture hétérodyne. En effet, deux transpositions de fréquence sont faites : la première dans la plateforme de traitement numérique avec un modulateur IQ numérique et la seconde se fait après le CNA et permet de passer de la fréquence FI à la fréquence RF.

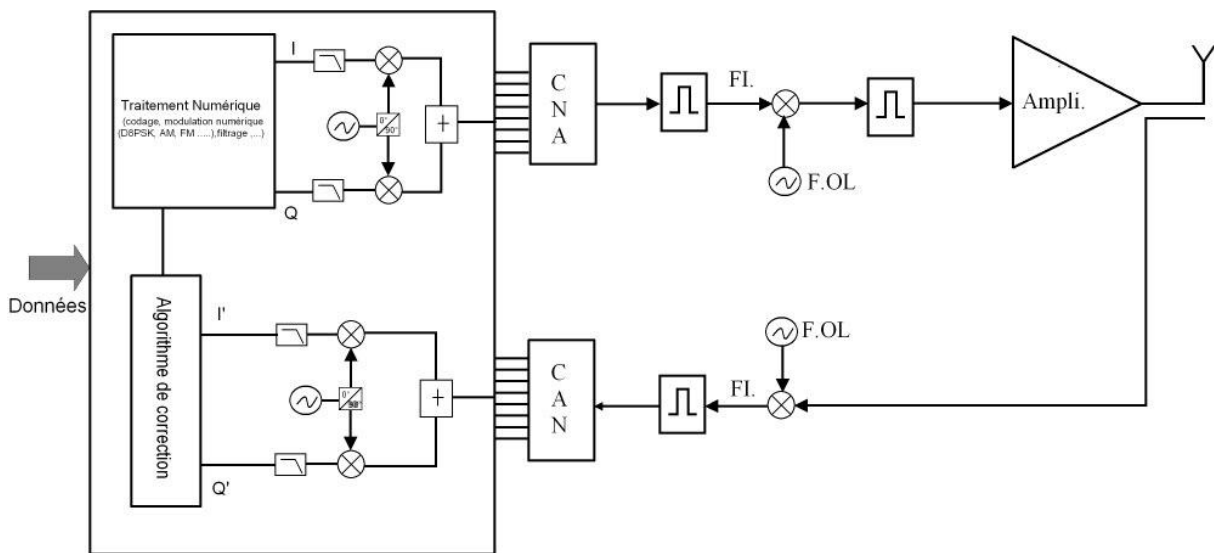


Figure 3.5: Architecture boucle cartésienne réalisable

Le CNA ne pouvant satisfaire à lui tout seul le niveau de bruit exigé, l'utilisation d'un filtre passe-bande centré autour de la fréquence intermédiaire est requise. Contrairement à l'architecture présentée plus haut, le filtre passe-bande n'est pas agile en fréquence (une seule fréquence intermédiaire). Ce filtre associé à un synthétiseur de fréquence très faible bruit permettra de satisfaire aux contraintes de bruit. L'utilisation d'un mélangeur (pour la transposition à la fréquence RF) est source de raies parasites indésirables en entrée de

l'amplificateur de puissance. Un second filtre passe-bande est nécessaire pour la suppression de ces raies parasites.

3.5. Architecture 3 : l'EER

Dans cette architecture (Figure 3.6), contrairement à l'architecture basée sur la boucle cartésienne, la plateforme de traitement numérique génère des signaux contenant les informations d'amplitude et de phase en bande de base. Le signal contenant l'information d'amplitude sera utilisé comme signal de commande des tensions de polarisation de l'amplificateur de puissance. Le signal contenant l'information de phase sera utilisé pour générer le signal RF à enveloppe constante qui sera envoyé en entrée de l'amplificateur de puissance. Il existe plusieurs moyens pour générer le signal RF à enveloppe constante. Le signal RF peut être généré en utilisant soit un déphaseur RF, soit en pilotant directement un synthétiseur de fréquence ou encore en utilisant un modulateur IQ. Ces différentes méthodes seront détaillées dans la deuxième partie de ce chapitre.

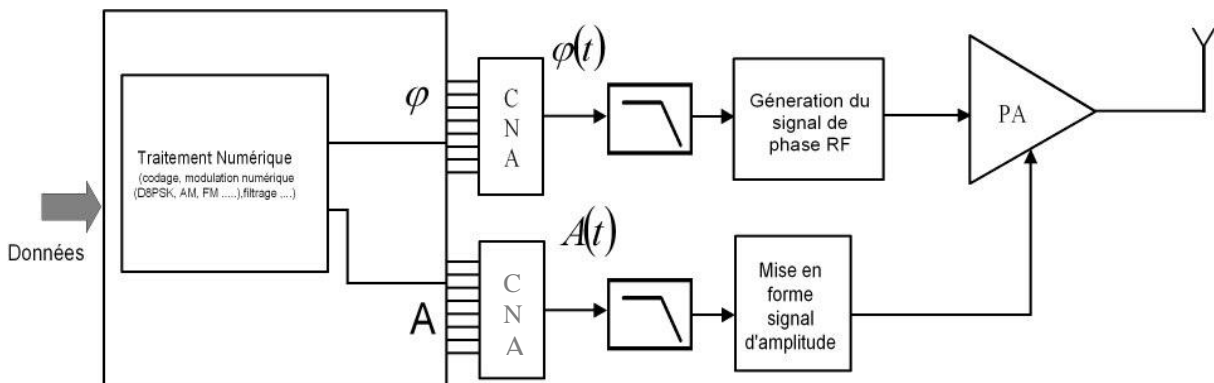


Figure 3.6: Architecture EER

Cette architecture présente des atouts non négligeables :

- Elle s'affranchit de l'utilisation de mélangeurs.
- Certains circuits nécessaires à la réalisation de cette architecture notamment le synthétiseur de fréquence très faible bruit existe.

La maîtrise de la variation du retard entre les voies « amplitude » et « phase » est l'une des difficultés de cette architecture. De plus, compte tenu des types de modulations numériques en jeu, la gestion de la dynamique du signal contenant l'information d'amplitude doit être traitée

avec attention ainsi que les non-linéarités de la commande de gain de l'AP comme nous le verrons dans la suite de ce mémoire.

3.6. Architecture 4 : Architecture EER associée à une boucle de retour

Pour compenser les dérives en température, le vieillissement de l'amplificateur de puissance qui peuvent entraîner une variation du gain et de la phase dans le temps de l'architecture 3, une boucle de retour peut être rajoutée. Cette architecture sera soumise aux mêmes limites que la boucle cartésienne et l'EER avec en plus deux facteurs critiques qu'il faudra prendre en compte et dont les effets s'accumulent : le délai de la boucle et le déphasage entre les voies de phase et d'amplitude.

3.7. Conclusion

L'architecture 2 est proche des produits développés actuellement au sein de TELERAD. La différence essentielle avec l'architecture 2 réside dans le portage de certaines fonctions réalisées auparavant en analogique sur une plateforme de traitement numérique. Cette étape représenterait une avancée incontestable. Réaliser certaines fonctions (telles qu'une partie de la transposition en fréquence, la fonction de comparaison de la boucle, le déphaseur analogique pour la correction de phase) analogiques sur une plateforme numérique permettrait d'améliorer la reproductibilité des équipements, de les reconfigurer plus facilement et surtout de diminuer les coûts liés au développement et à la maintenance de ces équipements. Contrairement au domaine de la téléphonie mobile où la pérennité des produits est de 2 ou 3 ans, dans le secteur aéronautique, les sociétés qui proposent des équipements d'aide à la navigation aérienne se doivent d'assurer la pérennité de leurs produits sur des périodes pouvant aller jusqu'à quelques décennies. Des équipements flexibles, reproductibles et facilement reconfigurables devraient permettre de s'assurer de cette pérennité.

L'absence de mélangeurs dans l'architecture 3 pour la transposition de fréquence permet d'éviter les non-linéarités générant des intermodulations. Le traitement de ces intermodulations dans les émetteurs radio actuels représente un réel problème. Elles nécessitent l'utilisation de filtres très sélectifs pour pouvoir satisfaire les contraintes de niveau

de bruit imposées par la norme. L'autre point fort de cette architecture réside dans le principe même de la technique EER qui permet d'utiliser l'amplificateur de puissance dans sa zone à fort rendement avec un signal RF à enveloppe constante en entrée.

Il existe d'autres architectures d'émetteurs basées par exemple sur une prédistorsion adaptative comme c'est le cas dans la téléphonie mobile. Une telle architecture nécessite de changer complètement la structure actuelle des émetteurs radio et de repenser différemment leur conception. Les équipements d'aide à la navigation aérienne pourraient exploiter avec profit les architectures d'émetteurs développées dans la téléphonie mobile.

Dans le cas des émetteurs intégrant un module de prédistorsion, il est souvent question d'IP (Intellectual Property). Cette solution est tributaire de la société qui commercialise le produit. En cas de défaillance, la maintenance peut devenir problématique et délicate pour la société TELERAD. De même, les modules intégrant des boucles cartésiennes sont optimisés pour des standards spécifiques tels que le WCDMA [8] [54], l'EDGE [55] [56] ou le WLAN [57]. Ces différents modules sont donc avant tout développés pour une utilisation précise. Les contraintes imposées dans la navigation aérienne sont très différentes de celles de la téléphonie mobile. Les niveaux de puissances ainsi que les bandes de fréquences ne sont pas les mêmes. Les critères de fiabilité et de robustesse des équipements prévalent sur la réduction des coûts. Les composants utilisés doivent résister à de fortes agressions (température, mauvaise manipulation des équipements, ...). La puissance moyenne des émetteurs radio est d'environ 47 dBm avec des puissances crête de l'ordre de 55 dBm, ce qui implique une bonne isolation de l'étage d'amplification par rapport aux autres étages de l'émetteur. Le niveau du bruit exigé par la norme (152 dBc/Hz) contraint les industriels à développer des synthétiseurs de fréquence adaptés à l'application. Les solutions tout en un utilisées dans la téléphonie mobile ne sont pas adaptées aux problématiques rencontrées dans l'aéronautique.

Le Tableau 3.5 récapitule les différentes architectures présentées ainsi que leurs avantages et inconvénients.

	Architecture 1	Architecture 2	Architecture 3
Avantages	Absences de mélangeurs (pas de problèmes de raies parasites) D émodulation réalisée dans la partie numérique	F iltre sélectif réalisable Utilisation synthétiseur de fréquence très faible bruit D émodulation réalisée dans la partie numérique	P as de mélangeur sur la voie directe S ignal RF à enveloppe constante en entrée de l'AP
Inconvénients	F iltre agile en fréquence (très couteux) D ifficulté à tenir les contraintes de bruit (voie directe) et d'échantillonnage	U tilisation de mélangeurs au moins dans la voie directe (apparition de raies parasites)	G rande dynamique du signal d'enveloppe D éphasage entre les voies d'amplitude et de phase

Tableau 3.5 : Tableau comparatif des architectures BC et EER

3.8. Etude des deux architectures retenues

Rappelons les critères fondamentaux que devra respecter ce nouvel émetteur :

- Les raies parasites générées par les mélangeurs (dans le cas d'architectures utilisant cette configuration) devront être réduites au maximum de manière à relâcher les contraintes sur les filtres en amont.
- Dans le cas d'architectures utilisant une boucle de retour, une attention particulière devra être portée à la démodulation. En effet, les non-linéarités introduites par la démodulation ne sont pas corrigées par la boucle de retour. Une démodulation numérique peut être envisagée.

Parmi les différentes architectures proposées, deux d'entre elles sont retenues : L'architecture EER et l'architecture boucle cartésienne (architecture 2) basées sur deux approches différentes. L'architecture EER, contrairement aux autres méthodes qui lui sont proches (Envelope Tracking, ...) permet de s'affranchir de l'utilisation de mélangeurs. De plus l'amplificateur de puissance peut être exploité dans sa zone à fort rendement. Les signaux de phase et d'amplitude pourront être générés de façon numérique. Une boucle cartésienne pourra être implémentée pour améliorer les performances de l'architecture existante (qui rappelons-le est entièrement analogique). L'implémentation sur une plateforme numérique est envisageable. Une étude approfondie des deux architectures est proposée dans la prochaine

section. Cette analyse permettra de choisir de façon définitive l'architecture qui sera implémentée.

3.8.1. Etude quantitative et qualitative : Dimensionnement des deux architectures

3.8.1.1. Architecture boucle cartésienne

L'avantage principal de cette architecture réside dans le fait que les émetteurs UHF et VHF de Telerad actuellement commercialisés exploitent cette méthode de linéarisation. Les différentes décisions prises tout au long de ce travail résultent de choix technologiques et de retours d'expériences sur l'émetteur existant. L'émetteur sur lequel notre étude s'appuie est réalisé entièrement en analogique. Ses composants sont sujets à des dérives (températures, vieillissement,...). La reconfigurabilité d'un tel émetteur est quasi impossible et nécessite le changement d'une carte ou d'un module. Il en est de même de sa reproductibilité. Plusieurs fonctions sont câblées et réglées manuellement. Toutes ces difficultés engendrent une augmentation des coûts de développement et de production. L'architecture entièrement software radio serait idéale mais nous avons expliqué dans le Chapitre 1 la raison pour laquelle une telle architecture est inenvisageable à l'heure actuelle. Pour améliorer les performances, une migration de certaines fonctions analogiques peut être réalisée vers une plateforme numérique. Des simulations ont été faites pour dimensionner un tel système et définir ainsi les limites de la réalisation.

Les principaux critères que doivent respecter les émetteurs radio sont récapitulés dans le Tableau 3.6:

Emetteurs UHF et VHF	
Bande de fréquence	VHF (118 MHz – 144 MHz) et UHF (225 MHz - 400 MHz)
Modulation	D8PSK
Fréquence symbole	1 MHz et 10.5 kHz
Roll-off du filtre de Nyquist	0.22
ACPR	ETSI

EVM	6 %
Niveau du bruit à la sortie de l'AP	-152 dBc/Hz
Puissance dans le canal utile	47 dBm

Tableau 3.6 : Spécifications de l'émetteur radio

Le synopsis d'une architecture boucle cartésienne est rappelé à la Figure 3.7

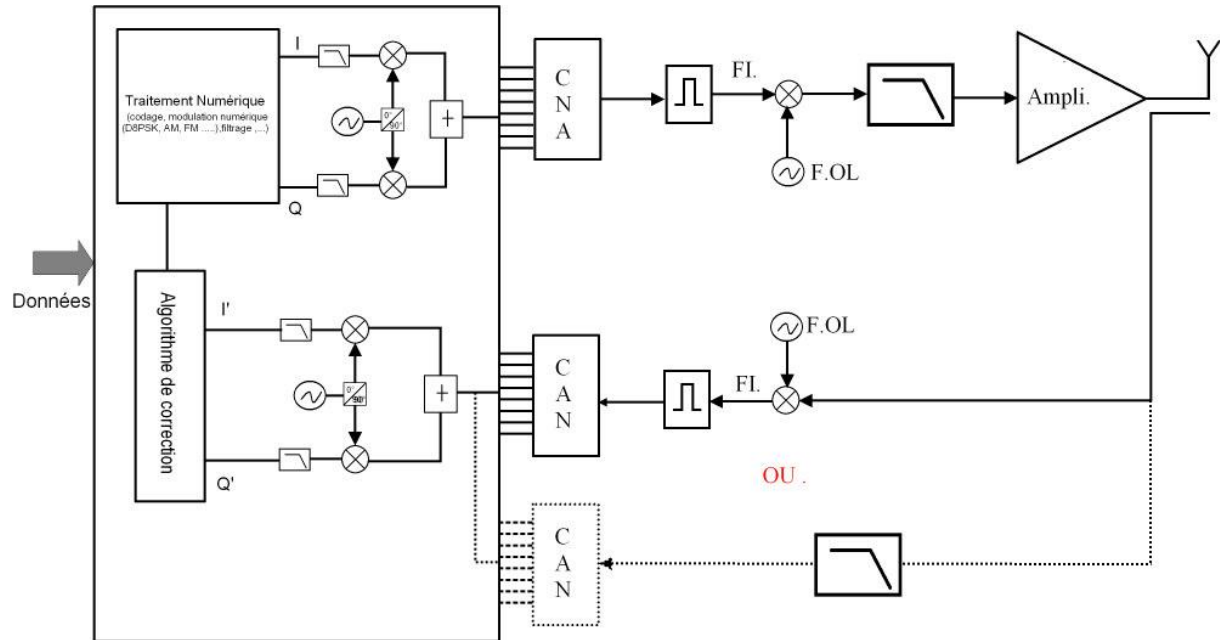


Figure 3.7: Synopsis d'une boucle cartésienne

1. Le filtrage : voie directe

Les signaux bande de base sont générés directement en sortie de la plateforme numérique (DSP ou FPGA). Dans ce cas, l'émetteur est à conversion directe et les fréquences d'échantillonnage sont relativement faibles : de l'ordre de quelques mégahertz en fonction du facteur de sur-échantillonnage adopté. Si une FI est utilisée (émetteur hétérodyne), 70 MHz par exemple, la fréquence d'échantillonnage doit être au minimum choisie égale à 141 MHz. Un facteur de sur-échantillonnage adapté permet de relâcher les contraintes sur le filtre (situé après les CANs). Pour simplifier l'analyse, considérons l'utilisation d'un filtre passe-bas et de type Butterworth (la réponse est la plus plate possible dans la bande passante du signal) pour

filtrer les répliques de spectres indésirables en sortie du CAN¹ (signaux échantillonnés en bande de base ou à une fréquence intermédiaire, Figure 3.8). Le CNA peut être modélisé dans une première approche par un simple échantillonneur bloqueur.

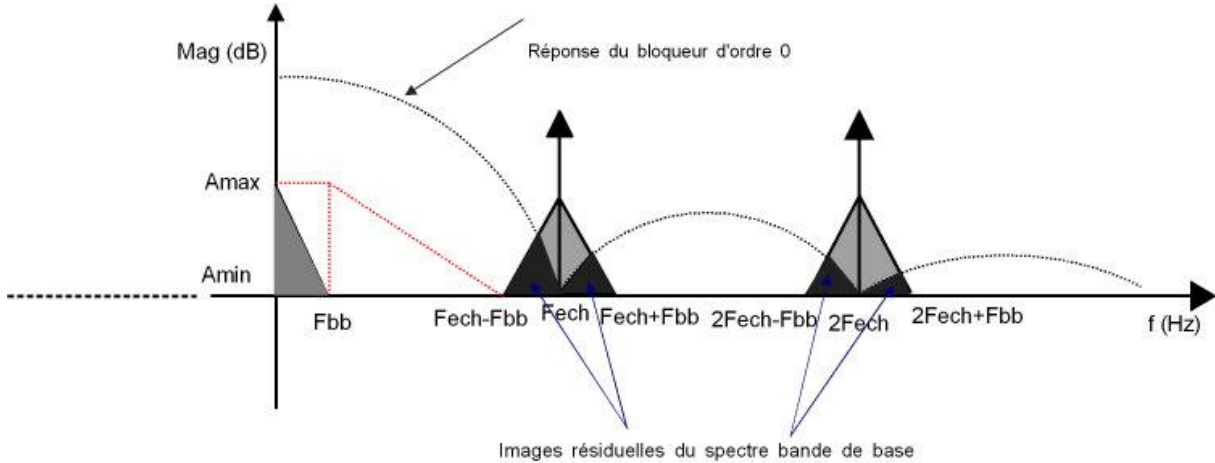


Figure 3.8 : Spectre du signal bande de base et ses images en sortie du CNA

Le principe d'un filtre passe-bas idéal est de préserver fidèlement le contenu spectral d'un signal sur toute sa bande passante. L'atténuation sur cette bande doit être de manière idéale égale à un. Elle est appelée A_{max} ou atténuation maximale autorisée (0 dB dans le cas idéal) dans la bande passante. Ensuite le signal est atténué avec une certaine pente. La première image du spectre se trouve à la fréquence $f_{ech} - f_{bb}$ (avec f_{bb} la fréquence maximale de la bande passante du signal échantillonné). A cette fréquence, le spectre doit être atténué au minimum d'une certaine valeur appelée A_{min} ou atténuation minimum acceptée dans la bande coupée. L'ordre n du filtre est déterminé par l'équation (3.9) [58] :

$n = \frac{A_{dB}}{10 \times \log_{10} \left(\frac{f_{ech} - 2 \times f_{bb}}{f_{bb}} \right)}$	(3.9)
--------------------------------------------------------------------------------------------------	---------

A_{dB} représente la différence entre A_{max} et A_{min} .

En sortie du CNA, le bruit numérique est déterminé en fonction du nombre de bits de conversion. Le rôle du filtre en sortie du CNA est d'éliminer les répliques du signal échantillonné. Pour exploiter au mieux la dynamique de conversion du CNA, l'atténuation

¹ Le CNA peut être modélisé dans une première approche par un simple échantillonneur bloqueur.

A_{dB} est choisie égale au SNR du CNA. Lorsque le niveau de bruit exigé en sortie du CNA est supérieur au SNR, la pente du filtre est plus raide et nous obtenons un filtre d'un ordre supérieur. En raison du niveau de bruit exigé par la norme, le SNR doit être le plus élevé possible, ce qui implique un CNA avec un nombre de bits élevé. Le Tableau 3.7 expose quelques convertisseurs qui pourront satisfaire à ces exigences.

	DAC5682Z ; DAC3282 ;DAC3283 <i>Texas Instruments</i>	AD9780/AD9781/AD9783 AD9785/AD9787/AD9788 <i>Analog Devices</i>
Nombre de bits (Nbits)	16	16
Fréquence d'échantillonnage (MHz)	1 Gsamp/s; 625 Msamp/s; 800 Msamp/s	500 Msamp/s 800 Msamp/s

Tableau 3.7: Quelques CNAs 16 bits du marché

2. Le filtrage : voie de retour

Concernant la voie de retour, des CANs pouvant faire du sous-échantillonnage peuvent être sélectionnés à la place du démodulateur analogique classique. Seul le signal bande de base nous intéresse, les informations contenues dans la porteuse n'ayant aucun intérêt. La fréquence d'échantillonnage doit être choisie de manière à ce que les deux bandes (UHF et VHF) qui nous intéressent se retrouvent dans une zone de Nyquist, plus exactement $[k F_{ech}/2; (k + 1) F_{ech}/2]$. La zone de Nyquist est définie comme étant la moitié de la fréquence d'échantillonnage. Pour la bande VHF (108 MHz - 144 MHz) par exemple, d'une largeur de 36 MHz, la fréquence d'échantillonnage doit être au moins égale à 72 MHz. Dans ce cas, la bande VHF se trouve dans la 4^{ème} zone de Nyquist, soit l'intervalle $[3 \times 72 \text{ MHz}/2; 4 \times 72 \text{ MHz}/2]$ (Figure 3.9). Pour la bande UHF, la fréquence minimale d'échantillonnage est de 350 MHz, avec la première zone de Nyquist situé entre 0 et 175 MHz. En choisissant exactement une fréquence d'échantillonnage égale à 350 MHz, on se rend compte que la bande UHF chevauche deux zones de Nyquist, ce qui peut entraîner un repliement de spectre après le sous échantillonnage. La fréquence d'échantillonnage devra donc être de 400 MHz au minimum pour retrouver la bande UHF dans la deuxième zone de Nyquist soit $[4 \times 400 \text{ MHz}/2; 2 \times 400 \text{ MHz}/2]$ (Figure 3.9). Le principe de sous-

échantillonnage étant déjà expliqué dans la section 3.2.1.4 (Figure 3.2), les répliques des signaux sous-échantillonnés ne sont pas montrées sur la Figure 3.9 dans un souci de clarté.

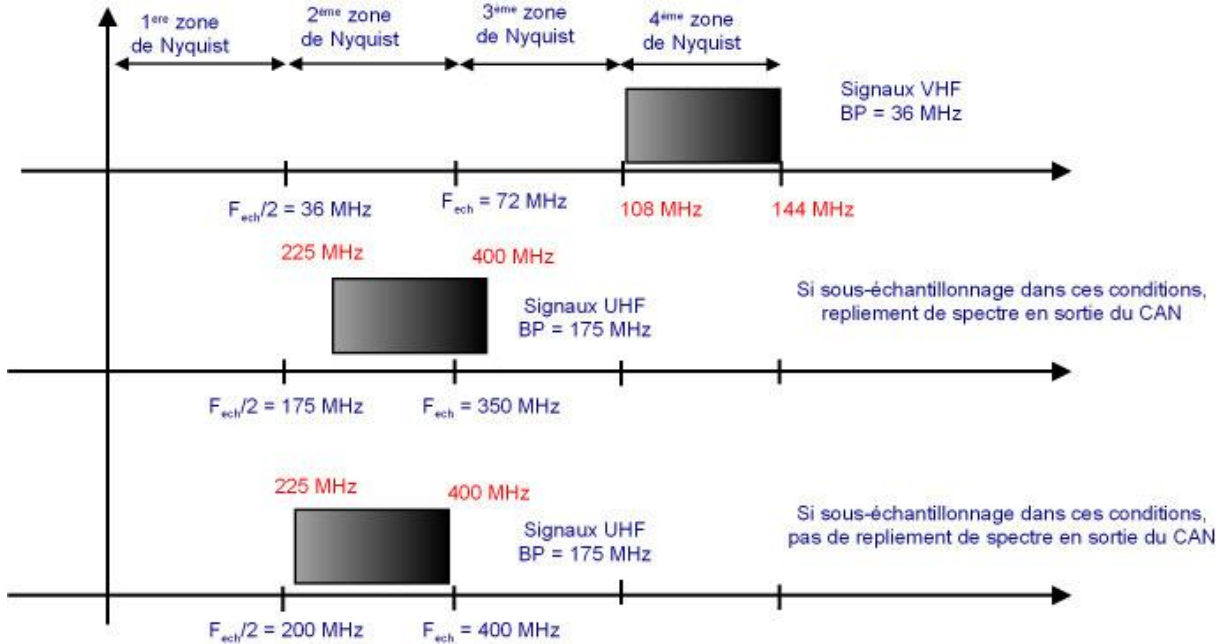


Figure 3.9 : Zones de Nyquist des bandes UHF et VHF

Le gain d'une boucle cartésienne dépend essentiellement du gain de la boucle de retour. Celui-ci doit être finement réglé. La bande passante de la boucle cartésienne est limitée par la bande passante des filtres et plus précisément celles des filtres de boucle. Le délai global de la boucle ne doit pas dépasser le délai entre deux symboles consécutifs [8]. La stabilité de la boucle est liée à une marge de phase et une marge de gain suffisante. Une marge de phase de 45° et une marge de gain de 10 ou 12 dB sont généralement admises pour garder un système stable. La réduction de la marge de phase est due à la rotation de phase RF dans la chaîne directe et au déphasage en bande de base (filtre de boucle) tout le long de la boucle. Pour dimensionner correctement les filtres de boucle, la boucle cartésienne doit intégrer le délai de toute la chaîne. Modélisons le système bouclé par sa représentation dans le domaine de Laplace (Figure 3.10) en incluant les délais de la boucle. Les délais T_1 (dans la voie directe) et T_2 (dans la voie de retour) sont modélisés respectivement par leurs expressions e^{-T_1s} et e^{-T_2s} dans le domaine de Laplace.

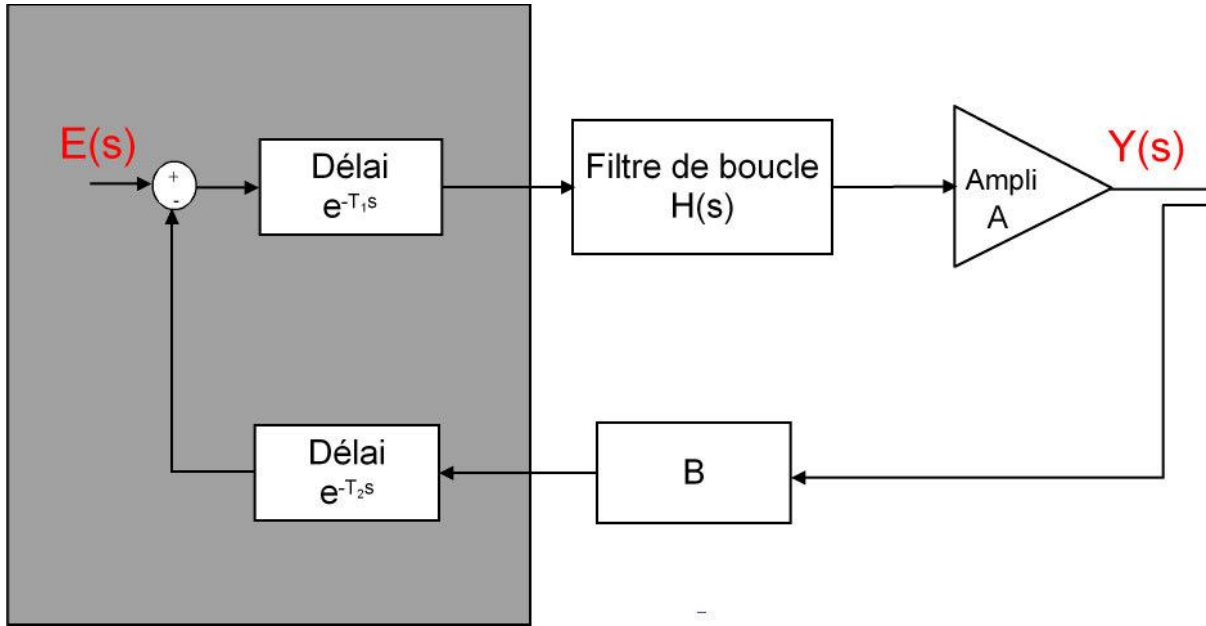


Figure 3.10 : Modélisation d'une seule voie de la boucle dans le domaine de Laplace

La fonction de transfert en boucle ouverte s'écrit :

$FTBO(s) = \frac{Y(s)}{E(s)} = A \times H(s) \times B \times e^{-T_1 s} \times e^{-T_2 s}$	(3.10)
--------------------------------------------------------------------------------------------	----------

La fonction de transfert en boucle fermée s'écrit :

$FTBF(s) = \frac{Y(s)}{E(s)} = \frac{A \times H(s) \times e^{-T_1 s}}{1 + A \times B(s) \times H(s) \times e^{-(T_1+T_2)s}}$	(3.11)
------------------------------------------------------------------------------------------------------------------------------	----------

L'expression (3.12) est appelée gain de la boucle. :

$L(s) = A \times B(s) \times H(s) \times e^{-(T_1+T_2)s}$	(3.12)
-----------------------------------------------------------	----------

Le module et l'argument de $L(s)$ s'écrivent :

$\begin{cases} L(s) = A \times B \times H(s) \times e^{-(T_1+T_2)s} \\ \angle L(s) = \angle H(s) + \angle e^{-(T_1+T_2)s} \end{cases}$	(3.13)
----------------------------------------------------------------------------------------------------------------------------------------------	----------

et dépendent de la fonction $H(s)$.

Les marges de gain et de phase traduisent respectivement la quantité de gain ou le déphasage qui peut être rajouté au système avant qu'il ne devienne instable et sont définies par le système d'équations (3.13) :

$\begin{cases} MG = 20 \times \log_{10} \left(\frac{1}{ L(j \times \omega_{\pi}) } \right)_{dB} \\ MP = \angle L(j \times \omega_{GU}) + 180^\circ \end{cases}$	(3.14)
------------------------------------------------------------------------------------------------------------------------------------------------------------------	----------

ω_{π} est la pulsation à laquelle le déphasage est de -180° et ω_{GU} est la pulsation à laquelle $|L(j \times \omega_{GU})| = 1$.

Le passage du domaine de Laplace au domaine fréquentiel se fait par la relation (3.17) :

$L(j \times \omega) = L(s) _{s=j \times \omega}$	(3.15)
--------------------------------------------------	----------

Déterminons la valeur de la marge de gain et marge de phase pour deux expressions différentes de H(s).

- $H(s) = \frac{1}{1+s/p_1}$: H(s) est un système passe-bas de premier ordre possédant le pôle $-p_1$

L'expression de L(s) devient :

$L(s) = \frac{A \times B \times e^{-(T_1+T_2)\sigma} \times e^{-j \times \omega \times (T_1+T_2)}}{(\sigma + p_1) + (j \times \omega)}$	(3.16)
-----------------------------------------------------------------------------------------------------------------------------------------	----------

Les marges de gain et de phase s'écrivent :

$\begin{cases} MG = \frac{\sqrt{(2 \times \pi \times f_{bb\text{eff}})^2 + \omega_{\pi}^2}}{A \times B \times 2 \times \pi \times f_{bb\text{eff}}} \\ MP = -\omega_{GU}(T_1 + T_2) - \tan^{-1} \left(\frac{\omega_{GU}}{2 \times \pi \times f_{bb\text{eff}}} \right) + \pi \end{cases}$	(3.17)
--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	----------

avec $p_1 = 2 \times \pi \times f_{bb\text{eff}}$ et avec $f_{bb\text{eff}} = 1,5 \times f_{bb}$ [8]

L'expression de ω_{GU} s'obtient en posant $|L(j \times \omega_{GU})| = 1$.

$\omega_{GU} = 2 \times \pi \times f_{bb\text{eff}} \sqrt{(A \times B) - 1}$	(3.18)
------------------------------------------------------------------------------	----------

Pour $A \times B \gg 1$, $\omega_{GU} = 2 \times \pi \times f_{bbeff} \sqrt{(A \times B)}$ et $\tan^{-1}(A \times B) \approx \frac{\pi}{2}$

La marge de phase s'écrit alors :

$MP = - \left(2 \times \pi \times f_{bbeff} \sqrt{(A \times B)} \times (T_1 + T_2) \right) - \tan^{-1}(\sqrt{A \times B}) + \pi$ $MP = - \left(2 \times \pi \times f_{bbeff} \sqrt{(A \times B)} \times (T_1 + T_2) \right) - \frac{\pi}{2} + \pi$ $MP = \frac{\pi}{2} - \left(2 \times \pi \times f_{bbeff} \sqrt{(A \times B)} \times (T_1 + T_2) \right)$	(3.19)
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	----------

Dans ce premier exemple, la marge de phase maximale qui peut être obtenue est égale à $\pi/2$. Dans ce cas, nous avons les délais $T_1 = T_2 = 0$. Cette condition est impossible à tenir de façon pratique car un retard est forcément rajouté du fait même de la présence d'une boucle de retour. Il est possible d'obtenir une marge de phase suffisante (45°) à condition de faire des compromis au niveau du délai maximal introduit par le système.

- $H(s) = \frac{1}{(1+s/p_1)(1+s/p_2)}$: H(s) est un système passe-bas de second ordre avec deux pôles dominants $-p_1 = -p_2$.

Le gain de boucle $L(s)$ s'écrit (3.20) :

$L(s) = \frac{A \times B \times p_2 \times p_1 \times e^{-(T_1+T_2)\sigma} \times e^{-j \times \omega \times (T_1+T_2)}}{[(\sigma + p_1) + (j \times \omega)] \times [(\sigma + p_2) + (j \times \omega)]}$	(3.20)
-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	----------

Nous avons :

$MG = \sqrt{p_1^2 + \omega_\pi^2} \times \sqrt{p_2^2 + \omega_\pi^2}$ $MG = \frac{(2 \times \pi \times f_{bbeff})^2 + \omega_\pi^2}{A \times B \times (2 \times \pi \times f_{bbeff})^2}$	(3.21)
-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	----------

Et

$MP = -\omega_{GU}(T_1 + T_2) - 2 \times \tan^{-1} \left(\frac{\omega_{GU}}{p_1} \right) + \pi$ $MP = -2 \times \frac{\pi}{2} - \left(2 \times \pi \times f_{bbeff} \sqrt{(A \times B)} \times (T_1 + T_2) \right) + \pi$	(3.22)
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	----------

$$MP = - \left(2 \times \pi \times f_{bb} \times \sqrt{(A \times B)} \times (T_1 + T_2) \right)$$

Un filtre de boucle du second ordre avec deux pôles dominants + délai contribuent à une phase négative. Pour de fortes valeurs de $\sqrt{(A \times B)}$, cette contribution devient maximum. De plus, le système est toujours instable. Chaque ordre supplémentaire du filtre de boucle rajoute une phase négative (-90°) au système, ce qui contribuera à augmenter l'instabilité du système. A partir d'un filtre de boucle d'ordre 2, il n'est pas possible d'obtenir une marge de phase acceptable sans rajouter un système de compensation au système bouclé. Utiliser un filtre de boucle d'un ordre le plus faible possible permet de réduire la complexité du système de compensation à rajouter au système pour augmenter la marge de phase.

L'ordre du filtre de boucle (qui est composé du filtre en sortie du CNA) dépend essentiellement de la fréquence d'échantillonnage utilisée. En choisissant des CNAs de 16 bits (pour les raisons évoquées plus haut), la relation (3.9) nous donne l'ordre du filtre de boucle en fonction de A_{dB} , f_{bb} et f_{ech} (Tableau 3.8) pour des CNAs de 16 bits. Notons que A_{dB} est choisi égale au SNR du CNA utilisé soit 90 dB dans le cas d'un CNA de 16 bits. Le cas où $f_{bb} = 70 \text{ MHz}$ correspond à une architecture avec une fréquence intermédiaire (réalisée dans la plateforme de traitement numérique). Lorsque $f_{bb} = 10,5 \text{ kHz}$, l'architecture considérée correspond au cas d'une conversion directe c'est-à-dire que la bande passante des signaux en sortie de la plateforme numérique est égale à $10,5 \text{ kHz}$. Ces deux exemples sont choisis dans le but de comparer les valeurs de l'ordre du filtre dans le cas des deux architectures.

		$N_{bits} = 16 \text{ (SNR = 90 dB)}$						
		$f_{ech} \text{ [MHz]}$						
f_{bb}	10.5 kHz	0.210	0.420	0.630	0.840	1.050	1.260	1.680
	70 MHz	1400	2800	4200	5600	7000	163.84	1400
Ordre du filtre		3.84 (4)	3.05 (4)	2.73 (3)	2.54 (3)	2.42 (3)	2.32 (3)	2.2 (3)
L		10	20	30	40	50	60	80

Tableau 3.8 : Ordre du filtre passe-bas de Butterworth en sortie du CNA

Un pôle rajoute au système une phase négative mais un zéro réalise l'opération inverse.

- Compensation avec un zéro

L'expression du gain de boucle $L(s)$ devient (3.23)

$L(s) = \frac{A \times B \times \left(\frac{s}{z} + 1\right)}{\left(\frac{s}{p_1} + 1\right)^2}$	(3.23)
--------------------------------------------------------------------------------------------------	----------

La marge de phase s'écrit (3.24) :

$MP = -\omega_{GU}(T_1 + T_2) - 2 \times \tan^{-1}\left(\frac{\omega_{GU}}{p_1}\right) + \tan^{-1}\left(\frac{\omega_{GU}}{z}\right)\pi$	(3.24)
------------------------------------------------------------------------------------------------------------------------------------------	----------

Avec z le zéro du système de compensation.

L'emplacement du zéro détermine la marge de gain et le délai maximal dans le système en fonction de la marge de gain souhaité.

La méthode utilisée pour trouver l'emplacement optimal du zéro est décrite en détail dans [58] et rappelée brièvement ci-dessous :

1. Fixer la valeur de la marge de phase MP visée
2. Fixer le gain de boucle à une valeur (aussi haute que possible)
3. Fixer le délai total dû au système à une valeur élevée
4. Positionner le zéro de telle manière à obtenir une marge de phase égale à celle voulue
5. Si la marge de phase est inférieure à celle voulue, diminuer le gain de boucle ou le délai et répéter à partir de l'étape 4.

Le Tableau 3.9 montre les triplets ($Gain ; MP ; \Delta_{max}$) pour $MP = 45^\circ$ et $MP = 60^\circ$ et un emplacement optimal du zéro à $f_z = 3 \times f_{b\text{eff}}$.

		Marge de phase (en degrés)					
		45			60		
f_{bb} [MHz]	Gain	MG	Δ_{max} (nsec)	Gain	MG	Δ_{max} (nsec)	
0.0105	30	11.20	345	30	20.83	90	
	20	12.80	1320	20	17.69	600	
	10	12.95	5700	10	17.23	3200	
1	30	11.19	4				
	20	13.39	14				
	10	13.08	58				

Tableau 3.9 : ($Gain$; MP ; Δ_{max}) pour $MP = 45^\circ$ et $MP = 60^\circ$.

Pour un signal de 1 MHz de bande passante, le délai maximal que l'on peut admettre pour un filtre de second ordre associé à un filtre de compensation qui comporte un zéro est de 58 nsec pour seulement un gain de 10 dB. Par contre, avec un signal de 10.5 kHz de bande passante, pour un gain de boucle de 20 dB, nous pouvons obtenir un délai de l'ordre de 600 ns avec une marge de gain de 17 dB et une marge de phase théorique de 60° .

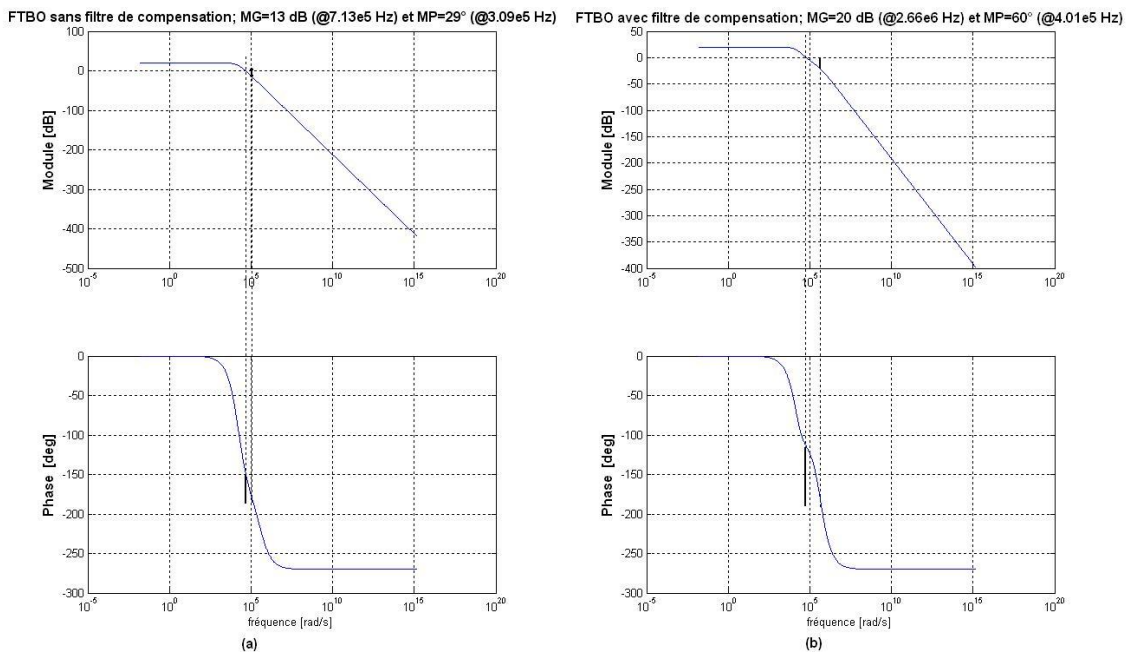


Figure 3.11 : Marges de phase et gain sans (a) et avec (b) le filtre de compensation.

Pour illustrer les résultats donnés ci-dessus, la boucle cartésienne a été simulée sous ADS dans le cas d'un signal D8PSK de 1 MHz de bande passante et en considérant un délai $\Delta = 10 \text{ nsec}$. Les résultats observés sont présentés à la Figure 3.12. Avec un gain de boucle théorique de 20 dB, on observe une amélioration de 18 dB dans le premier canal adjacent sur le spectre en sortie de l'amplificateur de puissance

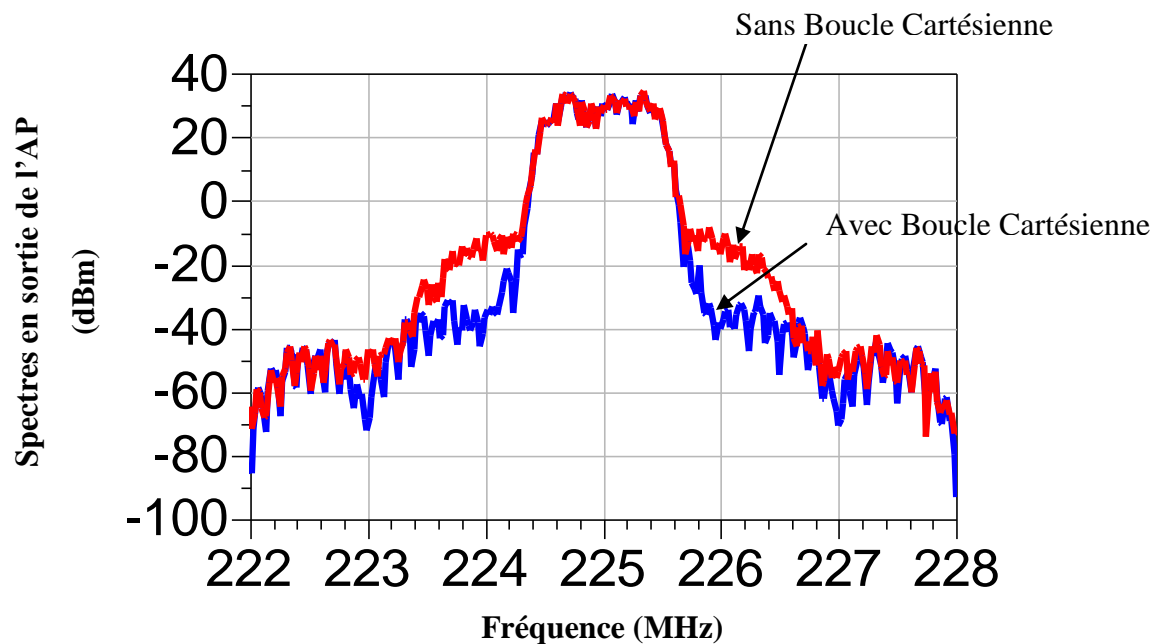


Figure 3.12 : Puissance en sortie de l'amplificateur de puissance avec et sans la boucle

3.8.1.2. Conclusion

Dans un premier temps, nous pouvons déjà observer que la réalisation d'une boucle cartésienne numérique avec un signal de 1 MHz de bande passante risque d'être difficile. En effet, pour qu'une telle boucle fonctionne, le délai maximal du système (partie numérique + partie analogique) ne doit pas excéder 14 nsec. Nous voyons les limites de la boucle cartésienne pour des signaux de bande passante supérieure ou égale à 1MHz. Pour des modulations avec des bandes passantes de l'ordre du MHz, d'autres techniques de linéarisation telles que l'EER (sans la boucle) ou la prédistorsion adaptative seront privilégiées.

3.8.1.3. Architecture EER

Contrairement à la version originale entièrement analogique, avec l'EER bande de base les signaux de phase et d'amplitude sont générés dans la plateforme de traitement numérique. Cette méthode permet de travailler dans la zone à haut rendement de l'amplificateur de puissance. Les raisons du choix de cette architecture sont multiples :

- l'implémentation d'une boucle cartésienne numérique présente des limitations notamment sur la bande passante maximale du signal d'entrée
- cette architecture contrairement à la boucle cartésienne n'a pas de problème de stabilité
- cette architecture ne nécessite pas un changement radical de l'architecture des émetteurs actuellement commercialisés et certains composants et modules peuvent être réutilisés.

Il n'y a pas de contrainte particulière sur la fréquence d'échantillonnage des signaux bande de base contenant l'information de phase et d'amplitude en entrée des CNAs tant que le critère de Shannon est respecté. Plus cette fréquence est élevée, plus les contraintes sur les filtres de sorties sont relâchées. La précision du CNA doit être bonne (CNA de 16 bits) pour convertir toute la dynamique des signaux d'amplitude et de phase.

3.9. Conclusion

Plusieurs architectures possibles basées sur différentes méthodes de linéarisation ont été présentées dans ce chapitre. L'étude quantitative de deux architectures les plus adaptées à notre application a permis de mettre en évidence les points critiques ainsi que les avantages de chacune d'entre elles. La boucle cartésienne numérique présente des limites dès lors que la bande passante des signaux passe à 1MHz. L'EER est une architecture qui convient à tous types de modulations et est aussi adaptée aux modulations présentant un PAPR élevée telle que l'OFDM par exemple. En raison des possibles évolutions des normes aéronautiques des émetteurs UHF/VHF actuels, l'architecture EER est l'architecture la plus adaptée aux futurs émetteurs spécifiés par la norme. L'architecture EER est une architecture inconditionnellement stable. Au contraire de la boucle cartésienne, elle ne permet pas de

corriger les non-linéarités du système complet. Pour les signaux de 10.5 kHz de bande passante, nous avons vu qu'il était possible d'utiliser une boucle cartésienne numérique dont l'objectif serait non seulement de corriger les variations en température et vieillissement des composants mais aussi d'augmenter les performances du système en linéarisant l'émetteur tout entier. Les avantages de l'EER et de la boucle cartésienne peuvent être combinés dans ce cas. En raison du temps imparti, seule l'architecture EER (pour 1 MHz de bande passante) sera entièrement étudiée, simulée, implémentée et réalisée. Quant à l'architecture EER + la boucle de retour, les phases d'implémentation et de réalisation ne seront pas abordées.

Dans le prochain chapitre, seront abordées les différentes phases d'implémentation de l'architecture EER. Pour réaliser cette architecture, un choix technologique a été réalisé. Il tient compte de l'étude préalable ainsi que du savoir faire de l'entreprise TELERAD. A partir de ces éléments, une phase de modélisation est réalisée pour détecter les problèmes pouvant impacter les performances. Des solutions sont proposées pour améliorer le système global.

Chapitre 4. Modélisation et optimisation de l'EER

Dans le chapitre 3, l'architecture EER a été choisie pour être implémentée en raison de sa robustesse par rapport aux spécifications des normes pour les émetteurs UHF/VHF et aussi parce qu'elle est bien adaptée aux signaux avec de forts PAPR (c'est le cas de la modulation OFDM pour le LDAC-1 par exemple, voir Chapitre 1) et à des bandes passantes supérieures à celles que peut supporter une architecture basée sur boucle cartésienne numérique. Une boucle de retour pourra être ajoutée dans le cas des signaux à faible bande passante (10.5 kHz) pour améliorer les performances de l'EER. L'étude de l'EER est faite en plusieurs étapes. Les facteurs qui limitent les performances de l'EER tels que le délai entre les voies d'amplitude et de phase, la non-linéarité de la commande de gain et du module de génération du signal RF sont étudiées, analysées, modélisées et corrigées. Ensuite toute la chaîne complète est simulée. Enfin les performances du système lorsqu'une boucle est ajoutée (dans le cas des signaux de faible bande passante) sont exposées.

4.1. Délai entre les voies d'amplitude et de phase

L'un des défauts qui peuvent dégrader les performances d'une architecture EER est le délai entre les voies d'amplitude et de phase. Ce délai peut être dû à plusieurs facteurs : les lignes de transmission, les filtres en sortie des CNAs, les circuits de mise en forme des signaux de phase et d'amplitude. Plusieurs travaux ont analysé la compensation de ce délai entre les voies d'amplitude et de phase [59] et proposent de corriger ce délai dans le cas du standard 802.11.a en utilisant un algorithme de synchronisation adaptative basé sur une structure LMS (Least Mean Square) entre la sortie du système et l'entrée. Les auteurs dans [60] ont proposé une méthode basée sur une interpolation linéaire pour compenser le délai entre les voies de phase et d'enveloppe) tandis que [61] propose d'utiliser un égalisateur de temps de propagation de groupe pour corriger cette désynchronisation entre les deux voies. L'objectif principal de notre étude est d'étudier la faisabilité de l'architecture choisie et son implémentation sur une plateforme numérique. Pour corriger ce délai, dans un souci de simplicité, nous proposons d'ajouter un délai dans la voie la plus en avance pour qu'elles

soient synchronisées. Ce problème supposé ainsi résolu ne sera plus pris en compte dans la suite de ce travail.

4.2. Commande du gain de l'AP

4.2.1. Etat de l'art de la correction de la commande de gain

Dans la majorité des cas, l'architecture EER est exploitée avec des amplificateurs de puissance de classes E ou F pour augmenter le rendement global du système. De plus, il s'agit d'une méthode particulièrement adaptée aux modulations ayant de forts PAR telles que l'OFDM. Pour obtenir une restitution linéaire du signal d'enveloppe ou du signal de phase en sortie de l'AP, une boucle de retour peut être ajoutée incluant selon le cas, un détecteur d'enveloppe et un limiteur pour corriger le signal de commande ou la phase en entrée de l'amplificateur de puissance. Ainsi dans [62], ces deux boucles sont ajoutées à une architecture classique EER comme l'indiquent les Figure 4.2 et Figure 4.2 pour améliorer les performances dans le cas d'application WLAN (Wireless Local Access Network).

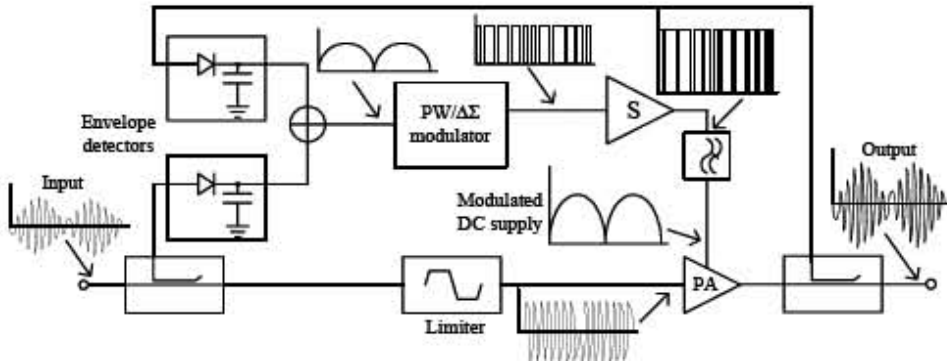


Figure 4.1 : Boucle de correction du signal d'enveloppe dans une architecture EER

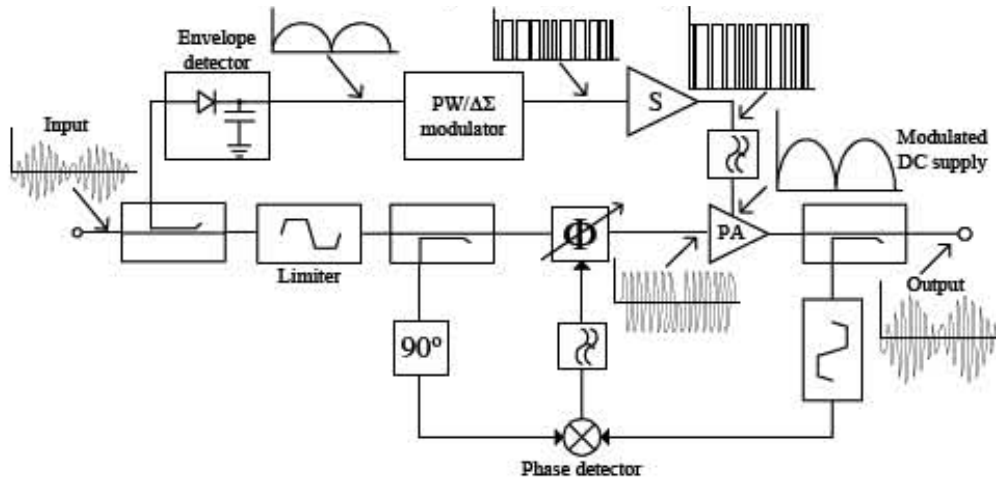


Figure 4.2 : Boucle de correction du signal de phase dans une architecture EER

Toutefois, cette méthode ne permet pas d'obtenir les performances requises par la norme IEEE 802.11a en termes d'ACPR lorsque la boucle est appliquée sur l'enveloppe [62]. En revanche, lorsque la boucle de retour est appliquée sur la phase, les spécifications du standard IEEE 802.11a sont respectées [62].

L'étude rapportée dans [63] indique un EVM réduit de 6.4% à 1.47% pour une architecture EER basée sur un amplificateur de puissance de classe F dont les distorsions inhérentes au type de l'amplificateur de puissance (AM/AM et AM/PM) et les distorsions liées à la modulation de la tension de drain de l'AP par le signal d'enveloppe (Vds/AM et Vds/PM) sont corrigées grâce à une prédistorsion (Figure 4.3) basée sur des LUTs.

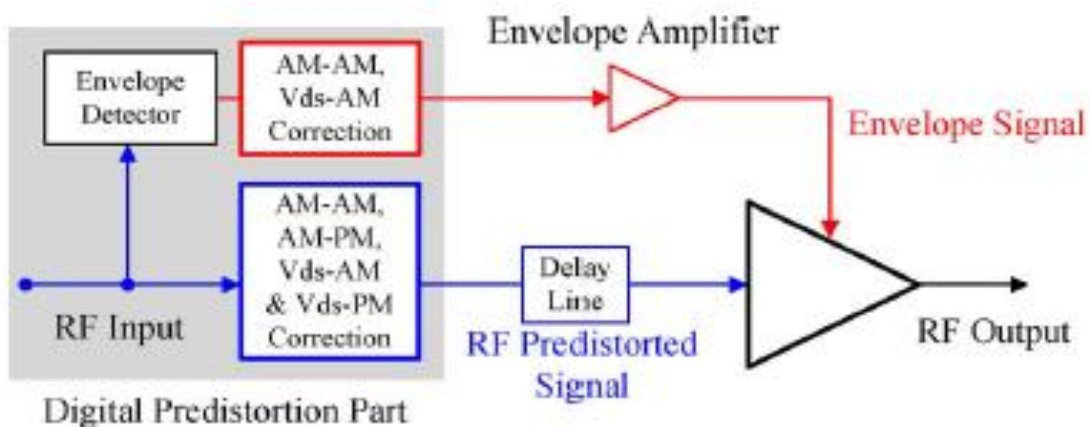


Figure 4.3 : Configuration de la correction par prédistorsion pour un émetteur H-EER

4.2.2. L'étage d'amplification

Rappelons que le choix de l'architecture qui a été effectué est lié grandement à la réutilisation de composants déjà existants dans les émetteurs actuellement commercialisés par Telerad. Tous les composants utilisés dans le cadre de l'architecture EER proviennent de l'existant. C'est le cas de l'étage d'amplification qui est composé lui-même de deux étages (Figure 4.4). Ces choix ne sont toutefois pas irréversibles. En cas de nécessité, ils pourront être remplacés par des composants plus appropriés.

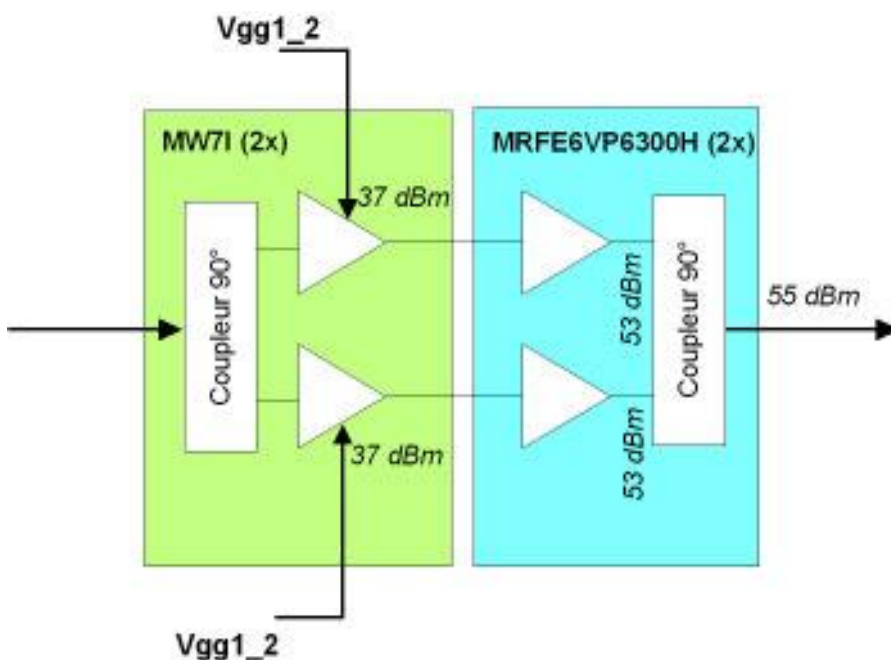


Figure 4.4 : Les deux étages d'amplification

Le premier étage est constitué de deux boîtiers MW7IC008N [64] couplés à 90°. Chaque boîtier comporte 2 transistors utilisés en push-pull (couplage à 180 °). Il s'agit d'un amplificateur de puissance intégré large bande qui peut fonctionner entre 20 MHz et 1000 MHz. Les principales caractéristiques de cet amplificateur de puissance sont représentées à la Figure 4.5.

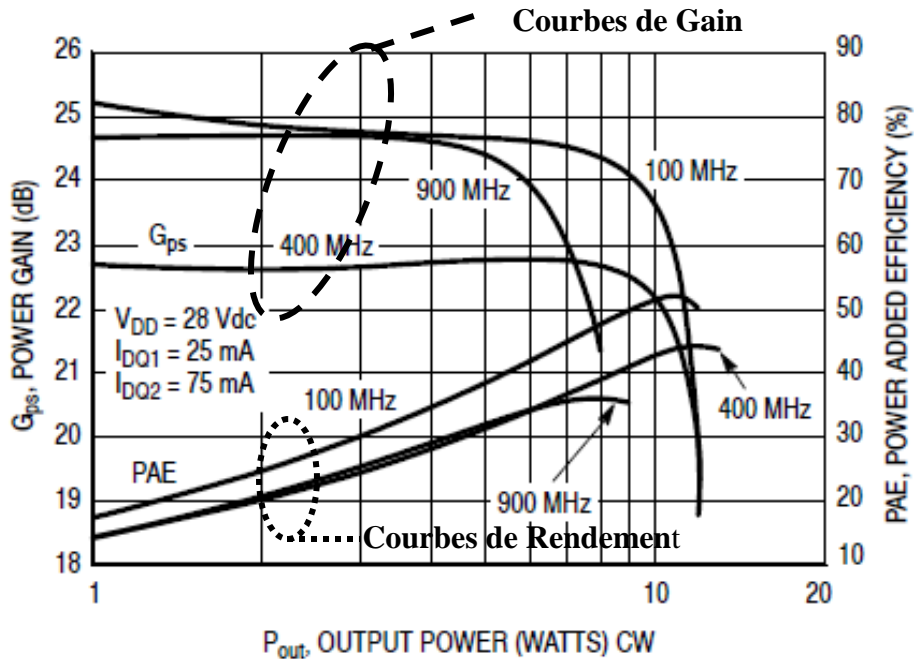


Figure 4.5 : Gain et PAE du MW71 en fonction de la puissance de sortie

Les courbes de la Figure 4.5 sont celles fournies par le constructeur et sont données pour une polarisation particulière des courants drains (I_{DQ1} et I_{DQ2}) et tension de drain V_{DD} . Sur ces courbes, nous pouvons voir la variation du gain notée G_{ps} en dB et du rendement en % (PAE) en fonction de la puissance de sortie (P_{out}) en watts pour plusieurs fréquences. Entre 100 MHz et 400 MHz (les bandes VHF et UHF sont comprises dans cet intervalle), le gain se situe entre 22,6 dB et 24,8 dB. Nous pouvons observer que dans cette bande de fréquence, le rendement maximal est compris entre 52 % et 42 %. Pour pouvoir bénéficier de ces rendements, un compromis entre le gain et le rendement doit être trouvé. De plus, la puissance de sortie pour avoir les meilleurs rendements est d'environ 10 Watts. Le second étage d'amplification doit amplifier suffisamment le signal pour atteindre la puissance moyenne de 47 dBm (environ 50 W) avec des pics qui peuvent monter à 55 dBm (environ 300 W).

Le second étage est constitué de deux boîtiers MRFE6VP6300HR3 [65] couplés aussi à 90° . Les deux transistors de chaque boîtier sont montés en push-pull. Chaque boîtier peut fournir une puissance de sortie pouvant aller jusqu'à 300W. Les deux boîtiers montés en push-pull permettent des puissances de sortie de l'ordre de 600W (57,78 dBm) selon le constructeur.

En pratique, dans la bande 225 - 400MHz, les deux étages d'amplifications permettent de sortir une puissance de 300 W (environ 55 dBm) avec une tension d'alimentation de 28 V. Mais il est possible d'obtenir une puissance proche de 58 dBm avec une tension d'alimentation de 48 V.

4.2.3. Commande du gain de l'AP : mise en évidence des non-linéarités

Pour éviter d'avoir à gérer plusieurs tensions de polarisation pour la commande, seul l'étage d'amplification constitué du MW7I sera utilisé pour moduler le signal RF à enveloppe constante et contenant l'information de phase. Le second étage permettra de sortir la puissance finale. Cet étage est composé de deux transistors polarisés par des tensions de grille V_{gg1} et V_{gg2} . Les tensions de drains sont fixées à 24 V. En faisant varier les tensions de grille pour une fréquence fixe, le gain du MW7I varie comme indiqué sur la Figure 4.6.

Le choix de faire varier la tension de grille au lieu de la tension du drain comme c'est le cas dans certaines études [63] est liée à la valeur du courant de drain nécessaire pour réaliser l'opération de modulation de la polarisation de l'AP et des conséquences qui en découlent. En effet, une polarisation par la tension de drain entraîne une consommation de quelques ampères (1 A à 2 A). Cette situation n'est pas tolérable en raison des dimensions du système de refroidissement nécessaire pour dissiper cette puissance. De plus il est difficile de concevoir une alimentation dont la tension peut être variable lorsque les courants à fournir sont de plusieurs ampères. Au contraire, une polarisation par la tension de grille entraîne un courant de grille proche de 0.

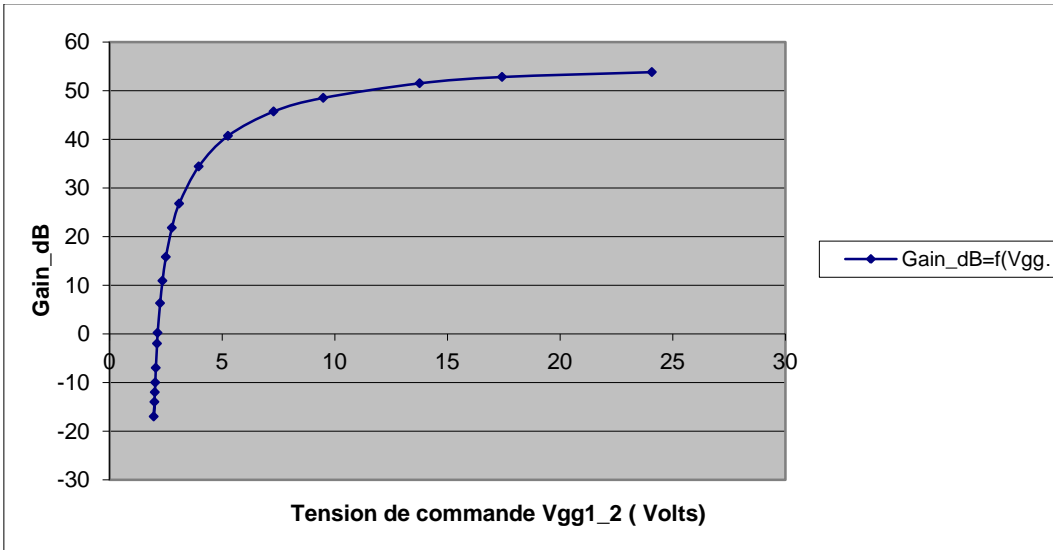


Figure 4.6: Evolution du gain du MW7I en fonction de sa tension de polarisation Vgg1_2

Pour une tension de grille qui varie entre 2,5 V et 24 V, le gain en sortie du MW7I varie entre 0 dB et 53 dB.

Pour avoir une enveloppe du signal RF en sortie de l'AP conforme au signal de commande, la dynamique du gain doit être suffisante. Pour nous assurer que c'est le cas avec l'amplificateur de puissance qui a été choisi, nous avons comparé le PAPR d'un signal RF (modulation D8PSK) avec l'AP utilisé avec une polarisation fixe et le PAPR du signal RF avec l'EER. Les résultats ont permis de mesurer un PAPR équivalent dans les deux cas soit 4.1 dB. L'étage d'amplification constitué du MW7I est suffisant pour moduler toute la dynamique du signal d'enveloppe. Pour une modulation de type OFDM, le PAPR est d'environ 12 dB. Dans ce cas, le MW7I n'est plus suffisant pour moduler toute la dynamique du signal d'enveloppe. Il faudra remplacer cet étage par un autre avec une dynamique suffisante ou utiliser les deux étages d'amplification : le MW7I et le MRF600.

La courbe présentée Figure 4.7 montre une relation non linéaire entre la puissance de sortie normalisée du MW7I et la tension de commande.

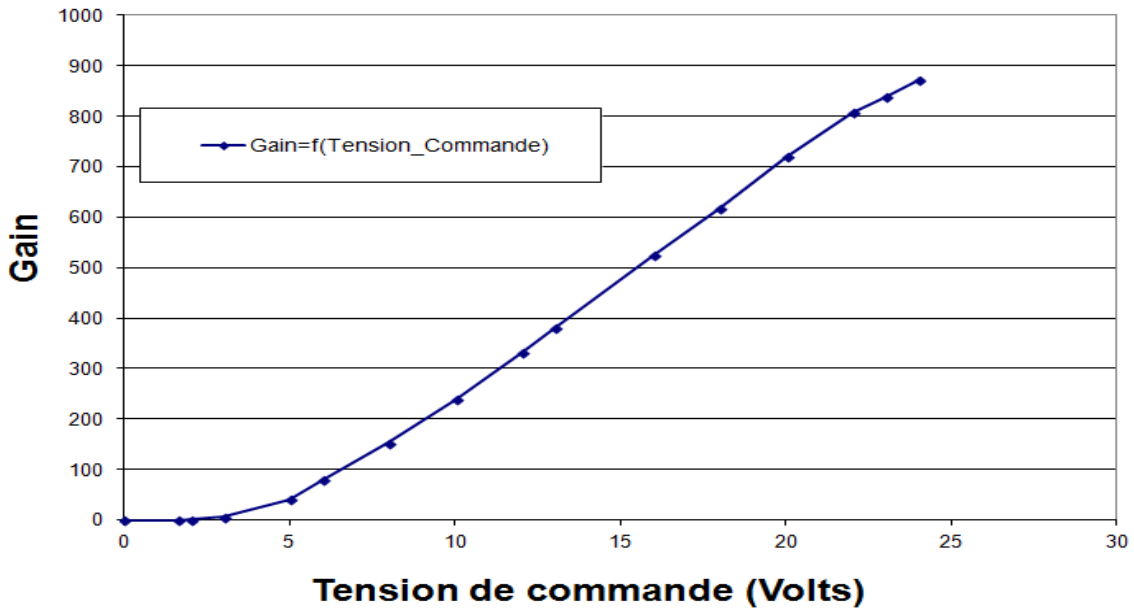


Figure 4.7 : Puissance de sortie de l'AP (en watts) en fonction de sa tension de polarisation

Lorsque l'amplificateur de puissance est utilisé dans ces conditions, les performances de l'EER se dégradent rapidement comme le montrent les courbes de la Figure 4.8.

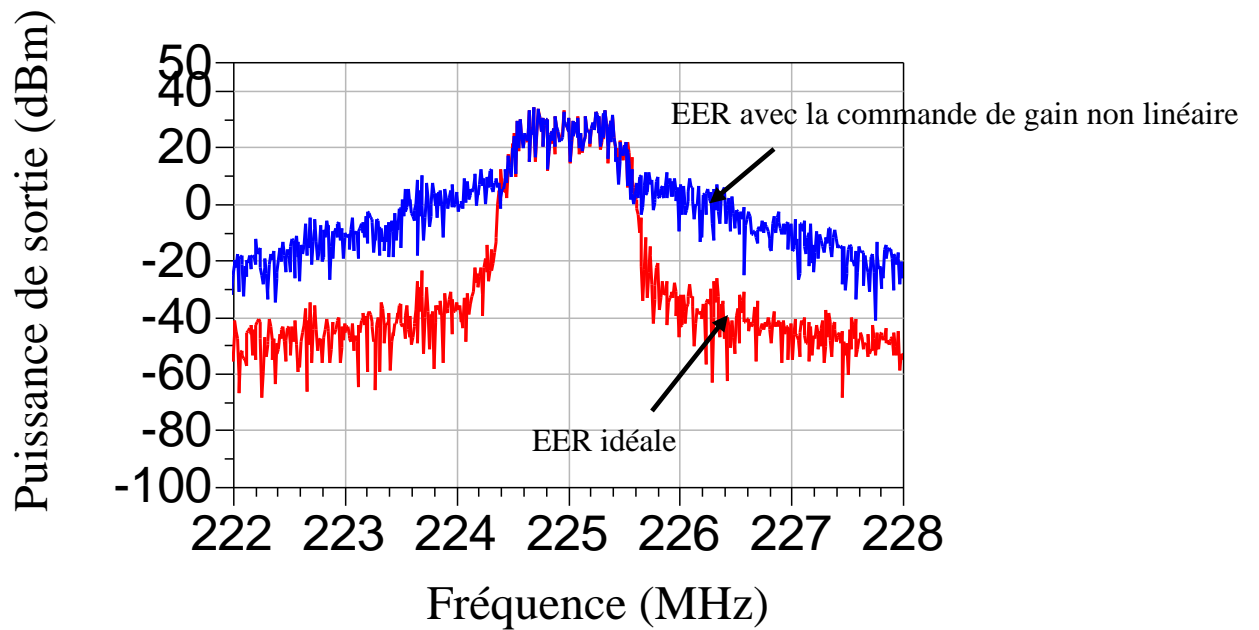


Figure 4.8: Puissance en sortie de l'AP avec et sans prise en compte de la non linéarité de la tension de polarisation

On constate une augmentation d'environ 36 dB de l'ACPR dans le premier canal adjacent (droit ou gauche). Ces résultats ne sont pas conformes aux spécifications. Cette non-linéarité doit être corrigée pour pouvoir bénéficier pleinement des avantages de l'EER.

4.2.4. Modélisation et correction de la commande de gain

4.2.4.1. Modélisation

Pour prendre en compte cette non-linéarité, la courbe de la Figure 4.7 a été modélisée sous Matlab par un polynôme de degré 3 noté $p(x)$ (un polynôme d'ordre 3 est suffisant pour approcher la courbe réelle) en utilisant la méthode des moindres carrés (Annexe 1). L'expression de $p(x)$ est donnée par l'équation ci-dessous :

$p(x) = a \times x^3 + b \times x^2 + c \times x^1 + d$	(4.1)
---------------------------------------------------------	---------

Les coefficients obtenus sous Matlab sont introduits dans le modèle de simulation ADS.

a	b	c	d
-0.071672	3.2184	1.7087	-31.044

Tableau 4.1 : Coefficients du polynôme $p(x)$

Dans un premier temps, une architecture EER idéale a été simulée sous ADS. Dans cette architecture idéale l'amplificateur de puissance est polarisé par une tension avec une variation linéaire. Ensuite, le modèle de la non-linéarité de la commande l'amplificateur de puissance a été rajouté comme illustré sur le synoptique de la Figure 4.9.

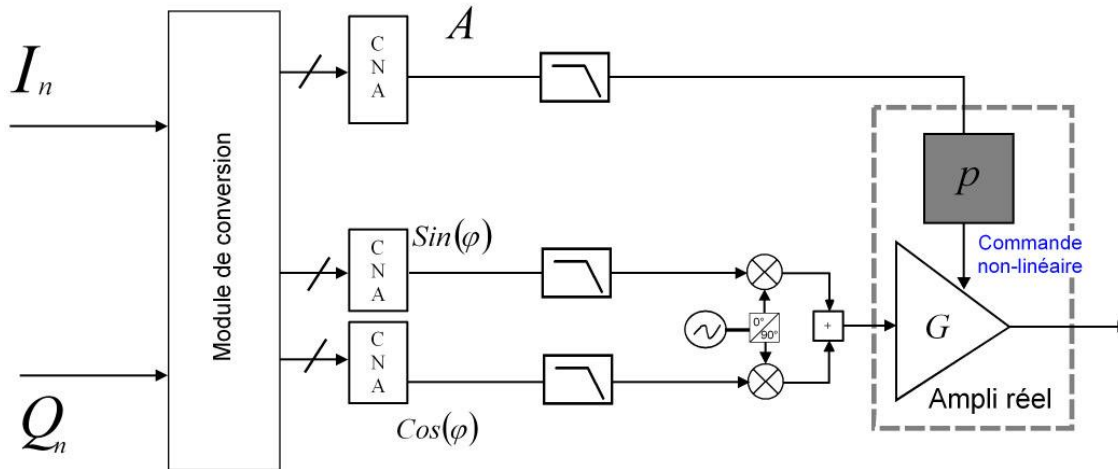


Figure 4.9 : Modèle de la non-linéarité de la commande de l'amplificateur

4.2.4.2. Correction par prédistorsion

Le problème essentiel sur la commande de gain réside dans sa non-linéarité. La correction de la non-linéarité, parfois importante, introduite dans la commande de gain peut être corrigée par prédistorsion (Figure 4.1). Une première méthode consiste à modéliser la caractéristique d'entrée sortie par une table qu'il suffit d'inverser pour linéariser la caractéristique. Une seconde méthode modélise la caractéristique par un polynôme, le but étant de trouver la fonction inverse. Lorsque la distorsion de la voie d'amplitude est prise en compte et corrigée par prédistorsion par LUT, les performances de l'EER peuvent être comparées au cas idéal (lorsque la commande de gain est linéaire). Cette méthode peut être implantée facilement sur une plateforme numérique.

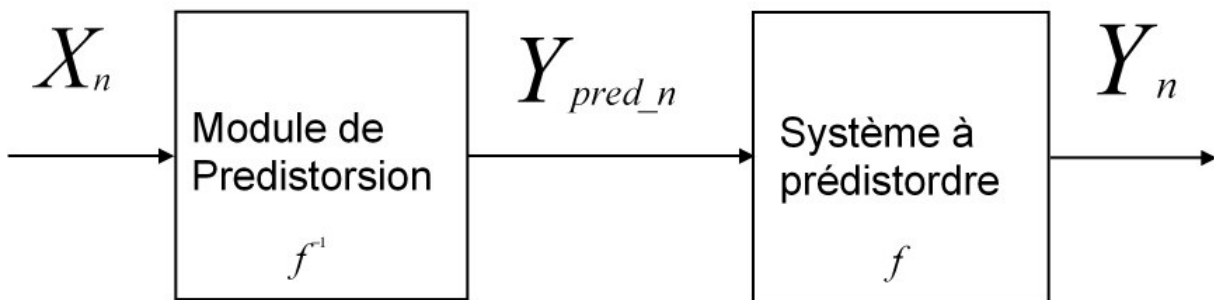


Figure 4.10 : Illustration d'un système de prédistorsion

Prédistorsion par LUT

L'algorithme de cette méthode de correction par LUT est exposé et illustré ci-dessous:

- Relever la courbe caractéristique entre le signal de commande (X_n) et la sortie de l'amplificateur de puissance (Y_{dist_n}).
- Trouver le gain linéaire souhaité qui est le gain maximal dans la région linéaire et normaliser Y_{dist_n}
- les échantillons du signal prédistordu sont calculés comme suit : pour chaque échantillon en entrée du système X_m , nous recherchons l'égalité $X_m = Y_{dist_i}$ l'échantillon de sortie correspond à X_i .

Pour simuler cette méthode, la caractéristique non-linéaire du montage expérimental a été mesurée et modélisée par un polynôme d'ordre 3 comme expliqué dans le Chapitre 2, et introduite dans la modélisation de l'amplificateur.

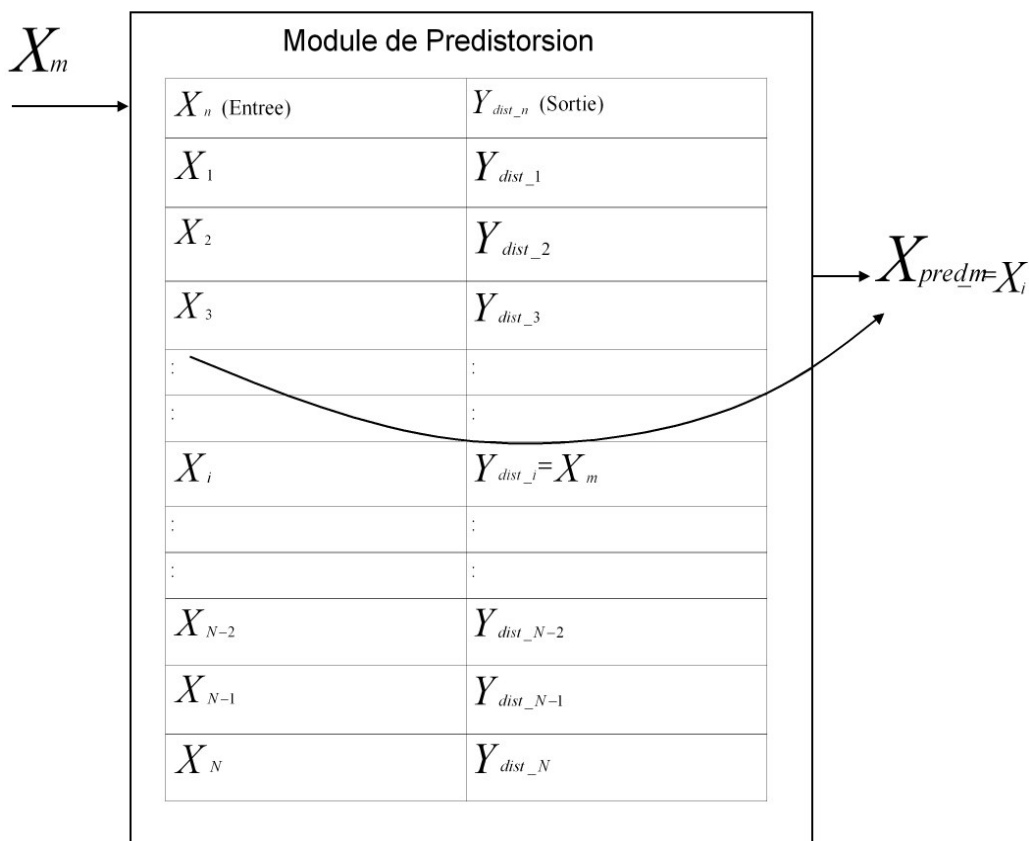


Figure 4.11 : Illustration algorithme prédistorsion par LUT

La prédistorsion par LUT a été simulée dans un premier temps (Annexe 3). Les résultats obtenus sont présentés (Figure 4.12).

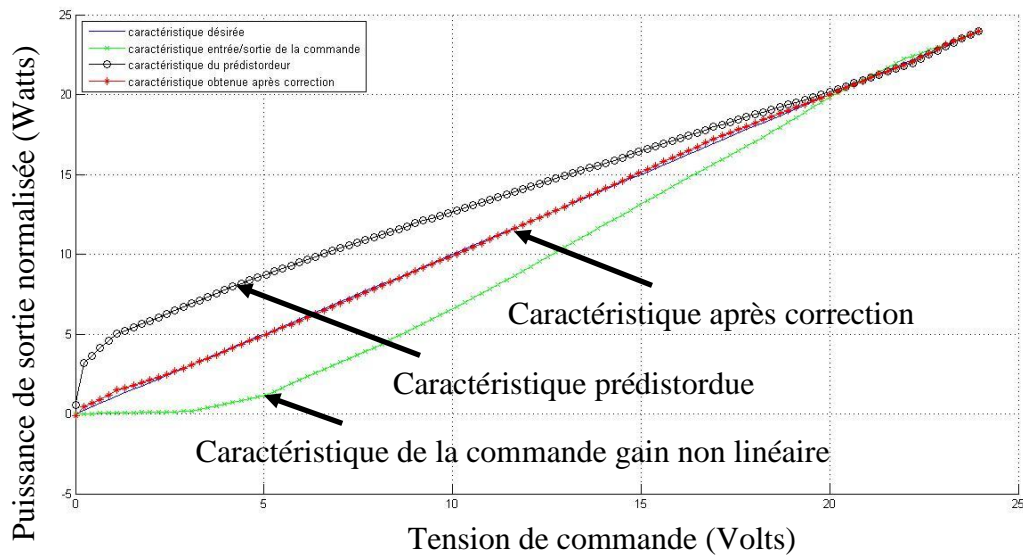


Figure 4.12 : Résultats de l'algorithme de prédistorsion sous Matlab.

L'influence de la prédistorsion de la commande de gain sur le spectre en sortie de l'amplificateur de puissance est exposée Figure 4.13. Nous constatons une amélioration d'environ 30 dB dans les premiers canaux adjacents. La Figure 4.13 illustre l'amélioration de l'ACPR obtenue en fonction de la longueur de la table. En dessous d'une longueur de table de 500, la correction de la distorsion par la LUT n'est plus efficace comme le montre la courbe de la Figure 4.15.

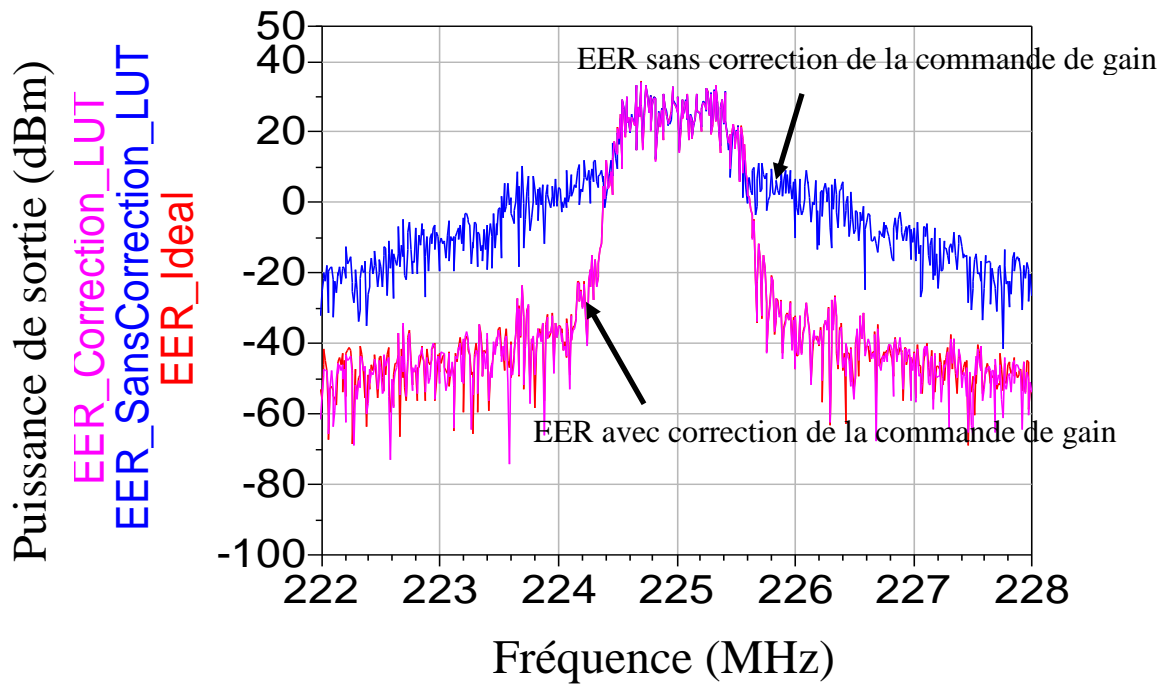


Figure 4.13 : Spectre du signal de sortie avec et sans correction (longueur de table de N=10000)

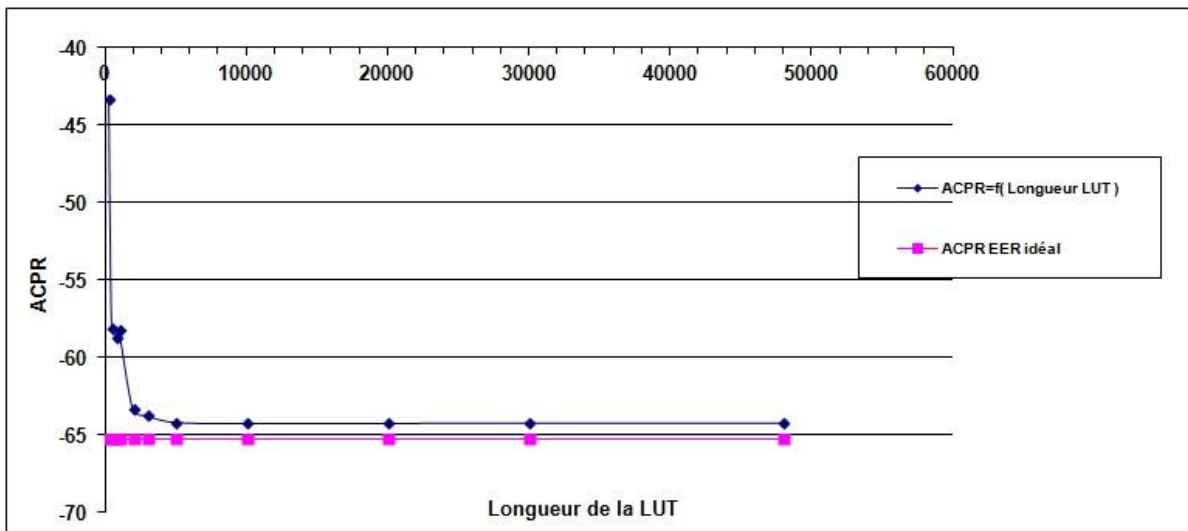


Figure 4.14 : Influence de la longueur de la LUT sur l'ACPR de l'architecture EER

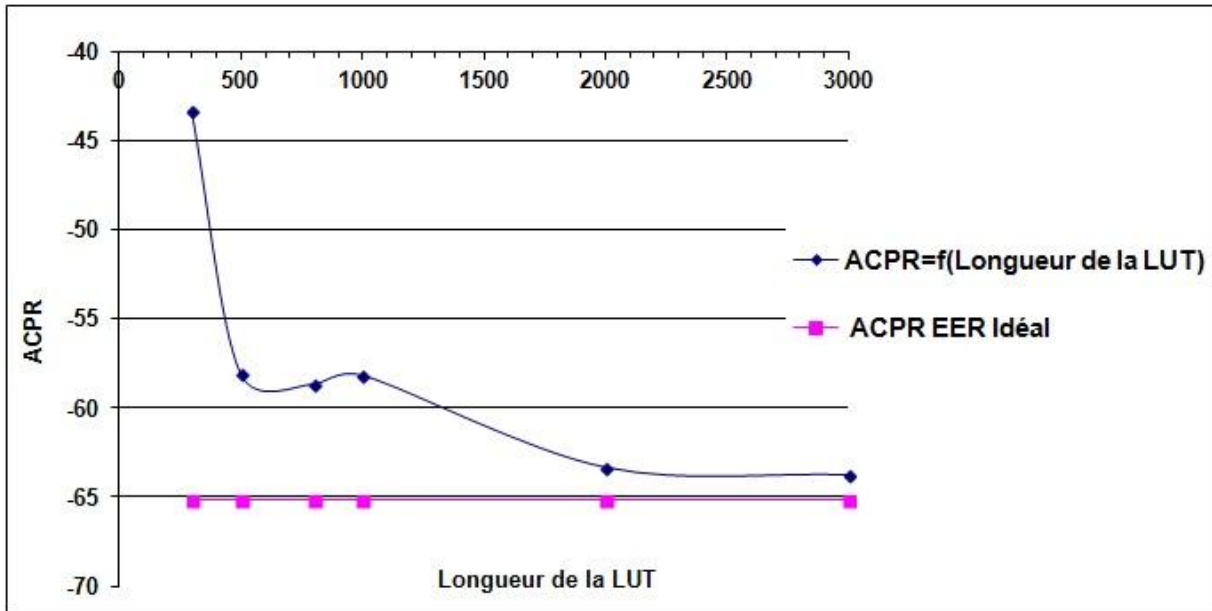


Figure 4.15 : Influence de la longueur de la LUT sur l'ACPR de l'architecture EER pour $0 < N < 3000$

Prédistorsion par modèle inverse

Reprenons le schéma de la Figure 4.10. Supposons que la fonction liant l'entrée et la sortie du système à linéariser soit un polynôme du troisième ordre de coefficients a , b , c et d :

$p(x) = a \times x^3 + b \times x^2 + c \times x^1 + d$	(4.2)
---------------------------------------------------------	---------

En absence du module de prédistorsion, l'entrée X est liée à la sortie Y_{dist} du système par la relation (4.2).

La relation souhaitée entre l'entrée et la sortie du système après l'ajout du module de prédistorsion est de la forme :

$Y_{cor} = K \times X = a \times X_{pred}^3 + b \times X_{pred}^2 + c \times X_{pred}^1 + d$	(4.3)
----------------------------------------------------------------------------------------------	---------

avec K le gain éventuel entre l'entrée et la sortie.

Pour calculer f^{-1} , il faut calculer les racines de l'équation connaissant X :

$a \times X_{pred}^3 + b \times X_{pred}^2 + c \times X_{pred}^1 + d - K \times X = 0$	(4.4)
----------------------------------------------------------------------------------------	-------

qui a pour terme constant $c - K \times X$.

Les solutions de l'équation qui nous intéressent sont réelles [66].

L'intérêt de cette méthode est qu'il n'y a pas besoin de stocker les valeurs de l'entrée et de la sortie distordue dans une table. On calcule au fur et à mesure la valeur de l'entrée prédistordue. L'inconvénient réside dans le temps de calcul important pour calculer les racines du polynôme et le fait que ce type d'algorithme n'est pas bien adapté à l'implémentation dans un FPGA.

4.3. Génération du signal RF à enveloppe constante

Plusieurs méthodes permettent de générer le signal RF à enveloppe constante modulée en phase. La méthode la plus commune consiste à utiliser un modulateur IQ. Ce signal RF peut aussi être généré en commandant le VCO d'un synthétiseur de fréquence ou en utilisant un déphaseur RF commandé en tension.

4.3.1. Déphaseur commandé en tension

Il existe plusieurs principes permettant de concevoir des déphaseurs RF. Le déphaseur utilisé dans cette étude est un déphaseur à coupleur hybride. Il se compose d'un coupleur 90° 3 dB et de deux charges (des diodes varicap) connectées aux ports 3 et 4 du coupleur comme montré sur la Figure 4.16.

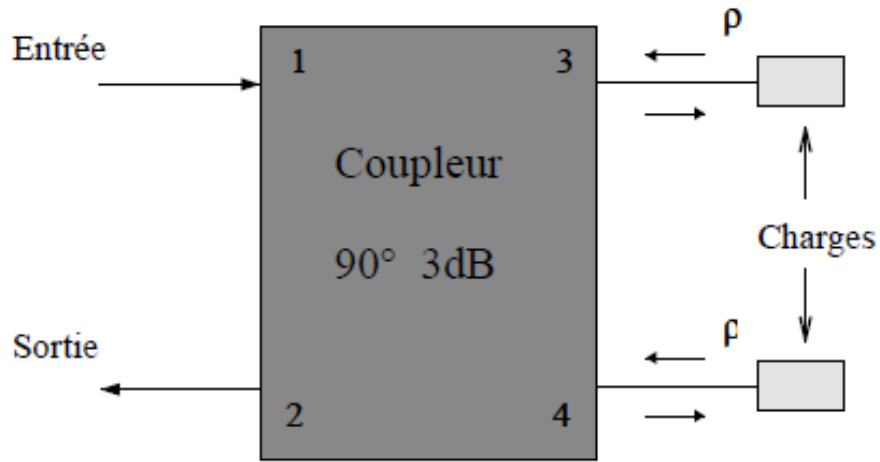


Figure 4.16: Structure d'un déphaseur hybride utilisant un coupleur hybride et des diodes varicap

En faisant varier la capacité des charges, l'argument du coefficient de réflexion ρ des charges dont l'expression est donnée ci-dessous varie aussi :

$\arg(\rho) = -2 \times \tan^{-1} \left(\frac{1}{c \times \omega \times Z_0} \right)$	(4.5)
----------------------------------------------------------------------------------------	---------

Avec ω la pulsation de travail, Z_0 l'impédance caractéristique de la ligne de transmission et c la capacité de la charge. Le coefficient de réflexion est lié à l'onde transmise notée b_2 par la relation

$b_2 = j \times \rho \times a_1$	(4.6)
----------------------------------	---------

avec a_1 l'onde en entrée du coupleur.

Ceci explique la variation de déphasage entre le signal entrant dans le coupleur et le signal sortant suivant la tension de polarisation des diodes varicap.

La Figure 4.17 (obtenue par simulation sous ADS du modèle électrique du déphaseur) montre le déphasage en sortie en fonction de la fréquence. Nous pouvons observer que le déphasage

est supérieur à 360° pour toutes les fréquences sauf à 164 MHz qui est une fréquence qui n'est pas incluse dans nos bandes de travail.

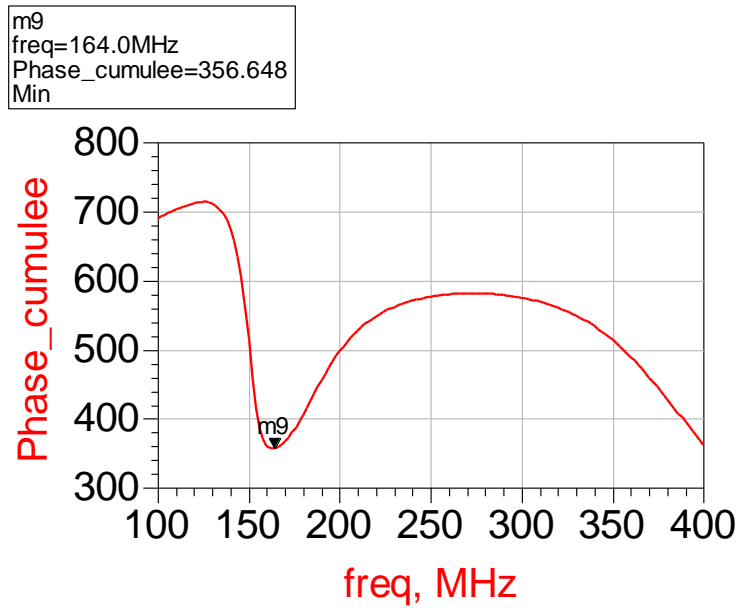


Figure 4.17: Phase cumulée en sortie du déphaseur hybride 3dB

Nous pouvons remarquer que la courbe de la phase en fonction de la tension de commande n'est pas linéaire (Figure 4.18). Les non linéarités des blocs analogiques peuvent diminuer les performances d'une architecture EER.

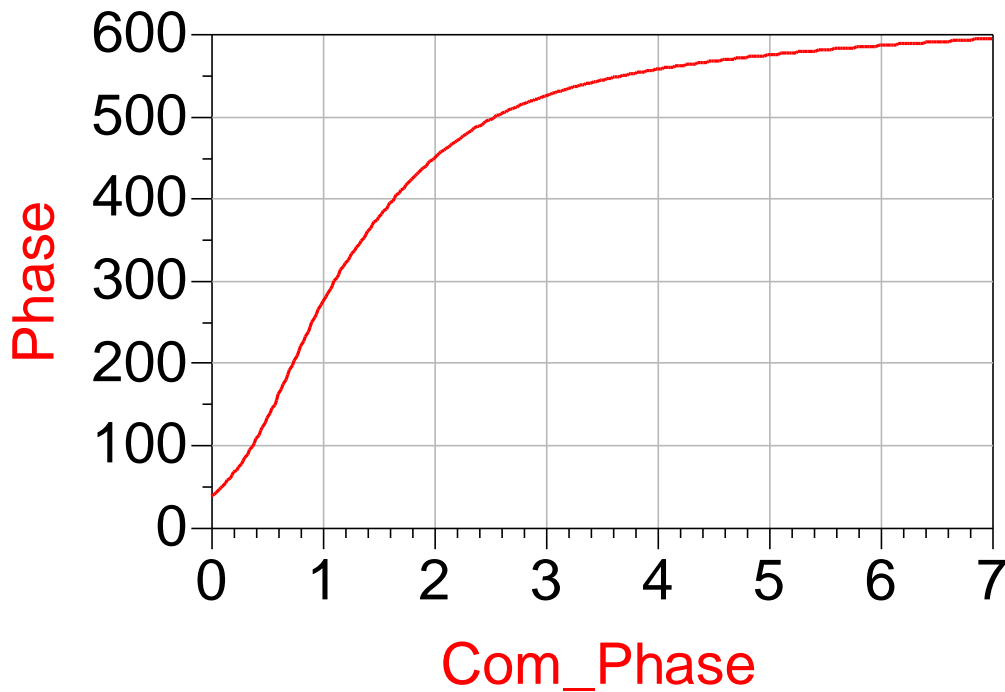


Figure 4.18: Variation de la phase en fonction de la tension de commande du déphaseur à 225 MHz

Pour modéliser cette non-linéarité, la courbe de la Figure 4.18 a été approchée comme dans le cas de la commande de gain par un polynôme $p_1(x)$.

Notons $y(x)$, la courbe de mesure et $f(x)$ le modèle. L'erreur d'interpolation est définie par la relation $E = y(x) - f(x)$. L'écart maximal entre le modèle et la mesure défini par $E_{max}(\%) = \text{Max} \left[\frac{|y(x) - f(x)|}{y_{max}} \right] \times 100$ est calculé pour plusieurs degrés du modèle et exposé Tableau 4.2.

degré=3		degré =5		degré =6		degré =8	
E_max	34.7	E_max	29.3	E_max	13.5	E_max	3.5

Tableau 4.2: E_max pour plusieurs degrés du polynôme $p_1(x)$.

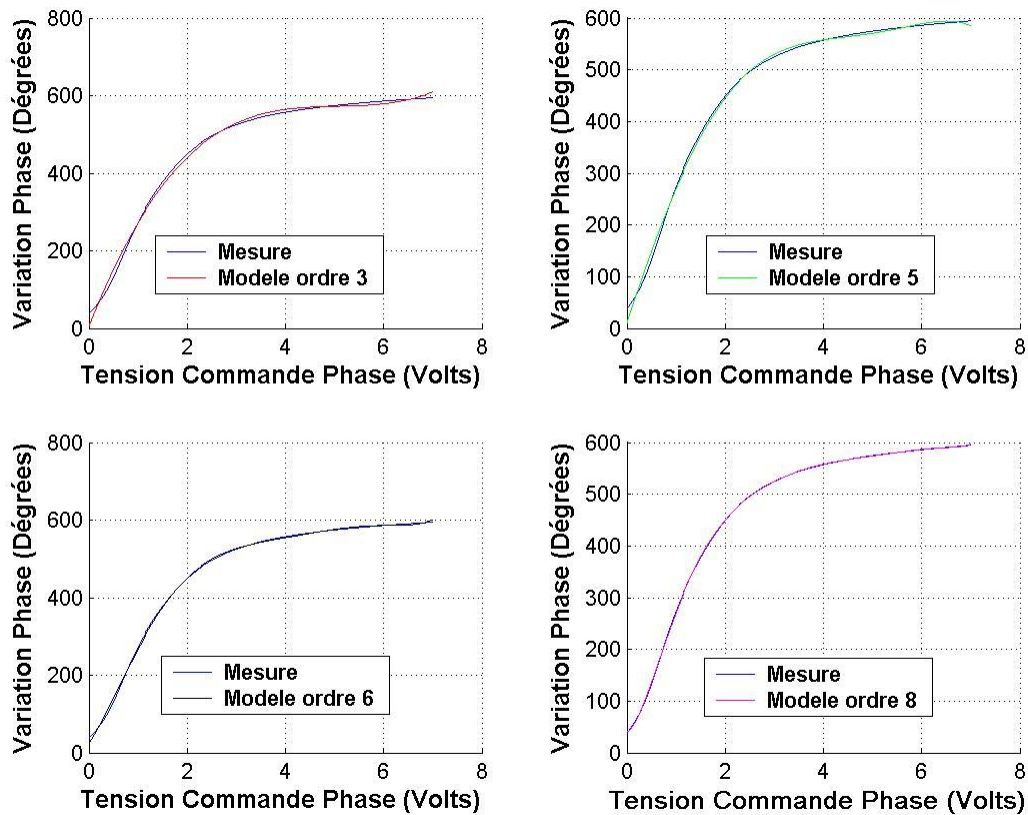


Figure 4.19: Modélisation de la commande du déphaseur par un modèle polynomial (degré 3, 5, 6 et 8)

Sur la Figure 4.19, sont tracées les courbes de variation de la phase en fonction de la tension de commande sur le déphaseur réel et le modèle obtenu pour différents degrés du polynôme. Nous remarquons qu'il faut un modèle de polynôme d'ordre 8 pour obtenir une erreur maximale de 4% entre le modèle et la mesure. Pour pouvoir utiliser ce déphaseur et ne pas ajouter des défauts au système, cette relation non-linéaire reliant le signal contenant l'information de phase et la tension de commande du déphaseur doit être corrigée. La méthode utilisée pour cette correction sera détaillée dans le chapitre suivant.

4.3.1.1. Correction de la commande du déphaseur et limite de cette solution

Le déphaseur RF présente une caractéristique sortie/entrée fortement non-linéaire. Comme pour la commande de gain, la prise en compte de cette non-linéarité par une correction de type LUT améliore considérablement les résultats obtenus en termes d'ACPR.

Toutefois, cette solution a montré des limites pendant la phase de simulation. Le déphaseur RF est un coupleur hybride 3 dB dont deux de ses ports sont chargés avec des diodes varicap comme charge. L'utilisation de ce déphaseur génère des perturbations transitoires sur le signal temporel en sortie du système (Figure 4.20) et sur le diagramme de l'œil (Figure 4.21) qui dégradent fortement l'EVM. Nous supposons que ces pics résultent du fait que les circuits analogiques utilisés dans la conception du déphaseur ne sont pas assez rapides pour suivre les variations du signal de phase.

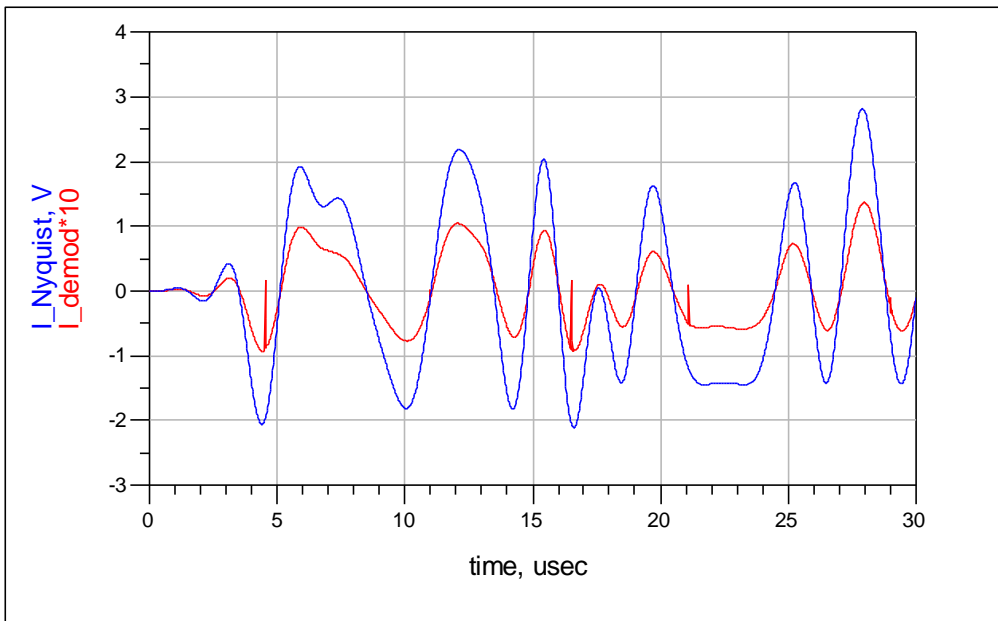


Figure 4.20 : Signaux I en entrée et en sortie du système (en bleu : Le signal bande de base I - en rouge : le signal I en sortie de l'AP et démodulé)

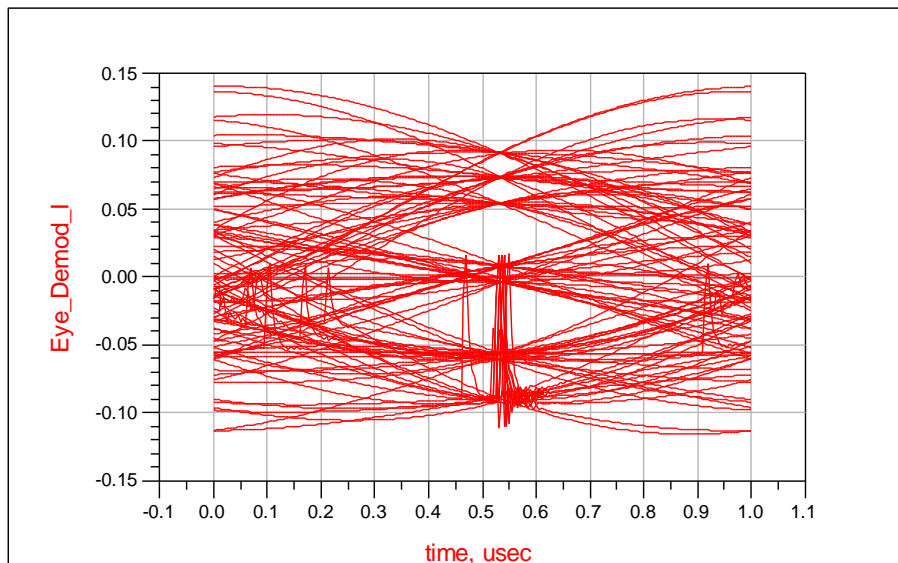


Figure 4.21 : Influence sauts de phase sur le diagramme de l'œil du signal démodulé en sortie du système.

4.3.2. Le synthétiseur de fréquence

Le synthétiseur de fréquence sert à élaborer un signal de fréquence déterminée à partir d'une référence unique, stable, et de bonne pureté spectrale. Il est difficile d'obtenir une stabilité suffisante de la fréquence d'un oscillateur libre (dérive dans le temps et en température). On utilise généralement un système d'asservissement de la fréquence à une source de référence (oscillateur à quartz par exemple) qui fait appel à une boucle à verrouillage de phase ou PLL.

Pour générer un signal RF dont la phase varie en fonction d'une tension de commande avec un synthétiseur de fréquence, le signal de commande est appliqué à l'entrée du VCO comme l'indique le schéma de la Figure 4.22.

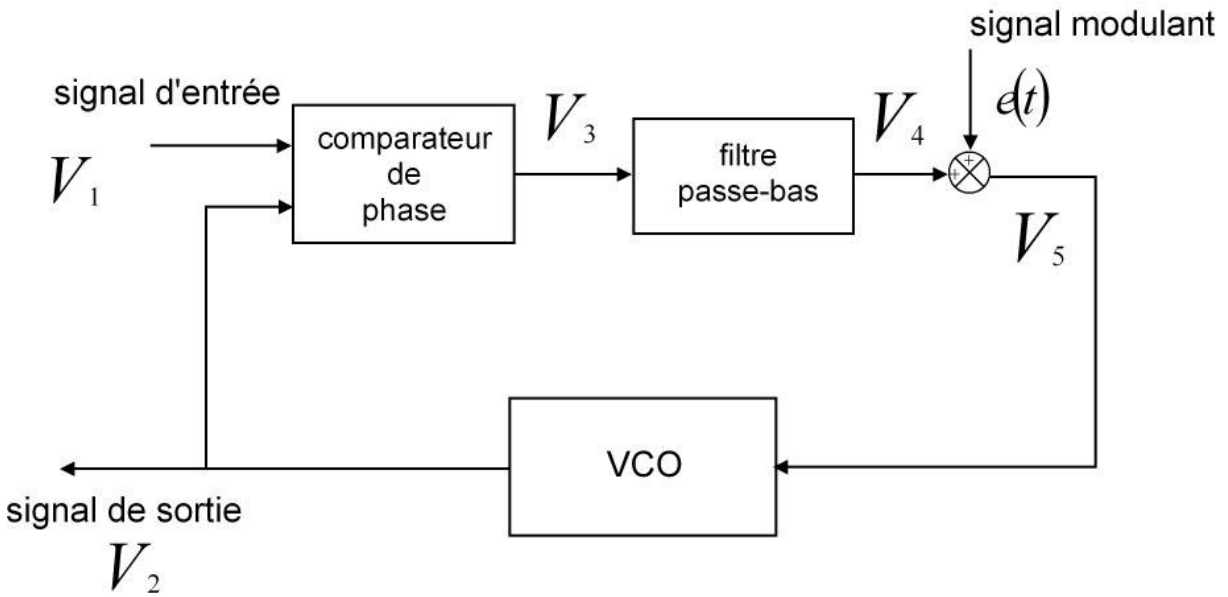


Figure 4.22: Modulation de fréquence de la boucle à verrouillage de phase

Les signaux d'entrée $V_1(t)$ et de sortie $V_2(t)$ s'écrivent :

$V_1(t) = A \times \cos(\omega_0 t)$ $V_2(t) = B \times \cos(\omega_0 t - \varphi(t))$	(4.7)
----------------------------------------------------------------------------------------	---------

Avec A et B les amplitudes respectives des signaux $V_1(t)$ et $V_2(t)$

$\varphi(t) = \frac{\pi}{2} + K_p \times e(t)$	(4.8)
------------------------------------------------	---------

Où $K_p = \frac{2}{K \times A \times B}$ avec K la constante du multiplieur jouant le rôle de comparateur de phase.

Le signal de sortie s'écrit (3.33) :

$V_2(t) = B \times \cos\left(\omega_0 t - \frac{\pi}{2} + K_p \times e(t)\right)$	(4.9)
-----------------------------------------------------------------------------------	---------

La phase du signal de sortie $V_2(t)$ varie bien en fonction du signal modulant $e(t)$.

Malheureusement, l'utilisation d'un synthétiseur de fréquence adapté nécessite le développement d'un circuit spécifique à notre application. Cette solution n'a pas été retenue en raison du temps imparti.

4.3.3. Le modulateur IQ

Le schéma de principe d'un modulateur (Figure 4.23) est proposé. Le modulateur IQ est composé de deux mélangeurs, d'un coupleur à 90° pour déphaser le signal RF issus de l'OL et d'un sommateur pour recombinaison des signaux issus des voies I et Q. Il est utilisé traditionnellement pour réaliser soit une transposition de fréquence à la fréquence d'émission du signal RF dans le cas d'architecture homodyne ou utilisé pour réaliser une transposition à une fréquence intermédiaire dans le cas d'architecture hétérodyne ou super hétérodyne. Il peut aussi être utilisé pour générer un signal RF à enveloppe constante mais dont la phase varie.

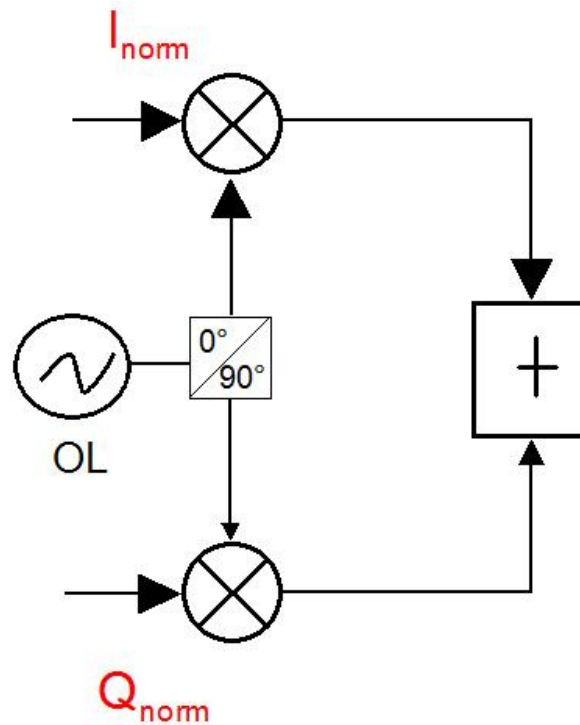


Figure 4.23 : Schéma d'un modulateur

Soit les signaux bande de base en phase I_{norm} et en quadrature Q_{norm} des équations en entrée du modulateur IQ.

$I_{norm} = \cos(\varphi_k)$ $Q_{norm} = \sin(\varphi_k)$	(4.10)
-----------------------------------------------------------	----------

Après la transposition en fréquence, nous avons :

$I_{RF_norm} = \cos(\varphi_k) \times \cos(\omega_0 t)$ $Q_{RF_norm} = \sin(\varphi_k) \times \sin(\omega_0 t)$	(4.11)
-------------------------------------------------------------------------------------------------------------------	----------

La sortie du modulateur dans ce cas donne l'expression de l'équation (4.12).

$I_{RF_norm} - Q_{RF_norm} = \cos(\omega_0 t) \times \cos(\varphi_k) - \sin(\omega_0 t) \times \sin(\varphi_k)$ $I_{RF_norm} - Q_{RF_norm} = \cos(\omega_0 t + \varphi_k)$	(4.13)
--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	----------

Nous obtenons un signal de module égal à 1 et dont la phase varie en fonction de φ_k .

La principale difficulté liée à l'utilisation de modulateur [67] est le déséquilibre entre les voies I et Q qui génère une fuite d'OL (ou remontée d'OL) et des composantes images des signaux en quadrature en sortie du modulateur. L'apparition de signaux indésirables en sortie du modulateur peuvent s'expliquer par les raisons suivantes (Figure 4.24) :

- Les signaux en entrée du modulateur n'ont pas la même amplitude. Le coefficient a traduit ce décalage entre les amplitudes des signaux d'entrée.
- L'une des voies présente une tension continue appelée aussi DC offset et traduit par le paramètre V_{dc} dans l'expression de Q_{norm}
- Présence d'une erreur de phase au niveau de la fréquence générée par l'OL est modélisée par le paramètre θ .

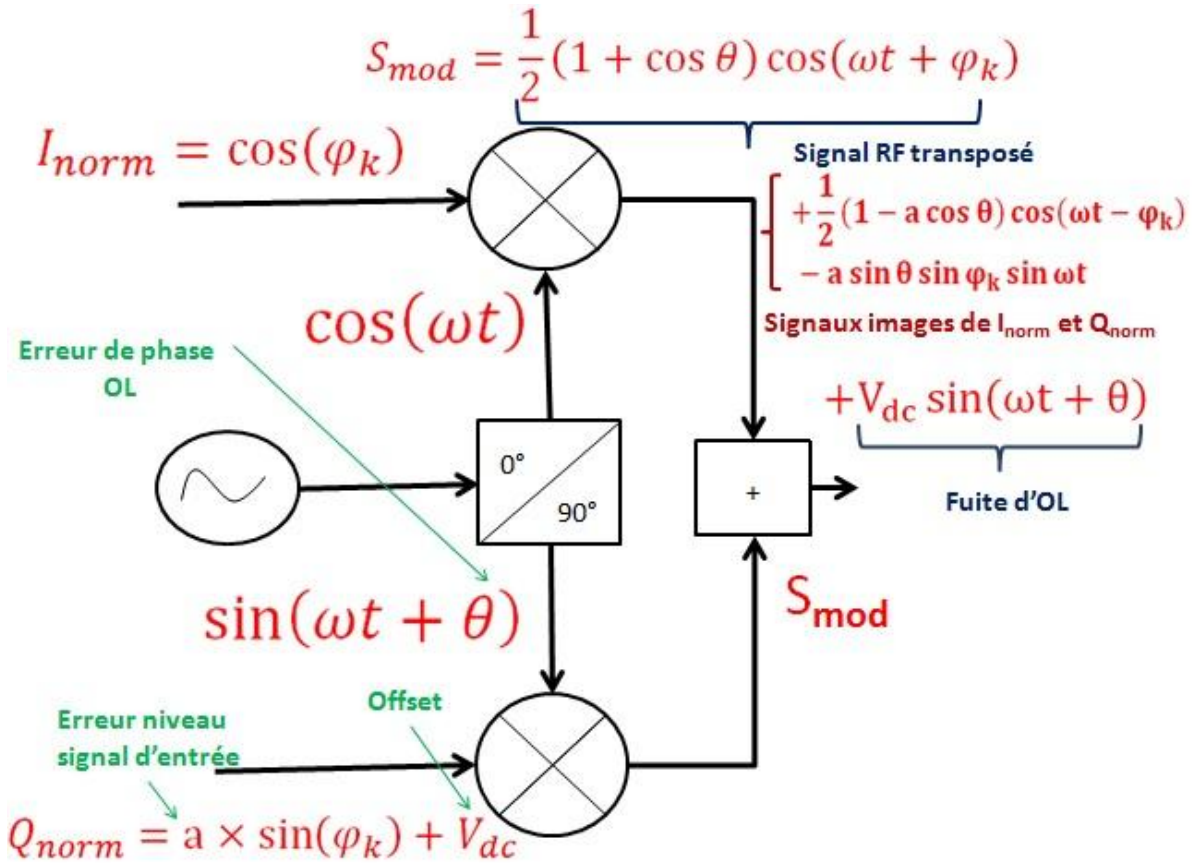


Figure 4.24 : Illustration des sources d'erreurs avec le modulateur I/Q

L'erreur de phase de l'OL, la tension DC offset V_{dc} et l'erreur d'amplitude sur l'un des signaux d'entrée a génèrent en plus du signal utile $S_{mod} = \frac{1}{2}(1 + \cos \theta) \cos(\omega t + \varphi_k)$, des signaux images de I_{norm} et Q_{norm} ainsi que la fuite d'OL dont les expressions sont exposées à la Figure 4.24.

4.4. Simulation de la chaîne complète

4.4.1. Méthode EER sans boucle

Le système a été simulé pour trois cas différents :

- Système idéal : Le système simulé est idéal. La commande du gain est considérée comme linéaire et sans défaut
- Système réel : les défauts de la commande de gain sont modélisés et ajoutés

- Système corrigé : les défauts de la commande de gain sont corrigés par prédistorsion utilisant une LUT de taille N=10000.

Les performances obtenues sont regroupées dans le Tableau 4.3.

	Etude de cas		
	Système idéal	Système réel	Système corrigé
ACPR (dB)	- 64	- 27	- 64

Tableau 4.3 : ACPR dans le premier canal adjacent (gauche)

L'objectif de ces simulations est de pouvoir dimensionner le système en évaluant les performances de l'architecture EER en corrigeant ou non les défauts. Une comparaison avec l'architecture traditionnelle de type boucle cartésienne existante est réalisée. La Figure 4.25 montre les spectres en sortie de l'amplificateur de puissance pour les deux architectures : boucle cartésienne ouverte (BC_ouvert), boucle cartésienne fermée (BC_fermée) et EER corrigée).

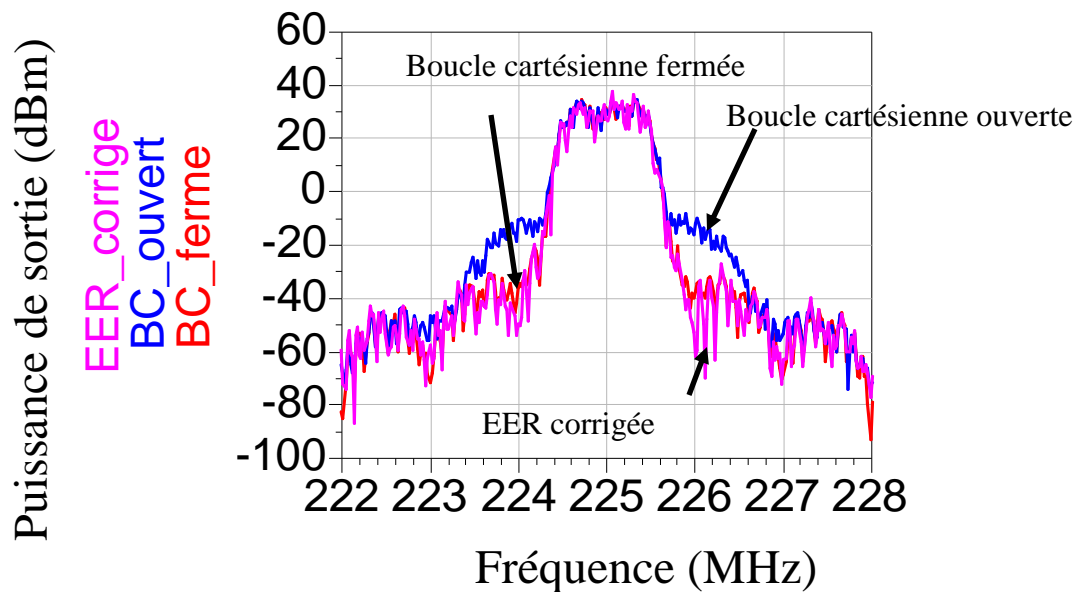


Figure 4.25 : Spectre en sortie de l'AP pour architecture EER et boucle cartésienne traditionnelle

Le Tableau 4.4 présente les niveaux d'ACPR pour chaque architecture

	Boucle cartésienne traditionnelle (boucle fermée)	Architecture EER
ACPR (dB)	- 68	- 64

Tableau 4.4 : ACPR du spectre en sortie de l'AP : EER et boucle cartésienne traditionnelle.

La boucle cartésienne présente un meilleur ACPR d'environ 4dB que la méthode EER. Ce résultat ne met pas en cause les avantages de l'architecture EER pour les émetteurs UHF et VHF.

4.4.2. Chaîne complète avec la boucle de retour

L'idée d'implémenter une boucle de retour de façon numérique n'est pas nouvelle. Dans [58], l'auteur propose une implémentation numérique d'une boucle cartésienne pour des amplificateurs de puissance en mode commuté. Ce travail a été fait sur un signal de 9.6 kHz de bande passante.

Le délai total du système mesuré est de 500 ns. Ce délai intègre le délai dans la partie numérique (plateforme numérique + convertisseurs AN et NA). Pour garder une marge de phase de 60° et un gain de boucle de 20 dB, nous avons vu qu'il fallait un délai maximal de 600 ns. Le retard de la partie analogique ne doit donc pas excéder 100 ns. Ce retard est essentiellement dû au filtre de la voie directe.

Le schéma ADS de cette architecture est présenté Figure 4.26.

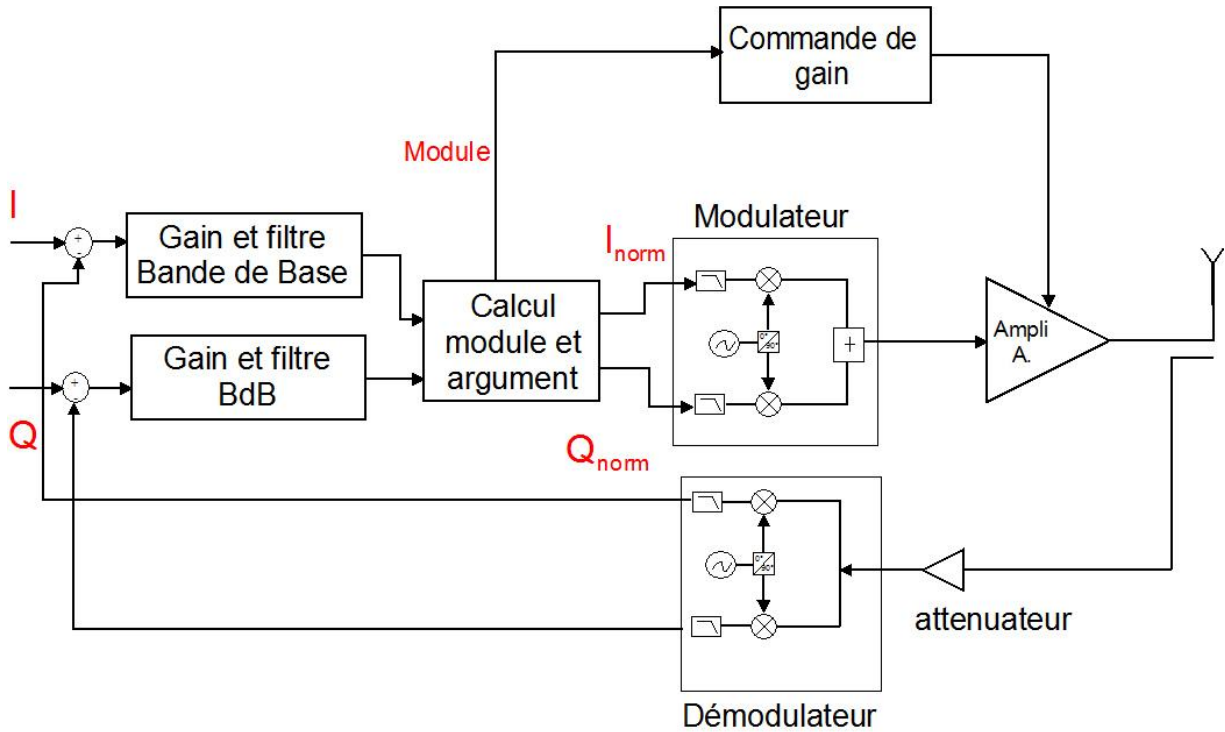


Figure 4.26 : Schéma ADS de l'architecture « EER + boucle de retour »

Les spécifications concernant le gain de la boucle, la bande passante ainsi que le gabarit des filtres utilisés sont valables dans le cas de l'architecture EER associée à une boucle cartésienne. Ces spécifications issues de la section 3.1.1 sont récapitulées dans le Tableau 4.5 :

gain de boucle = 20 dB	MG = 17.6 dB	MP = 60 °	$\Delta_{max} = 600 \text{ nsec}$
filtre en sortie du CNA : Butterworth, ordre 2, deux pôles $p_1 = p_2 = 2 \times \pi \times f_{bb\text{eff}}$ et $f_{bb\text{eff}} = 1,5 \times f_{bb} = 15,75 \text{ kHz}$ avec $f_{bb} = 10,5 \text{ kHz}$			
filtre de compensation : Butterworth, ordre 1, un zéro et un pôle tels que $f_z = 3 \times f_{bb\text{eff}} = 47,25 \text{ kHz}$ et $f_p = 10 \times f_z = 472,5 \text{ kHz}$			

Tableau 4.5 : Spécifications de la boucle de retour

Les résultats obtenus pour le système global en rajoutant la boucle de retour sont donnés dans le Tableau 4.6.

	Etudes de cas	
	Système corrigé (sans boucle de retour)	Système corrigé (avec boucle de retour)
ACPR (dB)	64	66

Tableau 4.6 : ACPR de l'EER sans et avec boucle de retour

Nous remarquons que la boucle apporte une amélioration d'environ 2 dB par rapport au système EER sans la boucle. Globalement, le gain obtenu par l'ajout d'une boucle demeure faible par rapport à la complexité et au coût induits.

4.5. Conclusion

Dans ce chapitre les performances de l'architecture EER ont été présentées en considérant un système idéal (la commande de gain est linéaire), réel (les non-linéarités du système sont modélisées et rajoutées au système) et corrigé (les non-linéarités sont corrigées). Nous avons proposé une méthode simple basée sur la prédistorsion par LUT pour corriger la non-linéarité présente au niveau de la commande de gain de l'amplificateur de puissance. Un modulateur IQ est utilisé pour générer le signal RF contenant l'information de phase. Une boucle de retour a été rajoutée dans le cas de signaux à bande étroite (10.5 kHz) mais n'améliore pas de manière significative les performances déjà obtenues par l'utilisation de l'EER. Le dernier chapitre est consacré à la validation expérimentale de toute l'étude réalisée dans ce chapitre par la réalisation d'un démonstrateur.

Chapitre 5. Validation expérimentale

Ce dernier chapitre traite de la validation expérimentale de l'étude effectuée dans les chapitres précédents. Le traitement bande de base de l'architecture EER est réalisé dans un FPGA dont les références sont données dans la prochaine section ainsi que les cartes de convertisseurs utilisées. Le détail de l'implémentation numérique est fourni de même que le détail des différents étages de la partie analogique RF. Toute la chaîne d'émission est testée et les résultats obtenus sont comparés à ceux obtenus en simulation.

5.1. Partie Numérique

5.1.1. Plateforme FPGA et carte convertisseurs

La plateforme numérique choisie est le kit ML605 (Annexe 3) de chez Xilinx. Le FPGA est un Virtex 6. Le choix d'un kit d'une telle performance s'explique par la volonté de l'entreprise de migrer vers une plateforme de type FPGA suffisamment puissante et évolutive. A ce kit, est associée une carte FMC150 (Annexe 3) connectée au ML605 par un port FMC (FPGA Mezzanine Card) qui réalise les fonctions de conversions AN et NA (Annexe 3).

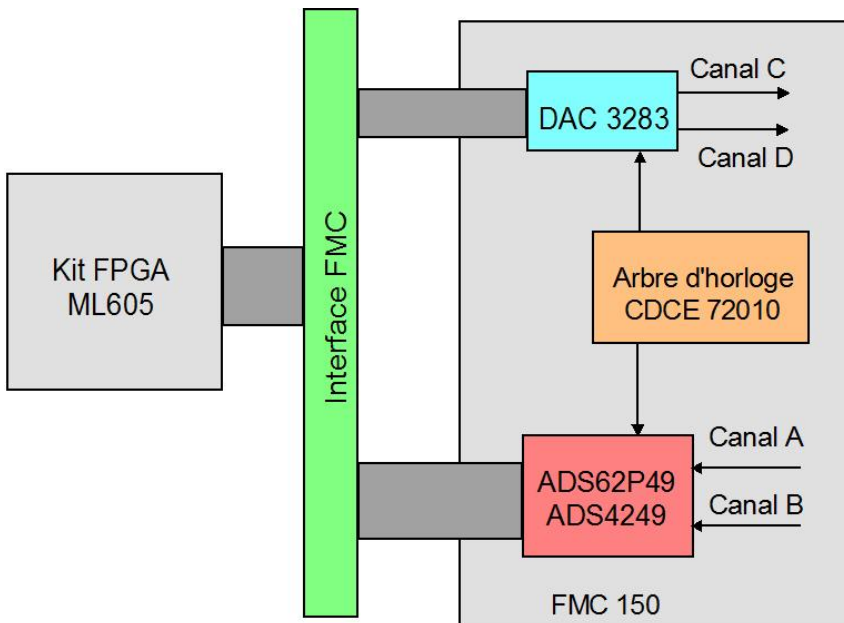


Figure 5.1: Synoptique des cartes ML605 et FMC150

Le convertisseur numérique analogique réalise une conversion sur 16 bits (DAC3283) avec une fréquence d'échantillonnage allant jusqu'à 800 Mech/s. Ce type de convertisseur (16 bits) représente le meilleur compromis précision/coût possible notamment en ce qui concerne le nombre de bits du CNA : le bruit de quantification en sortie doit être le plus faible possible. Concernant la fréquence d'échantillonnage, elle semble très élevée par rapport aux bandes (10.5 kHz et 1 MHz) visées dans le cadre de notre travail. Toutefois, une telle fréquence nous a permis de tester la mise en œuvre d'une transposition de fréquence numérique tout en réalisant le reste de l'implémentation.

Un troisième convertisseur numérique analogique est nécessaire pour générer le signal analogique contenant l'information d'amplitude. Il s'agit de la carte Altera sur la Figure 5.11.

Le convertisseur analogique numérique est un CAN de 14 bits avec une fréquence d'échantillonnage maximale de 250 Mech/s.

Pour la boucle de retour, le CAN convertit directement le signal sans transposition de fréquence. Il sous-échantillonnera les signaux RF.

5.1.2. Implémentation VHDL – format et opération

5.1.2.1. Format des données : implémentation en virgule fixe

Le codage en virgule fixe [68] [69] des données est généralement préférable au codage en virgule flottante pour réduire la complexité des circuits dans les systèmes embarqués et conserver une rapidité de traitement suffisante. Le codage en virgule fixe simplifie l'implémentation des opérateurs. Il est plus rapide et moins « gourmand » en portes logiques. Par contre, le codage a une précision limitée. Le codage en virgule flottante est plutôt réservé aux applications qui nécessitent une grande précision.

Le format en virgule fixe impose une gestion de la dynamique du signal à coder pour limiter la dégradation générée par la quantification. L'utilisation d'une dynamique introduit un bruit de quantification et une possible saturation des données lors du débordement de capacité. Il importe d'ajuster la taille du chemin de données entre chaque opération, tout en respectant les contraintes de bruit.

5.1.2.2. La division

La division n'est pas supportée actuellement par des outils de synthèse. Une implémentation plus simple de la division consiste à décaler le numérateur d'un bit vers la droite tant que ce dernier est supérieur au dénominateur. Le résultat de la division est donné par le nombre de décalage [70]. Cet algorithme impose que les opérandes soient positifs et que le numérateur soit égal ou supérieur au dénominateur. La division peut être décrite à l'aide d'un système séquentiel intégré dans un composant VHDL. Toutefois, il s'agit souvent d'algorithmes « lourds et gourmands en ressources ».

5.1.2.3. La racine carrée

Tout comme la division, les outils de synthèse ne savent pas extraire la racine carrée d'un nombre à moins de passer par un algorithme type CORDIC ou une approximation polynomiale (décomposition en série de Taylor par exemple). Toutefois, la précision obtenue est dépendante du nombre d'itérations qui est effectué. Ceci influe donc sur la latence du système global.

5.1.3. Traitement « bande de base » : les blocs numériques

Le synoptique de la Figure 5.2 illustre les principaux blocs numériques qui sont implémentés

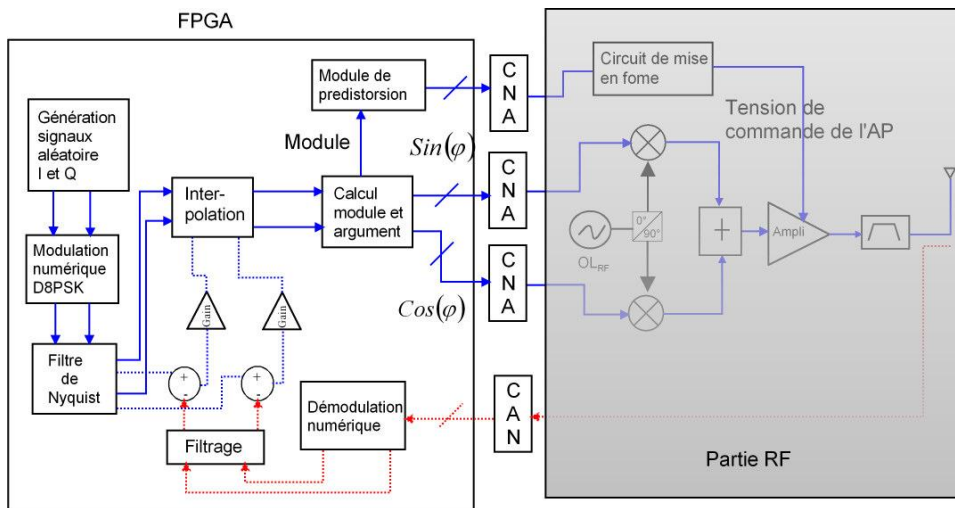


Figure 5.2 : Blocs numériques de l'architecture EER

L'implémentation numérique est faite en deux étapes :

- Etape 1 : les signaux de bande passante égale à 1MHz
Il a été démontré dans les chapitres précédents que l'implémentation de l'architecture EER + boucle de retour sera difficile à mettre en œuvre dans le cas des signaux de 1 MHz de bande passante en raison du délai Δ_{\max} toléré qui est bien inférieur au délai de traitement nécessaire dans la partie numérique prise seule qui est d'environ 500 ns. Ce délai tient compte du délai de calcul des signaux de phase et d'amplitude (algorithme CORDIC) et de la latence des CNAs utilisés. En conséquence, pour ce type de signaux, seule l'architecture EER avec correction de la non-linéarité est implémentée (sans la boucle de retour).
- Etape2 : les signaux de bande passante égale à 10.5 kHz
Pour ces signaux, seule l'architecture EER avec le module de prédistorsion du signal de commande a été implémentée et testée en raison du temps imparti. Mais il a été démontré qu'une boucle de retour peut être rajoutée au système. En effet, un délai de 500 ns peut être obtenu en conservant une marge de phase de 60 ° et un gain de boucle de 20 dB.

Dans une étude théorique préalable (Chapitre 3, section 3.1.1), pour sous-échantillonner dans de bonnes conditions les signaux de bandes UHF (225 MHz – 400 MHz) et VHF (108 MHz - 144 MHz) sans rajouter de la complexité au système (gestion de plusieurs fréquences d'échantillonnage), le CAN doit avoir une fréquence d'échantillonnage de 400 MHz. En raison du temps imparti, du prix prohibitif des CANs de fréquence d'échantillonnage supérieure à 250 MHz et aussi dans un souci d'utiliser au mieux les cartes en notre possession dans le laboratoire d'étude, seule la bande VHF est testée. Dans la bande VHF, la fréquence minimale d'échantillonnage est de 72 MHz. Pour éviter la multiplicité des

horloges dans le système, la même fréquence d'échantillonnage est choisie pour le CNA et le CAN.

5.1.3.1. Génération des signaux I et Q D8PSK

La génération du signal binaire est faite à l'aide de générateur pseudo aléatoire de type LFSR (Linear Feedback Shift Register). Ce générateur est simple à implémenter et permet en outre d'obtenir un signal avec de bonnes caractéristiques statistiques (distance de corrélation importante : ce qui permet d'obtenir un signal avec un spectre bien plat).

On choisit arbitrairement d'utiliser une PRN (Figure 5.3) de taille 23. Les coefficients rebouclés sont choisis à partir du tableau fourni dans la note d'application [71]. Ce tableau donne les coefficients à reboucler (ici les bits 18 et 23) pour obtenir une séquence pseudo aléatoire de taille maximale :

$L_{cor} = 2^{L_{LFSR}} - 1 = 2^{23} - 1 \approx 8,4 \times 10^6$	(5.1)
-------------------------------------------------------------------	---------

L'algorithme du PRn23 en lui-même consiste à faire un « OU Exclusif » entre les bits 19 et 23 d'un mot binaire sur 23 bits tout en rebouclant le résultat.



Figure 5.3 : Principe de l'algorithme PRn23

Son implémentation est extrêmement simple en langage VHDL. Selon le type de modulation, le nombre de bits aléatoires généré peut varier. Chaque symbole d'une modulation QPSK nécessite deux bits alors qu'il faut trois bits pour une modulation D8PSK. Sur la Figure 5.2, les symboles D8PSK sont générés en sortie du bloc « modulation numérique D8PSK ».

La constellation de cette modulation est présentée à la Figure 5.4:

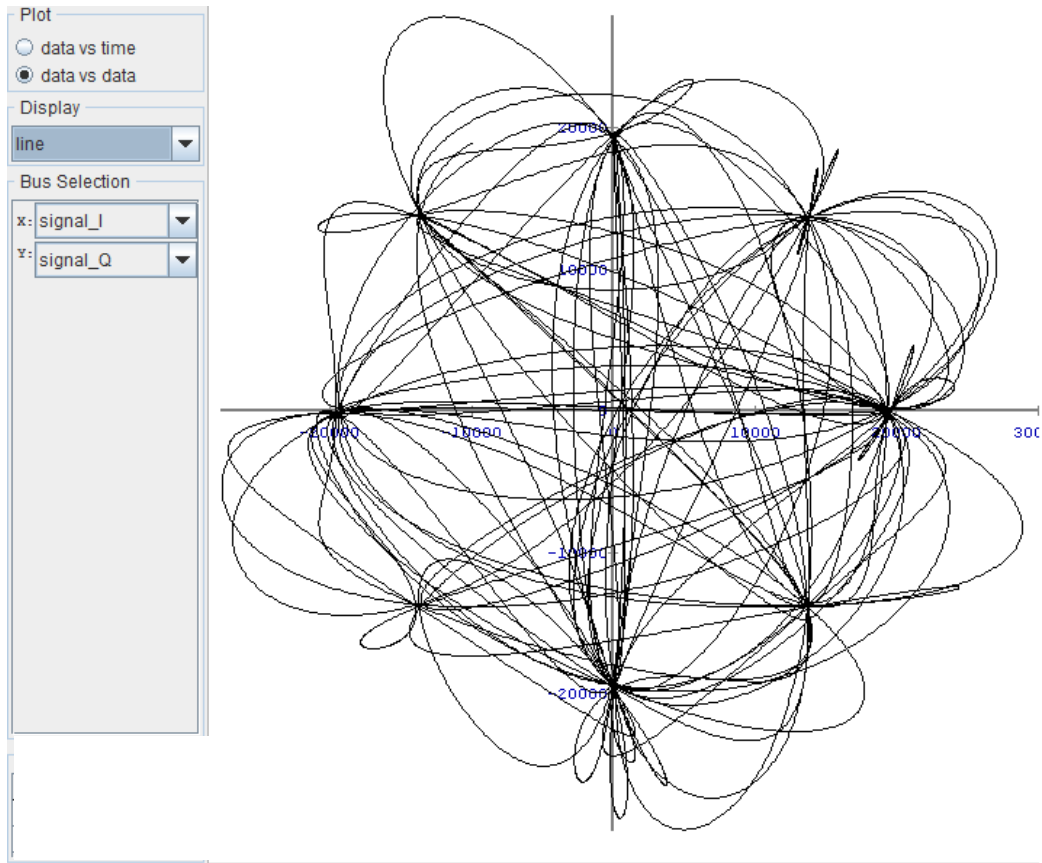


Figure 5.4 : Signaux D8PSK I et Q visualisés avec Chipscope

Les valeurs données sur l'abscisse et l'ordonnée représentent la dynamique maximale des données en entrée du CNA, soit des nombres codés sur 15 bits.

5.1.3.2. Filtre RRC interpolateur

Le filtrage RRC (Root Raised Cosine) sert à éliminer l'IES (Interférence Entre Symboles) et à réduire en même temps la bande passante des signaux I et Q. Le filtre implémenté est un filtre à réponse impulsionnelle finie (FIR). Ce filtre remplit aussi la fonction d'interpolateur X8. Il est équivalent à la structure suivante :

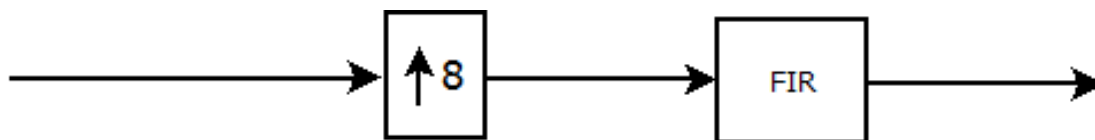


Figure 5.5 : Filtre RRC implémenté

L'intégration de l'élévation de cadence dans le FIR permet d'aboutir à une implémentation plus efficace en termes d'utilisation de blocs multiplieurs.

La conception du filtre a été faite avec le logiciel QED. Les paramètres employés pour la génération de ce filtre dans QED sont indiqués dans le tableau suivant :

Symbol (fe/8)	Rate	Roll-off	Sampling Rate	PassBand Ripple	StopBand Ripple
0.125		0.3	1	1 dB	70 dB

Tableau 5.1 : Paramètres filtre RC interpolateur

Le « Symbol Rate » représente la fréquence des symboles avant le filtre interpolateur. Ces spécifications permettent d'obtenir un FIR avec un nombre raisonnable de coefficients (légèrement inférieurs à 128).

Le gabarit du FIR obtenu en simulant le design FPGA avec iSim est proposé Figure 5.6 . En ordonnée, nous avons le module du spectre en dB et en abscisse la fréquence d'échantillonnage normalisée.

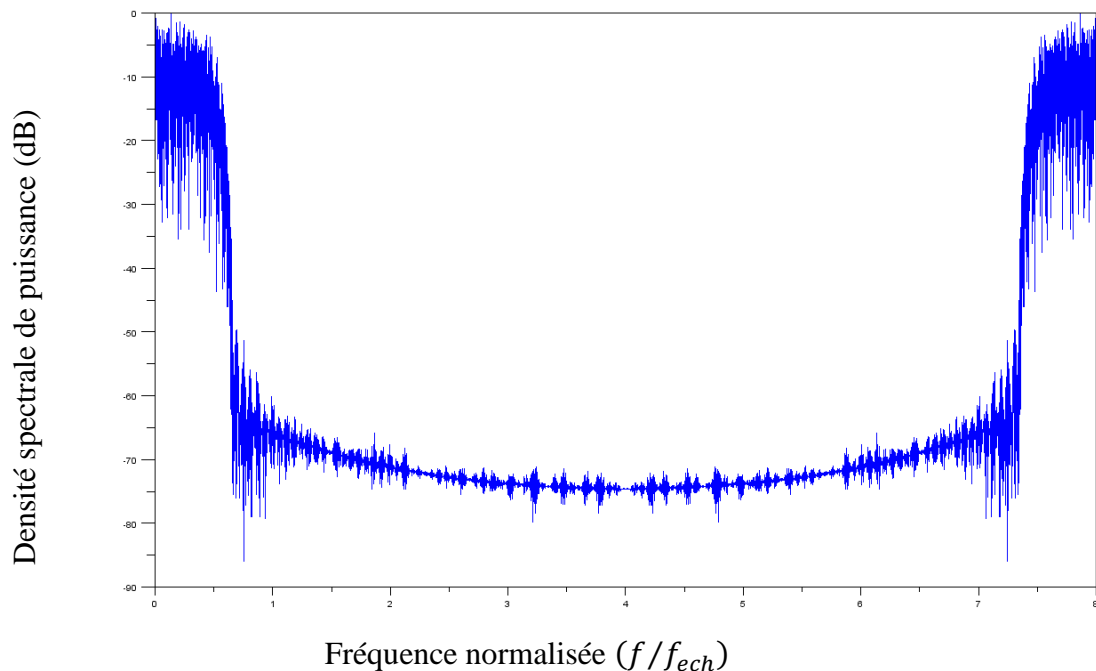


Figure 5.6 : Gabarit du FIR implémenté sur [0;8*RS]

5.1.3.3. Interpolation

Le rôle de l'interpolateur est d'élever la cadence des données à fréquence d'échantillonnage du CNA $f_{e_{CNA}}$. L'interpolateur peut être réalisé en utilisant un simple bloqueur d'ordre 0 ou un CIC (Cascaded Integrator Comb filter) (Figure 5.7) qui permet de limiter de manière efficace les répliques du spectre en bande de base. De plus son implémentation est adaptée au VHDL.

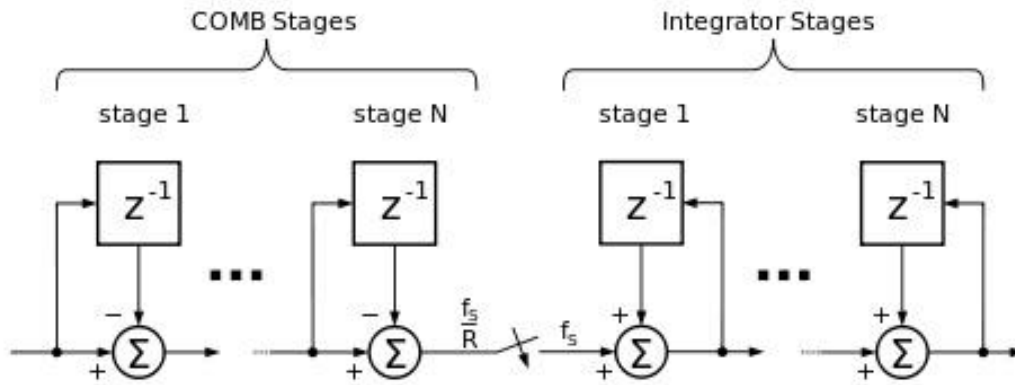


Figure 5.7 : Filtre CIC interpolateur

La fonction de transfert d'un CIC s'écrit :

$H(z) = H_I^N(z) \times H_C^N(z)$ $H(z) = \frac{(1 - z^{-RM})^N}{(1 - z^{-1})^N} = \left[\sum_{k=0}^{RM-1} z^{-k} \right]^N$	(5.2)
-------------------------------------------------------------------------------------------------------------------------------	---------

Avec :

H_I , la fonction de transfert de la partie « integrator »

H_C , la fonction de transfert de la partie « comb »

N est le nombre d'étage

R est le facteur d'interpolation

M désigne le délai différentiel

5.1.3.4. Génération des signaux « module » et « phase »

Les signaux module et phase ont été générés en utilisant l'algorithme CORDIC présenté en Annexe 4. Le mode vecteur de cet algorithme permet de calculer simultanément les fonctions $\tan^{-1}(y/x)$ et $K \times \sqrt{x^2 + y^2}$ à partir des coordonnées x et y fournies par l'utilisateur. C'est une méthode qui permet d'éviter l'utilisation de multiplieurs complexes. Au niveau des FPGAs, il est privilégié à cause de son efficacité et sa consommation moindre en ressources par rapport à l'utilisation de multiplieurs qui restent des ressources coûteuses, limitées et rares dans un FPGA. Les coordonnées polaires correspondantes aux coordonnées cartésiennes I et Q s'écrivent :

$\rho = \sqrt{I^2 + Q^2}$	(5.3)
---------------------------	---------

et

$\varphi = \tan^{-1}\left(\frac{Q}{I}\right)$	(5.4)
-----------------------------------------------	---------

ρ représente le signal contenant l'information d'enveloppe et φ , celui qui contient l'information de phase.

Pour la génération du signal RF contenant l'information de phase, seules les valeurs de $\cos \varphi$ et $\sin \varphi$ sont requises.

Nous avons :

$\cos(\varphi) = \frac{I}{\rho} = I_{norm}$	(5.5)
---------------------------------------------	---------

$\sin(\varphi) = \frac{Q}{\rho} = Q_{norm}$	(5.6)
---------------------------------------------	---------

Le CORDIC en mode vecteur permet de calculer ρ . Le calcul de $\cos \varphi$ et $\sin \varphi$ sera réalisé par un autre CORDIC utilisé cette fois-ci en mode rotation avec en entrée la valeur de φ calculée par le premier CORDIC. Certes cette méthode rajoute de la latence au système mais elle a le mérite d'être beaucoup plus précise.

5.1.3.5. Correction de la commande de gain

La correction de la commande de gain est réalisée en utilisant une technique simple et efficace de prédistorsion à base de LUTs.

Concrètement, l'algorithme de prédistorsion a été réalisé sous Matlab. Ces coefficients sont ensuite stockés dans des RAMs (références). Nous avons établi (Chapitre 4, section 4.1) qu'une LUT d'au moins 10000 échantillons était nécessaire pour obtenir un spectre en sortie de l'amplificateur de puissance comparable à la boucle cartésienne traditionnelle. L'implémentation de la prédistorsion a été faite en utilisant une LUT beaucoup plus grande (65528) pour obtenir de bonnes performances au niveau du spectre de sortie de l'AP. De plus les données sont quantifiées sur 16 bits, une table de longueur $2^{16} = 65536$ est nécessaire.

5.2. Partie RF : modulateur IQ + étage d'amplification

Pour des raisons d'efficacité et de coût, nous choisissons un modulateur déjà présent dans les émetteurs actuels. Ses performances ont été testées et vérifiées. L'étage d'amplification comprend le MW7I et le MRFE6 décrits tous les deux dans le chapitre 3. La Figure 5.8 illustre la courbe de variation de la puissance de sortie en fonction de la puissance d'entrée du seul étage du MW7I.

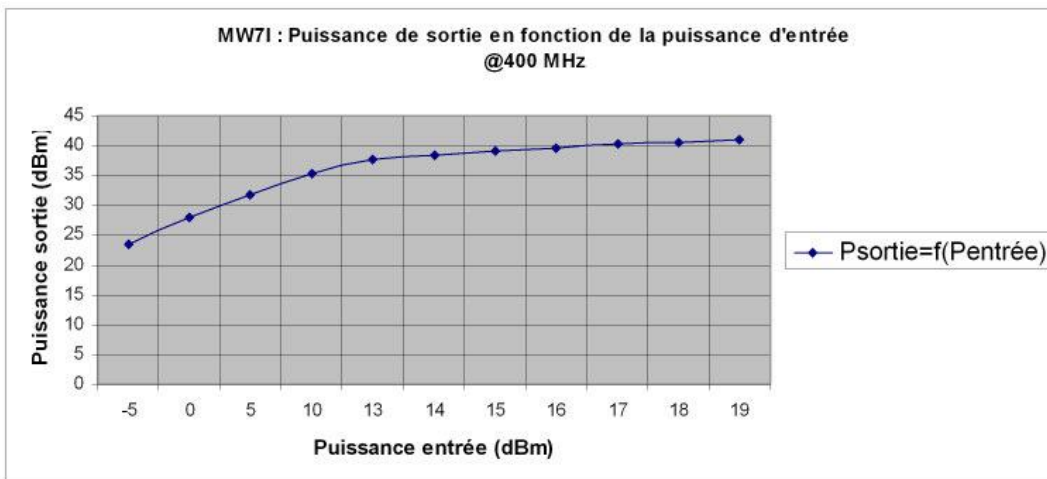


Figure 5.8 : Puissance de sortie en fonction de la puissance d'entrée pour le MW7I (@ 400 MHz)

Une image de ces deux étages est présentée à la Figure 5.9

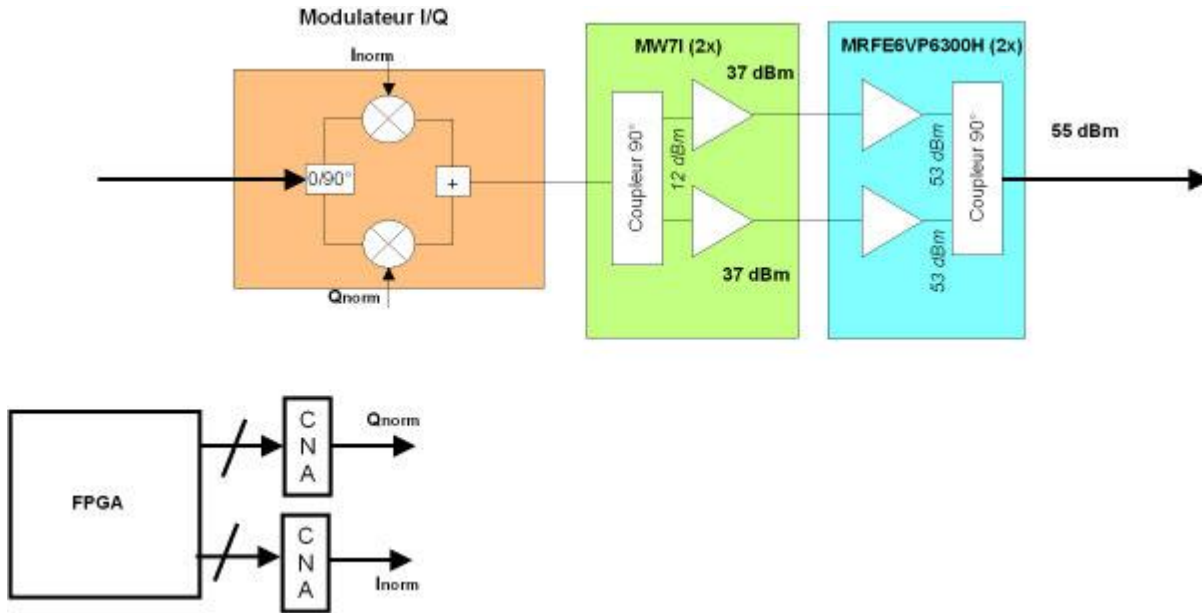


Figure 5.9 : Modulateur + étage d'amplification

5.2.1. Réalisation

Le banc de test final est proposé Figure 5.10.

Description (Figure 5.11)

- Les signaux bande de base normalisés I_{norm} , Q_{norm} et l'enveloppe du signal ρ sont générés par le FPGA (Kit ML605).
- Les signaux analogiques sont générés par les CNAs (carte FMC150 et carte Altera)
- En sortie des CNAs, les signaux sont envoyés en entrée d'une carte d'interface permettant la mise en forme des signaux avant qu'ils ne soient envoyés en entrée du modulateur ou de la grille l'AP (carte AOP). Cette carte permet d'ajuster l'offset et le niveau des signaux en entrée du modulateur et de la grille de l'AP. Le détail de cette carte est fourni en Annexe 5
- Une partie du signal de sortie est connectée à l'entrée d'un analyseur de spectre afin d'être démodulée. La constellation, le diagramme de l'œil ainsi que les spectres pourront être observés

- Une autre partie du signal de sortie est envoyée en entrée d'un oscilloscope. Cette mesure permet de vérifier que l'enveloppe en sortie de l'amplificateur de puissance suit bien les mêmes variations que le signal d'enveloppe généré par le FPGA.



Figure 5.10 : Banc de test final

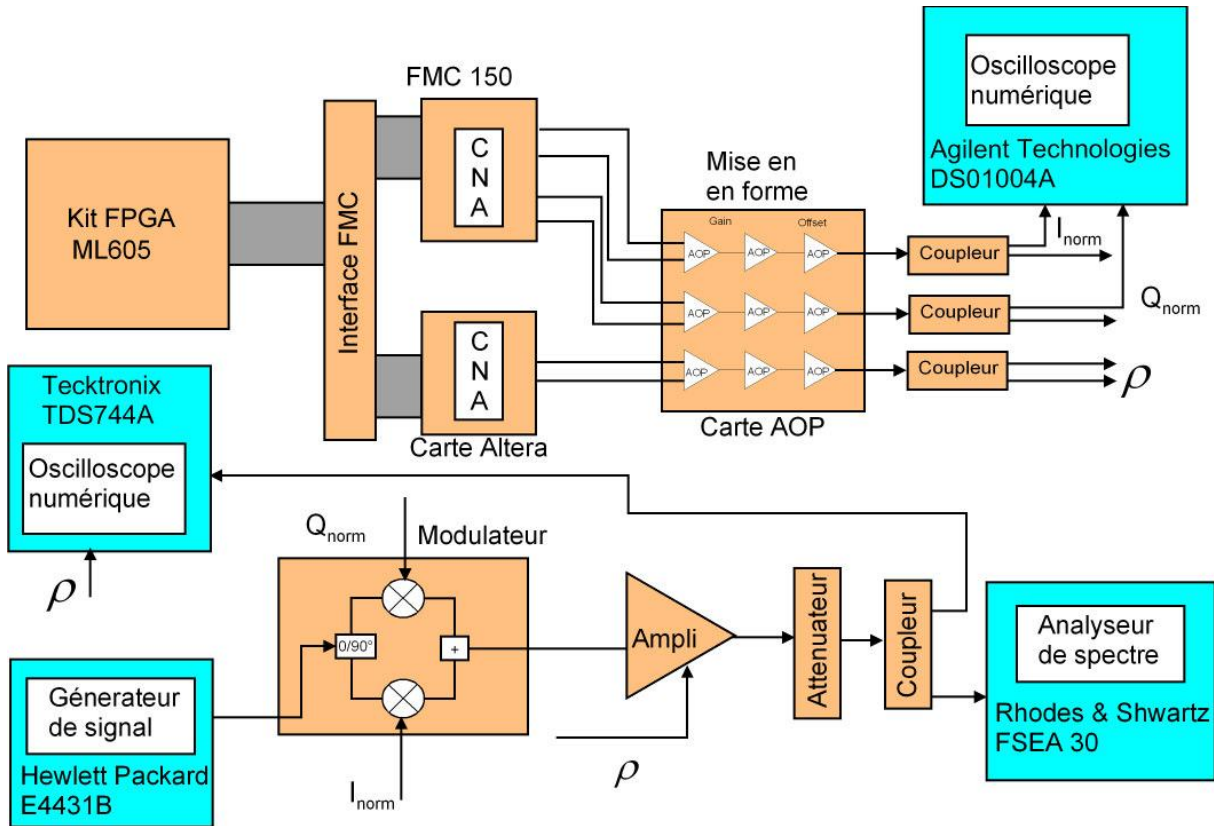


Figure 5.11 : Synoptique détaillé du banc de test

Les tests n'ont été faits que pour l'EER sans la boucle de retour. Le signal utilisé est un signal de bande passante égale à 10.5 kHz. L'objectif principal de ce paragraphe est de démontrer la faisabilité de cette architecture et de montrer l'influence de la prédistorsion dans les performances du système final.

5.2.2. Résultats

Les signaux en entrée du modulateur (en sortie du FPGA) sont à enveloppe constante comme le montre la Figure 5.12. Il s'agit d'une constellation des signaux I_{norm} et Q_{norm} désynchronisés obtenus avec l'oscilloscope numérique DS01004A d'Agilent Technologies.

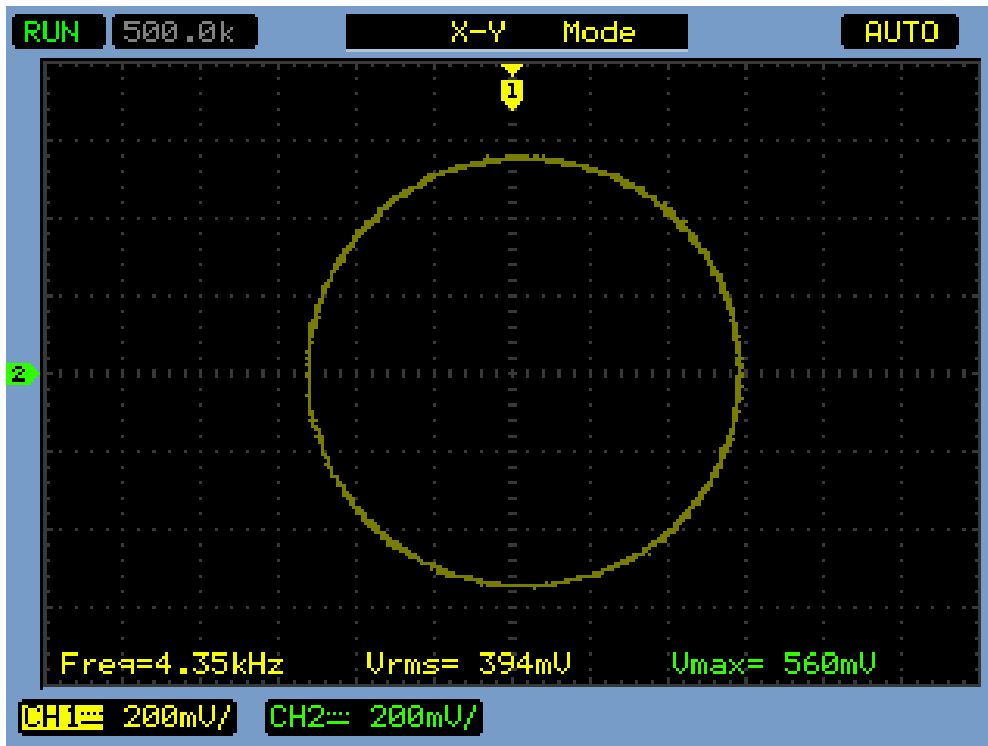


Figure 5.12 : Constellation des signaux I_{norm} et Q_{norm} en sortie du FPGA.

La Figure 5.13 illustre le bon fonctionnement de la commande de gain de l'amplificateur de puissance. Le signal d'enveloppe en sortie du CNA est mis en forme grâce à la carte AOP. Cette carte permet de régler aussi bien le niveau des offsets que l'amplitude du signal en entrée. De plus, elle permet de passer des signaux LVDS (entrée différentielle) à des signaux de type single-ended (entrée référencée à la masse ou à une tension de référence).

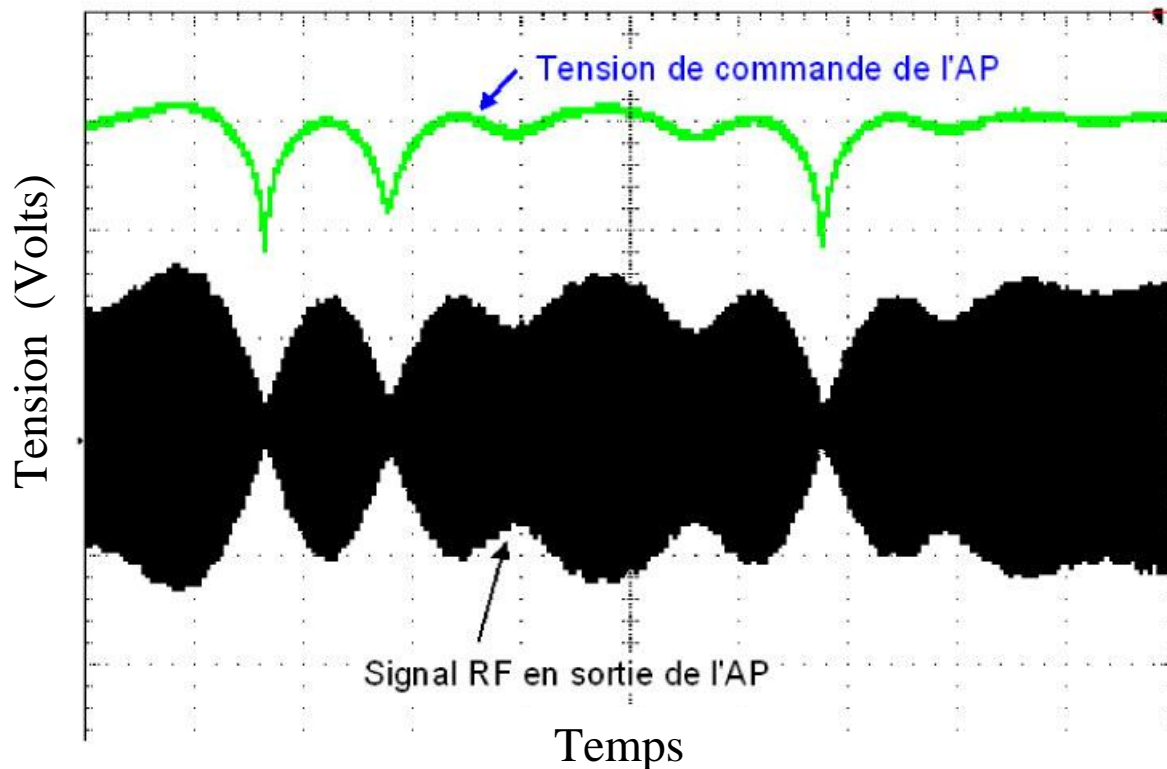


Figure 5.13 : Enveloppe du signal fournie par le FPGA et en sortie de l'AP

Les signaux d'enveloppe en sortie du FPGA et de l'étage d'amplification sont visualisés sur l'oscilloscope numérique (Tecktronix TDS744A).

Nous observons bien que l'enveloppe du signal RF en sortie de l'AP présente la même allure que l'enveloppe fournie par le FPGA. Nous pouvons affirmer grâce à ce résultat que l'enveloppe du signal est correctement imprimée sur le signal à enveloppe constante en entrée de l'étage d'amplification.

Une partie du signal en sortie de l'AP est observée au moyen d'un analyseur de spectre, le FSEA 30 de Rhodes & Shwartz.

Avant de tester l'influence de la prédistorsion sur le spectre du signal en sortie de l'AP, des mesures ont été faites pour quantifier les performances de la méthode EER. Les étapes de la mesure sont exposées ci-dessous :

Étape 1

- Les signaux en sortie du FPGA I et Q sont directement envoyés dans le modulateur par la carte AOP
- La voie générant le signal d'enveloppe ρ est débranchée
- Les niveaux des signaux I et Q en entrée du modulateur sont réglés de manière à avoir la puissance souhaitée au niveau de l'analyseur de spectre.
- Le spectre obtenu est sauvegardé

Étape 2

- Les signaux en sortie du FPGA I_{norm} et Q_{norm} sont envoyés dans le modulateur
- La voie générant le signal d'enveloppe ρ est branchée
- Les niveaux des signaux de phase I_{norm} et Q_{norm} et d'enveloppe ρ sont réglés de manière à obtenir le niveau de puissance souhaité
- Le spectre obtenu est superposé au spectre « sans EER » préenregistré

La Figure 5.14 illustre l'amélioration apportée sur le spectre de sortie de l'amplificateur de puissance par l'utilisation d'une méthode de linéarisation telle que l'EER. Nous observons une amélioration d'environ 17 dB dans les canaux adjacents (lorsque la méthode EER est utilisée) pour une puissance de sortie de 47 dBm.

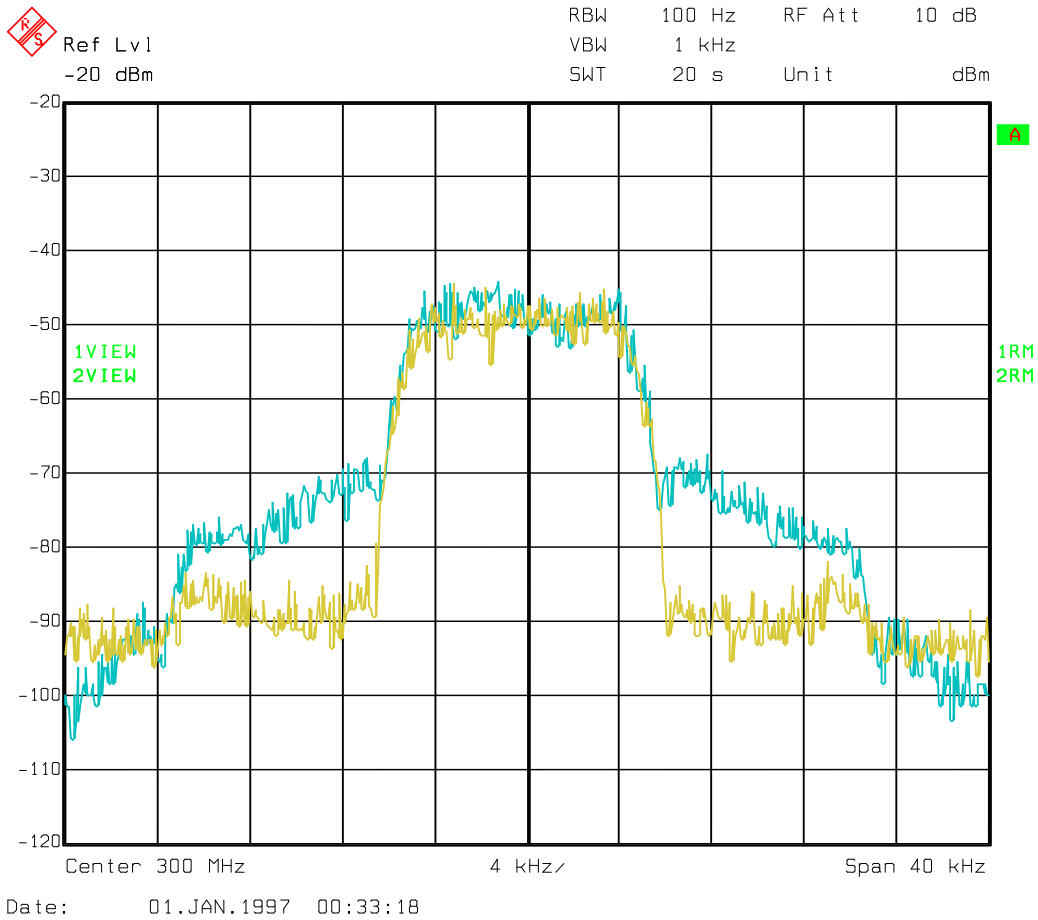


Figure 5.14 : Amélioration du niveau des canaux adjacents avec l'EER

L'influence de la prédistorsion de la commande de gain sur le spectre de sortie est illustrée sur les Figure 5.15 et Figure 5.16. Pour réaliser cette mesure, dans un premier temps, le module de prédistorsion (dans le FPGA) a été désactivé pour enregistrer le spectre en sortie de l'AP. Ce module a ensuite été activé pour pouvoir observer l'amélioration obtenue sur le spectre.

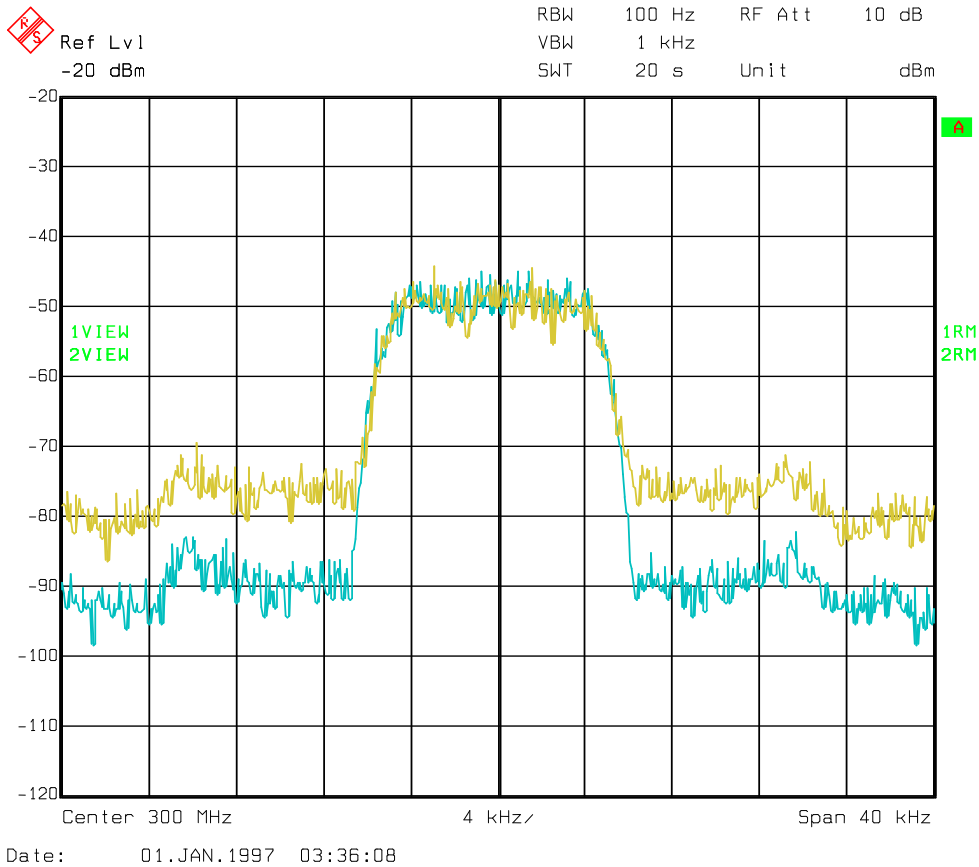


Figure 5.15 : Spectres en sortie de l'AP avec et sans la prédistorsion

Sur les spectres de la Figure 5.15, nous relevons une amélioration d'environ 12 dB dans les premiers canaux adjacents. Ceci montre l'influence incontestable de la prédistorsion sur le système global. Nous constatons une amélioration de l'EVM d'environ 2 % lorsque le module de prédistorsion est rajouté au système (Figure 5.16).

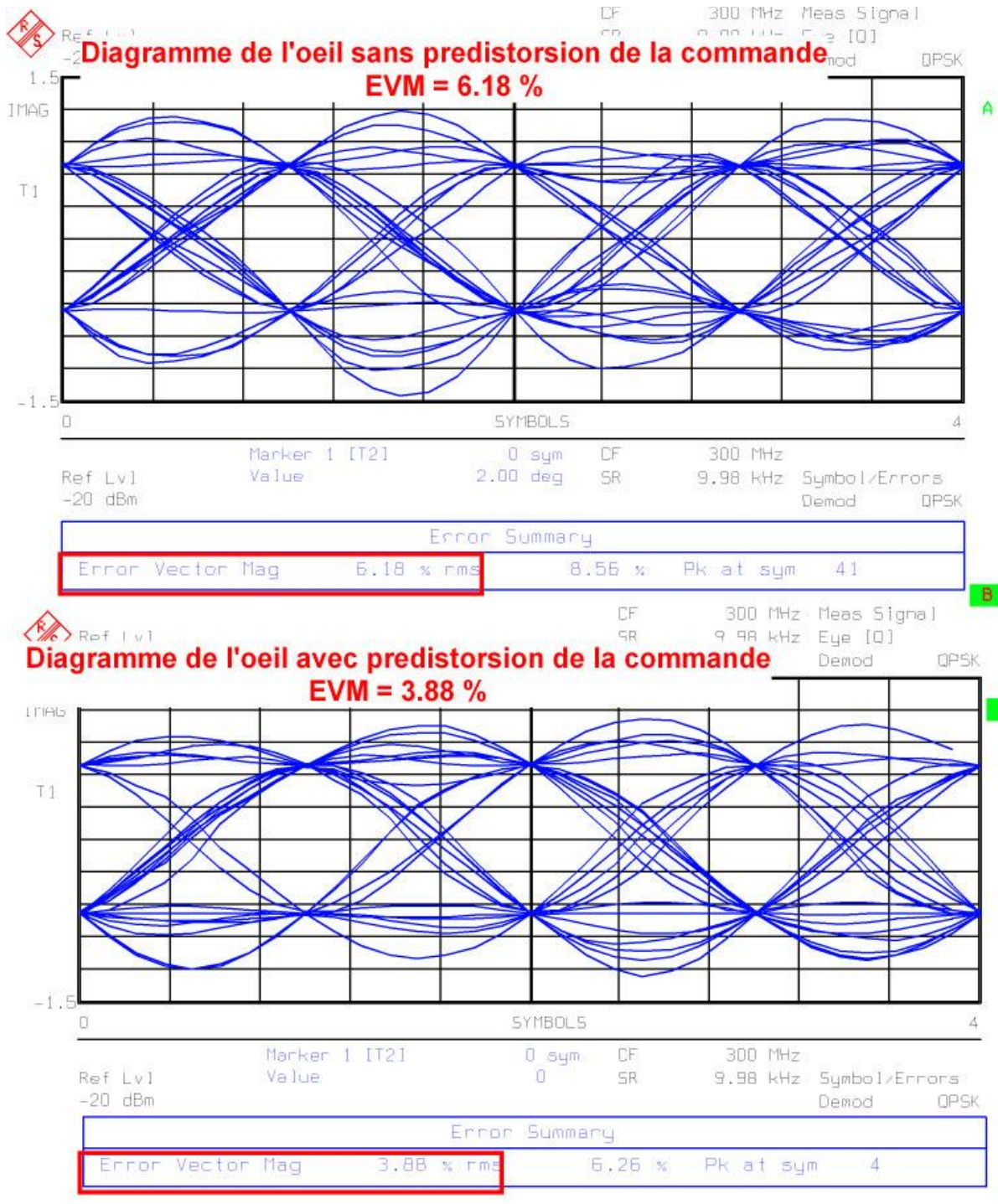


Figure 5.16 : Diagramme de l'œil avec et sans prédistorsion

Ces résultats démontrent la faisabilité d'une architecture EER pour les émetteurs VHF/UHF. L'utilisation d'un module de prédistorsion basé sur des LUTs permet de compenser les non-linéarités introduites dans le système par la commande de gain. Toutefois les résultats obtenus

dans la réalisation pratique de cette architecture sont plus modestes que celles obtenues lors des simulations. Ces différences peuvent s'expliquer de plusieurs manières :

- La finesse de réglage des divers paramètres en jeu. Une petite variation de la tension de commande de l'AP se traduit par une variation plus ou moins importante sur le spectre de sortie
- Les distorsions générées par chaque étage de la partie RF qui ne sont pas prises en compte dans la simulation.

Conclusion

Le principal objectif de ce travail de thèse était de définir une nouvelle architecture pour les émetteurs UHF-VHF notamment par rapport à la technique de linéarisation actuellement réalisée dans les émetteurs de TELERAD (la boucle cartésienne analogique). Cette nouvelle architecture devait être beaucoup moins rigide, plus flexible que l'ancienne (moins de composants analogiques et plus d'intégration numérique). De plus cette nouvelle architecture devait tenir compte de la probable évolution des standards de l'aéronautique vers des émetteurs devant gérer des modulations beaucoup plus complexes que celles développées dans le cadre de cette thèse. L'EER est une architecture parfaitement adaptée aux modulations numériques présentant de forts PAR et de nombreux travaux ont été publiés sur les performances de cette méthode dans le cadre d'application 802.11a (WLAN) ou encore 802.11b (Wi-Fi). La boucle cartésienne est une méthode robuste qui donne de bonnes performances. Mais elle n'est efficace que sur des signaux à bande étroite. Réalisée de manière analogique, elle est peu adaptée à la reconfigurabilité notamment en raison de la chaîne de retour (démodulateur analogique) qui doit être le plus linéaire possible car les distorsions ajoutées par la voie de retour ne sont pas corrigées par la boucle. De plus, son implémentation numérique est conditionnée par le retard de la chaîne directe. En effet, il n'est pas possible de réaliser de manière numérique un émetteur à boucle cartésienne avec de bonnes marges de phase (60°) et de gain (~ 12 dB) pour des signaux de bande passante supérieure à 50 kHz en raison du délai de traitement nécessaire entre deux échantillons et des temps de réponse extrêmement courts nécessaires de la partie RF.

L'EER est une architecture qui permet d'utiliser l'AP dans sa zone non linéaire (rendement élevé) avec très peu de distorsions. Il s'agit d'une architecture qui présente de nombreux avantages par rapport à la boucle cartésienne analogique ou numérique dans le sens où elle est utilisée sans difficulté majeure pour des modulations à forts PAPR. Toutefois, les performances de cette architecture sont limitées par plusieurs facteurs dont la commande non linéaire du gain de l'amplificateur de puissance. Nous avons montré par la simulation et une réalisation pratique que la correction de cette non-linéarité permettait d'améliorer les performances de cette architecture. Nous avons proposé une méthode de correction de cette

non-linéarité en utilisant une prédistorsion par LUTs. Nous avons étudié l'amélioration de l'ACPR en sortie de l'amplificateur de puissance en fonction de la taille des LUTs. Une réalisation pratique a permis de confirmer les résultats obtenus par simulations notamment en termes d'amélioration apportée par l'utilisation de l'EER en temps que méthode de linéarisation et l'influence du module de prédistorsion sur le système. Nous avons vu que les performances obtenues sont moins importantes que celles obtenues par simulation. Mais ces différences en pratique peuvent s'expliquer par le fait que la simulation ne tient pas compte de toutes les non-linéarités générées (difficilement prévisibles) par tous les étages de la partie RF.

Plusieurs pistes d'améliorations de cette architecture peuvent être envisagées :

- Amélioration de la technique de correction de la commande de gain en utilisant des techniques de prédistorsion plus élaborées.
- Compensation du délai entre les voies d'amplitude et de phase par l'utilisation de techniques plus efficaces. Dans l'état actuel de notre travail², aucun algorithme avancé n'a été utilisé pour une compensation adaptative du délai.

Cette thèse n'est qu'une première étape dans un projet plus large de développement de radio logicielle restreinte pour des émetteurs utilisés en aéronautique qui intégrera différentes normes (UHF, VHF, LDACS-1, LDACS-2, ...). L'architecture proposée devrait permettre la reconfiguration. Cet aspect n'a pas été traité et constitue une des perspectives de ce travail.

² Le délai entre les deux voies a été comblé en rajoutant une ligne de retard sur la voie de phase

Bibliographie

- [1] Planestoscope, [En ligne]. Disponible sur: www.planestoscope.com/transport/Avions. [Consulté le: 15-janv-2013].
- [2] P. KADIONIK, « BASE DE TRANSMISSIONS NUMERIQUE : les modulations numériques ». .
- [3] ETSI, « Electromagnetic compatibility and Radio spectrum Matters (ERM); Ground-based VHF hand-held, mobile and fixed radio transmitters, receivers and transceivers for the VHF aeronautical mobile service using amplitude modulation; Part 1: Technical characteristics and methods of measurement », Norme ETSI EN 300 676-1 V1.4.1 (2007-04), avr. 2007.
- [4] ETSI, « VHF air-ground Digital Link (VDL) Mode 2; Technical characteristics and methods of measurement for ground-based equipment; Part 1: Physical layer and MAC sub-layer », Norme ETSI EN 301 841-1, juin 2010.
- [5] ETSI, « Electromagnetic compatibility and Radio spectrum Matters (ERM); VHF air-ground Digital Link (VDL) Mode 4 radio equipment; Technical characteristics and methods of measurement for ground-based equipment; Part 1: EN for ground equipment », Norme ETSI EN 301 842-1 V1.2.1 (2005-04), avr. 2005.
- [6] Y. . ANOBA, « Study and Analysis of L-band Digital Aeronautical Communications Systems (L-DACS) - Radio ground stations architectures design », Rapport de Master, ENAC, Toulouse, 2011.
- [7] S. TRAVERSO, « Transposition de fréquence et compensation du déséquilibre IQ pour des systèmes multiporteuses sur canal sélectif en fréquence », Thèse Télécommunications, Cergy Pontoise, Cergy Pontoise, 2007.
- [8] C. TASSIN, « Etude de faisabilité d'un émetteur radio fréquence à conversion directe pour le standard WCDMA avec boucle cartésienne de linéarisation en technologie CMOS 65 nm », Thèse Electronique, Université de Bordeaux, Bordeaux, 2006.
- [9] B. RAZAVI, « A Study of Injection Pulling and Locking in Oscillators. », *Ieee J. Solid-State Circuits*, vol. 39, Sept 2004, p. 1415-1424.
- [10] B. RAZAVI, « RF transmitter architectures and circuits », présenté à Proceedings of the IEEE Custom Integrated Circuits, San Diego CA, 1999, p. 197-204.
- [11] A. DIET, « Etude des architectures EER pour les émetteurs de radio-communications numérique 3G et au-delà », Thèse Electronique, Optronique et Systèmes, Université de Marne-la-Vallée, Marne-la-Vallée, 2005.
- [12] C. MOY, « Evolution de la conception radio: de la radio logicielle à la radio intelligente », HDR Electronique, Rennes 1, Rennes, 2008.
- [13] S. ZABRE, « Amplification non-linéaire d'un multiplex de porteuses modulees à fort Facteur de Crête », Thèse TST, Rennes, Rennes, 2007.
- [14] SESAR, « SESAR Joint Undertaking », 2009. [En ligne]. Disponible sur: www.sesarju.eu. [Consulté le: 12-nov-2012].
- [15] Conseil, *RÈGLEMENT (CE) No 219/2007 DU CONSEIL, relatif à la constitution d'une entreprise commune pour la réalisation du système européen de nouvelle génération pour la gestion du trafic aérien (SESAR)*. 2007, p. 18.

- [16] FAA, « NextGen », *Federal Aviation Administration*. [En ligne]. Disponible sur: www.faa.gov/nextgen. [Consulté le: 15-janv-2013].
- [17] FAA, « NextGen Implementation Plan March 2012 », *Federal Aviation Administration*. [En ligne]. Disponible sur: <http://www.faa.gov/nextgen/implementation/plan/>. [Consulté le: 25-janv-2013].
- [18] TELERAD, « TELERAD DEFENSE » disponible sur www.telerad.fr, Juin-2012.
- [19] D. GUEL, « Etude de nouvelles techniques de réduction du « facteur de crête » à compatibilité descendante pour les systèmes multiporteuses », Thèse, Rennes 1, Rennes, 2009.
- [20] A. GUY, « Etude, conception et réalisation d'un système de linéarisation d'amplificateurs de puissance à état solide pour des applications spatiales », Thèse de Doctorat, Université Paul Sabatier de Toulouse, Toulouse, 2000.
- [21] W. HAMDANE, « Etude et développement d'architectures d'amplification à deux branches pour les systèmes de communication sans fil », Thèse, Ecole supérieure de Technologie, Université du Québec, Montréal, 2010.
- [22] P. BARREAU, « Les amplificateurs », *Tech. Ingénieur*, vol. E310, nov. 2001.
- [23] A. GREBENNIKOV, « Power Amplifier Design Fundamentals: More notes from the pages of history », *High Freq. Electron.*, mai 2010.
- [24] F. DOWLA, *Handbook of RF and Wireless Technologies*, 1^{re} éd. Newnes, 2003.
- [25] D. SU, « CMOS RF Power Amplifiers: Nonlinear, Linear, Linearized », présenté à Atheros Communications Sunnyvale, California, 2002.
- [26] POON et A. SIU, « Analog Integrated Circuits ». 2001.
- [27] C. FAGER, « Power Amplifier efficiency enhancement techniques ». [En ligne]. Disponible sur: www2.hig.se/t-inst/english/seminarier/PAEffEnhancement_CF6.ppt. [Consulté le: 10-janv-2012].
- [28] N. SOKAL et A. SOKAL, « Class E-A new class of high efficiency tuned single ended switching power amplifiers », *Ieee J. Solid-State Circuits*, vol. Issue 3, p. 168-176, 1975.
- [29] S. DARDENNE, « Amélioration de la linéarité des amplificateurs de puissance par injection de composantes basses fréquences et d'intermodulation, pour des applications de radiocommunications mobiles », Thèse de doctorat Electronique, Microélectronique et Nanoélectronique, Ecole Supérieure d'Ingénieurs de Poitiers, Université de Poitiers, Poitiers, 2005.
- [30] A. MAZEN, « Linéarisation des amplificateurs de puissance – Prédistorion numérique adaptative en bande de base », Thèse Electronique, Ecole polytechnique de l'Université de Nantes, Nantes, 2009.
- [31] W. BOSCH et G. GATTI, « Measurement and simulation of memory effects in predistortion linearizers. », *Ieee Trans. Microw. Theory Tech.*, vol. 37, p. 1885–1890., déc. 1989.
- [32] A. SALEH, « Frequency-Independent and Frequency-Dependent Nonlinear Models of TWT Amplifiers », *Ieee Trans Commun*, vol. 29, p. 1715–1720, nov. 1981.
- [33] P. KENINGTON, *High Linearity RF Amplifier Design*. Artech House, 2000.
- [34] J. VUOLEVI et T. RAHKONEN, *Distortion in RF Power Amplifiers*. Artech House Microwave Library, 2003.

- [35] Y. LOUET et Y. PALICOT., « A classification of methodes for efficient power amplification of signals. Ann.Telecommun.(2008) 63:351-368 », *Ann.Telecommun.*, vol. 63, p. 351-368, 2008.
- [36] H. BLACK, « Wave translation system », Brevet 2011566, Dec 1937.
- [37] J. DAWSON et T. . LEE, « Cartesian Feedback for RF Power Amplifier Linearization », in *Proceedings of the American Control Conference*, 2004, p. 361-366.
- [38] M. BRIFFA et M. FAULKNER, « Stability analysis of Cartesian feedback linearisation for amplifiers with weak nonlinearities. », in *IEEE Proc.-Commun*, 1996, vol. 143.
- [39] V. PETROVIC et W. GOSLING, « Polar-Loop Transmitter. », *Electron. Lett.*, mai 1979.
- [40] F. RAAB, B. . SIGMON, R. . MYERS R.G, et P. . JACKSON, « L-band Transmitter Using Kahn EER Technique. », *Ieee Trans. Microw. Theory Tech.*, vol. 46, n° 12, p. 2220-2224, déc. 1998.
- [41] M. TURIN, « Amplification de puissance radiofréquence à l'état solide : Paramètres de mise en œuvres », *Tech. L'ingénieur*, Aout 2008.
- [42] M. BRIFFA, « Linearization of RF Power Amplifier », PhDThesis, Victoria University of Technology, 1996.
- [43] L. KAHN, « Single-sideband transmission by envelope elimination and restoration », *Proc. Ieee*, vol. 40, n° 7, p. 803-806, juill. 1952.
- [44] G. BAUDOIN, A. DIET, C. BERLAND, et M. VILLEGAS, « Etude théorique et expérimentale de l'influence d'un décalage temporel entre l'enveloppe et la phase d'un signal OFDM dans un système de linéarisation EER », présenté à 13 ème Journées Nationales Microondes, JNM'2003, Lille, France, 2003.
- [45] F. WANG, A. OJO, D. KIMBALL, P. ASBECK, et L. LARSON, « Enveloppe Tracking Power Amplifier with Pre-Distorsion Linéarization for WLAN 802.11g. », présenté à IEEE MTTT-S International Microwave Symposium Digest 2004, USA, 2004, p. 1543-1546.
- [46] D. COX, « Linear Amplification with Nonlinear Component », *Ieee Trans. Commun.*, p. 1942-1945, déc. 1974.
- [47] S. HETZEL, A. BATEMAN, et J. . McGEEHAN, « A LINC Transmitter », *Ieee Electron. Lett.*, vol. 25, n° 10, p. 844-845, 1991.
- [48] A. BATEMAN, « Combined Analogue Locked Loop », présenté à Proceedings of the 42nd IEEE Vehicular Technology Conference, Denver, 1992, p. 759-763.
- [49] W. DOHERTY, « A new high efficiency power amplifier RF power-amplifier systems », *Proc. Ieee*, n° 24, p. 1163-1182, sept. 1936.
- [50] C. LAGARDE, « Modélisation de Transistor de puissance en technologie GaN : Conception d'un amplificateur de type Doherty pour les émetteurs à puissance adaptative », Thèse Electronique des hautes Fréquences et Optoélectroniques, Université de Limoges, Limoges, 2006.
- [51] N. BOUMAAZ, « Étude d'opérateurs de traitement de signal appliquant l'échantillonnage aléatoire pour la radio logicielle », Thèse Electronique, Université de Nantes, Nantes, 2009.
- [52] C. PREVOT, « Conversion analogique numérique et numérique analogique, Partie 2 », *Tech. Ingénieur*.

- [53] C. PREVOT, « Conversion analogique numérique et numérique analogique, Partie 3 », *Tech. Ingénieur*.
- [54] W. SANAA, N. DELAUNAY, B. Le GAL, D. DALLET, C. REBAI, N. DELTIMPLE, D. BELOT, et E. KERHERVE, « Design of a mixed-signal Cartesian Feedback loop for a low power zero-IF WCDMA transmitter », présenté à 2012 IEEE Third Latin American Symposium on Circuits and Systems (LASCAS), Playa del Carmen, 2012, p. 1-4.
- [55] L. TEE, E. SACCHI, R. BOCOCK, N. WONGKOMET, et P. GRAY, « A Cartesian-Feedback Linearized CMOS RF Transmitter for EDGE Modulation », in *Digest of Technical paper*, Honolulu, 2006, p. 232-233.
- [56] L. TEE, « Transmitter Linearization for Portable Wireless Communication Systems », PhD thesis Electrical Engineering and Computer Sciences, University of California, Berkeley, 2007.
- [57] M. HOFVENDAH, « 2,4 GHz Power Amplifier with Cartesian Feedback for WLAN », Master Thesis, Linköping University, Department of Electrical Engineering. Institutionen för systemteknik, 2002.
- [58] F. VITERI, « Digital Cartesian feedback linearization of power Amplifiers », Master of Science, Circuits and Systems Group, Faculty of Electrical Engineering, Mathematics and Computer Science, Delft University of Technology, 2010.
- [59] J. BERCHER et C. BERLAND, « Envelope and phase delays correction in an EER radio architecture », présenté à IEEE International Electronics, Circuits and Systems,, Nice, France, 2006.
- [60] J. JAU et T. HORNG, « Linear interpolation scheme for compensation of path delay difference in an EER transmitter », présenté à Proceedings of Asia Pacific Microwave Conference, Taipei, 2001, vol. 3, p. 1072-1075.
- [61] J. MARTIRES, C. BORG, et T. LARSEN, « Differential delay equalization in Kahn EER transmitters », présenté à 15th IST Mobile & Wireless Communications Summit, Mykonos, Greece, 2006.
- [62] T. NESIMOGLU, K. MORRIS, S. PARKER, et J. . McGEEHAN, « Improved EER transmitters for WLAN. », présenté à IEEE Radio and Wireless Symposium, 2006, p. 239 - 242.
- [63] I. KIM, Y. WOO, J. KIM, J. MOON, J. KIM, et K. BUMMAN, « High efficiency hybrid EER transmitter using optimized power amplifier », *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, n° Issue 11, p. 2582 - 2593, nov-2008.
- [64] Freescale Semiconductor, « RF LDMOS Wideband Integrated Power Amplifier, MW7IC008N ». 2012-2011.
- [65] Freescale Semiconductor, « RF Power Field Effect Transistors, MRFE6VP6300H ». 2011.
- [66] E. COTAIS, « Linéarisation d'amplificateurs de puissance large bande par prédistorsion adaptative en bande de base », Thèse Electronique, Université de Nantes, Nantes, 2005.
- [67] A. DIET, M. VILLEGAS, G. BAUDOIN, et F. Robert, « Radio-communications architectures », in *Electrical and Electronic Engineering*, 2010.
- [68] D. MENARD, « Méthodologies de conversion automatique en virgule fixe pour les applications de traitement du signal » disponible sur www.irisa.fr/archi03/Presentations/Menard.pdf [Consulté le: 18 Fev -2013]
- [69] J. SENPAU ROCA et A. PRIOU, « Numération et codages ». sept-2003.

- [70] IFT-17583, « Structure interne des ordinateurs », *Département d'informatique et de génie logiciel*. [En ligne]. Disponible sur: <http://www.ift.ulaval.ca/~marchand/ift17583/Support/Arithm.html>.
- [71] Xilinx, « Efficient Shift Registers, LFSR Counters, and Long Pseudo-Random Sequence Generators ». juill-1996.

Annexe 1 : Kit ML605 et carte FMC 150

Le ML605 (Figure 17) intègre différents périphériques tels que :

- Une mémoire SODIMM (Small Outline Dual In-Line Memory Module) DDR3.
- PCIe (Peripheral Component Interconnect express) 8x.
- Une interface Ethernet tri-mode (10/100/1000 Mb/s).
- Des entrées/sorties multi-usages (ports GPIOs).
- Un UART (Universal Asynchronous Receiver Transmitter).
- ...

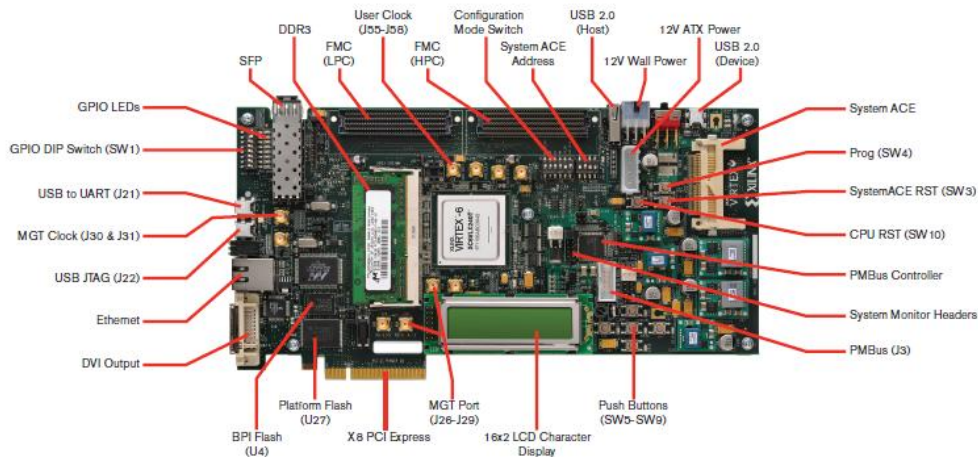


Figure.A 1 : Kit ML605 comportant un virtex6 de chez Xilinx

La carte FMC150 est fabriquée et vendue par 4DSP. Les principaux composants présents sur cette carte :

- Le CNA (DAC3283) : effectue la conversion numérique/analogique.
- Le CAN (ADS62P49) : effectue la conversion numérique/analogique.
- Le CDCE : fournit les horloges au CNA et au CAN.
- L'AMC : supervise les différentes opérations.

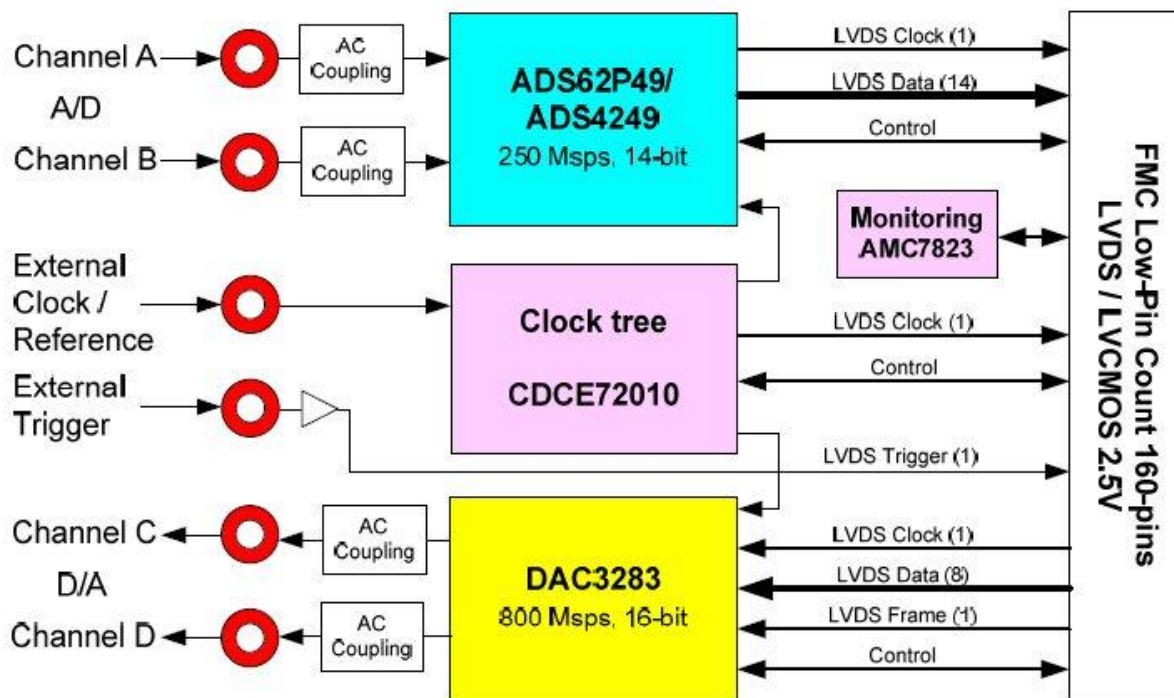


Figure.A 2: Carte FMC150

Annexe 2 : Algorithme CORDIC

Le CORDIC (COordinate Rotation for DIgital Computer) est un algorithme qui permet le calcul des fonctions trigonométriques et hyperboliques par approximations successives. Il peut être implémenté selon deux modes : le mode rotation et le mode vecteur.

Le mode rotation

Ce mode permet le calcul de fonctions telles que $\sin \varphi$ et $\cos \varphi$ à partir de coordonnées cartésiennes (x, y) d'un vecteur \vec{V} .

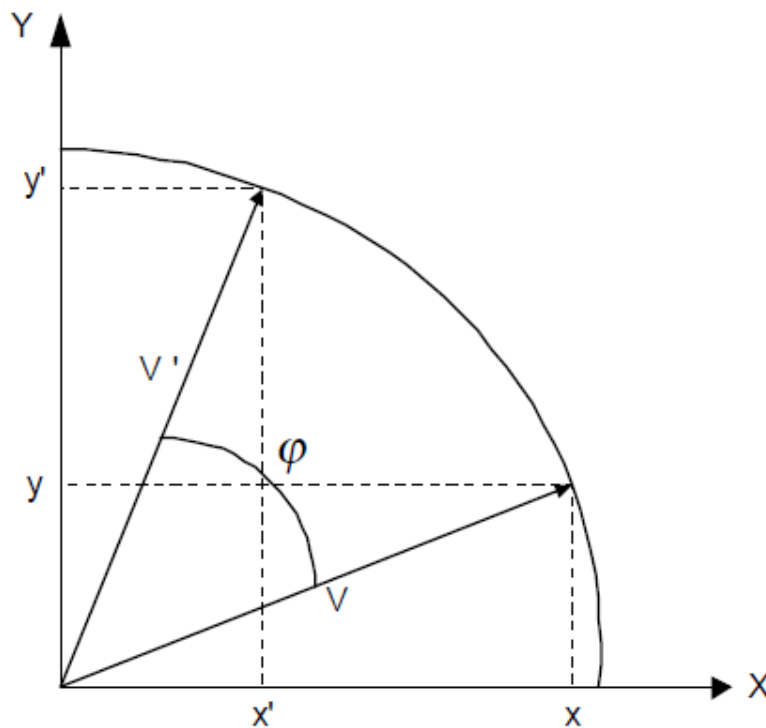


Figure.A 3: Mode rotation de l'algorithme CORDIC

Les coordonnées (x', y') du vecteur \vec{V}' résultant d'une rotation d'angle φ du vecteur \vec{V} est donnée par la relation (A. 1)

$\begin{bmatrix} x' \\ y' \end{bmatrix} = \begin{bmatrix} \cos(\varphi) & -\sin(\varphi) \\ \sin(\varphi) & \cos(\varphi) \end{bmatrix} \begin{bmatrix} x \\ y \end{bmatrix} \Leftrightarrow \begin{cases} x' = x \times \cos(\varphi) - y \times \sin(\varphi) \\ y' = x \times \sin(\varphi) + y \times \cos(\varphi) \end{cases}$	(A. 1):
--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	---------

L'équation (A. 1) peut être réécrite (A. 2) :

$\begin{cases} x' = \cos(\varphi)[x - y \times \tan(\varphi)] \\ y' = \sin(\varphi)[x - y \times \tan(\varphi)] \end{cases}$	(A. 2)
------------------------------------------------------------------------------------------------------------------------------	--------

Si l'angle de rotation est restreint à $\tan^{-1}(\pm 2^i)$ avec $i=1, 2, 3, \dots$, φ est obtenue par une succession de rotations élémentaires de l'ordre de :

$a_{i+1} = a_i - d_i \times \tan^{-1}(2^{-i})$	(A. 3)
------------------------------------------------	--------

Où $d_i = \pm 1$

L'indice d_i indique le sens de rotation de l'angle pour chaque itération. Cet indice est déterminé à chaque itération selon le résultat d'une comparaison.

Le système (5.8) peut être calculé de manière itérative grâce aux équations suivantes

$\begin{cases} x_{i+1} = k_i(x_i - y_i \times d_i \times 2^{-i}) \\ y_{i+1} = k_i(y_i - x_i \times d_i \times 2^{-i}) \end{cases}$	(A. 4)
------------------------------------------------------------------------------------------------------------------------------------	--------

Le mode vecteur permet de faire la transformation des coordonnées cartésiennes vers les coordonnées polaires. L'algorithme est assez simple, il s'agit d'initialiser un vecteur sur le cercle unité et de le déplacer par pas successifs décroissants jusqu'à tomber sur le vecteur recherché.

Annexe 3: Programme de prédistorsion

```
clear all;
clc;
close all;

Vmin=0;
Vmax=30;
Min_dB=0;
Max_dB=50;

%%%%%%%%%% les signaux qui seront utilisés%%%%%%%%%%
%%%%%%%%%% MW7I %%%%%%%%%%%

TC_Grill1=csvread('G:\Donnees\These_Telerad\Fichier_Excels\Mesures_MW7I\MW7I
_TC_Grill1.csv');
GLineaire_Grill1=csvread('G:\Donnees\These_Telerad\Fichier_Excels\Mesures_MW
7I\MW7I_GLineaire_Grill1.csv');

%%%%%%%%%%Interpolation du modèle de l'ensemble AMPU + MW7I
%%%%%%%%%%
%%%%%%%%%%Dans le valeurs de Gain en sortie en fonction
%%%%%%%%%%de la tension de commande, il y a des valeurs
%%%%%%%%%%aberrantes que nous allons supprimer dans cette boucle for

    for i=1:length(TC_Grill1)
        if (GLineaire_Grill1(i)<=1)
            GLineaire_Grill1(i)=0;
            TC_Grill1(i)=0;
        end
    end

%%%%%%%%%%A la fin de cette boucle, nous avons plusieurs lignes dans le
vecteur Tc_Grill1 =0, or la fonction interp n'autorise pas cela, nous
enlevons alors les zéros superflus, résultat, on travaille sur des vecteurs
TC_Grill1(1:14,:)
tc=TC_Grill1(1:14,:);
min_tc=min(tc);
max_tc=max(tc);
Gli=GLineaire_Grill1(1:14,:);
Gli_n=Gli;

%%%%%%%%%%Dans les lignes suivantes, le gain de sortie est normalisé pour
avoir un gain distordu de valeur max= max(tension de commande)

a=max(Gli_n)/max(tc);
Gli_norm=Gli_n/a;
max_Gli_norm=max(Gli_norm);

%%%%%%%%%%Interpolation des signaux tc et
Gli_norm%%%%%%%%%%
N=32767; % 15 bits
tc_interp=min_tc:(max_tc-min_tc)/N:max_tc ;
```

```

Gli_interp=interp1(tc,Gli_norm,tc_interp);
max_tc_interp=max(tc_interp)
min_tc_interp=min(tc_interp)
max_Gli_interp=max(Gli_interp)
min_Gli_interp=min(Gli_interp)

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% Modélisation de la distorsion de la relation Gli_norm=f(tc) par
un polynome d'ordre 3 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
p=polyfit(tc_interp,Gli_interp,3); % p= polynome qui modélise la non
linéarité entre phi et t_c

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% Predistorsion proprement dite
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

for j=1:length(tc_interp)
    index_tab=find(abs(tc_interp(j)-Gli_interp)<=0.03);
    index=index_tab(end);
    tab(j)=index;
    tc_pred(j)=tc_interp(index);
end

% G_cor représente le signal de sortie en sortie de :
% Module de prédistorsion + Distorsion. C'est la raison pour laquelle la
% distorsion est appliquée au
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% signal tc_pred
G_cor=polyval(p,tc_pred);
G_cor=G_cor';
Gdist=polyval(p,tc_interp); % Le signal en entrée est distordu pour pouvoir
quantifier l'influence de la prédistorsion
    for i=1:length(Gdist)
        if (Gdist(i)< 0)
            Gdist(i)=0;
        end
    end
end

m=0;
for i=1:300:length(tc_interp)
    m=m+1;
    tc_interpc(m)=tc_interp(i)
    Gli_interpc(m)= Gli_interp(i);
    tc_predc(m)= tc_pred(i);
    G_corc(m)= G_cor(i);
end

```

Annexe 4: Programme Matlab de modélisation de la caractéristique non-linéaire de la commande de gain de l'AP

```
clear all;
clc;
close all;

TC_Grill1=csvread('C:\Documents and Settings\badarou\Mes
documents\THESE_TELERAD\Fichier_Excels\Mesures_MW7I\MW7I_TC_Grill1.csv');

GLineaire_Grill1=csvread('C:\Documents and Settings\badarou\Mes
documents\THESE_TELERAD\Fichier_Excels\Mesures_MW7I\MW7I_GLineaire_Grill1.cs
v');

Vgg_12=csvread('C:\Documents and Settings\badarou\Mes
documents\THESE_TELERAD\CODES_Matlab_Aminath\Fichier_Matlab_Utilises\Mesure_
MW7I_AMP2625_Gain_Vgg12_22Fev2012\MW7I_AMP2625_Vgg12.csv');
Gain_AMP2625=csvread('C:\Documents and Settings\badarou\Mes
documents\THESE_TELERAD\CODES_Matlab_Aminath\Fichier_Matlab_Utilises\Mesure_
MW7I_AMP2625_Gain_Vgg12_22Fev2012\MW7I_AMP2625_GainL.csv');

test=TC_Grill1;
G_test=GLineaire_Grill1;
test_p=TC_Grill1(1:13,:);
G_test_p=GLineaire_Grill1(1:13,:);
[p,s]=polyfit(test_p,G_test_p,3);
[f,d]=polyval(p,test,s)
```

Annexe 5 : Carte AOP de mise en forme

Cet amplificateur est destiné à amplifier des signaux de type I,Q générés par le FPGA et provenant du CNA (DAC3283). Le CNA présente des sorties en courants avec des signaux de type LVDS (Low Voltage Differential Signaling) et un mode commun de 3,3V.

Afin de supprimer cette composante continue, la carte amplificateur comporte un premier étage d'amplificateur monté en instrumentation avec 3 amplificateurs opérationnels (AOP).

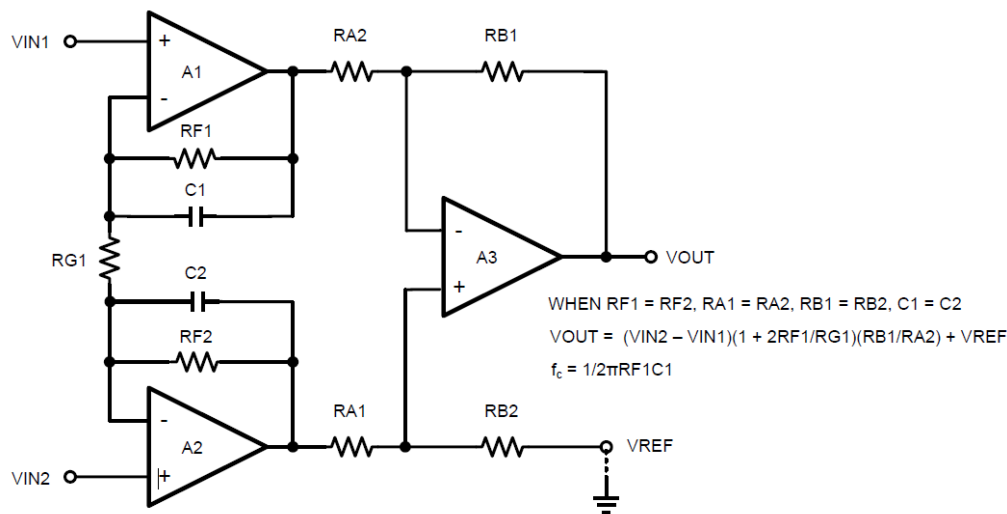


Figure.A 4 : Premier étage : instrumentation de la carte AOP

L'avantage de ce montage est qu'il est symétrique et élimine donc le mode commun. Après cet étage, nous avons un suiveur en tension avec, à son entrée, un diviseur de tension. Il permet ainsi, via un potentiomètre, d'atténuer le signal « single-ended » récupéré en sortie de l'amplificateur d'instrumentation.

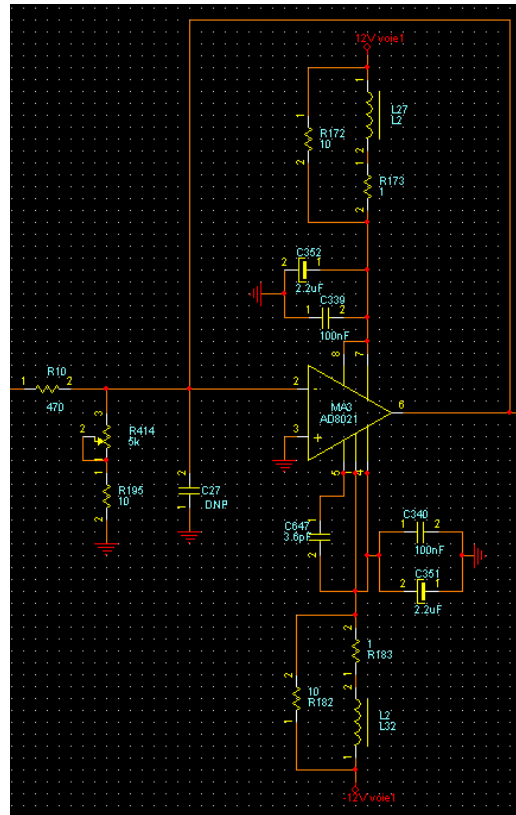


Figure.A 5 : Second étage : montage suiveur en tension

Nous avons ensuite un étage de gain classique avec un montage AOP inverseur. Il faut noter que le gain de la carte a été distribué sur les différents étages et que l'ampli d'instrumentation n'a pas un gain unitaire.

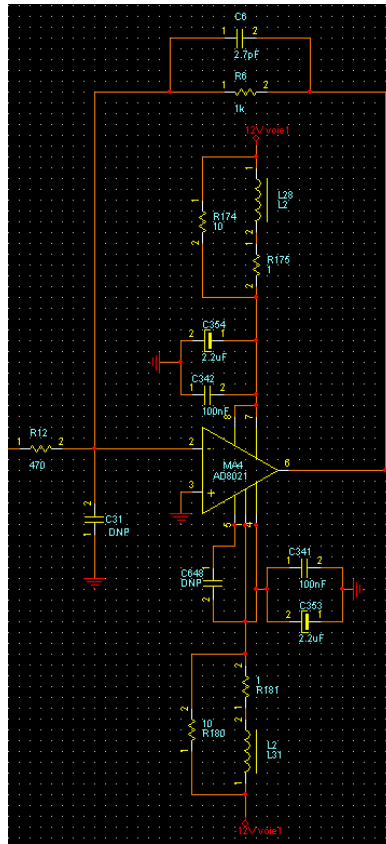


Figure.A 6 : Troisième étage : montage inverseur

Enfin, le dernier étage est un montage inverseur à gain unité, qui permet, via un potentiomètre sur l'entrée « + » de l'AOP , d'ajouter de l'offset positif ou négatif sur le signal d'entrée.

Thèse de Doctorat

Aminath BADAROU

Etude et développement d'une architecture radio numérique innovante dans le contexte des communications aéronautiques
Study and design of an innovative digital radio architecture for aeronautical communications

Résumé

L'évolution du trafic mondial entraîne des besoins en équipements de navigation aérienne. Cette thèse porte sur le développement d'une nouvelle architecture d'émetteur numérique pour des émetteurs UHF (225 MHz – 400 MHz) et VHF (118 MHz - 144 MHz) dans le cadre de communications aéronautiques. Il s'agit de proposer une solution qui puisse convenir non seulement aux systèmes actuels mais aussi aux futurs systèmes en cours de spécification tels que le LDACS-1 ou le LDACS-2. Le choix optimal de l'architecture est lié à la technique de linéarisation associée à l'étage d'amplification. Le travail s'est déroulé en trois principales étapes. Tout d'abord, le choix de l'architecture optimal adapté à l'application est effectué. La deuxième partie de l'étude est consacrée à l'implémentation numérique de l'architecture. La troisième et dernière partie est la validation expérimentale qui a permis d'évaluer les performances du système réalisé.

Mots clés

Emetteurs, méthodes de linéarisation, EER, boucle cartésienne, prédistorsion, communications aéronautiques.

Abstract

Air traffic evolution around the world result in high air navigation equipments needs. This PhD study focuses on a new digital architecture for UHF (225 MHz – 400 MHz) and VHF (118 MHz - 144 MHz) transmitter in aeronautical communications context. New architecture for both current systems and futures systems (which is presently being specified) like LDACS-1 and LDACS-2 systems has to be proposed. The best architecture choice is related to the amplification stage linearization techniques used. This work was carried out in three main steps. First, the best architecture choice suited to our application is made. The second step of the study is dedicated to the architecture digital implementation. Last but not least step is devoted to the experimental validation which allow to assess the system performances.

Key Words

Transmitters, linearization methods, EER, cartesian feedback, predistorsion, aeronautical communications.