



HAL
open science

Prévision des effets de vieillissement par électromigration dans les circuits intégrés CMOS en nœuds technologiques submicroniques

Boukary Ouattara

► **To cite this version:**

Boukary Ouattara. Prévision des effets de vieillissement par électromigration dans les circuits intégrés CMOS en nœuds technologiques submicroniques. Micro et nanotechnologies/Microélectronique. UNIVERSITE PIERRE ET MARIE CURIE, 2014. Français. NNT: . tel-01079067v3

HAL Id: tel-01079067

<https://hal.science/tel-01079067v3>

Submitted on 29 Sep 2015 (v3), last revised 25 Nov 2014 (v4)

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**THESE DE DOCTORAT DE
L'UNIVERSITE PIERRE ET MARIE CURIE**

Spécialité

Microelectronique
boukary.ouattara

École doctorale Informatique, Télécommunications et Électronique (Paris)

Présentée par

M. Boukary OUATTARA

Pour obtenir le grade de

DOCTEUR de l'UNIVERSITÉ PIERRE ET MARIE CURIE

Sujet de la thèse :

Prévision des effets de vieillissement par électromigration dans les circuits intégrés CMOS en nœuds technologiques submicroniques.

soutenue le 08/07/2014

devant le jury composé de : (préciser la qualité de chacun des membres).

M. WOUTERS Yves	Professeur (Laboratoire SIMaP - Grenoble)	Rapporteur
M. ROUZEYRE Bruno	Professeur (LIRMM - Montpellier)	Rapporteur
M. KOKABI Hamid	Professeur (L2E – Paris 6)	Président du jury
M. VIVET Pascal	Docteur-ingénieur (CEA- Grenoble)	Examineur
M. MEHREZ Habib	Professeur (LIP6 – Paris 6)	Directeur de thèse
M. BAZARGAN-SABET Pirouz	Maitre de Conférence (LIP6 – Paris 6)	Co-encadrant de thèse
Mlle. DOYEN Lise	Docteur-ingénieur (STMicroelectronics)	Encadrante de thèse

Thèse préparée au Laboratoire d'Informatique de Paris 6 (LIP6) en collaboration avec
l'entreprise STMicroelectronics

À Sékou OUATTARA

Remerciements

Les travaux de cette thèse de doctorat ont été réalisés dans le cadre d'une Convention Industrielle de la Formation par la Recherche (CIFRE) entre l'entreprise STMicroelectronics et le Laboratoire d'Informatique de Paris 6 (LIP6). La réalisation de ce projet a été possible grâce à la collaboration de plusieurs équipes, ce qui fait qu'il m'est difficile de remercier chaque contributeur. Je tiens néanmoins à remercier nommément certaines personnes et à présenter mes excuses à ceux que j'aurais oubliés.

Je tiens à remercier le professeur KOKABI Hamid d'avoir présidé le jury de ma soutenance.

Aux professeurs WOUTERS Yves et ROUZEYRE Bruno, merci d'avoir accepté de rapporter mon manuscrit. Merci à Mr. VIVET Pascal pour sa participation au jury de soutenance et ses remarques pertinentes sur mes travaux.

J'adresse mes chaleureux remerciements à l'équipe académique du LIP6, à savoir messieurs Habib Mehrez et Pirouz Bazargan-Sabet. Merci pour vos conseils à chacune de mes visites au labo. Merci à toute l'équipe du Labo, surtout à Shahin et Sabrina pour toute la logistique durant ces travaux.

La grande partie de ces travaux se sont déroulés dans une ambiance cordiale à STMicroelectronics au sein des différentes équipes qui m'ont accueilli. Merci à vous Philippe Galy, Guy Durieu et Mourad Djouder pour m'avoir accueilli dans leurs équipes respectives durant le déroulement mes travaux.

Lise Doyen, merci pour ta patience et tes conseils avisés qui ont permis la réussite de cette thèse. Tu as toujours été disponible pour moi quand il le fallait au cours de ce temps passé avec toi. Ça y est on a réussi !

A Remy Chevalier, je te remercie de m'avoir fait confiance, en me confiant l'étude de ce sujet de thèse. Mes remerciements vont à l'ensemble de l'équipe signoff, notamment à Raphael, Pierre, Erwan, Sylvain, Tarun, Dominique et Anna.

L'une des particularités de cette thèse est sa transversalité, raison pour laquelle, je tiens à remercier en particulier David Ney, Franck Bana et toute l'équipe fiabilité. Je remercie Sandro Chimeno (outils) et Magali Lamy de l'équipe mémoire. Merci à toute l'équipe standard cells (« la famille »), à savoir Damien, Nour, Etienne, Philippe, Armelle, Nadia, Olivier A., François, Olivier M., Fred, Alain, Fernando et Mourad. A toute l'équipe ESD, en particulier à Nicolas,

Johann, Boris, Nathalie, Ghislain. Je remercie évidemment Florence et Fabienne pour leur disponibilité.

Et enfin, je remercie toute ma famille, mes amis et mon épouse Sacké de m'avoir soutenu pour la réussite de cette thèse.

Table des matières

Table des matières.....	13
Table des Figures	18
Introduction générale	23
I. Historique et évolution de la microélectronique	23
1. Découverte du premier transistor	23
2. Les circuits intégrés (puces)	24
3. Le taux d'intégration des transistors dans les circuits	25
II. La problématique de la fiabilité dans les circuits intégrés.....	26
1. La notion de fiabilité.....	26
2. Les conséquences de la miniaturisation des interconnexions.....	26
3. Objectifs de la thèse.....	27
Chapitre 1. Phénomène d'électromigration (EMG) dans les interconnexions	29
I. Définition	29
1. Historique	29
2. Les causes physiques du phénomène d'EMG	30
a. La densité de courant (j)	31
b. La température (T).....	32
3. Les interconnexions métalliques	32
4. Mécanisme de dégradation d'une interconnexion par EMG.....	35
a. Divergence de flux due à la barrière de tantale	35
b. La nucléation et croissance de la cavité.....	36
c. La localisation de la cavité	38
d. Contraintes mécaniques dans les lignes courtes dues à l'EMG.....	39
e. Condition d'immortalité des lignes	41
5. Impact de la microstructure sur le mécanisme de dégradation par EMG.....	42
II. Détection de l'EMG dans les interconnexions au niveau silicium.....	43
1. Les structures de test de durée de vie	43
2. Tests de durée de vie	44
a. Équipement et banc de test	44
b. Détermination de la section réelle de la ligne à tester	45
c. Le test	46
3. Extrapolation des résultats de test aux conditions réelles de fonctionnement.....	48
a. Paramètres de Black	48
i. Le facteur d'accélération en courant (n)	49
ii. L'énergie d'activation apparente du phénomène (E_a).....	49
b. Extrapolation aux conditions réelles.....	50
4. Les règles de fiabilités vis-à-vis de l'EMG	51
a. Le courant moyen (I_{EM})	51

b. Le courant efficace (I_{RMS}).....	52
III. Les recherches vers l'amélioration des règles de courant	52
1. Effet réservoir et effet puits	53
2. Effet de transition de la largeur de lignes	54
3. Amélioration des méthodes de détermination de TTF	54
4. Structure en arbre.....	55
5. Effet thermique.....	56
6. Synthèse.....	56
Chapitre 2. Méthodologie de validation EMG au niveau de la conception d'un circuit intégré	57
I. La conception d'un circuit intégré (puce).....	57
1. La spécification de la puce	57
2. La description des blocs fonctionnels.....	58
a. Les blocs fonctionnels numériques.....	58
b. Les cellules standards	58
c. Les blocs fonctionnels analogiques	59
3. Implémentation de la puce.....	59
a. Le Floorplan (plan de circuit intégré).....	59
b. Placement de cellules standards dans la grille d'alimentation	60
c. Routage.....	61
d. Synthèse d'arbre d'horloge.....	61
e. Cellules de données	62
4. Vérification : la validation du schéma du circuit.....	63
a. Validation électrique.....	63
b. Validation temporelle	63
c. Validation comportementale.....	64
II. Structure des circuits intégrés.....	64
1. Structure des cellules standards.....	64
a. Le réseau d'alimentation électrique d'une cellule standard	65
b. Le réseau signal d'une cellule standard.....	65
2. Les blocs fonctionnels	66
a. La composition des blocs	66
b. Réseaux d'interconnexions.....	67
3. Les enjeux de la fiabilité dans les circuits intégrés	67
III. Méthodes de validation EMG des dessins (layout) de circuits intégrés.....	68
1. Stratégie de validation des circuits vis-à-vis de l'EMG	69
a. L'approche plane (flat)	69
b. L'approche hiérarchique.....	69
i. Flot ascendant	69
ii. Flot descendant	69
2. Processus de vérification des risques EMG.....	70

3. Extraction du réseau d'interconnexion RC.....	70
a. Le principe.....	70
i. La résistance (R) des interconnexions	71
ii. Capacité de couplage (C).....	71
b. Les outils d'extraction du réseau RC.....	72
4. Paramètres clés du calcul du courant.....	72
a. Régime de fonctionnement des transistors	72
b. La tension (V).....	74
c. Température.....	74
d. La pente d'entrée/ sortie	74
e. Impact de la capacité de charge (C) de sortie des cellules sur le courant.....	76
f. Le taux de basculement (TR) des blocs fonctionnels	76
5. Calcul de courant.....	77
a. Analyse statique.....	78
b. Analyse dynamique	78
c. La fenêtre de simulation (temps de cycle).....	79
d. Outils de calcul de courant	79
6. Détection des interconnexions vulnérables à l'EMG	79
a. Violation du courant moyen	79
b. Violation du courant efficace	80
7. Corrections en cas de risque de défaillances	80
IV. Méthodes de validation proposées dans les publications.....	81
1. La méthodologie	81
a. La probabilité de défaillance d'une puce.....	82
b. La loi des nœuds	82
c. Les conditions de simulation des dégradations due à l'EMG	84
d. Dispositif d'auto guérison	84
2. Outils de vérification	85
3. Synthèse.....	86
Chapitre 3. Analyse des risques de l'électromigration dans les circuits intégrés.....	87
I. Rappel sur le mécanisme de dégradation dans les lignes	87
II. Vérification EMG dans les cellules standards	88
1. Vérification des risques EMG	88
a. Structure d'un inverseur	89
b. Le fonctionnement.....	90
2. Impact des conditions de vérification d'une cellule standard.....	90
a. Résultats.....	91
b. Synthèse.....	93
3. Analyses des violations des courants limites.....	93
a. Le réseau signal	93

i.	Chargement de la capacité de charge de sortie	94
ii.	Déchargement de la capacité de charge de sortie	95
iii.	Les risques de dégradation physique dans le réseau signal d'un inverseur	96
b.	Le réseau d'alimentation électrique.....	96
i.	Ligne d'alimentation (Vdd)	96
ii.	La ligne de masse.....	98
4.	Impact de la position de la pointe d'amenée et d'extraction de courant sur la résistance d'une cellule standard à l'EMG.....	99
5.	La redondance dans la grille d'alimentation d'une cellule standard	102
6.	Bilan de la vérification EMG dans les cellules standards	103
III.	Vérification EMG dans les blocs fonctionnels ou au niveau « top »	103
1.	Configuration du réseau d'interconnexions.....	103
a.	Réseau d'alimentation (Vdd et Gnd)	104
b.	Le réseau signal.	104
2.	Simulations	105
3.	Résultats et analyses des risques EMG dans les blocs fonctionnels digitaux	106
a.	Le réseau signal	106
b.	Le réseau d'alimentation électrique.....	106
i.	Cellules d'horloge à forts courants	107
ii.	Zone de concentration de cellules d'horloge de moyenne consommation	107
4.	Les risques de dégradation physique liés aux violations de courants limites.....	108
a.	Lignes Vdd	109
b.	La redondance dans la couche M2	109
c.	Ligne Gnd.....	110
5.	Les cellules situées sur des fins de lignes de la grille d'alimentation	111
6.	Synthèse.....	112
Chapitre 4.	Amélioration des méthodologies de vérification EMG dans les circuits.....	113
I.	Relâchement des règles de courant	113
1.	Difficultés liées aux équipements de test	113
2.	Influence des paramètres topologiques.....	114
a.	Impact de la longueur de la ligne.....	114
b.	Vérification de l'effet réservoir et puits	116
3.	Localisation des cavités dans la ligne Vdd d'une cellule standard.....	118
4.	Évaluation des effets de la redondance dans les grilles d'alimentation	120
a.	Modélisation de la redondance	120
b.	Durée de vie de la section de ligne autour du via VA	121
c.	L'usure de la ligne à l'aplomb du via V _B	122
d.	Modifications du courant limite I _{DRM} dû à l'usure dans la ligne	122
e.	Durée de vie offerte par le chemin redondant (TTF _{V_B}).....	122
f.	Durée de vie globale d'un segment de la grille d'alimentation.....	123

5. Vérification de l'effet de redondance sur les structures de test	124
a. Structures de test.....	124
b. Résultats et interprétations.....	125
c. Impact des effets de redondance sur le temps à la défaillance d'un segment	126
II. Amélioration de la détection des risques au niveau design	127
1. Conditions de vérification de la fiabilité des circuits intégrés.....	127
2. Intégration de la redondance dans les outils de vérification.....	128
3. Application de la méthode de redondance: Simulation	129
a. Récupération des vias proches des zones de violations.....	129
b. Application de l'équation de la redondance	130
III. Conception de circuits intégrés robustes	131
1. Conception de cellules standards résistantes à l'EMG.....	131
a. Le réseau de lignes d'alimentation repartit sur une double couches de métal.....	131
b. Renforcement de vias dans les cellules standards	132
2. Optimisation du placement de cellules d'horloge	132
a. Éviter le placement des cellules d'horloges en bout de ligne d'une grille d'alimentation	132
b. Instauration de zones d'exclusion de cellules d'horloge	133
3. Halo statique	134
4. Halo dynamique.....	135
a. Expression de la capacité de charge de sortie.....	136
b. Détermination du périmètre du Halo en fonction de la consommation de la cellule	137
5. Application du Halo dynamique.....	138
6. Synthèse.....	138
Conclusion générale.....	141
7. Amélioration des méthodes de détection des risques d'électromigration	141
8. Optimisation du placement des cellules d'horloges dans la grille d'alimentation	142
9. Intérêts industriels.....	142
10. Perspectives	143
Résumé.....	151
Abstract	151

Table des Figures

Figure I-1 : Le premier transistor.....	23
Figure I-2 : Transistor MOS	24
Figure I-3 : Évolution du nombre de transistors dans les circuits intégrés.....	25
Figure 1-1: Tronçons d'une interconnexion métallique.....	31
Figure 1-2 : Les densités de courant maximales autorisées dans les interconnexions métalliques [ITRS, 2009]	31
Figure 1-3 : Réseau d'interconnexions	33
Figure 1-4: Les étapes de fabrication d'un réseau d'interconnexion.....	34
Figure 1-5 : Rôle de la barrière diélectrique lors de la gravure	35
Figure 1-6 : Zone d'accumulation et de déplétion dans une interconnexion.....	36
Figure 1-7 : Évolution de la résistance électrique en fonction de la taille de la cavité.....	36
Figure 1-8 : Les différentes phases de la création de cavité	37
Figure 1-9 : Vue en coupe d'une cavité.....	37
Figure 1-10 : Vue MEB d'une cavité due à l'électromigration	38
Figure 1-11 : (a) Cavité dans une ligne fine, (b) Cavité dans une ligne large	39
Figure 1-12 : Flux retour (J_r) de matières induit par le gradient de contrainte mécanique.....	39
Figure 1-13 : Évolution du gradient de contrainte mécanique en fonction du temps.....	40
Figure 1-14 : Immunité de la ligne en fonction de sa densité de courant et de sa longueur.....	41
Figure 1-15 : Structure des grains dans une interconnexion.....	42
Figure 1-16 : Structure de test.....	43
Figure 1-17 : Dispositif de test en boîtier	44
Figure 1-18 : Représentation de la résistance électrique en fonction du temps de test	47
Figure 1-19 : Représentation de Henry des taux de défaillance [Doyen, 2009].....	48
Figure 1-20 : Taux de défaillance en fonction de la température	50
Figure 1-21 : Détermination de l'énergie d'activation [Doyen, 2009]	50
Figure 1-22 : Taux de défaillance en fonction du temps à la défaillance en conditions réelles	51
Figure 1-23 : Vue en coupe (a) – Puits d'électron ; (b) - Réservoir d'électrons.....	53
Figure 1-24 : Effet de transition de largeur.....	54
Figure 1-25 : Structure en arbre	55
Figure 2-1 : Exemple de plan de circuit intégré.....	60
Figure 2-2 : Placement des cellules standards sur des rails d'alimentation.....	61
Figure 2-3 : Exemple d'arbre d'horloge	62
Figure 2-4 : Délais de propagation de signal	63
Figure 2-5 : Structure d'un inverseur.....	64
Figure 2-6 : Exemple de grille d'alimentation d'un inverseur.....	65
Figure 2-7 : Réseau signal d'un inverseur	66
Figure 2-8 : Bloc fonctionnel.....	66
Figure 2-9 : Les différents niveaux de métallisation en 28 nm.....	67

Figure 2-10 : Exemple d'un réseau RC des lignes d'interconnexion.	71
Figure 2-11 : Détermination de la résistance d'une ligne --- Équation 2-3 : Expression de la résistance.....	71
Figure 2-12 : Détermination de la capacité de couplage (C) Équation 2-4 : Expression de la capacité	72
Figure 2-13 : Régimes de fonctionnement des transistors	73
Figure 2-14 : Tendance ITRS des tensions au fur des années	74
Figure 2-15 : Impact de la pente du signal d'entrée sur le courant de la cellule	75
Figure 2-16 : Variation des courants en fonction de la raideur des pentes	75
Figure 2-17 : Basculement de signaux durant un cycle d'horloge.....	77
Figure 2-18 : Les différents courants provenant d'une cellule standard.....	77
Figure 2-19 : Impact du temps de simulation sur les valeurs de courant.....	79
Figure 2-20 : Vue en coupe d'une matrice de vias	81
Figure 2-21 : La méthode des nœuds.....	83
Figure 2-22 : Dispositif de prévention d'effet de dégradation EMG [Abella J., et al, 2008]	85
Figure 2-23 : Matrice de via.....	86
Figure 3-1 : Zones de dégradation EMG - (a) : Flux ascendant – (b) : Flux descendant	87
Figure 3-2 : Structure d'un inverseur.....	89
Figure 3-3 : Impact de la capacité de sortie et de fréquence d'une cellule standard sur le taux de violation EMG	92
Figure 3-4 : Abaque d'utilisation d'un inverseur en fonction de la fréquence et de la capacité de sortie.....	92
Figure 3-5 : Réseau signal d'un inverseur	93
Figure 3-6 : Distribution du courant dans les lignes de M1 lors du chargement de la capacité de charge.....	94
Figure 3-7 : Circulation des électrons durant la phase de chargement d'un inverseur	94
Figure 3-8 : Distribution du courant dans les transistors NMOS lors du déchargement de la capacité de sortie.....	95
Figure 3-9 : Circulation des électrons durant la phase de déchargement d'un inverseur	95
Figure 3-10 : La grille d'alimentation d'un inverseur	96
Figure 3-11 : Répartition du courant dans le réseau d'alimentation (Vdd)	97
Figure 3-12 : Zones vulnérables aux dégradations EMG dans les lignes Vdd	97
Figure 3-13 : Violation des courants limites dans la grille Vdd d'un inverseur	98
Figure 3-14 : Zones vulnérables aux dégradations EMG dans les lignes Gnd	98
Figure 3-15 : Violation de courants limites dans la grille Gnd d'un inverseur.....	99
Figure 3-16 : Positionnement des pointes d'amenées/d'extraction de courant sur une cellule standard.....	99
Figure 3-17 : Différentes configuration d'alimentation d'une cellule standard	100
Figure 3-18 : (a) Répartition du courant – (b) Violation des règles de courant dans une ligne Vdd	101

Figure 3-19 : Pointe d'extraction positionnée au milieu des rails d'alimentation d'une cellule standard.....	101
Figure 3-20 : (a) Cellule à double couche de métal – (b) Cellule à simple couche de métal	102
Figure 3-21 : (a) Redistribution de la densité de courant – (b) Vue en 3-D la répartition du courant en cas d'une cavité.....	103
Figure 3-22 : Vue 3-D de la distribution du courant dans le réseau de la grille d'alimentation d'un circuit.....	104
Figure 3-23 : Réseau de signal d'un bloc fonctionnel	104
Figure 3-24 : Cellule d'horloge dans une grille d'alimentation.....	107
Figure 3-25 : Concentration de cellules d'horloges (clusters).....	108
Figure 3-26 : Cartographie des violations des règles de courant dans un cluster de cellules d'horloge.....	108
Figure 3-27 : Zones exposées aux dégradations physiques	109
Figure 3-28 : Vue en 3-D de la répartition du courant dans un segment Vdd	110
Figure 3-29 : Redistribution du courant dans un réseau de lignes Vdd en cas de cavité.....	110
Figure 3-30 : Redistribution du courant dans un réseau de lignes Gnd en cas de cavité.....	111
Figure 3-31 : Cellules placées en bout de lignes.....	111
Figure 3-32 : Impact de la cavité dans les cellules situées en bout de grille d'alimentation	112
Figure 4-1 : Exemple de structure de test	114
Figure 4-2 : Structure de test de vérification de l'impact de la détermination de la longueur de la ligne.....	115
Figure 4-3 : Impact de la longueur de la ligne sur sa durée de vie	115
Figure 4-4 : Impact de la longueur de ligne sur le temps à la défaillance.	116
Figure 4-5 : Impact de l'extension passive (b) et active (c) sur la durée de vie d'un segment..	117
Figure 4-6 : Impact des extensions passives et actives sur le TTF	118
Figure 4-7 : Structure de test de la ligne d'alimentation Vdd.....	119
Figure 4-8 : Localisation de la cavité dans la ligne d'alimentation Vdd	119
Figure 4-9 : Chemin redondant dans la ligne de masse gnd de la couche M2.....	120
Figure 4-10 : Vue en coupe de l'état de la dégradation du segment de ligne de la couche M2 .	121
Figure 4-11 : Défaillance d'un segment d'interconnexion.	123
Figure 4-12 : Structure de test des effets de la redondance dans les grilles d'alimentation	124
Figure 4-13 : Impact de chemins redondants sur la courbe de résistance d'un segment pendant la défaillance	125
Figure 4-14 : Impact de l'électromigration sur une structure de test ayant un chemin redondant	126
Figure 4-15 : Effets de redondance sur le temps à la défaillance	127
Figure 4-16 : Délimitation de la zone de recherche des vias autour d'une zone de violation	129
Figure 4-17 : Recherche de chemin redondant	130
Figure 4-18: Simulation de l'impact de l'effet de redondance	130
Figure 4-19 : Avantage de la structure double couches de métal dans les cellules standards	132

Figure 4-20 : Bout de lignes dans une grille d'alimentation.....	133
Figure 4-21 : Écarts entre les rails verticaux et horizontaux d'un circuit intégré.....	133
Figure 4-22 : Zone d'exclusion (Halo) des cellules d'horloge	134
Figure 4-23 : Zone d'exclusion (Halo) statique.....	135
Figure 4-24 : Zone d'exclusion (Halo) dynamique.....	135
Figure 4-25 : Distribution des cellules d'horloge en fonction du ratio capacité de charge-fan-out	136
Figure 4-26 : Exemple d'application de Halo de fiabilité dans une puce.	138

Introduction générale

Dans sa quête de bien être, l'homme ne cesse de façonner son environnement et d'explorer les voies et moyens lui permettant d'atteindre ce but. Les innovations dans le domaine de la microélectronique ont permis de rendre les équipements du quotidien plus autonomes et plus intelligents. En effet, les composants électroniques sont intégrés dans presque tous les équipements de notre quotidien, à savoir l'électroménager, les moyens de transport et de télécommunication, la sécurité, etc. La microélectronique est un enjeu mondial où chercheurs, industriels et pouvoirs politiques ne lésinent pas sur les moyens afin de conquérir des parts de marché ; car aujourd'hui, savoir-faire technologique rime avec puissance économique. À titre illustratif, l'industrie de production des composants électroniques fournit le savoir-faire et la technologie permettant de générer environs 10% du PIB mondial.

I. Historique et évolution de la microélectronique

1. Découverte du premier transistor

En décembre 1947, John Barden, William Shockley et Walter Brattain des laboratoires Bell inventent le premier transistor bipolaire (Figure I-1). Il est composé d'un émetteur d'électron, d'un collecteur et d'un dispositif de modulation appelé base. Le déplacement des électrons se fait dans un matériau solide appelé semi-conducteur dont la capacité de conduction du courant électrique est contrôlable. Cette invention a été un énorme progrès et a permis de remplacer les tubes à vide jusqu'alors utilisés dans les premiers ordinateurs.

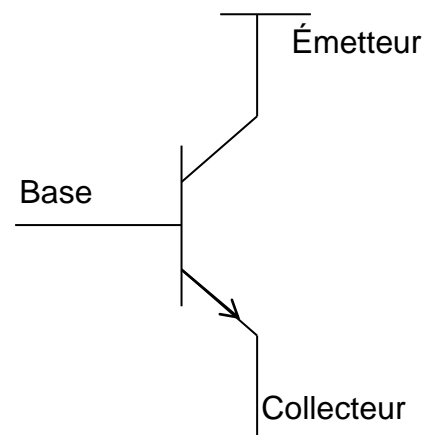


Figure I-1 : Le premier transistor

Les transistors étant moins encombrants que les tubes à vide, ils seront utilisés dans les postes radios qui porteront le nom « transistor ». Mais la multiplication des fils de connexion freine le développement de circuits complexes. En effet, plus il y a de transistors, plus on a besoin de fils de cuivre, donc plus de soudures, ce qui augmente le risque de pannes dans des dispositifs complexes. Ces obstacles rencontrés avec les transistors bipolaires seront levés avec la découverte du transistor MOS-FET (pour Metal Oxyde Semi-conducteur –Field Effect Transistor) communément appelé MOS. Le premier transistor MOS a été fabriqué en 1960 par M.M Atalla et Dawon Khang des Laboratoires Bell. Ces transistors furent leurs apparitions dans les circuits intégrés en 1963. Il existe deux type de transistor MOS, à savoir ceux à canal N et ceux à canal P. Le type du transistor MOS est déterminé par le type de dopage du semi-conducteur. Le MOS schématisé par la Figure I-2 est composé de quatre électrodes. Le substrat est connecté à la masse, la source et le drain sont dopés en N. Enfin, on a la grille qui sert à réguler le fonctionnement du transistor.

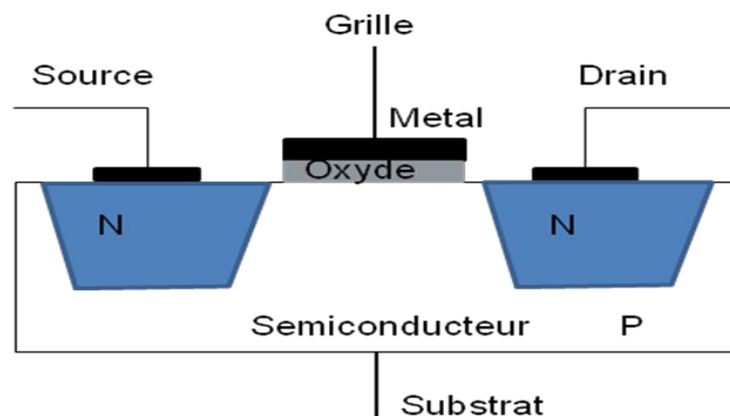


Figure I-2 : Transistor MOS

Les transistors sont associés pour former des circuits intégrés (puce) dédiés à la réalisation des tâches données.

2. Les circuits intégrés (puces)

En 1958, le premier circuit intégré composé de six (6) transistors a été réalisé par deux chercheurs américains Jack Kilby et Robert Noyce. Les premiers circuits intégrés commercialisés furent des portes logiques élémentaires appelés de SSI (Single Scale Intergration). Ensuite, il y a eu les MSI (Middle Scale Intergration) ayant entre 10 et 100 portes logiques. Le premier microprocesseur LSI (Large Scale Integration) a été conçu dès 1969 par les ingénieurs Marcian HOFF surnommé Ted HOFF et Frederico FAGGIN de la société Intel. Il

était composé de 2300 transistors sur une surface de 13.44 mm², cadencé à une fréquence de 108 KHz. Il a été commercialisé en 1971 sous le nom d'Intel 4004 4-bit. Avec l'avènement des VLSI (Very Large Scale Integration), les micro-processeurs sont devenus de plus en plus puissants et capables de réaliser plusieurs de fonctionnalités.

3. Le taux d'intégration des transistors dans les circuits

La technologie de fabrication des transistors n'a cessé d'évoluer, permettant la réalisation des motifs de plus en plus petits. Les plus fins sont de l'ordre de 28nm à 14 nm (dimension divisé par 1.4 tous les 3 ans) aujourd'hui. L'avantage de ces petits motifs est l'augmentation du taux d'intégration des composants élémentaires dans les puces sans augmentation de la taille des circuits intégrés. Ce taux est estimé à 1 million de transistors par mm². Sur la Figure I-3 représentant l'évolution du nombre de transistors de 1971 à 2012, on observe qu'il y a plus de 2 milliard de transistors sur un même support. À ce propos, en 1965, Gordon Moore, l'un des cofondateurs de la société Intel, publia un article prévoyant le doublement du nombre de transistors sur une même surface tous les ans et à prix constants. Cette célèbre « loi de Moore », parfaitement empirique a été revue pour un doublement du nombre de transistors en 18 à 24 mois. Il a cependant déclaré en 1997 que cette croissance des performances des puces se heurterait aux environs de 2017 à une limite physique : celle de la taille des atomes.

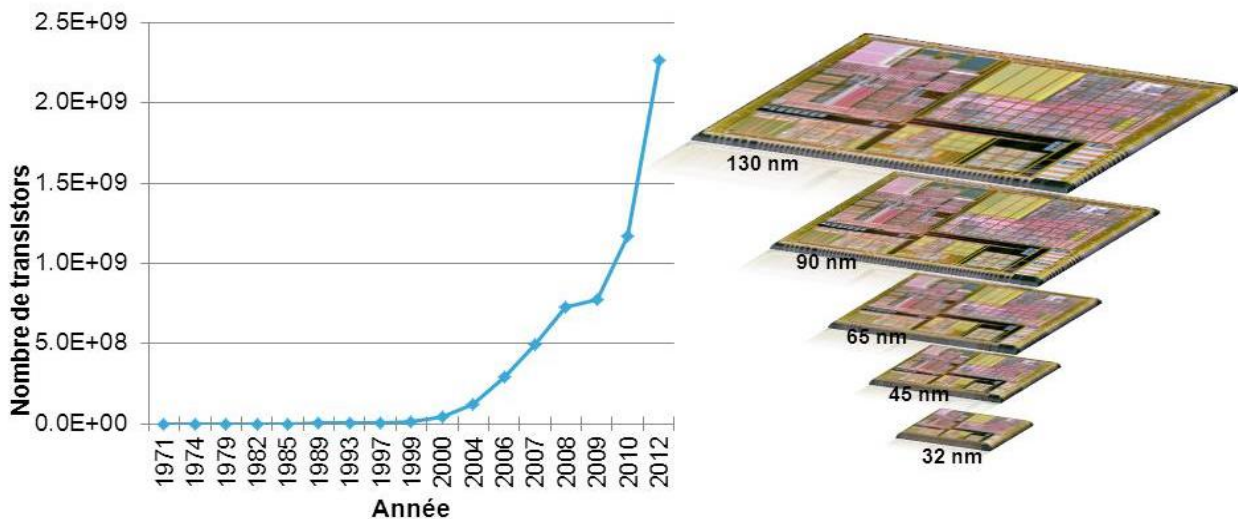


Figure I-3 : Évolution du nombre de transistors dans les circuits intégrés

De plus accroissement du nombre de transistors dans les circuits entraîne une augmentation de la densité du réseau d'interconnexions servant à les interconnecter. Néanmoins cette tendance à

réduire les différents composants des circuits intégrés n'est pas sans conséquence sur la fiabilité de ceux-ci, notamment celle des interconnexions métalliques.

II. La problématique de la fiabilité dans les circuits intégrés

1. La notion de fiabilité

En 1945, la première calculatrice électronique comportait 18000 tubes à vide, elle était moins puissante qu'une calculette de nos jours et surtout son temps moyen de défaillance ne dépassait pas quelques dizaines de minutes [Philippe Matherat, 2007]. Les défaillances dans un circuit intégré peuvent être réparties en trois grands groupes, à savoir les défaillances précoces, les défaillances dans la période utile et les défaillances liées à l'usure [MONGELLAZ B, 2004]. L'objectif des fiabilistes est de limiter au minimum le taux de défaillances précoces dans les circuits, car elles sont liées généralement aux défauts des procédés de fabrication et de conception. Quant aux défaillances durant l'utilisation, elles sont aléatoires et généralement accidentelles. La troisième catégorie de défaillance est essentiellement due à l'usure, donc aux conditions d'utilisation. La prévention de ce type de défaillance est réalisée par la fiabilité intégrée (Design For Reliability) lors de la conception des puces. Son principe est basé sur la détection précoce des composants potentiellement vulnérables et exposés à la dégradation liée au mécanisme d'usure. Cela est réalisé par des simulations à l'aide d'utilisation de modèles physiques, des règles de vérification et d'outils de conception assistée par ordinateur (CAO).

2. Les conséquences de la miniaturisation des interconnexions

L'une des conséquences de la course à la miniaturisation des circuits intégrés est l'augmentation des densités de courant dans les interconnexions. Par ailleurs, l'utilisation de ces circuits intégrés à des hautes fréquences de fonctionnement les expose aux phénomènes de dégradation, tels que l'électromigration (EMG). Ce phénomène est caractérisé par un déplacement d'atomes dans les interconnexions sous l'effet de fortes densités de courant et de fortes températures. Il s'agit d'un phénomène d'usure des interconnexions métalliques bien connu depuis plusieurs décennies. Mais, il devient de plus en plus limitant dans les nœuds technologiques 32nm et en-dessous. Jusqu'à présent, les optimisations des procédés de fabrication ont permis d'atteindre les spécifications requises en termes de fiabilité due à l'EMG. Néanmoins, face à l'augmentation des densités de courant liée à la réduction des dimensions des interconnexions, ces solutions ne

suffisent plus. En plus, les règles de conception de circuits résistants aux effets de l'EMG sont de plus en plus difficiles voire impossibles à respecter par les concepteurs.

3. Objectifs de la thèse

Comme le dit l'adage « prévenir vaut mieux que guérir », cette thèse s'inscrit dans ce registre d'anticipation d'éventuelles dégradations dues à l'EMG sur les produits finaux en technologies avancées. Les recherches de prévention des effets de l'électromigration ont longtemps été menées de manières quasi-séparées au niveau silicium et au niveau de la conception. En effet, cette méthodologie consiste à la réalisation des tests sur des structures en silicium afin de générer des règles de conception de circuits résistants aux effets EMG. Ces règles sont ensuite implémentées dans les outils de vérification utilisés lors de la phase de conception. La particularité de cette thèse est sa transversalité entre ces deux approches. L'objectif est d'adapter les structures de test, aux configurations des réseaux d'interconnexions des circuits complexes. Pour cela nous allons étudier le mécanisme de dégradation des interconnexions dû à l'EMG dans le chapitre 1. Il sera question de comprendre la modélisation du phénomène et la génération des règles de vérification. Le chapitre 2 est consacré aux méthodes et outils de vérification des risques EMG lors de la phase de conception des circuits intégrés. Quant au chapitre 3, il présente les résultats de vérification des effets EMG par des simulations. Les résultats de ces simulations sont analysés en vue d'établir des corrélations entre les violations des règles de vérification et la dégradation physique des interconnexions. Enfin dans le chapitre 4, nous allons procéder à des tests expérimentaux (sur silicium) afin de valider les hypothèses émises à la suite des simulations. Ces validations ont pour but d'améliorer les règles actuelles de vérification pendant la conception et de faire des recommandations pour concevoir des circuits intégrés plus robustes à l'électromigration.

Chapitre 1. Phénomène d'électromigration (EMG) dans les interconnexions

Dans ce chapitre, nous aborderons les notions de base, les causes et les paramètres clés du phénomène de l'électromigration (EMG). D'abord, nous expliquerons le mécanisme de dégradation dû à l'EMG dans les interconnexions métalliques. Ensuite un accent sera mis sur l'analyse des facteurs liés à la topologie et à la structure des interconnexions, ayant une influence sur leur mécanisme de dégradation. Il sera question de l'étude du processus de la vérification de la résistance des interconnexions des circuits pour un nœud technologique donné. Nous étudierons aussi le processus de la génération de règles de vérification. Enfin, nous nous intéresserons aux pistes d'amélioration de ces méthodes de validation proposées dans la littérature.

I. Définition

1. Historique

Le phénomène d'électromigration est un phénomène physique découvert en 1861 par le physicien français M. Gérardin [M. Gerardin, 1891]. Il restera un sujet d'étude théorique car les conditions de son observation n'étaient possibles qu'en laboratoires. En effet dans les câbles métalliques conventionnels, compte tenu des risques de fusion des lignes entraînées par l'effet joule, les densités de courant sont maintenues à des quantités faibles. C'est en 1960, près d'un siècle plus tard que ce phénomène revient au-devant de la scène avec l'apparition des premiers circuits intégrés. En effet, la technologie d'intégration des interconnexions dans le silicium a permis de limiter l'effet joule et d'utiliser de fortes densités de courant. Cependant, cela a entraîné l'apparition de nombreuses cavités dans les interconnexions en aluminium des premiers circuits intégrés. Les travaux menés par l'américain James R. Black [J. Black, 1969] ont permis d'établir la relation entre la densité de courant, la température et la durée de vie d'une interconnexion métallique. Cela a ainsi jeté les bases des recherches actuelles sur ce phénomène d'électromigration. Depuis lors, des dispositions ont été prises à différentes étapes de conception et de fabrication des interconnexions pour limiter les effets de ce phénomène.

2. Les causes physiques du phénomène d'EMG

Les effets de ce phénomène sont observables par l'apparition de cavités dans les lignes et/ou par la formation d'extrusions (déformations) à la surface des lignes. L'électromigration est définie comme un déplacement d'atomes sous l'effet de la densité de courant (j) et de la température (T). Lorsqu'on applique une différence de potentiel dans une interconnexion, le déplacement d'électrons de la cathode vers l'anode appelé « vent d'électrons » entraîne un transport de matières le long de l'interconnexion [YOUNG D. et al, 1994]. La force de friction ($F_{friction}$) (exprimée par l'Équation 1-1) induite lors des collisions entre les électrons et les atomes métalliques est proportionnelle à la charge (q) et au champ électrique (E).

$$F_{friction} = qE$$

Équation 1-1: Force de friction

Le déplacement de matière dans les interconnexions est modélisé par le flux de matière (J_{flux}) représenté dans l'Équation 1-2. Le flux de matière est exprimé en fonction de la concentration (c) de matières, de la charge effective du métal (Z^*), de la charge élémentaire de l'électron (e), de la constante de Boltzmann (K), de la résistivité du métal (ρ) et de la densité de courant (j).

$$\vec{J}_{flux} = c \frac{eD}{kT} Z^* \rho \vec{j}$$

Équation 1-2 : équation de flux de matières

Le flux de matière est proportionnel au coefficient de diffusion (D) dont l'expression est donnée par Équation 1-3. Dans cette équation, D dépend exponentiellement à la fois de la température (T) et de l'énergie d'activation (Ea). Avec D_0 regroupant les paramètres indépendants de la température.

$$D = D_0 \exp\left(-\frac{Ea}{kT}\right)$$

Équation 1-3: Coefficient de diffusion

En remplaçant le coefficient de diffusion par son expression dans l'équation de flux de matières, on obtient l'expression (Équation 1-4) du flux de matière en fonction de tous les paramètres clés. Parmi ces paramètres, la densité de courant (j) et la température (T) sont les seuls à ne pas être lié au matériau qui compose l'interconnexion.

$$\vec{J}_{flux} = \frac{cD_0}{kT} \exp\left(-\frac{Ea}{kT}\right) eZ^* \rho \vec{j}$$

Équation 1-4 : Équation du flux de matières en fonction des grandeurs physiques clés

Nous allons donc nous focaliser sur la densité de courant et la température afin d'évaluer leur impact sur les effets de l'EMG.

a. La densité de courant (j)

La densité de courant dans une ligne d'interconnexion est calculée à partir de sa surface et du courant qui y circule. Dans les circuits intégrés, la forme rectangulaire des interconnexions comme représentée par la Figure 1-1, nous permet de calculer la surface de la ligne en fonction de sa largeur (W) et de l'épaisseur (h).



Figure 1-1: Tronçons d'une interconnexion métallique

La densité de courant est alors calculée en divisant le courant (I) par la surface de la ligne, comme le montre l'Équation 1-5.

$$j = \frac{I}{W * h}$$

Équation 1-5 : Densité de courant

Avec la réduction des dimensions (W, L) des interconnexions dans les nœuds décanométriques, la densité de courant ne cesse d'accroître, augmentant ainsi le flux d'électrons. C'est ce que montre la Figure 1-2 représentant les prévisions de l'ITRS (International Technology Roadmap of Semiconductor) qui donnent une vue globale sur les densités de courant maximales à autoriser dans les interconnexions en fonction des années.

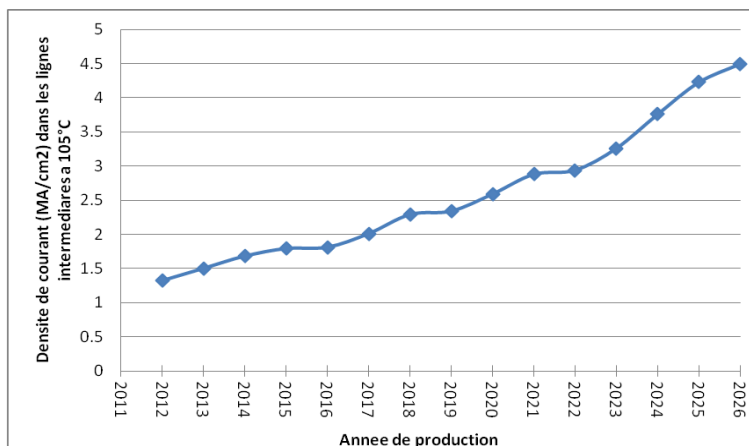


Figure 1-2 : Les densités de courant maximales autorisées dans les interconnexions métalliques [ITRS, 2009]

b. La température (T)

La température dans les lignes d'interconnexion lors du fonctionnement des circuits intégrés est un des facteurs clés qui contribue à accélérer le phénomène d'EMG. La dépendance exponentielle de la diffusion à la température entraîne une accélération du mouvement, donc une augmentation des risques de collision électrons-atomes métalliques. Selon plusieurs études ([H. Y. Hsiao, 2010], [S. Yokogawa al, 2009], [M. R. Casu et al, 2004]), la température des interconnexions dépend principalement des températures de jonction des composants actifs et de l'effet joule. Ce dernier est linéairement proportionnel à la résistance lorsque le courant est constant. En régime permanent, si le courant n'est pas excessif, un équilibre thermique s'établit entre la puissance produite par effet Joule et le flux de chaleur évacué par l'environnement de la ligne. La puissance thermique est fonction de la résistance (R) et du carré de l'intensité du courant (I^2) : $P=I^2R$. Donc l'augmentation de la température locale d'une ligne dépend de sa résistance et du courant.

3. Les interconnexions métalliques

Un circuit intégré peut être décomposé en deux grandes parties, à savoir les éléments actifs formés de transistors et les éléments passifs composés de lignes d'interconnexion. Une interconnexion est un composant passif permettant la connexion des transistors, des blocs fonctionnels entre eux et l'extérieur d'un circuit intégré. Elle est constituée de matériaux conducteurs entourés de diélectriques isolants. Dans l'industrie de la microélectronique, le cuivre est le métal le plus utilisé dans la fabrication des interconnexions, compte tenu de ses propriétés de bon conducteur et sa résistance à l'électromigration. En effet l'énergie d'activation du cuivre est plus grande que celle de l'aluminium, donc il faut plus d'électrons pour disloquer un atome de cuivre. Ce qui fait que pour un même type d'interconnexions, on peut autoriser plus de courant dans celle en cuivre que celle en aluminium. La Figure 1-3 représente un exemple de réseau d'interconnexions reliant des transistors dans les substrats par des contacts.

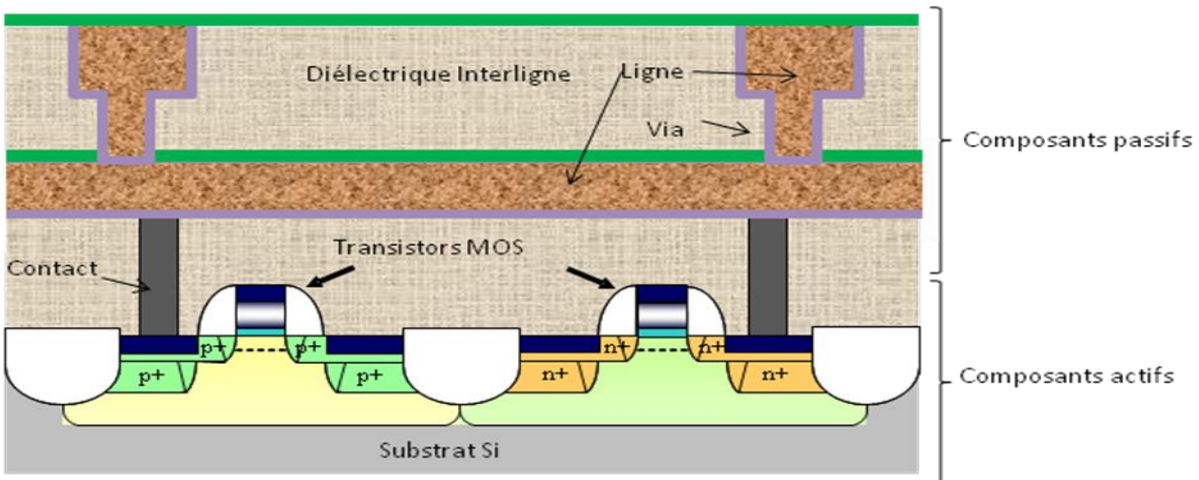


Figure 1-3 : Réseau d'interconnexions

Les interconnexions métalliques sont réalisées à partir d'une succession d'étapes de dépôt de photolithographie, de gravure, de remplissage et polissage. La particularité des interconnexions de cuivre est leur réalisation suivant le procédé dit de Damascène. Ce procédé doit son appellation à la technique orientale (Damas) de décoration des objets qui consiste à incruster un fil de cuivre, d'or ou d'argent sur une surface métallique ou en céramique par pression, martelage et polissage. Le damascène permet la réalisation simultanée d'un niveau de ligne et de via. Le processus commence par le dépôt d'une couche métallique de nitrure de titane (TiN) sur une couche de diélectrique déposée auparavant par PECVD (Plasma Enhanced Chemical Vapor Deposition). La couche de TiN servira de masque dur pour les étapes de gravure. Une première lithographie est d'abord réalisée suivie du développement de la résine et de la gravure du TiN afin de définir l'emplacement de la ligne. Ensuite une seconde lithographie est réalisée dans le but de délimiter l'emplacement du via. Une fois la résine retirée, on procède à une gravure partielle du diélectrique. S'en suit l'étape de retrait totale de la résine et de la finition de la gravure de la ligne ainsi que du via. L'avant dernière étape consiste au dépôt par PVD (Physical Vapor Deposition) d'une barrière de diffusion en tantale ou nitrure de tantale (Ta/TaN). Cette barrière sert à empêcher la diffusion du cuivre dans le diélectrique.

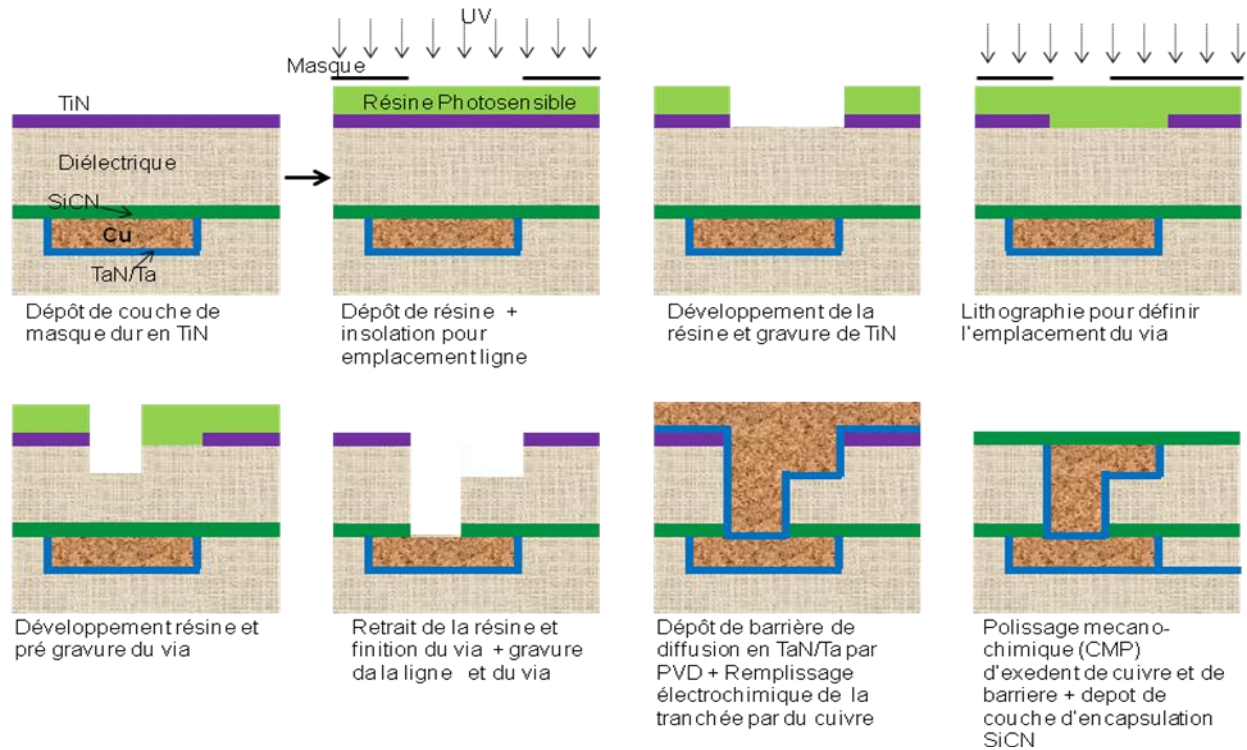


Figure 1-4: Les étapes de fabrication d'un réseau d'interconnexion

Le dépôt de cuivre se fait en deux phases, d'abord on procède à un dépôt par PVD d'une fine couche servant d'accroche pour le dépôt électrochimique de cuivre, suivi de la phase de recuit. Le surplus de cuivre est retiré par polissage mécano-chimique (CMP). La Figure 1-4 résume les différentes étapes nécessaires à la fabrication d'un niveau d'interconnexion. La fabrication de l'interconnexion se termine par l'étape de dépôt d'une couche de diélectrique (SiCN) qui sert à la fois de barrière de diffusion de cuivre et de masque dur pour la gravure des emplacements des vias supérieurs [J. Vitiello, 2006]. En effet, comme illustré sur la Figure 1-5, lorsque l'on grave un niveau via, il est important d'avoir une couche qui permette d'arrêter la gravure de l'isolant au cas où le temps de gravure variait légèrement. Sans la barrière SiCN on viendrait attaquer le cuivre de la ligne sous-jacente et contaminer les flancs de l'isolant qui ne sont pas encore protégés.



Figure 1-5 : Rôle de la barrière diélectrique lors de la gravure

La présence de la barrière SiCN est donc plus importante dans l'utilisation du procédé double damascène qui est plus agressive.

4. Mécanisme de dégradation d'une interconnexion par EMG

Dans une interconnexion, si le déplacement de matière reste continu le long de la ligne, la quantité d'atomes quittant une région donnée est égale à la quantité d'atomes y entrant, conservant ainsi la concentration locale de matière. Cette conservation est mise à mal par la présence de discontinuités qui peuvent perturber le déplacement de matière et provoquer une divergence de flux dans toute interconnexion.

a. Divergence de flux due à la barrière de tantale

La barrière de tantale a été introduite dans les procédés de fabrication afin d'empêcher la diffusion du cuivre dans le silicium. La présence d'une fine couche de tantale au fond du via (comme le montre la Figure 1-6) déposée lors de la fabrication du réseau d'interconnexion bloque la migration des atomes de cuivre tout en laissant passer les électrons. Dans ses travaux Haldun [H. Haznedard et al, 2006] confirme que l'interruption de la diffusion du cuivre dans les zones de contacts et de vias est due à l'utilisation de la barrière de tantale. Ces matériaux sont hautement stables, réfractaires et sont totalement imperméable au cuivre. Cela provoque une forte accumulation d'atomes de cuivre dans une extrémité de la ligne tout en laissant des lacunes dans l'autre extrémité. La défaillance majeure est l'apparition d'une cavité dans la zone de déplétion, mode de dégradation le plus fréquent de l'EMG.

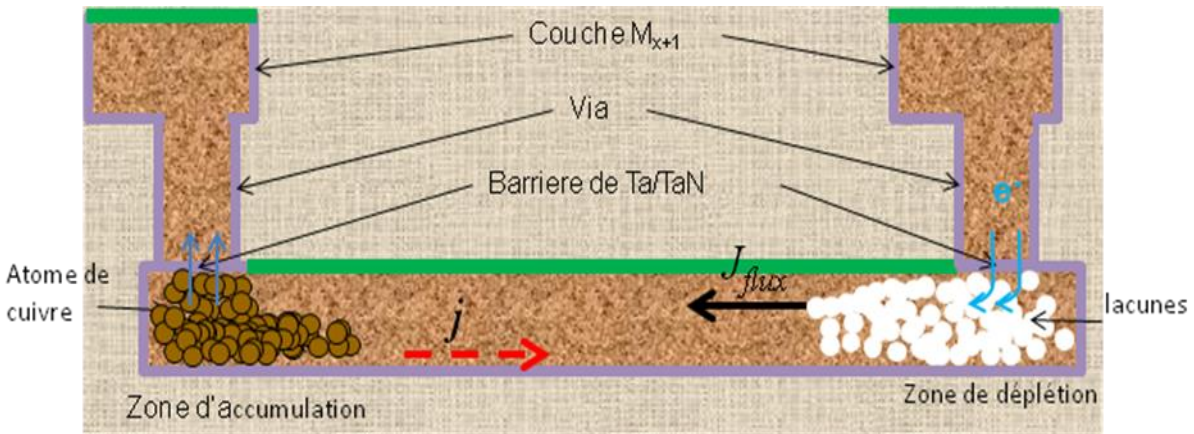


Figure 1-6 : Zone d'accumulation et de déplétion dans une interconnexion

De plus, la conséquence de l'accumulation des atomes métalliques est la formation d'une extrusion à la surface de la ligne d'interconnexion ce qui entraîne une déformation de la ligne. Ce mode de défaillance est susceptible de créer des court-circuits entre les lignes adjacentes. Mais selon diverses études ([Wee Y. J et al, 2007], [D. Young, 1994], [L. Doyen, 2009], ...) cette possibilité reste néanmoins très rare.

b. La nucléation et croissance de la cavité

La résistance de la ligne varie en fonction de la taille de la cavité due à l'EMG. L'observation de la Figure 1-7, montre que tant que la taille de la cavité n'atteint pas la section du métal, la résistance reste constante. Mais l'ouverture de la section métallique par la cavité entraîne un saut de résistance.

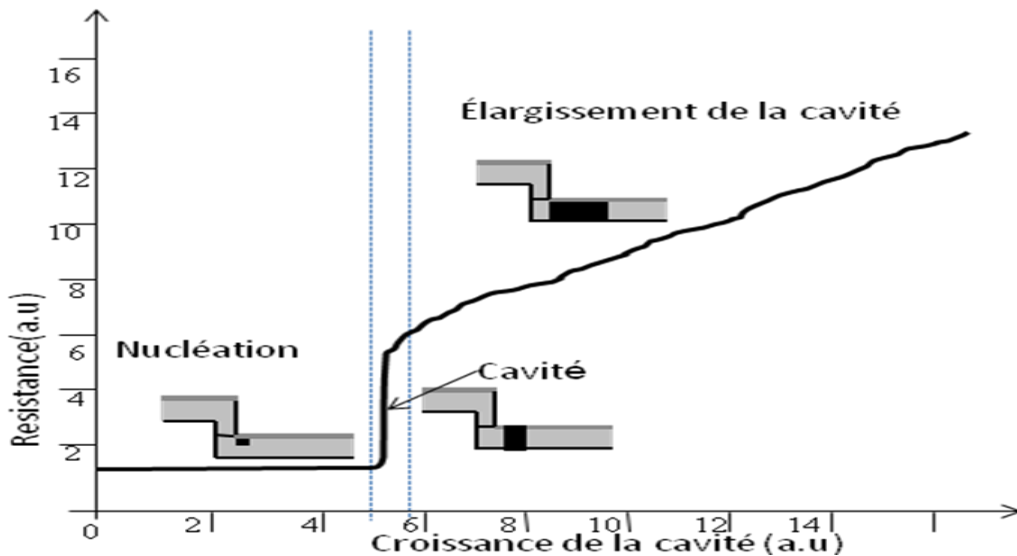


Figure 1-7 : Évolution de la résistance électrique en fonction de la taille de la cavité

Ainsi, nous pouvons résumer l'évolution de la résistance électrique en trois grandes phases en fonction de la croissance de la cavité. La phase de nucléation correspond à la création d'une microcavité dans la ligne comme le montre la Figure 1-8 (a). Durant cette phase, la résistance de la ligne varie très peu par rapport à la résistance initiale.

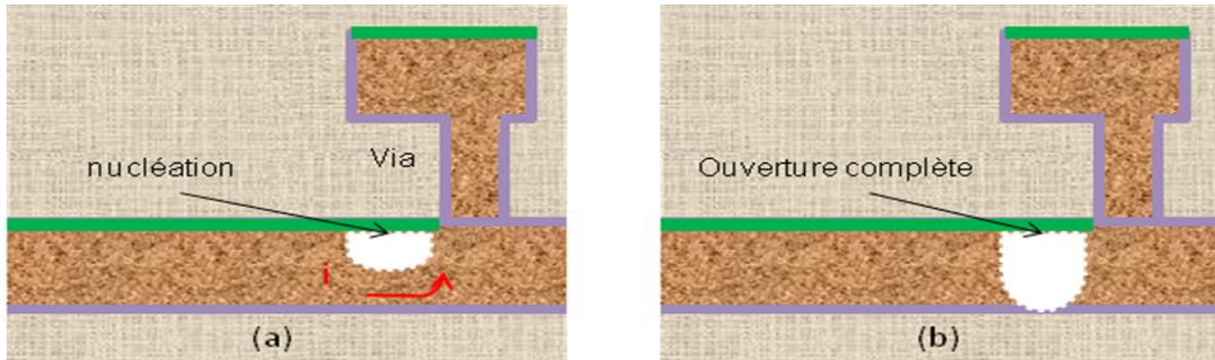


Figure 1-8 : Les différentes phases de la création de cavité

La taille de cette cavité évolue en fonction de la dégradation et de la résistance électrique de la ligne. Une fois que la taille de la cavité atteint la section de métal (Figure 1-8 (b)), cela se traduit par un saut brutal de la résistance de la ligne.

Ensuite la cavité s'élargit, car le courant continue de circuler de manière difficile par les parois de la ligne très résistives représentées en 3-D sur la Figure 1-9. Cette phase est caractérisée par une augmentation progressive de la résistance électrique en fonction de la croissance de la cavité. De plus, la défaillance d'une ligne dépend de la vitesse d'élargissement de la cavité, car le temps de nucléation est faible par rapport au temps de défaillance de la ligne [J.R Lloyd, 1991]. La vitesse de croissance de la cavité quant à elle est fonction de la divergence de flux.

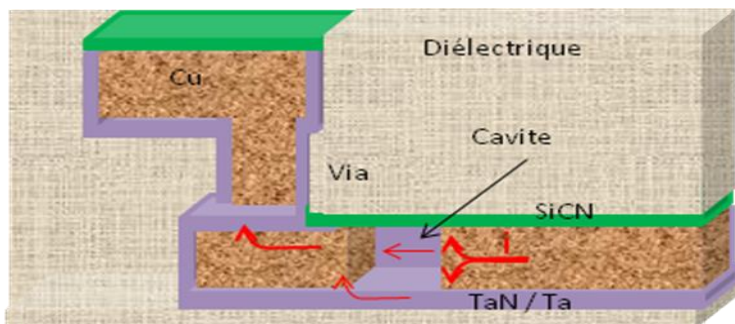


Figure 1-9 : Vue en coupe d'une cavité

Étant donné que les atomes de cuivre ne peuvent pas traverser la barrière de tantale, la vitesse de croissance (V_d) de la cavité est déterminée par le flux de matière. Cette vitesse est exprimée par

l'Équation 1-6 obtenue en divisant l'équation du flux par la concentration de matières dans le segment.

$$V_d = \frac{J_{flux}}{c} = \frac{D}{kT} eZ^* \rho j$$

Équation 1-6: La vitesse de diffusion dans une interconnexion

c. La localisation de la cavité

Plusieurs études ([A. S. Oates, 1998], [Y. J. Wee and al, 2007], ...) ont montré que les cavités apparaissent dans les lignes généralement à la cathode à l'aplomb du via. La Figure 1-10 représente une vue en coupe d'une cavité dans une interconnexion observée au microscope électronique à balayage (MEB). On y observe le sens de déplacement des électrons (e^-) circulant de la couche de métal M_{x+1} vers la ligne située sur la couche M_x . Les cavités observées dans la ligne d'interconnexion peuvent être aussi causées par d'autres sources de divergence, néanmoins ces défaillances ne sont jamais à plus de quelques microns d'un via.

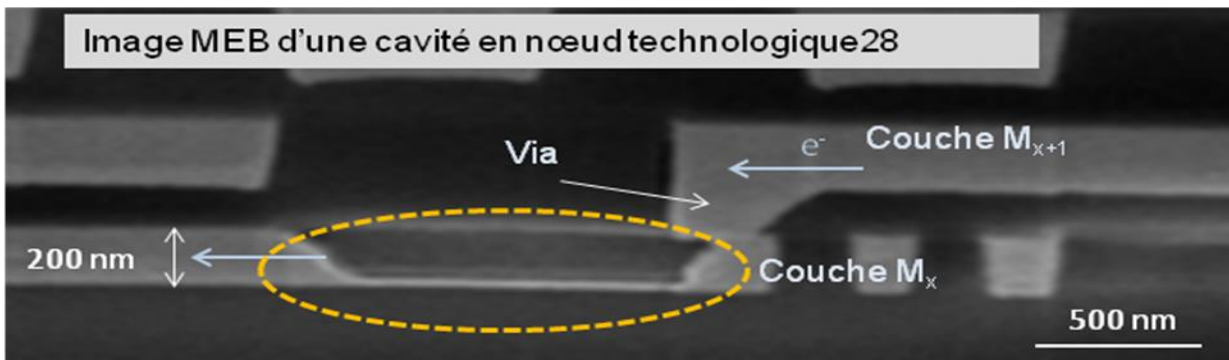


Figure 1-10 : Vue MEB d'une cavité due à l'électromigration

Selon Lamontagne [P. Lamontagne, 2011], il est très rare dans les lignes de largeur inférieure à 100 nanomètre (nm) qu'une cavité apparaisse en dessous ou au-dessus d'un via. Cela est dû au fait que lors du développement d'un nouveau nœud technologique, des dispositions sont prises pour optimiser la résistance de cette zone face à la nucléation de la cavité. Dans ce cas les cavités apparaissent à l'aplomb des vias, comme sur la Figure 1-11(a) illustrant une cavité dans une ligne fine. Par contre pour les lignes plus larges, les cavités apparaissent directement au-dessus ou au-dessous des vias comme le montre l'exemple de la Figure 1-11(b).

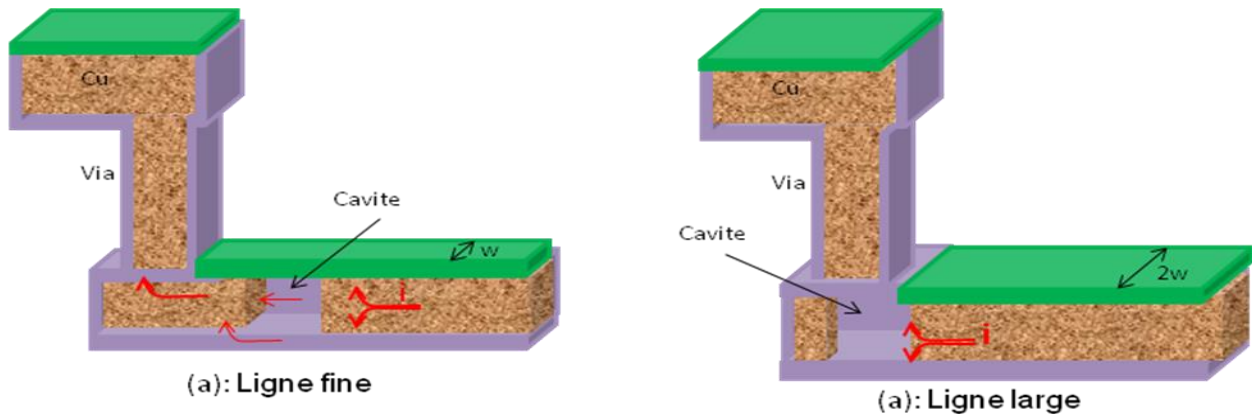


Figure 1-11 : (a) Cavité dans une ligne fine, (b) Cavité dans une ligne large

d. Contraintes mécaniques dans les lignes courtes dues à l'EMG

On appelle ligne confinée, une interconnexion délimitée à ses deux extrémités par des vias, le diélectrique et les parois en barrière de tantale. Dans les lignes confinées, le déplacement des atomes métalliques d'une extrémité à une autre crée un gradient de concentration de matière le long de la ligne. Si ce gradient est suffisant, il provoque l'apparition d'un flux de matière s'opposant à celui engendré par la densité de courant. Ce phénomène a été mis en évidence par Blech [I. Blech, 1976] en 1976 par le biais de structures permettant la mesure de la vitesse de déplacement de la matière sous l'action du courant. L'établissement de ce gradient résulte d'une contrainte de compression due à l'accumulation des atomes à l'anode et d'une contrainte de traction due à la désertion des atomes à la cathode (illustrée par la Figure 1-12). Le flux retour (J_r) ainsi créé par le gradient de contrainte dans la ligne est opposé au flux de matière (J_{flux}).

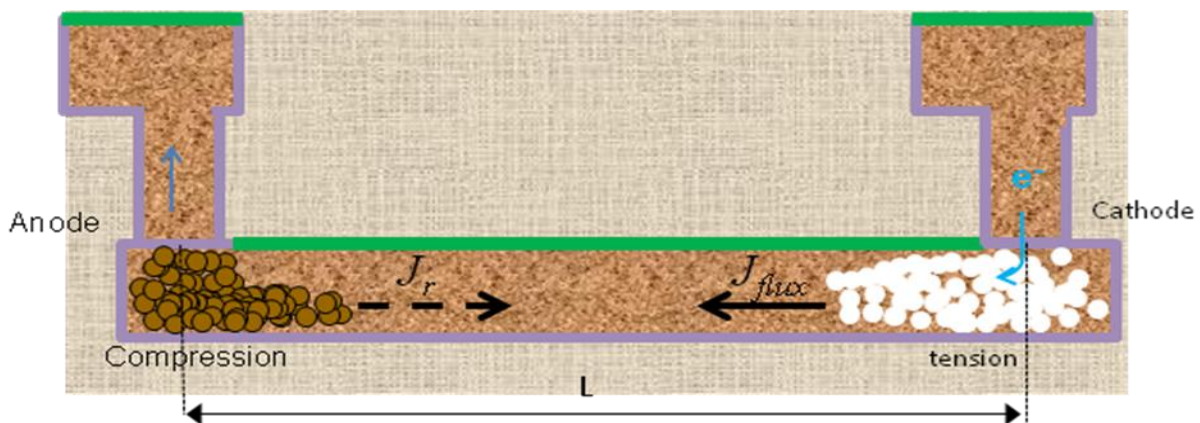


Figure 1-12 : Flux retour (J_r) de matières induit par le gradient de contrainte mécanique.

Ce flux retour (J_r) établi entre la cathode et l'anode est exprimée par l'Équation 1-7. Il est proportionnel au gradient de contrainte mécanique ($\Delta\sigma$), au volume atomique de métal (Ω) utilisé et à la longueur (L) de la ligne d'interconnexion.

$$J_r = c \frac{D}{kT} \Omega \frac{\Delta \sigma}{L}$$

Équation 1-7: Équation du flux retour de matières

Le gradient de contrainte évolue au cours du temps en fonction de la quantité d'atomes déplacés jusqu'à atteindre un régime quasi-permanent caractérisé par un gradient quasi-constant le long de l'interconnexion comme le montre la Figure 1-13. Le gradient de concentration tend à s'annuler sous l'effet de la tension induite et de la compression. Le rapport de force entre le flux de matières et le flux retour a pour effet de favoriser ou de ralentir le mécanisme de dégradation.

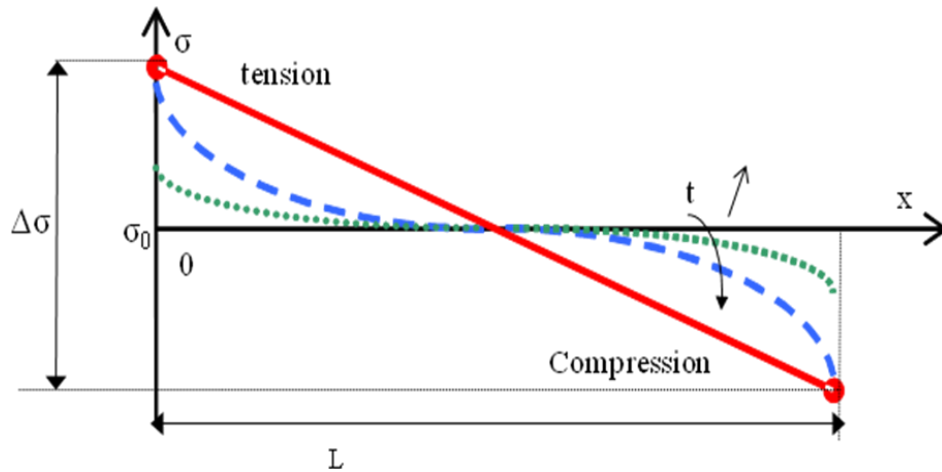


Figure 1-13 : Évolution du gradient de contrainte mécanique en fonction du temps

La prise en compte de la contrainte mécanique permet d'écrire le flux global de matière (J_{totale}) qui prend en compte tous les mouvements de matière dans une interconnexion. L'Équation 1-8 représente la somme des deux forces opposées (J_{flux} et J_r) qui évoluent chacune en fonction des différents paramètres de la ligne, dont la longueur (L) et la densité de courant (j).

$$J_{totale} = J_{flux} + J_r = c \frac{D}{kT} (eZ^* \rho j - \Omega \frac{\Delta \sigma}{L})$$

Équation 1-8 : Équation de flux de matières incluant la contrainte mécanique

Dans les lignes courtes, lorsque la densité de courant est petite, le flux retour est supérieur au flux de matière (le facteur $\Delta\sigma/L$ augmente), ralentissant ainsi toute apparition de cavités. Par contre pour les lignes longues, le flux retour est inférieur au flux de matière, ce qui entraîne l'apparition d'une cavité dans la ligne.

e. Condition d'immortalité des lignes

Une ligne est dite immunisée contre les dégradations dues à l'électromigration lorsque la contrainte mécanique compense entièrement le flux de matière ($J_{totale}=0$). On peut alors déduire de l'Équation 1-8 , un produit critique du couple densité de courant (j) - longueur de ligne (L) pour lequel une ligne est résistante à l'EMG. Il s'agit du produit de Blech défini par l'Équation 1-9.

$$(jL)_{cr} = \Omega \frac{\Delta \sigma}{eZ^* \rho}$$

Équation 1-9: Condition d'immortalité d'une ligne.

Ce produit permet de savoir le statut d'immunité d'une interconnexion face à l'électromigration. Pour toute interconnexion dont le produit (jL) est inférieur à $(jL)_{cr}$, on dit que cette ligne est immortelle. La valeur de $(jL)_{cr}$ est une information prise en compte pour la conception de circuits dans les technologies avancées. Cette propriété peut être exploitée en augmentant les courants dans les lignes courtes. Nous pouvons noter que $(jL)_{cr}$ est défini en fonction de différentes propriétés des matériaux. Ce qui implique une différenciation suivant les technologies et les procédés de fabrication. L'immunité aux effets d'électromigration peut être caractérisée par un abaque formé à partir de la densité et de la longueur comme illustré sur la Figure 1-14. En ordonnée, sont exprimées les densités de courant en unité arbitraire (u.a) en fonction de la longueur (en μm) sur l'axe des abscisses.

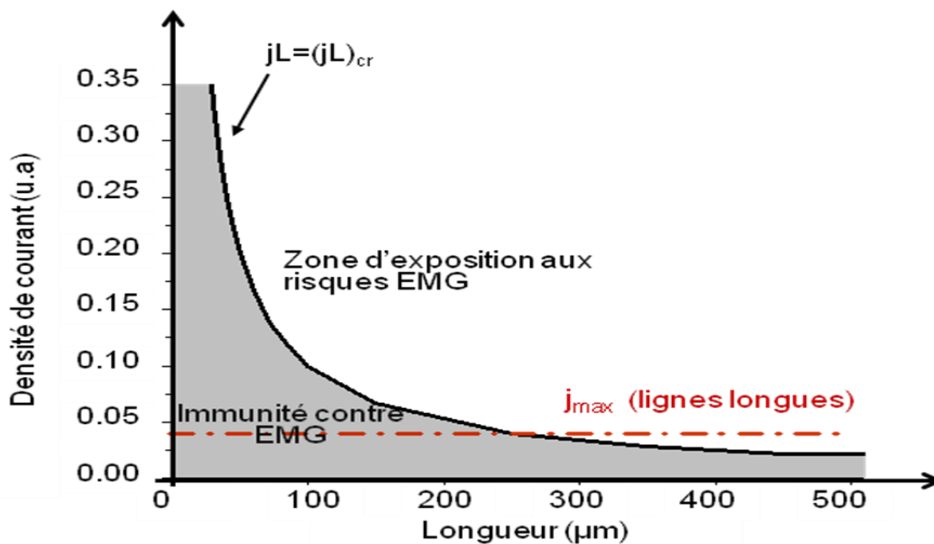


Figure 1-14 : Immunité de la ligne en fonction de sa densité de courant et de sa longueur

Le but de cet abaque est de déterminer pour une longueur donnée le courant maximum autorisé dans une ligne.

5. Impact de la microstructure sur le mécanisme de dégradation par EMG

Dans les interconnexions doubles damascènes, l'interface cuivre/diélectrique est le chemin de diffusion privilégié. L'apparition de cavités peut être favorisée ou ralentie par les joints des grains de cuivre dans les lignes. Selon Guillaumond [J.F Guillaumond, 2006], le cuivre dans les interconnexions n'est pas monocristallin, mais composé de plusieurs «grains» (Figure 1-15(a)). Ceci induit la présence d'interfaces ou parois intérieures au sein de la ligne.

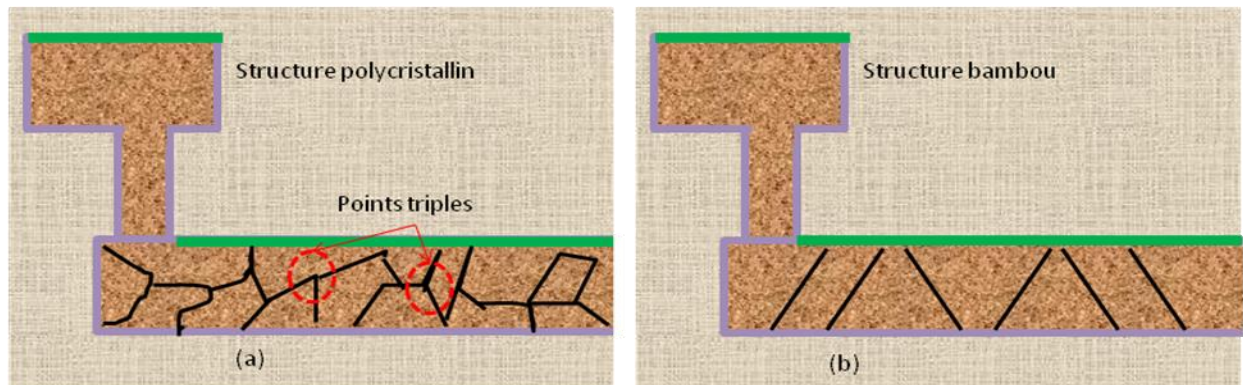


Figure 1-15 : Structure des grains dans une interconnexion

Les « joints » de grains qui constituent une transition entre deux grains aléatoires de cuivre sont des sites privilégiés de nucléation des cavités. De même les points triples (Figure 1-15(a)) sont sources de divergence de flux, donc favorables aux collisions entre les électrons et atomes. Par contre dans les structures dites bambou ou quasi-bambou (Figure 1-15(b)), la taille d'un grain correspond à la largeur de la ligne. Les sites de divergence de flux dans ces configurations sont les transitions entre la barrière de tantale, le cuivre et les joints de grains. La défaillance est donc localisée au point triple défini par l'interface entre les joints de grains de cuivre et la couche d'encapsulation. Malgré les nombreuses recherches ([R. Galand, 2012], [S. Kamiya et al, 2013], [M. H. Lin et al, 2010]) sur la contribution de la microstructure dans la dégradation due à l'EMG, cet aspect reste difficile à évaluer. Les recherches ont mis en évidence l'impact de la température et de la pression lors du processus de dépôt de métal sur la taille des grains de matériaux et sur la qualité des interfaces ou sur la géométrie des tranchées. Les paramètres des procédés de fabrication actuels tendent à contrôler la taille des grains par le contrôle de la température et de la pression.

II. Détection de l'EMG dans les interconnexions au niveau silicium

La détection des risques de dégradation se fait par des tests de vieillissement. Ces tests ont pour but de définir des règles électriques permettant de limiter les effets de l'électromigration et de qualifier la résistance à l'EMG d'un nœud technologique donné. Les fonderies spécifient la quantité maximale de la densité de courant que peut supporter une ligne d'interconnexion pour un nœud technologique. La défaillance normale d'une ligne peut prendre plusieurs années, donc pour observer précocement une défaillance, on procède à des vieillissements accélérés, appelés tests de durée de vie. L'accélération de la dégradation d'une d'interconnexion est assurée par l'utilisation de fortes températures (250-350 °C) et de fortes densités de courant (50mA/μm²).

1. Les structures de test de durée de vie

Les tests de durée de vie appelés aussi tests de vieillissement sont réalisés sur des structures élémentaires de type NIST (National Institute of Standard and Technology) représentées par la Figure 1-16. Cette structure appelée aussi « structure quatre points », est répartie sur deux niveaux de métaux. La ligne à tester est située sur la couche de métal M_i . Elle est bornée par deux vias (V_i) qui la relient aux amenées de courant (I+ et I-) des niveaux supérieurs (M_{i+1}) (ou inférieurs M_{i-1}). De fortes densités de courant sont injectées dans la ligne par les amenées de courant conçues suffisamment larges pour éviter qu'elles ne se dégradent avant la ligne à tester. Quant aux pointes V^+ et V^- , elles sont utilisées pour mesurer la différence de potentiel dans la ligne.

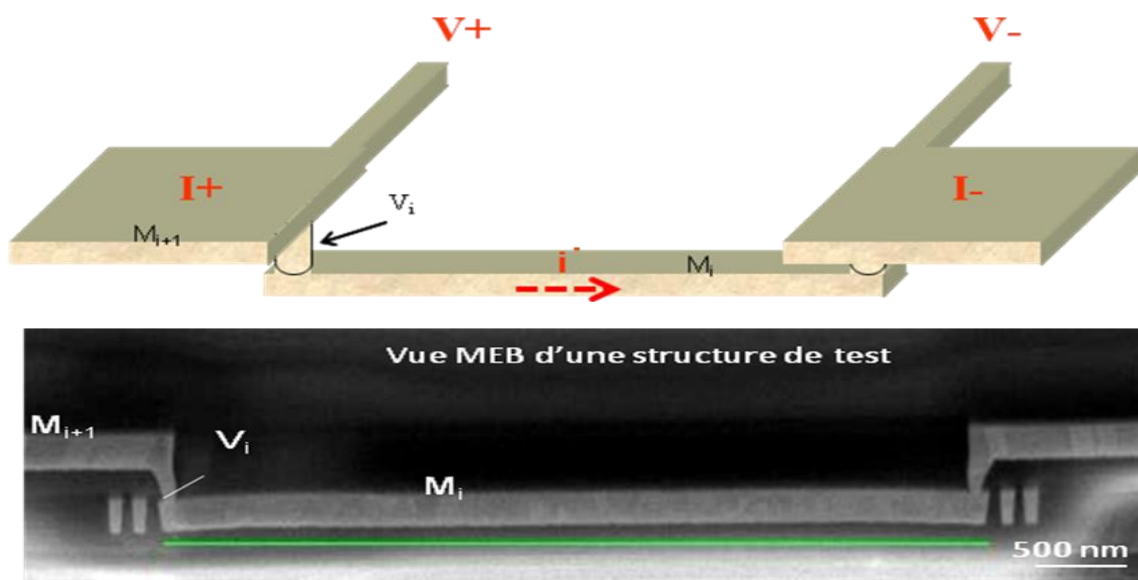


Figure 1-16 : Structure de test

2. Tests de durée de vie

On distingue deux techniques de test de durée de vie, le test sur plaquette de silicium et test en boîtier. Le choix du type de test est basé sur les objectifs de fiabilités visés. Les tests en plaquettes sont très rapides et sont utilisés pour le suivi des lots en cours de production. L'effet joule est très élevé durant ces tests, c'est pourquoi, il est impossible d'extrapoler les résultats de ces tests aux conditions réelles de fonctionnement d'un circuit. Or, pour la qualification des procédés de fabrication, on a besoin d'informations sur la durée de vie des interconnexions en condition de fonctionnement. Ceci afin de garantir la fiabilité des circuits. Durant les tests en boîtier, il n'y a pas d'effet joule, raison pour laquelle c'est la méthode préférentiellement utilisée pour mener des tests de durée de vie. Les structures de test sont dans ce cas encapsulées dans des boîtiers compatibles aux bancs de test.

a. Équipement et banc de test

Le banc de test utilisé pour les tests en boîtier est composé d'une étuve et d'une carte capable de supporter plusieurs boîtiers (structures de test encapsulées) comportant chacun 16 broches (pattes). La Figure 1-17 représente un exemple de structure de test en boîtier et la carte support utilisée pour le test en boîtier. Sur une même carte, chaque boîtier est indépendant des autres. Pour le test on utilise quatre (4) broches réparties entre les amenées de courant ($I+$ et $I-$) et la mesure de la tension ($V+$ et $V-$).

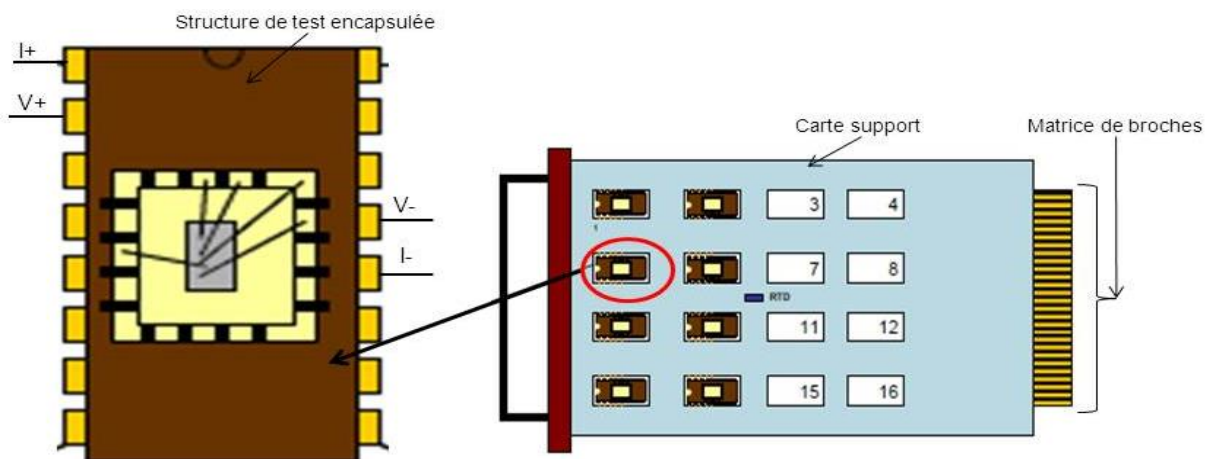


Figure 1-17 : Dispositif de test en boîtier

La matrice de broches de la carte sert à établir les connexions avec l'équipement. Les paramètres (la température et la densité de courant) de test sont contrôlés par l'utilisateur à travers une interface informatique.

b. Détermination de la section réelle de la ligne à tester

Compte tenu de la variabilité des procédés de fabrication en fonction de l'environnement immédiat de chaque interconnexion, on procède à une vérification des dimensions réelles de la ligne à tester. En effet, la vitesse de dégradation d'une ligne est liée à sa géométrie. Une incertitude sur les dimensions de la ligne à des conséquences sur le paramétrage des conditions de test et donc sur les résultats du test. Il existe deux méthodes permettant de déterminer les dimensions réelles d'une ligne.

La première méthode est une coupe transversale obtenue à l'aide d'une sonde ionique focalisée (FIB : Focus Ion Beam). On procède ensuite à la mesure de la hauteur et de la largeur de la ligne à l'aide d'un microscope électronique à balayage (MEB). Cette technique permet d'obtenir des mesures, mais elle est destructrice car les lignes utilisées pour la mesure sont inutilisables pour les tests.

La seconde méthode consiste à déterminer la section de la ligne à partir de sa résistance électrique. La résistivité du cuivre est mesurée à partir du coefficient thermique de résistance (TCR), qui permet d'évaluer la variation de la résistance (R) en fonction de la température (T) et R_0 la résistance à la température de référence T_0 , comme le montre l'Équation 1-10.

$$R(T) = R_0[1 + TCR (T - T_0)]$$

Équation 1-10 : Variation de la résistance du cuivre

La résistivité obéit à la loi de Matthiessen qui stipule que la résistivité totale d'une ligne de cuivre est la somme d'une résistivité résiduelle (ρ_{resi}) et de la résistivité du cuivre pure (ρ_{Cu}) d'où l'Équation 1-11.

$$\rho = \rho_{resi} + \rho_{Cu}(T)$$

Équation 1-11: la résistivité du cuivre

La résistivité résiduelle est indépendante de la température car elle est liée aux impuretés, aux parois et joints de grains. Seule la résistivité du cuivre pure dépend de la température et peut être utilisée afin d'exprimer le coefficient thermique de résistance TCR. Pour une température de référence de 25°C, on peut exprimer le TCR par l'Équation 1-12.

$$TCR_{25^{\circ}C} = \frac{\rho_{Cu}(T) - \rho_{Cu}(25^{\circ}C)}{\Delta T} * \frac{1}{\rho_{Cu}(25^{\circ}C)}$$

Équation 1-12 Le coefficient thermique

En représentant la variation de la résistivité du cuivre pure en fonction de la température dans l'expression coefficient thermique par le paramètre α , on obtient l'Équation 1-13.

$$\alpha = \frac{\rho_{Cu}(T) - \rho_{Cu}(25^{\circ}C)}{\Delta T}$$

Équation 1-13 : Variation de la résistivité

À partir des Équation 1-12 et Équation 1-13, on exprimer la résistivité du cuivre à 25°C par l'Équation 1-14.

$$\rho_{Cu}(25^{\circ}C) = \frac{\alpha}{TCR_{25^{\circ}C}}$$

Équation 1-14 : La résistivité du cuivre pure en fonction du coefficient thermique

La résistance de la ligne peut être exprimée en fonction des paramètres géométriques de la ligne et de sa résistivité ρ comme exprimée dans l'Équation 1-15 avec A la section de la ligne.

$$R = \rho \frac{L}{wh} \Rightarrow A = wh = \rho \frac{L}{R}$$

Équation 1-15 : résistance de la ligne en fonction des paramètres géométriques.

En combinant les Équation 1-14 et Équation 1-15, on déduit la relation donnant l'expression de la section de la ligne de cuivre (A_{Cu}) exprimée par l'Équation 1-16 [Doyen et al, 2006] avec des paramètres connus ou mesurables.

$$A_{Cu} = \frac{\rho_{Cu} L}{R} = \frac{\alpha L}{TCR * R}$$

Équation 1-16 : La section finale de la ligne

Cette méthode d'extraction des dimensions de la ligne est la plus utilisée, car elle n'endommage pas la ligne d'interconnexion.

c. Le test

Les densités de courant sont définies de sorte à éviter l'effet joule, et ce afin de décoller l'accélération en température et celle en courant. Dans le cas contraire, c'est-à-dire en cas d'effet joule, la détermination du facteur d'accélération de courant (n) [NEY D. et al, 2005] peut être faussée. Avant chaque début de test, la résistance de référence (R_{ref}) de la ligne est mesurée. La condition de défaillance est fixée par un seuil de résistance défini de manière arbitraire en

fonction de la résistance de référence $((R-R_{ref})/R)$. Ce seuil est généralement fixé à un taux de variation de 10 % de la résistance de référence (exemple de la Figure1-18). Cette valeur qui correspond à une ouverture complète de la section métallique de la ligne. De plus, durant le test, la résistance électrique de la ligne est mesurée régulièrement à une fréquence d'acquisition fixée par le testeur. Des tests sont réalisés en parallèle sur plusieurs échantillons afin de satisfaire une analyse statistique [J.O. Park et al, 2003].

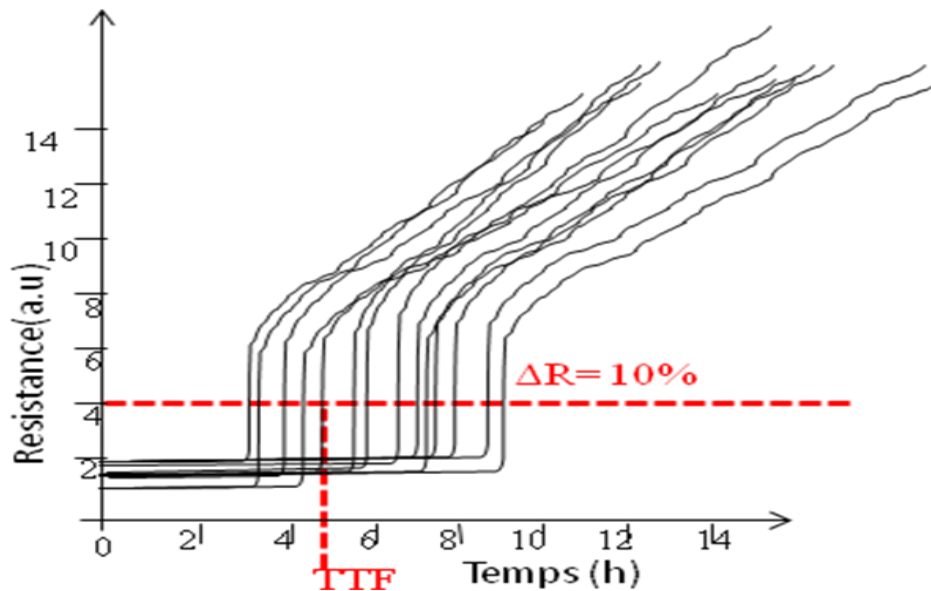


Figure1-18 : Représentation de la résistance électrique en fonction du temps de test

La distribution des temps de défaillance suit une loi lognormale avec une probabilité cumulée $F(t)$. La probabilité cumulée $F(t)$ en fonction des temps de défaillance observés lors des tests est linéarisée par la représentation de Henry illustrée par la Figure 1-19. Il s'agit d'un graphe sur lequel la probabilité cumulée est représentée en ordonnée sur un axe gaussien et les temps à la défaillance en abscisse sur un axe logarithmique. L'objectif étant de déterminer le temps moyen à la défaillance ou MTF (Mean time to Failure) c'est-à-dire, le temps au bout duquel 50% des défaillances est observé sur une population donnée d'échantillons. Ce graphe permet non seulement de déterminer le MTF et l'écart-type (S_d), mais aussi d'observer les écarts entre les résultats expérimentaux et la loi lognormale.

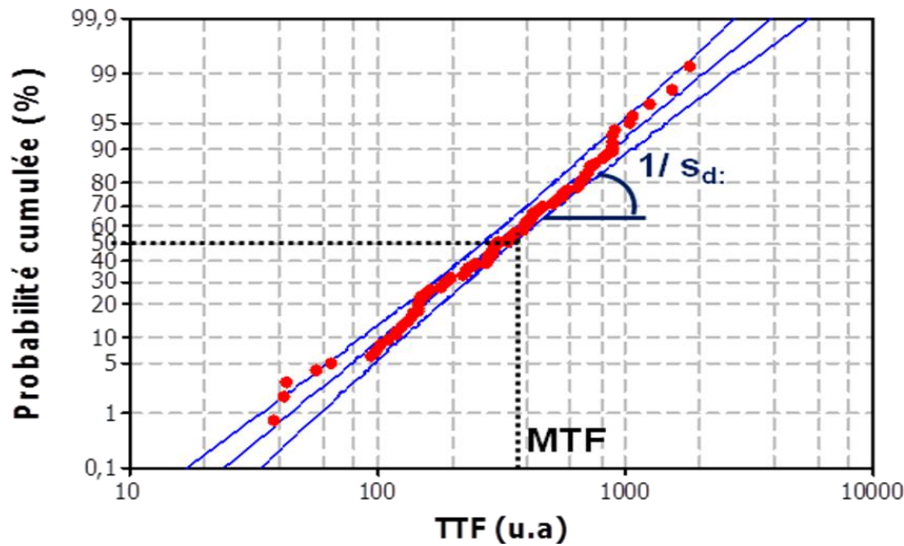


Figure 1-19 : Représentation de Henry des taux de défaillance [Doyen, 2009]

De plus, les informations obtenues à travers ce graphique sont utilisées pour extrapoler aux conditions réelles de fonctionnement, les résultats obtenus à partir des conditions de test.

3. Extrapolation des résultats de test aux conditions réelles de fonctionnement

L'extrapolation des résultats (de test aux conditions réelles de fonctionnement du circuit) est faite à l'aide de l'équation quasi-empirique de Black [J. Black, 1969]. Black a montré à travers l'Équation 1-17 le lien existant entre le temps moyen à la défaillance (MTF) et certains paramètres comme l'énergie d'activation apparente du phénomène (E_a), le facteur d'accélération en courant (n), la constante de Boltzmann (K), la constante A liée à la géométrie et à la microstructure de la ligne, la densité de courant (j) et enfin la température (T).

$$MTF = A j^{-n} e^{\left(\frac{E_a}{KT}\right)}$$

Équation 1-17 : Équation de Black

a. Paramètres de Black

Les paramètres de Black sont obtenus par linéarisation du temps médian à la défaillance à la suite de la transformation de l'Équation 1-17. On obtient l'Équation 1-18 qui nous donne une relation linéaire entre le logarithme du MTF mesuré et l'inverse de la température pour en déduire les paramètres de Black.

$$\ln(MTF) = \ln(A) - n \ln(j) + \frac{E_a}{kT}$$

Équation 1-18: linéarisation du MTF

Afin de déterminer les valeurs du facteur d'accélération en courant (n) et de l'énergie d'activation (E_a), des tests de durée de vie sont menés sur un nombre élevé d'échantillons à différentes températures (T) et densités de courant (j).

i. Le facteur d'accélération en courant (n)

La détermination du paramètre n est faite en variant la densité de courant (j), pour une température (T) constante comme exprimé par l'Équation 1-19.

$$n = - \left. \frac{d \ln(MTF)}{d \ln(j)} \right|_{T = cste}$$

Équation 1-19 : Expression du facteur d'accélération en courant

Suite à d'importantes discussions sur la valeur de n, les chercheurs se sont accordés sur les valeurs n=1 pour le cuivre et n=2 pour l'aluminium. D'après l'approche de Lloyd [J.R Lloyd, 1991], la valeur de n est fixée à 2 lorsque le temps de nucléation est dominant. Par contre, si c'est le temps de croissance qui est dominant, le paramètre n est alors égal à 1. Pour l'aluminium, la phase de nucléation domine, ce qui explique la valeur 2 observé expérimentalement. Cette approche de Lloyd a été vérifiée par Kawasaki [H. Kawasaki et al, 1996] en utilisant une structure spécifique en Al(Cu). Il a déterminé un n de 2 pour la phase d'incubation et un n de 1 pour la phase de croissance. Pour le cuivre, il est admis que c'est la phase de croissance qui domine, d'où des valeurs expérimentales de n plus proches de 1.

ii. L'énergie d'activation apparente du phénomène (E_a)

L'énergie d'activation intervenant dans l'équation de Black est une valeur apparente reflétant l'ensemble des mécanismes de diffusion à l'origine de la dégradation. La détermination de ce paramètre est fait à partir de l'équation de linéarisation. L'Équation 1-20 est utilisée pour le calcul de l'énergie d'activation en fonction du MTF et de la température à une densité de courant constant.

$$E_a = - \left. \frac{d \ln(MTF)}{d (1 / kT)} \right|_{j = cste}$$

Équation 1-20 : Énergie d'activation

L'extraction de l'énergie d'activation (E_a) est faite en répétant des tests accélérés pour une densité de courant donnée et à différentes températures sur plusieurs échantillons. Le taux de défaillance des échantillons est représenté dans la Figure 1-20 en fonction des TTF obtenus. Cette figure représente, les résultats des tests des échantillons de même type à quatre températures

différentes (260°C, 300°C, 330°C et 350°C). On observe que les défaillances apparaissent plus tôt pour les températures les plus élevées.

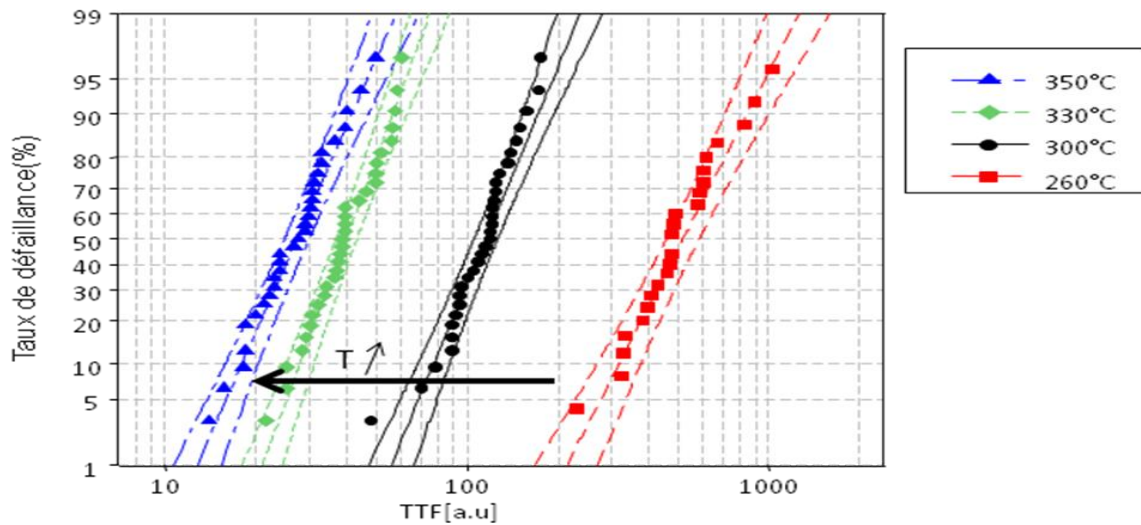


Figure 1-20 : Taux de défaillance en fonction de la température

Les temps moyens à défaillances (MTF) sont alors tracés en fonction de $1/kT$ sur la Figure 1-21. Le coefficient directeur de la droite obtenue correspond à l'énergie d'activation.

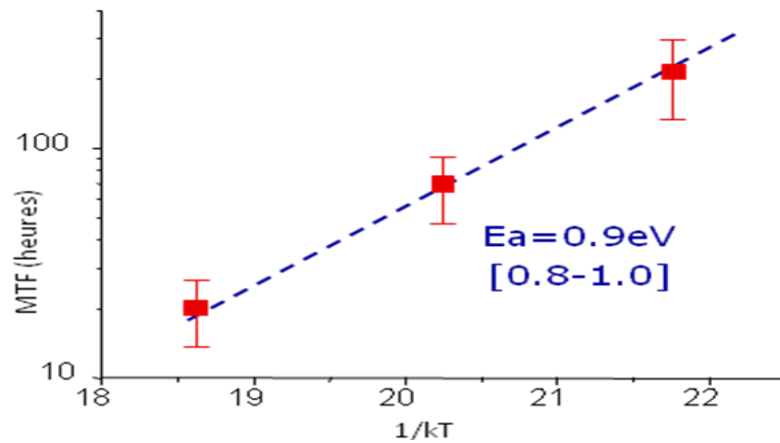


Figure 1-21 : Détermination de l'énergie d'activation [Doyen, 2009]

Cette valeur de 0,9 eV correspond à une diffusion aux interfaces et aux joints de grains.

b. Extrapolation aux conditions réelles

On extrapole les résultats obtenus à l'aide de l'Équation 1-21 qui représente l'expression du MTF aux conditions d'opération (MTF_{OP}) en fonction de MTF aux conditions de test (MTF_{test}) :

$$MTF_{op} = MTF_{test} \left(\frac{j_{test}}{j_{op}} \right)^n \exp \left(\frac{E_a}{k} \left(\frac{1}{T_{test}} - \frac{1}{T_{op}} \right) + G_{SD} \right)$$

Équation 1-21 : Extrapolation aux conditions réelles de fonctionnement

Avec j_{test} , T_{test} , j_{op} , T_{op} respectivement les densités de courant et températures pendant le test et aux conditions d'opération. Avec G_{SD} représentant la probabilité cumulée rapportée à un nombre d'écart-type (un G_{SD} de 3 correspond à un taux de 0,1%). Comme le montre la Figure1-22, les taux de défaillance sont exprimés en fonction des temps à la défaillance dans les conditions réalistes de fonctionnement du circuit. Par exemple, on voit que pour des échantillons dont les résultats des tests sont représentés dans ce graphe, il faut au minimum 60 ans pour observer 1 % de défaillance.

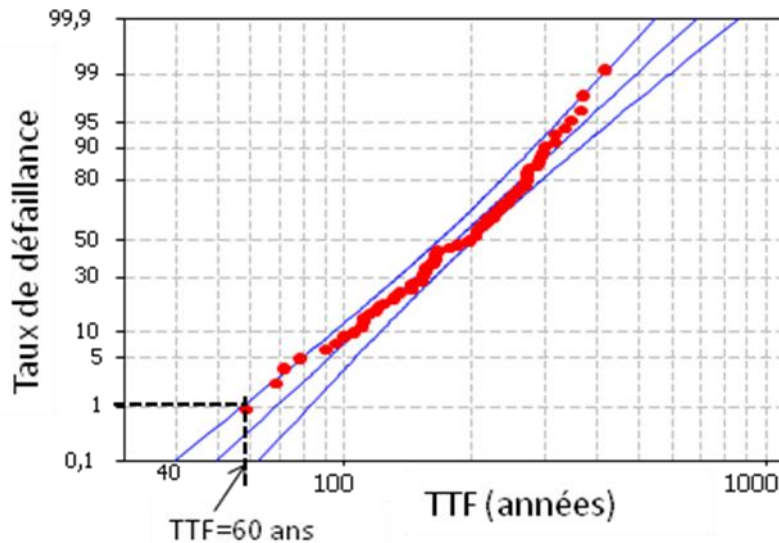


Figure1-22 : Taux de défaillance en fonction du temps à la défaillance en conditions réelles

Les densités de courants limites (j_{max}) sont définies sur la base d'un taux de défaillance de 0.01% des interconnexions pour une durée de fonctionnement optimale (TTF_{OP}) à une température de référence donnée. Il est très difficile, voire impossible de tester tous les échantillons. À titre d'exemple, pour vérifier un taux de 0.01%, il faudra tester au minimum 10000 échantillons, ce qui serait couteux en temps et en silicium, donc impossible à mettre convenablement en place.

4. Les règles de fiabilités vis-à-vis de l'EMG

Les densités de courant (j_{max}) déduites des tests accélérés sont consignées dans un manuel de conception appelé DRM (Design Rules Manual), ces règles permettent d'évaluer pour chaque type de ligne, le courant limite autorisé.

a. Le courant moyen (I_{EM})

Pour la même densité de courant, les valeurs des courants moyens limites varient en fonction de la surface des lignes d'interconnexion. L'Équation 1-22 permet de calculer le courant limite en

fonction de la largeur (w), de l'épaisseur de la ligne (h) des interconnexions, de l'épaisseur de la barrière diélectrique (t_B) et de la densité de courant limite (j_{max}) pour une température T donnée.

$$I_{EM}(T) = j_{max}(T) * (w - t_B) * (h - t_B)$$

Équation 1-22 : Calcul du courant limite à partir de la densité de courant

La plupart des règles étant donnée pour une condition définie, il existe des facteurs d'ajustement aux différentes conditions. La dépendance à la topologie (F_L) des lignes est caractérisée par l'effet Blech. L'ajustement aux différentes températures est fait par l'utilisation d'un facteur F_{temp} qui établit le rapport entre la température de référence et une température donnée. En prenant en compte tous les facteurs d'ajustement, on arrive à l'expression de courant limite donnée par l'Équation 1-23. Elle permet de calculer la limite de courant autorisé dans une ligne métallique quel que soit ses caractéristiques.

$$I_{EM}(T, L, w) = I_{EM}(w, 125^\circ C) * F_{temp} * F_L$$

Équation 1-23 : Courant limites en fonction des facteurs d'ajustement.

b. Le courant efficace (I_{RMS})

Dans certaines lignes le courant moyen (I_{EM}) peut être nul, donc il n'y a pas d'impact direct sur la dégradation EMG. Le danger est que le courant alternatif provoque un échauffement dû à l'effet joule. Cela entraîne une augmentation de la température globale de la ligne, ce qui a un impact sur l'EMG. Afin de limiter l'influence de cet échauffement des lignes sur les dégradations EMG, on définit le courant efficace (I_{RMS}) limite. Le but est de définir la quantité de courant efficace maximum à ne pas dépasser pour limiter l'effet joule à une augmentation de la température donnée.

III. Les recherches vers l'amélioration des règles de courant

La méthode de détermination des courants limites que nous avons vus précédemment est adaptée aux lignes d'interconnexions confinées, mais pas aux réseaux d'interconnexions d'un circuit intégré. Dans ces réseaux, les lignes d'interconnexion interagissent entre elles. Les interactions entre les lignes constituent des facteurs de ralentissement ou d'accélération de défaillance, en fonction de la configuration du réseau d'interconnexions. La plupart des recherches menées ont pour but d'améliorer la précision de la valeur de la densité de courant limite dans les lignes.

1. Effet réservoir et effet puits

Afin de modéliser les interactions entre les lignes d'interconnexions, certains chercheurs ([C., S. Hau-Riege et al, 2008], [P. Lamontagne, 2011]) ont étudié l'effet d'une extension à l'extrémité d'une ligne confinée. Certaines des observations faites dans les lignes courtes font état de ce qu'on appelle l'effet réservoir et l'effet puits. Ces effets sont liés au sens des électrons (e^-) dans la zone d'extension. En effet lorsque l'extension se situe à l'anode, il s'agit d'un puits d'électrons comme le montre la Figure1-23 (a). Dans le cas de la Figure1-23 (b) avec une extension située à la cathode, on parle de réservoir d'électrons.

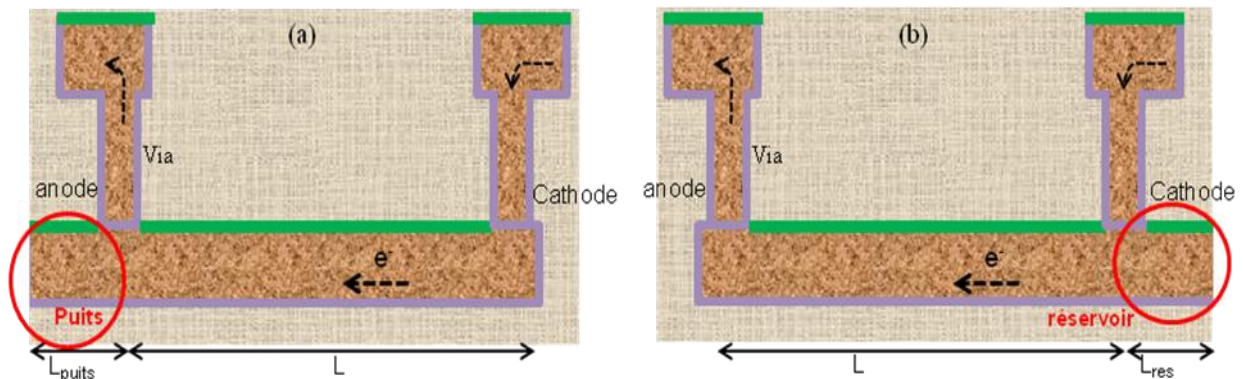


Figure1-23 : Vue en coupe (a) – Puits d'électron ; (b) - Réservoir d'électrons

Selon Hau-Riege, la diminution ou la perte de l'avantage de l'effet Blech dans une ligne courte peut être attribuée à la réduction de l'accumulation de matières due à la présence d'un puits d'électrons à l'anode. En effet, la présence d'un puits inhibe toute compression de matières au niveau de l'anode, entraînant une faible tension (mécanique) le long de la ligne. Par contre, lorsqu'on a un réservoir d'électrons, les atomes métalliques déplacés à la cathode sont remplacés par ceux provenant du réservoir, retardant ainsi la formation de cavité. Ces effets de puits et réservoir montrent que les règles de courant peuvent être trop optimistes ou pessimistes. Il existe donc une incertitude sur l'effet Blech dans les lignes courtes. C'est pourquoi Oates [A. S. Oates, 2013] à proposer un ajustement de la densité de courant critique utilisée dans la condition d'immortalité des lignes courtes. Oates définit ainsi deux densités critiques (j_{puits} et j_{res}) comme le montre l'Équation 1-24. Ces densités sont fonction de la longueur (L) de la ligne, de la longueur de l'extension (L_{Puits} et L_{res}) et de la densité critique du produit de Blech.

$$j_{\text{puits}} = j_{\text{cr}} \frac{L_{\text{puits}} + L}{2L_{\text{puits}} + L} \qquad j_{\text{res}} = j_{\text{cr}} \frac{L_{\text{res}} + L}{L}$$

Équation 1-24 : Densité de courant dans le cas d'effet puits et réservoir

À partir de ces équations, il a constaté que le gain de durée de vie dû à la présence d'un réservoir est moins significatif que la perte en durée de vie liée à l'existence d'un puits d'électrons pour les mêmes longueurs de lignes.

2. Effet de transition de la largeur de lignes

Dans les réseaux d'interconnexions, il est possible d'avoir des lignes de différentes largeurs connectées entre elles, ce qui crée une discontinuité dans les lignes. Les travaux de Hau-Riege [C. S. Hau-Riege et al, 2008] sur cet effet de transition des largeurs donnent plus d'explication sur ce qui se passe dans ces jonctions. La Figure1-24 montre une ligne composée de deux segments de différentes largeurs (w_1 et w_2) connectés entre elles. Il en résulte une divergence de flux à l'intersection dans la zone de transition de largeur.

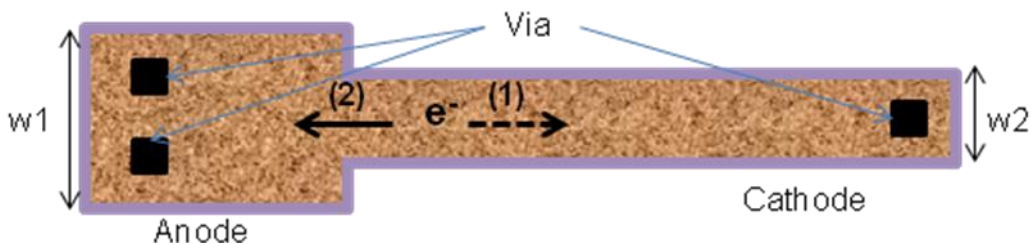


Figure1-24 : Effet de transition de largeur

Lorsque les électrons vont de l'anode vers la cathode (cas 1), en plus du site habituel de dégradation (aplomb des vias) d'une interconnexion, la zone de transition entre la petite section (w_2) et la grande (w_1) est exposée à la dégradation. Mais dans certains cas (cas 2), cette différence de largeur peut être avantageuse, compte tenu de la microstructure de la partie épaisse selon les travaux de Bana [F.L. Bana, 2013]. En effet la microstructure en bambou dans la section (w_1) de la ligne ralentit le déplacement des atomes de la cathode vers l'anode. Au mieux elle permet de créer un effet Blech localisé selon la distance dans la petite section de la ligne.

3. Amélioration des méthodes de détermination de TTF

Park [Y.J Park et al, 2006] s'est focalisé sur la dépendance de la variation du facteur d'accélération (n) en fonction de la longueur de la ligne et de l'effet Blech. Pour les lignes longues, on considère $n=1$, par contre dans les lignes courtes, n est supérieur à 1 ($n>1$). Son modèle fait intervenir la valeur n de l'exposant sans effet Blech et la valeur n avec effet Blech, qui dépend de la longueur de ligne et de la densité de courant considérée. Le modèle développé décrit bien ces résultats expérimentaux, mais il doit utiliser des valeurs de n variables en fonction

de la longueur de ligne. Ney [Ney et al, 2005] s'est affranchit de ce problème en introduisant la valeur du produit de Blech dans l'expression du temps à la défaillance, comme le montre l'Équation 1-25. Elle se base sur la section (A) de la ligne, la longueur (L), le produit de Blech (jL), la constante de Boltzmann (k), l'énergie d'activation (Ea) et la température (T)

$$TTF = A \frac{L}{jL - (jL) cr} e^{\left(\frac{E_a}{kT}\right)}$$

Équation 1-25 : Temps à la défaillance en fonction du produit de Blech.

Ce modèle rend bien compte de l'augmentation apparente du facteur d'accélération (n) avec le produit jL.

4. Structure en arbre

La plupart des tests de durée de vie sont menés sur des segments de ligne pris de manière isolée. Néanmoins, la configuration du réseau d'interconnexions dans les puces est plus complexe. De nombreuses recherches ([P. Lamontagne, 2011], [Y.J Park et al, 2010]), sont faites sur des structures de configuration arborescente. Une structure en arbre (Figure 1-25) est définie comme un réseau d'interconnexion ayant plusieurs ramifications au tour d'un via ou contact. À partir d'un via donné, le courant se répartit dans les différentes branches en fonction de leur résistance. Ce genre de structure regroupe la plupart des effets qui ont un impact sur le mécanisme de dégradation EMG et entre autre l'effet puits/réservoir. L'estimation des risques de dégradation dans ces structures est plus complexe que dans une ligne isolée.

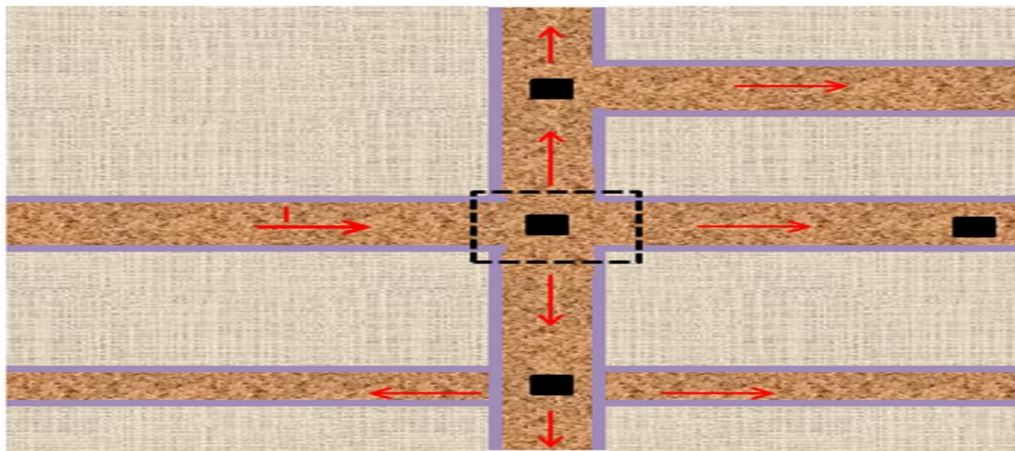


Figure 1-25 : Structure en arbre

5. Effet thermique.

Dans les modèles utilisés dans l'analyse de la fiabilité des lignes d'interconnexion, on suppose la température constante. Des recherches faites sur l'aspect thermique ([C. Zhao, 2010], Yokogawa S., 2010], [S.H. Chiu et al, 2006], ...) ont permis de mieux comprendre le mode d'action de la température sur la dégradation des lignes d'interconnexion. Lu [Z. Lu et al 2007] a mené des travaux sur l'impact temporel et spatial du gradient thermique sur la durée de vie des interconnexions. Pour une variation thermique spatiale, il est impossible d'appliquer l'équation de Black qui utilise une température constante. En lieu et place, Lu propose une température limite utilisable par l'équation de Black. Le model dynamique de fiabilité proposé par Lu, améliore la précision dans l'estimation de la fiabilité et est intégrable dans le flot de conception.

6. Synthèse

Dans ce chapitre, nous avons vu les notions fondamentales du phénomène de l'électromigration (EMG) ainsi que les lois de la physique qui le régissent. Cette étude a consisté à l'analyse de la physique de dégradation des interconnexions afin de comprendre le mode de défaillance due à l'EMG. Cela nous a permis de comprendre la génération des règles de validation des circuits à partir des tests de durée de vie réalisés sur des structures de test en boîtier. Compte tenu de la complexité des réseaux d'interconnexion, il devient de plus en plus difficile de respecter ces règles. Les recherches de solutions longtems menées par les fonderies, en vue d'améliorer les procédés de fabrication ne suffisent non plus. On a cru pouvoir résoudre le problème d'électromigration lors du passage de l'aluminium au cuivre comme matériau dans les interconnexions métalliques. Ceci grâce à l'énergie d'activation du cuivre plus grande que celle de l'aluminium. Malheureusement, compte tenu de la réduction des dimensions des interconnexions, le changement de matériau seul ne suffit plus à éviter les dégradations dues à l'EMG. Ainsi de nombreuses pistes sont explorées afin de prendre en compte tous les paramètres ayant un impact sur la dégradation de l'interconnexion. L'une des pistes consiste à intégrer les vérifications des risques EMG depuis la phase de conception de circuits en technologie nanométrique. Cela, dans le but de prévenir d'éventuelles dégradations dans un circuit intégré, à travers des simulations avec des outils de conception assistée par ordinateur (CAO).

Chapitre 2. Méthodologie de validation EMG au niveau de la conception d'un circuit intégré

Dans le chapitre précédent, nous avons étudié les notions fondamentales du phénomène d'électromigration (EMG). Ce chapitre sera consacré aux méthodes de vérification des risques de dégradation des interconnexions car leur détection précoce durant la phase de conception, est réalisée par des outils de simulation. Après une vue générale des étapes de conception d'un circuit intégré, nous étudierons la composition de ses réseaux d'interconnexions. Ensuite, il sera question de détailler les grandes étapes de validation d'un circuit intégré vis-à-vis du phénomène d'EMG. Un accent particulier sera mis sur les principaux paramètres électriques et géométriques ayant une influence sur la résistance d'un circuit face aux effets EMG. Enfin nous discuterons des solutions alternatives pour assurer une amélioration continue des méthodes actuelles.

I. La conception d'un circuit intégré (puce)

On appelle circuit intégré, ou puce électronique tout dispositif électronique capable d'accomplir une ou plusieurs tâches plus ou moins complexes. La production des circuits intégrés obéit à plusieurs opérations que l'on peut classer en deux grandes phases : la conception et la fabrication. Dans le cadre de cette étude, nous nous focaliseront sur la phase de conception. Celle-ci peut être subdivisée en plusieurs grandes étapes qui sont, la spécification de la puce, la description des blocs fonctionnels, l'implémentation, la validation et la génération de masques dédiés à la fabrication des puces. Chacune de ces étapes est caractérisée par une série d'opérations précises à effectuer.

1. La spécification de la puce

La spécification, est l'étape de la définition des caractéristiques du circuit intégré à concevoir. Elle doit fournir toutes les informations relatives aux conditions d'utilisation, aux contraintes topologiques et aux performances du circuit intégré. Les recommandations sont consignées dans un cahier de charges qui servira de livre de bord pour la suite de la réalisation du circuit. À partir de ce document, les ingénieurs de conception procèdent à des études de faisabilité, durant lesquelles, ils décident du choix des blocs fonctionnels et des outils CAO nécessaires à la réalisation de la puce. Ensuite s'en suit la validation du circuit au niveau algorithmique. À cette

étape, les concepteurs décrivent l'architecture interne et fournissent une description détaillée des différents blocs qui composeront le circuit. Aussi appelée haut niveau, cette étape concerne la modélisation des blocs fonctionnels, des mémoires, des microprocesseurs et des blocs d'entrée/sortie.

2. La description des blocs fonctionnels

Cette étape consiste à modéliser à très haut niveau un circuit intégré complet afin de valider son architecture selon les performances spécifiées dans le cahier de charge. Son but est la modélisation de l'architecture matérielle et logicielle du circuit. La description logicielle concerne la description en langage C/C++ de l'ensemble des fonctionnalités de chaque bloc fonctionnel. Cette étape permet de passer d'une description structurelle à une description physique au niveau des portes logiques.

a. Les blocs fonctionnels numériques

Les circuits numériques matérialisent les fonctions logiques à l'aide des opérateurs logiques. Le fonctionnement de ces circuits est basé sur le calcul et la propagation des valeurs « 0 » (pas de courant) et « 1 » (présence de courant). Ils se composent de portes logiques (ET, OU et NON-ET,...) appelées cellules standards et de circuits plus complexes tels que les microprocesseurs et les mémoires. Le but de la description des blocs numériques est de décrire l'ensemble des fonctionnalités par validation du comportement fonctionnel à l'aide d'outils VHDL (VHSIC Hardware Description Language), VERILOG, ... Le VHDL décrit la fonctionnalité souhaitée et ceci indépendamment de la technologie. La synthèse RTL (Register Transfert Level) sert ensuite à optimiser les équations logiques de type booléen représentant les fonctions logiques afin de réduire le nombre de composants à utiliser pour accomplir des fonctions données. En fonction du nœud technologique sélectionné, les outils de synthèse vont pouvoir choisir automatiquement les cellules standards et les blocs fonctionnels nécessaires à la réalisation d'une fonction donnée à partir d'une bibliothèque de composants élémentaires.

b. Les cellules standards

Dans les circuits intégrés numériques, les cellules standards constituent les briques de bases utilisées pour la construction des différents blocs fonctionnels. Ce sont des portes logiques, des circuits séquentiels et combinatoires. Les cellules standards sont conçues à partir de l'association de plusieurs transistors. Leur conception suit des règles de dessin établies à partir des modèles

silicium et suivant le schéma électrique définissant sa fonction. Le nombre de transistors dans une cellule standard varie en fonction de l'utilisation et des performances recherchées. Chaque industriel garde secret le nombre précis de transistors contenus dans les différentes cellules standards. Ils se contentent de fournir les caractéristiques et les performances de ces «boites noires » dans des bibliothèques de cellules standards.

c. Les blocs fonctionnels analogiques

L'usage de solutions analogiques dans les systèmes électroniques est basé principalement sur des transistors, des résistances et des capacités. Leur fonctionnement est lié aux variations de la tension (V) et du courant (I). Les composants analogiques vont de simples transistors encapsulés les uns à côté des autres sans liaisons, jusqu'à des assemblages complexes pouvant réunir toutes les fonctions requises pour le fonctionnement d'un appareil. Ces circuits sont pour la plupart du temps réservés à l'électronique haute fréquence et à la télécommunication. Nous n'en étudierons pas dans le cadre de ce projet, car leurs analyses nécessitent une étude à part entière.

3. Implémentation de la puce

Cette étape consiste à la mise en forme de la structure du circuit à concevoir par la mise en place des différents composants.

a. Le Floorplan (plan de circuit intégré)

Le concepteur, connaissant les composants qu'il utilisera dans son circuit, définit le plan du circuit ainsi que les emplacements des différents composants à utiliser. Ce plan est défini en tenant compte des contraintes de taille et de communication entre les différents éléments. Un exemple de floorplan est représenté par la Figure 2-1. Les emplacements des différents blocs de composants sont définis en fonction de leurs tailles. Dans de notre figure par exemple, nous pouvons observer les emplacements dédiés composants suivants:

Les grilles d'alimentation, elles sont définies pour accueillir les cellules standards. Le but étant de pouvoir fournir du courant à chaque cellule standard quel que soit son emplacement dans le circuit.

Les microprocesseurs ou CPU (Central Processor Unit), ce sont des blocs complets qui exécutent les instructions et traitent des données. Les microprocesseurs sont habituellement regroupés en catégories, en fonction du jeu d'instructions qu'ils exécutent.

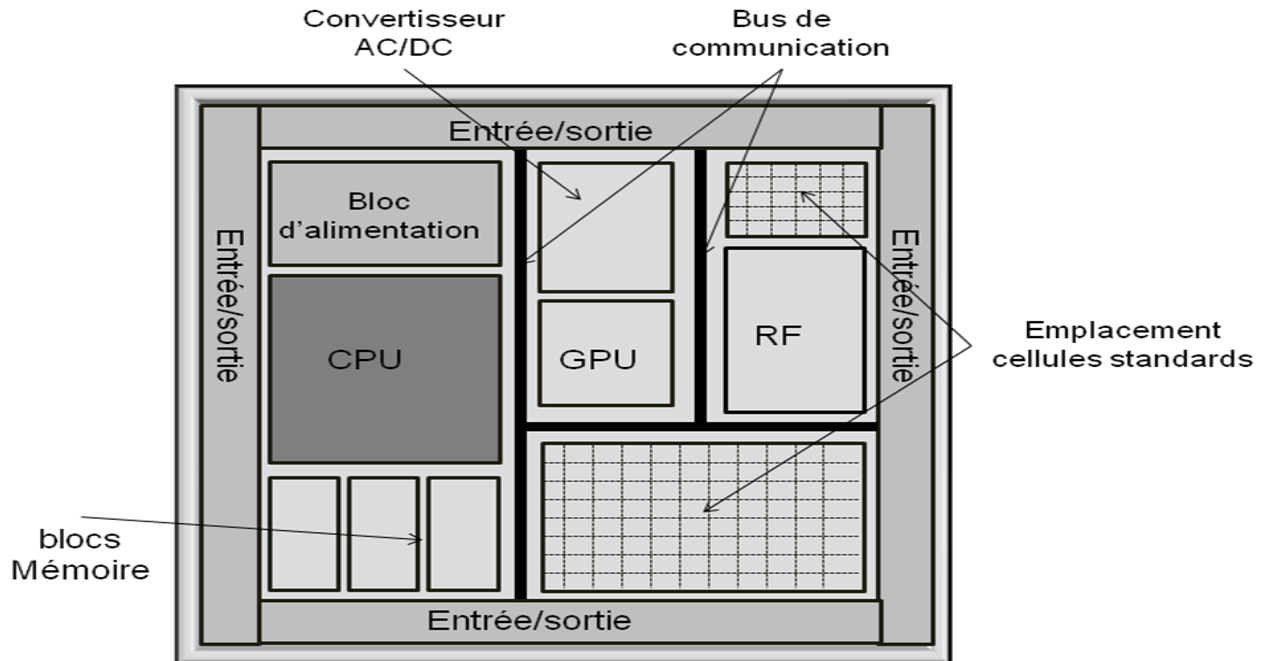


Figure 2-1 : Exemple de plan de circuit intégré

Les processeurs graphiques ou GPU (Graphical Processor Unit) : ce sont des microprocesseurs dédiés au traitement des données d’affichage. Ils gèrent tout ce qui est en rapport avec l’affichage graphique.

Les blocs mémoires : ils sont dédiés au stockage des données du circuit intégré.

Le bloc d’alimentation électrique du circuit intégré, il fournit le courant nécessaire à tous les composants de la puce.

Les périphéries d’entrée et sortie : ils servent de canaux de communication entre la puce et l’extérieur.

Le bloc de radio fréquence (RF)

Et les bus par lesquels les différents blocs communiquent entre eux.

Chaque bloc fonctionnel s’intègre dans l’emplacement qui lui est réservé.

b. Placement de cellules standards dans la grille d’alimentation

Dans les circuits numériques, les cellules standards et les blocs fonctionnels sont placés dans les grilles d’alimentation du circuit intégré à l’aide des outils de placement. L’exemple de la Figure 2-2 représente des cellules standards (de numéros 1 à 14) placées sur des rails d’alimentation (Gnd et Vdd) horizontaux. Le but étant de placer chaque composant de sorte à assurer son alimentation et sa communication avec les autres cellules du circuit.

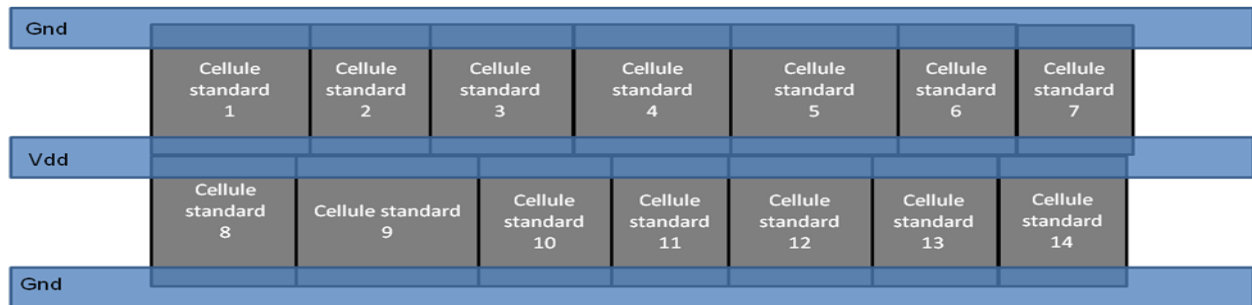


Figure 2-2 : Placement des cellules standards sur des rails d'alimentation.

Les blocs fonctionnels sont quant à eux intégrés manuellement dans les emplacements qui leur sont dédiés dans le circuit intégré.

c. Routage

Le routage consiste à générer des dessins électriques des circuits intégrés en réalisant les interconnexions entre les différents composants. Il permet d'une part de trouver l'arrangement optimal des modules ou des cellules et d'autre part de relier les lignes de signaux entre les différents composants. De plus, ses opérations sont réalisées automatiquement par des outils de routage compte tenu du nombre de lignes d'interconnexion. Cela permet en effet un gain de temps, de la souplesse de construction et de sécurité de résultat. Ces outils utilisent les couches de métal disponibles dans le circuit pour réaliser les connexions. Il existe plusieurs types de routage, à savoir :

Le routage au niveau haut qui consiste à réduire les interconnexions entre les blocs fonctionnels. Il permet aussi d'éviter le phénomène de diaphonie capacitive (crosstalk) entre les lignes.

Le routage au niveau du bloc fonctionnel a pour but de réduire les distances entre les différents éléments à l'intérieur d'un même bloc fonctionnel. Il permet d'éviter des problèmes DRC (Design Rules Check).

Le routage des grilles d'alimentation a pour but de minimiser la résistance électrique sur le chemin d'alimentation des différents composants.

Le routage d'horloge a pour but de réduire les retards dans la transmission des signaux de d'horloge.

d. Synthèse d'arbre d'horloge

Dans les circuits synchrones, la synchronisation des circuits numériques nécessite un ou plusieurs signaux d'horloge pour coordonner les opérations. Les signaux d'horloge sont distribués aux bascules synchrones à travers l'ensemble du circuit par un réseau électrique appelé

arbre d'horloge (ou Clock Tree). Il est composé de cellules standards appelées cellules d'horloge, car utilisées dans le réseau de distribution des signaux d'horloge. Ces cellules standards sont disposées de manière structurée en fonction du placement des blocs fonctionnels à cadencer. L'exemple de la Figure 2-3, illustre un arbre d'horloge composé de cellules d'horloge (CT : Clock Tree). Les cellules d'horloges sont choisies de sorte à ce que le signal arrive dans chaque bascule (D) à des délais prédéfinis (t_1 , t_2 et t_3) et le temps (t_4) de signal dans le bloc fonctionnel.

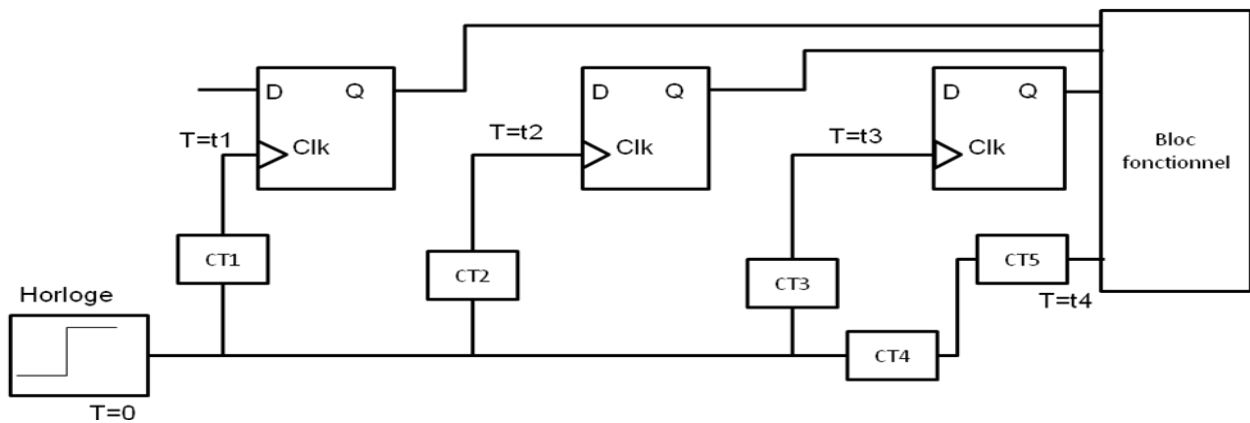


Figure 2-3 : Exemple d'arbre d'horloge

Dans les circuits synchrones, les changements d'état de l'horloge font commuter un grand nombre de cellules, qu'elles soient utilisées ou non à cet instant. La consommation électrique d'un circuit est dépendante de l'horloge qui gère son activité, d'où l'importance de la part des cellules d'horloge dans la consommation globale du circuit [SENTIEY O., 2002]. Cela s'explique par le fait que les fronts d'horloge consomment de l'énergie en chargeant et déchargeant les capacités de charge des interconnexions, et en activant les bascules qui y sont reliées.

e. Cellules de données

Les cellules dites de données sont dédiées aux tâches de traitement des opérations arithmétiques et de mémorisation dans les puces. Elles sont sollicitées par intermittence durant la durée de vie du circuit entre tâches à exécuter et période de latence. Ces cellules se composent principalement de portes logiques ET, OU, NON-ET, de bascules, etc. Leur consommation en énergie est faible par rapport aux cellules d'horloges.

4. Vérification : la validation du schéma du circuit

Les méthodes de vérification sont diversifiées, elles interviennent à différentes étapes de la conception d'un circuit intégré. Quel que soit l'étape où elle intervient, la vérification a pour but de détecter des points faibles afin d'y apporter des solutions et d'éviter de fabriquer un circuit avec des défauts de conception. Lorsque les corrections sont effectuées tôt dans le processus de conception, elles sont moins coûteuses et moins compliquées à mettre en place. L'étape de vérification peut être subdivisée en plusieurs sous-étapes.

a. Validation électrique

Elle consiste à vérifier les contraintes électriques du circuit intégré en prenant en compte les paramètres ayant un impact sur l'alimentation du circuit. Au cours de ces analyses, on s'assure de l'intégrité des signaux électriques circulant dans le circuit.

b. Validation temporelle

Appelée la STA (pour Static Timing Analysis), c'est une méthode de vérification des contraintes temporelles du circuit. Le but de cette étape est de s'assurer du respect des contraintes temporelles. Cela permet d'évaluer la vitesse de fonctionnement du circuit. Le temps de propagation d'un signal entre l'entrée et la sortie d'une porte logique dépend de ses caractéristiques intrinsèques (structure, taille des transistors) et de son environnement immédiat. Nous y reviendrons plus tard dans ce chapitre. Le principe de la validation temporelle repose sur le calcul des délais de chaque porte logique et interconnexion élémentaire d'un circuit. L'exemple de la Figure 2-4 représente les temps de propagation d'un signal émis par un bloc émetteur vers un récepteur. Les signaux transitent par les différentes portes logiques, accumulant ainsi des délais de transmission. Les délais calculés dans ce cas, nous donne deux résultats, à savoir t_4+t_5 ou $t_1+t_2+t_3$.

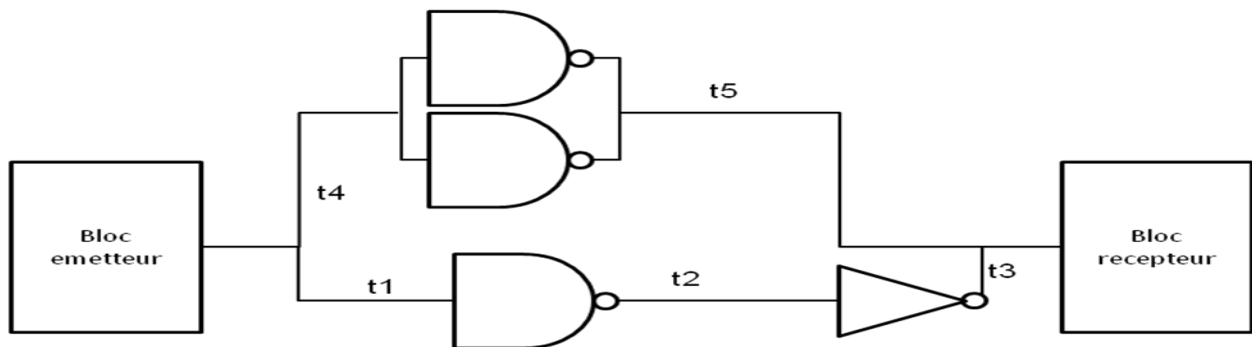


Figure 2-4 : Délais de propagation de signal

Cette analyse temporelle est réalisée à partir du plan définitif du circuit, de manière à prendre en compte de façon réaliste les éléments parasites liés aux interconnexions. En effet, le délai de propagation des signaux dépend aussi de la longueur de l'interconnexion. Ainsi plus une ligne est longue, plus la résistance (R) et la capacité (C) sont grandes, donc le délai est grand.

c. Validation comportementale

Elle a pour but de vérifier que le fonctionnement d'un circuit conçu répond bien aux spécifications faites avant la génération des masques qui serviront à la fabrication de la puce. Elle a aussi pour objectif de vérifier le fonctionnement logique. Cela peut se faire de manière hiérarchique, en validant les éléments les plus simples aux plus complexes.

II. Structure des circuits intégrés

Les circuits intégrés sont composés de plusieurs blocs fonctionnels à la fois numériques et analogiques conçus séparément et ayant chacun une fonction bien définie. Le choix des différents éléments d'une puce est fait en fonction des tâches à exécuter. La complexité de la structure de la puce dépend de sa composition et de ses performances.

1. Structure des cellules standards

Une cellule standard est constituée de transistors reliés par deux réseaux d'interconnexions métalliques. Ce sont le réseau d'alimentation électrique (Vdd et Gnd) servant à alimenter et le réseau signal pour le contrôle du fonctionnement des composants. L'exemple de la Figure 2-5 représente un inverseur composé d'un transistor PMOS et d'un transistor NMOS. Le PMOS est connecté à la source d'alimentation par la ligne Vdd et le NMOS est relié à la masse par la ligne Gnd.

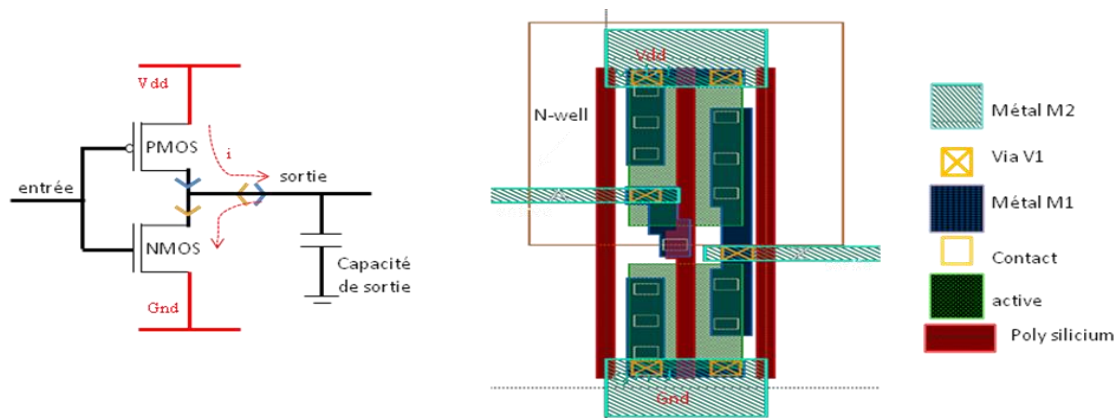


Figure 2-5 : Structure d'un inverseur

Sur le dessin physique, on observe que les couches de métal M1 et M2 sont interconnectées par des vias V1. Les contacts (en poly silicium) servent à connecter la couche de métal M1 aux différents transistors situés dans la partie active.

a. Le réseau d'alimentation électrique d'une cellule standard

Le réseau d'alimentation électrique est composé de lignes d'alimentations (Vdd et Gnd). Prenons l'exemple d'un inverseur plus complexe, composé de six (6) transistors NMOS et PMOS représenté par la Figure 2-6. Le réseau d'alimentation est reparti sur deux couches de métal à savoir le M1 et M2. Le réseau d'interconnexions de la couche M1 est en forme de peigne. Il est essentiellement composé de lignes à petites dimensions interne aux cellules (intracellulaires). Ce réseau est utilisé pour l'alimentation directe des transistors situés dans le substrat par les contacts. Une série de via V1 relie la couche M1 à la couche supérieure M2, composée de lignes plus larges et plus longues.

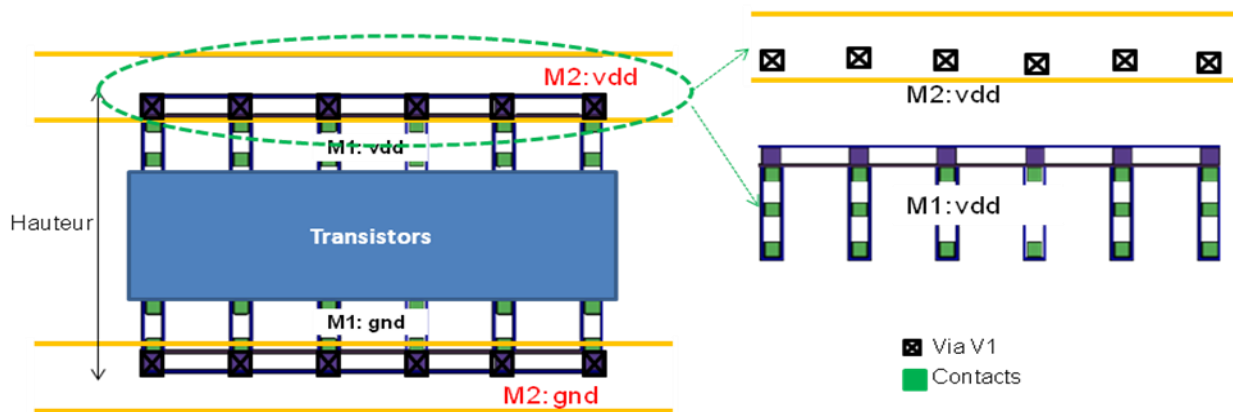


Figure 2-6 : Exemple de grille d'alimentation d'un inverseur

Afin de permettre le placement automatique des cellules standards et le routage des interconnexions entre elles, chaque cellule a une hauteur fixe. Cela, de manière à ce qu'elles puissent être mises en forme par rangées et partager les mêmes rails d'alimentation avec d'autres cellules. La structure de ces cellules standards facilite les connexions naturelles pour les lignes d'alimentation de chaque rangée par les lignes de la couche de métal supérieure.

b. Le réseau signal d'une cellule standard

Le réseau signal d'une cellule standard est composé de lignes reliant les transistors entre eux. Ces lignes sont principalement localisées sur la couche de métal M1 et sont reliées aux signaux d'entrée (données et horloge) et de sortie par des vias V1 comme illustré par la Figure 2-7. Les

interconnexions du réseau signal assurent la communication entre les transistors d'une même cellule et avec l'extérieur.

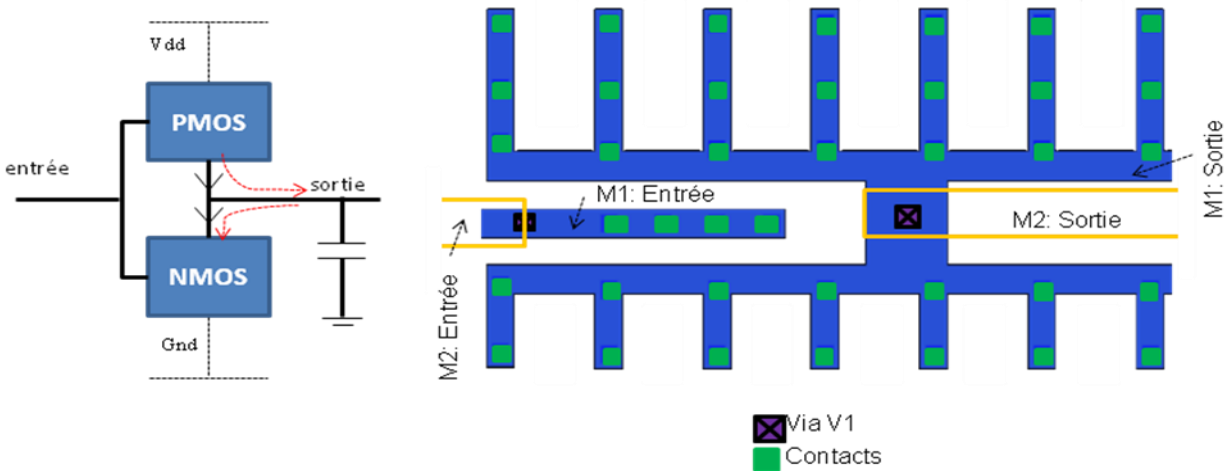


Figure 2-7 : Réseau signal d'un inverseur

2. Les blocs fonctionnels

Les blocs fonctionnels sont des circuits intégrés conçus pour une tâche bien déterminée. Ces tâches vont de la simple opération arithmétique au traitement de données plus complexes telles que le traitement de signal.

a. La composition des blocs

Les blocs fonctionnels sont composés de cellules standards placées sur les rails d'alimentation et interconnectées entre elles. La Figure 2-8 illustre la disposition des cellules standards dans une grille d'alimentation d'un bloc fonctionnel. Les lignes d'interconnexions sont disposées en alternant les lignes d'alimentation et de masse sur une même couche.

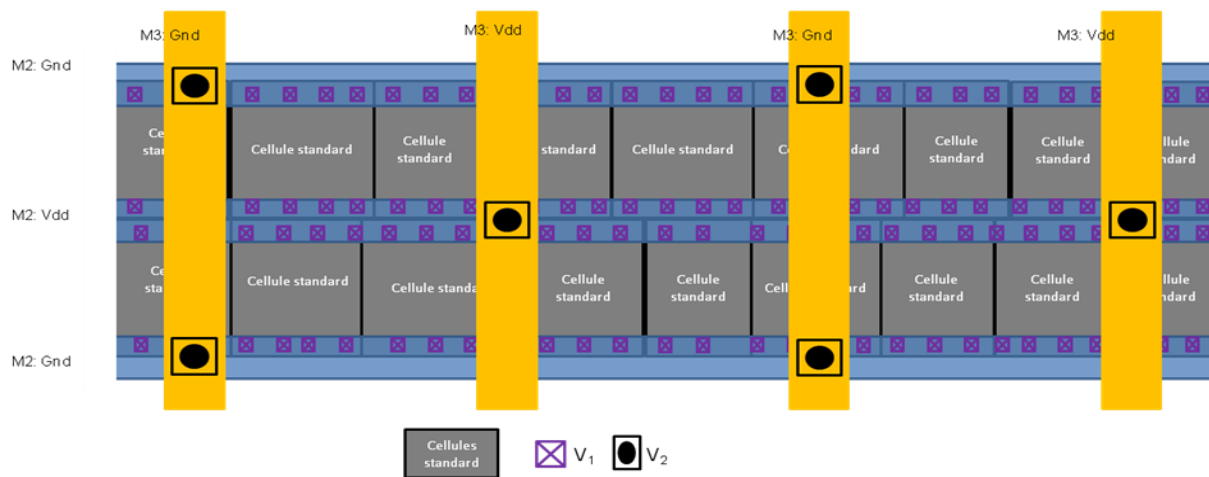


Figure 2-8 : Bloc fonctionnel

b. Réseaux d'interconnexions

Les réseaux d'interconnexions d'un bloc fonctionnel, sont composés essentiellement de longues interconnexions et destinées au transport de données, d'alimentation et d'horloge entre les blocs fonctionnels. Compte tenu de l'augmentation du nombre de composants actifs dans les circuits intégrés, les lignes des réseaux d'interconnexions sont réparties sur des couches métalliques empilées les unes sur les autres [De RIVAZ S., 2011]. Les orientations des lignes sont alternées d'une couche à une autre. Par exemple, si pour la couche M2, les lignes sont disposées de manière horizontale, celles de M3 seront verticales et ainsi de suite. Ces couches sont connectées les unes aux autres par des vias inter-niveaux. L'exemple de la Figure 2-9 représente une vue en coupe d'un réseau d'interconnexion de 12 niveaux de métal.

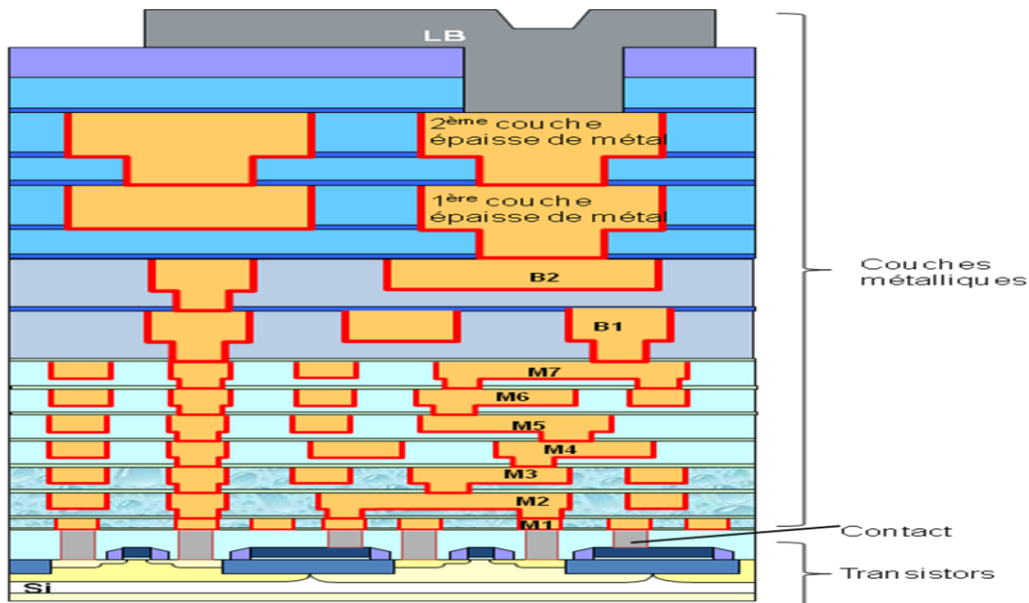


Figure 2-9 : Les différents niveaux de métallisation en 28 nm

Les éléments actifs dans le substrat sont connectés aux couches de métal par des contacts en polysilicium.

3. Les enjeux de la fiabilité dans les circuits intégrés

Les circuits intégrés sont utilisés au quotidien, ce qui nécessite une qualité de fonctionnement irréprochable. Pour cela ils doivent être conçus de manière fiable et exécuter normalement les tâches qui leur sont assignées. L'électromigration (EMG) qui est un des phénomènes de fiabilité due à la miniaturisation des circuits intégrés doit être anticipée, au fur et à mesure de l'évolution des nœuds technologiques. Comme nous l'avons vu au chapitre 1, ce phénomène s'attaque principalement aux lignes d'interconnexions, or celles-ci servent à relier les différents

composants contenus dans les circuits intégrés. Ainsi la fiabilité du circuit ne tient qu'à un fil pourrait-on dire, car la défaillance d'une interconnexion peut entraîner celle de la puce entière. Un composant est dit défaillant lorsqu'il ne satisfait pas ou partiellement les spécifications du cahier de charges en termes de performances électriques et fonctionnelles. Dans un circuit intégré, la notion de défaillance de la puce dépend de l'ensemble de ses composants élémentaires. Alors la probabilité de défaillance de la puce est liée à celle de chacun des éléments qui la composent. En théorie, lorsqu'on suppose $F_i(t)$ la probabilité de défaillance de l'élément i à un temps donné (t), la probabilité cumulée des défaillances de la puce entière (F_{puce}) est calculée par application de l'Équation 2-1. Avec k le nombre d'éléments contenus dans la puce susceptible à une potentielle défaillance.

$$F_{puce}(t) = 1 - \prod_{i=1}^k (1 - F_i(t))$$

Équation 2-1 : Probabilité de défaillance d'une puce.

En ce qui concerne les défaillances dues à l'électromigration, le calcul de probabilité des défaillances est basé sur les défaillances des interconnexions élémentaires. Une ligne est dite défaillante lorsqu'elle est incapable d'assurer correctement la transmission de données entre deux composants actifs ou l'alimentation d'une cellule standard. Cette défaillance peut être une rupture totale ou une dégradation partielle de la ligne altérant la transmission des signaux électriques entre les blocs fonctionnels.

III. Méthodes de validation EMG des dessins (layout) de circuits intégrés

La prévention au niveau de la phase de conception reste le moyen le plus efficace pour anticiper de potentielles défaillances dans le produit final. Durant la phase de développement d'un nouveau produit, les concepteurs s'assurent du respect des spécifications contenues dans le manuel des règles de conception appelé DRM (pour Design Rules Manual). Le but est d'évaluer les risques de défaillances des circuits intégrés à partir des modèles en simulant des conditions de fonctionnement du circuit. Pour cela, une série d'étapes sont à effectuer afin de valider la résistance des circuits intégrés face aux effets EMG.

1. Stratégie de validation des circuits vis-à-vis de l'EMG

Sachant que les puces sont composées de plusieurs éléments, le comportement de chacun d'eux peut être différent face à une défaillance. Cependant, la validation des risques EMG peut se faire de plusieurs manières, entre autre l'approche plane (flat) et l'approche hiérarchique.

a. L'approche plane (flat)

L'approche plane (flat) consiste à valider un circuit à partir du niveau haut (top) en descendant à l'intérieur des cellules standards ou blocs fonctionnels. Pour des circuits complexes avec de nombreux composants, il est très difficile de disposer d'assez de ressources informatiques pour réaliser ce genre d'analyse et les temps de simulation sont plus longs.

b. L'approche hiérarchique

Elle consiste à valider individuellement chacun des blocs fonctionnels contenus dans un circuit. Le but de cette approche est de garantir la fiabilité dans chacun des composants afin d'obtenir un système entièrement robuste face à l'EMG [M. Brière, 2005]. En pratique le flot de validation peut être soit ascendant ou descendant.

i. *Flot ascendant*

Le flot ascendant consiste à commencer l'analyse à partir des composants élémentaires situés au niveau bas vers les niveaux supérieurs c'est-à-dire des composants élémentaires vers les blocs/systèmes entiers. Cette stratégie permet d'aller du simple au plus complexe, mais nécessite la connaissance des conditions de fonctionnement du circuit final.

ii. *Flot descendant*

Quant au flot descendant, il consiste à commencer la validation depuis les niveaux supérieurs jusqu'aux éléments actifs au niveau inférieur. Les travaux de recherches effectués ([L. Zhihong et al, 2006] et [L. Guo et al, 2008]) montrent les avantages qu'apporte cette stratégie. Le plus important est d'appliquer les mêmes conditions de fonctionnement à tous les composants du circuit. Pour cela, on remplace les autres blocs fonctionnels par des composants virtuels dans la structure du circuit intégré, on simule le comportement du bloc dont on veut analyser le comportement.

Quel que soit le flot, le principe du processus de validation se résume en trois (3) grandes parties que sont, l'identification, l'analyse et la correction de lignes vulnérables.

2. Processus de vérification des risques EMG

La vérification de la fiabilité des circuits intégrés durant la conception est réalisée par des outils de conception assistée par ordinateur (CAO). L'utilisation des outils de simulation permettant de détecter l'EMG n'est pas une idée nouvelle, comme l'atteste les nombreuses recherches depuis plusieurs décennies afin de prédire les taux de défaillance des circuits due à l'EMG ([FROST D.F et al, 1989], [LIEW B.K., 1992]). Ces outils permettent un traitement rapide et efficace de l'ensemble des lignes d'un réseau d'interconnexions. Le processus de validation suit un ensemble d'étapes allant de la modélisation des schémas électriques à la détection des risques de défaillance ([J.J. Clement, 2001], [H. Ceric et al, 2009] et [S. M. Alam et al, 2004]). Le but est de calculer la quantité de courant dans chaque ligne d'interconnexion. Le principe est basé sur la loi d'ohm (Équation 2-2) permettant d'exprimer le courant en fonction de la résistance (R) de la ligne et de la tension (V) électrique qui y circule.

$$V = R * I \Rightarrow I = \frac{V}{R}$$

Équation 2-2 : Loi d'ohm

Dans cette expression du courant, l'inconnue dans le cadre d'une vérification de fiabilité est la résistance (R) de la ligne. Pour cela, nous allons procéder à une série d'opérations sur le schéma électrique du circuit à valider.

3. Extraction du réseau d'interconnexion RC

a. Le principe

Une fois les dessins physiques du circuit terminés, l'extraction des informations précises du circuit permet de vérifier que l'implémentation (placement et routage) s'est bien déroulée. Elle permet également de caractériser chaque segment d'interconnexion par sa résistance (R) électrique, sa capacité (C) parasite (de couplage et de masse) équivalentes et ses coordonnées (X, Y) de localisation dans le circuit. Comme le montre la Figure 2-10, le réseau d'interconnexion est subdivisé en segments délimités à chaque extrémité par des points de croisement.

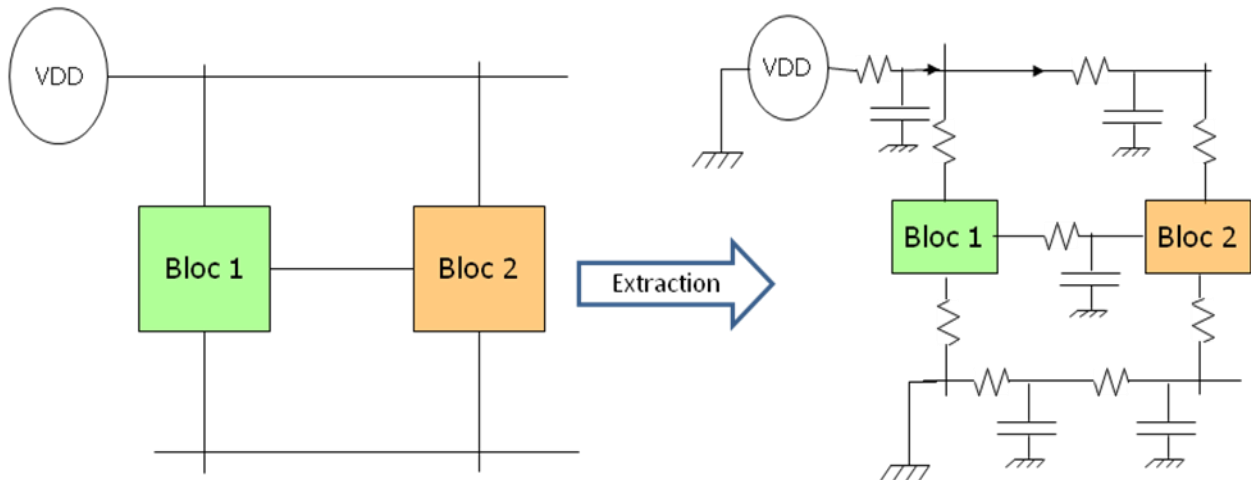


Figure 2-10 : Exemple d'un réseau RC des lignes d'interconnexion.

Le but de la modélisation des interconnexions est de paramétrer le banc de test de simulation. Les modèles générés par cette extraction, sont utilisés pour les analyses de délais et la consommation électrique des composants

i. La résistance (R) des interconnexions

La résistance d'une ligne dépend de la résistivité (ρ) du métal utilisé et de la géométrie (longueur (L), de largeur (w) et de l'épaisseur (h)) de la ligne comme le montre la Figure 2-11. L'épaisseur dépend du nœud technologique.



$$R = \rho \frac{L}{wh}$$

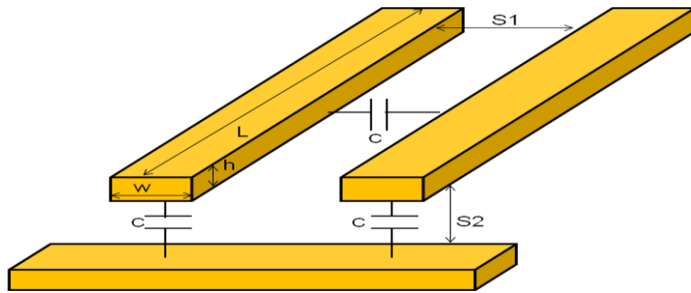
Figure 2-11 : Détermination de la résistance d'une ligne --- Équation 2-3 : Expression de la résistance

La longueur et la largeur des lignes sont liées à la structure des circuits intégrés. Elles varient en fonction de leurs emplacements et de leurs fonctionnalités dans le circuit.

ii. Capacité de couplage (C)

Une capacité de couplage, encore appelée capacité de diaphonie, est une capacité équivalente qui représente le couplage électromagnétique entre deux conducteurs [G. Avot, 2003]. Le couplage capacitif qui existe entre les lignes d'interconnexion est un phénomène difficile à prendre en compte, car il dépend à la fois des positions relatives des lignes, et de l'activité électrique sur celles-ci. La capacité de couplage est fonction de la permittivité du vide (ϵ_0), de la permittivité relative (ϵ_r), de la longueur de la ligne (L), de la largeur (w), de l'épaisseur (h) et de

l'espacement entre deux lignes voisines (S1 et S2). La Figure 2-12 résume les différents paramètres à prendre en compte dans la détermination de la valeur de la capacité



$$C = \epsilon_0 \epsilon_r \frac{Lh}{S}$$

Figure 2-12 : Détermination de la capacité de couplage (C) Équation 2-4 : Expression de la capacité

Ces informations seront ensuite utilisées pour calculer la consommation électrique des composants, ainsi que les délais de transmission des signaux entre les différents composants.

b. Les outils d'extraction du réseau RC

Les outils d'extraction utilisent les dessins de circuits et les modèles physiques contenant les caractéristiques du circuit [P. Renault, 2003]. Le mode d'extraction varie en fonction du réseau d'interconnexions à analyser et du type d'analyse. L'extraction aboutit à la génération de plusieurs données permettant l'identification des segments d'interconnexions suivant les couches de métal. Les fichiers issus de l'extraction sont réutilisables par les outils de calcul de délais et de courant.

4. Paramètres clés du calcul du courant

Certains paramètres tels que le régime de fonctionnement, les pentes de signaux d'entrée, la fenêtre de simulation et les vecteurs de test peuvent influencer la quantité de courant circulant dans les interconnexions. De plus la précision des résultats de simulation dépend du choix des modèles et des conditions utilisées dans les outils de simulation.

a. Régime de fonctionnement des transistors

La consommation électrique d'un circuit est fortement dépendante des composants élémentaires qui le composent [T. Chawla, 2010]. En effet, tous les transistors appartenant au même bloc fonctionnel, ont le même courant d'activation (I_{ON}). Toutefois, il peut y avoir des variations de l'amplitude du courant entre les types de transistors (PMOS et NMOS) dues aux variations dans les procédés de fabrication. La combinaison de ces transistors affecte de plusieurs manières les performances des cellules et blocs fonctionnels. Sur la Figure 2-13, le courant d'activation du

transistor NMOS est exprimé en fonction de celui du PMOS. On distingue deux types de combinaisons :

Mêmes courants d'activation pour les transistors PMOS et NMOS

Déséquilibre entre les courants entre PMOS et NMOS.

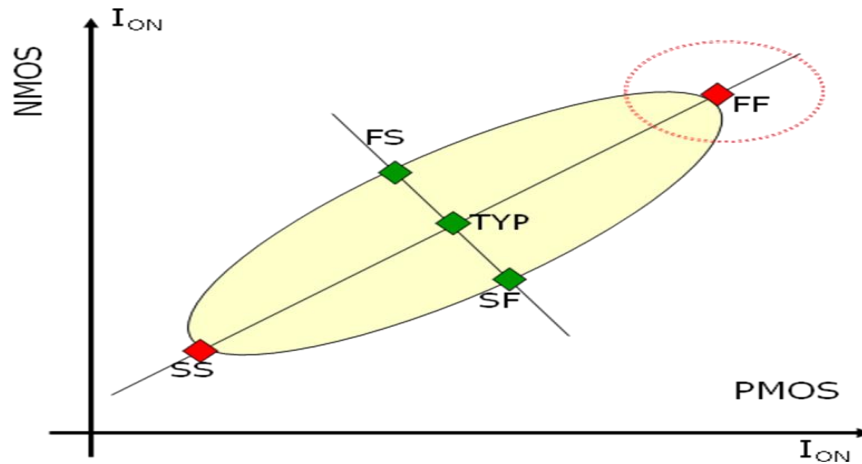


Figure 2-13 : Régimes de fonctionnement des transistors

Dans le cas de l'association des transistors ayant des courants d'activation différents, on distingue :

- Le régime Slow-Fast (SF) pour slow NMOS & fast PMOS: caractérisé par une basse consommation du transistor NMOS et une forte consommation du PMOS.
- Le régime Fast-Slow pour FS fast NMOS & slow PMOS: forte consommation de NMOS et basse consommation du PMOS.

En ce qui concerne les cas d'association de transistor ayant les mêmes courants I_{ON} , on distingue :

- Le régime Slow-Slow (SS) pour Slow NMOS & Slow PMOS, responsable de la consommation électrique basse.
- Le régime Fast-Fast (FF) pour Fast NMOS & Fast PMOS : la consommation est élevée dans cette configuration.
- Le régime nominal (TYP) : les types de transistor (NMOS et PMOS) ont une consommation nominale.

Afin de se prémunir des variations dues aux procédés de fabrication, la vérification des risques EMG se fait en prenant les pires conditions de fonctionnement du circuit, c'est-à-dire en FF (fast-fast). Cela peut être pessimiste, mais l'idée est de s'assurer de la résistance du circuit dans

les pires conditions de fonctionnement. Donc par déduction, on valide le comportement dans les autres régimes car en se mettant dans les conditions moins sévères, le risque encouru est d'être trop optimiste et donc de s'exposer aux risques de défaillances dans les pires cas.

b. La tension (V)

La tension de seuil des transistors baisse au fur et à mesure de l'évolution des nœuds technologiques comme le prévoit les données d'ITRS représentées dans la Figure 2-14. Par contre même si la consommation des transistors pris individuellement baisse, leur nombre dans les cellules ne cesse d'accroître compte tenu de la miniaturisation. En conséquence la quantité de courant total transportée dans les lignes augmente.

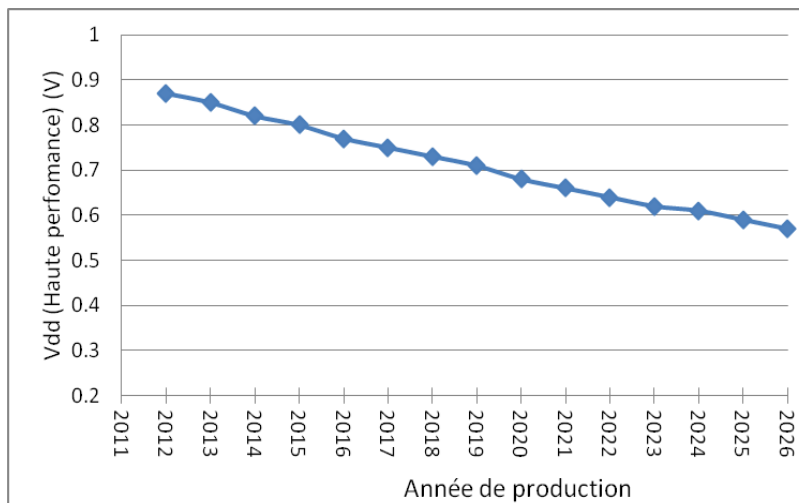


Figure 2-14 : Tendence ITRS des tensions au fur des années

c. Température

La plupart du temps, les composants sont caractérisés à des températures comprises entre -40°C et $+125^{\circ}\text{C}$. Nous avons vu au chapitre 1, l'impact de la température sur les effets de l'EMG. Dans la logique des pires conditions, nous avons réalisé la plupart de nos simulations à des températures de 125°C . Ensuite nous avons ajusté les taux de risques de défaillance aux autres températures à l'aide des facteurs d'ajustement.

d. La pente d'entrée/ sortie

Dans les circuits numériques, les changements d'états des portes logiques se font de manière quasi-instantanée. Le temps de ce changement d'état est lié à l'amplitude de la tension de chaque porte comme le montre la Figure 2-15 représentant un signal d'entrée d'une porte logique. La

transition entre deux états logique (0 et 1) lors du front montant est appelée pente d'entrée du signal. Cette pente a un impact sur la consommation électrique des portes.

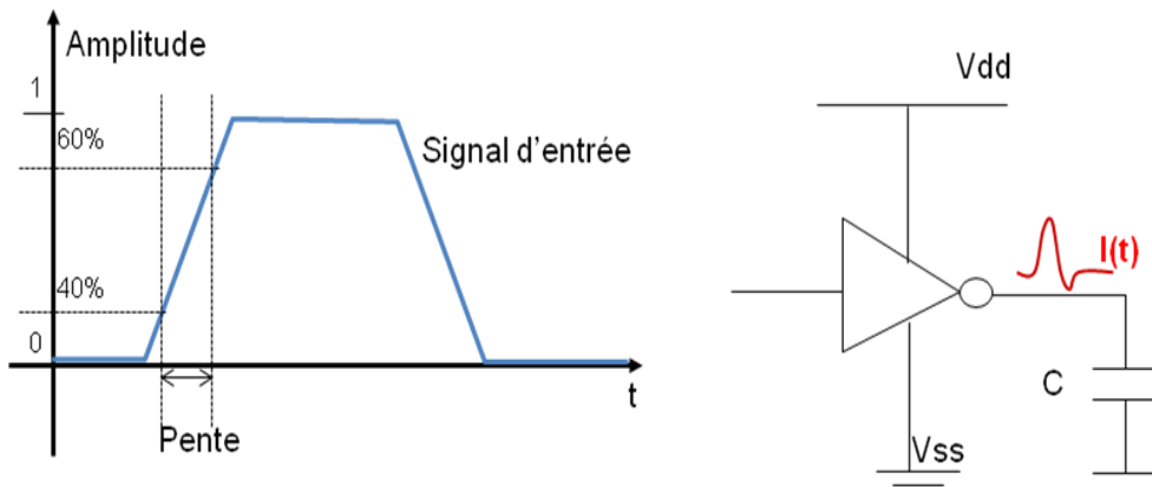


Figure 2-15 : Impact de la pente du signal d'entrée sur le courant de la cellule

En effet, plus le temps de transition entre deux états est petit, plus la pente est raide et moins la porte logique consomme d'énergie. Afin d'évaluer l'impact des pentes d'entrée des signaux sur le courant dans un cas pratique, nous avons procédé à une série de simulation sur plusieurs échantillons d'inverseurs de différentes tailles. Pour trois (3) différentes pentes (17ps, 33ps et 65ps). Les consommations en courant en fonction des pentes sont représentées dans le graphique de la Figure 2-16 ci-dessous.

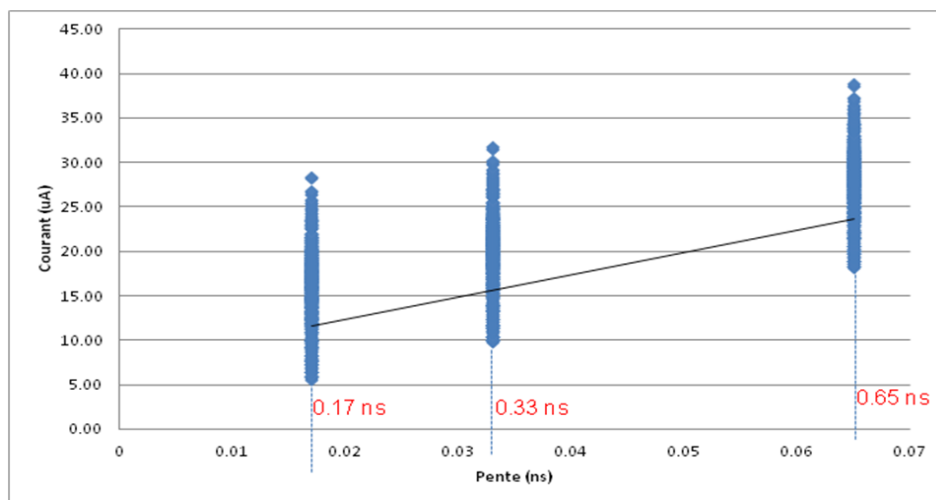


Figure 2-16 : Variation des courants en fonction de la raideur des pentes

On observe une variation linéaire de la consommation électrique en fonction de la raideur des pentes du signal d'entrée. Il faut noter que les capacités de charge de sortie des cellules ont un

impact sur la raideur des pentes des signaux de sortie car plus la pente est grande, plus le composant consomme du courant. Les pentes sont aussi influencées par les capacités de charge de sortie des cellules car plus les capacités de charges sont grandes, plus la pente est grande.

e. Impact de la capacité de charge (C) de sortie des cellules sur le courant

La consommation électrique d'un circuit en technologie CMOS est en partie influencée par la capacité de charge de sortie des portes logiques. La capacité de charge de sortie d'un circuit peut être exprimée en fonction de son courant moyen I_{AVG} , de la tension (V) et de la fréquence (F) comme le montre l'Équation 2-5.

$$C_{\max} = \frac{I_{AVG}}{V * F} \Rightarrow I_{AVG} = C_{\max} * V * F$$

Équation 2-5 : Capacité de sortie d'une cellule en fonction du courant moyen

La capacité de sortie maximum peut être aussi calculée en fonction de son courant efficace I_{RMS} et du taux de basculement (TR) du signal.

$$C_{\max} = \sqrt{\frac{TR}{2}} * \frac{I_{RMS}}{V * F}$$

2-6 : Capacité de sortie d'une cellule en fonction du courant efficace

f. Le taux de basculement (TR) des blocs fonctionnels

La consommation électrique d'un composant est caractérisée par son activité représentée par son taux de basculement. Généralement les taux de basculement des cellules standards sont définis en fonction de leur utilisation (cellule d'horloge ou une cellule de traitement de donnée). La détermination de ce taux tient compte de la fréquence à laquelle le composant sera cadencé dans le fonctionnement du produit final. Ce taux est déterminé en évaluant le nombre de transitions (nbre_transitions) d'un signal pendant une période d'horloge (cycle_Horloge) comme le montre l'expression de l'équation Équation 2-7.

$$TR = \frac{\text{nbre_transition}}{\text{Cycle_Horloge}}$$

Équation 2-7 : Taux de basculement d'une porte logique

Pour les cellules de traitement de données, ce taux est fixé entre 10 à 20%. Cela est dû au fait que ces cellules sont moins sollicitées. Quant aux cellules de l'arbre d'horloge le taux de basculement est très souvent fixé à 200% (monté et descente). La Figure 2-17 illustre des exemples de taux de basculement à 10%, 30% et 200%.

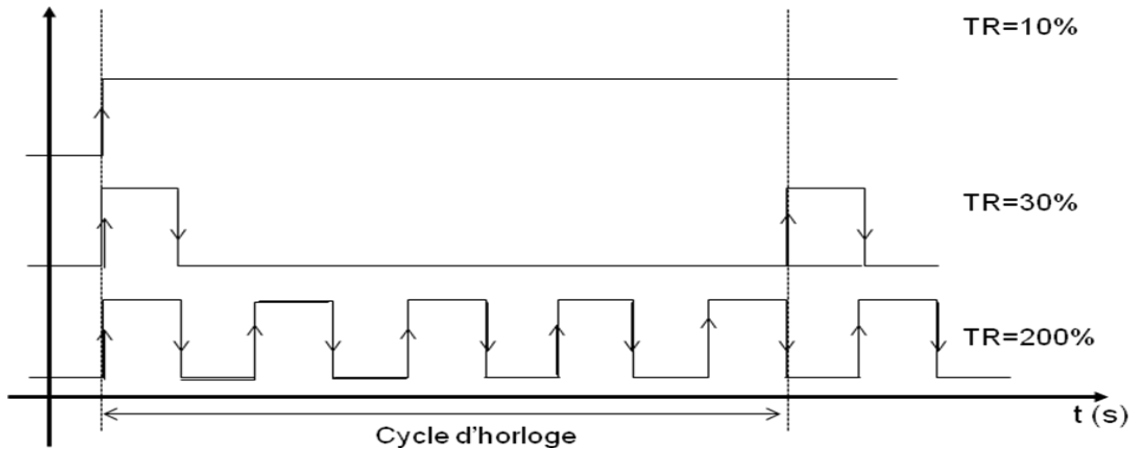


Figure 2-17 : Basculement de signaux durant un cycle d'horloge

5. Calcul de courant

Le but de cette étape est de calculer les quantités de courant circulant dans chaque segment du réseau d'interconnexions pour des conditions spécifiques. Le courant d'un segment de ligne calculé est de la somme de la consommation des composants actifs approvisionnés par ce segment. Les différents types de courants à prendre en compte et résumés dans la Figure 2-18 :

Le courant de fuite : il est dissipé par les cellules lorsque le circuit est inactif ou en mode statique.

Le courant interne : il est dissipé durant la phase de chargement et déchargement des capacités internes des circuits.

Le courant de basculement : Courant dissipé durant la phase de chargement et déchargement des capacités des capacités de sortie des lignes et portes logiques.

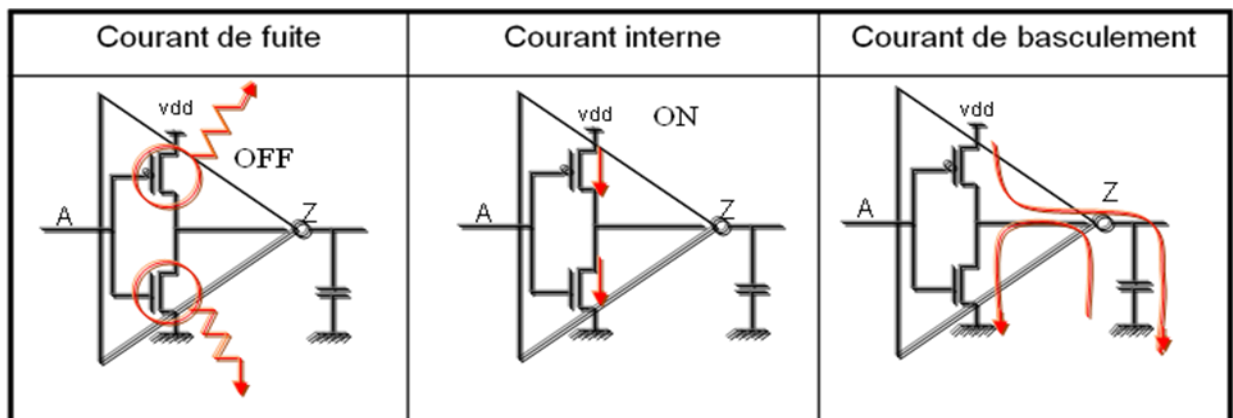


Figure 2-18 : Les différents courants provenant d'une cellule standard

Cependant, on distingue deux principaux types d'analyse qui sont, l'analyse statique et l'analyse dynamique pour le calcul du courant.

a. Analyse statique

Cette analyse se fait sans stimuli selon Blaauw [D.T Blaauw et al, 2003]. Le principe d'évaluation du courant avec ce type d'analyse est basé sur le calcul des courants moyens (I_{AVG}) circulant dans les réseaux d'alimentation électrique. Ce courant moyen est calculé en utilisant l'Équation 2-8 qui intègre l'ensemble des courants $i(t)$ durant le temps minimum (t_{cycle}) entre deux basculements et en fonction du taux de basculement (TR).

$$I_{AVG} = \frac{TR}{t_{cycle}} \int_0^{t_{cycle}} i(t) dt$$

Équation 2-8 : la valeur du courant moyen

Dans la pratique le courant moyen est calculé en fixant le taux de basculement (TR) en fonction de chaque type de cellule standard contenue dans le circuit intégré.

b. Analyse dynamique

L'analyse dynamique est la plus appropriée pour les analyses utilisant le profil de mission du circuit. Elle permet à la fois le calcul du courant moyens (I_{AVG}), du courant efficace (I_{RMS}) et du courant crête-à-crête (I_{PEAK}). L'estimation du courant durant cette analyse nécessite l'utilisation de stimuli contenant les conditions de fonctionnement du circuit. Le courant efficace I_{RMS} est calculé en intégrant le courant $i(t)$ durant le temps minimum (t_{cycle}) entre deux basculements (Équation 2-9). Ce temps peut être le temps d'horloge dans les circuits numériques.

$$I_{RMS} = \sqrt{\frac{1}{t_{cycle}} \int_0^{t_{cycle}} i^2(t) dt}$$

Équation 2-9 : Courant efficace

Généralement le profil du courant s'observe au moment du chargement et du déchargement de la ligne de signal, à la localisation physique de chaque composant actif. Le profil de courant est aussi utilisé pour évaluer le courant crête-à-crête I_{peak} , (Équation 2-10) qui est la valeur maximum du courant sur la durée de l'analyse.

$$I_{peak} = \max |i(t)|$$

Équation 2-10 : Courant crête-a-crête

L'analyse dynamique est lente mais est précise. Elle est utilisée pour la vérification des risques EMG dans tous types de lignes (alimentation et signal).

c. La fenêtre de simulation (temps de cycle)

Le temps de simulation d'un circuit intégré a un impact sur sa valeur de courant moyen. En effet, en se basant sur les expressions des courants moyens (I_{AVG}), plus le temps de cycle est long, plus le courant moyen calculé est faible. L'exemple de la Figure 2-19 représente deux temps de simulation (T_{simu1} et T_{simu2}) obtenus suite à la simulation d'un inverseur. Sur ce schéma, on constate que le nombre de basculement dépend de la durée de simulation. Par conséquent, cela a un impact sur la valeur de courant moyen. Ainsi afin d'avoir des résultats précis de courant moyen, la définition de la fenêtre de simulation est un paramètre important à prendre en compte.

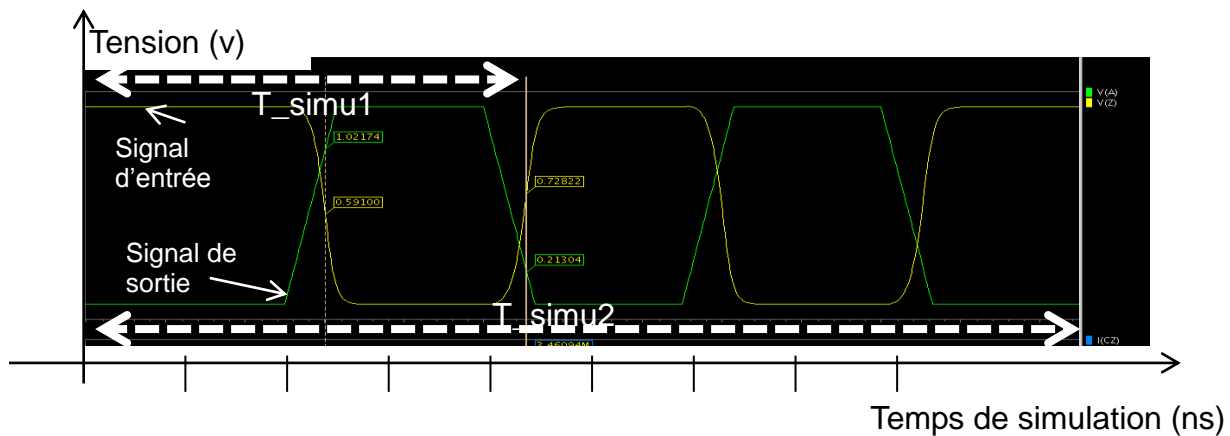


Figure 2-19 : Impact du temps de simulation sur les valeurs de courant.

d. Outils de calcul de courant

Les outils utilisés ont besoin d'un certain nombre d'informations en entrée afin d'évaluer la quantité de courant circulant dans chaque segment d'interconnexion. En effet, en plus des informations relatives aux représentations et modèles physiques, les fichiers les plus importants sont ceux obtenus à la suite de l'extraction du réseau RC. Les conditions de simulation sont quant à elles contenues dans le fichier de stimuli.

6. Détection des interconnexions vulnérables à l'EMG

a. Violation du courant moyen

Dans cette phase, la densité de courant évaluée dans chaque segment est comparée aux règles de courant DRM fournies par les fonderies. Le taux de violation des règles de courant, appelé EMG

ratio est obtenu en divisant le courant calculé (I_{calc}) par le courant limite autorisé par le DRM (I_{DRM}). Ce taux illustré par l'Équation 2-11 est exprimé en pourcentage.

$$EMG \text{ ratio} = \frac{I_{calc}}{I_{DRM}} * 100$$

Équation 2-11 : Taux de violation des règles de courant

Tous les segments ayant un taux (EMG ratio) supérieur ou égal à 100% sont considérés comme à risque. Les segments en violation sont ensuite stockés dans un fichier de rapport avec toutes les informations électriques et topologiques les concernant. Certains outils fournissent une cartographie des résultats de vérification avec des codes couleurs. À partir de ces informations, le concepteur peut calculer la durée de vie (TTF) du segment d'interconnexion. Le TTF est calculé à l'aide du courant I_{DRM} et la durée de vie optimale (TTF_{OP}) correspondante (Équation 2-12).

$$TTF = \frac{I_{DRM}}{I_{calc}} * TTF_{OP}$$

Équation 2-12 : Expression de la durée de vie d'une interconnexion

Sachant que le I_{DRM} circulant dans un segment garantit son fonctionnement au moins jusqu'à la TTF_{OP} , lorsque la quantité de courant calculée dans un segment de ligne est supérieure à la limite autorisée, la durée de vie (TTF) ne dépasse pas la TTF_{OP} . Toute interconnexion ayant une durée de vie (TTF) inférieure à la durée de vie optimale est considérée à risque. En identifiant de manière précoce ces risques de dégradation, le concepteur pourra apporter des corrections appropriées.

b. Violation du courant efficace

La vérification des courants efficaces (I_{RMS}) dans les lignes d'interconnexion a pour but d'éviter toute augmentation de la température par effet Joule. Compte tenu du fait que dans la grille d'alimentation, les courants sont unidirectionnels et il n'y a pas de risque d'effet joule. Ainsi le calcul du courant I_{RMS} est principalement fait dans les réseaux signal, dans lesquels circulent des courants bidirectionnels.

7. Corrections en cas de risque de défaillances

Lorsque le concepteur se rend compte durant les différentes analyses qu'il y a des segments à risque dans un réseau d'interconnexions, il y apporte les corrections nécessaires. Celles-ci peuvent être de plusieurs sortes, entre autre électriques ou structurelles. Les solutions privilégiées au niveau des réseaux d'interconnexions concernent principalement les structures des

interconnexions [I. H. Jiang et al, 2011]. La correction habituelle apportée à une ligne vulnérable aux effets EMG est l'augmentation de la largeur de sa ligne, cela afin de réduire la densité de courant. Une autre correction est le changement de couche vers les couches supérieures qui ont généralement des lignes plus larges, donc la capacité de supporter de forts courants. D'autres solutions concernent le renforcement des vias (Figure 2-20.). Dans ses travaux, Li [B. Li et al, 2005] a montré que le renforcement des vias ou contacts permet de limiter les risques de dégradation d'une ligne, car cela assure la répartition du courant sur plusieurs chemins. Il en résulte alors une réduction du flux d'électrons à la sortie des vias.

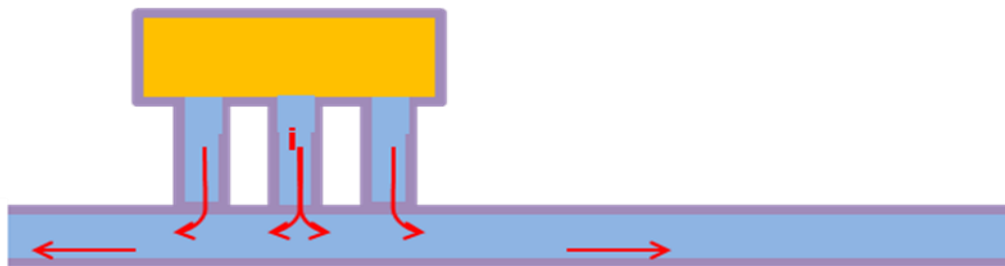


Figure 2-20 : Vue en coupe d'une matrice de vias

De plus, selon Dwyer [V. M. Dwyer et al, 2010], l'apparition des cavités se fait graduellement en fonction du nombre de vias dans les configurations multi vias. Plus le nombre de vias est important, plus la fiabilité du réseau d'interconnexions vis-à-vis de l'EMG est renforcée.

IV. Méthodes de validation proposées dans les publications

Avec l'augmentation des risques d'EMG liée à la miniaturisation des lignes d'interconnexions, les simulations font état de plus en plus de violations des règles DRM. Cela laisse moins de marge de fiabilité lors de la conception des circuits intégrés et nécessite des corrections supplémentaires aux concepteurs. Compte tenu de la complexité des réseaux d'interconnexions, bon nombre de chercheurs s'accordent à dire que les méthodes de vérification actuelles doivent être améliorées.

1. La méthodologie

Compte tenu du nombre de paramètres capables d'influencer la sensibilité d'une ligne à l'EMG, le choix de la méthode d'analyse reste un élément clé dans le processus de validation. L'analyse des dégradations des interconnexions a mis en exergue certains modes de défaillances qui ne sont pas pris en compte par la plupart des outils de vérification. Dans un circuit, chaque composant se comporte différemment face aux défaillances, en fonction de ses spécifications et de la

configuration de son réseau d'interconnexions. Selon les travaux de Guo [J. Guo et al, 2008], le critère de défaillance le plus important est celui qui entraîne la défaillance totale du circuit, ou son fonctionnement hors des spécifications prédéfinies.

a. La probabilité de défaillance d'une puce

Compte tenu du nombre d'éléments contenus dans un circuit, la probabilité de défaillance dans la puce entière reste une notion à éclaircir. À ce sujet, Li [B. Li et al, 2011] répond qu'il est compliqué de déduire la défaillance de la puce entière à partir de la défaillance d'un composant élémentaire. Selon lui, il faudrait procéder par regroupement d'éléments du fait de la quantité d'éléments d'interconnexions contenues dans les puces et le nombre élevé de facteurs d'impact sur l'EMG. Ce regroupement est fait en fonction des données topologiques, de la configuration du réseau d'interconnexions et de la densité de courant. Pour cela il définit F_j la probabilité de défaillance d'un group j . M_j est le nombre total de groupe j contenu dans une puce. La probabilité de défaillance de la puce (F_{puce}) est ensuite déterminée à partir de l'Équation 2-13 en fonction de la probabilité de défaillance de chacun des groupes le constituant.

$$F_{puce}(t) = 1 - \prod_{j=1}^{M_j} (1 - F_j(t))$$

Équation 2-13 : Expression améliorée de la probabilité de défaillance d'une puce

De plus l'introduction l'introduction du concept de classification des composants par group de risques de défaillance EMG, permet selon Li de couvrir la fiabilité sur tous les niveaux de la puce. Quant à Haznedar [H. Haznedar et al, 2006], il propose dans ses travaux, une méthode basée sur une approximation linéaire d'équations différentielles décrivant la migration des atomes métalliques comme un système de fluide de gaz. Sa méthode considère les segments de lignes délimités à chaque extrémité par des vias comme de simples objets susceptibles d'avoir une défaillance.

b. La loi des nœuds

Nous avons vue au chapitre 1 que les règles de courant étaient générées à partir de structures de test représentant un segment isolé. La réalité est que dans un réseau d'interconnexions, les segments de lignes ne sont pas isolés, mais interagissent les uns avec les autres. Cependant ces interactions ne sont pas prises en compte par certains outils de simulation actuels. C'est pourquoi, certains chercheurs tels que Park [Y.J. Park et al, 2006] et Chen [X. Chen et al,

2012] proposent d'utiliser la loi des nœuds dans les points d'intersection des lignes. En supposant que le volume du nœud interne connecté à plusieurs segments de lignes est très petit pour accumuler des quantités de matière. La loi de conservation stipule que la somme de la quantité de matière (entrant et sortant du nœud) est nulle. Dans l'exemple de la Figure 2-21, les points d'intersection de plusieurs segments de longueur (L) et ayant chacun un courant (I). L'idée est d'introduire des facteurs de conversion des densités de courant moyen (j_{avg}) pour obtenir de nouvelles variantes appelées densité de courant effective (j_{eff}). Ces facteurs sont définis à partir des propriétés topologiques des segments issus d'une même intersection.

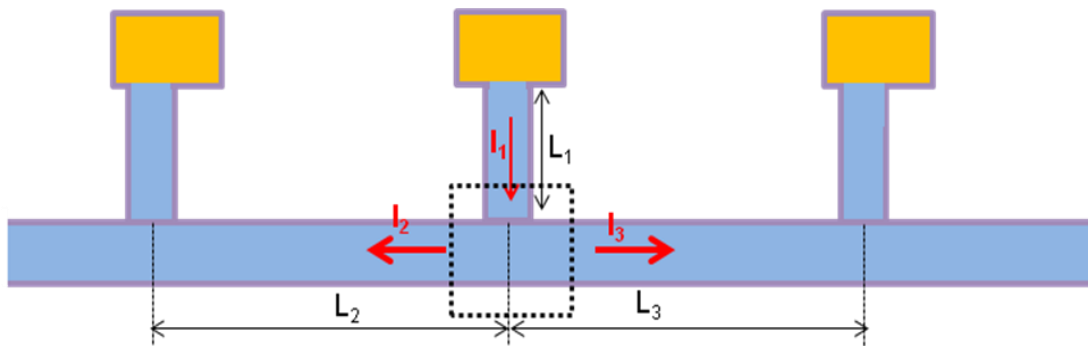


Figure 2-21 : La méthode des nœuds

Le facteur lié à la longueur de la ligne (F_L) est déterminé en divisant la longueur élémentaire (L) de la ligne par la longueur maximale (L_{max}) de ligne appartenant au même nœud: $F_L = L/L_{max}$.

Le facteur de largeur (F_W) est déterminé par le quotient de la largeur élémentaire (W) de la ligne et la largeur minimum parmi les lignes du même nœud (W_{min}): $F_W = W_i / W_{min}$.

Et le dernier facteur (F_B) est lié aux interactions des lignes. Elle dépend de la diffusion des atomes au niveau des croisements. En effet, si la diffusion des atomes est parfaitement continue à travers le via, la valeur du facteur d'interaction est égale à 1, sinon elle est comprise entre 0 et 1 ($0 < F_B < 1$).

Ainsi, la densité effective (j_{eff}) de chaque segment est calculée en utilisant ces facteurs de conversion et la densité de courant moyen (j_{avg}) comme illustré dans l'Équation 2-14. Celles-ci s'additionnent pour former la densité effective totale du nœud ($j_{eff.div}$): $j_{eff.div} = \sum (j_{eff})$.

$$j_{eff} = F_L * F_w * F_B * j_{avg} \Rightarrow j_{eff .div} = \sum j_{eff}$$

Équation 2-14: Calcul de densité de courant effective

Une densité de courant limite (j_{spec}) est spécifiée au préalable durant la phase de qualification. Elle est ainsi utilisée durant la phase de détection des risques EMG. Toute violation de cette limite signifie un risque d'exposition EMG.

c. Les conditions de simulation des dégradations due à l'EMG

Nous avons vu que les risques EMG étaient vérifiés de manière hiérarchique depuis les cellules standards jusqu'au niveau système. La question qui se pose est celle des conditions de simulation pour les différents composants de la puce. Selon Jain [P. Jain et al, 2012], les conditions de validation dans les cellules standards pris individuellement sont restrictives. En effet Jain a observé que les conditions dans lesquelles, ces cellules étaient caractérisées n'étaient pas réalistes, donc cela empêchent les concepteurs d'exploiter les potentialités des cellules. Il propose d'utiliser les conditions de vérification au niveau système et de l'appliquer à tous les composants contenus dans le même circuit. Cela a été confirmé par Chow [K. Chow et al, 2006], qui propose dans ses travaux les mêmes conditions de vérification pour tous les composants d'un même circuit.

d. Dispositif d'auto guérison

Afin d'éviter l'élargissement des pistes en cas de risques de dégradation à l'EMG, Abella [J. Abella, et al, 2008] a mis en place une technique exploitant les propriétés des lignes bidirectionnelles. Sachant que les lignes d'alimentation et de masse dans un réseau d'interconnexions sont identiques, Abella propose un dispositif permettant d'inverser les sens de courant durant la période de maintenance du circuit (Figure 2-22). En effet ces deux grilles (alimentation/masse) conduisent presque les mêmes quantités de courant dans des directions opposées. L'injection de quantités identiques de courant dans le sens inverse devrait pouvoir ramener les atomes métalliques à leur emplacement initial.

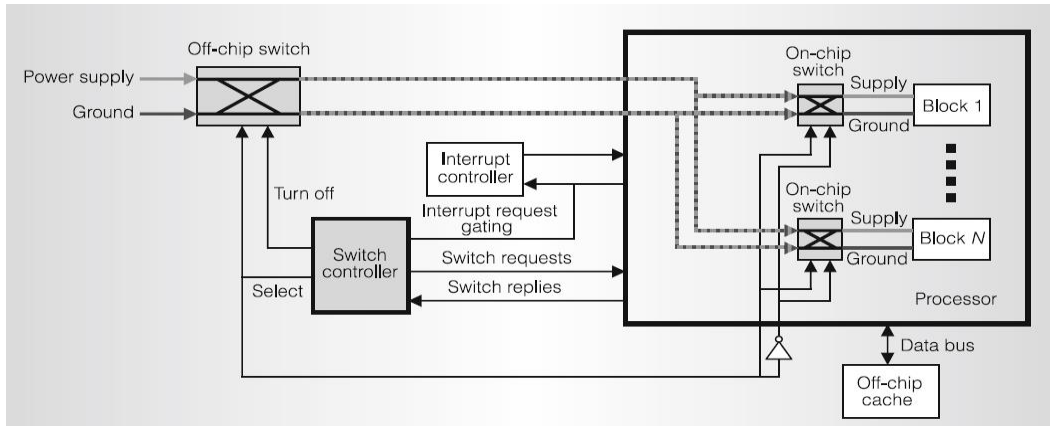


Figure 2-22 : Dispositif de prévention d'effet de dégradation EMG [Abella J., et al, 2008]

Afin d'éviter que cette opération n'ait des impacts sur l'intérieur du circuit, il faut juste s'assurer que les blocs fonctionnels sont toujours proprement connectés à l'alimentation et à la masse. Il faut aussi que la communication entre le processeur et les autres modules ne soit jamais perdue. Pour la mise en place de ce mécanisme, il faut un contrôleur pour décider à quel moment commuter les deux grilles. Ce contrôleur est composé de registres implémentés sur une mémoire non volatile permettant de connaître la quantité de courant fourni durant une certaine période. Lors de la réparation d'une piste d'une interconnexion, on est obligé de rendre indisponible cette interconnexion pour toute autre opération ; cette indisponibilité peut être utilisée pour réparer les autres pistes (même si elles sont en-dessous du seuil de défaillance). Cette méthode est applicable aux circuits de faible puissance. En effet, le dispositif nécessite plus de place pour les fortes puissances et cela est contraire à la miniaturisation, à conditions de ne le mettre en place que pour les lignes sensibles. L'utilisation d'un tel dispositif fait débat dans la mesure où la réparation des lignes par inversion de courant n'est valable que pour les courants continus selon Lee [K.D. Lee et al, 2012]. En effet, dans ses travaux, il a montré que lorsqu'il s'agit d'un courant alternatif circulant dans une ligne, la guérison n'est pas totale en inversant le sens du courant. Il estime que le taux de lignes guéries est entre 70 à 90%.

2. Outils de vérification

En ce qui concerne les outils de vérification, les chercheurs s'accordent à dire qu'il faut des modèles réalistes tenant compte de tous les paramètres clés ayant un impact sur le mécanisme de dégradation EMG. Ceric [H. Ceric al 2008] propose de tenir compte de la tension mécanique dans les outils de vérification. Ce qui est le cas déjà dans certains outils avec l'implémentation de l'effet Blech. Quant à Li [Di-an Li et al, 2012], il propose un outil capable de calculer les

courants individuels de vias composants une matrice de vias comme dans l'exemple de la Figure 2-23 qui représente une matrice formée de quatre (4) vias.

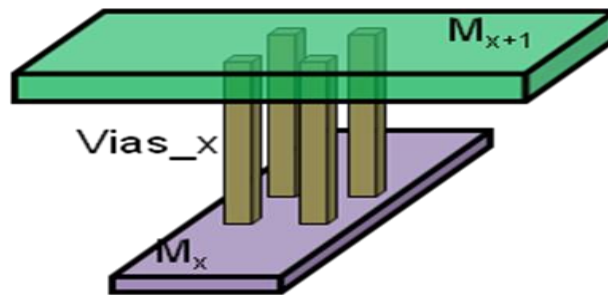


Figure 2-23 : Matrice de via

Dans son outil, il propose un modèle de calcul tenant compte de l'apport de la matrice de via dans le calcul des durées de vie. Cela permet d'autoriser plus de courant dans les lignes, donc de relâcher les limites de courant.

3. Synthèse

Le processus de vérification des risques de dégradation due à l'électromigration est mis en place pendant la phase de conception des circuits. Il est entièrement réalisé à l'aide d'outils de conception assistée par ordinateur (CAO) et des modèles de dégradation. La détection des zones vulnérables se fait en comparant les courants calculés dans les lignes aux règles de courant contenu dans le manuel de conception (DRM). Nous avons vu qu'il existait d'autres facteurs autres qu'électriques qui ont un impact significatif sur le mécanisme de dégradation des lignes. Des recherches sont en cours en vue d'améliorer la précision des résultats donnés à la suite des simulations dans les circuits complexes. Dans le prochain chapitre, nous allons appliquer ces méthodes de vérification sur des circuits intégrés afin d'établir une relation entre les violations des règles électriques et la dégradation physique des lignes. Le but est de proposer des améliorations des outils de validation des circuits face aux risques de dégradation par EMG.

Chapitre 3. Analyse des risques de l'électromigration dans les circuits intégrés

Dans ce chapitre, il est question d'appliquer les méthodes de vérification des risques de défaillance dus à l'électromigration (EMG) dans les circuits intégrés lors de la phase de conception. L'objectif est d'évaluer la criticité des violations des règles de courant dans les lignes en tenant compte des structures des réseaux d'interconnexions. Pour cela nous avons d'une part, réalisé une série de simulations sur différents types de circuits conçus en 32/28nm. D'autre part, nous avons traité et analysé les résultats afin de vérifier l'impact des violations des règles de courant sur la dégradation physique des lignes. Pour cela nous nous sommes basés sur le sens des électrons dans les lignes et sur la configuration des réseaux d'interconnexions des circuits intégrés.

I. Rappel sur le mécanisme de dégradation dans les lignes

Nous avons vu dans le chapitre 1 que l'EMG était fréquent dans les sites de divergence de flux, à savoir les vias et les contacts dans le cas des réseaux d'interconnexions. En se basant sur le sens du courant dans les lignes par rapport aux positions des vias ou contacts, on est à mesure de déterminer les zones exposées aux risques d'une dégradation physique. Lorsque le courant circule de la couche supérieure vers la couche inférieure, le flux d'électrons (e^-) (opposés au sens du courant) remonte, on parle de flux ascendant comme illustré dans la Figure 3-1 (a). La cavité due à l'EMG est par conséquent attendue sur la couche supérieure M_{x+1} à proximité du via V_x . C'est notamment le cas dans les réseaux de lignes d'alimentation électrique (Vdd).

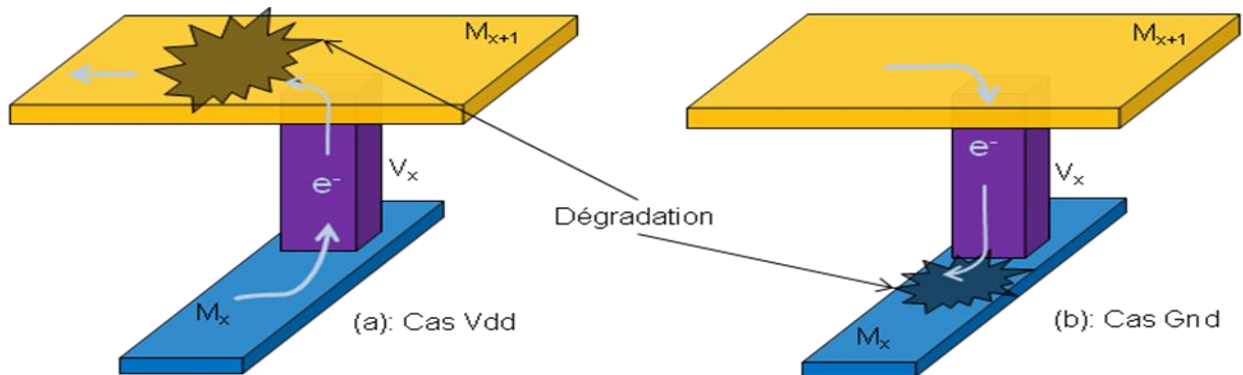


Figure 3-1 : Zones de dégradation EMG - (a) : Flux ascendant - (b) : Flux descendant

Lorsque le courant remonte des couches inférieures d'un réseau d'interconnexion vers les couches supérieures, le flux d'électrons (e^-) est descendant comme le cas de la Figure 3-1(b). La cavité due à l'EMG est attendue sur la couche inférieure M_x à proximité du via V_x . Ces types de défaillances sont rencontrés dans les lignes de masse (Gnd).

II. Vérification EMG dans les cellules standards

1. Vérification des risques EMG

Nous avons étudié les risques EMG sur un panel de cellules standards en technologies 32nm et en appliquant la méthode de vérification vue dans le chapitre 2. Pour cela nous avons défini des conditions de simulation en paramétrant les principaux éléments ayant un impact sur le courant dans une interconnexion. Pour une fréquence de 1 GHz, une tension 1.3 V et une capacité de charge de sortie à 0.28pF, nous avons obtenu les résultats regroupés dans le Tableau 3-1. Ce dernier récapitule les taux de violation maximum (EMG ratio max) dans les grilles d'alimentation pour chaque type de cellule standard. Nous avons étudié différentes structures dans le cas des cellules NAND et IVX_C. ces structures se différencient par le nombre de transistor qui les compose, donc la consommation électrique de ces cellules.

Cellules standards	Nombre de cellules par type	EMG ratio max	
		M1	M2
SDFQ	1	85%	49%
BFX	1	44%	54%
NAND	2	47%	67%
NHLS	1	111%	225%
IVX_C	5	67%	250%
IVX_D	1	55%	300%

Tableau 3-1 : Récapitulatif des cellules standard étudiées.

L'étude des cellules SDFQ, BFX et NAND a montré qu'il n'y avait aucune violation des règles de courant dans les conditions définies pour les différentes simulations. En ce qui concerne les cellules de type NHLS, ce sont des cellules dites de « clock gating ». Elles sont utilisées pour

gérer la commutation involontaire des cellules d'horloges en inhibant le signal d'horloge sur celle-ci; ce qui fait qu'elles ont une consommation élevée. Néanmoins, dans un circuit, ces cellules restent très peu nombreuses par rapport aux autres cellules d'horloge. Ainsi, d'éventuelles corrections sur ces cellules restent à faible impact. Il en est de même pour les cellules de type IVX_D2. Il s'agit d'inverseurs composés de deux rails d'alimentation Vdd ou de masse Gnd, ce qui favorise une bonne répartition du courant. Leur utilisation reste très limitée, de plus des dispositions (lignes larges) sont prises pour renforcer leur résistance aux effets de dégradation EMG. Quant aux cellules de type IVX_C, ce sont des inverseurs et il en existe plusieurs types. Ces cellules sont couramment utilisées dans les arbres d'horloge, elles existent par conséquent en grand nombre dans les circuits intégrés. Nous avons alors choisi de nous concentrer dans cette étude sur ces cellules pour lesquelles, les améliorations auront un impact plus important sur la fiabilité d'un circuit complet.

a. Structure d'un inverseur

Un inverseur est une porte logique conçue à partir de deux types de transistors à savoir PMOS et NMOS connectés les uns aux autres. Le nombre de transistors dépend des performances escomptées en termes de capacité de charge supportable. Pour nos simulations, l'inverseur que nous avons utilisé est formé de 6 PMOS et 6 NMOS capable de supporter de fortes capacités de charge de sortie comme représenté par la Figure 3-2. Sa structure est équivalente à celle de la cellule décrite dans le chapitre 2 paragraphe II-1 et son réseau d'interconnexion est composé de lignes d'alimentation (Vdd), de lignes de masse (Gnd) et de lignes de signal (entrée et sortie).

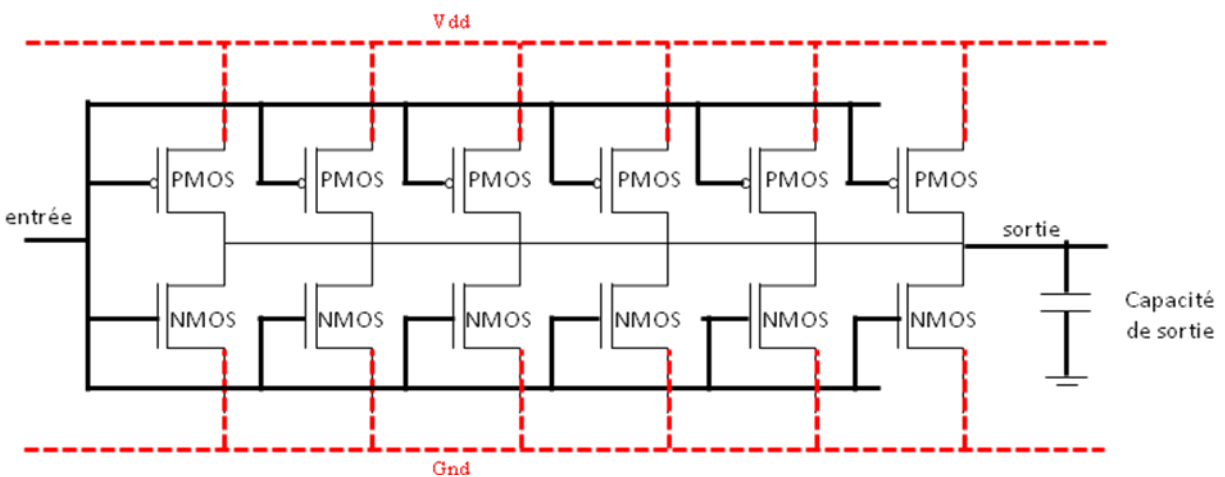


Figure 3-2 : Structure d'un inverseur

b. Le fonctionnement

Le fonctionnement général d'un inverseur est dépendant du comportement des transistors PMOS et NMOS qui le composent. En effet ces deux types de transistors ne réagissent pas de la même façon vis-à-vis des valeurs des signaux d'entrée. Cette différence permet à la cellule de contrôler le chargement/déchargement de la capacité de sortie en fonction du signal à l'entrée. Le Tableau 3-2 ci-dessous résume le comportement de la cellule en fonction des différents états des transistors qui la composent.

Entrée	État PMOS	État NMOS	État capacité de charge
Pas de signal (=0)	Passant (=1)	Bloqué (=0)	Chargement (=1)
Signal (=1)	Bloqué (=0)	Passant (=1)	déchargement (=0)

Tableau 3-2 : Fonctionnement d'un inverseur

En l'absence d'un signal à l'entrée de la cellule, les transistors NMOS restent bloqués, pendant que les PMOS deviennent passants. Ces transistors étant connectés à l'alimentation Vdd, cela entraîne un signal positif à la sortie de la cellule et le chargement de la capacité de sortie. Lorsqu'il y a un signal à l'entrée de la cellule, les PMOS sont à leur tour bloqués et les NMOS passants. Étant donné que les NMOS sont connectés à la masse, cela entraîne une mise à zéro de la ligne de sortie et le déchargement de la capacité de sortie.

2. Impact des conditions de vérification d'une cellule standard

Nous avons mené une série de simulations sur notre inverseur dans le but d'évaluer l'impact des conditions de simulation sur la résistance d'une cellule aux effets EMG. En se basant sur l'expression de la puissance dans l'Équation 3-1, on déduit celle du courant. Parmi, les paramètres nécessaires au calcul du courant, la tension (V) et le taux de basculement (TR) sont fixes. En effet ces paramètres dépendent du nœud technologique et du type de cellules (cellules d'horloge ou de données). Ainsi dans cette étude, nous allons nous focalisés sur l'impact de la fréquence (F) et la capacité de charge de sortie (C) des cellules.

$$P = TR * C * V^2 * F \Rightarrow I = \frac{P}{V} = TR * C * V * F$$

Équation 3-1: Expression du courant

Sachant que la température (T) a un impact sur l'EMG, nous l'avons fixée à 125°C dans le cadre de cette analyse. Les autres conditions de simulations sont résumées comme suit :

- Tension : 1.3V
- Le taux de basculement fixé à TR = 200% (cellules d'horloge)
- La capacité de charge maximale utilisée : variable
- Fréquence de fonctionnement : variable

Ensuite, nous avons appliqué la méthodologie de vérification des risques EMG vue dans le chapitre 2.

a. Résultats

La capacité de sortie est fixée à 50 % de la capacité maximale (max_cap) de la cellule qui est de 0.6 pF. Nous avons réalisé la simulation à trois valeurs de fréquence donnée, à savoir, 1GHz, 1.5GHz et 2GHz. Les résultats obtenus sont représentés dans le Tableau 3-3.

Couche de métal	Type de ligne	1GHz / EM ratio max	1.5GHz / EM ratio max	2GHz/ EM ratio max
M1	Vdd	67.74 %	101.861%	135.816%
	Gnd	76.84%	106.591%	142.146%
M2	Vdd	231.383%	379.049%	504.029%
	Gnd	214.825%	353.744 %	469.652 %

Tableau 3-3 : Impact de la fréquence sur le taux de violation des règles EMG à capacité fixée à 50% de Max_cap

On observe une évolution linéaire du taux de violation en fonction de la fréquence de fonctionnement de la cellule.

Ensuite, nous avons fixé la fréquence à 1Ghz et fait varier la capacité de charge de sortie. Les résultats obtenus sont représentés dans Tableau 3-4.

Couche de métal	Net	30% Max_cap	50% Max_cap	Max_cap
M1	Vdd	40%	67.74 %	130 %
	Gnd	45%	76.84%	150%
M2	Vdd	148.9%	231.383%	503%
	Gnd	129%	214.825%	430%

Tableau 3-4 : Impact de la capacité de charge de sortie sur le taux de violation EMG à fréquence fixée à 1Ghz

Nous avons remarqué que le taux de violation de courant varie linéairement en fonction de la capacité de charge de sortie.

À partir de ces deux tableaux, nous avons résumé les résultats dans le graphe de la Figure 3-3 représentant le taux de violation des règles EMG en fonction des variables étudiées (C et F). On

remarque que la zone d'immunité à l'EMG est très faible et que la cellule ne peut pas être exploitée sans risque de violation.

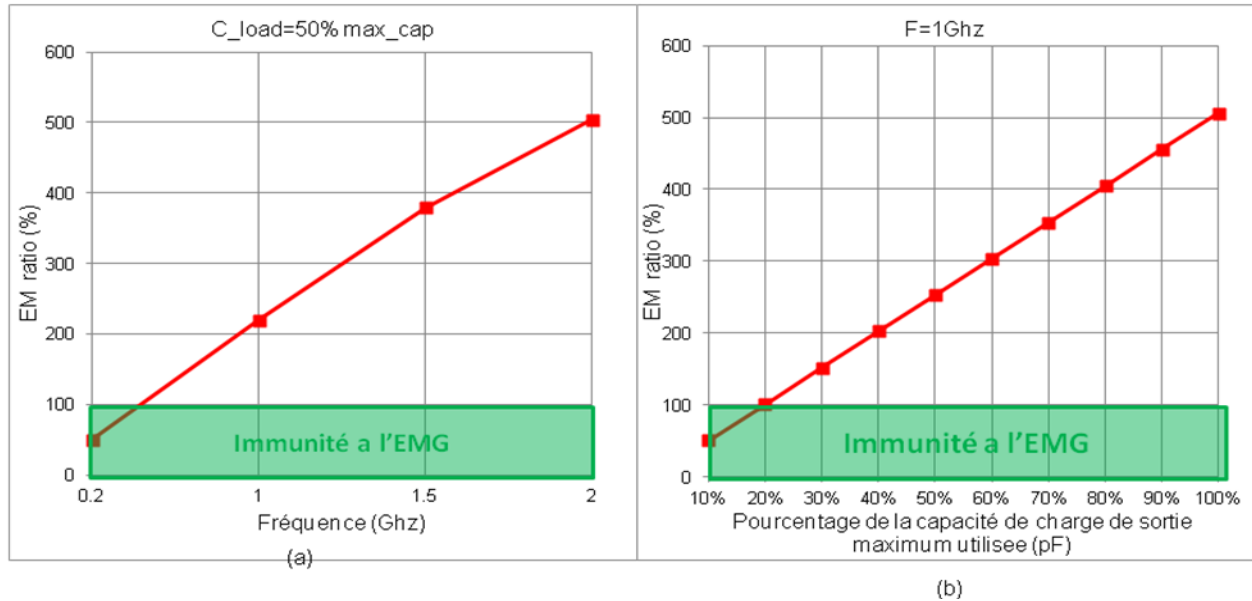


Figure 3-3 : Impact de la capacité de sortie et de fréquence d'une cellule standard sur le taux de violation EMG
L'utilisation de la cellule est fortement limitée par ce couple de paramètres (C et F). Afin de proposer une utilisation sans risque de violation des règles DRM, nous avons établi un abaque représenté par la Figure 3-4 donnant un couple de valeurs formé par la fréquence (F) et la capacité de sortie (C) sur lequel, il faudra faire des compromis.

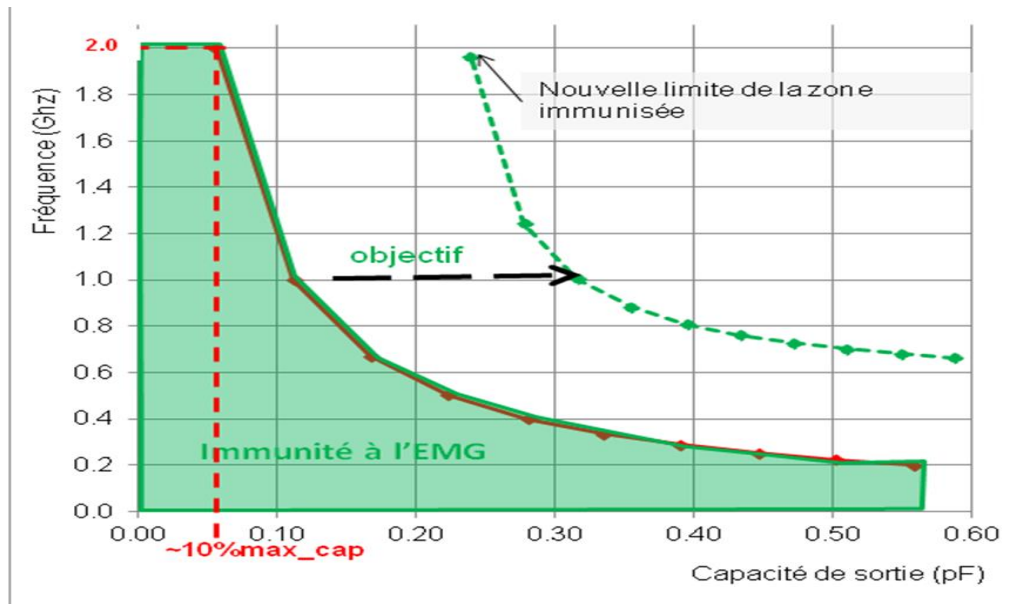


Figure 3-4 : Abaque d'utilisation d'un inverseur en fonction de la fréquence et de la capacité de sortie

b. Synthèse

Cette représentation permet de visualiser dans quelle plage (C, F) la cellule peut être utilisée sans risque de dégradation EMG. En observant cet abaque, nous remarquons que la zone d'exploitation sans risque de violation des règles de courant est restrictive et ne permet pas une utilisation optimale des cellules standards. Par exemple pour pouvoir utiliser notre inverseur à une fréquence de 2 GHz sans violation des limites DRM, il faut limiter la capacité de charge à 0.06 pF soit 10% de sa capacité maximale.

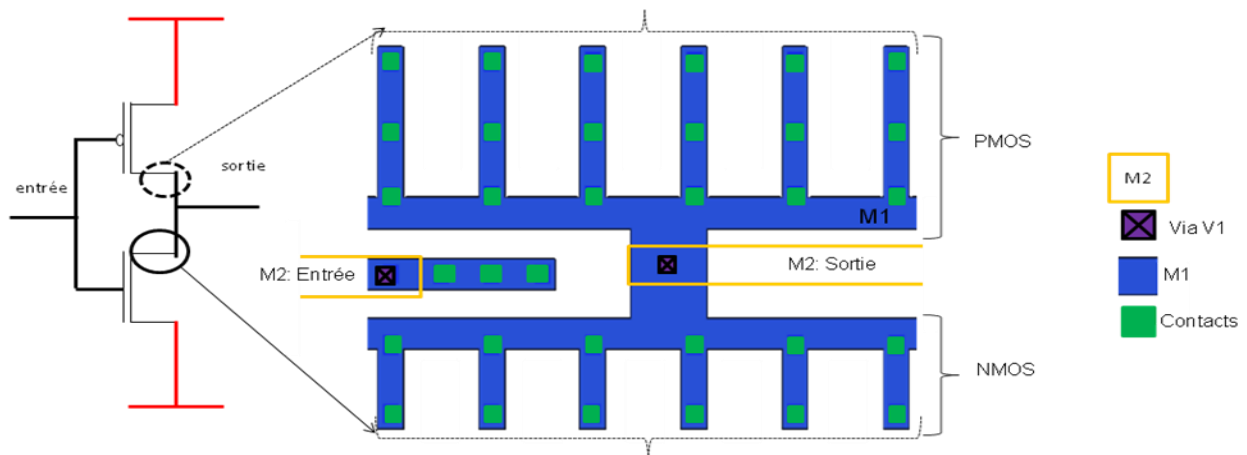
L'un des objectifs de cette étude était d'évaluer le risque réel de dégradation physique afin d'agrandir la zone d'immunité liée au couple fréquence-capacité de sortie en s'assurant qu'il n'y ait aucun risque de défaillances dans le réseau d'interconnexions.

3. Analyses des violations des courants limites

Le but de ces analyses est de comprendre les risques de dégradation physique des interconnexions liés à une violation des règles de courant. Pour cela nous avons utilisé les résultats obtenus à l'issue des simulations. Nous avons gardé les conditions précédentes (paragraphe II-2), mais cette fois avec des valeurs fixes de capacité de charge à 0.2 pF et la fréquence à 1 GHz. Pour plus d'efficacité, nous allons effectuer les analyses en fonction du type de ligne.

a. Le réseau signal

Rappel : Le réseau signal d'un inverseur est composé de lignes d'entrée et de sortie (Figure 3-5). Il est composé essentiellement de lignes situées sur la couche M1 reliées aux transistors par des contacts et à la couche supérieure par des vias V1.



Afin de comprendre le comportement du réseau signal face aux risques de dégradation dus aux effets EMG, nous allons analyser la distribution du courant durant le fonctionnement de l'inverseur.

i. Chargement de la capacité de charge de sortie

Pendant le chargement de la capacité de sortie, seuls les transistors PMOS sont passants. Les faibles quantités de courants (i_1, \dots et i_6) provenant des transistors élémentaires PMOS à travers les contacts s'additionnent les uns aux autres sur la ligne de sortie de la couche M1. Ceci entraîne un courant total (I_{total}) supérieur à la limite autorisée dans la section centrale du M1 comme illustré sur la Figure 3-6 représentant les résultats de simulation. Le taux de violation maximum est de l'ordre de 130%.

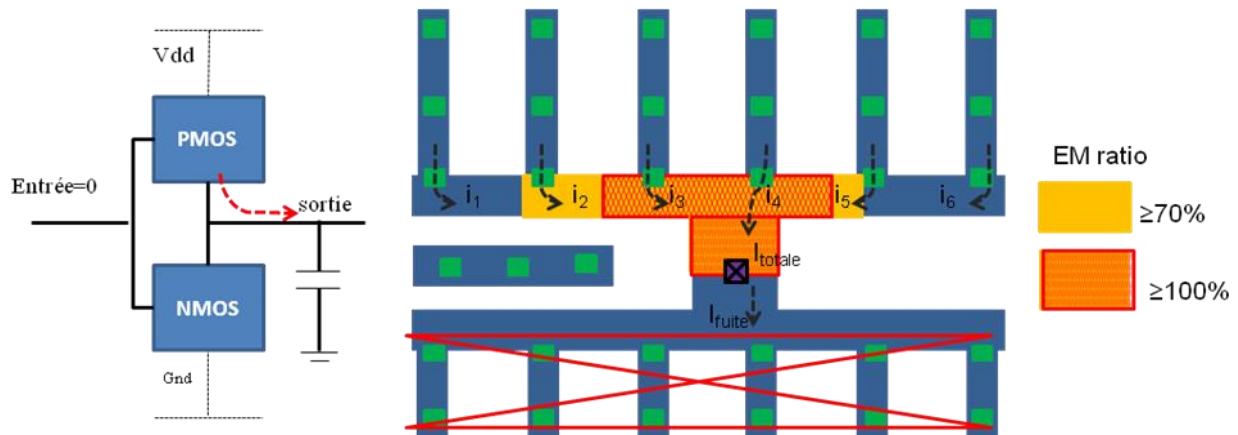


Figure 3-6 : Distribution du courant dans les lignes de M1 lors du chargement de la capacité de charge

Afin de comprendre les risques de dégradation physiques liés à ces violations, nous avons analysé le sens de déplacement des électrons (e^-). La zone à risque est la jonction via V1 et de la couche de métal M1 de la ligne de sortie. La Figure 3-7 illustre le sens des électrons (e^-) dans la ligne de sortie de l'inverseur lors de la phase de chargement de la capacité de sortie. Les atomes de cuivre sont alors entraînés par le flux d'électrons loin de la jonction M1V1.

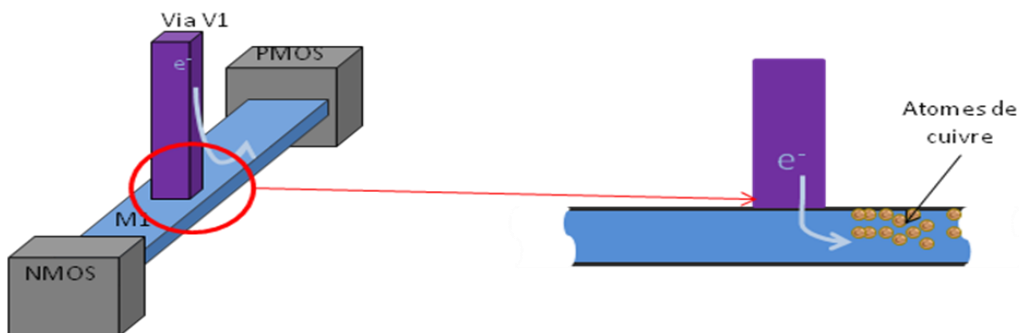


Figure 3-7 : Circulation des électrons durant la phase de chargement d'un inverseur

Lors de cette phase les transistors NMOS sont bloqués, il n'y a que de très faibles quantités de courant de fuite qui circule dans les lignes de ces transistors. Mais compte tenu du mode de fonctionnement d'un inverseur, nous devons considérer ce qui se passe à cet endroit lors de la phase de déchargement de la capacité de sortie avant de tirer toute conclusion.

ii. *Déchargement de la capacité de charge de sortie*

La Figure 3-8 montre la répartition et le sens du courant dans les différents segments des transistors. Le courant total emmagasiné lors du chargement de la capacité de sortie est redistribué progressivement dans les embranchements des transistors NMOS.

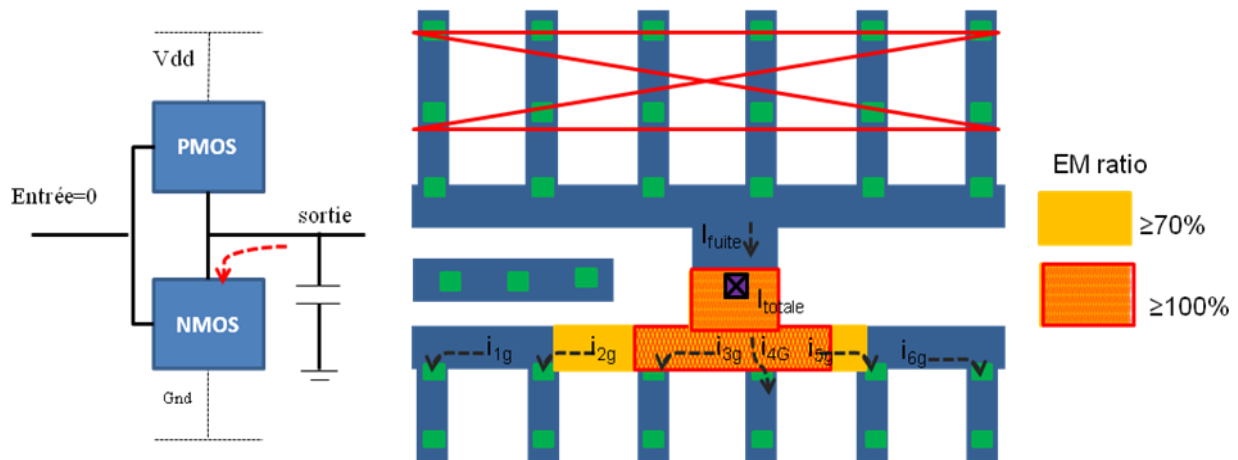


Figure 3-8 : Distribution du courant dans les transistors NMOS lors du déchargement de la capacité de sortie

Durant le déchargement de la capacité de charge de sortie, les électrons circulent des transistors NMOS vers la sortie. Par conséquent, les atomes de cuivre sont déplacés vers la jonction M1V1 comme représenté par la Figure 3-9. Ce qui permet de remplacer les atomes qui avaient été déplacés lors du chargement de la capacité de charge.

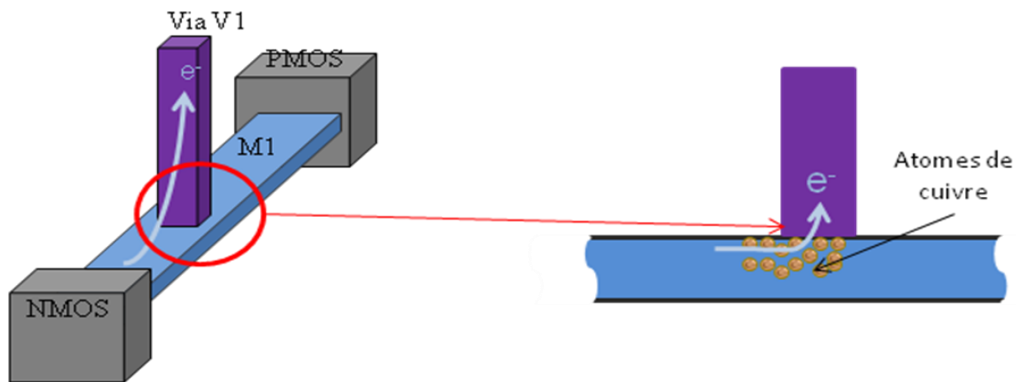


Figure 3-9 : Circulation des électrons durant la phase de déchargement d'un inverseur

iii. *Les risques de dégradation physique dans le réseau signal d'un inverseur*

On peut déduire de cette analyse qu'il n'y a aucun risque de dégradation dans les lignes signal internes à la cellule standard compte tenu des faibles quantités de courant dans les transistors. Mais, l'accumulation du courant sur la ligne de sortie entre les transistors PMOS et NMOS entraîne des violations durant le fonctionnement de l'inverseur. Cependant l'alternance du sens du courant crée une semi-bidirectionnalité à la jonction M1V1. Il est en effet raisonnable de penser que les atomes de cuivre déplacés pendant le chargement de la capacité de sortie peuvent être remplacés pendant le cycle de déchargement. Ce qui est à craindre dans ce genre de configurations, c'est l'échauffement par effet joule. Mais, en ce qui concerne notre inverseur, le taux de violation (EMG ratio) maximum du courant I_{RMS} est de 69.5% sur le réseau signal, donc il n'y a aucune violation des règles de courant efficace (I_{RMS}).

b. Le réseau d'alimentation électrique

Le réseau d'interconnexions de notre inverseur est réparti sur deux couches de métal (M1 et M2 reliées par une série de vias V1 (Figure 3-10).

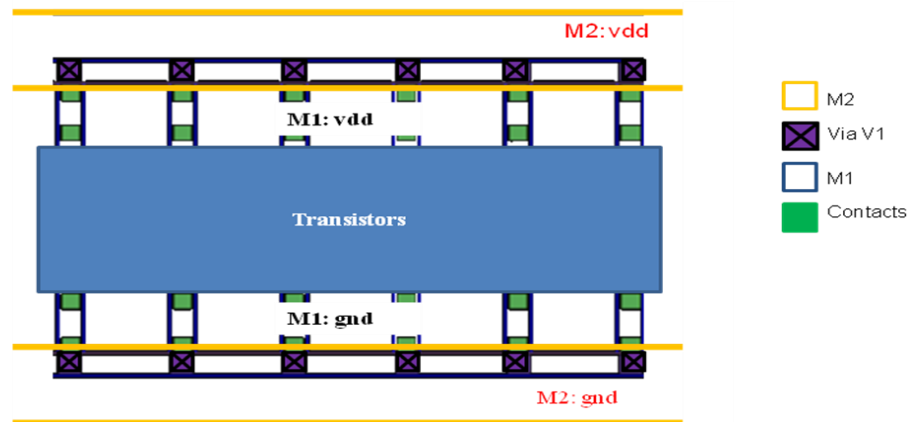


Figure 3-10 : La grille d'alimentation d'un inverseur

Afin de mieux évaluer les risques de dégradations physiques liées à ces violations, les zones concernées seront analysées par type de lignes.

i. *Ligne d'alimentation (Vdd)*

Le courant nécessaire à l'alimentation de la cellule est acheminé par la couche M2 à partir de l'amenée de courant comme illustré dans la Figure 3-11. Le courant est ensuite distribué à la couche M1 par les vias V1 avant d'atteindre les transistors par les contacts.

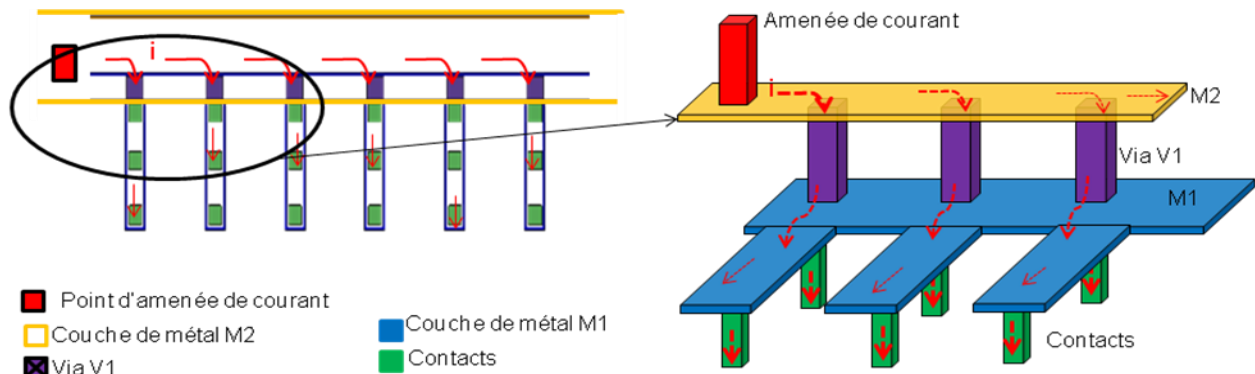


Figure 3-11 : Répartition du courant dans le réseau d'alimentation (Vdd)

En se basant sur le sens des électrons (e^-), nous avons représenté sur la Figure 3-12 les zones exposées aux dégradations. Les divergences de flux créées à la sortie des contacts sur la couche de métal M1 et sur la couche de métal M2 à la sortie des contacts et des vias V1 respectivement sont identifiées comme des zones à risque.

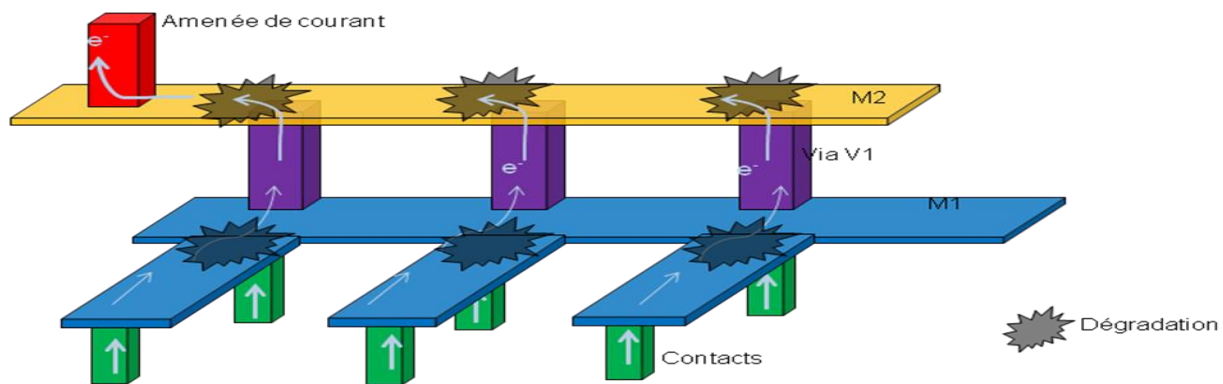


Figure 3-12 : Zones vulnérables aux dégradations EMG dans les lignes Vdd

À la suite de la simulation de notre inverseur nous n'avons observé aucunes violations des limites de courant sur la couche de métal M1, comme le montre la Figure 3-13. Cela s'explique par une bonne distribution de courants dans l'ensemble des segments par les vias V1 et les faibles quantités de courants dans ces lignes. De plus, les petites dimensions des lignes favorisent l'effet Blech. Par contre les segments sur la couche M2 proches de l'amenée de courant subissent d'énormes quantités de courant, générant ainsi des taux de violations élevés, et compte tenu des largeurs et longueurs des lignes, l'effet Blech n'est pas applicable.

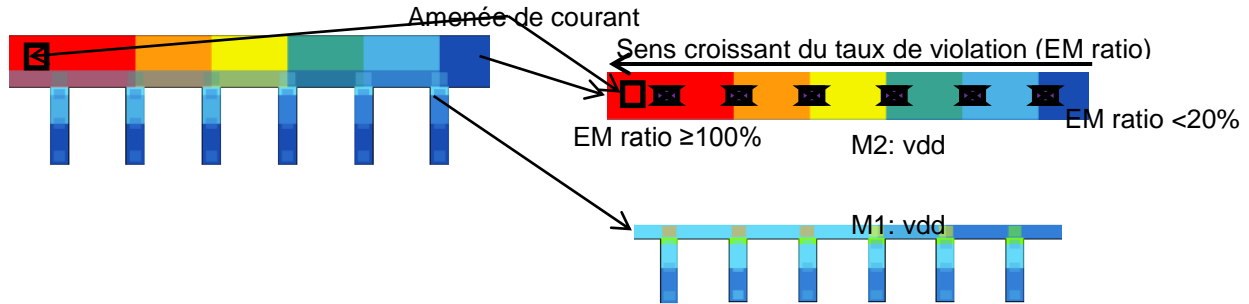


Figure 3-13 : Violation des courants limites dans la grille Vdd d'un inverseur

La localisation précise de la cavité sur cette ligne n'est pas simple à déterminer à cause du nombre de via V1 et parce que la zone de pic de courant ne concerne que les segments près de l'amenée de courant. De plus, le reste du segment peut se comporter en réservoir d'électrons et ainsi ralenti la dégradation. C'est pourquoi, il faut des tests sur des structures en boîtier pour vérifier ces hypothèses.

ii. La ligne de masse

Dans le réseau de lignes de masse, les courants sont accumulés autour de la pointe d'extraction située sur la couche de M2 (Figure 3-14). En se basant sur le sens des électrons (e^-), les cavités sont attendues sur le M1 à l'aplomb des V1 et sur la couche M2 à proximité de la pointe d'extraction de courant assimilée à un via V2.

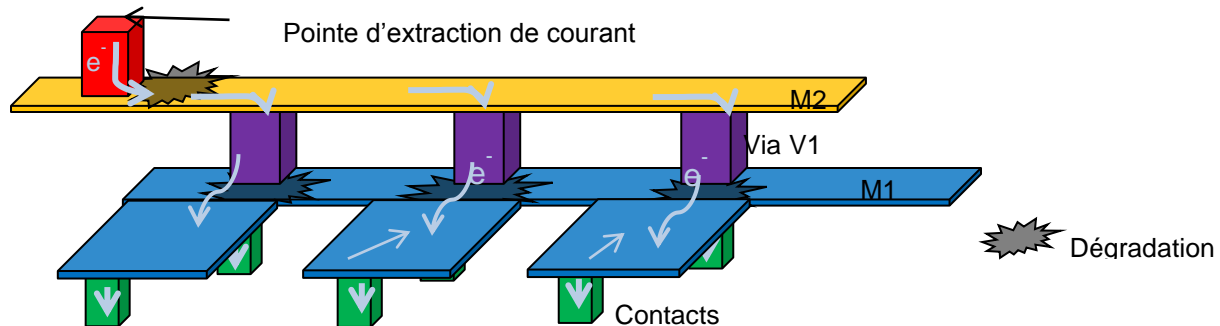


Figure 3-14 : Zones vulnérables aux dégradations EMG dans les lignes Gnd

À la suite de la simulation, il n'y a eu aucune violation sur la couche de métal M1. Comme dans le cas du Vdd, les faibles quantités de courant et leur bonne répartition dans les lignes de la couche de métal M1 en sont les raisons. Les violations se situent sur la couche M2 dans la section proche de la pointe d'extraction de courant (Figure 3-15). Cela est dû à l'accumulation des courants sortant des vias V1 au niveau de la couche M2. Ce qui rend cette zone qui est exposée aux dégradations physiques car de fortes quantités de courant qui y transitent.

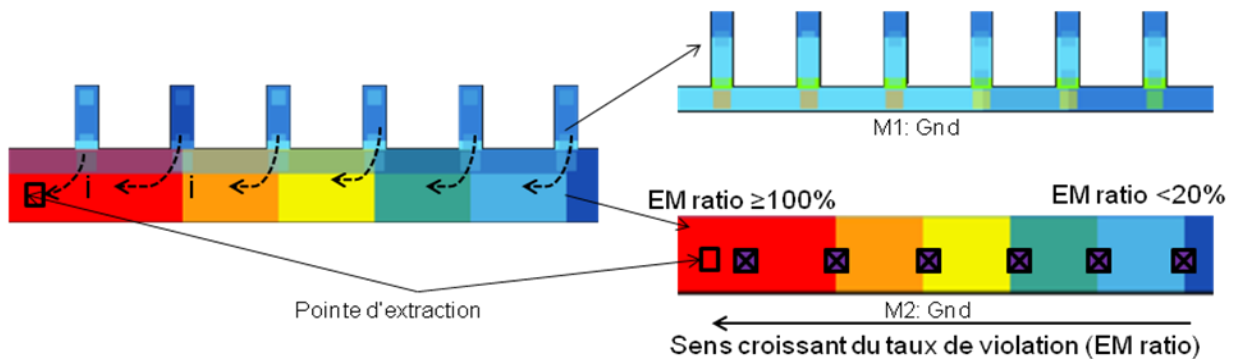


Figure 3-15 : Violation de courants limites dans la grille Gnd d'un inverseur

Durant l'analyse des zones de violation des règles de courant dans la cellule, nous avons constaté que les forts taux de violations se situent aux abords des pointes d'amenée et d'extraction de courant. La position de ces dernières dépend du placement de la cellule étudiée dans la grille d'alimentation.

4. Impact de la position de la pointe d'amenée et d'extraction de courant sur la résistance d'une cellule standard à l'EMG

La couche M2 de notre inverseur (pris dans les exemples précédents) est reliée au reste de la grille du circuit par des via V2. Le courant est acheminé dans les cellules à travers les lignes Vdd par ces vias qui jouent le rôle d'amenée de courant. Dans les lignes de masse (Gnd), le courant des cellules remonte au niveau supérieur par ces V2 faisant office de pointe d'extraction. Nous avons simulé différentes position de cellule afin d'analyser leurs impacts sur les violations de courant. La Figure 3-16 représente un exemple de placement des cellules standards dans la grille d'alimentation composée uniquement des couches de métal M3 verticaux et des couches M2 horizontaux.

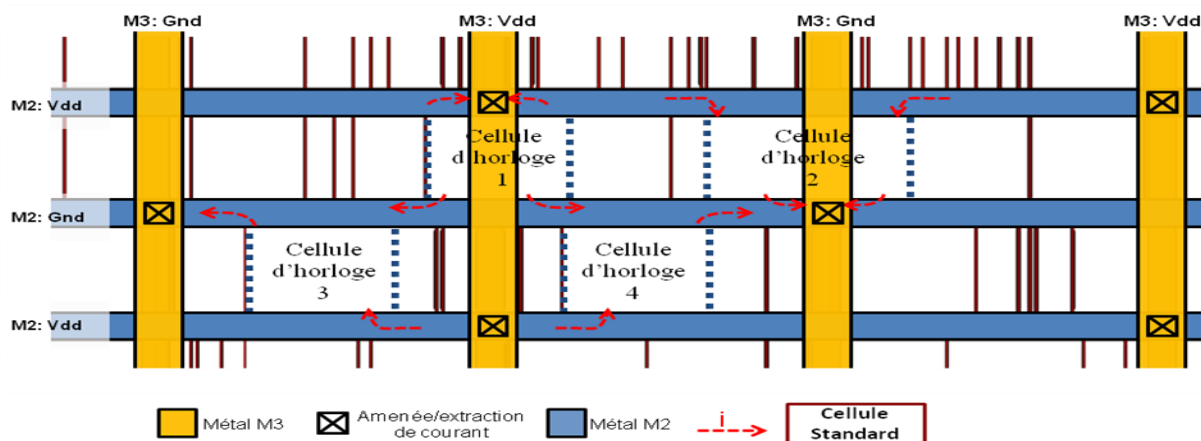


Figure 3-16 : Positionnement des pointes d'amenées/d'extraction de courant sur une cellule standard

Les différentes configurations des sources d'alimentation possibles sont représentées par la Figure 3-17. Pour chaque rail (Vdd/Gnd) d'alimentation, on distingue trois cas de figure. Ce sont :

- Alimentation par une extrémité : rails Vdd et Gnd des cellules 3 et 4
- Alimentation par les deux extrémités : rail Vdd de la cellule 2 et rail Gnd de la cellule 1.
- Alimentation par le milieu: rail Vdd de la cellule 1 et rail Gnd de la cellule 2.

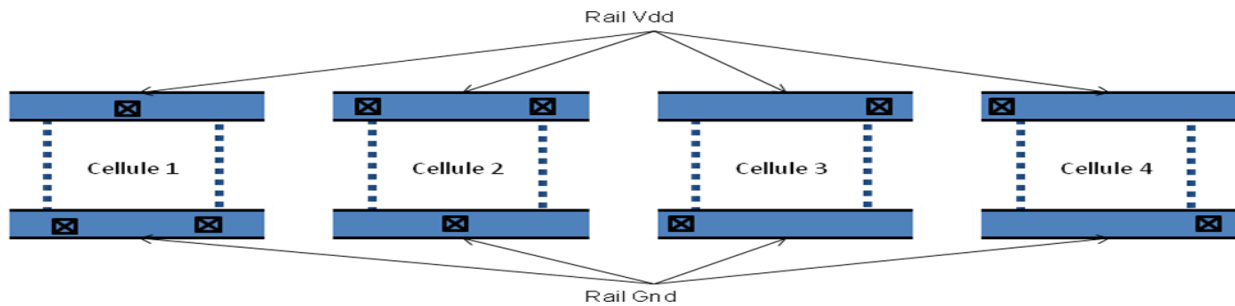


Figure 3-17 : Différentes configuration d'alimentation d'une cellule standard

Rappelons que le but est d'évaluer pour chaque position, la répartition du courant dans les lignes et son impact sur la résistance à l'EMG. À la suite de plusieurs simulations, nous avons répertorié les résultats obtenus dans le Tableau 3-5 ci-dessous. Pour chaque cas de figure, nous avons vérifié le taux de violation au niveau des amenées/extraction où le courant est le plus élevé. Les valeurs des taux sont normées, 100% représentant le taux le plus élevés.

lignes	Positions de la pointe d'alimentation/extraction	Taux de violation des règles EMG
Vdd	Au milieu de la cellule	50%
	Au deux extrémités de la cellule	50%
	L'une des deux extrémités de la cellule	100%
Gnd	Au milieu de la cellule	50%
	Au deux extrémités de la cellule	50%
	L'une des deux extrémités de la cellule	100%

Tableau 3-5 : Impact du positionnement de la pointe d'amenée/extraction du courant sur les violations de courants limites

Pour les pointes d'alimentation/extraction situées sur l'une des extrémités, on atteint le taux maximal de violation. Par contre pour les pointes situées soit au milieu ou aux deux extrémités de la cellule, le taux de violation le plus élevé ne dépasse pas les 50%.

Ces résultats nous montrent qu'il est possible de réduire de manière considérable la quantité de courant dans les lignes de métal M2 en jouant sur la position de la cellule dans la grille d'alimentation des circuits intégrés. À titre illustratif, observons ce qui se passe dans le cas d'une alimentation par les deux extrémités de la cellule. Le courant nécessaire à la cellule se partage entre deux chemins, ce qui entraîne une bonne répartition du courant dans la ligne de M2. Cela entraîne une réduction du taux de violation autour de chacune des pointes d'amenée de courant comme le montre l'exemple la Figure 3-18 (a). Nous pouvons donc observer une réduction des zones à risque illustrée par la Figure 3-18 (b) qui révèle que les zones de violation de courant limite sont réparties entre les deux pointes d'amenée de courant.

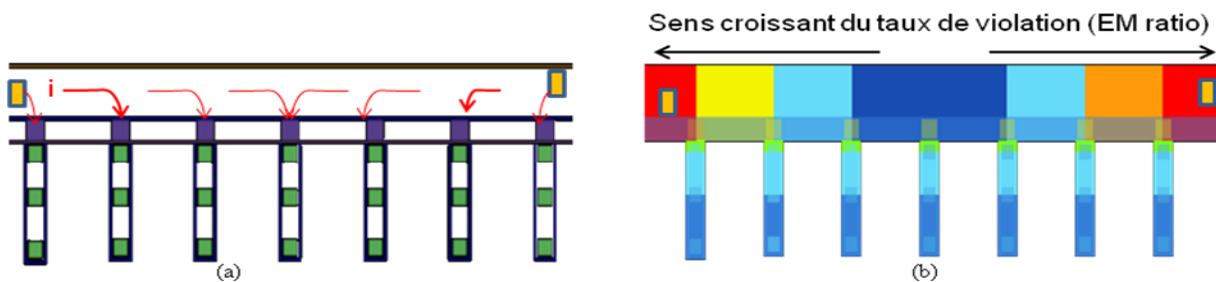


Figure 3-18 : (a) Répartition du courant – (b) Violation des règles de courant dans une ligne Vdd

Quant au positionnement des pointes d'extraction au milieu de la cellule (Figure 3-19), le taux de violation des règles est plus élevé aux abords de la pointe d'amenée du courant. Cependant, une augmentation du nombre de vias permet renforcer la résistance de cette zone aux risques de l'EMG. En plus, les lignes de masse (Gnd) se comportent de la même manière que celui d'alimentation (Vdd).

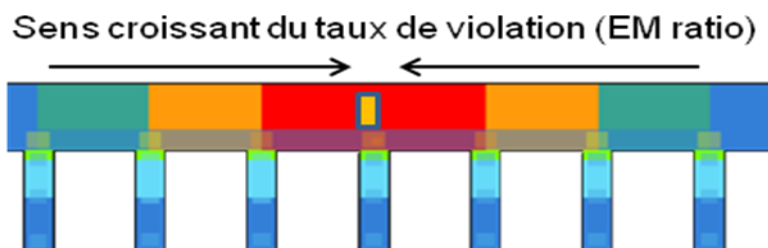


Figure 3-19 : Pointe d'extraction positionnée au milieu des rails d'alimentation d'une cellule standard

5. La redondance dans la grille d'alimentation d'une cellule standard

La redondance dans un réseau d'alimentation d'une cellule se définit comme la capacité de la cellule à fonctionner correctement malgré l'apparition d'une cavité dans une de ses lignes. Cette redondance n'est valable que pour les cellules ayant une grille d'alimentation répartie sur deux couches de métallisation comme représentée par la Figure 3-20. Dans les anciens nœuds technologiques (45/40 nm), le réseau d'alimentation d'une cellule standard comporte une seule couche de métal connectée directement aux transistors. Au dessus d'un contact, une cavité dans le M1 signifie qu'un transistor n'est plus alimenté et la cellule ne peut plus fonctionner. Cela n'est pas problématique car les lignes sont assez larges dans ce nœud technologique pour supporter les courants qui y circulent.

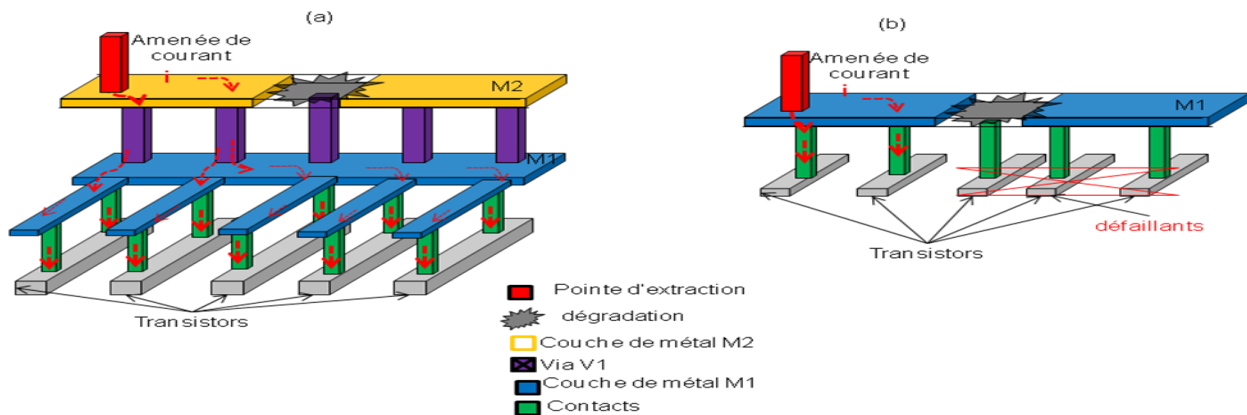


Figure 3-20 : (a) Cellule à double couche de métal – (b) Cellule à simple couche de métal

Mais pour le nœud 32 nm, le réseau de ligne comporte deux couches de métal. En effet dans ces cellules, la couche de métal M1 interne à la cellule offre un chemin redondant afin d'approvisionner les transistors en cas de cavité sur la couche de M2 au-dessus d'un via V1. Afin de vérifier l'efficacité de la redondance dans les lignes de son réseau d'interconnexions, nous avons simulé des cavités dans un réseau de ligne. Ce travail a consisté à créer une cassure dans la ligne de masse au niveau de la couche M2. Pour cela nous avons considéré un réseau de ligne Gnd avec une matrice de vias V2 située au milieu de la cellule. En supposant une cavité à l'aplomb droit de la matrice de vias, nous avons analysé la redistribution de la densité de courant illustrée par la Figure 3-21 (a). Sur cette figure, on observe des zones de violations sur les couches M1 et M2. Ces zones de violation sont dues au fait que le courant emprunte le chemin redondant composé d'une portion de ligne de M1 de via V1 et une portion de M2 représentée sur la Figure 3-21 (b).

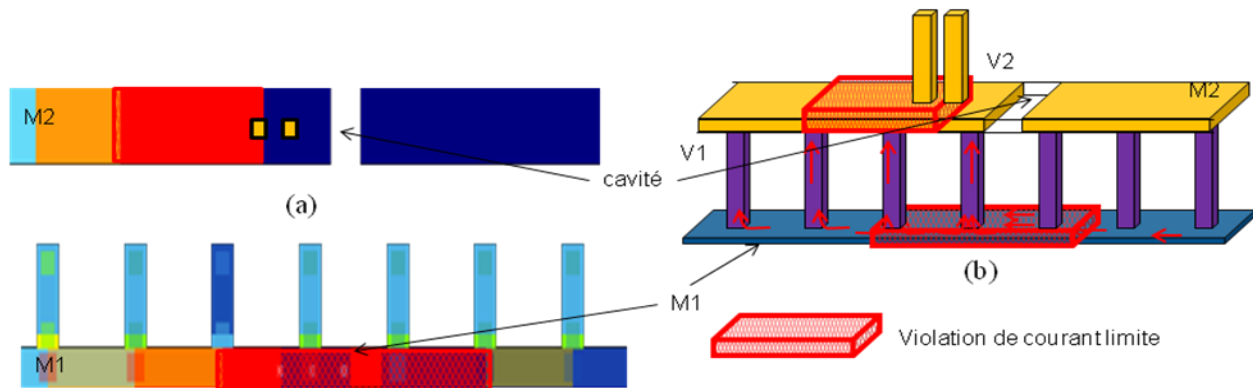


Figure 3-21 : (a) Redistribution de la densité de courant – (b) Vue en 3-D la répartition du courant en cas d'une cavité

6. Bilan de la vérification EMG dans les cellules standards

La vérification des risques d'EMG dans les cellules standards nous a permis de comprendre leur comportement face aux risques de dégradation liés à l'EMG. Nous avons vu durant l'étude de ces cellules standards que certaines par la structure de leur grille d'alimentation sont plus vulnérables que d'autres. L'analyse des résultats des violations des limites de courants dans le réseau signal révèle que les risques de dégradation liés à l'EMG sont faibles dans ces lignes d'interconnexions. Cela est notamment dû au fait que les lignes sont courtes et grâce à l'effet Blech sont autorisées à transporter plus de courant. Concernant les risques dans la grille d'alimentation, les faibles courants des transistors élémentaires minimisent les risques de dégradation dans la couche M1. Ajoutons à cela la bonne distribution du courant grâce à une bonne répartition des vias V1 sur les cellules. Plus la cellule est grande, plus il y a de vias V1. Les risques majeurs dans la grille d'alimentation se situent sur les rails de la couche de métal M2. Nous avons aussi noté que le positionnement d'une cellule dans la grille d'alimentation d'un circuit pouvait impacter la résistance des lignes de M2 face aux risques de dégradation physique. Ces rails sont toujours partagés entre plusieurs cellules et transportent donc tout le courant nécessaire au fonctionnement de l'ensemble des cellules connectées à ce rail. On ne peut donc pas étudier le comportement de ces rails de M2 face à l'EMG, sans parler de la grille d'alimentation des blocs fonctionnels.

III. Vérification de l'EMG dans les blocs fonctionnels ou au niveau « top »

1. Configuration du réseau d'interconnexions

La grille d'alimentation d'un bloc fonctionnel est répartie sur plusieurs niveaux de métal. Les lignes sont disposées de façon alternée (horizontale/verticale) d'une couche à une autre.

a. Réseau d'alimentation (Vdd et Gnd)

Le courant demandé par les cellules standards circule depuis les broches d'alimentation situées aux niveaux supérieurs en empruntant les chemins moins résistifs pour atteindre les cellules aux niveaux inférieurs. La Figure 3-22 illustre une vue en trois dimensions de la distribution du courant de la couche M3 jusqu'aux cellules, en passant par la couche M2. Cela nous permet d'observer le sens de circulation du courant en fonction du type de ligne.

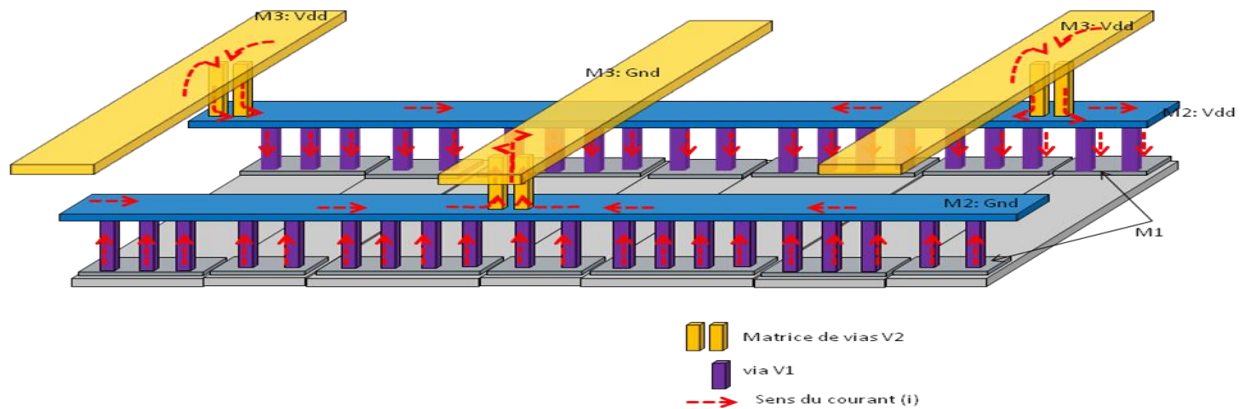


Figure 3-22 : Vue 3-D de la distribution du courant dans le réseau de la grille d'alimentation d'un circuit

b. Le réseau signal.

Le réseau signal est reparti sur plusieurs couches de métal. Les cellules sont disposées de manière à minimiser les distances des lignes afin de réduire la résistance électrique des segments, car un chemin résistif induit des retards dans la propagation des signaux dans les lignes. Les lignes d'interconnexions utilisées dans ce réseau transportent du courant bidirectionnel. Un exemple de réseau de signal d'un bloc fonctionnel est illustré par la Figure 3-23. Cette figure nous montre la densité du réseau signal des niveaux supérieurs jusqu'aux niveaux inférieurs et surtout sa structure.

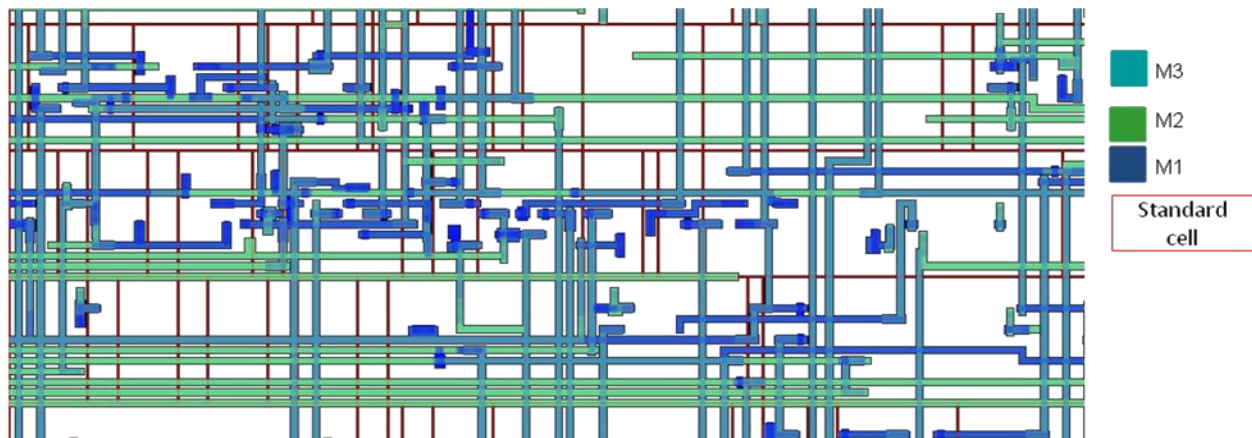


Figure 3-23 : Réseau de signal d'un bloc fonctionnel

2. Simulations

Afin d'évaluer la résistance des circuits intégrés aux risques EMG, nous avons procédé à une série de simulations sur des microprocesseurs conçus dans les nœuds technologiques 32nm bulk/28 nm bulk/FDSOI. Pour des conditions de simulation données, nous avons vérifié les taux de violation des règles de courant dans les différents réseaux d'interconnexions. Les violations en courants moyens (I_{AVG}) dans les grilles d'alimentation et les violations en courant I_{RMS} pour les réseaux signal. Les résultats des simulations des différentes puces sont résumés par le Tableau 3-6. Pour chaque puce, nous avons pris en considération sa taille, son nœud technologique (Techno), ses conditions des simulations, le type d'analyse et les taux de violation maximum obtenus.

Puces	Taille	Techno	Conditions			Analyse	Violations EM_ratio Max
			Temp (°C)	Tension (V)	Fréquence (GHz)		
Top_32	8.1 mm ²	32 nm	125	1.1	1	Grille (I_{AVG})	183%
						Signal (I_{RMS})	151%
Core_32	10.5 mm ²	32nm	125	1.3	1.8	Grille (I_{AVG})	491%
						Signal (I_{RMS})	240%
Top_28	350 mm ²	28 bulk	125	1.15	0.8	Grille (I_{AVG})	420%
Block_28	2 mm ²	28 bulk	125	1.15	0.8	Grille (I_{AVG})	464%

Tableau 3-6: Récapitulatif des principaux résultats d'analyse des circuits intégrés

En observant ce tableau, on remarque que les taux de violation sont très élevés. Ce qui révèle qu'il est plus qu'urgent de prendre des dispositions pour y remédier. Pour cela, nous avons réalisé une étude approfondie sur un cas pratique, afin d'établir une corrélation entre ces violations et la dégradation physiques des lignes d'interconnexion. Nous avons alors réalisé des simulations sur le Core_32 dans des conditions décrites ci-dessous:

- Tension : 1.3V
- Température : T=125°C
- Le taux de basculement à 30 % pour les cellules de données et à 200% pour les cellules d'horloge lors de l'analyse statique

- Fréquence de fonctionnement : $F=1.8$ Ghz
- Analyse statique

3. Résultats et analyses des risques EMG dans les blocs fonctionnels digitaux

a. Le réseau signal

Compte tenu de la circulation de courant bidirectionnel dans les lignes de signal entre les cellules, la valeur moyenne de courant est nulle. Ce qui a pour conséquence, la réduction voire l'absence des risques de dégradation dans ces lignes. La vérification EMG dans ces lignes est axée sur le courant efficace (I_{RMS}) en vue de limiter les potentielles augmentations de température par effet joule. Les lignes transportant les signaux d'horloge sont les plus exposées aux risques EMG. Des dispositions sont prises avant tout pour réduire la résistance des lignes d'horloge et cela permet par la même occasion d'éviter des violations des règles I_{RMS} dans tous les circuits (processeur A9 et des blocs fonctionnels) que nous avons analysés. Elles concernent l'augmentation de la largeur des lignes ou le changement de niveaux de couches de métal car, plus on monte dans les niveaux supérieurs des couches, plus les lignes sont larges, donc plus robustes aux effets EMG.

b. Le réseau d'alimentation électrique

Dans la grille d'alimentation, les résultats obtenus à l'issue des différentes simulations ont révélé des zones de violation des règles de courant principalement dans les lignes de la couche M2. Les causes de ces violations sont liées d'une part à l'activité des cellules standards utilisées et d'autre part à leur positionnement dans la grille d'alimentation du circuit. Cependant durant toutes nos analyses, nous avons constaté que les violations étaient principalement dues aux cellules d'horloge. Comme nous l'avons vu au paragraphe II-1-b, ces cellules nécessitent des quantités élevées de courant. Par conséquent, cela entraîne la circulation des forts courants dans les lignes qui les alimentent, créant ainsi des violations. Les cellules standards sont placées de manière automatique à l'aide d'outils de placement et routage. Cependant, les dispositions de certaines cellules, notamment celles d'horloge sur les rails d'alimentation, ont une influence sur les quantités de courants dans les différents segments. Pour une analyse optimale, nous avons classé les cas de violations des règles de courants en deux groupes : celles causées par une seule cellule d'horloge à forte consommation et celles dues à une concentration de cellules d'horloge de consommation moyenne.

i. Cellules d'horloge à forts courants

Comme nous l'avons vu au paragraphe II-5 de ce chapitre (Figure 3-16), le positionnement des cellules dans la grille influence les quantités de courant dans ses chemins d'alimentation. En effet, pour une cellule nécessitant à elle seule un courant électrique supérieure aux limites DRM, son alimentation par un seul chemin entraîne des violations dans celui-ci. Par contre lorsqu'elle est placée à équidistance de deux via V2, son besoin en courant est reparté entre deux chemins. Il peut y avoir des cellules de données sur le même segment, mais leur consommation reste très inférieure à celles de la cellule d'horloge. Dans l'exemple de la Figure 3-24 représentant un segment du rail d'alimentation d'un circuit sur lequel il y a une seule cellule d'horloge. Selon la position de cette dernière, la majorité du courant transite par un seul chemin, ce qui entraîne une zone de violations.

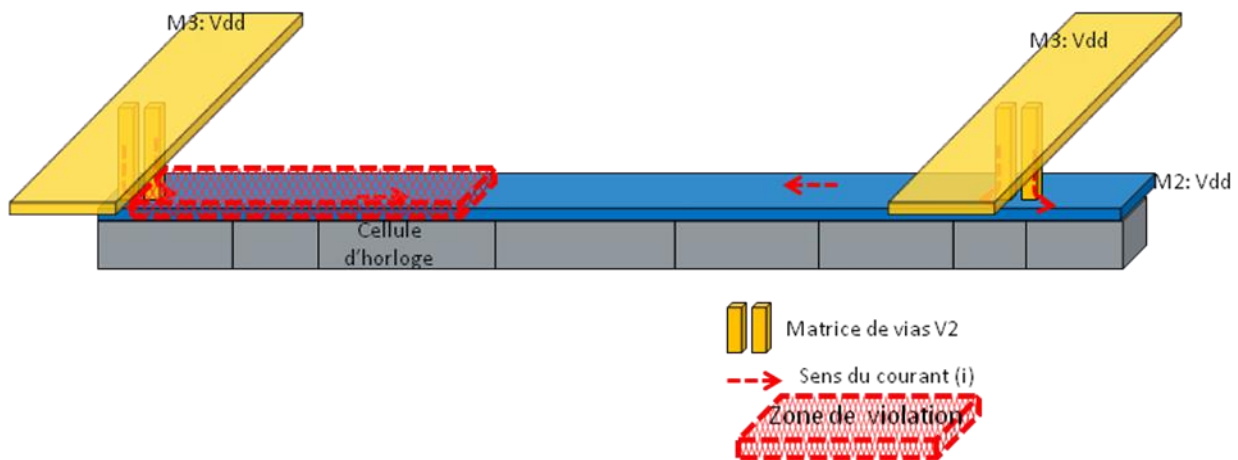


Figure 3-24 : Cellule d'horloge dans une grille d'alimentation

Cependant, les zones de violation ne sont pas toujours liées à ce genre de configuration. En effet, il est possible d'avoir des violations dans des segments supportant des cellules ayant chacune des consommations en-dessous de la limite de courant.

ii. Zone de concentration de cellules d'horloge de moyenne consommation

Les cellules d'horloge ayant des consommations électriques moyennes en dessous des limites DRM n'entraînent pas de violations à elles seules. Mais il est possible que des cellules d'horloge se retrouvent groupées dans une même zone, on parle alors de « cluster » comme représenté par la Figure 3-25. Le risque de cette configuration est l'augmentation du courant dans cette zone.

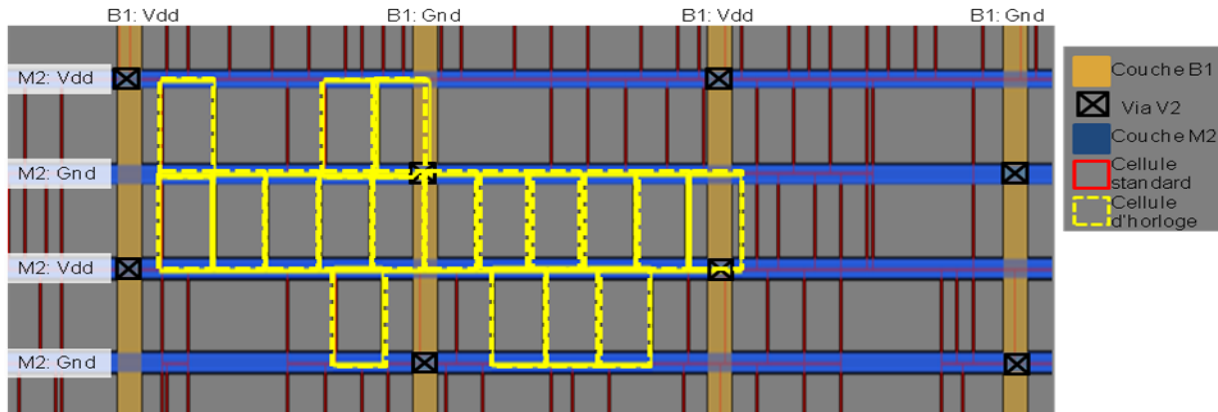


Figure 3-25 : Concentration de cellules d'horloges (clusters)

En effet, dans le cas des clusters, les courants des cellules individuelles s'additionnent. Cela favorise le transport de forts courants dans les lignes desservant ces zones. À la suite de la simulation, les résultats représentés par la Figure 3-26 confirment cette hypothèse. Les taux de violations dans les lignes dépendent de la consommation des cellules d'horloge connectées à celles-ci.

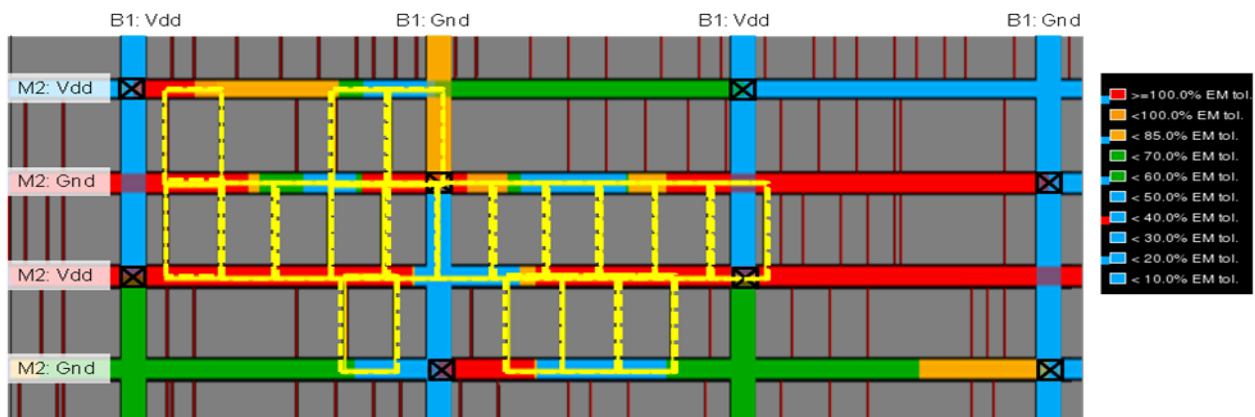


Figure 3-26 : Cartographie des violations des règles de courant dans un cluster de cellules d'horloge

Un placement optimal des cellules d'horloge permettrait d'éviter la formation de clusters et par conséquent d'éliminer ces cas de violation d'EMG. Nous y reviendrons dans le prochain chapitre (chapitre 4) en proposant des solutions appropriées.

4. Les risques de dégradation physique liés aux violations de courants limites

Dans cette partie nous allons analyser l'impact des violations de courant sur la dégradation physique du réseau de lignes et les conséquences sur le fonctionnement du circuit. En se basant sur les sens des électrons, nous allons procéder à une étude par type de lignes (Vdd et Gnd).

a. Lignes Vdd

Au début de ce chapitre, nous avons vu que dans les lignes de Vdd, les zones exposées aux risques de dégradation physiques sont les jonctions des vias avec la couche supérieure. Dans l'exemple de la Figure 3-27, en se basant sur le sens des électrons (e^-) dans la couche de métal, les cavités sont attendues sur la couche M2 aux jonctions ligne-vias (M2V1) au-dessus des cellules standards. Par contre, nous ne sommes pas à mesure de localiser précisément l'endroit de l'apparition de la cavité, l'évolution du flux de matières dans cette zone étant peu connue. Par ailleurs, si l'on se base sur l'analyse des cellules standards, on suppose que les nombreux vias V1 rendront la ligne robuste face aux dégradations EMG. Les vias V1 connectant une cellule peuvent être assimilés à une matrice de vias. Or nous avons vu au chapitre 1 qu'une augmentation de vias est favorable à la résistance face à l'EMG.

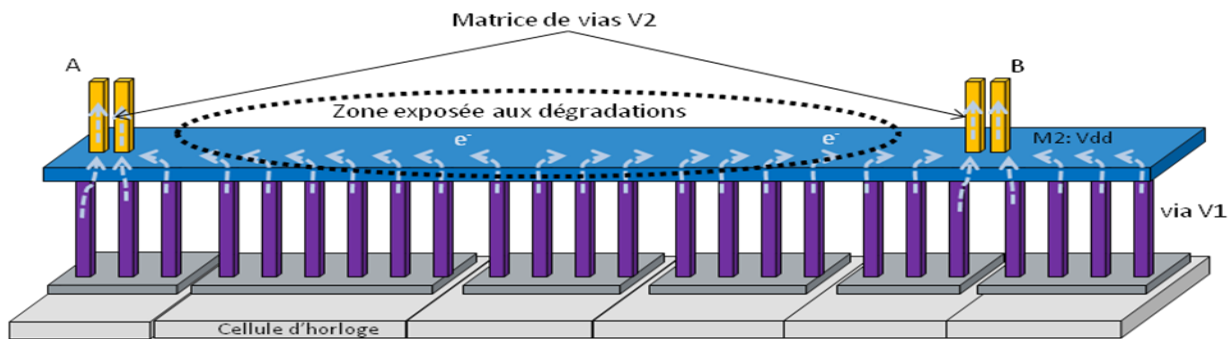


Figure 3-27 : Zones exposées aux dégradations physiques

Pour valider cette hypothèse, il est nécessaire d'effectuer des tests sur des structures en boîtier. Les résultats de ces tests seront présentés dans le chapitre 4.

b. La redondance dans la couche M2

Au niveau de la grille d'alimentation, la redondance est possible pour les segments délimités par deux matrices de via. Pour mieux comprendre cet aspect, prenons un segment de ligne de métal M2 délimité à chaque extrémité par une matrice (A ou B) de vias V2 représenté par la Figure 3-28. Supposons une cellule d'horloge située à une distance $D1$ par rapport à la matrice A et $D2$ par rapport à la matrice B (avec $D1$ inférieure à $D2$). Dans notre exemple, c'est la distance entre la cellule et la matrice de via V2 (A) qui transportera les courants requis par les cellules d'horloges, car c'est le chemin le moins résistif.

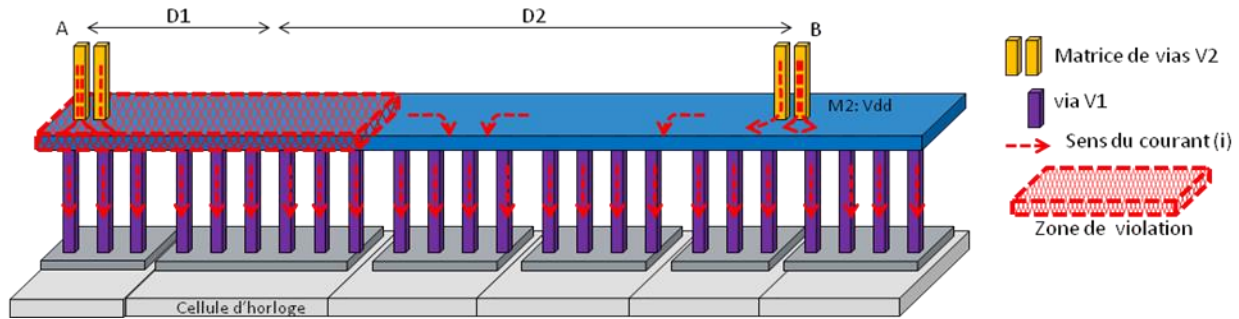


Figure 3-28 : Vue en 3-D de la répartition du courant dans un segment Vdd

Supposons ensuite une cavité dans la ligne M2 au dessus des vias V1 comme représenté par la (Figure 3-29). En simulant le fonctionnement de la cellule, nous avons analysé la redistribution du courant dans le reste du segment.

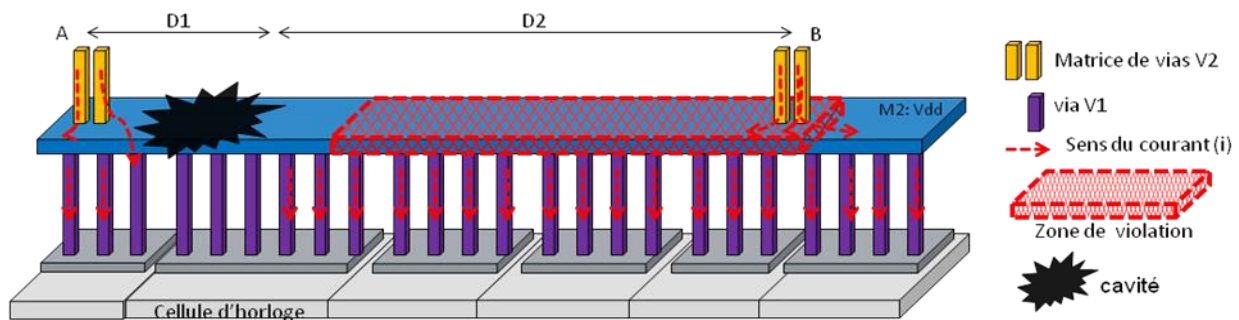


Figure 3-29 : Redistribution du courant dans un réseau de lignes Vdd en cas de cavité.

Nous observons qu'en cas de cavité, le courant contourne la zone défaillance et continue d'alimenter les cellules par le via V_B opposé à la cavité et les vias non endommagés de cellule d'horloge. Cette section est à son tour en violation car elle alimente toutes les cellules du segment. Étant donné qu'il s'agit des lignes d'alimentation, il n'y aura pas de retard de transmission, les cellules pourront donc toujours fonctionner normalement. Quant à de potentielles chutes de tension, la distance entre les vias V_A et V_B est définie de sorte à les éviter. La vraie question est alors de connaître le gain en durée de vie que pourrait procurer le chemin redondant. Nous y reviendront dans le chapitre 4.

c. Ligne Gnd

Précédemment, nous avons vu que les risques de dégradation physique dans les lignes de masse dans la couche M2, se situent à l'aplomb des vias V2. Dans un exemple similaire au cas Vdd, nous avons considéré un segment Gnd avec une cavité aux abords de la matrice A. Ensuite nous avons analysé la répartition du courant dans le segment. Comme on peut le voir sur la Figure 3-30, le courant emprunte le chemin redondant opposé à la cavité.

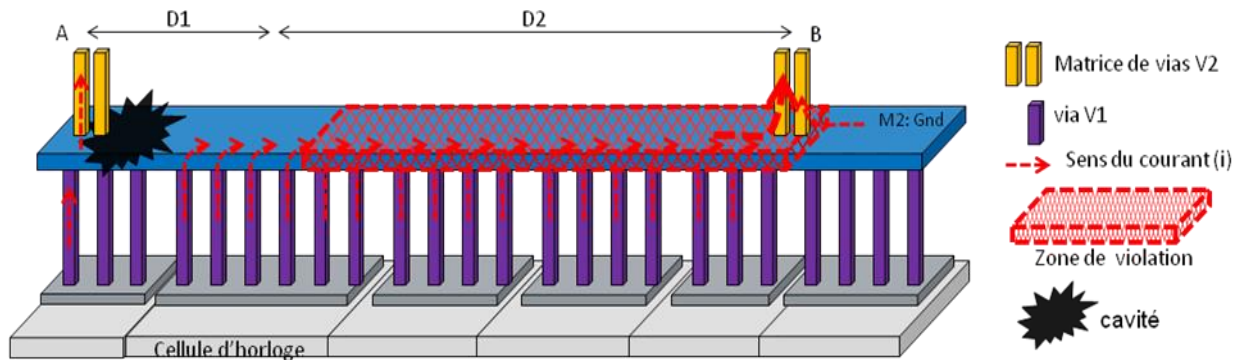


Figure 3-30 : Redistribution du courant dans un réseau de lignes Gnd en cas de cavité

Ce chemin servira à acheminer la totalité des courants de toutes les cellules situées sur le segment. D'où le risque de dégradation à l'aplomb de la matrice B au bout d'un certain temps supplémentaire. La méthode de détermination de ce temps supplémentaire est développée dans le chapitre 4.

5. Les cellules situées sur des fins de lignes de la grille d'alimentation

Nous avons évoqué les chemins redondants qui prennent la relève en cas de cavité dans la ligne, cependant, il faut noter que ce n'est pas toujours le cas. En effet, dans le cas des cellules d'horloge placées dans les extrémités de la grille d'alimentation, il n'y a pas de possibilité de chemins redondants. C'est le cas des cellules situées sur les segments entourés en pointillés dans l'exemple de la Figure 3-31.

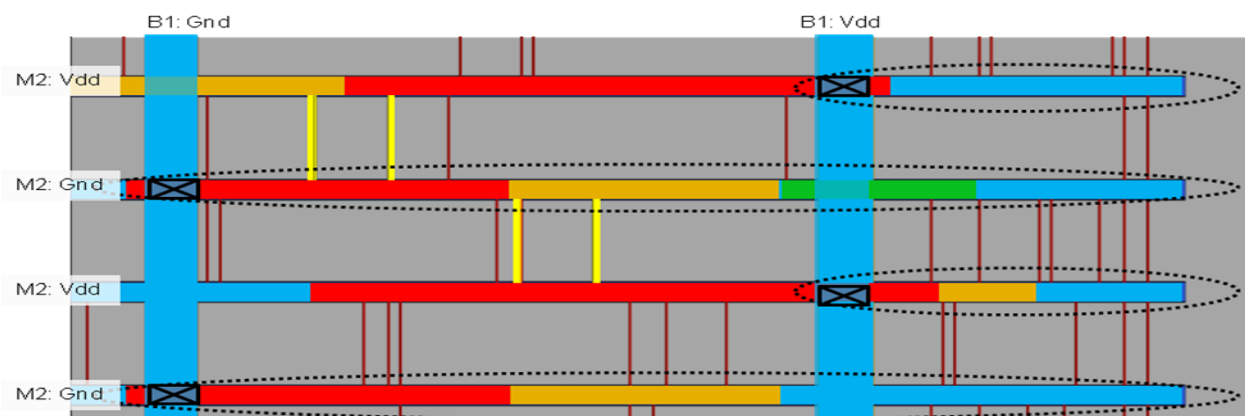


Figure 3-31 : Cellules placées en bout de lignes

La totalité des courants nécessaires à l'alimentation de ces cellules transite par un seul chemin. Par conséquent, en cas de cavité, les cellules situées sur le segment ne seront plus alimentées. Cela entrainera la défaillance de ces cellules et des dysfonctionnements du circuit entier comme dans l'exemple de la Figure 3-32.

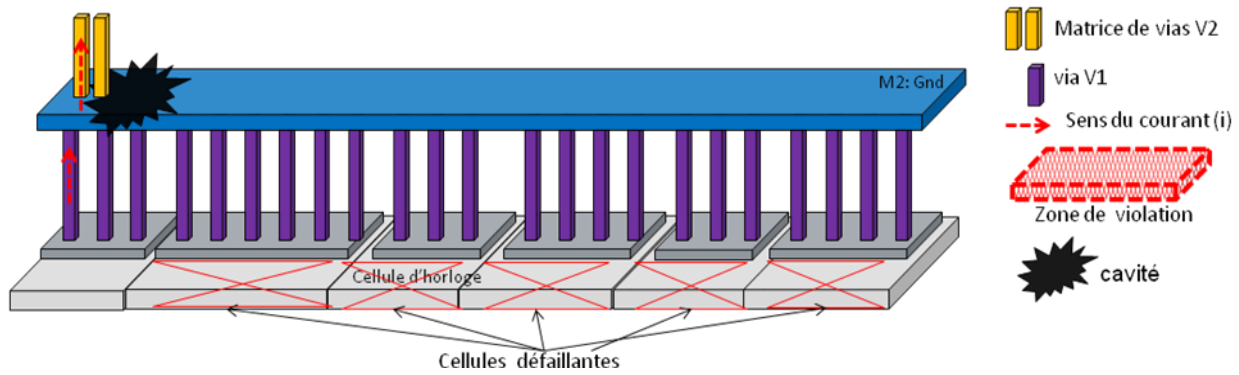


Figure 3-32 : Impact de la cavité dans les cellules situées en bout de grille d'alimentation

Ces observations nous montrent qu'il est nécessaire d'optimiser les modes de placement des cellules d'horloges afin d'éviter de les placer en bout du réseau d'alimentation.

6. Synthèse

Dans ce chapitre, nous avons vu des exemples d'application des méthodes de vérification des risques EMG à travers des cas pratiques. En se basant que sur l'aspect électrique, il est très difficile de respecter les règles DRM. Nous avons déduit un abaque à partir de l'analyse des cellules standards permettant de définir la fréquence à laquelle une cellule peut être utilisée en connaissant sa capacité de charges de sortie. Dans une cellule, les zones exposées aux dégradations EMG sont situées sur la ligne qu'elle partage avec le bloc fonctionnel. Cependant, l'analyse approfondie des résultats a montré que toutes ces violations n'aboutissent pas à la défaillance du circuit. C'est le cas des cellules ayant une double couche de métal, qui offrent des chemins redondants en cas de cavité. Afin de mieux appréhender le comportement des cellules dans les circuits intégré, nous avons mené des études au niveau des blocs fonctionnels. La plupart des violations des règles d'électromigration sont dues aux cellules d'horloges, qui ont besoins de forts courants. Cela nous a permis de comprendre l'importance du placement de ces cellules dans la grille d'alimentation des circuits intégrés. En effet, en fonction de la localisation de ces cellules, l'apparition d'une cavité peut causer une défaillance immédiate ou différée. Il a été aussi question de l'analyse des risques de dégradation physique liés aux violations de courant dans les réseaux d'interconnexion de ces puces. Cette analyse a révélé qu'une puce peut fonctionner grâce à des chemins redondants. À partir des observations faites dans ce chapitre nous avons dessiné des structures de tests afin de vérifier par de tests expérimentaux, les différentes hypothèses émises. Ceci dans le but de proposer des solutions pour une conception de circuits fiables face à l'EMG.

Chapitre 4. Amélioration des méthodologies de vérification EMG dans les circuits

Dans le chapitre précédent, nous avons étudié sous forme de cas pratiques les différents risques liés à l'EMG dans un circuit intégré et des hypothèses théoriques ont pu être proposées. Ce chapitre est consacré d'une part à la vérification de ces hypothèses et d'autre part à l'amélioration des méthodologies de vérification des effets EMG dans les circuits intégrés. Dans un premier temps, nous procéderons à des tests sur des structures conçues à partir des configurations des réseaux d'interconnexions rencontrées dans les circuits étudiés. L'autre volet de ce chapitre, est l'amélioration du mode de détection des outils de simulation. Pour cela, nous allons générer des modèles précis du mécanisme de dégradation en fonction de la configuration du réseau d'interconnexions. Notre but étant de mettre en place des outils capables de prédire de manière précise les risques de dégradation due à l'électromigration et leurs impacts sur le fonctionnement des circuits intégrés. Enfin, nous proposerons des solutions innovantes permettant une conception de grille d'alimentation de circuits intégrés résistants à l'EMG.

I. Relâchement des règles de courant

Les règles de courant utilisées dans les outils de validation, sont de plus en plus difficiles voire impossibles à respecter dans les circuits intégrés complexes. Les règles de courant régissant la vérification des effets EMG sont générées à partir de structures de test élémentaires. Ces structures par leurs simplicités permettent de mieux comprendre la physique de dégradation due à l'EMG. Le but est donc de vérifier les mécanismes de dégradation sur des structures de test imitant la configuration des réseaux d'interconnexions des circuits intégrés.

1. Difficultés liées aux équipements de test

L'une des difficultés majeures de la détermination des courants limites dans les interconnexions est l'adaptation des structures de test aux contraintes des équipements de test. En effet, les équipements actuels ne peuvent tester que des structures de type quatre pointes (chapitre 1, paragraphe II-1). Pourtant dans un réseau d'interconnexions, la prise en compte des interactions entre les segments nécessite plus de pointes. Pour remédier à cela, nous avons conçu une structure de test repartie sur trois couches de métal. L'objectif est d'obtenir une distribution de courant équivalente à celle d'un réseau de grille d'alimentation tout en respectant les contraintes

des équipements. L'exemple de la Figure 4-1 représente une ligne à tester située sur la couche M_x . Les pointes I^+ sont situées à une distance (D) équivalente à l'écart des rails d'une grille d'alimentation d'un circuit réel. Elles servent à injecter les densités de courant dans le segment. La pointe I^- représente l'ensemble des cellules standards placées sur le segment.

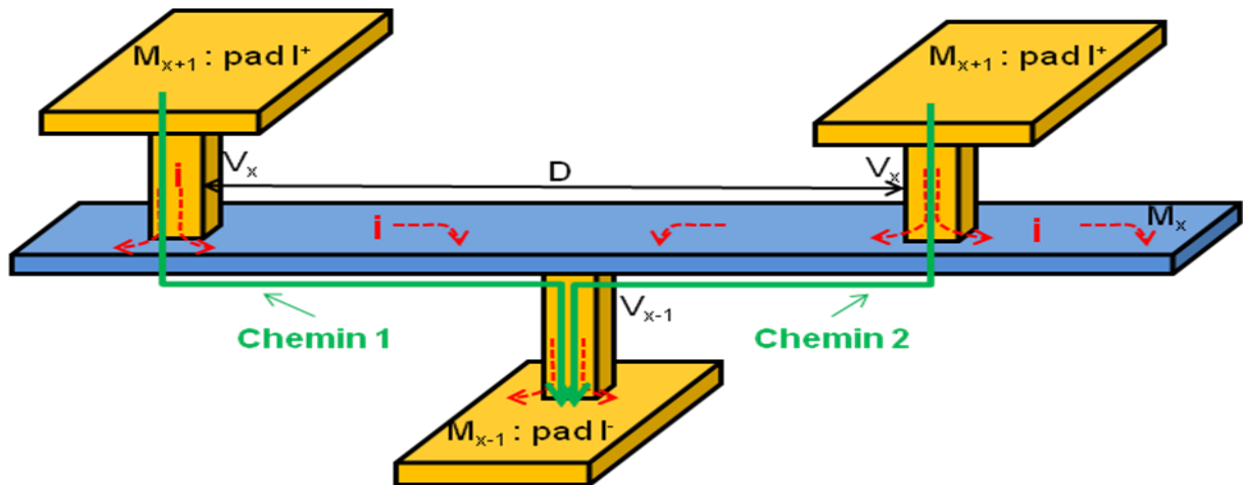


Figure 4-1 : Exemple de structure de test

L'emplacement de la pointe I^- située sur la couche M_{x-1} est modulable, afin de contrôler les quantités de courant circulant dans chacun des chemins (1 et 2) d'alimentation.

2. Influence des paramètres topologiques

Dans les réseaux d'interconnexions d'une puce, plusieurs segments de lignes interagissent entre eux, et cela influence le mécanisme de dégradation de chacun d'eux. Mais cet aspect n'est pas toujours pris en compte dans les outils de vérification. Nous avons donc mené des tests afin d'évaluer l'impact de la topologie des lignes sur leur durée de vie.

a. Impact de la longueur de la ligne

Les dimensions des lignes jouent un rôle important dans leur comportement face aux dégradations dues à l'EMG. Dans un réseau complexe, la détermination des dimensions peut s'avérer fastidieuse, à cause des interactions entre les différents segments du même réseau. En plus, les dimensions des différents segments formant un réseau de ligne ne sont pas toujours uniformes. Or pour une application optimale de l'effet Blech, il est primordial de déterminer ces dimensions (longueur et largeur) de manière précise. C'est pour cette raison que, nous avons dessiné des structures de test, afin de vérifier l'impact de la longueur sur la durée de vie d'un segment donné. Tel est le cas des structures représentées par la Figure 4-2, elles sont réparties sur

trois couches de métal. Dans les deux structures (a) et (b), la ligne à tester est située sur la couche M_x bornée à chacune de ses extrémités par la matrice de vias V_x et V_{x-1} . La ligne à tester dans la structure (a) a une longueur totale de $250\mu\text{m}$ et une largeur de $0.06\mu\text{m}$. Quant à la structure (b), les matrices de vias sont distantes de $5\mu\text{m}$ sur une ligne de $250\mu\text{m}$ au total. Le courant est injecté à la pointe $\text{Pad } I^+$ vers la pointe $\text{Pad } I^-$.

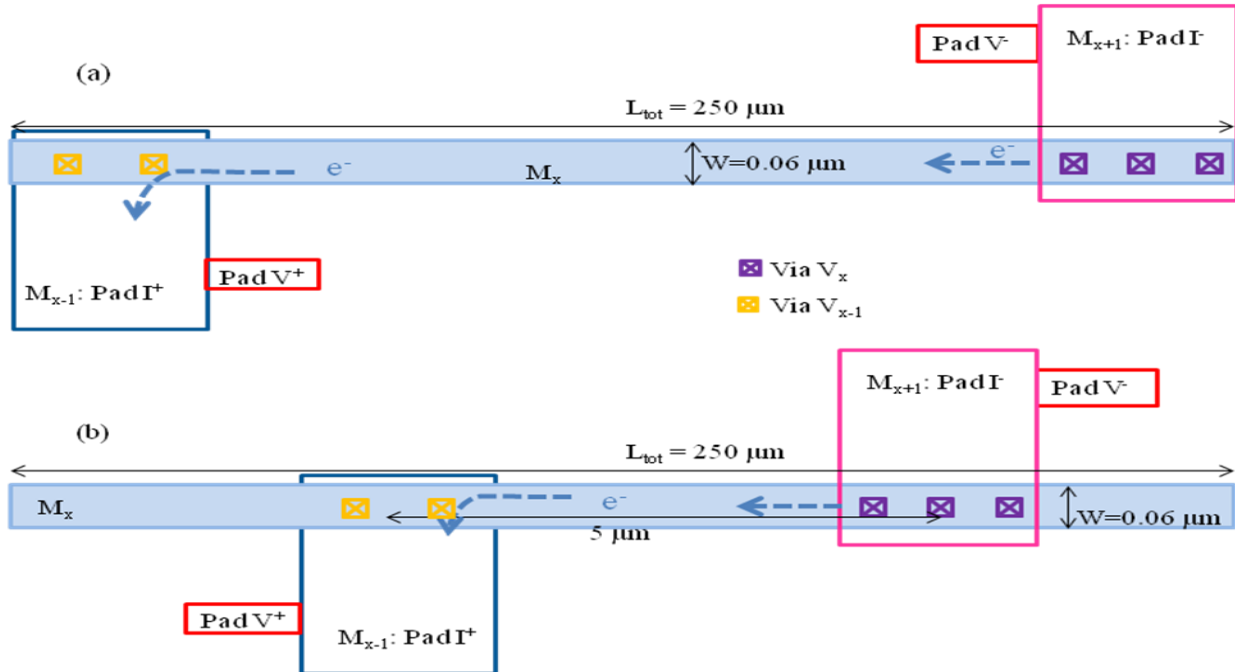


Figure 4-2 : Structure de test de vérification de l'impact de la détermination de la longueur de la ligne. La différence majeure entre la structure (b) et (a) est la longueur du segment actif (entre les deux matrices de vias). Le but est de vérifier l'impact de la distance et des extensions passives (1 et 2) sur la partie active de cette structure comme illustré par cette vue en coupe sur la Figure 4-3.

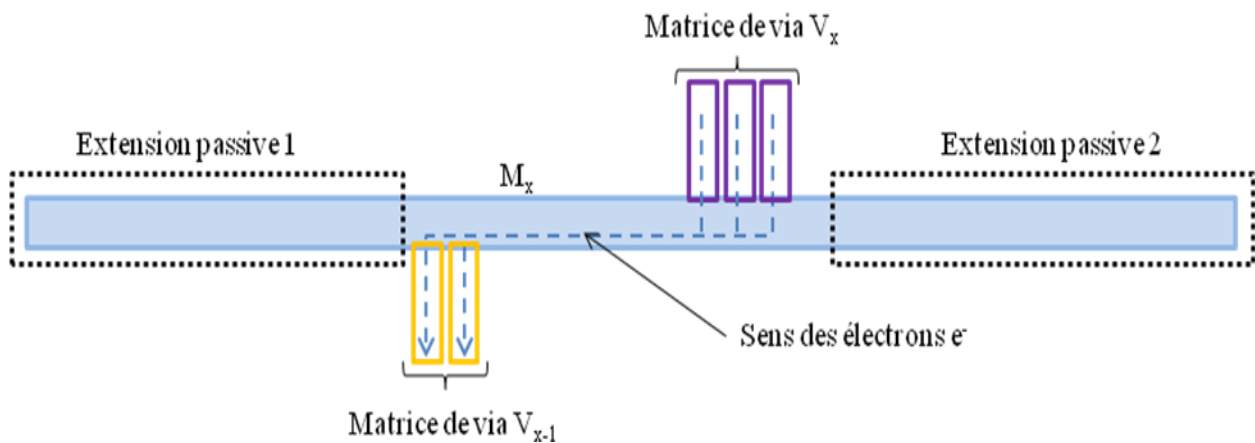


Figure 4-3 : Impact de la longueur de la ligne sur sa durée de vie

Nous avons réalisé des tests accélérés à une densité de courant égale à 0.5 u.a et à une température de 330°C sur les différentes structures. Les taux de défaillance des échantillons en fonction des temps à la défaillance (TTF) sont ensuite reportés dans le graphe de la Figure 4-4. Dans ce graphe, nous observons un décalage entre le taux de défaillance d'une ligne longue et celui du segment actif. Les défaillances dans les lignes longues arrivent plus tôt par rapport aux segments courts. Cela est probablement dû à l'impact de l'effet Blech. Ces résultats montrent que l'effet Blech est applicable malgré les extensions de la ligne.

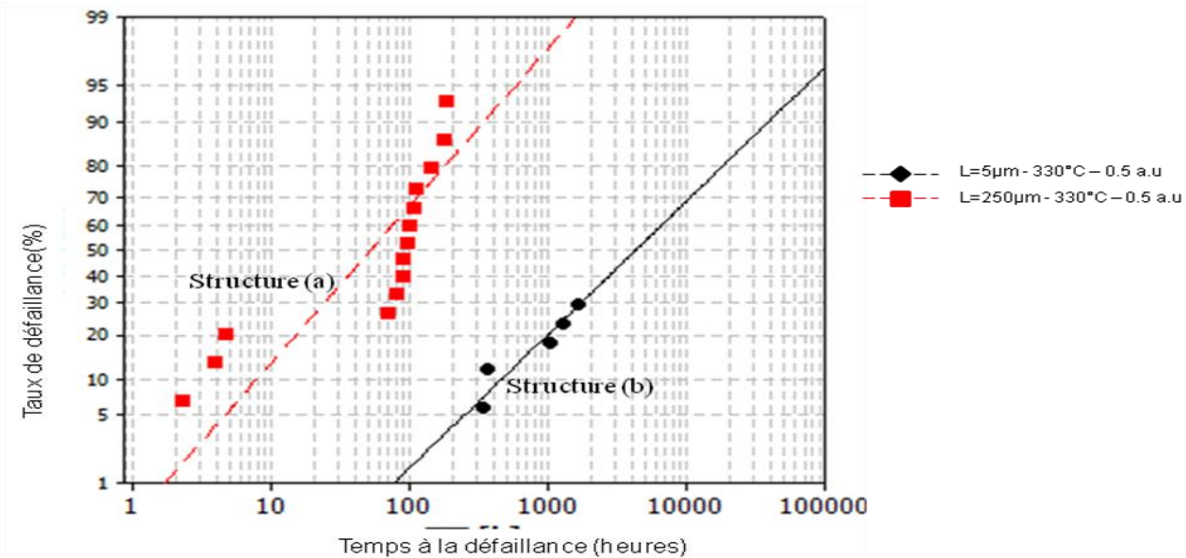


Figure 4-4 : Impact de la longueur de ligne sur le temps à la défaillance.

Habituellement pour l'effet Blech, on considère la longueur totale de la ligne et non celui du segment actif. Ici, on observe un gain même si la ligne est longue. Néanmoins, ce gain est réduit par rapport à une ligne de petite longueur. Une seconde hypothèse est que l'augmentation de la durée de vie est due aux extensions. De plus ample analyses sont nécessaires pour mieux interpréter et quantifier ce phénomène.

b. Vérification de l'effet réservoir et puits

Les effets réservoir et puits sont dus aux interactions entre les segments appartenant à une même ligne d'une même couche de métal. Ces effets sont difficiles à évaluer dans un segment de grille d'alimentation, à cause du courant dans les extensions du segment considéré. Sur une structure isolée, on peut facilement vérifier ces effets, ce qui n'est pas le cas des réseaux d'interconnexions. Afin de vérifier l'impact de ces effets dans les interconnexions, nous avons conçu trois structures de test représentées sur la Figure 4-5. Les structures sont réparties sur trois

couches de métal que sont M_1 , M_2 et M_3 . La structure (a) servant de structure témoin, est longue de $250\mu\text{m}$ et large de $0.06\mu\text{m}$. Dans la structure (b), la matrice de vias V_1 est située à une distance de $10\mu\text{m}$ par rapport à la matrice de vias V_2 créant ainsi un segment actif. Le reste de la ligne constitue alors le segment passif. La particularité de la structure (c), est que le segment passif est rendu actif par une deuxième matrice de vias V_1 . En effet, un segment de métal M_1 est placé parallèlement au segment passif de la couche M_2 le rendant ainsi actif. Cette structure représente la configuration réelle dans les grilles d'alimentation des circuits intégrés. De plus la configuration de la structure (c) permet une répartition du courant injecté dans les deux chemins possibles. Une partie du courant passe par la première matrice de vias et le reste parcourt le segment de ligne sur le M_1 avant de monter par la deuxième matrice de vias.

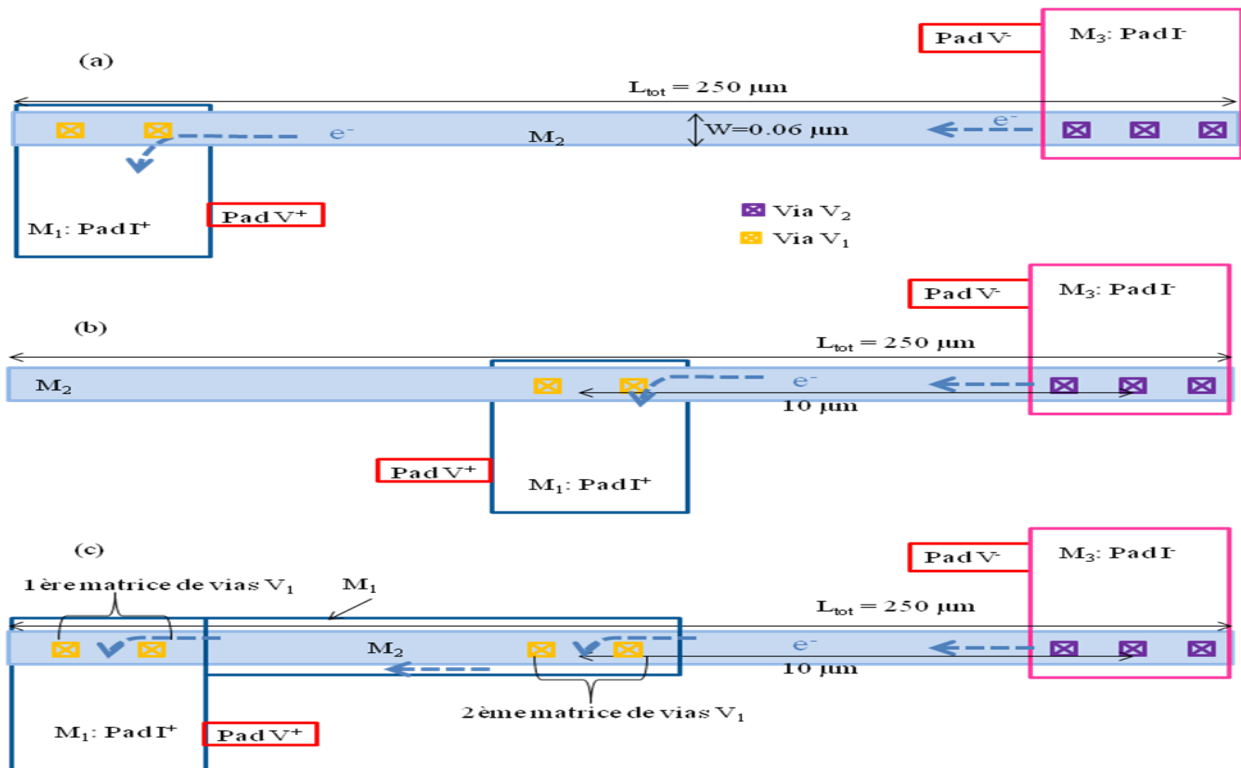


Figure 4-5 : Impact de l'extension passive (b) et active (c) sur la durée de vie d'un segment.

Nous avons réalisé des tests accélérés à $300\text{ }^\circ\text{C}$ pour une densité de courant égale à 0.2u.a. Les résultats de ces tests sont représentés sur la Figure 4-6. Nous avons constaté au bout de 1000 heures de test, qu'il n'y a aucune dégradation sur la structure (b). Cela pourrait s'expliquer par le fait que l'extension passive participe au confinement de la ligne, ce qui permet un petit effet Blech dans la zone active. Pour la structure (c), l'extension active inhibe l'effet Blech dans le segment soumis au test, d'où les défaillances observées. Néanmoins la durée de vie de ce type de

structure est presque deux fois plus élevée que celui de la structure témoin (a) pendant la durée de notre test.

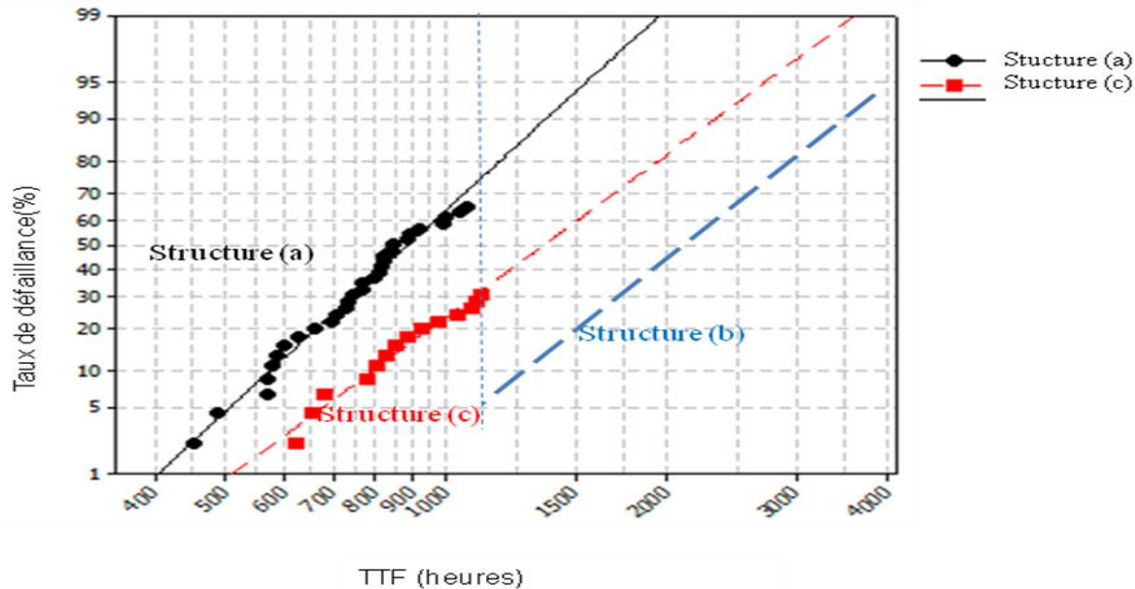


Figure 4-6 : Impact des extensions passives et actives sur le TTF

Cette étude met donc en évidence la difficulté dans une grille d'alimentation d'un circuit intégré, à évaluer les effets puits et réservoir. Pourtant, l'impact de ces effets sur les durées de vie des segments est non négligeable. Néanmoins au préalable, il faut être capable de mieux caractériser ces effets par une campagne de tests au niveau silicium pour en tirer des règles. Enfin se posera le problème de vérification de ces effets au niveau des outils CAO. Raison pour laquelle, il serait intéressant de développer des méthodes de vérification basées sur une modélisation des ces effets validés au niveau au niveau silicium.

3. Localisation des cavités dans la ligne Vdd d'une cellule standard

Durant l'étude des réseaux d'alimentation des cellules standards, nous avons observé que l'augmentation du nombre de vias V1 sur la couche M2 permet une meilleure répartition du courant dans les cellules standard (paragraphe II-3-b-i du chapitre 3). Ce qui réduit le flux d'électrons (e^-) à la sortie de chaque via. Néanmoins, l'accumulation de ces électrons autour de l'amenée de courant représente un risque élevé de dégradation dans la ligne. Aussi compte tenu du sens des électrons, il est difficile d'identifier avec précision le via au-dessus duquel la cavité apparaîtra. Pour cela, nous avons dessiné des structures de test reproduisant la même configuration. Notre objectif étant de vérifier la localisation des premières cavités sur la ligne. Cette structure de test représentée par la Figure 4-7 est répartie sur trois couches de métal (M1,

M2 et M3). Le segment à tester est borné d'un côté par une matrice de vias V2 et une matrice de vias V1 au centre. Le principe est d'injecter du courant par la pointe I⁺ située sur la couche M3 vers la pointe I⁻ de la couche M1 afin d'observer l'endroit où apparaîtra la cavité sur la matrice de via V1.

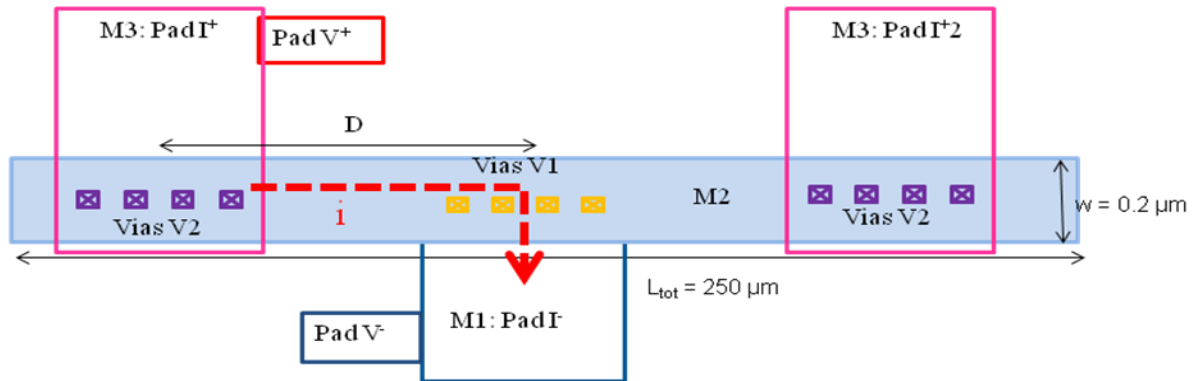


Figure 4-7 : Structure de test de la ligne d'alimentation Vdd

À la suite des tests accélérés, nous avons arrêté les tests au premier saut de résistance. Ensuite nous avons réalisé une coupe d'une des structures de test. Une observation au microscope électronique à balayage représenté sur la Figure 4-8 montre une ouverture de cavité au-dessus de la matrice de vias V1. Tout le courant arrive par le segment entre le via V1 numéros 1 et la matrice de vias V2, puis il se disperse dans les autres vias V1. Les violations des règles de courant sont plus importantes à niveau du premier via V1. Cela signifie que le flux maximum d'électrons se situe au-dessus de ce via. Mais en observant la position de la cavité, on voit qu'il y a une ouverture complète au-dessus des vias (numéros 2 et 3) situés au milieu de la matrice de via. Cela s'explique probablement par le fait que les atomes de cuivre déplacés au-dessus du via numéros 1 sont remplacés par ceux venant des autres vias.

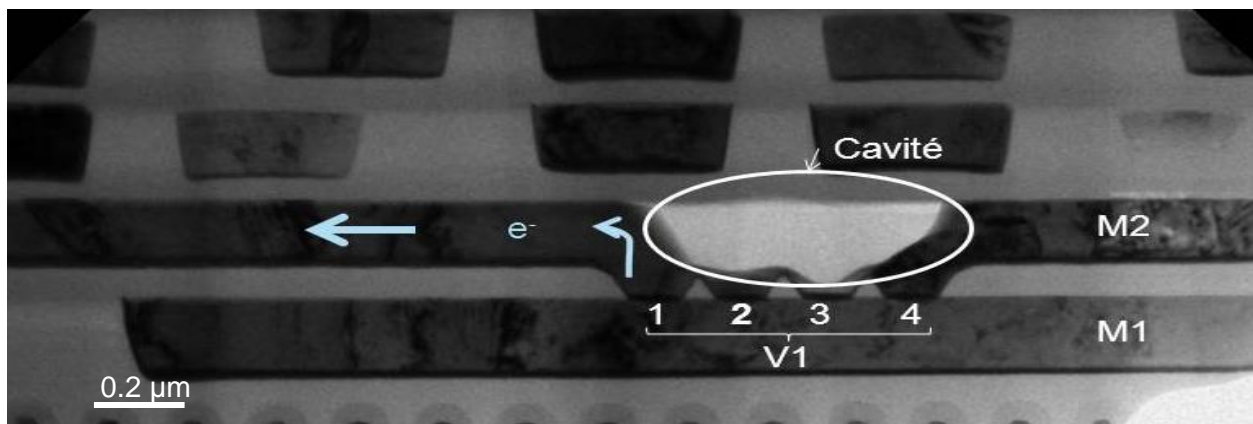


Figure 4-8 : Localisation de la cavité dans la ligne d'alimentation Vdd

Au dessus d'une matrice de vias, la cavité n'apparait pas forcément au niveau où le flux d'électrons est le plus élevé.

L'hypothèse selon laquelle, une cellule continue de fonctionner malgré une cavité dans sa grille d'alimentation est raisonnable, puisqu'ici, les vias V_1 numéros 1 et 4 sont encore conducteur. D'autres tests sont nécessaires pour valider cela de manière statistique et pouvoir relâcher des règles de courant.

4. Évaluation des effets de la redondance dans les grilles d'alimentation

Dans le paragraphe III-5-b du chapitre 3, nous avons observé que dans une grille d'alimentation, les chemins redondants favorisent la réduction des quantités de courant par voies d'accès. Cela a pour avantage de retarder voire d'éviter l'apparition d'une cavité durant un temps de fonctionnement donné. L'autre avantage est l'approvisionnement des cellules par le chemin redondant en cas de cavité dans le chemin principal. Le but de ce volet des travaux est d'évaluer la durée de vie supplémentaire offerte par le chemin redondant, en cas de défaillance du chemin principal. Pour cela, considérons un segment de ligne de masse (Gnd) de la couche de métal M2 délimité par les vias V_A et V_B représenté par la Figure 4-9. En supposant une cellule d'horloge à proximité du via V_A , les risques de violation des limites de courant se situent dans cette partie du segment.

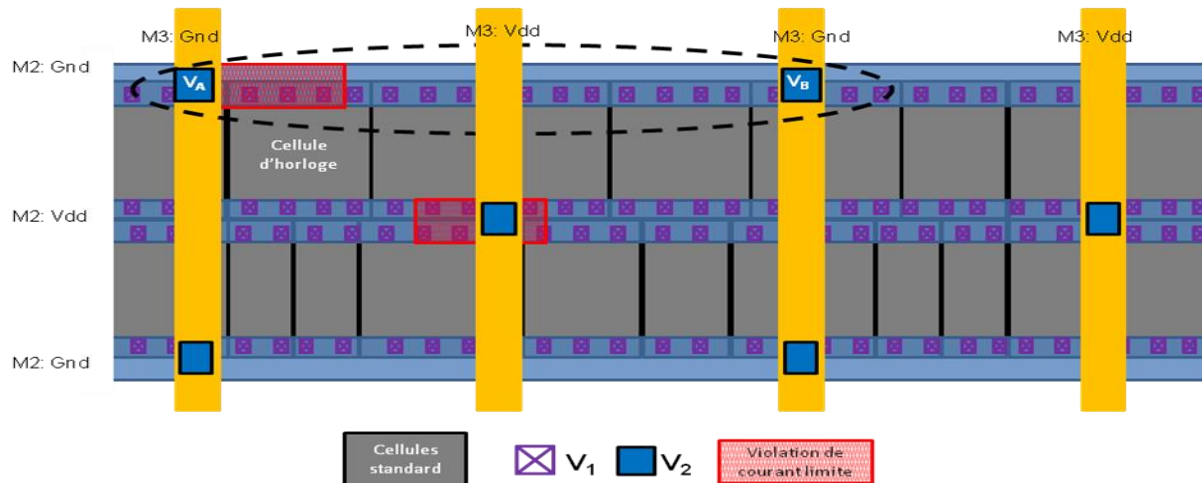


Figure 4-9 : Chemin redondant dans la ligne de masse gnd de la couche M2

a. Modélisation de la redondance

Considérons I_A et I_B , les courants circulant dans les vias (V_A et V_B) connectés au segment à étudier. La quantité du courant I_A est composée en majorité par le courant I_{segA} alimentant le

segment comportant la cellule d'horloge. Quant au courant I_B composé en grande partie par le courant (I_{segB}) du segment comportant la cellule d'horloge. L'ensemble du courant dans le segment délimité les vias V_A et V_B est représenté par I_{seg} qui est égale à la somme des courants I_{segA} et I_{segB} . On fait l'hypothèse que le courant I_{segB} est inférieur à I_{segA} .

On suppose que pour une durée de vie optimale (TTF_{OP}) donnée, la limite de courant DRM (I_{DRM}) crée une cavité de section critique (S_C). Cette section a une taille équivalente à celle de la ligne étudiée, donc crée une ouverture complète de la ligne.

Etant donné que le courant est important dans le segment de ligne à proximité du via V_A , au bout d'un temps de fonctionnement, une première cavité de taille critique (S_C) apparaît à l'aplomb du via V_A comme illustré sur la Figure 4-10. Pendant ce temps, une cavité partielle (S_{PB}) est créée à proximité du via V_B par le courant I_B .

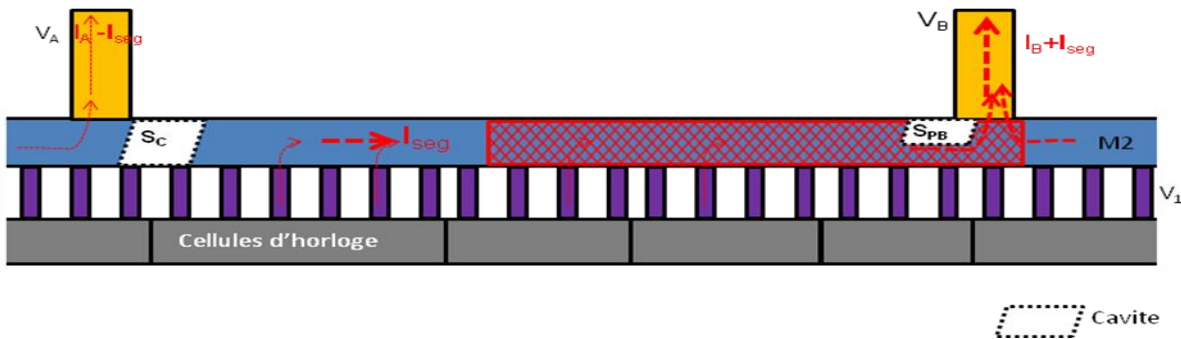


Figure 4-10 : Vue en coupe de l'état de la dégradation du segment de ligne de la couche M2

Une fois la cavité critique créée à l'aplomb du via V_A , tout le courant (I_{segA}) du segment est fourni par les vias V_B . Il y a une redistribution des courants dans les vias du chemin redondant.

b. Durée de vie de la section de ligne autour du via V_A

La durée de vie de la section sous le via V_A (TTF_{VA}) est calculée à l'aide de l'Équation 4-1 qui se base sur le courant total I_A circulant dans le via V_A et le courant limite autorisé par le DRM (I_{DRM}) pour une durée de vie optimale (TTF_{OP}) donnée.

$$TTF_{VA} = \frac{I_{DRM} * TTF_{OP}}{I_A}$$

Équation 4-1 : Durée de vie de la section de ligne autour du via V_A

Pendant ce temps le courant I_B circulant par le via V_B n'est pas négligeable, entraîne une usure dans la ligne aux alentours du via V_B .

c. L'usure de la ligne à l'aplomb du via V_B

Le but est d'évaluer la taille de la cavité partielle (S_{PB}) créée dans la ligne à proximité du via V_B durant la durée TTF_{VA} . La taille de cette cavité peut être déterminée à l'aide de l'Équation 4-2 à partir des courants I_A , I_B et de la section critique (S_C) de la ligne.

$$\begin{array}{l} I_A \rightarrow S_C \\ I_B \rightarrow S_{PB} \end{array} \quad \Longrightarrow \quad S_{PB} = \frac{I_B}{I_A} * S_C$$

Équation 4-2 : La taille de la cavité partielle créée à l'aplomb du via V_B

L'usure de la ligne à proximité du via V_B entraîne une modification de la section critique initiale de la ligne. La section restante (S_C') peut être exprimée en fonction de la section critique initiale (S_C) et de la cavité partielle (S_{PB}) créée par le courant I_B grâce à l'Équation 4-3.

$$S_C' = S_C - S_{PB} \Rightarrow S_C' = \left(1 - \frac{I_B}{I_A}\right) * S_C$$

Équation 4-3 : La section restante à l'aplomb du via V_B

Par conséquent, cela entraîne une modification du courant limite nécessaire pour créer une cavité de taille équivalente à celle de la section restante.

d. Modifications du courant limite I_{DRM} dû à l'usure dans la ligne

Compte tenu de la dégradation de la section de la ligne, si l'on veut espérer atteindre la durée de vie optimale (TTF_{OP}) initiale, il faut redéfinir une nouvelle limite de courant (I_{DRM}'). Ce courant limite est calculé à l'aide de l'Équation 4-5, en fonction du courant limite initiale (I_{DRM}). En effet, le courant I_{DRM} a été nécessaire pour créer une cavité critique (S_C) au bout de TTF_{OP} , alors pour créer une cavité de la taille de la section restante (S_C'), il faut I_{DRM}' .

$$\begin{array}{l} I_{DRM} \rightarrow S_C \\ I_{DRM}' \rightarrow S_C' \end{array} \quad \Longrightarrow \quad I_{DRM}' = \frac{S_C'}{S_C} * I_{DRM} = \frac{\left(1 - \frac{I_B}{I_A}\right) * S_C}{S_C} * I_{DRM} \Rightarrow I_{DRM}' = \left(1 - \frac{I_B}{I_A}\right) * I_{DRM}$$

Équation 4-4 : Nouvelle limite de courant nécessaire à la création de la cavité dans la section restante

L'apparition de la cavité critique S_C entraîne aussi une redistribution du courant I_A . La totalité des courants circule alors dans le via V_B en transitant dans le tronçon restant, ce qui a pour conséquence, l'accélération de la rupture du tronçon.

e. Durée de vie offerte par le chemin redondant (TTF_{VB})

Le temps nécessaire à l'ouverture de la section restante est déterminé à l'aide de l'Équation 4-5. Cette équation exprime la durée de vie du chemin redondant (TTF_{VB}) en fonction de la nouvelle valeur limite du courant (I_{DRM}'), de la part de courant qui provenait du via V_A (I_{segA}) avant

l'ouverture de la cavité, de la quantité de courant initiale (I_B). En remplaçant I_{DRM} par son expression, on obtient l'expression de TTF_{VB} en fonction du courant DRM.

$$TTF_{VB} = \frac{I_{DRM} * TTF_{OP}}{I_{seg} + I_B} \Rightarrow TTF_{VB} = \left(1 - \frac{I_B}{I_A}\right) * \frac{I_{DRM} * TTF_{OP}}{I_{segA} + I_B}$$

Équation 4-5 : Durée de vie de la section de ligne autour du via V_A

Au bout de TTF_{VB} la section restante cède et l'approvisionnement des cellules situées sur ce segment cesse aussi. La Figure 4-11 représente le segment avec les deux cavités à chaque extrémité. Par conséquent, la défaillance des cellules pourrait entrainer ainsi celle du circuit intégré.

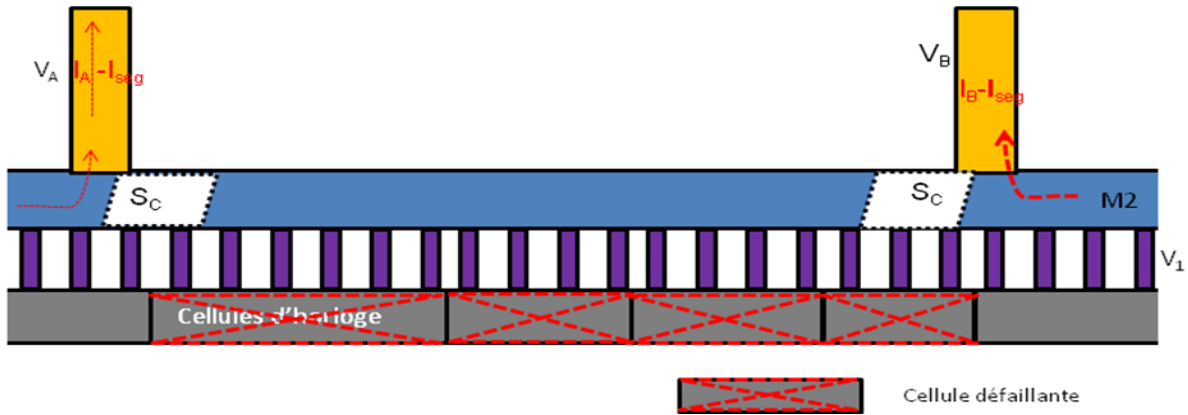


Figure 4-11 : Défaillance d'un segment d'interconnexion.

f. Durée de vie globale d'un segment de la grille d'alimentation

L'approche habituelle consiste à considérer chaque apparition de cavité comme une défaillance. Notre méthode, elle considère l'apparition de deux cavités à chaque extrémité d'un segment donné. Au final, la durée de vie globale du segment (TTF_r) est déterminée à partir de la somme des temps de création de la première et de la deuxième cavité. Son expression est donnée par l'Équation 4-6 utilisant les courants (I_A et I_B) des vias délimitant le segment, la totalité du courant du segment et le temps à la défaillance optimale (TTF_{OP}) correspondant au courant DRM (I_{DRM}).

$$TTF_r = TTF_{VA} + TTF_{VB} = \frac{I_{DRM} * TTF_{OP}}{I_A} + \left(1 - \frac{I_B}{I_A}\right) * \frac{I_{DRM} * TTF_{OP}}{I_{segA} + I_B}$$

Équation 4-6 : Durée de vie d'un segment en tenant compte de la redondance [B. Ouattara et al, 2013]

Cette équation est plus complète que l'équation standard de calcul de durée de vie (Équation 4-1) et prend en compte la configuration de la grille d'alimentation. Dans le cas où la structure de la grille n'offre pas de chemin redondant, le courant I_B est nul, donc il n'y a pas de durée de vie

supplémentaire. Il faut retenir que l'avantage de la redondance réside dans la durée de vie supplémentaire qu'elle fournit au segment considéré. Par contre si le chemin redondant est très utilisé, la durée de vie supplémentaire sera alors très faible. C'est pourquoi il faudra faire attention au placement des cellules d'horloge dans la grille d'alimentation d'un circuit (nous y reviendrons au paragraphe III de ce chapitre).

5. Vérification de l'effet de redondance sur les structures de test.

Afin de valider les effets de redondance observés durant les simulations, nous avons conçu des structures de test. Le but est d'évaluer à partir des données sur silicium, les durées de vie supplémentaires fournies par les chemins redondants.

a. Structures de test

Nous avons considéré une ligne de longueur totale (L_{tot}) égale à $250 \mu\text{m}$ et de largeur $0.2 \mu\text{m}$ sur laquelle, nous avons réalisé deux types de test de durée de vie. La structure de test de la Figure 4-12 (a) sert de structure de référence. Le test a consisté à injecter du courant i_1 d'intensité égale à 1.04 u.a de la matrice de vias V_B vers la matrice V_A , à une température de 325°C . Quant à la structure de la Figure 4-12 (b), le courant total i_2 équivalent à deux fois la valeur du courant i_1 (soit 2.08 u.a), est injectée à partir de l'amenée de courant I^+ située sur la couche inférieure M_{x-1} . Dans notre exemple, nous avons considéré que l'amenée de courant est à équidistance des matrices de vias V_A et V_B . Le courant se repartit alors équitablement entre les chemins 1 et 2.

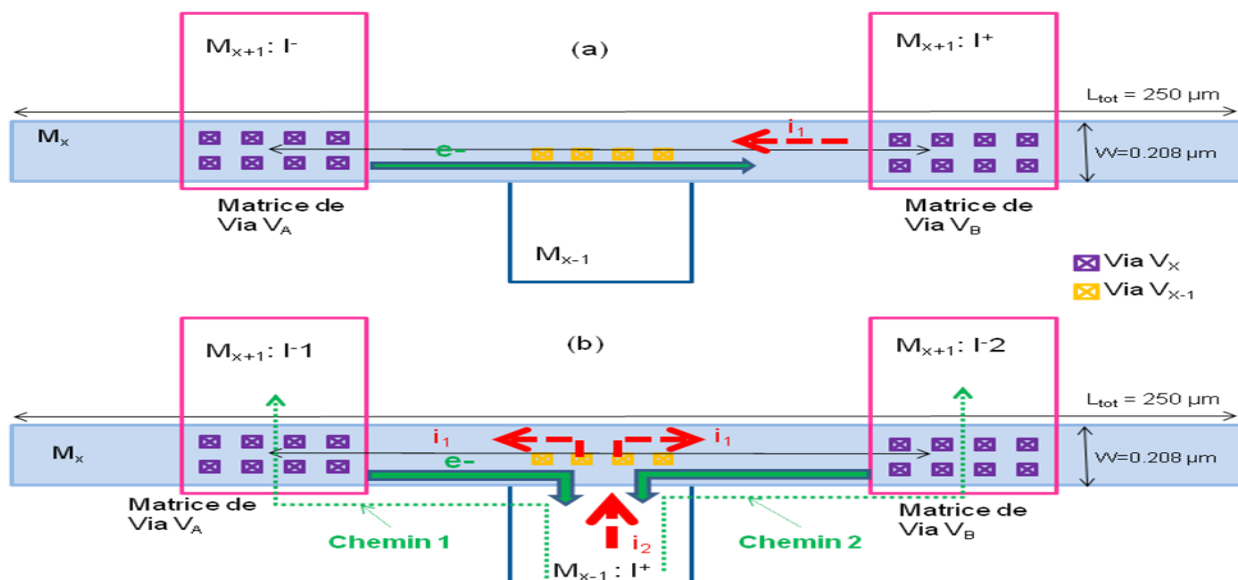


Figure 4-12 : Structure de test des effets de la redondance dans les grilles d'alimentation

b. Résultats et interprétations

L'apparition des cavités dans la ligne est caractérisée par un saut abrupt de la courbe de résistance électrique. Ce saut, comme nous l'avons vu au chapitre 1, signifie une ouverture complète de la section de métal. Dans le cas d'une structure classique représenté par la Figure 4-12 (a), l'évolution de la résistance est représentée en pointillé sur la Figure 4-13. Cette courbe est caractérisée par un seul saut au bout de TTF_1 correspondant à la cavité à l'aplomb de la matrice de via V_A . La courbe de résistance de la structure de la Figure 4-12 (b) est représentée par la courbe de résistance (en ligne pleine). Sa courbe de résistance est caractérisée par deux sauts correspondant à l'apparition de la première cavité à l'aplomb des vias V_A et celle de la deuxième cavité aux alentours des vias V_B au bout de TTF_2 . L'apparition de la première cavité entraîne une augmentation brutale de la résistance, mais insuffisante pour entraîner une défaillance du segment, car tout le courant transitant dans le chemin 1, se rabat dans le chemin 2 (redondant). C'est l'apparition de la deuxième cavité qui entraîne un isolement du segment, la ligne ne peut plus conduire du courant.

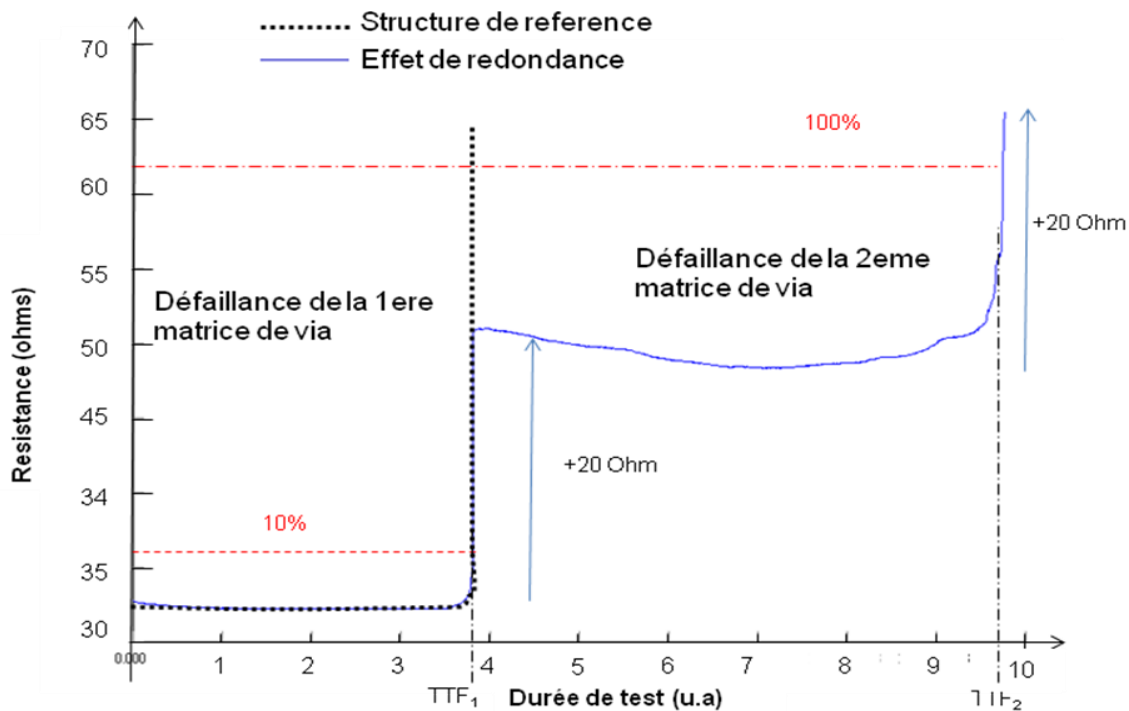


Figure 4-13 : Impact de chemins redondants sur la courbe de résistance d'un segment pendant la défaillance

Durant le test, nous avons réalisé une découpe au premier saut de résistance pour la structure Figure 4-12(b). La vue en coupe de la Figure 4-14 nous permet de voir la taille de la cavité du chemin principal, ainsi que l'état de dégradation du chemin redondant.

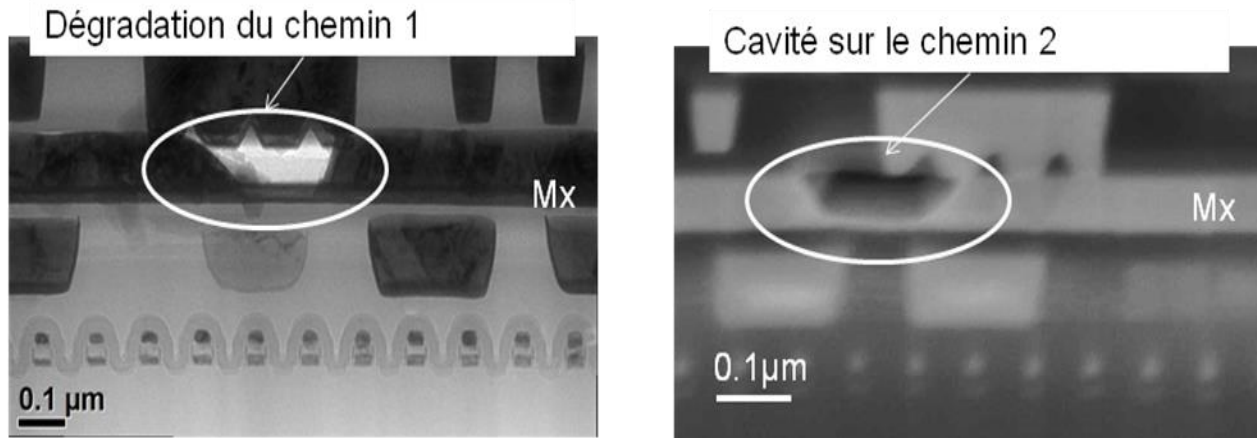


Figure 4-14 : Impact de l'électromigration sur une structure de test ayant un chemin redondant

Cela confirme les hypothèses émises lors des différents travaux théoriques réalisés sur l'effet de la redondance. Nous observons la cavité créée sur le chemin 2 a une taille équivalente à la section de la ligne, ce qui entraîne une interruption de la fourniture du courant. Par contre, malgré la dégradation sur le chemin 1, il existe des bouts de métal permettant la circulation de courant. Cela explique la conduction de la ligne malgré une première cavité.

c. Impact des effets de redondance sur le temps à la défaillance d'un segment

Afin de dégager une tendance des durées de vie des segments en prenant en compte la contribution de la redondance, des tests de durée de vie ont été menés sur plusieurs échantillons. Afin d'évaluer les effets de la répartition du courant dans les segments servant à approvisionner une cellule donnée, nous avons considéré la structure de test de la Figure 4-12. En supposant que le courant est équitablement repartit entre les chemins 1 et 2 ($i_1=i_2$), nous avons appliqué l'équation de durée de vie (Équation 4-6). Cela nous a permis d'obtenir les durées de vie TTF_{s1} pour la structure (a) et TTF_{s2} pour la structure (b). Ces durées de vies sont résumées par l'Équation 4-7.

$$TTF_{s1} = \frac{I_{DRM} * TTF_{OP}}{i_1}$$

$$TTF_{s2} = \frac{I_{DRM} * TTF_{OP}}{i_1} + \left(1 - \frac{i_2}{i_1}\right) * \frac{I_{DRM} * TTF_{OP}}{i_1 + i_2} = \frac{I_{DRM} * TTF_{OP}}{i_1} = TTF_{s1}$$

Équation 4-7 : Durée de vie des structures de test

D'après notre équation, les durées de vie sont identiques entre les structures. Expérimentalement, on observe sur la Figure 4-15 que les distributions des taux de défaillance se superposent. Or il y a deux fois plus de courant qui est injecté dans la structure (b) par rapport à la structure (a). Ce

qui confirme nos hypothèses et prouve que grâce à la redondance, on peut doubler le courant dans une structure ayant des chemins redondants.

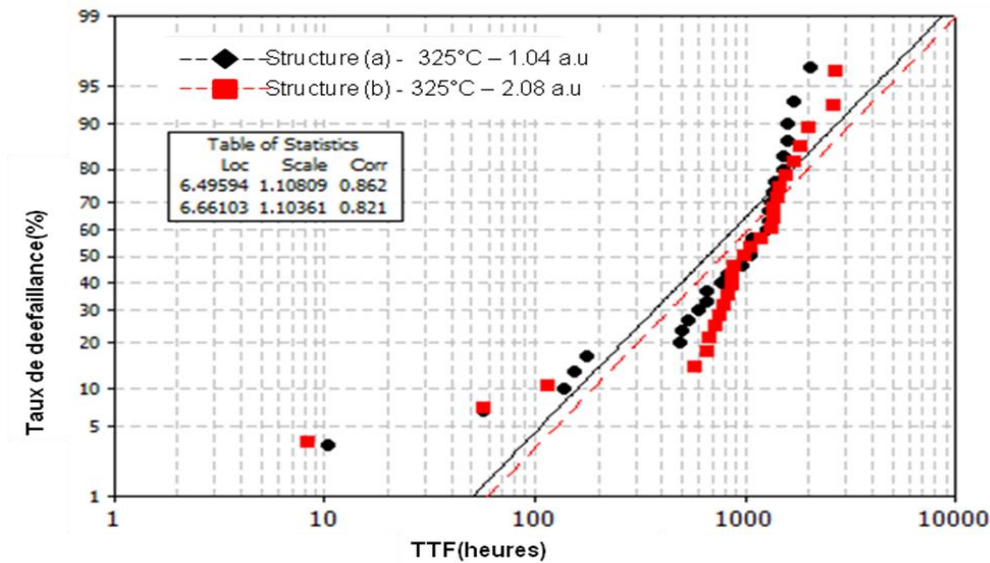


Figure 4-15 : Effets de redondance sur le temps à la défaillance

Au vu de ces résultats, nous sommes à mesure d'affirmer qu'il est possible de relâcher les limites de courant dans les réseaux d'interconnexion ayant des chemins redondants. Ces effets devront être pris en compte dans les outils de vérification des effets d'électromigration au niveau de la conception afin d'améliorer leur précision.

II. Amélioration de la détection des risques au niveau design

L'objectif de cette partie est d'améliorer les méthodes de vérification des effets EMG en tenant compte de la configuration du réseau d'interconnexions des circuits intégrés.

1. Conditions de vérification de la fiabilité des circuits intégrés

Le but du processus de validation d'un circuit intégré est de s'assurer de son bon fonctionnement. Par conséquent toute défaillance capable d'affecter ses performances sont à considérer. En fonction du type de réseau d'interconnexions, une défaillance peut être causée par l'apparition d'une ou plusieurs cavités. Dans un réseau signal, une ouverture complète dans une ligne entraîne l'interruption de la transmission de signal entre deux composants. Cela entraîne un dysfonctionnement du circuit, donc sa défaillance. Dans le réseau d'alimentation, nous avons vu qu'en fonction de la disposition des cellules dans la grille d'alimentation, une cavité ne débouchait pas systématiquement sur une défaillance. En effet, en cas de présence de chemins redondants, un circuit est capable de fonctionner malgré la présence d'une cavité. Cela montre la

difficulté de définir la défaillance en se basant uniquement sur des critères de courant, il faut donc prendre en compte la configuration du réseau d'interconnexions. La vérification de la fiabilité d'un circuit intégré est faite pour des conditions données [A. Schmitz, 2012]. Ces conditions sont basées principalement sur les principaux paramètres ayant un impact sur la consommation électrique du circuit. Quelle que soit l'approche de validation utilisée, la définition des conditions de vérification reste une étape décisive.

2. Intégration de la redondance dans les outils de vérification

Notre contribution consiste à proposer un outil de traitement des résultats obtenus avec les outils de vérification existants, afin d'ajuster les durées de vie en fonction de l'environnement immédiat de chaque zone à risques. Dans le paragraphe I-4, nous avons montré comment prendre en compte la redondance dans le calcul de la durée de vie en se basant sur les courants des matrices de vias délimitant le segment en violation. La mise en place de cette équation dans un outil de simulation nécessite l'identification et la récupération des informations des paramètres contenus dans cette équation. Notre stratégie consiste à rechercher les vias les plus proches de part et d'autre d'une zone de violation. Les résultats des outils de simulation actuels nous donnent des zones de violation des règles de courant avec un ensemble d'informations sur les caractéristiques du segment considéré. En effet, un segment de ligne est identifié par des informations électriques et les coordonnées (X, Y) permettant de le localiser. Le principe de notre méthode est de définir un périmètre de recherche autour de la zone de violation et de récupérer ensuite tous les vias connectés au segment. La mise en place de la méthode nécessite un certain nombre d'informations concernant le segment en violation, entre autres :

- La couche sur laquelle se trouve la zone de violation
- Le type de ligne en violation (Vdd/Gnd)
- Les dimensions de la ligne en violation
- Le courant calculé dans le segment considéré
- Le courant limite imposé par le DRM pour ce type de segment
- Le taux de violation

Les informations relatives à la couche et au type de ligne (Gnd/Vdd) permettront de définir les types de vias à rechercher.

3. Application de la méthode de redondance: Simulation

Nous avons mené des simulations sur un microprocesseur conçu en nœud technologie 32 nm fonctionnant à une fréquence de 1GHz et une tension de 1.3V. Nous avons supposé un seuil de durée de fonctionnement en continu optimal (TTF_{OP}) de 10 ans pour une densité de courant limite définie par le DRM.

a. Récupération des vias proches des zones de violation

Prenons le cas d'une violation sur une ligne de masse (Gnd) due à la présence d'une cellule d'horloge représentée par l'exemple de la Figure 4-16. Les zones de violation sont localisées sur les rails d'alimentation formés par les lignes de la couche M2. À chaque extrémité du segment, nous avons des vias V2 situés sur la ligne. Nous avons vu dans le chapitre 3, paragraphe I que dans les lignes Gnd, les défaillances apparaissent sur la ligne à l'aplomb des vias supérieurs. Donc, les vias à récupérer sont les V2.

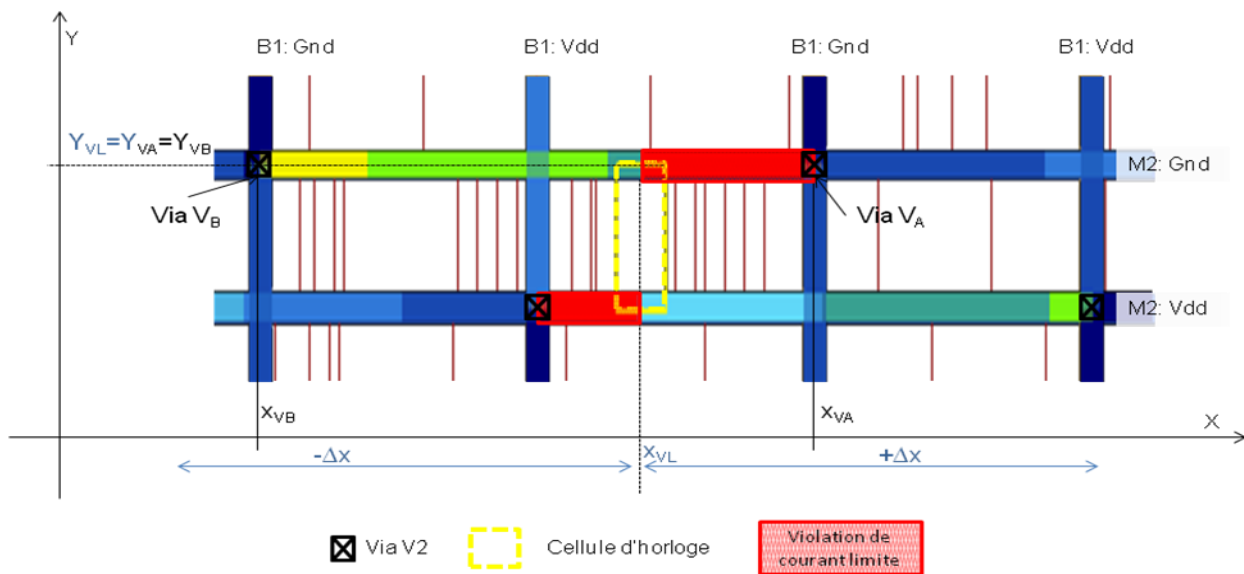


Figure 4-16 : Délimitation de la zone de recherche des vias autour d'une zone de violation

Le segment Gnd en violation est repéré par les coordonnées Y_{VL} suivant l'axe des ordonnées et X_{VL} suivant l'axe des abscisses. Étant donné que la ligne est disposée horizontalement, les coordonnées de l'axe Y du via V_A (Y_{VA}) et du via V_B (Y_{VB}) sont égales à celle du segment (Y_{VL}). La délimitation du périmètre de redondance se fera en ajoutant une variable Δx de part et d'autre de la coordonnée X_{VL} comme illustré par la Figure 4-17. Nous récupérerons ensuite les coordonnées des vias se trouvant dans ce périmètre ainsi que toutes les informations y afférant.

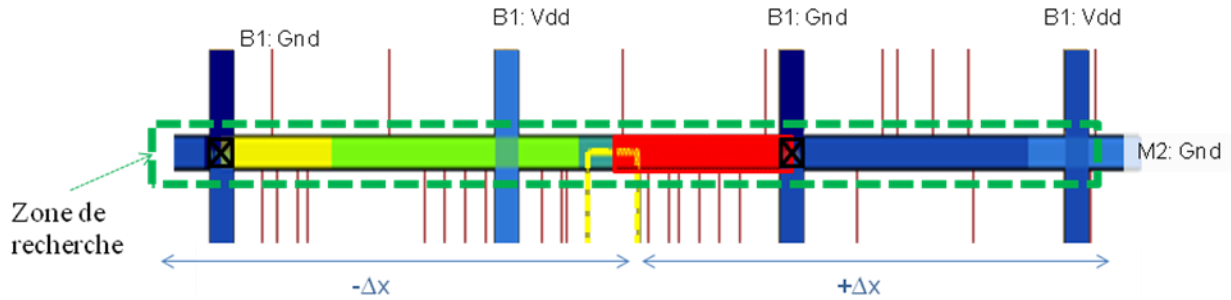


Figure 4-17 : Recherche de chemin redondant

Nous avons ensuite évalué la durée de vie du segment, en appliquant l'équation de la redondance (Équation 4-6).

b. Application de l'équation de la redondance

Les résultats font état de près de 1900 segments de la couche M2 en violation des limites de courant DRM. Autrement dit la durée de vie de ce segment ne dépassera pas la durée de vie de référence égale à 10 ans. Ce sont généralement les segments servant à alimenter les cellules d'horloge. Après analyse, près de 200 cas de violation concerne des cellules d'horloge situées sur des bouts de ligne, donc, il n'y a aucune redondance possible. Afin d'évaluer l'impact des effets de redondance sur les 1700 cas restants, nous avons appliqué notre méthode. Les résultats sont résumés dans le graphe de la Figure 4-18 représentant le nombre de segments à risque en fonction des durées de vie.

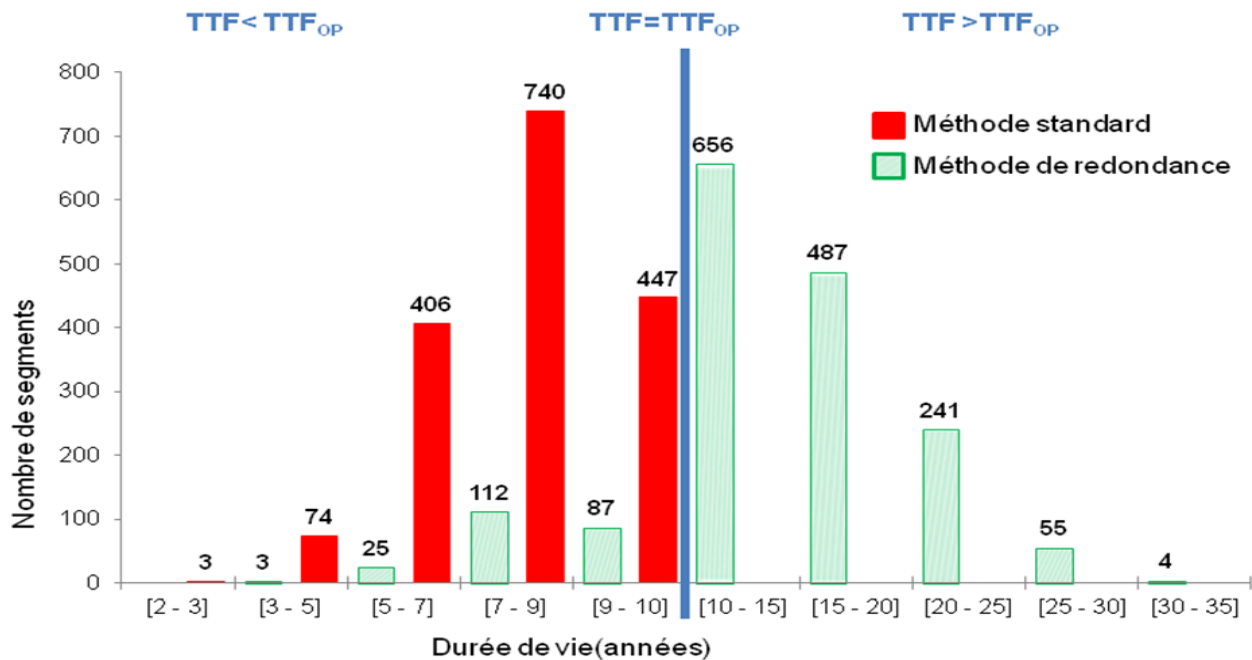


Figure 4-18: Simulation de l'impact de l'effet de redondance

Il s'agit des mêmes échantillons, mais c'est la distribution en fonction de la durée de vie qui change entre la méthode standard et la méthode de redondance. Nous remarquons à travers ces résultats que l'application de la méthode de redondance permet de réduire de manière considérable les cas de violation de la durée de vie optimale. En effet, nous passons de près de 1700 segments qui ont une durée de vie en-dessous des 10 ans à 200 segments (soit plus de 80% de réduction). En ce qui concerne les cas de violation sur des segments ne disposant pas de chemins redondants, la solution consiste à un remplacement des cellules d'horloge de ce segment. Dans le but de chercher des solutions aux cas à risque malgré les chemins redondants, nous allons proposer des méthodes de conceptions permettant de renforcer la grille d'alimentation.

III. Conception de circuits intégrés robustes

Nous avons observé au préalable que certaines configurations du réseau d'interconnexion résistent mieux aux effets d'électromigration que d'autres. En se basant sur ces structures robustes, nous allons établir des règles pour la conception des circuits plus résistants aux effets d'EMG.

1. Conception de cellules standards résistantes à l'EMG

La configuration du réseau d'alimentation des cellules standards varie en fonction des nœuds technologiques. Certaines configurations sont plus exposées aux risques de dégradations que d'autres [T. Mitsuhashi et al, 1992].

a. Le réseau de lignes d'alimentation repartit sur une double couche de métal

L'étude des cellules standards nous a permis de constater que les lignes les plus exposées sont celles de la dernière couche supérieure. Les lignes de cette couche appartiennent aussi à la grille d'alimentation du circuit intégré dans lequel la cellule est intégrée. Les analyses de dégradation que nous avons effectuées ont montré que les cellules ayant un réseau de lignes d'alimentation repartit sur deux niveaux de métal résistent mieux aux effets EMG. Cela est dû à la redondance offerte par la couche de métal M1 qui permet à la cellule de fonctionner malgré une cavité dans la ligne d'alimentation au niveau M2. La Figure 4-19 (a) illustre le mode d'action de la redondance dans les différentes structures du réseau d'alimentation double niveau de métal.

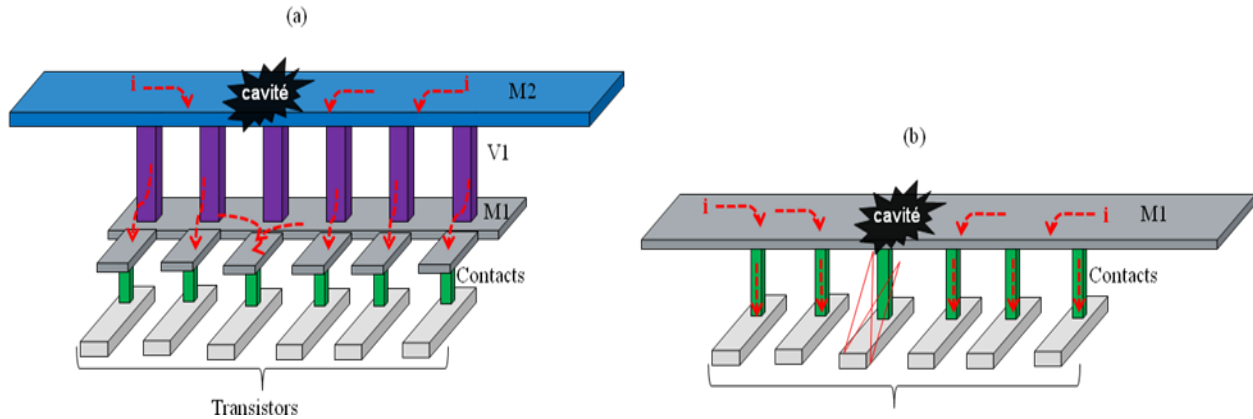


Figure 4-19 : Avantage de la structure double couches de métal dans les cellules standards

Contrairement à ces configurations, certaines cellules ont des lignes d'alimentation sur un seul niveau reliée directement aux transistors par des contacts comme illustrés dans la Figure 4-19 (b). En cas de cavité sur la ligne au-dessus d'un contact, le transistor en dessous ne pourra plus fonctionner. Donc, nous recommandons la configuration double niveaux de métal dans les réseaux des cellules standards en général et des cellules d'horloge en particulier.

b. Renforcement de vias dans les cellules standards

La résistance des cellules standards aux effets EMG peut être renforcée par une bonne distribution des vias dans le réseau d'alimentation. En effet, cela permet une bonne répartition du courant dans les lignes de métal de la cellule, permettant ainsi de réduire les divergences de flux d'électrons par sortie de via et donc le risque de dégradation physique.

2. Conception de grille résistant à l'EMG : placement de cellules d'horloge

Le but de l'optimisation du placement des cellules d'horloge est d'éviter les concentrations de celles-ci sur une zone donnée de la grille d'alimentation. Cela permet de contrôler le courant circulant dans les segments de rails sur lesquels sont connectées les cellules d'horloge et d'assurer la redondance en cas de cavité. Dans la grille d'alimentation d'un circuit intégré, la quantité de courant dans les segments dépend du besoin et de la position des cellules standards. Compte tenu du grand nombre de cellules et du fait que les cellules d'horloge sont celles qui consomment le plus de courant, nous nous sommes focalisés sur leur placement.

a. Assurer la redondance pour chaque cellule d'horloge

Le but est d'assurer pour chaque cellule, un chemin redondant sur chaque type de ligne (Vdd et Gnd) en cas de cavité. C'est pourquoi, il est important d'éviter de placer ces cellules en bout de

ligne. Les autres types de cellules standards peuvent par contre être placés dans cette zone. L'exemple de la Figure 4-20 représente le placement de cellules d'horloge sur une portion d'une grille d'alimentation. Sur cette figure, il est indiqué, les zones sensibles, où il ne faut pas placer de cellules d'horloge. Cette disposition est nécessaire dans le renforcement de la grille d'alimentation.

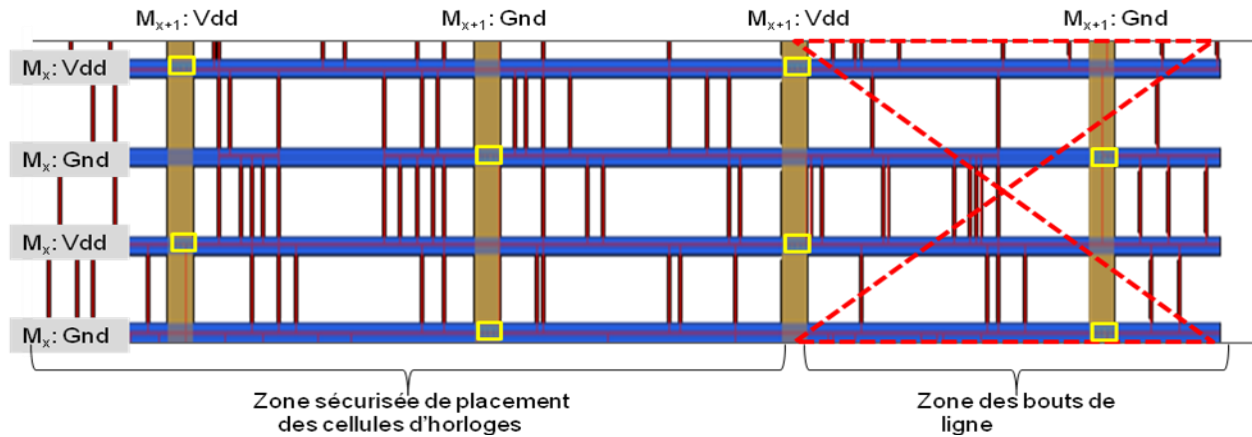


Figure 4-20 : Bout de lignes dans une grille d'alimentation

b. Instauration de zones d'exclusion de cellules d'horloge

Lors de la conception, il existe une méthode de placement des cellules d'horloge appelée « CTS Halo » (pour Clock Tree Synthesis Halo). L'idée est de définir autour de chaque cellule d'horloge, une zone dans laquelle, il est interdit de placer d'autres cellules de même type. Néanmoins, les cellules de données sont autorisées à être placées dans ce périmètre d'exclusion. Cette zone d'exclusion est définie en fonction des paramètres de la grille. Comme illustré sur la Figure 4-21, la longueur des segments où sont placées les cellules dépend de l'écart (X_pitch) entre des lignes verticales de la couche M_{x+1} .

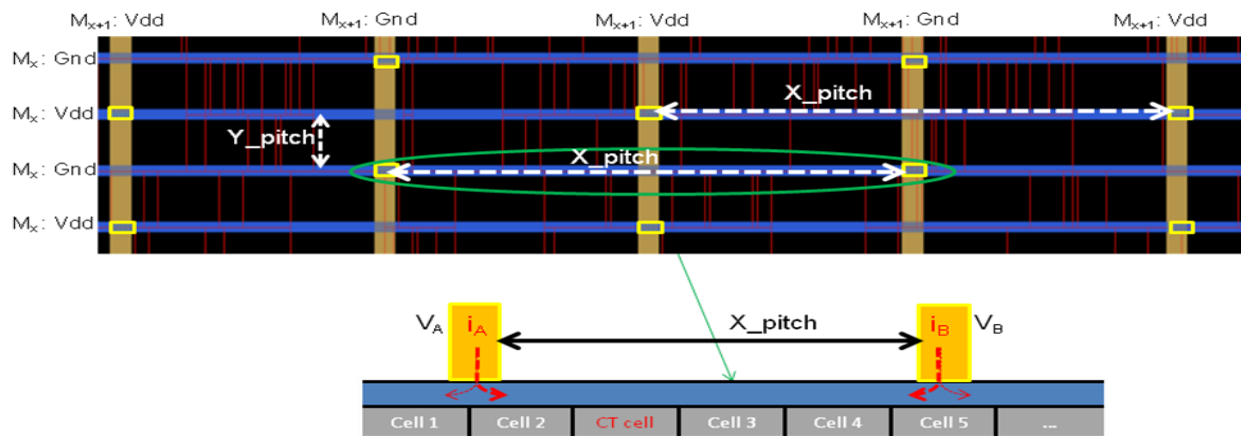


Figure 4-21 : Écart entre les rails verticaux et horizontaux d'un circuit intégré

Quant à l'écart entre les rails horizontaux, il est représenté par Y_{pitch} correspondant à l'écart entre les lignes horizontales de la couche M_x . L'objectif du halo est d'obtenir une meilleure répartition du courant dans la grille et ainsi limiter les risques d'EMG. En se focalisant sur un segment donné et délimité par deux vias, on appelle i_A et i_B les courants circulant dans les vias (V_A et V_B). La quantité de ces courants est fonction des besoins en courant des cellules placées sur ce segment.

3. Halo statique

Ce type de halo est la version conventionnelle du placement des cellules d'horloge. Il est caractérisé par des constantes Y_{Halo} et X_{Halo} suivant les axes d'ordonnées et d'abscisses autour des cellules d'horloge (Figure 4-22). Cela permet de définir un Halo unique pour toutes les cellules d'horloge présentes dans une même puce.

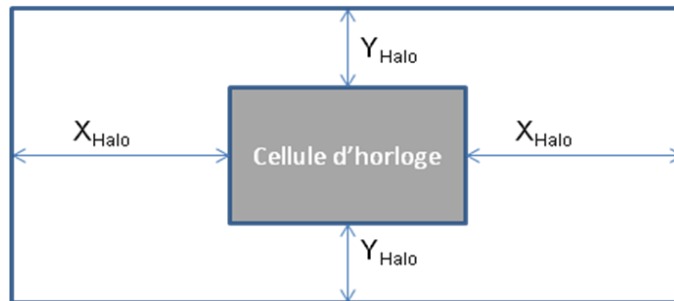


Figure 4-22 : Zone d'exclusion (Halo) des cellules d'horloge

Afin de couvrir tous les types de cellules d'horloge, les paramètres du halo sont définis en fonction de la cellule ayant la consommation en courant plus élevée. Le risque de cette approche est d'être trop pessimiste pour les cellules d'horloge nécessitant moins de courant.

Cela crée un périmètre plus grand que nécessaire autour de certaines cellules. Dans notre exemple de la Figure 4-23, les valeurs des X_{Halo} et Y_{Halo} sont les mêmes pour l'ensemble des cellules d'horloge (CT cell). La détermination du Halo doit être faite par compromis entre la fiabilité et la gestion de la surface de la puce. En effet, les arbres d'horloge d'une puce sont composés de plusieurs types de cellules d'horloge choisies en fonction des caractéristiques de chacune d'elle. La mise en place d'un large périmètre autour de chacune d'elle, augmentera la contrainte de conception et risque de causer des soucis de convergence. Le choix de l'application du Halo statique se justifie par le fait qu'au moment du placement des cellules d'horloge, on n'a pas de données précises sur leur consommation électrique. Pour pallier à cela, nous avons proposé une optimisation de la détermination du halo autour des cellules d'horloge.

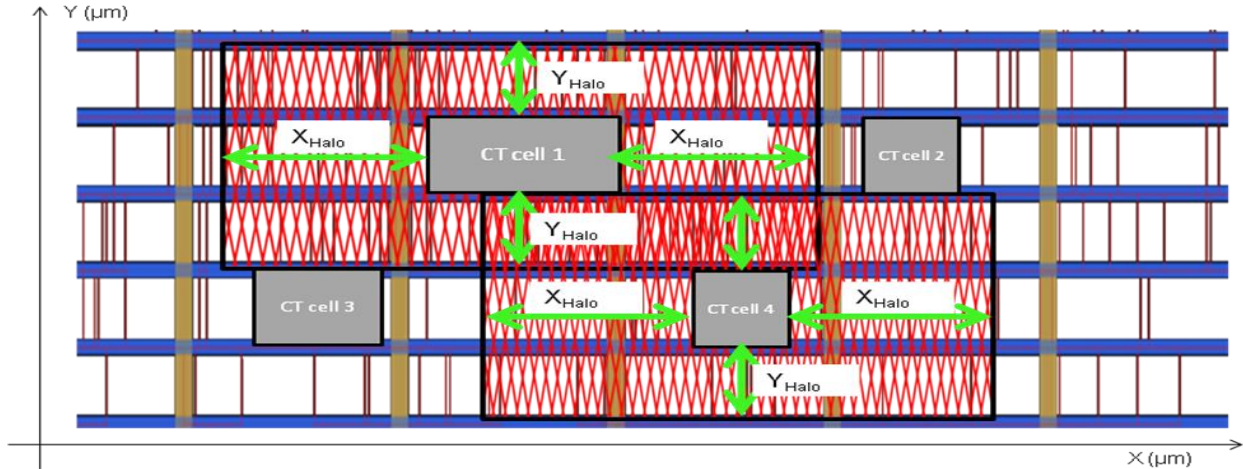


Figure 4-23 : Zone d'exclusion (Halo) statique

4. Halo dynamique

Le principe de notre méthode consiste à rendre le paramètre X_{Halo} variable en fonction de la consommation électrique des cellules. Le paramètre Y_{Halo} reste le même quel que soit la cellule. Comme illustré par l'exemple de la Figure 4-24, les deux Halo (1 et 2) mis en place autour de deux cellules d'horloge sont différents. Cela nécessite une connaissance des besoins en courant de chaque type de cellule d'horloge au moment du placement.

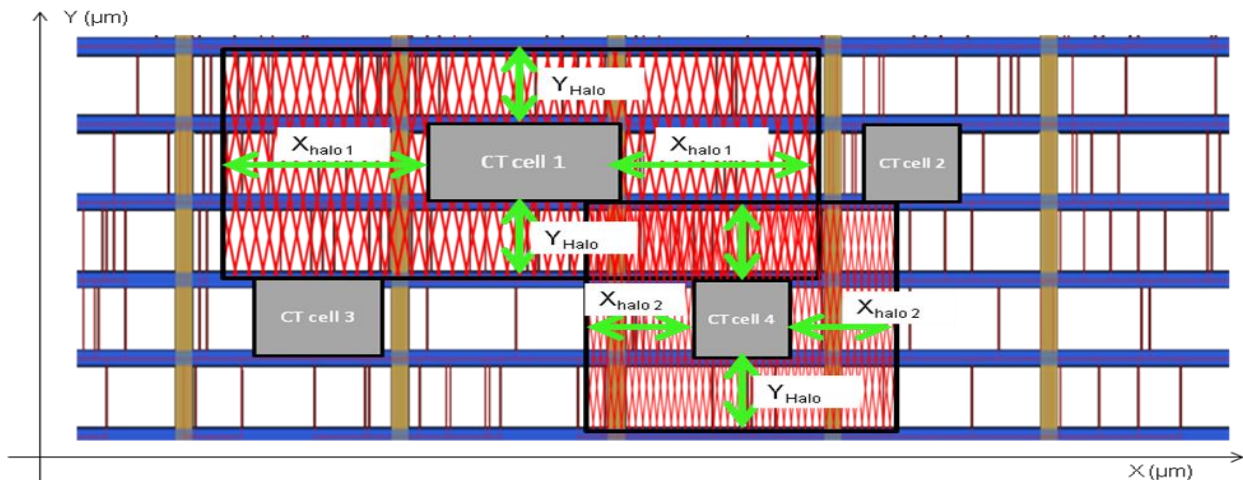


Figure 4-24 : Zone d'exclusion (Halo) dynamique

Lors de la conception des circuits, à l'étape du placement des cellules, les seules informations disponibles permettant le calcul de courant (Équation 4-8) sont l'activité (TR), la tension (V) et la fréquence (F). Il nous manque l'information sur la charge de la cellule. L'objectif pour nous est de trouver une nouvelle métrique permettant d'exprimer la capacité de charge de sortie (C).

$$I_{cell} = C * V * F$$

Équation 4-8 : Expression du courant

a. Expression de la capacité de charge de sortie

Chaque cellule standard a une certaine capacité à piloter d'autres portes logiques avec son signal de sortie. Ce paramètre est appelé fan-out et fait partie des caractéristiques d'une cellule standard. Idéalement, les cellules ayant un important fan-out sont à utiliser si la capacité de sortie attendue est importante. Sans ces informations sur la capacité, nous avons utilisé ce paramètre (fan-out) pour estimer la consommation des cellules. Nous avons réalisé des simulations sur environ 13000 cellules d'horloge contenues dans des microprocesseurs conçus en 32/28 nm bulk et en 28 nm FDSOI. En fixant les autres paramètres de simulation, nous avons cherché à établir une relation entre la capacité de charge de sortie et le fan-out de chaque cellule. Pour chaque couple de capacité de charge (C)-fan-out (F_{out}), nous avons calculé le rapport C/F_{out} et ensuite évalué le nombre d'échantillons correspondant à chaque ratio. Les données sont contenues dans la courbe représentée par la Figure 4-25. Cette courbe a la forme d'une gaussienne centrée autour de la médiane correspondant à un ratio de 1.48.

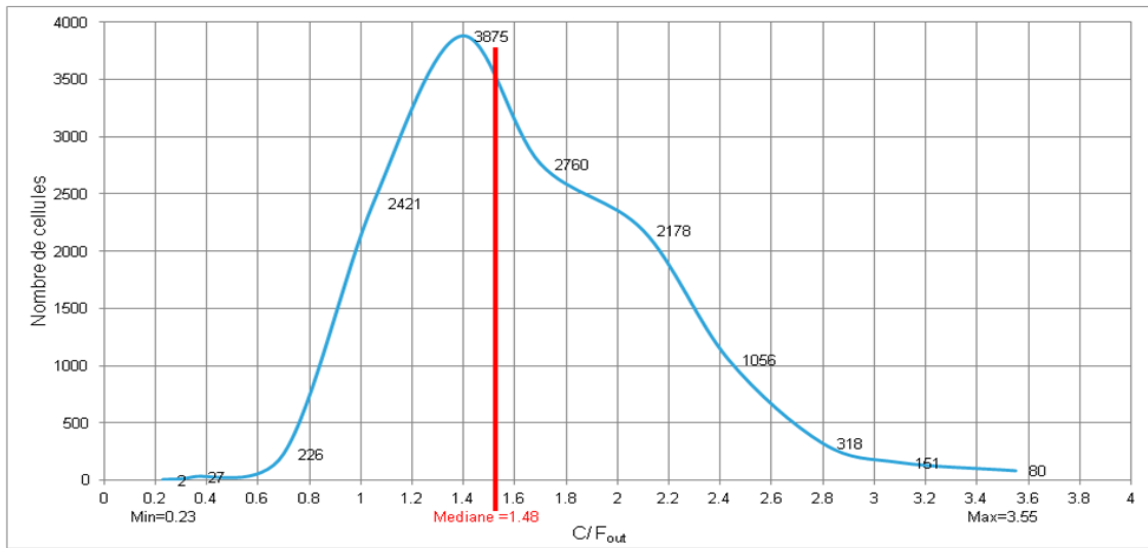


Figure 4-25 : Distribution des cellules d'horloge en fonction du ratio capacité de charge-fan-out

La dispersion observée reflète le fait que les cellules à fort fan-out ont des charges faible et vis-versa. Ces résultats nous ont permis d'établir des relations entre le fan-out et la capacité de charge des cellules d'horloge à partir des ratios à travers l'Équation 4-9.

$$\frac{C}{F_{out}} = ratio \Rightarrow C = ratio * F_{out}$$

Équation 4-9 : Relation entre la capacité de sortie et le fan-out des cellules d'horloge

La valeur du ratio pour estimer le courant est choisie en fonction du niveau de sureté et du nombre de cellules à placer. Par exemple en fixant la valeur du ratio au maximum, on risque

d'être trop pessimiste pour les cellules ayant un ratio faible et vice versa. Dans le cadre de notre étude, nous avons choisi la valeur moyenne du ratio, c'est-à-dire à 1.5. Nous avons ensuite remplacé la capacité de charge (C) dans l'expression de courant de l'Équation 4-8 par sa nouvelle expression en fonction du fan-out. Cela a permis d'obtenir l'Équation 4-10.

$$I = 1.5 * F_{out} * V * F$$

Équation 4-10 : Expression du courant en fonction du fan-out d'une cellule.

b. Détermination du périmètre du Halo en fonction de la consommation de la cellule
 A partir de la consommation de chaque cellule d'horloge au moment de leur placement, nous sommes à mesure de déterminer un halo approprié autour de chacune d'elle. La valeur de la variable X_{Halo} est alors définie à partir du courant de la cellule (I_{cell}) et l'écart (X_{pitch}) entre les rails verticaux de la couche supérieure (Équation 4-11).

$$X_{Halo} = \frac{I_{cell}}{I_{DRM}} * X_{pitch} \Rightarrow X_{Halo} = \frac{1.5 * F_{out} * V * F}{I_{DRM}} * X_{pitch}$$

Équation 4-11 : équation de la distance minimum suivant l'axe des abscisses.

Par exemple pour ces conditions ci-dessous :

- Fréquence =1 GHz
- Tension = 1.3 V
- Courant limite de la cellule =150µA
- Le X_{pitch} = 15 µm

Ensuite, nous avons calculé le X_{Halo} pour chaque cellule d'horloge. La valeur correspondante à chaque catégorie de cellule est consignée dans le tableau (Tableau 4-1) ci-dessous.

Cells	Fan-out	X_{halo} (µm)
CT cell_1	39	7.6
CT cell_2	47	9.2
CT cell_3	55	10.7
CT cell_4	61	11.8
CT cell_5	70	13.6

Tableau 4-1 : Exemple de périmètre à mettre autour des cellules d'horloge

Cela nous montre la variation des halos en fonction du fan-out.

5. Application du Halo dynamique

Afin de vérifier l'impact du Halo dynamique sur la fiabilité d'un circuit, nous avons appliqué notre méthode lors du placement des cellules d'horloge d'un microprocesseur conçus en technologie 28 nm FDSOI. Compte tenu du nombre important de cellules d'horloge, nous les avons classés en deux grands groupes. Le but est d'appliquer deux dimensions de X_{Halo} (X_{Halo1} et X_{Halo2}) sur les différents groupes. La Figure 4-26 représente la grille d'alimentation dans laquelle la position des cellules de chaque catégorie est identifiée. On constate bien la bonne application di halo dynamique au moment de l'implémentation. À la suite d'une analyse statique sur la grille d'alimentation nous n'avons observé aucune violation des limites de courant dans les conditions suivantes :

- Fréquence = 800 MHz
- Tension = 1.15 V
- Courant limite I_{DRM}
- Durée de vie optimale (TTF_{OP}) = 10 ans

Le taux maximum de violation est égal à 90 %. Cela s'explique par une bonne répartition du courant dans les différents segments.

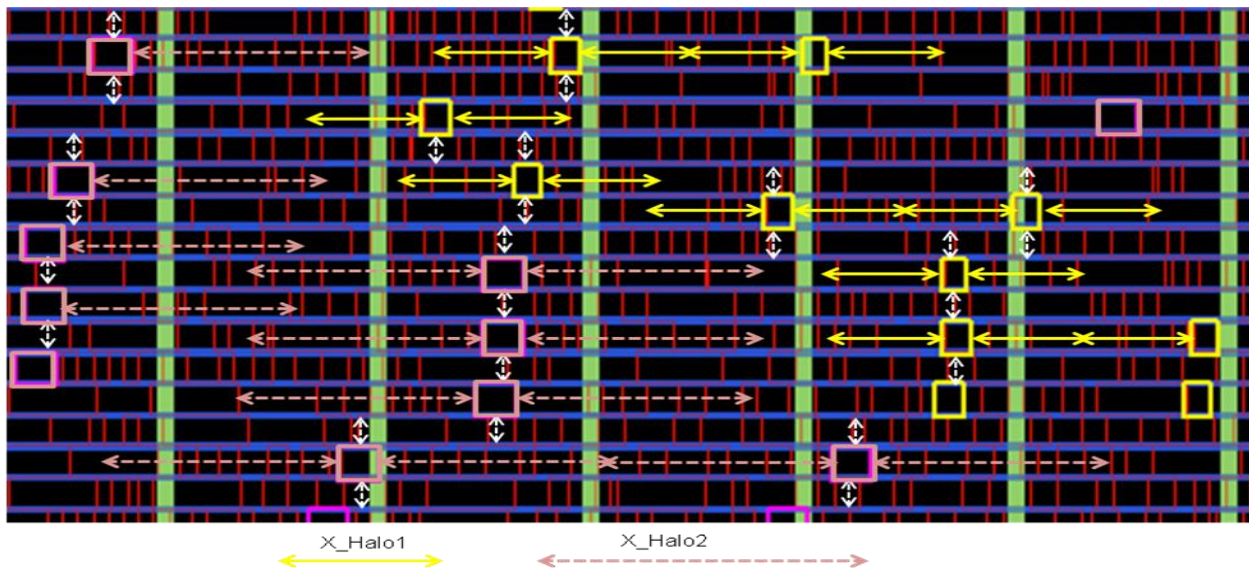


Figure 4-26 : Exemple d'application de Halo de fiabilité dans une puce.

6. Synthèse

Dans ce chapitre, nous avons exploré les pistes d'amélioration des méthodes et outils de validation du phénomène d'EMG au niveau de la phase de conception. Nous avons observé l'impact de la topologie des lignes sur la dégradation des interconnexions par des tests de durée

de vie. Nous avons proposé des améliorations des méthodes de validation des effets EMG. Cela par la prise en compte de la contribution des chemins redondants dans le calcul de la durée de vie des segments de la grille d'alimentation. Les résultats expérimentaux sur silicium réalisés nous ont permis de valider les hypothèses émises lors des simulations. Les gains en termes de durée de vie offerte par les chemins redondants permettent d'autoriser plus de courant dans ces structures pour une même durée de vie escomptée. Nous avons vu aussi que les chemins redondants ne sont bénéfiques que lorsque les durées de vie supplémentaires qu'ils apportent sont significatives. Pour cela, nous devons nous assurer que les chemins redondants ne soient pas trop usés. Raison pour laquelle, le concepteur doit optimiser le placement des cellules d'horloges responsables de la plus part des violations des règles dans les interconnexions. Dans cette étude, nous avons proposé la mise en place de zones d'exclusion dynamique autour de chaque cellule d'horloge en fonction de sa consommation électrique. L'application de cette stratégie permet de trouver un compromis entre la fiabilité et les contraintes de placement.

Conclusion générale

Face à la croissance des taux de violation des règles de fiabilité liées à l'électromigration (EMG) au fur des nœuds technologiques, on a cru pouvoir résoudre le problème avec le passage de l'aluminium au cuivre comme matériau dans les interconnexions métalliques. Mais, compte tenu de l'augmentation des densités de courant dans les interconnexions, l'amélioration des procédés de fabrication seule ne suffit plus. De nombreuses pistes sont donc explorées afin de prendre en compte tous les paramètres ayant un impact sur la dégradation des interconnexions. L'une des pistes consiste à intégrer les vérifications des risques EMG durant la phase de conception des circuits en technologie nanométrique à l'aide d'outils de simulations. Le but de cette approche est de prévoir le comportement des circuits vis-à-vis des effets de l'EMG. Les principaux axes de recherche abordés dans ce projet s'articulent autour de l'amélioration des règles de vérification et de conception des circuits intégrés. À l'issue d'une étude des méthodologies de vérification existantes, nous avons proposé des améliorations réparties sur deux axes principaux, à savoir la détection des risques EMG et le renforcement des structures des réseaux d'interconnexions.

1. Amélioration des méthodes de détection des risques d'électromigration

Dans le but d'améliorer la précision des résultats de vérification des effets EMG, nous avons établi une corrélation entre les violations des règles de courant DRM et les dégradations physiques des interconnexions. À l'issue des analyses sur des circuits conçus en technologie 32nm, 28 nm bulk et 28 nm FDSOI, il ressort que les violations des règles de courant ne débouchent pas systématiquement sur des défaillances. En effet, certains circuits intégrés ont la capacité de fonctionner malgré l'apparition d'une cavité dans une ligne de la grille d'alimentation grâce à la présence de chemins redondants. Le gain de temps supplémentaire dû à cette redondance sur la durée de vie des circuits a été confirmé par des tests de vieillissement réalisés sur des structures de test conçus en technologie 28nm Bulk. Ainsi, la prise en compte de la redondance pour une même durée de vie optimale donnée, permet d'autoriser plus de courant, donc de repousser les limites de courant dans les réseaux d'interconnexions. De plus la modélisation et la prise en compte de la redondance durant la validation des circuits dans ces travaux ont contribué à la réduction des taux de violation des règles DRM. Ce qui a pour avantage d'orienter les corrections sur les risques réels de dégradation.

2. Optimisation du placement des cellules d'horloges dans la grille d'alimentation

Durant cette étude, les cellules d'horloge ont été identifiées comme les principales responsables des violations des limites de courant à cause de leur taux d'activité élevé. Par conséquent, leur emplacement dans les grilles d'alimentation a un impact sur les quantités de courant dans les interconnexions servant à alimenter ces cellules. Afin de bénéficier pleinement des effets de la redondance dans les grilles d'alimentation des circuits intégrés, nous avons mis en place une méthode de placement des cellules d'horloge. L'objectif étant de réduire les quantités de courant dans les segments d'interconnexion et s'assurer que le chemin redondant ne soit pas trop utilisé. Le principe consiste à créer une zone d'exclusion (Halo) autour de chaque cellule d'horloge, dans laquelle ne sont autorisés que les autres types de cellules. La méthode actuelle d'application du Halo consiste à mettre en place un même périmètre quelle que soit le type de cellules d'horloge. Ce périmètre est défini à partir des caractéristiques de la cellule d'horloge nécessitant de forts courants. Cela entraîne l'application pessimiste du Halo autour des cellules de faibles consommations de courant. Au cours de cette thèse, nous avons proposé en lieu et place un Halo dynamique dépendant de la consommation de chaque cellule d'horloge. Cette stratégie permet de réduire la surface totale nécessaire à la mise en place des Halo dans une puce tout en assurant sa fiabilité vis-à-vis de l'EMG.

3. Intérêts industriels

Face à la criticité des effets d'électromigration dans les circuits intégrés conçus dans les nœuds technologiques avancés, il est plus que jamais primordial de trouver des solutions de prévention efficaces. Cette thèse a été l'occasion pour la société STMicroelectronics d'explorer les pistes d'amélioration des méthodologies de vérification des risques depuis la phase de conception. Le déroulement du projet a nécessité l'établissement d'une plateforme d'échange entre le monde des fiabilistes et celui des concepteurs sur la compréhension de l'EMG. Cet échange a permis aux fiabilistes d'adapter les structures de test à la configuration des réseaux d'interconnexions dans les circuits intégrés. Cette approche a favorisé l'assouplissement des contraintes liées aux règles de densité de courant dans le DRM. De plus, la prise en compte de nos solutions dans la phase de vérification au niveau de la conception a entraîné une réduction considérable du taux de violation des règles de courant. Pour les concepteurs, ça été l'occasion de mieux appréhender le mécanisme de dégradation dans les interconnexions lié aux effets EMG, leur permettant ainsi d'apporter des corrections appropriées aux lignes identifiées comme vulnérables. Aussi, la mise

en place des règles de conception de circuits résistants au phénomène EMG, à l'issue de cette thèse aidera à anticiper d'éventuels risques dans les nœuds technologiques avancés comme le 14nm FDSOI en cours de développement.

4. Perspectives

Ces travaux de thèse sur la thématique de l'électromigration ont été réalisés sur des circuits intégrés numériques. Afin de concevoir des systèmes sur puces entièrement résistants aux effets EMG, il est nécessaire d'assurer la fiabilité de tous les blocs fonctionnels qui le constituent, y compris les blocs analogiques et les mémoires. En effet, la configuration des réseaux d'interconnexions de ces blocs est différente de celle des circuits numériques. Par conséquent, une étude minutieuse est nécessaire pour adapter ou trouver des solutions appropriées. Afin de permettre une exploitation industrielle des méthodes développées dans ce projet, il serait intéressant de les intégrer dans un processus de production de masse. Pour cela, il faudra implémenter les solutions dans un outil à partir des programmes informatiques utilisés durant cette thèse. Il faudra aller plus loin en prenant en compte dans les modèles de vérification, les effets réservoir et puits observés dans les structures complexes. L'intégration de cet aspect dû à la configuration du réseau d'interconnexion aidera sûrement à améliorer les résultats de simulation.

Bibliographie

1. [P. Matherat, 2007]: Philippe Matherat "Une histoire de la microélectronique" GET - Télécom-Paris - Comelec / CNRS - LTCI (UMR 5141).
2. [B. Mongellaz, 2004]: Benoit Mongellaz "Contribution à l'intégration de la fiabilité dans le flot de conception des circuits intégrés fondée sur l'utilisation d'un langage de description comportementale VHDL-AMS", thèse, 2004
3. [M. Geradin, 1891] : M. Gerardin, "Compte Rendue de l'Académie des Sciences", 53, 727, 1861.
4. [J. Black, 1969]: J. Black "Electromigration failure modes in aluminum metallization for semiconductor devices" proceedings of the IEEE, vol 57 issue 9, pp1587-1594, 1969.
5. [D. Young et al, 1994]: Daniel Young et Christou, Aristos, "Failure Mechanism Models for Electromigration" IEEE TRANSACTIONS ON RELIABILITY, vol 43, issue 2 pp 186 -892, 1994.
6. [ITRS, 2009]: THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS, 2009.
7. [H. Y. Hsiao, 2010]: Hsiang Yao Hsiao et al "Investigation of Joule Heating Effect in Various Stages of Electromigration in Flip-Chip Solder Joints by Infrared Microscopy", Electronic Components and Technology Conference (ECTC), pp 922-925, 2010.
8. [S. Yokogawa. et al, 2009] : S. Yokogawa, Y et Tsuchiya, H. " Joule Heating Effects on Electromigration in in CuLow K Interconnects" International Reliability Physics Symposium (IRPS), pp 837- 843, 2009.
9. [M. R. Casu et al , 2004]: Mario R. Casu Graziano, M. ; Masera, G. et Piccinini, G. "An Electromigration and Thermal Model of Power Wires for a Priori High-Level Reliability Prediction" , IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol 12 , Issue: 4 , pp 349-358, 2004
10. [J. Vitiello, 2006] : Julien Vitiello "Étude de matériaux diélectriques à très faible permittivité déposés par voie chimique en phase vapeur développés pour l'isolation des interconnexions cuivre des circuits intégrés pour les générations technologiques 45 nm et 32 nm " , thèse, 2006.
11. [H. Haznedar et al, 2006]: Haldun Haznedar, Gall, M. ; Zolotov, V. et Pon Sung Ku more authors "Impact of Stress-Induced Backflow on Full-Chip Electromigration Risk Assessment", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol 25, issue 6 pp 1038-1046, 2006.
12. [A. S. Oates, 1998]: A. S. Oates "A Model for Electromigration Failure Distributions of Contacts and Vias in Advanced IC Technologies", 5th International Conference on Solid-State and Integrated Circuit Technology, pp 234 -237, 1998

13. [Y. J. Wee and al, 2007]: Young Jin Wee et Kim, A.T. ; Jung Eun Lee ; Jae Yeol Maeng; “Electromigration Failure Mechanism and Lifetime Expectation for Bi-Modal Distribution in Cu/Low-k Interconnect” from IITC 2007, pp 31-33, 2007.
14. [L. Doyen, 2009] : Lise Doyen “Caractérisation électrique de l’endommagement par électromigration des interconnexions en cuivre pour les technologies avancées de la microélectronique”, thèse, 2009.
15. [J.R. Lloyd, 1991]: Lloyd James R “Electromigration failure”, Journal of Applied Physics, vol 69, issue 11, pp 7601 – 7604, 1991
16. [P. Lamontagne, 2011]: Patrick Lamontagne “ Caractérisation électrique et modélisation de la cinétique d’endommagement par électromigration pour la fiabilité des interconnexions des technologies avancées de la microélectronique“, thèse, 2011.
17. [I. Blech, 1976]: I.A. Blech “Electromigration in thin aluminum films on titanium nitride” from Journal of Applied Physics; pp 338-347, 1976.
18. [J.F. Guillaumond, 2006] : Jean-Frédéric Guillaumond “Étude de la résistivité et de l’électromigration dans les interconnexions destinées aux technologies des nœuds 90 nm - 32 nm”, thèse, 2006.
19. [R. Galand, 2012]: Romain Galand “Caractérisation physique de la microstructure des interconnexions avancées Cu/Low-k pour l’étude des défaillances par électromigration”, thèse, 2012.
20. [S. Kamiya et al, 2013]: S. Kamiya, N. Shishido, S. Watanabe, H. Sato, K. Koiwa, M. Omiya, M. Nishida, T. Suzuki, T. Nakamura, T. Nokuo, et T. Nagasawa, “Grain-scale adhesion strength mapping of copper wiring structures in integrated circuits,” Surface and Coatings Technology, vol. 215, pp. 280–284, 2013.
21. [M. H. Lin et al, 2010]: M. H. Lin, S. C. Lee, and A. S. Oates “Electromigration mechanisms in Cu nano-wires” 48th IEEE International Reliability Physics Symposium, pp. 705–711, 2010.
22. [D. Ney et al , 2005] : David Ney, Federspiel, X. ; Girault, V. “Electromigration threshold in copper interconnects and consequences on lifetime extrapolations”, IEEE International Interconnect Technology Conference (IITC), pp 105 – 107, 2005.
23. [J.O. Park et al, 2003]: Jong Ho Park et Ahn, Byung Tae “Electromigration model for the prediction of lifetime based on the failure unit statistics in aluminum metallization”, Journal of Applied Physics, vol 93, issue 2, pp 883-892, 2003.
24. [H. Kawasaki al, 1996]: Kawasaki et Hu C.K , “ An electromigration failure model of tungsten plug contacts/viasfor realistic lifetime prediction” Symposium on VLSI Technology, pp 192-193, 1996.
25. [C. S. Hau-Riege et al, 2008]: Christine S. Hau-Riege, Marathe, A.P. et Choi, Zung-Sun “The effect of current direction on the electromigration in short-line with reservoir”, 46th International Reliability Physics Symposium, pp 381-384, 2008.
26. [A.S. Oates et al, 2013]: Antony S. Oates “The electromigration short-Length effect and its impact on circuit reliability” IITC 2013, pp 19-21, 2013.

27. [C. S. Hau-Riege et al, 2008]: Christine Hau-Riege et Klein, R. “The effect of a width transition on the electromigration reliability of Cu interconnects” 46th Annual International Reliability Physics Symposium, vol, pp 377-380, 2008
28. [F. L. Bana, 2013] : Franck Lionel Bana “Dégradation par électromigration dans les interconnexions en cuivre : étude des facteurs d’amélioration des durées de vie et analyse des défaillances précoces”, thèse, 2013.
29. [Y.J. Park et al , 2006]: Young-Joon Park; Ki-Don Lee et Hunter W.R “ A Variable Current Exponent Model for Electromigration Lifetime Relaxation in Short Cu Interconnects” International Electron Devices Meeting (IEDM), pp 1-4 , 2006.
30. [Y.J Park et al, 2010]: Young-Joon Park, Jain, P. ; Krishna et Srikanth “New Validation electromigration via node vector method”, International Reliability Physics Symposium (IRPS), IEEE International, pp 698-704, 2010.
31. [C. Zhao, 2010]: Chaoyang Zhao, Xuliang Zhang et Ming Yao “ Thermal Effect on Interconnect Current Density Estimation” International Conference on Communications, Circuits and Systems (ICCCAS), pp 862-865, 2010.
32. [Yokogawa S., 2010]: S. Yokogawa, Tsuchiya, H. et Kakuhara, Y. “effective thermal characteristics to suppress joule heating impacts on electromigration in Cu/Low-K interconnects”, International Reliability Physics Symposium (IRPS), pp 717 – 723, 2010.
33. [S.H. Chiu et al, 2006]: S.H. Chiu Liang, S.W. ; Chih Chen et Yao, D.J. ”Joule Heating Effect under Accelerated Electromigration in Flip-chip Solder Joints” 56th Electronic Components and Technology Conference, pp 663-666, 2006
34. [Z. Lu et al 2007]: Zhijian Lu ; Wei Huang ; Stan M.R. ; Skadron K. et Lach, J. “Interconnect Lifetime Prediction for Reliability-Aware Systems”, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol 15, issue 2, pp 159-172, 2007.
35. [O. Sentiey, 2002] : O. Sentiey Gestion intelligente de l’énergie : aspects matériels et logiciels. Journées Electrotechniques du Club EEA, Energie portable : autonomie et intégration dans l’environnement humain, ENS Cachan, mars 2002.
36. [S. De Rivaz, 2011] : Sébastien de Rivaz “Développement d'outils de caractérisation et d'optimisation des performances électriques des réseaux d'interconnexions de circuits intégrés rapides sub-CMOS 65 nm et nouveaux concepts d'interconnexions fonctionnelles”, thèse, 2011.
37. [M. Briere, 2005] : Matthieu Brière, “Flot de conception hiérarchique d’un système hétérogène. Prototypage virtuel d’un réseau d’interconnexion optique intégré”, thèse, 2005
38. [L. Zhihong et al, 2006]: Zhihong Liu , McGaughey, B.W. ; Ma, J.Z. and al “Design tools for reliability analysis”, Design Automation Conference (DAC), pp 182-187, 2006.
39. [J. Guo et al, 2008] : Jin Guo, Antonis Papanikolaou, Michele Stucchi, Kristof Croes, Zsolt Tokei, Francky Catthoor « A tool Flow Predicting System level timing Failures

- Due to Interconnect Reliability Degradation", 18th ACM Great Lakes symposium on VLSI, pp 291 – 296, 2008.
40. [D.F. Frost et al, 1989]: Frost, D.F. et Poole, K.F. "RELIANT: a reliability analysis tool for VLSI interconnects" IEEE Custom Integrated Circuits Conference, vol 24 pp 458 – 462, 1989
 41. [B.K. Liew et al, 1992]: Boon-Khin Liew, Peng Fang ; Cheung, Nathan W. ; Chenming Hu "Circuit reliability simulator for interconnect, via and contact electromigration", IEEE Transactions on Electron Devices, vol 39, issue 11, pp 2472 – 2479, 1992.
 42. [J.J. Clement, 2001] : J. Joseph Clement "Electromigration Modeling for Integrated Circuit Interconnect Reliability Analysis", IEEE Transactions on Device and Materials Reliability, vol 1, issue 1, pp 33 – 42, 2001.
 43. [H. Ceric et al, 2009]: CERIC Hajdin, de Orio, R.L. ; Cervenka, J. et Selberherr, S. "Comprehensive TCAD Approach for Assessing Electromigration Reliability of Modern Interconnects", IEEE Transactions on Device and Materials Reliability, vol 9 issue 1, pp 9-19, 2009.
 44. [S. M. Alam et al, 2004] : Syed M. Alam, Gan Chee Lip ; Thompson, Carl V. ; Troxel, D. " Circuit Level Reliability Analysis of Cu Interconnects" 5th International Symposium on Quality Electronic Design, pp 238-243, 2004
 45. [G. Avot, 2003] : Grégoire AVOT "Analyse temporelle des circuits intégrés digitaux CMOS, pour les technologies profondément submicroniques" thèse, 2003.
 46. [P. Renault, 2003] : Méthodes de réduction de réseaux RC appliquées aux outils de vérification de circuits submicroniques, de thèse, 2003.
 47. [T. Chawla, 2010] : Tarun Chawla " Étude de l'impact des variations du procédé de fabrication sur les circuits numériques", thèse, 2010.
 48. [D.T Blaauw et al, 2003]: David T. Blaauw, Chanhee Oh ; Zolotov, V. et Dasgupta, A. "Static Electromigration Analysis for On-Chip Signal Interconnect", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol 22, pp 39 - 48, 2003.
 49. [B. Li et al, 2005] : Baozhen L, Gill, J. ; Christiansen, C.J. ; Sullivan, T.D. "Impact of via-line contact on CU interconnect electromigration performance" 43rd Annual International Reliability Physics Symposium, pp 24-30, 2005
 50. [V. M. Dwyer et al, 2010]: V. M. Dwyer "Analysis of multistate models for electromigration failure", Journal of Applied Physics, vol 107, issue 3), 2010.
 51. [I.H. Jiang et al, 2011]: Iris Hui-Ru Jiang, Hua-Yu Chang et Chih-Long Chang "WiT Optimal Wiring Topology for Electromigration avoidance", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol 20, issue 4, pp 581-592, 2011.
 52. [B. Li et al, 2011] : Baozhen Li, McLaughlin, P.S. ; Bickford, J. et Habitz, P. "Statistical Evaluation of Electromigration Reliability at Chip Level" IEEE Transaction on device and Material Reliability (TDMR); vol 11 pp 86-91, 2011.

53. [X. Chen et al, 2012] : Xiaodao Chen, Chen Liao ; Tongquan Wei ; Shiyan Hu “ An interconnect reliability driven routing technique for electromigration failure avoidance“ IEEE Transactions on Dependable and Secure Computing, vol 9 , Issue 5 , pp 770-776, 2012
54. [P. Jain et al. 2012]: Palkesh Jain et Ankit Jain “Accurate Current Estimation for Interconnect Reliability Analysis” , IEEE Very Large Scale Integration (VLSI) Systems, vol 20, pp 1634-1644, 2012.
55. [K. Chow et al, 2006]: Karen Chow, Abercrombie, D. et Basel, “Method for Managing Electromigration in SOC'S When Designing for Both Reliability and Manufacturing”, IEEE international SOC conference, pp 95-102, 2006.
56. [J. Abella, et al, 2008]: Jaume Abella, Vera, X. ; Unsal, O.S. ; Ergin, O. ; Gonzalez, A. et Tschanz, J.W. “Refueling: Preventing Wire Degradation due to Electromigration”, IEEE Micro, vol 28, issue 6, pp 37- 46, 2008.
57. [L. Doyen et al, 2008]: L. Doyen, L. ; Arnaud, L. ; Federspiel, X. ; Waltz, P. et Wouters, Y. “Use of bidirectional current stress for in depth analysis of electromigration mechanism”, International Reliability Physics Symposium (IRPS), pp 681 – 682, 2008.
58. [K.D Lee, 2012]: Ki-Don Lee “Electromigration Recovery and Short Lead Effect under Bipolar and Unipolar-Pulse Current”, International Reliability Physics Symposium (IRPS), pp 6B.3.1 – 6B.3.4, 2012.
59. [H. Ceric et al, 2008] : Hajdin Ceric , de Orio, R.L. ; Selberherr, S. “Comprehensive Modeling of Electromigration Induced Interconnect degradation Mechanisms” 26th International Conference on Microelectronics, pp 69-76 2008.
60. [D. Li et al, 2012] : Di-an Li, Zhong Guan, Malgorzata Marek-Sadowsk Sani R. Nassif “Multi-Via Electromigration Lifetime Model“, SISPAD 2012, pp 308-311, 2012.
61. [B. Ouattara et al, 2013] : Boukary OUATTARA Doyen, L. ; Ney, D. ; Mehrez, H. Bazargan-Sabet, P. et Bana, F.L. “ Redundancy Method to assess Electromigration Lifetime in power grid design”, IEEE Interconnect Technology Conference (IITC), IITC, pp 81-83, 2013.
62. [A. Schmitz, 2012]: Anthony Schmitz “Practical implications of chip-level statistical electromigration” International Reliability Physics Symposium (IRPS), pp 6B.1.1 – 6B.1.5, 2012.
63. [T. Mitsuhashi et al, 1992]: Takashi Mitsuhashi et Kh, E.S “Power and Ground Network Topology Optimization for Cell Based VLSIS” 29th ACMI/ IEEE Design Automation Conference, pp 524- 529, 1992.
64. [Oates A.S et al, 2012]: Antony S. Oates and M.H Lin “The scaling of Electromigration lifetimes” IEEE Reliability Physics Symposium (IRPS), pp 6B.2.1 – 6B.2.7 dans 2012.

65. [D. Ney, 2007]: Ney David “ Étude de la fiabilité en électromigration dans les interconnexions en cuivre pour les technologies avancées de la microélectronique“ thèse, 2007
66. [X. Federspiel et al, 2003]: X. Federspiel, Girault, V. et Ney, D. “ Effect of Joule heating on the determination of electromigration parameters” IEEE Integrated Reliability Workshop Final Report, pp 139-142, 2003
67. [Tan C. M. et al, 2007] : Cher Ming Tan, Raghavan, N.et Roy, A. “Application of gamma distribution in electromigration for submicron“ , Journal of Applied Physics, volume 102, issue 10, pp 103703 – 103703-9, 2007.

Résumé

L'électromigration (EMG) est l'une des conséquences de la course à la miniaturisation des composants électroniques en général et la réduction des dimensions des interconnexions en particulier. Il est identifié comme l'un des phénomènes critiques de fiabilité pour les circuits intégrés en technologies submicroniques. Les méthodes de vérification de ce phénomène utilisées durant la conception de circuits sont pour la plupart basées sur des règles de densité de courants et de température. Ces règles deviennent de plus en plus difficiles à mettre en place, compte tenu de l'augmentation des densités de courant dans les réseaux d'interconnexions. Les travaux de cette thèse s'inscrivent dans la dynamique de recherches de moyens d'amélioration de la détection des risques d'électromigration durant la phase de conception. Le but est d'établir une relation entre violations des règles électriques et la physique de dégradation des interconnexions. Les résultats obtenus au cours des tests de vieillissement nous ont permis de repousser les limites de courant sans altérer les durées de vie des circuits. Enfin, ce projet a été l'occasion de définir des règles de conception basées sur l'optimisation des cellules d'horloges dans la grille d'alimentation des circuits intégrés. L'application des solutions proposées au cours de ces travaux ont permis de réaliser des circuits robustes aux effets EMG.

Abstract

Electromigration (EMG) is a consequence of miniaturization of integrated circuits in general and the reduction of interconnect dimensions in particular. It is identified as one of the critical reliability phenomenon for integrated circuits designed in submicron technologies. The methods of checking this phenomenon at design level are mostly based on current density rules and temperature. These rules are becoming difficult to implement due to increasing current density in interconnection network. This thesis is based on researching for ways to improve detection of electromigration risks at design level. The goal is to establish a relation between electrical rules and interconnect degradation mechanism. Results obtained from ageing tests permit us to relax current limit without altered circuit lifetimes. Finally, this project has been instrumental to define design rules based on optimization of clock tree cells placement in integrated circuit power grid. The application of solution proposed during this work permit to design robust circuits toward EMG.

