



HAL
open science

Etude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors MOSFETs nanométriques (FinFETs)

Rachida Talmat

► To cite this version:

Rachida Talmat. Etude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors MOSFETs nanométriques (FinFETs). Electronique. université de caen, 2011. Français. <NNT : >. <tel-01076455>

HAL Id: tel-01076455

<https://hal.science/tel-01076455v1>

Submitted on 22 Oct 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



HAL Authorization



UNIVERSITE de CAEN/BASSE-NORMANDIE

U.F.R Sciences

ECOLE DOCTORALE SIMEM

Cotutelle de thèse
entre
L'Université de Caen Basse-Normandie (France)
et
L'Université de Tizi-Ouzou (Algérie)
Arrêté du 6 janvier 2005

THESE

Présentée par

Melle Rachida TALMAT

En vue de l'obtention du

DOCTORAT de l'UNIVERSITE de CAEN

Spécialité : Electronique, Microélectronique et Nanoélectronique

Arrêté du 7 août 2006

**Etude des phénomènes de transport de porteurs et du bruit basse fréquence
en fonction de la température dans les transistors MOSFETs nanométriques
(FinFETs)**

soutenue le 29/11/2011

MEMBRES du JURY

Mr Djamel BENNAZOUZ	Professeur	Université de Boumerdès	(Rapporteur)
Mr Alain HOFFMANN	Professeur	Université de Montpellier 2	(Rapporteur)
Mr Fayçal RAHMOUNE	Docteur (HDR)	Université de Boumerdès	(Examineur)
Mr Jean-Marc ROUTOURE	Professeur	Université de Caen Basse-Normandie	(Examineur)
Mr Arezki BENFDILA	Professeur	Université de Tizi-Ouzou	(Codirecteur de thèse)
Mr Régis CARIN	Professeur	Université de Caen Basse-Normandie	(Codirecteur de thèse)

Etude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors MOSFETs nanométriques (FinFETs)

Au cours de cette thèse, des mesures en régime statique et en bruit ont été effectuées sur des transistors FinFETs réalisés sur substrat SOI, issus de la technologie 32 nm, ayant deux différents isolants de grille. L'un est l'oxyde d'hafnium (HfO_2) et le second est le silicate d'hafnium nitruré (HfSiON). La plupart de ces dispositifs ont subi des techniques de contrainte mécanique locales et globales. Les résultats de mesures en statique ont montré l'amélioration considérable des performances dans les transistors contraints par rapport aux transistors standards. Il a été montré que ces transistors contraints semblent être moins sensibles à la variation de la température (300 K - 475 K) indiquant un autre atout de l'ingénierie des contraintes. Les résultats de mesures de bruit ont permis d'évaluer la qualité de l'isolant de ces dispositifs, le silicate d'hafnium nitruré semble avoir une meilleure qualité. L'étude du bruit a permis aussi d'apporter des informations sur le transport ainsi que sur les mécanismes physiques qui génèrent le bruit en $1/f$ dans ces dispositifs. On n'a remarqué aucun impact significatif des contraintes mécaniques sur le niveau du bruit. Le mécanisme qui prédomine dans ces dispositifs est le mécanisme des fluctuations de nombre de porteurs dans les type n et type p. Les mesures de bruit en fonction de la température (100 K – 300 K) ont permis d'identifier des défauts, souvent liés à la technologie de fabrication, dans le film de silicium par la méthode de spectroscopie de bruit.

Study of carriers transport phenomena and low frequency noise as a function of temperature in nanometric MOSFETs transistors (FinFETs).

In this thesis, DC measurement and noise were performed on FinFETs on silicon on insulator substrate (SOI) processed in 32 nm technologies, with two different gate dielectrics; hafnium oxide (HfO_2) and nitrided hafnium silicate (HfSiON). Most of these devices have undergone local and global mechanical strain. The results of static measurements have shown an improvement of the performances. Temperature measurements (300 K – 475 K) showed that strained devices seem to be less sensitive to the temperature variation than standard ones, indicating an additional benefit of strain engineering. The noise measurements were used to evaluate the quality of the gate oxide of these devices, the nitrided hafnium silicate seems to have a better quality. The study of noise has also provided information about the transport and physical mechanisms that generate the $1/f$ noise in these devices. One can notice that there is no significant impact of strain on the $1/f$ noise level. The carrier number fluctuations dominate the $1/f$ noise for all studied devices. Noise measurements as a function of temperature (100 K – 300 K) allowed to identify defects in the silicon film, often associated to the technological process, by noise spectroscopy method.

MOTS-CLES: Transistor MOSFET, technologie silicium sur isolant, bruit électronique, semiconducteurs__défauts

DISCIPLINE: Electronique, microélectronique et nanoélectronique

LABORATOIRE: GREYC UMR 6072 (Université de Caen-ENSICAEN-CNRS), Equipe Electronique

Table des matières

Introduction générale

Chapitre 1 : Le transistor MOSFET	13
1.1 Introduction.....	13
1.2 Transistor MOSFET	14
1.2.1 Principe de base d'un transistor MOSFET	15
1.2.1.1 Effet de champ	15
1.2.1.2 Régimes de fonctionnement.....	15
1.2.1.3 Potentiel de bandes plates	17
1.2.1.4 Tension de seuil	17
1.2.1.5 Pente sous le seuil	18
1.2.1.6 Courants I_{OFF} et I_{ON}	18
1.2.2 Modélisation d'un transistor MOSFET classique.....	19
1.2.2.1 Régime linéaire	19
1.2.2.2 Régime de saturation	21
1.2.3 Mobilité de porteurs de charge	22
1.2.3.1 Collisions avec les phonons.....	22
1.2.3.2 Collisions sur les centres coulombiens	23
1.2.3.3 Collisions sur la rugosité de surface	23
1.2.3.4 Combinaison des trois mécanismes de collisions.....	23
1.3 Effets de miniaturisation.....	24
1.3.1 Loi de Moore et de réduction d'échelle	24
1.3.2 Nouveaux phénomènes physiques engendrés par la miniaturisation.....	25
1.3.2.1 Effets quantiques de confinement.....	26
1.3.2.2 Saturation de la vitesse des porteurs	26
1.3.2.3 Transport balistique et quasi balistique	26
1.3.2.4 Effet tunnel	28
1.3.2.5 Effets de canaux courts	28
1.4 Solutions technologiques	29
1.4.1 Transistor MOSFET SOI.....	29
1.4.2 Utilisation d'empilements avec isolant à haute permittivité et grille métallique	30
1.4.3 Amélioration du transport de charge dans le canal.....	31
1.4.3.1 L'orientation cristalline du canal ou du substrat.....	31

1.4.3.2 L'ingénierie de contraintes mécaniques	32
1.4.3.3 Silicium sur isolant contraint (sSOI)	32
1.4.3.4 Couche d'arrêt à la gravure (CESL)	33
1.4.3.5 Croissance épitaxiale sélective (SEG)	33
1.4.4 MOSFET à grilles multiples	34
1.4.5 Au delà du MOSFET classique	35
1.5 Le transistor FinFET	35
1.6 Conclusion	37
Chapitre 2 : Etude du bruit basse fréquence	39
2.1 Introduction.....	39
2.2 Généralités sur le bruit basse fréquence	40
2.3 Le bruit basse fréquence dans les transistors MOSFETs.....	41
2.3.1 Le bruit blanc	42
2.3.1.1 Le bruit thermique	42
2.3.1.2 Le bruit de grenaille « <i>Shot noise</i> »	43
2.3.2 Le bruit en $1/f^{\alpha}$ « <i>Flicker noise</i> »	43
2.3.2.1 Fluctuations du nombre de porteurs (ΔN)	43
2.3.2.2 Fluctuation de mobilité corrélée à une fluctuation du nombre de porteurs ($\Delta N + \Delta \mu$).....	46
2.3.2.3 Fluctuations de la mobilité des porteurs ($\Delta \mu$).....	46
2.3.2.4 Bruit en $1/f$ dû aux résistances d'accès	47
2.3.2.5 Synthèse sur le bruit en $1/f$	48
2.3.3 Bruit lorentzien	49
2.3.3.1 Lorentziennes dues aux défauts	49
2.3.3.2 Lorentziennes dues à une source de bruit blanc associée à un réseau réactif ...	53
2.3.3.3 Le bruit RTS (Random Telegraph Signal).....	53
2.4 Principe de mesure du bruit	54
2.4.1 Banc de caractérisation du bruit.....	55
2.4.2 Incertitude de mesure.....	56
2.4.3 Extraction de paramètres du bruit.....	57
2.5 Mesures et extractions statiques	57
2.5.1 Mesures en statique.....	57
2.5.2 La méthode de la fonction Y.....	58
2.6 Le bruit dans les FinFETs	60

2.7 Conclusion	63
Chapitre 3 : Mesures en statique et en bruit basse fréquence dans les pFinFETs avec HfO₂.....	65
3.1 Introduction.....	65
3.2 Description des transistors étudiés.....	66
3.3 Mesures en statique.....	66
3.3.1 Mesures en fonction de la longueur et pour différentes structures	66
3.3.2 Extraction des paramètres principaux du transistor.....	68
3.4 Mesures de bruit basse fréquence	70
3.4.1 Mesures à température ambiante	70
3.4.1.1 Observation de bruit inhabituel.....	70
3.4.1.2 Mesures de bruit en fonction de la géométrie.....	72
3.4.1.3 Qualité de l'oxyde de grille	75
3.4.2 Mesure en bruit basse fréquence en fonction de la température.....	77
3.4.2.1 Mesures entre 200 K et 300 K	77
3.4.2.2 Mesures à une température de 80 K.....	78
3.5 Conclusion	80
Chapitre 4 : Mesures en statique et en bruit basse fréquence dans les FinFETs avec HfSiON	81
4.1 Introduction.....	81
4.2 Description des transistors étudiés.....	82
4.3 Etude en statique des nFinFETs à température ambiante et à hautes températures	82
4.3.1 Résultats des mesures	83
4.3.2 Variations avec la température des principaux paramètres	84
4.3.2.1 La tension de seuil	84
4.3.2.2 La pente sous le seuil.....	86
4.3.2.3 La mobilité.....	87
4.3.2.4 Résistances d'accès.....	88
4.3.2.5 Le courant sous le seuil.....	88
4.3.2.6 « Zero temperature coefficient ».....	89
4.3.3 Conclusion partielle	90
4.4 Mesures du bruit basse fréquence des nFinFETs.....	91
4.4.1 Mesures du bruit basse fréquence à température ambiante	91

4.4.1.1 Le bruit basse fréquence observé dans les nFinFETs	91
4.4.1.2 Bruit en 1/f observé dans les nFinFETs (effet longueur et nombre de doigts).....	92
4.4.2 Bruit en 1/f des nFinFETs à température ambiante	93
4.4.2.1 Modélisation du bruit en 1/f observé	93
4.4.2.2 Conclusion partielle	94
4.4.3 Exploitation du bruit en 1/f des nFinFETs à température ambiante et à des températures plus basses	95
4.4.3.1 Evolution avec la température du bruit en 1/f des nFinFETs	95
4.4.3.2 Qualité de l'oxyde de grille déduite du bruit en 1/f.....	96
4.4.4 Mesures de bruit en fonction de la température : étude des lorentziennes	97
4.4.4.1 Identification des défauts dans la zone de déplétion.....	97
4.4.4.2 Synthèse des défauts trouvés	100
4.4.4.3 Densités de pièges des défauts identifiés	104
4.4.5 Conclusion partielle	105
4.5 Mesures de bruit basse fréquence dans les pFinFETs	106
4.5.1 Bruit mesuré dans les pFinFETs.....	106
4.5.2 Mesures de bruit en fonction de la géométrie.....	107
4.5.3 Qualité de l'oxyde de grille	108
4.5.4 Conclusion partielle	109
Chapitre 5 : Synthèse	111
5.1 Discussion de l'effet de la contrainte sur les résultats en régime de fonctionnement statique	112
5.2 Bruit inhabituel	112
5.3 Présence importante de lorentziennes dans les spectres de bruit des transistors FinFETs à HfSiON.....	112
5.4 Bruit en 1/f dans les transistors FinFETs à HfSiON.....	114
5.5 Cas particulier du transistor FinFET à un seul doigt : bruit RTS	114
5.6 Comparaison de l'incidence des deux isolants de grille HfO ₂ et HfSiON sur la qualité des transistors FinFETs	114
5.7 Comparaison des résultats obtenus entre les transistors FinFETs de type n et p.....	116
5.8 Identification des défauts par spectroscopie de bruit.....	116
Conclusion Générale.....	117
Liste des publications issues de cette thèse	119

Annexe: Résultats des mesures de bruit basse fréquence en fonction de la température.....	121
Notations.....	129
Acronymes.....	134
Liste des figures.....	135
Liste des tableaux.....	136
Références.....	137

Introduction générale

L'intégration du transistor MOSFET n'a pas cessé d'évoluer depuis plus d'un demi-siècle vers des tailles nanométriques. La réduction de la longueur de grille a permis d'augmenter la densité d'intégration des transistors sur une puce et d'améliorer la rapidité des circuits suivant la fameuse loi de Moore qui prédit que le nombre de transistors doublerait tous les 2 ans. Ceci augmente donc les opérations de plus en plus complexes tout en augmentant la fréquence de fonctionnement. La réduction des dimensions induit l'émergence des effets parasites tels que les effets de canaux courts ainsi que les effets liés à la mécanique quantique qui tendent à modifier les caractéristiques électriques du transistor MOSFET. Avec la réduction du canal, l'épaisseur de l'oxyde de grille doit être réduite pour maintenir le contrôle de la grille or ceci engendre un courant de fuite tunnel à travers ce dernier. A de telles dimensions, le bruit basse fréquence peut devenir un problème dans les applications analogiques et digitales car plus le transistor est rapide, plus le bruit est élevé. Toutefois, le bruit basse fréquence peut être utilisé comme un outil de caractérisation non destructif de la qualité de l'oxyde de grille et permet d'évaluer l'impact des étapes technologiques sur ce dernier.

L'intégration continue du transistor MOSFET conventionnel requiert de nouvelles innovations pour contrecarrer ces limites physiques obligeant les chercheurs à trouver des solutions pour pouvoir réaliser des transistors toujours performants. Afin de réduire les effets néfastes dus à la miniaturisation des transistors MOSFETs, plusieurs solutions ont été utilisées dans les technologies les plus avancées pour améliorer les performances du transistor. Parmi ces innovations, on peut citer l'utilisation de nouveaux oxydes de grille à haute permittivité (high-k) pour réduire le courant de grille, l'utilisation de l'ingénierie de contrainte pour améliorer les propriétés du transport des porteurs de charge, la conception de nouvelles architectures telles que les transistors multigrilles pour améliorer le contrôle électrostatique, etc. Parmi les transistors multigrilles figure le transistor FinFET qui est un transistor MOSFET 3D, il est considéré comme un candidat prometteur pour l'ère du nanomètre des circuits intégrés CMOS. Le transistor FinFET a été mis en production par Intel pour le nœud technologique 22 nm au cours de l'année 2011.

Afin de quantifier les avantages et inconvénients de ces nouveaux dispositifs, il est indispensable de pouvoir les caractériser électriquement en statique et en bruit et de modéliser le comportement de leurs paramètres électriques avec la réduction des dimensions.

Au cours de cette thèse, des mesures en régime statique et en bruit ont été effectuées sur des transistors FinFETs réalisés sur substrat SOI ayant deux différents isolants de grille. L'un est l'oxyde d'hafnium (HfO_2) et le second est le silicate d'hafnium nitruré (HfSiON). La plupart de ces dispositifs ont subi des techniques de contrainte mécanique locales et globales. Les résultats de

mesures en statique ont montré l'amélioration considérable de la mobilité obtenue dans les transistors contraints par rapport aux standards et que l'utilisation des techniques de contrainte atténue la variation du courant liée à l'élévation de la température.

Les résultats de mesures en bruit ont permis d'évaluer la qualité de l'isolant de ces dispositifs, le silicate d'hafnium nitruré semble avoir une meilleure qualité. L'étude du bruit a permis aussi d'apporter des informations sur le transport ainsi que les mécanismes physiques qui génèrent le bruit en $1/f$ dans ces dispositifs. On n'a remarqué aucun impact des contraintes mécaniques sur le niveau du bruit. Les mesures de bruit en fonction de la température ont permis d'identifier des défauts dans le film du silicium par la méthode de spectroscopie en bruit.

L'articulation du mémoire de thèse est la suivante.

Dans le premier chapitre, on présentera le transistor MOSFET conventionnel et son évolution vers de nouvelles architectures innovantes. Dans un premier temps, le fonctionnement du transistor MOSFET, ses paramètres électriques importants, les effets de miniaturisation des dispositifs et leurs limites ainsi que les diverses solutions technologiques qui ont été utilisées pour améliorer les performances du transistor à canal court seront présentés. Plus particulièrement, une description des transistors FinFETs sera faite, objet d'étude en statique et en bruit de ce travail de thèse.

Le second chapitre s'attache au bruit basse fréquence dans les transistors MOSFETs et au dispositif expérimental de mesure. Dans un premier temps, les origines des différents types de bruit ainsi que leurs modèles seront décrits. Dans la dernière partie du chapitre, une description du banc expérimental de mesure en bruit et en régime statique de fonctionnement sera donnée.

Le troisième chapitre concerne les transistors FinFETs avec l'oxyde d'hafnium (HfO_2). Les transistors de type n ont fait l'objet d'une étude antérieure. On décrit ici les résultats de mesures en régime statique de fonctionnement et en bruit des transistors pFinFETs avec l'oxyde d'hafnium ayant des structures standards et contraintes. Les mesures en bruit ont été faites à température ambiante et à une température de 80 K. Un bruit inhabituel a été mis en évidence dans tous les transistors étudiés à température ambiante.

Dans le quatrième chapitre, les résultats de mesures en régime statique de fonctionnement et en bruit basse fréquence sur des transistors FinFETs standards et contraints ayant le silicate d'Hafnium nitruré (HfSiON) seront présentés. D'une part, afin d'étudier les performances de ces transistors, des mesures en statique ont été faites à température ambiante et à hautes températures afin d'extraire les principaux paramètres du transistor et leurs variations en fonction de la température. D'autre part, des mesures de bruit basse fréquence ont été effectuées pour étudier la qualité de l'oxyde de grille et son impact sur les performances en bruit, à température ambiante et à

basse température. Ces dernières mesures ont permis de mettre en évidence des défauts dans la zone déplétion de ces transistors.

Finalement, dans un chapitre plus court, une synthèse de tous les résultats trouvés dans les transistors pFinFETs ayant HfO_2 et les transistors FinFETs ayant HfSiON sera discutée, permettant de conclure sur une comparaison de la qualité des deux oxydes et du niveau du bruit entre les divers transistors.

Chapitre 1 : Le transistor

MOSFET

1.1 Introduction

Dans ce chapitre, nous allons présenter le transistor MOSFET conventionnel et son évolution vers de nouvelles architectures innovantes. Dans un premier temps, le fonctionnement du MOSFET, ses paramètres électriques importants ainsi que les effets de miniaturisation des dispositifs et leurs limites sont présentés. Les diverses solutions technologiques qui ont été utilisées pour améliorer les performances du transistor à canal court telle que l'ingénierie de contrainte, architectures multigrilles sont décrites. Il en suivra une description des transistors FinFETs, objet d'étude en statique et en bruit de ce travail de thèse.

1.2 Transistor MOSFET

Le transistor MOSFET est le dispositif le plus répandu dans la production actuelle de composants semi-conducteurs, il est le composant de base de tout circuit intégré CMOS (Complementary Metal Oxide Semiconductor). La technologie CMOS est basée sur l'utilisation de deux types de transistors complémentaires : le transistor nMOSFET dont les porteurs sont des électrons et le transistor pMOSFET dont les porteurs sont des trous. Elle englobe plus de 80 % de la production mondiale de circuits intégrés, grâce aux qualités de faible consommation et de faible taille. Le principe de fonctionnement d'un transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor) est basé sur le concept de la modulation de la conductivité des matériaux mise en évidence par J. E. Lilienfeld en 1928 [1]. Il n'a cependant pu être exploité qu'à partir des années 60, lorsque des interfaces silicium/oxyde ont été suffisamment de bonne qualité et que Jack Kilby ait fabriqué le premier circuit intégré [2]. Le transistor MOSFET à enrichissement, qui est représenté sur la figure 1-1, se caractérise par le fait que la grille, par l'effet de champ électrique, contrôle à travers l'oxyde de grille, la densité de porteurs dans le canal du dispositif et ainsi l'intensité du courant. Le canal est relié de part et d'autre à deux régions fortement dopées entre lesquelles est appliquée une tension donnant lieu à la circulation du courant.

Le transistor MOSFET est utilisé dans de multiples applications. Il est utilisé comme amplificateur dans certaines applications analogiques. Il est aussi utilisé comme bit pour stocker et lire l'information sous forme de zéros et uns. Son utilisation est plus importante dans les applications numériques comme élément de base de différentes fonctions logiques (porte AND, OR,..). On peut distinguer deux catégories importantes d'applications :

- applications haute performance HP (« *High Performance* ») comme le microprocesseur pour les ordinateurs de bureau pour lesquelles la fréquence de commutation du transistor est privilégiée par rapport à la consommation.
- applications à basse consommation avec un compromis sur la fréquence de commutation du transistor :
 - Les dispositifs à faible puissance active LOP (« *Low Operating Power* »), ce sont des dispositifs à basse consommation en fonctionnement tels que les ordinateurs portables.
 - Les dispositifs à faible puissance statique LSTP (« *Low Standby Power* »); ce sont des dispositifs nécessitant un faible courant de repos (lorsque le transistor est bloqué) pour obtenir une meilleure autonomie tels que les téléphones portables.

1.2.1 Principe de base d'un transistor MOSFET

1.2.1.1 Effet de champ

Le principe de fonctionnement d'un transistor MOSFET repose sur l'effet de champ, qui consiste à moduler de façon électrostatique une densité de charges mobiles dans un semi-conducteur. La modulation est provoquée par un champ électrique perpendiculaire à la direction du mouvement de ces charges. La structure se décompose en trois parties principales : l'électrode de grille (G) qui commande l'intensité du champ électrique vertical et par conséquent la densité de charges mobiles, les électrodes de source (S) et de drain (D) séparées par un canal de conduction qui conduit le courant en fonction de son niveau de remplissage en charges mobiles [3]. Dans tout ce qui suit le transistor est considéré de type n.

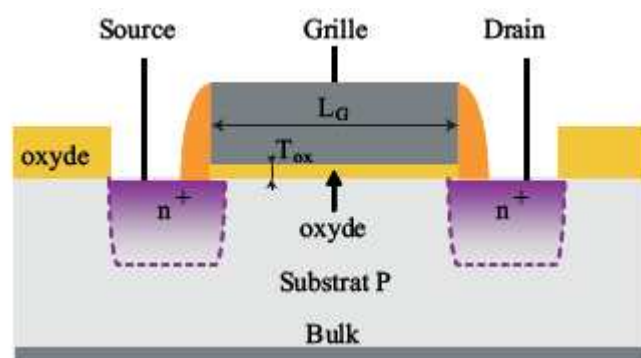


Figure 1-1 : Représentation schématique d'un transistor MOSFET.

La grille est polarisée par la tension grille-source V_{GS} . Les charges sont mises en mouvement par l'intermédiaire du champ électrique longitudinal lié à l'application d'une tension entre le drain et la source V_{DS} . La source sert de référence de potentiel. Les tensions V_{GS} et V_{DS} permettent de contrôler le courant qui passe dans le canal. Le dopage du canal N_A , la profondeur X_j des jonctions source et drain, la longueur de masque L entre drain et source, la largeur de masque W et l'épaisseur T_{ox} de l'oxyde de grille sont les paramètres caractéristiques d'un transistor MOSFET conventionnel. Avec la réduction de la taille du transistor, la différence entre la longueur du masque L et la longueur effective L_E n'est plus négligeable. De même pour la largeur effective du canal W_E . Deux paramètres correctifs sont alors introduits. Ils sont définis par : $\Delta L = L - L_E$ et $\Delta W = W - W_E$.

1.2.1.2 Régimes de fonctionnement

L'application d'un potentiel électrique sur la grille modifie les courbures de bandes d'énergie du semiconducteur. La figure 1-2 représente un diagramme de bande d'énergie d'un transistor nMOSFET dans le régime des bandes plates et dans le régime de faible inversion.

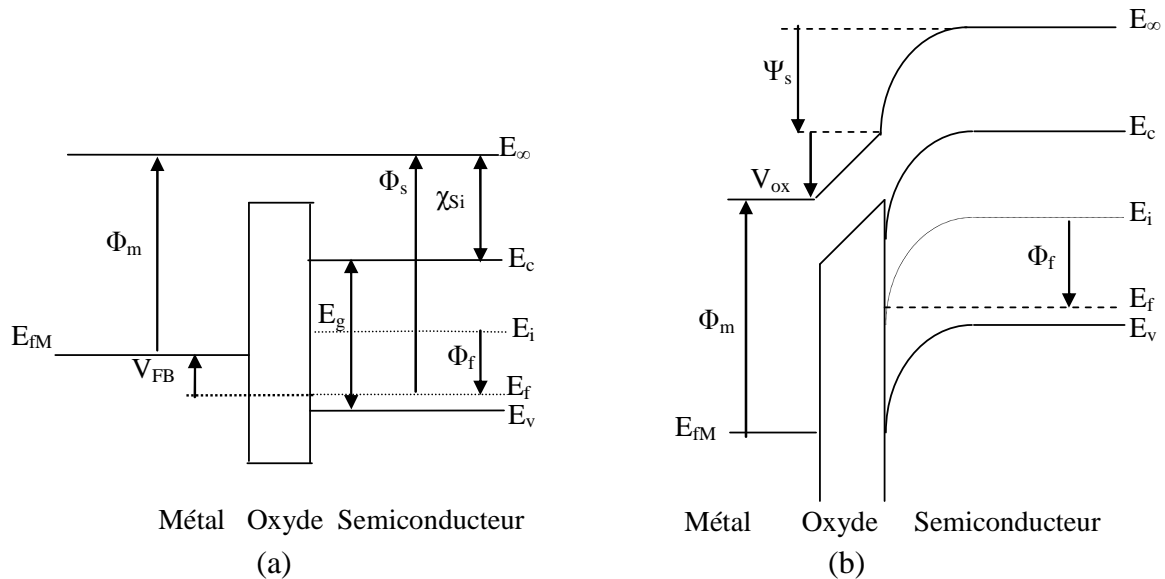


Figure 1-2 : Diagramme de bande d'un transistor nMOSFET en régime de bandes plates (a) et en régime de faible inversion (b), χ_{Si} est l'affinité électronique, E_g est la largeur de la bande interdite. E_c , E_v , E_i sont les énergies de bas de la bande de conduction, haut de la bande de valence et l'énergie intrinsèque du silicium. Φ_m , Φ_s sont les travaux de sortie du métal et du semiconducteur, Φ_f est le potentiel de Fermi. Ψ_s est la différence de potentiel entre la surface et le volume (le potentiel de surface).

Le niveau de Fermi est donné par : $E_F = E_i - q\Phi_f$, le potentiel de Fermi Φ_f est donné par l'équation suivante dans le cas d'un dopage modéré :

$$\Phi_f = \frac{kT}{q} \cdot \ln \frac{N_A}{n_i} \quad (1.1)$$

k est la constante de Boltzmann, T est la température, q est la charge élémentaire et n_i est la concentration intrinsèque de porteurs dans le matériau.

En fonction de la polarisation de la grille, on distingue différents régimes, séparés par deux valeurs, celle de la tension de bandes plates V_{FB} ($\Psi_s = 0$) et celle de la tension de seuil V_{Th} ($\Psi_s = 2\Phi_f$):

- régime d'accumulation ($\Psi_s < 0$, $V_{GS} < V_{FB}$): dans ce cas, les porteurs majoritaires (trous) sont attirés à l'interface oxyde/semiconducteur. Ils y sont encore plus nombreux que dans le volume.
- régime de déplétion ($0 < \Psi_s < \Phi_f$, $V_{Th} < V_{GS} < V_{FB}$): dans ce cas, les porteurs majoritaires (trous) sont repoussés de l'interface. Il se crée ainsi une zone de charge d'espace, chargée par les impuretés ionisées fixes (dopants, accepteurs) et désertée en porteurs mobiles.
- régime d'inversion faible ($\Phi_f < \Psi_s < 2\Phi_f$, $V_{FB} > V_{GS} > V_{Th}$): Lorsque $\Psi_s = \Phi_f$, les concentrations des porteurs majoritaires et minoritaires sont égales en surface, donc égale à la valeur de la concentration n_i .

- régime d'inversion forte ($\Psi_s > 2\Phi_f$, $V_{GS} > V_{Th}$) : la concentration des porteurs minoritaires en surface devient supérieure à la concentration des porteurs majoritaires dans le volume du semiconducteur.

1.2.1.3 Potentiel de bandes plates

Les structures MOS ont des oxydes contenant des charges fixes distribuées, de sorte que même si $V_{GS} = 0$, il y a toujours une courbure de bande à la surface du semi-conducteur. En général, ces charges d'origines technologiques sont positives (Na^+ , K^+ ,...). La valeur de la tension V_{GS} qu'il faut appliquer pour contrecarrer l'effet de ces charges s'appelle la tension de bande plate V_{FB} . L'équation de continuité des potentiels s'écrit alors:

$$V_{GS} = V_{FB} + \Psi_s - \frac{Q_{sc}}{C_{ox}} \quad (1.2)$$

Q_{sc} est la charge du semiconducteur. C_{ox} est la capacité de l'oxyde de grille, elle est donnée par :

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{T_{ox}} \quad (1.3)$$

ϵ_{ox} , ϵ_0 sont respectivement la permittivité relative de l'oxyde et la permittivité du vide. La tension V_{FB} est non seulement reliée à la densité de charges dans l'oxyde Q_{ox} mais aussi à la différence des travaux de sortie du métal et du semiconducteur: $\Phi_{ms} = \Phi_m - \Phi_s$. Si $\Psi_s = 0$, on aura :

$$V_{FB} = \Phi_{ms} - \frac{Q_{ox}}{C_{ox}} \quad (1.4)$$

La valeur de la tension V_{FB} permet de déduire la quantité de charges fixes présentes dans les oxydes. La structure MOS réelle se distingue de la structure idéale à cause de l'état de l'interface SiO_2/Si qui n'est pas parfaite. La tension V_{GS} est donc :

$$V_{GS} = V_{FB} + \Psi_s - \frac{Q_{inv} + Q_{dep} + Q_{it}}{C_{ox}} \quad (1.5)$$

La charge d'états d'interface excédentaire est donnée par: $|Q_{it}| = q \cdot N_{it} \cdot A$, N_{it} est la densité de défauts à l'interface, Q_{inv} et Q_{dep} sont respectivement la charge d'inversion et la charge de déplétion.

1.2.1.4 Tension de seuil

La tension de seuil d'un transistor MOSFET est définie comme la tension qu'il faut appliquer pour que le potentiel de surface Ψ_s soit égal à $2\Phi_f$. La tension de seuil est donnée par la

somme de la tension de bandes plates et de la chute du potentiel sur le diélectrique et celle sur la zone de déplétion :

$$V_{Th} = V_{FB} + \Phi_d + \frac{Q_{dep}}{C_{ox}} \quad (1.6)$$

Φ_d représente la hauteur de la barrière entre la source et le canal. Lorsque cette barrière est de l'ordre de quelques kT/q (énergie thermique des porteurs dans la source), les porteurs peuvent circuler librement dans le canal. Cette hauteur de barrière dépend aussi des dopages de la source et du canal.

1.2.1.5 Pente sous le seuil

Quand le transistor est en régime de fonctionnement de faible inversion. L'inverse de la pente sous le seuil S , exprimé en mV/décade, informe de combien il faut diminuer la tension V_{GS} pour réduire le courant sous le seuil d'une décade. Elle est l'inverse de la pente, au sens mathématique de la droite $\log(I_D) = f(V_{GS})$:

$$S = \frac{kT}{q} \cdot \ln 10 \left[1 + \frac{C_{dep}}{C_{ox}} + \frac{C_{it}}{C_{ox}} \right] \quad (1.7)$$

C_{dep} est la capacité de la couche de déplétion dans le substrat. C_{it} est la capacité associée aux états d'interface. Par sa dépendance en C_{it} , la pente sous le seuil est révélatrice de la qualité de l'interface. La pente idéale, en négligeant C_{dep} et C_{it} devant C_{ox} , vaut $S = kT/q \ln 10$, ce qui correspond à environ 60 mV/décade à température ambiante.

1.2.1.6 Courants I_{OFF} et I_{ON}

Le comportement électrique idéal d'un transistor est celui d'un interrupteur parfait dans les applications logiques. Si les tensions appliquées sur la grille V_{GS} et sur le drain V_{DS} sont nulles, l'interrupteur est bloqué, le courant de drain doit être nul, si $V_{GS} = V_{DS} = V_{DD}$ (tension nominale), l'interrupteur est passant et le courant de drain I_{ON} est maximal. Dans le comportement réel, à l'état bloqué, le courant de drain n'est pas nul, il y a un courant de fuite I_{OFF} qui circule, qui est limité par la diffusion coté source et drain. La meilleure qualité du transistor MOSFET se concrétise par un courant de fuite le plus faible, un courant I_{ON} le plus fort et un passage le plus rapide de l'état OFF à l'état ON. La figure 1-3 illustre une caractéristique $I_D(V_{GS})$ d'un transistor MOSFET. Le courant I_{OFF} est dépendant de la pente sous le seuil. Il est donné par la relation suivante :

$$\log(I_{OFF}) = \log(I_{Th}) - \frac{V_{Th}}{S} \quad (1.8)$$

avec I_{Th} : le courant de drain à $V_{GS} = V_{Th}$.

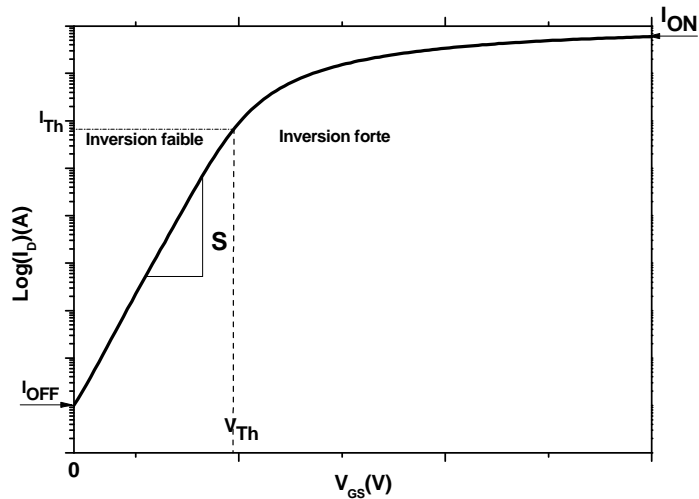


Figure 1-3 : Caractéristique $I_D(V_{GS})$ d'un transistor MOSFET.

1.2.2 Modélisation d'un transistor MOSFET classique

En fonction de l'importance de la polarisation du drain, on peut distinguer principalement deux régimes : régime linéaire et régime de saturation.

1.2.2.1 Régime linéaire

Lorsque la tension V_{DS} est faible et négligeable devant la tension V_{GS} , l'effet du champ est quasi uniforme le long du canal. Le canal se comporte donc comme une résistance indépendante de la polarisation du drain. Ce régime se caractérise par une dépendance linéaire du courant en fonction de la tension V_{DS} . Le courant de drain sera donné dans les deux cas de faible et de forte inversion en tenant compte des résistances d'accès de source R_S et de drain R_D qui sont schématisées dans la figure 1-4, les extrémités du canal réel étant notées S' et D' :

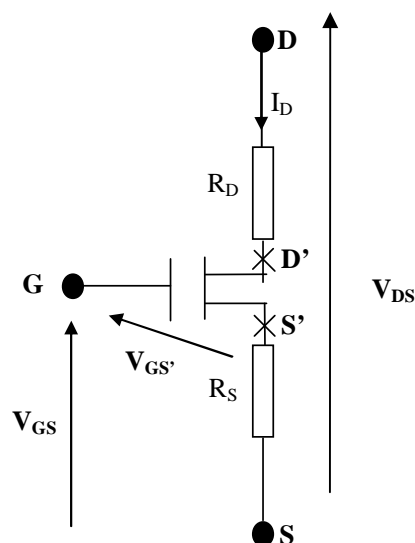


Figure 1-4 : Schéma électrique équivalent d'un MOSFET avec l'influence des résistances série source et drain.

1.2.2.1.1 Cas de faible inversion

En régime de faible inversion, le courant de drain varie exponentiellement avec V_{GS} et il est donné par:

$$I_D = \frac{W}{L} \frac{kT}{q} \mu_0 C_{dep} V_{D'S'} \exp\left[\frac{qA(V_{GS} - V_{Th})}{kT}\right] \quad (1.9)$$

μ_0 est la mobilité à faible champ électrique. Le facteur A est donné par :

$$A = \frac{C_{ox}}{C_{ox} + C_{dep} + C_{it}} \quad (1.10)$$

La transconductance est donnée par la formule suivante :

$$g_m = \frac{q}{kT} A I_D \quad (1.11)$$

A une tension de drain V_{DS} constante, elle est donnée par : $g_m = \frac{dI_D}{dV_{GS}}$.

1.2.2.1.2 Cas de forte inversion

En régime de forte inversion, le courant de drain s'écrit comme suit :

$$I_D = \frac{W}{L} \mu_{eff} Q_{inv} V_{D'S'} \quad (1.12)$$

μ_{eff} est la mobilité effective des porteurs dans le canal qui dépend de la charge d'inversion Q_{inv} , elle est donnée par :

$$\mu_{eff} = \frac{\mu_0}{1 + \frac{Q_{inv}}{Q_c}} \quad (1.13)$$

Q_c est la charge critique qui caractérise la diminution de la mobilité aux fortes tensions de grille. Une valeur typique de Q_c est de l'ordre de $10^{13} \text{ q}\cdot\text{cm}^{-2}$. En régime de forte inversion, la charge d'inversion peut s'écrire :

$$Q_{inv} = -C_{ox} \left(V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2} \right) \quad (1.14)$$

La mobilité effective devient alors :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_0 \left(V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2} \right)} \quad (1.15)$$

où $\theta_0 = \frac{C_{ox}}{Q_c}$ est le facteur de réduction intrinsèque de la mobilité. On obtient donc la formule du courant de

drain suivante :

$$I_D = \frac{\beta V_{D'S'} (V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2})}{1 + \theta_0 (V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2})} \quad (1.16)$$

avec $\beta = \frac{W}{L} \mu_0 C_{ox}$

En prenant en compte que $R_S = R_D = R_{SD}/2$, le courant de drain est donné par :

$$I_D = \frac{\beta V_{DS} (V_{GS} - V_{Th} - \frac{V_{DS}}{2})}{1 + \theta_1 (V_{GS} - V_{Th} - \frac{V_{DS}}{2})} \quad (1.17)$$

où $\theta_1 = \theta_0 + \beta(R_S + R_D)$

La transconductance du transistor devient :

$$g_m = \frac{\beta V_{DS}}{\left[1 + \theta_1 (V_{GS} - V_{Th} - \frac{V_{DS}}{2}) \right]^2} \quad (1.18)$$

1.2.2.2 Régime de saturation

Lorsque la tension de drain V_{DS} augmente, la différence de potentiel entre le drain et la grille diminue, en conséquence la charge d'inversion diminue en s'approchant du drain. Pour une valeur de la tension appliquée sur le drain proche de $V_{GS} - V_{Th}$, le canal à proximité du drain est pincé et le courant de drain reste constant avec l'augmentation de V_{DS} (dans le cas idéal). Le courant de drain est alors donné par :

$$I_{Dsat} = \int_0^{V_{DS}} \frac{W}{L} \mu_{eff} Q_{inv} d\Phi_c \approx \frac{1}{2} \beta V_{Dsat}^2 \quad (1.19)$$

Avec: $Q_{inv} = C_{ox} (V_{GS} - V_{Th} - \Phi_c)$, Φ_c étant la différence entre les quasi niveaux de Fermi des électrons et des trous.

Dans le cas réel, le courant de drain ne reste pas constant mais continue à augmenter légèrement avec la polarisation du drain. L'augmentation du courant est due à l'éloignement du point de pincement par rapport au drain, à la réduction de la tension de seuil avec la tension V_{DS} et à l'effet d'avalanche. Le point de pincement se caractérise par la disparition de l'inversion. Tout excédent de la tension V_{DS} au delà de V_{Dsat} développe, autour du drain, une zone de charge d'espace d'une épaisseur:

$$\lambda = \lambda_0 \ln \left[1 + \frac{V_{DS} - V_{Dsat}}{V_{Dsat}} \right] \quad (1.20)$$

Avec $\lambda_0 = \sqrt{\left(\frac{\epsilon_{Si}}{\epsilon_{ox}} X_j T_{ox}\right)}$: la zone de charge d'espace minimale.

Le développement de la zone de charge d'espace, d'épaisseur λ , implique un raccourcissement du canal inversé dont la longueur devient $L - \lambda$ au lieu de L , donc au régime de saturation, on aura un courant de drain qui sera de la forme suivante :

$$I_{DS} = I_{Dsat} \cdot \frac{L}{L - \lambda} = I_{Dsat} \left[1 + \frac{V_{DS} - V_{Dsat}}{V_E} \right] \quad (1.21)$$

où $V_E = \frac{L}{\lambda_0} V_{Dsat}$ est la tension d'Early, plus cette tension est élevée, meilleures seront les performances du transistor.

1.2.3 Mobilité de porteurs de charge

La mobilité traduit l'aptitude des porteurs à se déplacer dans la couche d'inversion sous l'effet d'un champ électrique longitudinal. Elle dépend de nombreux paramètres dont les principaux sont le champ électrique transversal, l'orientation du cristal, la température et le dopage du substrat. Les différents mécanismes de collision qui influent sur la mobilité dans la couche d'inversion d'un transistor MOSFET sont les collisions avec les phonons, les collisions sur les centres coulombiens et les collisions sur la rugosité de surface [4].

1.2.3.1 Collisions avec les phonons

Ce type de collisions résulte des vibrations du réseau. Pour une température $T < 100K$, on trouve les phonons acoustiques, qui donnent des collisions quasi-élastiques à faible champ et conduisent à une mobilité à l'interface de la forme:

$$\mu_{ph} = \mu_{pha} \propto N_{inv}^{1/3} T^{-1} \quad (1.22)$$

N_{inv} représente la concentration des porteurs de charge de la couche d'inversion. A des températures plus élevées ($100 < T < 370 K$), on trouve les phonons optiques, ils conduisent à l'expression suivante :

$$\mu_{ph} = \mu_{pho} \propto N_{inv}^{1/b} T^{-n} \quad (1.23)$$

avec : $3 \leq b \leq 6$ et $1 \leq n \leq 1,5$, ces constantes dépendent de l'orientation cristallographique.

1.2.3.2 Collisions sur les centres coulombiens

Ce mécanisme est dû aux sites chargés près du canal. Généralement, ces charges sont localisées principalement à l'interface Si/SiO₂. Ces collisions commencent à se manifester à des températures suffisamment basses lorsque les collisions sur les phonons ne sont pas dominantes. Elles sont importantes en faible inversion, mais deviennent moins effectives lorsqu'on passe en forte inversion à cause de l'effet d'écrantage des charges par les porteurs minoritaires. L'atténuation de la mobilité est donnée par :

$$\mu_c \propto N_{cs}^{-1} T \quad (1.24)$$

N_{cs} représente la concentration de charges de surface, comprenant la charge fixe de l'oxyde, la charge d'états d'interfaces ainsi que la charge localisée due aux impuretés ionisées.

1.2.3.3 Collisions sur la rugosité de surface

Les défauts à l'interface Si/SiO₂ sont une importante source de collisions. Les collisions sur les rugosités de surface sont indépendantes de la température et dominantes pour les forts champs électriques transversaux. Elles peuvent être modélisées par :

$$\mu_{sr} \propto E_{eff}^{-2} \quad (1.25)$$

E_{eff} est le champ électrique transversal effectif qui est donné par :

$$E_{eff} = \frac{q(\eta N_{inv} + N_{dep})}{\epsilon_{Si}} \quad (1.26)$$

N_{inv} et N_{dep} sont les densités de charges des zones d'inversion et de déplétion respectivement, ϵ_{Si} est la permittivité relative du silicium, η est une constante.

1.2.3.4 Combinaison des trois mécanismes de collisions

La contribution relative de ces trois mécanismes dépend de la température et de la concentration des porteurs dans le canal. A température ambiante et en faible inversion, la mobilité est contrôlée par les collisions sur les phonons et par les collisions coulombiennes, alors qu'en forte inversion, les collisions sur les rugosités de surface sont prépondérantes. A basses températures, seuls les deux derniers mécanismes sont significatifs. La figure 1-5 représente les dépendances empiriques de la mobilité effective associée à chaque mécanisme en fonction du champ effectif et de la température. La mobilité totale dans la couche d'inversion peut être extrapolée en utilisant la loi empirique de Matthiessen qui considère que tous les mécanismes sont statistiquement indépendants des uns des autres:

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_{ph}} + \frac{1}{\mu_{sr}} + \frac{1}{\mu_c} \quad (1.27)$$

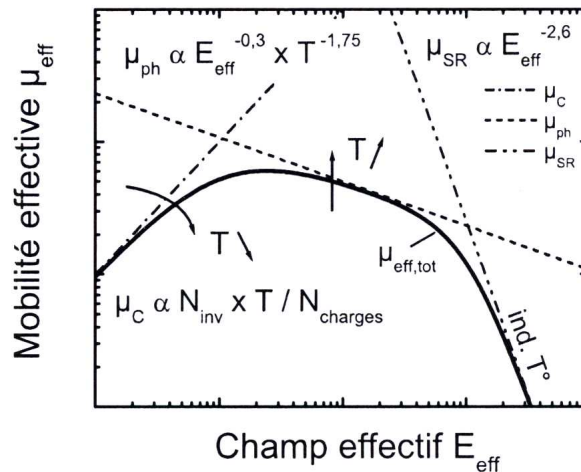


Figure 1-5 : Dépendances empiriques de la mobilité effective associée à chaque mécanisme en fonction du champ effectif et de la température [5].

1.3 Effets de miniaturisation

1.3.1 Loi de Moore et de réduction d'échelle

Depuis les années 60, l'intégration en microélectronique suit une évolution exponentielle. Cette évolution est connue sous le nom de « loi de Moore ». G. Moore, l'un des co-fondateurs d'Intel avait prédit, en 1973, que le nombre de transistors intégrés sur une puce doublerait environ tous les 2 ans. La diminution soutenue des dimensions depuis 50 ans accélère la rencontre de la microélectronique avec la mécanique quantique et d'autres lois régissant le transport des porteurs de charge. Pour des applications hautes performances, l'oxyde de grille du transistor ne doit pas avoir une épaisseur supérieure à 1,2 nm (une monocouche de silice a environ 5 Å). En outre, une si fine couche d'isolant ne jouera plus son rôle d'isolant à cause de l'augmentation des fuites par effet tunnel. Cela engendrera un autre problème pour les applications basse consommation. Le maintien de l'augmentation exponentielle du nombre de transistors devient extrêmement difficile et coûteux. Des tendances sont apparues : « *More Moore* » et « *More Than Moore* ». La première repousse les limites en essayant de continuer le plus longtemps possible la technologie actuelle et l'autre en proposant d'aller plus loin avec d'autres matériaux et de nouveaux concepts technologiques. La réduction des dimensions (« *The scaling* ») demeure essentielle pour mieux intégrer des fonctions électroniques, parmi les autres avantages de celle-ci ; la réduction du coût de fabrication, la réduction de consommation, etc. L'association de l'industrie des semiconducteurs SIA (« *Semiconductor Industry Association* ») publie depuis 1998 une feuille de route ITRS; (« *The international Technology Roadmap for Semiconductors*») qui est un guide pour l'industrie mondiale

des semiconducteurs [6]. Les caractéristiques physiques et électriques sont fixées pour une génération donnée ainsi que les principaux critères de performances à atteindre dans divers processus d'élaboration (gravure, architecture.) et pour diverses applications (microprocesseurs, mémoires..).

La réduction des dimensions génère des problèmes technologiques complexes et des effets néfastes au bon fonctionnement du transistor, tels que la diminution de la mobilité et la dépendance de la tension de seuil avec la longueur du canal. Pour cela, des lois de réduction d'échelles ont été proposées afin de minimiser ces effets. Des lois de réduction d'échelle ont été énoncées pour la première fois en 1974 par Dennard et al [7] et révisées plusieurs fois. Parmi ces révisions, il y a eu celle de Bacarani en 1984 [8]. Leur but est de garder le même niveau du champ électrique interne quelles que soient les dimensions du transistor. Cette réduction de paramètre entraîne une amélioration intrinsèque des performances du transistor. La méthode utilise des facteurs d'échelle différents (λ et k). Le tableau suivant représente ces lois de réduction d'échelle pour les applications sub-0.25 μm :

Paramètres physiques	Grandeur	Facteur d'échelle
Dimensions	W, L, T_{ox}, X_j (m)	$1/\lambda$
Potentiels	$V_{\text{GS}}, V_{\text{DS}}, V_{\text{Th}}$ (V)	$1/k$
Dopage	N_A, N_D (cm^{-3})	λ^2 / k
Champ électrique	E (V/cm)	λ / k
Capacités	C_{ox}, C_j	$1/\lambda$
Puissance	$I_D \cdot V_{\text{DD}}$ (W)	$1/k^2$

Tableau 1-1 : Lois de réduction d'échelle [8].

Le tableau montre qu'il ne suffit pas de diminuer les dimensions géométriques du transistor (L et W) mais aussi les dimensions des couches technologiques de celui-ci : oxyde de grille, jonction source et drain, etc.

1.3.2 Nouveaux phénomènes physiques engendrés par la miniaturisation

De nombreux phénomènes physiques apparaissent au fur et à mesure de la réduction des dimensions des transistors et ne peuvent plus être ignorés. Parmi ces phénomènes dont l'impact sur les caractéristiques électriques des transistors est le plus important, on peut citer l'effet de confinement quantique, la saturation de la vitesse, le transport balistique et l'effet tunnel [9].

1.3.2.1 Effets quantiques de confinement

L'introduction d'oxydes de grille de plus en plus minces et des niveaux de dopage de plus en plus élevés dans le canal des transistors courts, a pour conséquence l'augmentation du champ électrique à l'interface oxyde/canal. Ceci se traduit par une courbure accentuée des bandes d'énergies en régime d'accumulation et en inversion et induit le confinement des charges à l'interface dans un puits de potentiel de plus en plus étroit. Les électrons ne se comportent plus comme un gaz à 3 dimensions mais plutôt comme un gaz à 2 dimensions. Leur énergie étant quantifiée, il apparaît des niveaux d'énergies discrets dans un puits de potentiel. En plus, la charge d'inversion totale est plus faible que dans le cas classique en raison du nombre réduits de niveaux d'énergies peuplés et d'une densité d'états bidimensionnelle. L'impact de ce confinement quantique, le plus important sur les propriétés électriques, est la diminution de la capacité de grille et de la transconductance ou encore l'augmentation de V_{Th} [10].

1.3.2.2 Saturation de la vitesse des porteurs

Sous l'action d'un champ électrique longitudinal E_L entre la source et le drain, les porteurs se déplacent avec une vitesse de dérive v en régime stationnaire qui est définie par : $v = \mu E_L$.

A partir d'une certaine valeur du champ, appelée champ critique $E_{c,L}$ (10^4 V/cm dans le silicium), la vitesse tend vers une valeur limite appelée vitesse de saturation v_{sat} (10^7 cm/s dans le silicium) [11]. Dans ce cas, le courant se sature avant le pincement du canal puisque les porteurs atteignent leur vitesse limite. Avant d'atteindre v_{sat} , la diminution de la mobilité effective avec V_{DS} $\mu_{eff}(V_{DS})$ peut être écrite selon l'équation suivante pour $E < E_{c,L}$:

$$\mu_{eff}(V_{DS}) = \frac{\mu_{eff}}{1 + \frac{E_L}{E_{c,L}}} = \frac{\mu_{eff}}{1 + \theta_D V_{DS}} \quad (1.28)$$

avec $V_{DS} \approx E_L L$ et $\theta_D = \frac{\mu_{eff}}{2v_{sat}L}$ est le facteur d'atténuation de la mobilité dû au champ électrique longitudinal.

1.3.2.3 Transport balistique et quasi balistique

En dessous de quelques dizaines de nanomètres de longueur de grille, la distance entre la source et le drain devient comparable au libre parcours moyen des porteurs λ entre deux collisions. Les porteurs passent ainsi d'un « réservoir » à un autre sans subir aucune interaction dans le canal. Le transport est qualifié de balistique. Le courant est seulement limité par la vitesse d'injection v_{inj} des porteurs au niveau de la source selon l'équation suivante [12]:

$$I_{Dsat} = WQ_{inv}v_{inj} \quad (1.29)$$

Dans le cas d'un transport balistique pur, les porteurs injectés au niveau de la source atteignent le drain et si l'on considère un gaz de porteurs non dégénérés, v_{inj} est égale à la vitesse thermique des porteurs v_{th} définie par :

$$v_{th} = \sqrt{\frac{2kT}{\pi m^*}} \quad (1.30)$$

où m^* est la masse effective isotrope de conduction des porteurs de charges.

Dans le cas d'un régime quasi-balistique, certains porteurs injectés au niveau de la source sont rétrodiffusés, on définit le coefficient de rétrodiffusion r («*backscattering coefficient*») qui traduit la proportion de porteurs qui ne sont pas collectés par le drain. Selon Lundstrom *et al*, le courant de drain dans le régime linéaire peut s'écrire :

$$I_D = (1-r)\frac{W}{L}\mu_{bal}Q_{inv}V_{DS} = r\frac{W}{L}\mu_{dd}Q_{inv}V_{DS} = \frac{W}{L}\mu_{exp}Q_{inv}V_{DS} \quad (1.31)$$

où μ_{bal} est la mobilité balistique, μ_{dd} est la mobilité dérive-diffusion, μ_{exp} est la mobilité mesurée expérimentalement. On peut obtenir le coefficient de rétrodiffusion à partir de l'équation suivante :

$$r = 1 - \frac{\mu_{exp}}{\mu_{bal}} \quad (1.32)$$

La mobilité balistique μ_{bal} peut être estimée à partir de l'équation (1.31) en considérant que le courant de drain est dans la limite balistique ($r = 0$) comme suit [13] :

$$\mu_{bal} = \frac{qv_{inj}L}{2kT} \frac{i_{-1/2}(\eta_F)}{i_0(\eta_F)} \quad (1.33)$$

$v_{inj} \approx 1,2 \cdot 10^7$ cm/s pour le silicium ; $i_{-1/2}(\eta_F)$ et $i_0(\eta_F)$ sont les fonctions de Fermi-Dirac avec η_F étant le niveau réduit de Fermi. Le facteur de dégénérescence $i_{-1/2}(\eta_F)/i_0(\eta_F)$ égale à 1 dans la limite de la statistique de Boltzmann; ce facteur peut être approximé par $1/(1+Q_{inv}/Q_c)$ pour le cas d'une seule sous-bande dans la limite quantique.

En ayant μ_{exp} et estimé μ_{bal} , on peut retrouver le coefficient de rétrodiffusion r et la mobilité dérive-diffusion μ_{dd} en utilisant l'expression de Matthiessen de la mobilité:

$$\frac{1}{\mu_{exp}} = \frac{1}{\mu_{bal}} + \frac{1}{\mu_{dd}} \quad (1.34)$$

1.3.2.4 Effet tunnel

Quand l'oxyde de silicium atteint des épaisseurs nanométriques, des courants de fuite tunnel de grille peuvent survenir. Pour des épaisseurs d'environ 3 nm, il peut y avoir un courant tunnel Fowler-Nordheim. Pour des épaisseurs inférieures à 3 nm, un courant tunnel direct peut apparaître. D'autres courants peuvent être générés à cause des défauts dans le volume de l'oxyde ; tels que la conduction Poole Frenkel ou la conduction par sauts « Hopping » [14], [15], [16].

Un autre courant tunnel entre la source et le drain peut apparaître quand les longueurs de grilles sont seulement de quelques nanomètres. La barrière de potentiel source-canal-drain devient si faible que les porteurs peuvent directement passer par effet tunnel de la source au drain, même sous faible polarisation de grille et/ou drain. Il s'agit ici d'une des limites physiques les plus fondamentales puisque cet effet tunnel parasite est susceptible d'affecter la caractéristique sous le seuil et donc le courant I_{OFF} des dispositifs ultimes de la microélectronique [14].

1.3.2.5 Effets de canaux courts

Le transistor à canal court subit l'influence de plusieurs effets parasites qui affectent le bon fonctionnement du dispositif. Dans le régime de conduction, plusieurs effets viennent perturber la caractéristique idéale du transistor MOSFET.

Dans un transistor long, le potentiel de surface est plat pratiquement sur l'ensemble de la longueur de grille. Les expansions des zones de charges d'espaces autour des jonctions ne dépendent pas de la longueur du canal. Dans un transistor court, le potentiel de surface peut être complètement dominé par les zones de charges d'espaces. La partie plate peut être réduite jusqu'à une disparition totale. La superposition de zones de charges d'espaces des jonctions source et drain conduit à l'abaissement de la barrière de potentiel entre la source et le canal ; c'est l'effet de canal court SCE (« *Short Channel Effect* »). Si, de plus, la polarisation du drain augmente, la barrière se réduit davantage ; on parle alors de l'effet DIBL (« *Drain Induced Barrier Lowering* »), on utilise aussi le terme « *roll-off* » qui décrit la chute totale de la tension V_{Th} . Ainsi, la charge d'inversion est contrôlée par le drain en plus de la grille ; il en résulte une augmentation du courant dans le régime de saturation [11]. Un autre effet est le courant de fuite GIDL (« *Gate Induced Drain Leakage* ») [17]; en raison de la réduction de l'épaisseur de l'oxyde de grille, de forts champs électriques transversaux sont créés au niveau du drain. Ceci peut générer un courant de fuite entre la grille et le drain à l'état bloqué du transistor MOSFET. D'autres effets parasites peuvent dégrader le fonctionnement à l'état bloqué, tels que l'effet des courants de fuite des jonctions source/canal et canal/drain polarisées en inverse (« *Reverse Short Channel* »), appelé aussi « *roll-up* » et le courant de perçage source/drain (« *punchthrough* »).

Tous ces effets constituent une limitation importante pour la miniaturisation des technologies. L'inconvénient ne consiste pas uniquement en la diminution de la tension de seuil elle-même, mais aussi en l'accentuation de la sensibilité des circuits aux dispersions technologiques.

1.4 Solutions technologiques

Afin de limiter les effets néfastes dus à la miniaturisation des transistors MOSFETs, des ajouts sont couramment utilisés dans les technologies les plus avancées pour améliorer les performances du transistor à savoir l'amélioration du contrôle électrostatique en créant de nouvelles architectures, la réduction des fuites de grille en utilisant de nouveaux matériaux et d'autres solutions technologiques pour l'amélioration des propriétés du transport des porteurs.

1.4.1 Transistor MOSFET SOI

La première révolution dans l'architecture du transistor MOSFET est l'apparition des transistors sur film mince SOI (« *Silicon On Insulator* »). Ce type de transistor est caractérisé par deux paramètres supplémentaires par rapport aux transistors conventionnels : l'épaisseur du film Si (t_{Si}) sur lequel est intégrée la région active du dispositif et l'épaisseur de la couche d'oxyde (t_{BOX}) dit oxyde enterré. On distingue deux types de dispositif sur film mince. Lorsque l'épaisseur t_{Si} du film est suffisamment épaisse, une partie seulement du film est désertée. On parle alors du transistor sur isolant partiellement déserté PD-SOI (« *Partially Depleted Silicon On Insulator* »), son fonctionnement et ses caractéristiques sont proches de ceux du transistor sur silicium massif. Lorsque l'épaisseur t_{Si} est plus fine, l'ensemble du substrat est déserté et on parle cette fois d'un transistor totalement déserté ; FD-SOI (« *Fully Depleted Silicon On Insulator* »). Ce dernier présente de nombreux avantages tels que l'obtention des jonctions ultra-minces permettant un bon contrôle des effets de canaux courts. Les avantages de la technologie SOI sont que le substrat est isolé de la couche active, il y a minimisation des capacités parasites associées au substrat et pas de courant de fuite du substrat.

Les transistors SOI possèdent aussi quelques inconvénients, tels que l'augmentation des résistances d'accès, les effets d'auto-échauffement qui se traduisent par une diminution du niveau du courant [18]. Le film se comporte comme un substrat flottant, ce qui génère des effets néfastes comme l'effet « Kink » qui peut entraîner un blocage définitif du transistor [19], [20], l'effet bipolaire parasite qui peut empêcher le transistor de repasser de l'état ouvert à l'état fermé [21], [22] ainsi que la dégradation de la mobilité des porteurs dans le canal liée à la faible épaisseur du film [23]. Malgré ces inconvénients, les transistors SOI sont très prometteurs et ils ont ouvert la voie à

des architectures plus évoluées; les transistors MOSFET à grilles multiples abordés dans le paragraphe 1.4.4.

1.4.2 Utilisation d'empilements avec isolant à haute permittivité et grille métallique

L'empilement de grille est une brique technologique essentielle d'un transistor MOSFET. Il est devenu ces dernières années le centre d'intérêt pour améliorer les performances, notamment en réduisant fortement l'épaisseur de l'oxyde de grille afin d'augmenter le courant du drain.

Pour tenter de s'affranchir des problèmes posés par l'amincissement de l'oxyde de grille, notamment en termes de courant de grille, fiabilité et consommation électrique, une alternative consiste à remplacer le siliciure (SiO_2) par un matériau de permittivité diélectrique supérieure (« high-k »). On peut alors avoir un isolant de grille d'épaisseur plus importante, tout en gardant les mêmes performances électriques (c'est à dire la même capacité d'oxyde). La capacité devient alors :

$$C_{ox} = \frac{\epsilon_{hk}^r \epsilon_0}{T_{hk}} \quad (1.35)$$

ϵ_{hk}^r , T_{hk} sont la permittivité relative et l'épaisseur du matériau high-k respectivement.

Pour des raisons de commodité, ces performances sont toujours évaluées en épaisseur équivalente d'oxyde EOT (« *Equivalent Oxide Thickness* »), c'est à dire l'épaisseur physique de SiO_2 qu'il faudrait pour obtenir la même valeur de la capacité d'oxyde C_{ox} , l'objectif étant d'obtenir une épaisseur équivalente inférieure à 1 nm, elle se définit comme suit :

$$EOT = T_{hk} \frac{\epsilon_{SiO_2}^r}{\epsilon_{hk}^r} \quad (1.36)$$

La permittivité électrique étant supérieure à celle de SiO_2 , l'épaisseur du matériau high-k déposé est donc supérieure à l'épaisseur équivalente d'oxyde (EOT). L'utilisation des diélectriques à haute permittivité permet une amélioration de l'autonomie pour des applications basse consommation [24]. L'utilisation d'un oxyde épais permet aussi de réduire les interactions coulombiennes entre les porteurs du canal et les charges dans la grille (déplétion de la grille) ce qui améliore le transport électrique dans le canal.

Quelques inconvénients se manifestent tel que l'augmentation de la densité de charges fixes dans les diélectriques à haute permittivité high-k et le phénomène d'ancrage du niveau de Fermi dans la grille (« *Fermi level pinning* ») qui modifie la structure de bande du matériau high-k quand ce dernier est associé à une grille en polysilicium [25]. Tous ces phénomènes engendrent une augmentation de la tension de seuil. En conséquence, la grille en polysilicium a été remplacée par une grille métallique « mid-gap », ce matériau doit avoir une stabilité thermique, chimique et

mécanique avec les oxydes de grille [26]. Les métaux les plus prometteurs, ayant une meilleure compatibilité avec les high-k sont le nitrure de titane (TiN) et le nitrure de tantale (TaN) [27].

Le dépôt du high-k sur le silicium engendre une couche de silice non intentionnelle de mauvaise qualité. Cet effet est néfaste au bon fonctionnement du transistor. La solution est d'utiliser une couche interfaciale IL (« *Interfacial layer* ») bien maîtrisée d'oxyde de silicium (SiO_2 , SiO_x , SiON). Le choix de la technique de dépôt est aussi important pour une bonne qualité de l'oxyde de grille [28].

La dégradation de la mobilité des porteurs dans le canal limite l'intégration de matériaux high-k dans les transistors. Cette dégradation est due aux interactions coulombiennes (« *Coulomb Scattering* ») qui sont causées par les pièges d'interface et les charges dans l'oxyde ainsi que les interactions avec les phonons optiques (« *Phonon scattering* ») [29]. Toutefois, d'autres solutions ont été trouvées pour y remédier telles que les contraintes mécaniques qui améliorent la mobilité comme on le verra plus en détail dans le paragraphe 1.4.3.2.

Les matériaux high-k les plus utilisés actuellement, en empilement avec une grille métallique et une couche interfaciale (SiO_2) bien maîtrisée sont l'oxyde d'hafnium (HfO_2) et le silicate d'hafnium nitruré (HfSiON). Ce sont ces types d'empilement qu'on a eu l'occasion d'étudier dans les transistors FinFETs caractérisés au cours de cette thèse.

1.4.3 Amélioration du transport de charge dans le canal

Le maintien de l'intégration demande une amélioration continue de la mobilité des porteurs dans le canal. De nombreuses méthodes ont été trouvées pour augmenter la mobilité telle que l'utilisation de nouveaux matériaux dans le canal du transistor, le changement de l'orientation cristalline du canal et du substrat et l'implémentation de nouvelles techniques de contrainte.

1.4.3.1 L'orientation cristalline du canal ou du substrat

La mobilité des porteurs de la couche d'inversion dépend de l'orientation de la surface et de la direction du flux du courant. Ceci est dû à l'asymétrie des masses effectives des porteurs dans le réseau du silicium cristallin [30]. Il existe deux orientations potentielles du substrat pour les transistors planaires : (100) et (110). Le meilleur transistor nMOSFET a été fabriqué sur un substrat (100) avec une direction du canal $\langle 110 \rangle$ et le meilleur pMOSFET a été fabriqué sur un substrat (110) avec une direction du canal $\langle 110 \rangle$ [31]. Dans les transistors non-planaires, il est un peu compliqué d'optimiser l'orientation du substrat et du canal. Par exemple, de nouvelles structures de transistors FinFETs peuvent être orientés dans les directions différentes pour différentes

orientations, par exemple, placer un nFinFET à 45° du pFinFET sur une surface (100) donne (110) <110> pour le pFinFET et un nFinFET (100) <110> [32].

1.4.3.2 L'ingénierie de contraintes mécaniques

La contrainte mécanique a un impact considérable dans la continuité de l'intégration. Un grand nombre de techniques sont employées aujourd'hui dans la fabrication des transistors. La contrainte mécanique induit des déformations qui modifient les propriétés électroniques en changeant la symétrie du cristal. Elle permet d'augmenter la mobilité donc les performances du transistor. La contrainte a été considérée comme néfaste dans les années 80 [33], car elle génère des défauts ponctuels (lacunes, impuretés..) ainsi que des dislocations qui modifient les propriétés électriques du matériau. Ce n'est que dans cette dernière décennie qu'on a commencé à étudier et à utiliser les contraintes mécaniques à petite échelle pour améliorer les performances du transistor MOSFET. La contrainte modifie la structure de bande du semiconducteur. L'énergie de la bande interdite est modifiée et les dégénérescences de la bande de conduction et de valence sont levées, réduisant la probabilité d'interaction entre les porteurs et les phonons. La mobilité effective des porteurs s'écrit comme suit :

$$\mu_{eff} = \frac{q\tau}{m^*} \quad (1.37)$$

$1/\tau$ est la fréquence de collisions des porteurs, m^* est la masse effective de conduction des porteurs, q est la charge élémentaire.

L'introduction des contraintes améliore la mobilité grâce à la réduction de la masse effective de conduction et/ou de la fréquence de collisions des porteurs. Il existe deux manières d'introduire une contrainte dans le canal du transistor : contrainte mécanique globale ou locale. La contrainte globale peut être introduite par le substrat, la couche du silicium active est alors contrainte sur toute la surface de la plaque. D'autre part, la contrainte peut être introduite localement au niveau du canal lors des procédés de fabrication. L'effet d'une contrainte est différent pour les électrons et les trous. Pour les transistors nMOSFETs, une contrainte en tension est nécessaire tandis que pour les transistors pMOSFETs, la contrainte doit être en compression. Les transistors contraints offrent une grande robustesse au claquage de l'oxyde et une meilleure immunité aux effets de porteurs chauds [34].

1.4.3.3 Silicium sur isolant contraint (sSOI)

Une des anciennes techniques de contrainte dans la technologie CMOS est de déposer une fine couche du silicium par épitaxie sur une couche tampon de $\text{Si}_{1-x}\text{Ge}_x$ relaxée (SRB ; « *Strain*

relaxed buffer »). Ce dernier a une maille plus grande que celle du silicium, l'alignement des mailles induit une contrainte en tension en deux axes dans la couche du silicium [35], [36]. Cependant, la diffusion des atomes du Ge vers l'interface Si/SiO₂ et son accumulation créent des densités de pièges à l'interface et dans le volume de l'oxyde qui augmentent le courant de fuite de grille assisté par pièges (conduction Poole-Frenkel) ainsi qu'une dégradation de la mobilité. Grâce au procédé « Smart Cut », la couche tampon peut être enlevée, on peut avoir des substrats de silicium contraints directement sur isolant sSOI (« *Strained Silicon On Insulator* »). Ce substrat permet d'améliorer la mobilité dans le transistor [37]. La contrainte introduite permet d'obtenir une contrainte en tension, dans le canal d'un transistor MOSFET, qui peut atteindre 1 GPa. Les gains obtenus avec les substrats sSOI sont de l'ordre de 70 % pour les nMOSFETs longs et 40 % pour les pMOSFETs par rapport aux transistors sur substrat SOI. En plus de cet atout, ils possèdent une grande compatibilité avec les procédés d'intégration et avec les architectures standards des dispositifs CMOS.

1.4.3.4 Couche d'arrêt à la gravure (CESL)

L'une des techniques locales d'introduction de contrainte pour les transistors nMOSFETs et pMOSFETs est le CESL (« *Contact Etch Stop Layer* »). C'est une couche qui recouvre la grille, généralement en nitrure du silicium (SiN_x) [38]. De telles couches peuvent introduire une contrainte en tension ou en compression afin d'améliorer la mobilité dans les nMOSFETs ou dans les pMOSFETs respectivement surtout dans les transistors à faibles dimensions puisqu'il s'agit d'un effet de bord. L'un des principaux facteurs qui contrôle la contrainte dans le film est lié aux liaisons d'Hydrogène ; le rapport N-H/Si-H. Un grand nombre de liaisons N-H induit une contrainte en compression dans le film et un grand nombre de liaisons Si-H augmente la contrainte en tension. Les contraintes sont de l'ordre de 1-2 GPa. L'amélioration du courant de drain est de 10 à 30 % quand on utilise les types de techniques CESL appropriées pour les nMOSFETs et les pMOSFETs.

1.4.3.5 Croissance épitaxiale sélective (SEG)

La contrainte est introduite par une croissance épitaxiale sélective SEG (« *Selective Epitaxial Growth* ») du SiGe ou du Si:C dans les régions de la source et du drain. La grande maille du SiGe crée une contrainte parallèle en compression dans le canal, ce type de contrainte est bénéfique pour les transistors pMOSFETs. Cette contrainte induit une réduction des résistances d'accès [39], [40], améliore la mobilité des porteurs et réduit le courant de fuite GIDL [41].

La figure 1-6 illustre des coupes schématiques de transistors MOSFETs avec les trois différentes techniques de contraintes citées ci-dessus. La coupe schématique (a) représente un

transistor sSOI, la coupe schématique (b) est celle d'un transistor ayant subi la technique CESL et la coupe schématique (c) est celle d'un transistor ayant subi la technique SEG.

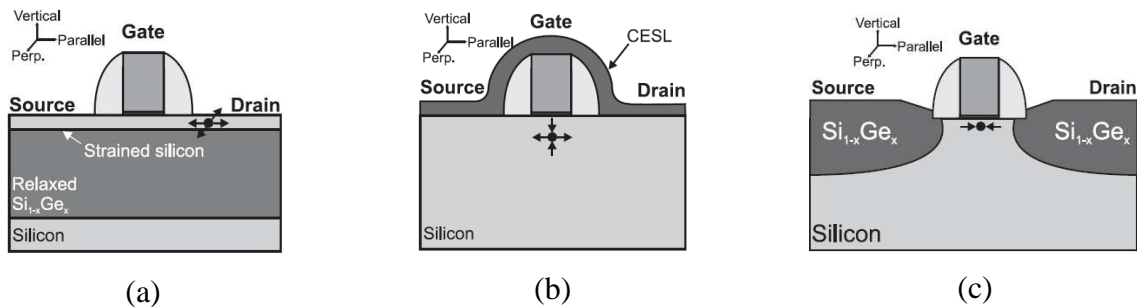


Figure 1-6 : Coupes schématiques de transistors MOSFET avec différentes techniques de contraintes ; la coupe schématique (a) sSOI : un substrat contraint avec du SiGe relaxé, (b) CESL : dépôt de la couche CESL qui recouvre totalement la grille, (c) SEG : croissance du SiGe dans la source et le drain par une épitaxie sélective [34].

1.4.4 MOSFET à grilles multiples

Les transistors à grilles multiples (MUGFETs) sont largement reconnus comme des candidats prometteurs pour satisfaire les exigences de l'ITRS, grâce au bon contrôle du canal par la grille. La première publication décrivant un transistor SOI MOSFET double grille date de 1984. Le composant a été nommé « XMOS », car sa section efficace ressemble à la lettre grecque Ξ (Ξ), en utilisant cette configuration un meilleur contrôle du canal a été obtenu par rapport au transistor MOSFET SOI standard [42], [43], [44]. Depuis, plusieurs architectures à grilles multiples ont vu le jour. Les dispositifs sont considérés parmi les architectures les plus innovantes, les plus prometteuses pour les générations technologiques les plus intégrées. Un transistor double-grille est équivalent à une structure SOI dans laquelle l'oxyde de grille et l'oxyde enterré ont la même épaisseur, les grilles avant et arrière étant connectées ensemble. D'un point de vue électrostatique, le transistor MOS double-grille est plus robuste que le transistor MOS à une simple grille puisque la double-grille, fortement couplée au canal, contrôle simultanément le potentiel de surface aux deux interfaces du film du silicium. Par conséquent, les effets de canaux courts sont réduits. Un autre avantage de ces dispositifs vient du caractère symétrique de la distribution du potentiel électrostatique qui induit un champ nul au milieu du film ce qui permet d'augmenter la mobilité, une réduction des phénomènes parasites liés aux fluctuations de dopants et, simultanément, une augmentation de la probabilité de transport balistique dans le cas des canaux courts (< 20 nm).

Il existe de nombreuses variantes de la configuration double-grille, par exemple si la grille est présente sur deux des quatre côtés du film. Lorsque le film de silicium est enrobé par la grille, on parle de transistor GAA (« Gate-All-Around ») où le contrôle du canal est amélioré. Pour une

grille présente sur trois des quatre interfaces, plusieurs structures ont été proposées : Ω -FET, Π -FET, FinFET. Dans ces configurations le contrôle électrostatique du film est encore amélioré, ce qui permet de gagner jusqu'à 50 % au niveau de la réduction des dimensions [45], [46].

1.4.5 Au delà du MOSFET classique

La tendance « *More than Moore* » consiste à remplacer le transistor conventionnel à canal de silicium en faisant appel à d'autres matériaux et à de nouveaux concepts technologiques. Les futures générations de transistors pourraient être construites à partir des molécules. Le transistor le plus prometteur est le transistor à nanotube de carbone CNTFET (« *Carbone Nano Tube Field Effect transistor* ») qui a des propriétés électroniques intéressantes telles qu'une forte mobilité liée au transport unidimensionnel dans le nanotube. Cependant, ces performances sont obtenues de manière ponctuelle, la reproductibilité reste difficile [47]. Au delà du transistor à nanotube de carbone, des transistors ne transmettant qu'un électron à la fois sont envisagés. Ce type de dispositif, appelé SET (« *Single Electron Transistor* »), ne pourrait prendre que deux états 'ON' ou 'OFF' suivant qu'il contienne un électron ou pas et serait uniquement utilisé dans des codes binaires [48]. Toutefois, les difficultés technologiques à résoudre pour produire les dispositifs à une échelle industrielle font que les dispositifs cités ci-dessus ne seront pas en production avant plusieurs années.

1.5 Le transistor FinFET

La première structure FinFET a été publiée sous le nom de DELTA (« *fully DEpleted Lean-channel TrAnsistor* ») en 1989 [49]. Elle a été fabriquée sur un substrat SOI. La structure est appelée « *Fin* » car elle ressemble à un doigt « *finger* », sa section horizontale est similaire à un transistor double grille. La hauteur du doigt correspond à la largeur du canal d'un transistor double grille.

La caractéristique distincte du FinFET est que le canal de conduction est enroulé autour d'une fine couche du silicium « *Fin* » qui forme le volume (« *the body* ») du transistor. Ce transistor possède deux canaux sur les cotés dont l'orientation cristalline est (110) et un canal sur le « *top* » dont l'orientation cristalline est (100). Par conséquent, le transistor FinFET a plus de dimensions géométriques que le transistor planaire. En plus de la longueur de grille L , il y a la largeur du doigt W_{fin} , la hauteur du doigt H_{fin} , la distance entre deux doigts ; FS (« *space between fin* »), la distance entre la grille et la source/drain ; S et N_{fin} qui est le nombre de doigts, car le FinFET peut avoir plusieurs doigts en parallèle, ce qui peut induire un courant de drain plus élevé. La largeur équivalente totale est donnée par la formule suivante [50] :

$$W_T = (W_{fin} + 2H_{fin})N_{fin}$$

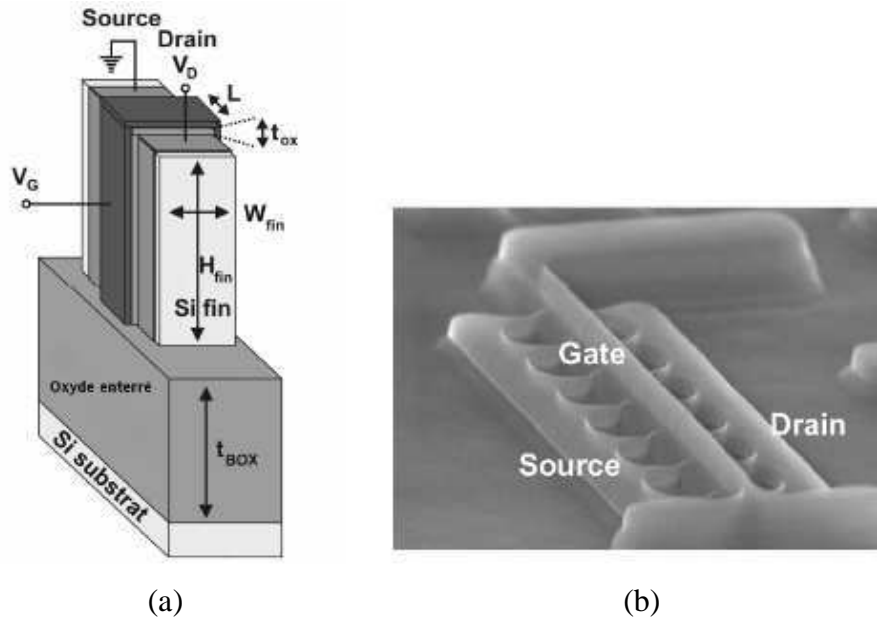


Figure 1-7: (a) Structure d'un transistor FinFET sur un substrat SOI, (b) image TEM d'un transistor FinFET avec des doigts multiples [40].

La figure 1-7 représente (a) la structure d'un transistor FinFET et (b) une image TEM d'un transistor FinFET avec plusieurs doigts en parallèles.

Le transistor FinFET présente de meilleures performances grâce à sa grande immunité aux effets de canaux courts par sa géométrie [51], [52], [53]. La largeur du doigt W_{fin} doit être choisie la plus petite possible pour avoir un bon contrôle du canal ($W_{fin} \leq 2/3 L_{min}$) [43]. Le transistor FinFET présente une meilleure réduction du courant tunnel de grille [53], [54] et une amélioration de la pente sous le seuil [55]. Un autre avantage de ce transistor est que le film du silicium est non-dopé ($10^{15}/\text{cm}^3$).

La tension de seuil est fixée par le travail de sortie de la grille métallique, sa sensibilité à la variation de l'épaisseur du film de silicium est réduite. L'utilisation d'un transistor avec des doigts multiples augmente le courant de sortie, plus le transistor a de doigts, plus le courant est important. Beaucoup de travaux ont été faits pour confirmer ses performances dans les applications logiques [56], [57], [58] et analogiques [59], [60], [61] et par ailleurs, il présente une excellente compatibilité avec les procédés CMOS planaires. Le doigt reste intrinsèque, le gradient du dopage de la source et du drain vers le canal est important et la pénétration du dopage au canal est donc plus profonde, ce qui influence fortement les résistances d'accès qui dégradent le courant de drain [54], [59], [62].

Pour réduire l'effet des résistances d'accès, une solution a été trouvée, en déposant du SiGe dans les régions source et drain par une croissance épitaxiale sélective (SEG) [63], [64].

Afin d'augmenter encore plus les performances électriques du transistor FinFET, des ajouts technologiques sont couramment employés, tel que l'utilisation des contraintes mécaniques locales et/ou globales.

C'est particulièrement l'analyse électrique de cette structure qui fait l'objet du travail de cette thèse.

1.6 Conclusion

Dans la première partie du chapitre, le principe et les différents régimes de fonctionnement du transistor MOSFET à canal long ont été décrits. Les principaux paramètres électriques du transistor MOSFET ont été définis. Dans la deuxième partie de ce chapitre, les limites physiques de l'intégration du transistor MOSFET et les différentes solutions envisagées ont été données. En particulier, ont été présentés la technologie des FinFETs et les diverses techniques de contrainte qui ont conduit à la réalisation des transistors étudiés dans cette thèse.

Chapitre 2 : Etude du bruit basse fréquence

2.1 Introduction

Dans ce second chapitre, le bruit basse fréquence dans les transistors MOSFETs et le banc expérimental de mesure du bruit sont présentés. Dans un premier temps, les différents types de bruit dans un transistor MOSFET à savoir le bruit blanc, le bruit en $1/f$ et le bruit Lorentzien sont étudiés. Les origines de ces différents types de bruit ainsi que leurs modèles sont décrits. Dans la dernière partie du chapitre, une description du banc expérimental de mesure en bruit et en statique en régime de fonctionnement est donnée.

2.2 Généralités sur le bruit basse fréquence

La tension mesurée à la sortie d'un composant n'est pas parfaitement constante, elle fluctue autour de sa valeur moyenne. La dépendance en fonction du temps de ces fluctuations constitue un mélange de signaux parasites et de bruit électrique. Les signaux parasites sont engendrés par des sources extérieures alors que le bruit électrique provient des sources intrinsèques du composant. L'étude du bruit est importante pour différentes raisons:

- dans la physique, le bruit nous permet d'avoir des informations sur les mécanismes fondamentaux du transport ;
- dans la technologie, le bruit peut être utilisé comme un puissant outil de diagnostic pour détecter les défauts dans les composants (défauts dans le volume et aux interfaces) ;
- le bruit électrique devient une limitation de la sensibilité d'un dispositif en dégradant le rapport signal/bruit.

Les raisons mentionnées démontrent l'importance des études du bruit dans les dispositifs électroniques. Par ailleurs, l'attractivité de la mesure du bruit dans la caractérisation de la qualité et la fiabilité des composants vient du fait qu'elle est une technique non destructive [65], [66], [67]. Il existe une classification générale des fluctuations associées au courant de drain dans la gamme de fréquence de 1 Hz à 100 kHz, qui sont:

- le bruit blanc dont la densité spectrale est indépendante de la fréquence ;
- le bruit en $1/f$ dont la densité spectrale est inversement proportionnelle à la fréquence ;
- le bruit Lorentzien dont la densité spectrale est constante jusqu'à une fréquence caractéristique f_{0i} , à partir de laquelle, elle décroît en $1/f^2$.

Ces deux derniers types de bruit sont dits bruit en excès à basse fréquence. Les différents types de bruit sont illustrés dans la figure 2-1.

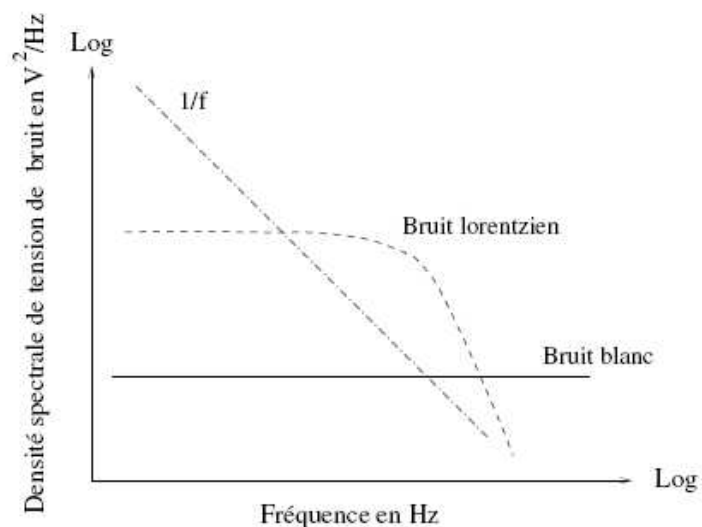


Figure 2-1 : Représentations fréquentielles de différents types de bruit dans un transistor MOSFET.

La densité spectrale de bruit en tension ramenée sur la grille dans un transistor MOSFET peut être ainsi modélisée par l'équation suivante :

$$S_{V_G}(f) = B + \frac{K_f}{f^\gamma} + \sum_{i=1}^n \frac{A_i}{1 + \left(\frac{f}{f_{0i}}\right)^2} \quad (2.1)$$

où le premier terme B correspond au niveau du bruit blanc, le second terme K_f/f^γ est le bruit en $1/f$ où K_f est le niveau du bruit en $1/f$ à 1 Hz, le dernier terme correspond à une somme de Lorentziennes où A_i est la valeur du plateau et f_{0i} est la fréquence caractéristique de la Lorentzienne.

2.3 Le bruit basse fréquence dans les transistors MOSFETs

Dans cette partie, les principaux types du bruit basse fréquence présents dans un transistor MOSFET, les modèles les décrivant ainsi que les différentes sources du bruit seront discutés [68]. L'analyse du bruit d'un transistor consiste dans l'étude expérimentale des fluctuations du courant de drain, si les paramètres du bruit sont mesurés dans une gamme de fréquences inférieures à 100 kHz, l'effet des capacités de jonctions est négligeable.

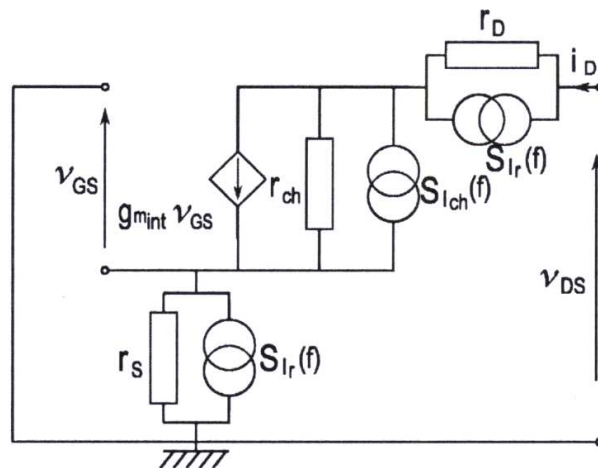


Figure 2-2 : Schéma équivalent en petits signaux du transistor MOSFET en régime linéaire associé aux sources intrinsèques du bruit basse fréquence.

La figure 2-2 représente le schéma équivalent en petits signaux du transistor MOSFET, dans le régime linéaire, avec les sources intrinsèques du bruit basse fréquence. La transconductance interne associée au canal est notée $g_{m_{int}}$. La résistance dynamique du canal r_{ch} et les résistances d'accès de la source r_s et du drain r_D sont en parallèles avec les sources du bruit qui sont représentées par leurs densités spectrales de puissance de bruit de courant S_{I_r} et $S_{I_{ch}}$ respectivement. La figure 2-3 représente deux schémas équivalents du transistor l'un avec une source de bruit en

sortie traduisant toutes les fluctuations (schéma (a)). Cette source est de densité spectrale de bruit $S_{I_D}(f)$ qui s'exprime en A^2/Hz . L'autre avec une source de bruit à l'entrée (schéma (b)), la densité spectrale du courant de drain peut être ramenée sur la grille, ce qui donne la densité spectrale sur la grille $S_{V_G}(f) = \frac{S_{I_D}(f)}{g_m^2}$ qui s'exprime en V^2/Hz . La résistance d'accès r_{SD} est la résistance dynamique extrinsèque drain-source, en supposant que r_S et r_D sont homogènes et que leurs bruit est indépendant du bruit du canal. La densité spectrale du courant de drain peut donc s'écrire comme suit sachant que la résistance totale est $r_T = r_{ch} + r_{SD}$:

$$S_{I_D}(f) = \left(\frac{r_T - r_{SD}}{r_T} \right)^2 S_{I_{ch}}(f) + \frac{r_{SD}^2}{2 \cdot r_T^2} S_{I_r}(f) \quad (2.2)$$

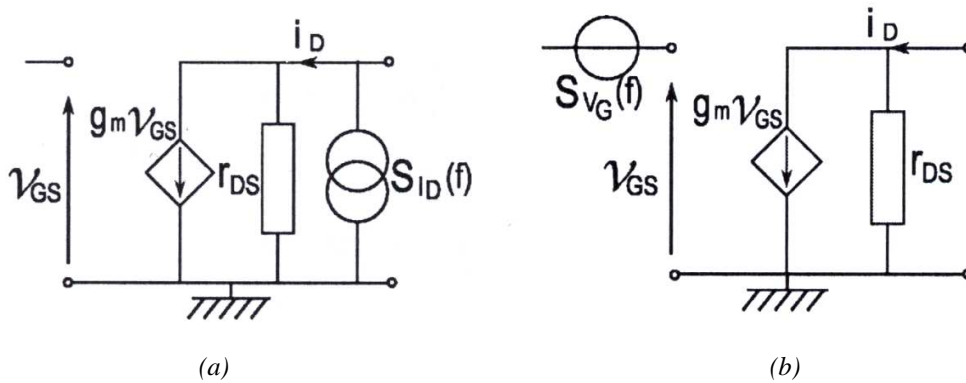


Figure 2-3 : Schéma équivalent vu de l'extérieur du transistor MOSFET, (a) avec une source de bruit en sortie, (b) avec une source de bruit en entrée.

Les différentes sources de bruit à prendre en compte sont présentées dans ce qui suit.

2.3.1 Le bruit blanc

Ce bruit est dit blanc, par analogie à la lumière blanche, dont la densité spectrale est constante avec la fréquence. On distingue le bruit thermique et le bruit de grenaille [65], [66].

2.3.1.1 Le bruit thermique

Dans un cristal, un électron n'est jamais entièrement libre, il subit des interactions avec le réseau cristallin. Si on fait passer un courant dans un cristal, les électrons seront en interaction avec les atomes du cristal, le courant subira temporellement de faibles variations, la somme de ces dernières donnera une densité spectrale de puissance indépendante de la fréquence.

Le niveau du bruit va dépendre de l'énergie du réseau, donc de sa température. La densité spectrale d'un courant dans une résistance est donnée par la relation de Nyquist :

$$S_I = \frac{4kT}{R} \quad (2.3)$$

Puisque on mesure plutôt des variations de tension, en utilisant la loi d'ohm : $V = RI$, on obtient la relation suivante :

$$S_V(f) = 4kTR \quad (2.4)$$

2.3.1.2 Le bruit de grenaille « *Shot noise* »

Le passage des porteurs à travers une barrière de potentiel est un processus essentiellement discontinu, il engendre des fluctuations. Par un flux de porteurs à travers cette barrière qui correspond à un courant I , la densité spectrale du courant s'écrit comme suit :

$$S_I(f) = 2qI \quad (2.5)$$

2.3.2 Le bruit en $1/f^\gamma$ « *Flicker noise* »

Le bruit en $1/f^\gamma$ est un bruit variant inversement proportionnellement à la fréquence. Le bruit en $1/f$ dans les transistors MOSFETs est dû à une fluctuation de la conduction dans le canal $\sigma = q\mu n$ [67] (μ et n sont respectivement la mobilité des porteurs et la densité volumique des porteurs). Plus généralement, les modèles physiques qui rendent compte de l'origine du bruit en $1/f$ sont basés, soit sur les fluctuations de nombre de porteurs (ΔN), soit sur les fluctuations de la mobilité des porteurs ($\Delta\mu$). Selon le type de modèle mis en jeu, les lois de variations du bruit en $1/f$ sont différentes. Le facteur γ égale 1, dans la théorie de McWhorter, à cause de l'uniformité de la distribution des pièges à l'interface. En revanche, le facteur γ peut être différent de 1 en cas de non-uniformité de la distribution des pièges à l'interface.

2.3.2.1 Fluctuations du nombre de porteurs (ΔN)

Le modèle physique qui attribue l'origine du bruit en $1/f$ aux fluctuations du nombre de porteurs est le modèle de McWhorter [69]. Les fluctuations proviennent du mécanisme du piégeage/dépiégeage des porteurs libres du canal par des états lents situés dans l'oxyde de grille à proximité de l'interface oxyde/silicium. Selon la statistique de Shockley-Read-Hall, les défauts qui introduisent des niveaux d'énergie à l'interface, à l'intérieur de la bande interdite de l'oxyde sont électriquement actifs, assimilables à des puits de potentiel, capables de capturer des porteurs. Le défaut se comporte comme un lieu de piégeage, il capture un porteur dans la bande de conduction

(ou de valence) et le réémet ensuite vers cette même bande. Le spectre en $1/f$ est obtenu dans le cas d'un continuum de constantes de temps [70].

A chaque piège de niveau E_T est associé une constante de temps τ à une profondeur z de l'interface Si/SiO₂. La densité spectrale de fluctuations des porteurs dans une surface élémentaire dS s'écrit alors :

$$dS_N(f) = N_i(E_T) f_i(E_T) [1 - f_i(E_T)] \frac{4\tau}{1 + (2\pi f \tau)^2} \quad (2.6)$$

$N_i(E_T)$ étant la densité de pièges par unité de volume, la probabilité $f_i(E_T)$ est donnée par la fonction de distribution de Fermi-Dirac :

$$f_i(E_T) = \frac{1}{1 + \exp\left(\frac{E_T - E_F}{kT}\right)} \quad (2.7)$$

Les hypothèses de McWhorter sont que le piégeage/dépiégeage des porteurs se fait par le processus tunnel et que les pièges sont répartis de façon uniforme dans le volume de l'oxyde et que la distribution des constantes de temps est corrélée à la dépendance spatiale par :

$$\tau(z) = \tau_0 \exp\left(\frac{z}{\lambda}\right) \quad (2.8)$$

où λ est la longueur d'atténuation tunnel, égale à 10^{-8} cm pour l'interface Si/SiO₂. Cette longueur est prédite par la théorie de Wentzel-Kramers-Brillouin (WKB) [71]. τ_0 est la constante de temps minimale du piège à l'interface qui est égale à 10^{-10} s. La densité spectrale totale des fluctuations du nombre de porteurs $S_N(f)$ s'obtient en intégrant $dS_N(f)$ sur la surface $S = W_E \times L_E$, les énergies E_T et la distance z par :

$$S_N(f) = W_E L_E \int_{E_T} N_{ii}(E_T) f_i(E_T) [1 - f_i(E_T)] dE_T \int_z \frac{4\tau(z)}{1 + [2\pi f \tau(z)]^2} dz \quad (2.9)$$

La valeur de la fonction $f_i(E_T) [1 - f_i(E_T)]$ est une fonction en forme de cloche étroite (largeur de l'ordre de kT), centrée sur le niveau de Fermi E_F . Dans le cas où la distribution des énergies des états de capture est une fonction variant peu autour du niveau de Fermi, l'intégrale sur les énergies peut être donc approximée par :

$$\int_{E_T} N_{ii}(E_T) f_i(E_T) [1 - f_i(E_T)] dE_T \approx kT N_{ii}(E_F) \quad (2.10)$$

De plus, la résolution de l'intégrale sur z avec $dz = \lambda \frac{d\tau}{\tau}$ donne d'après l'équation (2.8):

$$\int_z \frac{4\tau(z)}{1 + [2\pi f \tau(z)]^2} dz = \frac{4\lambda}{2\pi f} \left[\text{Arc tan}(2\pi f \tau) \right]_{\tau_0}^{\tau_0 \cdot \exp\left(\frac{T_{ox}}{\lambda}\right)} \quad (2.11)$$

D'une part, quand l'épaisseur d'oxyde T_{ox} devient supérieur à λ , le terme $\text{Arc tan}[2\pi f \tau_0 \exp(T_{ox}/\lambda)]$ tend vers $\frac{\pi}{2}$. D'autre part, sur une gamme de fréquence couvrant 0-100MHz, $\text{Arct}(2\pi f \tau_0)$ est nul.

Dans ces conditions, la densité spectrale s'écrit :

$$S_N(f) = W_E L_E \frac{N_{it}(E_F) k T \lambda}{f} \quad (2.12)$$

Dans le cas du transistor en régime linéaire, le nombre total de porteurs pour un transistor MOSFET peut s'approximer par :

$$N = \frac{C_{ox} W_E L_E (V_{GS} - V_{th})}{q} \quad (2.13)$$

La densité spectrale de fluctuations de porteurs $S_N(f)$ permet d'obtenir la densité spectrale de

courant de bruit $S_{I_D}(f)$ par : $\frac{S_{I_D}(f)}{I_D^2} = \frac{S_N}{N^2}$ soit :

$$S_{I_D}(f) = \frac{I_D^2 q^2 k T N_{it}(E_F) \lambda}{C_{ox}^2 (V_{GS} - V_{th})^2 W_E L_E f} \quad (2.14)$$

La densité spectrale de la tension de bruit équivalente ramenée sur la grille S_{V_G} du transistor évolue en 1/f. Elle s'obtient en divisant S_{I_D} par la transconductance :

$$S_{V_{FB}} = \frac{q^2 k T N_{it}(E_F) \lambda}{C_{ox}^2 W_E L_E f} \quad (2.15)$$

On note que S_{V_G} est indépendant de la tension de grille et que S_{I_D}/I_D^2 est proportionnel à $(g_m/I_D)^2$. A partir de cette formule de S_{V_G} , on peut estimer la densité de pièges d'énergie E_F à l'interface N_{it} ($\text{cm}^{-3} \text{ eV}^{-1}$).

Dans le modèle du bruit en 1/f attribué à la variation du nombre de porteurs, on peut prendre en compte les fluctuations de la mobilité corrélées au piégeage dans l'oxyde.

2.3.2.2 Fluctuation de mobilité corrélée à une fluctuation du nombre de porteurs ($\Delta N + \Delta \mu$)

Les fluctuations du courant de drain sont dues aux fluctuations de la charge d'inversion δQ_{it} près de l'interface Si/SiO₂. Elle peut être assimilée d'une manière équivalente à la variation de la tension de bande plate V_{FB} [72], [73]:

$$\delta V_{FB} = \frac{\delta Q_{it}}{WLC_{ox}} \quad (2.16)$$

Ces fluctuations induisent aussi une variation de la mobilité $\delta \mu_{eff}$. Les fluctuations de la mobilité sont engendrées par le piégeage/dépiégeage des porteurs du canal dans l'oxyde. Le piège peut passer d'un état neutre à un état chargé ce qui influe sur l'interaction coulombienne des porteurs. Les fluctuations du courant de drain s'écrivent alors [72] :

$$\delta I_D = -g_m \delta V_{FB} \pm \alpha I_D \mu_{eff} \delta Q_{it} \quad (2.17)$$

où α est le coefficient des interactions coulombiennes, il est d'environ 10^4 Vs/C pour les transistors nMOSFETs et d'environ 10^5 Vs/C pour les transistors pMOSFETs. Le signe du terme de la mobilité est soit négatif pour des pièges de type accepteur, soit positif pour des pièges de type donneur. Le courant de drain normalisé et la tension du bruit ramenée sur la grille $S_{V_G} = S_{I_D} / g_m^2$ en forte inversion sont donnés par les formules suivantes:

$$S_{I_D} / I_D^2 = (1 \pm \alpha \mu_{eff} C_{ox} I_D / g_m)^2 (g_m / I_D)^2 S_{V_{FB}} \quad (2.18)$$

Et

$$S_{V_G} = S_{V_{FB}} [1 \pm \alpha \mu_0 C_{ox} (V_G - V_{Th})]^2 \quad (2.19)$$

où $S_{V_{FB}} = S_{Q_{it}} / (WLC_{ox}^2)$ avec $S_{Q_{it}}$ (C²/Hz/cm²) est la densité spectrale de charge d'interface par unité de surface.

2.3.2.3 Fluctuations de la mobilité des porteurs ($\Delta \mu$)

Ce modèle est le modèle de Hooge qui attribue l'origine du bruit en 1/f aux seules fluctuations de la mobilité des porteurs. Ces fluctuations sont dues aux interactions des électrons avec les phonons du réseau. La relation empirique de Hooge [74] s'écrit :

$$\frac{S_{\mu}}{\mu^2} = \frac{\alpha_h}{fN} \quad (2.20)$$

N étant le nombre total des porteurs et α_h est le paramètre de Hooge, il peut varier de 10^{-3} à 10^{-7} suivant la qualité cristalline du dispositif, une faible valeur de α_h obtenue, permet de dire que la couche active du silicium est de bonne qualité. Il est considéré comme un facteur de mérite pour comparer les différentes technologies. Dans un transistor MOSFET, dans le cas du régime linéaire, la densité spectrale du courant de bruit S_{I_D} est donnée par :

$$\frac{S_{I_D}}{I_D^2} = \frac{S_{\mu}}{\mu^2} \quad (2.21)$$

On obtient alors :

$$\frac{S_{I_D}}{I_D^2} = \frac{\alpha_h}{fN} \quad (2.22)$$

Soit :

$$S_{I_D} = \frac{\alpha_h I_D^2 q}{f C_{ox} WL (V_{GS} - V_{Th})} \quad (2.23)$$

La densité spectrale de tension de bruit ramenée sur la grille est donc donnée par :

$$S_{V_G} = \frac{q \alpha_h}{WL f C_{ox}} (V_{GS} - V_{Th}) \quad (2.24)$$

La densité spectrale de tension de bruit ramenée sur la grille évolue en $1/f$ et elle est inversement proportionnelle à la surface, elle augmente aussi avec la tension de grille V_{GS} .

Dans l'analyse des mesures de bruit, cette dépendance ou non avec la tension de grille V_{GS} , permet de différencier entre les deux modèles : McWhorter et Hooge.

2.3.2.4 Bruit en $1/f$ dû aux résistances d'accès

Avec la réduction de la longueur du canal, les résistances d'accès deviennent de moins en moins négligeables. L'influence des résistances d'accès apparaît surtout à forte inversion quand la résistance du canal diminue. Ces résistances en statique peuvent avoir un grand impact sur le bruit basse fréquence. Le bruit en $1/f$ est donc aussi dû aux résistances d'accès. Un modèle est donné par [75] :

$$S_I(f) = \frac{K_r I_D^2}{f} \quad (2.26)$$

2.3.2.5 Synthèse sur le bruit en 1/f

Le bruit en 1/f dans un transistor MOSFET peut avoir plusieurs causes. Il peut être dû aux fluctuations du nombre de porteurs de charges, aux fluctuations de la mobilité des porteurs et aux résistances d'accès. En prenant en compte ces trois origines, la densité spectrale de la tension de bruit ramenée à la grille peut s'écrire de la façon suivante :

$$S_{V_G} = (1 \pm \alpha \mu_0 C_{ox} V_{GT})^2 S_{V_{FB}} + \frac{r_{SD}^2}{2r_T^2} \frac{K_r}{f} \frac{I_D^2}{g_m^2} \quad (2.27)$$

Pour identifier dans les résultats expérimentaux quel est le bruit dominant et le modèle associé dans un transistor MOSFET, il suffit de vérifier la dépendance du bruit en 1/f avec la polarisation en tension V_{GT} ($V_{GT} = V_{GS} - V_{Th}$). On a vu précédemment que cette dépendance est différente selon l'origine et le modèle du bruit. Le tableau 2-1 résume les dépendances de la densité spectrale du bruit en tension S_{V_G} et la quantité S_{I_D}/I_D^2 à une fréquence donnée dans le régime linéaire pour lequel la transconductance peut être modélisée par I_D/V_{GT} .

	Modèle de McWhorter ou le Modèle corrélé ($\Delta N + \Delta \mu$) $\alpha \mu_{eff} C_{ox} \cdot \frac{I_D}{g_m} \ll 1$	Modèle corrélé ($\Delta N + \Delta \mu$) $\alpha \mu_{eff} C_{ox} \cdot \frac{I_D}{g_m} \gg 1$	Modèle de Hooge ($\Delta \mu$)	Résistances d'accès (r_{SD})
S_{I_D}/I_D^2	$\frac{1}{V_{GT}^2}$	constante	$\frac{1}{V_{GT}}$	V_{GT}^2
S_{V_G}	constante	V_{GT}^2	V_{GT}	V_{GT}^4

Tableau 2-1 : Evolution de S_{I_D}/I_D^2 et S_{V_G} en fonction de la tension effective de grille pour les différents modèles du bruit en 1/f en régime linéaire.

2.3.3 Bruit lorentzien

La composante lorentzienne du spectre de bruit se présente sous la formule suivante :

$$S(f) = \frac{A_i}{1 + \left(\frac{f}{f_{0i}}\right)^2} \quad (2.28)$$

Le bruit lorentzien présente une densité spectrale constante jusqu'à une fréquence caractéristique f_{0i} , à partir de laquelle, elle décroît en $1/f^2$. A_i est le niveau de plateau de la lorentzienne. Les sources du bruit lorentzien sont multiples, elles peuvent être dues aux défauts dans le film du silicium ou à l'interface Si/SiO₂. Si elles sont dues à un seul piège, il s'agit dans ce cas d'un bruit RTS (« Random Telegraph signal »). Le bruit lorentzien peut être aussi dû à une source de bruit blanc associée à un réseau réactif.

2.3.3.1 Lorentziennes dues aux défauts

2.3.3.1.1 Génération-Recombinaison

Le bruit lorentzien est dû aux fluctuations du nombre de porteurs au cours des mécanismes de Génération-Recombinaison (GR) des porteurs par des pièges à constante de temps unique. Il est relié au processus de capture et d'émission des électrons dans les pièges localisés dans différentes régions du transistor MOSFET. Une constante de temps unique peut être due soit à un piège discret dans le volume de l'oxyde soit à un continuum de pièges d'interface dans lequel le piégeage/dépiégeage n'explore qu'une tranche étroite [76].

La densité spectrale des fluctuations du nombre de porteurs $dS_N(f)$ dans le cas d'une constante de temps unique et indépendante de z dans une surface élémentaire dS est :

$$dS_N(f) = N_{it}(E) f_t(E) [1 - f_t(E)] \frac{4\tau}{1 + (2\pi f\tau)^2} dE dS \quad (2.29)$$

La densité spectrale totale des fluctuations du nombre de porteurs $S_N(f)$ s'obtient en intégrant $dS_N(f)$ pour une surface $S = W_E L_E$ par :

$$S_N(f) = \frac{\bar{n} N_{eff}}{1 + (2\pi f\tau)^2} W_E L_E \quad (2.30)$$

avec N_{eff} est la densité par unité de surface des pièges explorés à l'interface ou dans la zone de déplétion. La densité de fluctuations du nombre de porteurs est donc donnée par :

$$\frac{S_{I_D}}{I_D^2} = \frac{S_N}{N^2} \quad (2.31)$$

En régime linéaire, on obtient :

$$S_{I_D} = \frac{q^2 I_D^2}{C_{ox}^2 W_E L_E (V_{GS} - V_{Th})^2} \frac{\pi N_{eff}}{1 + (2\pi f \tau)^2} \quad (2.32)$$

En supposant que les résistances d'accès sont négligeables et que les hypothèses $\theta_0 (V_{GS} - V_{Th}) \ll 1$ et $V_{DS} \ll V_{GS} - V_{Th}$ sont vérifiées, la densité spectrale de bruit ramenée sur la grille est donnée par:

$$S_{V_G} = \frac{q^2}{C_{ox}^2 W_E L_E} \frac{\pi N_{eff}}{1 + (2\pi f \tau)^2} \quad (2.33)$$

Le niveau du plateau est inversement proportionnel à la surface $S = W_E L_E$ du transistor et proportionnel à N_{eff} et τ . On utilise cette formule pour déterminer la densité de pièges N_t dans la zone de déplétion. Le niveau de plateau est donné par la formule suivante :

$$A = \frac{q^2 \pi N_{eff}}{C_{ox}^2 W_E L_E} = \frac{q^2 \pi N_t w_d}{3C_{ox}^2 W_E L_E} \quad (2.34)$$

Selon la statistique de Shockley-Read-Hall [77], dans le processus de Recombinaison-Génération des porteurs, la constante de temps de piège τ qui dépend de la température est décrite par la formule suivante :

$$\tau = \frac{1}{C_n (n + n_1) + C_p (p + p_1)} \quad (2.35)$$

où $C_n = \sigma_n v_{th}$ et $C_p = \sigma_p v_{th}$ sont les coefficients de capture des électrons et des trous respectivement. σ_n et σ_p sont les sections de captures des électrons et des trous, v_{th} est la vitesse

thermique, celle des électrons est donné par $v_{th} = \left(\frac{3kT}{m_e^*} \right)^{1/2}$ et celle des trous est donnée par

$$v_{th} = \left(\frac{3kT}{m_h^*} \right)^{1/2} .$$

n et p sont les concentrations des électrons et des trous libres, n_1 et p_1 sont les concentrations des électrons et des trous lorsque le niveau de Fermi coïncide avec les niveaux de pièges. Les

concentrations sont données par $n_1 = n_i \exp\left(\frac{E_T - E_i}{kT}\right)$, $p_1 = n_i \exp\left(\frac{E_i - E_T}{kT}\right)$. La densité intrinsèque des porteurs est donnée par : $n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g}{kT}\right)$.

N_c et N_v sont les densités effectives d'états dans la bande de conduction et la bande de valence. Elles sont données par : $N_c = 2\left(\frac{2\pi m_e^* kT}{h^2}\right)^{3/2} M_c$ et $N_v = 2\left(\frac{2\pi m_h^* kT}{h^2}\right)^{3/2}$ avec m_e^* , m_h^* les masses effectives des électrons et des trous respectivement. M_c est le nombre de minima d'énergie dans la bande de conduction et h est la constante de Planck.

2.3.3.1.2 Lorentziennes dues aux défauts d'interface

Généralement, les pièges localisés à l'interface Si/SiO₂ sont caractérisés par la distribution continue de leurs niveaux d'énergie. Le niveau de Fermi croise des niveaux d'énergies de piège à n'importe quelle valeur de la tension V_{GS}, et par conséquent, le bruit GR peut être détecté dans une large gamme de tensions de grille. Une autre caractéristique est que la valeur de la fréquence caractéristique f_{oi} varie avec la tension de grille V_{GS}. Pour les lorentziennes dues aux pièges d'interface, le niveau de Fermi coïncide toujours avec les niveaux de pièges explorés et on a $n = n_1$ et $p = p_1$, on a donc la constante de temps de piège qui donnée par [76]:

$$\tau = \frac{1}{2(C_n n_1 + C_p p_1)} \quad (2.36)$$

Pour des lorentziennes qui sont dues aux défauts d'interface : $N_{eff} = 4kTN_{ii}(E_F)$.

2.3.3.1.3 Lorentziennes dues aux défauts dans la zone de déplétion

Les fluctuations GR dues aux pièges localisés dans la couche de déplétion du transistor modulent le courant de drain et donnent lieu à des lorentziennes. Les pièges dans la couche de déplétion sont des pièges profonds d'énergie discrète. Quand la tension de grille varie, le niveau de Fermi va également se déplacer dans la bande interdite. Par ailleurs, puisque le niveau d'énergie du piège est discret et unique, le niveau de Fermi balaye toujours le même type de piège mais à une profondeur accrue lorsque la tension de grille augmente. La fréquence caractéristique de la lorentzienne liée au piège ne varie pas avec la tension de grille.

Pour les lorentziennes dues aux pièges dans la couche de déplétion, les électrons et trous libres sont pratiquement absents. En déplétion complète, on $n = p = 0$. Dans ce cas, la constante de temps est donnée par :

$$\tau = \frac{1}{C_n n_1 + C_p p_1} \quad (2.37)$$

Pour des lorentziennes qui sont dues aux défauts dans la couche de déplétion : $N_{eff} = \frac{N_t w_d}{3}$; N_t est la densité de pièges dans la couche de déplétion, w_d est la largeur de la zone de déplétion qui est donnée par :

$$w_d = \sqrt{\frac{4\epsilon_i kT \ln\left(\frac{N_A}{n_i}\right)}{q^2 N_A}} \quad (2.38)$$

Dans la couche de déplétion, pour un piège dont l'énergie est telle que $E_T - E_i > 0$, la concentration p_1 est négligeable et on aura :

$$\ln(\tau \cdot T^2) = \frac{E_g/2 - E_T + E_i}{kT} - \ln \frac{4k^2 \sigma_n}{h^3} \sqrt{6\pi^3 M_c m_e^{*3/2} m_h^{*3/2}} \quad (2.39)$$

De la même manière, pour un piège dont l'énergie est telle que $E_T - E_i < 0$, la concentration n_1 est négligeable, on aura :

$$\ln(\tau \cdot T^2) = \frac{E_g/2 + E_T - E_i}{kT} - \ln \frac{4k^2 \sigma_p}{h^3} \sqrt{6\pi^3 M_c m_e^{*3/2} m_h^{*3/2}} \quad (2.40)$$

Le niveau de Fermi intrinsèque est donné par : $E_i = \frac{E_c + E_v}{2} + \frac{kT}{2} \ln\left(\frac{N_v}{N_c}\right)$. En supposant que

$\frac{kT}{2} \ln\left(\frac{N_v}{N_c}\right) \ll E_g$, on obtient :

– Si $E_T - E_i > 0$;

$$\ln(\tau \cdot T^2) = \frac{E_c - E_T}{kT} + \ln \frac{h^3}{4k^2 \sigma_n \sqrt{6\pi^3 M_c m_e^{*3/2} m_h^{*3/2}}} \quad (2.41)$$

– Si $E_T - E_i < 0$;

$$\ln(\tau \cdot T^2) = \frac{E_T - E_v}{kT} + \ln \frac{h^3}{4k^2 \sigma_p \sqrt{6\pi^3 M_c m_e^{*3/2} m_h^{*1/2}}} \quad (2.42)$$

Le tracé $\ln(\tau \cdot T^2)$ en fonction de $1/kT$ est un diagramme d'Arrhenius, il se présente sous forme d'une droite. A partir de la pente et l'ordonnée à l'origine de $\ln(\tau \cdot T^2)$ en fonction de $1/kT$, on peut calculer la position d'énergie du piège E_T et la section efficace de capture σ_n (ou σ_p) du piège [78].

2.3.3.2 Lorentziennes dues à une source de bruit blanc associée à un réseau réactif

L'origine du bruit lorentzien dans ce cas est une source de bruit blanc filtrée par un réseau r - C parallèle. La densité spectrale de tension ramenée à la grille est donnée par :

$$S_{V_g}(f) = S_{I_D} \frac{r^2}{1 + (2\pi r C f)^2} \quad (2.43)$$

La fréquence caractéristique de la lorentzienne est donc $f_0 = \frac{1}{2\pi r C}$

Avec la réduction des dimensions du transistor et donc l'épaisseur de l'oxyde de grille, des courants de fuite peuvent être générés. Un courant de fuite tunnel direct des électrons de la bande de valence EVB (« *Electron valence band tunneling* ») peut traverser la jonction film/grille [79]. Cela génère aussi un courant de grenaille qui traverse la jonction film/source, un courant qui est créé par l'accumulation des porteurs majoritaires sur la face arrière du film coté de l'oxyde enterré, change le potentiel du film et donc la tension de seuil. Le film et la source se comportent comme une jonction p-n normalement bloquée. Quand le potentiel est assez élevé, les porteurs peuvent traverser la jonction source/film, ce phénomène est appelé « l'effet kink linéaire ». Ce courant crée donc un bruit de grenaille qui sera filtré par le réseau r-C équivalent du transistor [80]. Il apparaît donc comme un bruit lorentzien qui dépend fortement de la polarisation.

2.3.3.3 Le bruit RTS (Random Telegraph Signal)

Le bruit RTS est généralement observé pour les petites surfaces de grille inférieures à $1 \mu\text{m}^2$. Le courant de drain présente des signaux rectangulaires aléatoires dans le domaine temporel. La présence de ce bruit dans les transistors MOSFETs de très petites surfaces est attribuée au piégeage d'un seul porteur du canal au niveau de l'interface Si/SiO₂. Dans ce cas, seuls quelques pièges dans l'oxyde ont un niveau d'énergie au voisinage du niveau de Fermi et peuvent alors capturer ou réémettre des porteurs du ou vers le canal de manière visible dans le domaine temporel [81], [82], [83]. La figure 2-4 montre l'allure du courant de drain dans le domaine temporel dans un transistor MOSFET.

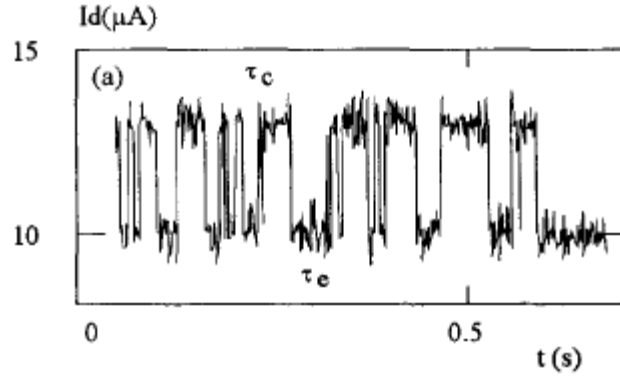


Figure 2-4 : Bruit RTS observé dans un transistor MOSFET [82].

Dans le domaine fréquentiel, le spectre est constitué d'une ou plusieurs lorentziennes. La densité spectrale du courant de drain est donnée par la formule suivante :

$$S_{I_D} = 4A\Delta I_D^2 \frac{\tau}{1+(2\pi f\tau)^2} \quad (2.44)$$

où $\tau = \frac{1}{1/\tau_c + 1/\tau_e}$, τ_c et τ_e sont respectivement le temps de capture et le temps d'émission qui

correspondent à l'état haut et l'état bas du signal de bruit dans le domaine temporel. ΔI_D est

l'amplitude moyenne du courant de drain (du saut dans le domaine temporel). $A = \frac{\tau}{\tau_c + \tau_e}$ Ce

paramètre est appelé facteur de charge, il est dépendant de la probabilité d'occupation du piège. Les temps de capture et d'émission sont donnés par les formules suivantes selon la statistique SRH :

$\tau_c = \frac{1}{\sigma n_s V_{th}}$ et $\tau_e = \frac{1}{\sigma n_l V_{th}}$ où n_s est la concentration des porteurs en surface, n_l est la concentration

des porteurs en surface quand le niveau de Fermi est égal à l'énergie du piège E_T . L'amplitude du courant de drain peut être calculée en considérant que le piégeage d'un porteur de charge dans le canal change la conductivité locale. En première approximation, l'amplitude relative du courant de drain d'un bruit RTS peut s'écrire :

$$\frac{\Delta I_D}{I_D} = \frac{g_m}{I_D} \frac{q}{WLC_{ox}} \quad (2.45)$$

2.4 Principe de mesure du bruit

La mesure du bruit est indispensable pour caractériser un dispositif et évaluer sa qualité. Pour mesurer la densité spectrale des fluctuations de tension ou la densité spectrale des fluctuations du courant, on utilise un analyseur FFT (« Fast Fourier Transform ») ou bien un voltmètre. Il faut noter que les fluctuations sont des grandeurs petites par rapport aux valeurs statiques liées aux

composantes spectrales de fréquence portant le signal utile. Pour éviter de parasiter le bruit du dispositif que l'on cherche à mesurer, il faut donc polariser le composant en utilisant des générateurs à faible bruit propre par rapport au composant et amplifier les fluctuations à l'aide d'un amplificateur dont le bruit propre est négligeable par rapport à celui du composant.

2.4.1 Banc de caractérisation du bruit

Le système utilisé pour les mesures de bruit basse fréquence a été réalisé au laboratoire GREYC [84]. Les transistors sont testés sous pointes à l'aide d'un testeur sous pointes Lakeshore TTP4 fonctionnant à température ambiante ou dans une gamme de température s'étendant de 4 K à 400 K. Le banc de mesure de bruit regroupe les fonctions de polarisation à faible bruit et d'amplification du bruit du transistor. Le banc se compose :

- d'un système de polarisation faible bruit. Les tensions de polarisation de drain et de grille sont indépendamment choisies par deux standards de tension ;
- d'un amplificateur de transimpédance (convertisseur courant/tension avec une résistance R_D). Le courant de drain du transistor est obtenu par une mesure de la tension en sortie de l'amplificateur de transimpédance ;
- d'un suiveur de tension pour le contrôle du point de polarisation, qui permet de déduire ou de contrôler la valeur du courant de drain I_D ;
- d'atténuateurs placés sur la source et sur la grille utilisés pour la mesure du gain en petits signaux, les inverses des atténuations sont notées $A_s = 100$ et $A_g = 100$;
- d'un oscilloscope qui est connecté en parallèle avec l'analyseur de spectre pour visualiser l'allure temporelle du signal. Cela permet de détecter d'éventuels parasites impulsionsnels, le bruit RTS ou autres perturbations pouvant conduire à une estimation erronée de la densité spectrale des fluctuations ;
- d'une chaîne d'amplification faible bruit de gain égal à $K_b = 500$ et de bande passante de 50 kHz. Cette chaîne permet :
 - La mesure du gain petit signal entre la sortie et la source $Gain_{source}$ qui permet d'estimer la résistance dynamique totale $r_T = \frac{K_b R_D}{A_s Gain_{source}}$;
 - La mesure du gain petit signal entre la sortie et la grille $Gain_{grille}$ qui permet d'estimer le gain du système ainsi que la transconductance g_m : $g_m = \frac{A_g Gain_{grille}}{K_b R_D}$, cette mesure est utilisée pour ramener le bruit mesuré en sortie de l'amplificateur sur la grille du transistor.

La mesure de la densité spectrale de tension de bruit en sortie $S_{sortie}(f)$ se fait en deux phases d'acquisitions :

- Dans la première phase d'acquisition, la densité spectrale est estimée par un analyseur de spectre HP3562A, qui est utilisé dans la gamme de fréquence entre 10 Hz et 100 kHz, pour limiter la durée des acquisitions. L'analyseur est programmé pour rejeter toute acquisition dans le cas d'une perturbation extérieure.
- La deuxième phase d'acquisition opère pour les fréquences inférieures à 10 Hz avec un système composé d'un filtre passe-bas, d'un multimètre à haute résolution à fréquence d'échantillonnage programmable HP3458A est utilisé. Ces deux appareils sont pilotés par bus GPIB (« Hewlett-Packard Instrument Bus ») à l'aide d'un logiciel Labview dans lequel est implémenté un algorithme de FFT.

La densité spectrale du bruit est ensuite ramenée sur la grille du transistor en divisant par le

facteur $|Gain_{grille}|^2 : S_{V_G}(f) = \frac{S_{sortie}(f)}{A_g^2 |Gain_{grille}|^2}$. Ensuite la valeur de la densité spectrale du courant de

drain S_{I_D} peut être obtenue par $S_{I_D}(f) = g_m^2 S_{V_G}(f)$

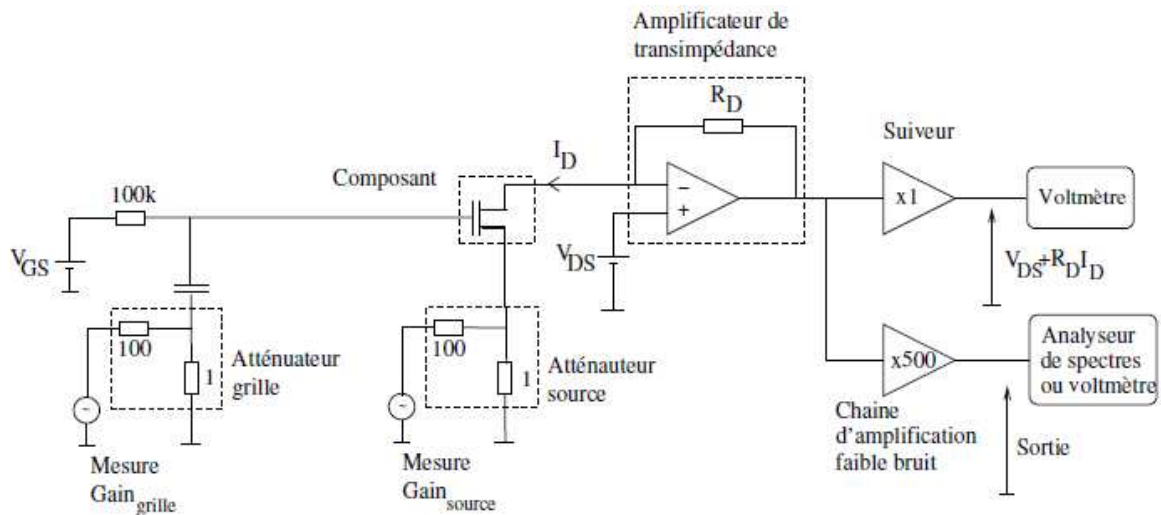


Figure 2-5 : Représentation schématique du banc de mesure du bruit [84].

2.4.2 Incertitude de mesure

Les incertitudes de mesure sont liées à la fois aux incertitudes de l'analyseur de spectre et celles du protocole de mesure. L'incertitude de l'analyseur est fonction du nombre de moyennes effectuées pour chaque mesure du gain ou du bruit. Dans les mesures effectuées dans cette thèse, 16 acquisitions ont été réalisées pour chaque mesure du bruit et du gain. L'incertitude de l'analyseur,

dans ce cas, est estimée autour de 4%. L'incertitude globale de la mesure est estimée inférieure à 10 %.

2.4.3 Extraction de paramètres du bruit

On considère que la densité spectrale S_{V_G} peut être modélisée par du bruit blanc, du bruit en $1/f$ et du bruit lorentzien selon l'équation (2.1). Cette modélisation permet d'extraire le niveau de bruit blanc B , le niveau du bruit en $1/f$; K_f/f ainsi que les fréquences caractéristiques f_{0i} des lorentziennes et leurs niveaux de plateau A_i . Pour bien extraire ces paramètres, l'évolution de la densité spectrale de bruit ramenée sur la grille est normalisée par la fréquence, c'est-à-dire que S_{V_G} est multiplié par la fréquence, les paramètres cités ci-dessus sont mieux identifiables comme illustré dans la figure 2-6.

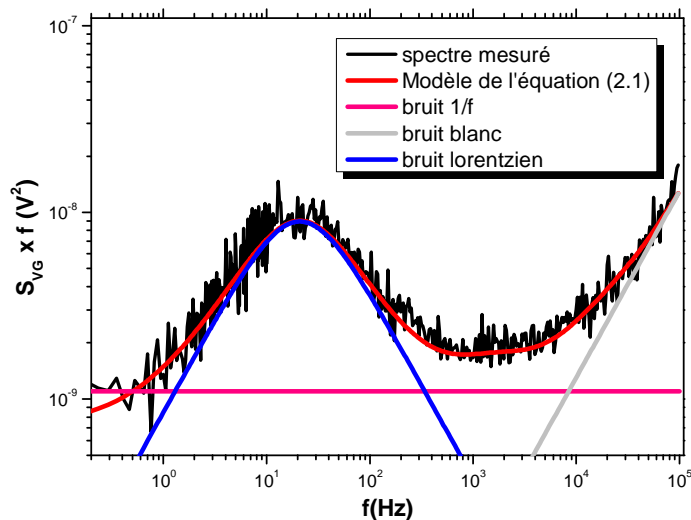


Figure 2-6 : Densité spectrale normalisée par la fréquence illustrant les différents types de bruit.

2.5 Mesures et extractions statiques

Avant toute mesure de bruit basse fréquence, des mesures statiques sont nécessaires. Les principaux paramètres du transistor doivent être extraits, tels que la tension de seuil V_{Th} , la mobilité à faible champ μ_0 .

2.5.1 Mesures en statique

Les mesures en statique du transistor MOSFET sont effectuées en utilisant un traceur de caractéristiques HP4156B. La caractéristique $I_D(V_{GS})$ est relevée, en utilisant une tension de drain V_{DS} constante dans la zone linéaire. Cette dernière est choisie égale à celle utilisée pour les

caractéristiques en bruit. Pour cela, un lot de transistors de différentes longueurs et de largeur fixe et vice versa est nécessaire pour bien extraire les paramètres. Les valeurs de la tension de seuil et de la pente sous le seuil peuvent être déduites directement de la caractéristique relevée pour chaque transistor. Les autres paramètres, technologiques ou électriques, du transistor peuvent être estimés en utilisant plusieurs techniques d'extractions. La méthode utilisée dans notre étude est « la fonction Y » qui va être décrite dans le prochain paragraphe.

2.5.2 La méthode de la fonction Y

Cette méthode a été proposée pour la première fois dans la référence [72]. Elle est utilisée pour extraire les paramètres du transistor MOSFET dans le régime linéaire. La fonction Y est basée sur une combinaison de l'équation du courant de drain et celle de la transconductance, elle est donnée par:

$$Y(V_{GS}) = \frac{I_D}{\sqrt{g_m}} = \sqrt{\beta V_{DS}} \left(V_{GS} - V_{Th} - \frac{V_{DS}}{2} \right) \quad (2.46)$$

où $\beta = \frac{WC_{ox}\mu_0}{L}$

L'équation (2.46) indique que cette fonction varie linéairement avec la tension de grille V_{GS} . La courbe $Y(V_{GS})$ permet d'extraire le paramètre β à partir de sa pente et la tension de seuil V_{Th} à partir de l'intersection de la courbe avec l'axe des x . Après avoir extrait V_{Th} et β , le facteur d'atténuation de mobilité θ_{eff} peut être construit, il est défini par l'équation suivante :

$$\theta_{eff} = \frac{\beta V_{DS}}{I_D} - \frac{1}{\left(V_{GS} - V_{Th} - \frac{V_{DS}}{2} \right)} \quad (2.47)$$

Dans des technologies sub-0.25 μm , en forte inversion, il a été démontré la dépendance linéaire du facteur d'atténuation de la mobilité avec la tension de grille V_{GS} [85]. Une modélisation empirique qui prend en compte un deuxième facteur d'atténuation a été proposée :

$$\theta = \theta_1 + \theta_2 \left(V_{GS} - V_{Th} - \frac{V_{DS}}{2} \right) \quad (2.48)$$

Les facteurs θ_1 et θ_2 peuvent être extraits à partir de l'intersection avec l'axe des x et à partir de la pente de la courbe $\theta(V_{GS})$ respectivement. Le premier facteur d'atténuation de la mobilité θ_1 est donné par :

$$\theta_1 = \theta_0 + \beta R_{SD} \quad (2.49)$$

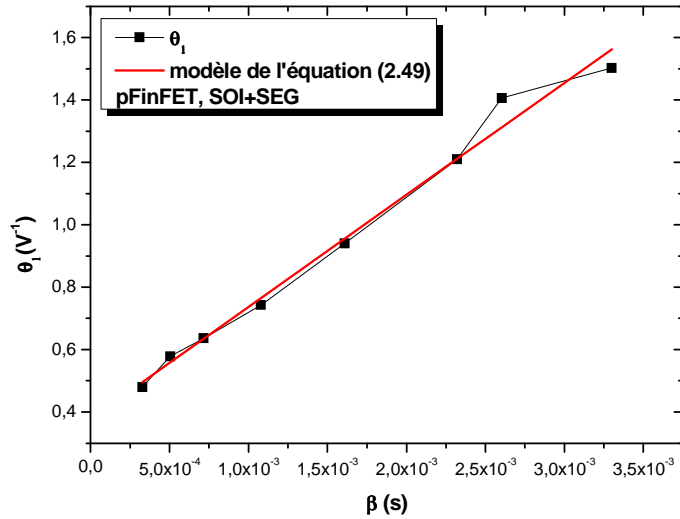


Figure 2-7 : Variation du premier facteur d'atténuation de la mobilité en fonction du paramètre β .

On peut extraire le facteur d'atténuation intrinsèque de la mobilité θ_0 de l'intersection de la courbe $\theta_1(\beta)$ avec l'axe des ordonnées. La résistance R_{SD} peut être extraite de la pente de la courbe, sachant que θ_1 varie de façon linéaire avec β , comme illustré dans la figure 2-7.

La mobilité à faible champ électrique et la longueur effective du canal peuvent être extraites à partir de l'équation suivante :

$$\frac{1}{\beta} = \frac{L}{\mu_0 C_{ox} W_E} - \frac{\Delta L}{\mu_0 C_{ox} W_E} \quad (2.50)$$

La mobilité à faible champ μ_0 peut être déterminée par la pente de la courbe $1/\beta(L)$ et ΔL à partir de l'intersection avec l'axe des abscisses. La figure 2-8 montre un exemple de variation de l'inverse du paramètre β en fonction de la longueur.

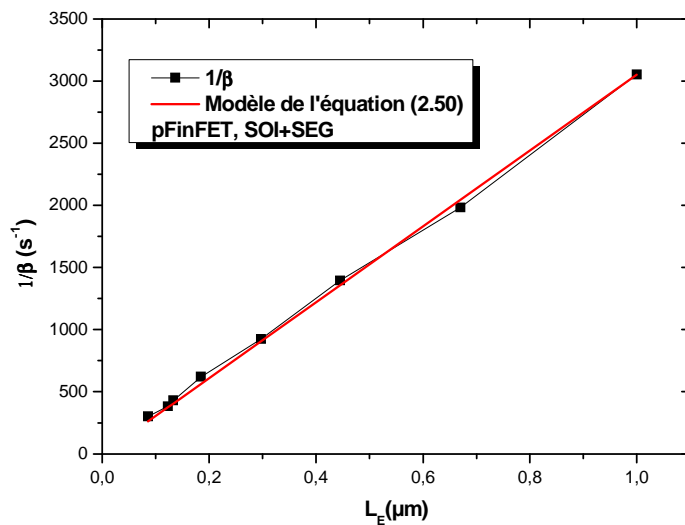


Figure 2-8 : Variation de l'inverse du paramètre β en fonction de la longueur effective.

2.6 Le bruit dans les FinFETs

Le bruit basse fréquence dans les MOSFETs planaires a été beaucoup étudié. Les études récentes montrent que pour les transistors doubles grilles MOSFETs, ayant un oxyde de grille high-k, le bruit en $1/f$ trouvé peut être expliqué par le modèle de McWhorter unifié ΔN dû aux fluctuations du nombre de porteurs ou par le modèle de fluctuations du nombre de porteurs corrélées aux fluctuations de la mobilité $\Delta N + \Delta\mu$. Des résultats sur des transistors FinFETs avec une grille en polysilicium et SiON comme oxyde, ont montré que la qualité d'oxyde est similaire à celle trouvée dans les transistors planaires FD SOI et que le niveau du bruit en $1/f$ obtenu dans un transistor planaire de largeur de $1\ \mu\text{m}$ est le même que celui trouvé dans un FinFETs de $60\ \text{nm}$ de largeur [86]. Il a été aussi montré que le bruit en $1/f$ dans un transistor à un seul doigt est dominé par le bruit RTS, donnant lieu à des Lorentziennes dans les spectres. Ceci est une bonne illustration de la théorie de McWhorter, qui dit que le bruit en $1/f$ est la somme des Lorentziennes, chaque Lorentzienne correspond au piégeage-dépiégeage d'un seul défaut. Pour des petites surfaces de transistors, les fluctuations du courant de drain vont être gouvernés uniquement par quelques défauts donnant lieu à du bruit RTS [87]. Une autre étude a été faite sur des transistors FinFETs pour voir la dépendance en géométrie du bruit en $1/f$, il a été montré qu'en dessous de la largeur du doigt de $60\ \text{nm}$ pour un transistor à 5 doigts en parallèle, le niveau du bruit diminue avec la surface et que la contribution des fluctuations du nombre de porteurs corrélées aux fluctuations de la mobilité a été observée plus dans les pFinFETs que dans les nFinFETs [88].

En général dans les transistors multi-grilles, il a été observé que le niveau du bruit est sensible aux procédés de fabrication utilisés ainsi qu'aux matériaux utilisés dans l'empilement de grille. Ce dernier peut avoir un impact direct sur la qualité de l'interface Si/SiO₂. Il a été montré que le bruit en $1/f$ dans un transistor pFinFET avec une grille en polysilicium est plus faible que celui trouvé dans un transistor pFinFET avec une grille métallique (Molybdène) [89]. Une forte réduction de niveau du bruit en $1/f$ a été observée quand un recuit d'hydrogène (à 900°C) de $5\ \text{mn}$ a été fait après la gravure du Si-Fin et avant l'oxydation de la grille. Ce recuit permet de réduire la rugosité de surface des doigts et améliore la qualité de l'oxyde, donc réduit significativement le bruit en $1/f$ [90]. On a montré que le niveau du bruit en $1/f$ dans les transistors nFinFETs courts est plus élevé que dans les transistors nFinFETs longs à cause de la présence des défauts dans l'oxyde dans les bords du canal, induits par la gravure [41]. Les contraintes mécaniques et l'orientation du canal semblent ne pas avoir un impact considérable sur le bruit basse fréquence [35].

Des études récentes ont été faites sur des transistors nFinFETs avec le nitrure de titane (TiN) comme grille métallique et l'oxyde d'Hafnium comme oxyde de grille. Ces études ont montré que les résistances d'accès sont très élevées. Pour y remédier, la technique SEG sur les régions de

source et drain a été utilisée [39], [44]. Le modèle de bruit qui prédomine dans ces transistors est le modèle de McWhorter. Des mesures de bruit sur ces dispositifs, ayant subi la technique SEG, montrent un comportement inhabituel où la densité spectrale ramenée sur la grille, normalisée par la fréquence, présente une diminution de la pente en $1/f$ à $1\text{kHz} < f < 10\text{ kHz}$. Les spectres normalisés par la fréquence décroissent dans la gamme de fréquence $10\text{Hz} < f < 1\text{kHz}$ et semblent rester constants pour les fréquences inférieures à 10 Hz . Ce bruit inhabituel a été trouvé dans les transistors nFinFETs larges et courts et pour des températures de 150 K à 300 K [91]. Une tendance similaire à ce bruit inhabituel a déjà été observée dans des transistors nMOSFETs massifs fabriqués dans la technologie $0,1\ \mu\text{m}$ avec un oxyde de grille de $5,3\text{ nm}$ [92]. Dans ce cas, les deux niveaux du bruit en $1/f$ ont été expliqués par deux origines différentes ; le niveau bas K_1 a pu être attribué aux fluctuations dans les résistances d'accès et a pu être expliqué par le modèle de Hooge ; en revanche le niveau haut K_2 du bruit en $1/f$ a été attribué aux fluctuations du nombre des porteurs dans le canal et a pu être expliqué par le modèle de McWhorter

La figure 2-9 représente une densité spectrale normalisée par la fréquence pour un transistor FinFET de type-n, ayant l'oxyde d'hafnium comme diélectrique. La longueur effective est de 60 nm et la largeur est de 25 nm . Le transistor est polarisé en régime linéaire avec une tension de grille de $0,45\text{V}$ et une tension de drain de 50 mV .

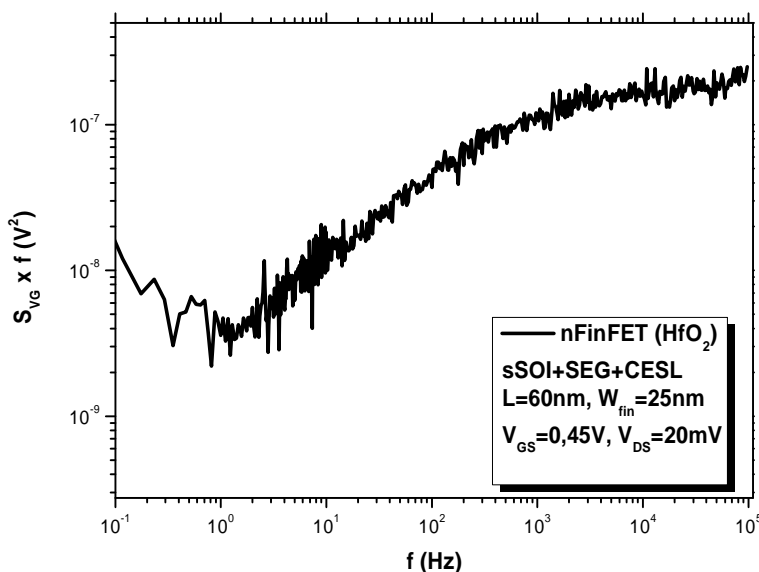


Figure 2-9 : Densité spectrale normalisée par la fréquence pour un transistor nFinFET ayant HfO_2 pour une longueur effective de 60nm .

La forme du spectre du bruit ressemble à une combinaison de deux niveaux de bruit en $1/f$. Un modèle empirique a été proposé en supposant deux niveaux de bruit en $1/f$ dans la référence [91]: un niveau bas K_1 de bruit en $1/f$ et un niveau haut K_2 de bruit en $1/f$ qui sont compris dans un

intervalle de fréquences caractéristiques f_1 et f_2 . La densité spectrale en bruit ramenée sur la grille est donnée par l'équation suivante:

$$S_{V_G} = B + \frac{K_1}{f} + \frac{K_2}{f} \cdot \frac{1}{1 + \frac{f_1}{f}} \cdot \frac{1}{1 + \frac{f}{f_2}} \quad (2.51)$$

Dans [91], il a été supposé que le niveau haut K_2 peut être dû aux fluctuations du nombre de porteurs dans le canal. Selon la théorie de McWhorter, il doit y avoir une limitation de la constante des pièges dans la couche d'oxyde puisque la présence du niveau haut K_2 du bruit en $1/f$ est observée uniquement dans un intervalle de fréquences délimitées par f_1 et f_2 .

Ce bruit inhabituel a été aussi trouvé dans les pFinFETs avec le même empilement de grille, dans des structures standards et contraintes, les détails sont présentés dans le chapitre 3.

En parallèle à ce travail de thèse, les observations expérimentales et conjointement celles d'autres groupes de recherche [93], suggèrent que le comportement du bruit basse fréquence pourrait être expliqué par une distribution non-uniforme des pièges dans la profondeur de l'oxyde. En considérant cette hypothèse, les profils de densité de pièges peuvent être calculés à partir des spectres du bruit. En supposant que le piégeage se fait par effet tunnel direct (élastique), alors la profondeur tunnel est donnée par :

$$x = x_{eff} = -\lambda \ln[2\pi f \tau_0] \quad (2.52)$$

avec : λ est la longueur d'atténuation tunnel, elle est égale à 10^{-8} cm pour Si/SiO₂ ; τ_0 est la constante de temps minimum du piège, elle est égale à 10^{-10} s à l'interface ($x = 0$). La densité de pièges effective est extraite à partir de l'amplitude du bruit en utilisant l'équation suivante :

$$N_{it} = \frac{S_{V_{FB}} f C_{EOT}^2 W_E L_E}{q^2 k T \lambda} \quad (2.53)$$

$S_{V_{FB}}$ est la densité spectrale ramenée sur la grille dans le régime des bandes plates, C_{EOT} est la capacité correspondant à l'EOT.

Les profils obtenus présentent une décroissance de la densité de défauts en s'éloignant de l'interface Si/SiO₂. Ces profils sont contraires à ceux trouvés dans les transistors classiques planaires où la densité de défauts est plus élevée dans le volume de l'oxyde high-k [94]. Cela est peut être dû à la rugosité élevée du doigt. Cela implique que la densité des défauts est très élevée dans la couche interfaciale [95].

2.7 Conclusion

Les mesures du bruit basse fréquence dans les transistors MOSFETs peuvent donc être utilisées comme un outil de caractérisation. Elles sont employées pour évaluer l'impact de nouvelles étapes technologiques de fabrication sur la qualité du dispositif. Elles sont aussi utilisées dans les études de fiabilité, en effectuant des mesures de bruit après un stress électrique ou thermique, une injection de porteurs chauds ou des irradiations. Le bruit basse fréquence étant sensible aux défauts présents dans les transistors MOSFETs, une technique de spectroscopie a été développée pour identifier les défauts. Cette procédure d'analyse du bruit sera systématiquement exploitée dans l'analyse des transistors faisant l'objet de cette thèse.

Chapitre 3 : Mesures en statique et en bruit basse fréquence dans les pFinFETs avec HfO₂

3.1 Introduction

Dans ce chapitre, les résultats de mesure en régime statique de fonctionnement et en bruit des transistors triple-grilles pFinFETs standards et contraints sont présentés. L'oxyde de grille est un matériau high-k ; l'oxyde d'hafnium (HfO₂). Les transistors FinFETs sont considérés comme des candidats prometteurs pour l'ère du nanomètre des circuits intégrés CMOS, grâce au bon contrôle des effets de canaux courts par la géométrie à trois dimensions (3D), le faible courant de grille et une possible augmentation de la mobilité en utilisant des canaux non dopés ($10^{15}/\text{cm}^3$) [96]. En plus, l'ingénierie de contrainte peut être utilisée pour améliorer les performances du transistor plus loin que la feuille de route de l'ITRS [35].

3.2 Description des transistors étudiés

Les transistors étudiés ont été réalisés sur substrat standard SOI ou contraint sSOI. Le substrat initial est de type (100)/(110). L'épaisseur de l'oxyde enterré t_{BOX} est de 130 nm. La hauteur du doigt H_{fin} est de 65 nm. Les largeurs de masque W_{fin} varient entre 0,15 μm et 3 μm . Les longueurs de masque varient entre 0,13 μm et 1 μm . La distance entre les doigts est de $FS = 0,2 \mu\text{m}$ et la distance entre grille et source est de $S = 0,1 \mu\text{m}$. L'empilement de grille est constitué d'un oxyde de grille à haute permittivité (High-k) ; l'oxyde d'hafnium (HfO_2), d'une permittivité relative de 20, déposé sur une couche interfaciale d'oxyde de silicium SiO_2 d'une épaisseur de 1 nm, conduisant à une épaisseur équivalente (EOT) de 1,9 nm. La grille est constituée de 5 nm de TiN couverte de 100 nm de polysilicium. Les détails de fabrication peuvent être trouvés dans la référence [97].

Quelques transistors ont subi des techniques de contraintes locales supplémentaires telle que la contrainte CESL ; 0,8 GPa en tension pour les transistors nMOSFETs et de 1,5 GPa en compression pour les transistors pMOSFETs, la technique SEG sur les régions de la source et du drain ou la combinaison des deux.

Notre étude s'est focalisée sur des transistors FinFETs à canal-p (ceux à canal-n ont été étudiés précédemment à l'occasion d'une autre thèse). Les transistors étudiés sont :

- transistors FinFETs sur substrat SOI (standard);
- transistors FinFETs sur substrat SOI ayant SEG (SOI + SEG);
- transistors FinFETs sur substrat SOI ayant SEG et CESL (SOI + SEG + CESL) ;
- transistors FinFETs sur substrat sSOI ayant SEG et CESL (sSOI + SEG + CESL).

3.3 Mesures en statique

Des mesures en statique ont été effectuées sur toutes les structures étudiées de transistors pFinFET à température ambiante, dans le régime linéaire, avec une tension de drain de -20 mV et une tension de grille variant de 0,5 à -1,5 V. La largeur de doigt effective (W_{fin}) utilisée dans toutes les mesures est de 25 nm.

3.3.1 Mesures en fonction de la longueur et pour différentes structures

Les figures 3-1 et 3-2 représentent le courant de drain et la transconductance g_m respectivement en fonction de la tension de grille pour des transistors pFinFETs avec une structure SOI + SEG + CESL pour différentes longueurs de masque, de $L = 0,2 \mu\text{m}$ jusqu'à la longueur $L = 1 \mu\text{m}$. On note que le courant de drain et la transconductance sont en accord avec les modèles des équations (1.17) et (1.18). Cependant, on observe que le courant I_{OFF} augmente lorsque la longueur de grille diminue.

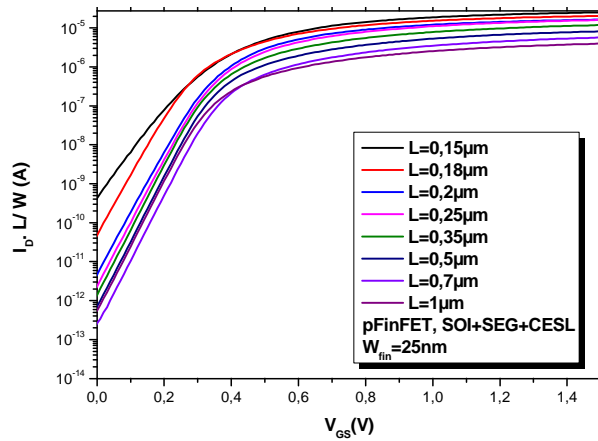


Figure 3-1 : Caractéristique $I_D(V_{GS})$ d'un transistor pFinFET (SOI + SEG + CESL) avec HfO_2 pour différentes longueurs de grille à $V_{DS} = -20$ mV.

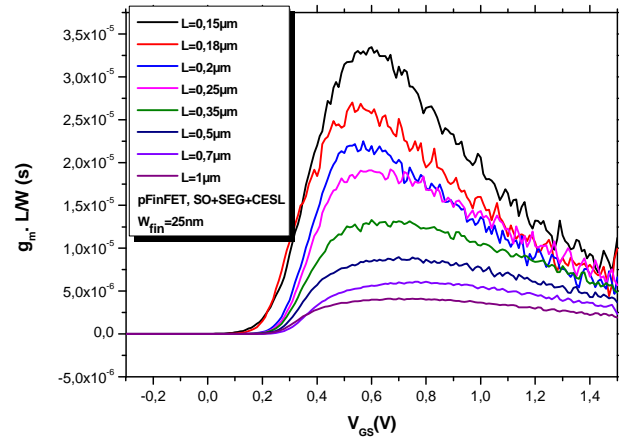


Figure 3-2 : Caractéristique $g_m(V_{GS})$ d'un transistor pFinFET (SOI + SEG + CESL) avec HfO_2 pour différentes longueurs de grille à $V_{DS} = -20$ mV.

Pour montrer l'intérêt des contraintes mécaniques, des mesures ont été faites pour différentes structures de pFinFETs. La figure 3-3 illustre le courant de drain et la transconductance en fonction de la tension de grille à température ambiante pour trois structures de pFinFETs avec une longueur de grille effective de 160 nm. On observe que le courant de drain ainsi que la transconductance sont plus élevés dans les transistors pFinFETs contraints que dans les transistors pFinFETs standards.

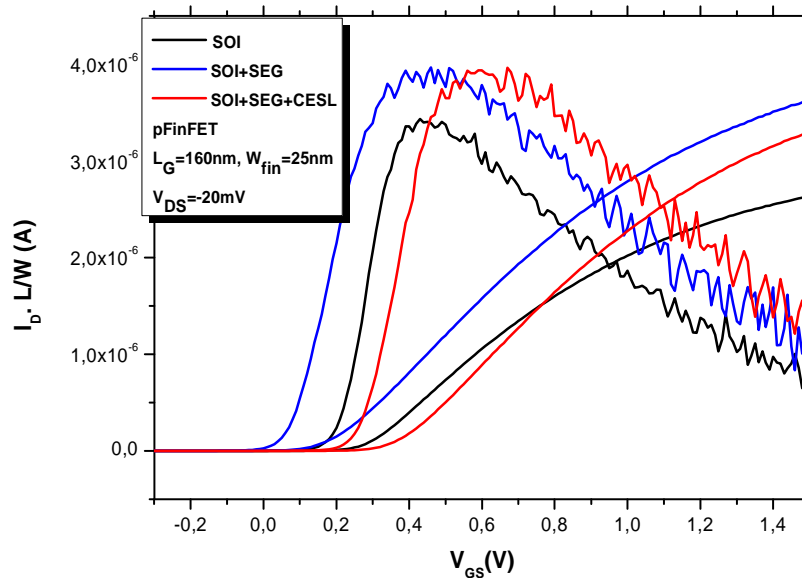


Figure 3-3 : Caractéristique $I_D(V_{GS})$ pour des transistors de longueur de 160 nm des trois structures étudiées de pFinFET avec HfO_2 .

Par ailleurs, on remarque que les transistors ayant la structure SOI + SEG et SOI + SEG + CESL ont des caractéristiques comparables. Il a déjà été observé que la technique SEG est plus bénéfique pour les transistors pMOSFETs [41] comme ces résultats le montrent aussi.

3.3.2 Extraction des paramètres principaux du transistor

Les paramètres principaux du transistor ont été extraits avec la méthode de la fonction Y, en utilisant la caractéristique $I_D(V_{GS})$ en régime linéaire. Pour extraire les paramètres dans chaque type de structure, un échantillon est utilisé avec la même largeur effective du doigt ($W_{fin} = 25$ nm) et différentes longueurs de masque de $L = 0,13$ μm jusqu'à 1 μm . Le tableau 3-1 présente les principaux paramètres extraits des transistors pFinFETs.

pFinFETs	μ_0 ($\text{cm}^2\text{Vs}^{-1}$)	S (mV/dec)	R_{SD} (Ω)	θ_0 (V^{-1})	ΔL (nm)
SOI	150	61	534	0,6	90
SOI + SEG	198	63	318	0,61	65
SOI + SEG + CESL	191	63	307	0,75	75

Tableau 3-1 : Principaux paramètres extraits des pFinFETs avec HfO_2 .

On constate une augmentation de la mobilité à faible champ μ_0 dans les transistors contraints par rapport aux transistors standards (20% environ). On remarque que les transistors qui ont subi la technique SEG présentent la mobilité la plus élevée. Ces résultats montrent l'impact considérable de la technique de contrainte SEG sur la mobilité des transistors FinFETs de type-p. D'après ces résultats, l'ajout du CESL semble ne pas améliorer la mobilité du transistor pFinFET. Il est connu dans la littérature que pour les transistors MOSFETs planaires ayant CESL, la mobilité est améliorée quand la longueur du canal est réduite. En revanche, dans les pFinFETs étudiés présentant de faibles dimensions, avec de petites longueur et largeur de doigt, la contrainte CESL n'a aucun impact sur la mobilité du transistor pFinFET. Toutefois, son utilisation ne dégrade pas le courant.

Une bonne valeur de la pente sous le seuil qui avoisine la valeur idéale qui est de 60 mV/dec a été trouvée pratiquement dans toutes les structures de pFinFETs étudiées, contraintes ou non. Cela est peut être dû à la valeur élevée de la capacité d'oxyde C_{ox} par rapport aux capacités de déplétion et d'interface. Selon l'équation (1.7); on a dans ce cas $C_{dep} \ll C_{ox}$ et $C_{it} \ll C_{ox}$ alors : $S \approx kT/q \ln 10$. Cela reflète la bonne qualité de l'interface d'oxyde.

Les valeurs des résistances d'accès trouvées dans les pFinFETs (SOI + SEG, SOI + SEG + CESL) ayant subi la technique SEG sont moins élevées que celles trouvées dans les pFinFETs standards (SOI). Cela montre que l'utilisation de la technique SEG, dans les régions de source et drain, diminue les résistances d'accès. Le facteur de réduction intrinsèque de la mobilité θ_0 n'est pas négligeable. L'impact du facteur de réduction de la mobilité θ_l joue un rôle important même pour les grandes longueurs de canal. La valeur de ΔL est faible par rapport à celles trouvés dans les transistors massifs. Pour les plus faibles longueurs du canal, seulement 50% de la longueur de masque est contrôlée électriquement par la grille (cas du transistor avec une structure SOI + SEG + CESL pour la longueur de masque de 0,15 μm).

Dans les structures ayant subi la contrainte CESL, le courant de fuite de grille est réduit d'un facteur 4 par rapport aux transistors standards et aux transistors ayant subi la technique SEG comme le montre la figure 3-4 qui illustre le courant de grille normalisé par la surface pour les trois structures étudiées avec une longueur effective de 160 nm. Cela peut être expliqué par le fait que la technique CESL, une couche recouvre entièrement la grille et réduit ainsi fortement le courant de fuite de grille.

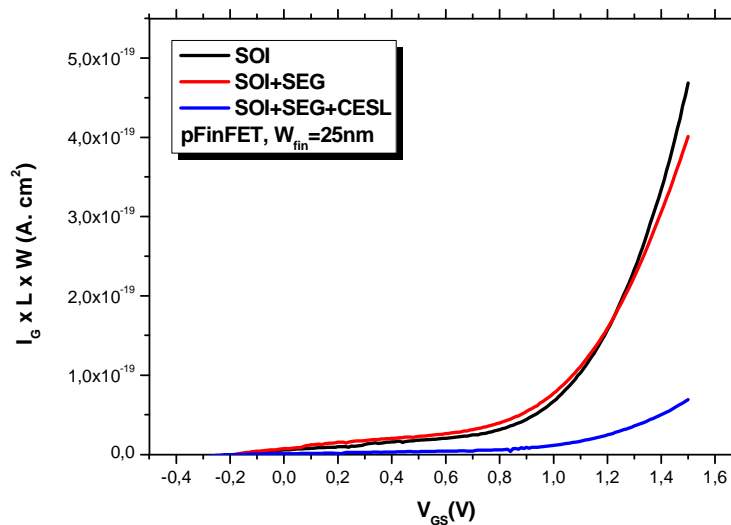


Figure 3-4 : Courant de grille normalisé par la surface de trois structures étudiées de pFinFETs avec HfO_2 pour une longueur de $L = 160 \text{ nm}$.

Conclusion partielle

Les résultats de mesure en régime statique sur les pFinFETs standards et contraints ont montré l'impact différent des techniques de contraintes sur les transistors FinFETs de type p. La technique SEG réduit la résistance d'accès et améliore la mobilité. En revanche, l'ajout de la technique CESL semble ne pas provoquer d'amélioration ni de dégradation de la mobilité des porteurs.

3.4 Mesures de bruit basse fréquence

L'objectif de ce travail est d'étudier le comportement en bruit basse fréquence des transistors pFinFETs avec l'oxyde d'hafnium (HfO_2). Cette étude a été effectuée sur des échantillons de différentes longueurs et largeurs en fonction de la tension appliquée sur la grille à température ambiante et à une température de 80 K et pour un courant de drain fixe ($I_D = 3 \mu\text{A}$) en fonction de la température (200 K – 300 K). Les mesures du bruit basse fréquence ont été faites directement sur le wafer en utilisant le banc expérimental de mesure qui a été décrit dans le paragraphe 2.4.1. Les dispositifs ont été polarisés dans le régime linéaire avec une tension de drain $V_{DS} = -20 \text{ mV}$ et une tension de grille variant de 0,4 V jusqu'à -1,3 V. La gamme de fréquence d'analyse a été de 0,1 Hz jusqu'à 100 kHz.

3.4.1 Mesures à température ambiante

3.4.1.1 Observation de bruit inhabituel

La figure 3-5 représente la densité spectrale de bruit normalisée par la fréquence pour trois structures étudiées des transistors avec la longueur effective de 60 nm. Un bruit inhabituel est observé dans toutes les structures étudiées. L'allure du spectre de bruit présente une diminution de la pente en $1/f$ pour les fréquences inférieures à la gamme 1-10 kHz pour redevenir en $1/f$ pour des fréquences inférieures à 10 Hz. Un bruit inhabituel a été déjà mis en évidence dans les transistors nFinFETs ayant subi la technique SEG [91]. Contrairement aux transistors nFinFETs, le bruit inhabituel est ici observé dans toutes les structures étudiées. Une contribution du bruit Lorentzien a été aussi observée. La figure 3-5 nous montre clairement que les techniques de contraintes n'ont pas d'impact significatif sur le niveau du bruit, ni sur l'allure des spectres.

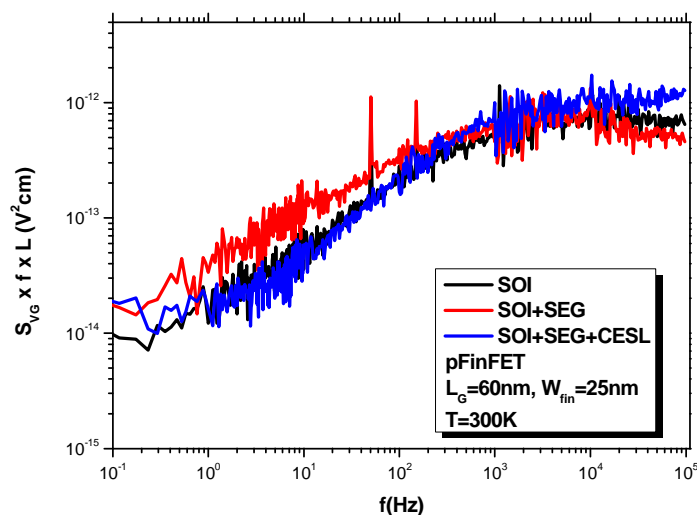


Figure 3-5 : Densité de bruit S_{V_G} normalisée par la fréquence pour les trois structures de transistor standard et contraint avec HfO_2 pour $L_E = 60 \text{ nm}$.

Une bonne concordance entre les spectres de bruit mesurés et le modèle empirique proposé dans l'équation (2.51) a été vérifiée pour toutes les longueurs de grille et toutes les structures étudiées. La figure 3-6 montre cette concordance dans le transistor standard ayant une longueur de grille effective de 60 nm, polarisé en faible inversion avec une tension de grille (V_{GS}) de -0,3V. Le bruit inhabituel peut être clairement et seulement observé dans le régime de faible inversion. En régime de forte inversion, des composantes de bruit additionnelles de type Lorentzien peuvent masquer le niveau bas K_1 du bruit.

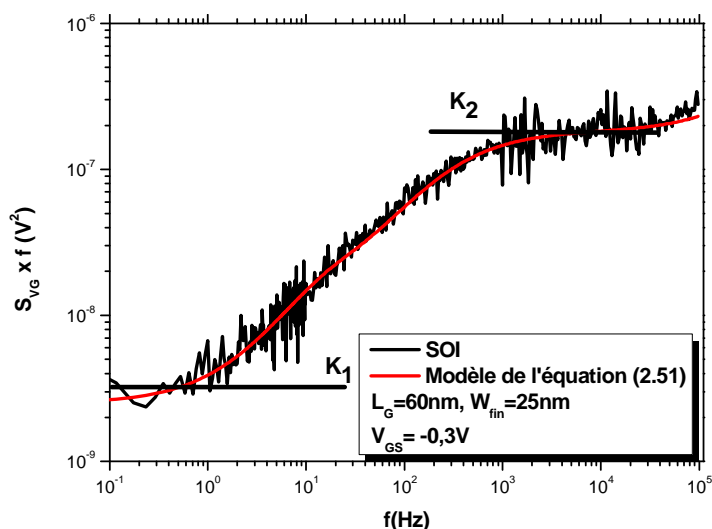


Figure 3-6 : Densité de bruit S_{V_G} normalisée par la fréquence pour un transistor standard avec HfO_2 pour $L_E = 60$ nm.

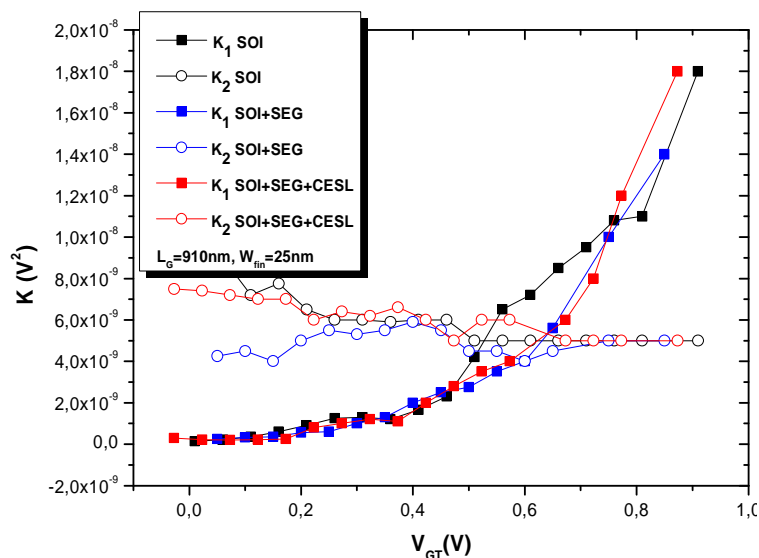


Figure 3-7 : Variation des niveaux K_1 et K_2 normalisés par la fréquence en fonction de V_{GT} pour toutes les structures étudiées des transistors avec HfO_2 .

La figure 3-7 représente la variation des niveaux bas K_1 et haut K_2 du bruit en $1/f$ en fonction de la tension de grille effective V_{GT} à une tension de drain ; $V_{DS} = -20$ mV pour les trois structures étudiées. L'interprétation des composantes K_1 et K_2 est qu'elles peuvent être dues aux fluctuations dans le canal [91]. On peut noter qu'il n'y a pas de différence significative d'amplitude du bruit dans le régime de faible inversion entre les structures de FinFETs étudiées, cela nous mène à confirmer que les différentes techniques de contrainte utilisées n'influent pas sur le niveau du bruit basse fréquence. On peut aussi observer que, dans le régime de faible inversion, la densité spectrale reliée au niveau haut K_2 du bruit en $1/f$ est quasi-indépendante de la tension de grille appliquée. Le niveau K_1 est quasi-constant à faible V_{GT} et augmente considérablement à fort V_{GT} . Cette augmentation est due à la contribution des résistances d'accès sur le bruit total. Cela suggère que les fluctuations de nombre de porteurs, dus aux piégeages des trous dans l'oxyde, est l'effet prédominant dans tous les transistors en régime de faible inversion. Un tel résultat a été déjà trouvé dans les pMOSFETs ayant un oxyde high-k. Cependant, le bruit en $1/f$ dans les transistors pMOSFETs ayant SiO_2 comme diélectrique de grille, fabriqués en technologie $> 0,25$ μm , a été généralement expliqué plutôt par le modèle de Hooge.

3.4.1.2 Mesures de bruit en fonction de la géométrie

Pour vérifier la dépendance de ce bruit en fonction des dimensions du transistor, des mesures de bruit basse fréquence ont été faites à un courant de drain constant ($I_D = 3$ μA) pour des transistors pFinFETs de différentes longueurs et largeurs. La première série de mesures a été faite sur des pFinFETs à substrat standard de différentes longueurs de masque $L = 0,18 ; 0,35 ; 0,5 ; 0,7$ μm et une largeur effective de doigt de 25 nm. La figure 3-8 montre les densités spectrales ramenées sur la grille normalisées par la fréquence pour les quatre longueurs des transistors. On note que dans les mêmes conditions de polarisation, le bruit inhabituel a été mis en évidence clairement surtout dans les petites longueurs. Le courant de drain de 3 μA correspond à un courant de faible inversion pour les petites longueurs et à un courant de forte inversion pour les grandes longueurs. Cela implique une contribution des résistances d'accès dans les faibles fréquences plus forte pour les grandes longueurs par rapport aux faibles longueurs. Ces résultats suggèrent une explication au fait que le bruit inhabituel n'a été trouvé que dans les transistors nFinFETs ayant subi la technique SEG dans les régions source et drain. En effet, dans ces derniers, l'impact des résistances d'accès est plus faible par rapport aux structures n'ayant pas subi la technique SEG. Nous pouvons considérer l'hypothèse suivante : dans les autres structures n'ayant pas subi la technique SEG, l'impact considérable des résistances d'accès peut avoir masqué le niveau bas K_1

du bruit en $1/f$. Dans les pFinFETs, comme l'impact des résistances d'accès est moindre

$$\left(\frac{r_{SD}}{r_{ch}} \Big|_{pMOS} \right) < \left(\frac{r_{SD}}{r_{ch}} \Big|_{nMOS} \right), \text{ le bruit inhabituel a été trouvé dans toutes les structures.}$$

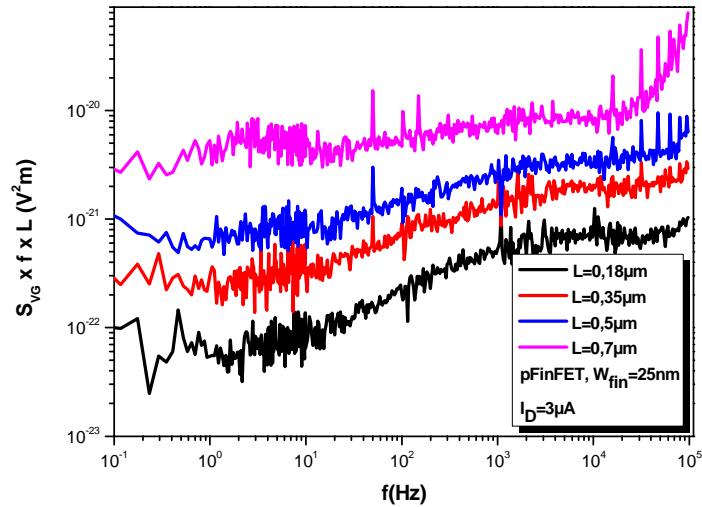


Figure 3-8 : Densité de bruit S_{V_G} normalisée par la fréquence et par la longueur pour des transistors standards avec HfO_2 de différentes longueurs de grille à I_D fixe ($I_D = 3 \mu A$).

D'autres mesures ont été faites pour une grande largeur du masque de doigt ; $W_{fin} = 1 \mu m$ et pour une longueur de masque $L = 1 \mu m$ pour toutes les structures des pFinFETs étudiées. La figure 3-9 montre les densités spectrales de tension normalisées par la fréquence à $V_{GS} = -0,4 V$ pour les quatre structures étudiées. On note bien que le bruit inhabituel apparaît dans toutes les structures en faible inversion où l'impact des résistances d'accès est le plus faible. Toutefois, il commence à être masqué en augmentant la tension de grille et disparaît complètement en forte inversion. Cela corrobore notre hypothèse.

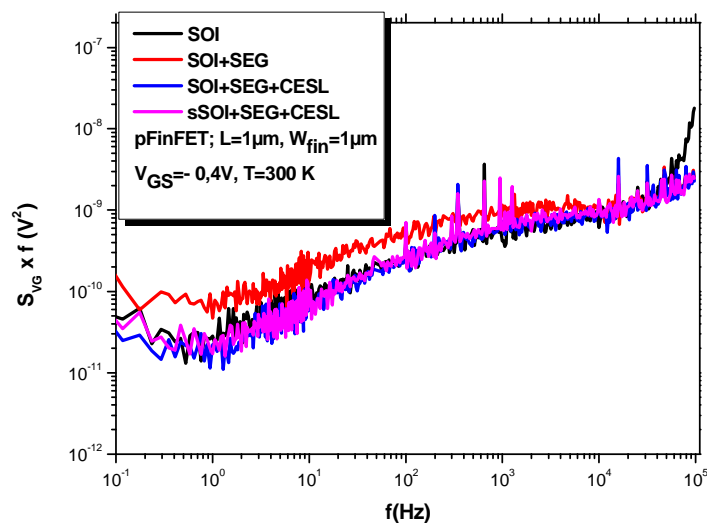


Figure 3-9 : Densité de bruit S_{V_G} normalisée par la fréquence pour des transistors contraints et standards avec HfO_2 de longueur de $1 \mu m$ et de largeur de doigt de $1 \mu m$ à $V_{GS} = -0,4 V$ (faible inversion).

Une autre série de mesures de bruit basse fréquence a été faite à $I_D = 3 \mu A$ pour toutes les structures de transistors étudiées avec des largeurs différentes de masque allant de $W_{fin} = 0,16$ jusqu'à $3 \mu m$ et pour une longueur de masque fixe de $1 \mu m$.

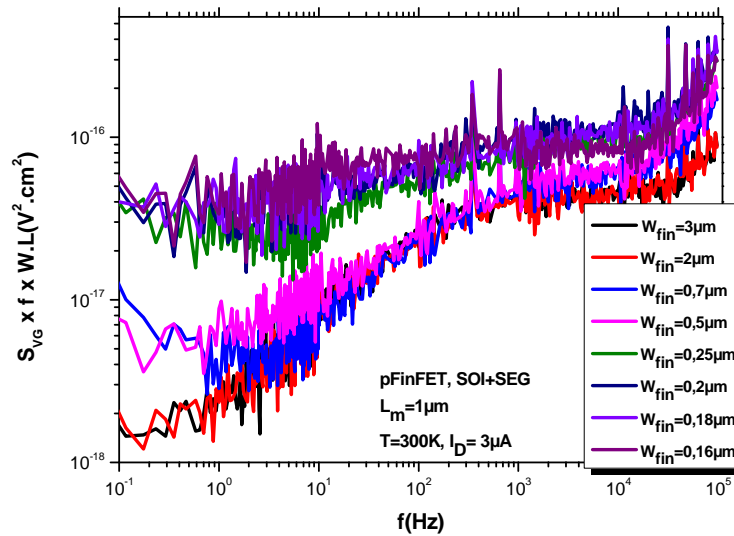


Figure 3-10 : Densité de bruit S_{V_G} normalisée par la fréquence et par la surface pour des transistors contraints (SOI + SEG) avec HfO_2 de différentes largeurs de doigt à I_D fixe ($I_D = 3 \mu A$).

La figure 3-10 représente les densités spectrales normalisées par la fréquence et par la surface de la structure SOI + SEG pour différentes largeurs de masque. On remarque que le bruit inhabituel apparaît seulement pour les grandes largeurs et le niveau bas K_I du bruit inhabituel augmente lorsque la largeur du doigt diminue. Notant que pour les grandes largeurs, le courant $I_D = 3 \mu A$ correspond à un courant de grille en faible inversion mais pour les petites largeurs, il correspond à un courant de forte inversion.

On sait que l'impact des résistances d'accès sur le bruit basse fréquence peut être obtenu à partir de l'addition de la contribution des résistances d'accès dans les régions source et drain au bruit du canal. Dans le régime linéaire, le bruit du courant de drain devient ainsi:

$$\frac{S_{I_D}}{I_D^2} = \left(\frac{S_{I_D}}{I_D^2} \right)_{Canal} + \left(\frac{I_D}{V_{DS}} \right)^2 S_{r_{SD}} \quad (3-1)$$

D'après nos résultats de mesures, le bruit inhabituel a été trouvé dans le cas où le deuxième terme de l'équation (3.1) est négligeable donc en faible inversion. Ce bruit a été trouvé dans le régime de faible inversion pour les petites longueurs, les grandes longueurs et les grandes largeurs.

Les résistances d'accès ont un impact sur l'apparition du bruit inhabituel, le niveau haut K_2 du bruit en $1/f$ apparaît dans le cas où l'impact des résistances d'accès est faible donc cela suggère que les deux niveaux du bruit en $1/f$ proviennent du canal.

La figure 3-11 représente les densités spectrales normalisées par la fréquence pour trois transistors de différentes dimensions polarisés en régime linéaire non pas à courant I_D fixé mais avec une tension de grille de $-0,40V$ et une tension de drain de $-20 mV$. On note que le bruit inhabituel est observé pour toutes les dimensions des transistors étudiés en régime de faible inversion. On note aussi que le niveau du bruit inhabituel est plus élevé dans le transistor à faible dimension avec une longueur de masque de $0,15 \mu m$ et une largeur de $0,15 \mu m$.

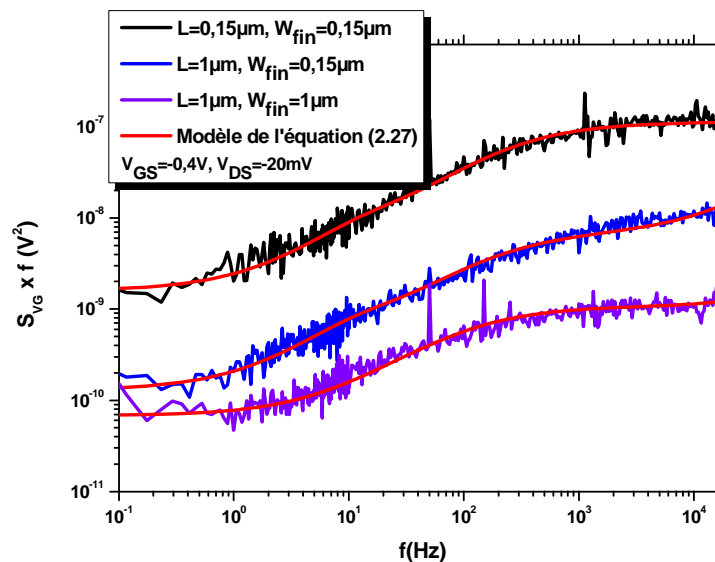


Figure 3-11 : Densités spectrales de bruit normalisées par la fréquence pour des transistors pFinFETs (SOI) avec HfO_2 de différentes géométries en faible inversion.

3.4.1.3 Qualité de l'oxyde de grille

L'objectif principal de ces mesures de bruit est l'extraction de la densité de pièges dans l'oxyde pour caractériser la qualité de l'oxyde. Le modèle des fluctuations de nombre de porteurs i.e. le modèle de McWhorter peut être utilisé pour expliquer l'origine du bruit en $1/f$ et extraire la valeur de la densité de pièges dans l'oxyde à partir de la densité spectrale de bandes plates [72]. En utilisant la longueur et la largeur effective et en considérant que les défauts sont uniformément répartis dans l'oxyde, la densité de défauts à l'interface peut être estimée à partir de l'équation (2.15). Les valeurs trouvées dans toutes les structures étudiées de longueur effective de $60 nm$ sont données dans le tableau 3-2. La densité de pièges est élevée pour les transistors FinFETs ayant HfO_2 comme diélectrique comparé aux transistors MOSFETs planaires ayant le même diélectrique.

Structures	N_{it} ($\text{cm}^{-3}\text{eV}^{-1}$)
SOI	$1 \cdot 10^{18}$
SOI + SEG	$4,8 \cdot 10^{18}$
SOI + SEG + CESL	$4,2 \cdot 10^{17}$
sSOI + SEG + CESL	$6,5 \cdot 10^{17}$

Tableau 3-2 : Densités de pièges N_{it} extraites à partir du bruit en $1/f$ à 300K pour des pFinFETs avec HfO_2 de différentes structures ayant une longueur de 60 nm.

En utilisant les équations (2.52) et (2.53), les profils de profondeur des densités effectives des défauts ont été calculés pour trois structures étudiées avec une longueur effective de 60 nm. La figure 3-12 illustre les densités de pièges effectives en fonction de la profondeur des pièges pour la longueur de 60 nm pour trois structures de transistors. On note bien que la densité de défauts décroît en s'éloignant de l'interface dans toutes les structures étudiées. La densité de défauts est plus élevée à proximité de l'interface ; couche interfaciale/couche high-k par rapport aux défauts dans le volume de la couche d'oxyde d'hafnium (high-k). Ce profil de profondeur des défauts est l'opposé de celui qui a été trouvé dans les transistors MOSFETs planaires ayant HfO_2 comme oxyde de grille où la densité de défauts est plus élevée dans l'oxyde d'hafnium que dans la couche interfaciale sachant que la couche interfaciale de ce transistor est de 2,1 nm [94], tandis que la couche interfaciale des transistors étudiés dans ce travail est de 1 nm.

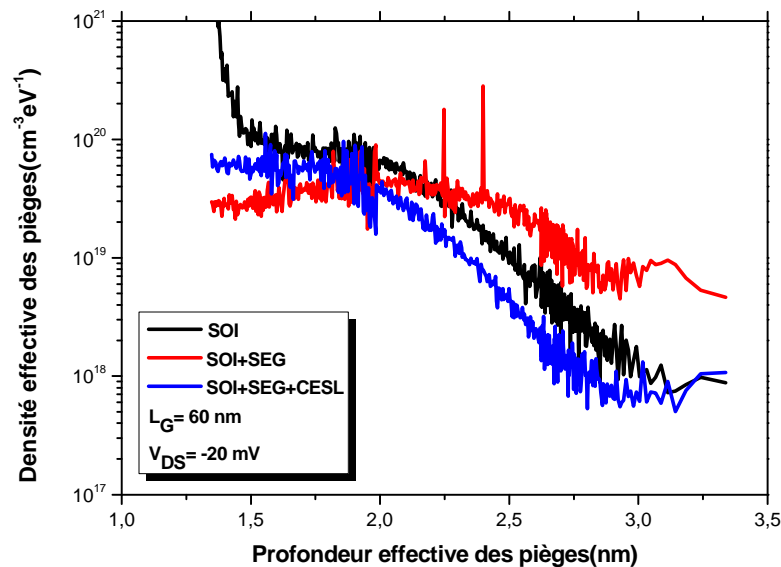


Figure 3-12 : Profils de profondeur des densités effectives de pièges des pFinFETs avec HfO_2 de différentes structures pour la longueur de 60 nm pour une épaisseur de HfO_2 de 2,5 nm.

3.4.2 Mesure en bruit basse fréquence en fonction de la température

3.4.2.1 Mesures entre 200 K et 300 K

Des mesures en fonction de la température, de 200 K jusqu'à 300 K avec un pas de 10 K, ont été effectuées sur les transistors pFinFETs standards (SOI), de 60 et 910 nm de longueur avec une largeur effective de doigt $W_{fin} = 25$ nm à $I_D = 3$ μ A. Le modèle empirique proposé pour le bruit inhabituel modélise parfaitement les spectres trouvés. En diminuant la température, on a plus d'impact du bruit Lorentzien à basses fréquences. La figure 3-13 représente les deux niveaux du bruit bas K_1 et haut K_2 en fonction de la température. On note que le niveau K_2 est quasi-constant en fonction de la température tandis que le niveau K_1 augmente avec la réduction de la température. La valeur $I_D = 3$ μ A correspond à un régime de faible inversion à 300 K mais évolue vers le régime de forte inversion en diminuant la température. L'augmentation du niveau K_1 avec la réduction de la température peut s'expliquer par une contribution croissante du bruit basse fréquence des résistances d'accès.

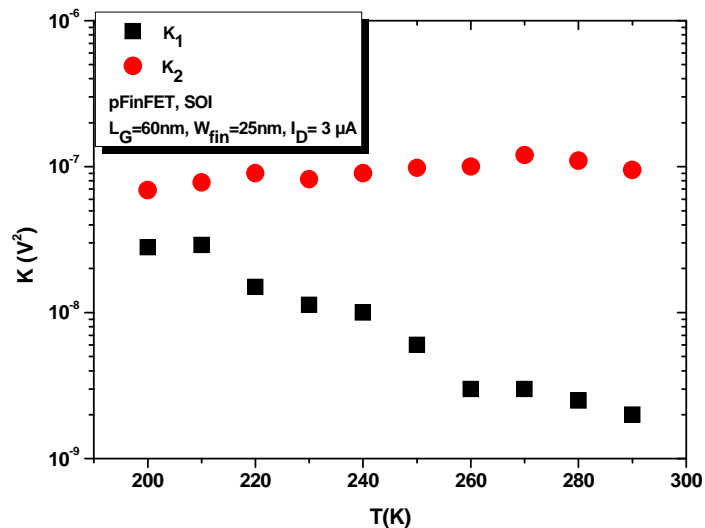


Figure 3-13 : Amplitudes des deux niveaux K_1 et K_2 du transistor standard (SOI) avec HfO_2 de longueur effective de 60 nm à I_D fixe ($I_D = 3$ μ A) en fonction de la température.

La figure 3-14 représente les densités de pièges à l'interface déduites à partir de l'équation (2.15). On note que la densité des pièges explorés diminue en augmentant la température. Ce résultat peut être expliqué en utilisant le modèle développé dans [98], [99]. Le modèle est basé sur le modèle unifié « Unified Model » proposé dans [100] qui considère que dans l'empilement de grille Si/SiO₂/HfO₂, il existe deux barrières tunnel en cascade correspondant aux deux couches constituant le diélectrique de grille (couche interfaciale et la couche du high-k).

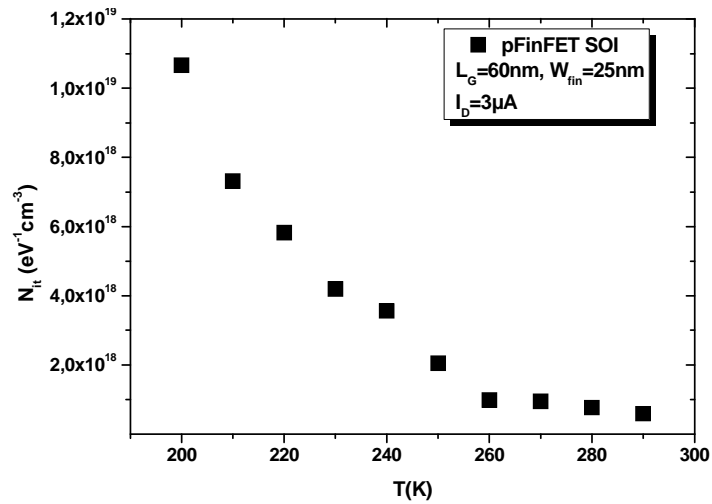


Figure 3-14 : Densité de pièges à l'interface pour un transistor standard (SOI) avec HfO_2 de longueur de 60 nm à I_D fixe en fonction de la température.

3.4.2.2 Mesures à une température de 80 K

Des mesures de bruit basse fréquence à une température de 80 K ont été effectuées sur des pFinFETs ayant une structure standard et une structure SOI + SEG, de longueur effective 60 et 910 nm avec une tension de drain $V_{DS} = -20$ mV et une tension de grille allant de 0,45 jusqu'à -1,2 V. La figure 3-15 représente les densités spectrales de tension de grille normalisées par la fréquence pour un transistor de structure SOI + SEG de longueur effective de 60 nm de faible à forte inversion. On note qu'à cette basse température ($T = 80$ K), aucun bruit inhabituel n'a été observé.

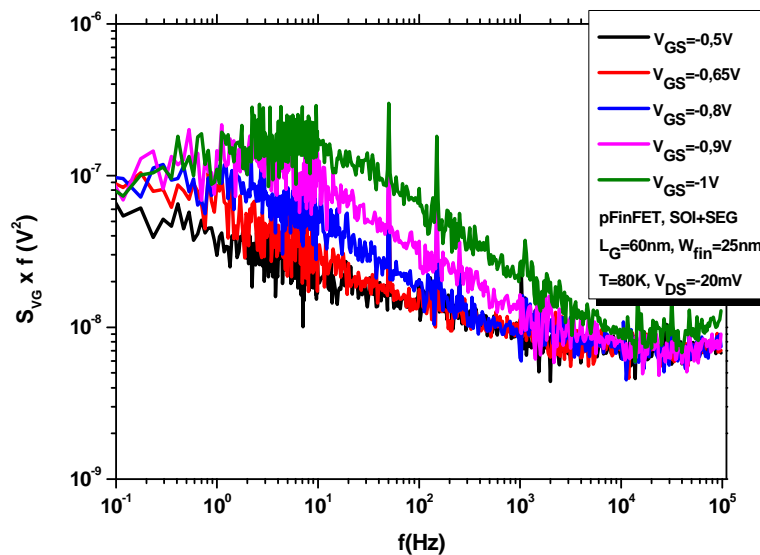


Figure 3-15 : Densité de bruit S_{V_G} normalisée par la fréquence d'un transistor contraint (SOI + SEG) avec HfO_2 de longueur effective de 60 nm en fonction de la tension de grille à une température de 80 K.

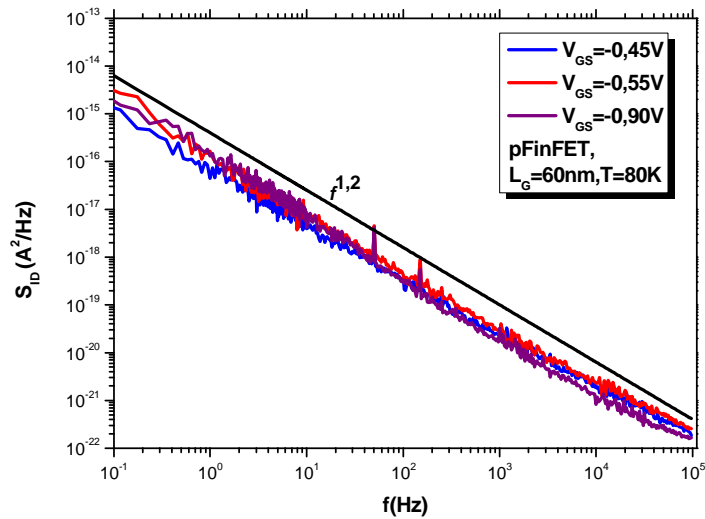


Figure 3-16 : Densité de bruit S_{I_D} d'un transistor contraint (SOI + SEG) avec HfO_2 de longueur effective de 60 nm pour trois tensions de grille à une température de 80 K

Les spectres du bruit sont modélisés par des lorentziennes à faibles fréquences et un bruit en $1/f^\gamma$. L'exposant γ égale 1,2 comme le montre la figure 3-16 qui illustre la densité spectrale du courant de drain pour un transistor SOI + SEG. Puisque $\gamma \neq 1$, cela suggère la non-uniformité de la distribution des pièges dans l'oxyde.

La figure 3-17 représente, en fonction de la tension de grille, le niveau du bruit K_f normalisé pour un transistor pFinFET de structure SOI+SEG pour une longueur effective de 60 nm à une température de 80 K. Le niveau du bruit en $1/f$ normalisé K_f est quasi-constant en fonction de V_{GT} . Cela montre que le bruit en $1/f$ qui prédomine dans ces structures à une température de 80 K est dû aux fluctuations du nombre de porteurs (ΔN).

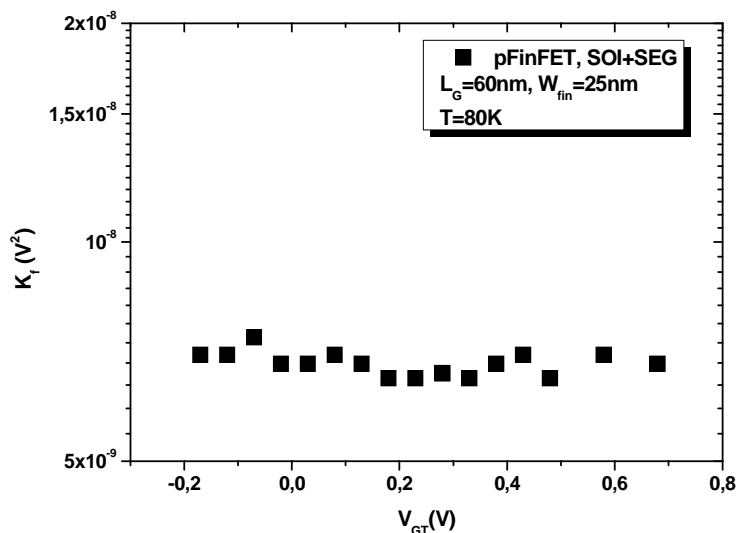


Figure 3-17 : Variation avec la tension de grille du niveau du bruit K_f d'un transistor pFinFET (SOI + SEG) avec HfO_2 pour $L_E = 60$ nm à une température de 80K.

La densité de pièges trouvée à cette température est de $8,5 \cdot 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$, cette valeur est plus élevée que celle trouvée à température ambiante pour la même structure ($4,8 \cdot 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$).

3.5 Conclusion

Des spectres de bruit inhabituels ont été observés dans tous les transistors pFinFETs étudiés, standards et contraints à température ambiante. Le modèle de McWhorter (fluctuations du nombre de porteurs) prédomine dans toutes les structures étudiées. Le modèle empirique proposé dans [91] modélise parfaitement le bruit inhabituel. Ce bruit apparaît plus clairement en faible inversion. Ces résultats montrent l'incidence des résistances d'accès pour les fréquences les plus basses des spectres mesurés. Le niveau bas K_I apparaît seulement quand l'impact des résistances d'accès est faible. Le niveau bas K_I est constant en fonction de la tension V_{GT} ; cela suggère qu'il est dû aux fluctuations dans le canal. Ces résultats permettent de comprendre le fait que, pour les nFinFETs, le bruit inhabituel a été seulement observé dans les transistors ayant subi la technique SEG. Les mesures effectuées aux plus basses températures, pour lesquelles la contribution de résistances d'accès devient importante, corroborent ces conclusions.

Chapitre 4 : Mesures en statique et en bruit basse fréquence dans les FinFETs avec HfSiON

4.1 Introduction

Dans ce chapitre, des résultats de mesure en régime statique de fonctionnement et de bruit basse fréquence sur des transistors FinFETs standards et contraints ayant un oxyde de grille à haute permittivité, qui est le silicate d'Hafnium nitruré (HfSiON) sont présentés. L'incorporation de l'azote dans les matériaux high-k peut améliorer leur stabilité thermique, réduire la pénétration des dopants, réduire le courant de fuite de grille et permet en outre l'intégration de l'épaisseur équivalente d'oxyde [101], [102]. D'une part, afin d'étudier les performances de ces transistors, des mesures en statique ont été faites à température ambiante et à hautes températures afin d'extraire les principaux paramètres du transistor et leurs variations en fonction de la température. D'autre part, des mesures de bruit basse fréquence ont été effectuées pour étudier la qualité de l'oxyde de grille et son impact sur les performances en bruit, à température ambiante et à basse température. Ces dernières mesures ont permis de mettre en évidence des défauts dans la zone déplétion de ces transistors.

4.2 Description des transistors étudiés

Les transistors étudiés sont des transistors triple-grille ; de type FinFETs. Les transistors ont été réalisés sur substrat standard SOI ou contraint sSOI (Silicon directly on Silicon On Insulator). Le substrat initial est de type (100)/(110). L'épaisseur d'oxyde enterré t_{BOX} est de 150 nm. La hauteur du doigt H_{fin} est de 65 nm, les largeurs de masque W_{fin} varient entre 0,15 et 3 μm , les longueurs de masque L varient entre 0,13 et 1 μm avec 5 doigts en parallèle. La distance entre les doigts (FS) est de 0,2 μm et la distance entre grille/source (S) est de 0,1 μm . L'empilement de grille est constitué d'un oxyde de grille à haute permittivité (high-k) ; le silicate d'hafnium nitruré (HfSiON), d'une permittivité électrique relative de 15, avec 50% d'Hafnium, déposé par « Metalorganic Chemical Vapor Deposition » (MOCVD) sur une couche interfaciale de silicium d'une épaisseur de 1 nm, fournissant une épaisseur équivalente (EOT) de 1,5 nm. La grille est constituée de 5 nm de TiN couverte par 100 nm de polysilicium [103].

Certains transistors ont subi des techniques de contraintes supplémentaires telle que l'utilisation de la technique SEG sur les régions de source et drain ainsi que la contrainte CESL pour l'architecture de grille; 0,8 GPa en tension pour les transistors nMOSFETs et 1,5 GPa en compression pour les transistors pMOSFETs. Certains composants ont subi une combinaison des deux techniques.

Les transistors FinFETs étudiés sont :

- transistors FinFETs sur substrat SOI (standard);
- transistors FinFETs sur substrat SOI ayant SEG (SOI + SEG);
- transistors FinFETs sur substrat SOI ayant SEG et CESL (SOI + SEG +CESL);
- transistors FinFETs sur substrat sSOI;
- transistors FinFETs sur substrat sSOI ayant SEG (sSOI + SEG);
- transistors FinFETs sur substrat sSOI ayant CESL (sSOI + CESL);
- transistors FinFETs sur substrat sSOI ayant SEG et CESL (sSOI + SEG + CESL).
- transistors FinFETs sur substrat SOI orienté de 45°.

4.3 Etude en statique des nFinFETs à température ambiante et à hautes températures

L'un des atouts de la technologie CMOS-Silicium sur isolant (SOI) est son comportement robuste à hautes températures qui fait d'elle une technologie attractive dans beaucoup d'applications, telles que l'aérospatiale, l'automobile par exemple. Ce potentiel a été récemment exploré dans les composants à multiples grilles FinFETs sur substrats SOI [104], [105], [106]. Le but de cette partie

du travail est de voir l'impact de la température sur les performances en statique, de la température ambiante jusqu'à 200°C, pour les nFinFETs standards et contraints.

4.3.1 Résultats des mesures

Des mesures à température ambiante et à hautes températures ont été effectuées sur des nFinFETs standards et contraints avec HfSiON pour une largeur effective de doigt de 25 nm. Les longueurs de masque des transistors varient entre 0,15 et 1 µm, testés en régime linéaire avec une tension de drain de $V_{DS} = 50\text{mV}$. La gamme de température est de 25°C jusqu'à 200°C, avec un pas de 25°C. Les variations des principaux paramètres du transistor en fonction de la température ont été analysées de la température ambiante jusqu'à la température de 200°C. Le tableau 4-1 présente les principaux paramètres électriques permettant la modélisation électrique du transistor en régime d'inversion qui ont été extraits à température ambiante tels que la tension de seuil (V_{Th}), la pente sous le seuil (S), la mobilité à faible champ (μ_0) et les résistances d'accès parasites (R_{SD}). L'extraction a été faite à température ambiante en utilisant la méthode de la fonction Y décrite dans le paragraphe 2.5.2.

nFinFETs	$V_{Th}(V)$ $L_E = 60 \text{ nm}$	θ_0 (V^{-1})	S (mV/dec)	μ_0 ($\text{cm}^2\text{Vs}^{-1}$)	R_{SD} (Ω)
SOI	0,48	0,48	69	137	367
sSOI	0,42	0,46	64	203	256
sSOI + CESL	0,33	0,33	64	231	355
sSOI + SEG + CESL	0,40	0,43	68	286	116

Tableau 4-1 : Principaux paramètres extraits des nFinFETs avec HfSiON.

D'après les valeurs présentées dans le tableau 4-1, la valeur de la tension de seuil à la température ambiante est plus élevée dans la structure standard ; $V_{Th} = 0,48 \text{ V}$ que dans les structures contraintes ; $V_{Th} = 0,46 \text{ V}$ pour sSOI ; $0,43 \text{ V}$ pour la structure sSOI + SEG + CESL et $0,33 \text{ V}$ pour la structure sSOI + CESL. La faible valeur de la tension de seuil V_{Th} dans ce dernier cas peut être due à l'utilisation de la technique de contrainte CESL.

Les valeurs de la mobilité à faible champ μ_0 montrent que des transistors ayant subi les techniques de contrainte globales et locales ont un impact considérable sur la mobilité par rapport aux transistors standards. On remarque que les transistors sur substrat sSOI qui ont subi la technique SEG ainsi que la technique CESL présentent la mobilité la plus élevée (une augmentation de 50 % environ). On note que, contrairement aux transistors pFinFETs, la technique CESL

améliore la mobilité dans les transistors nFinFETs. Les valeurs de la pente sous le seuil avoisinent la pente idéale. Concernant la résistance d'accès, la plus faible valeur a été trouvée dans les transistors ayant subi la technique SEG avec une réduction d'environ 70 %. On remarque aussi que la technique globale de contrainte (sSOI) influe sur la résistance d'accès. La valeur de la résistance d'accès dans les transistors sur substrat (sSOI) est moins élevée que celle trouvée dans les transistors sur substrat (SOI).

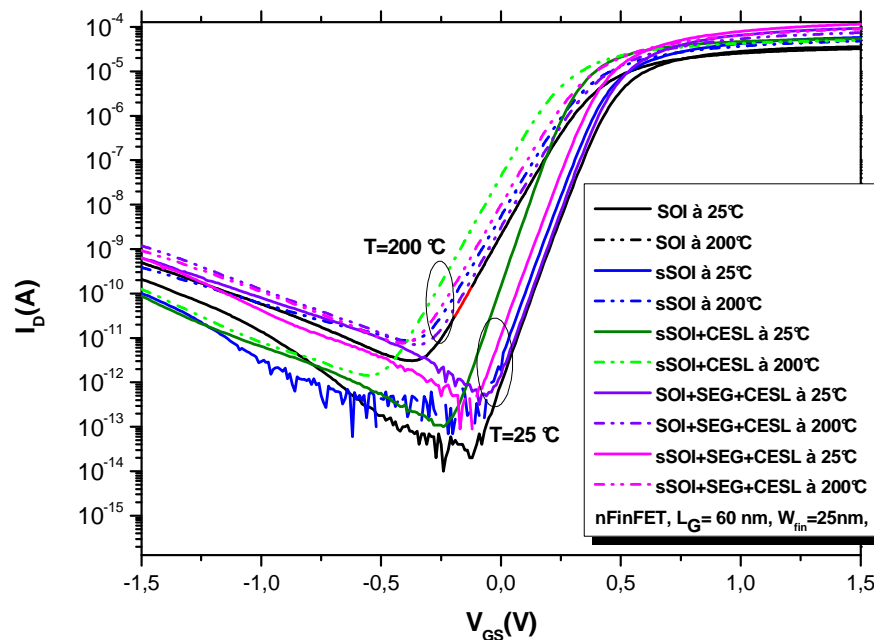


Figure 4-1 : Courant de drain en fonction de la tension de grille pour la longueur $L_E = 60$ nm en régime linéaire ($V_{DS} = 50$ mV) pour des transistors contraints et standards avec HfSiON.

4.3.2 Variations avec la température des principaux paramètres

La figure 4-1 représente le courant de drain en fonction de la tension de grille V_{GS} pour toutes les structures étudiées, pour une longueur effective de 60 nm et une largeur de doigt de 25 nm, à la température ambiante et à une température de 200°C. On remarque clairement que le comportement sous le seuil est différent suivant la température. On remarque que le courant I_{OFF} et la pente sous le seuil sont plus élevés à la température de 200°C qu'à la température ambiante. Dans ce qui suit, les variations des principaux paramètres en fonction de la température sont étudiées.

4.3.2.1 La tension de seuil

La figure 4-2 montre l'évolution de la tension de seuil en fonction de la température. On constate indubitablement que la tension de seuil diminue en augmentant la température dans les quatre structures étudiées. L'allure des pentes ne diffère pas d'une structure à une autre. La tension de seuil diminue en augmentant la température avec des taux indiqués dans le tableau 4-2,

-0,57 mV/°C dans les transistors standards et des valeurs qui sont presque les mêmes dans les autres structures excepté pour sSOI + CESL où on trouve une valeur de -0,45 mV/°C. Dans un transistor MOSFET classique on a $\Delta V_{Th}/\Delta T = \Delta\Phi_f/\Delta T$. La réduction de la tension de seuil en augmentant la température est reliée à la réduction du potentiel de Fermi avec la température [106]. La valeur du taux $\Delta\Phi_f/\Delta T$ trouvée est d'environ -1 mV/°C ($N_A = 10^{15} /\text{cm}^3$). Ce désaccord est peut être dû à l'architecture complexe du transistor FinFET. Ce résultat peut être expliqué en utilisant le modèle semi-analytique de la tension de seuil qui a été développé dans la référence [106]. Dans ce modèle, la tension de seuil est donnée en fonction du potentiel de surface et de la tension de bandes plates V_{FB} . La conduction « top » des triple-grilles FinFETs a été négligée car la largeur du doigt W_{fin} des transistors étudiés est très courte. Le transistor FinFET se comporte donc comme un transistor double grille. Selon ce modèle, la tension de seuil est décrite en fonction du potentiel de surface Ψ_s comme suit :

$$V_{Th} = \Psi_s + V_{FB} + \frac{q \cdot N_A \cdot W_{fin}}{2 \cdot C_{ox}} \cdot \sqrt{1 + \frac{2 \cdot k \cdot T \cdot C_{ox}}{q^2 \cdot N_A \cdot W_{fin}}} \quad (4.1)$$

avec :

$$\Psi_s = 2 \cdot \phi_f + \frac{k \cdot T}{q} \cdot \ln \left(\frac{C_{ox}}{4 \cdot C_{Si}} \cdot \frac{1}{1 - \exp\left(-\frac{q^2 \cdot N_A \cdot W_{fin}}{8 \cdot C_{Si} \cdot k \cdot T}\right)} \right) \quad (4.2)$$

où T est la température absolue, C_{ox} est la capacité d'oxyde de grille par unité de surface, C_{Si} est la capacité du film du silicium par unité de surface et N_A est la concentration du dopage du silicium.

Le modèle analytique donne des valeurs qui corroborent les résultats expérimentaux. La tension de seuil diminue en augmentant la température avec un taux de -0,53 mV/°C. La plus faible valeur du taux $\Delta V_{Th}/\Delta T$ a été trouvée dans la structure sSOI + CESL. Cela peut être expliqué par l'introduction d'un dopage non intentionnel dans le film du silicium.

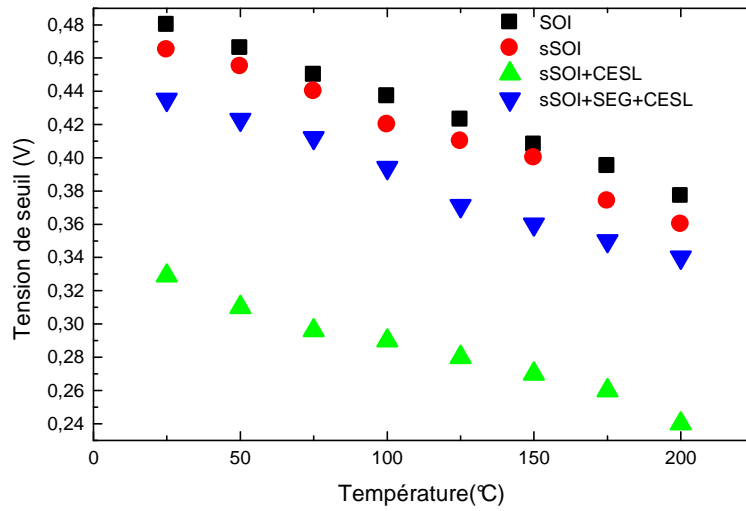


Figure 4-2 : Evolution de la tension de seuil en fonction de la température pour des nFinFETs avec HfSiON.

4.3.2.2 La pente sous le seuil

Concernant la pente sous le seuil (S), les variations en fonction de la température sont représentées sur la figure 4-3. La pente sous le seuil augmente avec l'augmentation de la température de façon quasi-linéaire. Les valeurs obtenues sont relativement élevées par rapport à la valeur idéale (60 mV /dec). La plus faible valeur trouvée à température ambiante est celle du transistor FinFET avec CESL. Pour les températures supérieures à 175°C, on note que les valeurs de la pente sous le seuil dévient de la droite idéale. Cette déviation est plus importante dans les transistors nFinFETs contraints ayant la structure sSOI+ SEG + CESL. Pour un transistor MOSFET, on considère que la dépendance de la charge d'inversion avec le potentiel de surface est

$$I_D \left/ \frac{dI_D}{d\Psi_s} = \frac{kT}{q} \right. . \text{ Cela veut dire qu'il y a un parfait couplage grille-canal i.e. } \frac{d\Psi_s}{dV_G} = 1 . \text{ Dans cette}$$

hypothèse, on déduit que la pente sous le seuil est donnée par l'équation idéale $S = kT/q \cdot \ln(10)$ dans les transistors FinFETs. En revanche, l'augmentation observée peut être expliquée par le couplage du potentiel grille-surface et la dépendance non idéale de la charge d'inversion avec le potentiel de surface [105]. On considère alors à hautes températures, en prenant compte les deux raisons mentionnées ci-dessus, que la pente sous le seuil est donnée par :

$$S = \frac{kT}{q} \ln(10) \frac{n}{d\Psi_s/dV_G} \quad (4-3)$$

$$\text{avec } n = \left[\frac{kT}{q} \frac{d \ln Q_i}{d\Psi_s} \right]^{-1} \text{ coefficient de non-exponentialité.}$$

Les valeurs observées de $\Delta S/\Delta T$ sont indiquées dans le tableau 4-2.

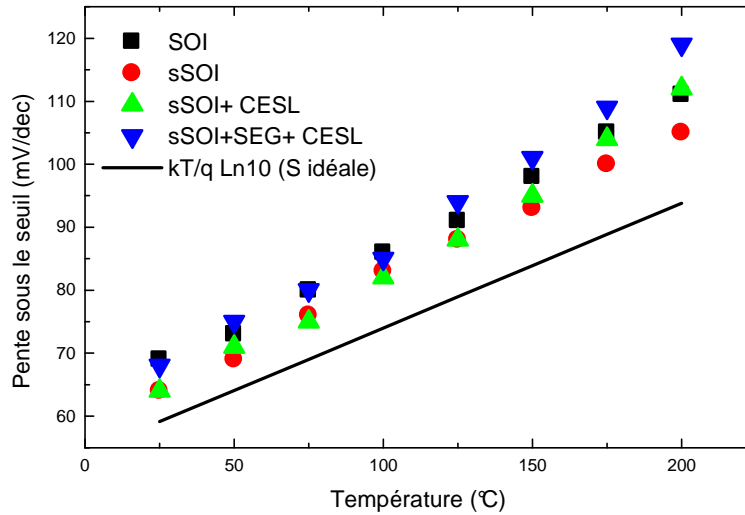


Figure 4-3 : Evolution de la pente sous le seuil en fonction de la température pour des nFinFETs avec HfSiON.

4.3.2.3 La mobilité

La mobilité dérive-diffusion μ_{dd} a été calculée à partir de la formule de Mathiessen, les valeurs ont été obtenues pour toutes les structures étudiées en soustrayant de la valeur extraite de la mobilité à faible champ μ_0 , la mobilité balistique estimée μ_{bal} en utilisant l'équation (1.34). La figure 4-4 montre l'évolution de la mobilité dérive-diffusion μ_{dd} en fonction de la température. On remarque une bonne corrélation des résultats expérimentaux avec une dépendance en $T^{-1.5}$ (les lignes continues sur la figure 4-4). Cela montre que pour tous les transistors étudiés, le phénomène dominant est le mécanisme d'interaction des phonons avec le réseau. Les valeurs du coefficient de rétrodiffusion r ont été calculées en utilisant l'équation (1.32). Les valeurs de r à 25°C et à 200°C sont montrées dans le tableau 4-2.

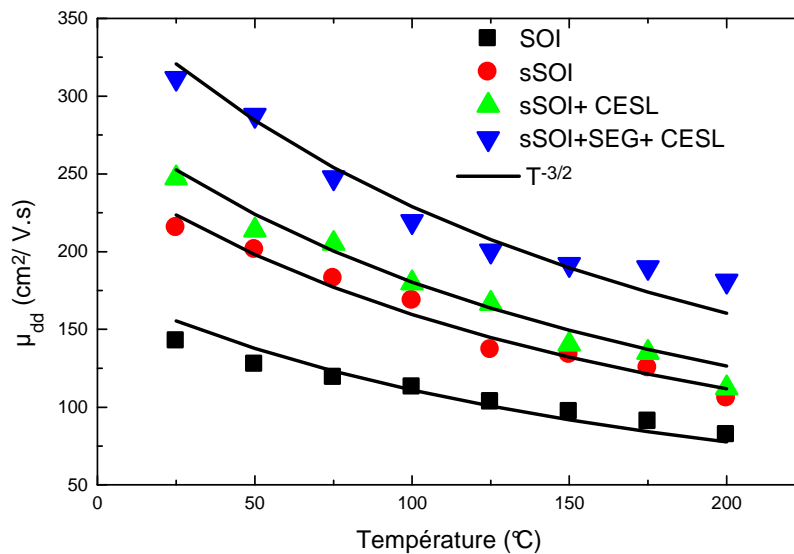


Figure 4-4 : Evolution de la mobilité dérive-diffusion en fonction de la température pour des nFinFETs avec HfSiON.

On peut observer que l'impact du transport balistique est plus important dans les transistors contraints à température ambiante, il est en particulier de 0,8 pour la structure sSOI + SEG + CESL. On observe que le coefficient de rétrodiffusion r augmente quand la température diminue.

Un fait extrêmement marquant est que ces résultats prouvent explicitement que les techniques de contraintes augmentent considérablement la mobilité des porteurs de charges et surtout quand on combine les trois techniques (sSOI + SEG + CESL), on note une augmentation d'un facteur 2 par rapport au transistor standard (SOI).

4.3.2.4 Résistances d'accès

Parmi les problèmes qui sont liés à l'utilisation des transistors FinFETs étroits l'un est l'augmentation des résistances d'accès parasites (R_{SD}). Les valeurs de R_{SD} à 25°C et les taux $\Delta R_{SD}/\Delta T$ sont montrés dans le tableau 4-2. Les valeurs des résistances d'accès sont presque similaires dans la structure standard (SOI) et dans la structure (sSOI + CESL) mais on note une variation avec la température plus élevée dans cette dernière. En comparaison de la structure standard, l'ajout supplémentaire du CESL influe sur la variation avec la température de la résistance d'accès (variation double par rapport au standard). Par ailleurs, la technique SEG permet d'obtenir approximativement 70 % de réduction des résistances série. De plus, la variation $\Delta R_{SD}/\Delta T$ est réduite de moitié par rapport au transistor standard. Enfin, les transistors ayant subi la technique de contrainte globale (sSOI), montrent un impact réduit sur la variation avec la température de la résistance d'accès.

4.3.2.5 Le courant sous le seuil

La figure 4-5 illustre la variation du courant I_{OFF} en fonction de la température. Quand on augmente la température, le courant I_{OFF} augmente aussi. On peut noter que le courant I_{OFF} est plus élevé dans les transistors contraints. On le voit clairement dans la caractéristique $I_D(V_{GS})$ à température ambiante et à la température de 200°C. La variation du courant I_{OFF} est dominée par la dégradation de la pente sous le seuil et par la réduction de la tension de seuil. Les valeurs de l'énergie d'activation E_a extraites de la pente de $\log(I_{OFF})$ en fonction de la température et les valeurs du courant I_{OFF} à température ambiante sont montrées dans le tableau 4-2. On remarque que la valeur la plus faible de l'énergie d'activation E_a a été trouvée dans les structures ayant subi la technique CESL ; on a trouvé 0,17 eV pour la structure sSOI + CESL et 0,20 eV pour la structure sSOI + SEG + CESL.

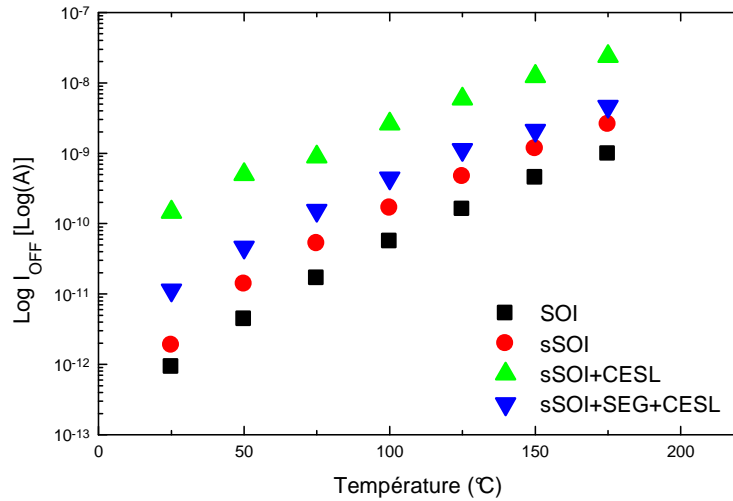


Figure 4-5 : Evolution du courant I_{OFF} en fonction de la température pour des nFinFETs avec HfSiON.

4.3.2.6 « Zero temperature coefficient »

Dans la conception digitale et les circuits analogiques, pour des applications à hautes températures, il est préférable de polariser les circuits à un point où le courant de drain reste constant quand la température varie. Ce point de polarisation est connu sous le nom de « zero temperature coefficient » ; V_{ZTC} , c'est la valeur de V_{GS} où la réduction de la tension V_{Th} est contrebalancée par la réduction de la mobilité, et par conséquent, la valeur du courant de drain reste constante. Pour les valeurs de V_{GS} inférieures à V_{ZTC} , la réduction de la tension V_{Th} est dominante et le courant de drain augmente en fonction de la température tandis que pour les valeurs de V_{GS} supérieures à V_{ZTC} , la dégradation de la mobilité prédomine et le courant de drain diminue avec la température [107].

Le point ZTC correspond au point de croisement des courbes de courant de drain en fonction de la tension de grille pour deux températures T_1 et T_2 . La tension $V_{ZTC\ 1,2}$ est alors égale à la tension de grille en ce point et en régime linéaire, elle peut être calculée en utilisant la formule suivante [108]:

$$V_{ZTC1,2(LIN)} = \frac{\mu_1 V_{Th1} - \mu_2 V_{Th2}}{\mu_1 - \mu_2} + n \frac{V_{DS}}{2} \quad (4.3)$$

sachant que $\mu_1, \mu_2, V_{Th1}, V_{Th2}$ sont les mobilités et tensions de seuil pour les températures T_1, T_2 respectivement.

Les valeurs de la tension V_{ZTC} des transistors étudiés sont données dans le tableau 4-2. On peut noter que les techniques de contrainte entraînent une réduction de la tension V_{ZTC} . La plus faible valeur a été aussi trouvée dans la structure ayant subi la technique CESL.

Paramètres	SOI	sSOI	sSOI+CESL	sSOI+SEG+CESL
$\Delta V_{Th}/\Delta T$ (mV/°C)	-0,57	-0,60	-0,45	-0,57
$\Delta S/\Delta T$ (mV/dec/°C)	0,24	0,28	0,2→0,28	0,2→0,4
R_{SD} @ 25°C (Ω)	367	256	355	116
$\Delta R_{SD}/\Delta T$ ($\Omega/^\circ C$)	0,64	0,72	1,4	0,31
I_{OFF} @ 25°C (A)	$1 \cdot 10^{-12}$	$1,8 \cdot 10^{-12}$	$1,4 \cdot 10^{-10}$	$1,1 \cdot 10^{-11}$
E_a (eV)	0,23	0,23	0,17	0,20
V_{ZTC} (V)	0,71	0,58	0,37	0,59
r @ 25°C	0,94	0,86	0,84	0,80
r @ 200°C	0,98	0,97	0,97	0,95

Tableau 4-2 : Résumé des paramètres extraits des transistors nFinFETs avec HfSiON.

4.3.3 Conclusion partielle

Dans cette partie du travail, les principaux paramètres électriques des nFinFETs contraints et non contraints ont été étudiés de la température ambiante jusqu'à la température de 200°C et un résumé des valeurs obtenues figure dans le tableau 4-2. On a noté que la faible valeur du taux de variation de la tension de seuil V_{Th} est obtenue pour les transistors de structure sSOI + CESL ; tandis que la valeur élevée de la mobilité est obtenue dans les transistors ayant la structure sSOI + SEG + CESL, ainsi que la plus faible valeur de R_{SD} . La tension V_{ZTC} a été calculée et la valeur la plus faible a été trouvée dans le transistor ayant subi la technique CESL. La technique de contrainte CESL semble avoir un impact sur la tension de seuil, la pente sous le seuil, l'énergie d'activation et la tension V_{ZTC} . Les plus faibles valeurs à température ambiante ont été trouvées dans les FinFETs ayant subi la technique CESL. Le même comportement avec la température a été observé pour toutes les autres longueurs étudiées ; $L_E = 40, 175, \text{ et } 910 \text{ nm}$. L'utilisation des techniques de contraintes empêche la dégradation de ces paramètres à hautes températures ; la contrainte peut atténuer l'effet résultant de l'élévation de température. Ces transistors semblent être moins sensibles à la variation de la température que les transistors standards, indiquant un atout supplémentaire de l'ingénierie des techniques de contrainte.

4.4 Mesures du bruit basse fréquence des nFinFETs

4.4.1 Mesures du bruit basse fréquence à température ambiante

Des mesures de bruit basse fréquence ont été effectuées sur toutes les structures des transistors standards et contraints citées précédemment, pour trois longueurs effectives de grille ; $L_E = 60, 160$ et 910 nm avec 5 doigts en parallèle. Les mesures ont été effectuées en régime linéaire ($V_{DS} = 50$ mV), à température ambiante en faisant varier la tension V_{GS} , d'une valeur autour de la tension de seuil jusqu'à une valeur de $1,3$ V. La gamme de fréquence a été de $0,1$ Hz jusqu'à 100 kHz. D'autres mesures ont été effectuées dans les mêmes conditions sur des transistors standards et sur des transistors contraints de structure sSOI + SEG de longueur de 60 nm, soit avec 1 seul doigt soit avec 30 doigts en parallèles.

4.4.1.1 Le bruit basse fréquence observé dans les nFinFETs

La figure 4-6 illustre les densités spectrales du bruit en tension normalisées par la fréquence pour $L_E = 60$ nm à $V_{GS} = 0,7$ V. On voit clairement la présence de multitudes de lorentziennes dans tous les spectres de tous les transistors contraints et standards, généralement de 2 à 4 lorentziennes par spectre. Les spectres de bruit pour toutes les structures de transistors, de différentes longueurs, montrent du bruit en $1/f$ et une contribution du bruit lorentzien. Les lorentziennes proviennent du bruit de Génération-Recombinaison (GR) et parfois du bruit RTS, rappelons que celui-ci est dû seulement à un piégeage-dépiégeage d'un seul porteur de charge libre dans le canal pour des faibles surfaces de grille ($< 1 \mu\text{m}^2$).

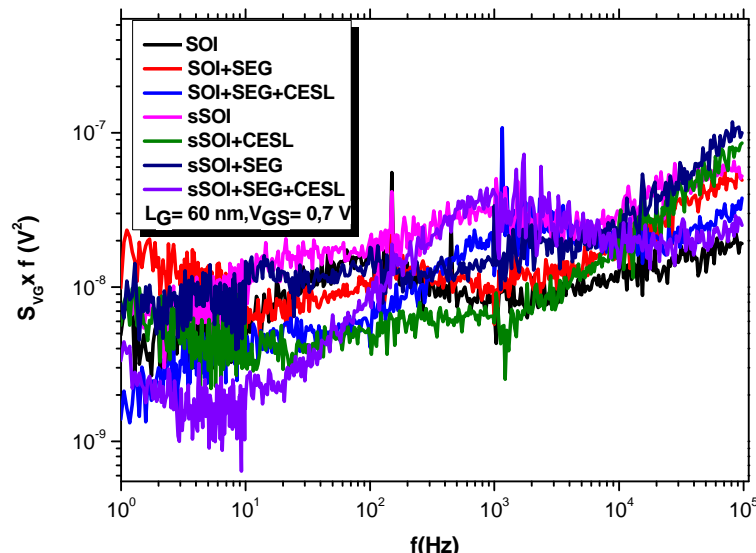


Figure 4-6 : Densités spectrales du bruit en tension normalisées par la fréquence pour toutes les structures étudiées de nFinFETs avec HfSiON pour $L_E = 60$ nm à $V_{GS} = 0.7$ V.

Les spectres de bruit trouvés dans toutes les structures étudiées des transistors nFinFETs sont une combinaison des trois types de bruit. Ils sont parfaitement modélisés par l'équation (2.1) comme le montre la figure 4-7. Dans cette illustration particulière du cas général, le spectre de la structure SOI + SEG comporte 3 lorentziennes, une à basse fréquence ($f_{01} = 2,4$ Hz) et deux autres à hautes fréquences ($f_{02} = 2100$ Hz, $f_{03} = 13335$ Hz). Le spectre de la structure SOI + SEG + CESL comporte aussi 3 lorentziennes ($f_{01} = 3$ Hz, $f_{02} = 298$ Hz, $f_{03} = 15841$ Hz).

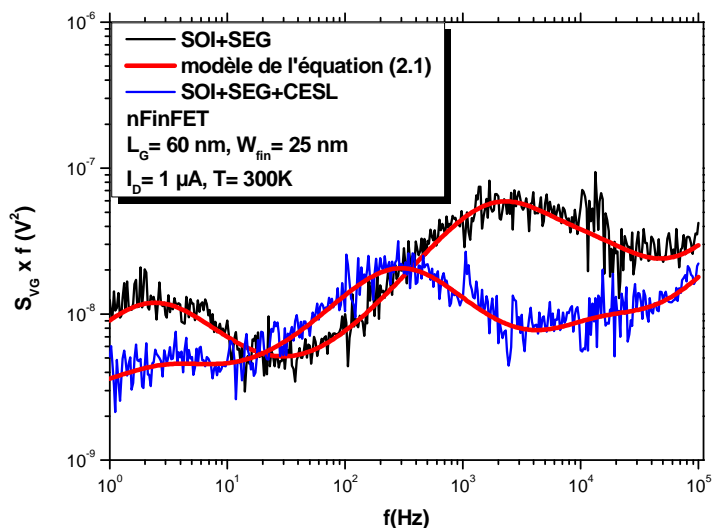


Figure 4-7 : Densités spectrales de bruit ramenées sur la grille normalisées par la fréquence pour deux structures étudiées de nFinFET avec HfSiON.

4.4.1.2 Bruit en 1/f observé dans les nFinFETs (effet longueur et nombre de doigts)

La figure 4-8 représente les densités spectrales du bruit en tension normalisées par la fréquence pour un transistor nFinFET sur substrat SOI ayant SEG dans les régions S/D pour trois différentes longueurs effectives; $L_E = 60, 160, 910$ nm. On note que le niveau du bruit est plus élevé pour la petite longueur que pour la grande longueur et cela dans toutes les structures étudiées contraintes ou non. Cette augmentation est vraisemblablement due à la présence des défauts dans l'oxyde de grille induits par la gravure sèche aux bords du canal [95]. Il a été montré que ces défauts peuvent être passivés par l'incorporation de fluorine et qu'il en résulte un faible bruit d'entrée [41].

La figure 4-9 représente les densités spectrales du bruit en tension normalisées par la fréquence pour un transistor nFinFET sur substrat sSOI ayant subi SEG dans les régions S/D, avec la longueur effective $L_E = 60$ nm et différents nombres de doigts; $N = 1, 5, 30$. On voit bien que le niveau du bruit est plus élevé dans le transistor à un seul doigt ($N = 1$), de presque un ordre de grandeur par rapport à $N = 5$ et ce dernier d'un facteur 2 par rapport à un transistor à davantage de doigts ($N = 30$). Le bruit lorentzien observé dans le transistor à un seul doigt $N = 1$ est un bruit RTS. Un courant de drain en créneaux dans le domaine temporel a en effet été observé.

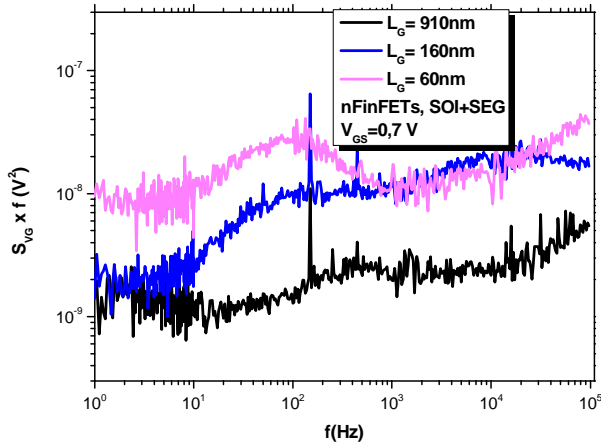


Figure 4-8 : Densités spectrales du bruit en tension normalisées par la fréquence pour des nFinFETs (SOI + SEG) avec HfSiON de différentes longueurs à $V_{GS} = 0,7$ V.

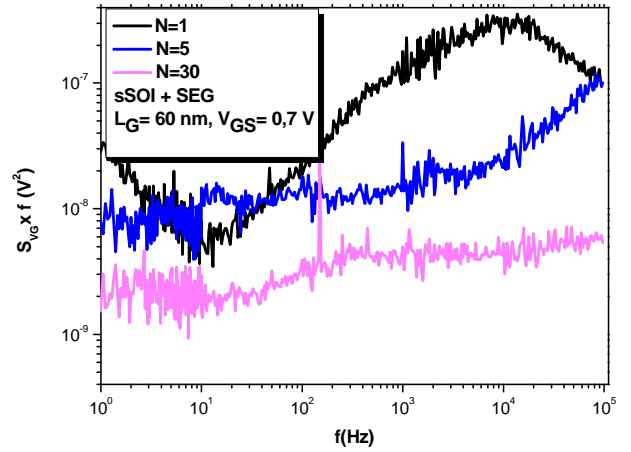


Figure 4-9 : Densités spectrales du bruit en tension normalisées par la fréquence pour des nFinFETs (sSOI + SEG) avec HfSiON pour différents nombres de doigts pour $L_E = 60$ nm à $V_{GS} = 0,7$ V.

4.4.2 Bruit en 1/f des nFinFETs à température ambiante

4.4.2.1 Modélisation du bruit en 1/f observé

La figure 4-10 représente les quantités S_{I_D}/I_D^2 en fonction du courant de drain pour une fréquence de 10 Hz, la courbe (a) montre celle des FinFETs sur substrat SOI et la courbe (b) celle des FinFETs sur substrat sSOI. La variation de la densité spectrale de bruit du courant de drain semble bien corrélée avec le rapport de la transconductance sur le courant de drain au carré.

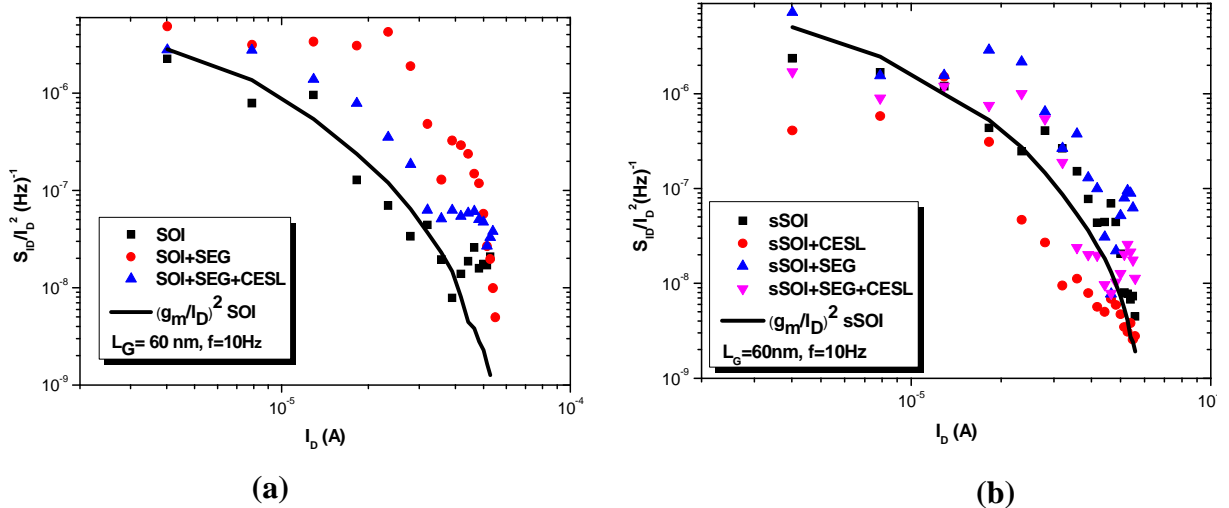


Figure 4-10: S_{I_D}/I_D^2 en fonction du courant de drain pour des nFinFETs avec HfSiON pour $L_E = 60$ nm; (a) : sur substrat SOI, (b) : sur substrat sSOI.

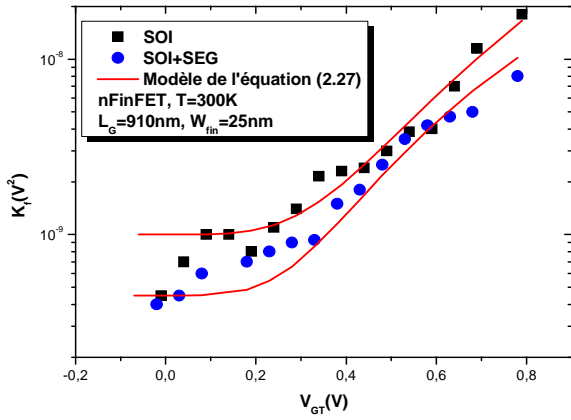


Figure 4-11 : Niveau K_f du bruit en $1/f$ en fonction de V_{GT} à 300 K pour les structures SOI et SOI + SEG

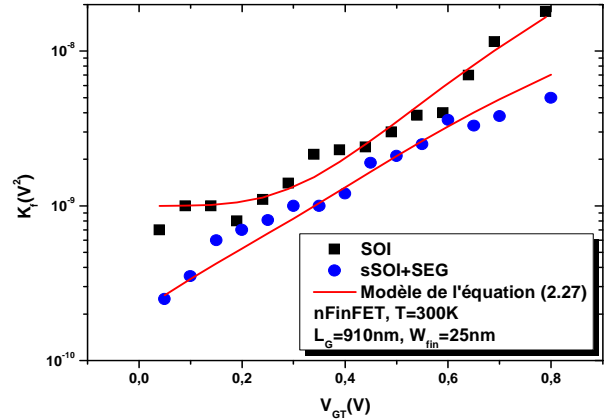


Figure 4-12 : Niveau K_f du bruit en $1/f$ en fonction de V_{GT} à 300 K pour les structures SOI et sSOI + SEG

Le niveau K_f du bruit en $1/f$ a été trouvé indépendant de la tension de grille effective V_{GT} en faible inversion pour les transistors à substrats standards (SOI) comme illustré dans la figure 4-11. Ces résultats suggèrent que le mécanisme de fluctuations du nombre de porteurs de charges prédomine à faible inversion. A forte inversion, on note une augmentation du niveau de bruit en $1/f$, cela est vraisemblablement dû à l'impact des résistances d'accès.

Dans les résultats précédents, une réduction du bruit en $1/f$ a été observée dans les transistors avec des substrats contraints (sSOI) par rapport aux transistors avec des substrats standards (SOI). Cela corrobore les observations antérieures dans les transistors MOSFETs classiques. Une réduction d'un facteur deux a été observée [109]. Le mécanisme qui prédomine est le mécanisme des fluctuations du nombre de porteurs (ΔN) dans les transistors FinFETs avec substrat standard, par contre dans les FinFETs à substrats contraints, c'est le mécanisme des fluctuations du nombre des porteurs corrélées aux fluctuations de la mobilité ($\Delta N + \Delta \mu$) qui prédomine, comme illustré dans la figure 4-12. On observe aussi une réduction de l'incidence des résistances d'accès à forte inversion dans les transistors ayant subi la technique SEG.

Le paramètre des interactions coulombiennes α a été trouvé entre $0,45$ et $0,8 \cdot 10^4$ Vs/C à température ambiante dans tous les transistors où le mécanisme ($\Delta N + \Delta \mu$) prédomine. Ce mécanisme de bruit a été trouvé dans tous les transistors à substrats contraints (sSOI). Les valeurs de α sont plus faibles que celles trouvées dans des transistors ayant l'oxyde du silicium (SiO_2). Cette réduction a été déjà rapportée pour des FinFETs avec HfO_2 [110], [111].

4.4.2.2 Conclusion partielle

Dans cette partie du travail, des résultats de mesures en bruit basse fréquence en fonction de la tension de grille ont été montrés. Le mécanisme de bruit qui prédomine dans les structures étudiées des transistors nFinFETs est le mécanisme des fluctuations du nombre de porteurs et une

contribution des résistances d'accès pour les FinFETs sur substrat standard (SOI). En revanche, le mécanisme qui prédomine dans les nFinFETs sur substrat contraint (sSOI) est le mécanisme des fluctuations du nombre de porteurs corrélées aux fluctuations de la mobilité des porteurs et une contribution des résistances d'accès.

4.4.3 Exploitation du bruit en 1/f des nFinFETs à température ambiante et à des températures plus basses

4.4.3.1 Evolution avec la température du bruit en 1/f des nFinFETs

La figure 4-13 représente l'évolution du niveau de bruit en 1/f à basse température 100 K et à température ambiante pour un transistor sSOI + SEG + CESL. La contribution relative des effets des résistances d'accès est réduite à basse température. On remarque une augmentation du niveau du bruit en 1/f de faible à forte inversion à 100 K. Cette évolution peut être modélisée seulement en considérant que le bruit total est dû au mécanisme de fluctuations du nombre de porteurs corrélées aux fluctuations de la mobilité. Une augmentation de α de $0,45 \cdot 10^4$ Vs/C à température ambiante jusqu'à $0,6 \cdot 10^4$ Vs/C à la température 100 K permet de comprendre l'évolution du K_f pour le transistor sSOI + SEG + CESL. A basse température, la couche d'inversion doit être plus confinée à l'interface, conduisant à plus d'interactions avec les centres chargés dans l'oxyde et induit une augmentation du paramètre α .

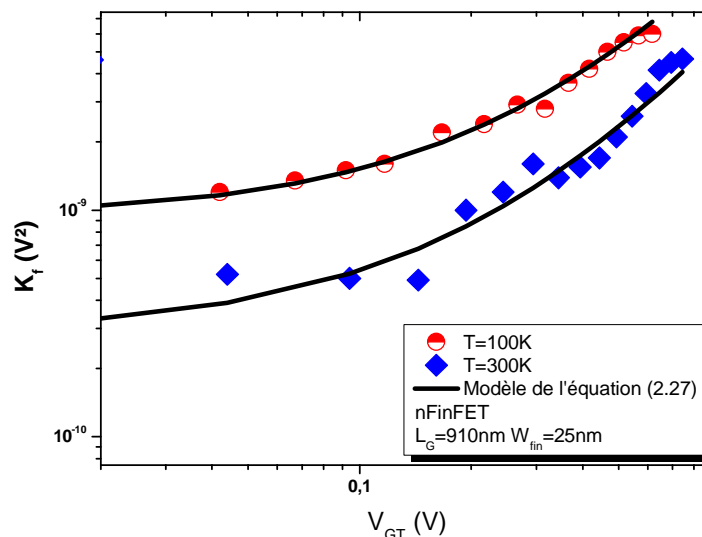


Figure 4-13 : Niveau K_f du bruit en 1/f en fonction de V_{GT} à 100 K et à 300 K pour un nFinFET (sSOI + SEG + CESL) avec HfSiON.

4.4.3.2 Qualité de l'oxyde de grille déduite du bruit en 1/f

La densité de pièges dans l'oxyde a été extraite dans tous les transistors nFinFETs étudiés en utilisant l'équation (2.15). La valeur trouvée dans la structure standard est de $1.2 \cdot 10^{18}$ - $2.7 \cdot 10^{18} \text{ cm}^{-3} \cdot \text{eV}^{-1}$ pour la longueur de 910 nm (voir le tableau 4-3). Les mêmes valeurs ont été trouvées dans [112]. Dans les autres structures, la densité de pièges varie entre $2 \cdot 10^{17}$ et $2 \cdot 10^{18} \text{ cm}^{-3} \cdot \text{eV}^{-1}$. C'est une valeur plus faible que dans le cas des nFinFETs avec l'oxyde d'hafnium ($0,9 \cdot 10^{19}$ - $1,2 \cdot 10^{19} \text{ cm}^{-3} \cdot \text{eV}^{-1}$) [91]. La raison en est sans doute que la nitruration de l'oxyde d'hafnium empêche la pénétration des dopants dans l'oxyde. Cela a été aussi prouvé dans les précédentes observations pour les transistors planaires [113]. On peut noter que les valeurs des densités de pièges N_{it} augmentent aux basses températures, comme illustré dans le tableau 4-4. La même chose a été observée dans les pFinFETs avec HfO_2 entre 200 K et 300 K.

Structures	$N_{it} \text{ (cm}^{-3} \text{eV}^{-1}\text{)}$	
	$L_E = 60 \text{ nm}$	$L_E = 910 \text{ nm}$
SOI	$5,8 \cdot 10^{17}$	$2,7 \cdot 10^{18}$
SOI + SEG	$2,3 \cdot 10^{17}$	$2,4 \cdot 10^{18}$
SOI + SEG + CESL	$3,3 \cdot 10^{17}$	$1,7 \cdot 10^{18}$
sSOI	$2,8 \cdot 10^{17}$	$1,5 \cdot 10^{18}$
sSOI + SEG	$4,7 \cdot 10^{17}$	$1,1 \cdot 10^{18}$
sSOI + CESL	$3,3 \cdot 10^{17}$	$1,3 \cdot 10^{18}$
sSOI + SEG + CESL	$3,5 \cdot 10^{17}$	$1,2 \cdot 10^{18}$

Tableau 4-3 : Densités de pièges N_{it} extraites à partir du bruit en 1/f à 300 K dans des nFinFETs avec HfSiON pour deux longueurs.

sSOI + SEG + CESL	$N_{it} \text{ (cm}^{-3} \text{eV}^{-1}\text{)}$
T = 300 K	$1,2 \cdot 10^{18}$
T = 160 K	$3,1 \cdot 10^{18}$
T = 100 K	$6,5 \cdot 10^{18}$

Tableau 4-4 : Densités de pièges N_{it} extraites à partir du bruit en 1/f à 100 K, 160 K et 300 K pour la longueur de 910 nm dans des nFinFETs avec HfSiON ayant la structure sSOI + SEG + CESL.

Selon les équations (2.52) et (2.53), les profils de profondeur de pièges ont été calculés pour la longueur effective $L_E = 60\text{nm}$ et pour toutes les structures étudiées. La figure 4-14 illustre ces profils de profondeurs des pièges dans l'oxyde.

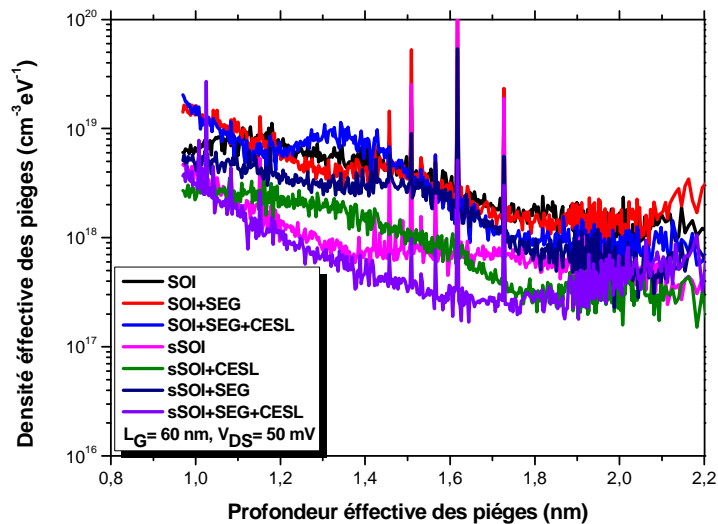


Figure 4-14 : Comparaison des densités effectives de pièges en fonction de la profondeur des pièges des nFinFETs avec HfSiON de différentes structures pour la longueur de 60 nm.

On remarque que le profil de profondeur des pièges pour toutes les structures est différent de celui qui a été trouvé dans les pFinFETs avec HfO_2 , la densité de défauts à l'interface est en effet très élevée dans ces derniers. De plus, dans les nFinFETs avec HfSiON, on n'a pas remarqué de spectres à deux niveaux du bruit en $1/f$, cela est peut être dû à la faible densité de pièges trouvée dans ces derniers et à la contribution de beaucoup de lorentziennes. En conclusion, la qualité de l'oxyde utilisé dans les transistors testés semble être de meilleure que celle trouvée dans les transistors ayant l'oxyde d'hafnium.

4.4.4 Mesures de bruit en fonction de la température : étude des lorentziennes

Dans cette partie du travail, des mesures de bruit basse fréquence en fonction de la température ont été utilisées comme un moyen de caractérisation des transistors dans le but d'identifier des défauts. Une bonne méthode de caractérisation des matériaux est faite à partir du bruit de Génération-Recombinaison (GR) qui correspond aux spectres de type lorentzien et qui permet de faire ce qu'on appelle une spectroscopie du bruit quand elle est effectuée en fonction de la température [78], [114].

4.4.4.1 Identification des défauts dans la zone de déplétion

Le bruit basse fréquence des transistors nFinFETs a été étudié de 100 K jusqu'à la température ambiante, sur des transistors ayant une largeur de doigt effective de 25 nm, avec des

substrats contraints et substrats standards. Ces investigations permettent d'identifier des défauts dans le film du silicium c.à.d. dans le doigt et de trouver une corrélation avec certaines étapes technologiques de fabrication.

Les longueurs de grille étudiées sont $L_E = 60$ nm et $L_E = 910$ nm avec 5 doigts en parallèle. Les mesures ont été faites dans le régime linéaire à $V_{DS} = 50$ mV. La tension de grille a été ajustée dans le but d'avoir un courant de drain constant de : $I_D = 1$ μ A (faible inversion) sur toute la gamme de température, de 100 K jusqu'à la température ambiante (300 K) avec un pas de 10 K. Des mesures de bruit en fonction de la tension de grille V_{GS} ont été faites à température ambiante, à une température de 100 K et à une température intermédiaire. Les fréquences caractéristiques des lorentziennes ont été extraites de différentes densités spectrales de tension de bruit. Par exemple, la figure 4-15 représente l'évolution des fréquences caractéristiques extraites pour 4 lorentziennes en fonction de la tension de grille V_{GS} , pour un nFinFET avec une structure SOI + SEG + CESL, de longueur $L_E = 60$ nm, à température ambiante. La fréquence caractéristique extraite ne varie pas avec la tension de grille V_{GS} , on peut alors considérer alors que les lorentziennes observées sont dues à des pièges dans la zone de déplétion.

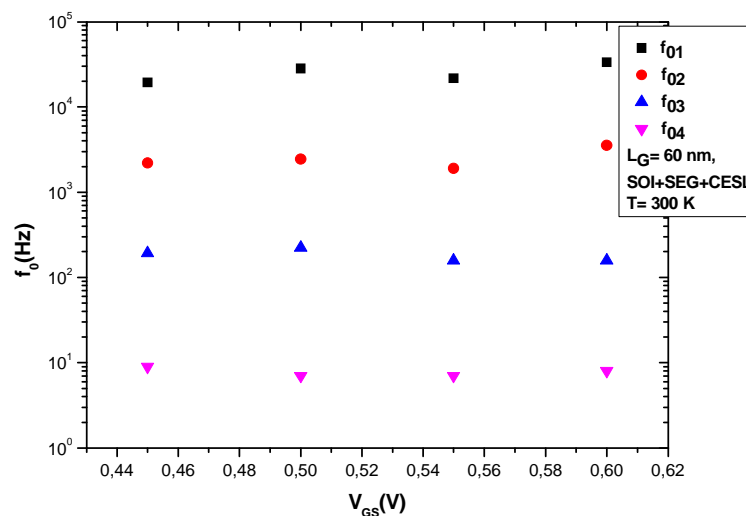


Figure 4-15 : Evolution des fréquences caractéristiques en fonction de la tension de grille d'un transistor nFinFET contraint (SOI + SEG + CESL) avec HfSiON de longueur $L_E = 60$ nm à température ambiante.

Nous allons maintenant illustrer la procédure employée dans le cas d'un transistor nFinFET contraint (SOI + SEG) pour une longueur effective de $L_E = 910$ nm. La figure 4-16 représente des densités spectrales normalisées par la fréquence, de la température 100 K jusqu'à 300 K avec un courant de drain I_D constant. On constate bien que les lorentziennes évoluent avec la température. On peut noter que tous les dispositifs étudiés ont un grand nombre de lorentziennes (GR) donnant lieu à des « bosses » dans les spectres quand ces derniers sont normalisés par la fréquence,

généralement de 2 à 4 lorentziennes. Cela a été observé dans tous les dispositifs étudiés et pour toutes les températures. Il a été vérifié que la fréquence caractéristique des lorentziennes ne change pas avec la tension de grille appliquée dans la zone de polarisation étudiée.

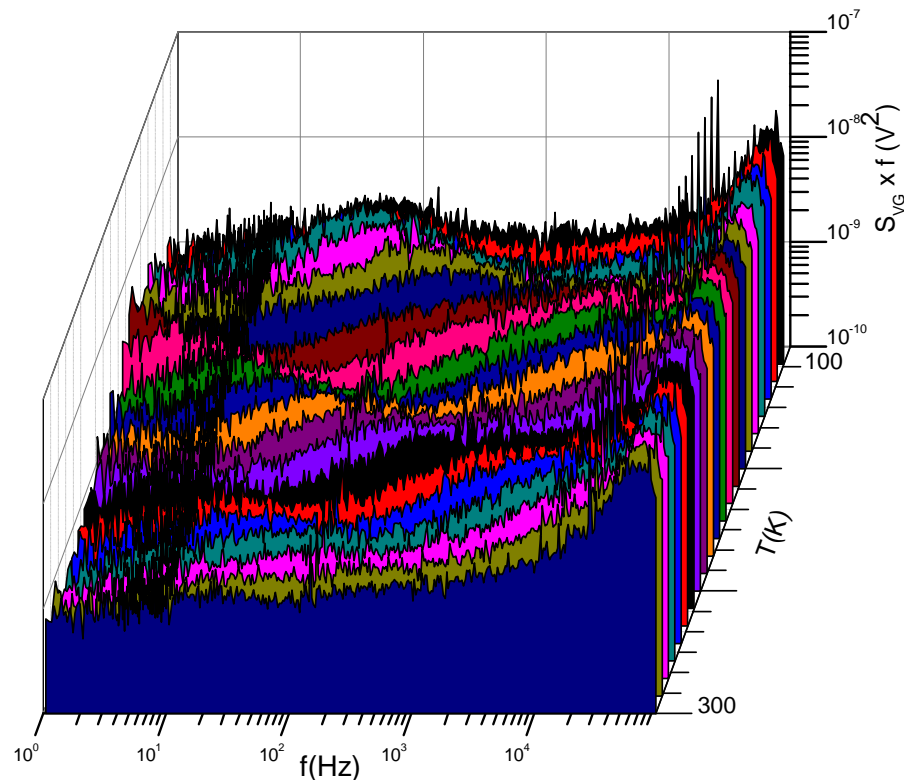


Figure 4-16 : Densités spectrales normalisées par la fréquence pour un transistor nFinFET contraint (SOI + SEG) avec HfSiON pour $L_E = 910$ nm à $I_D = 1$ μ A à différentes températures 100 K - 300 K ($V_{DS} = 50$ mV).

Par conséquent, les lorentziennes sont dues aux défauts dans la zone de déplétion. Pour chaque lorentzienne, l'extraction de la fréquence caractéristique (f_{oi}) en fonction de la température permet de tracer un diagramme d'Arrhenius ; i.e. l'évolution de $\ln(\tau \cdot T^2)$ en fonction de $1/(kT)$ où τ est la constante de temps du piège qui est l'inverse de la fréquence caractéristique. La différence d'énergie entre la bande de conduction et l'énergie du piège ΔE ($\Delta E = E_c - E_T$) et la section de capture σ_n sont extraites à partir de la pente et de l'ordonnée à l'origine respectivement. La nature physique des défauts peut être identifiée en comparant l'énergie et la section de capture des pièges avec les données qui sont dans la littérature [115]. La détermination de la nature du piège est une procédure assez délicate. Deux gabarits de diagrammes d'Arrhenius ont été définis, un gabarit pour les défauts connus [114] et un autre gabarit pour les défauts inconnus fréquemment trouvés. Les diagrammes d'Arrhenius déduits des mesures, pour toutes les structures des transistors et pour toutes les longueurs, sont comparés aux deux gabarits. Le piège est identifié lorsque plusieurs points de la droite expérimentale correspondent à une droite du gabarit. Cette dernière fournit alors les caractéristiques du piège.

4.4.4.2 Synthèse des défauts trouvés

Pour chaque transistor, plusieurs défauts ont été trouvés. Quelques uns d'entre eux sont clairement identifiés. Beaucoup d'autres défauts sont encore à identifier. Cependant, le manque de données dans la littérature pour ces matériaux avancés et le fait que l'ingénierie de contrainte peut avoir un impact sur le niveau d'énergie et la section de capture, rend l'identification de tous les défauts plus difficile.

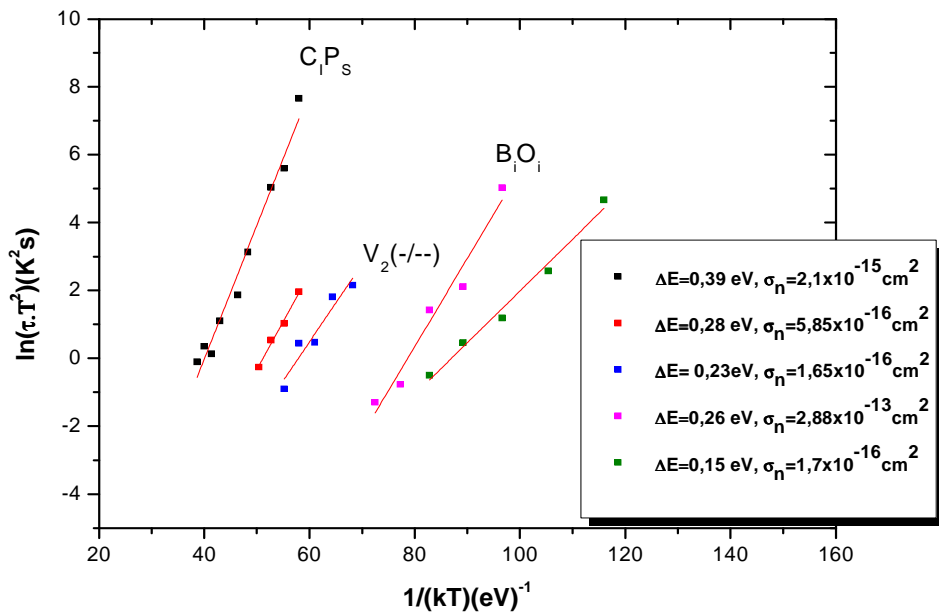


Figure 4-17 : Diagramme d'Arrhenius d'un transistor nFinFET contraint (SOI + SEG) avec HfSiON pour $L_E = 910$ nm.

La figure 4-17 représente le diagramme d'Arrhenius obtenu pour un transistor nFinFET avec une structure SOI + SEG, pour une longueur effective de $L_E = 910$ nm. Les différentes couleurs des carrés correspondent aux différentes lorentziennes. Pour chaque lorentzienne, la quantité $\ln(\tau \cdot T^2)$ évolue linéairement avec $1/kT$. Dans ce transistor, 3 types de défauts peuvent être clairement identifiés : le complexe carbone interstitiel- phosphore en substitution (C_iP_s), le complexe bore interstitiel-oxygène interstitiel (B_iO_i) et la bilacune dont la configuration est $V_2(-/-)$.

Le tableau 4-5 résume les défauts identifiés pour tous les transistors étudiés. On peut noter qu'il y en a un grand nombre qui sont fréquemment trouvés dans tous les dispositifs étudiés et qui ne sont pas indiqués dans la littérature, leurs énergies et sections de capture sont données dans le tableau 4.5. Pour toutes les technologies étudiées, 5 types de défauts ont été fréquemment trouvés : les bilacunes dans deux configurations $V_2(0/-)$ et $V_2(-/-)$, des pièges liés à l'hydrogène qu'on nomme H1 et H2, le complexe carbone interstitiel- phosphore en substitution (C_iP_s), le complexe bore interstitiel-oxygène interstitiel (B_iO_i).

Structures	L _E (nm)	V ₂ (0/-)	V ₂ (-/-)	H1	B _i O _i	C _i P _s	D1	D2	D4	D5	D7	D8	D9	D10
SOI	60		X			X				X	X	X	X	X
	910		X		X	X						X		
SOI + SEG	60	X				X				X		X	X	
	910	X	X			X			X					
SOI+SEG+CESL	60											X	X	
	910	X		X	X	X			X		X			X
sSOI	60		X			X			X			X		
	910		X	X	X			X		X	X	X		
sSOI+SEG	60			X						X	X	X	X	X
	910		X			X			X	X	X	X	X	
sSOI+CESL	60		X	X								X		
	910			X	X						X			
sSOI+SEG+CESL	60	X	X		X		X	X		X		X	X	
	910						X	X			X			X

Tableau 4-5 : Les défauts fréquemment trouvés pour toutes les structure étudiées, les lignes grises indiquent les structures qui ont subi un dépôt du « SiC liner ».

4.4.4.2.1 Bilacunes

Les bilacunes sont des défauts qui ont plusieurs états de charge stables et dont deux transitions V₂ (-/-) et V₂ (0/-) sont situées dans la partie supérieure de la bande interdite. Ils correspondent aux niveaux d'énergie $\Delta E = 0,23$ eV et $\Delta E = 0,42$ eV respectivement. Leurs sections efficaces de capture sont : $\sigma_n = 10^{-16}$ - 10^{-15} et $\sigma_n = 10^{-15}$ cm² respectivement. La densité de pièges de la bilacune V₂ (-/ -) trouvée dans la plupart des structures étudiées est entre $2 \cdot 10^{15}$ et $2 \cdot 10^{17}$ cm⁻³.

4.4.4.2.2 Défauts liés à un atome du bore

Il s'agit du complexe bore interstitiel-oxygène interstitiel (B_iO_i) d'énergie $\Delta E = 0,26$ eV et de section efficace de capture $\sigma_n = 10^{-13}$ - 10^{-14} cm². Il a été trouvé dans les transistors nFinFETs de longueur effective de 910 nm ayant les structures SOI, SOI + SEG + CESL, sSOI, sSOI + CESL et pour la longueur 60 nm uniquement dans les nFinFETs à structure sSOI + SEG + CESL. Sa présence n'est pas surprenante parce que toutes les structures ont subi des implantations « Halo » au bore, ce dernier est connu pour sa large migration à température ambiante. Ce défaut peut disparaître avec un recuit d'environ 200°C [115]. La densité de pièges de ce défaut obtenue dans

ces structures varie entre $3,4 \cdot 10^{15} - 1 \cdot 10^{17} \text{ cm}^{-3}$. On a trouvé également le bore interstitiel ; B_i (0/+) dans les structures sSOI et sSOI + CESL de longueur de 60 nm ainsi que dans la structure SOI + SEG + CESL de longueur de 910 nm.

4.4.4.2.3 Défauts liés à l'hydrogène

Les défauts qui sont liés à l'hydrogène sont nommés : Hydrogène 1 d'énergie $\Delta E = 0,31 \text{ eV}$ et de section efficace de capture $\sigma_n = 10^{-15} \text{ cm}^2$ et Hydrogène 2 d'énergie $\Delta E = 0,43 \text{ eV}$ et de section efficace de capture $\sigma_n = 10^{-17} \text{ cm}^2$. Ce dernier n'a été trouvé qu'une seule fois contrairement au premier qui a été trouvé dans les transistors de longueur effective de 60 nm avec les structures SOI + SEG + CESL, sSOI et sSOI + CESL et aussi pour la longueur de 910 nm avec une structure sSOI + CESL. La densité de pièges de ce défaut trouvé dans ces structures varie entre $1,6 \cdot 10^{15}$ et $4 \cdot 10^{16} \text{ cm}^{-3}$. Sa présence peut être expliquée par la couche du nitrure de silicium (SiN_x) utilisée dans le procédé CESL qui contient une quantité importante d'Hydrogène. Cependant, dans les structures sans CESL, cela peut être dû aux résidus d'hydrogène après un recuit d'hydrogène.

4.4.4.2.4 Défauts liés au carbone

Parmi les défauts qui sont liés au carbone ; on a le complexe carbone interstitiel- phosphore en substitution (C_iP_s) qui a été trouvé dans toutes les structures qui ont subi un dépôt de carbure de silicium (SiC) « SiC liner » (Dans le tableau 4-5, lignes en gris), en particulier dans les transistors nFinFET standards (SOI) et contraints (sSOI, SOI + SEG). Cela suggère une contamination possible par le carbone due à l'étape de dépôt du « SiC liner », car le carbone a une large migration à température ambiante. On constate la présence d'autres défauts connus qui sont liés au carbone et qui sont trouvés seulement dans certains transistors, par exemple le carbone interstitiel C_i (0/-) qui a été trouvé pour les deux longueurs de la structure SOI ainsi que le complexe carbone interstitiel-carbone substitutionnel C_iC_s (0/-) qui a été aussi trouvé pour $L_E = 910 \text{ nm}$ et dans la structure sSOI ayant une longueur effective de 60 nm. La densité de pièges du défaut C_iP_s varie d'une structure à une autre, elle est de $5 \cdot 10^{15}$ à $3 \cdot 10^{17} / \text{cm}^3$.

4.4.4.2.5 Défauts complexes lacune-phosphore et lacune-oxygène

L'un des défauts trouvés est le complexe lacune-phosphore ; V-P (0/-) qui a une énergie $\Delta E = 0,44 \text{ eV}$ et une section de capture $\sigma_n = 10^{-14} - 10^{-15} \text{ cm}^2$, il a été uniquement trouvé dans la structure SOI + SEG + CESL pour une longueur $L_E = 910 \text{ nm}$. Ce défaut peut disparaître à un recuit de température $T \geq 300^\circ\text{C}$. L'autre défaut est le complexe lacune-oxygène V-O (0/-) qui a une énergie $\Delta E = 0,17 \text{ eV}$ et une section de capture de $\sigma_n = 10^{-14} \text{ cm}^2$, ce défaut peut disparaître avec un

recuit à une température avoisinant 150°C. Ce défaut a été seulement trouvé dans la structure sSOI + SEG pour une longueur effective $L_E = 60$ nm.

4.4.4.2.6 Défauts inconnus

En plus des défauts identifiés, il y a près de 10 types de pièges inconnus, notés D1 à D10 dans les tableaux 4-5 et 4-6, qui sont fréquemment observés. Le nombre de pièges observés est important : cela est peut être dû à la valeur relativement faible du bruit en 1/f pur et à la technologie avancée utilisée dans les différentes étapes de fabrication de ces dispositifs. On peut aussi noter que certains défauts tels que D7 et D8 sont observés dans toutes les technologies étudiées ; cela suggère que ces pièges sont couramment trouvés dans la technologie à base de silicium. Cependant, ils ne sont pas identifiés et par conséquent, ils peuvent être liés aux techniques de contrainte. Une augmentation de la densité effective pour ces deux défauts peut être observée pour la longueur de 60 nm entre les transistors ayant subi la technique SEG comparé aux transistors à substrat SOI. D'autre part, D1 et D2 sont seulement observés dans la structure sSOI + SEG + CESL. Cela suggère que l'utilisation de nouvelles étapes technologiques pour améliorer la performance du transistor (sSOI, SEG, CESL) conduit à une augmentation des densités de défauts dans le film. Une analyse approfondie des étapes technologiques utilisées peut révéler l'origine de la création de ces défauts. Le tableau 4-6 récapitule les caractéristiques des défauts inconnus qui sont fréquemment trouvés dans toutes les structures étudiées.

Défauts identifiés inconnus	Position de l'énergie du piège [eV]	Section de capture [cm ²]
D1	$E_C - 0,5$	$1,28 \cdot 10^{-15}$
D2	$E_C - 0,41$	$9,52 \cdot 10^{-17}$
D3	$E_C - 0,22$	$1,28 \cdot 10^{-19}$
D4	$E_C - 0,29$	$2,03 \cdot 10^{-17}$
D5	$E_C - 0,29$	$1,88 \cdot 10^{-19}$
D6	$E_C - 0,22$	$3,89 \cdot 10^{-20}$
D7	$E_C - 0,23$	$1,87 \cdot 10^{-17}$
D8	$E_C - 0,19$	$7,93 \cdot 10^{-18}$
D9	$E_C - 0,15$	$2,1 \cdot 10^{-18}$
D10	$E_C - 0,2$	$1,8 \cdot 10^{-15}$

Tableau 4-6 : Les défauts inconnus trouvés fréquemment dans toutes les structures étudiées.

4.4.4.3 Densités de pièges des défauts identifiés

La densité de pièges de chaque défaut peut être estimée à partir des niveaux des plateaux A_i des lorentziennes qui varient de façon linéaire avec la constante de temps τ comme le montre la figure 4-18 pour deux défauts C_iP_s et V_2 (-/-). La largeur de déplétion w_d est estimée approximativement à $W_{fin}/2$ parce que la largeur du doigt est petite et que le film n'est pas dopé. La densité de pièges peut être calculée selon l'équation (2.34).

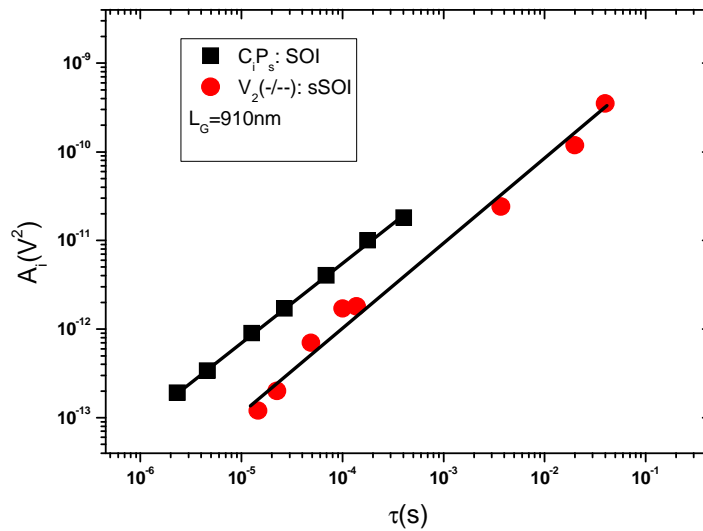


Figure 4-18 : Evolution des plateaux A_i des Lorentziennes en fonction de la constante de temps du piège.

La figure 4-19 et la figure 4-20 représentent les densités de pièges effectives $N_{eff} = N_i \cdot w_d / 3$ des défauts connus et inconnus trouvées dans toutes les structures étudiées de nFinFETs pour les longueurs $L_E = 60$ et 910 nm. On note qu'on a trouvé plus de défauts connus pour la grande longueur que pour la petite longueur, dans cette dernière on a trouvé plus de défauts inconnus. Ces figures montrent l'incidence de la longueur de grille sur les densités effectives de défauts observés dans le film du silicium : pour les grandes longueurs, la plupart des défauts (défauts connus) peuvent être générés dans les étapes technologiques pour l'optimisation du canal, par contre pour les petites longueurs, les défauts peuvent provenir des étapes de fabrication liées à la réalisation des régions du drain et de la source.

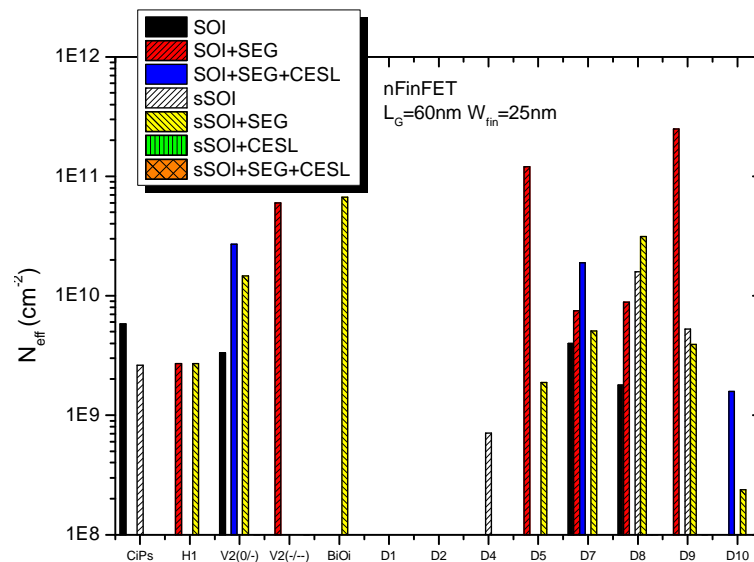


Figure 4-19 : Densités de pièges de tous les défauts identifiés dans toutes les structures des nFinFETs avec HfSiON pour une longueur de 60 nm.

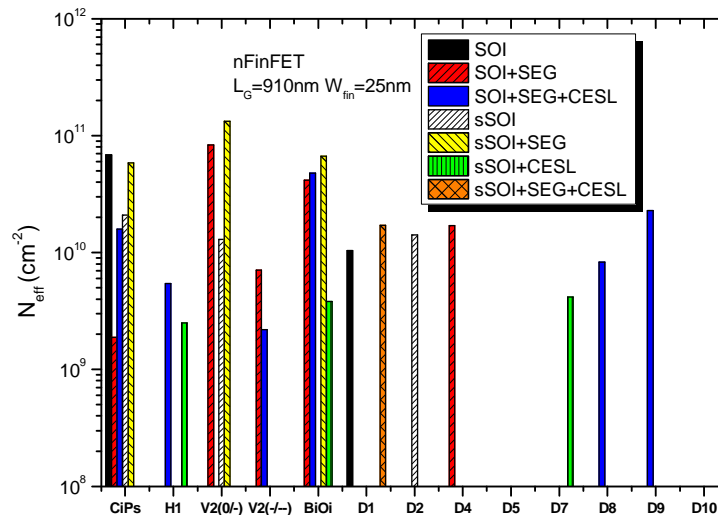


Figure 4-20 : Densités de pièges de tous les défauts identifiés dans toutes les structures des nFinFETs avec HfSiON pour une longueur de 910 nm.

4.4.5 Conclusion partielle

Dans ce travail, une étude systématique du bruit basse fréquence en fonction de la température a été faite sur des transistors nFinFETs. L'analyse de l'évolution des constantes de temps des lorentziennes en fonction de la température a permis d'identifier des défauts dans le film du silicium. Pour toutes les technologies étudiées, 5 types de pièges sont clairement identifiés et près de 10 pièges inconnus ont été fréquemment observés surtout pour les petites longueurs. Dans certains cas, à cause du manque de données bibliographiques sur le silicium contraint, il a été impossible d'identifier le défaut et de faire le lien avec l'étape technologique qui en est responsable. Cependant, on peut incriminer l'étape de gravure sèche ou les dommages causés par les étapes d'implantations ioniques (radiations). La présence d'hydrogène est sans doute liée au procédé

CESL car la couche de SiN_x contient une quantité significative d'hydrogène. Enfin, une contamination par le carbone probablement due à l'utilisation du « SiC liner » a été mise en évidence.

4.5 Mesures de bruit basse fréquence dans les pFinFETs

4.5.1 Bruit mesuré dans les pFinFETs

Des mesures de bruit basse fréquence ont été effectuées sur des pFinFETs avec 5 structures différentes, de longueurs de grille effective $L_E = 60 \text{ nm}$ et 910 nm avec une largeur effective du doigt de 25 nm , dans le régime linéaire à $V_{DS} = -20 \text{ mV}$. La figure 4-21 représente la densité spectrale de bruit en tension normalisée par la fréquence pour un transistor standard (SOI) en fonction de la tension de grille V_{GS} , de faible à forte inversion. On note bien l'impact considérable des résistances d'accès à forte inversion où la résistance du canal est très faible. On note que les spectres présentent du bruit en $1/f$ et du bruit lorentzien qui sont correctement modélisés par le modèle de bruit de l'équation (2.1).

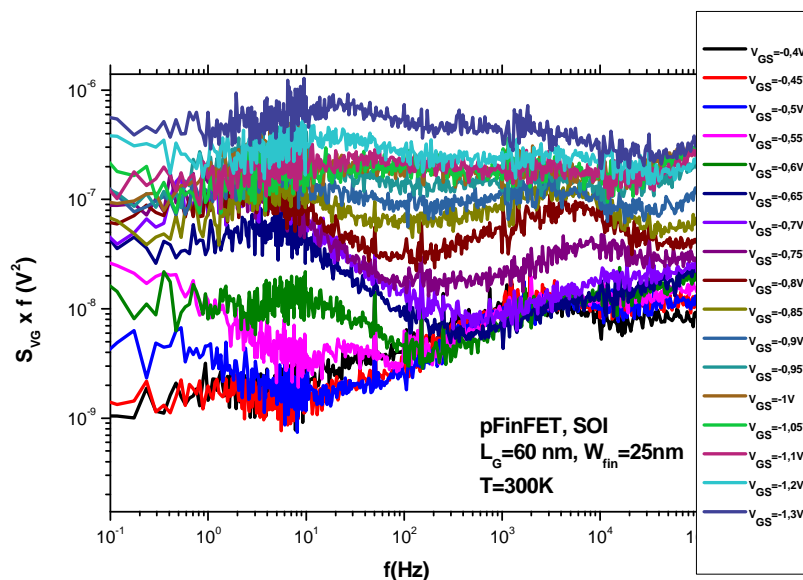


Figure 4-21 : Densités spectrales de bruit en tension normalisées par la fréquence pour des pFinFETs standards avec HfSiON pour $L_E = 60 \text{ nm}$ en fonction de V_{GS} de faible ($V_{GS} = -0,4 \text{ V}$) à forte inversion ($V_{GS} = -1,3 \text{ V}$).

La figure 4-22 illustre l'évolution du niveau du bruit K_f en fonction de la tension effective de grille V_{GT} pour trois structures de transistors pFinFETs sur substrat SOI. Le modèle du bruit en $1/f$ qui prédomine dans ces transistors est le modèle de McWhorter qui est dû aux fluctuations du nombre de porteurs (ΔN) et on observe aussi une grande contribution des résistances d'accès en forte inversion.

On remarque que le niveau du bruit en $1/f$ dans le transistor pFinFET orienté de 45° est légèrement plus faible que pour ceux des autres structures standards ou contraintes bien qu'auparavant, on ait dit que l'orientation cristalline n'a aucun impact sur le niveau du bruit en $1/f$. On note aussi l'apparition du bruit inhabituel dans cette structure en faible inversion. La figure 4-23 montre l'évolution du niveau de bruit K_f en fonction de la tension V_{GT} pour trois structures de

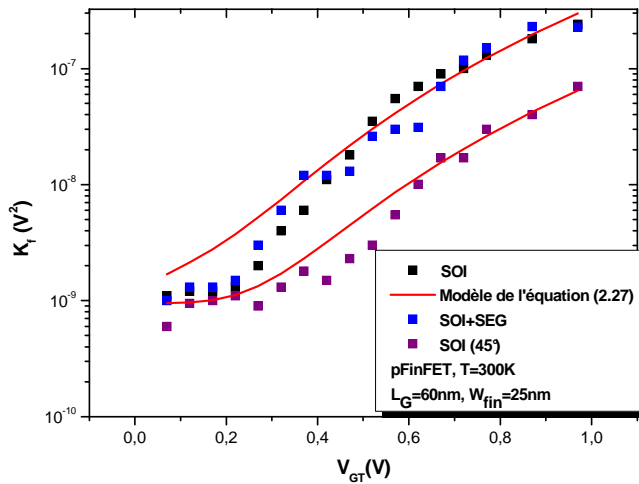


Figure 4-22 : Niveau du bruit K_f en fonction de V_{GT} pour des pFinFETs sur substrat standard avec HfSiON pour $L_E = 60$ nm

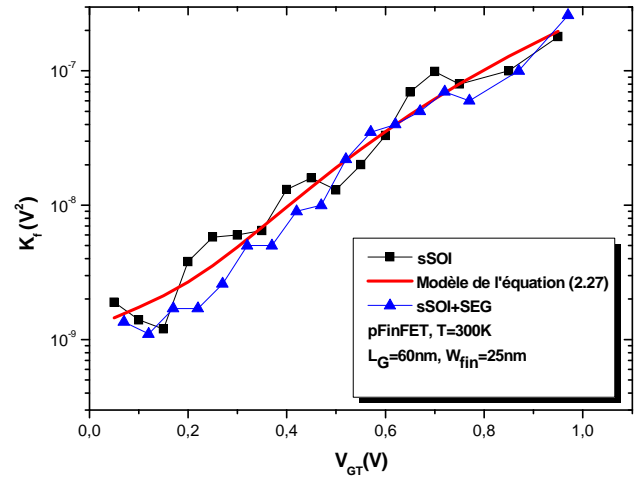


Figure 4-23: Niveau du bruit K_f en fonction de V_{GT} pour des pFinFETs sur substrat contraint avec HfSiON pour $L_E = 60$ nm.

pFinFETs sur substrat sSOI. Le mécanisme du bruit en $1/f$ qui prédomine dans ces transistors est le modèle de McWhorter qui est dû aux fluctuations du nombre de porteurs corrélées aux fluctuations de la mobilité de porteurs ($\Delta N + \Delta \mu$) et on observe aussi une grande contribution des résistances d'accès à forte inversion. Le paramètre des interactions coulombiennes est de $0,5 \cdot 10^4$ Vs/C pour la structure sSOI + SEG et de 10^4 Vs/C pour la structure sSOI.

Ces résultats montrent que les mécanismes qui prédominent dans les transistors sur substrat SOI et dans les transistors sur substrat sSOI sont différents. Cela prouve l'impact de la contrainte globale sur le mécanisme des interactions coulombiennes.

4.5.2 Mesures de bruit en fonction de la géométrie

Pour étudier le comportement en bruit et l'impact des résistances d'accès en fonction de la géométrie du transistor, des mesures de bruit ont été effectuées en fonction de la longueur et de la largeur du doigt. Des mesures ont été faites sur des pFinFETs standard (SOI) en faisant varier la largeur de masque du doigt de $W = 0,16$ jusqu'à $W = 3 \mu\text{m}$ avec une longueur effective fixe $L_E = 910$ nm. Les transistors ont été polarisés dans le régime linéaire avec une tension de drain $V_{DS} = -20$ mV et avec une tension de grille qui a été ajustée dans le but d'avoir un courant de drain constant $I_D = 3 \mu\text{A}$.

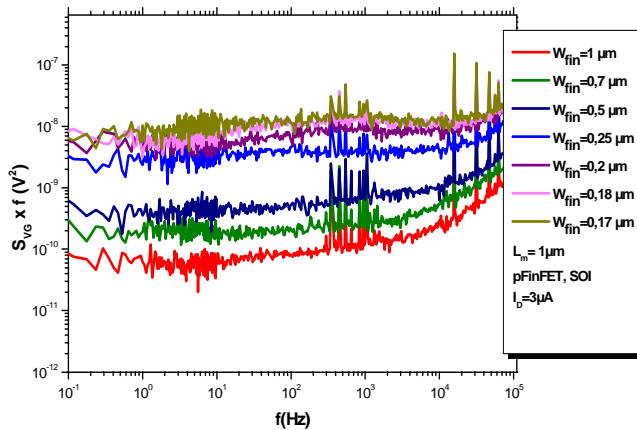


Figure 4-24 : Densités spectrales du bruit en tension normalisées par la fréquence pour des pFinFETs standards avec HfSiON pour $L_E = 910$ nm et de différentes largeurs de doigt à $I_D = 3$ μ A.

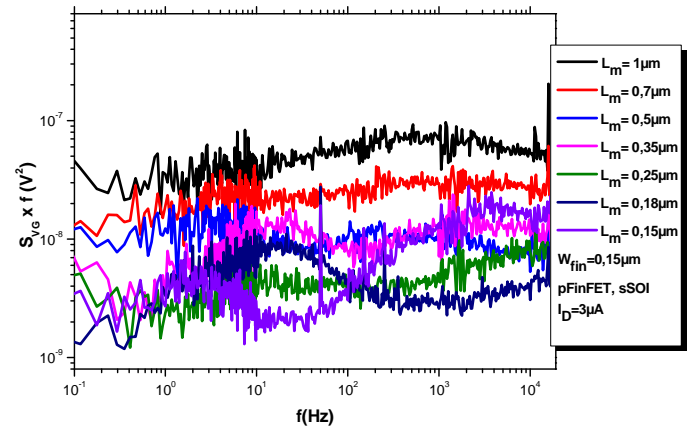


Figure 4-25 : Densités spectrales du bruit en tension normalisées par la fréquence pour des pFinFETs contraints (sSOI) avec HfSiON pour $W_{fin} = 0.15$ μ m et de différentes longueurs à $I_D = 3$ μ A.

La figure 4-24 représente les densités spectrales du bruit en tension normalisées par la fréquence pour des pFinFETs standards ayant la même longueur effective $L_E = 910$ nm mais avec des largeurs différentes. On note que le niveau du bruit est plus élevé dans les petites largeurs que dans les grandes, le bruit diminue en augmentant la largeur. On voit bien la forte contribution des résistances d'accès dans les petites largeurs. Ces résultats corroborent les précédents résultats observés dans les FinFETs. La figure 4-25 représente les densités spectrales du bruit en tension normalisées par la fréquence pour des pFinFETs contraints (sSOI) ayant la même largeur de masque $W_{fin} = 0.15$ μ m mais avec des longueurs de masque différentes ; de $L = 0.15$ jusqu'à $L = 1$ μ m. On remarque en plus du bruit en $1/f$ du canal, une forte contribution des résistances d'accès dans les transistors à grandes longueurs. Ce résultat est cohérent car à un courant $I_D = 3$ μ A, ces derniers sont en forte inversion. Par contre dans les transistors ayant des longueurs faibles, les lorentziennes s'ajoutent au bruit en $1/f$, et il n'y a pas de contribution notable des résistances d'accès parce que ces derniers sont en faible inversion.

4.5.3 Qualité de l'oxyde de grille

La densité de pièges dans l'oxyde a été extraite dans tous les transistors pFinFETs étudiés, les valeurs trouvées dans toutes les structures étudiées pour la longueur effective de 60 nm sont répertoriées dans le tableau 4-6. On remarque que les densités des défauts trouvées dans ces structures sont plus faibles d'un ordre de grandeur par rapport à celles trouvées dans les pFinFETs avec HfO₂, que ce soit pour les structures à substrats standards (SOI) et pour les structures ayant

SEG (SOI + SEG). Par ailleurs, en les comparant avec les résultats obtenus pour les nFinFETs avec HfSiON, ces valeurs sont plus élevées d'un facteur ≈ 2 .

Structures	N_{it} ($\text{cm}^{-3}\text{eV}^{-1}$)
SOI	$5 \cdot 10^{17}$
SOI + SEG	$4,5 \cdot 10^{17}$
sSOI	$8,6 \cdot 10^{17}$
sSOI + SEG	$6,1 \cdot 10^{17}$
SOI (45°)	$2,7 \cdot 10^{17}$

Tableau 4-6 : Densités de pièges N_{it} extraites dans les transistors pFinFETs avec HfSiON à partir du bruit $1/f$ à 300K pour la longueur de 60 nm.

4.5.4 Conclusion partielle

Des mesures de bruit basse fréquence ont été effectuées sur des pFinFETs avec HfSiON. Leur comportement en bruit a été trouvé comparable à celui de leurs homologues nFinFETs. Le mécanisme qui prédomine dans ces transistors est le modèle des fluctuations du nombre de porteurs pour les pFinFETs avec substrat standard (SOI) et le modèle des fluctuations du nombre de porteurs corrélées aux fluctuations de la mobilité pour les pFinFETs avec un substrat contraint (sSOI). Les valeurs des densités de défauts sont légèrement plus élevées que pour les nFinFETs, mais plus faibles par rapport aux pFinFETs avec HfO₂. Cela montre que le silicate d'hafnium nitruré permet une meilleure qualité en présentant une plus faible densité de défauts.

Chapitre 5 : Synthèse

Des mesures en régime statique et en bruit ont été réalisées sur des transistors FinFETs de type n et de type p, ayant deux diélectriques différents ; l'oxyde d'hafnium (HfO_2) et le silicate d'Hafnium nitruré (HfSiON) comme oxyde de grille. Les structures utilisent des substrats standards (SOI), ou ont subi des techniques globales (sSOI) et locales (SEG et CESL) de contraintes. Les résultats des mesures qui ont été faites avec différentes géométries et à différentes températures permettent de faire quelques observations et de tirer des conclusions.

5.1 Discussion de l'effet de la contrainte sur les résultats en régime de fonctionnement statique

Les résultats de mesures en statique des FinFETs ont montré de meilleures performances que pour les transistors MOSFETs classiques, surtout dans les FinFETs contraints, utilisant la contrainte globale sSOI et les techniques locales SEG et CESL. La technique CESL est plus bénéfique pour la mobilité dans les transistors nFinFETs que dans les transistors pFinFETs. En revanche, on a constaté une diminution considérable du courant de fuite de grille dans les transistors pFinFETs ayant subi la technique CESL. Par ailleurs, la technique SEG diminue la résistance d'accès et en même temps améliore la mobilité dans les transistors surtout pour les transistors pFinFETs. Les résultats de mesures en statique des transistors nFinFETs avec HfSiON en fonction de la température montrent que l'utilisation des techniques de contrainte atténue la variation du courant liée à l'élévation de la température.

5.2 Bruit inhabituel

Le bruit inhabituel a été déjà observé dans les transistors nFinFETs avec HfO₂ ayant subi la technique SEG. Les résultats de mesures de bruit basse fréquence effectuées sur des pFinFETs avec HfO₂ montrent un bruit inhabituel pour toutes les dimensions étudiées des transistors de structures standards et contraintes. Ce bruit inhabituel apparaît seulement dans le régime de faible inversion. On note que le niveau du bruit inhabituel est plus élevé dans le transistor de faible dimension. Dans les FinFETs avec HfSiON, il a été seulement observé dans les pFinFETs orientés (45°) en faible inversion. Ce bruit peut être expliqué par le profil de profondeur des pièges qui diminue en s'éloignant de l'interface. Le mécanisme prédominant dans ces structures est le modèle des fluctuations du nombre de porteurs dans le canal (ΔN).

5.3 Présence importante de lorentziennes dans les spectres de bruit des transistors FinFETs à HfSiON

Les résultats de mesure de bruit dans les transistors FinFETs avec HfSiON montrent que les spectres trouvés dans tous les transistors testés que ce soit des nFinFETs ou des pFinFETs, ont beaucoup de lorentziennes distinctes surtout pour la petite longueur de 60 nm où on voit plusieurs bosses à faibles et hautes fréquences comme le montre la figure 5-1 qui illustre des densités spectrales normalisées par la fréquence pour un transistor nFinFET et un transistor pFinFET de longueur effective de 60 nm.

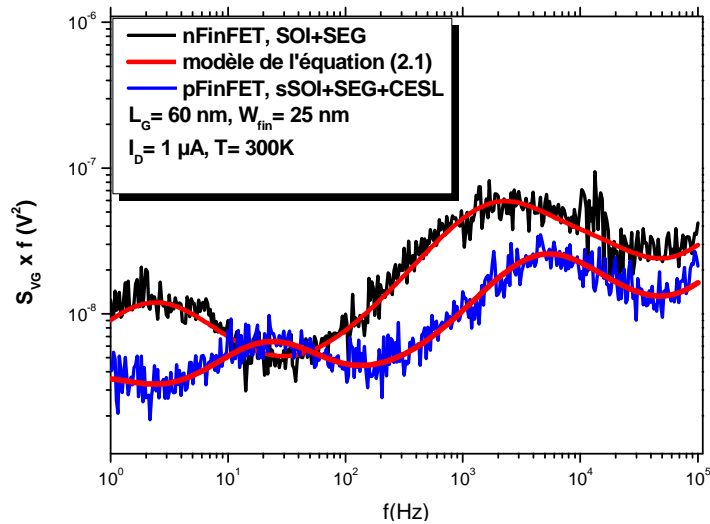


Figure 5-1 : Densités spectrales de bruit normalisées par la fréquence pour un transistor nFinFET et un transistor pFinFET avec HfSiON de longueur de 60 nm à $I_D = 1 \mu A$.

La figure 5-2 illustre des densités spectrales normalisées par la fréquence pour un nFinFET et un pFinFET avec une longueur effective de 910 nm. Dans les transistors longs, on a trouvé aussi beaucoup de lorentziennes mais présentant de faibles plateaux. Cela reflète la proportion de pièges discrets et continus qui est différente dans les transistors courts par rapport aux transistors longs. Les densités de pièges d'interface trouvées dans les transistors FinFETs courts sont moins élevées que celles trouvées dans les transistors FinFETs longs.

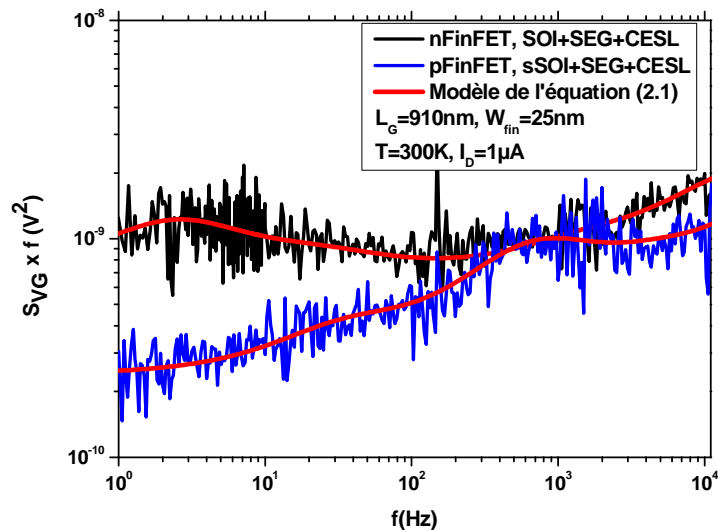


Figure 5-2 : Densités spectrales de bruit normalisées par la fréquence pour un transistor nFinFET et un transistor pFinFET avec HfSiON de longueur de 910 nm à $I_D = 1 \mu A$.

5.4 Bruit en 1/f dans les transistors FinFETs à HfSiON

Le mécanisme du bruit en 1/f qui prédomine dans les FinFETs avec HfSiON est le modèle de McWhorter, soit dans les nFinFETs ou dans les pFinFETs. Aucun bruit n'a pu être modélisé par le modèle de Hooge. Le modèle trouvé dans les FinFETs avec substrat standard (SOI) est différent de celui trouvé dans les FinFETs avec substrat contraint (sSOI). Dans les structures à substrat standard (SOI), le mécanisme qui prédomine est le mécanisme de fluctuations du nombre de porteurs (ΔN) avec une grande contribution des résistances d'accès à fort V_{GS} .

Cependant, dans les structures à substrat contraint (sSOI), le mécanisme qui prédomine est le mécanisme de fluctuations du nombre de porteurs corrélées aux fluctuations de la mobilité des porteurs ($\Delta N + \Delta \mu$) avec toujours une contribution des résistances d'accès. Ces résultats ont été trouvés dans les nFinFETs et dans les pFinFETs. Par ailleurs aucun impact sur le bruit dû aux techniques de contraintes locales, la technique SEG et la technique CESL, n'a été observé.

5.5 Cas particulier du transistor FinFET à un seul doigt : bruit RTS

Les mesures qui ont été faites sur des transistors nFinFETs avec 1 seul doigt ont montré que le bruit prédominant est le bruit RTS, un bruit qui est dû au piégeage/dépiégeage d'un seul porteur par un défaut dans l'interface Si/SiO₂ ou dans l'oxyde à une distance tunnel de la couche d'inversion. De tels défauts sont appelés les « border traps », ils sont capables de communiquer avec la couche d'inversion sur une échelle de temps d'une microseconde à une seconde.

5.6 Comparaison de l'incidence des deux isolants de grille HfO₂ et HfSiON sur la qualité des transistors FinFETs

La figure 5-3 représente des densités spectrales normalisées par la fréquence pour des transistors pFinFETs avec HfO₂ et HfSiON pour une longueur effective de 60 nm en faible inversion. La courbe (a) est celle des structures standards, la courbe (b) est celle des structures contraintes. On note que le niveau du bruit en 1/f dans les transistors pFinFETs avec HfO₂ est plus élevé que dans les pFinFETs avec HfSiON.

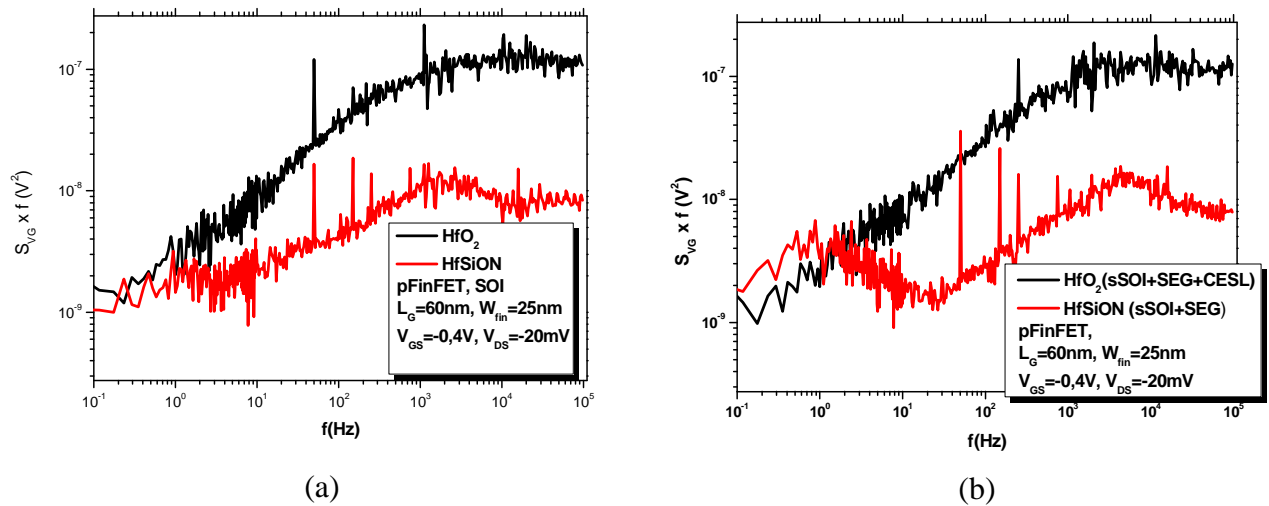


Figure 5-3 : Densités spectrales de bruit normalisées par la fréquence pour des transistors pFinFETs avec les deux isolants pour des structures standards (a) et pour des structures contraintes (b).

La valeur de la densité des pièges à l'interface est plus élevée dans les pFinFETs avec HfO₂ ($1 \cdot 10^{18} - 4,8 \cdot 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$) comparée à la densité des pièges d'interface trouvée dans les pFinFETs avec HfSiON ($2,710^{17} - 5,8 \cdot 10^{17} \text{ cm}^{-3} \text{ eV}^{-1}$). De même, pour les nFinFETs, la densité trouvée dans les nFinFETs avec HfO₂ est plus élevée ($0,9 \cdot 10^{19} - 1,2 \cdot 10^{19} \text{ cm}^{-3} \text{ eV}^{-1}$) que celle trouvée dans les nFinFETs avec HfSiON ($2,3 \cdot 10^{17} - 5 \cdot 10^{17} \text{ cm}^{-3} \text{ eV}^{-1}$). Cela montre une meilleure qualité du silicate d'hafnium nitruré, la nitruration des oxydes diminue considérablement la pénétration des dopants à travers l'oxyde.

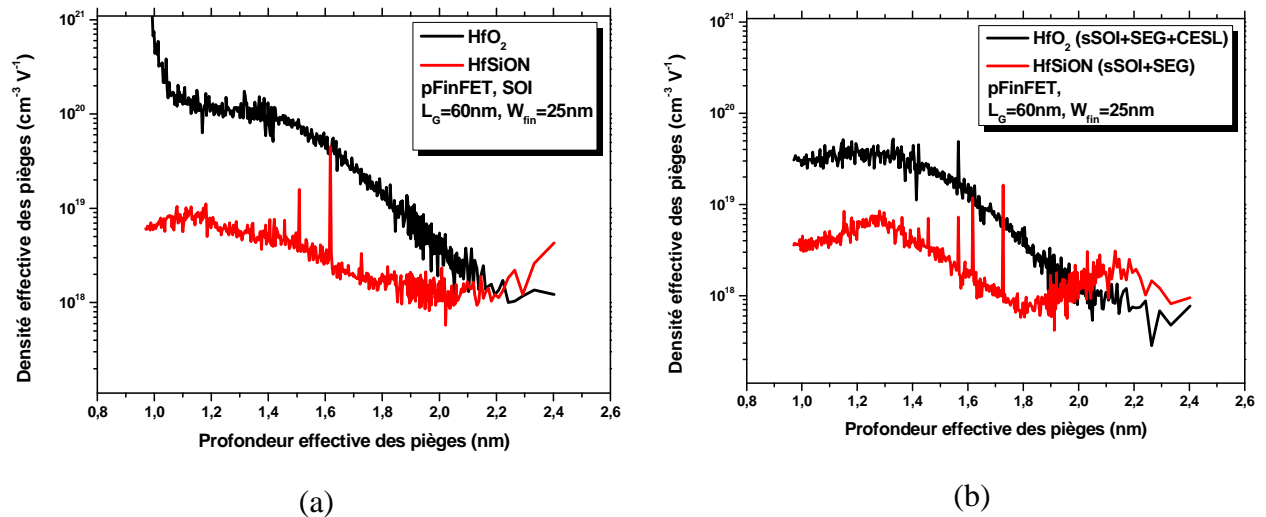


Figure 5-4 : Profils des profondeurs des densités de pièges pour des pFinFETs avec les deux oxydes pour des structures standards (a) et pour des structures contraintes (b).

Les profils de profondeurs des défauts dans l'oxyde ont été calculés pour les pFinFETs ayant HfO₂ et pour les pFinFETs ayant HfSiON pour une longueur effective de 60 nm pour les structures standards et contraintes. La figure 5-4 représente les profils de profondeurs des pièges pour des

pFinFETs standards et contraints pour les deux oxydes de grille. Le profil de profondeur est différent pour les transistors pFinFETs avec HfO₂ par rapport à celui des transistors pFinFETs avec HfSiON. La densité de défauts est plus élevée à l'interface dans les pFinFETs avec HfO₂ et elle diminue en s'éloignant de l'interface. Cela implique que la densité des défauts est très élevée dans la couche interfaciale SiO₂. Ce résultat est contraire à celui habituellement trouvé dans les transistors MOSFETs avec HfO₂.

5.7 Comparaison des résultats obtenus entre les transistors FinFETs de type n et p

D'après les résultats des mesures faites sur les transistors FinFETs avec les deux isolants HfO₂ et HfSiON, on a noté que les niveaux du bruit en 1/f dans les transistors pFinFETs et dans les transistors nFinFETs avec HfO₂ sont comparables. Par contre, dans les transistors pFinFETs avec HfSiON, le niveau du bruit est un peu moins élevé que dans les transistors nFinFETs.

5.8 Identification des défauts par spectroscopie de bruit

Des résultats de mesure en bruit en fonction de la température ont permis d'identifier des défauts dans le film de silicium en utilisant le bruit de Génération-Recombinaison (GR) qui correspond aux spectres de type lorentzien et qui permet de faire ce qu'on appelle une spectroscopie du bruit quand elle est effectuée en fonction de la température. Plus de 5 défauts connus et 10 défauts inconnus ont été identifiés. On a trouvé plus de défauts inconnus pour la petite longueur de canal. Cela est peut être dû à la rugosité de surface élevée des doigts et/ou à l'impact différent des techniques de contraintes pour les petites longueurs par rapport aux grandes longueurs. Certains défauts connus peuvent être dus à l'étape de gravure sèche ou aux dommages causés par les étapes d'implantations ioniques (radiations). La présence d'hydrogène peut être liée au procédé CESL car la couche de SiN_x contient une quantité significative d'hydrogène. L'utilisation de la technique « SiC liner » peut être à l'origine de la contamination en carbone.

Finalement il se confirme que le silicate d'hafnium nitruré (HfSiON) est donc un isolant très prometteur pour les futures générations de transistors.

Conclusion Générale

Dans ce travail, une caractérisation d'une nouvelle structure de transistor MOSFET en statique et en bruit a été faite. Les mesures ont été réalisées sur des transistors FinFETs ayant HfO_2 de type p et sur des transistors FinFETs ayant HfSiON de type n et de type p.

Les résultats de mesures en statique des transistors FinFETs ont montré de meilleures performances surtout dans les transistors FinFETs contraints qui ont subi la contrainte globale sSOI et les techniques locales SEG et CESL. La technique CESL est plus bénéfique pour les nFinFETs que pour les pFinFETs mais en revanche, on a constaté une diminution considérable du courant de fuite de grille dans les transistors ayant subi la technique CESL. Par ailleurs, la technique SEG diminue la résistance d'accès et en même temps améliore la mobilité dans les transistors surtout pour les transistors pFinFETs. Les résultats de mesures en statique des nFinFETs avec HfSiON en fonction de la température montrent que l'utilisation des techniques de contrainte atténue la variation du courant liée à l'élévation de la température. Ces transistors semblent être moins sensibles à la variation de la température que les transistors standards, indiquant un atout supplémentaire de l'ingénierie des techniques de contrainte.

Les résultats de mesures effectuées sur des transistors pFinFETs avec HfO_2 , standards et contraints, ont montré des spectres de bruit inhabituels qui apparaissent clairement en faible inversion. Ce bruit inhabituel apparaît seulement quand l'impact des résistances d'accès est faible. Les résultats ont montré que le mécanisme qui prédomine est celui des fluctuations du nombre de porteurs dans le canal. Ces résultats permettent d'expliquer le fait que le bruit inhabituel a été seulement observé dans les transistors nFinFETs ayant subi la technique SEG.

Les résultats de mesures de bruit basse fréquence dans les transistors nFinFETs avec HfSiON ont montré que le mécanisme de bruit qui prédomine est le mécanisme des fluctuations du nombre de porteurs avec une contribution des résistances d'accès pour les nFinFETs sur substrat standard (SOI). En revanche, le mécanisme qui prédomine dans les nFinFETs sur substrat contraint (sSOI) est le mécanisme des fluctuations du nombre de porteurs corrélées aux fluctuations de la mobilité des porteurs et une contribution des résistances d'accès. L'oxyde HfSiON utilisé dans les transistors testés apparaît être de meilleure qualité que pour les transistors ayant l'oxyde d'hafnium.

Le même mécanisme de bruit a été trouvé pour les transistors pFinFETs avec HfSiON . Les valeurs des densités de défauts sont légèrement plus élevées, mais plus faibles par rapport aux transistors pFinFETs avec HfO_2 . Cela montre que le silicate d'hafnium nitruré présente une meilleure qualité en ayant une plus faible densité de défauts.

Dans ce travail, une étude systématique du bruit basse fréquence en fonction de la température sur des nFinFETs a permis d'identifier des défauts dans le film de silicium. Pour toutes les technologies étudiées, 5 types de pièges sont clairement identifiés et près de 10 pièges inconnus ont été fréquemment observés surtout pour la petite longueur du canal. Ces défauts peuvent provenir des étapes technologiques de fabrication, comme cela a été suggéré pour plusieurs d'entre eux.

Les résultats de ce travail ont apporté des informations sur les sources du bruit présentes dans les nouveaux dispositifs FinFETs, ils ont permis d'évaluer la qualité des isolants utilisés et d'identifier des défauts dans les doigts des transistors. En outre, l'impact de l'utilisation des contraintes locales et globales a clairement été mis en évidence. La mesure du bruit basse fréquence est à nouveau confirmée comme technique de contrôle non destructif dans les transistors intégrés permettant d'explorer les mécanismes fondamentaux et les qualités des procédés technologiques.

Liste des publications issues de cette thèse

W. Guo, **R. Talmat**, B. Cretu, J.-M. Routoure, R. Carin, A. Mercha, E. Simoen and C. Claeys, “*Low-Frequency Noise Behavior in P-channel SOI FinFETs Processed With Different Strain Techniques*”, AIP Conference Proceedings; 20th International Conference on Noise and Fluctuations, 1129, 295-298 (2009).

R. Talmat, S. Put, N. Collaert, A. Mercha, C. Claeys, W. Guo, B. Cretu, A. Benfdila, J.-M. Routoure, R. Carin and E. Simoen, “*High-temperature characterization of advanced strained nMuGFETs*”, Proceedings of EUROSOI'10 Conference, Grenoble, France, 75-76 (2010).

R. Talmat, H. Achour, B. Cretu, J.-M. Routoure, A. Benfdila, R. Carin, N. Collaert, A. Mercha, E. Simoen and C. Claeys, “*Low Frequency Noise Spectroscopy in Advanced nFinFETs*”, Proceedings of EUROSOI'11 Conference, Granada, Spain, 55-56 (2011).

R. Talmat, H. Achour, B. Cretu, J.-M. Routoure, A. Benfdila, R. Carin, N. Collaert, A. Mercha, E. Simoen and C. Claeys, “*Assessment of temperature dependence of the low frequency noise in unstrained and strained FinFETs*”, AIP Conference Proceedings; 21th International Conference on Noise and Fluctuations; 1129, 135-138 (2011).

B. Guillet, S. Wu, B. Cretu, **R. Talmat**, H. Achour, C. Barone, S. Pagano, E. Sassier, J.-M. Routoure, « *Uncertainties in the estimation of low frequency noise level extracted from noise spectral density measurements* », AIP Conference Proceeding; 21th International Conference on Noise and Fluctuations, 1129, 433-436 (2011).

R. Talmat, H. Achour, B. Cretu, J.-M. Routoure, A. Benfdila, R. Carin, N. Collaert, A. Mercha, E. Simoen and C. Claeys, “*Low Frequency Noise Characterization in n-channel FinFETs*”. Accepted in Solid-State Electronics (2011).

**Annexe: Résultats des mesures
de bruit basse fréquence en
fonction de la température.**

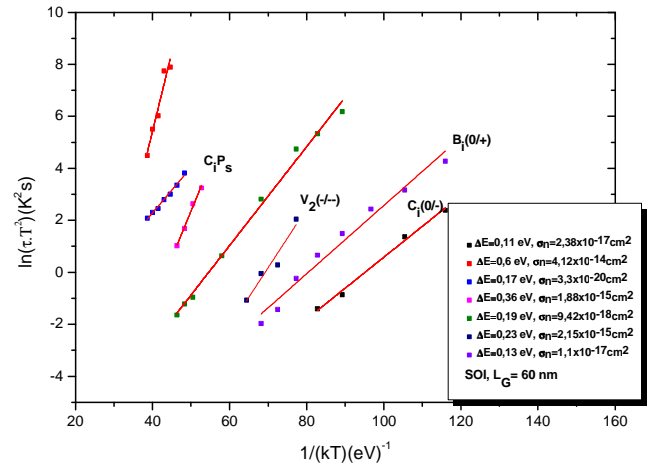
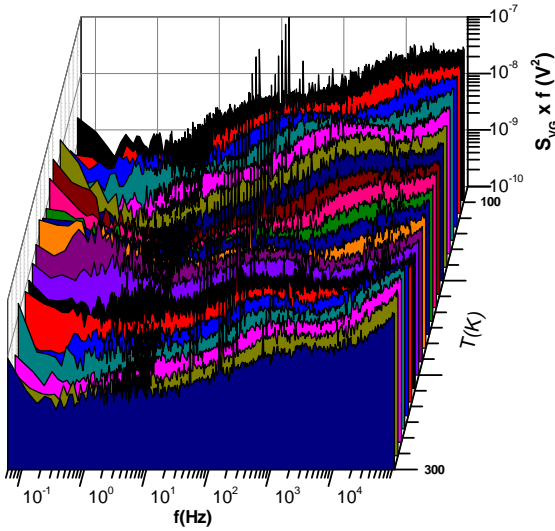
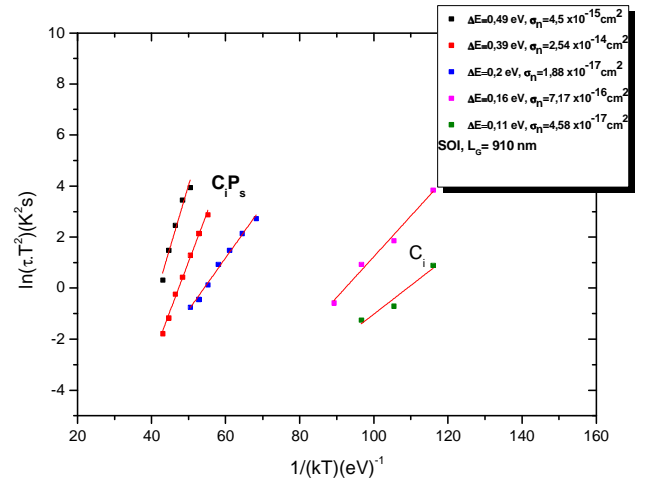
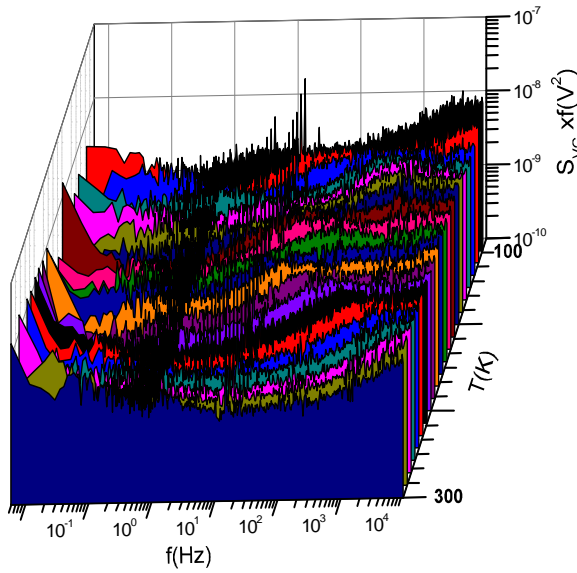


Figure 1 : Spectres des densités spectrales de bruit en fonction de la température et diagrammes d'Arrhenius de la structure SOI nFinFET pour les longueurs $L_E = 910 \text{ nm}$ et $L_E = 60 \text{ nm}$.

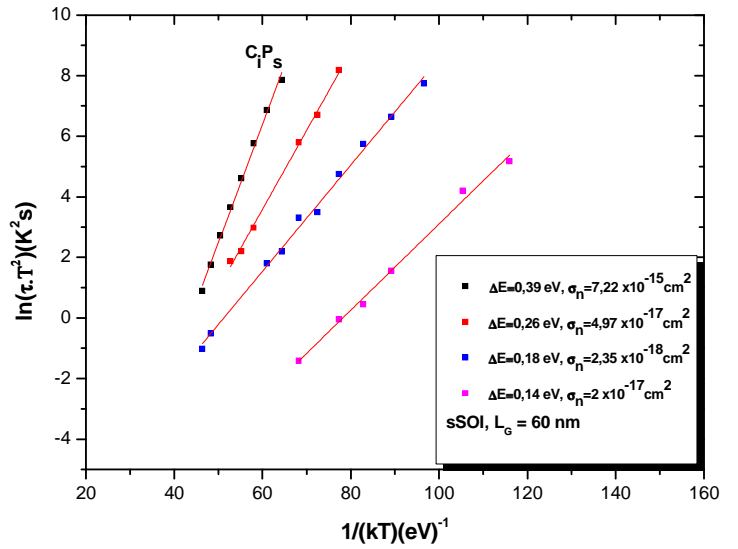
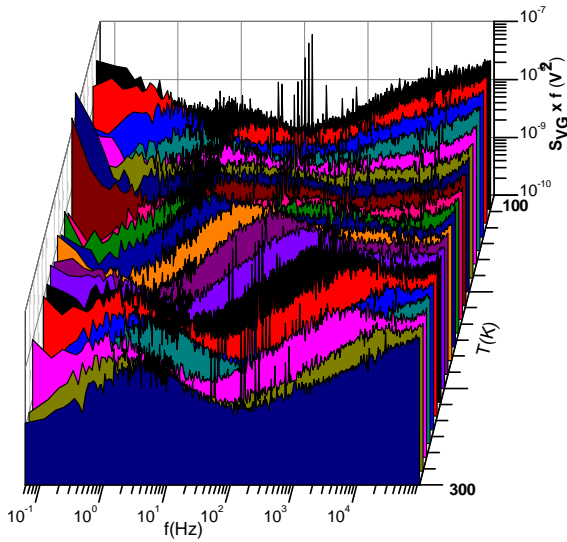
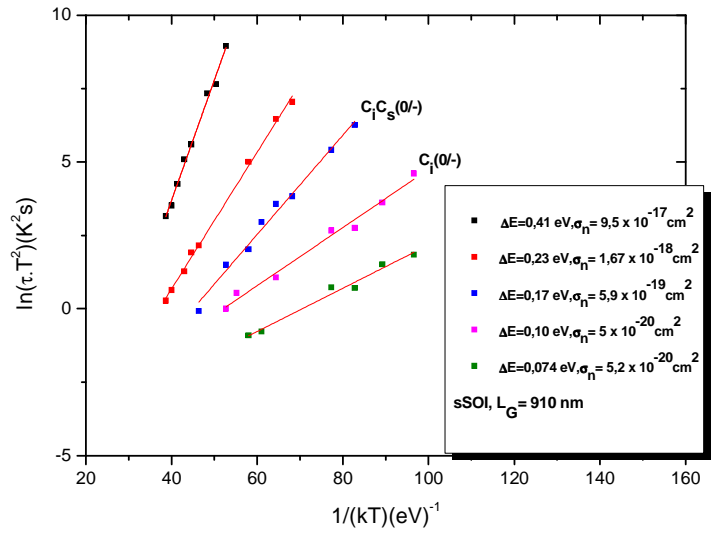
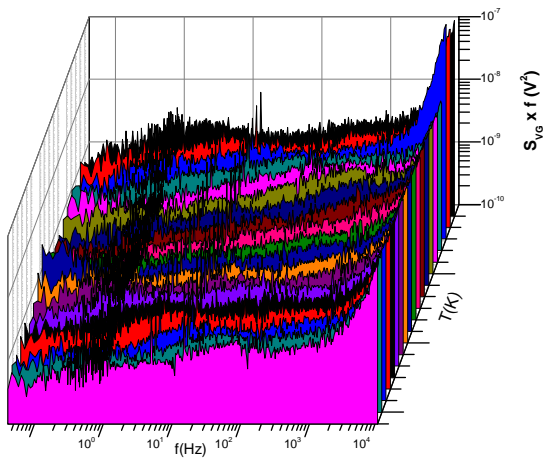


Figure.2: Spectres des densités spectrales de bruit en fonction de la température et diagrammes d'Arrhenius de la structure sSOI nFinFET pour les longueurs $L_E = 910 \text{ nm}$ et $L_E = 60 \text{ nm}$

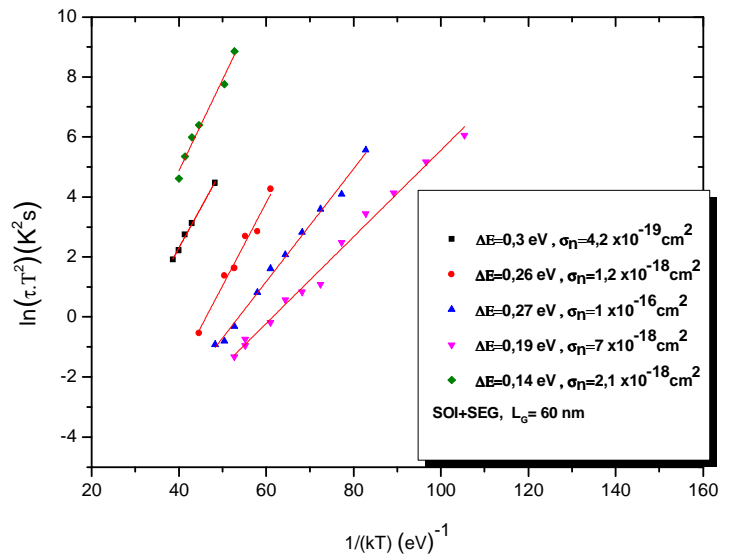
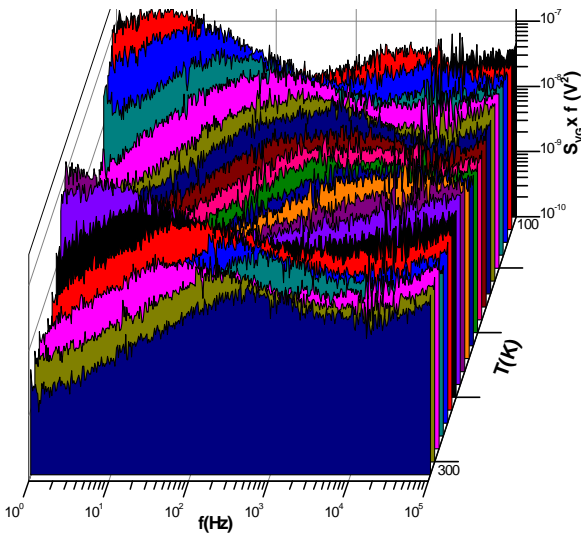
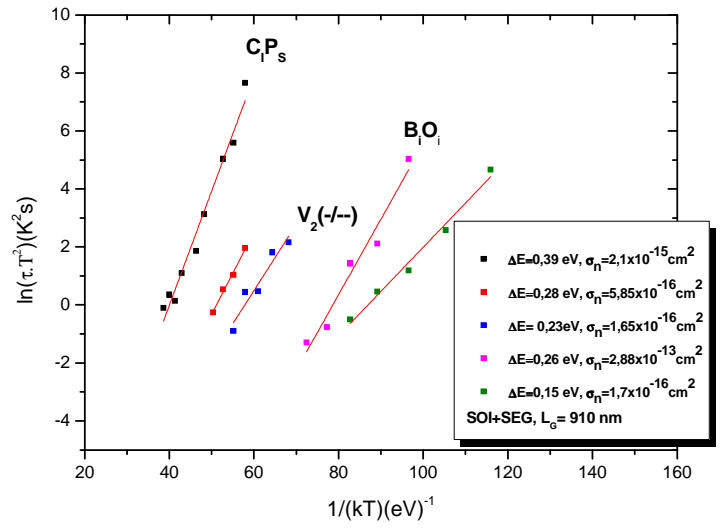
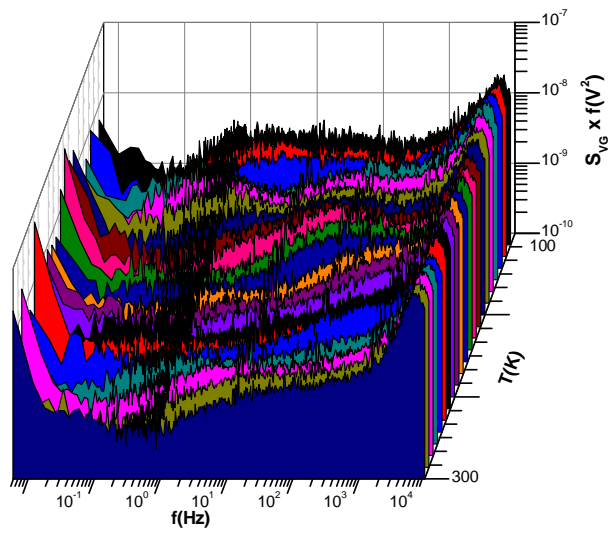


Figure.3: Spectres des densités spectrales de bruit en fonction de la température et diagrammes d'Arrhenius de la structure SOI + SEG nFinFET pour les longueurs $L_E = 910$ nm et $L_E = 60$ nm.

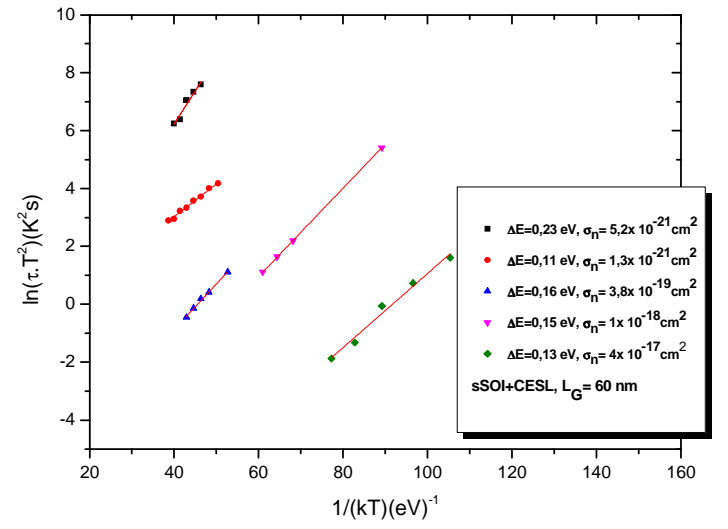
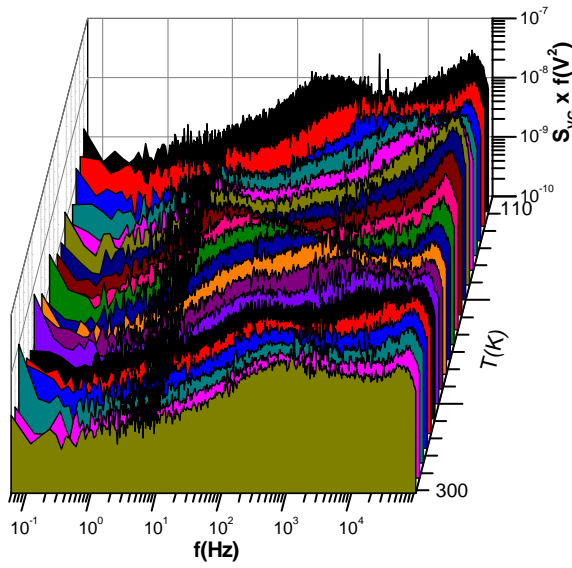
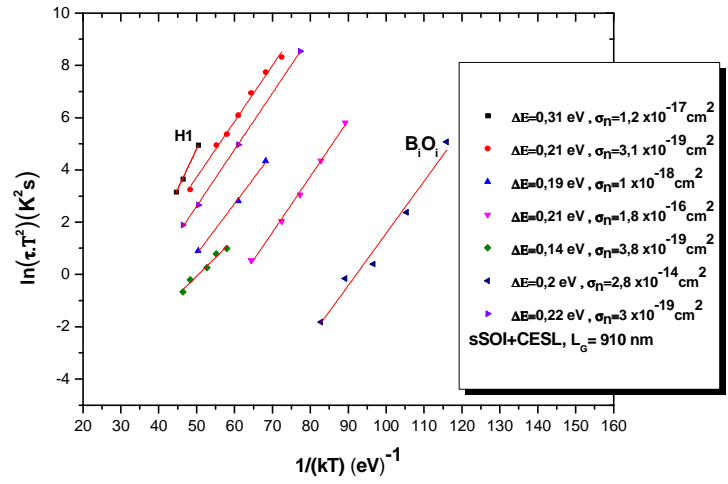
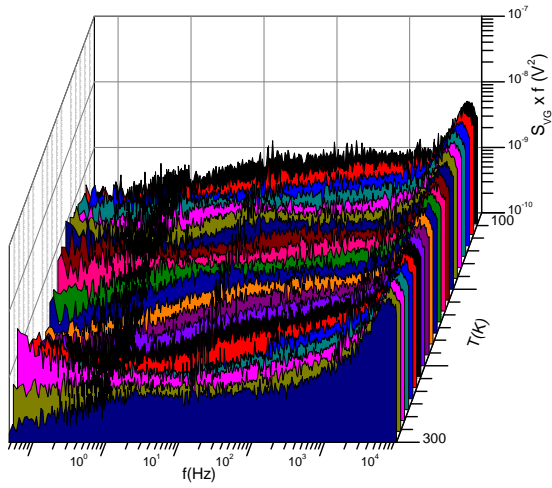


Figure.4: Spectres des densités spectrales de bruit en fonction de la température et diagrammes d'Arrhenius de la structure sSOI + CESL nFinFET pour les longueurs $L_E = 910$ nm et $L_E = 60$ nm.

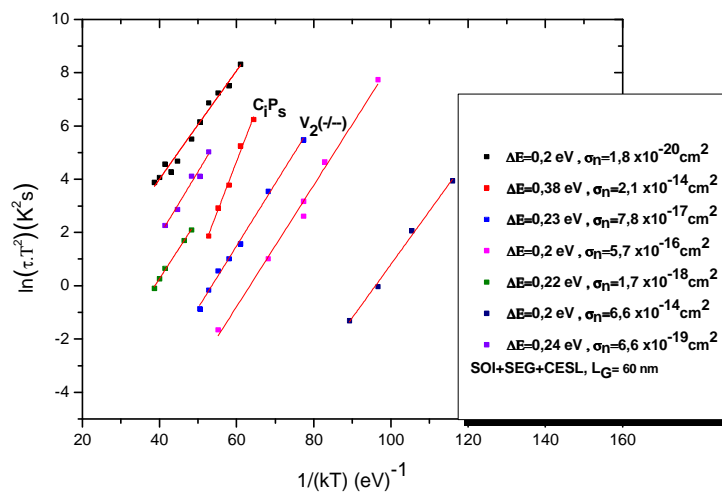
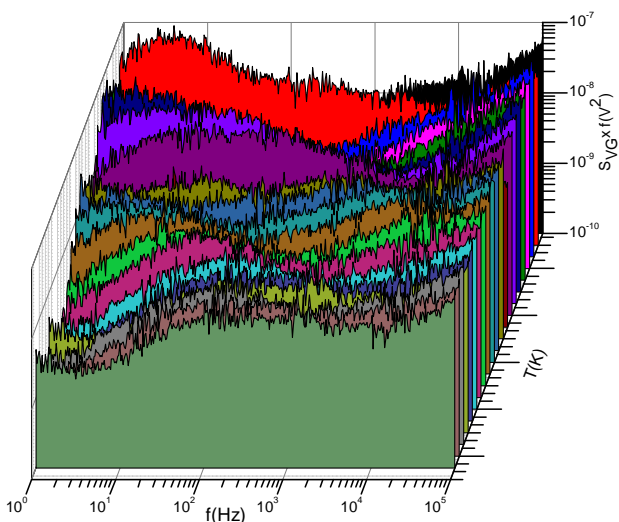
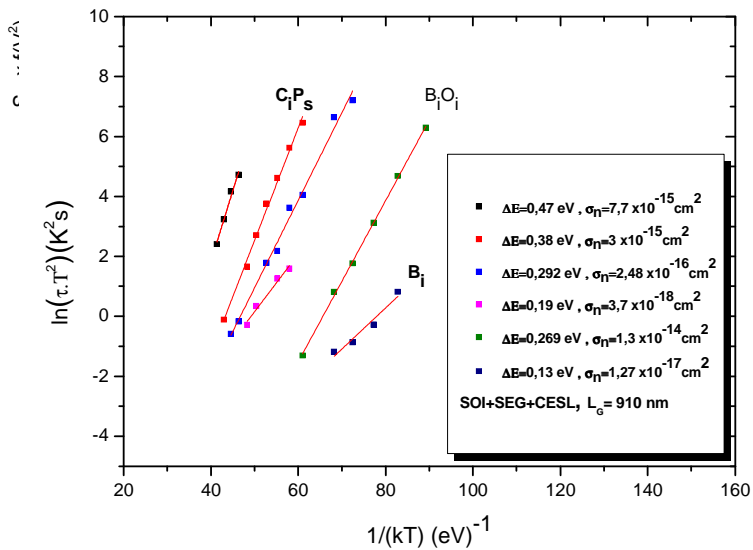
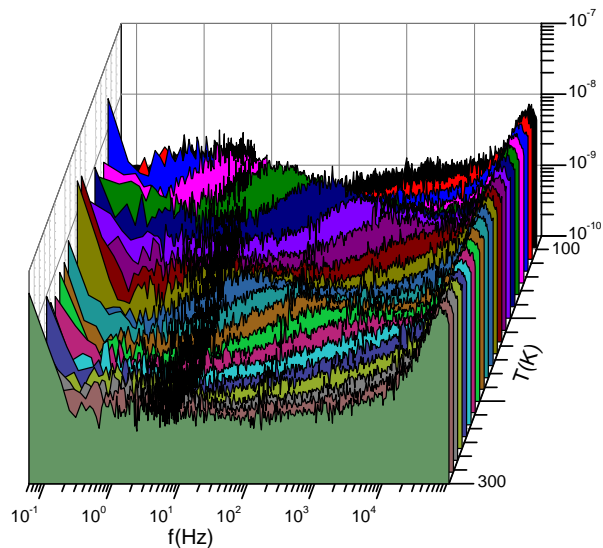


Figure.5 : Spectres des densités spectrales en fonction de la température et diagrammes d'Arrhenius de la structure SOI + SEG + CESL nFinFET pour les longueurs $L_E = 910$ nm et $L_E = 60$ nm.

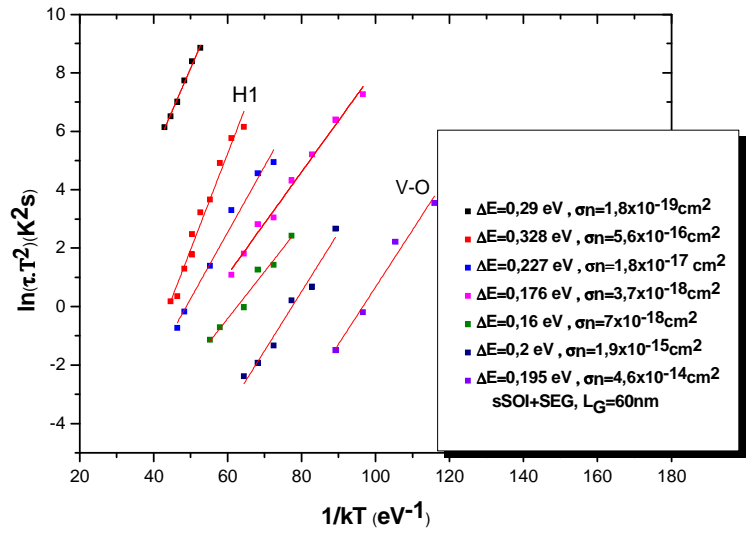
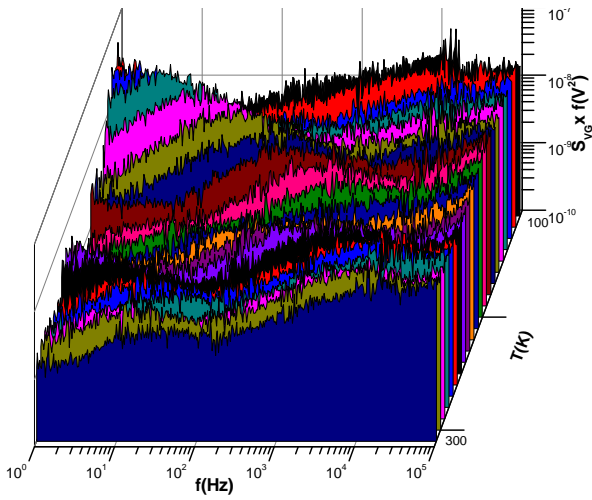
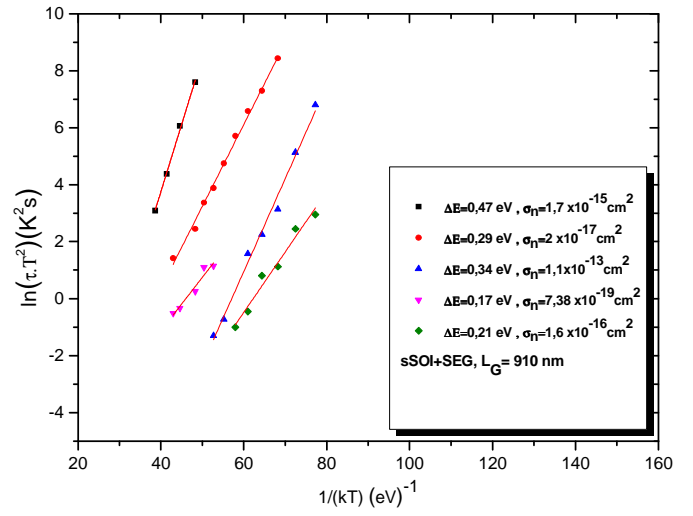
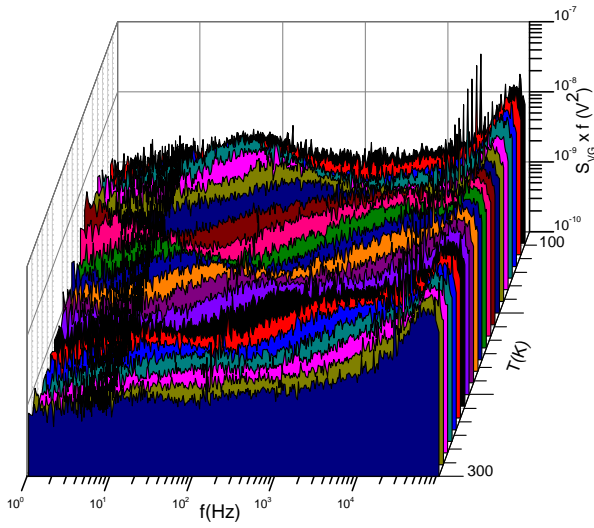


Figure.6 : Spectres des densités spectrales de bruit en fonction de la température et diagrammes d'Arrhenius de la structure sSOI + SEG nFinFET pour les longueurs $L_E = 910$ nm et $L_E = 60$ nm.

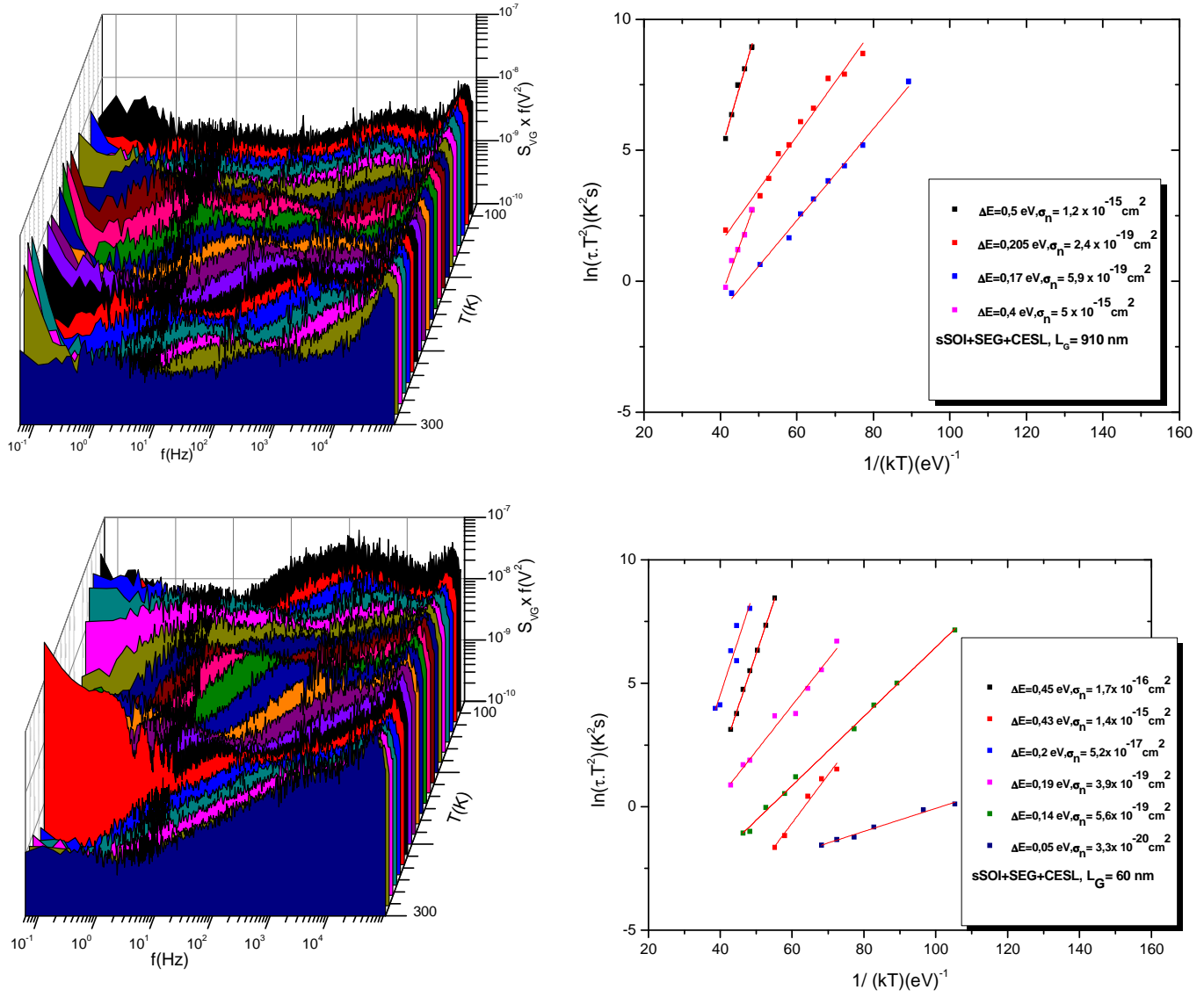


Figure.7: Spectres des densités spectrales de bruit en fonction de la température et diagrammes d'Arrhénius de la structure sSOI + SEG + CESL nFinFET pour les longueurs $L_E = 910$ nm et $L_E = 60$ nm.

Notations

Symboles	Significations	Unités (SI)
A_i	Niveau du plateau d'une lorentzienne	V^2/Hz
A_s, A_g	Inverses d'atténuations	-
B	Niveau du bruit blanc	V^2/Hz
C_{dep}	Capacité de la zone de déplétion	F/m^2
C_{it}	Capacité associée aux états d'interfaces	F/m^2
C_j	Capacité de jonction	F
C_n	Coefficient de capture des électrons	$m^{-3}s^{-1}$
C_{ox}	Capacité de l'oxyde	F/m^2
C_p	Coefficient de capture des trous	$m^{-3}s^{-1}$
E_c	Energie du bas de la bande de conduction	eV
$E_{c,L}$	Champ électrique longitudinal critique	V/m
E_{eff}	Champ électrique effectif	V/m
E_F	Niveau d'énergie de Fermi	eV
E_g	Largeur de la bande interdite	eV
E_i	Energie intrinsèque	eV
E_L	Champ électrique longitudinal	V/m
E_T	Niveau d'énergie du piège	eV
E_v	Energie du haut de la bande de valence	eV
EOT	Epaisseur d'oxyde équivalente	m
f	Fréquence	Hz
$f_1 (f_2)$	Fréquence caractéristique	Hz
f_{0i}	Fréquence caractéristique du bruit lorentzien	Hz
FS	Distance entre les doigts du transistor FinFET	m
f_t	Fonction de probabilité de Fermi-Dirac	-
g_m	Transconductance d'un transistor MOSFET	A / V
g_{mint}	Transconductance interne associée au canal	A / V
h	Constante de Planck	J/s
H_{fin}	Hauteur du doigt	m
I_D	Courant de drain	A
I_{Dsat}	Courant de drain de saturation	A

I_{OFF}	Courant de drain à l'état OFF	A
I_{ON}	Courant de drain à l'état ON	A
I_{Th}	Courant de drain à V_{Th}	A
k	Constante de Boltzmann	J/K
k	Facteur de reduction d'échelle	-
K_1	Niveau bas du bruit en 1/f	V^2
K_2	Niveau haut du bruit en 1/f	V^2
K_b	Gain d'amplificateur	-
K_f	Niveau du bruit en 1/f à 1 Hz	V^2
K_r	Niveau du bruit dû aux résistances d'accès	
L	Longueur de masque	m
$L_E (L_G)$	Longueur effective	m
L_{min}	Longueur minimale du canal	m
M_c	Nombre des minima d'énergie dans la bande de conduction	-
m_e^*	Masse effective des électrons	kg
m_h^*	Masse effective des trous	kg
n	Concentration d'électrons	m^{-3}
N	Nombre des porteurs dans le canal	-
n_l	Concentration d'électrons lorsque le niveau de Fermi coïncide avec le piège.	m^{-3}
N_A	Concentration des dopants accepteurs	m^{-3}
N_c	Densité effective d'états dans la bande de conduction	m^{-3}
N_{cs}	Concentration de charges en surface	m^{-3}
N_D	Concentration des dopants donneurs	m^{-3}
N_{dep}	Concentration de charges dans la zone de déplétion	m^{-3}
N_{eff}	Densité effective de défauts par unité de surface	m^{-2}
n_i	Concentration intrinsèque des porteurs	m^{-3}
N_{inv}	Concentration de charges dans la zone d'inversion	m^{-3}
N_{it}	Densité de pièges à l'interface par unité de volume et d'énergie	$m^{-3}eV^{-1}$
N_t	Densité de pièges par unité de volume et d'énergie	$m^{-3}eV^{-1}$
N_v	Densité effective d'états dans la bande de conduction	m^{-3}
p	Concentration des trous	m^{-3}
p_l	Concentration des trous lorsque le niveau de Fermi coïncide avec le piège	m^{-3}

q	Charge électrique élémentaire absolue	C
Q_c	Charge critique	C/m ²
Q_{dep}	Charge de déplétion	C/m ²
Q_{inv}	Charge d'inversion	C/m ²
Q_{it}	Charge des états d'interface	C/m ²
Q_{ox}	Charge de l'oxyde	C/m ²
Q_{sc}	Charge du semiconducteur	C/m ²
R	Résistance d'un matériau	Ω
r	Coefficient de rétrodiffusion	-
r_{ch}	Résistance dynamique du canal	Ω
R_D	Résistance du convertisseur	Ω
R_s	Résistance d'accès statique de la source	Ω
R_d	Résistance d'accès statique du drain	Ω
R_{SD}	Résistance d'accès statique	Ω
r_{sd}	Résistance dynamique d'accès du drain et de la source	Ω
R_{sub}	Résistance du substrat	Ω
r_T	Résistance dynamique totale	Ω
S	Pente sous le seuil	V/decade
S	Distance entre la grille et la source/le drain	m
$S_\mu(f)$	Densité spectrale de bruit des fluctuations de mobilité	A ² /Hz
$S_{Ich}(f)$	Densité spectrale de puissance de bruit du canal	A ² /Hz
$S_{ID}(f)$	Densité spectrale de bruit du courant de drain	A ² /Hz
$S_{Ir}(f)$	Densité spectrale de bruit due aux résistances d'accès	A ² /Hz
$S_{Ir}(f)$	Densité spectrale de bruit	A ² /Hz
$S_N(f)$	Densité spectrale de bruit des fluctuations du nombre de porteurs	N ² /Hz
$S_{VG}(f)$	Densité spectrale de bruit ramenée sur la grille	V ² /Hz
t_{BOX}	Épaisseur de l'oxyde enterré	m
T_{hk}	Épaisseur de l'oxyde high-k	m
T_{ox}	Épaisseur de l'oxyde	m
T	Température	K
t_{Si}	Épaisseur du film du silicium	m
V_{DD}	Tension d'alimentation	V
V_{DS}	Tension drain-source	V
V_{Dsat}	Tension de drain de saturation	V

V_E	Tension d'Early	V
V_{FB}	Tension de bandes plates	V
V_{GS}	Tension grille-source	V
V_{GT}	Tension effective de grille	V
V_P	Tension de pincement	V
V_{Th}	Tension de seuil	V
V_{ZTC}	Tension au point « zero temperature coefficient »	V
W	Largeur de masque	m
w_d	Largeur de déplétion	m
W_E	Largeur effective	m
W_{fin}	Largeur du doigt	m
W_T	Largeur totale du doigt	m
X_j	Profondeur de jonction	m
z	Profondeur du piège	m
α	Paramètre des interactions coulombiennes	V s/C
α_h	Paramètre de Hooge	-
β	Paramètre égal à $\mu_0 C_{ox} W_E / L_E$	A / V ²
γ	Facteur de niveau de bruit	-
ΔE	Différence entre l'énergie du piège et la bande de conduction	eV
ΔI_D	Amplitude de variation du courant de drain	V
ΔL	Réduction de la longueur du canal	m
ΔW	Réduction de la largeur du canal	m
ϵ_0	Permittivité du vide	F/m
ϵ_{hk}^r	Permittivité relative de l'oxyde high-k	-
ϵ_{ox}^r	Permittivité relative de l'oxyde	-
ϵ_{Si}^r	Permittivité relative du silicium	-
η	Constante	-
η_F	Niveau réduit de Fermi	eV
θ_{eff}	Facteur d'atténuation effectif de la mobilité	V ⁻¹
θ_0	Facteur d'atténuation intrinsèque de la mobilité	V ⁻¹
θ_1	Premier facteur d'atténuation de la mobilité	V ⁻¹
θ_2	Deuxième facteur d'atténuation de la mobilité	V ⁻¹
θ_D	Facteur d'atténuation de la mobilité dû au champ du drain	V ⁻¹
λ	Paramètre tunnel	m

λ	Libre parcours moyen entre deux collisions	m
λ	Facteur de réduction d'échelle	
λ	Epaisseur de zone de charge d'espace	m
λ_0	Epaisseur de zone de charge d'espace minimale	m
μ_0	Mobilité à faible champ électrique	$\text{m}^2/\text{V}\cdot\text{s}$
μ_{bal}	Mobilité balistique	$\text{m}^2/\text{V}\cdot\text{s}$
μ_{cc}	Mobilité due aux interactions des centres coulombiens	$\text{m}^2/\text{V}\cdot\text{s}$
μ_{dd}	Mobilité dérive-diffusion	$\text{m}^2/\text{V}\cdot\text{s}$
μ_{eff}	Mobilité effective	$\text{m}^2/\text{V}\cdot\text{s}$
μ_{exp}	Mobilité expérimentale	$\text{m}^2/\text{V}\cdot\text{s}$
μ_n	Mobilité des électrons	$\text{m}^2/\text{V}\cdot\text{s}$
μ_p	Mobilité des trous	$\text{m}^2/\text{V}\cdot\text{s}$
μ_{pha}	Mobilité due aux interactions avec les phonons acoustiques	$\text{m}^2/\text{V}\cdot\text{s}$
μ_{pho}	Mobilité due aux interactions avec les phonons optiques	$\text{m}^2/\text{V}\cdot\text{s}$
μ_{sr}	Mobilité due aux interactions avec la rugosité de la surface	$\text{m}^2/\text{V}\cdot\text{s}$
v	Vitesse de dérive	m/s
v_L	Vitesse limite des porteurs	m/s
v_{sat}	Vitesse de saturation des porteurs	m/s
v_{th}	Vitesse thermique des porteurs	m/s
σ	Conductivité électrique	$\Omega^{-1}\text{m}^{-1}$
σ_n	Section de capture des électrons	m^2
σ_p	Section de capture des trous	m^2
τ	Constante de temps de piège	s
τ_0	Constante de temps minimale de piège	s
τ_c	Constante de temps de capture	s
τ_e	Constante de temps d'émission	s
Φ_c	Différence des niveaux de Fermi des électrons et trous	eV
Φ_D	Barrière de potentiel source/canal	V
Φ_F	Potentiel de Fermi	V
Φ_M	Travail de sortie du métal	eV
Φ_{MS}	Différence des travaux de sortie du métal et du semiconducteur	eV
Φ_S	Travail de sortie du semiconducteur	eV
χ_{Si}	Affinité électronique du silicium	eV
Ψ_s	Potentiel de surface du semiconducteur	V

Acronymes

CESL	Contact Etch Stop Layer
CMOS	Complementary Metal Oxide Semiconductor
CNTFET	Carbone Nano Tube Field Effect Transistor
DELTA	DEpleted Lean-channel TrAnsistor
DIBL	Drain Induced Barrier Lowering
FDSOI	Fully Depleted Silicon On Insulator
FinFET	Finger Field Effect Transistor
FFT	Fast Fourier Transform
GAA	Gate All Around
GIDL	Gate Induced Drain Leakage
HP	High Performance
HPIB	Hewlett-Packard Instrument Bus
IL	Interfacial Layer
ITRS	International Technology Roadmap for Semiconductors
LOP	Low operation power
LSTP	Low Standby Power
MOCVD	Metalorganic Chemical Vapor Deposition
MOSFET	Metal oxide Semiconductor Field Effect Transistor
MUGFET	Multiple Gate Field Effect Transistor
PDSOI	Partially Silicon On Insulator
SCE	Short Channel Effect
SEG	Selective Epitaxial Growth
SET	Single Electron Transistor
SIA	Semiconductor Industry Association
SOI	Silicon On Insulator
SRB	Strain Relaxed Buffer
sSOI	Strained Silicon On Insulator
TEM	Transmission Electron Microscopy
XMOS	Xsi Metal Oxide Semiconductor
PIFET	Pi Field Effect Transistor

Liste des figures

Figure 1-1 : Représentation schématique d'un transistor MOSFET.	15
Figure 1-2 : Diagramme de bande d'un transistor nMOSFET en régime de bandes plates (a) et en régime de faible inversion (b), χ_{Si} est l'affinité électronique, E_g est la largeur de la bande interdite. E_c , E_v , E_i sont les énergies de bas de la bande de conduction, haut de la bande de valence et l'énergie intrinsèque du silicium. Φ_m , Φ_s sont les travaux de sortie du métal et du semiconducteur, Φ_f est le potentiel de Fermi. Ψ_s est la différence de potentiel entre la surface et le volume (le potentiel de surface).	16
Figure 1-3 : Caractéristique $I_D(V_{GS})$ d'un transistor MOSFET.	19
Figure 1-4 : Schéma électrique équivalent d'un MOSFET avec l'influence des résistances série source et drain.	19
Figure 1-5 : Dépendances empiriques de la mobilité effective associée à chaque mécanisme en fonction du champ effectif et de la température [].	24
Figure 2-1 : Représentations fréquentielles de différents types de bruit dans un transistor MOSFET.	40
Figure 2-2 : Schéma équivalent en petits signaux du transistor MOSFET en régime linéaire associé aux sources intrinsèques du bruit basse fréquence.	41
Figure 2-3 : Schéma équivalent vu de l'extérieur du transistor MOSFET, (a) avec une source de bruit en sortie, (b) avec une source de bruit en entrée.	42
Figure 2-4 : Bruit RTS observé dans un transistor MOSFET [82].	54
Figure 2-5 : Représentation schématique du banc de mesure du bruit [84].	56
Figure 2-6 : Densité spectrale normalisée par la fréquence illustrant les différents types de bruit.	57
Figure 2-7 : Variation du premier facteur d'atténuation de la mobilité en fonction du paramètre β	59
Figure 2-8 : Variation de l'inverse du paramètre β en fonction de la longueur effective.	59
Figure 2-9 : Densité spectrale normalisée par la fréquence pour un transistor nFinFET ayant HfO_2 pour une longueur effective de 60nm.	61
Figure 3-1 : Caractéristique $I_D(V_{GS})$ d'un transistor pFinFET (SOI + SEG + CESL) avec HfO_2 pour différentes longueurs de grille à $V_{DS} = -20$ mV.	67
Figure 3-2 : Caractéristique $g_m(V_{GS})$ d'un transistor pFinFET (SOI + SEG + CESL) avec HfO_2 pour différentes longueurs de grille.	67
Figure 3-3 : Caractéristique $I_D(V_{GS})$ pour des transistors de longueur de 160 nm des trois structures étudiées de pFinFET avec HfO_2	67
Figure 4-1 : Courant de drain en fonction de la tension de grille pour la longueur $L_E = 60$ nm en régime linéaire ($V_{DS} = 50$ mV) pour des transistors contraints et standards avec $HfSiON$	84
Figure 4-2 : Evolution de la tension de seuil en fonction de la température pour des nFinFETs avec $HfSiON$	86

Liste des tableaux

Tableau 1-1 : Lois de réduction d'échelle [8].	25
Tableau 2-1 : Evolution de S_{I_D}/I_D^2 et S_{V_G} en fonction de la tension effective de grille pour les différents modèles du bruit en 1/f en régime linéaire.	48
Tableau 3-1 : Principaux paramètres extraits des pFinFETs avec HfO ₂ .	68
Tableau 3-2 : Densités de pièges N_{ii} extraites à partir du bruit en 1/f à 300K pour des pFinFETs avec HfO ₂ de différentes structures ayant une longueur de 60 nm.	76
Tableau 4-1 : Principaux paramètres extraits des nFinFETs avec HfSiON.	83
Tableau 4-2 : Résumé des paramètres extraits des transistors nFinFETs avec HfSiON.	90
Tableau 4-3 : Densités de pièges N_{ii} extraites à partir du bruit en 1/f à 300 K dans des nFinFETs avec HfSiON pour deux longueurs.	96
Tableau 4-4 : Densités de pièges N_{ii} extraites à partir du bruit en 1/f à 100 K, 160 K et 300 K pour la longueur de 910 nm dans des nFinFETs avec HfSiON ayant la structure sSOI + SEG + CESL.	96
Tableau 4-5 : Les défauts fréquemment trouvés pour toutes les structure étudiées, les lignes grises indiquent les structures qui ont subi un dépôt du « SiC liner ».	101
Tableau 4-6 : Densités de pièges N_{ii} extraites dans les transistors pFinFETs avec HfSiON à partir du bruit 1/f à 300K pour la longueur de 60 nm.	109

Références

- [1] J. E. Lienfeld, U.S. Patent N°1-745-175 (1930).
- [2] J. Kilby, "Miniaturized Electronic Circuits", Patent N°3-138-743 (1959).
- [3] S. M Sze, "Physics of semiconductor devices", Wiley-Interscience publication, 2nd Edition (1981).
- [4] C. T. Sah, T. H. Ning and L. L. Tschopp, "The scattering of electrons by surface oxides charges and by lattice vibrations at the silicon-silicon dioxide interface", *Surface Science*, 32, 561-575 (1972).
- [5] S. Takagi, A. Toriumi, M. Iwase et H. Tango, "On the universality of inversion layer mobility in Si MOSFETs: Part-I-effects of substrate impurity concentration", *IEEE Transactions on Electron Devices*, 41, 2357-2362 (1994).
- [6] www.Itrs.net
- [7] R. H. Dennard, F. H. Gaensslen, H-N. Yu, V. L. Rideout, E. Bassous and A. R. Leblanc, "Design of Ion-Implanted MOSFET's with very small physical dimensions", *IEEE, Journal of Solid-State Circuits*, 9, 256-268 (1974).
- [8] G. Baccarani, M. R. Wordeman and R. H. Dennard, "Generalized scaling theory and its application to a 1/4 micrometer MOSFET design", *IEEE Transactions On Electron Devices*, 31, 452-462 (1984).
- [9] V. K. Khann, « Physics of carrier-transport mechanisms and ultra-small scale phenomena for theoretical modelling of nanometer MOS transistors from diffusive to ballistic regimes of operation », *Physics Reports*, 398, 67-131 (2004).
- [10] G. Ghibaudo, R. Clerc, E. Vincent, S. Bruyère, J.L. Autran, "Gate dielectrics for ultimate CMOS technologies- Limitations and alternatives solutions", *C. R Academy Science, série IV*, 911-927 (2000).
- [11] T. Skotnicki, « Transistor MOSFET et sa technologie de fabrication », *Technique de l'ingénieur*, E 2 430, 1-37.
- [12] J-H. Rhew, Z. Ren, M. S. Lundstrom, "A numerical study of ballistic transport in a nanoscale MOSFET", *Solid-State Electronics*, 46, 1899-1906 (2002).
- [13] I. Pappas, G. Ghibaudo, C. A. Dimitriadis, C. Fenouillet-Béranger, "Backscattering coefficient and drift-diffusion mobility extraction in short channel MOS devices", *Solid-State Electronics*, 53, 54-56 (2009).
- [14] B.L. Yang, P.T. Lai, H. Wong, "Conduction mechanisms in MOS gate dielectric films", *Departement of Electrical and electronic Engineering, The university of Hong Kong, Pokfulam Road, Internal publication* (2004).
- [15] A. Gehring, S. Selberherr, « Modeling of tunneling current and gate dielectric reliable for nonvolatile memory devices », *IEEE Transactions on Device and Materials Reliability*, 4, (2004).
- [16] R. Clerc, "Etude des effets quantiques dans les composants CMOS à oxydes de grille ultra minces- modélisation et caractérisation », *thèse de doctorat, Institut National Polytechnique de Grenoble* (2001).

-
- [17] K. K. NG and G. W. Taylor, "Effects of hot-carrier trapping in n- and p-channel MOSFETs", *IEEE Transactions On Electron Devices*, 30, 871-876 (1983).
- [18] S. Cristoloveanu, F. Balestra, « Technologie silicium sur isolant (SOI) », *E 2 380*, 1-23.
- [19] J. Jomaah, G. Ghibaudo and F. Balestra, "Analysis and modelling of self-heating effects in thin-film SOI MOSFETs as a function of temperature", *Solid-State Electronics*, 38, 615-618 (1995).
- [20] F. Balestra and S. Cristoloveanu, "Special mechanisms in thin-film SOI MOSFETs", *Microelectronics Reliability*, 37, 1341-1351 (1997).
- [21] P. G. Der Agopian, J. A. Martino, E. Simoen, C. Claeys, "Study of the linear kink effect in PD SOI nMOSFETs", *Microelectronics Journal*, 38, 114-119 (2007).
- [22] P. Smeys and J. P. Colinge, "Analysis of drain breakdown voltage in enhancement-mode SOI MOSFETs", *Solid-State Electronics*, 36, 569-573 (1993).
- [23] G. Janczyk, "Bipolar mechanisms present in short channel SOI-MOSFET transistors", *Microelectronics Reliability*, 45, 1257-1263 (2005).
- [24] W. Zhu, J-P. Han and T. P. Ma, « Mobility measurement and degradation mechanisms of MOSFETs made with ultrathin high-k dielectrics », *IEEE Transactions on Electron Devices*, 51, 98-105 (2004).
- [25] M. Wu, Y. I. Alivov, H. Morkoç, "High dielectrics and advanced channel concepts for Si MOSFET", *Journal of Materials Sciences*, 19, 915-951 (2008).
- [26] L. Pantisano, L-A Ragnarsson, M. Houssa, R. Degraeve, G. Groeseneken, T. Schram, S. Degendt, M. Heyns, V. Afanas, A. Stesman, "Impact of defects on the high-k/ MG stack: the electrical characterization challenge", *Materials Science in Semiconductor Processing*, 9, 880-884 (2006).
- [27] S. Allegret, "Etude d'électrodes métalliques à base de tungstène, préparées par MOCVD, pour empilement de grille CMOS de technologie sub-65nm", thèse de doctorat, Ecole Centrale de Lyon (2006).
- [28] L. Xie, Y. Zhao, M. H. White, "Interfacial oxide determination and chemical/electrical structures of HfO₂/SiO_x/Si gate dielectrics", *Solid-State Electronics*, 48, 2071-2077 (2004).
- [29] L. Pantisano, L-A Ragnarsson, M. Houssa, R. Degraeve, G. Groeseneken, T. Schram, S. Degendt and M. Heyns, "Impact of high-k properties on MOSFET electrical characteristics", chapter 6, *NATO Science Series*, volume 220 (2006).
- [30] V. Chan, K Rim, M. Jeong, S. Yang, R. Malik, Y. Way Teh, M. Yang, Q. Ouyang, "Strain for CMOS performance Improvement", *IEEE Custom Integrated Circuits Conference*, 667-674 (2005).
- [31] K. Huet, « Modelisation du transport sous contrainte mécanique dans les transistors sub-65nm pour la microélectronique CMOS », thèse de doctorat, Université Paris Sud 11(2008).
- [32] L. Chang, M. Leong and M. Yang, "CMOS circuit performance enhancement by surface orientation optimization", *IEEE Transactions on Electron Devices*, 51, 1621-1627 (2004).

-
- [33] X. Garros, F. Rochette, F. Andrieu, S. Baudot, G. Reibold, C. Aulnette, N. Davaland F. Boulanger, « Modeling and direct extraction of band offset induced by stress engineering in silicon-on-insulator metal-oxide-semiconductor field effect transistors: Implications for device reliability », *Journal of Applied Physics*, 105, 114508, 1-9 (2009)
- [34] G. Eneman, « Design, Fabrication and Characterization of Advanced Field Effect Transistors with Strained Silicon Channels », these de doctorat, Université catholique de Leuven (2006).
- [35] C. Claeys, E. Simoen, S. Put, G. Giusi, F. Crupi, « Impact strain engineering on gate stack quality and reliability », *Solid-State Electronics* 52, 1115–1126, (2008)
- [36] K. Rim, R. Anderson, D. Boyd, F. Cardone, K. Chan, H. Chen, S. Christensen, J. Chu, K. Jenkins, T. Kanarsky, S. Koester, B.H. Lee, K. Lee, V. Mazzeo, A. Mocuta, D. Mocuta, P.M. Mooney, P. Oldiges, J. Ott, P. Ronsheim, R. Roy, A. Steegen, M. Yang, H. Zhu, M. Jeong, H.-S.P. Wong, « Strained Si CMOS (SSCMOS) technology: opportunities and challenges », *Solid-State Electronics*, 47, 1133–1139 (2003)
- [37] A. Ogura, T. Yoshida, D. Kosemura, Y. Kakemura, M. Takei, H. Saito, T. Shimura, T. Koganesawa, I. Hirose, « Evaluation of super-critical thickness strained-Si on insulator (sc-SSOI) substrate », *Solid-State Electronics*, 52, 1845-1848 (2008).
- [38] C. Ortolland, « Etude des effets des contraintes mécaniques induites par les procédés de fabrication sur le comportement électrique des transistors CMOS des nœuds technologiques 65nm et en deça », Thèse de doctorat, Institut National des sciences appliquées de Lyon (2006).
- [39] J. Shim, H. Oh, H. Choi, T. Sakaguchi, H. Kurino, M. Koyanagi, « SiGe elevated source/drain structure and nickel silicide contact layer for sub 0.1 μm MOSFET fabrication », *Applied Surface Science*, 260-264 (2004).
- [40] N. Collaert, R. Rooyackers, A. Hikavy, A. Dixit, F. Leys, P. Verheyen, R. Loo, M. Jurczak, S. Biesemans, « Multi-gate devices for the 32 nm technology node and beyond: Challenges for Selective Epitaxial Growth », *Thin Solid Films*, 517, 101–104 (2008).
- [41] A. Shickova, « Bias temperature instability effects in devices with fully-silicided gate stacks, strained-Si and multiple-gate architectures », these de doctorat, Université catholique de Leuven (2008).
- [42] J. Park, J.-P. Colinge, « Multiple-Gate SOI MOSFETs: Device Design Guidelines », *IEEE Transactions on Electron Devices*, 49, 2222-2229 (2002).
- [43] J.-P. Colinge, « Multiple-gate SOI MOSFETs », *Solid-State Electronics*, 48, 897-905 (2004).
- [44] J.-P. Colinge, « Multi-gate SOI MOSFETs », *Microelectronic Engineering*, 84, 2071-2076 (2007).
- [45] T. Poiroux, M. Vinet, O. Faynot, J. Widiez, J. Lolivier, T. Ernst, B. Previtali, S. Deleonibus, « Multiple gate devices: advantages and challenges », *Microelectronic Engineering*, 80, 378-385 (2005).
- [46] T. Poiroux, M. Vinet, O. Faynot, J. Widiez, J. Lolivier, T. Ernst, B. Previtali, S. Deleonibus, « Multigate silicon MOSFETs for 45 nm node and beyond », *Solid-State Electronics*, 50, 18-23 (2006).
- [47] J.-C. Boudenot, « From transistor to nanotube », *C. R. Physique* 9, 41-52 (2008).

-
- [48] A. Venkataratnam, A. K. Goel, "Design and simulation of logic circuits with hybrid architectures of single-electron transistors and conventional MOSE devices at room temperature", *Microelectronics Journal*, 39, 1461-1468 (2008).
- [49] J. B. Kuo and Ker-Wei Su, « CMOS VLSI Engineering Silicon-on-Insulator (SOI) », chapitre 6, Kluwer Academic Publishers (1998).
- [50] F. Crupi, B. Kaczer, R. Degraeve, V. Subramanian, P. Srinivasan, E. Simoen, A. Dixit, M. Jurczak and G. Groeseneken, "Reliability comparison of Triple-gate versus planar SOI FETs", *IEEE Transactions Devices*, 53, 2351-2357 (2006).
- [51] A. Kranti and G. A. Armstrong, "Performance assessment of nanoscale double- and triple-gate FinFETs", *Semiconductor Science and Technology*, 21, 409-421 (2006).
- [52] M. J. H. Van Dal, B. J. P. awlak, N. Collaert, M. Jurczak and R. J. P. Lander, "Ion implantation for low-resistive source/drain contacts in FinFET devices", *Materials Research Society*, 1070-E02-01 (2008).
- [53] T. Rudenko, A. Nazarov, V. Kilchystka, D. Flandre, N. Collaert, M. Jurczak, "Experimental evidence for reduction of gate tunnelling current in FinFET structures and its dependence on the Fin Width", *IEEE*, (2006).
- [54] P. Magnone, V. Subramanian, B. Parvais, A. Mercha, C. Pace, M. Dehan, S. Decoutere, G. Groeseneken, F. Crupi, S. Pierro, "Gate voltage and geometry dependence of the serie resistance and of the carrier mobility in FinFETs device", *Microelectronics Engineering*, 85, 1728-1731 (2008).
- [55] S. Balasubramanian, "Nanoscale thin-body MOSFET design and applications", thèse de doctorat, University of California (2006).
- [56] S.S. Rathod, A.K. Saxena, S. Dasgupta, "A proposed DG-FinFET based SRAM cell design with RadHard capabilities", *Microelectronics Reliability*, 50, 1181-1188 (2010).
- [57] S.C. Song, M. Abu-Rahma, G. Yeap, "FinFET based SRAM bitcell design for 32 nm node and below", *Microelectronics Journal*, 42, 520-526 (2011)
- [58] V. Subramanian, B. Parvais, J. Borremans, A. Mercha, D. Linten, P. Wambacq, J. Loo, M. Dehan, C. Gustin, N. Collaert, S. Kubicek, R. Lander, J. Hooker, F. Cubaynes, S. Donnay, M. Jurczak, G. Groeseneken, W. Sansen and S. Decoutere, "Planar bulk MOSFETs versus FinFETs: an analog/ RF perspective", *IEEE Transactions on Electron Devices*, 53, 3071-3079 (2006).
- [59] P. Wambacq, B. Verbruggen, K. Scheir, J. Borremans, M. Dehan, D. Linten, V. De Heyn, G. Van der Plas, A. Mercha, B. Parvais, C. Gustin, V. Subramanian, N. Collaert, M. Jurczak and S. Decoutere, « The potentiel of FinFETs for analog and RF circuits applications », 54, 2541-2551 (2007).
- [60] D. Lederer, V. Kilchystka, T. Rudenko, N. Collaert, D. Flandre, A. Dixit, K. De Meyer, J.-P. Raskin, "FinFET analog characterization from DC to 110 GHz", *Solid-State Electronics*, 49, 1488-1496 (2005).
- [61] M.A. Pavanello, J.A. Martino, E. Simoen, R. Rooyackers, N. Collaert, C. Claeys, "Evaluation of triple-gate FinFETs with SiO₂-HfO₂-TiN gate stack under analog operation", *Solid-State Electronics*, 51, 285-291 (2007).

-
- [62] T. Rudenko, V. Kilchystska, N. Collaert, M. Jurczak, A. Nazarov and D. Flandre, "Substrate bias effect linked to parasitic series resistance in Multiple-Gate SOI MOSFETs", *IEEE Electron Device Letters*, 28, 834-836 (2007).
- [63] A. Dixit, A. Kottantharayil, N. Collaert, M. Goodwin, M. Jurczak and K. De Meyer, "Analysis of the parasitic S/D resistance in Multiple-Gate FETs", *IEEE Transactions on Electron Devices*, 52, 1132-1140 (2005).
- [64] N. Collaert, R. Rooyackers, F. Clemente, P. Zimmerman, I. Cayrefourcq, B. Ghyselen, K. T. San, B. Eyckens, M. Jurczak, S. Biesemans, "Performance enhancement of MUGFET devices using super critical strained-SOI", *Symposium on VLSI Technology Digest of Technical Papers* (2006).
- [65] L. K. J. Vandamme and F. N. Hooge, "1/f noise as diagnostic tool for quality evaluation of electronic devices", *ESREF*, France.
- [66] L. K. J. Vandamme, "Noise as a Diagnostic Tool for Quality and Reliability of Electronic Devices", *IEEE Transactions On Electron Devices*, 41, 2176-2187 (1994)
- [67] M. M. Jevtic, "Noise as diagnostic and prediction tool in reliability physics", *Microelectronics Reliability*, 35, 455-477 (1995).
- [68] F. N. Hooge, "1/f noise sources", *IEEE Transactions On Electron Devices*, 41, 1926-1935 (1994)
- [69] A. McWhorter, in *Semiconductor Surf. Phys.*, Univ. of Pennsylvania Press, Philadelphia, p. 207 (1957)
- [70] G. Ghibaudo, "On the theory of carrier number fluctuations in MOS devices", *Solid-State Electronics*, 32, 563-565 (1989).
- [71] S. Christensson, I. Lundström, and C. Svensson, "Low-frequency noise in MOS transistors- I theory". *Solid-State Electronics*, 11, 797-812 (1968).
- [72] G. Ghibaudo, "Critical MOSFETs for low voltage/ low power IC's: Ideal characteristics, parameter extraction, electrical noise and RTS fluctuations", *Microelectronic Engineering*, 39, 31-57 (1997).
- [73] E. Simoen, C. Cleays, "On the flicker noise in submicronic silicon MOSFETs", *Solid-State Electronics*, 43, 865-882 (1999).
- [74] F.N Hooge, "1/f noise is no surface effect", *Physics Letters*, 29, 139-140 (1969).
- [75] J. Jomaah, F. Balestra and G. Ghibaudo, "Low frequency noise in advanced Si bulk and SOI MOSFETs, *Journal of telecommunications and Information Technology*, 24-33 (2005).
- [76] N. B. Lukyanchikova, "Sources of the Lorentzian Components in the Low-Frequency Noise Spectra of Submicron Spectra of Submicron Metal-Oxide-Semiconductor Field-Effect Transistors", Chapter 10, *Noise and Fluctuations Control in Electronic Devices* edited by A. Balandin American Scientific, Riverside, CA p.201 (2002).
- [77] W. Shockley, W. Read and Hall, "Statistic of recombination of holes and electrons", *Physical Review*, 87, 835-842 (1952).

-
- [78] V. Grassi, C.F. Colombo, D. V. Camin, "Low frequency noise versus temperature spectroscopy of recently designed Ge JFETs", *IEEE Transactions on Electron Devices*, 48, pp. 2899- 2905 (2001).
- [79] N. B. Lukyanchikova, M.V. Petrichuk, N. Garbar, A. Mercha, E. Simoen and C. Claeys, "Electron valence-band tunnelling-induced Lorentzian noise in deep submicron silicon-on-insulator metal-oxide-semiconductor field-effect transistors", *Journal of Applied Physics*, 94, 4461-4469 (2003)
- [80] W. Jin, P. C. H. Chan, S. K. H. Fung and P. K. Ko, "Shot noise induced excess low frequency noise in floating-body partially depleted SOI MOSFET's", *IEEE Transactions on Electron Devices*, 46, 1180-1185 (1999).
- [81] Z. Celik-Butter, N. V. Amarasinghe, "Random Telegraph Signals in deep submicron Metal -Oxide-Semiconductor Field Effect Transistors", Chapter 9, *Noise and Fluctuations Control in Electronic Devices* edited by A. Balandin American Scientific, Riverside, CA p.201 (2002).
- [82] E. Simoen and C. Claeys, "Random Telegraph Signal: a local probe for single point defect studies in solid-state devices", *Materials Science and Engineering*, 92, 136-143 (2002).
- [83] G. Ghibaudo, T. Bouchacha "Electrical noise and RTS fluctuations in advanced CMOS devices", *Microelectronics Reliability*, 42, 573-582 (2002)
- [84] J-M. Routoure, " Etude expérimentale du bruit excédentaire dans les procédés BiCMOS ", thèse de doctorat, Université de Caen Basse Normandie (1998).
- [85] C. Mourain, B. Cretu, G. Ghibaudo and P. Cottin, New method for parameter extraction in deep submicrometer MOSFETs, *IEEE International Conference On Microelectronics, Test Structure proceedings*, 181-186 (2000)
- [86] F. Crupi, B. Kaczer, R. Degraeve, V. Subramanian, P. Srinivasan, E. Simoen, A. Dixit, M. Jurczak, G. Groeseneken, " Reliability comparison of triple-gate versus planar SOI FETs", *IEEE Transactions On Electron Devices*, 53, 2351-2357 (2006).
- [87] N. Lukyanchikova, N. Garbar, V. Kudina, A. Smolanka, C. Claeys, E. Simoen, "Linear kink effect Lorentzians in the noise spectra of n- and p-channel fin field-effect transistors processed in standard and strained silicon-on-insulator substrates", *Solid-State Electronics*, 53, 613-620 (2009).
- [88] V. Subramanian, A. Mercha, A. Dixit, K. G. Anil, M. Jurczak, K. De Mayer, S. Decoutere, H. Maes, G. Groeseneken and W. Sansen, "Geometry dependence of 1/f noise in n- and p-channel MuGFETs", In: T. Gonzalez, J. Mateos and D. Pardo editors, *Proceeding 18th International Conference on Noise and Fluctuations*, 279-282 (2005).
- [89] J-S Lee, Y-K. Choi, D. Ha, T-j. King and J. Bokor, "Low-frequency noise characteristics in p-channel FinFETs", *IEEE Electron Device Letters*, 23, 722-724 (2002).
- [90] J-S Lee, Y-K. Choi, D. Ha, S. Balasubramanian, T-j. King and J. Bokor, "Hydrogen annealing effect on DC and Low frequency noise characteristics in CMOS FinFETs", *IEEE Electron Device Letters*, 24, 186-188 (2002).

-
- [91] W. Guo, "Etude expérimentale et modélisation du bruit basse fréquence en fonction de la température (80K-300K) dans des transistors MOS issus de plusieurs technologies avancées (0,13 μm -32 nm) », thèse de doctorat, Université de Caen Basse Normandie (2008).
- [92] N. Lukyanchikova, N. Garbar, M. Petrichuk, E. Simoen, C. Claeys, "Flicker noise in deep submicron nMOS transistors", *Solid-State Electronics*, 44, 1239-1245 (2000).
- [93] N. Lukyanchikova, N. Garbar, V. Kudina, A. Smolanka, S. Put, C. Claeys and E. Simoen, "On the 1/f noise of triple-gate field-effect transistors with high-k dielectric", *APPLIED PHYSICS LETTERS*, 95, 032101 (2009).
- [94] E. Simoen, A. Mercha, L. Pantisano, C. Claeys, E. Young, "Tunneling 1/f^y noise in 5 nm HfO₂/2.1 nm SiO₂ gate stack n-MOSFETs", *Solid-State Electronics*, 49, 702-707 (2005).
- [95] S. Put, H. Mehta, N. Collaert, M. Van Uffelen, P. Leroux, C. Claeys, N. Lukyanchikova, E. Simoen, "Effect of rotation, gate dielectric and SEG on the noise behaviour of advanced SOI MuGFETs", *Solid-State Electronics*, 54, 178-184 (2010).
- [96] Skotnicki T, "Materials and device structures for sub-32 nm CMOS nodes", *Microelectronic Engineering*, 84, 1845-1852(2007).
- [97] N. Collaert, R. Rooyackers, A. De Keersgieter, F. Leys, I. Cayrefourq, B. Ghyselen, R. Loo and M. Jurczak, "Stress hybridization for multigate devices on supercritical strained-SOI (SC-SSOI)". *IEEE Electron Device Letter*, 28, 646-648 (2007).
- [98] T. Morshed, S. P. Devireddy, M. S. Rahman, Z. Çelik-Butler, H. Tseng, A. Zlotnicka, A. Shanware, K. Green, J. J. Chambers, M. R. Visokay, M. A. Quevedo-Lopez, and L. Colombo." A new model for 1/f noise in high-k MOSFETs". *IEDM Technical Digest*, 561-564 (2007).
- [99] T. Morshed, S. P. Devireddy, Z. Çelik-Butler, A. Shanware, K. Green, J. J. Chambers, M. R. Visokay, and L. Colombo, "Physics-based 1/f noise model for MOSFETs with nitrided high-k gate dielectrics". *Solid-State Electronics*, 52, 711-724 (2008).
- [100] K. Hung et al, "A unified model for the flicker noise in metal-oxide-semiconductor field-effect transistors", *IEEE Transactions on Electron Devices*, 37, 654 (1990).
- [101] M. R. Visokay, J. J. Chambers, A. L. P. Rotondaro, A. Shanware and L. Colombo, "Application of HfSiON as a gate dielectric material", *Applied Physics Letters*, 80, 3183-3185 (2002).
- [102] M. Saitoh, M. Terai, N. Ikarashi, H. Watanabe, S. Fujiedas, T. Iwamoto *et al*, "1.2nm HfSiON/SiON stacked gate insulators for 65nm-node MISFETs", *Japanese Journal of Applied Physics*, 44, 2330-2335 (2005).
- [103] A. Veloso, T. Hoffmann, A. Lauwers, H. Yu, S. Severi, E. Augendre, S. Kubicek, P. Verheyen, N. Collaert, P. Absil, M. Jurczak, S. Biesemans, *Science and Technology of Advanced Materials*, 8, 214-218 (2007).
- [104] M.A. Pavanello, J. A. Martino, E. Simoen, R. Rooyackers, N. Collaert and C. Claeys, "Temperature influence on FinFETs with undoped body", *Electrochemical Society Transactions*, 6, 211-216 (2007).

-
- [105] V. Kilchytska, N. Collaert, M. Jurczak, D. Flandre, "Specific features of multiple-gate MOSFET threshold voltage and subthreshold slope behaviour at high temperature", *Solid-State Electronics*, 51, 1185-1193 (2007).
- [106] K. Akarvardar, A. Mercha, E. Simoen, V. Subramanian, C. Claeys, P. Gentil, S. Cristoloveanu, « High temperature performance of state-of-the art triple-gate transistors" *Microelectronics Reliability*, 47, 2065-2069 (2007).
- [107] M. Emam, J. C. Tinoco, D. Vanhoenacker-Janvier and J-P. Raskin, "High temperature DC and RF behaviors of partially-depleted SOI MOSFET transistors", *Solid-State Electronics*, 52, 1924–1932 (2008)
- [108] L.M Camillo, J.A. Martino, E. Simoen, C. Claeys, "The temperature mobility degradation influence on the zero temperature coefficient of partially and fully depleted SOI MOSFETs", *Microelectronics Journal*, 37, 952-957 (2006).
- [109] E. Simoen, G. Eneman, P. Verheyen, R. Loo, K. De Meyer and C. Claeys, "Processing Aspects in the Low-Frequency Noise of nMOSFETs on Strained-Silicon Substrates", *IEEE Transactions on Electron Devices*, 53, 1039 (2006),
- [110] C. Claeys, E. Simoen, A. Mercha, L. Pantisano, and E. Young, "Low-frequency noise study of n-MOSFETs with HfO₂ gate dielectric," *Journal of The Electrochemical Society*, 152, F115–F123 (2005).
- [111] K. Bennamane, T. Boutchacha, G. Ghibaudo, M. Mouis, N. Collaert, "DC and low frequency noise characterization of FinFET devices", *Solid-State Electronics*, 53, 1263-1267 (2009).
- [112] M. Rodrigues, J.A. Martino, A. Mercha, N. Collaert, E. Simoen, C. Claeys, "Low frequency noise and static analysis of the impact of the TiN metal gate thicknesses on n- and p-channel MUGFETs", *Solid-State Electronics*, 54, 1592-1597 (2010).
- [113] P. Srinivasan, E.Simoen, Z. M. Rittersma, W. Deweerdt, L. Pantisano, C. Claeys, D. Misra, "Effect of nitridation on Low frequency (1/f) noise in n- and p-MOSFETs with HfO₂ gate dielectrics", *Journal of the Electrochemical Society*, 153. G819-G825 (2006).
- [114] I. Lartigau, J. M. Routoure, W. Guo, B. Cretu, R. Carin, " Low temperature noise spectroscopy of 0.1µm partially depleted silicon on insulator metal-oxide-semiconductor field effect transistors" *Journal of Applied Physics*, 101, 104511 (2007).
- [115] C. Claeys, E. Simoen, "Radiation effects in advanced Semiconductor Materials and devices", *Materials Science*, Springer (2002).