



HAL
open science

Méthodologie d'approche pour la conception des transistors VDMOS de puissance

B. Beydoun, Henri Tranduc, F. Oms, A. Peyre Lavigne, P. Rossel

► **To cite this version:**

B. Beydoun, Henri Tranduc, F. Oms, A. Peyre Lavigne, P. Rossel. Méthodologie d'approche pour la conception des transistors VDMOS de puissance. *Journal de Physique III*, 1994, 4 (10), pp.1939-1955. 10.1051/jp3:1994249 . jpa-00249234

HAL Id: jpa-00249234

<https://hal.science/jpa-00249234>

Submitted on 4 Feb 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Classification
Physics Abstracts
73.400

Méthodologie d'approche pour la conception des transistors VDMOS de puissance

B. Beydoun ⁽¹⁾, H. Tranduc ⁽¹⁾, F. Oms ⁽¹⁾, A. Peyre Lavigne ⁽²⁾ et P. Rossel ⁽¹⁾

⁽¹⁾ Laboratoire d'Analyse et d'Architecture des Systèmes, CNRS, 7 Av. du Colonel Roche, 31077 Toulouse Cedex, France

⁽²⁾ Motorola Semiconducteurs, le Mirail, B.P. 1029, 31023 Toulouse Cedex, France

(Reçu le 2 mars 1993, révisé le 30 mai 1994, accepté le 15 juin 1994)

Résumé. — Cette communication présente une approche de conception de transistor MOS de puissance basée sur les propriétés physiques et électriques du dispositif. On propose à partir i) de la géométrie (dimensionnement des cellules, règles de dessin, taille de puce), ii) de la tenue en tension et iii) du processus technologique, de déterminer *a priori* les performances électriques du composant. Cette approche passe par la topologie d'un schéma équivalent éprouvé et aboutit à des caractéristiques électriques statiques et en commutation dans des circuits typiques de l'électronique de puissance. Des exemples d'application sont proposés.

Abstract. — In this paper, a design method for Power MOSFET devices, based on the physical phenomena and electrical properties of the structure, is presented. This method is implemented in a software called Power MOSFET's Designer, which only needs three inputs: the layout (cells, design rules, chip area), the breakdown voltage and the technological family characteristics, to define the SPICE equivalent circuit of the transistor. It is well suited to the simulation of power electronics circuits. Application examples are given.

1. Introduction.

Les transistors MOS de puissance actuellement disponibles sont des composants verticaux multicellulaires et présentent des gammes de tenue en tension allant de 50 V à 1 000 V. Ces composants sont utilisés soit en tant qu'interrupteurs dans les circuits de l'électronique de puissance soit en tant qu'éléments de sortie dans les circuits intégrés de puissance (*Smart Power*). Ce sont des composants rapides qui, d'un point de vue commutation, sont essentiellement limités par leur capacité drain-grille (effet Miller de contre-réaction sortie-entrée). Pour la plupart, ils ont été conçus, d'un point de vue dimensionnement (*layout*), selon des considérations « pas à pas » basées sur l'extrapolation des caractéristiques de produits existants et au moyen de « véhicules test » successifs, de sorte que leurs caractéristiques électriques ne sont pas toujours optimales pour un domaine d'application précis.

Aujourd'hui, les tendances dans l'évolution des structures sont bien cernées. La première est classique : il s'agit de l'accroissement de la densité d'intégration dans les composants VDMOS

basse tension multicellulaires et à épaisseur d'oxyde uniforme. La deuxième s'applique dans un premier temps aux produits VDMOS haute tension : c'est la réduction de l'effet Miller par épaissement de l'oxyde de grille en zone intercellulaire. Elle s'appliquera aussi, dans un futur proche, aux composants basse tension par l'émergence de technologies utilisant non plus un oxyde de champ, mais une configuration LOCOS (*LOCAl Oxidation of Silicon*) permettant à la fois de conserver une forte densité d'intégration et d'obtenir l'épaissement de l'oxyde intercellulaire qui sépare les cellules.

En ce qui concerne les travaux de modélisation de ces produits, il est acquis [1-4] aujourd'hui que les formes du schéma équivalent sont connues et que les procédures d'extraction des paramètres sont établies ; il est à noter que ces paramètres sont souvent des paramètres globaux et « de fit » sans signification physique clairement établie. De plus, à partir de banques de données fournies par la mesure des paramètres relevés sur des produits appartenant à une famille technologique précise et ayant une forme — géométrie et règles de dessin — figée, ces paramètres peuvent être normalisés à l'aire unitaire de silicium et l'extrapolation à la conception de produits « dédiés » est envisageable.

De manière plus générale, il n'existait pas, à ce jour, d'outil dit « de conception à la demande » (*full custom*) c'est-à-dire qui permette — à partir des données physiques, technologiques, du dessin (*layout*), d'un calibre en tension et d'une température de cristal fixés — de connaître *a priori* les performances électriques des produits dans un environnement « circuit ». Ceci est d'autant plus vrai que les outils basés sur la résolution des équations des semiconducteurs — en 2 dimensions — ne sont pas bien adaptés à l'interfaçage à un environnement « circuit ». Des tentatives d'évaluation de certains paramètres dynamiques, à partir de considérations liées au dessin, sont toutefois en cours de proposition [5].

Cet article se situe dans cet objectif général de proposition de nouveaux outils pour la conception soit de composants discrets destinés à une utilisation en électronique de puissance, soit des éléments de sortie dans les circuits intégrés monolithiques de puissance. On propose ainsi un « générateur » de modèle électrique d'interrupteur MOS de puissance défini par : i) les données de géométrie de structure, ii) les paramètres physiques (mobilités, vitesse limite...) des matériaux, iii) la technologie (épaisseurs des couches, profondeurs des jonctions..). Ce générateur, implémenté sous forme interactive dans le logiciel HyperCard [6], utilise la topologie des schémas équivalents SPICE ou ELDO [7, 8] que nous avons déjà élaborés dans le passé [4] et fournit, par une approche analytique, la valeur des paramètres utilisés par ces modèles.

Cet outil permet la détermination *a priori* des caractéristiques statiques et en commutation de composants de technologies standardisées mais aussi, et surtout, de prototypes appartenant aux nouvelles générations déjà évoquées. En tant que prospective, il serait également envisageable de l'utiliser pour évaluer les performances de composants élaborés sur d'autres matériaux que le silicium (SiC par exemple). Pour ce faire, les constantes et les paramètres physiques de ces nouveaux matériaux peuvent être introduits dans le logiciel en lieu et place de ceux relatifs au silicium et à son oxyde.

2. Equations régissant le fonctionnement.

2.1 TOPOLOGIE DU MODÈLE. — La topologie du modèle de commutation que nous utilisons est compatible avec les simulateurs de circuits électriques SPICE [7] et ELDO [8].

Celle-ci a déjà été décrite [4] ainsi que la procédure d'acquisition expérimentale des paramètres. Dans un but de conception, nous avons à définir maintenant les relations liant les éléments du modèle à la géométrie de surface, aux données de la technologie — profondeur des jonctions, dopages, charges parasites d'oxyde.. — et aux paramètres physiques pris soit sous forme spécifique — mobilité, vitesse limite, — soit sous forme plus globale — par exemple

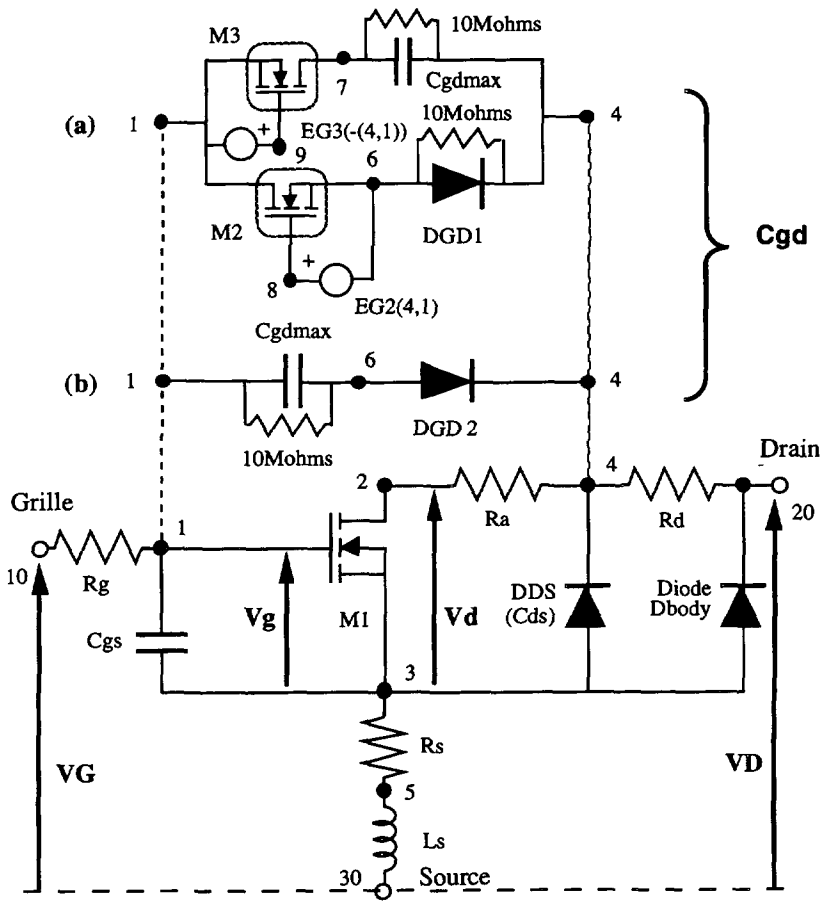


Fig. 1. — Modèles du transistor VDMOS de puissance pour la commutation [4] : a) modèle « à interrupteurs », b) modèle « à initialisation ».

[Models of the Power Vertical DMOS Transistor : a) « switches », model b) « initialization » model requiring an initialization step for the node 6.]

compromis dopage — épaisseur compte tenu des lois d'avalanche qui font intervenir les coefficients d'ionisation. Nous allons tout d'abord expliciter les plus importantes de ces relations en citant leur référence d'origine, puis nous commenterons la prise en compte de la géométrie de surface.

2.2 ÉQUATIONS. — Sur la coupe schématique de la figure 2 représentant deux demi-cellules, sont localisés les principaux éléments qui régissent le fonctionnement de la structure. Les relations décrivant les éléments du schéma équivalent sont explicitées dans ce qui suit.

2.2.1 Générateur de courant. — Le canal de conduction est généré par un générateur de courant, représenté par le transistor M1 sur le schéma équivalent, dont l'expression — en zone non pincée — est celle du formalisme SPICE [9] :

$$J_d = \mu_{\text{eff}} \frac{\epsilon_0 \epsilon_{\text{ox}} Z}{T_{\text{ox}} L} \left[(V_g - V_T) \cdot V_d - \frac{V_d^2}{2} \right]. \tag{1}$$

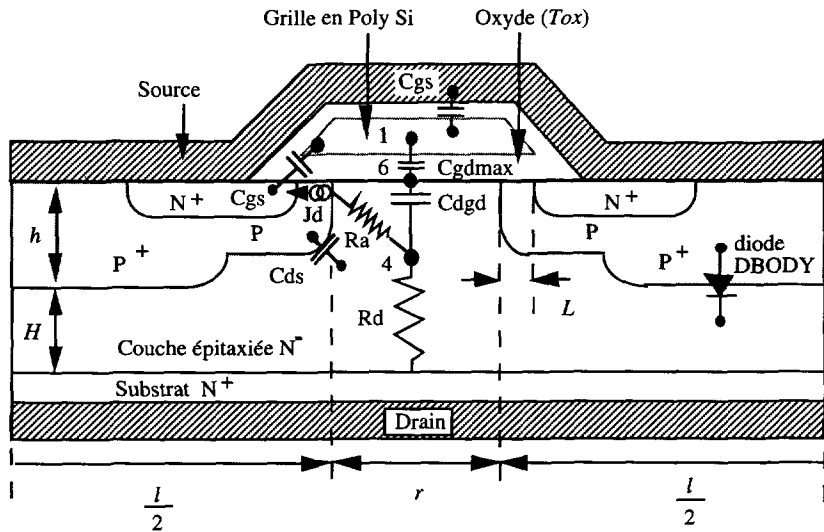


Fig. 2. — Localisation de quelques éléments dans une coupe de deux demi-cellules de VDMOS.

[Localization of the main elements of the models on a VDMOS cross-section (two half-cells).]

V_g est la tension de grille et V_d la tension « interne » appliquée aux bornes de ce générateur de courant, $\epsilon_0 \epsilon_{ox}$ la constante diélectrique de l'oxyde, Tox l'épaisseur de l'oxyde de grille, L la longueur du canal et Z sa largeur ou périmètre qui dépend de la forme géométrique en surface.

La mobilité effective μ_{eff} tient compte du champ électrique selon une loi de type :

$$\mu_{eff} = \frac{\mu_s}{1 + \left[\frac{\mu_s \cdot V_d}{V_{max} \cdot L} \right]} \tag{2}$$

où V_{max} représente la valeur limite de la vitesse des porteurs dans le canal, μ_s , la mobilité en surface dans la couche inversée du canal dépendant de la tension de grille suivant la relation [7] :

$$\mu_s = \frac{\mu_0}{1 + \Theta \cdot (V_g - V_T)} \tag{3}$$

où μ_0 est la mobilité d'inversion à champ faible et Θ est un paramètre qui rend compte de l'influence du champ électrique transversal sur la mobilité des porteurs dans le canal et dont la dépendance en fonction de l'épaisseur d'oxyde a été déterminée par Bellaouar [10].

La tension de seuil est donnée par [11] :

$$V_T = -\frac{Q_{ss}}{C_{ox}} + \Phi_{ms} + 2 \Phi_F + \sqrt{2 \Phi_F \cdot \Phi_B} \tag{4}$$

avec

$$\Phi_B = \frac{2 q \cdot NA_{max} \cdot \epsilon_0 \cdot \epsilon_{si}}{C_{ox}^2} \tag{5}$$

et

$$\Phi_F = U_T \cdot \ln \left(\frac{NA_{max}}{ni} \right) \tag{6}$$

où Φ_B est le potentiel interne du substrat, Cox la capacité d'oxyde de grille par unité de surface, n_i la concentration intrinsèque du silicium, $U_T = \frac{k \cdot T}{q}$ le potentiel thermodynamique, NA_{max} la valeur maximale du dopage dans le canal (zone P), Φ_m , la différence de travaux de sortie entre le métal et le semiconducteur et $\epsilon_0 \cdot \epsilon_{si}$ la constante diélectrique du silicium.

En régime de pincement ($V_d > V_p$) — ou saturé — la tension V_d est remplacée dans la relation (1) par la tension de pincement V_p . Pour calculer cette dernière, on se place dans le cadre de l'hypothèse d'une saturation parfaite du courant de drain ; ceci revient à négliger les effets de modulation de la longueur du canal sous l'effet de la tension drain-source. Cette hypothèse est justifiée dans le cas des transistors MOS considérés, pour lesquels le dopage de drain (zone épitaxiée N^-) est plus faible — d'une décade environ — que celui de la zone P (substrat ou *body*) du canal et, par suite, les effets de réduction de la longueur effective du canal sont peu marqués [12]. La tension de pincement est donc obtenue par une dérivation de l'expression du courant de drain (relation (1)) par rapport à la tension de drain puis annulation de cette dérivée pour la valeur particulière $V_d = V_p$.

2.2.2 Résistance d'accès. — La résistance d'accès au drain R_d est contrôlée par deux mécanismes dont les effets sont répartis ; ils sont liés à la présence d'une couche accumulée induite par la polarisation de grille à la surface de la zone N^- faiblement dopée, dite intercellulaire, et à la présence du volume de la zone N^- située au-dessous de cette couche accumulée. La localisation de cette résistance R_d est précisée sur la figure 2.

Nous avons proposé une formulation de la résistance d'accès [13] sous la forme suivante :

$$R_d = \frac{\rho \cdot h}{Z} \sqrt{\frac{1}{h \cdot \rho \cdot \mu_{nacc} \cdot Cox \cdot f(V_g)}} \cdot \frac{1}{\tanh \left[\frac{r}{2} \cdot \sqrt{\frac{1}{h \cdot \rho \cdot \mu_{nacc} \cdot Cox \cdot f(V_g)}} \right]} \quad (7)$$

où r est la distance intercellulaire, Z le périmètre déjà défini, h la profondeur de jonction du P et ρ la résistivité du semiconducteur N^- en zone intercellulaire qui s'exprime en fonction de la mobilité μ_n des électrons et du dopage N_D par :

$$\rho = \frac{1}{q \cdot \mu_n \cdot N_D} \quad (8)$$

La fonction $f(V_g)$ est donnée par :

$$f(V_g) = V_g - U_T \cdot \text{Ln} \left[1 + \frac{V_g^2}{U_T \cdot \Phi_B(N^-)} \right] \quad (9)$$

où

$$\Phi_B(N^-) = \frac{2 \cdot q \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{si}}{Cox^2} \quad (10)$$

Dans cette expression, on tient aussi compte de la réduction de la mobilité des électrons dans la couche accumulée sous l'action du champ électrique transversal [14, 15] selon la relation suivante :

$$\mu_{nacc} = \frac{\mu_{0acc}}{1 + \frac{V_g + \frac{Q_{ss}}{Cox}}{A}} \quad (11)$$

où A est le potentiel de réduction transverse de la mobilité dans la couche accumulée, μ_{0acc} est la mobilité à champ faible dans cette couche.

2.2.3 Résistance de drift. — La résistance de *drift* R_d est en série avec la résistance d'accès. Elle correspond à la zone volumique de semiconducteur N^- faiblement dopée qui forme une partie du drain. Ses localisations dans la structure et dans le schéma équivalent sont respectivement reportées sur les figures 2 et 1. Granadel [16] a proposé une méthode de calcul de cette résistance en tenant compte de la défocalisation tridimensionnelle des lignes de courant [17]. Il a proposé les expressions approchées suivantes pour les dispositifs à cellules carrées (Fig. 3) :

$$\text{Pour } H > \frac{\ell}{2} \quad R_d = \frac{1}{q \cdot \mu_n N_D \cdot (\ell + r)^2} \cdot \left[\frac{\ell + r}{4} \cdot \text{Ln} \left(\frac{2\ell + r}{r} \right) + H - \frac{\ell}{2} \right] \quad (12)$$

$$\text{Pour } H < \frac{\ell}{2} \quad R_d = \frac{1}{q \cdot \mu_n N_D \cdot 4 \cdot (\ell + r)} \cdot \text{Ln} \left[\frac{(2\ell + r) \cdot (r + 2H)}{r \cdot (2\ell + r - 2H)} \right] \quad (13)$$

où H est l'épaisseur de la couche N^- volumique, N_D son dopage, ℓ la largeur de la diffusion P, r la distance intercellulaire.

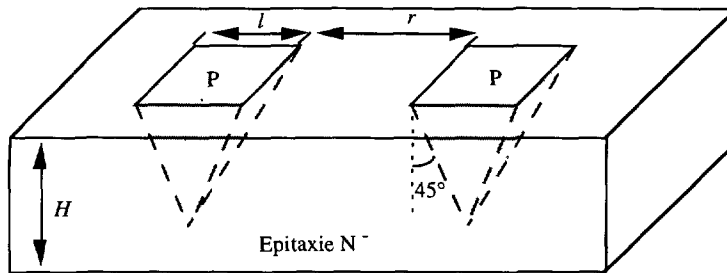


Fig. 3. — Représentation de la zone de conduction effective dans le volume du drain pour un angle de défocalisation de 45° du tube de courant (les pyramides renversées représentent les régions ne participant pas à la conduction), cas de figure où $H > \frac{\ell}{2}$.

[Representation of the effective conduction zone in the drain bulk for a current spreading angle of 45° .]

2.2.4 Capacité grille-drain. — Cette capacité est liée au recouvrement de la grille sur le drain dans la zone intercellulaire (Fig. 2). La représentation de cette capacité non-linéaire par un schéma équivalent — capacités en série ou en parallèle [4, 18-20] nécessite une discussion plus détaillée car les publications relatives à ce sujet proposent un schéma équivalent sans discuter l'aspect physique. Le calcul des éléments de ce schéma équivalent à partir des données de la structure va donc être précisé.

• *Aspect physique.*

La capacité grille-drain C_{gd} est une capacité MOS [21] localisée sur la figure 2. Selon la polarisation, cette capacité MOS présente deux états :

i) lorsque le potentiel du semiconducteur (côté drain) est inférieur à celui de l'électrode de grille, le semiconducteur est dit « accumulé » en surface ; la valeur de la capacité se réduit — pour une surface unitaire — à la capacité d'oxyde de valeur constante $C_{gd \max}$.

$$C_{gd} = C_{gd \max} \quad \text{si } V_{dg} < 0. \quad (14)$$

Le calcul de $C_{gd\max}$ est élémentaire — c'est une capacité d'oxyde indépendante de la tension à ses bornes [21] — aussi bien pour des structures à oxyde uniforme que pour des structures « en terrasse » à oxyde non uniforme [22].

ii) lorsque le potentiel V_{dg} est positif, la surface du semiconducteur se dépeuple en électrons ; la capacité C_{gd} est maintenant constituée par la même capacité d'oxyde en série avec la capacité de déplétion C_{dgd} du semiconducteur :

$$C_{gd} = \frac{C_{gd\max} \cdot C_{dgd}}{(C_{gd\max} + C_{dgd})} \quad \text{si } V_{dg} > 0. \quad (15)$$

Cette capacité de déplétion s'exprime — toujours pour une surface unitaire — en fonction de la différence de potentiel V_{sc} qui existe aux bornes de la zone de charge d'espace dépeuplée [21] selon :

$$C_{dgd} = \sqrt{\frac{q \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{s1}}{2 \cdot V_{sc}}} \quad (16)$$

• *Aspect circuit.*

Dans le circuit équivalent de la figure 1, la capacité C_{gd} est localisée entre les nœuds 1 (grille interne) et 4 (drain interne). En formalisme SPICE, nous avons proposé deux modèles [4], en configuration soit série (modèle « à initialisation » noté (b)), soit parallèle (modèle « à interrupteurs » noté (a)).

i) La première de ces configurations (b) peut être considérée comme une représentation topologique correcte puisqu'elle utilise en série les deux capacités $C_{gd\max}$ et C_{dgd} précédentes ; elle pose toutefois un problème au sens des logiciels de simulation de circuits, évoqué par ailleurs [23], du fait de la nécessité de définir la valeur initiale du potentiel du nœud 6 situé entre les deux capacités.

ii) La configuration parallèle (a), qui utilise un aiguillage — interrupteurs MOS M2 et M3 — pour insérer dans le circuit, en fonction de la tension à ses bornes [4, 19], soit une capacité constante, soit une capacité variable, n'est pas une approche physique ; elle est obtenue par pure identification, donc artificielle, d'une loi d'évolution non linéaire.

Dans chaque cas, les effets de dépendance entre capacité et tension sont phénoménologiquement traduits en utilisant l'expression de la capacité de transition C_1 d'une jonction. Cette dernière, polarisée en inverse par une tension de valeur absolue notée V_{diode} , est caractérisée dans le circuit équivalent par une capacité à tension nulle notée C_{j0} et une tension de diffusion notée V_1 selon la relation générale :

$$C_1 = \frac{C_{j0}}{\sqrt{1 + \frac{V_{diode}}{V_1}}} \quad (17)$$

L'identification formelle est faite entre les expressions physiques (15), (16) et cette relation (17).

Dans le cas du modèle à initialisation, V_{diode} pour la diode DGD2 (Fig. 1b) représente la différence de potentiel $V_4 - V_6$. On néglige le terme unité sous la racine carrée dans la relation (17). Pour ce faire, on fixe le potentiel V_1 de cette relation à une valeur faible — quelques dixièmes de volts. La capacité C_{j0} par unité de surface est calculée par la relation :

$$C_{j0} \cdot \sqrt{V_1} = \sqrt{\frac{q \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{s1}}{2}} \quad (18)$$

On note que V_J et C_{j0} pris indépendamment, bien qu'étant liés par la relation (18), n'ont aucun sens physique.

Dans le cas du modèle à interrupteurs, la diode DGDI (Fig. 1a) est, après identification, caractérisée par :

$$C_{j0} = C_{gd \max} \quad (19)$$

$$V_J = \frac{q \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{st}}{2 \cdot C_{gd \max}^2} \quad (20)$$

2.2.5 Autres éléments du schéma équivalent (Fig. 1). — Les capacités inter-électrodes grille-source C_{gs} et drain-source C_{ds} sont prises en compte. La capacité C_{ds} est une vraie capacité de transition de diode et est calculée par la loi classique de dépendance en fonction de la tension à ses bornes et du dopage [21]. La capacité C_{gs} est considérée, en première approximation, comme indépendante des tensions de polarisation. Elle est évaluée par de simples considérations géométriques.

Les résistances de grille et de source ne sont pas calculées rigoureusement, dans cette approche de conception, car elles sont trop dépendantes d'éléments technologiques spécifiques tels que le dopage du polysilicium de grille, la « qualité » du contact entre métal et diffusion de source, la résistance des fils d'interconnexion côté source. Une évaluation peut en être faite, si nécessaire, lorsque la technologie est bien déterminée.

Une diode DBody localisée entre le drain et la source, *via* la diffusion P^+ , est rajoutée dans le modèle pour tenir compte de la conduction du VDMOS en polarisation inverse, et des effets de stockage de charge lors de la mise en recouvrement de la jonction drain-source. Son étude complète dépasse le cadre de cet article. En tant que première approximation, on peut se contenter de la caractériser [23], selon le formalisme SPICE, par les paramètres suivants : le courant de saturation I_s , le facteur d'idéalité N , la résistance série R_S et le temps de transit TT [7]. Une modélisation plus fine nécessite une approche rigoureuse [24] qui se traduirait par un temps de calcul conséquent.

Enfin, l'inductance de source est évaluée par une formulation classique [25] compte tenu des caractéristiques des fils de thermo-compression.

3. Méthodologie d'approche pour la conception.

On se donne à présent les paramètres structurels suivants : les côtes sur masques ou sur une coupe schématique d'une cellule du transistor, la surface de la partie active de la puce, la tenue en tension souhaitée, la température de fonctionnement, le boîtier, et on veut obtenir directement sur le produit ainsi conçu : les réseaux des caractéristiques statiques, les évolutions des capacités inter électrodes, les courbes (et temps) de commutation résistive, inductive, de « *gate charge* », le comportement en bras de pont et la description en syntaxe SPICE du circuit équivalent. Ce dernier peut être exporté pour toute simulation souhaitée.

Pour ce faire, nous avons développé un logiciel nommé PMD (Power MOSFET's Designer) qui est un outil d'aide à la conception. Il se présente sous la forme d'une pile HyperCard [6] et permet sur la base d'un dessin (*layout*) entièrement paramétrable, d'une tenue en tension spécifiée et d'une surface totale de puce de silicium donnée, de générer le circuit équivalent du composant et les circuits de test cités. Il traite les cellules de forme carrée, rectangulaire ou les bandes parallèles, et prend en compte la forme de la zone intercellulaire : les oxydes uniforme ou en terrasse [26] sont considérés. Pour ce faire, les relations théoriques précédentes sont prises en compte et généralisées [27] de sorte que :

- l'effet des facteurs géométriques : périmètres de cellules, surface, épaisseur d'épithaxie, profondeurs de diffusions, est inclus. La géométrie est à définir sur une cellule en coupe et en vue de dessus ;

- la dépendance en température des paramètres majeurs — mobilité, tension de seuil — est évaluée ;

- certains degrés de liberté sont accordés à l'utilisateur dans le choix des caractéristiques dopage — épaisseur de la couche épitaxiée. On peut distinguer deux cas de claquage par avalanche : avec limitation de charge d'espace ou perçage [28, 29] et sans perçage [30, 31].

Sont aussi considérées comme des variables auxiliaires pour les matériaux considérés, les données physiques classiques de la structure : constantes diélectriques, concentration intrinsèque, mobilité à champ faible, vitesse limite, champ critique (*roll-off coefficient*) de réduction de mobilité transverse dans les couches inversée et accumulée, charges d'interface..

4. Validation et applications.

La validation de la méthodologie d'étude proposée peut se concevoir de deux manières :

- extraction sur composant de test des paramètres accessibles du modèle et comparaison avec les équations analytiques proposées,

- test du composant « *in situ* » dans une application donnée et comparaison simulations/expériences des principales caractéristiques électriques.

C'est cette deuxième approche qui est choisie car elle correspond au souci de prédiction dans l'idée duquel est bâtie la méthodologie de conception présentée — et le logiciel associé —. La question essentielle posée est : qu'est-il possible d'attendre, électriquement parlant, d'un composant déterminé (ou à déterminer), dans le cadre d'une application donnée ? La réponse à cette interrogation peut aboutir à une modification des caractéristiques géométriques et technologiques du composant dans l'optique d'une adéquation de ses performances électriques.

La validation s'effectue sur des produits industriels dont les caractéristiques géométriques et technologiques sont connues. Dans un deuxième temps, seront illustrées les applications à l'étude prospective de structures ainsi qu'aux études de sensibilité aux paramètres.

4.1 VALIDATION SUR COMPOSANTS.

4.1.1 *Caractéristiques statiques.* — Cette validation permet implicitement de vérifier la cohérence des expressions de paramètres tels que : facteur de pente, tension de seuil, résistance à l'état passant du composant, etc. Elle permet également de définir une valeur correcte de la vitesse limite des porteurs dans le canal d'inversion, terme qui échappe, en l'état actuel des connaissances, à une évaluation directe sur transistor.

4.1.2 *Caractéristiques dynamiques : commutation sur charge résistive.* — Les courbes de la figure 5 montrent la commutation sur charge résistive du transistor MTP8N50E. Ces courbes sont obtenues successivement :

- en utilisant le circuit équivalent SPICE avec les valeurs de paramètres calculées par le logiciel PMD ;

- sur banc de mesure ;

- en utilisant le modèle SPICE (dit caractérisé) du transistor pour lequel a été mis en place une procédure d'extraction de paramètres [4] après caractérisation expérimentale.

La bonne concordance des simulations effectuées avec le modèle PMD et avec le modèle caractérisé permet de s'assurer qu'il est possible de s'affranchir de la procédure d'extraction des paramètres dans une optique conception.

Dans les deux cas, les formes d'onde des tensions V_G et V_D expérimentales et simulées sont en bonne concordance. les ruptures de pente de la tension V_G sont dues aux variations de la capacité d'entrée et donc, implicitement, aux valeurs de C_{gs} et C_{gd} . La cohérence entre expérience et simulations conforte les expressions des capacités introduites ainsi que les

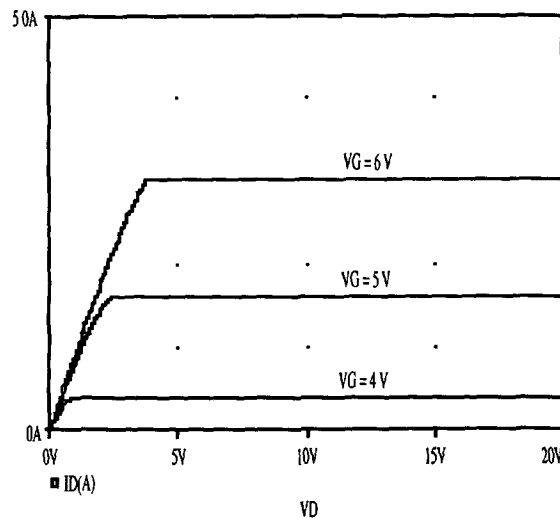
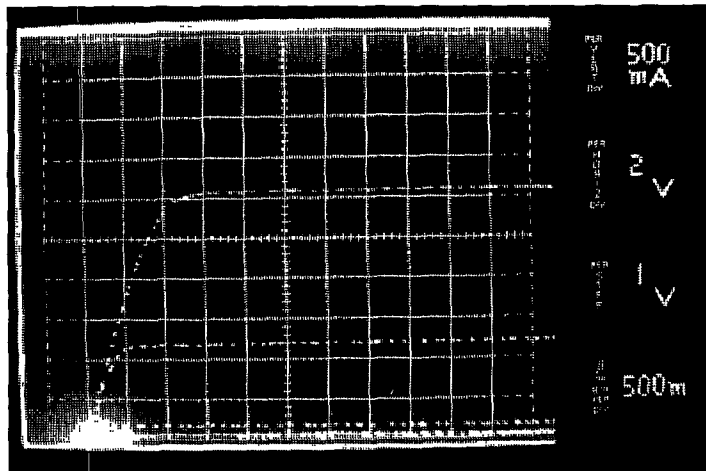
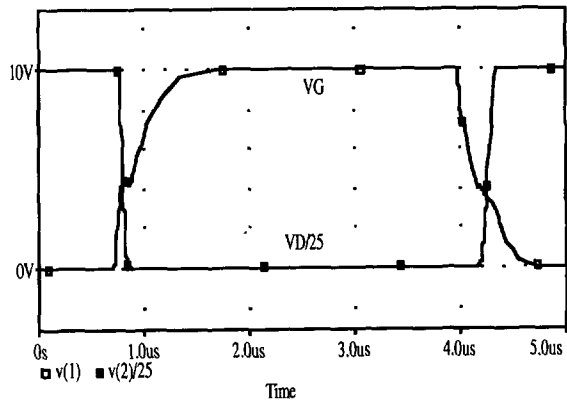


Fig. 4. — Caractéristiques $I(V)$ en direct du transistor MTD3N25E (250 V-3A); la valeur de V_{\max} est celle utilisée pour le modèle « caractérisé ».

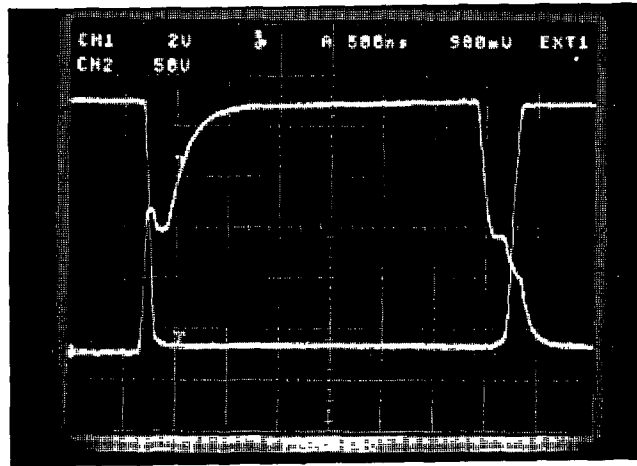
[DC output characteristics $I(V)$ of the transistor MTD3N25E (250 V-3 A); the value of the maximum drift velocity V_{\max} is the same as for the measured parameters model.]

valeurs calculées. De même, la tension de déchet $V_{D_{\text{sat}}} = R_{\text{on}} \cdot I_{\text{drain}}$ confirme entre autres, celle de la tension de seuil ainsi que celle de la résistance à l'état passant R_{on} .

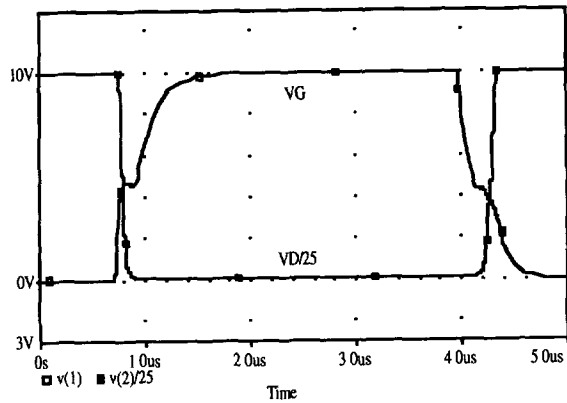
4.1.3 *Autres validations.* — Les tests ont également porté sur des mesures d'attaque en courant de la grille (*gate charge*) dont les résultats dépendent fortement des lois d'évolution en tension des capacités, ainsi que sur des montages plus typiques de l'électronique de puissance (bras d'onduleur) qui ont permis de valider la simulation « *in situ* » du composant. La présentation de tous les résultats obtenus ainsi que des comparaisons mettant en jeu d'autres transistors (autres technologies et autres gammes courant-tension) sortirait du cadre de cet article. On pourra se référer aux rapports [27, 32].



a) Modèle PMD :



b) Expérience :



c) Modèle "caractérisé"

Fig. 5. — Commutation sur charge résistive du transistor MTP8N50E (500 V-8 A), alimentation = 250 V, charge = 64 ohms, tension grille = 10 V, résistance grille = 50 ohms.

[Resistive switching gate and drain voltage waveforms with the transistor MTP8N50E (500 V-8 A), power supply = 250 V, load = 64 Ω, gate voltage = 10 V, gate source resistance = 50 Ω.]

4.2 ÉTUDE PROSPECTIVE DE STRUCTURES.

4.2.1 Structures à double niveau d'oxyde. — La structure à double niveau d'oxyde en zone intercellulaire est conçue dans l'objectif d'accroître la vitesse de commutation du composant. Par l'intermédiaire de la valeur de la capacité C_{gd} , le temps de commutation du VDMOS est directement lié à l'épaisseur d'oxyde intercellulaire. Rappelons que, pour une commande de grille donnée, c'est la valeur de la capacité d'entrée du composant ($C_{iss} = C_{gs} + C_{gd}$) qui contrôle l'évolution temporelle de la tension V_G et, donc, la vitesse de mise en conduction du composant. Il a été montré expérimentalement que, pour des composants haute tension, un double niveau d'oxyde pouvait améliorer la vitesse de fonctionnement dans un facteur 2 [4].

Sur la figure 6, sont présentées les évolutions de la tension grille-source V_G (a et c) pour une épaisseur uniforme d'oxyde de 1 000 Å et (b et d) pour un double niveau d'oxyde de 1 000 et

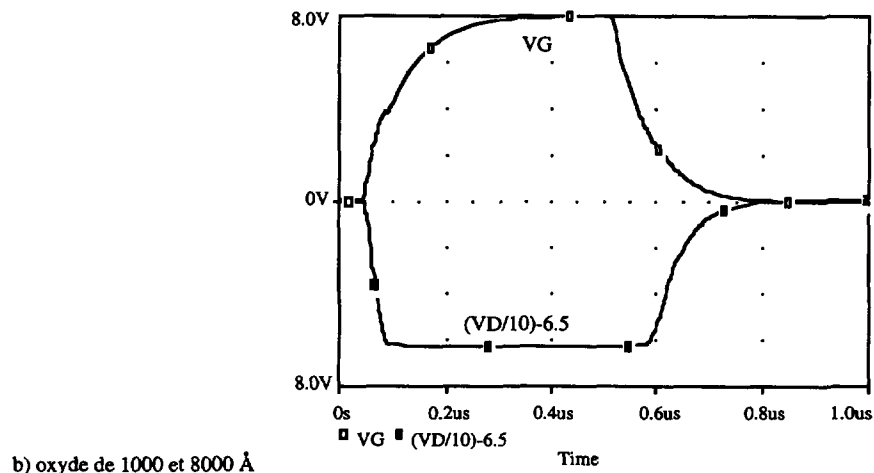
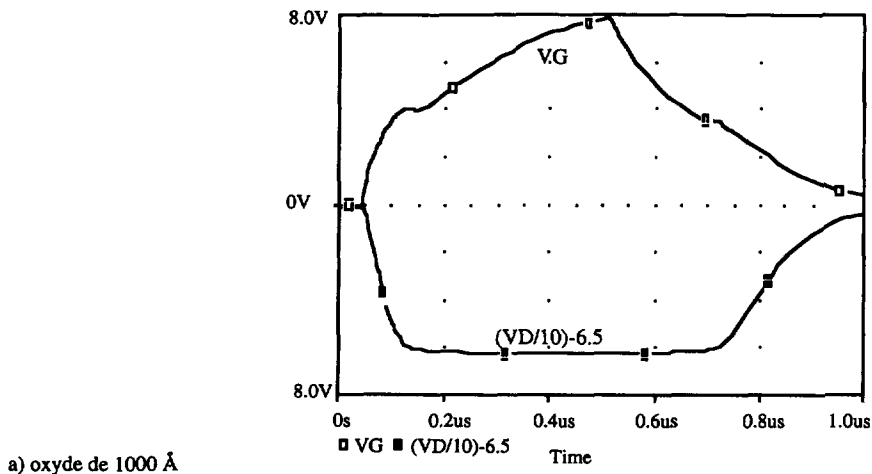
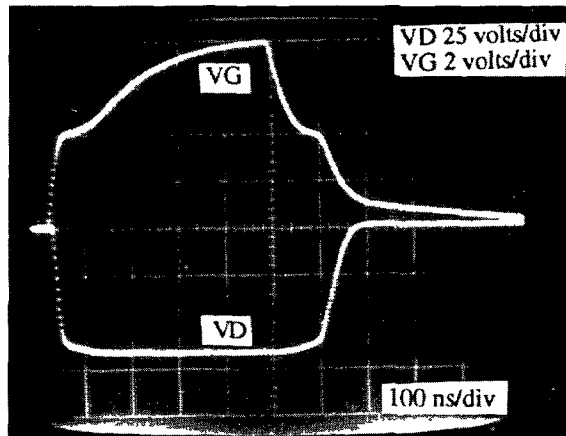
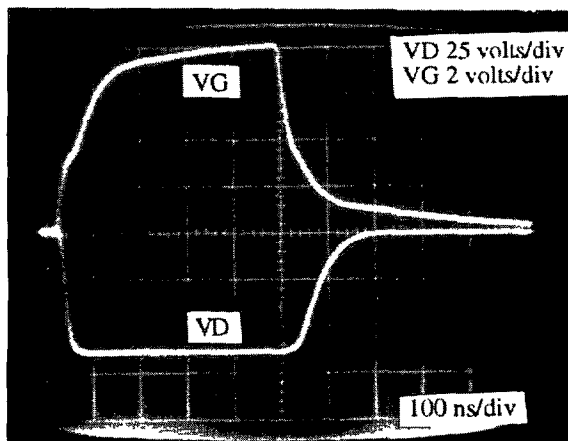


Fig. 6. — Influence de l'épaisseur d'oxyde intercellulaire. Evolutions des tensions grille-source et drain-source en commutation résistive, tenue en tension = 400 V, alimentation = 65 V, résistance générateur = 580 Ω, charge = 500 Ω (a et b) : simulations ; (c et d) : prototypes expérimentaux.

[Influence of the intercell oxide thickness on the resistive switching drain and gate voltage waveforms, breakdown voltage = 400 V, power supply = 65 V, gate source resistance = 580 Ω, load = 500 Ω, (a and b) simulations ; (c and d) experimental structures.]



c) oxyde de 1000 Å



d) oxyde de 1000 et 8000 Å

Fig. 6 (suite)

8 000 Å. Il faut noter, outre l'augmentation de la rapidité de commutation avec l'épaisseur d'oxyde, la diminution notable de l'effet Miller de contre-réaction sortie-entrée (plateau à V_G constant) en proportion avec la capacité grille-drain.

Une étude prospective peut ainsi être menée avant la phase de réalisation du prototype.

4.2.2 Structures à grille partielle. — Le concept de grille partielle est utilisé dans la conception de transistor VDMOS de puissance de nouvelle génération à oxyde intercellulaire de technologie LOCOS. Il permet de minimiser au mieux l'effet Miller par réduction drastique de la capacité grille-drain et ainsi d'augmenter la fréquence de fonctionnement des composants. La figure 7 permet de juger de la pertinence de la modélisation où l'on retrouve la disparition effective de l'effet Miller (absence de plateau à V_G constant).

4.3 SENSIBILITÉ AUX PARAMÈTRES.

4.3.1 Température. — Les principaux paramètres physiques introduits dans PMD sont exprimés en fonction de la température T , fût-ce au premier ordre [23]. Ainsi l'influence du facteur T sur les caractéristiques électriques du composant peut être directement évaluée.

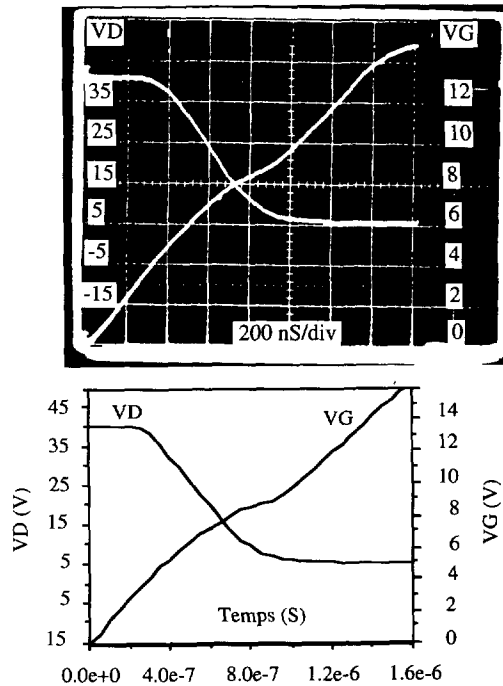


Fig. 7. — Attaque en courant du transistor LF4030C. alimentation = 40 V, charge $\approx 9 \Omega$, $I_{\text{milk}} = 2 \text{ mA}$. a) Mesure. b) Simulation.

[Gate Charge drain and gate voltage waveforms with the transistor LF4030C, power supply = 40 V, load = 9Ω , gate current = 2 mA, a) experiment, b) simulation.]

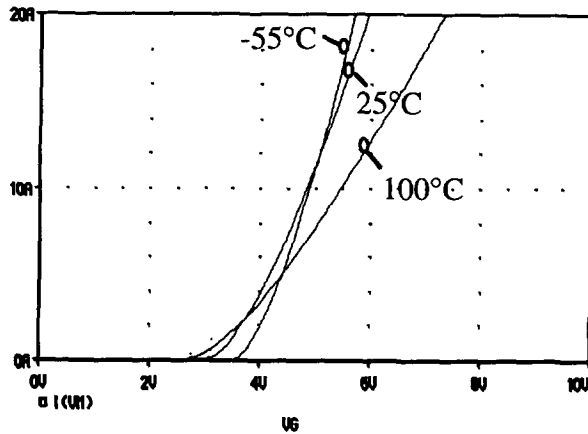
Sur la figure 8, sont présentées les caractéristiques $I_d(V_G)$, paramétrées en température, d'un transistor 400 V-15 A : courbes données par le constructeur et simulation.

4.3.2 Tenue en tension. — Une caractéristique importante du transistor MOS, quelle que soit sa technologie, est le compromis auquel on peut espérer aboutir entre la valeur de sa résistance à l'état passant et sa tenue en tension. Sur la figure 9, sont représentées les données industrielles concernant un échantillon de transistors de technologies standards et les valeurs estimées obtenues avec PMD. Si l'on tient compte du fait que les tenues en tension spécifiées par les constructeurs et que le rapport surface active sur surface totale de puce sont estimées à 20 % près, les résultats sont satisfaisants.

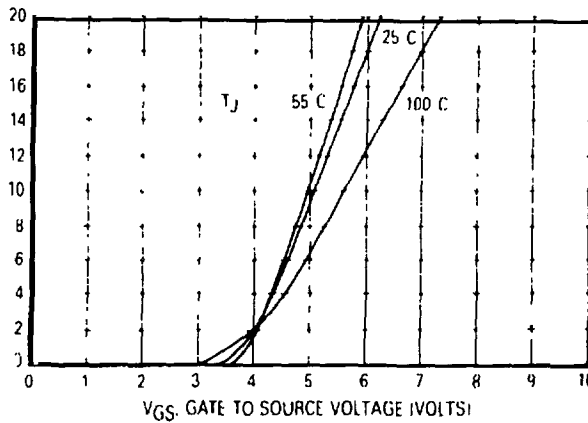
La méthodologie adoptée permet ainsi d'effectuer des études de sensibilité paramétrique aux facteurs qui influencent directement les performances électriques du composant, apport complémentaire à l'aspect conception.

Conclusion.

Dans cet article, une méthodologie d'approche de la conception de transistor MOS de puissance a été décrite ; elle permet la détermination *a priori* des performances électriques au moyen de modèles SPICE définis par la physique du semiconducteur et les données technologiques. Les propriétés électriques des structures multicellulaires standardisées peuvent être en pratique établies par la définition de trois grandeurs : tenue en tension, température du silicium, géométrie des cellules et surface de puce. D'un point de vue pratique, cette approche



a)



b)

Fig. 8. — Caractéristiques de transfert $I_d(V_G)$ pour trois températures normalisées du MTM15N40E (400 V-15 A) : a) PMD, b) données du constructeur.

[Transfer characteristics $I_d(V_G)$ at three temperatures for the transistor MTM15N40E (400 V-15 A) : a) PMD simulation, b) data sheet.]

de conception est développée dans un outil logiciel, PMD. Sa validation est illustrée par des exemples de fonctionnement en régimes statiques et dynamiques faisant appel à des circuits de test de l'électronique de puissance.

En plus de la conception de produits en technologies standardisées, cette approche peut être appliquée au dimensionnement de composants MOS non standards rapides, haute tension (1 200 V) et à faible réaction entrée-sortie. De même l'ouverture à la conception des éléments de sortie pour les circuits intégrés de puissance (*Smart Power*), est envisagée.

Remerciements.

Ce travail est soutenu partiellement par le GDR composants de puissance, le GIRCEP, la région Midi Pyrénées et MOTOROLA Semiconducteurs. Ce programme est couplé à une autre action visant à optimiser les gardes périphériques (technologie SIPOS) des composants haute tension.

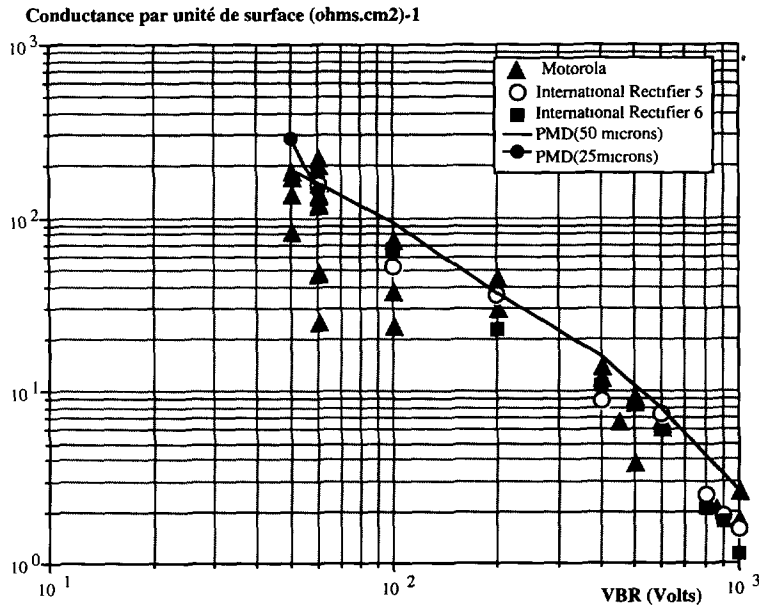


Fig. 9. — Evolution de la conductance à l'état passant de transistors de différentes technologies en fonction de la tenue en tension.

[On-state conductance variations *versus* breakdown voltage for several technologies.]

Bibliographie

- [1] Yee H. P., Lauritzen P. O., « SPICE models for Power MOSFET's : An update », IEEE Applied Power Electronics Conference, New Orleans (1988).
- [2] Hancock J. M., « Enhanced Techniques for SPICE modeling of Power MOSFET's », PCI Proceedings (June 1988).
- [3] Xu C. H., Schroder D., « A unified Model for the Power MOSFET Including the Inverse diode and the Parasitic Bipolar Transistor », European Conference On Power Electronics and Application EPE'89, Aachen (octobre 1989).
- [4] Djellabi K., Napieralska M., Tranduc H., Rossel P., Kassmi K., Modèles du transistor MOS de puissance, *Rev. Gén. Elect. (RGE)*, n 6/92 (juin 1992) 8-16.
- [5] Thapar N., Baliga B. J., « A Comparison of High Frequency Cell Designs for High Voltage DMOSFET's » To be presented at The 6th International Symposium on Power Semiconductor Devices & ICs ISPSD 1994 (Davos, 1994).
- [6] Goodman D., HyperCard HyperTalk, Guide d'utilisation et de programmation (Dunod, septembre 1987).
- [7] Nagel L. W., SPICE2 : A Computer Program to Simulate Semiconductor Circuits, Electronics Research Laboratory, Rep. No. ERL-M520, University of California, Berkeley (1975).
- [8] Electrical Circuit Simulator ELDO with ELDO-FAS functional analog modeling option, manuel d'utilisation, ANACAD Computer Systems GMBH, D-79 Ulm, Germany (January 1991).
- [9] Antognetti P., Massobrio G., Semiconductor device modeling with SPICE (McGraw-Hill, 1988).
- [10] Bellaouar A., Détection et dosimétrie des rayonnements ionisants par transistor MOS, Thèse de 3^e Cycle, Université Paul Sabatier, n 3178, Toulouse (1985).

- [11] Sze S. M., *Physics of Semiconductor Devices* (John Wiley & Sons, 1981) p. 29.
- [12] Rossel P., Tranduc H., Gamboa M., Pham T. P., Limitation fondamentale dans les transistors MOS de puissance : Le compromis entre la résistance à l'état passant et la tension de claquage, *Rev Phys. Appl* **16** (1981) 509-515.
- [13] Phan Pham T., David G. R., Vertongen B., Tranduc H., Rossel P., « The design of the low ON-resistance power V-DMOS Transistor », 12th European Solid State Device Research Conference, ESSDERC, Munich (1982).
- [14] Sun S. C., *Physics and Technology of Power Mosfet's*, Technical Report n IDEZ 696-1, Integrated Circuits Laboratory, Stanford Electronics Laboratories, Stanford University, California (February 1982).
- [15] Sun S. C., Plummer J. D., Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidised Silicon Surfaces, *IEEE Trans. Electron Devices* **ED-27** (1980) 1497-1508.
- [16] Granadel P., Evolution des structures des transistors MOS de puissance vers le domaine des petites dimensions, Thèse de 3^e Cycle, Université Paul Sabatier, n 3189, Toulouse (1987).
- [17] Hu C., Optimum Design of Power MOSFET's, *IEEE Trans. Electron Devices* **ED-31** (1984) 1693-1700.
- [18] Yee H. P., Lauritzen P. O., « SPICE models for power MOSFET's : An update », IEEE Appl. Power Electron. conference, New Orleans (1988).
- [19] Xu C. H., Schroder D., « A unified Model for the Power MOSFET Including the Inverse diode and the Parasitic Bipolar Transistor », EPE Aachen (October 1989).
- [20] Castro Simas M. I., Piedade M. S., Costa Freire J., Experimental Characterization of Power VDMOS Transistor in commutation and a derived Model for Computer-Aided design. *IEEE Trans. Power Electron.* **4**, n 3 (July 1989).
- [21] Grove A. S., *Physics and Technology of Semiconductor Devices* (John Wiley & Sons, 1967).
- [22] Sanchez J. L., Gharbi M., Tranduc H., Rossel F., Rossel P., « Medium Voltage 250 V to 600 V Transistors with Reduced Input Capacitance », 13th Yugoslav Conference on Microelectronic (Miel 85), Ljubkjana (May 1985).
- [23] Maimouni R., Hiérarchie des modèles du transistor MOS de puissance. Thèse d'Etat, Oujda, Maroc, Rapport LAAS n 89125 (juin 1989).
- [24] Massol J. L., Représentation des phénomènes de diffusion dans la modélisation des composants bipolaires de puissance. Application à la simulation du recouvrement inverse de la diode, Thèse de doctorat de l'I.N.S.A., n 251, Toulouse 1993.
- [25] Grover W., Inductance Calculation (Van Nostrand, 1946).
- [26] Ueda O., Takagi H., Kano G., A New Vertical Double Diffused MOSFET, The Self — Aligned Terraced — Gate MOSFET, *IEEE Trans. Electron Devices* **31** (1984) 416-420.
- [27] Beydoun B., Oms F., Rossel P., Tranduc H., Charitat G., TMOS de puissance. Modélisation Unifiée au niveau de la cellule, Contrat LAAS/MOTOROLA/ADERMIP, Rapport LAAS n 92092 (mars 1992).
- [28] Phan Pham T., Le compromis entre la résistance à l'état passant et la tenue en tension dans les transistors MOS de puissance. Application à la définition des règles de conception des structures VDMOS, Thèse de 3^e cycle, n 2661, Université Paul Sabatier, Toulouse (1982).
- [29] Gharbi M., La Tenue en Tension et le Calibre en Courant du Transistor MOS vertical dans la Gamme des Tensions (300 V à 1 000 V), Thèse de 3^e Cycle, Université Paul Sabatier, Toulouse (1985).
- [30] Ghandi S. K., *Semiconductor Power Devices* (John Wiley & Sons, 1977).
- [31] Grant D. A., Gowar J., *Power MOSFET's Theory and applications* (John Wiley & Sons, 1989).
- [32] Beydoun B. *et al.*, High Voltage MOS transistor optimization : Voltage Handling Capability and Switching Speed, Contrat MOTOROLA/LAAS/ADERMIP. Publication LAAS n 93501 (décembre 1993).