



HAL
open science

Evaluation des performances du transistor MOS de puissance sur carbure de silicium. Compromis résistance passante, tenue en tension et vitesse de commutation

B. Beydoun, P. Rossel, Henri Tranduc, G. Charitat

► To cite this version:

B. Beydoun, P. Rossel, Henri Tranduc, G. Charitat. Evaluation des performances du transistor MOS de puissance sur carbure de silicium. Compromis résistance passante, tenue en tension et vitesse de commutation. Journal de Physique III, 1994, 4 (8), pp.1383-1396. 10.1051/jp3:1994207 . jpa-00249191

HAL Id: jpa-00249191

<https://hal.science/jpa-00249191>

Submitted on 4 Feb 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Classification
Physics Abstracts
73.400

Evaluation des performances du transistor MOS de puissance sur carbure de silicium. Compromis résistance passante, tenue en tension et vitesse de commutation

B. Beydoun, P. Rossel, H. Tranduc et G. Charitat

Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS, 7 avenue du Colonel Roche, 31077 Toulouse Cedex, France

(Reçu le 28 mars 1994, révisé le 25 avril 1994, accepté le 3 mai 1994)

Résumé. — On détermine le compromis statique « résistance passante — tenue en tension » des transistors MOS de puissance multicellulaires sur carbure de silicium. Cette limite est d'abord calculée analytiquement pour le matériau volumique. L'influence de la taille des cellules du transistor MOS est ensuite prise en compte. Au niveau dynamique, la commutation résistive est également simulée. On confirme que les performances statiques de composants SiC sont potentiellement meilleures que celles de leurs homologues Si. D'un point de vue dynamique, on montre que selon la tenue en tension considérée, une dégradation du temps de commutation peut ou non apparaître. Celle-ci est expliquée par l'accroissement de la capacité drain-grille corrélative à l'augmentation de dopage.

Abstract. — The DC trade-off « ON resistance *versus* voltage capability » is determined for the SiC multicellular Power MOSFET transistor. First, this limit is analytically calculated for the bulk material. Then, the influence of the size of the MOSFET cell is considered. Under dynamic condition, the switching behaviour is simulated and analysed. We confirm that the DC performances of the SiC device are better than those of Si structures. From a dynamic point of view, a degradation can or not occur depending upon the voltage capability of the considered device. The degradation is due to the drain-gate Miller capacitance increase with the drain doping value.

1. Introduction.

Bien que la technologie du carbure du silicium (SiC) ne soit pas encore mûre, et que l'on puisse compter une dizaine d'années d'effort technologique avant que des composants de puissance de calibres élevés en tension et courant ne soient réalisés collectivement puis proposés aux domaines des applications, on est en mesure aujourd'hui de prévoir de manière spéculative ce que l'on peut attendre de tels dispositifs.

Les performances statiques courant-tension du matériau 6H-SiC ou 3C-SiC massif, correspondant au volume de la diode Schottky ou zone de drift du transistor MOS de

puissance, ont été analysées par Bhatnagar et Baliga [1]. Par rapport au silicium (Si), on peut tabler sur une chute de tension à l'état passant plus faible en haute tension et la possibilité de fonctionner en haute température. Nous proposons, pour notre part, de préciser tout d'abord, ce que l'on peut attendre effectivement de transistors verticaux MOS de puissance SiC en terme de compromis « résistance à l'état passant — tenue en tension », vis-à-vis des mêmes dispositifs sur silicium. Ensuite quelques éléments d'évaluation quant aux performances en commutation seront fournis. La structure considérée est verticale à configuration de source multicellulaire. Sa coupe est schématisée sur la figure 1.

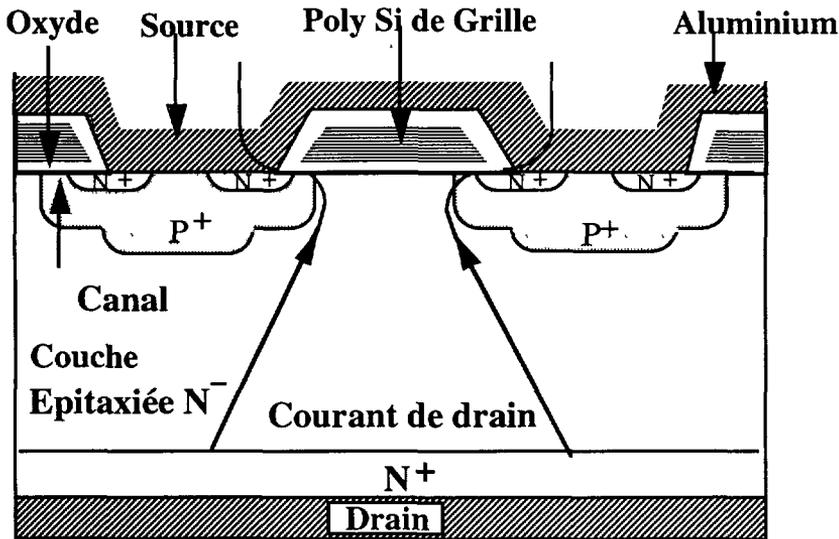


Fig. 1. — Coupe d'une cellule d'un VDMOS de puissance.

[Cross-section of a power VDMOS (2 cells).]

Les considérations que nous développerons, sont d'ordre purement théorique. Elles sont basées, d'une part sur un calcul analytique de la tenue en tension, d'autre part sur la détermination de la résistance passante par une approche comparable à celle déjà élaborée dans le cas du silicium [12] et enfin sur la détermination des temps de commutation par un modèle de conception dynamique du composant [2]. Les paramètres physiques utilisés sont compilés à partir des données fournies par la littérature. Nous traiterons les applications numériques dans le cas d'exemple du matériau 3C-SiC. Les résultats obtenus peuvent être considérés comme applicables aussi au cas du matériau 4H-SiC. Le matériau 6H-SiC a certes de meilleures propriétés cristallines, mais des paramètres électriques moins bons — mobilité plus faible, anisotropie de la résistivité. Il devrait faire l'objet d'une étude complémentaire.

2. Compromis résistance passante — tenue en tension de la couche épitaxiée.

La résistance de la couche épitaxiée apporte une contribution majeure à la résistance passante du dispositif. Son épaisseur et son dopage sont évalués en vue d'assurer à la fois une tenue en tension déterminée et une résistance de couche minimale. L'optimum théorique correspond à une configuration de couche totalement désertée et en « perçage » — c'est-à-dire en limitation de charge d'espace — au moment du claquage [3]. On peut, d'un point de vue pratique,

considérer aussi [4] qu'un fonctionnement au claquage en « non perçage » ou en « non limitation » de charge d'espace est acceptable sans que l'on perde trop en résistance passante vis-à-vis de l'optimum.

Au claquage, l'intégrale d'ionisation est égale à l'unité :

$$I_n = \int_0^W \alpha_n \cdot \exp \left[- \int_1^W (\alpha_n - \alpha_p) \cdot dx' \right] \cdot dx \quad (1)$$

$$I_p = \int_0^{\omega_c} \alpha_p \cdot \exp \left[- \int_0^1 (\alpha_p - \alpha_n) \cdot dx' \right] \cdot dx \quad (2)$$

où W est l'épaisseur de la charge d'espace dans la coordonnée x , α_n et α_p les coefficients d'ionisation des électrons et des trous. Ceux-ci ont été exprimés sous la forme proposée par Chynoweth [5] :

$$\alpha_i = a_i \exp \left(\frac{-b_i}{|E|} \right)_{i=n,p} \quad (3)$$

pour laquelle Helbig [6] a fourni, pour le carbure de silicium, les valeurs numériques : a_n (cm^{-1}) = $1,66 \times 10^6$, b_n (V/cm) = $1,273 \times 10^7$, a_p (cm^{-1}) = $5,18 \times 10^6$, b_p (V/cm) = $1,4 \times 10^7$. E est le champ électrique.

Nous proposons d'approximer les coefficients α_i par des expressions polynomiales comme l'avait fait Mac Kay [7] pour le silicium :

$$\alpha_n \text{ (cm}^{-1}\text{)} = A' E^7 \quad (E \text{ en V/cm}) \quad (4)$$

$$\alpha_p \text{ (cm}^{-1}\text{)} = A'' E^7 \quad (E \text{ en V/cm}) \quad (5)$$

Pour le carbure de silicium, les valeurs de A' et A'' que nous proposons sont : $A' = 1,53 \times 10^{-41}$, et $A'' = 2,38 \times 10^{-41}$

Pour une configuration de charge d'espace « à champ électrique triangulaire », c'est-à-dire en non limitation de charge d'espace, l'intégration de I_n et I_p permet d'établir l'expression de l'extension de charge d'espace au claquage ainsi que la valeur de la tension de claquage [4] :

$$W = \left(16 \cdot \frac{A' - A''}{\text{Log} \left(\frac{A'}{A''} \right)} \right)^{1/6} \text{VBR}^{7/6} \quad (6)$$

$$\text{VBR} = \left(\frac{(\epsilon_0 \epsilon_{\text{SiC}})^3}{2(A' - A'') \cdot q^3} \cdot \text{Log} \left(\frac{A'}{A''} \right) \right)^{1/4} \text{ND}^{-3/4} \quad (7)$$

où ϵ_0 , ϵ_{SiC} et ND sont respectivement la constante diélectrique et le dopage du semiconducteur. Numériquement :

$$W \text{ (cm)} = 2,6 \times 10^{-7} \text{VBR}^{7/6} \quad (\text{VBR en V}) \quad (8)$$

$$\text{VBR (V)} = 1,45 \times 10^{15} \text{ND}^{-3/4} \quad (\text{ND en cm}^{-3}\text{)}. \quad (9)$$

Dans le cas d'une configuration de charge d'espace trapézoïdale dans une couche épitaxiale d'épaisseur H , le champ électrique maximal au claquage E_c s'écrit :

$$E_c = \frac{q \cdot \text{ND}}{\epsilon_0 \epsilon_{\text{SiC}}} W' \quad (10)$$

où W' est la solution de l'équation [4, 8] :

$$W'^8 - (W' - H)^8 = \frac{8 \cdot (\epsilon_0 \epsilon_{SiC})^7}{(A' - A'') (q \cdot ND)^7} \cdot \text{Log} \left(\frac{A'}{A''} \right) \quad (11)$$

solution que l'on peut exprimer sous la forme d'une relation de récurrence d'ordre n :

$$W'_1 = \left[\frac{8 \cdot (\epsilon_0 \epsilon_{SiC})^7}{(A' - A'') (q \cdot ND)^7} \cdot \text{Log} \left(\frac{A'}{A''} \right) \right]^{1/8} \quad (12)$$

$$W'_{n+1} = \left[\frac{8 \cdot (\epsilon_0 \epsilon_{SiC})^7}{(A' - A'') (q \cdot ND)^7} \cdot \text{Log} \left(\frac{A'}{A''} \right) - (W'_n - H)^8 \right]^{1/8} \quad (13)$$

Cette solution peut être considérée au premier ou deuxième ordre dans des cas d'étude pratique.

La tension de claquage vaut :

$$\text{VDBR} = \frac{q \cdot ND \cdot H}{2} [2 W'_n - H] \quad (14)$$

où n est l'ordre choisi pour la solution.

La figure 2 représente les caractéristiques de la tension de claquage en fonction du dopage et de l'épaisseur d'épitaxie. Les courbes tracées pour $n = 1$, présentent des maxima dont l'existence est liée à l'approximation faite sur l'ordre de la solution. Lorsque cet ordre n augmente, les courbes tendent vers une limite asymptotique qui n'est autre que la solution limite ($n \rightarrow \infty$), calculable en faisant tendre dans la relation (11) le terme du dopage ND vers zéro :

$$\text{VDBR}_{(ND \rightarrow 0)} = \left[\frac{1}{(A' - A'')} \cdot \text{Log} \left(\frac{A'}{A''} \right) \right]^{1/7} H^{6/7} \quad (15)$$

Numériquement :

$$\text{VDBR} = 6,56 \times 10^5 H^{6/7} \quad (H \text{ en cm}). \quad (16)$$

On constate en particulier que lorsqu'il n'y a pas de limitation de charge d'espace, vis-à-vis du silicium [9], et à tenue en tension identique, le dopage est plus élevé d'un facteur de l'ordre de deux décades.

La résistance de la couche épitaxiée (zone de drift), d'épaisseur H , est calculable pour une unité de surface, par la relation classique :

$$R_{\square} = \frac{H}{q \mu_n ND} \quad (17)$$

où la mobilité μ_n est prise selon la formule proposée par Baliga [1] à partir des données expérimentales de Matsunami [10] :

$$\mu_n \text{ (cm}^2/\text{V.s)} = 1,932 \times 10^8 \cdot ND^{-0,34} \quad (18)$$

Sur la figure 3, nous avons tracé, grâce aux relations précédentes et en coordonnées logarithmiques, la valeur de la résistance et de la conductance par unité de surface en fonction de la tenue en tension (droite en pointillés) pour une structure dont l'épaisseur est juste égale à l'extension maximale de charge d'espace au claquage. Cette droite délimite une région gauche dans laquelle se situent les performances des composants unipolaires : diode Schottky,

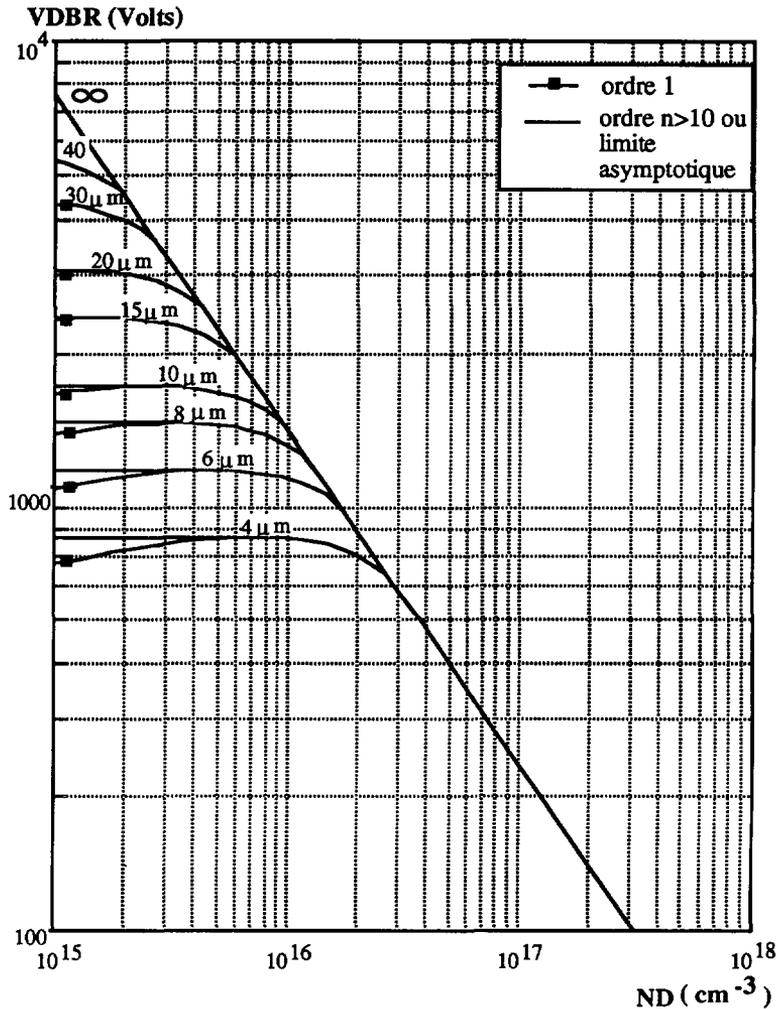


Fig. 2. — Caractéristique de la tension de claquage en fonction du dopage et de l'épaisseur d'épitaxie (matériau SiC).

[Breakdown voltage *versus* doping and thickness of the epitaxial layer (SiC material).]

transistor à effet de champ à jonction ou à grille Schottky ou de type Métal Oxyde Semiconducteur. La caractéristique limite proposée antérieurement par Baliga [1] sur la base d'une approche plus numérique est également reportée. Les résultats obtenus par cet auteur et par nous sont très proches. Du point de vue de la comparaison avec des résultats expérimentaux publiés, on pourra vérifier, au vu des données fournies par Palmour *et al.* [15] sur des diodes terminées en mesa, que ces auteurs mesurent des tenues en tension très comparables à celles que nous venons de calculer.

3. Limites de performance des transistors MOS verticaux de puissance.

Pour compléter l'analyse précédente, nous allons mieux préciser dans le cas du composant MOS de puissance la limite résistance passante — tenue en tension. Nous discuterons ensuite des performances en commutation.

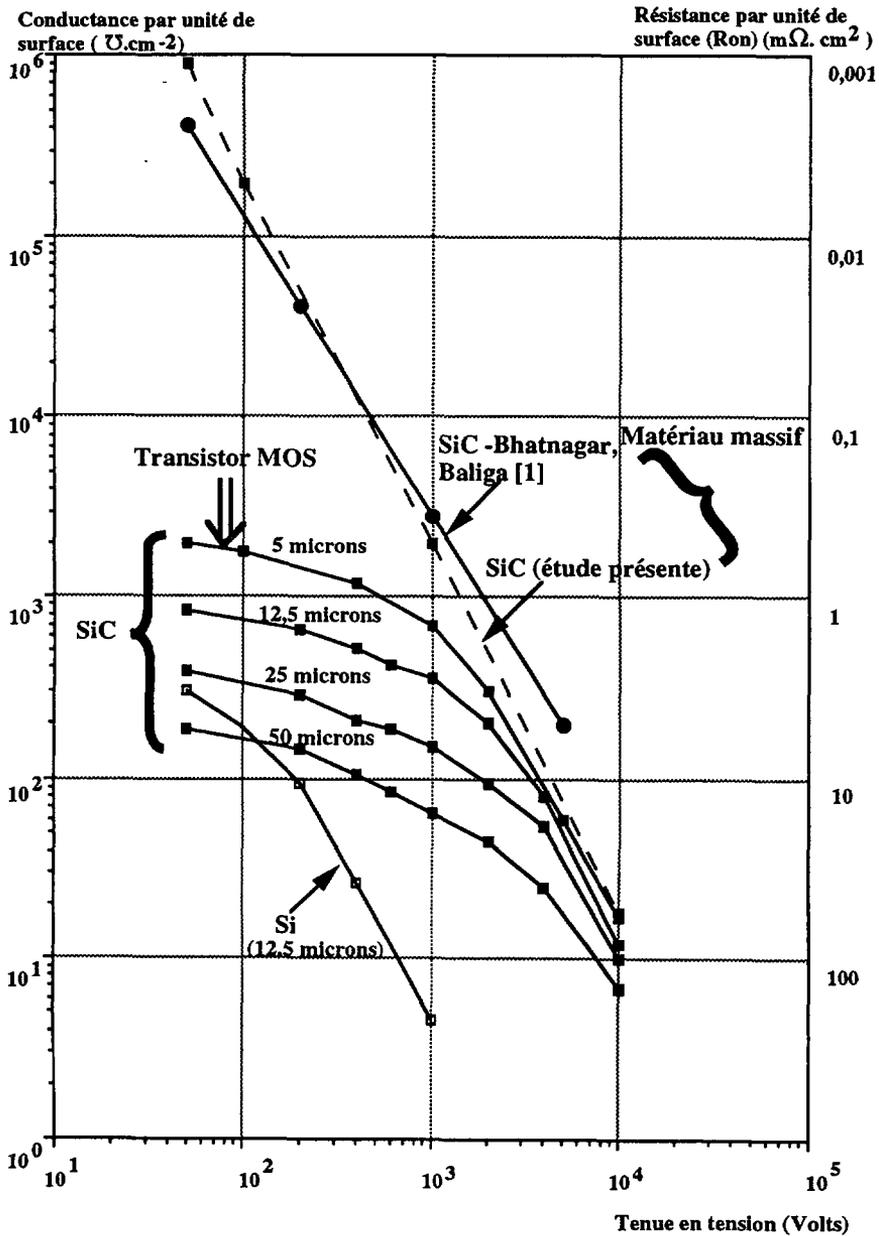


Fig. 3. — Comparaison de la conductance à l'état passant obtenue pour le VDMOS-SiC et le VDMOS-Si.

[On conductance comparison for the VDMOS-SiC and VDMOS-Si.]

L'approche utilisée reste celle d'une méthodologie de conception de ces dispositifs basée sur un outil qui permet, à partir du dessin et de la « coupe technologique » du dispositif et des données physiques des matériaux constitutifs, de connaître *a priori* quelles seront les performances de ces « nouveaux » produits ainsi conçus en vue d'une application spécifiée au préalable.

Pour ce faire, nous utilisons un outil nommé PMD (Power MOSFET's Designer) [2] d'aide à la conception en programmation orientée « objet » que nous avons destiné initialement aux composants silicium et que l'on peut adapter aux autres matériaux. Il permet sur la base d'un dessin entièrement paramétrable, d'une tenue en tension spécifiée, d'une surface totale de puce donnée, de fournir les résultats suivants : les réseaux des caractéristiques statiques, les valeurs des capacités interélectrodes, les courbes (et temps) de commutation résistive, inductive, gate charge et en bras de pont, et le listing en langage SPICE du circuit équivalent. L'effet des facteurs géométriques périmètres ou surfaces ou épaisseur d'épitaxie ou profondeur de diffusions sont considérés. La géométrie est à définir pour une cellule en coupe et en « vue de dessus ». On peut considérer des géométries de cellules carrées ou rectangulaires ou en forme de bandes parallèles et on prend aussi en compte les possibilités de modifications de la forme de la zone intercellulaire ; les oxydes uniformes ou en terrasse [11] sont traités. La dépendance en température des paramètres majeurs — mobilité, tension de seuil — peut aussi être incluse, si nécessaire.

Un degré de liberté est accordé à l'utilisateur dans le choix des caractéristiques dopage — épaisseur de la couche épitaxiée ; ce dernier peut distinguer les deux cas de claquage analysés précédemment, en limitation de charge d'espace ou perçage [4, 12], et non perçage [4, 13].

Sont considérées comme des paramètres à introduire, les données physiques du matériau semiconducteur suivantes : constante diélectrique, concentration intrinsèque, mobilité à champ faible, vitesse limite, champ critique (roll-off coefficient) de réduction de mobilité transverse dans les couches inversée et accumulée, charges d'interface.. les valeurs des principaux paramètres utilisés en simulation sont [1] :

Paramètre	Si	6H-SiC	3C-SiC
Bande interdite $E_g(\text{eV})$	1,11	2,86	2,2
Mobilité des électrons de volume $\mu_n (\text{cm}^2/\text{V.s})$	1350	500	1000 (relation 18) à $ND=3,53 \cdot 10^{15} (\text{cm}^{-3})$
Vitesse de saturation des électrons $V_{\text{max}}(\text{cm/s})$	10^7	$2 \cdot 10^7$	$2,5 \cdot 10^7$
Champ critique longitudinale E_0 (V/cm)	$2 \cdot 10^5$	$4 \cdot 10^6$	$3 \cdot 10^6$
Constante diélectrique	11,8	9,7	9,66
Mobilité des électrons d'inversion μ_0 ($\text{cm}^2/\text{V.s}$)	300	pas connue	300 (estimation)
Mobilité des électrons d'accumulation μ_a ($\text{cm}^2/\text{V.s}$)	645	pas connue	645 (estimation)
Champ critique transverse (inversion) E_c (V/cm) [12]	$2,5 \cdot 10^6$	pas connu	$2,5 \cdot 10^6$ (estimation)

Dans l'absence de connaissance actuelle de la valeur de la mobilité des électrons en couche accumulée et inversée du matériau SiC, nous utilisons la même valeur que celle du silicium ; la valeur de cette mobilité d'inversion μ_0 est un facteur de premier ordre, car elle affecte directement la valeur de la résistance passante en basse tension, en dessous de 100 V pour le silicium, et de 500 V environ pour le SiC. On a en effet démontré [16] que dans le cas des dispositifs MOS basse tension, la résistance passante R_{on} est inversement proportionnelle à la mobilité μ_0 . Toute erreur sur μ_0 entraîne donc la même erreur sur R_{on} . Toutefois, dès que des données plus précises seront disponibles, il sera simple de corriger nos résultats, soit

rigoureusement par l'outil PMD [2], soit plus simplement par une évaluation de premier ordre qui consiste à affecter d'un coefficient multiplicatif — égal au rapport inverse de la mobilité vraie à la mobilité que nous prenons aujourd'hui — les valeurs de résistance passante que nous proposons pour la gamme des basses tensions.

La longueur de canal considérée L (Fig. 1) est de un micron, le pas de répétition d'une cellule étant pris comme variable : 5, 12,5, 25 et 50 μm . Un pas cellulaire de 5 μm est, certes, un cas idéalisé : les moyens photolithographiques et technologiques d'aujourd'hui, pour aussi sophistiqués qu'ils soient, ne permettent d'atteindre dans les meilleurs cas que les 12 μm de pas. De fait, ceci correspond à des règles de dessin microniques.

3.1. — En régime statique, le logiciel fournit la résistance passante théorique pour des dispositifs ayant des caractéristiques d'épitaxie imposant des tenues en tension variant de 50 à 10^4 V pour le carbure de silicium. Ces résultats sont reportés sur la figure 3. Pour comparaison la caractéristique relative au silicium est reportée [2].

Quatre remarques s'imposent :

- plus la tenue en tension est élevée plus la résistance passante l'est aussi ;
- en haute tension la supériorité du carbure de silicium sur le silicium est évidente ; pour 4 000 V de tenue en tension des résistances de l'ordre de 10 m Ω , pour un centimètre caré de SiC, sont prévisibles. Le composant silicium ayant même résistance passante n'aurait que 200 V de tenue en tension. Plus précisément à tenue en tension identique (> 800 V), la résistance pour le composant SiC est cent fois plus faible que celle de son homologue Si ;
- la résistance du composant est plus mauvaise que celle fournie par la limite théorique précédente (courbes pointillés sur la Fig. 3) évaluée pour le matériau volumique. La taille cellulaire reste, en basse tension, un facteur déterminant sur la valeur de la résistance. La contribution de la couche d'inversion (canal MOS) y devient prépondérante devant la part liée au volume [12]. Comme déjà indiqué, les valeurs proposées dans cette partie gauche des caractéristiques sont entachées d'erreur due à la méconnaissance actuelle de la vraie mobilité d'inversion. L'erreur que nous commettons est égale au rapport entre mobilité choisie et mobilité vraie. Elle sera donc facilement calculable dans le futur et la correction de nos résultats en résultera ;
- en haute tension, la résistance du composant est pratiquement imposée par le matériau volumique, de sorte que les valeurs de résistance passante que nous proposons peuvent être considérées comme constituant une évaluation correcte.

Il semblerait donc, au seul vu de cette comparaison silicium-carbure de silicium, que les transistors MOS réalisés avec ce second matériau puissent être considérés comme supérieurs à ceux fabriqués sur le premier pour les applications dites de commutation de puissance. En effet à courant commuté égal, ses pertes de conduction seront réduites d'un facteur égale au rapport des résistances passantes. Quantitativement ce rapport est chiffrable grâce aux données de la figure 3.

3.2. — En régime dynamique : divers cas d'étude sont à considérer.

Premièrement : on va tout d'abord comparer des dispositifs SiC et Si, ayant la même tenue en tension et la même surface, « commutant » le même courant et contrôlant la même puissance commutée. Deux valeurs de tenue en tension sont considérées, respectivement de 100 V et 1 000 V. On simule un cycle de commutation résistive. Le schéma retenu est celui d'un transistor MOS de 1 cm^2 de surface attaqué sur la grille par un générateur de tension 0 V-10 V-0 V, ayant 10 Ω de résistance interne. Le drain est chargé par une simple résistance. Pour le premier type de dispositif la résistance de charge vaut 0,5 Ω et la tension d'alimentation, considérée comme égale à la tenue en tension, vaut 100 V (puissance commutée = 20 kVA).

Puis on prend respectivement $20\ \Omega$ et $1\ 000\ \text{V}$ pour le deuxième (puissance commutée = $50\ \text{kVA}$). Les figures 4 représentent sur un cycle de commutation « bloqué — conducteur — bloqué » l'évolution des tensions de grille et de drain. On constate que les temps de commutation sont plus longs pour les dispositifs réalisés sur carbure de silicium que pour ceux réalisés sur silicium. Sur les exemples présentés, un facteur de l'ordre de trois à quatre est observé sur les temps de montée et de descente de la tension drain-source et donc du courant de drain.

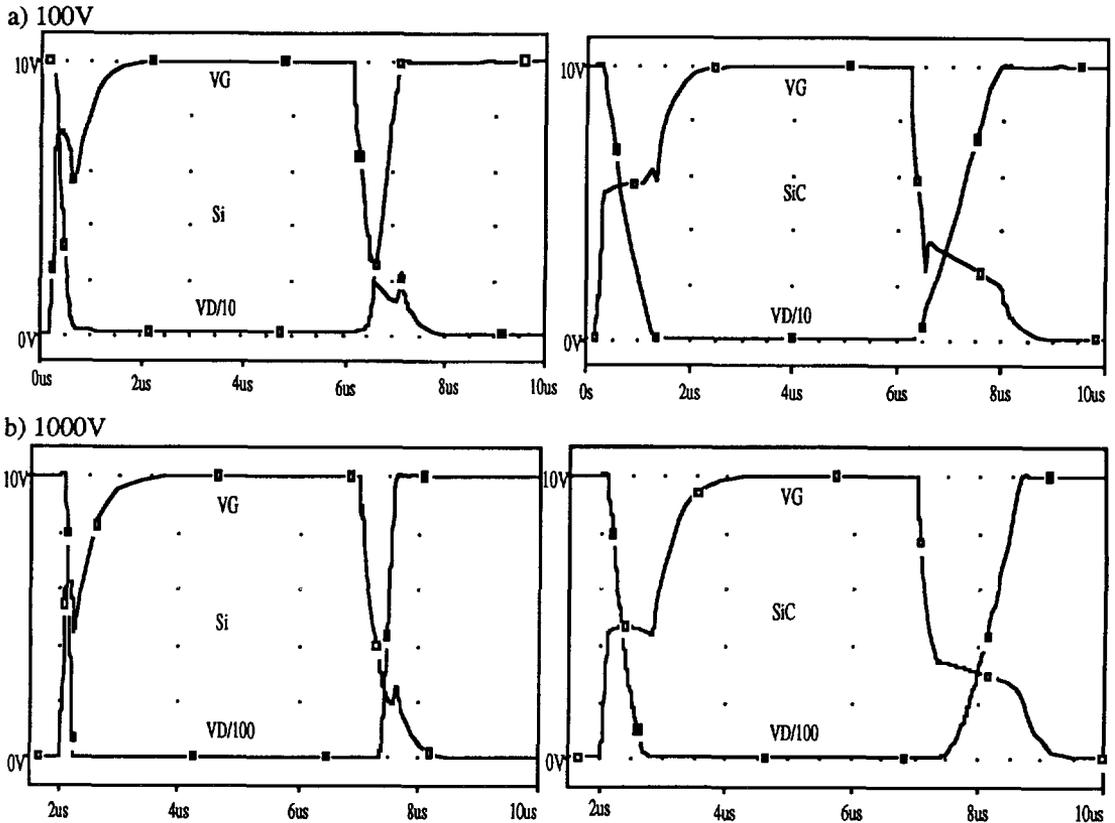


Fig. 4. — Comportement électrique des structures VDMOS-SiC et Si dans un circuit de commutation résistive. Représentation des tensions de drain et de grille : a) composant = $100\ \text{V}$, charge = $0.5\ \Omega$; b) composant = $1\ 000\ \text{V}$, charge = $20\ \Omega$, surface = $1\ \text{cm}^2$.

[Electrical behaviour of the VDMOS-SiC and Si on the switching resistive circuit. Drain and gate waveforms : a) device = $100\ \text{V}$, load impedance = $0.5\ \Omega$; b) device = $1\ 000\ \text{V}$, load impedance = $20\ \Omega$.]

L'origine physique de cet accroissement est liée principalement à l'augmentation de la capacité « Miller » lorsqu'on change de semiconducteur. Cette capacité qui est une capacité MOS constituée par un oxyde de grille et le semiconducteur dépeuplé sous celui-ci a une valeur [2] qui est fonction croissante du dopage. Comme à tenue en tension donnée ce dernier est environ cent fois plus grand pour le carbure de silicium, il en résulte une valeur plus élevée de la capacité grille-drain. La figure 5 représente, dans le cas des composants analysés, les variations de cette capacité en fonction de la tension à ses bornes.

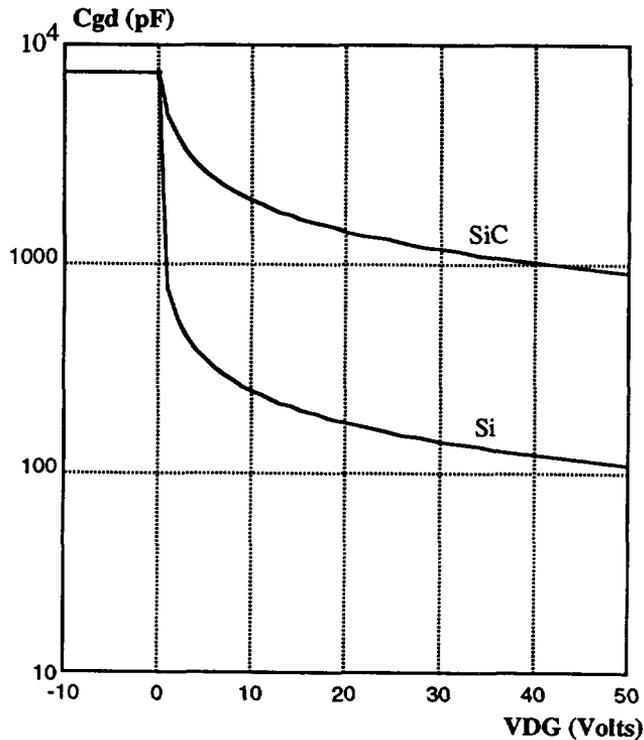


Fig. 5. — Comparaison entre les capacités grille-drain des transistors MOS de puissance sur silicium et carbure de silicium (1 cm^2 — tenue en tension 100 V — cellules de $25 \mu\text{m}$ — oxyde de 1000 \AA).

[Comparison of the gate — drain capacitance for the SiC and Si Power MOSFETs transistor (chip area = 1 cm^2 — voltage capability = 100 V — cell size = $25 \mu\text{m}$ — oxide thickness = 1000 \AA .)]

La vitesse de commutation, que l'on peut chiffrer très précisément grâce à l'outil PMD, et qui dépend de la résistance du générateur de grille est inférieure dans ce cas d'étude d'un facteur quatre environ par rapport au silicium. Ceci entraîne évidemment des pertes de commutation plus importantes d'un facteur identique, dans le cas du carbure de silicium. La figure 6 représente l'évolution du produit tension aux bornes par le courant traversant le dispositif. L'intégrale de ce produit est égale aux pertes. L'évaluation précise de ces pertes montre qu'à la commutation, elles croissent d'un facteur supérieur à 4 lorsqu'on change de matériau. En conséquence, il apparaît dans *ce cas particulier* considéré c'est-à-dire à tenue en tension, à surface, à courant commuté et puissance contrôlée identiques, que l'utilisation du silicium est plus intéressante — du seul point de vue des pertes de commutation — que celle du carbure de silicium.

Deuxièmement : toujours à puissance « contrôlée » constante, un autre cas d'étude que nous proposons d'analyser est celui où l'on « déclasse » le composant vis-à-vis de sa tenue en tension. En effet, si l'on accepte, pour le même cas d'étude de commutation (*surface*, courant « commuté », tension d'alimentation, puissance contrôlée identiques), d'utiliser un composant SiC ayant une tenue en tension nettement supérieure — donc fabriqué sur un matériau moins dopé et donc ayant une capacité Miller plus faible — alors on peut démontrer que le matériau SiC peut être plus performant du point de vue des pertes de commutation que le matériau silicium. Théoriquement, on prouve à l'aide de l'outil PMD que, pour que les pertes

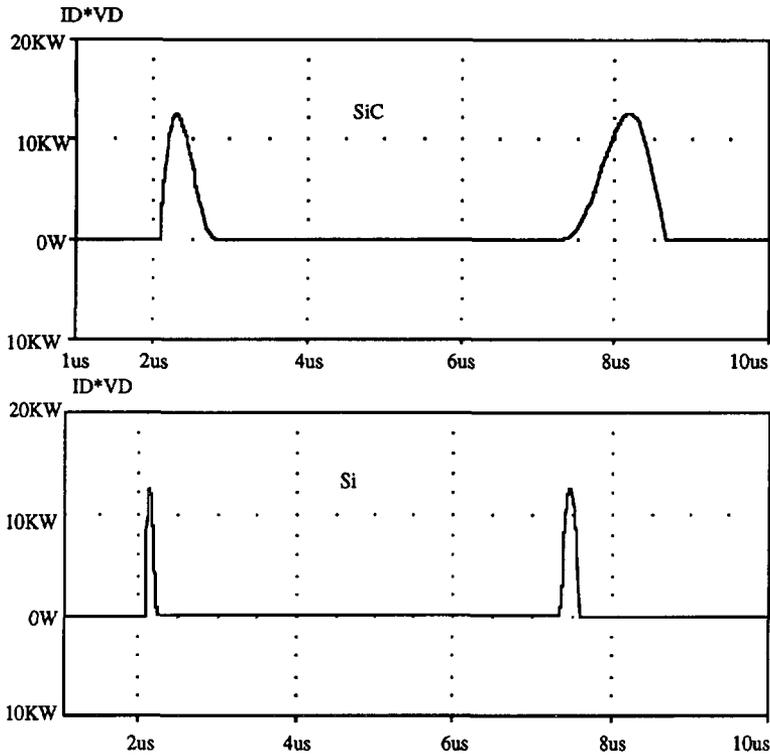


Fig. 6. — Pertes dans le transistor VDMOS-SiC et VDMOS-Si ayant même tenue en tension de 1 000 V (surface = 1 cm², alimentation = 1 000 V, charge = 20 Ω).

[Switching losses of the VDMOS-SiC and the VDMOS-Si transistor, for a given voltage capability (chip area = 1 cm², supply voltage = 1 000 V, load impedance = 20 Ω).]

de commutation d'un dispositif SiC soient égales à celles du dispositif Si, il faut — à condition de circuit (de courant) et d'alimentation identique — que la tenue en tension du dispositif SiC soit environ 30 fois supérieure à celle du dispositif silicium. Ce résultat peut être entendu par le raisonnement qui va suivre : les pertes de commutation sont proportionnelles au temps de commutation [14]. Ce temps de commutation est quant à lui principalement déterminé par l'effet Miller et est proportionnel, toujours au premier ordre, à la capacité drain-grille. Cette dernière est une capacité MOS qui, toutes choses égales par ailleurs, suit en « moyenne tension » une loi en racine carrée du dopage. Par suite, compte tenu de la relation (7), les pertes de commutation évoluent, en fonction de la tenue en tension, selon une loi de la forme :

$$\text{Pertes}_{(\text{commutation})} = K \cdot \left[\frac{\text{VDBR}}{\left(\frac{(\epsilon_0 \epsilon_{\text{SiC}})^3}{2(A' - A'') \cdot q^3} \cdot \text{Log} \left(\frac{A'}{A''} \right) \right)^{1/4}} \right]^{-2/3} \tag{19}$$

Le coefficient *K* dépend en particulier des résistances de drain et de grille, de la tension d'alimentation ; il ne dépend que peu du matériau considéré. Cette loi prouve :

- que pour un matériau donné et des configurations de circuit (courant) connues, si on veut diminuer les pertes de commutation, il faut utiliser des composants MOS de tenue en tension

plus élevée qu'il n'est nécessaire. La contre-partie étant, compte tenu de ce qui a été dit au paragraphe 3.1, un accroissement corrélatif des pertes de conduction ;

• pour deux matériaux différents tels que le silicium et le carbure de silicium, et compte tenu des différences dans les valeurs numériques des coefficients A' et A'' , le rapport des pertes de commutation est dans une configuration de circuit donnée égal à :

$$\frac{P_{\text{commutation SiC}}}{P_{\text{commutation Si}}} = \left[30 * \frac{VDBR_{Si}}{VDBR_{SiC}} \right]^{2/3} \quad (20)$$

L'exemple théorique représenté sur la figure 7 illustre ce résultat : pour un composant hypothétique SiC de 30 kV de capacité en tension, on retrouve des pertes de commutation comparables à celles d'un composant 1 000 V sur silicium, c'est-à-dire ayant une tenue en tension trente fois inférieure (voir Fig. 6 cas du Si). On pourrait montrer, de plus, que les pertes de conduction sont, dans cet exemple, voisines.

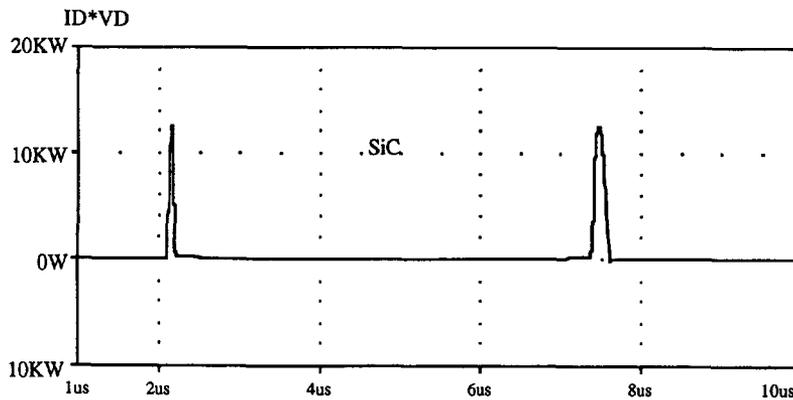


Fig. 7. — Pertes dans le VDMOS-SiC ayant une tenue en tension de 30 kV utilisé dans les mêmes conditions que celles de la figure 6 (surface = 1 cm², alimentation = 1 000 V, charge = 20 Ω).

[Switching losses of the VDMOS-SiC for a 30 kV voltage capability (chip area = 1 cm², supply voltage = 1 000 V, load impedance = 20 Ω).]

Troisièmement : et c'est là le cas de comparaison qui est le plus significatif, on compare deux composants Si et SiC de même tenue en tension, *dissipant les mêmes pertes de conduction* et contrôlant le même courant et la même puissance commutés. On va évaluer le rapport des aires de ces dispositifs et celui de leurs pertes de commutation.

Les pertes de conduction étant identiques, comme le courant passant est le même, il en résulte que les résistances passantes Si/SiC doivent être égales. Par suite, l'aire du dispositif SiC doit être 100 fois plus petite que celle de celui sur Si. Sa capacité Miller est donc environ 10 fois plus faible et corrélativement ses pertes de commutation sont aussi *plus faibles*. Ce résultat est corroboré par la figure 8 : un composant SiC de 1 000 V de 1 mm² a bien moins de pertes de commutation de son homologue Si de 1 cm² (cf. Fig. 6-Si). Le calcul précis, effectué par intégration numérique, montre que le facteur de réduction de ces pertes est bien voisin de 10.

Bien entendu, ce raisonnement ne tient absolument pas compte des problèmes d'échauffement de la puce qui dépassent le cadre de cet article, mais qui deviennent cruciaux lorsqu'à puissance dissipée constante on diminue les tailles. L'échauffement pondère notre analyse du fait de la croissance notable de la résistance passante en fonction de la température [16].

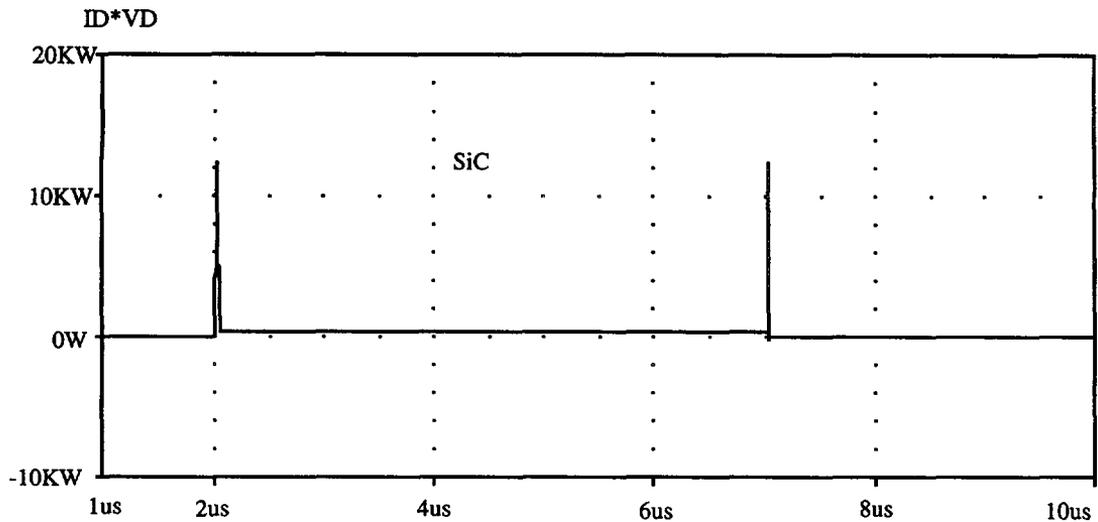


Fig. 8. — Pertes dans le VDMOS-SiC ayant une tenue en tension de 1 000 V utilisé dans les mêmes conditions que celles de la figure 6 (aire = 1 mm², alimentation = 1 000 V, charge = 20 Ω).

[Switching losses of the VDMOS-SiC with a 1 000 V voltage capability (chip area = 1 mm², supply voltage = 1 000 V, load impedance = 20 Ω).]

4. Conclusion.

Nous venons d'effectuer une pure comparaison théorique des composants MOS de puissance sur silicium ou sur carbure de silicium. Tout d'abord, nous avons déterminé sur ces dispositifs unipolaires le compromis chute de tension à l'état passant fonction de la tenue en tension ; ce résultat a été obtenu par une formulation analytique de la tenue en tension en fonction du dopage et de l'épaisseur de couche semiconductrice. Ensuite et plus précisément, cette limite a été affinée pour les transistors MOS de puissance grâce à l'application, au cas du matériau SiC, d'une procédure de conception élaborée antérieurement pour les dispositifs silicium. L'influence de la taille cellulaire a été précisée. On peut entrevoir en passant du Si au SiC, et ceci malgré les erreurs d'évaluation discutées dans le texte, une diminution en résistance passante — et donc des pertes en conduction — voisine de deux décades pour une surface égale et une tenue en tension supérieure à 800 V.

Il a été aussi montré sur la base de simulation en commutation de ces composants MOS que :

- à tenue en tension, surface, courant commuté et puissance contrôlée identiques, le temps de commutation se dégrade, c'est-à-dire qu'il croît, lorsqu'on passe du silicium au carbure de silicium. L'accroissement de la capacité Miller corrélatif à celui du dopage de couche en est la raison. L'augmentation des pertes en commutation est sur les exemples traités supérieure à 4, pour des composants 1 000 V ;

- toutefois toujours à surface, courant commuté et puissance contrôlée identiques, si l'on accepte de « déclasser » le produit, c'est-à-dire d'utiliser des dispositifs ayant des tenues en tension trente fois supérieures dans le cas du SiC que dans le cas du Si, alors ces premiers dispositifs auront des pertes de commutation meilleures, les pertes de conduction deviennent comparables voire plus mauvaises ;

- enfin, pour obtenir des pertes de conduction égales, à courant commuté, puissance contrôlée et tenue en tension identiques, on doit diminuer d'un facteur 100 l'aire du composant SiC vis-à-vis de son homologue Si. Les pertes de commutation sont alors plus réduites.

En conclusion, nous confirmons l'intérêt potentiel apporté par le matériau SiC vis-à-vis du Si sur les pertes statiques des composants unipolaires haute tension. Nous attirons toutefois, et pour la première fois, l'attention sur le fait que ce matériau peut être soit plus favorable soit plus défavorable en régime dynamique. Tout dépend des cas d'analyse considérés.

Bien entendu, nous rappelons que toutes ces considérations quantitatives restent d'ordre spéculatif, que nous n'avons jamais pris en compte l'effet de l'échauffement et que le vrai problème de fond qui reste posé aujourd'hui est celui de la réalisation technologique des dispositifs de puissance considérés.

Remerciements

Nous remercions le professeur Philippe Leturcq pour ses suggestions et commentaires faits durant la préparation de cet article. Egalement nous remercions le correcteur anonyme qui, lors de la révision de cet article, a su faire des remarques justifiées et particulièrement constructives.

Bibliographie

- [1] Bhatnagar M., Baliga B. J., Comparison of 6 H-SiC, 3 C-SiC, and Si for Power Devices, *IEEE Trans. Electron Devices* **40** (1993) 645-655.
- [2] Beydoun B., Tranduc H., Oms F., Charitat G., Rossel P., Peyre Lavigne A., Power MOSFET Design and Modelling Tool for Power Electronics, 5th European conference on Power Electronics (EPE'93) (Brighton (UK) septembre 1993) pp. 390-395.
- [3] Hu C., A parametric study of Power MOSFET's, Conf. Record : Power Electronics, specialists conference (San Diego 1979).
- [4] Gharbi M., La Tenue en Tension et le Calibre en Courant du Transistor MOS Vertical dans la Gamme des Tensions (300 V à 1 000 V), thèse de 3^e Cycle, n 3223, Université Paul Sabatier, Toulouse (1985).
- [5] Chynoweth A. G., Ionisation Rates for Electrons and Holes in Silicon, *Phys. Rev.* **109** (1958) 1537-1540.
- [6] Helbig R., Progress in New Materials for Power Electronics : SiC, International Symposium on Power Semiconductor Devices & ICs, ISPSD'93 (Monterey (U.S.A.) 1993) pp. 6-11.
- [7] Mac Kay K. G., Avalanche breakdown in silicon, *Phys. Rev.* **94** (1954) 877.
- [8] Charitat G., Modélisation et réalisation de composants planar haute-tension, thèse de docteur d'état, Université Paul Sabatier, Toulouse (septembre 1990).
- [9] Sze S. M., Physics of semi-conductor Devices (Wiley & Sons, 1981) p. 29.
- [10] Matsunami H., Semiconductor Silicon carbide — Expectation for Power Devices, International Symposium on Power Semiconductor Devices & ICs, ISPSD'90 (Tokyo 1990) pp. 13-18.
- [11] Sanchez J. L., Gharbi M., Tranduc H., Rossel F., Rossel P., Medium Voltage 250 V to 600 V Transistors with Reduced Input Capacitance, 13th Yugoslav Conference on Microelectronic (Miel 85) (Ljubljana, mai 1985).
- [12] Phan Pham T., Le compromis entre la résistance à l'état passant et la tenue en tension dans les transistors MOS de puissance. Application à la définition des règles de conception des structures VDMOS, thèse de 3^e cycle, n 2661, Université Paul Sabatier, Toulouse (1982).
- [13] Ghandhi S. K., Semiconductor Power devices (J. Wiley & Sons, New York 1977).
- [14] Grant D. A., Gowar J., Power MOSFET's Theory and applications (Wiley & Sons, 1989).
- [15] Palmour J. W., Edmond J. A., Kong H. S., Carter C. H., Vertical Power Devices in Silicon Carbide, Int. Conference on SiC and related Materials (Paris, novembre 1993).
- [16] Tranduc H., Phan Pham T., Beuno de Moraes W., Rossel P., Evolution en température de la résistance à l'état passant des transistors MOS de puissance, *C.R. Acad. Sci. Paris* (septembre 1982).