



**HAL**  
open science

## Passivation des semiconducteurs III-V

P. Viktorovitch

► **To cite this version:**

P. Viktorovitch. Passivation des semiconducteurs III-V. Revue de Physique Appliquée, 1990, 25 (9), pp.895-914. 10.1051/rphysap:01990002509089500 . jpa-00246253

**HAL Id: jpa-00246253**

**<https://hal.science/jpa-00246253>**

Submitted on 4 Feb 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## Classification

Physics Abstracts

73.20 — 73.40 — 82.65

## Passivation des semiconducteurs III-V

P. Viktorovitch

Laboratoire d'Electronique, Automatique et Mesures Electriques, UA CNRS 848, Ecole Centrale de Lyon, BP 163, 69131 Ecully Cedex, France

(Reçu le 21 décembre 1989, accepté le 21 mai 1990)

**Résumé.** — Le comportement des composants électroniques peut être significativement affecté par les propriétés des surfaces et interfaces dont ils sont constitués et qui tendent à réduire leurs performances en dessous des limites attendues dans le cas idéal.

Dans le but de prévenir les effets indésirables induits par les surfaces sur les performances des dispositifs, une discipline scientifique s'est développée autour du terme « passivation » et s'est attachée à mettre en œuvre des traitements de surface associés à des dépôts de diélectriques avec les objectifs suivants :

- conférer aux surfaces et interfaces les propriétés électriques requises pour un fonctionnement optimal du dispositif ;
- stabiliser les propriétés des surfaces et interfaces en vue de supprimer toute perturbation ou évolution dans le temps des caractéristiques fonctionnelles du dispositif résultant de contraintes extérieures physicochimiques (contamination, oxidation...), thermiques et électriques.

Les principales limitations introduites par les surfaces et interfaces dans le fonctionnement des composants électroniques sont présentées, en tenant compte des principales applications visées. L'exposé sera plus particulièrement centré sur le cas des surfaces et interfaces de GaAs et d'InP dont les caractéristiques électroniques spécifiques (blocage du niveau de Fermi et recombinaisons en surface, stabilité) seront examinées en rappelant les différentes hypothèses retenues à ce jour quant à la nature des défauts qui contrôlent ces caractéristiques. Les procédés de passivation développés pour neutraliser ces défauts, en prévenir la création ou en contrôler la répartition seront présentés.

**Abstract.** — Surface and interface properties can affect significantly the behavior of electronic devices and result in a limitation of their performance below that to be expected in the ideal case.

To prevent deleterious effects induced by surfaces, a science has grown up around the term « passivation » which endeavors to develop surface treatments and deposition of dielectric aiming at the following objectives :

- to provide surfaces and interfaces with the electronic properties required for an optimum working of the device,
- to stabilize surface and interface properties in order to suppress any disturbance or change in time of the functional characteristics of the device as a result of external physico-chemical (contamination, oxidation...), thermal and electrical constraints.

The principal limitations due to surfaces and interfaces in the operation of devices are presented in connection with planned applications. This paper focuses on GaAs and InP surfaces and interfaces whose specific electronic properties (Fermi level pinning, surface recombination, stability) will be examined in the frame of various models in the literature concerning the nature of defects which presumably control their characteristics. Passivation processes developed to compensate defects, to prevent their creation or to control their distribution are presented.

### 1. Introduction : passivation et interfaces des semi-conducteurs composés III-V.

Des perspectives très prometteuses s'offrent aux semiconducteurs composés III-V, en particulier le

GaAs, l'InP et les matériaux associés, en raison de leurs propriétés intrinsèques remarquables. Ils sont en effet dotés d'une forte mobilité électronique et, le plus souvent, d'une bande interdite directe permettant l'émission de lumière. Ces propriétés leur

offrent un large champ d'applications nouvelles dans des domaines très divers incluant la microélectronique rapide digitale et analogique, les composants électroniques de puissance hyperfréquence et l'optoélectronique intégrée.

En raison de la tendance actuelle à l'intégration planar et à la réduction des dimensions des dispositifs, les surfaces et interfaces ont une influence de plus en plus prépondérante sur leurs performances.

En général, les surfaces et interfaces ont un effet dégradant sur les performances des dispositifs. Dans le cas idéal, une interface ou une surface constitue une barrière abrupte permettant de délimiter précisément des régions internes du dispositif ou de définir ses frontières extérieures. En pratique, les interfaces sont des régions invariablement « infestées » non seulement d'états localisés intrinsèques mais également d'une large gamme de défauts — impuretés, défauts de stœchiométrie etc... — limitant l'une de leurs principales fonctions qui est de confiner les porteurs. C'est pour une bonne part en raison des remarquables propriétés électroniques et physicochimiques de l'interface formée par le silicium avec son oxyde thermique  $\text{SiO}_2$ , que ce matériau semiconducteur a pu contribuer avec le succès que l'on sait au développement considérable de la microélectronique. Ces circonstances favorables ne sont pas renouvelées dans le cas des semi-conducteurs composés III-V pour lesquels il s'avère impossible d'obtenir, par simple croissance thermique, des oxydes possédant d'excellentes propriétés diélectriques et conduisant à une interface de très bonne qualité.

Dans le but de prévenir les effets indésirables induits par les surfaces et interfaces sur les performances des dispositifs à semiconducteurs composés, une science empirique s'est développée autour du terme « passivation » et s'est attachée à mettre en œuvre des traitements d'interface et de surface avec les objectifs suivants :

- conférer aux interfaces et surfaces les propriétés électriques requises pour un fonctionnement optimal du dispositif ;
- stabiliser les propriétés des surfaces et interfaces en vue de supprimer toute perturbation ou évolution dans le temps des caractéristiques fonctionnelles du dispositif résultant de contraintes extérieures physicochimiques (contamination, oxydation...), thermiques et électriques.

Il est apparu que l'atteinte de ces objectifs implique la résolution d'une large gamme de problèmes complexes au confluent de nombreuses disciplines incluant la science des matériaux, la physicochimie des surfaces et la physique des composants. Une démarche empirique purement « technologique » s'est avérée impuissante à résoudre ces problèmes et peu de succès ont été obtenus dans le contrôle des

surfaces et interfaces. Depuis quelques années, on assiste à une évolution dans le sens d'une attitude plus « active » avec le désir de faire de la passivation une « science exacte ». Des recherches à caractère pluridisciplinaire se développent associant en étroite collaboration chimistes, physiciens des surfaces, physiciens des matériaux et des composants et s'appuyant sur l'immense substrat de connaissances et le potentiel des techniques de la science des matériaux et des surfaces.

La passivation a donc tendance à devenir une véritable ingénierie scientifique des surfaces et interfaces, c'est-à-dire une ingénierie des défauts de surface et d'interface. Cela n'implique pas systématiquement la compensation ou l'annihilation de ces défauts. Il s'agit d'une manière générale de fabriquer des surfaces et interfaces passivées, c'est-à-dire :

- passives vis-à-vis des actions extérieures volontaires et donc ne leur opposant pas de « résistance » ;
- passives vis-à-vis des actions parasites extérieures involontaires et donc capables au contraire de réagir contre elles.

Pour illustrer cette démarche générale nous donnons deux exemples empruntés à l'ingénierie des matériaux qui, au cours des deux dernières décennies, a pavé la voie suivie aujourd'hui par l'ingénierie des surfaces :

— le dopage des matériaux semiconducteurs, qu'on peut considérer comme une action volontaire extérieure, n'a été rendu possible qu'après élimination ou passivation des défauts du matériau. Un exemple récent est la possibilité de doper le silicium amorphe après passivation de ses défauts par l'hydrogène ;

— la fabrication de GaAs semi-isolant est obtenue en introduisant volontairement, en cours de croissance, des défauts de type  $\text{EL}_2$  associés à de l'arsenic en excès en position antisite. Ces défauts sont à l'origine de niveaux électroniques profonds maintenant le niveau de Fermi proche du niveau intrinsèque et stabilisant le matériau dans l'état semi-isolant. L'obtention de GaAs semi-isolant en fabricant directement du matériau intrinsèque impliquerait un degré de passivation et de purification inaccessible. En tout état de cause, un tel matériau intrinsèque serait très vulnérable face à toute contamination ou perturbation extérieure involontaire, contrairement au matériau semi-isolant obtenu par ingénierie de défauts profonds.

Ces deux exemples présentent une analogie remarquable avec un des problèmes importants de la passivation des semiconducteurs III-V, le contrôle de la position du niveau de Fermi aux surfaces et interfaces.

La passivation des semiconducteurs III-V constitue un vaste domaine de recherche. Dans cette contribution nous limiterons notre discussion à cer-

tains aspects de la passivation en concentrant notre attention sur les propriétés et la structure électroniques des interfaces diélectrique et métal-semiconducteur en relation avec leurs propriétés physicochimiques. Nous excluons du développement qui suit les problèmes d'encapsulation des dispositifs qui relèvent aussi de la passivation. En particulier, nous ne discuterons pas des procédés d'encapsulation pour recuits d'implantation qui constituent une étape technologique critique dans le cas des matériaux III-V (départ préférentiel des éléments de la colonne V, ségrégation des impuretés en surface...).

Nous ne tenterons pas de réaliser une revue exhaustive de l'immense réservoir de publications parues dans la littérature sur les surfaces et interfaces de semiconducteurs III-V, mais nous discuterons sélectivement des sujets qui nous apparaissent pertinents du point de vue des dispositifs et de leur passivation, en nous efforçant de dégager les principaux faits expérimentaux propres à orienter la recherche de solutions technologiques appropriées.

Notre discussion portera essentiellement sur GaAs et InP qui sont les matériaux clés de l'électronique et de l'optoélectronique III-V. GaAs est en effet à la base des composants électroniques à grande vitesse dans les circuits hyperfréquences et les circuits intégrés logiques rapides. Associé éventuellement au ternaire  $Ga_xAl_{1-x}As$ , GaAs constitue à la fois le substrat de départ et la ou les couches actives de ces dispositifs. Par ailleurs, la compatibilité des semiconducteurs III-V ternaires  $Ga_xIn_{1-x}As$  et quaternaires  $Ga_xIn_{1-x}As_yP_{1-y}$  de la filière InP avec les fenêtres optiques (1,3 – 1,5  $\mu m$ ) où les pertes de propagation de la lumière dans les fibres sont minimales, laisse envisager un développement considérable des dispositifs optoélectroniques fabriqués avec ces matériaux. L'InP constitue le substrat de départ de ces dispositifs dans lesquels il contribue également aux zones actives.

Dans le paragraphe qui suit, nous rappelons d'abord brièvement quelques notions générales sur les surfaces et interfaces de semiconducteur.

## 2. L'interface : un milieu doté de propriétés originales.

Une interface est une zone de transition entre deux volumes de matériaux adjacents. Il ne s'agit donc pas, comme on la présente classiquement, d'un plan abrupt marquant une discontinuité des propriétés des deux matériaux, mais une région de raccordement d'épaisseur généralement faible (quelques couches atomiques) mais non nulle. De ce fait, on conçoit que l'interface puisse présenter à la fois des propriétés dépendant des matériaux en contact et des caractéristiques qui lui sont propres. Ce sont ces propriétés qu'on s'attache à contrôler en passivant l'interface.

**2.1 SURFACE IDÉALE.** — L'interface de semiconducteur la mieux étudiée dans la littérature est celle formée avec le vide. C'est précisément le cas où l'interface n'est autre que la surface du semiconducteur. L'arsenal des techniques microscopiques d'analyse physicochimique des surfaces utilisé en ultra-vide (en particulier les méthodes de diffraction et de photoémission d'électrons) a permis d'accumuler un grand nombre de données « locales » sur les surfaces de semiconducteur et de montrer qu'elles ont en effet une identité propre et sont dotées de caractéristiques intrinsèques. Il s'agit de surfaces « idéales » mais non « parfaites » en ce sens qu'elles ne résultent pas d'une simple section du volume. La transition entre le volume et le vide s'opère généralement au prix d'une reconstruction de la surface qui lui confère une structure cristalline et électronique originale.

**2.2 INTERFACES RÉELLES.** — Les interfaces des dispositifs électroniques réels sont généralement beaucoup plus complexes que les surfaces idéales de semiconducteur. Par exemple, les surfaces « réelles » de semiconducteur en contact avec l'atmosphère ambiante ne sont pas à proprement parler des surfaces. Il existe en effet invariablement une couche de contamination, sous la forme par exemple d'une couche d'oxyde natif à l'interface entre l'atmosphère et le semiconducteur. La formation d'une interface réelle provoque la création de défauts, c'est-à-dire plus généralement d'imperfections par rapport au cas de la surface idéale (impuretés, lacunes, désordre de composition, d'angles de liaison, etc...).

C'est au travers de leur interaction avec les porteurs de charge que les interfaces agissent sur le fonctionnement des dispositifs. Malgré l'extrême variété des interfaces rencontrées dans les dispositifs, il est admis que ces interactions peuvent être décrites au moyen de trois processus élémentaires : piégeage ou plus généralement localisation, recombinaison et diffusion (« scattering ») des porteurs. Nous allons préciser ces mécanismes en utilisant en particulier la notion fondamentale d'états électroniques d'interface.

**2.3 ETATS ÉLECTRONIQUES D'INTERFACE.** — L'existence d'états électroniques d'interface a été prédite par la théorie depuis plus d'un demi-siècle [1]. Elle est due au fait que la structure « cristallochimique » de l'interface diffère de celle du volume. Ce sont les états dont le niveau énergétique est situé dans la bande interdite du semiconducteur qui agissent de façon prépondérante sur le fonctionnement des dispositifs. Leur charge peut en effet être modifiée puisqu'ils sont situés dans la gamme d'énergie susceptible d'être balayée par les niveaux de Fermi des électrons ou des trous du semiconducteur. Il s'agit d'états électroniques localisés dont la fonc-

tion d'onde décroît exponentiellement de part et d'autre de l'interface.

La surface idéale possède une structure électronique propre, ses propriétés chimiques et cristallines étant différentes de celles du volume. La corrélation entre structure électronique et propriétés microscopiques de la surface idéale a été démontrée à maintes reprises dans la littérature avec la mise en évidence d'états électroniques intrinsèques.

Dans le cas d'une interface réelle, la présence de défauts modifie la structure électronique par rapport à celle d'une surface idéale en introduisant ou en éliminant des états électroniques. La recherche de corrélations entre structure cristallochimique, nature des défauts d'une interface réelle et sa structure électronique constitue l'un des principaux objectifs visés dans la passivation des dispositifs électroniques. Rares sinon inexistantes, sont les résultats incontestables publiés dans la littérature sur cette question, en particulier dans le domaine des semiconducteurs composés III-V.

**2.4 CONSÉQUENCES DE LA PRÉSENCE D'ÉTATS D'INTERFACE.** — Nous nous limiterons ici à mentionner les principales caractéristiques électriques des interfaces qui sont influencées par la présence d'états d'interface et qu'on cherche à contrôler par la passivation en raison de leur incidence directe sur les performances des dispositifs.

**2.4.1 Position du niveau de Fermi à l'interface à l'équilibre.** — Les états électroniques d'interface ayant une distribution différente de celles du volume du semiconducteur contrôlent au moins en partie la position du niveau de Fermi à l'interface ( $E_{FS}$ ). Dans le cas simple du système vide-semiconducteur, la position de  $E_{FS}$  est fixée par la condition de neutralité du système interface-semiconducteur. Il se forme une zone de charge d'espace dans le semiconducteur dont la valeur est égale et opposée à la charge portée par les états d'interface ou de surface. Dans le cas des structures métal-semiconducteur ou métal-isolant-semiconducteur, la condition de neutralité inclut la charge portée par le métal et l'influence des états d'interface est partiellement occultée par le métal, d'autant plus qu'il est plus proche de semiconducteur. La figure 1 illustre très schématiquement la structure des bandes d'un semiconducteur en contact avec le vide, un métal ou un diélectrique.

**2.4.2 Blocage (« pinning ») du niveau de Fermi à l'interface.** — Le contrôle de la position du niveau de Fermi à l'interface par les états d'interface est d'autant plus énergique que leur densité est plus élevée. Le taux de blocage de  $E_{FS}$  peut être évalué à partir de la quantité  $dQ_{SS}/dE_{FS}$ , où  $dQ_{SS}$  est la quantité de charges par  $\text{cm}^2$  qu'il faut transférer sur les états d'interface pour réaliser un déplacement

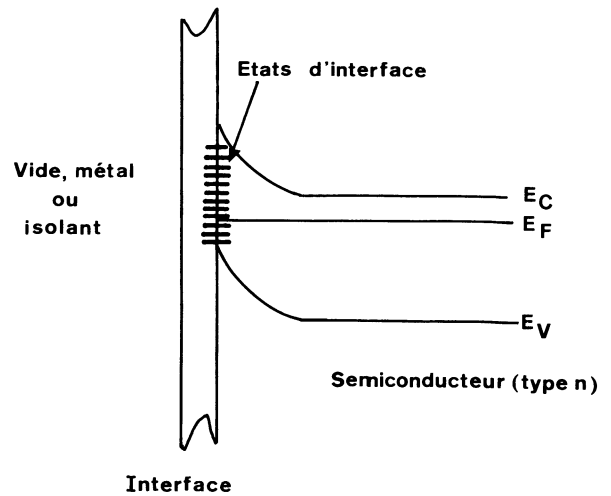


Fig. 1. — Représentation schématique de la structure de bandes d'un semiconducteur en contact avec le vide, un métal ou un diélectrique. L'interface possède une structure cristallochimique et donc une structure électronique différentes de celles du volume.

[Schematic view of the band structure of a semiconductor in contact with vacuum, a metal or a dielectric. The physico-chemical and electrical properties of the interface are different from those of the bulk.]

$dE_{FS}$  de  $E_{FS}$ .  $dQ_{SS}/dE_{FS}$  n'est autre que la capacité des états d'interface  $qN_{SS}$  où  $q$  est la charge de l'électron en valeur absolue et  $N_{SS}$  la densité des états d'interface en  $E_{FS}$  par  $\text{cm}^2$  et par eV. En l'absence de métal (surface idéale, surface réelle et interface diélectrique-semiconducteur), le blocage du niveau de Fermi devient effectif lorsque  $qN_{SS}$  excède la capacité de la zone de charge d'espace du semiconducteur  $C_{SC}$ , ce qui correspond à une densité de  $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$  pour un dopage du matériau de  $10^{16} \text{ cm}^{-3}$  par exemple. Cette densité est très faible par rapport aux  $10^{15}$  atomes par  $\text{cm}^2$  de surface du semiconducteur. En présence d'un métal,  $qN_{SS}$  devra aussi excéder la capacité entre le métal et le semiconducteur pour conduire à un blocage de  $E_{FS}$ . Ainsi, dans le cas d'une diode Schottky, pour laquelle la distance entre le métal et le semiconducteur est de l'ordre de la distance interatomique, le blocage du niveau de Fermi implique une densité d'états supérieure à  $10^{14} \text{ cm}^{-2} \text{ eV}^{-1}$ , ce qui est de l'ordre de la densité atomique par  $\text{cm}^2$  de surface. Il faut donc bien garder en mémoire que la notion générale du blocage ou « pinning » du niveau de Fermi peut correspondre à des situations très diverses selon les conditions dans lesquelles le blocage est observé. Précisons enfin que la notion de blocage du niveau de Fermi n'a réellement de sens qu'à l'équilibre thermodynamique. Lorsqu'on s'écarte de l'équilibre, par polarisation ou illumination, il n'existe plus un seul niveau de Fermi à l'interface et la charge

des états d'interface est contrôlée par la cinétique d'échange de porteurs entre ces derniers, les bandes de conduction et de valence du semiconducteur, et, le cas échéant, le métal. Dans ces conditions, on peut observer, par exemple, un déblocage du niveau de Fermi des électrons du semiconducteur.

**2.4.3 Piégeage, dépiégeage et recombinaison à l'interface.** — Ces phénomènes se manifestent lorsqu'on s'écarte de l'équilibre. D'une manière générale, le fonctionnement des dispositifs est fondé sur une rupture de l'équilibre résultant de l'application d'une polarisation ou d'une illumination et se traduisant par une modification de la concentration en porteurs libres près de l'interface. Certains de ces porteurs peuvent être piégés par les états d'interface et ne sont plus disponibles pour l'effet recherché, temporairement s'ils sont dépiégés après un certain temps ou définitivement s'ils se recombinent avec un porteur de signe opposé qui aura été piégé à son tour par l'état d'interface. L'intensité de ces phénomènes dépend de la densité des états d'interface mais également de leur cinétique d'échange de porteurs avec les bandes permises du semiconducteur. Les processus de recombinaison à l'interface sont surtout contrôlés par les états électroniques fortement couplés au semiconducteur et donc localisés à proximité immédiate (distance atomique) du volume du matériau. Ce sont les états rapides. Le taux de recombinaison en surface est exprimé par le produit de la vitesse de recombinaison en surface  $S$  (cm/s) par l'excès de porteurs à l'entrée du volume neutre du semiconducteur.  $S$  est une fonction complexe de la distribution et de la cinétique des états d'interface ainsi que des paramètres de la zone de charge d'espace (courbure des bandes, position des quasi-niveaux de Fermi des électrons et des trous, etc...). L'effet de la recombinaison en surface est observable lorsqu'elle devient prépondérante par rapport à celle du volume dont la vitesse est de l'ordre de  $D/L$ , où  $D$  est le coefficient de diffusion des porteurs en excès et  $L$ , leur longueur de diffusion.  $D/L$  peut varier de quelques  $10^3$  cm/s à quelques  $10^5$  cm/s. La stabilité électrique long terme des dispositifs est contrôlée par les processus de piégeage lent, imputables aux états lents d'interface. Ces derniers sont peu couplés au semiconducteur et peuvent être localisés, par exemple, dans un oxyde natif à proximité de l'interface.

**2.4.4 Diffusion « scattering » des porteurs à l'interface.** — La mobilité des porteurs libres à proximité de l'interface peut être réduite en raison de la présence de fluctuations du potentiel de surface et des phénomènes de diffusion des porteurs à la surface provoqués par la rugosité et les charges d'interface. Cet effet est susceptible d'être observé dans les transistors à effet de champ dont le canal de

conduction est formé sous l'interface. Il n'existe pas dans la littérature de corrélations claires entre la mobilité des porteurs et la rugosité de l'interface, dont la caractérisation est, au demeurant, plutôt délicate. Elle s'appuie en général sur la technique de microscopie électronique en transmission à haute résolution, qui implique de disposer d'échantillons de mesure difficiles à réaliser et dont l'élaboration peut entraîner des modifications de la structure de l'interface. Par ailleurs, l'effet d'écran opéré par les porteurs libres du canal, en forte densité, est susceptible de limiter leur diffusion par les charges d'interface. C'est sur cette base que divers auteurs (voir [2] par exemple) interprètent les fortes mobilités de canal qu'ils observent. Nous ne reviendrons plus dans la suite de cet article, sur les problèmes de diffusion de porteurs à l'interface.

### 3. Interfaces de semiconducteurs III-V : les principaux faits expérimentaux.

Nous rapportons dans ce paragraphe les principaux faits expérimentaux relatifs aux propriétés de surface et d'interface des semiconducteurs III-V en concentrant notre attention aux cas de GaAs et de InP.

**3.1 SURFACE CLIVÉE SOUS ULTRA-VIDE (ORIENTATION 110).** — Les surfaces idéales clivées sous ultra-vide de GaAs et InP ne possèdent pas d'états électroniques intrinsèques dans la bande interdite du volume du matériau (Fig. 2). La relaxation de la surface provoque un déplacement des états vides associés au gallium (indium) dans la bande de conduction et des états pleins associés à l'arsenic (phosphore) dans la bande de valence. La position d'équilibre du niveau de Fermi en surface par rapport aux bords de bande est la même qu'en volume.

**3.2 POSITION D'ÉQUILIBRE DU NIVEAU DE FERMİ AUX SURFACES ET INTERFACES RÉELLES.** — Quel que soit le traitement subi par la surface clivée — dépôt métallique, exposition à l'oxygène, dépôt de diélectrique — on observe une nouvelle position d'équilibre du niveau de Fermi à l'interface dans une gamme d'énergie limitée autour du milieu de la bande interdite pour GaAs (environ 0,8 eV en dessous de la bande de conduction) à proximité de la bande de conduction (environ 0,4 eV en dessous) pour InP. Le déplacement du niveau de Fermi peut être observé directement sur la surface clivée soumise à ces différents traitements par spectroscopie d'émission de photoélectrons en mesurant le déplacement énergétique des niveaux de cœur des atomes du matériau situés près de la surface, c'est-à-dire sur une distance correspondant à la profondeur d'échappement des électrons photoémis, soit 30 Å au maximum. Ces niveaux sont en effet déplacés d'une

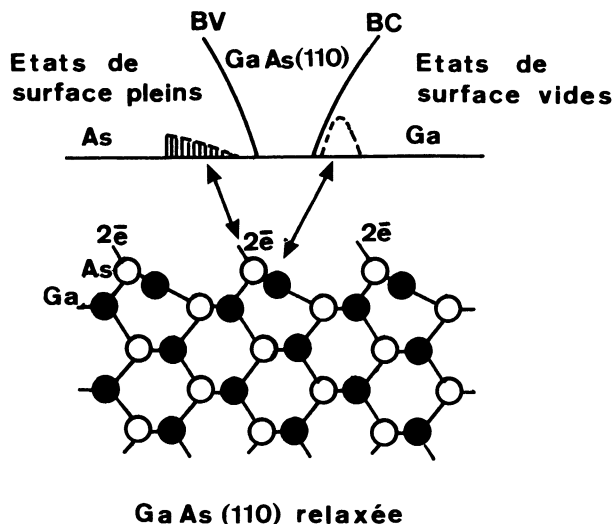


Fig. 2. — Les faces clivées de GaAs et InP ne possèdent pas d'états électroniques intrinsèques dans la bande interdite.

[Cleaved surfaces of GaAs and InP have no intrinsic states in the band gap.]

énergie égale à la courbure totale des bandes du semiconducteur puisque cette dernière s'étale sur une profondeur bien plus grande ( $> 1\ 000\ \text{\AA}$  pour un dopage  $< 10^{17}\ \text{cm}^{-3}$ ). Ces positions d'équilibre sont confirmées à l'interface avec un diélectrique par mesures électriques sur des structures MIS. Les mêmes positions sont observées pour la surface « technologique » d'orientation 100.

### 3.3 BLOCAGE DU NIVEAU DE FERMI EN SURFACE.

**3.3.1 Diode Schottky.** — On observe, pour GaAs et InP, des barrières de Schottky pratiquement indépendantes de la nature du métal et correspondant approximativement aux positions d'équilibre définies précédemment des niveaux de Fermi à l'interface. Ceci implique que le blocage au niveau de Fermi à l'interface est très énergique et que, s'il est dû à la présence d'états d'interface, la densité de ces derniers excède  $10^{14}\ \text{cm}^{-2}\ \text{eV}^{-1}$  pour InP comme pour GaAs. En conséquence, la barrière de Schottky est toujours relativement forte sur GaAs de type n (environ 0,8 eV) et faible sur InP de type n (0,4 eV). Notons que la diode Schottky étant un dispositif à porteurs majoritaires utilisé pour des applications en électronique rapide (hyperfréquence, logique rapide), c'est la barrière qu'elle forme sur des matériaux de type n qui présente un intérêt puisque la mobilité des électrons est très supérieure à celle des trous dans GaAs et InP. La hauteur de barrière  $\Phi_B$  (Fig. 3) de la diode Schottky, qui correspond à la distance entre le niveau de Fermi en surface et le bord de bande de conduction pour un semiconducteur de type n, peut être estimée par mesure du

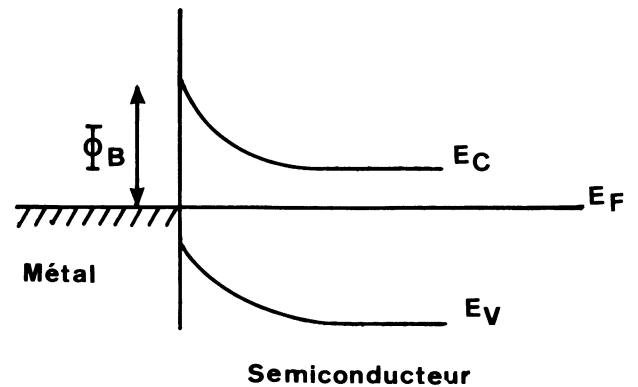


Fig. 3. — Diagramme de bandes d'une structure métal-semiconducteur de type n. La hauteur de barrière  $\Phi_B$  doit être la plus élevée possible.

[Band diagram of a metal-n type semiconductor structure. A large barrier height  $\Phi_B$  is desirable.]

courant traversant la structure en fonction de la température ou par mesure capacitive.

**3.3.2 Interface diélectrique-semiconducteur et surface réelle.** — Le blocage du niveau de Fermi à l'interface est plus fort dans le cas du GaAs. On trouve en général « naturellement » une densité d'états d'interface au moins 10 fois plus faible avec l'InP. La bande de conduction du GaAs est inaccessible pour le niveau de Fermi à l'interface alors que c'est au contraire la bande de valence dans le cas de l'InP. Par contre, il est aisé de déplacer le niveau de Fermi à l'interface jusqu'au bord de la bande de conduction de l'InP, alors que le bord de la bande de valence semble plus accessible au niveau de Fermi à l'interface dans le cas de GaAs.

L'allure générale de la distribution de la densité d'états d'interface est représentée figure 4 dans les cas de GaAs et InP. Elle présente, au premier ordre, un profil en U avec un minimum de densité supérieur à  $10^{12}\ \text{cm}^{-2}\ \text{eV}^{-1}$  situé en dessous du milieu de la bande interdite (environ 0,8 eV sous la bande de conduction) dans le cas de GaAs, supérieur à  $10^{11}\ \text{cm}^{-2}\ \text{eV}^{-1}$  et situé au-dessus du milieu de la bande interdite (environ 0,4 eV sous la bande de conduction) dans le cas de l'InP. La position du minimum de densité d'états correspond approximativement à la position d'équilibre du niveau de Fermi mentionnée plus haut. La distribution d'états à l'interface diélectrique-semiconducteur est usuellement déterminée par mesures capacitatives sur des structures métal-isolant-semiconducteur (méthode de Terman, méthode quasi-statique, technique de la conductance, DLTS...). Les données de la littérature sont innombrables, les auteurs rapportant l'observation de structures particulières diverses dans la distribution d'états et des valeurs de densités d'états variées. Les ordres de grandeur de la densité d'état

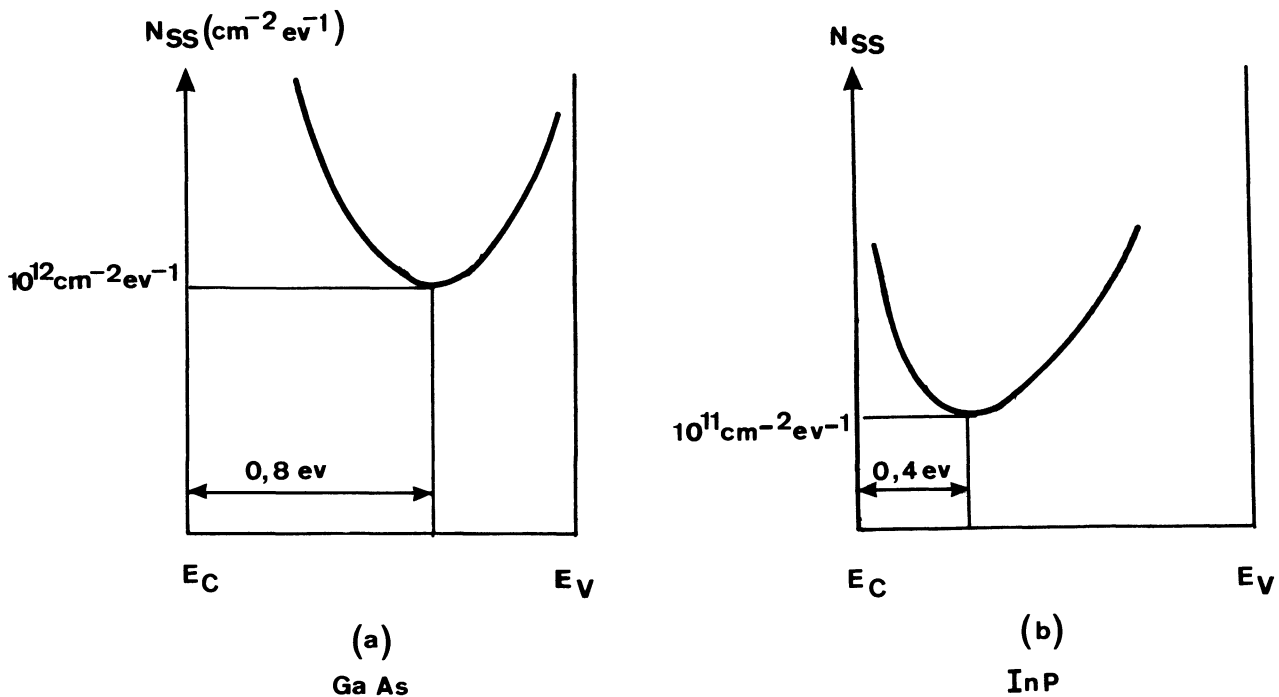


Fig. 4. — Allures générales de la distribution de la densité d'états d'interface dans le cas de GaAs (a) et InP (b).  
[Shape of the density of interface state distributions for GaAs (a) and InP (b).]

sont très sensibles (surtout pour InP) aux conditions d'élaboration et à la nature de l'interface diélectrique semiconducteur. On observe des densités plus élevées lorsque les procédés de fabrication sont plus brutaux (haute température, bombardement ionique, etc...). Néanmoins, l'allure générale de la distribution est bien celle que nous venons de décrire. Par ailleurs, l'inaccessibilité de la bande de conduction pour GaAs et de la bande de valence pour InP par le niveau de Fermi à l'interface a été maintes fois confirmée par l'impossibilité de réaliser des dispositifs MISFETs à canal n dans le premier cas et à canal p dans le deuxième.

*Remarque :* le  $\text{Ga}_x\text{In}_{1-x}\text{As}$  présente l'accord de maille avec InP pour  $x = 0,47$ .

Il constitue l'un des principaux matériaux de la filière InP en raison de propriétés optiques (photodétection et émission dans la fenêtre  $1,3\text{-}1,5 \mu$  des fibres) et électroniques (forte mobilité électronique exploitée dans les composants rapides). De ce fait, la structure électronique de l'interface diélectrique -  $\text{Ga}_{0,47}\text{In}_{0,53}\text{As}$  a fait l'objet d'un certain nombre d'études dans la littérature. La distribution des états électroniques d'interface présente également un profil en U avec un minimum de densité pouvant être réduit à environ  $10^{12} \text{cm}^{-2} \text{eV}^{-1}$  et situé  $0,2\text{-}0,3 \text{ eV}$  sous la bande de conduction qui est accessible au niveau de Fermi à l'interface. Par contre, il est impossible de le mouvoir jusqu'au bord de la bande de valence. De même que pour InP, la barrière de Schottky sur  $\text{Ga}_{0,47}\text{In}_{0,53}\text{As}$  est faible et de l'ordre de  $0,2 \text{ eV}$ .

**3.4 VITESSE DE RECOMBINAISON EN SURFACE.** — La vitesse de recombinaison aux surfaces et interfaces de GaAs est généralement très élevée de l'ordre de  $10^6 \text{ cm/s}$ . Dans le cas de InP, on peut observer, « naturellement », des vitesses de recombinaison beaucoup plus faibles n'excédant pas  $10^4 \text{ cm/s}$ , à la condition de ne pas « brutaliser » la surface, c'est-à-dire en évitant des traitements violents tels que des recuits sans protection de la surface à des températures supérieures à  $250\text{-}300 \text{ }^\circ\text{C}$  ou des bombardements ioniques. La mise en évidence expérimentale la plus directe de ces différences de comportement de GaAs et InP s'appuie sur la mesure de l'intensité de la photoluminescence émise par ces matériaux [3]. L'expérience consiste à créer des paires électrons-trous au voisinage de la surface par illumination à l'aide de photons d'énergie supérieure à celles de la bande interdite garantissant leur absorption sur une distance faible devant la longueur de diffusion des porteurs dans le matériau (par exemple la raie à  $1,96 \text{ eV}$  du laser hélium-néon est absorbée sur quelques  $10^3 \text{ \AA}$  de GaAs ou d'InP), et donc favorisant la recombinaison en surface des porteurs excités. L'intensité de la photoluminescence émise par le matériau, imputable à la recombinaison radiative des paires électrons-trous photo-engendrées, est donc directement influencée par les processus de recombinaison en surface non radiatifs, qui ont tendance à la réduire. Ainsi, la photoluminescence émise par l'InP peut être beaucoup plus intense que celle émise par le GaAs. De fait, celle-ci dépend fortement du traitement (thermique, chimique ou



ionique) subi par la surface dans le cas de InP et peut présenter des variations de plusieurs ordres de grandeur [4, 5, 6, 7, 8], alors qu'elle reste pratiquement inchangée et faible (sauf pour des traitements chimiques spécifiques dont nous reparlerons dans le paragraphe 6) dans le cas de GaAs. Bien qu'il n'existe pratiquement aucune donnée précise dans la littérature sur les mécanismes de recombinaison aux interfaces et la nature des défauts qui en sont responsables [9], il est peu douteux que le plus fort taux de recombinaison généralement observé aux surfaces et interfaces de GaAs par rapport à InP, résulte d'une densité d'états d'interface plus élevée. Cette corrélation entre densité d'états d'interface et recombinaison en surface a été mise en évidence sur InP par le groupe III-V de l'École Centrale de Lyon en observant sur des structures MIS, une intensité de photoluminescence décroissant en fonction de la densité d'états d'interface (mesurée sur ces mêmes structures par techniques capacitatives) [10, 11].

#### 4. Conséquences pour les dispositifs électroniques des propriétés d'interface des semiconducteurs III-V et objectifs spécifiques visés pour leur passivation.

Dans le développement qui suit nous exposerons de quelle manière les performances des dispositifs sont affectées par les propriétés spécifiques des interfaces décrites dans le paragraphe précédent. Nous verrons que leur influence est telle qu'elle peut dans certains dispositifs interdire la mise en œuvre de l'effet recherché.

Nous limiterons notre revue aux dispositifs dont le fonctionnement dépend au premier ordre des propriétés de surface et d'interface, c'est-à-dire dont la partie active en subit directement l'influence. Nous ne discuterons pas des lasers à semiconducteurs III-V dont la zone active « enterrée » est peu affectée par les phénomènes de surfaces et d'interfaces.

**4.1 TRANSISTOR A EFFET DE CHAMP A GRILLE ISOLÉE DE TYPE MISFET.** — Dans ce dispositif dont on donne une représentation schématique figure 5, un canal de porteurs est contrôlé électrostatiquement à l'aide d'une grille isolée du semiconducteur par un diélectrique. Les charges libres induites dans le canal sont transportées entre la source et le drain soumis à une différence de potentiel. L'effet recherché est une modulation maximale de la conductance du canal. Il est donc nécessaire que toutes les charges induites dans ce dernier restent libres et non pas immobilisées, piégées dans des états d'interface.

Dans la passivation de ce dispositif, on s'attachera donc à réaliser une interface diélectrique-semiconducteur la plus dépourvue possible d'états électroniques d'interface pour permettre un libre déplacement du niveau de Fermi à l'interface sous l'effet de la tension appliquée sur la grille et pour prévenir les phénomènes de dérive du courant drain-source

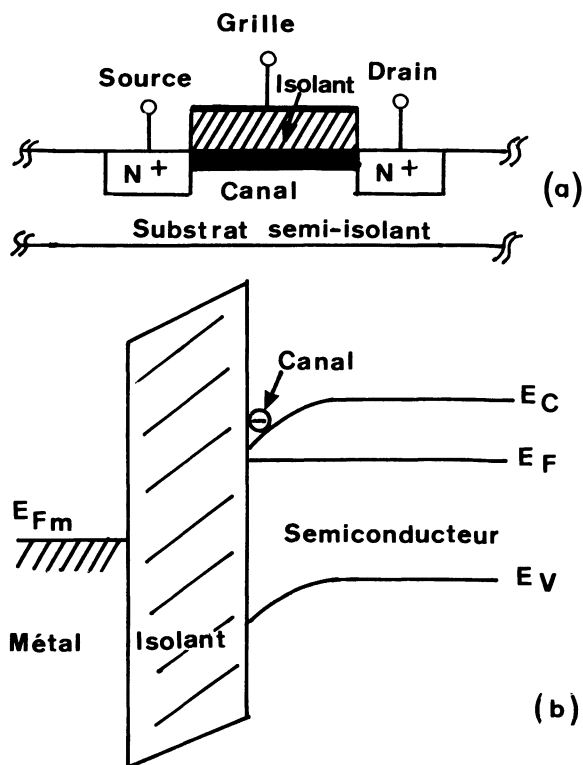


Fig. 5. — Représentation schématique d'un transistor à effet de champ à grille isolée (MISFET) (a) et du diagramme des bandes de la structure métal-insolant-semiconducteur (b).

[Schematic view of an insulated gate FET (MISFET) (a) and the band diagram of a MIS structure (b).]

consécutifs à des processus de piégeage lent des porteurs du canal.

La mobilité des électrons dans les matériaux III-V étant relativement élevée, notamment par rapport au silicium, la fabrication de transistors MISFETs à grille isolée à canal n présente un grand intérêt pour de nombreuses applications (composants hyperfréquences, logique rapide, circuits intégrés optoélectroniques). Par ailleurs, la grille isolée confère à ce dispositif d'excellentes performances en électronique de puissance et permet l'exploitation de l'immense potentiel en conception des circuits mis en place pour la technologie MOS silicium. Un tel dispositif n'a pu être réalisé jusqu'à ce jour avec GaAs en raison de l'impossibilité de former un canal d'électrons à l'interface diélectrique-GaAs, la bande de conduction étant inaccessible, comme nous l'avons exposé dans le paragraphe 3, au niveau de Fermi à l'interface.

En revanche, la faisabilité de transistors MISFETs à canal n sur InP a été amplement démontrée par de nombreux auteurs depuis la première publication sur le sujet de D. Lile *et al.* en 1976 [12]. Ce sont les propriétés favorables de l'interface décrites plus haut qui à l'inverse de celles de GaAs, permettent

avec l'InP un déplacement relativement aisé du niveau de Fermi à l'interface au voisinage du bord de bande de conduction. Une situation semblable est rencontrée dans le cas de GaInAs [13] ; la faisabilité de transistors MISFETs a été également démontrée avec ce matériau. Il demeure cependant un problème non encore résolu avec ces dispositifs lié à la présence de phénomènes d'instabilité électrique se traduisant, par exemple, par une décroissance en fonction du temps du courant drain-source du transistor MISFETs après application de la tension grille et induction du canal. Ces phénomènes d'instabilité électrique ne sont pas spécifiques aux systèmes diélectrique-InP ou diélectrique-GaInAs, mais sont au contraire présents dans tous les systèmes diélectriques-semiconducteurs III-V. C'est en raison de l'intérêt considérable soulevé par la possibilité de fabriquer des transistors MISFETs sur InP que ces phénomènes ont été tout particulièrement étudiés dans le cas des systèmes diélectriques-InP. Nous reviendrons plus en détail sur cette question au paragraphe 6 de cet article.

**4.2 DIODE MÉTAL-SEMICONDUCTEUR ET TRANSISTOR À EFFET DE CHAMP À GRILLE SCHOTTKY DE TYPE MESFET.** — La principale qualité attendue d'une jonction métal-semiconducteur est d'opposer une barrière de potentiel forte aux porteurs majoritaires du semiconducteur. Dans le cas d'un semiconducteur de type n, par exemple (Fig. 3), une bonne passivation (selon la définition que nous en donnons dans le paragraphe d'introduction) de l'interface métal-semiconducteur devra conduire à un niveau de Fermi à l'interface le plus éloigné possible de la bande de conduction. Cette propriété est recherchée dans le transistor à effet de champ à grille Schottky de type MESFET, dont le principe consiste en la modulation du transport d'électrons dans une couche semiconductrice épitaxiée de type n sur un matériau semi-insolant, en contrôlant par polarisation l'extension de la zone de charge d'espace sous une grille Schottky formée sur la couche épitaxiée (Fig. 6). Le courant traversant la grille de commande est ainsi minimisé. Il est également nécessaire de passiver la surface du semiconducteur comprise entre grille d'une part et source et drain d'autre part (Fig. 6). Il s'agit d'élaborer une interface diélectrique-semiconducteur dotée d'une bonne stabilité physicochimique et électrique permettant d'éviter la formation de canaux parasites de conduction électronique en surface conduisant à des fuites entre grille et source et drain.

C'est naturellement avec le GaAs que le transistor MESFET à grille Schottky est élaboré en raison de la forte barrière opposée aux électrons par la jonction métal-GaAs. Par contre, ni l'InP ni le  $\text{Ga}_{0,47}\text{In}_{0,53}\text{As}$  ne sont compatibles avec un bon fonctionnement de ce dispositif en raison de la

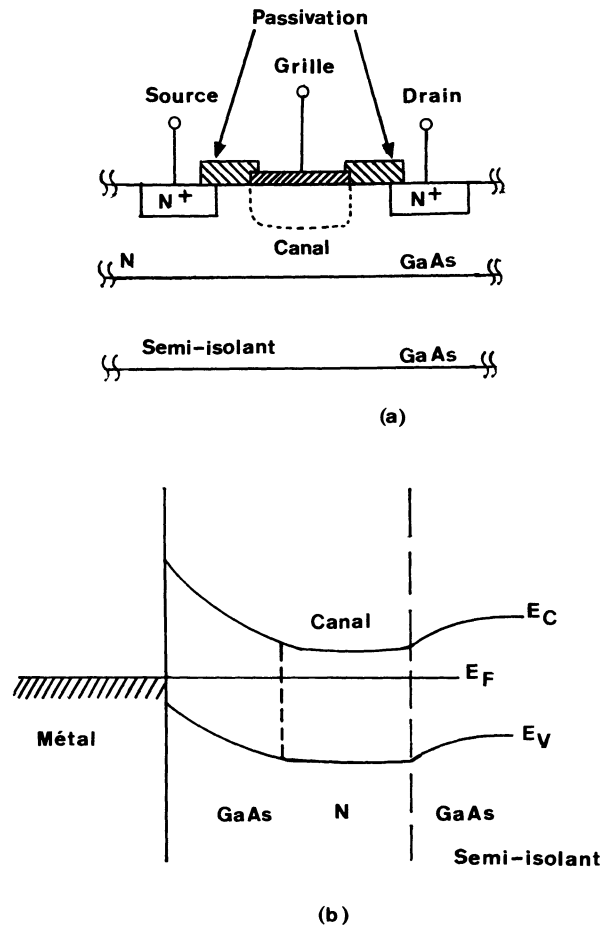


Fig. 6. — Représentation schématique d'un transistor à effet de champ à grille Schottky (MESFET) (a) et structure de bande correspondante (b). Outre l'obtention d'une forte barrière métal-semiconducteur, il est aussi nécessaire de passiver la surface du semiconducteur (GaAs) comprise entre grille d'une part et source et drain d'autre part (voir § 4).

[Schematic view of a Schottky gate FET (MESFET) (a) and corresponding band structure (b). Besides a large barrier height, it is also requested to passivate the GaAs surface included between the gate and the drain and the source (see Sect. 4).]

faiblesse de la barrière qu'ils forment avec les métaux. Le transistor MESFET GaAs a connu un développement considérable et a atteint le stade de la production industrielle. Ses applications concernent surtout le domaine des circuits hyperfréquences. Cependant, jusqu'à une période récente, son fonctionnement était peu fiable dans le temps. Ces problèmes ont pu être résolus grâce à une passivation appropriée de la surface de GaAs comprise entre la grille d'une part et la source et le drain d'autre part. Nous reviendrons également sur ce point dans le paragraphe 6.

**4.3 DIODE PHOTODÉTECTRICE.** — C'est généralement une jonction PN qui constitue l'élément de base des dispositifs photodétecteurs. Leur principe de fonctionnement est fondé sur l'effet photovoltaïque. Un paramètre crucial pour le fonctionnement de ce dispositif est son courant inverse d'obscurité qui doit être le plus faible possible pour une sensibilité maximale. En conséquence, la passivation de ce dispositif a pour objectifs de limiter les processus de génération-recombinaison en surface autour de la jonction et de prévenir la formation de canaux de conduction parasites en surface.

Les photodiodes à semiconducteurs composés III-V sont pour l'essentiel élaborées avec les matériaux de la filière InP. Elles constituent les photorécepteurs dans les systèmes optoélectroniques pour télécommunications à grandes distances dont les sources de lumière sont également à base des matériaux de la filière InP (GaInAs, GaInAsP et InP). Elles détectent les photons dans la gamme 1,3-1,5  $\mu\text{m}$ , correspondant au rendement optimal des fibres. Rappelons que les photorécepteurs associés aux sources de la lumière de la filière GaAs (photons « visibles » autour de 0,85  $\mu\text{m}$ ), sont à base de photodiodes au silicium. La figure 7 représente une photodiode GaInAs sur InP. Un problème sévère rencontré dans ces dispositifs est la présence de canaux de conduction parasite en surface pouvant conduire à un courant inverse d'obscurité des diodes incompatible avec la sensibilité requise. Cet effet résulte directement de la propension « naturelle » du niveau de Fermi à l'interface, formée par ces matériaux avec des diélectriques de passivation, de se déplacer préférentiellement vers la bande de conduction ainsi que nous l'avons exposé dans le paragraphe précédent. Ainsi, par exemple, l'introduction involontaire de charges positives dans le diélectrique peut induire un canal parasite d'électrons.

Notons que des phénomènes similaires peuvent être à l'origine d'interconnexions parasites à la surface d'un circuit intégré sur substrat d'InP.

A défaut de pouvoir contrôler la surface, c'est en la rendant déficiente que l'on cherche à s'affranchir de ces phénomènes parasites. Par exemple, le bombardement de la surface d'InP par des protons, par le désordre qu'il introduit, la rend non conductrice. Ou bien, la formation d'une interface diélectrique-semiconducteur de pauvre qualité peut conduire à une forte densité de pièges d'interface, suffisante pour immobiliser le niveau de Fermi à l'interface et prévenir la formation de canaux d'électrons.

**4.4 TRANSISTOR BIPOLAIRE.** — Le fonctionnement de ce dispositif est fondé sur le contrôle de l'injection, depuis l'émetteur, de porteurs minoritaires dans la base et leur collection par le collecteur (Fig. 8). Le gain en courant de ce composant est fortement dépendant des processus de recombinaison

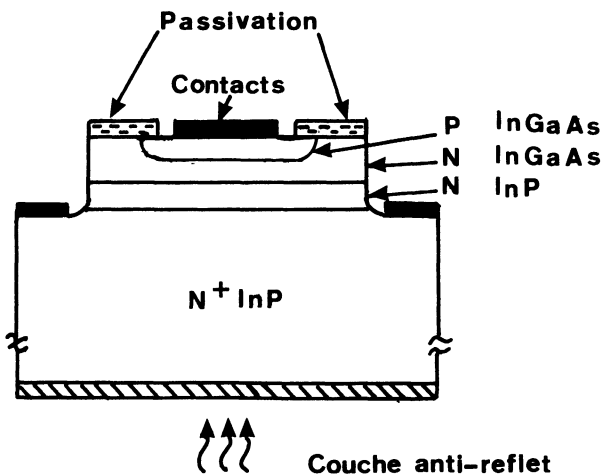


Fig. 7. — Représentation schématique d'une photodiode GaInAs sur InP.

[Schematic view of a GaInAs photodiode on InP.]

son de ces porteurs minoritaires, notamment à la périphérie de la jonction base-émetteur. La passivation de ce dispositif contribue à accroître le gain en courant du dispositif en réduisant la vitesse de recombinaison en surface de la base (Fig. 8), en particulier au niveau de sa jonction avec l'émetteur.

Dans le transistor bipolaire à hétérojonction (TBH)  $\text{Ga}_x\text{Al}_{1-x}\text{As-GaAs}$ , la jonction entre l'émetteur et la base est le plus souvent constituée d'une hétérojonction, ce qui entraîne une amélioration considérable de l'efficacité d'injection de minoritaires de l'émetteur dans la base et donc du gain en courant, le  $\text{Ga}_x\text{Al}_{1-x}\text{As}$  ayant une bande interdite plus large que celle de GaAs. De plus, la mobilité

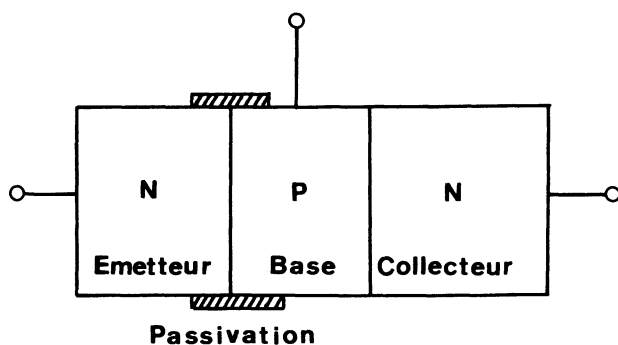


Fig. 8. — Représentation schématique d'un transistor bipolaire. La passivation de ce dispositif vise à réduire les processus de recombinaison en surface de la base, en particulier au niveau de sa jonction avec l'émetteur.

[Schematic view of a bipolar transistor. The passivation of this device aims at a limitation of the recombination rate at the surface of the base, especially at the junction with the emitter.]

des électrons dans GaAs étant élevée (environ 4 fois plus forte que dans le silicium à la température ordinaire), la bande passante du TBH npn, qui est au premier ordre proportionnelle à l'inverse du temps de transit des électrons minoritaires injectés dans la base, est également plus élevée que dans le cas du transistor bipolaire silicium. Cependant, la forte vitesse de recombinaison en surface du GaAs pénalise le gain en courant, une part importante des porteurs minoritaires injectés dans la base se recombinaison à sa surface à la périphérie de l'hétérojonction émetteur-base (voir Fig. 9). Cet effet limite la miniaturisation de ce dispositif, son poids relatif dépendant du rapport périmètre à section de la jonction émetteur-base, qui croît avec la réduction des dimensions. L'aggravation de l'effet dégradant de la recombinaison en surface résultant de la réduction de la taille du transistor bipolaire peut également s'interpréter en remarquant que la part relative de la largeur de l'émetteur affectée par les effets de surface augmente à faible dimension.

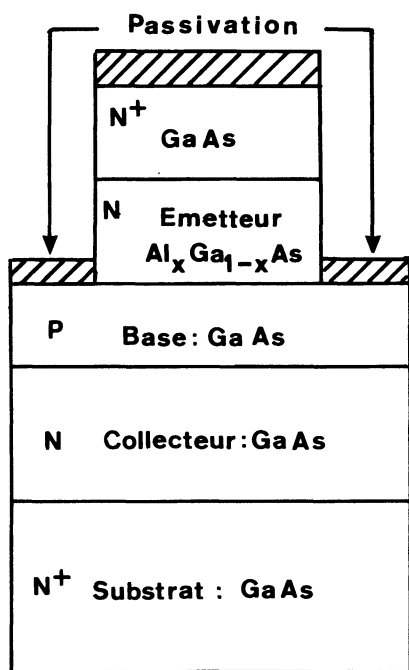


Fig. 9. — Représentation schématique d'un transistor bipolaire à hétérojonction AlGaAs/GaAs.

[Schematic view of an AlGaAs/GaAs heterojunction bipolar transistor.]

##### 5. Structure électronique des interfaces de semiconducteurs III-V : les principaux modèles.

Tous les modèles de surface et d'interface de semiconducteur sont fondés sur la présence d'états électroniques dont l'existence avait été prédite théori-

quement par Tamm [1] et Shockley [14] dès les années 30. La notion de « pinning » plus ou moins intense du niveau de Fermi par des états électroniques à la surface d'un semiconducteur ou à l'interface métal-semiconducteur a été introduite pour la première fois par Bardeen en 1947 [15]. Depuis, cette notion a constitué l'ingrédient de base de la plupart des théories d'interface.

Spicer et son groupe furent les premiers à proposer un modèle unifié pour expliquer le comportement des interfaces formées par les semiconducteurs III-V avec un métal ou un diélectrique [16]. Leur argument est fondé sur la création de défauts extrinsèques [17] au cours de la formation de l'interface, création résultant par exemple de la chaleur de condensation dégagée par les atomes adsorbés qui, en introduisant des niveaux électroniques discrets localisés dans la bande interdite, provoqueraient le blocage du niveau de Fermi dans cette dernière à des positions énergétiques indépendantes de la nature des atomes adsorbés. Les défauts proposés par Spicer et son groupe sont du type lacune de l'anion et du cation. D'autres types de défauts ont également été proposés tels que les défauts d'antisite, le cation occupant le site laissé vacant par l'anion [18]. De fait, des calculs théoriques ont montré que, dans le cas de l'InP, par exemple, la position de blocage du niveau de Fermi est compatible avec les niveaux d'énergie associés aux lacunes de phosphore et aux défauts indium antisites [19]. Ces types de défauts aux interfaces de semiconducteurs III-V n'ont pas été identifiés directement et corrélés formellement avec les propriétés électroniques d'interface. Cependant, il est peu douteux que certains d'entre eux soient en effet présents à l'interface et contribuent au blocage du niveau de Fermi. Ce commentaire est fondé sur l'observation empirique amplement établie que des procédés technologiques « durs » (température élevée, bombardement ionique) conduisent au départ préférentiel de l'élément du groupe V, en particulier du phosphore dans l'InP, et favorisent le blocage du niveau de Fermi à l'interface.

Les états d'interface du modèle proposé initialement par Heine [20] et développé par Louie, Chelcowsky, Cohen [21, 22], et plus récemment par Tersoff [23], pour interpréter la formation de la barrière Schottky, sont de nature toute différente : il s'agit d'états intrinsèques à l'interface métal-semiconducteur, induits par le métal dans la bande interdite du semiconducteur (« metal-induced gap states »-MIGS), qu'ils pénètrent d'une profondeur d'environ quelques Å. Ce modèle bien qu'appliqué à des interfaces métal-semiconducteur idéales, a permis d'obtenir quantitativement pour la première fois les hauteurs de barrière en bon accord avec l'expérience. Les densités de MIGS calculées rendent bien compte de l'intensité du blocage du niveau de Fermi à l'interface. Le développement proposé par Tersoff

utilise le concept de niveau neutre à l'interface, qu'il assimile au niveau d'énergie  $E_B$  où les états électroniques dans la bande interdite voient leur caractère passer de celui des états de valence à celui des états de conduction. La barrière de Schottky est fixée par l'alignement de  $E_B$  avec le niveau de Fermi du métal. Tersoff montre que  $E_B$ , qui ne dépend que des propriétés intrinsèques de semiconducteur, constitue également un niveau de référence pour la fixation des discontinuités de bandes de conduction et de valence (« band offsets ») dans les hétérojonctions semiconducteur-semiconducteur [24]. L'existence d'états de type MIGS aux interfaces métal-semiconducteur idéales est une nécessité théorique. Leur présence a été mise en évidence expérimentalement dans des structures métal-semiconducteur non réactives, obtenues par exemple en formant la barrière à basse température. L'étude de l'interface non réactive CsOx/GaAs (110) publiée récemment par Laubschat *et al.* en est une illustration particulièrement élégante et convaincante [25].

Phillips et ses collaborateurs [26, 27] proposent pour la première fois une explication alternative à la formation de la barrière Schottky, fondée au contraire sur les interactions chimiques entre le semiconducteur et le métal. Une analyse similaire a été effectuée par Brillson [28] qui observe une corrélation entre hauteur de barrière et réactivité à l'interface. Il met en évidence des processus d'interdiffusion à l'interface métal-semiconducteur III-V dont l'amplitude décroît avec la chaleur de formation du semiconducteur ; avec des métaux peu réactifs (Au, Cu), l'anion a tendance à diffuser vers la surface du métal, alors que dans le cas de métaux réactifs (Al, Ti), c'est au contraire le cation qui diffuse avec formation d'un composé entre le métal et l'anion. Ces phénomènes s'accompagnent de variations mesurables de la barrière [29].

Le modèle proposé par Hasegawa [30] tente de fournir une interprétation unifiée des propriétés électroniques d'interface des systèmes métal-semiconducteur et isolant-semiconducteur, mais sa base est résolument différente de celle du modèle de Spicer. Pour Hasegawa, les états électroniques d'interface sont « induits » par le désordre d'interface. Cette notion d'états induits par le désordre (DIGS) avait été introduite initialement par Flietner *et al.* [31] dans le cas du système SiO<sub>2</sub>-Si. Ce modèle n'exclut pas la présence de défauts ponctuels de toute nature à l'interface (liaisons pendantes, lacunes, antisites...) mais leur rôle essentiel est de contribuer au désordre de l'interface. Il en résulte un continuum d'états d'interface dont la distribution en  $U$  présente un minimum à un niveau d'énergie  $E_{HO}$  qui détermine la position d'équilibre du niveau de Fermi à l'interface, indépendamment de la nature du métal ou du diélectrique. Hasegawa et Ohno reconnaissent en  $E_{HO}$  un niveau de référence qu'ils

assimilent à l'énergie de l'orbitale hybride  $sp^3$  du semiconducteur [30]. Ils observent que ce niveau de référence peut aussi être utilisé pour déterminer les « band offsets » dans les hétérojonctions en procédant à son alignement pour les deux matériaux en contact. Ils observent également une bonne coïncidence entre  $E_{HO}$  et le niveau du piège  $EL_2$  bien connu dans le matériau III-V à base de GaAs (attribué à de l'arsenic en excès en position antisite) et mettent en évidence le « parallélisme », en termes d'énergie, entre  $E_{HO}$  et les niveaux profonds dus aux métaux de transition [32] et aux centres DX. Ces auteurs remarquent enfin que  $E_{HO}$  peut être relié à l'énergie moyenne de liaison pendante, s'appuyant en cela sur les travaux théoriques de Sankey *et al.* montrant une remarquable corrélation entre hauteur de barrière Schottky et les niveaux d'énergie de liaison pendante de l'anion et du cation, pour différents semiconducteurs III-V [33]. L'identification du niveau moyen de liaisons pendantes avec le niveau de référence invoqué par Tersoff ( $E_B$ ) et Hasegawa et Ohno ( $E_{HO}$ ) pour expliquer la fixation de la barrière Schottky ou des « band offsets », a été confirmée théoriquement par Lannoo et ses collaborateurs [34].

**SYNTHÈSE.** — Il existe donc une grande diversité de modèles d'interprétation de la structure électronique d'interface des systèmes métal-semiconducteur III-V et isolant-semiconducteur III-V. Elle est en fait le reflet d'une diversité encore plus riche de situations réelles, mise en évidence au cours des deux dernières décennies par les innombrables travaux publiés sur les propriétés électroniques et physicochimiques de ces interfaces. Chacun de ces modèles recèle une part de vérité et décrit en partie la réalité. Un modèle unitaire pour ces interfaces n'a plus réellement lieu d'être. Ainsi, la caractéristique commune à ces interfaces constituée par la quasi-invariance de la position d'équilibre du niveau de Fermi pour un composé III-V donné n'implique pas la recherche d'un modèle unique pour l'interpréter. On peut en effet remarquer avec Tersoff [35], que des considérations théoriques générales permettent de conclure que différents types d'états d'interface (MIGS, niveaux de défauts) ont tous tendance à fixer le niveau de Fermi à un même niveau d'énergie qui constitue une référence intrinsèque, propre au semiconducteur. Ces défauts de nature et d'origine diverses constituent autant de « révélateurs » de cette référence intrinsèque.

## 6. Contrôle de l'interface : des approches possibles.

Les technologues et physiciens des composants sont directement tributaires des caractéristiques d'interface lorsqu'ils sont confrontés avec la nécessité de développer des structures dotées de propriétés utiles

pour les circuits électroniques. Il est clair que dans de nombreux cas, la possibilité de contrôler ou, pour le moins, de modifier ces caractéristiques serait un atout considérable pour l'accomplissement de leurs objectifs. La question se pose donc de savoir si les caractéristiques générales des interfaces de III-V décrites dans les paragraphes précédents peuvent échapper au contrôle des technologues et si ces derniers doivent les subir comme une fatalité. Rappelons que les propriétés de ces interfaces peuvent parfois favoriser l'effet recherché dans un dispositif donné. Ainsi, comme nous l'avons exposé plus haut, les barrières Schottky formées sur GaAs sont « naturellement » élevées. Ce n'est malheureusement pas le cas de l'InP de type n qui forme avec les métaux des barrières trop faibles. Ces propriétés « naturelles » sont-elles *a priori* incontournables ? Une comparaison avec le silicium suggère qu'on ne peut l'affirmer. La surface propre de silicium possède une très forte densité d'états électroniques dans la bande interdite associés aux liaisons pendantes et conduisant à un blocage très énergétique du niveau de Fermi. A l'interface Si-SiO<sub>2</sub>, il existe également des liaisons pendantes à l'énergie correspondant approximativement à la hauteur de barrière Schottky. Cependant leur densité est très faible, la plupart ayant été compensée par la formation de l'oxyde, de sorte que l'interface Si-SiO<sub>2</sub> ne présente pas de blocage du niveau de Fermi. Les oxydes thermiques des semiconducteurs III-V ne possèdent pas les propriétés passivantes offertes au silicium par la silice. Ceci a conduit les technologues à tenter de remplacer la croissance thermique d'un oxyde par le dépôt d'un isolant doté de bonnes propriétés diélectriques (SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>). Cependant, compte tenu de l'extrême diversité des situations réelles rencontrées aux interfaces de III-V, ainsi que nous l'avons signalé dans le paragraphe précédent, le simple dépôt d'un diélectrique ou d'un métal ne saurait conduire, *a priori*, à une interface dotée des propriétés désirées et, par exemple, exempte de défauts électroniques. A contrario, cette diversité n'exclut pas *a priori* la possibilité de réaliser une telle interface. L'expérience montre que, si la position d'équilibre du niveau de Fermi aux interfaces de semiconducteurs III-V change peu, l'intensité du blocage autour de cette position peut varier considérablement. Ce fait est observé couramment dans le système isolant-InP dont la densité d'états d'interfaces peut varier de plusieurs ordres de grandeur en fonction des conditions expérimentales. Brillson [29] et Waldrop [36] ont été les promoteurs de l'ingénierie de barrière Schottky en démontrant qu'une action volontaire sur la chimie de l'interface peut modifier sensiblement la hauteur de barrière.

En résumé, la position d'équilibre du niveau de Fermi aux interfaces de semiconducteurs III-V est d'origine intrinsèque [37], propre au matériau semi-

conducteur, alors que l'intensité de blocage du niveau de Fermi autour de cette position, dont elle constitue un révélateur plus ou moins efficace, est déterminée par des causes extrinsèques, liées aux propriétés cristalochimiques de l'interface, sur lesquelles il est possible d'avoir prise. Ce sont de telles considérations qui incitent désormais les technologues à moins d'empirisme et à pratiquer une approche plus scientifique, avec l'objectif général de contrôler ou d'éliminer les défauts électroniques d'interface responsables du blocage du niveau de Fermi et des processus de recombinaison et donc de mettre en œuvre des procédés de passivation reproductibles.

**6.1 MÉTHODOLOGIE.** — Compte tenu de la nature des défauts susceptibles d'être présents aux interfaces de semiconducteurs III-V (lacunes, antisites, liaisons pendantes..., voir § 5) et si, de plus, on considère l'interface Si/SiO<sub>2</sub> comme un système modèle, les conditions générales recherchées pour la structure diélectrique/semiconducteur III-V sont les suivantes :

(i) l'interface diélectrique/III-V doit être élaborée en évitant la formation incontrôlée de lacunes de l'anion (As pour GaAs et P pour InP) et défauts associés, avec maintien également de l'intégrité du matériau semiconducteur ;

(ii) le diélectrique doit être bien lié chimiquement au semiconducteur pour éliminer les liaisons pendantes ;

(iii) l'isolant doit posséder de bonnes propriétés diélectriques ainsi qu'une bonne stabilité chimique.

Les conditions (i) et (ii) sont également requises dans les structures métal-semiconducteur III-V pour lesquelles nous avons vu que le contrôle de la hauteur de barrière peut être limité par la présence de lacunes et défauts associés ainsi que de liaisons pendantes.

Pour remplir ces conditions, la méthodologie générale qu'il convient d'adopter et qui est effectivement de plus en plus développée depuis quelques années, est la suivante :

1) Elaboration d'une couche « tampon » sur le semiconducteur destinée à assurer le « greffage » du diélectrique ou du métal et leur accord « cristalochimique » avec le semiconducteur. Cette couche de transition permet d'introduire la flexibilité nécessaire à une bonne liaison chimique entre le semiconducteur et le métal ou le diélectrique.

2) Le métal ou le diélectrique doivent être formés dans les conditions les plus douces possibles, en particulier au cours des premiers stades de leur élaboration, pour éviter toute perturbation incontrôlée de l'interface et du matériau sous-jacent. Ce sont des procédés technologiques basse température qui sont adoptés en particulier avec l'InP dont on sait

que l'évaporation non congruente avec départ préférentiel et massif de phosphore intervient à des températures supérieures à 350 °C. Pour les mêmes raisons, il est indispensable d'éviter la présence d'espèces énergétiques (électrons, ions) au cours des différentes étapes technologiques en particulier au cours de l'étape essentielle du dépôt du métal ou du diélectrique [38]. L'évaporation thermique utilisée pour le dépôt des métaux non réfractaires remplit bien cette condition. Par contre, l'évaporation au canon à électrons utilisée pour le dépôt de métaux réfractaires, mais également de diélectriques, doit être mise en œuvre avec précautions en s'efforçant de limiter l'exposition du semiconducteur aux électrons énergétiques (plusieurs keV) [39]. La technique de dépôt en phase vapeur assistée par plasma RF (PECVD) a constitué jusqu'à ce jour le procédé standard utilisé dans l'industrie pour le dépôt de diélectriques (il s'agit essentiellement de matériaux dotés de propriétés diélectriques bien établies, tels que  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{Al}_2\text{O}_3$ ). Cependant, les systèmes de dépôts conventionnels produisent des espèces énergétiques (ions, électrons et radiaux) à l'origine de dégradations incontrôlées des surfaces et interfaces. Pour pallier ces difficultés et mettre en œuvre des procédés de passivation reproductibles, diverses méthodes ont été proposées dans la littérature. Nous citerons en particulier la technique de dépôt plasma indirect proposée par Meiners [40] (remote PECVD), les techniques de dépôt assisté par photons UV (UVCVD) [41], ainsi que celles assistées par plasma micro-onde ECR [42]. Il s'agit dans tous les cas de techniques CVD activées ou assistées par plasma ou UV, ce qui permet de réduire la température de dépôt en dessous de la température d'évaporation non congruente du substrat ( $< 350$  °C dans le cas d'InP).

3) Il est crucial de contrôler rigoureusement les conditions de préparation de la surface avant le dépôt de l'isolant ou du métal, ainsi que les propriétés d'interface au cours des premiers stades du dépôt. A cet égard, des résultats récents rapportés dans la littérature [43, 44, 45] ont montré que la mise en œuvre de traitements de la surface dans un environnement ultra-vide et s'appuyant sur des techniques de caractérisation de surfaces (XPS, UPS, RHEED, LEED, ellipsométrie) en vue d'un contrôle des propriétés physico-chimiques et électroniques (structure cristalline, stœchiométrie, types d'environnements atomiques, structure électronique, position du niveau de Fermi, épaisseur d'oxyde interfacial, rugosité) permet d'optimiser efficacement le procédé de passivation.

Dans le développement qui suit nous présentons quelques illustrations marquantes récentes de la démarche générale que nous venons d'exposer, appliquée au GaAs et à l'InP. Nous avons vu que ces deux matériaux ont des propriétés électroniques

d'interface différentes en raison d'une part des différences de position d'équilibre du niveau de Fermi en surface et d'autre part, de l'intensité de « pinning » du niveau de Fermi « naturellement » plus forte avec GaAs. Ainsi que nous l'avons souligné la position d'équilibre du niveau de Fermi est une propriété intrinsèque du matériau, alors que le taux de « pinning » est plutôt d'origine extrinsèque liée en particulier à la chimie de l'interface. Nous verrons que la tendance généralement observée à un blocage plus énergique du niveau de Fermi et à une plus forte recombinaison en surface avec GaAs qu'avec InP est due aux propriétés chimiques différentes de ces deux matériaux. La chimie des oxydes d'InP est en effet plus favorable pour la passivation que celle des oxydes de GaAs.

6.2 GaAs. — Le diagramme de phase ternaire du système Ga-As-O a été étudié en détail par Thurmond *et al.* [46]. Il montre la possibilité d'existence de diverses formes oxydées telles que  $\text{Ga}_2\text{O}_3$ ,  $\text{As}_2\text{O}_3$ ,  $\text{As}_2\text{O}_5$ ,  $\text{GaAsO}_4$ ..., mais que les seules phases stables en présence de GaAs sont  $\text{Ga}_2\text{O}_3$ , Ga et As. Ce résultat bien qu'obtenu dans des conditions d'équilibre thermodynamique semble pouvoir être étendu au cas des surfaces et interfaces de GaAs puisqu'il est bien établi que les oxydes  $\text{As}_2\text{O}_3$  et  $\text{As}_2\text{O}_5$  réagissent avec le GaAs en produisant de l'arsenic élémentaire à la surface du matériau. Les oxydes de GaAs ne se prêtent pas dans ces conditions à une bonne passivation de la surface de ce matériau. Une des principales difficultés rencontrées dans la passivation de GaAs réside donc dans la nécessité de s'affranchir de la présence d'oxyde natif à sa surface et d'opérer dans une ambiance exempte d'oxygène [47]. Divers auteurs ont montré que la désoxydation-nitruration de GaAs suivie d'un dépôt de nitrure de silicium peut produire une bonne passivation de GaAs en particulier du point de vue de la morphologie de l'interface et de sa stabilité physicochimique. Cette méthode avait initialement été proposée par Capasso et Williams [48] pour GaAs comme pour GaInAs, d'ailleurs, dans les dispositifs photodétecteurs. Elle a été étudiée en détail par Friedel et ses collaborateurs [43] qui utilisent un plasma multipolaire peu énergétique d'hydrogène pour la désoxydation et d'azote pour la nitruration de la surface de GaAs avant le dépôt *in situ* de nitrure de silicium, tout en contrôlant *in situ* par spectroscopie de photoélectrons les propriétés physicochimiques et électroniques de l'interface. Ils mettent en évidence un déblocage, au moins partiel, du niveau de Fermi à l'interface. Par ailleurs, la morphologie de l'interface observée par microscopie électronique en transmission et à haute résolution est particulièrement raide. Dumas et ses collaborateurs [50] montrent que la passivation par nitrure de silicium des dispositifs MESFET GaAs permet d'éliminer les phénomènes

nes de vieillissement observés dans les dispositifs non passivés ou recouverts de  $\text{SiO}_2$ . Ils mettent en évidence par micro-analyse AUGER, que ces phénomènes proviennent d'instabilités physicochimiques dans les zones de surface comprises entre la grille et le drain et la source, imputables à la présence de  $\text{Ga}_2\text{O}_3$  et d'As élémentaire [51]. Notons que le nitrure de silicium est également utilisé couramment et avec succès pour la passivation des photodiodes GaInAs.

La passivation de GaAs par des sulfures alcalins a été mise en œuvre récemment avec succès. Sandroff *et al.* [52] ont mis en évidence une remarquable réduction de la vitesse de recombinaison en surface en traitant le GaAs avec une solution de  $(\text{Na})_2\text{S}$ . Ils obtiennent une augmentation considérable, par un facteur 60, du gain en courant d'un transistor bipolaire à hétérojonction GaAlAs-GaAs, passivé de cette manière. Fan et ses collaborateurs rapportent aussi une remarquable passivation de GaAs traité dans une solution de  $(\text{NH}_4)_2\text{S}_x$ . Elle se manifeste par une augmentation notable de la photoluminescence, la formation de diodes Schottky dont la barrière varie en accord avec la valeur du potentiel d'extraction du métal déposé [53]. Ces faits expérimentaux attestent d'une réduction sensible de la densité d'états d'interface, observée par ailleurs directement sur des structures MIS GaAs dont l'interface a été passivée avec  $(\text{NH}_4)_2\text{S}_x$  avant le dépôt de l'isolant  $\text{SiO}_2$  [54]. Ces auteurs proposent une interprétation des résultats en s'appuyant sur des méthodes d'analyse de surface (RHEED, spectroscopie XPS), fondée sur la formation de liaisons entre le soufre et la surface de GaAs, débarrassée de son oxyde natif, le soufre formant des composés stables avec le Ga et l'As [55]. Il est par ailleurs vraisemblable que la capacité du soufre à former des verres avec le Ga et l'As contribue, en introduisant de la « flexibilité » à l'interface, à limiter la création de défauts et autorise certains écarts à la stœchiométrie. La formation de liaisons Ga-S et As-S à la surface de GaAs traitée avec  $(\text{NH}_4)_2\text{S}_x$  a été confirmée récemment par le groupe de Spicer, par spectroscopie de photoélectrons XPS [56]. Il semble que ce traitement conduise plus sûrement qu'avec  $(\text{Na}_2)_2\text{S}_x$  à une couche de soufre solidement liée à la surface de GaAs, même après le dépôt d'un métal ou d'un diélectrique [57].

Une illustration élégante et particulièrement probante de la démarche générale décrite plus haut pour la passivation des semiconducteurs III-V est proposée par Fountain *et al.* [58]. Ces auteurs rapportent la fabrication de structures  $\text{SiO}_2$ -GaAs dotées de caractéristiques électriques considérablement améliorées grâce à l'introduction d'une couche de transition de silicium entre  $\text{SiO}_2$  et GaAs. La couche de silicium d'environ 1 nm d'épaisseur est élaborée par dépôt assisté par plasma indirect sur la

surface de GaAs préalablement désoxydée dans un plasma d'hydrogène. La couche de silicium est cristalline et pseudomorphique vis-à-vis de la surface de GaAs ainsi que le confirme une analyse *in situ* par diffraction RHEED. La silice est ensuite déposée par le même procédé. Ces auteurs montrent que la couche de silicium prévient l'oxydation de la surface de GaAs tout en assurant une bonne transition avec  $\text{SiO}_2$  grâce aux bonnes propriétés de l'interface Si/ $\text{SiO}_2$ . Les capacités MIS réalisées sur la structure  $\text{SiO}_2$ /Si/GaAs de type n restent en déplétion profonde plusieurs minutes, ce qui indique une très faible génération de porteurs à l'interface. Par ailleurs, le blocage du niveau de Fermi à l'interface est considérablement réduit (variation de près de 1 V du potentiel de surface). Leurs résultats expérimentaux, s'ils ne prouvent pas sans ambiguïté qu'un canal d'électrons a pu être formé à l'interface, indiquent cependant que le niveau de Fermi à l'interface peut être déplacé à moins de 0,3 eV de la bande de conduction.

Ces réalisations récentes montrent que, contrairement à l'idée largement répandue jusqu'il y a peu, les propriétés électroniques d'interface de GaAs peuvent être en grande partie contrôlées et que l'intensité du blocage du niveau de Fermi ainsi que le taux de recombinaison en surface peuvent être considérablement atténués moyennant la mise en œuvre d'une chimie d'interface appropriée.

**6.3 InP.** — La première démonstration par Lile *et al.* [12] de la faisabilité d'un transistor MISFET à grille isolée à canal n sur InP, a motivé depuis un grand nombre de travaux sur la passivation de ce matériau.

Bien que les oxydes d'InP ne possèdent pas en général les excellentes propriétés diélectriques des isolants usuels de l'électronique,  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  et  $\text{Al}_2\text{O}_3$ , il est apparu que la chimie des oxydes d'InP est « naturellement » beaucoup plus favorable à une bonne passivation de ce matériau qu'avec GaAs. Les travaux de Casey *et al.* [3] ainsi que de Suzuki *et al.* [5] montrent que l'oxydation d'InP de type n réduit la vitesse de recombinaison en surface. D'une manière générale, la densité d'états électroniques à l'interface de systèmes diélectrique-InP variés est sensiblement plus faible qu'avec GaAs. Le niveau de Fermi à l'interface peut être déplacé sur une bonne part de la bande interdite sans toutefois pouvoir atteindre le bord de la bande de valence. Or, il ne fait pas de doute que, dans la plupart des cas, il existe une couche d'oxyde natif à l'interface isolant déposé-InP. La question est néanmoins toujours posée dans la littérature de savoir s'il convient d'éliminer l'oxyde interfacial dans l'élaboration des systèmes diélectriques-InP. Un examen des résultats de la littérature montre cependant que les meilleures performances publiées concernent des structures



pour lesquelles un oxyde, formé volontairement ou non, est présent à l'interface, et constitue une couche intermédiaire assurant la transition entre l'InP et le diélectrique déposé (ou le métal). C'est donc aux procédés de passivation d'InP par oxydation que nous consacrons la suite de notre exposé.

Schwartz *et al.* [59] ont effectué une étude du diagramme de phase d'équilibre du système In-P-O. Ils ont montré que, dans les conditions d'équilibre thermodynamique, le composé oxydé stable en présence de InP est  $\text{InPO}_4$ . Ce résultat est confirmé par Wager et Wilmsen qui observent par spectroscopie de photoélectrons XPS, que pour des températures inférieures à 340 °C environ, l'exposition de InP à l'oxygène conduit à la formation d'une couche d'oxyde natif stable constituée d' $\text{InPO}_4$  et d'épaisseur comprise entre 20 et 30 Å [60, 61]. En présence d'un plasma d'oxygène, c'est également une couche d' $\text{InPO}_4$  qui est formée et qui atteint rapidement une épaisseur limite d'environ 60 Å [60]. L'oxydation assistée par photons UV, plus douce que l'oxydation plasma, produit aussi une couche de  $\text{InPO}_4$  de quelques dizaines d'Å [62].

Iliadis [63] a rapporté récemment que l'oxydation UV d'InP permet la réalisation de diodes Schottky Au-InP dotée d'une forte barrière (environ 0,8 eV). L'auteur montre qu'il s'agit bien d'un déblocage du niveau de Fermi à l'interface passivé par l'oxyde UV, c'est-à-dire que la hauteur de barrière mesurée n'est pas une hauteur effective tenant compte de la transmission tunnel des électrons à travers l'oxyde d'interface. Les très bonnes propriétés de dispositifs MISFETs élaborés par Gardner *et al.* [64] ainsi que par Post *et al.* [41], où l'isolant est de la silice déposée par technique UVCVD sont certes imputables à la douceur de la méthode de dépôt. La présence probable d'un oxyde UV passivant à l'interface est certainement également bénéfique. L'oxydation anodique a également été utilisée récemment avec succès pour la passivation de l'InP par le groupe III-V de l'ECL [65]. Hollinger *et al.* [66, 67] ont mis en évidence par analyse XPS que, contrairement aux idées admises, l'oxydation anodique permet la synthèse d'une riche variété d'oxydes, comportant en particulier les phosphates condensés de composition proche de  $\text{In}(\text{PO}_3)_3$ . Ces auteurs montrent que cet oxyde possède les qualités requises pour assurer une bonne passivation de InP.  $\text{InP}(\text{PO}_3)_3$  est un bon isolant (sa bande interdite excède 6 eV) et il est stable chimiquement. Sa structure cristalline similaire à celle de  $\text{Al}(\text{PO}_3)_3$  le prédispose à une large flexibilité de son réseau, confirmée par l'existence de verres amorphes de composition proche de  $\text{In}(\text{PO}_3)_3$ . Cette propriété autorise quelques écarts de composition par rapport à la stœchiométrie sans que cela n'entraîne automatiquement la création de défauts et garantit une bonne liaison de l'oxyde avec InP avec un minimum de liaisons pendantes. La

densité d'états d'interface à proximité du bord de bande de conduction (mesurée sur des structures capacitives comportant de l' $\text{Al}_2\text{O}_3$  évaporée au canon à électrons sur InP oxydé anodiquement) est très faible, de l'ordre de  $10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  [65]. Des transistors MISFETs réalisés par le groupe de Scavennec au CNET sur des substrats d'InP passivés par oxydation anodique présentent de très bonnes caractéristiques électriques en terme de transconductance élevée (environ 100 mS/mm) et de stabilité électrique [68].

Une variante intéressante de passivation à base d'oxyde interfacial a été proposée par le groupe III-V de l'ECL : Blanchet *et al.* [69] avait mis en évidence l'influence bénéfique sur les propriétés électriques de structures  $\text{Al}_2\text{O}_3/\text{InP}$  (amélioration de la stabilité et réduction de la densité d'états d'interface), d'une stabilisation arsenic de la surface d'InP avant le dépôt d' $\text{Al}_2\text{O}_3$ . Il s'agit d'un procédé similaire à celui utilisé pour l'épitaxie de ternaires et de quaternaires sur InP et consistant en un traitement thermique de la surface d'InP à 500 °C sous un jet moléculaire d'arsenic en vue de la décontaminer tout en compensant le départ de phosphore par de l'arsenic. La surface ainsi obtenue est désoxydée et reconstruite. Gendry *et al.* [45] ont montré récemment, par analyse physicochimique *in situ* à l'aide de spectroscopie de photoélectrons XPS, que le traitement arsenic, pour être efficace, doit être suivi d'une oxydation où l'arsenic doit figurer sous sa forme la plus oxydée (degré 5). Gendry *et al.* [70] suggèrent que, dans ces conditions une couche tampon dont l'ordre atomique local serait celui de  $\text{AlAsO}_4$  pourrait être formée au cours des premiers stades du dépôt d' $\text{Al}_2\text{O}_3$ . La structure tétraédrique de  $\text{AlAsO}_4$  assurerait alors un bon accord cristallographique avec le substrat d'InP. Une bonne corrélation est observée entre caractéristiques physicochimiques et propriétés électriques de l'interface qui s'améliorent progressivement lorsque le degré d'oxydation de l'arsenic (une fois l'interface formée) est successivement de 0,3 ou 5. Cet exemple illustre de manière convaincante le grand intérêt d'une approche pluridisciplinaire de la passivation où les physiciens des surfaces et les chimistes guident efficacement la démarche du technologue et du physicien des composants.

**6.4 PHÉNOMÈNES DE DÉRIVE DANS LES SYSTÈMES DIÉLECTRIQUE-INP.** — Les phénomènes de dérive dans les systèmes diélectrique-InP constituent la principale entrave au développement de la technologie MISFET sur InP. Les phénomènes d'instabilité électrique ne sont pas une caractéristique propre aux structures isolant-InP. Ils sont observés avec les autres semiconducteurs composés, par exemple dans les transistors MISFET sur GaInAs et même dans les systèmes MIS sur silicium mal passivés (structures

$\text{Si}_3\text{N}_4\text{-Si}$  par exemple). Ce sont les perspectives offertes par la technologie MISFET sur InP qui ont motivé un grand nombre de travaux sur les processus de dérive dans les structures MIS sur InP. Une revue des divers modèles proposés pour expliquer ces phénomènes a été publiée par Wager *et al.* [71]. Tous ces modèles doivent rendre compte de l'observation systématique d'une dépendance temporelle logarithmique de la dérive du courant de drain du transistor MISFET. Une telle observation a été également rapportée avec d'autres semiconducteurs, dont le silicium, en particulier dans les dispositifs mémoire MNOS. En fait, ce comportement logarithmique n'est pas moins systématiquement présent que le bruit basse fréquence en  $1/f^\alpha$  dans les transistors MISFETs et à l'origine d'innombrables études dans les dispositifs MOSFETs sur silicium. Il peut être suggéré que, d'une manière générale, les deux phénomènes ont la même origine. Par exemple, on peut montrer aisément qu'une distribution uniforme de pièges dans le diélectrique provoque une dérive du courant de drain  $\Delta i(t) \approx (N_i/a) \ln(t/t_0)$ , où  $N_i$  est la densité de pièges dans le diélectrique,  $a$  le coefficient d'atténuation tunnel pour les électrons et  $t_0$  est le temps de piégeage des pièges à l'interface. Cette distribution de pièges engendre un bruit basse fréquence de densité spectrale de puissance  $S(f) \approx N_i/af$  pour  $f < 1/2 \pi t_0$ .

Par conséquent, il semble que la découverte d'une explication universelle des phénomènes de dérive dans les dispositifs MISFETs sur InP soit aussi évasive que celle d'une théorie unique du bruit basse fréquence dans les transistors MISFETs. Ceci a été confirmé expérimentalement par le groupe III-V de l'ECL [72, 73, 74] à l'aide de mesures de bruit basse fréquence comparatives sur transistor MISFET sur InP et sur silicium, les premières étant corrélées à des mesures de la dérive du courant de drain du dispositif MISFET InP. Les principales conclusions de cette étude sont les suivantes :

- les dispositifs MISFETs sur InP apparaissent très similaires aux dispositifs MISFETs sur Si mal passivés ;
- plusieurs mécanismes physiques responsables de phénomènes de dérive peuvent coexister dans un même dispositif et donner lieu à des variations en  $\ln t$  du courant de drain ;
- la mesure du bruit basse fréquence constitue une approche expérimentale intéressante pour l'étude des phénomènes de dérive.

Notre groupe a mis en évidence un mécanisme de dérive lié à la faible « rigidité » de la distribution des états électroniques d'interface qui peut présenter des variations à la suite de contraintes électriques « douces » appliquées à la structure (polarisation sous quelques volts de la structure MIS à durées variables) [73, 75]. Vuillaume *et al.* [76] ont montré

par analyse DLTS que ces variations sont dues au caractère bistable d'une partie des états d'interface qui présentent la propriété d'exister sous deux configurations.

Parmi les différents modèles proposés pour expliquer les phénomènes de dérive dans les transistors MISFETs sur InP, celui de Van Vechten *et al.* [77] implique des changements dans la distribution des états d'interface. Il est fondé sur le fait qu'un apport d'électrons libres (au cours de la formation du canal) peut induire la transformation de défauts de type lacunes de phosphore en défauts de type indium antisite en activant le saut des atomes d'indium sur une lacune de phosphore voisine. Si ce modèle, qui n'a pas de confirmation expérimentale directe à ce jour, est susceptible de décrire une part de la réalité [78], il reste que, ainsi que nous l'avons souligné plus haut, il existe certainement des sources multiples aux phénomènes de dérive. On est en présence d'un problème de passivation très complexe, puisque sa solution implique la mise au point de procédés technologiques capables de limiter simultanément l'effet de ces diverses sources d'instabilité, avec l'objectif de tendre vers la « perfection » du système  $\text{SiO}_2\text{-Si}$  [79]. A cette fin, la démarche générale décrite plus haut pour la passivation des semiconducteurs III-V doit être mise en œuvre puisqu'elle s'emploie à éliminer les défauts, sources d'instabilité, susceptibles d'être présents, ou à éviter leur création à l'interface diélectrique-semiconducteur et de part et d'autre dans le diélectrique et dans le semiconducteur.

## 7. Conclusion.

Face à l'extrême complexité des surfaces et interfaces de semiconducteurs composés et à la difficulté d'en contrôler les propriétés de façon reproductible, la communauté scientifique des physiciens et technologues des composants a, dans un premier temps, développé une intense activité expérimentale fondée sur une démarche plus empirique que « scientifique ». Les efforts consentis n'ont pourtant pas été vains puisqu'ils ont non seulement permis des progrès constants dans la mise au point de procédés de passivation produisant des surfaces et interfaces dotées de propriétés toujours plus proches de celles désirées, mais surtout de dégager des grandes tendances qui ont ouvert la voie, dans un deuxième temps, au développement d'une véritable « ingénierie » scientifique des surfaces et interfaces de semiconducteurs composés. Cette évolution récente s'est traduite par le rapprochement entre cette communauté et celle des chercheurs en science des surfaces. De plus en plus de physiciens et technologues des composants utilisent désormais les puissants outils d'analyse des surfaces développés au cours des deux dernières décennies, pour un contrôle interactif et *in*

*situ* des procédés technologiques. Par ailleurs, les physiciens des surfaces consacrent une part grandissante de leurs efforts aux surfaces et interfaces « réelles » des dispositifs électroniques. Etablir des corrélations directes entre propriétés physicochimiques et structurales et propriétés électroniques des surfaces et interfaces constitue l'objectif commun poursuivi par les uns et les autres.

Le physicien des composants résoudra peut-être les problèmes de surface et d'interface dont nous avons discuté s'il a de la chance. Il sera de loin préférable qu'une meilleure compréhension de sa part des surfaces et interfaces puisse guider sa

démarche. Il n'y parviendra qu'en intensifiant une recherche pluridisciplinaire en étroite collaboration avec des chimistes, des physiciens et analystes des surfaces, chaque composante devant s'efforcer de mettre ses efforts d'investigation à caractère analytique au service de la synthèse d'objets « utiles ».

#### Remerciements.

L'auteur exprime sa reconnaissance aux membres du groupe III-V de l'Ecole Centrale de Lyon pour leur précieuse collaboration.

#### Bibliographie

- [1] TAMM I., *Phys. Z. Sowjetunion* **1** (1932) 733.
- [2] TAYLOR N. J., LILE D. L. et NEDOLUHA A. K., *J. Vac. Sci. Tech.* **B 2** (1984) 522.
- [3] CASEY Jr H. C. and BUEHLER E., *Appl. Phys. Lett.* **30** (1977) 247.
- [4] NAGAI H. and NOGUCHI Y., *Appl. Phys. Lett.* **33** (1978) 312.
- [5] SUZUKI Tohru and OGAWA Masaki, *Appl. Phys. Lett.* **34** (1979) 447.
- [6] NAGAI H. and NOGUCHI Y., *J. Appl. Phys.* **50** (1979) 1545.
- [7] KRAWCZYK S. and HOLLINGER G., *Appl. Phys. Lett.* **45** (1984) 870.
- [8] SAUTREUIL B., VIKTOROVITCH P. and BLANCHET R., *J. Appl. Phys.* **57** (1985) 2322.
- [9] VIKTOROVITCH P. *et al.* (*Appl. Surf. Sciences* **31** (1988) 317-326) rapportent une forte augmentation de la photoluminescence émise par l'InP exposé à des ions hydrogènes. Cette observation indique que des défauts de type liaisons pendantes pourraient, en grande partie, contrôler les processus de recombinaison.
- [10] KRAWCZYK S., BAILLY B., SAUTREUIL B., BLANCHET R. and VIKTOROVITCH P., *Electron. Lett.* **20** (1984) 657.
- [11] Ce résultat nous a conduit, ainsi que d'autres groupes, à utiliser la mesure de la photoluminescence comme méthode de contrôle non destructive des propriétés électroniques d'interface de semiconducteurs III-V (au cours de différentes étapes technologiques) : voir par exemple [8]. Un développement nouveau de cette méthode a été mis en œuvre dans notre laboratoire avec la mise au point d'un système d'imagerie de photoluminescence doté d'une résolution spatiale de l'ordre du  $\mu\text{m}$  : voir par exemple J. Y. LONGÈRE *et al.* INFOS 89 (Munich, RFA).
- [12] LILE D. L. et COLLINS D. A., *Appl. Phys. Lett.* **28** (1976) 554.
- [13] voir par exemple TAILLEPIED M. et GOURRIER S., *Appl. Phys. Letters* **48** (1986) 978.
- [14] SCHOCKLEY W., *Phys. Rev.* **56** (1939) 317.
- [15] BARDEEN J., *Phys. Rev.* **71** (1947) 717.
- [16] SPICER W. E., CHYE P. W., SKEATH P. R., SU C. Y. and LINDAU I., *J. Vac. Sci. Technol.* **16** (1979) 1422.
- [17] Les expériences de SPICER et de son groupe sont réalisées sur la face 110 clivée, exempte d'états électroniques intrinsèques dans la bande interdite. Ces auteurs excluent la possibilité que les états intrinsèques, situés dans les bandes permises de la surface clivée et relaxée (voir § 3 et Fig. 2), soient ramenés dans la bande interdite après formation de l'interface et contribuent au blocage du niveau de Fermi (voir SEBENNE C., *Journal de Microsc. Spectrosc. Electronique* **9** (1984) 217).
- [18] Notons que les notions de lacune ou de défauts antisites s'appliquent d'abord au volume du matériau. Elles peuvent être aisément étendues au cas de la face stœchiométrique, orientée 110, contrairement à celui de la face 100 dont le dernier plan atomique est constitué soit de cations, soit d'anions. Ainsi, on ne peut parler de lacune de phosphore sur la face 100 sabillée indium de l'InP mais plutôt dans le plan immédiatement sous-jacent.
- [19] POTZ W. and FERRY D. K., *Phys. Rev. B* **29** (1984) 5687.
- [20] HEINE V., *Phys. Rev.* **71** (1947) 717.
- [21] LOUIE S. G. et COHEN M. L., *Phys. Rev. B.* **13** (1976) 2461.
- [22] LOUIE S. G., CHELICOWSKY J. R. et COHEN M. L., *Phys. Rev. B* **15** (1977) 2154.
- [23] TERSOFF J., *Phys. Rev. Lett.* **52** (1984) 465.
- [24] TERSOFF J., *Phys. Rev. B* **30** (1984) 4874.
- [25] LAUBSCHAT C., PRIETSCH M., DOMKE M., WESCHKE E., REMMERS G., MANDEL T., ORTEGA J. E. et KAINDL G., *Phys. Rev. Lett.* **62** (1989) 1306.
- [26] PHILLIPS J. C., *J. Vac. Sci. Technol.* **11** (1974) 947.
- [27] ANDREWS J. M. et PHILLIPS J. C., *Phys. Rev. Lett.* **35** (1975) 56.
- [28] BRILLSON L. J., *Phys. Rev. Lett.* **40** (1979) 260.
- [29] BRILLSON L. J., *Thin Solid Films* **89** (1982) 461.
- [30] HASEGAWA H. and OHNO H., *J. Vac. Sci. Technol.* **B 4** (1986) 1130.
- [31] FLIETNER H., FUSSEL W. and DSINH N., *Phys. Stat. Sol. (a)* **43** (1977) K99.

- [32] LANNOO et ses collaborateurs ont justifié théoriquement dans une récente publication (*Phys. Rev. B* **38** (1988) 7723) que les niveaux d'énergie des métaux de transition peuvent servir de référence pour déterminer les « band offsets » aux hétérojonctions.
- [33] SANKEY O. F., ALLEN R. E., REN S. F. and DOW J. D., *J. Vac. Sci. Technol.* **B 3** (1985) 1162.
- [34] LEFEBVRE L., LANNOO M., PRIESTER C., ALLAN G. et DELERUE C., *Phys. Rev. B* **36** (1987) 1336.
- [35] TERSOFF J., *J. Vac. Sci. Technol.* **B 3** (1985) 1157.
- [36] WALDROP J. R., *J. Vac. Sci. Technol.* **B 3** (1985) 1197 ;  
voir aussi WALDROP J. R. et GRANT R. W., *J. Vac. Sci. Technol.* **B 6** (1988) 1432.
- [37] La position d'équilibre intrinsèque du niveau de Fermi correspond à celle pour laquelle la charge totale des états d'interface est nulle. L'effet d'écran dû au dopage du semiconducteur et à la présence d'un métal (diode Schottky ou structures MIS), des charges fixes dans le diélectrique, sont, au même titre qu'une polarisation extérieure, autant de facteurs qui tendent à écarter le niveau de Fermi de cette position, d'autant plus que l'intensité du blocage est plus faible.
- [38] Des travaux récents réalisés par le groupe III-V de l'ECL (voir par exemple B. COMMÈRE *et al.*, ESSDERC 88 (Montpellier, France)) et fondés sur la mesure de photoluminescence résolue en profondeur montrent que les dégradations consécutives à des traitements trop durs (haute température, espèces énergétiques) de InP, ne se limitent pas à l'interface mais peuvent pénétrer le matériau de plusieurs microns. C'est la raison pour laquelle, par exemple, il est indispensable de procéder à un « recess » de la zone du canal d'un transistor MISFET sur InP après le recuit d'implantation (effectué sous encapsulant à une température excédant 700 °C) du drain et de la source, pour éliminer la zone de matériau dégradé.
- [39] CHOUJAA A., KUMAR S. N., BLANCHET R. et VIKTOROVITCH P., *Appl. Phys. Lett.* **51** (1987) 2142.
- [40] MEINERS L. G., *J. Vac. Sci. Technol.* **21** (1982) 655.
- [41] POST G., DIMITRIOU P., FALCOU A., DUHAMEL N. et MERMANT G., ESSDERC 88, Montpellier (F), J. P. Nougier et D. Gasquet Eds., Les Editions de Physique.
- [42] HERAK T. V., CHAU T. T., THOMSON D. J., MEJIA S. R., BUCHANAN D. A. and KAO K. C., *J. Appl. Phys.* **65** (1989) 2457.
- [43] Parmi les travaux du groupe du Laboratoire d'Electronique Philips, voir par exemple, TAILLEPIED N. et GOURRIER S., *Appl. Phys. Letters* **48** (1986) 978 ainsi que la thèse d'Etat de P. Friedel (Paris-Sud, 1987) et les références incluses.
- [44] HASEGAWA H., HE L., OHNO H., SAWADA T., HAGA T., ABE Y. et TAKAHASHI H., *J. Vac. Sci. Technol.* **B 5** (1987) 1097.
- [45] GENDRY M., BLANCHET R., HOLLINGER G., SANTINELLI C., SKHEYTA R. et VIKTOROVITCH P., 1st International Conf. on Indium Phosphide and Related Materials for advanced Electronic and Optical Devices, 20/22 mars 1989 (Norman, Oklahoma, USA).
- [46] THURMOND C. O., SCHWARTZ G. P., KAMMLOTT G. W. et SCHWARTZ B., *J. Electrochem. Soc.* **127** (1980) 1366.
- [47] Une alternative a été proposée par OFFSEY et ses collaborateurs (*Appl. Phys. Lett.* **48** (1986) 475) consistant à élaborer seulement de l'oxyde de gallium Ga<sub>2</sub>O<sub>3</sub> en éliminant les oxydes d'arsenic au cours de leur formation. Il s'agit d'une méthode photochimique où le GaAs est photo-oxydé dans de l'eau désionisée « courante », ce qui permet d'entraîner et de dissoudre les oxydes d'As. Ce traitement conduit à une augmentation de la photoluminescence c'est-à-dire à une réduction de la vitesse de recombinaison en surface et, d'après les auteurs, à un déblocage du niveau de Fermi.
- [48] CAPASSO F. et WILLIAMS G. F., *J. Electrochem. Soc.* **129** (1982) 821.
- [49] GOURRIER S., SMIT L., FRIEDEL P. et LARSEN P. K., *J. Appl. Phys.* **54** (1983) 3993.
- [50] DUMAS J. M., PAUGAM J. et LE MOUËLLIC C., *Electronics Lett.* **18** (1982) 1094.
- [51] DUMAS J. M., LECROSNIER D., PAUGAM J. et VUCHENER C., *Electronics Lett.* **21** (1984) 116.
- [52] SANDROFF C. Y., NOTTENBURG R. N., BISCHOFF J. C. et BHAT R., *Appl. Phys. Lett.* **51** (1987) 33.
- [53] FAN J. F., OIGAWA H. et NANNICHI Y., *Jap. J. of Appl. Phys.* **27** (1988) L2125 ;  
voir aussi : CARPENTER M. S., MELLOCH M. R. et DUNGAN T. E., *Appl. Phys. Lett.* **53** (1988) 66.
- [54] FAN J. F., OIGAWA H. et NANNICHI Y., *Jap. J. of Appl. Phys.* **27** (1988) L1331.
- [55] NANNICHI Y., FAN J. F., OIGAWA H. et KOMA A., *Jap. J. of Appl. Phys.* **27** (1988) L2367 ;  
voir aussi HIRAYAMA H., MATSUMOTO Y., OIGAWA H. et NANNICHI Y., *Appl. Phys. Lett.* **54** (1989) 2565.
- [56] SPINDT C. J., LIU D., MIYANO K., MEISSNER P. L., CHIANG T. T., KENDELWICZ T., LINDAU I. et SPICER W. E., *Appl. Phys. Lett.* **55** (1989) 861.
- [57] La couche de passivation contribue au déblocage de la barrière de Schottky non seulement en neutralisant les défauts électroniques d'interface mais également en limitant l'action des états de type MIGS, le métal n'étant plus en contact « intime » avec le semiconducteur.
- [58] FOUNTAN G. G., HATTANGADY S. V., VITKAVAGE D. H., RUDDER R. A. et MARKUNAS R. J., *Electronics Lett.* **24** (1988) 1134.
- [59] SCHWARTZ G. P., SUNDER W. A. et GRIFFITS J. E., *J. Electrochem. Soc.* **129** (1982) 1361.
- [60] WAGER J. F. et WILMSEN C. W., *J. Appl. Phys.* **53** (1982) 5789.
- [61] WAGER J. F., MAKKY W. H., WILMSEN C. W. et MEINERS L. G., *Thin Solid Films* **95** (1982) 342.
- [62] FATHIPOUR M., BOYER P. K., COLLINS G. J. et WILMSEN C. W., *J. Appl. Phys.* **57** (1985) 637.
- [63] ILIADIS A. A., *Electronics Lett.* **25** (1989) 572.  
Voir aussi : LOUALICHE S. *et al.*, *Appl. Phys. Lett.* **54** (1989) 1238.

- [64] GARDNER P. D. et NARAYAN S. Y., 1st International Conf. on Indium Phosphide and Related Materials for advanced Electronic and Optical Devices, 20/22 mars 1989 (Norman, Oklahoma, USA).
- [65] ROBACH Y., JOSEPH J., BERGIGNAT E., COMMERE B., HOLLINGER G. and VIKTOROVITCH P., *Appl. Phys. Lett.* **49** (1986) 1281.
- [66] HOLLINGER G., BERGIGNAT E., JOSEPH J. and ROBACH Y., *J. Vac. Sci. Technol.* **A 3** (1985) 2082.
- [67] HOLLINGER G., JOSEPH J., ROBACH Y., BERGIGNAT E., COMMERE B., VIKTOROVITCH P. and FROMENT M., *J. Vac. Sci. Technol.* **B 5** (1987) 1108-1112.
- [68] FALCOU A., POST G., VIKTOROVITCH P., BLANCHET R., CHOUJAA A., HOLLINGER G., ROBACH Y. et JOSEPH J., 1st International Conf. on Indium Phosphide and Related Materials for advanced Electronic and Optical Devices, 20/22 mars 1989 (Norman, Oklahoma, USA).
- [69] BLANCHET R., VIKTOROVITCH P., CHAVE J. and SANTINELLI C., *Appl. Phys. Lett.* **46** (1985) 761.
- [70] GENDRY M., SANTINELLI C., BLANCHET R., HOLLINGER G., SKHEYTA R. et VIKTOROVITCH P., Congrès SFP, 25/29 septembre 1989 (Lyon, France).  
Voir aussi : HOLLINGER G., BLANCHET R., GENDRY M., SANTINELLI C., SKHEYTA R. et VIKTOROVITCH P., *J. Appl. Phys.* **67** (1990) 4173.
- [71] WAGER J. F., OWEN S. J. T. and PRASAD S. J., *J. Electrochem. Soc.* **134** (1987) 160.
- [72] CHOUJAA A., VIKTOROVITCH P., BLANCHET R., POST G., DIMITRIOU P., FALCOU A. et CHOVET A., 2<sup>es</sup> Journées d'Etudes sur l'Épitaxie et la passivation des composés III-V, 27-28 avril 1988 (Plestin-Les-Grèves, France).
- [73] VIKTOROVITCH P., *J. Electrochem. Soc.* **136** (1989) 1431.
- [74] CHOUJAA A., Thèse d'Etat (UCB Lyon I, 1989).
- [75] ZENCIRCI N., Thèse doctorale (Ecole Centrale de Lyon, 1987).
- [76] VUILLAUME D., ZENCIRCI N., GARRIGUES M. et VIKTOROVITCH P., *Appl. Phys. Lett.* **55** (1989) 642.
- [77] VAN VECHTEN J. A. and WAGER J. F., *J. Appl. Phys.* **57** (1985) 1956.
- [78] Il a été observé expérimentalement par divers auteurs (voir par exemple K. P. PANDE et D. GUTTIEREZ, *Appl. Phys. Lett.* **46** (1985) 416 et CHOUJAA A., CHAVE J., BLANCHET R. et VIKTOROVITCH P., *J. Appl. Phys.* **60** (1986) 2191) que l'apport de phosphore ou sa compensation durant l'élaboration de l'interface diélectrique-InP réduit le taux de blocage du niveau de Fermi et améliore la stabilité électrique.
- [79] La densité d'états d'interface à proximité du bord de bande de conduction est de l'ordre de quelque  $10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  dans les meilleurs systèmes diélectrique-InP, soit près de deux ordres de grandeur supérieure au cas de la structure  $\text{SiO}_2$ -Si. Cette valeur est compatible avec l'obtention d'une forte transconductance des transistors (forte mobilité effective des électrons du canal), laquelle n'est sensiblement réduite par l'effet d'écran des états d'interface que pour des densités supérieures à  $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ . Par contre, on peut montrer que, compte tenu de la corrélation entre densités d'états de cinétiques différentes, attestée par l'observation même d'un bruit basse fréquence en  $1/f^\alpha$  du courant de drain, il est indispensable de gagner environ un ordre de grandeur soit de réduire la densité d'états à quelque  $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$  pour obtenir une stabilité long terme compatible avec certaines applications potentielles de la technologie MISFET sur InP, telle que par exemple, l'intégration à large échelle de circuits logiques rapides. Pour des applications dans le domaine de l'optoélectronique intégrée (commande de laser), les meilleures performances obtenues actuellement semblent déjà suffisantes (voir par exemple [41] et [68]).