



HAL
open science

Dimensionnement et performances potentielles des MISFET à hétérojonction

P. Dollfus, M. Mouis, R. Castagné

► **To cite this version:**

P. Dollfus, M. Mouis, R. Castagné. Dimensionnement et performances potentielles des MISFET à hétérojonction. *Revue de Physique Appliquée*, 1989, 24 (1), pp.65-69. 10.1051/rphysap:0198900240106500 . jpa-00246030

HAL Id: jpa-00246030

<https://hal.science/jpa-00246030>

Submitted on 4 Feb 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Classification

Physics Abstracts

25.30B — 25.60B — 25.60R

Dimensionnement et performances potentielles des MISFET à hétérojonction (*)

P. Dollfus, M. Mouis et R. Castagné

Institut d'Electronique Fondamentale, CNRS UA 22, Bâtiment 220, Université Paris-Sud,
91405 Orsay Cedex, France(Reçu le 1^{er} juillet 1988, accepté le 29 septembre 1988)

Résumé. — Afin d'éloigner les électrons de conduction des défauts de l'interface isolant/semi-conducteur caractéristiques des dispositifs de type MISFET, on peut interposer entre l'isolant et le canal un espaceur constitué d'un semi-conducteur à grand gap épitaxié en accord de maille sur la couche active ; c'est le MISFET à hétérojonction (HMISFET). Une étude préliminaire du comportement capacitif de diodes HMIS unidimensionnelles a permis de comparer les matériaux envisagés pour ce dispositif et d'évaluer l'influence de la géométrie de la structure et des états d'interface. Un HMISFET InAlAs/InGaAs à grille courte ($l_g = 1,5 \mu\text{m}$) a alors fait l'objet d'une simulation Monte-Carlo. Une transconductance élevée a été obtenue ($g_m > 250 \text{ mS/mm}$). Le faible peuplement des vallées L et X, même à tension de drain élevée, et l'absence de transfert spatial vers le matériau à grand gap montrent l'efficacité de l'espaceur InAlAs pour confiner les électrons dans la couche active InGaAs à mobilité élevée.

Abstract. — In order to move the conducting electrons away from the typical defects of the insulator/semi conductor interface in MIS devices, a spacer can be inserted between insulator and channel. This spacer would be made of a wide band-gap semi conductor lattice matched on the active layer. It is the Heterojunction MISFET (HMISFET). In a first stage we have studied the capacitive behaviour of unidimensionnal HMIS diodes. It allows us to compare the possible materials for such a device and to estimate the influence of the geometry and of the interface states. A Monte-Carlo simulation of a short gate ($l_g = 1.5 \mu\text{m}$) InAlAs/InGaAs HMISFET exhibits a high transconductance ($g_m > 250 \text{ mS/mm}$). The weak population of the L and X valleys — even under a high drain voltage — and the non existence of real space transfer towards the large band gap semi conductor prove the efficiency of an InAlAs spacer for taking full advantage of the high electron mobility of the InGaAs active layer.

1. Introduction.

La perspective d'une technologie sur composés III-V ayant la souplesse du NMOS et une rapidité intrinsèque élevée pousse à envisager des structures de type MIS. Dans le MISFET classique, la mauvaise qualité de l'interface isolant amorphe/semi-conducteur constitue un sérieux handicap : d'une part des états d'interface affectent le contrôle du canal par la grille ; d'autre part la rugosité d'interface et la présence de charges fixes dans l'isolant introduisent une interaction supplémentaire très efficace sur les électrons de faible énergie donc dans la zone de contrôle du dispositif (au voisinage de la source) [1]. L'utilisation d'un effet d'espaceur devrait permettre de s'affranchir de cette interaction et d'améliorer la

mobilité de canal et la transconductance par rapport au MIS classique. Aussi peut-on imaginer un dispositif MIS à hétérojonction (HMISFET) [2] où une fine couche d'un semi-conducteur à grand gap maintient les électrons du canal éloignés des défauts de l'interface amorphe (Fig. 1).

Un tel dispositif est prévu pour fonctionner en régime d'accumulation ; l'espaceur, épitaxié en accord de maille sur la couche active offre l'avantage de présenter aux électrons du canal une interface de bonne qualité qui doit permettre d'exploiter pleinement les excellentes propriétés intrinsèques de transport d'un semi-conducteur (n.i.d.) tel que GaAs ou GaInAs. Par rapport aux dispositifs de type SISFET où la fonction d'isolant est assurée par le matériau grand gap seul, le principe de l'isolement par un matériau amorphe doit permettre une plus forte accumulation de porteurs sans courant de fuite par la grille.

(*) Cette étude est soutenue par le CNET.

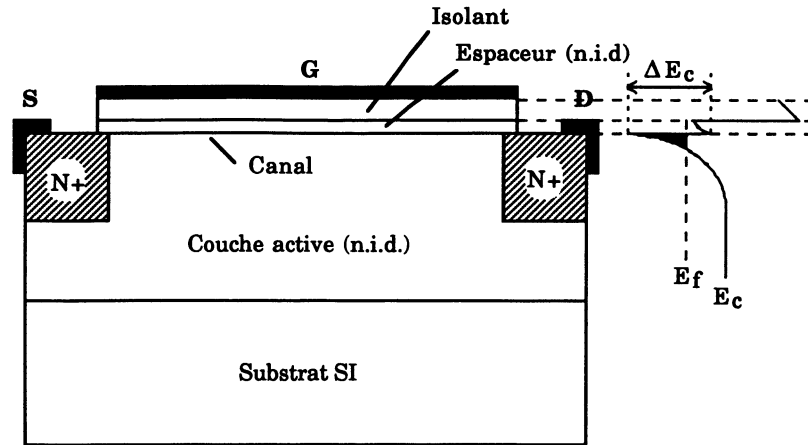


Fig. 1. — Le dispositif HMISFET et le diagramme des bandes correspondant.

[The HMISFET device and the corresponding band diagram.]

Le problème se pose alors d'optimiser pour une telle structure le choix des matériaux. Nous nous sommes appuyés dans cette tâche sur la simulation du comportement capacitif statique de structures unidimensionnelles isolant/semi-conducteur grand gap/semi-conducteur petit gap.

2. Les matériaux envisagés.

Le groupe des semi-conducteurs III-V se répartit classiquement en deux filières correspondant chacune à un paramètre de maille :

— dans la filière à substrat InP, GaInAs offre les meilleures conditions intrinsèques de transport et les matériaux à large gap InP et InAlAs (voire InAlAsP) sont envisageables pour l'espaceur.

— sur substrat GaAs, GaInP peut constituer le matériau espaceur et GaAs lui-même le matériau de conduction. GaAlAs, classiquement utilisé comme espaceur pour le HEMT GaAs, n'a pas été retenu dans cette étude ; en effet, en l'état actuel de l'art technologique il semble que le dépôt d'un isolant sur GaAlAs provoque inmanquablement un piégeage du niveau de Fermi qui condamne la possibilité de réaliser une grille isolée efficace sur ce composé.

La filière InP semble *a priori* plus prometteuse pour au moins deux raisons : d'une part les paramètres de bandes de GaInAs assurent à ce matériau de meilleures propriétés de transport que dans GaAs (masse effective des électrons de la vallée Γ plus faible, séparation énergétique entre vallée Γ et L plus élevée) ; d'autre part la forte discontinuité de la bande de conduction à l'hétéro-interface InAlAs/InGaAs ($\Delta E_c = 0,51$ eV [3]) doit permettre une plus forte accumulation que contre les interfaces InP/InGaAs ($\Delta E_c \approx 0,27$ eV [4]) et GaAlAs/GaAs ($\Delta E_c \approx 0,21$ eV [5]).

3. La simulation de structures HMIS unidimensionnelles.

Nous avons mis en œuvre la simulation du comportement capacitif statique de structures unidimensionnelles isolant/semi-conducteurs. Son principe repose sur la résolution « self consistante » en éléments finis de l'équation de Poisson et de l'équation d'équilibre des porteurs, lesquels obéissent à une statistique de Fermi-Dirac. Il est tenu compte d'une densité d'états uniforme N_{ss} à l'interface isolant/semi-conducteur.

Dans toutes les structures simulées l'isolant a une épaisseur de 50 nm et une permittivité diélectrique relative de 8, le dopage de l'espaceur et de la couche active est de $5 \times 10^{15} \text{ cm}^{-3}$. L'étude a pour objet de dégager et quantifier l'influence de certains paramètres liés aux matériaux (ΔE_c), à la géométrie (e_{sp} variant de 10 à 40 nm) où aux impondérables technologiques (N_{ss}) sur les caractéristiques statiques de la structure HMIS.

Dans ce dispositif fonctionnant en régime d'accumulation, l'amplitude de la polarisation de grille est limitée d'une part par l'état de « bandes plates » (pour $V_g = V_{fb}$) et d'autre part par la formation d'un canal parasite sous l'interface isolant/espaceur (pour $V_g = V_{sup}$). La différence $V_{sup} - V_{fb}$ constitue ainsi la plage de commande du dispositif. La figure 2 montre pour les trois hétérostructures envisagées son évolution avec l'épaisseur e_{sp} de l'espaceur, en absence d'états d'interface ($N_{ss} = 10^{10} \text{ cm}^{-2} \text{ V}^{-1}$) : à peine supérieure à 1 V pour les structures InP/InGaAs et GaInP/GaAs la plage de commande atteint 2,7 V pour InAlAs/InGaAs ($e_{sp} = 10$ nm).

La figure 3 présente la densité maximale d'électrons dans le canal (avant l'apparition du canal secondaire) en fonction de e_{sp} . Notons qu'à l'interface InAlAs/InGaAs cette densité atteint $2 \times 10^{12} \text{ cm}^{-2}$ pour $e_{sp} = 10$ nm et reste supérieure à

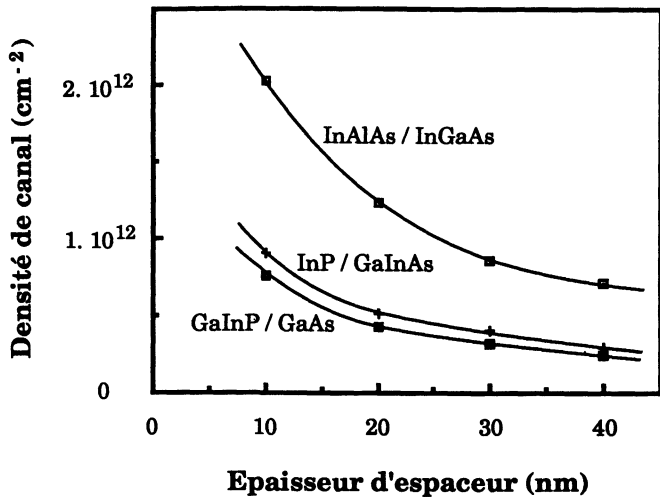


Fig. 2. — Plage de commande pour les trois hétérostructures.

[Range of gate voltage for the three HMIS devices.]

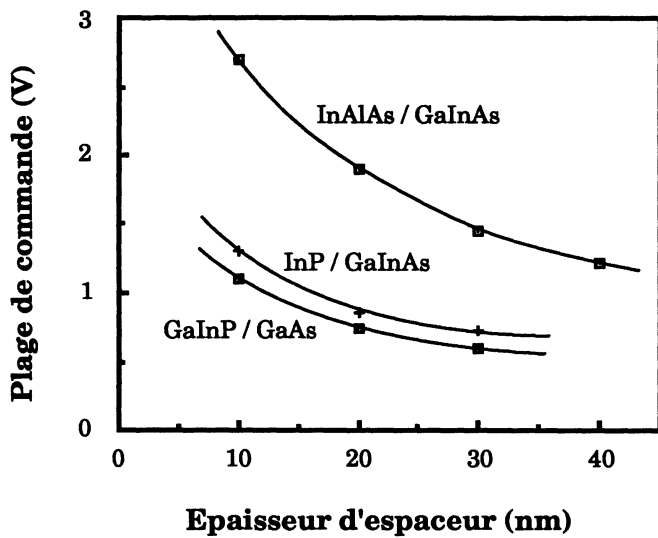


Fig. 3. — Densité maximale d'électrons dans le canal, avant l'apparition du canal secondaire.

[Maximum channel electron density, before the secondary channel formation.]

10^{12} cm^{-2} jusqu'à $e_{sp} = 24 \text{ nm}$; aux interfaces concurrentes elle est toujours inférieure à 10^{12} cm^{-2} .

Ces simulations permettent également une approche qualitative de la transconductance potentielle des structures HMIS. Nous avons défini dans ce but une grandeur appelée « efficacité de commande » qui est la variation de la densité d'électrons dans le canal par rapport à la tension de grille (soit dn_s/dV_G). La figure 4 montre à ce propos des résultats comparables pour les trois interfaces. Toutefois la forte mobilité intrinsèque des électrons dans GaInAs ($10\,000 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ à 300 K au lieu de $8\,000 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ dans GaAs) laisse présager une

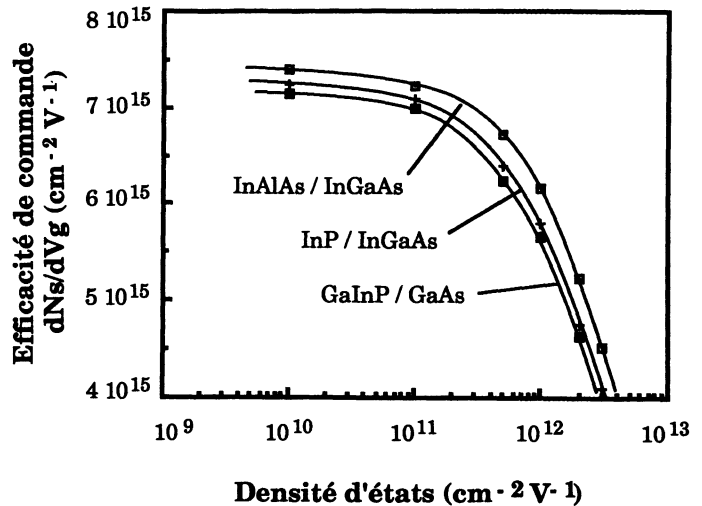


Fig. 4. — Efficacité de commande pour trois hétérostructures en fonction de la densité d'états à l'interface isolant/grand gap.

[Control efficiency for three HMIS structures versus interface states density.]

meilleure transconductance pour les dispositifs utilisant ce composé comme matériau de conduction. On observe de plus que dans tous les cas la transconductance diminuerait environ d'un facteur 2 pour $N_{ss} = 10^{12} \text{ cm}^{-2} \text{ V}^{-1}$. La figure 5 montre pour InAlAs/InGaAs la chute de l'efficacité de la commande avec l'augmentation de l'épaisseur de l'espaceur.

Retenons de cette étude l'intérêt potentiel du couple InAlAs/InGaAs pour le HMISFET. Sa concrétisation technologique semble toutefois repo-

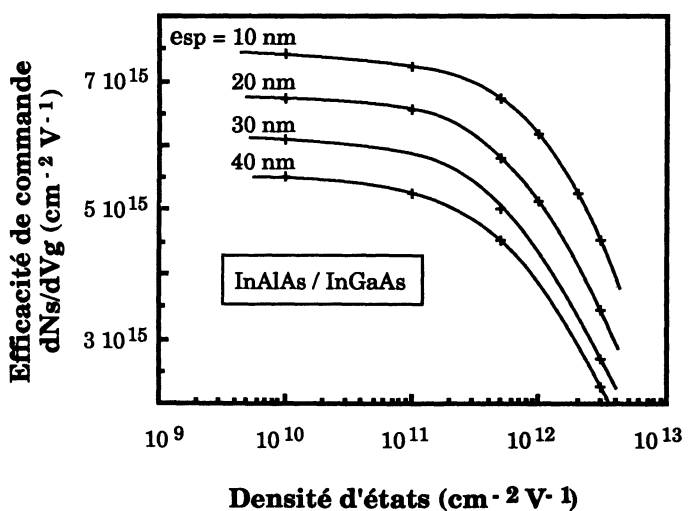


Fig. 5. — Caractéristiques Efficacité de commande-Densité d'états d'interface pour plusieurs épaisseurs d'espaceur (structure InAlAs/InGaAs).

[Control efficiency-Interface state density characteristics for several spacer thicknesses (InAlAs/InGaAs device).]

ser sur la possibilité de déposer sur InAlAs un isolant n'induisant pas une densité d'états d'interface réhibitoire pour la transconductance du dispositif.

4. Simulation Monte-Carlo du HMISFET.

Sur la base de ces résultats le HMISFET InAlAd/InGaAs a fait l'objet d'une simulation particulière de type Monte-Carlo. Ce modèle prend en compte la possibilité de transfert spatial à travers l'hétérojonction [6], mais pas le caractère bidimensionnel du gaz d'électrons du canal ce qui est justifié à température ambiante, à faible niveau de dopage et pour des régimes d'accumulation pas trop forte [7]. La structure simulée est ainsi constituée : substrat semi-isolant InP (400 nm), couche active InGaAs (400 nm, $N_d = 2 \times 10^{15} \text{ cm}^{-3}$), espaceur InAlAs (10 nm, $N_d = 5 \times 10^{15} \text{ cm}^{-3}$), isolant SiO₂ (30 nm). La longueur de grille ℓ_g est de 1,5 μm .

Les caractéristiques de drain (Fig. 6) font apparaître à $V_{DS} = 0,2 \text{ V}$ et $V_G = 0$. V (courant non saturé) une transconductance de 120 mS/mm pour un champ parallèle moyen dans le canal de 1,03 kV/cm ; par ailleurs, pour une structure unidimensionnelle analogue et à polarisation équivalente nous avons obtenu une efficacité de commande (dn_s/DV_G) de $7 \times 15 \cdot 10^{11} \text{ cm}^{-2} \text{ V}^{-1}$. La confrontation de ces résultats conduit à une mobilité électronique dans le canal d'environ $10\,000 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$. Notons que le meilleur résultat obtenu sur un MISFET InGaAs classique est une mobilité de $5\,200 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ [9]. En régime saturé ($V_{DS} = 1,0 \text{ V}$, $V_G = 0,2 \text{ V}$) une transconductance maximum de 250 mS/mm a été obtenue. Par ailleurs des transconductances intrinsèques élevées ($g_m \approx 390 \text{ mS/mm}$) obtenues sur des dispositifs HEMT [10, 11] et SISFET [12] à grille courte ($\ell_g = 1,1 \mu\text{m}$) mettent en valeur l'intérêt du

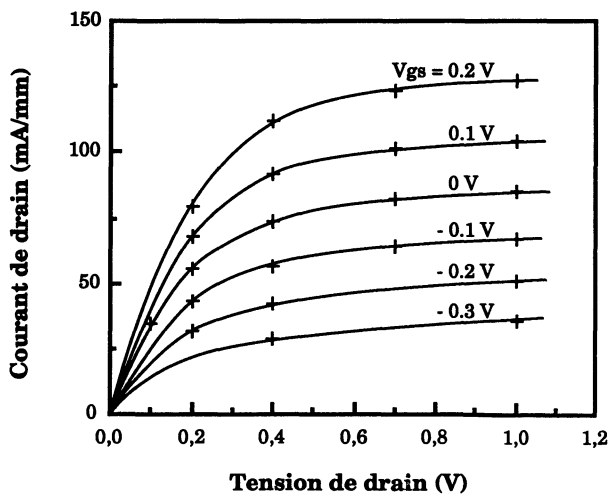


Fig. 6. — Caractéristiques de courant de drain du HMISFET simulé.

[Drain current characteristics of the simulated HMISFET.]

couple InAlAs/InGaAs pour des structures rapides. De telles performances sont certainement accessibles au HMISFET à des polarisations de grille élevées que nous n'avons pas simulées ; en effet notre modèle ne tient compte ni de la propriété de fermions des électrons ni de la possibilité de franchissement de la barrière par effet tunnel.

La distribution spatiale des électrons en régime de saturation (à $V_G = 0 \text{ V}$ et $V_{DS} = 1,0 \text{ V}$) dans les vallées Gamma et L (Figs. 7) et la carte du potentiel dans la structure (Fig. 8) mettent en évidence le pincement du canal au voisinage du contact de drain. De plus, dans ce dispositif à grille relativement longue ($\ell_g = 1,5 \mu\text{m}$) le transfert dans les vallées latérales n'intervient qu'au-delà du point de pincement (Fig. 7b) ; en effet la séparation énergétique entre les vallées dans GaInAs est très élevée ($\epsilon_{\Gamma L} = 0,54 \text{ eV}$) et une grille nettement submicronique serait nécessaire pour observer un peuplement significatif des vallées L et X. *A fortiori*, le transfert spatial vers l'espaceur est quasiment inexistant ; il

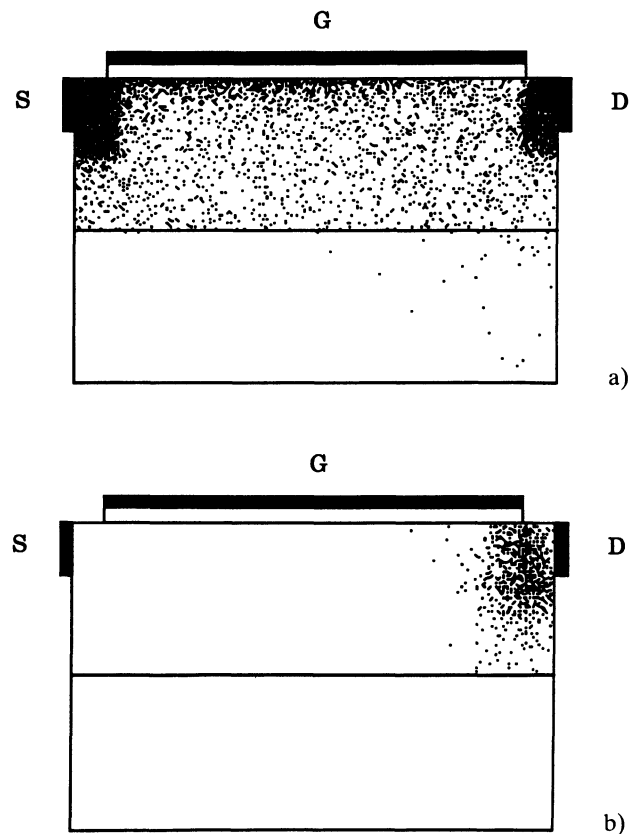


Fig. 7. — Distribution spatiale des électrons dans le HMISFET pour des tensions $V_G = 0 \text{ V}$ et $V_{DS} = 1,0 \text{ V}$ correspondant à un courant de drain saturé. (a) électrons de la vallée Γ ; (b) électrons des vallées L.

[Spatial distribution of electrons in the HMISFET with bias voltages in the drain current saturation region : $V_G = 0 \text{ V}$ and $V_{DS} = 1.0 \text{ V}$. (a) electrons in the Γ valley ; (b) electrons in the L valleys.]

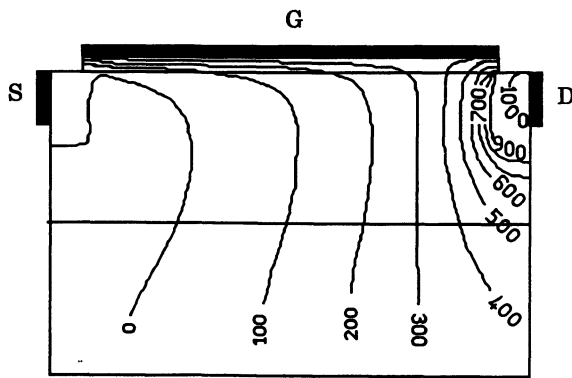


Fig. 8. — Carte du potentiel (en mV) dans le HMISFET pour des tensions $V_G = 0$ V et $V_{DS} = 1,0$ V correspondant à un courant de drain saturé.

[Potential map (in mV) in the HMISFET with bias voltages in the drain current saturation region: $V_G = 0$ V and $V_{DS} = 1.0$ V.]

exige en effet le franchissement d'une barrière de potentiel élevée et une ré-orientation des vecteurs

d'onde normalement à l'interface que seules les interactions isotropes des vallées L peuvent favoriser. Par conséquent, dans la plage de tension de grille étudiée, seul le pincement du canal est responsable de la saturation du courant de drain. Les excellentes propriétés intrinsèques de transport de GaInAs se trouvent ainsi pleinement exploitées au sein de ce dispositif.

5. Conclusion.

L'étude d'hétérostructures HMIS unidimensionnelles a permis une comparaison des matériaux envisagés pour le HMISFET et le dimensionnement de ce dispositif. La simulation Monte-Carlo a confirmé l'efficacité d'un espaceur InAlAs sur une couche active GaInAs : l'absence de transfert spatial et les bonnes propriétés de transport des électrons dans GaInAs assurent au HMISFET une rapidité élevée par rapport au MISFET classique. Des performances au moins aussi bonnes que sur le HEMT sont attendues avec un meilleur contrôle de la tension seuil.

Bibliographie

- [1] MOUIS, M., PÔNE, J. F., CASTAGNÉ, R., 2-D particle modelling of the InP MISFET, *Solid-State Electron.* **27** (1984) 659-665.
- [2] KOBAYASHI, T., Theory of heterostructure inversion-mode metal-insulator-semiconductor field effect transistors, *J. Appl. Phys.* **54** (1984) 2795-2806.
- [3] PENG, C. K., KETTERSON, A., MORKOÇ, H., SALOMON, P. M., Determination of the conduction-band discontinuity between $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ using n^+ InGaAs/InAlAs/ n^- InGaAs capacitors, *J. Appl. Phys.* **60** (1986) 1709-1712.
- [4] WESTLAND, D. J., FOX, A. M., MACIEL, A. C., RYAN, J. F., SCOTT, M. D., DAVIES, J. I., RIFAT, J. R., Optical studies of excitons in $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}/\text{InP}$ multiple quantum wells, *Appl. Phys. Lett.* **52** (1987) 5838-5842.
- [5] RAO, M. A., CAINE, E. J., KROEMER, H., LONG, S. I., BABIC, D. I., Determination of valence and conduction-band discontinuities at the (Ga, In) P/GaAs heterojunction by C-V profiling, *J. Appl. Phys.* **61** (1987) 643-649.
- [6] MOUIS, M., DOLLFUS, P., MOUGEL, B., PÔNE, J. F., CASTAGNÉ, R., Etude par simulation Monte-Carlo des effets induits dans un TEGFET par le transfert spatial, *Rev. Phys. Appl.* **22** (1987) 1495-1500.
- [7] MOUIS, M., DOLLFUS, P., CASTAGNÉ, R., à paraître.
- [8] NAKATA, Y., SASA, S., SUGIYAMA, Y., FUJII, T., HIYAMIZU, S., Extremely high 2 DEG concentration in selectively doped $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{N-In}_{0.52}\text{Al}_{0.48}\text{As}$ heterostructures grown by MBE, *Jpn. J. Appl. Phys.* **26** (1987) L.59-L.61.
- [9] GARDNER, P. D., NARAYAN, S. Y., YUN, Y. H., Characteristics of the low-temperature-deposited $\text{SiO}_2\text{-Ga}_{0.47}\text{In}_{0.53}\text{As}$ Metal/Insulator/Semiconductor interface, *Thin Solid Films* **117** (1984) 173-190.
- [10] PENG, C. K., AKSUN, M. I., KETTERSON, A. A., MORKOÇ, H., GLEASON, K. R., Microwave Performance of InAlAs/InGaAs/InP MODFET's, *IEEE Electron. Dev. Lett.* **8** (1987) 24-26.
- [11] SEO, K. S., BHATTACHARYA, P. K., Studies on an $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ Single Quantum-well Quasi-MISFET, *IEEE Trans. Electron Dev.* **34** (1987) 2221-2231.
- [12] FEUER, M. D., KUO, J. M., SHUNK, S. C., BEHRINGER, R. E., CHANG, T. Y., Microwave Performance of InGaAs/InAlAs/InP SISFET's, *IEEE Electron Dev. Lett.* **9** (1988) 162-164.