



HAL
open science

De la conception à la fabrication de circuits intégrés en technologie CMOS

Hélène Tap, R.P. Tan, Olivier D Bernal, Pierre-François Calmon, C. Rouabhi, C. Capello, P. Bourdeu d'Aguerre, F. Gessinn, M. Respaud

► **To cite this version:**

Hélène Tap, R.P. Tan, Olivier D Bernal, Pierre-François Calmon, C. Rouabhi, et al.. De la conception à la fabrication de circuits intégrés en technologie CMOS. Journal sur l'enseignement des sciences et technologies de l'information et des systèmes, 2019, 18, pp.1019. 10.1051/j3ea/20191019 . hal-04838489

HAL Id: hal-04838489

<https://hal.science/hal-04838489v1>

Submitted on 14 Dec 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Distributed under a Creative Commons Attribution 4.0 International License

De la conception à la fabrication de circuits intégrés en technologie CMOS

H. Tap^{a,b}, R.P. Tan^c, O. Bernal^{a,b}, P-F. Calmon^b, C. Rouabhi^c,
C. Capello^c, P. Bourdeu d'Aguerre^c, F. Gessinn^c, M. Respaud^{c,d,e},

^a École nationale supérieure d'électrotechnique, d'électronique, d'informatique,
d'hydraulique et des télécommunications, INP, Toulouse, France

^b Laboratoire d'Analyse et d'Architecture des Systèmes - LAAS UPR 8001,
Toulouse, France

^c Atelier Inter-universitaire de Micro et Nano Electronique, pôle CNFM de Toulouse,
INSA, Toulouse, France.

^d Département de Physique, INSA, Toulouse, France

^e Université de Toulouse - Laboratoire de Physique et Chimie des Nano-Objets,
LPCNO, UMR 5215, INSA.CNRS.UPS, Toulouse, France.

Contacts email : helene.tap@enseeiht.fr, respaud@insa-toulouse.fr

L'objectif de ce projet pédagogique est de proposer à des étudiants de niveau Master ou Ingénieur en Electronique un module complet leur permettant de se familiariser avec la conception et la fabrication de circuits intégrés analogiques répondant spécifiquement à un cahier des charges. L'autonomie et la prise d'initiatives sont favorisées par le mode d'Apprentissage Par Projet (APP). Le projet, d'une durée totale de 9 journées permettra à une équipe constituée de 2 binômes d'étudiants de réaliser un circuit CMOS personnalisé selon un cahier des charges, à partir de la modélisation de la filière technologique NMOS et PMOS accessibles à la centrale technologique de l'Atelier Interuniversitaire de Micro-nano Electronique (AIME) de Toulouse. Ce projet vise à placer les étudiants dans un contexte proche d'une situation en milieu professionnel, où ils doivent concevoir, réaliser et tester une solution répondant à un cahier des charges. A l'issue des tests expérimentaux, les étudiants présenteront leurs résultats au travers d'un rapport écrit et d'une présentation orale. Ils devront analyser les écarts aux cahiers des charges et les écarts entre calculs théoriques/simulation et mesures ; puis proposer les voies et alternatives qui permettraient d'améliorer leurs solutions.

I. Introduction

La formation des futurs ingénieurs aux métiers des micro et nanotechnologies constitue un challenge excessivement difficile à relever. A l'origine, la microélectronique nécessitait des bases en physique du solide et des semi-conducteurs à base de Silicium, ainsi que de l'électronique des circuits intégrés. Durant les 10 dernières années, la microélectronique s'est considérablement diversifiée, (composants à l'échelle nanométrique, techniques de fabrication alternatives, électronique sur substrat souple, objets connectés et autonomes, applications à la biologie et la médecine, etc...). L'enseignement se heurte à la grande diversité des concepts (de la physique quantique à

l'électronique), à l'utilisation de logiciels de CAO nombreux et pointus. L'AIME, pôle régional du CNFM, est une plateforme dotée de moyens de CAO avec des logiciels professionnels et de moyens micro-nanofabrication en salle blanche. Nous proposons un large panel de formations basées sur la pratique. Ils visent à apporter aux étudiants un savoir-être, un savoir-faire, et en fonction des objectifs de formation, une culture expérimentale de micro-nanofabrication en technologie Si, de l'interdisciplinarité, des procédés alternatifs, etc... Les techniques de prototypage rapide par la photolithographie laser permettent de mettre en place des pédagogies actives de type apprentissage par projet, où l'étudiant conçoit et fabrique des circuits intégrés en technologie Si afin de répondre à un cahier des charges personnalisé.

La formation que nous proposons s'insère dans les cursus de formations de master ou d'ingénieurs électroniciens. En particulier, ces enseignements comprennent un volet de connaissances théoriques de la technologie des composants Silicium dans une approche pédagogique en grande autonomie grâce aux outils numériques de la plateforme Moodle (cours + autotests et évaluations). Un deuxième volet vise à permettre la mise en pratique de ces concepts à travers l'utilisation d'outils de CAO (modélisation et simulation d'une filière technologique et de ses composants, conception de circuits), et de réalisation technologique en salle blanche. Ces derniers sont accessibles au sein de l'AIME, plateforme technologique dédiée principalement à la formation. Jusqu'à présent, les travaux pratiques proposés étaient formatés et identiques pour l'ensemble des étudiants, et le lien entre la CAO et la réalisation pratique en salle blanche très indirect. Cette approche pédagogique s'appuie sur les nouvelles techniques de fabrication rapide et à façon, telle que la photolithographie laser. Cela ouvre la possibilité de réaliser un prototypage rapide en technologie Silicium et individualisé pour un groupe projet.

Nous décrivons ci-après la formation sous forme d'Apprentissage par Projet mêlant les aspects CAO et fabrication en salle blanche. Chaque paire de binôme d'étudiant recevra un cahier des charges, concernant la conception et la réalisation d'amplificateurs différentiels aux performances personnalisés. Après l'acquisition des connaissances théoriques via une plateforme moodle (cours en ligne, QCM, auto-évaluations, ...), la partie pratique du projet se déroulera en plusieurs phases au sein des salles de CAO et la salle blanche de l'AIME durant 2 semaines.

II. CAO - Simulation des process NMOS et PMOS sous SILVACO

- Objectif : extraire le modèle EKV des transistors.
- Outils : logiciels ATHENA, ATLAS ...

Dans un premier temps, les étudiants vont décrire avec le logiciel ATHENA le process NMOS/PMOS réalisé dans la salle blanche de l'AIME (Fig.1). A chaque étape, ils pourront extraire des valeurs clefs telles que les épaisseurs des couches, leurs résistivités, mobilités... Le logiciel ATLAS permettra de relever les paramètres électriques afin de compléter le modèle EKV reporté sous forme de fichier texte (Fig.2). De même des abaques électriques seront tracés sous ATLAS pour ensuite concevoir leur circuit.

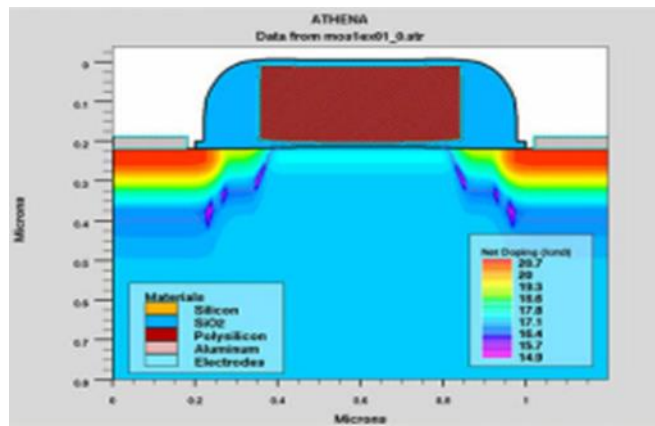


Fig.1. Modélisation d'un transistor NMOS réalisé dans la salle blanche de l'AIME.

Parameter	Description	Formula	NMOS	PMOS
μ_0	Mobility	$U_0 = \frac{1}{(\rho_{sub} \cdot N_A \cdot q)}$	472 cm ² V ⁻¹ .s ⁻¹	172 cm ² V ⁻¹ .s ⁻¹
T_{OX}	Gate oxide thickness	Measure directly	70e-9 m	70e-9 m
C_{OX}	Gate oxide capacitance	$C_{ox} = \frac{\epsilon_{ox}}{T_{ox}}$	0.047e-6 F/m ²	0.047e-6 F/m ²
Phi	Bulk Fermi potential	$Phi = 2 \cdot \left(\frac{KT}{q}\right) \ln\left(\frac{N_A}{n_i}\right)$	0.995 V	0.995 V
V_{t0}	Long-channel threshold voltage	Observation on abacs	1 V	-1.5 V
K_n/K_p	Transconductance parameter	$K_n = \frac{\epsilon_{ox}}{(U_0 \cdot T_{ox})}$	22e-6 A/V ²	8e-6 A/V ²
X_j	Junction depth	Measure on Tonyplot	1e-6 m	0.4e-6 m
Sub	Channel doping	10 ¹⁶ cm ⁻³	1e+16 cm ⁻³	1e+16 cm ⁻³
Gamma	Body effect parameter	$Gamma = \left(\frac{T_{ox}}{\epsilon_{ox}}\right) \sqrt{(2 \cdot \epsilon_i \cdot q \cdot N_A)}$	1.2V ^{0.5}	1.2V ^{0.5}
Lambda	Channel length modulation	Mathematic calculation	0.027	0.022

Fig.2. Paramètres du modèle EKV issu de la modélisation SILVACO des transistors NMOS de l'AIME

III. Conception d'un amplificateur différentiel aux performances personnalisées

- Objectif : modélisation et simulation du circuit
- Outils : logiciels ATLAS, CADENCE SPECTRE

Tous les amplificateurs différentiels seront constitués de 2 étages de gain suivis d'une sortie montée en source suiveuse avec un cahier des charges précis en termes de performances (gain, bande passante, consommation ou impédance de sortie (Fig.3 et 4). Les étudiants devront utiliser les composants intégrés qu'ils fabriqueront ensuite sur substrat silicium dans la salle blanche de l'AIME : i/ transistors MOS dont la longueur de canal vaut $L = 6 \mu\text{m}$ et la largeur W doit rester, pour la somme de tous les transistors N ou P, $\leq 1440 \mu\text{m}$; ii/ résistances de valeur $R = n \cdot 2,25 \text{ k}\Omega$, avec n un entier tel que la somme totale des résistances du circuit ne pourra pas excéder $2 \times 222,75 \text{ k}\Omega$. Chaque paire de binômes dimensionnera dans un premier temps son circuit « à la main » en utilisant pour ses calculs les paramètres du modèle EKV et des valeurs issues des abaques tracés

sous le logiciel ATLAS. Ensuite, les circuits seront affinés et validés avec le simulateur de circuits CADENCE SPECTRE utilisant le modèle EKV développé.

Parameter :	Value :
Gain	58.8 dB
BW	581.3 KHz
GBW	55.4 MHz
Consumption	303 μ A
Zout	1.5M Ω

Fig.3. Exemple de cahier des charges mettant la consommation faible comme priorité devant les 3 autres caractéristiques

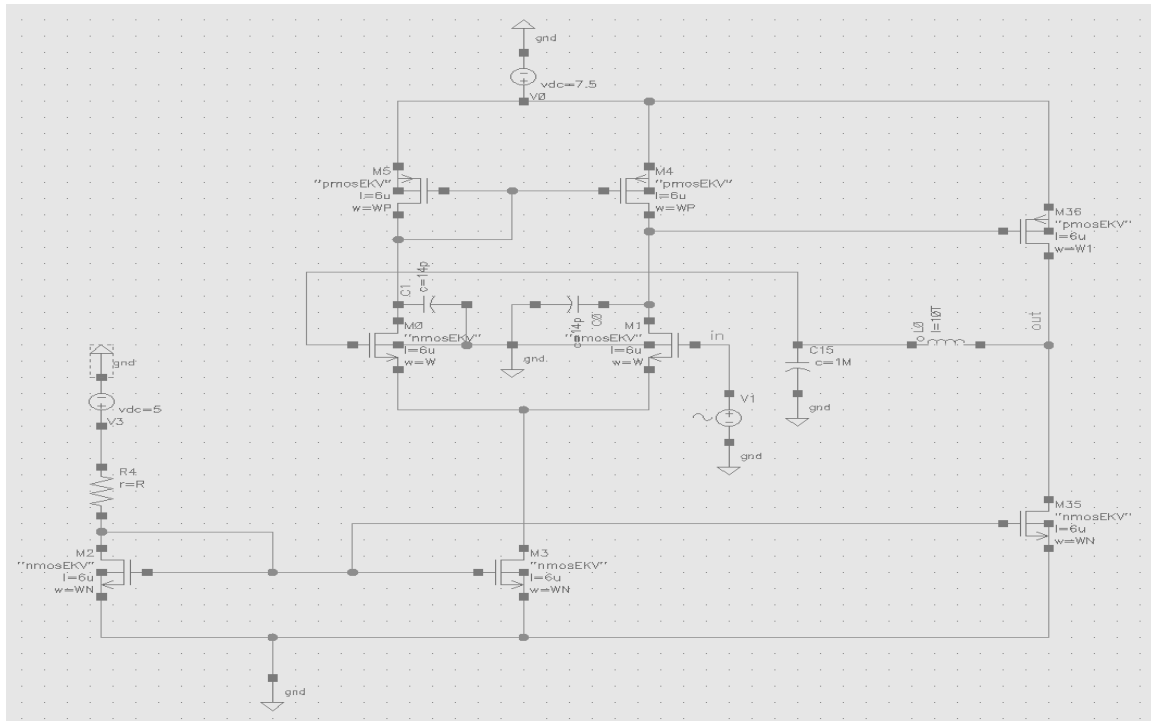


Fig.4. Amplificateur différentiel à un étage de gain et adaptateur d'impédance en sortie. Les valeurs des résistances et des largeurs de canaux des transistors sont mises en paramètres de manière à affiner leurs valeurs pour répondre à plusieurs cahiers des charges distincts

IV. CAO- Layout des parties NMOS et PMOS sous CADENCE à partir d'une base de données composants

- Objectif : modélisation et simulation du circuit
- Outils : logiciels CADENCE LAYOUT ...

Une bibliothèque dédiée sera créée sous Cadence Layout. Elle contiendra une cellule avec 3 niveaux de masque : l'ouverture de l'oxyde de masquage, le polysilicium et l'ouverture des contacts (Fig. 5). Ainsi, en personnalisant le 4ème niveau de masque qui est le niveau métal, les différentes résistances pourront être placées en série et/ou parallèle et les transistors en série et/ou parallèle. Chaque binôme d'étudiant pourra ainsi coller à la schématique Cadence Spectre (partie NMOS ou PMOS) afin de respecter le cahier des charges de l'amplificateur CMOS qui lui a été confié.

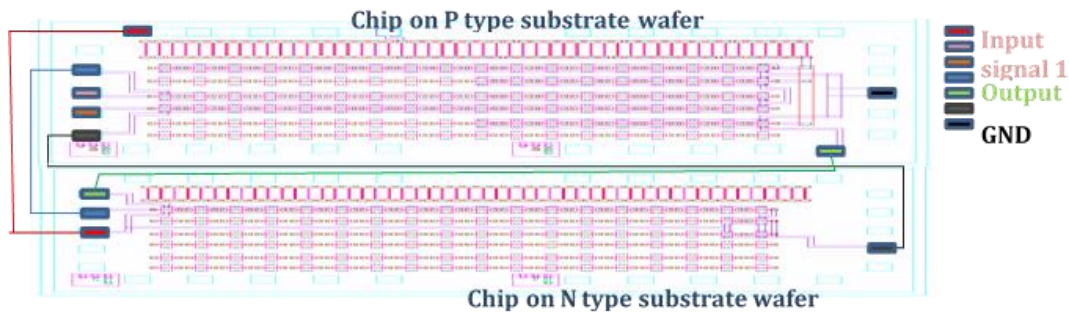


Fig.5. Vue Cadence de la superposition des 3 premiers masques physiques et le 4ème en lithographie laser qui correspond au métal de connexion et permet de personnaliser le circuit.

V. Salle blanche : Réalisation du circuit sur substrat silicium.

- Objectif : réalisation du circuit
- Outils : Moyens de fabrication en technologie Si, lithographie laser.

Le début du procédé de fabrication (correspondant aux 3 premiers niveaux de masque) est identique pour tous les étudiants. La 4ème lithographie, qui va associer la matrice de composants élémentaires (réalisés via les 3 premiers niveaux de masque) et qui va permettre de réaliser les différents circuits NMOS ou PMOS selon les designs définis dans les étapes de simulation - conception, se fera par lithographie laser à partir du fichier gds2 établi sous Cadence Layout (résultat de l'étape 3).

VI. Découpe, montage et test des circuits.

- Objectif : montage en boîtier et test du circuit
- Outils : outils de montage et caractérisations en salle blanche.

Un montage hybride sera ensuite réalisé par soudure au sein d'un boîtier permettant d'associer la partie NMOS avec la partie PMOS. Les étudiants devront réaliser l'ensemble des tests sur la puce (Fig.6) afin de qualifier le fonctionnement de leur circuit.



Fig.6. Montage de l'amplificateur CMOS hybride personnalisé de 2mm x 4mm sur support TO5.

VII. Rapport, présentation des résultats.

- Objectif : Analyser et présenter par écrit et à l'oral leurs réalisations

Chaque équipe projet devra faire l'analyse des résultats expérimentaux au regard du cahier des charges et des résultats de simulation. Leur rapport écrit et présentation orale devront présenter leurs travaux, les voies d'amélioration, les alternatives, etc.

L'évaluation sera faite au fil des étapes et selon le rendu final et leur analyse, à l'aide d'une grille critériée. Cette grille permettra d'évaluer les compétences acquises en Conception de Circuits Analogiques, sur le plan théorique et sur le plan expérimental, l'autonomie, le travail en équipe, la conduite de projet, la capacité d'initiative et à mobiliser des compétences variées, et enfin, l'acquisition d'un savoir-être et savoir-faire en salle blanche.

VIII. Perspectives.

Les techniques de photolithographie laser ouvrent de nouvelles perspectives en termes de pédagogie, en permettant aux étudiants de tester la solution technologie qu'ils ont conçue. Cette approche demande un travail en plus grande autonomie et doit amener l'étudiant à renforcer ses capacités d'analyse. Cette approche sera étendue à d'autres thématiques comme la microfluidique.

Remerciements

Les auteurs remercient le GIP-CNFM (Coordination Nationale de Formation en Micro-électronique et Nanotechnologies), les programmes IDEFI FINMINA ANR 2011 [1, 2] IDEFI DEFI-DIVERSITES ANR 2011, les Bonus Innovations Pédagogiques de Toulouse INP et le LABEX NEXT pour leurs contributions au financement de ces développements.

Références

1. GIP-CNFM : Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. *Website: <http://www.cnfm.fr>*
2. IDEFI-FINMINA : Initiative d'Excellence - Formation Innovante en Microélectronique et Nanotechnologies, ANR-11-IDFI-0017. *Website: <http://www.cnfm.fr/VersionFrancaise/actualites/FINMINA.html>*
3. IDEFI DEFI-DIVERSITES : Initiative d'Excellence - Déployer l'excellence en formation d'ingénieurs par et pour les DIVERSITES , ANR-11-IDFI-0012. *Website: <https://www.univ-toulouse.fr/des-formations-pour-tous/se-former-en-ingenierie-avec-toulouse-tech>*