



HAL
open science

Du silicium au circuit CMOS. Pédagogie active par Apprentissage Par Projet

H. Tap, R.P. Tan, O. Bernal, P-F. Calmon, C. Rouabhi, C. Capello, J.
Schauber, J-B. Lincelles, F. Gessinn, M. Caron, et al.

► **To cite this version:**

H. Tap, R.P. Tan, O. Bernal, P-F. Calmon, C. Rouabhi, et al.. Du silicium au circuit CMOS. Pédagogie active par Apprentissage Par Projet. Journal sur l'enseignement des sciences et technologies de l'information et des systèmes, 2024, 23, pp.1019. 10.1051/j3ea/20241019 . hal-04838433

HAL Id: hal-04838433

<https://hal.science/hal-04838433v1>

Submitted on 14 Dec 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Distributed under a Creative Commons Attribution 4.0 International License

Du silicium au circuit CMOS.

Pédagogie active par Apprentissage Par Projet

H. Tap^{a,b}, R.P. Tan^c, O. Bernal^{a,b}, P-F. Calmon^b, C. Rouabhi^c,
C. Capello^c, J. Schaubert^{c,d}, J-B. Lincelles^c, F. Gessinn^c, M. Caron^c, J. Harmel^c,
M. Respaud^{c,d}

^aÉcole nationale supérieure d'électrotechnique, d'électronique, d'informatique,
d'hydraulique et des télécommunications, INP, Toulouse, France

^bLaboratoire d'Analyse et d'Architecture des Systèmes - LAAS UPR 8001,
Toulouse, France

^cAtelier Interuniversitaire de Micro et Nano Electronique, pôle CNFM de Toulouse,
INSA, Toulouse, France.

^dDépartement de Physique, INSA, Toulouse, France

Contacts email : helene.tap@toulouse-inp.fr, tan@insa-toulouse.fr

L'objectif de cette formation est de proposer à des étudiants de niveau Master ou Ingénieur en Electronique un module complet allant de la modélisation d'une technologie CMOS 6 μm jusqu'au test d'un circuit analogique fabriqué en salle blanche, après une étape de conception et de simulation. En s'appuyant sur les méthodes d'Apprentissage Par Projet (APP) et de pédagogies actives, cette formation favorise l'apprentissage des outils et des méthodes de conception des circuits CMOS autour de la conception et de la réalisation concrète d'un amplificateur CMOS à 2 étages répondant à un cahier des charges précis. Tout au long de ce projet d'une durée totale de 10 journées, les étudiants organisés en groupe de 4 devront analyser et confronter leurs résultats de mesures à leur étude théorique et de conception assistée par ordinateur tant pour la partie technologique (caractérisation des capacités MOS, diodes, transistors MOS) que sur les performances des circuits CMOS (bande passante, gain, *slew rate*, offset, consommation, plage d'entrée, de sortie).

I. Introduction

La formation des futurs ingénieurs aux métiers des micro et nanotechnologies constitue un challenge excessivement difficile à relever, en raison de la grande variété des notions à aborder. Le plus souvent, la formation microélectronique s'appuie principalement sur l'apprentissage des bases de la théorie en physique du solide et des semi-conducteurs à base de Si, ainsi que de l'électronique des circuits intégrés. Ces bases théoriques étaient ensuite mises en pratique de manière séparée. D'une part, les aspects de la simulation et le design des composants, des circuits etc., sont abordés avec l'utilisation de logiciels spécialisés de conception assistée par ordinateur (CAO). D'autre part, il s'agit de confronter les étudiants avec la fabrication de composants au travers de stages en salle blanche, en suivant un protocole défini et identique pour l'ensemble des étudiants. Aujourd'hui, les techniques de photolithographie par écriture laser directe ouvrent la

possibilité de réaliser des composants et des circuits intégrés à façon ; ainsi, chaque étudiant peut personnaliser un design de circuit intégré par CAO, et le fabriquer, puis analyser le résultat. Cette approche s'adapte parfaitement aux pédagogies actives de type apprentissage par projet (APP), où l'étudiant doit répondre à un cahier des charges personnalisé en concevant et fabricant des circuits intégrés à l'aide de la technologie Si accessible dans la salle blanche utilisée. Ainsi, l'étudiant va directement mettre en œuvre le design qu'il aura défini en CAO préalablement. Cela se rapproche des méthodologies de travail dans leur futur métier d'ingénieur.

La formation que nous proposons s'insère dans les cursus de formations de master ou d'ingénieurs électroniciens. Nous décrivons ci-après le module développé sous forme d'Apprentissage par Projet mêlant une formation théorique (la technologie du silicium), des outils de CAO, puis de la fabrication de Circuits Intégrés (CI) en salle blanche en technologie CMOS. Chaque paire de binôme d'étudiants reçoit un cahier des charges qui porte sur les performances d'un Amplificateur OPérationnel (AOP) différentiel. Après l'acquisition des connaissances théoriques nécessaires via une plateforme *moodle* (cours en ligne, QCM, auto-évaluations, ...), la partie pratique du projet se déroule en plusieurs phases au sein des salles de CAO et la salle blanche de l'AIME durant 2 semaines.

II. CAO - Simulation des process NMOS et PMOS sous SILVACO

- Objectif : extraire le modèle EKV des transistors.
- Outils : suite logicielle SILVACO ATHENA, MATLAB

Dans un premier temps, chaque binôme simule avec le logiciel SILVACO ATHENA [1], respectivement le process NMOS ou PMOS qu'il aura à réaliser dans la salle blanche de l'AIME (Fig.1.). À chaque étape, ils doivent extraire les paramètres clés tels que les épaisseurs des couches, leurs résistivités, mobilités, qui seront ultérieurement vérifiés lors de la fabrication en salle blanche par des mesures et caractérisations aux différentes étapes (ellipsomètre ou profilomètre, profondeur de jonction, R/\square , etc.).

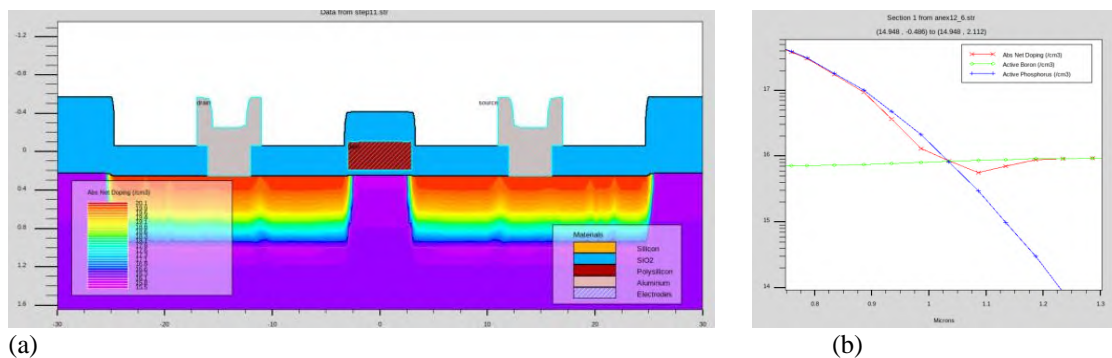


Fig.1. (a) Modélisation du profil de dopage en Phosphore d'un transistor NMOS réalisé dans la salle blanche de l'AIME. (b) Simulation de profondeur de jonction après redistribution.

Le logiciel SILVACO ATLAS permettra de relever les paramètres électriques afin de compléter le modèle EKV (voir Tableau I) reporté sous forme de fichier texte utilisé comme bibliothèque pour la simulation électrique du composant. De même, des abaques électriques seront tracés sous ATLAS, à comparer avec ceux tracés sous CADENCE Orcad [2] pour ensuite concevoir leur CI avec des performances conformes au cahier des charges.

Tableau I. Paramètres du modèle EKV issu de la modélisation SILVACO des transistors de l'AIME

Parameter	Description	Comment l'obtenir
R_{SH} (Ω/\square)	Drain or Source Sheet resistance	Extraction sous Athena
t_{ox} (m)	Gate oxide thickness	A mesurer avec TonyPlot
DL (m)	Channel length correction	A mesurer avec TonyPlot
X_j (m)	Junction depth	Extraction ou mesure
μ_0 ($cm^2.V^{-1}.s^{-1}$)	Carriers mobility	A mesurer avec TonyPlot
V_{t0} (V)	Long-channel transistor threshold voltage	Extraction sous Atlas
Lambda (V^{-1})	Channel length modulation	A extraire à l'aide d'une routine Matlab
C_{ox} (F/m^2)	Gate oxide capacitance	A calculer
Phi (V)	Bulk Fermi potential	A calculer
K_p (A/V^2)	Transconductance parameter	A calculer
Gamma ($V^{1/2}$)	Body effect parameter	A calculer
U_{CRIT} (V/m)	Longitudinal critical field	A calculer
Sub (cm^{-3})	Substrate doping	Donnée

L'extraction de la modulation de la longueur de canal (Paramètre Lambda) se fait à partir d'une petite routine Matlab (Fig. 2.) fournie aux étudiants.

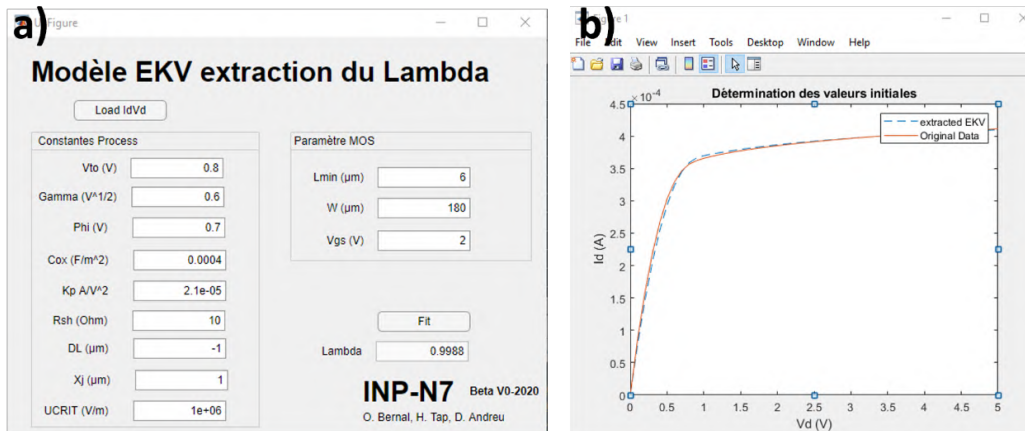


Figure 2 : a) Interface graphique Matlab permettant de rentrer les paramètres EKV; b) Comparaison du modèle EKV simulé avec les paramètres extraits et la simulation Silvaco

Ceux-ci l'utilisent pour extraire la valeur de Lambda à partir de la courbe simulée $I_d = f(V_d)$ pour différentes valeurs de V_g .

III. Conception d'un AOP différentiel aux performances personnalisées

- Objectif : modélisation et simulation du circuit
- Outils : logiciels Silvaco ATLAS, CADENCE Orcad

Tous les amplificateurs différentiels seront constitués de 2 étages (Fig. 3.) pour répondre à un cahier des charges précis en termes de performances (gain, bande passante, consommation ou impédance de sortie) (cf. Tableau II). Dans ce projet, chacun des 2 binômes constituant le groupe réalise un amplificateur complet, l'un avec une paire différentielle NMOS et l'autre en PMOS. Les étudiants doivent utiliser les composants intégrés qu'ils fabriqueront ensuite sur substrat silicium dans la salle blanche de l'AIME : i/ transistors NMOS/PMOS dont la longueur de canal vaut $L = 6 \mu\text{m}$. La largeur W doit rester, pour la somme de tous les transistors N ou P, inférieure à $1.440\mu\text{m}$;

Tableau II. Exemple de cahier des charges avec la comparaison Calculs/Simulation

	Cahier des Charges	Calculs	Simulation
Alimentation	5V	5V	5V
Produit Gain Bande	1 MHz	1 MHz	1.12 MHz
Slew Rate minimal	$\geq 1 \text{ V}/\mu\text{s}$	1.28 $\text{V}/\mu\text{s}$	1.4 $\text{V}/\mu\text{s}$
Gain	$\geq 50 \text{ dB}$	94.7 dB	94.7 dB
Marge de Phase	45°	70°	49°
Plage de sortie max	Rail-to-rail	4.78 V_{cc}	4.88 V_{cc}
Consommation	Minimale		280 μW

ii/ résistances de valeur $R = n \times 2,25 \text{ k}\Omega$, avec n un entier tel que la somme totale des résistances du circuit ne peut pas excéder $2 \times 222,75 \text{ k}\Omega$. Dans un premier temps, chaque paire de binômes dimensionne son circuit approximativement en utilisant pour ses calculs les paramètres du modèle EKV extrait et des valeurs issues des abaques tracés sous le logiciel ATLAS. Ensuite, les circuits sont affinés et validés avec le simulateur de circuits CADENCE Orcad utilisant le modèle EKV développé. Enfin, les performances des 2 amplificateurs seront comparées et celui présentant les meilleures performances sera réalisé.

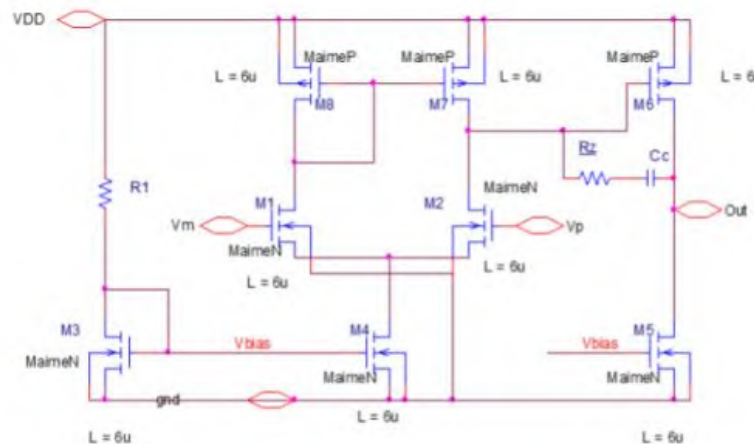


Fig.3. Amplificateur différentiel à deux étages. Les valeurs des résistances et des largeurs de canaux des transistors peuvent être modifiées de manière à répondre au cahier des charges.

IV. Réalisation du circuit sur substrat silicium

A/ Fabrication des plaquettes en salle blanche

- Objectif : réalisation du circuit
- Outils : Moyens de fabrication en technologie Si, lithographie laser.

Le début du procédé de fabrication (correspondant aux 4 premiers niveaux de masquage physique) est identique pour tous les étudiants et reprend la formation DTC4

déjà mis en place à l'AIME (cf. Fig.4.). Les étudiants commencent donc le procédé avec un substrat de départ de type P ou N selon qu'ils fabriquent des transistors de type N- ou P-MOS respectivement. Après les deux premiers niveaux communs pour tous (ouverture de zones actives et gravure de la grille de polysilicium), les plaquettes de type P sont diffusées au phosphore et celles de type N implantées au Bore. Toutes les plaquettes (P et N) sont ensuite encapsulées par un oxyde de protection (LTO) sur lequel un troisième niveau commun d'ouverture de contacts sera effectué. La 4^{ème} photolithographie permet de réaliser des connexions métalliques sur une matrice de composants tous interconnectés (résistances et transistors) (Fig.5 A.). Le dernier niveau (5^{ème}) est réalisé par lithographie laser. L'idée ici est de travailler de manière soustractive en supprimant certaines des connexions métalliques afin de garder le nombre de composants élémentaires connectés et répondant au cahier des charges. Ainsi, les W/L totaux des transistors NMOS ou PMOS seront en accord avec les designs définis dans les étapes de conception et de simulation.

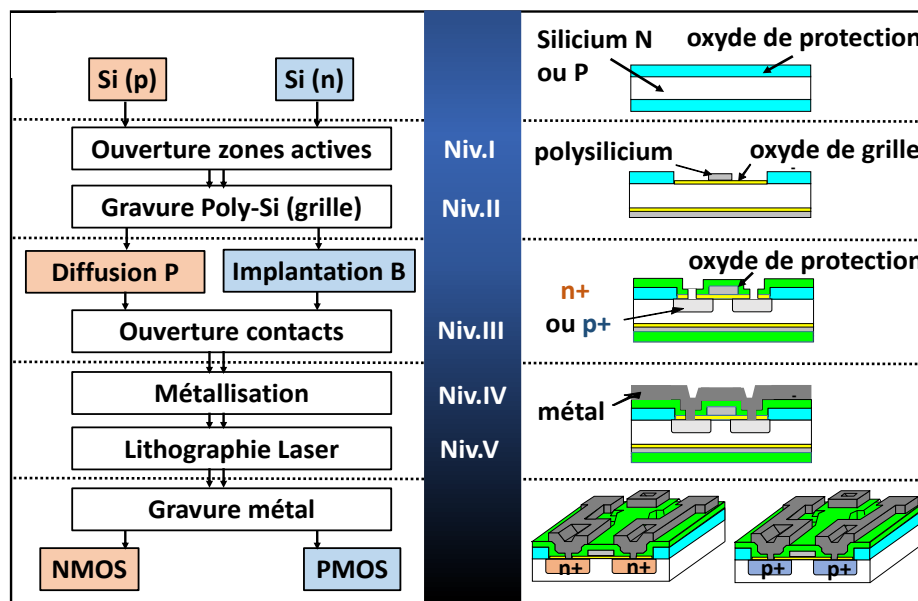


Fig. 4 : Procédé de fabrication des NMOS et PMOS.

B/ CAO-Layout des parties NMOS et PMOS sous KLAYOUT à partir d'une base de données composants.

- Objectif : modélisation et simulation du circuit
- Outils : logiciels KLAYOUT

Le 5^{ème} et dernier niveau est réalisé à façon pour chaque groupe d'étudiants. Cela nécessite la création de fichiers GDS établi sous le logiciel KLayout, dans lequel une librairie dédiée est fournie. Elle contient une cellule avec les 4 niveaux de masquage : l'ouverture de la zone active, le polysilicium, l'ouverture des contacts et la métallisation (Fig. 5.). Ainsi, en personnalisant le 4^{ème} niveau de masque qui est le niveau de métal, les différentes résistances et transistors pourront être placées en série et/ou parallèle. Chaque binôme d'étudiant réalise la partie NMOS ou PMOS qui lui a été confié, afin de respecter le cahier des charges de l'AOP CMOS.

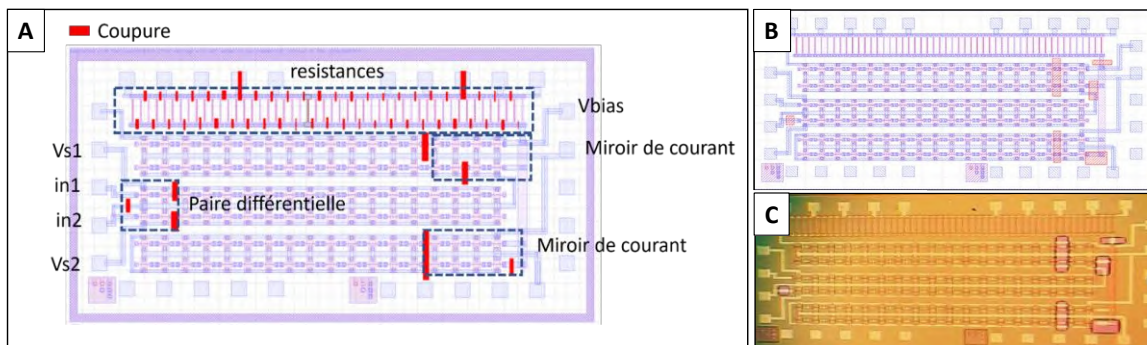


Fig. 5 : A/ Vue Klayout de la superposition des 4 premiers masques physiques. Le 5^{ème} masque métal de connexion est ensuite modifié avec la lithographie laser (en rouge) pour personnaliser le circuit. B/ exemple de GDS réalisé par des étudiants et C/ photographie de la puce après développement de la résine insolée par lithographie laser (suivant le GDS de B/)

L'ensemble des éléments étant connecté par défaut lors du 4^{ème} niveau, il s'agit de :

- 1/ insoler à l'aide de la lithographie laser des zones qui seront ouvertes après développement d'une résine photosensible,
- 2/ graver les lignes métalliques d'Al au niveau de ces ouvertures pour réduire le nombre d'éléments (résistances, transistors) au nombre strictement nécessaire, et ainsi répondre au cahier des charges (cf. Fig.5/C).

V. Découpe, montage et test des circuits.

- Objectif : montage en boîtier et test du circuit
- Outils : outils de montage et caractérisations en salle blanche.

Après obtention des plaquettes finalisées, les puces (N et P) sont découpées puis assemblées par soudure eutectique et micro-soudure au sein de 2 boîtiers distincts, l'un pour la partie NMOS et l'autre pour la partie PMOS (Fig.6A/-C.). Les 2 binômes d'étudiants doivent ensuite reconstituer l'AOP sur platine d'expérimentation (Fig.6/D.) afin de vérifier la fonctionnalité de leur circuit et de comparer les performances obtenues avec celles du cahier des charges et celles prévues par la simulation (Tableau III).

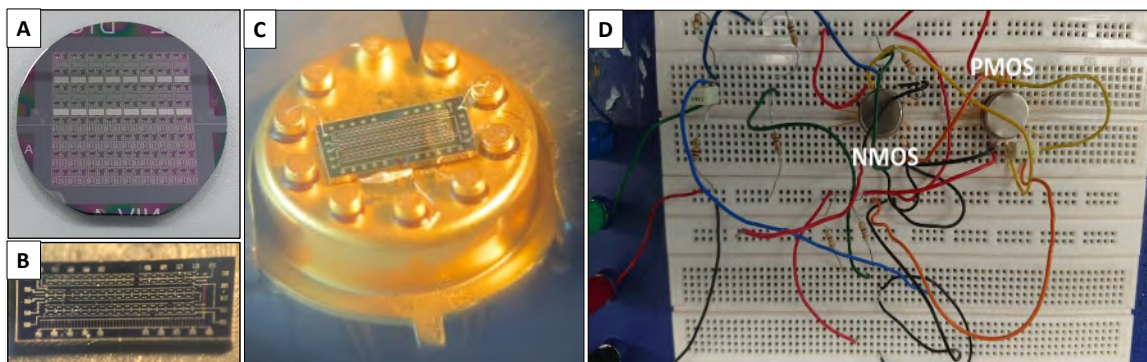


Fig. 6 : A/ Plaquette finale obtenue. B/ matrice de composants après découpe. C/ assemblage de la puce sur boîtier type TO. D/ Montage de la partie NMOS ou PMOS de l'AOP sur support TO8.

Tableau III : Test de l'AOP monté en suiveur sur platine d'expérimentation avec les 2 supports TO8 reconstituant l'AOP.

	Simulation	Mesure
Produit Gain Bande (MHz)	1.12	0.3
Slew Rate (V/ μ s)	1.4	0.21

VI. Rapport, présentation des résultats.

- Objectif : Analyser et présenter par écrit leurs réalisations

Chaque équipe projet doit finalement faire l'analyse des résultats expérimentaux obtenus au regard du cahier des charges et des résultats de simulation. Leurs rapports écrits présentent leurs travaux, les voies d'amélioration, les alternatives, etc.

L'évaluation est faite au fil des étapes et selon le rendu final et leur analyse, à l'aide d'une grille critériée. Cette grille permet d'évaluer finement les compétences acquises en conception de CI Analogiques, sur le plan théorique et sur le plan expérimental, l'autonomie, le travail en équipe, la conduite de projet, la capacité d'initiative et à mobiliser des compétences variées, et enfin, l'acquisition d'un savoir-être et savoir-faire en salle blanche.

VII. Retour d'expérience et améliorations

Les premiers retours sont extrêmement positifs et ont permis d'identifier quelques pistes d'amélioration après deux sessions de formation dispensées aux étudiants de l'ENSEEIH. En cas d'obtention d'amplificateurs finaux non fonctionnels, il est difficile de discriminer la source directe des problèmes, pouvant à la fois provenir d'un problème de manipulation (rayure, gravure ...), technique (appareillages, procédés...), ou de montage (tests électriques...). Nous avons donc récemment procédé à différentes améliorations et de simplifications du *process* qui seront appliquées pour les sessions ultérieures :

- similairement au procédé NMOS, nous avons mis en place une technique de diffusion thermique pour le bore (par source solide). Cela permet de pallier à d'éventuels dysfonctionnements de l'implanteur, et d'obtenir de manière simplifiée des zones dopées P (source, drain et grille) (cf. Fig.7A.).
- les designs des matrices de composants ont été simplifiés et comprennent un transistor discret « témoin » testé lors des tests électriques sur wafer pleine plaque. Ceci nous assure *a minima* que cette puce comprenant le circuit personnalisé, qui sera découpée puis montée, ne présente pas le défaut cité dans le point précédent (cf. Fig.7B.).
- un PCB dédié a été réalisé afin d'éviter les problèmes de montage sur les platines d'expérimentation. En outre, il y est possible de tester chaque étage des amplificateurs de manière indépendante, que ce soit pour les types P ou N (cf. Fig.7C.).

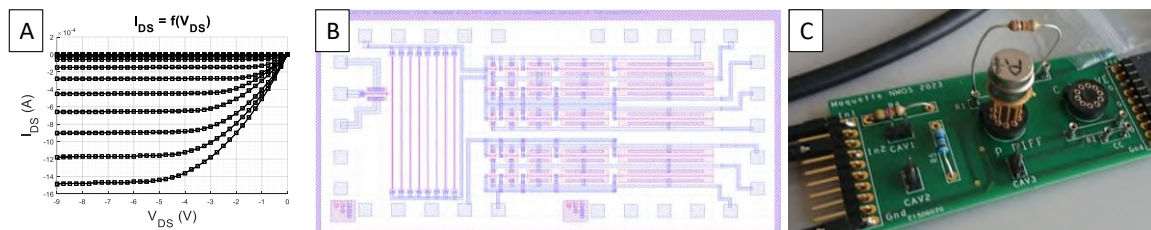


Fig.7. Modifications et améliorations apportées à la formation CMOS : A/ Caractéristiques $I(V_{DS})$ d'un PMOS obtenu par source solide ($V_G = [-9 \text{ V} : 0 \text{ V}]$) B/ matrice de composants destinés aux circuits étudiants personnalisés modifiée C/ PCB développé remplaçant l'association NMOS et PMOS sur platine d'expérimentation

VIII. Conclusion et perspectives

En conclusion, outre les avantages certains (de la conception à la réalisation de circuits personnalisés) que propose cette nouvelle formation mise en place à l'AIME, la technique de lithographie laser nous a permis d'accroître les compétences de nos étudiants, en leur permettant de fabriquer puis de tester la solution technologique qu'ils ont élaborée à partir d'un cahier des charges. Cette approche demande aux étudiants un travail en plus grande autonomie mais aussi, de se mobiliser et de renforcer leurs capacités d'analyse.

À moyen terme, la prochaine étape d'amélioration est la fabrication de CMOS sur substrat unique. Elle présentera de nombreux avantages, notamment d'un point de vue pédagogique. Cela permettra en effet aux étudiants de fabriquer des composants plus proches des technologies conventionnelles et industrielles, mais aussi de fabriquer simultanément, cette fois, les deux types de transistors (P et N) sur une même plaquette. Plusieurs verrous et contraintes sont à prendre en compte avant de mettre en place cette évolution :

- *Contraintes fonctionnelles et organisationnelles* : le procédé développé et proposé devra tenir sur deux semaines. Ceci impactera donc directement le design des composants, avec notamment le choix des équipements, techniques, disponibles à l'AIME, mais aussi le nombre de niveau de masquages etc.
- *Verrous technologiques* : les verrous technologiques majeurs auxquels nous nous confrontons concernent la gestion des dopages des différents caissons et sources/drains N et P, mais aussi des caissons profonds (n-well) dans lesquels viendront se loger les PMOS, et ce, encore une fois avec les moyens disponibles en salle banche à l'AIME. En outre, le procédé sera développé à la fois par diffusion thermique et par implantation ionique afin de proposer une solution dans le cas de la défaillance d'une de ces techniques de dopage.

Des tests préliminaires de diffusion ont permis de lever un premier verrou avec l'obtention de caissons profondément dopés avec des zones diffusés thermiquement ($\sim 2.5 \mu\text{m}$). Deux voies principales ont été à ce jour choisies : une stratégie avec grille métal et l'autre en polysilicium. La première approche est plus simple et bénéficie d'un niveau de masquage en moins (5 au total), et sera envisagée dans le cas de contrainte temporelle importante. La seconde, plus conventionnelle, est réalisée sur 6 niveaux de masquages et sera privilégiée notamment pour l'auto-alignement de la grille. Dans les deux cas, une alternative aux procédés d'implantation à travers des résines ou de dépôts d'oxyde/nitride jouant le rôle de barrières de diffusion consiste à procéder à des oxydations des zones successivement diffusées. Le développement du procédé, et en particulier les conditions de chaque étape thermique se fera pas à pas avec des simulations systématiques conduites en parallèle avec la CAO afin d'ajuster et d'optimiser au mieux les paramètres expérimentaux (profil/profondeur/concentration des zones dopées, durées des traitement thermiques redistribution ...).

Remerciements

Les auteurs remercient le GIP-CNFM (Coordination Nationale de Formation en Micro-électronique et Nanotechnologies) [3], les programmes IDEFI FINMINA ANR 2011 [4] IDEFI DEFI-DIVERSITES ANR 2011, le LABEX NEXT et l'EUR NanoX n°ANR-17-EURE-0009, ainsi que France 2030 et le projet ANR-23-CMAS-0024 INFORISM [5] pour son soutien financier et leurs contributions au financement de ces développements.

Références

1. M. Narayanan, H. Al-Nashash, Introducing undergraduate students to simulation of semiconductor doping techniques, *Computers & Electrical Engineering*, **35**(4), pp. 567-577 (2009).
2. <https://cadence-orcad-library-builder.updatestar.com/fr>
3. GIP-CNFM : Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. *Website: <http://www.cnfm.fr>*.
4. O. Bonnaud, FINMINA: A French National Project Dedicated to Educational Innovation in Microelectronics to Meet the Challenges of a Digital Society Smart Education and e-learning 2020, in V. Uskov, R. Howlett, L. Jain, (Eds. *Smart Innovation Systems and Technologies:188*), Springer Nature Singapore Pte Ltd. 2020, p.31, (2020).
5. INFORISM, Ingénierie de FORMations Innovantes et Stratégiques en Microélectronique, projet ANR-23-CMAS-0024-INFORISM au titre du programme France 2030. Ce projet à 5 ans démarre au cours de l'année académique 2023-2024.