



HAL
open science

Conception et Optimisation de Convertisseurs DC/DC à Fort Courant et Faible Tension de Sortie pour application spatial

Thomas Harmand

► To cite this version:

Thomas Harmand. Conception et Optimisation de Convertisseurs DC/DC à Fort Courant et Faible Tension de Sortie pour application spatial. Journées couplées du GDR SEEDS et de la conférence JCGE - Jeunes Chercheurs en Génie Electrique, GDR SEEDS, Jun 2024, 44490 Le Croisic, France. hal-04828327

HAL Id: hal-04828327

<https://hal.science/hal-04828327v1>

Submitted on 10 Dec 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Conception et Optimisation de Convertisseurs DC/DC à Fort Courant et Faible Tension de Sortie pour application spatial

Thomas Harmand

3D PLUS, France, ; Université Paris-Saclay, ENS Paris-Saclay, CNRS, SATIE, F-91190, Gif-sur-Yvette, France
 thomas.harmand@ens-paris-saclay.fr

RESUME – Cet article présente un convertisseur Space Point-Of-Load (S-POL) avec une architecture multi-niveau et multi-phases spécifiquement conçue pour répondre à la demande croissante d'alimentation non-isolée à courant élevé ($\geq 40A$) et faible tension ($\leq 1V$) de sortie pour le domaine spatial. Trouver et optimiser la topologie idéale pour répondre à des contraintes d'application spécifiques tout en minimisant les temps de développement est un problème souvent complexe. Une approche en trois étapes avec l'utilisation d'un algorithme génétique est donc proposée pour relever ces défis. Premièrement, une présélection de topologie est réalisée basée sur une étude de la littérature, puis les composants passifs des topologies sélectionnées sont optimisés (choix de l'inductance et de la valeur des capacités de sortie). Cette optimisation permet de comparer chaque topologie dans sa meilleure configuration. La topologie idéale et optimisée a ensuite été mise en œuvre expérimentalement afin d'évaluer ses performances.

MOTS-CLES – Conversion d'énergie DC-DC, circuit hybride à commutation de capacité, transistor GaN, Optimisation, Algorithme génétique

Introduction

Alors que l'industrie spatiale continue de consommer de plus en plus d'énergie, une architecture de distribution d'énergie efficace et fiable prend de plus en plus d'importance. L'introduction des transistors GaN a considérablement avancé la densité de puissance et les capacités de distribution d'énergie, les rendant particulièrement précieux dans ce domaine en raison de leur résistance aux radiations [1], [2], [3]. Cependant, la demande croissante en énergie pour des unités informatiques telles que les FPGA ou les processeurs nécessitant des courants élevés ($\geq 40A$) représente un défi significatif. Cela nécessite le développement de convertisseurs thermiquement efficaces et compacts. Cette étude se concentre sur le développement d'une nouvelle génération de convertisseurs POL à fort courant et faible tension, adaptés aux exigences spatiales (Tab. I).

Tableau 1. Spécification du convertisseur S-POL

V_{IN}	Tension d'entrée	[5 – 12]V
V_{OUT}	Tension de sortie	[0.6 – 1]V
V_{OUT_ACC}	Précision de la tension de sortie en statique	+/-1%
V_{OUT_TRS}	Variation de la tension de sortie en cas de transitoire de charge (30A, 2A/us)	+/-10%
I_{OUT}	Courant de sortie maximal	[0 – 40]A
η	Rendement à pleine charge	>90%
S	Surface total du convertisseur	<10cm ²

L'approche adoptée repose sur une topologie multi-niveau et multi-phases, exploitant les avantages des transistors GaN en mode de commutation dure[4], [5]. La Figure 1 compare différents convertisseurs POL en fonction de leur rendement maximal et de leur densité de courant de surface ($I_{out,max}/Surface$). Le groupe bleu représente des modules d'alimentation qualifiés pour les applications spatiales, le groupe vert se compose de convertisseurs disponibles pour les applications industrielles, et le groupe jaune représente la recherche académique [6], [7]. Cette comparaison exclut les modules de pré-régulation [PRM] et les modules de transformation de tension [VTM] Current Multiplier de Vicor, car un VTM seul peut pas réguler la tension de sortie. Chaque efficacité est mesurée à $V_{in} = 5V$, $V_{out} = 1V$, sauf pour les convertisseurs académiques, qui sont mesurés à $V_{in} = 48V$, $V_{out} = 1V$, et le régulateur Buck de Vicor, qui a $V_{in} = 8V$. La recherche académique se concentre sur une tension d'entrée de $48V$ pour des applications telles que datacenter (alimentation de processeur). Les convertisseurs académiques utilisent un refroidissement par air dans leur mesure de rendement, tandis que les autres n'ont que du refroidissement par conduction et convection naturelle. Le point violet représente les travaux du Centre de Recherche et Développement d'Airbus Defence and Space. Le S-POL présenté dans

cet article est représenté par le point rouge. Son efficacité maximale et son courant délivré sont mesurés sous refroidissement par convection naturelle sans aucun coussinet thermique.

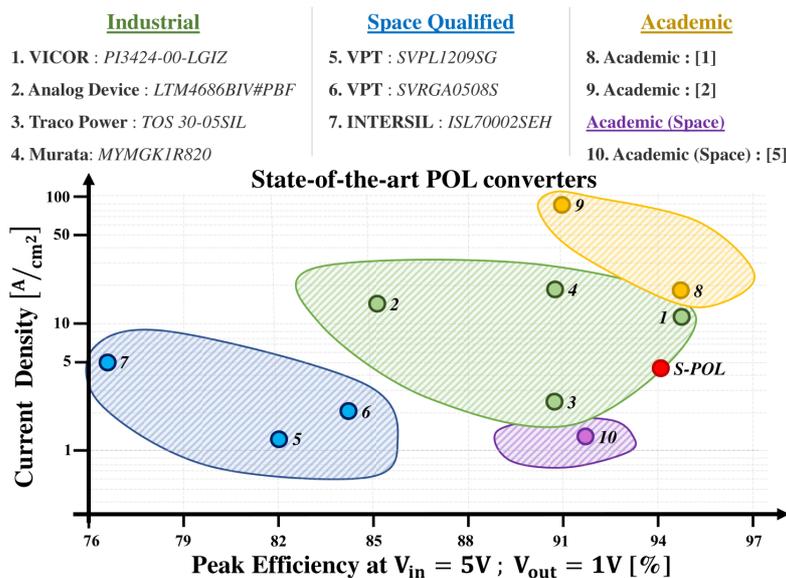


Figure 1 : Analyse comparative des convertisseurs POL de pointe : perspectives spatiales, industrielles et académiques

Cet article est organisé comme suit : La section II présente l'architecture de la cellule de puissance, mettant en évidence l'optimisation des composants passifs obtenue grâce à un algorithme génétique combiné à des simulations SPICE et à l'utilisation des données de pertes magnétiques fournies par Coilcraft. La section III présente les résultats expérimentaux du convertisseur. Enfin, la section IV conclut en discutant des avancées et en suggérant des améliorations futures.

Processus d'optimisation

2.1 Présélection de topologie

Il est crucial de présélectionner les topologies les plus adaptées à l'application cible afin d'assurer une optimisation pertinente et de gagner du temps dans la conception finale de la cellule de puissance [8], [9]. La première topologie choisie est le convertisseur Buck multiphase. Cette sélection fait suite à des études initiales réalisées sur un convertisseur Buck synchrone. La topologie multiphase est couramment utilisée pour les applications de régulateur VRM à courant élevé, basse tension et non isolées. Plusieurs variantes du convertisseur Buck multiphase ont été proposées dans la littérature, telles que le convertisseur Double Step-Down, qui implique l'insertion d'un condensateur en série entre les phases [4]. Cette addition offre deux avantages : diviser par deux la tension perçue par les transitoires côté élevé et distribuer les courants entre les phases sans les réguler via le contrôle [10]. Par conséquent, cette topologie est la deuxième sélection. Le troisième type de topologie étudié est la topologie à capacité commutées. Plusieurs variantes de celles-ci ont déjà été proposées dans la littérature [11], [12], [13]. Cependant, cette topologie est limitée en raison du rapport cyclique maximal, plafonné à 0,125. Pour obtenir une tension de sortie de 1V, une tension d'entrée minimale de 8V est requise, ce qui ne correspond pas aux spécifications ciblées. Malgré ses performances prometteuses, cette topologie est donc exclue. Les convertisseurs résonants comme les LLC sont exclus pour les raisons suivantes :

- Le convertisseur doit fonctionner à une fréquence proche de la résonance, ce qui empêche l'utilisation d'un contrôle purement non linéaire. La réponse pendant les transitoires de charge ainsi que la stabilité du convertisseur est donc dégradée.
- La sélection de l'inductance résonante est particulièrement complexe pour les applications impliquant des courants élevés, car tout le courant la traversera. Obtenir une valeur d'inductance suffisamment élevée pour éviter un courant de résonance excessif tout en limitant sa DCR peut être extrêmement compliqué.
- La résonance aide à éviter les pertes de commutation, mais celles-ci ne représentent qu'une fraction des pertes totales (moins de 30% dans l'application ciblée). Par conséquent, l'efficacité perdue en raison de la résonance n'est pas nécessairement récupérée par la commutation douce des transistors.
- Contrôler efficacement les transistors pour maximiser les avantages de la commutation douce nécessite l'utilisation de composants de contrôle performants (notamment des amplificateurs opérationnels avec un produit gain-bande passante significatif). Dans une application spatiale, cela n'est pas réalisable.

Les deux topologies sélectionnées sont donc le Buck multiphase (n phases), et le Double-Step Down Buck convertier (Fig. 2).

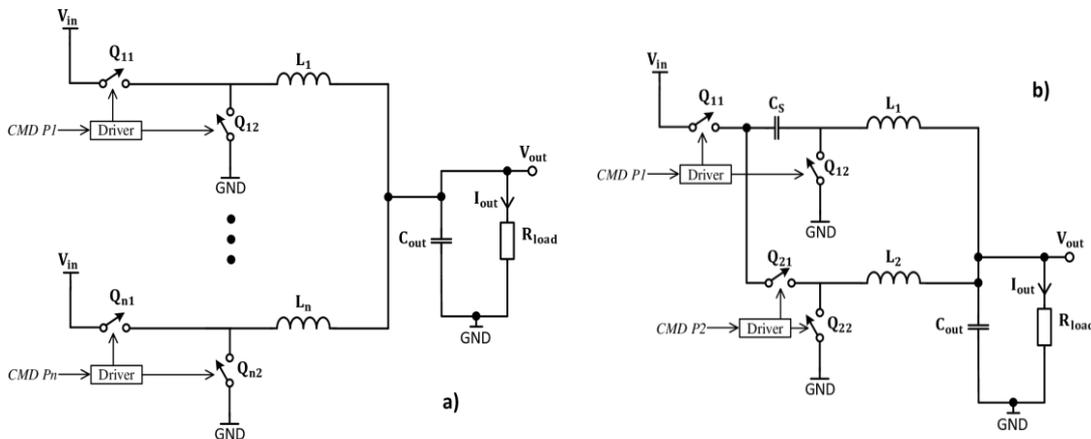


Figure 2 : Topologies présélectionnées : a) Convertisseur Buck multiphase (n phases), b) Convertisseur Buck à capacité série

2.2 Cartographie des pertes des transistors GaN

L'optimisation de la sélection de l'inductance (niveau composant) et de la valeur de la capacité de sortie ne peut être réalisée avec précision qu'en tenant compte des pertes dans les transistors GaN, la diode Schottky et les pilotes GaN. Étant donné qu'il a été choisi de fonctionner en commutation dur pour les raisons exposées dans l'introduction, l'ondulation de courant dans l'inductance affecte directement les pertes de commutation des transistors. De plus, le nombre de phases et de niveaux, qui varient en fonction de la topologie choisie, influent sur les pertes AC et DC de l'inductance ainsi que sur les pertes de commutation et de conduction des transistors GaN. Or, le calcul analytique des pertes de commutation des transistors GaN est complexe [14], [15].

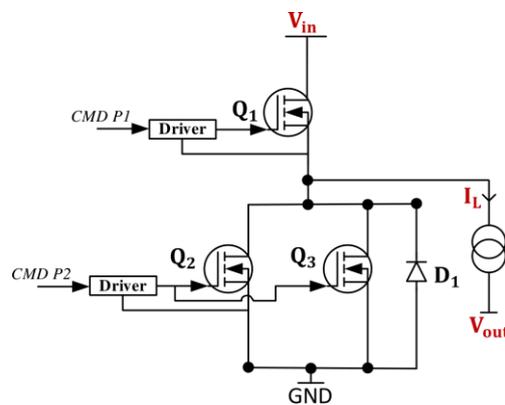


Figure 3 : Modèle de simulation d'un demi-pont utilisé pour générer une carte des pertes des transistors GaN basée sur le nombre de phases et le niveau de la topologie ainsi que l'ondulation du courant dans l'inductance.

Une méthode pour obtenir des résultats satisfaisants sur les pertes des GaNs, de la diode Schottky en parallèles des GaN Low-Side et des drivers GaN consiste à utiliser des simulations SPICE utilisant des modèles fournis par les fabricants (EPC pour les GaN, Texas Instrument pour les Drivers GaNs et Nexperia pour la diode Schottky). La diode Schottky en parallèle des GaN low-side permet de réduire de façon significative les pertes durant les temps morts. En effet lorsque les GaN sont ouvert, la tension en conduction inverse (Source-Drain) est de 1.7V, contre 300mV pour la diode Schottky, le placement de cette diode permet donc de réduire les pertes durant les temps morts de 400mW à 70mW à pleine charge. Cependant, un inconvénient de cette méthode est la durée des simulations, c'est pourquoi un modèle simplifié consistant en un bras unique (une phase) est proposé. Cette simplification permet de raccourcir le temps de simulation à environ 30 secondes sur une machine de puissance moyenne (16Gb RAM, i7-4700). Par conséquent, générer une carte d'un bras en quelques heures, en tenant compte de la tension perçue par les différents éléments, ainsi que le courant moyen et l'ondulation de courant est possible. Le choix des transistors utilisés et le nombre de transistors en parallèle impactent également significativement les pertes attribuées au GaN. Ceci pourrait être un paramètre supplémentaire à considérer dans la carte des pertes ; cependant, des contraintes internes et la réalisation d'un prototype préliminaire ont déjà facilité la sélection des transistors (EPC2015C), et le nombre de transistors en parallèle (un pour le high-side et deux en parallèle pour le low-side). Une fois toutes les simulations effectuées, il est possible de connaître les pertes gén+érées

par les transistors GaN et leurs drivers, ainsi que par la diode Schottky, en fonction de l'ondulation de courant (donc de la valeur de l'inductance), du nombre de phases et du nombre de niveaux de la cellule.

2.3 Optimisation des passifs de la cellule de puissance en utilisant un algorithme génétique

L'algorithme d'optimisation basé sur l'intelligence artificielle est au cœur de ce travail. Il est programmé en Python et repose sur la bibliothèque Pymoo [16]. Les algorithmes sont utilisés pour résoudre des problèmes d'optimisation complexes en imitant le processus de sélection naturelle. Pymoo est une bibliothèque Python conçue pour résoudre des problèmes d'optimisation multi-objectif. Elle implémente l'algorithme NSGA-II (Non-dominated Sorting Genetic Algorithm II). NSGA-II est un algorithme génétique efficace pour résoudre des problèmes d'optimisation multi-objectif avec des contraintes.

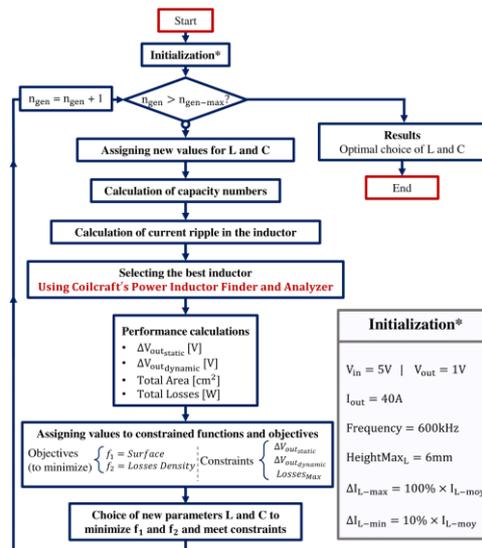


Figure 4 : Organigramme de l'algorithme génétique utilisé pour l'optimisation de la sélection de l'inductance et de la valeur des capacités de sortie.

Le fonctionnement de ce type d'algorithme consiste à définir plusieurs objectifs et contraintes. Dans le cas étudié, les objectifs sont de minimiser la surface totale occupée par la cellule de puissance ainsi que sa densité de perte. En même temps, les contraintes qui doivent être respectées comprennent l'ondulation de tension de sortie dans les états statique et dynamique et la valeur maximale de perte correspondant à un rendement de 90% au point de fonctionnement où $I_{out} = I_{max} = 40A$. Ce travail se concentre sur l'optimisation de la sélection de l'inductance(s) de la cellule de puissance et de la valeur des capacités de sortie. La fréquence est considérée comme fixe à 800 kHz. Cette fréquence est déterminée par la réalisation d'un prototype précédent, qui a démontré les avantages de fonctionner à cette fréquence avec les transistors GaN utilisés. Cependant, inclure ce paramètre dans le processus d'optimisation serait une amélioration.

Le fonctionnement de l'algorithme proposé est le suivant : À chaque itération, l'algorithme sélectionne une valeur pour l'inductance et les capacités de sortie. L'ondulation du courant est calculée en fonction de la tension d'entrée (nombre de niveaux) et de la valeur de l'inductance. En utilisant les valeurs de courant de sortie et l'ondulation de courant, l'algorithme FBI (Find Best Inductor) utilise l'outil « Power Inductor Finder and Analyzer » disponibles sur le site Web de Coilcraft pour choisir l'inductance qui répond aux critères de perte totale (perte générée par l'inductance (AC + DC) et pertes générées par les transistors GaN, les diodes et les drivers GaN au point de fonctionnement). Si plusieurs inductances répondent à ce critère de perte, l'algorithme sélectionne celle ayant la plus petite surface. Ensuite, la surface occupée par les condensateurs de sortie est ajoutée à celle occupée par l'inductance(s). Les différents paramètres calculés et déterminés à l'aide de l'outil fourni par CoilCraft sont ensuite introduits dans l'algorithme génétique pour proposer une meilleure configuration L/C à la prochaine itération. Après 1000 itérations, l'algorithme converge vers une inductance et une valeur de capacité de sortie spécifiques. Cette optimisation ne prend pas seulement en compte une inductance réelle, mais considère également l'influence de l'ondulation du courant sur les pertes du reste de la cellule (driver, transistors GaN, diode Schottky).

L'un des défis associés à l'utilisation d'un algorithme génétique est de visualiser et de déterminer le résultat "optimal". Une stratégie courante est de tracer une ligne diagonale $x = y$, ce qui implique que les deux fonctions minimisées ont un poids égal dans le processus d'optimisation. Dans l'étude de cas présentée ici, la paire optimale (L, C) sera déterminée en fonction des critères énoncés dans l'introduction. Autrement dit cela implique de tracer le front de Pareto suivant : Surface totale occupée versus rendement de la cellule de puissance. Puis, le résultat qui offre la plus petite surface pour une configuration qui atteint un rendement supérieur à 90% est sélectionné. L'inductance optimale pour un nombre donné de

phases et de niveau donné est ensuite obtenue. Il est alors possible de comparer les efficacités et les surfaces occupées des topologies présélectionnées.

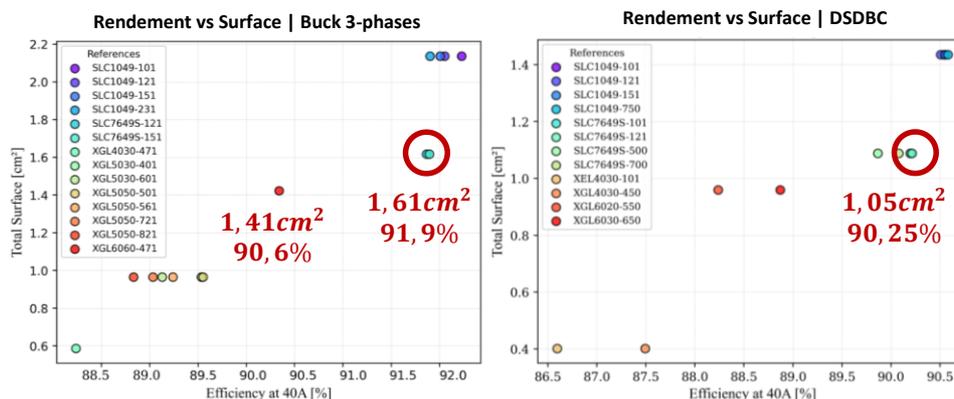


Figure 5 : Résultats d'optimisation du Buck 3-phases versus de la topologie DSDBC

L'optimisation des différentes topologies présélectionnées permet de choisir la topologie Double-Step Down convert pour notre application. C'est la topologie qui permet d'obtenir la plus petite surface tout en respectant les critères de pertes. C'est donc cette topologie qui est réalisée expérimentalement.

Implémentation expérimentale

Dans les mesures suivantes, le terme "cellule de puissance" comprend les levels-shifters, les drivers GaN, les transistors GaN, les inductances, les capacités d'entrée et de sortie, ainsi que l'alimentation électrique du driver haute tension en phase un. La consommation électrique de la carte de commande, qui varie de 120 mW ($V_{in} = 5V$) à 250 mW ($V_{in} = 9V$), n'est pas prise en compte dans les calculs d'efficacité. La régulation et la mesure du courant de sortie (I_{out}) sont facilitées par une charge électronique (EL34243A de Keysight). La tension d'entrée est quantifiée à l'aide d'un voltmètre (34461A de Keysight) aux bornes des capacités d'entrée, tandis que la tension de sortie est mesurée aux bornes des capacités de sortie, également à l'aide d'un voltmètre (34461A de Keysight). La cellule de puissance est conçue pour fonctionner à une fréquence de 800 kHz. Cependant, la fréquence du convertisseur varie entre 650 kHz et 850 kHz, selon le point de fonctionnement (le contrôle est non-linéaire).

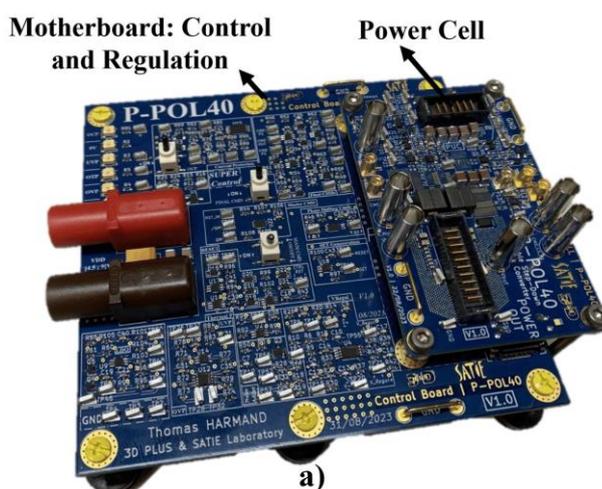


Figure 6 : Photographie du prototype expérimental (a). La carte mère, comprenant le contrôle analogique, est située sur la carte inférieure, tandis que la carte fille (carte supérieure) intègre la cellule de puissance.

Les temps morts et les résistances de grille des transistors ont été optimisés ($t_{DT} = 10 ns$). La figure 7 compare l'efficacité à $V_{in} = 5V$ et $V_{out} = 1V$ pour le convertisseur S-POL d'autres convertisseurs tolérants aux radiations ayant une efficacité connue. Un test de charge transitoire est effectué pour valider les performances dynamiques du convertisseur. Lorsqu'un transitoire de courant de sortie de 0 à 40A (à raison de 2A/ μs) est appliqué, la tension de sortie

diminue de 75 mV, ce qui correspond à une baisse de 7,5 % de V_{out} . Le convertisseur S-POL surpasse les autres convertisseurs POL tolérants aux radiations en termes d'encombrement, d'efficacité et de réponse aux transitoires de charge. Ses performances sont très satisfaisantes.

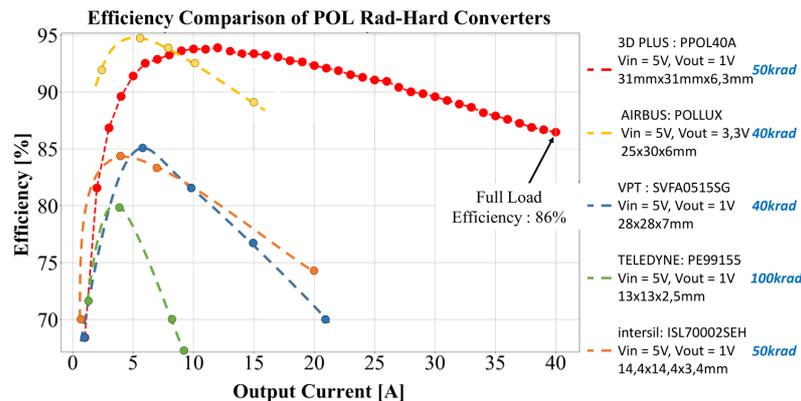


Figure 7 : Analyse comparative de l'efficacité des convertisseurs S-POL par rapport aux convertisseurs tolérants aux radiations pour des conditions de fonctionnement $V_{in} = 5V$ et $V_{out} = 1V$.

Conclusion

Cette étude examine la conception et l'évaluation des performances d'un nouveau convertisseur POL spécifiquement conçu pour répondre aux exigences exigeantes des applications spatiales. L'architecture de la cellule de puissance a été optimisée à l'aide d'un algorithme génétique et validée par des simulations SPICE. La validation expérimentale a démontré de bonnes performances, le convertisseur S-POL atteignant une efficacité maximale de 94 % dans des conditions de refroidissement par convection naturelle. De plus, une comparaison présentée dans la Figure 7 met en évidence le positionnement compétitif du convertisseur S-POL dans le paysage des convertisseurs POL rad-tolérant. Néanmoins, il existe plusieurs pistes d'amélioration, telles que l'utilisation d'une inductance couplée (potentiellement planar), pour améliorer la compacité et l'efficacité du S-POL. L'utilisation de driver GaN intégré pourrait également faciliter la conception du convertisseur et améliorer la fiabilité du système. De plus, l'exploration de la mise en œuvre d'une opération parallèle intelligente pour ce convertisseur serait pertinente, dans le but d'augmenter le courant maximal fourni.

Références

- [1] K. LaBel, « Radiation Effects on Electronics 101 », *Radiat. Eff.*, p. 69, 2004.
- [2] S. J. Pearton, Y.-S. Hwang, et F. Ren, « Radiation Effects in GaN-Based High Electron Mobility Transistors », *JOM*, vol. 67, n° 7, p. 1601-1611, juill. 2015, doi: 10.1007/s11837-015-1359-y.
- [3] A. Lidow, J. Strydom, M. D. Rooij, et D. Reusch, « GaN Transistors for Efficient Power Conversion ».
- [4] K. Nishijima, K. Harada, T. Nakano, T. Nabeshima, et T. Sato, « A double step-down two-phase buck converter for VRM », in *2005 European Conference on Power Electronics and Applications*, Dresden, Germany: IEEE, 2005, p. 8 pp.-P.8. doi: 10.1109/EPE.2005.219347.
- [5] K. Nishijima, K. Harada, T. Nakano, T. Nabeshima, et T. Sato, « Analysis of Double Step-Down Two-Phase Buck Converter for VRM », in *INTELEC 05 - Twenty-Seventh International Telecommunications Conference*, Estrel Hotel, Berlin, Germany: IEEE, sept. 2005, p. 497-502. doi: 10.1109/INTLEC.2005.335149.
- [6] M. H. Ahmed, C. Fei, F. C. Lee, et Q. Li, « Single-Stage High-Efficiency 48/1 V Sigma Converter With Integrated Magnetics », *IEEE Trans. Ind. Electron.*, vol. 67, n° 1, p. 192-202, janv. 2020, doi: 10.1109/TIE.2019.2896082.
- [7] J. Baek *et al.*, « Vertical Stacked LEGO-PoL CPU Voltage Regulator », *IEEE Trans. Power Electron.*, vol. 37, n° 6, p. 6305-6322, juin 2022, doi: 10.1109/TPEL.2021.3135386.
- [8] M. Chen, S. Jiang, J. A. Cobos, et B. Lehman, « Design Considerations for 48-V VRM: Architecture, Magnetics, and Performance Tradeoffs », in *2023 Fourth International Symposium on 3D Power Electronics Integration and Manufacturing (3D-PEIM)*, Miami, FL, USA: IEEE, févr. 2023, p. 1-9. doi: 10.1109/3D-PEIM55914.2023.10052608.
- [9] J. W. Kwak et D. Brian Ma, « Comparative Topology and Power Loss Analysis on 48V-to-1V Direct Step-Down Non-Isolated DC-DC Switched-Mode Power Converters », in *2020 IEEE Energy Conversion Congress and Exposition (ECCE)*, Detroit, MI, USA: IEEE, oct. 2020, p. 943-949. doi: 10.1109/ECCE44975.2020.9235451.
- [10] P. S. Shenoy *et al.*, « Automatic current sharing mechanism in the series capacitor buck converter », in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Montreal, QC, Canada: IEEE, sept. 2015, p. 2003-2009. doi: 10.1109/ECCE.2015.7309943.
- [11] P. Assem, W.-C. Liu, Y. Lei, P. K. Hanumolu, et R. C. N. Pilawa-Podgurski, « Hybrid Dickson Switched-Capacitor Converter With Wide Conversion Ratio in 65-nm CMOS », *IEEE J. Solid-State Circuits*, vol. 55, n° 9, p. 2513-2528, sept. 2020, doi: 10.1109/JSSC.2020.3004256.
- [12] Y. Chen, D. M. Giuliano, et M. Chen, « Two-Stage 48V-1V Hybrid Switched-Capacitor Point-of-Load Converter with 24V Intermediate Bus », in *2020 IEEE 21st Workshop on Control and Modeling for Power Electronics (COMPEL)*, Aalborg, Denmark: IEEE, nov. 2020, p. 1-8. doi: 10.1109/COMPEL49091.2020.9265715.
- [13] M. Halamicek, T. McRae, et A. Prodic, « Cross-Coupled Series-Capacitor Quadruple Step-Down Buck Converter », in *2020 IEEE Applied Power Electronics Conference and Exposition (APEC)*, New Orleans, LA, USA: IEEE, mars 2020, p. 1-6. doi: 10.1109/APEC39645.2020.9124412.
- [14] M. Koszel et P. Grzejszczak, « Power loss estimating in GaN E-HEMT based synchronous buck-boost converter », in *2020 Progress in Applied Electrical Engineering (PAEE)*, Koscielisko, Poland: IEEE, juin 2020, p. 1-6. doi: 10.1109/PAEE50669.2020.9158576.
- [15] R. A. Mdanat, S. Saeed, R. Georgious, et J. Garcia, « Analytical Power Loss Model for GaN transistors », in *2021 IEEE Vehicle Power and Propulsion Conference (VPPC)*, Gijon, Spain: IEEE, oct. 2021, p. 1-6. doi: 10.1109/VPPC53923.2021.9699229.

- [16] J. Blank et K. Deb, « Pymoo: Multi-Objective Optimization in Python », *IEEE Access*, vol. 8, p. 89497-89509, 2020, doi: 10.1109/ACCESS.2020.2990567.