



HAL
open science

Amplificateur de puissance en technologie CMOS 28 nm pour radar automobile

Oumayma Belkhadra, Gilles Montoriol, Emmanuel Pistono, Florent Cilici,
Manuel Barragan, Salvador Mir, Sylvain Bourdel

► **To cite this version:**

Oumayma Belkhadra, Gilles Montoriol, Emmanuel Pistono, Florent Cilici, Manuel Barragan, et al..
Amplificateur de puissance en technologie CMOS 28 nm pour radar automobile. XXIIIèmes Journées
Nationales Microondes (JNM 2024), Jun 2024, Antibes Juan-les-Pins, France. hal-04790164

HAL Id: hal-04790164

<https://hal.science/hal-04790164v1>

Submitted on 19 Nov 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Distributed under a Creative Commons Attribution - NonCommercial 4.0 International License

Amplificateur de puissance en technologie CMOS 28 nm pour radar automobile

Oumayma Belkhadra^{1,2}, Gilles Montoriol¹, Emmanuel Pistono², Florent Cilici¹,
Manuel J. Barragan², Salvador Mir² and Sylvain Bourdel²

¹NXP SEMICONDUCTORS, Toulouse, France

²Univ. Grenoble Alpes, CNRS, Grenoble INP, TIMA, F-38000 Grenoble, France
oumayma.belkhadra_1@nxp.com

Résumé — Un amplificateur de puissance à 4 voies fonctionnant à 79 GHz, et implémenté en technologie CMOS 28 nm est présenté dans cet article. L'architecture du PA a été choisie de telle manière à maximiser la PAE. Chaque PA unitaire est composé de 3 étages. Pour chaque étage, un pre-driver est d'abord implémenté en topologie de cascode neutralisé, suivi de deux étages montés en source commune. Les simulations post-layout permettent d'espérer les performances suivantes : un gain en puissance G_p de 21 dB, une puissance de sortie de saturation P_{sat} de 18.2 dBm, et une puissance à 1 dB de compression de 14 dBm. Les performances de ce PA offrent un bon compromis entre la puissance consommée, la taille de la puce et la puissance de sortie. A la connaissance des auteurs, le PA proposé offre la meilleure PAE comparativement à l'état de l'art des technologies CMOS inférieures à 65 nm dédiées aux applications du radar automobile.

1. Introduction

Les technologies CMOS sont connues par leur haut niveau d'intégration, ce qui leur confèrent la possibilité d'être largement utilisées dans les applications de radar automobile. Cependant, les faibles valeurs de tension de seuil du transistor, et de F_{max} limitent le gain en puissance et la P_{out} du PA. Afin de remédier à ce problème, trois techniques sont adoptées dans la littérature. En premier lieu, les transistors à largeur W élevée augmentent le courant de sortie du PA, au détriment de la complexification de l'adaptation d'impédance, l'augmentation de la capacité parasite, des pertes d'insertion, ainsi que de l'espace occupé. En second lieu, malgré le fait que l'approche des FET stackés décrite dans [1] [2], permet d'augmenter considérablement la tension de sortie par rapport à la tension de seuil, elle réduit le gain et la PAE à cause des capacités à la masse. En troisième lieu, la technique de combinaison de puissance à base de transformateurs intégrés [3] est largement utilisée grâce à sa compacité et à ses pertes d'insertion minimales, offrant la meilleure solution pour à la fois réduire le ratio de transformation d'impédance tout en augmentant l'impédance de charge de sortie [4]. L'augmentation du nombre de voies combinées d'un PA augmente la puissance de sortie et l'impédance de charge. Ce-

pendant, afin de minimiser le déséquilibre de phase entre les PAs unitaires, le nombre de voies combinées doit être défini attentivement. Pour toutes ces raisons, ce travail se focalise sur un PA à 4 voies unitaires.

L'architecture des composants actifs joue un rôle crucial dans l'optimisation des performances du PA, qui peuvent varier selon les objectifs de conception de chaque circuit. Les architectures fréquemment utilisées incluent les topologies cascode et source commune neutralisées (NCA et NCS, respectivement) [5] [6] [7] [8]. La topologie NCA garantit un gain en puissance élevé avec une bonne isolation entre le signal d'entrée et celui de sortie. La topologie bootstrap à cascode Neutralisé NBCA augmente le gain en puissance ainsi que la puissance de sortie tout en maintenant la stabilité [7]. De nombreuses configurations des étages du PA sont possibles, comme c'est le cas de deux étages NCS suivis d'une topologie NCA, permettant d'atteindre un gain de 29.7 dB et un PAE de 22.1 % [8]. Pour une meilleure stabilité, la topologie CS avec dégénérescence inductive de la source du transistor est présentée dans [9]. Finalement, dans [5], une architecture avec 2 étages NBCA démontre le meilleur PAE de 22.3 % comparativement aux amplificateurs à 4 voies combinées implémentés en bande E.

Dans ce travail de recherche, une nouvelle configuration d'amplificateur unitaire (UA) est proposée. Elle est composée d'un NCA suivi de 2 étages NCS. Ce travail est focalisé sur la conception d'un PA à 4 voies en technologie CMOS 28 nm, utilisant 3 couches de métaux épais. La topologie NCS est adoptée pour les étages driver et de sortie afin de maximiser la PAE. L'étage pre-driver est réalisé avec une architecture NCA afin de palier aux exigences liées à la faible puissance et au ratio de transformation d'entrée.

Ce travail propose le 1^{er} PA dans la littérature, constitué de 4 voies, dont chacune implémentée en topologie NCA suivie d'un étage driver et de sortie en NCS. Le PA proposé atteint des performances simulées prometteuses comme c'est le cas de la PAE de 22.8 %, G_p de 21.6 dB et P_{sat} de 18.2 dBm à 80 GHz. Dans la suite du papier, le chapitre II décrit l'architecture du PA, incluant le combineur et diviseur de puissance. Au chapitre III, les données simulées sont comparées à l'état de l'art des amplificateurs

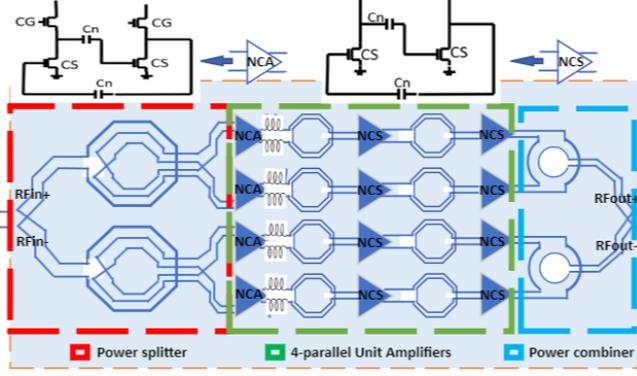


FIGURE 1. Schéma du circuit du PA proposé.

de puissance implémentés en technologies inférieures à 65 nm et fonctionnant à une fréquence supérieure à 60 GHz. Finalement, les conclusions ainsi que les perspectives sont données en section IV.

2. Conception de l'amplificateur de puissance

Le PA proposé à la fig.1, est conçu en technologie CMOS 28nm. C'est un amplificateur de puissance adapté 50Ω à l'entrée, à 4 voies combinées identiques, adoptant une architecture pseudo-différentielle. Son architecture pseudo-différentielle minimise sa sensibilité aux retours de masse en présentant des masses dynamiques [15].

2.a. Conception d'un PA unitaire

Chaque voie est un amplificateur unitaire à 3 étages. Afin d'atteindre un rendement maximal, les 2 derniers étages sont implémentés en configuration NCS. Comme expliqué dans [5], la topologie CS offre un gain en puissance trop faible, comparé à la topologie CA. Pour cela, des capacités de neutralisation sont utilisées pour améliorer le gain en puissance en compensant la capacité C_{gd} . Cependant, une capacité de neutralisation élevée génère une oscillation du PA, et dégrade considérablement l'impédance de source [10] Z_s du transistor. Ceci augmente le ratio de transformation d'impédance au niveau de l'inter-étages, ce qui dégrade considérablement les pertes d'insertion. Pour toutes ces raisons, il est nécessaire de choisir soigneusement la valeur de cette capacité de neutralisation pour un meilleur compromis entre la stabilité et l'impédance d'entrée d'une part, et le gain en puissance d'autre part. De surcroît, une valeur de capacité de neutralisation optimale contribue à l'unité du système, qui s'avère nécessaire, surtout en fréquences millimétriques. Une analyse comparative basée sur des simulations de loadpull a été réalisée pour chacun des 2 étages de l'amplificateur unitaire. Les résultats montrent que l'utilisation de la topologie NCS à la fois pour l'étage driver et celui de sortie permet d'avoir la meilleure PAE.

L'inconvénient majeur d'une topologie NCS est son impédance de source faible. Tant que la valeur de la capacité de neutralisation augmente, la valeur de cette impédance diminue. Pour cela et afin de minimiser les pertes d'insertion du diviseur de puissance d'entrée et réduire le

ratio de transformation d'impédance, un étage pré-driver implémenté en topologie NCA a été rajouté. L'avantage de la topologie NCA réside dans son impédance d'entrée qui est 2 fois plus élevée comparativement à la topologie CS. De surcroît, le rendement du premier étage a un impact négligeable sur le rendement global de l'UA comme le montre l'équation :

$$PAE_{UA} = \frac{G_3 Loss_2 Loss_1 G_2 - 1/G_1}{1/DE_1 + (Loss_1 G_2)/DE_2 + G_3 Loss_1 Loss_2 G_2/DE_3} \quad (1)$$

tel que les indices $i = 1, 2, 3$ font référence à la numérotation des étages dans un UA : 1 désigne l'étage pré-driver NCA, 2 pour l'étage driver et 3 pour l'étage de sortie. G_i et DE_i désignent respectivement le gain en puissance et le rendement drain, tandis que $Loss_i$ représentent les pertes du $i^{ème}$ inter-étages d'adaptation d'impédance. Afin de maximiser le gain en puissance du circuit, la largeur des doigts du transistor a été fixée pour la fréquence de transition maximale définie par l'invariant de Mason U . Une largeur de doigt de 600nm a été alors choisie.

$$U = \frac{|Y_{21} - Y_{12}|^2}{4 * (Re(Y_{11}) * Re(Y_{22}) - Re(Y_{12}) * Re(Y_{21}))} \quad (2)$$

tel que $U(F_{max}) = 1$.

La longueur de grille L du transistor a été délibérément sélectionnée afin de maximiser la vitesse de commutation ft du transistor, compte tenu du fait que ft est inversement proportionnel à L . Une longueur de grille de 30 nm a été alors fixée. Afin de choisir une valeur correcte de V_{gs} pour chaque étage de l'UA et remédier au compromis entre le PAE et la puissance de sortie, des simulations de load-pull ont été réalisées. Pour l'inter-étages d'adaptation, des transformateurs intégrés ont été utilisés pour leurs nombreux avantages. Leur point milieu représente à la fois une masse virtuelle, et permet la polarisation DC des éléments actifs. L'aspect compact des transformateurs intégrés contribue à l'optimisation de la surface totale du système. L'architecture de l'UA est illustrée à la Fig.1.

2.b. Combineur et diviseur de puissance

Les composants passifs sont situés dans les 3 couches métalliques les plus épaisses. Ce choix est principalement lié à la fois à la résistivité minimale de ces métaux grâce à leur épaisseur, et au couplage capacitif réduit étant donné leur distance à la masse. Ceci permet de diminuer l'effet des parasites.

Le signal est dans un premier temps divisé par une ligne de transmission 50Ω entre deux transformateurs intégrés composés d'un primaire et de deux secondaires fig. 1. Ensuite, chaque transformateur divise la puissance entre deux voies unitaire de l'amplificateur de puissance grâce à des lignes de transmission TLs à deux entrées et deux sorties différentielles. Ces lignes de routage sont nécessaires étant donné la distance séparant les deux amplificateurs unitaires UAs. Afin d'éviter les courants de fuite vers le substrat, la TL se base sur une configuration à ondes lentes, qui permet de minimiser les pertes et de protéger le signal RF du substrat à pertes. La TL implémentée génère des pertes d'insertion de 0.25 dB à 80 GHz. Afin de combiner les 4 voies à la sortie du PA, [14] propose un

combineur de puissance à base de transformateur intégré à 4 voies combinées différentielles (4-WDCT). Il possède 1dB de moins de pertes d'insertion comparé à [3]. Cependant, ses quatre ports différentiels d'entrée perpendiculaires entre eux augmentent la complexité d'implémentation et le déséquilibre de phase. Notre travail est basé sur la même configuration de combineur de puissance présentée dans [7] et [12], en technologies 40 et 65 nm, respectivement. Il est constitué de deux combineurs de puissance à base de transformateur intégré et d'une ligne de transmission qui les combine à la sortie. Notre combineur de puissance à base de transformateur intégré est composé de deux entrées différentielles sous forme de deux demi-spires primaires. Elles sont implémentées en deux couches de métaux stackées épaisses M7 et M8. Cette technique augmente le couplage magnétique k , ainsi que le facteur de qualité, et contribue à la réduction des pertes d'insertion. Ces deux demi-spires primaires sont connectées par une barre de commande à travers les points milieux du combineur de puissance. Ceci permet une polarisation équipotentielle des deux étages de sortie combinés du PA. Basé sur les simulations EM, chaque combineur de puissance possède des pertes d'insertion de 0.6 dB, ce qui génère des pertes totales de 0.85 dB pour le combineur de puissance complet présenté à la Fig.1. Afin de déterminer la distance minimale entre les 4 voies, des simulations EM ont été réalisées. Les résultats montrent qu'une distance de 20 μm est nécessaire pour garantir un couplage maximal de -20 dB entre les inductances. La même étude a été réalisée pour le couplage entre le combineur de puissance de sortie et les inter-étages des UAs combinés.

3. Résultats de simulations

Des simulations EM et des extractions RLCK ont été réalisées pour extraire les parasites des composants passifs et actifs, respectivement. Les résultats de simulations du PA présentés dans le Tableau 1, ont été comparés aux PAs à 4 voies implémentés en technologies CMOS 65nm ou inférieures et fonctionnant en bandes de fréquences E et V. Parmi toutes les références, [6] atteint le gain en puissance le plus élevé mais consomme 510 mW, tandis que [8] reporte la meilleure P_{sat} de 23.7 dBm au détriment d'une très grande surface occupée par la puce de 0.653 mm^2 . En revanche, notre travail de recherche atteint un PAE élevé, avec un espace occupé optimal comparativement à [6],[8], [9] et [12] pour une tension d'alimentation de 0.9V avec les transistors montés en source commune neutralisée. Pour une alimentation de 0.75V avec la topologie NCS, le PA proposé a la même consommation en puissance comparativement à [5] et la plus faible en comparaison avec toutes les autres références.

Les paramètres S simulés à la Fig.3 montrent un maximum de gain en puissance de 27 dB à 80 GHz, avec S_{11} inférieur à -10 dB sur la bande passante (BW) à 3 dB de compression entre 76 et 82 GHz.

4. Conclusion

Ce papier présente la conception d'un PA à 4 voies implémenté en technologie CMOS 28 nm. Le PA est com-

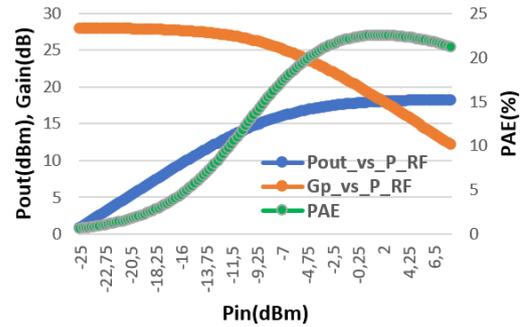


FIGURE 2. Performances simulées à 80 GHz du PA proposé.

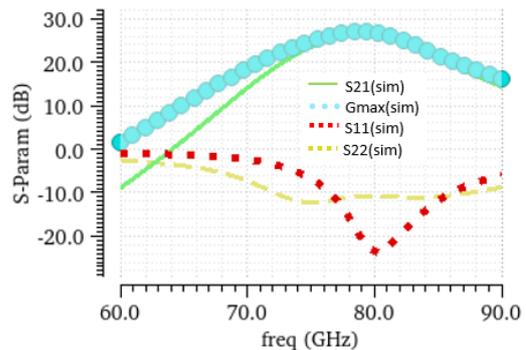


FIGURE 3. Paramètres-S simulés du PA proposé.

posé d'un combineur de puissance, d'un diviseur de puissance et de 4 amplificateurs unitaires UAs. Les diviseurs de puissance et le combineur sont principalement composés de transformateurs intégrés pour leur compacité et leurs pertes d'insertion minimales. Afin de maximiser son rendement et relâcher les contraintes liées à la puissance d'entrée, chaque UA est composé de deux étages NCS précédés d'un étage NCA. Cette nouvelle architecture atteint un PAE simulé prometteur de 22.8%, qui représente le rendement attendu le plus élevé comparativement à l'état de l'art des PAs à 4 voies fonctionnant à une fréquence millimétrique supérieure à 60 GHz. Pour une puissance d'entrée P_{in} de -0.5 dBm (Fig.2), les simulations montrent que ce PA peut délivrer une puissance de sortie de 17.5 dBm avec un gain en puissance de 21.6 dB, et une puissance consommée faible de 251 mW. La surface occupée par la puce est de 0.32 mm^2 . Le processus de fabrication a été initié, et des mesures seront bientôt effectuées pour confirmer son bon fonctionnement.

Références

- [1] S. Pornpromlikit, et al., "A watt-level stacked-FET linear power amplifier in silicon-on-insulator CMOS", IEEE Trans. Microw. Theory Techn., vol. 58, no. 1, pp. 57–64, Jan. 2010.
- [2] C.-W. Wu, et al., "Design of a 60-GHz high-output power stacked-FET power amplifier using transformer-based voltage-type power combining in 65-nm CMOS," IEEE Trans. Microw. Theory Techn., vol. 66, no. 10, pp. 4595–4607, Oct. 2018.
- [3] B. Leite, "Design and modeling of mm-wave integrated transformers in CMOS and BiCMOS technologies", University Bordeaux 1, pp 32-33, 2012.
- [4] C.-F. Chou, et al., "Design of a V-band 20-dBm wideband power amplifier using transformer-based radial power combining in 90-nm CMOS," IEEE Trans. Microw. Theory Techn., vol. 64, no. 12, pp. 4545–4560, Dec. 2016.

TABLEAU 1. Performances du PA et comparaison à l'état de l'art

<i>Référence</i>	Ce travail 1	Ce travail 2	[5]	[8]	[6]	[9]	[12]	[7]
<i>Fréquence (GHz)</i>	80	80	73	60	60	60	79	80
<i>Technologie (nm)</i>	28 CMOS	28 CMOS	40 CMOS	65 CMOS	65	GF 65	65 CMOS	40 CMOS
<i>Psat(dBm)</i>	16.6	18.21	22.6	23.7	19.9	19.7	19.3	20.9
<i>P1db(dBm)</i>	12.5	14	18.9	19.9	17.2	16	16.4	17.8
<i>PAEmax (%)</i>	21.2	22.8	19.3	22.1	20	13.4	19.2	22.3
<i>Gain (dB)</i>	20.3 (Gmax=27)	21.6	25.3	29.7	32.4	28	24.2	18
<i>Alim (V)</i>	1.5-0.75	1.5-0.9	1.8	N.A	1.2	1.4	1	0.9
<i>Pdc (mW)</i>	187	251	182	235	510	NA	NA	375
<i>Surface (mm²)</i>	0.6(*); 0.32(**)	0.6(*); 0.32(**)	0.25(*)	0.653(**)	0.32(**)	0.32(**)	0.855(**)	0.19(*)
<i>Topologie des étages</i>	NCA+ 2NCS	NCA+ 2NCS	2NBCA	2NCS+ 1NCA	NCS	CS+ISD	4CS	2CS
	4way	4way	4way	4way	4way	4way	8way	4way

* :avec pads ; ** :sans pads

- [5] D. Zhao and P. Reynaert, "An E-Band Power Amplifier With Broadband Parallel-Series Power Combiner in 40-nm CMOS," in *IEEE Trans. on Microwave Theory and Techn.*, vol. 63, no. 2, pp. 683-690, Feb. 2015.
- [6] A. Larie et al., "A 1.2V 20 dBm 60 GHz power amplifier with 32.4 dB Gain and 20 % Peak PAE in 65nm CMOS," *European Solid State Circuits Conference*, Venice, Italy, 2014, pp. 175-178.
- [7] D. Zhao and P. Reynaert, "A 40-nm CMOS E-Band 4-Way Power Amplifier With Neutralized Bootstrapped Cascode Amplifier and Optimum Passive Circuits," in *IEEE Trans. on Microwave Theory and Techn.*, vol. 63, no. 12, pp. 4083-4089, Dec. 2015.
- [8] Y. Chang et al., "A V-Band Power Amplifier With 23.7-dBm Output Power, 22.1 % PAE, and 29.7-dB Gain in 65-nm CMOS Technology," in *IEEE Trans. on Microwave Theory and Techn.*, vol. 67, no. 11, pp. 4418-4426, Nov. 2019.
- [9] J. -A. Han, et al., "A 26.8 dB Gain 19.7 dBm CMOS Power Amplifier Using 4-way Hybrid Coupling Combiner," in *IEEE Microwave and Wireless Components Letters*, vol. 25, no. 1, pp. 43-45, Jan. 2015.
- [10] J. Kühn, *AlGaN/GaN-HEMT power amplifiers with optimized power-added efficiency for X-band applications*. Karlsruhe : KIT Scientific Publishing, 2011.
- [11] A. -L. Franc, et al., "A Lossy Circuit Model Based on Physical Interpretation for Integrated Shielded Slow-Wave CMOS Coplanar Waveguide Structures," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 2, pp. 754-763, Feb. 2013.
- [12] K. -Y. Wang, et al., "A 1V 19.3dBm 79GHz power amplifier in 65nm CMOS," *Int. Solid-State Circ. Conf.*, San Francisco, CA, USA, 2012, pp. 260-262.
- [13] M. Thian, et al., "Integrated low-loss passive SiGe power splitter and combiner operating across 78–86 GHz band," *Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, Bordeaux, France, 2013, pp. 85-88.
- [14] M. Thian, et al., "A 76–84 GHz SiGe Power Amplifier Array Employing Low-Loss Four-Way Differential Combining Transformer," in *Trans. on Microwave Theory and Techn.*, vol. 61, no. 2, pp. 931-938, Feb. 2013.
- [15] Aurélien Larie. *Conception d'amplificateurs de puissance hautement linéaires à 60 GHz en technologies CMOS nanométriques*. Electronique. Université de Bordeaux, 2014. Français. NNT : 2014BORD0210. tel-01142532