



HAL
open science

Découverte et prise en main des étapes de base de la microélectronique par la réalisation de composants microélectroniques en salle blanche

O de Sagazan, C Lebreton, E Jacques, L Pichon

► To cite this version:

O de Sagazan, C Lebreton, E Jacques, L Pichon. Découverte et prise en main des étapes de base de la microélectronique par la réalisation de composants microélectroniques en salle blanche. Journées Pédagogiques de la Coordination nationale pour la Formation en Microélectronique et nanotechnologies, CCMO, Pôle CNFM de Rennes, Nov 2023, Saint Malo, France. hal-04687271

HAL Id: hal-04687271

<https://hal.science/hal-04687271v1>

Submitted on 4 Sep 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Découverte et Prise en Main des Etapes de base de la Microélectronique par la Réalisation de Composants Microélectroniques en Salle Blanche

O. de Sagazan, C. Lebreton, E. Jacques, L. Pichon

IETR et pôle CNFM de Rennes (CCMO), Université de Rennes, Rennes, France

Contact email : olivier.de-sagazan@univ-rennes.fr

Depuis plus de 30 ans le CCMO propose des formations aux techniques de fabrication en salle blanche. L'actualité récentes à remis en lumière l'importance stratégiques de ces technologies de micro-fabrications. A travers un TP de 4 jours, le CCMO permet à des élèves de second cycle, de découvrir l'univers de la fabrication des composants semiconducteurs ainsi que de leurs méthodes de tests électriques. Ainsi au bout de la formation les élèves auront réalisé et testé des transistors de quelques microns, des diodes et même des circuits logiques simples.

I. Introduction

La pandémie de ces dernières années a mis en lumière la très forte dépendance des états européens vis-à-vis de l'industrie des semiconducteurs suite à une délocalisation massive de cette industrie vers l'Asie. Cette délocalisation, qui a eu pour conséquence une raréfaction dans l'offre de formation de l'enseignement supérieur français en technologies de fabrication des composants électroniques, redevient un enjeu stratégique non seulement en France mais aussi niveau européen. En effet il apparait que la demande en techniciens supérieurs et ingénieurs, formés aux techniques de micro-fabrication en salle blanche, augmente drastiquement pour répondre aux besoins de la filière de la microélectronique, mais aussi de l'optique ou plus généralement de la physique des matériaux.

Acteur de la formation en microélectronique depuis plus de 40 ans, le CCMO [1] a récemment renouvelé ses offres de formations et plus spécialement celles ayant attiré à la réalisation de composants en filière silicium. A travers un nouveau jeu de masques, les étudiants peuvent réaliser en quatre jours des diodes PN (à géométrie verticale, latérale), des diodes Schottky, des transistors MOS (à canal N ou P) ainsi que des circuits inverseurs ou des portes logiques simples. Le design des masques a été réalisé en fin 2021 et la mise en œuvre des premiers travaux pratiques pour des formations M2 a été réalisée en 2023.. Le design des masques comprend aussi des modules de tests qui permettent aux étudiants en formation d'effectuer des mesures complémentaires permettant de qualifier la qualité de leurs travaux.

II. Fabrication de transistor MOS sur Silicium

Le procédé de fabrication standard des composants microélectroniques est décrit figure 1. Cette fabrication s'appuie sur un procédé de fabrication à haute température utilisant des wafers de silicium Si (orienté $\langle 1.0.0 \rangle$) comme substrat. Selon le type de dopage choisi, les wafers accueillant le canal de conduction pourront être soit de type P ou N faiblement dopé avec une résistivité comprise entre 1 et 10 Ohm.cm. La fabrication à haute température sur silicium a été privilégiée pour réaliser des composants à relativement hautes performances, mais des variantes de masques permettent aussi de réaliser les transistors en technologie

couche minces (TFT) sur des substrat hôtes différents comme du verre ou même des polymères (PEN ou Kapton).

Procédé de fabrication

Dans un premier temps, après avoir été rapidement désoxydés par une solution diluée de HF puis rincés, les wafers sont oxydés à 1050°C en présence d'hydrogène et d'oxygène. Cette oxydation dite humide forme un oxyde d'environ 1µm d'épaisseur. Cette opération assez consommatrice en temps est effectuée avant l'arrivée des étudiants pour que ceux-ci puissent se concentrer sur les étapes suivantes plus intéressantes pédagogiquement.

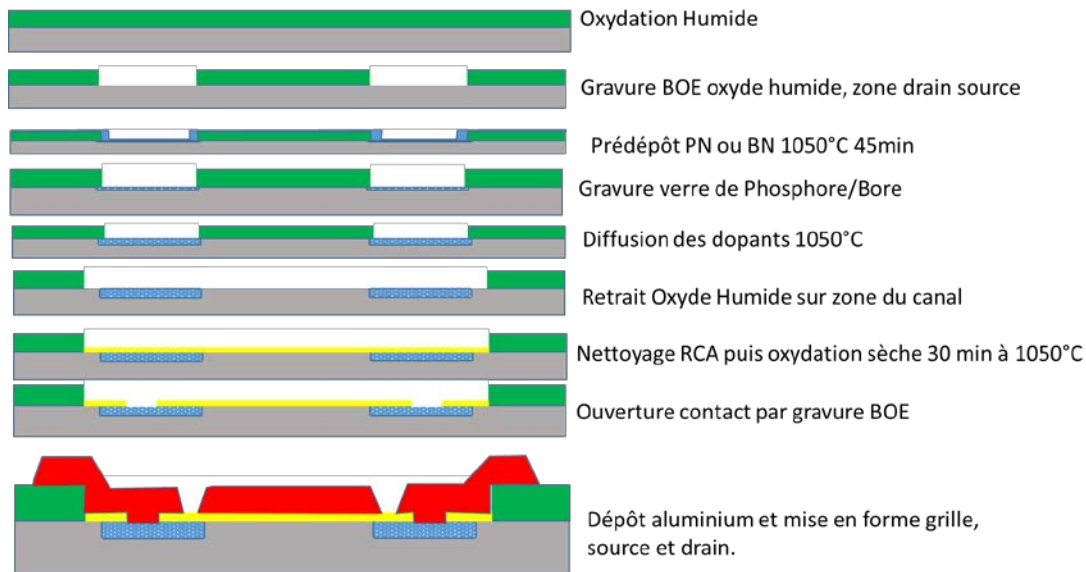


Fig.1. Description du procédé de fabrication à haute température des transistors MOS, débouchant sur la fabrication des drains/sources, puis du canal surmonté par un oxyde de grille, piloté par des contacts en aluminium. Ce procédé permettra aussi la création de tous les autres composants, à l'exception des diodes Shottky nécessitant un masque de lift off supplémentaire en fin de procédé

Cet oxyde humide sera ensuite gravé au BOE (Buffer Oxide Etching) après une première étape de photolithographie (Mask1) qui définira les zones à doper. Le dopage se fera par un pré-dépôt à 1050°C en utilisant des wafers de nitrure de bore (BN) ou nitrure de phosphore (PN) selon le dopage choisi. Après la gravure de l'oxyde ainsi créé en surface des plaques, les wafers sont à nouveau soumis à un traitement thermique pour faire diffuser les dopants. Une deuxième étape de photolithographie (Mask2) permet alors d'ouvrir la zone du canal en gravant l'oxyde humide. Ceci permet aux étudiants d'être confrontés à leur premier alignement. Un nettoyage RCA est ensuite réalisé sur les wafers en préparation d'une oxydation sèche accomplie dans la foulée là encore à 1050°C mais cette fois sans hydrogène. Cette étape permet de créer l'oxyde de grille qui mesure entre 80 et 100nm. Le Mask3 permet quant à lui d'ouvrir des contacts aux niveaux des sources et drain en gravant l'oxyde de grille au BOE pendant moins d'une minute. Le procédé s'achève par une évaporation sous vide d'aluminium liquéfié par effet joule. Le mask4, par un troisième alignement, définira la grille ainsi que les contacts de sources et drains comme on peut le voir sur la figure 2. La dernière étape consiste à recuire les wafers à 380°C dans un mélange dit « forming-gas » (H_2/N_2) afin d'améliorer la résistance de contact entre l'aluminium et le silicium. Cette résistance sera par la suite calculée par les étudiants lors de la phase des caractéristiques électriques.

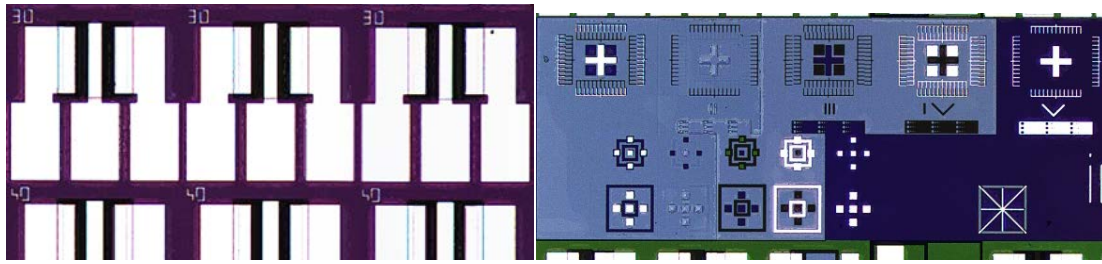


Fig.2. A gauche vue au microscope des transistors et de leurs plots de tests électriques de largeur de canal $W=200\mu\text{m}$ et une longueur L variant de 10 à $100\mu\text{m}$ ($L=30$ et $40\mu\text{m}$ sur la photo). A droite détail sur la zone des signaux d'alignements en fin de procédé

Tests électriques des transistors

Les tests électriques sont effectués sur une station sous pointes reliée à un analyseur de paramètres de type Agilent B1500. Les étudiants chargent eux-mêmes des programmes prédéfinis et se familiarisent ainsi avec la manipulation de micro-pointes de test.

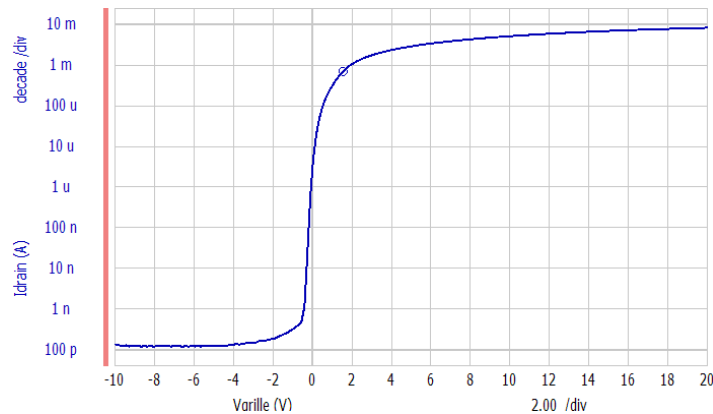


Fig.3. Caractéristique de transfert d'un transistor n-MOS W/L $200/10\mu\text{m}$ en échelle log après recuit forming-gas.

Lors de la formation en salle blanche les étudiants sont amenés à tracer les courbes de transfert (fig.3) des transistors MOS mais aussi des caractéristiques de sortie. Des notions telles que, la tension de seuil, la transconductance, la pente sous le seuil ou encore le rapport I_{on}/I_{off} sont abordées et illustrées par la mesure directe sur les composants réalisés lors de la séance.

Tests électriques des inverseurs

Le design des masques prévoit aussi la fabrication d'un inverseur simple fait de deux transistors W/L $200/10$ et $200/100$ câblé en pseudo CMOS comme on peut le voir sur la figure 4. Les étudiants peuvent alors mesurer le gain statique de leur inverseur en traçant la courbe $V_{out}=f(V_{in})$. Les notions d'excursion, de fréquence de transition ainsi que la tension de déchet pourront être abordées à l'aide de ce montage. Enfin ce simple circuit permet de faire le lien entre une approche très physique de l'électronique des semi-conducteurs et la naissance des fonctions numériques booléennes.

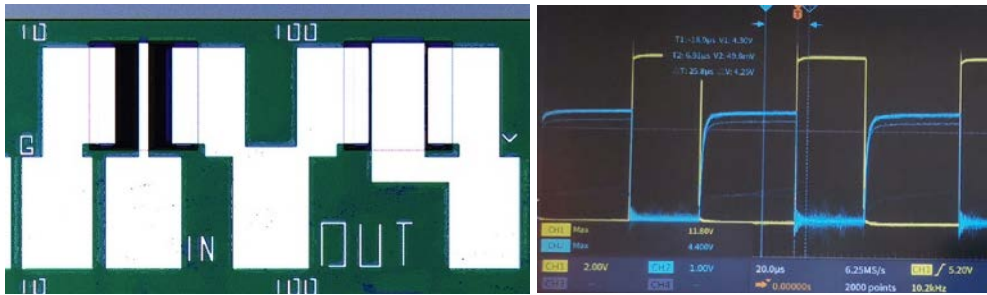


Fig.4. A gauche l'inverseur réalisé à l'aide de deux transistor MOS et ses quatre points de mesure (Ground In, Out et Vdd). A droite, observation de l'inversion sur un oscilloscope numérique branché sur la sortie Out.

Fabrication de diodes

Outre les transistors le procédé de fabrication permet la réalisation en même temps de diodes verticales, latérales ou bien de type Schottky.

Diode verticale

En polarisant le substrat par la face arrière et en utilisant le contact de drain/source des transistors, on peut réaliser une diode verticale qui ne nécessite que deux masques (mask1 et Mask4). Cette configuration simplifiée a de nombreux avantages. En effet, certaines formations ne disposent pas dans leur cursus de 4 jours à investir dans l'apprentissage de ces technologies de micro-fabrications. C'est pourquoi ce TP peut s'adapter facilement à la réalisation et la caractérisation électrique de diodes verticales sur une durée de 2 jours.

Les tests électriques de ces diodes se font après le recuit sous forming-gas et permettent de mesurer le courant de fuite inverse I_{off} et le courant passant I_{on} . La figure 5 montre les courbes I-V de telles diodes représentées en échelles linéaire et semi-logarithmique. Les programmes de tests sont là aussi prédéfinis et une aspiration sur le porte substrat permet de garantir un bon contact électrique. Une couche d'aluminium en face arrière peut aussi être ajoutée pour illustrer l'intérêt d'un contact ohmique aux bornes des deux pôles de la diode.

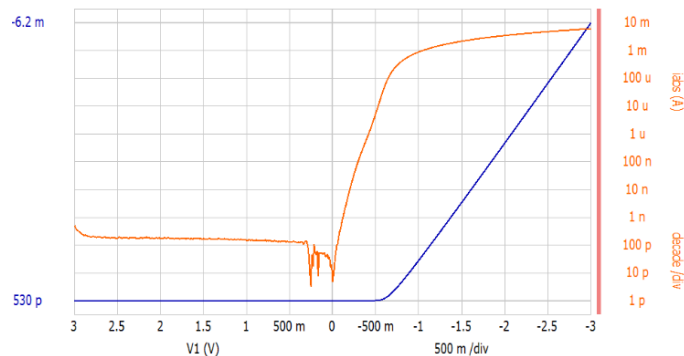


Fig.5. Caractérisation électrique d'une diode verticale en polarisant le substrat en face arrière et le contact de source /drain prévu pour les transistors.

Diode Schottky

Une dernière variante du design des masques propose aux étudiants de réaliser des diodes Schottky. Dans ce cas il faut utiliser un masque supplémentaire à la suite du procédé de fabrication des transistors qui permet de déposer et de mettre en forme par lift-off une couche de métal préalablement choisie, à savoir de nickel, d'or ou de platine. La diode est formée en déposant par évaporation à l'aide d'un canon à électron (EBD) directement sur

le silicium non dopé du substrat le métal choisi selon ses travaux de sortie. Dans le cas présent l'or est utilisé et directement déposé sur la résine mise en forme par le mask5.

Après dissolution dans l'acétone de la résine il ne reste que le plot d'or en contact direct avec le silicium (lift off). Le deuxième contact ohmique de la diode utilise l'aluminium déposé préalablement pour les contacts du transistor. La figure 6 représente la vue en coupe de la diode Schottky, son allure et ses caractéristiques électriques mesurées par la station sous pointes à l'aide du B1500 sont donnés sur la figure 7.

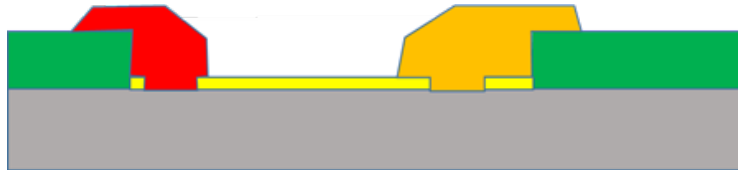


Fig.6. Vue en coupe de la diode Schottky avec le Si en gris, l'aluminium en rouge, l'oxyde de grille en jaune et l'or en doré. Réalisé après un procédé complet de transistor.

Après dissolution dans l'acétone de la résine il ne reste que le plot d'or en contact direct avec le silicium (lift off). Le deuxième contact ohmique de la diode utilise l'aluminium déposé préalablement pour les contacts du transistor. La figure 6 représente la vue en coupe de la diode Schottky, son allure et ses caractéristiques électriques mesurées par la station sous pointes à l'aide du B1500 sont donnés sur la figure 7.

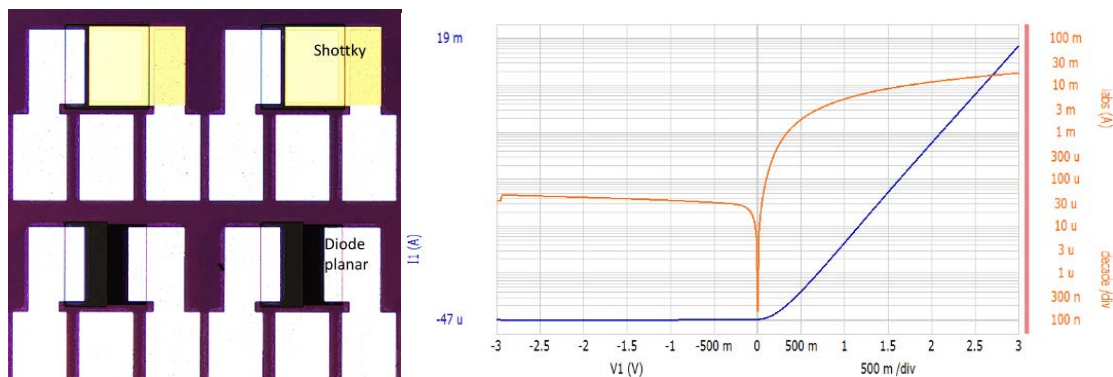


Fig.7. Vue comparative des diodes latérale NP et Schottky Si-Au à gauche. Caractérisation électrique I-V en échelles linéaires et semi-logarithmique de la diode Schottky.

Les caractérisations électriques obtenues sur la figure 7 sont ainsi comparées à celle de la diode NP et les intérêts et domaines d'utilisation de chaque configuration peuvent être discutés par les étudiants selon leur filière de spécialités.

III. Caractérisation électrique complémentaire

Comme annoncé précédemment, plusieurs motifs de test prévus dans le jeu de masques permettent de qualifier la qualité de la réalisation des composants. Il est ainsi possible de qualifier la résistance de contact ainsi que le niveau de dopage après l'étape de diffusion des dopants grâce à la présence de module TLM (Transmission Line Measurement).

Motifs TLM

Les wafers utilisés par les étudiants pour la fabrication des composants possèdent deux zones de TLM qui permettent de mesurer la résistance de contact ainsi que d'approximer le niveau de résistivité et donc l'efficacité de l'étape de dopage par diffusion.

La figure 8 présente l'allure générale de la zone TLM, avec en son centre la zone rectangulaire de largeur (lg) de 100µm de silicium dopé sur une épaisseur diffusée (e), et présente une méthode pour mesurer l'espacement entre chaque ligne (L) reliée à un plot de test à l'aide d'un microscope confocal à la disposition des étudiants. En s'appuyant sur la formule de la résistance R en fonction de la résistivité ρ :

$$R = \rho \cdot (L / (lg \cdot e)) \quad [1]$$

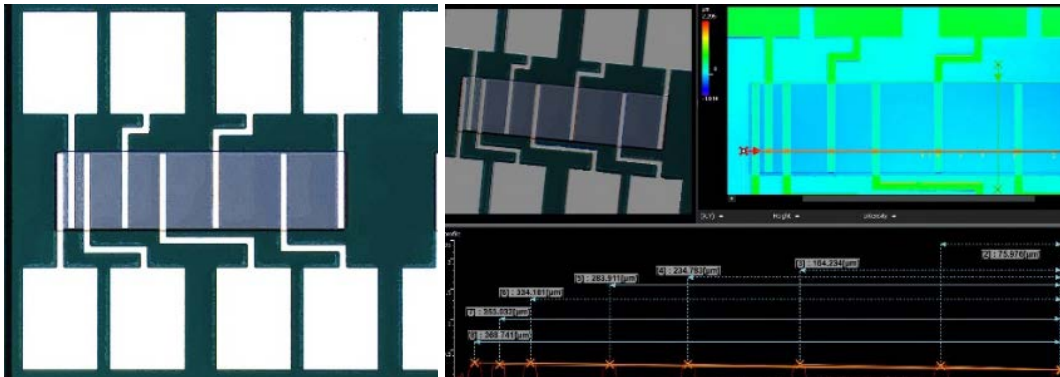


Fig.8. Vue au microscope de la zone TLM à gauche et la mesure au microscope confocal de la distance entre les lignes formant les différentes résistances à droite.

Il devient alors possible de mesurer la résistivité ainsi que la résistance de contact entre l'aluminium et le silicium comme exposé dans la figure 9. Le tracé de la résistance en fonction de la longueur du barreau de silicium dopé permet de remonter grâce à l'ordonnée à l'origine à deux fois la valeur de la résistance de contact. La mesure de la pente de la droite obtenue permet, elle, d'estimer la résistivité en approximant la profondeur de diffusion e (environ 1.5µm selon les simulations disponibles).

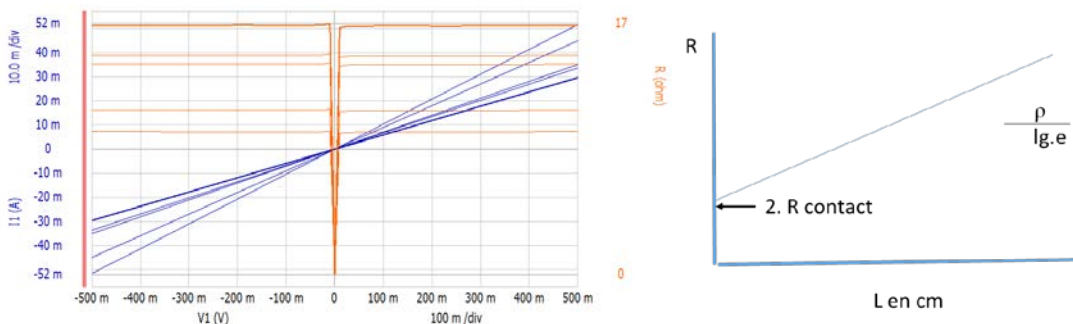


Fig.9. Mesure I=f(V) des résistances entre les différentes lignes du TLM. Le tracé de ces résistances en fonction de l'espacement des lignes permet de remonter à la résistivité et la résistance de contact à droite

IV. Conclusion

Le CCMO a développé un nouveau jeu de masques adapté à la fabrication et la caractérisation électrique d'une large gamme de composants électroniques (transistors MOS, résistances, diodes, pseudo inverseurs MOS...). Ce nouveau jeu de masques a conduit à une nouvelle version des TP en salle blanche, testée puis validée par les différentes formations (Master, Ecoles d'Ingénieurs,...) utilisatrices du CCMO.

Remerciements

Les dispositifs exposés ici ont été réalisés dans les locaux du CCMO partagés avec la plateforme NanoRennes [2] de l'IETR, elle-même plateforme de proximité du réseau Renatech. Les auteurs remercient le CNFM [3] ainsi que le réseau Renatech pour leur soutien dans le développement et le maintien en condition opérationnelle des différents équipements servant aussi bien à la recherche qu'à la formation. Les auteurs tiennent aussi à remercier les responsables des différentes formations qui ont accepté de tester et de mettre à disposition leurs étudiants pour tester le contenu pédagogique de ces nouveaux TP.

Références

1. <https://ccmo.univ-rennes.fr/>
2. <https://www.ietr.fr/plateforme-nr-nanorenes> .
3. <http://www.cnfm.fr/>