

Exécution autonome de boucles sur CGRAs pour l'accélération des applications de traitement du signal

Chilankamol Sunny, Satyajit Das, Kevin J. M. Martin, Philippe Coussy

Univ. Bretagne-Sud, CNRS UMR 6285, Lab-STICC
Lorient, France
kevin.martin@univ-ubs.fr

Résumé

Les architectures reconfigurables à gros grains (CGRA) deviennent de plus en plus populaires en tant qu'accélérateurs faible consommation d'applications intensives en calcul et en données tels que la sécurité, le multimédia, le traitement du signal et l'apprentissage automatique. L'efficacité d'un CGRA est déterminée par ses caractéristiques architecturales et la capacité du compilateur à exploiter la configuration spatio-temporelle. De nombreuses optimisations de conception et techniques de déploiement ont été introduites dans cette direction. Cependant, le modèle d'exécution a été négligé, malgré son rôle critique dans l'obtention d'une accélération efficace des applications. La plupart des solutions existantes suivent une approche hôte, c'est-à-dire qu'elles exécutent la boucle interne en suivant un ordonnancement entrelassé, confiant les boucles externes et le contrôle au processeur hôte. Cela augmente les coûts de synchronisation, atténuant les avantages de l'accélération fournie par le CGRA. Dans cet article, nous proposons un flot de compilation qui projette l'application selon un modèle d'exécution autonome des nids de boucles. Les expériences montrent que le modèle d'exécution autonome conduit à une amélioration de performance maximale de $12,33\times$ et une moyenne de $6,75\times$ par rapport au modèle d'exécution hôte existant. Dans le modèle proposé, la consommation d'énergie est réduite jusqu'à $14,49\times$ par rapport à celle du modèle hôte. Nous avons également comparé nos résultats avec une approche de l'état de l'art qui utilise l'aplatissement de boucle et avons obtenu une accélération maximale de $4,80\times$ avec une moyenne de $2,80\times$. Ce résumé est une traduction courte d'un article déjà accepté et présenté [1].

Mots-clés : CGRA, boucles, modèle d'exécution

Bibliographie

1. Sunny (C.), Das (S.), Martin (K. J. M.) et Coussy (P.). – Standalone Nested Loop Acceleration on CGRAs for Signal Processing Applications. – In *DASIP 2024 : Workshop on Design and Architectures for Signal and Image Processing*, Munich, Germany, janvier 2024. – **Best paper award.**