



HAL
open science

Optimisation de la structure double RESURF d'un transistor JFET latéral SiC-4H pour le développement de convertisseurs de puissance intégrés

Johnny Gié, Mihai Lazar, Pierre Brosselard, Dominique Planson, Christophe Raynaud

► To cite this version:

Johnny Gié, Mihai Lazar, Pierre Brosselard, Dominique Planson, Christophe Raynaud. Optimisation de la structure double RESURF d'un transistor JFET latéral SiC-4H pour le développement de convertisseurs de puissance intégrés. 11ème colloque Electronique de Puissance du Futur, Jul 2006, Grenoble, France. hal-04619604

HAL Id: hal-04619604

<https://hal.science/hal-04619604>

Submitted on 21 Jun 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Optimisation de la structure double RESURF d'un transistor JFET latéral SiC-4H pour le développement de convertisseurs de puissance intégrés

J. Gié, M. Lazar, P. Brosselard, D. Planson et C. Raynaud
CEGELY. INSA de Lyon, UMR CNRS 5005, Bât. L. de Vinci,
20, avenue Albert Einstein - 69621 Villeurbanne Cedex, France,
mihai.lazar@insa-lyon.fr

Résumé: La conception d'un transistor JFET latéral en SiC a été réalisée, dans le but de concevoir un système de puissance intégré. Sa structure a été développée à l'aide du logiciel de simulation MEDICI™ par la méthode des éléments finis. Pour répondre aux spécifications technologiques et électriques exigées (tenue en tension de 600 V, supportant quelques A à l'état passant), l'optimisation du JFET nous a conduit à la conception d'une architecture utilisant le double effet RESURF. Cette structure permet d'améliorer la répartition du champ électrique dans les différentes régions du JFET et de diminuer également la valeur de la résistance à l'état passant. Une structure planaire a été retenue en favorisant le dopage des différentes régions par implantation ionique et en réduisant le nombre de couches épitaxiales. La géométrie choisie du composant est une structure en peigne, permettant d'augmenter la largeur du canal tout en optimisant la surface du composant.

I. INTRODUCTION.

La diversité des applications liées au domaine de l'électronique de puissance conduit à la réalisation de composants spécifiques répondant aux besoins tels que le transport ferroviaire, l'aéronautique, les réseaux de distribution, l'automobile... Le silicium est le matériau dominant dans le développement des dispositifs à semi-conducteur de puissance. Cependant le carbure de silicium présente des propriétés physiques qui permettent de repousser les limites de fonctionnement actuelles par rapport au Si. Des composants de puissance en SiC ont été déjà réalisés tels que des diodes de puissance (bipolaire et Schottky), des thyristors, des transistors MESFETs, JFETs... [1]. Leurs performances sont bien supérieures à celles des composants en Si, en termes de tenue en tension et en température.

En effet ce semiconducteur à large bande interdite possède une valeur de champ critique cinq à huit fois supérieure au silicium suivant le polytype, une conductivité thermique et une stabilité thermique élevée. L'utilisation du SiC-4H permet ainsi de développer des composants pour des applications qui s'orientent dans le domaine de la haute tension et de la haute température. Le savoir faire acquis avec ce matériau nous permet de réaliser des systèmes intégrés de puissance à base de composants latéraux en SiC-4H. Dans cette perspective, le transistor JFET (Junction Field Effect Transistor) semble être l'interrupteur le mieux placé, notamment grâce à ses meilleures performances électriques par rapport aux composants de la famille des MOSFETs. [2-4]. Ceci est dû essentiellement à la mobilité du canal qui pour les MOSFETs en SiC-4H est diminuée par les densités élevées d'états d'interfaces.

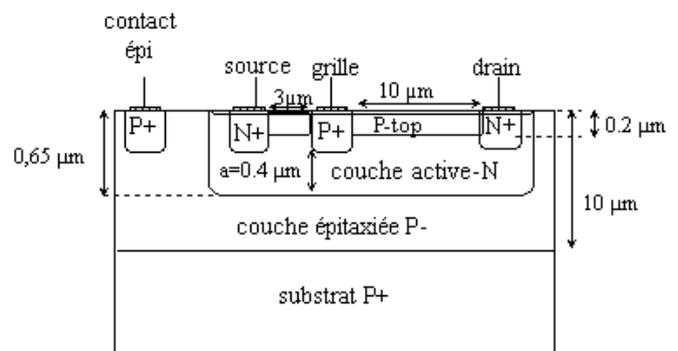
Ce papier présente la conception d'un transistor JFET latéral en SiC-4H qui a été établie en vue de son utilisation dans la réalisation d'un onduleur monolithique en SiC. L'effet RESURF (Reduced Surface Field) a été utilisé pour le design des différentes couches. Cette technique, très utilisée dans la conception des composants en technologie planar [5-6], diminue la résistance à l'état passant,

améliore la tenue en tension du transistor tout en réduisant la taille du composant. L'objectif de cette étude est d'optimiser la structure du JFET latéral de façon à obtenir un composant ayant une tenue en tension de 600 V et supportant quelques A à l'état passant. Les caractéristiques statiques et dynamiques sont présentées dans cette contribution.

II. TRANSISTOR JFET LATERAL EN SiC-4H

La structure du JFET latéral en SiC-4H a été définie et simulée à l'aide du logiciel MEDICI™, un outil de simulation numérique utilisant la méthode des éléments finis. Dans chaque région du transistor, un maillage constitué d'un certain nombre de nœuds est défini. Pour chacun des nœuds, les équations de continuité ainsi que l'équation de Poisson sont résolues

Le JFET est un transistor "normally-on". L'application d'une tension nulle sur la grille permet d'obtenir le courant de conduction quasi-maximum. Le blocage du transistor est obtenu par l'application d'une tension de grille négative.



1. Figure : Vue en coupe du JFET latéral SiC

La figure 1 présente la structure du JFET latéral en SiC mettant en œuvre un double effet RESURF. Le substrat utilisé est de type P+ sur lequel est réalisée une couche épitaxiée de même type avec une concentration de dopage plus faible (première couche RESURF). La région de type N nommée "couche active" représente le canal de conduction du JFET. La

couche en surface nommée "Ptop" crée une jonction PN avec le canal et constitue ainsi le double effet RESURF. Les régions P+ (grille), N+ (drain - source), couche active et Ptop ont été conçues et dimensionnées afin de pouvoir être réalisées par implantation ionique. La réalisation technologique d'une structure planaire favorise les étapes de dopage des différentes régions par implantation ionique en formant des caissons de dopage de type n et p. On évite ainsi l'utilisation de la gravure plasma profonde. De plus, le nombre de couches épitaxiales (onéreuses en SiC) est considérablement réduit.

1. Tableau: Paramètres du JFET latéral SiC optimisé

Couche	Dopage	Epaisseur
Couche active (N)	$N_d = 2 \times 10^{17} \text{ cm}^{-3}$	0,4 μm
Couche épitaxiée (P-)	$N_a = 1 \times 10^{16} \text{ cm}^{-3}$	10,0 μm
"Ptop" (P)	$N_a = 2 \times 10^{17} \text{ cm}^{-3}$	0,2 μm
Substrat (P+)	$P = 5 \times 10^{18} \text{ cm}^{-3}$	300 μm

Les profils de dopage ont été obtenus par simulation Monte-Carlo de l'implantation ionique d'Al et respectivement d'azote dans le SiC-4H pour la réalisation des couches de type P et respectivement de type N. Ces

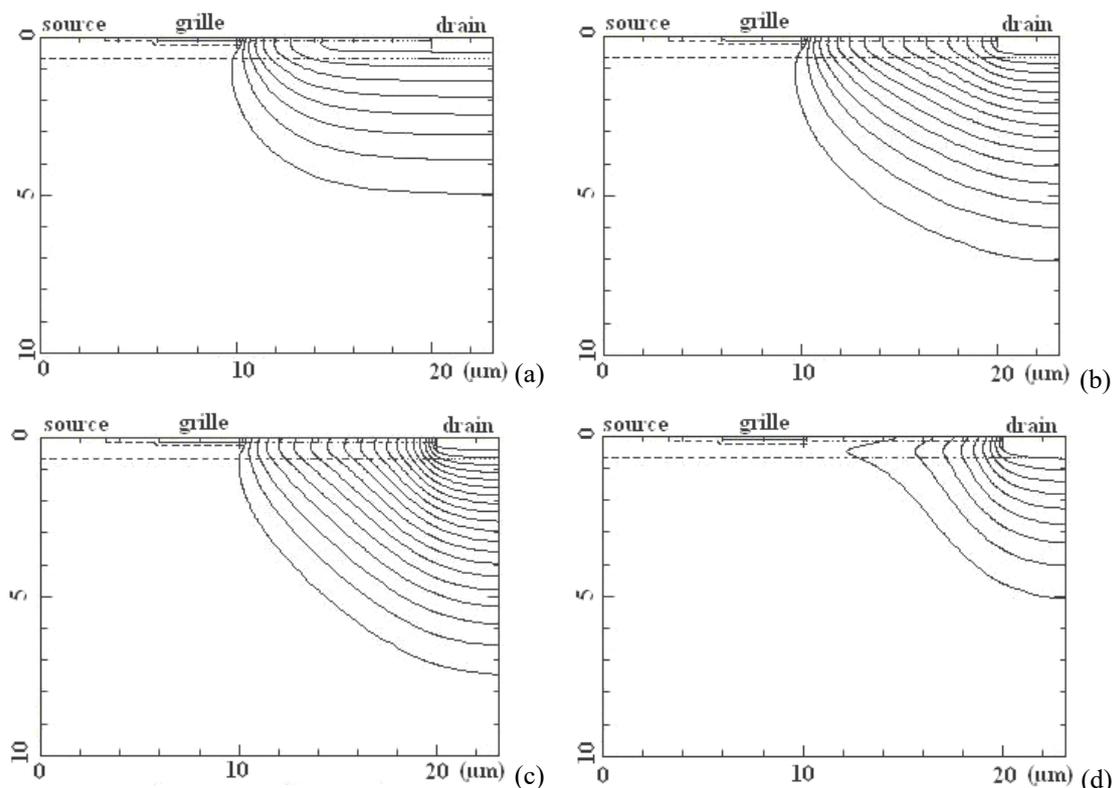
profils de dopage ont été introduits ensuite dans le simulateur MEDICI™. Le tableau 1 présente les différents paramètres de chaque région constituant l'architecture du JFET latéral optimisé.

III. OPTIMISATION DE LA STRUCTURE

L'optimisation de la structure JFET vis à vis des caractéristiques électriques (tenue en tension, résistance à l'état passant) en fonction des règles technologiques, dépend fortement de l'effet RESURF. Dans cette partie, nous allons décomposer en trois les résultats. Tout d'abord, nous allons présenter les résultats vis à vis de la tenue en tension (V_{BR}) du JFET puis en fonction de la résistance à l'état passant. La dernière partie sera consacrée à la présentation des caractéristiques dynamiques de notre structure optimisée.

A) Mode direct bloqué

L'introduction des couches RESURF 'Ptop' et 'P-' a pour but de répartir de façon plus uniforme les lignes de champ électrique pour éviter toute concentration des équipotentielles engendrant le claquage de la jonction grille - canal ou drain - canal du JFET. Dans ce but ces couches doivent être dimensionnées de façon à être désertées en hauteur avant de l'être en longueur, par les jonctions qu'elles introduisent.



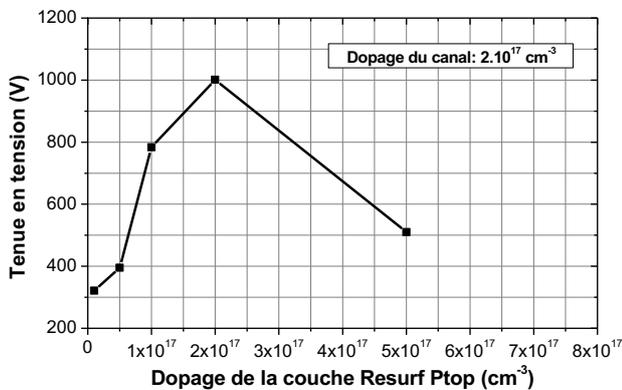
2. Figure: distribution des équipotentielles (avec un incrément de 50V), juste avant le claquage, dans la structure du JFET SiC-4H latéral pour 4 valeurs différentes du dopage de la couche "Ptop": $5 \times 10^{16} \text{ cm}^{-3}$ (a), $1 \times 10^{17} \text{ cm}^{-3}$ (b), $2 \times 10^{17} \text{ cm}^{-3}$ (c) et $5 \times 10^{17} \text{ cm}^{-3}$ (d).

Pour illustrer le rôle joué par les couches RESURF, la figure 2 présente la distribution des lignes équipotentielles (avec un incrément de 50 V) dans la structure du JFET latéral à l'état bloqué sous polarisation directe, juste avant le claquage (augmentation brutale du courant I_{DS} à $10^{-6}A/\mu m$). Quatre cas sont présentés, où la concentration de dopage de la couche 'Ptop' varie en gardant le dopage du canal fixe: $2 \times 10^{17} cm^{-3}$.

La couche "Ptop" dopée à $1 \times 10^{17} cm^{-3}$ (Figure 2b) et $2 \times 10^{17} cm^{-3}$ (Figure 2c), permet d'améliorer la distribution des équipotentielles dans la structure du JFET et d'atteindre des valeurs de tenue en tension proches de 1kV. Cette valeur est 5 fois plus élevée par rapport à la tenue en tension d'une couche SiC-4H non protégé par RESURF avec les mêmes paramètres dopage et épaisseur du canal.

On remarque que la présence de ces couches "Ptop" et P- permettent d'introduire une concentration plus élevée d'impuretés dopantes dans le canal par rapport à une structure sans RESURF. Ceci a lieu grâce à la désertion du canal par les deux jonctions horizontales Ptop – canal et P- - canal. La résistance à l'état passant du JFET est ainsi également diminuée.

La tenue en tension du JFET latéral SiC-4H relevée en fonction du dopage de la couche "Ptop" est récapitulée dans la figure 3. Cette tenue en tension augmente avec le dopage de la couche "Ptop" jusqu'à une concentration autour de $2 \times 10^{17} cm^{-3}$ Elle diminue ensuite, le dopage élevé de la couche "Ptop" ne permettant plus de jouer son rôle de couche RESURF et provoque un claquage latéral.

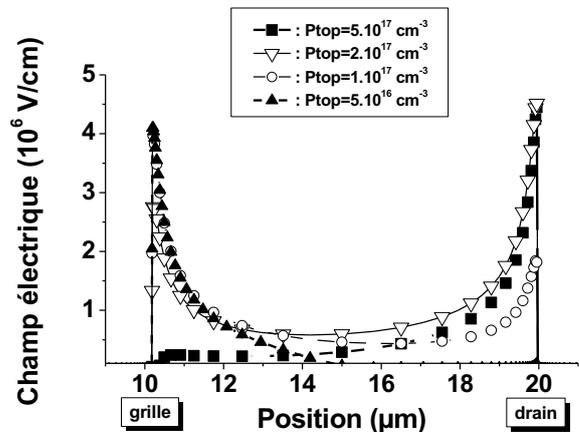


3. Figure : évolution de la tenue en tension du JFET en fonction de la valeur de dopage de la couche RESURF 'Ptop' - le dopage de la couche active = $2.10^{17} cm^{-3}$

Dans la figure 4 est représenté le champ électrique entre la grille et le drain pour les quatre cas de dopage de la couche "Ptop". Les valeurs sont relevées juste avant le claquage. Nous obtenons un pic de champ sur la grille pour les faibles dopages et un pic de champ au niveau du drain pour les forts dopages. Entre $10^{17} cm^{-3}$ et $2 \times 10^{17} cm^{-3}$ les deux pics sont présents.

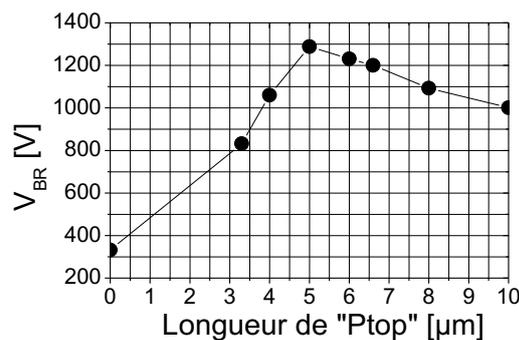
Ainsi le cas optimal se situe entre $10^{17} cm^{-3}$ et $2 \times 10^{17} cm^{-3}$, pour une valeur où les deux pics de champs au niveau de la grille et du drain ont la même amplitude. Nous avons opté pour garder le dopage de $2 \times 10^{17} cm^{-3}$, en

tenant compte de l'activation (mise en sites substitutionnels) incomplète des dopants lors du recuit post-implantation. Cette valeur se situe autour de 80% pour cette gamme de dopages avec de l'Al [7].



4. Figure : distribution du champ électrique entre la grille et le drain du JFET en mode bloqué. Les valeurs sont relevées juste avant le claquage.

La tenue en tension peut encore être améliorée au-delà de 1 kV en faisant varier la longueur de la couche "Ptop", la distance entre la grille et drain (Figure 5). La courbe présente un maximum de V_{BR} pour une longueur grille-drain de 5 μm . Cependant cette valeur est trop proche des limites technologiques que nous allons utiliser dans le procédé fabrication. C'est la raison pour laquelle nous avons gardée la valeur de 10 μm .



5. Figure : évolution de la tenue en tension du JFET en fonction de la longueur de la couche RESURF 'Ptop' - le dopage de la couche = $2.10^{17} cm^{-3}$

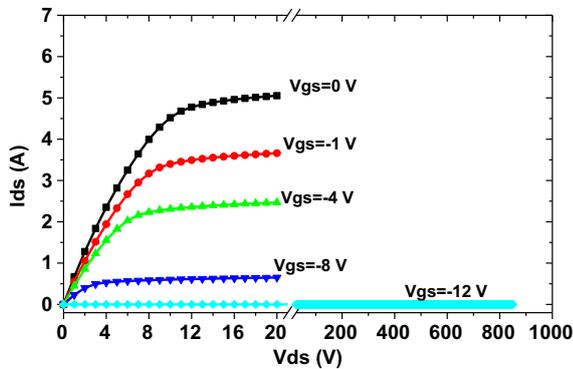
La technique RESURF associée aux propriétés du SiC permet d'obtenir un transistor JFET à structure planaire de petite taille dont la tenue en tension peut atteindre la valeur de 1kV. Cependant à partir d'une tension égale à 750 V, les courants de fuites au niveau de la grille deviennent non négligeables. La présence de ces couches RESURF introduit des transistors bipolaires parasites. Ceci nécessite la polarisation de la couche RESURF épitaxiée P- au même potentiel que celui de la grille

du JFET (Figure 1), pour éviter toutes injections de porteurs entre le substrat et la grille du JFET.

B) Mode direct passant

Dans cette partie, nous allons regarder l'influence des couches RESURF et des limites technologiques sur les caractéristiques en direct passant du transistor. L'optimisation de la résistance à l'état passant, a pour but d'augmenter le courant de conduction et de minimiser la tension aux bornes du composant à l'état off, qui engendre une puissance non négligeable lors de son fonctionnement en commutation

La figure 6 présente les caractéristiques statiques directes du JFET latéral optimisé. La structure est celle de la Figure 1 dont le courant a été calculée pour une surface totale $0,5 \text{ mm}^2$. La longueur du canal est fixée par la limite technologique prise dans ce cas à $3 \mu\text{m}^1$. L'épaisseur du canal est de $0,40 \mu\text{m}$. On remarque que dans ce cas la grille est métallisée sur toute sa largeur.



6. Caractéristique statique $I_{DS} - V_{DS}$ du JFET latéral

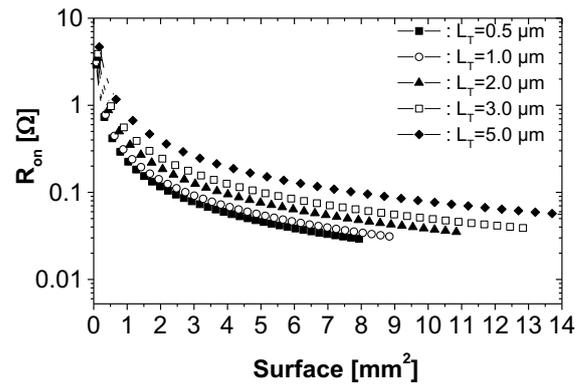
Rapportée à la surface utilisée, la valeur élevée de l'intensité du courant de conduction (5A pour $V_{GS} = 0\text{V}$) est obtenue grâce à la faible valeur de la résistance du canal à l'état passant. La valeur de cette résistance dépend de la concentration d'impuretés dopantes dans le canal ainsi que de la surface de la zone active. En utilisant une surface active relativement faible pour un composant de puissance, la faible valeur de la résistance à l'état passant est due surtout au fort dopage du canal. Ce dopage a pu être augmenté grâce à la présence des deux couches RESURF.

La figure 7 montre la variation de la résistance à l'état passant R_{on} des JFETs en fonction de la limite technologique et la surface des composants. Dans ce cas, le calcul a été réalisé pour des structures interdigitées, en peigne (Figure 9) où la grille n'est pas métallisée sur toute sa largeur. Ces structures permettent d'augmenter la largeur du canal pour une même surface du composant. Dans les doigts, la longueur du canal est égale à celle de la limite technologique. La résistance du canal est ainsi diminuée. Cependant la résistance de la couche de grille augmente surtout pour une couche SiC-4H de type p.

¹ La limite technologique, liée à la photolithographie, est la distance la plus faible entre deux motifs latéraux successifs

Ainsi on observe qu'il est possible d'obtenir une résistance à l'état passant de $0,3 \Omega$ pour une surface égale à $1,5 \text{ mm}^2$ et avec une limite technologique de $3 \mu\text{m}$. Avec cette limite technologique, des surfaces de 5 et respectivement 10 mm^2 sont nécessaires pour obtenir des résistances R_{on} de l'ordre de 100 et respectivement $50 \text{ m}\Omega$. En revanche une surface de 2 mm^2 est suffisante pour obtenir une résistance de $100 \text{ m}\Omega$ en utilisant une limite technologique de $0,5 \mu\text{m}$.

Cependant notre but est de réaliser un démonstrateur. Ainsi pour la réalisation des JFETs nous allons utiliser une technologie de $3 \mu\text{m}$ avec des surfaces des composants relativement faibles (limitées à 2 mm^2). Ces résultats peuvent être extrapolés vers d'autres technologies envisageables pour des applications à grande échelle.



7. Figure : évolution de la résistance R_{on} du canal en fonction de la surface et de la limite technologique utilisées pour la fabrication des JFETs latéraux SiC-4H

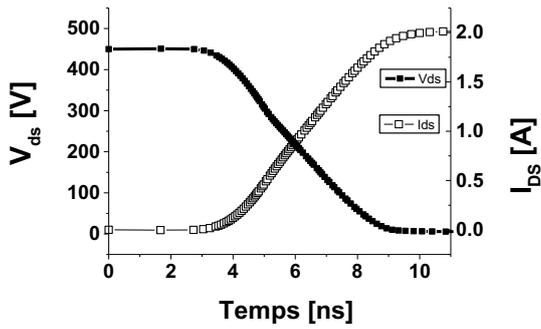
C) Commutations

Le JFET latéral SiC étudié a comme objectif principal d'être utilisé dans des modules de convertisseurs de puissance. Les performances statiques permettent d'envisager des commutations sous des tensions atteignant 600V avec un courant de conduction de 2A .

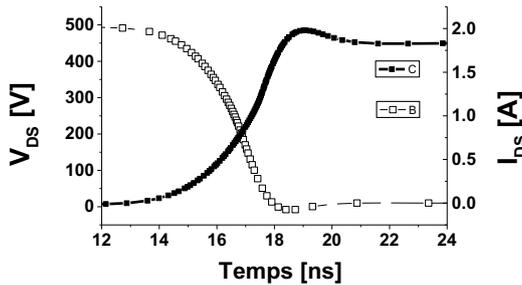
Des simulations MEDICI™ ont été effectuées pour estimer les temps de commutation du transistor. Le comportement du JFET a été simulé dans un circuit de commutation avec une charge résistive (220Ω) et inductive (100 nH). La tension de polarisation est de 450 V . Les caractéristiques dynamiques du JFET latéral sont montrées dans la figure 8 à l'ouverture et à la fermeture. Grâce à la très faible résistance à l'état passant du JFET et aux paramètres physiques du SiC, on obtient une commutation dans un intervalle limité à une dizaine de ns.

Ces valeurs sont plusieurs ordre de grandeur plus faibles par rapport aux interrupteurs de puissance en Si (en extrapolant ces valeurs pour avoir les mêmes calibres courant à l'état passant et la même tenue en tension à l'état bloqué).

A partir des résultats obtenus, un jeu de masques a été réalisé en vue de fabriquer ce composant. La figure 9 présente la cellule élémentaire du jeu de masque avec le détail d'un composant JFET. La partie gauche de la cellule élémentaire est dédiée aux transistors dont la grille est métallisée sur toute la largeur et aux motifs de tests électriques des différentes couches. La partie de droite est dédiée principalement aux transistors avec une structure interdigitée, en peigne.



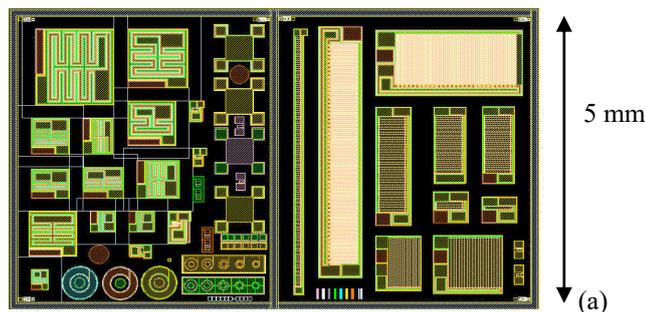
a)



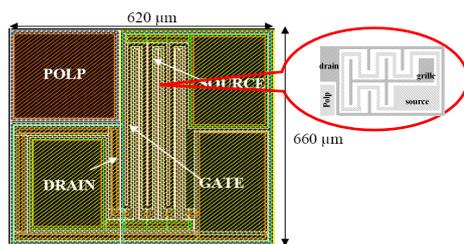
b)

8. Commutation du JFET latéral SiC avec une charge RL
a) ouverture, b) fermeture

Le jeu de masque du JFET latéral est basé sur une technologie de 3 μm . Cette limite technologique semble raisonnable pour une première fabrication de la structure du JFET dont une tenue en tension de 600 V est requise. La réalisation technologique est en cours, elle passe par une phase primaire d'optimisation du dopage profond du SiC par implantation ionique à haute énergie. Cette étape est nécessaire pour la définition précise du canal, la couche active de type N.



(a)



(b)

9. Cellule élémentaire du jeu de masque du JFET latéral SiC (a) avec un détail d'un composant (b)

IV. CONCLUSION

Un composant latéral JFET en SiC-4H a été conçu, en vue de son intégration monolithique dans des structures fonctionnelles des convertisseurs de puissance.

La technique RESURF associée à l'architecture du JFET latéral a permis de diminuer considérablement la valeur de la résistance à l'état passant, d'améliorer la tenue en tension du JFET tout en minimisant la taille du composant.

L'architecture du JFET (dopage et dimensions géométrique des couches) a été optimisée par simulation à éléments finis (MEDICITM). Les caractéristiques statiques et dynamiques obtenues montrent la faisabilité de convertisseurs de puissance par intégration de JFETs latéraux. Grâce à leur fabrication en SiC ils pourront également être testés en régime de haute température (300 - 600°C)

Ces résultats ont conduit à la réalisation d'un jeu de masque pour la fabrication du composant basée sur une technologie à 3 μm . La validation expérimentale des résultats obtenus par simulation, nous permettra de confirmer ou non la possibilité d'utiliser ces composants pour améliorer les performances des convertisseurs de puissance et leur trouver des nouvelles fonctionnalités.

V. RÉFÉRENCES

- [1] Magnus Willander, Milan Friesel, Qamar-Ul Wahab, Boris Straumal, "Silicon carbide and diamond for high temperature device applications" Journal of Materials Science: Materials In Electronics 17 (2006) pp 1– 25.
- [2] Peter Friedrichs, Heinz Mitlehner, Reinhold Schörner, Rainer Kaltschmidt, Karl-Otto Dohnke, Dietrich Stephani, Materials Science Forum Vols. 353-356 (2001) pp 695-698.
- [3] I. Sankin, J.N. Merrett, W.A. Draper, J.R.B. Casady and J.B. Casady, Materials Science Forum Vols. 457-460 (2004) pp. 1249-125
- [4] K.Fujikawa, S.Harada, A.Ito, T.Kimoto, H.Matsunami, "600V 4H-SiC RESURF- Type JFET", Materials Science Forum, 2004, Vols. 457-460, pp. 1189-1192.
- [5] A.W.Ludikhuize, "A Review of RESURF Technology", 2000, ISPSD.
- [6] D.Krizaj, G.Charitat, S.Amon, "A new analytical model for determination of breakdown voltage of RESURF structures", Solid-State Electronics, 1996, Vol. 39, No 9, pp. 1353-1358.
- [7] M. Lazar, C. Raynaud, D. Planson, J.-P. Chante, M.-L. Locatelli, L. Ottaviani, and Ph. Godignon, "Effect of ion implantation parameters on Al dopant redistribution in SiC after annealing: Defect recovery and electrical properties of p-type layers" J. Appl. Phys. 94, (2003), pp 2992-6.