



**HAL**  
open science

## Diode PiN SiC-4H 1,2kV sur épi-wafer SiCrystal

Heu Vang, Christophe Raynaud, Pierre Brosselard, Mihai Lazar, Pierre Cremillieu, Jean -Louis Leclercq, Sigo Scharnholz, Dominique Planson, Jean-Pierre Chante

► **To cite this version:**

Heu Vang, Christophe Raynaud, Pierre Brosselard, Mihai Lazar, Pierre Cremillieu, et al.. Diode PiN SiC-4H 1,2kV sur épi-wafer SiCrystal. 11ème colloque Electronique de Puissance du Futur, Jul 2006, Grenoble, France. hal-04618792

**HAL Id: hal-04618792**

**<https://hal.science/hal-04618792>**

Submitted on 20 Jun 2024

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Diode PiN SiC-4H 1,2kV sur épi-wafer SiCrystal

H. Vang (\*,+), C. Raynaud (\*), P. Brosselard (\*), M. Lazar (\*), P. Cremillieu (\*\*), J.-L. Leclercq (\*\*),  
S. Scharnholz (+), D. Planson (\*), J.P. Chante (\*)

(\*) Centre de Génie Electrique de Lyon, Villeurbanne, France,

(+) Institut de Recherches Franco-allemand de Saint-Louis, Saint-Louis, France,

(\*\*) Laboratoire Electronique Optoélectronique et Microsystème, Ecully, France

*Résumé : Dans la recherche sur le carbure de silicium, la société américaine CREE est le leader mondial et fournit presque tous les substrats qui sont utilisés dans les travaux des différentes équipes à travers le monde. En Europe, la société allemande SiCrystal propose désormais aujourd'hui des épi-wafers pour la fabrication de composants 1,2 kV. Le travail présenté dans ce papier est la réalisation de diodes bipolaires PiN SiC-4H 1,2 kV protégées par une JTE à partir d'un épi-wafer de chez SiCrystal. Les composants obtenus montrent une tenue en tension maximale de 1,2 kV, une densité de courant de 400 A.cm<sup>-2</sup> et une résistance à l'état passant de 4.4 mΩ.cm<sup>-2</sup>. Le rendement des diodes fabriquées pour une tenue en tension supérieure à 600 V est de 75%.*

## I. INTRODUCTION

Le carbure de silicium est actuellement devenu incontournable pour les dispositifs de puissance du futur depuis l'apparition sur le marché de composants SiC. Grâce à ses propriétés physiques et électriques exceptionnelles, il est théoriquement possible de réaliser des composants de puissance en carbure de silicium permettant des tenues en tension supérieures à 10 kV [1]. Avec une bande interdite trois fois supérieure à celle du silicium et une conductivité thermique proche de celle du cuivre, les composants de puissance en SiC pourraient fonctionner à haute température. De cette manière, pour des systèmes de puissance en SiC, l'encombrement des composants et du circuit de refroidissement serait considérablement réduit.

Actuellement, le principal frein au développement commercial de la filière SiC est la disponibilité de substrats SiC de qualité qui présentent peu de défauts. Le marché actuel des substrats de SiC est dominé par l'américain CREE [2], mais de nouveaux fournisseurs tels que SiCrystal [3] proposent désormais des substrats avec des épitaxies pour la fabrication de composants de puissance. Cette nouvelle concurrence pourra à terme apporter une baisse des coûts.

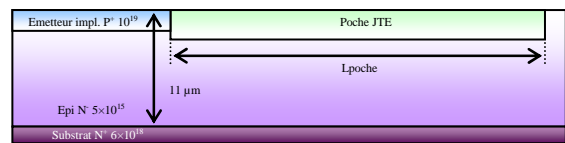
Le travail proposé dans ce papier est basé sur la réalisation d'une diode bipolaire haute tension 1,2 kV en SiC à partir d'un substrat n<sup>+</sup> SiCrystal avec une épitaxie n<sup>-</sup>. La structure de la diode est constituée une jonction PN avec une protection périphérique de type Junction Termination Extension (JTE) [4]. La première partie de l'article décrit la conception et la fabrication des composants. Ensuite, les résultats de caractérisation des composants réalisés seront présentés et discutés.

## II. CONCEPTION ET FABRICATION

### A. Conception

Le matériau utilisé est un substrat de type n<sup>+</sup> avec une concentration de dopants de 6×10<sup>18</sup> cm<sup>-3</sup>, sur laquelle est épitaxiée une couche de type n<sup>-</sup> avec un dopage de 5×10<sup>15</sup> cm<sup>-3</sup> (± 50%). L'émetteur de la diode sera ensuite réalisé par implantation ionique d'atomes d'aluminium [5].

La structure de la diode avec sa protection périphérique JTE est présentée sur la figure 1. La longueur de la poche varie de 125 μm à 520 μm.



1. Figure : Structure de la diode protégée par poche JTE avec une épaisseur d'épitaxie de 11 μm

D'après les données de l'épi-wafer de SiCrystal, le matériau permet la fabrication de composants de puissance ayant une tenue en tension de 1,2 kV. Cependant, les simulations effectuées sur le logiciel MEDICI<sup>TM</sup> montrent la possibilité de réalisation d'une diode de 1,6 kV (avec les coefficients d'ionisation de Konstantinov [6]) pour une structure monodimensionnelle. Par ailleurs, la tenue en tension pour la structure de la figure 1 avec une dose optimale de 10<sup>13</sup> cm<sup>-2</sup> pour les poches JTE et une longueur supérieure à 150 μm est de 1,57 kV. Ces valeurs sont obtenues avec un dopage nominal de 5×10<sup>15</sup> cm<sup>-3</sup> de la couche épitaxiée. En effet, en tenant compte de la tolérance sur les données constructeur, dans le cas le plus défavorable, le dopage de la couche épitaxiée serait de 7.5×10<sup>15</sup> cm<sup>-3</sup>, et dans cette configuration, on obtient alors une tenue en tension de 1.3 kV pour la structure en une dimension.

La fabrication du composant (fig.2) nécessite un jeu de masques de 7 niveaux qui sont décrits dans le tableau 1. La passivation est composée de deux niveaux, un premier pour l'optimisation des états d'interfaces du SiC et un second pour l'interface couche de passivation/air. La métallisation se présente également en deux parties : la première est la prise de contact du semi-conducteur et la seconde est la surmétallisation pour le bonding, afin de permettre la connexion du composant à un circuit électrique.

1. Tableau : Description des différents niveaux du jeu de masques

Niveau	Nom	Description
1	Active	Mise en place des croix d'alignements
2	Emetteur	Masque d'implantation des émetteurs
3	JTE	Masque d'implantation des poches JTE
4	Passivation 1	Ouverture de la couche de passivation primaire
5	Métallisation 1	Contacts ohmiques
6	Métallisation 2	Surmétallisation
7	Passivation 2	Ouverture de la couche de passivation secondaire

## B. Fabrication

L'échantillon utilisé est un quart de wafer 2" (100 mm). Suite à un nettoyage chimique, une résine photosensible d'une épaisseur de 4  $\mu\text{m}$  a été déposée. Une première étape de lithographie est réalisée afin d'ouvrir les zones à graver représentant les croix d'alignement. La gravure du SiC est réalisée dans un bâti plasma RIE [7] ; la hauteur de marche obtenue est de quelques centaines de nanomètres.

Puis, pour la définition de l'émetteur, une couche de 2  $\mu\text{m}$  d'aluminium réalisée par pulvérisation cathodique est utilisée comme masque d'implantation (lithogravure avec le deuxième niveau). L'émetteur est formé par 4 implantations successives avec différentes énergies.

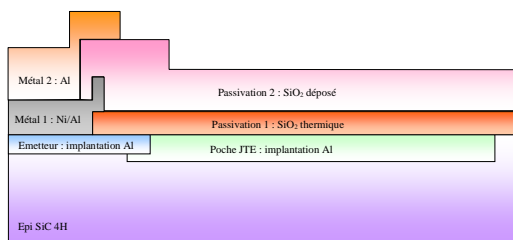
Ensuite, de la même manière que pour l'émetteur, les poches JTE sont formées par implantation ionique au travers d'un masque d'aluminium.

La première couche de passivation est une fine couche de silice obtenue par oxydation thermique à 1150°C pendant 3 heures, suivie d'un recuit à 1150°C sous azote pendant 1 heure.

Après l'ouverture de cette passivation au niveau des émetteurs, les contacts métalliques Ni/Al sont évaporés par effet joule et obtenus par un procédé de « lift-off ». La métallisation en face arrière est formée par une bicouche Ti/Ni. La formation des contacts ohmiques devient effective après un recuit à 1000°C.

Ensuite, la couche de passivation 2 est mise en place. Elle est constituée d'une couche épaisse d'oxyde de 2  $\mu\text{m}$  [8] déposée par pulvérisation cathodique.

Pour finir, après l'ouverture de la passivation au niveau des contacts, la surmétallisation est formée par une couche épaisse d'aluminium de 2  $\mu\text{m}$  déposée sur la métallisation 1.



2. Figure : structure de la diode réalisée avec toutes les étapes technologiques.

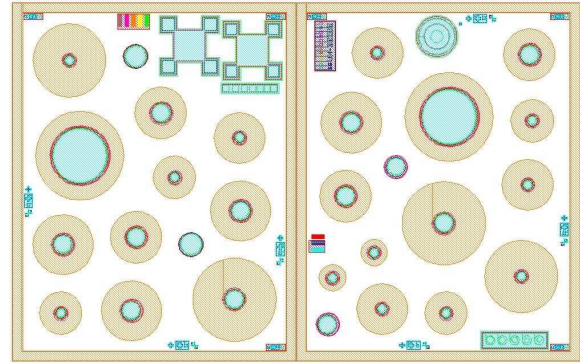
## III. CARACTERISATION

Les caractéristiques électriques des diodes bipolaires réalisées ont été effectuées en deux temps :

- juste après le recuit de métallisation, sur une partie des diodes, les composants possèdent seulement la couche de passivation primaire (soit une fine couche de SiO<sub>2</sub>) ;
- à la fin de toutes les étapes technologiques et toutes les diodes ont été testées.

Le quart de wafer ainsi traité possède plusieurs champs d'une taille de 10x6 mm<sup>2</sup>. Dans chaque champ (fig. 3), on trouve des diodes de tailles différentes. Les diamètres de

l'émetteur sont : 250, 400 et 1000  $\mu\text{m}$ . De plus, pour un même diamètre, la longueur des poches JTE varie (tableau 2).



3. Figure : champ unitaire du jeu de masques

2. Tableau : description des diodes

Références	Diamètre émetteur ( $\mu\text{m}$ )	Longueur poche ( $\mu\text{m}$ )
D1, D25	250	500
D6, D14, D22, D27	250	325
D5, D11, D18, D28	250	250
D23, D24	250	120
D13, D21	400	500
D7, D10, D12, D16	400	325
D4, D8, D15, D19	400	250
D20, D26	400	0
D3, D17	1000	250

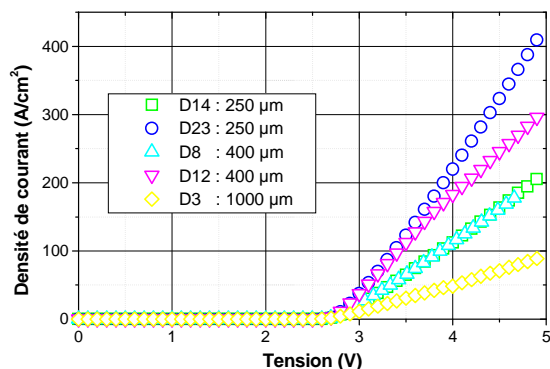
Le banc de mesure utilisé pour réaliser toutes les caractérisations présentées dans ce papier est constitué d'une table sous pointe et d'un appareil servant à la fois de générateur et d'appareil de mesure : un source-mètre (Source Meter Unit) Keithley 2410. Cet instrument permet une caractérisation sur une plage de tension de 0 à 1,1 kV et un courant maximal de 1 A pour une puissance maximale de sortie de 20 W.

### A. En régime direct

Lors de la première série de caractérisation, l'échantillon a été simplement posé sur un support métallique sans aucune précaution de fixation (colle conductrice par exemple) permettant d'améliorer le contact en face arrière.

Sur la figure 4, les courbes montrent les caractéristiques I(V) en direct de plusieurs diodes de dimensions différentes. Les diodes les plus petites de 250  $\mu\text{m}$  de diamètre montrent une densité de courant la plus élevée aux alentours de 400 A.cm<sup>-2</sup>. Bien que les courants dans les plus grandes diodes (1000  $\mu\text{m}$  de diamètre) soient plus importants (de l'ordre de 700 mA), la densité de courant diminue très fortement : elle n'est plus que de 100 A.cm<sup>-2</sup>. La variation de densités de courant en fonction des dimensions des diodes peut s'expliquer par la faible épaisseur de la métallisation pouvant induire le phénomène de "current spreading", c'est-à-dire que le courant circule uniquement autour de la pointe. L'autre possibilité est que la résistance longitudinale du contact ohmique soit non négligeable et provoque un déséquilibre au niveau de la polarisation de l'émetteur, les potentiels de l'émetteur variant selon la distance du point de contact avec la pointe.

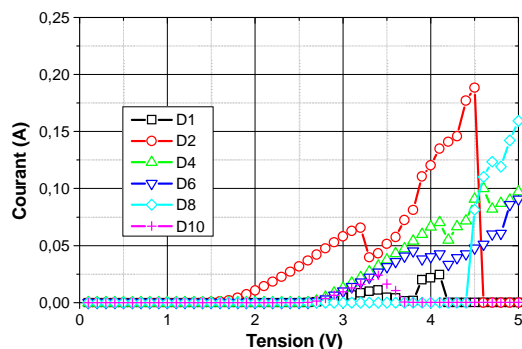
Une analyse de ces résultats montrent qu'apparemment les meilleures diodes sont les plus petites (diamètre de 250  $\mu\text{m}$ ), avec un R<sub>on</sub> de 4.4 m $\Omega$ .cm<sup>-2</sup>, alors que les plus grandes possèdent un R<sub>on</sub> de 17 m $\Omega$ .cm<sup>-2</sup>.



4. Figure : Caractéristiques en direct des diodes PiN SiC sans passivation secondaire ni surmétallisation.

Lors de la deuxième campagne de mesures, une couche épaisse de SiO<sub>2</sub> a été déposée comme couche de passivation. Cette étape a été suivie de la surmétallisation, afin d'épaissir le contact de la diode.

Après plusieurs mesures (fig.5), on constate qu'en direct, les niveaux de courant sont beaucoup plus faibles. Et surtout, on ne retrouve pas les caractéristiques typiques de diodes, puisque les formes des courbes sont discontinues. La cause de l'altération de ces diodes est due à une mauvaise ouverture de la seconde couche de passivation ; il reste alors une très fine couche d'oxyde. La présence de cette dernière entraîne un mauvais contact entre les deux métallisations, d'où les « sauts » présents sur les caractéristiques. Pour palier à ce problème, il est nécessaire d'enlever la surmétallisation et d'éliminer complètement l'oxyde encore présent au-dessus de la première métallisation et ensuite, de réitérer les étapes technologiques. Par contre, concernant la caractérisation en inverse, ce défaut ne présente pas de problème pour effectuer des mesures correctes.



5. Figure : Caractéristiques en direct des diodes PiN SiC après toutes les étapes technologiques.

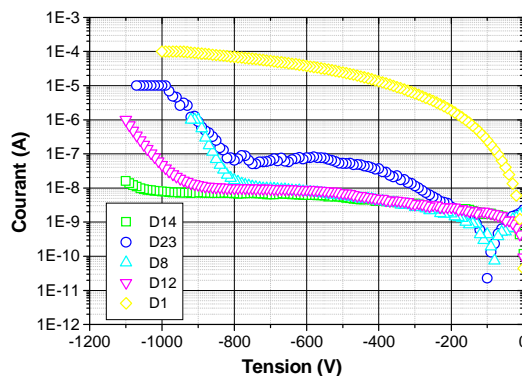
### B. En régime inverse

Pour la première caractérisation, l'échantillon possédait une couche de passivation très fine qui ne permettait pas de monter très haut en tension, sous peine de provoquer des arcs électriques en local dans l'air et de ce fait détruire le composant. Pour éviter ce phénomène, les composants ont été immergés dans une huile spéciale, le Galden®, constituant un milieu hautement diélectrique.

Les premières mesures montrent des tenues en tension supérieures à 800 V, certaines atteignant même la limite de l'appareil qui est une tension de 1100 V. Les meilleures

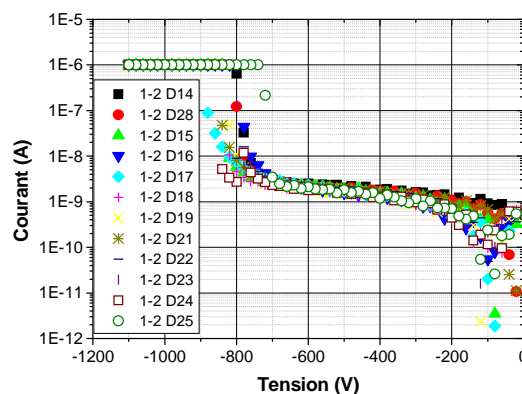
diodes atteignent pratiquement la tenue en tension nominale donnée par le fabricant du matériau (fig.6) (1200V).

On note cependant que plus l'émetteur de la diode est grand, plus les courants de fuite sont importants. Ces fuites sont dues à la qualité générale du matériau, qu'il s'agisse des dislocations ou des micropores. En effet, plus la surface d'un composant est grande, plus la probabilité de se trouver sur un défaut est importante. En l'occurrence, ici, la densité des micropores de la plaque utilisée est de 10 cm<sup>-2</sup>. A cela, il faut ajouter les défauts de croissance et les dislocations, données non spécifiées.



6. Figure : Caractéristiques en inverse des diodes PiN SiC sans passivation secondaire ni surmétallisation.

Concernant la deuxième campagne de mesures (fig.7), les composants ont pu être caractérisés dans l'air en raison d'une couche de passivation importante pour la tenue en tension visée. Les risques de claquage dans l'air sont ainsi annihilés. Les tenues en tension varient principalement entre 600 et 1050 volts au maximum.



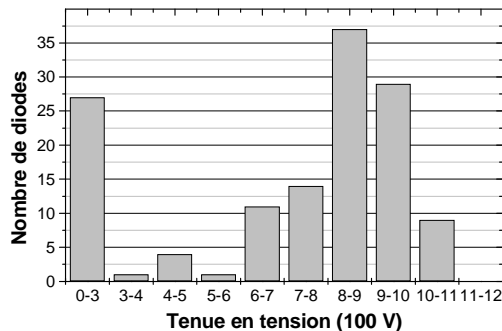
7. Figure : Caractéristiques en inverse des diodes PiN SiC après toutes les étapes technologiques.

Comme le montrent les données du tableau 3, en terme de rendement avec des diodes ayant une tenue en tension supérieure à 50% de la valeur nominale, on obtient un rendement d'environ 75%. Le graphe de la figure 8 montre la répartition du nombre de diodes en fonction de leur tension de claquage. Il y a une forte concentration de diodes avec une tenue en tension autour des 800-1000 V, et la moyenne est de 850 V (sans tenir compte des diodes ayant une tenue en tension inférieure à 300 V). La plupart des composants dont la tenue en tension est très faible se trouve en périphérie de la plaque où les effets de bords sont très prononcés (mauvaise définition de la technologie). Pour les très grandes dimensions, nous retrouvons les problèmes liés à la probabilité de présence de défauts.



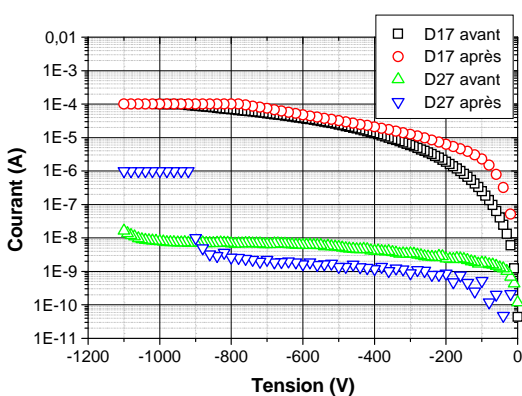
3. Tableau : Pourcentage de diodes en fonction de la tenue en tension.

Tenue en tension (% V <sub>brmax</sub> )	Pourcentage de diodes
0-25	20.3
25-50	4.5
50-75	44.4
75-100	30.8



8. Figure : graphe de la répartition du nombre de diodes en fonction de leur tenue en tension

Il existe toutefois une grande différence entre les diodes testées au cours des deux campagnes de mesures (après le recuit de métallisation et après toutes les étapes technologiques) : la tenue en tension a fortement diminué (fig.9). En comparant deux diodes entre les deux mesures, la régression est assez importante, puisque la tenue en tension est réduite d'environ 200 V. Cette baisse peut être due à la mauvaise qualité de l'oxyde déposé par pulvérisation cathodique et la présence d'une importante densité de charge dans l'oxyde. Ces charges réduisent les effets de la poche JTE. Cette présence a été confirmée en effectuant des analyses SIMS sur une couche de SiO<sub>2</sub> déposée par le même procédé et dans la même machine. Une contamination par de l'aluminium a été décelée et est imputable au fait que le bâti de dépôt est multi-procédés (diélectriques, métaux). Il conviendra à l'avenir d'utiliser des couches épaisses de SiO<sub>2</sub> réalisées dans un bâti dédié assurant la qualité intrinsèque du matériau diélectrique.



9. Figure : comparaison des deux mesures en inverse effectuées sur 2 diodes différentes.

#### IV. CONCLUSION

Cette étude a permis la réalisation de diodes PiN SiC-4H 1,2 kV sur la filière épi-wafer SiCrystal. Les premières mesures démontrent ici la réalisation de diodes de qualité avec des densités de courant de 400 A.cm<sup>-2</sup>, une résistance à l'état passant de 4.4 mΩ.cm<sup>-2</sup>, pour une tenue en tension de l'ordre de 1,2 kV. De plus, malgré la baisse de la tenue en

tension engendrée par la couche de passivation finale, le rendement de fabrication est bon, puisque environ 75% des diodes réalisées ont une tension de claquage supérieure à 600 V (soit 50% de la tenue en tension maximale).

Enfin, pour une étude plus approfondie des caractéristiques des diodes SiC réalisées, l'échantillon sera de nouveau traité. La couche d'oxyde épais sera remplacée par une nouvelle de meilleure qualité (dépôt par PECVD dans un bâti dédié) et la surmétallisation sera également refaite afin de permettre le bonding dans l'optique d'une caractérisation en dynamique.

Les résultats obtenus au travers de notre étude à partir d'un épi-wafer SiCrystal montre qu'il existe maintenant une alternative aux matériaux de CREE. Il serait intéressant pour SiCrystal de viser des épi-wafers pouvant atteindre des plus hautes tensions.

#### V. REFERENCES

- [1] Cooper, J.A. Jr, Agarwal, A., "SiC Power-switching devices – the second electronics revolution ?". Proceedings of the IEEE. 2002. Vol. 90, No. 6.
- [2] CREE corporation, <http://www.cree.com>
- [3] SiCrystal AG, <http://www.sicrystal.de>
- [4] Wang, S.R., Raynaud, C., Planson, D., Lazar, M., Chante, J.P., "OBIC measurements of 1.3 kV 6H-SiC bipolar diodes protected by junction termination extension". Materials Science-Forum. 2003, 433-436.
- [5] Lazar, M., Raynaud, C., Planson, D., Locatelli, M. L., Isoird, K., Ottaviani, L., Chante, J. P., Nipoti, R., Poggi, A., Cardinali, G., "A comparative study of high-temperature aluminium post-implantation annealing in 6H- and 4H-SiC, non-uniform temperature effects". Materials Science Forum. 2002, 389-393.
- [6] Konstantinov, A.O., Wahah, Q., Nordell, N., Lindefelt, U., "Ionization rates and critical fields in 4H-SiC". Applied Physics Letters. 1997. 71, 90-92.
- [7] Vang, H. Chaboud, F., Morel, T., Brosselard, P., Cremillieu, P., Leclercq, J.-L., Lazar, M., Planson, D., Scharholz, S., "Gravure RIE profonde du SiC pour la réalisation de composants de puissance". MGE 2005.
- [8] Ortolland, S., Raynaud, C., Locatelli, M.L., Chante, J.P. and Senes, A., "Surface effects on current mechanisms in 6H-SiC n+pp+ structures passivated with a deposited oxide". Journal Applied Physics. 1998. 84, 1688-1692.