



**HAL**  
open science

# Systeme de gestion optimale du temps-mort intégré au gate-driver CMOS grâce à la mesure du courant de grille pour les MOSFETs SiC

Matthieu Masson, Marc Cousineau, Nicolas C. Rouger, Frédéric Richardeau, Pierre Calmes, Matthew Bacchi

## ► To cite this version:

Matthieu Masson, Marc Cousineau, Nicolas C. Rouger, Frédéric Richardeau, Pierre Calmes, et al.. Systeme de gestion optimale du temps-mort intégré au gate-driver CMOS grâce à la mesure du courant de grille pour les MOSFETs SiC. Congrès de l'école doctorale GEETS, Ecole Doctorale GEETS, Jun 2024, TOULOUSE (FRANCE), France. hal-04606906v2

**HAL Id: hal-04606906**

<https://hal.science/hal-04606906v2>

Submitted on 11 Jun 2024

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Distributed under a Creative Commons Attribution - NonCommercial - NoDerivatives 4.0 International License

# Système de gestion optimale du temps-mort intégré au gate-driver CMOS grâce à la mesure du courant de grille pour les MOSFETs SiC.

<sup>1,2</sup>Matthieu Masson

Direction de thèse : <sup>1</sup>Marc Cousineau, <sup>1</sup>Nicolas Rouger, <sup>1</sup>Frédéric Richardeau, <sup>2</sup>Pierre Calmes, <sup>2</sup>Matthew Bacchi

<sup>1</sup>LAPLACE, LCOM SEMA NXP/CNRS/INP-T/UPS, 2 Rue Charles Camichel, 31500 Toulouse  
<sup>2</sup>NXP semiconductors 134 Av. du Général Eisenhower, 31100 Toulouse

Cet article présente la conception d'un circuit intégré de contrôle de grille innovant afin de répondre aux nouveaux enjeux liés à l'utilisation des MOSFETs SiC. Ce circuit intègre une fonctionnalité de gestion optimale du temps-mort reposant sur la mesure interne du courant de grille. Les résultats expérimentaux montrent une détection de la durée idéale de temps-mort avec un délai inférieur à 20ns, permettant ainsi de réduire considérablement les pertes et les dégradations durant cette phase de fonctionnement.

## I. INTRODUCTION

Les transistors MOSFET en carbure de silicium (SiC) sont maintenant largement présents dans les chaînes de traction, notamment pour les véhicules électriques ou le domaine ferroviaire [1]. Contrairement au transistor IGBT utilisé traditionnellement dans ce type d'application, le MOSFET possède un mécanisme de circulation inverse du courant, au travers de sa diode de corps intrinsèque. C'est pourquoi les modules SiC n'intègrent pas systématiquement de diodes de roue libre à barrière Schottky (SBD), afin de limiter leur coût et leur taille. Cependant, l'utilisation de la diode de corps lors des phases de temps-mort pose des questions sur la fiabilité des composants [2] et engendre des pertes importantes [3].

La gestion du temps-mort devient cruciale pour ces nouveaux composants dont les durées de commutation peuvent varier entre 200ns et 500ns. Les circuits intégrés de contrôle de grille (Gate-Drivers) sont amenés à répondre à ces nouveaux enjeux de rapidité et de fiabilité. Plusieurs solutions ont déjà été proposées pour réaliser une optimisation instantanée de la durée du temps-mort, comme la mesure indirecte de la tension drain-source pour détecter la conduction de la diode de corps [4]. De nombreuses autres méthodes s'appuient, elles, sur la mesure de paramètres haut niveau pour optimiser pas à pas le temps mort en cherchant un rendement maximal [5].

Cet article présente une nouvelle méthode développée au laboratoire commun SEMA en partenariat avec le LAPLACE et la société NXP Semiconductors reposant sur la mesure du courant de grille au sein même du gate-driver afin de garantir une vitesse de réaction maximale et une résilience aux parasites externes tout en évitant l'utilisation de composants discrets externes.

## II. DETECTION DE LA FIN DE COMMUTATION PAR LA METHODE DU COURANT DE GRILLE

Une phase d'onduleur est constituée d'une cellule de commutation représentée figure 1. Dans cette configuration, le MOSFET  $M_1$  est le transistor actif fournissant le courant vers la charge et  $M_2$  est le transistor complémentaire assurant la recirculations du courant en l'absence de diode. Une période de découpage

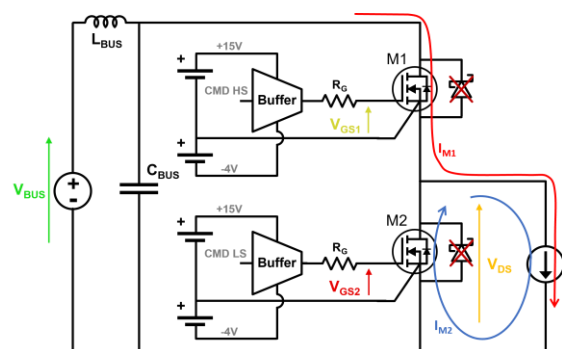


Fig. 1. Schéma d'un bras d'onduleur réalisé autour d'une cellule de commutation à MOSFET SiC sans diode SBD

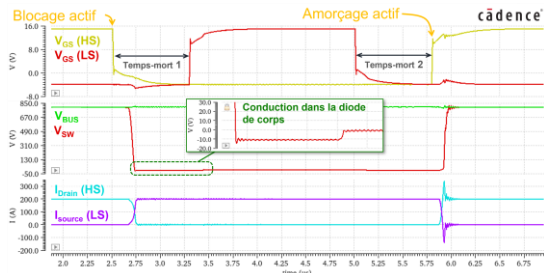


Fig. 2. Simulation d'une période de commutation faisant apparaître les deux temps-morts

est représentée en figure 2, faisant apparaître les deux temps-morts. Cet article se concentre sur l'optimisation de la durée du 1<sup>er</sup> temps-mort afin de réduire le temps de conduction de la diode de corps du transistor complémentaire. Cette dernière commence à conduire le courant dès que la tension drain-source ( $V_{DS}$ ) s'annule. La détection du temps de blocage du transistor actif au sein de la cellule de commutation permet donc de définir la durée optimale du temps mort [6].

La méthode présentée utilise le couplage capacitif naturellement présent entre le drain et la grille ( $C_{GD}$ ) du MOSFET complémentaire. La figure 3.a) montre le chemin du courant appelé par la capacité  $C_{GD}$  lors de la variation de la tension  $V_{DS}$ . Ce courant est fourni en partie par le driver au travers de la résistance de grille et peut donc être mesuré en interne. La capacité de couplage grille-drain voit sa valeur multipliée par un facteur d'environ 50 lorsque  $V_{DS}$  passe de 25V à 0V comme le montre la figure 3.b).

Cette propriété est intéressante pour notre application puisqu'il en résulte un pic de courant de grille au moment où  $V_{DS}$  s'annule.

Un détecteur de pic rapide, associé à un système de copie de courant intégré au gate-

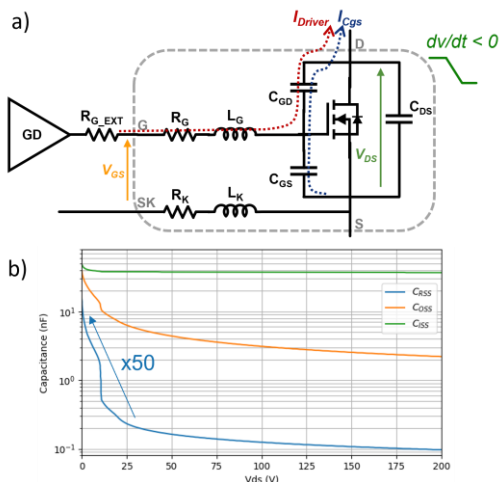


Fig. 4. a) Schéma du couplage de drain-grille lors du blocage et b) Évolution des capacités intrinsèques du transistor SiC avec la tension drain-source

driver peut donc fournir un signal correspondant à la détection de la fin du blocage.

### III. INTEGRATION CMOS DE LA MESURE DE COURANT AU SEIN DU GATE-DRIVER

#### A. Conception du circuit

Le circuit lors de ces travaux de thèse est capable de contrôler la grille d'un MOSFET SiC entre -4V et +15V avec un courant maximal de 15A. L'étage de sortie est doté d'un système de mesure de courant grâce à un senseFET associé au NMOS de sortie. Ce capteur est inspiré du détecteur de courant de crête pour régulateur Buck présenté dans [7] avec une forte contrainte supplémentaire sur la bande passante et la rapidité du système. La copie du courant de grille est connectée à un détecteur de pic afin de générer un signal dès la détection de la fin du blocage. L'utilisation d'un détecteur de pic permet au système de ne pas être dépendant d'un seuil fixe puisqu'il repose sur la dynamique du signal, le rendant ainsi plus robuste aux variations de point de fonctionnement. Tous ces éléments ont été conçu et intégrés dans la puce montrée dans la figure 4.

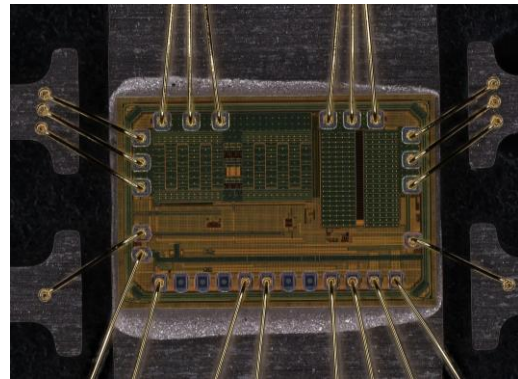


Fig. 3. Photographie du circuit intégré fabriqué et placé dans son boîtier. Dimensions de la puce : 2,1mm x 1,4mm

#### B. Validation de la fonctionnalité de détection de la fin de commutation

Les performances du circuit sont validées dans une configuration de test à double impulsion avec un module de puissance SiC CAB450XM3 (1200V, 450A). Le gate-driver est placé sur une carte d'évaluation spécifique,

connectée au niveau du transistor complémentaire (low-side) comme le montre la figure 5.

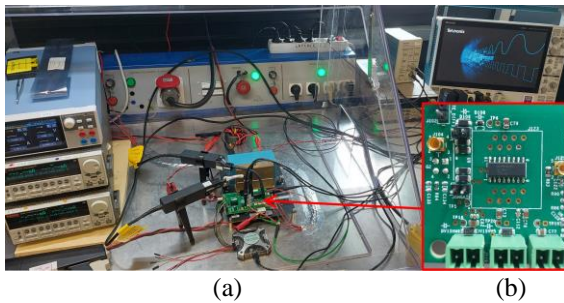


Fig. 5. (a) Banc d'essai du circuit gate-driver et (b) Zoom sur la puce encapsulée en boîtier SOIC-16

La figure 6 présente le résultat de la copie de courant ainsi que du détecteur de pic pour un point de fonctionnement avec la tension de bus à 400V et un courant de charge de 75A. On observe la montée du courant de grille lors de la diminution de la tension  $V_{DS}$ , jusqu'à atteindre un pic à 700mA à la fin du blocage. La tension image du courant de copie interne permet de valider le système de mesure du courant, avec un temps de réponse inférieur à 20ns. Pour finir, on observe l'apparition du flag signalant la détection du pic 16ns après ce dernier.

## IV. CONCLUSION

La mesure du courant de grille du transistor complémentaire lors du blocage du transistor actif permet de déterminer avec précision la durée idéale du temps mort associé. Cette méthode, utilisant un couplage capacitif interne au MOSFET, présente l'avantage de ne nécessiter aucune mesure de potentiel élevé. Ce système est donc facilement intégrable au sein

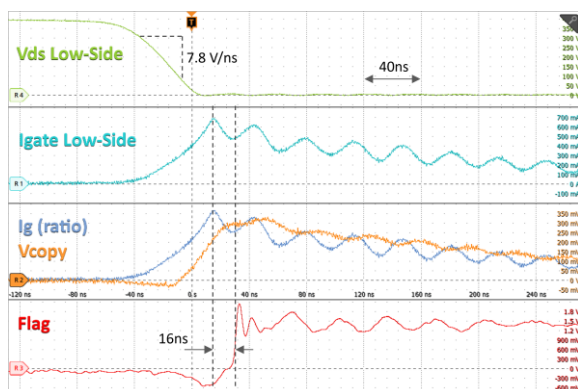


Fig. 6. Résultats expérimentaux de détection de la fin du blocage. Comparaison entre le courant de grille ( $I_g$ ) et l'image de la copie de courant ( $V_{copy}$ ) et apparition du flag de détection après 16ns. CAB450M12WM3,  $V_{BUS}=400V$ ,  $I_{Load}=75A$

du gate-driver afin de bénéficier d'une bande passante élevée et d'une meilleure robustesse face aux perturbations. Un circuit gate-driver a été conçu puis réalisé afin de valider ce concept pour un MOSFET automobile 1200V et 450A. Les mesures expérimentales montrent une détection du blocage avec un retard de 16ns grâce à la copie de courant rapide. Un futur prototype sera en mesure d'amorcer automatiquement le transistor complémentaire dès la détection de ce signal afin de limiter la durée de temps-mort au strict minimum. Cette méthode d'adaptation garanti un temps de conduction minimal de la diode de corps afin de réduire les pertes par conduction ainsi que les dégradations associées à l'utilisation de ces diodes.

## V. REFERENCES

- [1] W. Chou, A. Kempitiya, et O. Vodyakho, « Reduction of Power Losses of SiC MOSFET Based Power Modules in Automotive Traction Inverter Applications », in 2018 IEEE Transportation Electrification Conference and Expo (ITEC), juin 2018, p. 1035-1038. doi: 10.1109/ITEC.2018.8450130.
- [2] O. Aviñó Salvadó et al., « Threshold voltage instability in SiC MOSFETs as a consequence of current conduction in their body diode », Microelectronics Reliability, vol. 88-90, p. 636-640, sept. 2018, doi: 10.1016/j.microrel.2018.06.033.
- [3] M. Masson et al., « Static and Dynamic Characterization of a 1.2 kV SiC MOSFET in Third Quadrant, » in 2023 25th European Conference on Power Electronics and Applications (EPE'23 ECCE Europe), Sep. 2023, pp. 1–8. doi: 10.23919/EPE23ECCEurope58414.2023.10264635.
- [4] L. Mei, D. Williams, and W. Eberle, « A Synchronous Buck Converter Using a New Predictive Analog Dead-Time Control Circuit to Improve Efficiency, » Canadian Journal of Electrical and Computer Engineering, vol. 36, no. 4, pp. 181–187, 2013, doi: 10.1109/CJECE.2014.2303521.
- [5] V. Yousefzadeh and D. Maksimovic, « Sensorless optimization of dead times in dc-dc converters with synchronous rectifiers, » IEEE Transactions on Power Electronics, vol. 21, no. 4, pp. 994–1002, Jul. 2006, doi: 10.1109/TPEL.2006.876850.
- [6] J. Dyer et al., « Dead-time optimization for SiC based voltage source converters using online condition monitoring », in 2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA), oct. 2017, p. 15-19. doi: 10.1109/WiPDA.2017.8170495.
- [7] Jung-Woo Ha et al., « A Fast Response Integrated Current-Sensing Circuit for Peak-Current-Mode Buck Regulator », IEEE ESSCIRC 2014