



HAL
open science

Diode PiN 6500V en SiC-4H

Pierre Brosselard, Runhua Huang, Duy Minh Nguyen, Dominique Planson,
Lionel Dupuy, Grégory Grosset, Bertrand Vergne, Sigo Scharnholz

► **To cite this version:**

Pierre Brosselard, Runhua Huang, Duy Minh Nguyen, Dominique Planson, Lionel Dupuy, et al.. Diode PiN 6500V en SiC-4H. 14ème EPF, Jul 2012, Bordeaux, France. 4 p. hal-04573111

HAL Id: hal-04573111

<https://hal.science/hal-04573111>

Submitted on 13 May 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Diode PiN 6500V en SiC-4H

Pierre Brosselard¹, Runhua Huang¹, Duy-Minh Nguyen¹, Dominique Planson¹, Lionel Dupuy²,
Grégory Grosset², Bertrand Vergne³ et Sigo Scharnholz³

¹ Laboratoire AMPERE, INSA-Lyon, 21 av. Jean Capelle, 69621 Villeurbanne-Cédex,

² Ion Beam Services (IBS), av. Gaston Imbert Prolongée, 13790 Peynier

³ Institut franco-allemand de recherche de St Louis (ISL), av. du général Cassagnou, 68301 St Louis Cédex

Des diodes PiN 6500V en SiC ont été réalisées chez IBS. Huit étapes de photolithographie sont nécessaires pour la fabrication de tels composants. La protection périphérique est de type Mesa-JTE. La tenue en tension maximale obtenue est de 6 000V indépendamment des surfaces (2, 8 et 24 mm²). Les courants de fuite sont inférieurs à 10 μ A. En direct, les diodes ont été caractérisées jusqu'à 60A à une température de 25°C. Les diodes ont été également stressées électriquement. L'évolution des caractéristiques électriques après stress montre une dérive de la tension en direct se traduisant par une diminution de la durée de vie des porteurs d'un facteur 4 et l'augmentation de la résistance de contact d'un facteur 2,5.

I. INTRODUCTION

Le Carbure de Silicium (SiC) est un semiconducteur à large bande interdite. Ses propriétés physiques intrinsèques lui permettent de répondre à des demandes de plus en plus exigeantes pour des applications en électronique de puissance. En effet, des domaines tels que les transports, la distribution d'énergie électrique et l'exploitation pétrolière demandent des composants capables de supporter des températures de plus en plus élevées et/ou des tenues en tensions également de plus en plus élevées [1]. Les travaux suivants s'inscrivent dans la thématique des composants haute tension et fort courant en SiC. L'objectif de notre travail est de développer une diode bipolaire en SiC-4H ayant une tenue en tension de 6500V. Actuellement, les composants 6500V en Si ont une limite en terme de température de jonction de 125°C sous peine d'emballage thermique. Le potentiel des diodes bipolaires SiC permet de travailler à plus fortes températures de jonction engendrant donc une diminution de la taille des refroidisseurs. La première partie de notre travail illustre la conception de la diode aboutissant à la réalisation du masque des composants. Après un bref descriptif du procédé technologique, les caractéristiques électriques en direct et en inverse seront présentées en tenant compte également de la variation de la température. Les diodes ont également subi un stress électrique en direct. L'évolution des caractéristiques électriques sera également présentée et des explications physiques justifieront cette évolution.

II. CONCEPTION DE LA DIODE PIN 6500V EN SiC

a. Simulations éléments-finis

La diode PiN développée est illustrée par la figure 1. A ces niveaux de tenue en tension, le composant a une structure verticale. L'anode se trouve en face avant alors que la cathode se trouve en face arrière. La protection périphérique du composant est quant à elle, définie par une MESA (gravure du SiC) et une zone P nommée JTE (Junction Termination Extension). La passivation primaire définie par une couche de SiO₂ d'une épaisseur de 1,5 μ m permet de limiter l'arcage dans l'air lorsque la diode est polarisée en inverse.

La simulation à base d'éléments finis permet de définir les différents paramètres de couches telles que (e_{N-} , N_D) mais aussi d'approximer la tenue en tension en fonction des paramètres (D_{etch} , L_{JTE} et P-JTE). Le logiciel utilisé est SentaurusTM[2].

Tout d'abord, il faut définir les paramètres de la zone de drift (e_{N-} , N_D) en réalisant des simulations en inverse et en direct de la diode. Un compromis entre la tenue en tension et la chute de tension à l'état passant doit être déterminé. Les paramètres sont : $e_{N-} = 80 \mu\text{m}$ et $N_D = 5 \times 10^{14} \text{ cm}^{-3}$ pour une tenue en tension théorique de 11 800V. Une marge de sécurité est prise pour les soucis liés notamment à la technologie qui n'est pas tout à fait mature.

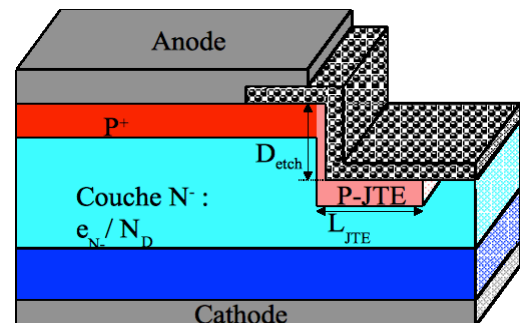


Figure 1 : Vue en coupe de la diode PiN.

La figure 2 présente l'évolution de la tenue en tension en fonction de la dose de JTE pour différentes profondeurs (D_{etch}) de la diode PiN en SiC avec les paramètres de niveau de dopage et d'épaisseur présentés auparavant. La largeur de la JTE (L_{JTE}) est fixée à 400 μm . Avec ce type de protection périphérique, l'efficacité est au maximum de l'ordre de 85%. L'augmentation de la profondeur de gravure a une légère influence sur la tenue en tension lorsque le dopage de la JTE est inférieur à l'optimal. Ceci est probablement due au fait que la Mesa joue un rôle supplémentaire sur la tenue en tension par rapport à la JTE. Par contre, lorsque la JTE est trop dopée, la Mesa n'influence pas la tenue en tension car le claquage a lieu en bout de JTE. Une poche P trop dopée reporte l'augmentation du champ électrique de la jonction principale vers le bout de la JTE. Ceci explique également la forte diminution de l'efficacité de la JTE lorsque celle-ci est trop dopée. Pour une dose supérieure à 10^{13} cm^{-2} , la

tenue en tension est identique à celle d'une diode n'ayant pas de protection périphérique. L'étude de l'influence des charges à l'interface SiC/SiO₂ et de l'épaisseur de la passivation secondaire en simulation, est largement développée dans le manuscrit de la thèse de R. Huang [3].

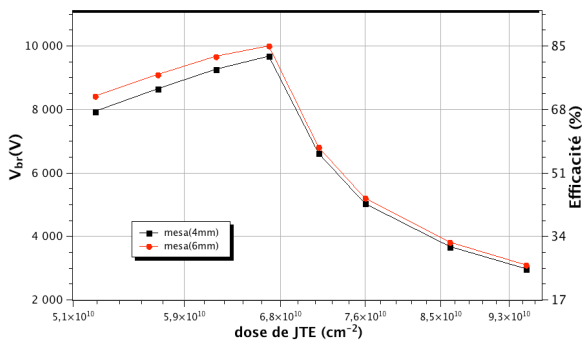


Figure 2 : Variation de la tenue en tension de la diode en fonction de la dose d'implantation de la JTE pour différentes profondeurs de Mesa

b. Masque des diodes

Les différents paramètres tels que la dose de JTE, la largeur de JTE (L_{JTE}) et la profondeur de gravure (D_{etch}) ont été optimisés et ont permis de définir un masque avec différentes surfaces actives de composants. L'objectif étant de voir l'impact de la surface du composant sur la tenue en tension. La figure 3 illustre le dessin des masques des diodes. Trois surfaces actives (2, 8 et 24 mm²) ont été implantées sur le masque. Les diodes présentent une largeur de JTE de 400 μ m. Différents rayons de courbure ont été implémentés tels que 80 μ m, 220 μ m, 350 μ m et 500 μ m pour les diodes de 2 mm².

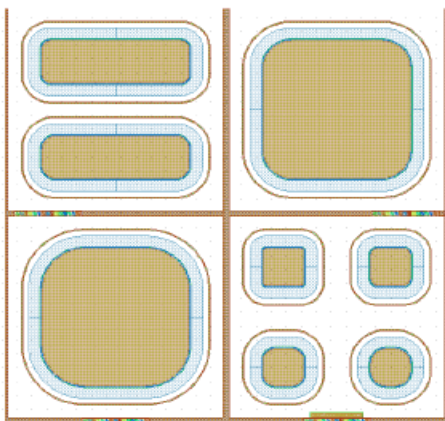


Figure 3 : Champ élémentaire du masque des diodes 6500V.

Une couronne fine se trouve autour de chaque diode. Elle représente un anneau de 50 μ m de largeur correspondant à un "channel stopper" permettant de fixer le potentiel à l'extrémité de la diode. Il est réalisé grâce à une implantation N⁺ qui a eu lieu avant la passivation primaire. Le process technologique est présenté dans la partie suivante.

III. PROCESS TECHNOLOGIQUE

Les diodes ont été fabriquées chez IBS. Huit niveaux de masquage sont nécessaires pour fabriquer les diodes en

SiC. Les deux premières étapes concernent la gravure de type RIE (Reactive Ion Etching) du SiC. Le premier niveau sert uniquement à graver les motifs d'alignement (gravure peu profonde de 150 à 200 nm). L'ensemble des niveaux photo-lithographiques seront alignés par rapport à ce premier niveau. Quant au deuxième, il s'agit de définir la protection périphérique de type mesa (gravure profonde 5 à 7 μ m). En troisième lieu, la JTE est implantée avec de l'aluminium. Comme le mécanisme de diffusion des porteurs n'existent pas dans le SiC, cette étape nécessite 4 à 5 implantations ioniques sous différentes énergies pour différentes doses. Au vue des résultats obtenus en simulation et tenant compte du taux de mise en site des dopants et de leur activation, une dose totale de l'ordre de 10¹³ cm⁻² a été implantée. Une autre implantation est réalisée avec de l'azote pour former un anneau N⁺ appelé "Channel Stopper". Ensuite, un dépôt de SiO₂ de 1,5 μ m est réalisé pour la passivation primaire. Après une gravure locale de cette couche de passivation, deux niveaux de photolithographies sont nécessaires, un premier pour former les contacts ohmiques de l'anode et un second, pour le métal épais. Il s'agit de l'aluminium qui a été retenu comme métal épais en face avant. Cette dernière couche épaisse (entre 3 et 5 μ m) permettra d'encapsuler les puces et notamment d'accrocher les fils de bonding sur la face avant. Pour la face arrière, il s'agit d'une tri-couche Ti/Ni/Ag qui a été retenue car elle est compatible avec les différents alliages utilisés pour la brasure et même de nouvelles techniques en cours de développement. La dernière étape réside en un dépôt de polyimide permettant de réaliser la passivation secondaire. Cette étape a été en partie réalisée au LAPLACE. L'épaisseur de cette couche est de l'ordre de 8 μ m.

IV CARACTÉRISATIONS ELECTRIQUES

A. Caractéristiques en inverse

Des diodes PiN SiC ont été réalisées sur 3 wafers différents (PiN02, PiN04 et PiN05). La caractérisation électrique au blocage des diodes s'est déroulée en deux étapes. Tout d'abord, une cartographie des wafers a eu lieu au laboratoire AMPERE sous air jusqu'à 400V. Même si les échantillons ont une passivation primaire et secondaire, elles ne sont pas suffisantes pour permettre une caractérisation électrique sous air à haute tension. Ainsi, la deuxième phase de mesure s'est déroulée à l'ISL dans une enceinte sous vide. Les figures 4-a, 4-b et 4-c illustrent les caractéristiques en inverse des diodes pour 3 surfaces différentes sur 3 wafers différents (PiN02, PiN04 et PiN05, respectivement). Les tenues en tension des petites diodes de PiN02 (fig. 4-a) et PiN04 (fig. 4-b) sont supérieures à 8 000 V. La diode 2 mm² de PiN04 présente un courant de fuite très faible jusqu'à 8 000 V. Du fait du recuit post implantation, PiN04 possède des diodes qui ont des courants de fuite plus faibles que pour les autres. Ceci est dû à une meilleure mise en site des dopants (efficacité de la JTE). L'homogénéité du recuit sur toute la plaquette reste à démontrer. Pour PiN05, (fig. 4-c) les courants de fuite (à 4kV) sont plus élevés que les autres wafers. Ceci peut provenir de l'interface SiC/SiO₂ qui est de moins bonne qualité pour cet échantillon, même si les conditions expérimentales sont similaires pour les trois wafers.

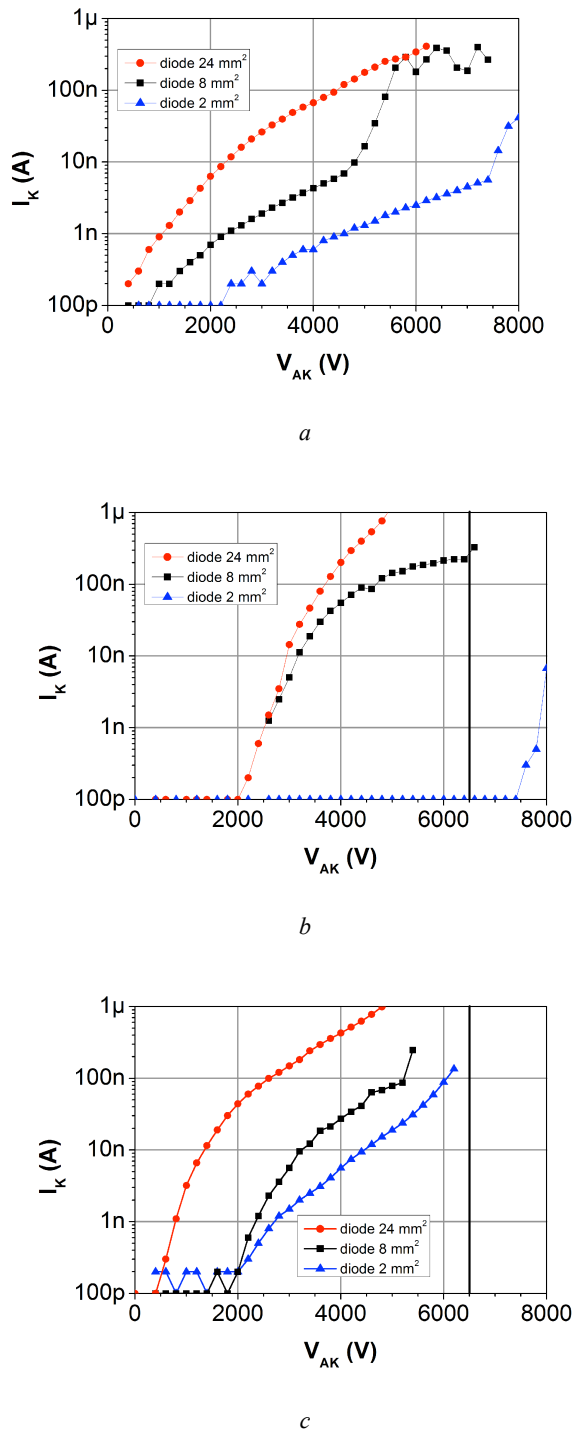


Figure 4 : Exemple de caractéristiques de courant de fuite des diodes 2, 8 et 24 mm² pour 3 wafers différents (PiN02-a, PiN04-b et PiN05-c).

Après découpe des wafers, les diodes ont été encapsulées dans un boîtier type TO3. Des caractéristiques électriques jusqu'à 3kV en inverse ont été réalisées. La plage de température varie entre 25°C et 225°C. La limite supérieure en température a été fixée par le gel utilisé lors de l'encapsulation des diodes. La figure 5 illustre les caractéristiques électriques en inverse pour différentes températures d'une diode de 24mm². Un four à air pulsé a été utilisé pour fixer la température. Quinze minutes après la consigne de température atteinte, la mesure électrique a été réalisée. La caractérisation a été

réalisée jusqu'à 3 000V car l'objectif est de montrer l'évolution des courants de fuite des diodes en fonction de la température. Sous une tension de 3000V, le courant de fuite évolue de 30 nA (@25°C) jusqu'à 3 µA (@225°C). Cette augmentation est due à l'augmentation de la densité des centres de génération des porteurs avec la température. Mais ce mécanisme est réversible car une caractéristique a été de nouveau réalisée à 25°C après le stress en température de la diode montrant que les courants de fuite ont très peu évolué.

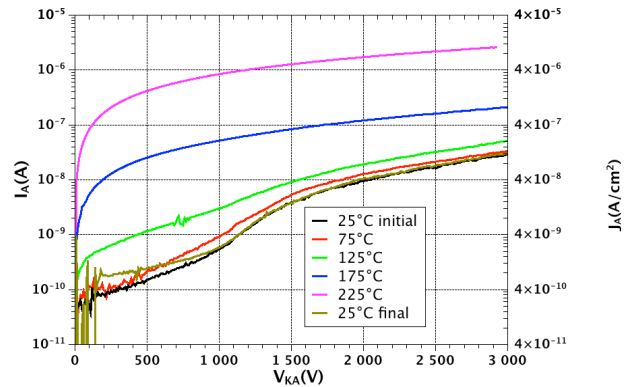


Figure 5 : $I(V)$ en régime inverse pour une diode SiC de 24 mm² encapsulée pour différentes températures allant de 25°C à 300°C.

Le travail de conception des diodes d'un point de vue du régime inverse a été validé par les caractéristiques électriques sous vide. Les diodes 6 500V bipolaires SiC réalisées montrent également une bonne tenue à la température d'un point de vue des caractéristiques inverses. La partie suivante présente la caractéristique des diodes en régime direct.

B. Caractéristiques en direct

Les caractéristiques électriques des diodes en direct ont été réalisées une fois que ces dernières ont été encapsulées. La figure 6 représente la caractéristique électrique $I(V)$ en régime direct d'une diode 24mm². Le courant maximal atteint est de 60A correspondant à une densité de courant de 250 A.cm². Afin de limiter l'auto-échauffement du composant, cette caractéristique a été obtenue en mode pulsé avec une durée d'impulsion de l'ordre de 200 µs. A 60A, la chute de potentiel est de l'ordre de 5,5V. A titre indicatif, les courbes d'iso-puissance ont été reportées sur la figure 6. Lorsque la température augmente, V_{AK} diminue. Ceci est due à l'augmentation de la durée de vie des porteurs avec la température. Ceci peut être vu comme handicap car l'emballage thermique peut avoir lieu, mais la durée de vie des porteurs n'augmente pas indéfiniment. En effet, entre 175°C et 225°C, l'écart de variation de V_{AK} est très faible.

Les composants à conduction bipolaire en SiC présentent une tension de seuil de l'ordre de 3V ce qui engendre l'utilisation de boîtiers évacuant bien la chaleur. Si nous souhaitons travailler à 80 A.cm², il faut un boîtier qui a une conductivité thermique de l'ordre de 300W.cm⁻² et pouvant travailler à haute tension.

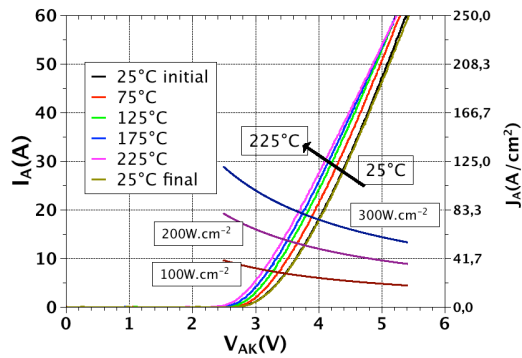


FIGURE 6 : $I(V)$ en direct d'une diode 24 mm^2 pour différentes températures variant de 25°C à 225°C .

Les caractéristiques électriques à 25°C en statique en régime direct et inverse ne montrent pas de dégradation avant et après le stress thermique. La partie suivante aborde l'influence d'un stress électrique sur les caractéristiques électriques.

V. STRESS ÉLECTRIQUE DES DIODES

a. Evolution de la caractéristique en régime direct

Lors de la croissance épitaxiale du SiC sur un substrat SiC, des fautes d'empilement dans le plan de base (Stacking Faults) se développent. Ces défauts n'ont pas d'incidence sur les composants à conduction unipolaire. Mais lorsqu'il s'agit des dispositifs à conduction bipolaire, ces défauts sont activés et se traduisent d'un point de vue électrique par une dérive de la tension V_{AK} en régime direct [4].

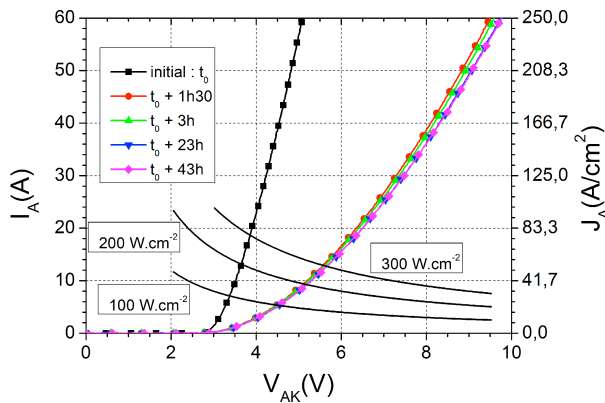


Figure 7: $I(V)$ en direct à 25°C d'une diode après différentes durées de stress électrique

Le stress électrique a été réalisé sur des diodes de 24 mm^2 . La figure 7 présente la caractéristique en direct d'une diode avant stress, après 1h30, 3h00, 23h00 et 43h00 de stress. Le stress électrique des diodes est défini par une polarisation en continu à une densité de courant de 100 A/cm^2 correspondant à un courant de 24A. La chute de potentiel initiale correspondante est de 4,2V. Afin d'atteindre un équilibre thermique, les diodes ont été montées sur un radiateur ventilé afin de mieux évacuer la chaleur produite. La température du radiateur était de l'ordre de 63°C . Après 1h30 de stress, les diodes ont été caractérisées en régime pulsé après avoir attendu que la température du radiateur soit revenue à 25°C . Si nous

nous plaçons à 83 A.cm^{-2} , correspondant à un point de fonctionnement où la diode pourrait être utilisée avec un boîtier présentant une dissipation thermique de 300 W.cm^{-2} , la dérive de tension est de l'ordre de 2,4V. Puis avec le temps, cette dérive se stabilise après 23h00 de stress afin de donner une chute de potentiel de l'ordre de 6,7V. Si cette dérive est prévue, cela engendre que la densité de courant nominale du composant n'est plus de 83 A.cm^{-2} , mais de 50 A.cm^{-2} . Si à partir de la caractéristique initiale nous appliquons un coefficient réducteur de 7 la caractéristique "corrigée" colle à la caractéristique après stress. Ceci signifie donc que la surface active est réduite d'un facteur 7. La partie suivante va nous montrer si cette interprétation est un artifice mathématique ou une réponse physique de ce qui ce phénomène.

b. Interprétation électrique du mécanisme de dégradation des diodes

Une caractéristique électrique de la diode peut justifier si c'est bien la surface effective de la diode qui est réduite physiquement. Il s'agit de la capacité de la jonction PN en inverse. En effet, la valeur de la capacité de la jonction PN polarisée en inverse est proportionnelle à la surface. Elle est définie par la relation :

$$C(V) = \epsilon_{\text{SiC}}/W.S \quad (1)$$

où S : surface de la jonction PN, W : profondeur de la zone de déplétion et ϵ_{SiC} : perméabilité du SiC. La figure 8 illustre l'évolution de la capacité de la diode 24 mm^2 entre -40V et 0V avant et après les 43h00 de stress. Ces mesures montrent que les 2 courbes sont superposées. Ceci indique donc que la surface active de la diode n'est pas réduite d'un facteur 7. Ceci est donc qu'un pur artifice mathématique.

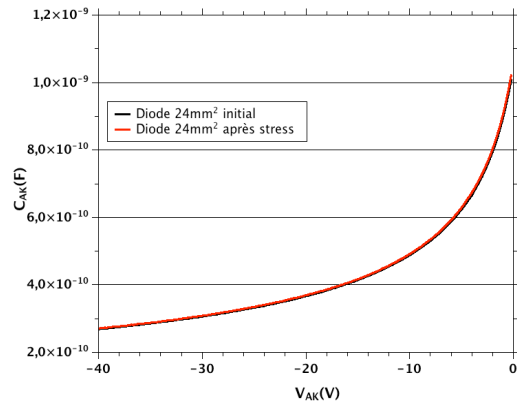


Figure 8 : Caractéristique en $C(V)$ d'une diode 24 mm^2 avant et après 43h de stress

Une autre hypothèse repose sur le fait que la conduction bipolaire engendre la création de défauts qui génèrent des centres recombinants de porteurs. Ceci joue donc sur la durée de vie des porteurs. Les diodes ont été caractérisées en commutation en utilisant la technique OCVD (Open Circuit Voltage Decay). Il s'agit donc d'intégrer la diode dans un circuit de type hacheur avec un interrupteur commandable plus rapide que la diode. Un transistor MOSFET en Si basse tension (IRFR34110PBF) a été utilisé. Des diodes bipolaires SiC 3,3kV ont déjà été caractérisées avec ce banc de test [5]. La figure 9 montre

l'évolution temporelle de la tension V_{AK} à l'ouverture de la diode. La diode a été caractérisée avant et après stress électrique. L'extraction du coefficient directeur de l'approximation linéaire permet de remonter à la valeur de la durée de vie. La relation entre la durée de vie des minoritaires et la pente est donnée par [6] :

$$\tau_p = (nkT/q) \cdot (du/dt)^{-1} \quad (2)$$

où n : coefficient compris entre 1 et 2 selon le niveau d'injection des porteurs (2 si nous sommes en régime de forte injection), kT/q : 26 mV à 25°C, dU/dt : coefficient directeur de l'approximation linéaire de la courbe V_{AK} en fonction du temps.

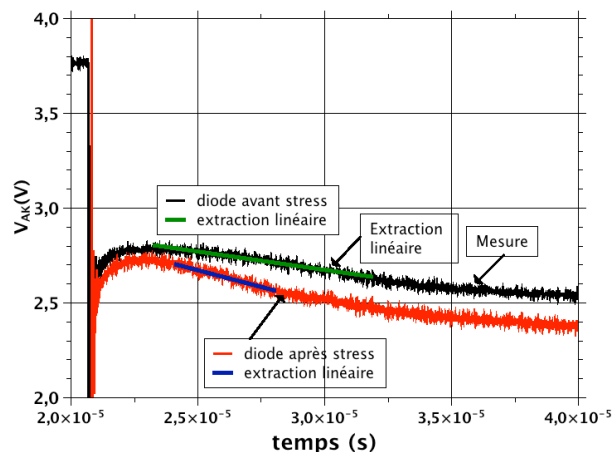


Figure 9 : Evolution temporelle de la tension V_{AK} à l'ouverture pour une diode 24 mm² avant et après stress électrique.

A partir des mesures et du calcul, nous obtenons une durée de vie des trous (τ_p) qui varie de 1,3 μ s (initialement) à 740 ns (après stress) si nous ne sommes pas en forte injection. Si nous nous plaçons en forte injection, τ_p est multiplié par 2.

c. Confrontation des mesures et simulation en statique

L'extraction de la durée de vie des porteurs avec la technique OCVD nous permet de montrer une tendance sur la diminution de la durée de vie des porteurs après stress électrique.

Le but des simulations à éléments finis est d'estimer la variation de la durée de vie des porteurs ainsi que l'évolution de la résistance de contact en essayant de faire "coller" les résultats de simulation avec l'expérience. La figure 10 montre la confrontation des résultats. Les résultats de simulation nous donne une résistance de contact de l'ordre de 33 m Ω , une durée de vie pour les électrons de 400 ns et une durée de vie pour les trous de 80 ns. Ces premiers résultats montrent que la technique OCVD a une tendance à sur-estimer la durée de vie des porteurs. Une troisième technique est possible pour faire la mesure de durée de vie, il s'agit de la photoluminescence. Cette technique optique ne peut être réalisée que lorsque le wafer n'est pas encore fabriqué. La simulation met rapidement en évidence que dans notre cas, la résistance de contact augmente avec le stress car

pour arriver à faire "coller" les résultats de simulation avec l'expérience, il faut que la résistance de contact varie de 33 m Ω à 82 m Ω . Ainsi la durée de vie des porteurs passe de 400 ns à 95 ns pour les électrons et de 100 ns à 19 ns pour les trous. Nous obtenons une division par 4 de la durée de vie alors que l'OCVD nous illustre une division seulement par 2.

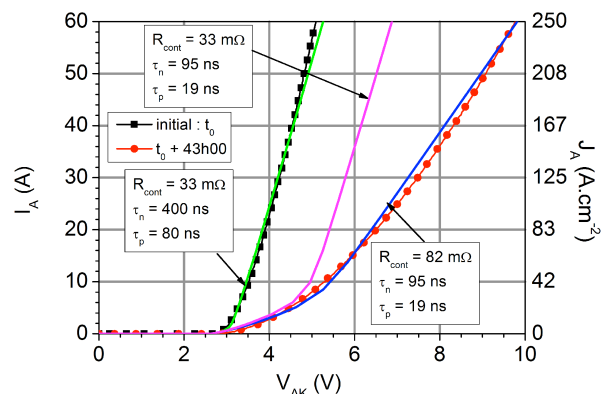


Figure 10 : Confrontation mesures (points) et simulations (traits continus) des caractéristiques électriques en régime direct pulsé d'une diode PiN SiC avant et après stress électrique

Deux phénomènes différents sont mis en avant pour expliquer l'évolution des caractéristiques électriques, la diminution de la durée de vie des porteurs par deux méthodes différentes (OCVD et simulation) et l'augmentation de la résistance de contact. Le stress électrique a été réalisé dans des conditions de densité de courant relativement importante (100 A.cm²). Lors du stress, la température du radiateur était de l'ordre de 63°C. Ceci engendre donc une température de jonction qui peut faire évoluer la composition métallique à l'interface SiC/métal. Cette évolution peut venir du fait que le contact ohmique n'est pas stabilisé en fin de process technologique ou qu'il y ait une diffusion de l'aluminium épais vers le SiC. Pour confirmer cette évolution, des stress thermiques seuls doivent être menés sans polarisation en DC de la diode. Afin de découpler ces deux phénomènes, une nouvelle campagne de mesures doit être réalisée avec un stress électrique à plus faible densité de courant 10 A.cm² voire 20 A.cm².

VI. CONCLUSION

Ce papier présente les résultats de diodes PiN 6500V en SiC ayant 3 surfaces actives différentes (2, 8 et 24 mm²). L'étude électrique a surtout portée sur les diodes de 24 mm². A 6500V, les diodes de 24 mm² présentent un courant de fuite de l'ordre de 1 μ A à 25°C. D'un point de vue température à 225°C, le courant de fuite est de 2 μ A à 3000V. En direct, le courant nominal de la diode est de l'ordre de 20A correspondant à une densité de courant de 80 A.cm² avec un boîtier pouvant évacuer une densité de puissance de 300 W.cm². Un stress électrique sous courant nominal a été réalisé en mode DC. Une dérive de la tension en direct de l'ordre de 2,7V est à noter. Deux origines sont mises en évidence pour cette dérive, la diminution de la durée de vie des porteurs d'un facteur 4 et l'augmentation d'un facteur 2,5 de la résistance de contact. De nouvelles expériences sont à réaliser afin de

découpler ces deux variations. Il faut noter toutefois que le fournisseur de matériau CREE travaille depuis plusieurs années sur des traitements de surface du SiC avant croissance des couches épitaxiales afin de diminuer la création de ces fautes d'empilement [7].

REMERCIEMENTS

Les auteurs remercient la DGA pour son aide financière et la DGCIS pour la gestion du programme SiC-HT² ainsi que l'ensemble des partenaires. Nous tenons particulièrement à remercier M.L. Locatelli, S. Diahm et C. D. Pham pour leur contribution à l'étape de passivation secondaire.

RÉFÉRENCES

- [1] D. Tournier and al. "Wide Band Gap semi-conductors benefits for high power", high voltage and high temperature applications. *Advanced Materials Research* Vol. 324 (2011), pp. 46-51.
- [2] : Sentaurus Device Version F – 2011.09
www.synopsys.com
- [3] : R. Huang Conception, suivi de fabrication et caractérisation électrique de composants haute tension en SiC. thèse doctorat, INSA-Lyon, 2011.
- [4] : J.P. Bergman and al. "Crystal defects as source and anomalous forward voltage increase of 4H-SiC diodes", In *Materials Science Forum* Vol.353 (2001), pp. 299-302.
- [5] : N. Dheilily and al. "Measurement of Carrier Lifetime Temperature Dependence in 3.3kV 4H-SiC PiN diodes Using OCVD Technique", In *Materials Science Forum* Vol. 615-617 (2009), pp. 703-706.
- [6] : B. R. Gossik. "On the Transient Behavior of Semiconductors Rectifiers", In *Journal of Applied Physics* Vol. 27 Issue 8 (1956), 6 pages
- [7] : J. J. Sumakeris. "Method to reduce stacking faults nucleation sites and reduce forward voltage drift in bipolar devices", US Patent, APP. 20,050/064,723 (sept. 2003)