



**HAL**  
open science

# Conception de cellules nano-CMOS -Perspectives à dix ans

Etienne Sicard, Sonia Ben Dhia, Lionel Trojman

► **To cite this version:**

Etienne Sicard, Sonia Ben Dhia, Lionel Trojman. Conception de cellules nano-CMOS -Perspectives à dix ans. 7èmes Journées Pédagogiques - JPCNFM 2023, INSA Toulouse, Nov 2023, Toulouse, France. hal-04502940

**HAL Id: hal-04502940**

**<https://hal.science/hal-04502940>**

Submitted on 13 Mar 2024

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Conception de cellules nano-CMOS – Perspectives à dix ans

E. Sicard<sup>a</sup>, S. Ben Dhia<sup>a, b</sup>, L. Trojman<sup>c</sup>

<sup>a</sup> INSA de Toulouse, Toulouse, France

<sup>b</sup> LAAS/CNRS, Toulouse, France

<sup>c</sup> ISEP, Paris, France

Contact email : etienne.sicard@insa-toulouse.fr

La conception de cellules logique et analogique servant de base à la création de circuits intégrés a évolué graduellement au fil des progrès technologiques. Nous proposons dans cet article une synthèse de cette évolution avec une prospective à 10 ans. L'évolution de nos travaux pratiques vers la conception 3nm Nano-Sheet est aussi décrite, basé sur un retour d'expérience de deux promotions. Nous esquissons l'évolution des besoins en enseignement et recherche pour la prochaine décennie, et notre stratégie de mise à disposition de logiciel de conception nano-CMOS implémentant les évolutions majeures associées à chaque génération technologique.

## I. Introduction

Au niveau le plus élémentaire, les circuits intégrés reposent sur des cellules de base, logiques et analogiques, dont l'association permet la conception de fonctions plus élaborées, elles-mêmes permettant de créer des systèmes complexes dont les plus emblématiques sont les cœurs de calcul des ordinateurs et des smartphones. Les progrès continus en matière de technologie de fabrication ont permis d'augmenter la densité, la complexité, la vitesse d'exécution tout en diminuant la consommation et le coût, à chaque génération, et ce depuis plus de 50 ans.

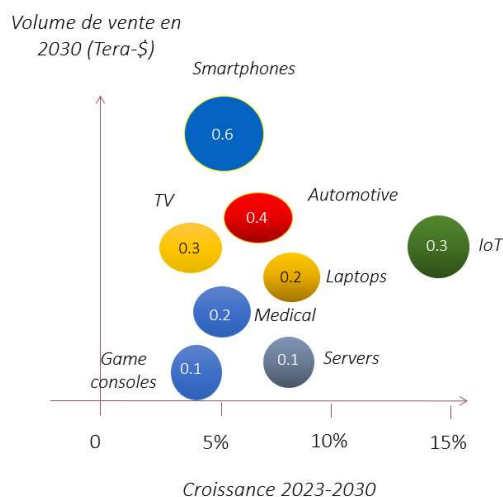


Fig.1. Croissance des principaux secteurs de l'électronique grand public d'après les prédictions cumulées (CAGR) pour la période 2023-2030 en Tera-\$,

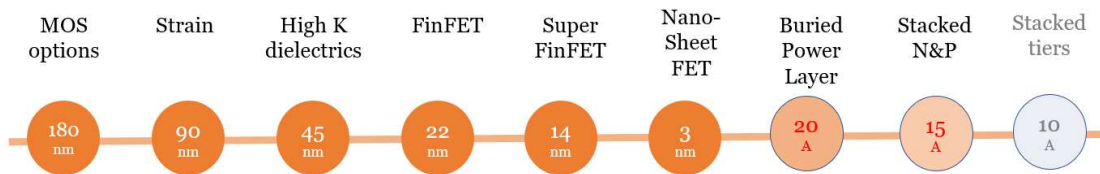


Fig.2. Principales avancées technologiques depuis 2000 et prospective 2030

En compilant les tendances par grands secteurs de l'électronique grand public, les perspectives à 5 ans sont favorables, comme illustré figure 1, portées notamment par les smartphones (5G, 5G+), l'électronique automobile (Voiture électrique, plus autonome), l'IoT (Internet of everything, domotique), les écrans (4K, 8K), ainsi que les dispositifs en lien avec la santé, la virtualisation, le Cloud et l'intelligence artificielle.

Nous résumons à la figure 2 les principales avancées technologiques depuis la technologie 180nm (Années 2000) ayant permis le développement des technologies 3G, les technologies FinFET en lien avec les communications 4G (2010), et plus récemment l'introduction des Nano-Sheet avec la 5G (2020). Pour la décennie à venir, l'alimentation par substrat (*Buried Power Layers*) et l'empilement des transistors (*Stacked N&P C-FET*) offriront les performances attendues pour la 6G (2030) tandis que les recherches sur l'empilement des couches (*Stacked Tiers*) démarrent sur le modèle des mémoires Flash 3D (32-128 couches), pour une application en 2030 [IDRS 2022].

Une des évolutions marquantes de ces dernières années se situe au niveau du transistor élémentaire, qui est passé du MOS FET au FinFET à partir du nœud 20nm, puis Nano-Sheet FET à partir du nœud 3nm, avec des bénéfices considérables en termes de densité de courant commuté, grâce à une approche 3D (Figure 3).

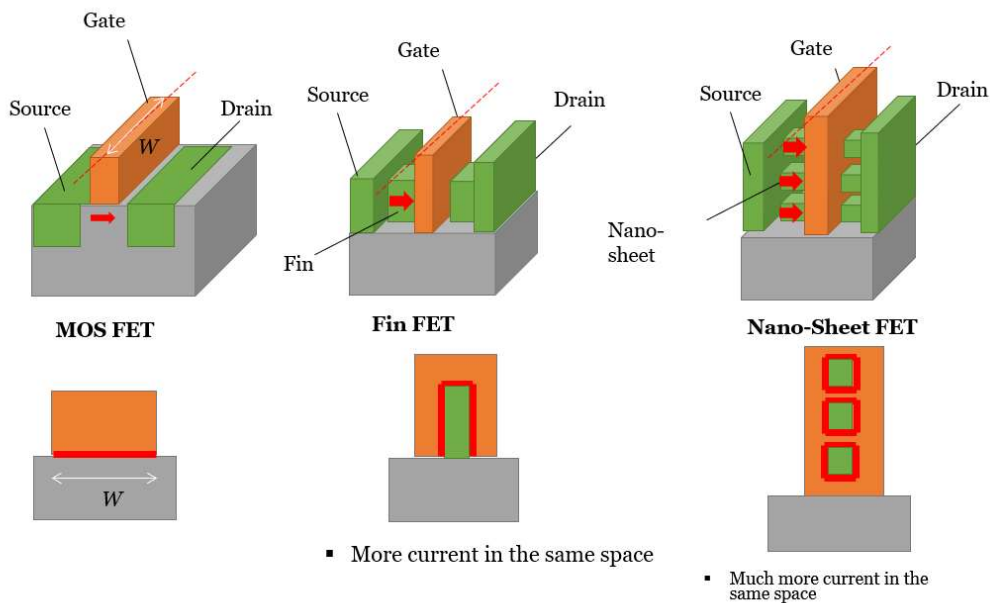


Fig.3. Comparaison des dispositifs de commutation MOS FET, FinFET et NS-FET

## II. Support à l'évolution technologique

A la suite des ouvrages pédagogiques sur la conception CMOS que nous avons publiés il y a une quinzaine d'années [Sicard 2005][Sicard 2007], nous avons implémenté différentes innovations technologiques dans le logiciel Microwind [Aziz 2009], et plus récemment le transistor NS-FET [Sicard 2021] abordé aux JPCNFM 2021 [Trojman 2021]. Le tableau 1 précise les liens en archives ouvertes vers *hal.science* des notes d'application pour différents nœuds technologiques. Les PDF cumulent plus de 50,000 téléchargements, notamment depuis l'Inde, les USA et le Maghreb, témoignant de l'intérêt des enseignants, ingénieurs et chercheurs pour des documents pédagogiques décrivant les évolutions technologiques des circuits intégrés.

**TABLEAU I.** Notes d'application sur l'implémentation des nœuds technologiques dans le logiciel *Microwind*, publiées sur *hal.science* .

Noeud technologique	Année d'introduction	Innovations	Note d'application publiée sur <i>hal.science</i>
90nm	2003	SOI substrate	<a href="https://hal.science/hal-03324305">hal-03324305</a>
65nm	2004	Strain silicon	<a href="https://hal.science/hal-03324309">hal-03324309</a>
45nm	2008	2nd generation strain, 10 metal layers	<a href="https://hal.science/hal-03324315">hal-03324315</a>
32nm	2010	High-K metal gate	<a href="https://hal.science/hal-03324299">hal-03324299</a>
20nm	2013	Replacement metal gate, Double patterning, 12 metal layers	<a href="https://hal.science/hal-03324322">hal-03324322</a>
14nm	2016	FinFET	<a href="https://hal.science/hal-01541171">hal-01541171</a>
7nm	2017	FinFET Quadruple patterning	<a href="https://hal.science/hal-01558775">hal-01558775</a>
5nm	2021	FinFET EUV	<a href="https://hal.science/hal-03254444">hal-03254444</a>
3nm	2021	Nano-sheet FET	<a href="https://hal.science/hal-03377556">hal-03377556</a>
2nm/20A	2024	NSFet & Buried Power	<a href="https://hal.science/hal-03902018">hal-03902018</a>
1.5nm/15A	2027	Stacked NSFet, Buried Power	To appear 2024
1.0nm/10A	2030	Stacked tiers	To appear 2025

Jusqu'en 2020, notre approche a consisté à se baser sur les publications issues des fabricants majeurs de circuits intégrés (*TSMC, Samsung, Intel, IBM, ST-Microelectronics, GlobalFoundries, etc.*) afin de situer les performances moyennes pour un nœud technologique donné. A partir de 2021, devant le nombre important de publications scientifiques utilisant Microwind et faisant référence à nos notes d'application (Plus de 700 articles identifiés fin 2023), nous avons configuré nos outils et publié les notes d'application en avance de phase par rapport à l'industrie. Cette approche pro-active a pour but de permettre à la communauté des enseignants et chercheurs d'esquisser l'évolution des performances des circuits sur des technologies futures. Au niveau pédagogique, nous avons introduit en TP de niveau M1 à l'INSA Toulouse la technologie 3nm Nano-Sheet en 2021, dans le cadre de TP de conception de cellules nano-CMOS.

### III. Conception de cellules nano-CMOS

Plusieurs modifications notables accompagnent la génération Nano-Sheet, comme l'illustre la figure 4. Tout d'abord, contrairement aux décennies précédentes, la dimension des dispositifs élémentaires tels que les grilles de transistors (rouge) ou métallisations (bleu) se réduit très peu, principalement lié à l'explosion des coûts de lithogravure sur des dimensions approchant les dizaines de nanomètre. Le gain se fait autrement, selon 3 leviers : un transistor plus petit et performant (NS Fet au lieu de FinFET), une hauteur de cellule plus faible (division par deux : 100 nm au lieu de 192 nm dans l'inverseur figure 4), et une alimentation par le bas (*Back Side Power Delivery*) qui dégage de l'espace pour le routage [Sicard 2022].

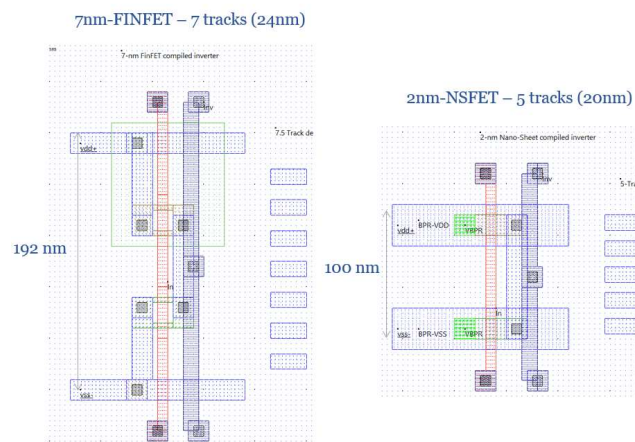


Fig.4. Comparaison entre le design d'un inverseur FinFET 7nm (à gauche) et Nano-Sheet 2nm/20A (A droite) [Sicard 2022]

La conception Nano-Sheet ne pose pas de problème particulier, même auprès des étudiants. Au contraire, elle ramène un degré de liberté qui avait été perdu au niveau des tailles de transistors FinFET, du fait des contraintes de nombre de fins (2-fins, 4-fins typiquement). La conception est aussi simplifiée grâce à la suppression du puits (N-well) et de sa polarisation associée, libérant de l'espace silicium. Enfin, les améliorations apportées par l'alimentation « par en dessous » améliorent non seulement les possibilités de routage, mais aussi l'intégrité des réseaux d'alimentation (*Power Integrity*) en diminuant les fluctuations parasites lors des commutations.

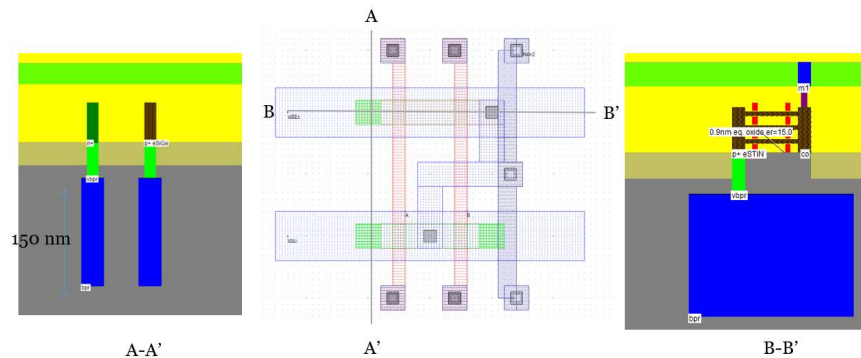


Fig.5. Vue en coupe d'une porte NAND en 2nm/20A avec les via dans le substrat vers le BPR (*Buried Power Layer*) [Sicard 2022]

Les vues en coupes d'une porte NAND sont reportées figure 5. Le substrat, quasi vide et monolithique dans les générations passées, est utilisé pour le routage des alimentations.

Un autre intérêt pédagogique des générations *Nano-Sheet* est de projeter nos étudiants dans des performances futuristes, correspondant à des technologies devant servir de support à des grands projets d'ingénierie tels que la 6G [Banafaa 2023] ou la voiture autonome [Ahangar 2021].

#### IV. Vers l'intégration 3D

Anticipant les nœuds technologiques de la prochaine décennie, nous avons implémenté une innovation majeure qui consiste à empiler les transistors N-FET et P-FET l'un sur l'autre. Cette innovation, appelée *Complementary FET C-FET*, permet de réduire de moitié la surface des cellules élémentaires, et pourrait apparaître en technologie 1.5nm/15A [Liebmann 2021] [Schuddinck 2022]. Les vues 2D et 3D d'un inverseur montrent une modification radicale de la conception, par rapport aux approches à base de FinFET et NS-FET de la figure 4 [Sicard 2023]. Le challenge au niveau enseignement est considérable, car l'approche C-FET constitue une rupture par rapport à l'approche planaire, et nécessite un recours constant aux vues 3D pour s'assurer de la bonne concordance des connexions verticales, telles que le via P/N, ce qui alourdit la tâche des étudiants et enseignants.

Si l'on peut émettre des doutes sur l'intérêt de faire concevoir aux étudiants des cellules selon une approche technologique C-FET disponible au mieux à partir de 2027, il nous semble en revanche intéressant de permettre aux ingénieurs et chercheurs d'évaluer dès à présent l'apport possible de cette approche 3D, d'autant que la littérature scientifique sur le sujet est déjà conséquente [Schuddinck 2022]. Nous devrions publier une note d'application et configurer Microwind pour la technologie C-FET 1.5nm courant 2024.

Bien que plus lointain (2030 d'après l'IDRS), l'empilement de couches semble une approche très prometteuse pour pousser encore plus loin l'intégration, avec l'annonce pour le nœud 1.0nm/10A de deux niveaux actifs de N/P empilés, comme esquissé Figure 7, puis en 0.7nm/7A 4 niveaux actifs. L'implémentation de l'approche 3D et la navigation verticale entre plusieurs niveaux de transistors actifs nécessitera une adaptation de nos outils de conception, essentiellement basés sur la vue planaire des dispositifs. Il faudra être capable de naviguer simplement entre les différentes couches de cellules empilées, voire de manipuler des objets directement depuis les vues 3D.

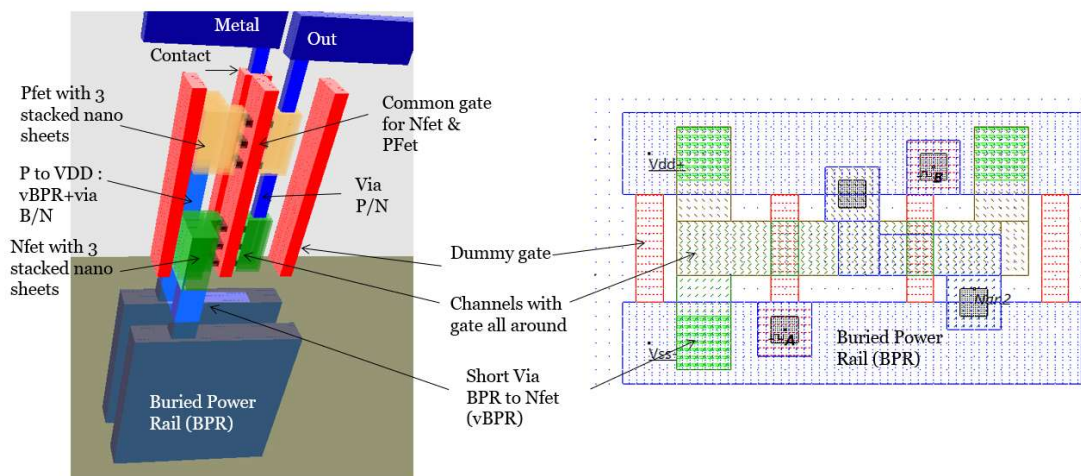


Fig.6. Vue en coupe d'un inverseur C-FET en 1.5nm/15A avec le PFet superposé au NFet [Sicard 2023]

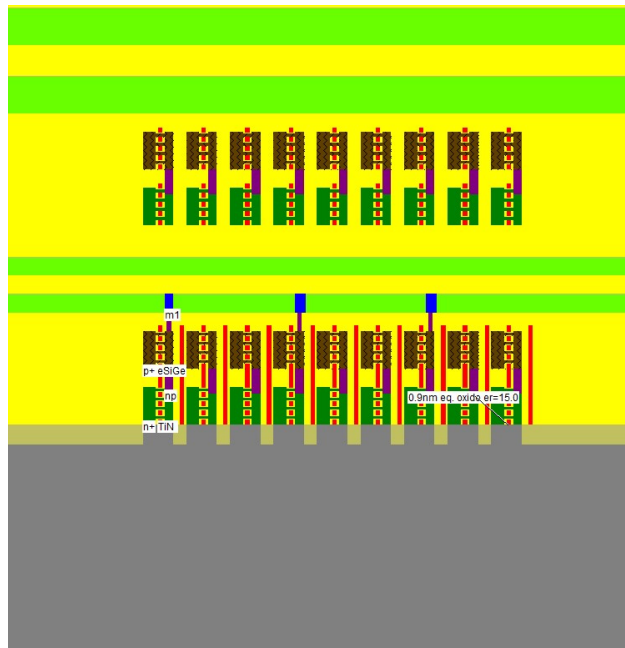


Fig.7. Vue en coupe de deux couches de C-FET séparés par deux niveaux de métaux, préfigurant la technologie 10A/1.0nm [Sicard 2023] [IDRS 2022]

Les possibilités de routage seront aussi décuplées, avec des stratégies d'implémentation et d'optimisation de performances qui peuvent constituer autant de sujets de recherche et de publications dans le futur.

## Références

1. Sicard, E., Ben Dhia, S. (2005). Basics of CMOS Cell Design. McGraw-Hill.
2. Sicard, E., Ben Dhia, S., (2007). Advanced CMOS Cell Design. McGraw-Hill
3. Aziz, S. M., Sicard, E., & Ben Dhia, S. (2009). Effective teaching of the physical design of integrated circuits using educational tools. IEEE Transactions on Education, 53(4), 517-531.
4. Sicard, E., & Trojman, L. (2021). Introducing 3-nm Nano-Sheet FET technology in Microwind. 2021. <https://hal.science/hal-03377556>
5. Trojman, L., Viteri, F. V., Sicard, E. (2021). Pédagogie hybride pour l'apprentissage de la conception d'un microprocesseur simplifié niveau master avec MicroWind, JPCNFM 2021
6. Sicard, E., Trojman, L., (2022). Introducing 2-nm/20Å Nano-Sheet FET technology with Buried Power Rails and nano Through-Silicon-Vias in Microwind, <https://hal.science/hal-03902018>
7. Banafaa, M., (2023). 6G mobile communication technology: Requirements, targets, applications, challenges, advantages, and opportunities. Alexandria Engineering Journal, 64, 245-274.
8. Ahangar, M. N., (2021). A survey of autonomous vehicles: Enabling communication technologies and challenges. Sensors, 21(3), 706.
9. Liebmann, L., (2021). CFET Design Options, Challenges, and Opportunities for 3D Integration. IEEE IEDM 2021.
10. Schuddinck, P., (2022). PPAC of sheet-based CFET configurations for 4 track design with 16nm metal pitch. VLSI Technology and Circuits 2022
11. Sicard, E. (2023). FinFET, Nano-Sheet cell design , Now & Road Ahead, An educational perspective, Annual Seminar ni2designs, Pune
12. IDRS (2022). Executive summary. Overall Roadmap Technology Characteristics
13. Sicard, E., Trojman, L. (2024). Introducing 1.5-nm/15Å Complementary Nano-Sheet FET technology in Microwind. A paraitre hal.science