



HAL
open science

Composants de puissance en SiC. Etat de l'art

Dominique Planson, Christophe Raynaud, Pierre Brosselard, Dominique Bergogne, Mihai Lazar, Dominique tournier, Heu Vang, Jean-Pierre Chante

► **To cite this version:**

Dominique Planson, Christophe Raynaud, Pierre Brosselard, Dominique Bergogne, Mihai Lazar, et al.. Composants de puissance en SiC. Etat de l'art. European Journal of Electrical Engineering, 2006, 9 (4-5), pp.595-611. hal-04371563

HAL Id: hal-04371563

<https://hal.science/hal-04371563>

Submitted on 3 Jan 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Composants de puissance en SiC, état de l'art

**Dominique Planson — Christophe Raynaud — Pierre Brosselard
— Dominique Bergogne — Mihai Lazar — Dominique Tournier
— Heu Vang — Jean-Pierre Chante**

*Institut National des Sciences Appliquées de Lyon
Centre de Génie Electrique de Lyon - UMR CNRS n°5005
20 Avenue Albert Einstein
F - 69621 Villeurbanne Cedex
dominique.planson@insa-lyon.fr*

RÉSUMÉ. Le carbure de silicium (SiC) est un matériau semi-conducteur qui possède des propriétés physiques permettant de repousser nettement les limites de fonctionnement des composants actuels en silicium et de mieux répondre aux exigences grandissantes des concepteurs électroniciens de puissance. Le CEGELY travaille sur trois axes de recherche dans le domaine : la conception de composants dits 'spécifiques', la caractérisation et la mise en œuvre système de ces composants. Par ailleurs, cet article tente de faire un état de l'art sur les composants en tenant compte des derniers résultats présentés à la conférence internationale de Pittsburgh en septembre 2005.

ABSTRACT. Silicon carbide (SiC) semiconductor material owns very good physical properties that will push away the features of silicon devices and also answer better and better to the increasing demand of power electronics designers. CEGELY works on three points: so-called 'specific' devices, characterisation and implementation of power devices in system. Then the paper discusses a state-of-the art of silicon carbide devices taking into account the latest results presented during international conference on this topic in Pittsburgh in September 2005.

MOTS-CLÉS : composants de puissance, carbure de silicium, intégration système, convertisseur monolithique.

KEYWORDS: power devices, silicon carbide, system integration, monolithic converter.

1. Introduction

Pour répondre aux besoins de plus en plus exigeants de l'électronique de puissance en terme de niveaux de tension et courant d'une part et de température et compacité d'autre part, le carbure de silicium est un candidat sérieux par rapport aux autres matériaux semi-conducteurs à large bande d'énergie interdite, grâce à la disponibilité de substrats et aux possibilités de réalisations technologiques. Cet

article est divisé en deux parties : d'une part un état de l'art des travaux réalisés au CEGELY et d'autre part un bref état de l'art mondial.

2. Activités du CEGELY

Depuis le début des années 90, le CEGELY poursuit ses activités de conception, réalisation (en collaboration avec plusieurs centres technologiques) et caractérisation de composants de puissance en carbure de silicium. Une nouvelle activité de réalisation de convertisseurs apparaît maintenant avec la disponibilité de composants sur le marché, tels que la diode Schottky et quelques échantillons de transistors JFET-SiC 1200 V.

2.1 Composants spécifiques

Les composants dits 'spécifiques' en SiC sont des composants qui n'ont pas d'équivalents en silicium, ou bien, si ceux-ci existent, leurs limites avec le SiC seront nettement repoussées vers l'extrême.

Dans le cadre de la protection des installations électriques contre les courts-circuits par des limiteurs de courant de défaut, il existe peu de solutions à base de composants à semi-conducteurs. Bien qu'une diode CRD (Current Regulative Diode) en silicium existe, ses caractéristiques en tension et en courant ($V_{BR} = 100$ V, $I_{max} = 10$ mA) ne permettent pas de l'utiliser dans un système de puissance (Sze S.M.), (Semitec Corp.). L'utilisation de tels composants devrait offrir une nouvelle solution à la disjonction statique pour des gammes de puissance concernant principalement les applications domestiques.

2.1.1 Limiteur de courant

Un composant limiteur de courant pour le secteur domotique présente un réel intérêt commercial, puisqu'il s'adresse à un marché large, où la concurrence silicium n'existe pas (dû aux limitations thermiques du Si). Deux types de composants limiteurs de courant à conduction unipolaire ont été étudiés au CEGELY, la réalisation de ces limiteurs étant principalement confiée au CNM de Barcelone. Les limiteurs ont une structure de transistor AccuFET (Fig. 1a). Les premières réalisations ont permis de valider expérimentalement le concept et de démontrer que la fonction de protection série était bien assurée, avec une densité de courant de saturation de 800 A/cm² sous 30 V, et une résistance série spécifique de seulement 14 m Ω .cm² pour une tenue en tension de 600 V (Fig. 1b) (Nallet *et al.*, 2002). L'association de deux composants en série tête-bêche permet d'assurer la bidirectionnalité en tension et en courant.

La seconde étude a permis d'aller plus loin dans l'évaluation de ce type de structure (Tournier *et al.*, 2003). La structure représentée sur la Fig. 2a possède cette fois une commande de grille, dont l'action de modulation du niveau de courant lors

de la phase de fonctionnement actif (phase de limitation) du composant a été vérifiée expérimentalement.

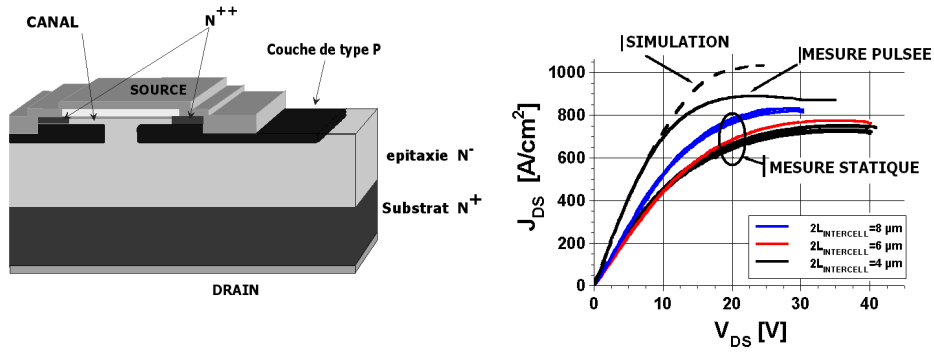


Figure 1. (a) A gauche, schéma de principe du limiteur de courant SiC, (b) à droite, comparaison simulation expérience sur le premier limiteur de courant

Le fait de pouvoir ainsi contrôler les pertes permet de réduire l'échauffement en mode de limitation. Une étude de faisabilité d'intégration monolithique de la commande a également été menée par la réalisation d'un transistor MESFET sur la même puce (Fig. 2b).

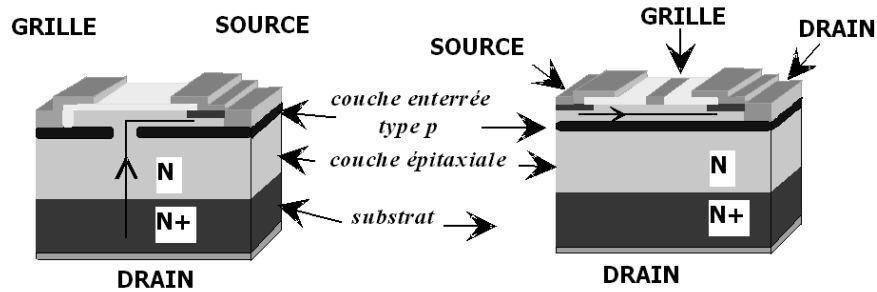


Figure 2. : (a) coupe schématique du limiteur de courant avec grille de commande, (b) la structure MESFET compatible.

Le composant monté en boîtier et testé en court circuit sur une charge résistive, présente un temps de réponse très court et une absence de surtension, comme le montre la fig. 3-a.

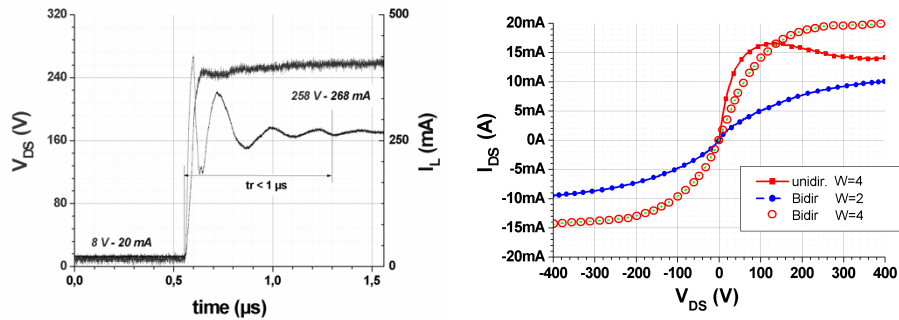


Figure 3. (a) caractéristique électrique dynamique en réponse à un court-circuit sur charge résistive, (b) caractéristique statique de deux composants bidirectionnels.

La figure 3-b présente les caractéristiques électriques mesurées pour un composant unidirectionnel et bi-directionnel monolithique (2 JFETs connectés Drain à Drain naturellement par le substrat commun N^+). Les mesures ont été effectuées avec des créneaux d'une durée de 0,5 s sous une tension maximale de 400 V. La résistance spécifique est comprise entre 176 $m\Omega.cm^2$ et 237 $m\Omega.cm^2$, selon la géométrie de la structure mesurée.

2.1.2 Composant très haute tension

Le thyristor GTO ('Gate Turn Off') représente l'un des interrupteurs les plus prometteurs pour l'utilisation du SiC dans la fabrication de composants de puissance haute tension. Les applications sont nombreuses, surtout dans les domaines des réseaux de distribution électrique, traction électrique et protection en tension des circuits.

Le Cegely a étudié ces thyristors dans le cadre de projets financés par la DGA, avec comme partenaires contractuels l'Institut de Saint-Louis (ISL) et la société IBS. Des applications spécifiques réalisées à l'ISL demandent des tenues en tension de 30 kV et des commutations rapides, avec des pics de courant importants (30 kA) pendant 30 ns. Afin de répondre à ces conditions de forte tension et courant à l'état passant, la solution actuelle implique l'utilisation d'un nombre important de thyristors en Si connectés en parallèle et en série. Grâce à ses propriétés physiques remarquables, l'utilisation du SiC permettra notamment de réduire la taille et le nombre d'interrupteurs.

La structure choisie comme point de départ est un empilement de couches P/N/P/N avec un substrat N^+ (cathode) et en surface l'anode (P^+) et la gâchette (N) (Figure 4). L'utilisation d'un substrat de type N est liée aux contraintes spécifiques à la fabrication de plaquettes SiC et à la diminution de sa résistance série. Les

paramètres (dopage, épaisseur) des différentes couches épitaxiales ont été déterminés par simulation de type éléments finis en utilisant Medici™, afin de répondre au cahier des charges. Un dopage de $5 \times 10^{14} \text{ cm}^{-3}$ et une épaisseur de $35 \mu\text{m}$ ont été choisis pour la couche épitaxiée P⁻, ce qui théoriquement permet d'obtenir une tension de retournement V_{BO} de 6 kV.

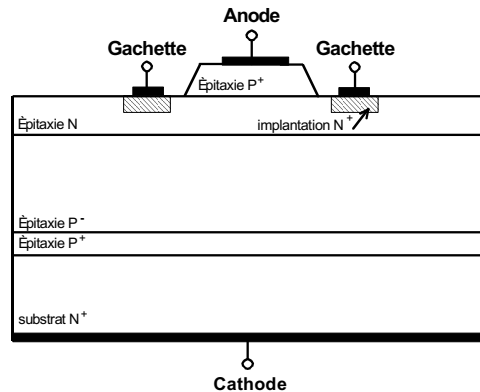


Figure 4. Structure générale (sans périphérie) du thyristor

Concernant la protection latérale de la jonction NP⁻, responsable de la tenue en tension du thyristor en mode direct bloqué, trois géométries différentes ont été étudiées : mesa, mesa + JTE (Junction Termination Extention) et EGR (Etched Guard Rings) (Figure 5).

L'influence des différents paramètres technologiques (profondeur de gravure, dose d'implantation des JTE, distance entre anneaux) sur V_{BO} a été étudiée par la simulation. L'objectif de 5 kV nécessite une gravure d'au moins $14 \mu\text{m}$, ce qui est difficilement réalisable en SiC avec des techniques de gravure classiques de type RIE. Ajouter une protection latérale de type JTE permet d'atteindre l'objectif de tenue en tension, avec des profondeurs de la mesa plus raisonnables (1 à $2 \mu\text{m}$). Dans ce cas, la maîtrise du dopage des JTE est indispensable.

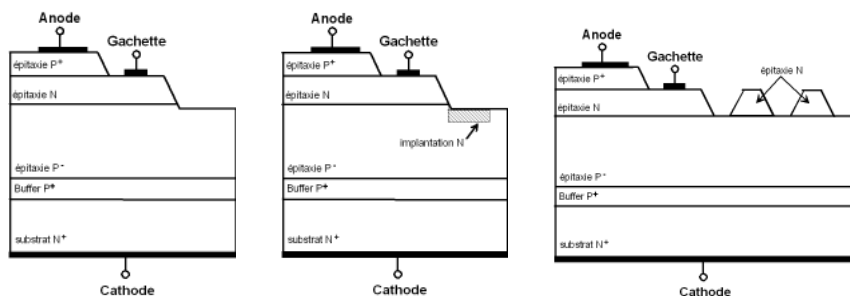


Figure 5. Périphéries latérales de type mesa, mesa + JTE et EGR (de gauche à droite)

Des thyristors comportant ces différentes géométries ont été réalisés en utilisant 6 niveaux de masques. Pour la fabrication, exceptée la gravure profonde du SiC, les autres points sensibles ont été l'activation des dopants implantés par un recuit haute température (1700°C/30 min), la réalisation de contacts ohmiques sur le SiC de types P et N, ainsi que la passivation par le dépôt en surface d'une couche de SiO₂.

La figure 6-a et -b présente les caractéristiques électriques I-V statiques en direct bloqué mesurées sur les thyristors avec des protections latérales mesa profondes et une combinaison de faibles mesa + JTE. La densité de courant des thyristors SiC à l'état passant mesurée sous 13 V est de 300 A.cm⁻². Ces résultats sont comparés à des caractéristiques obtenues par simulation Medici, dans le but d'estimer la densité de charges fixes à l'interface SiO₂/SiC. Les meilleures performances en terme de V_{BO} sont situées dans la même gamme pour les trois géométries de la périphérie de jonction latérale (3.9 kV – mesa profonde, 3.6 kV – mesa+JTE, 3.4 kV – EGR). Cela montre que la limitation de la tenue en tension est plutôt due à l'environnement du composant, la couche de passivation SiO₂ et le milieu de test (Galden®) n'étant pas suffisants pour empêcher des arcages prématurés.

La comparaison des résultats de la figure 6 montre d'une part l'intérêt de l'utilisation d'une protection JTE afin de diminuer la profondeur de la gravure mesa. D'autre part, les valeurs des densités de charges fixes à l'interface SiO₂/SiC évaluées entre 1 et 5×10¹² cm⁻² montrent que la passivation des composants de puissance en SiC doit être soignée afin d'améliorer leur tenue en tension (Brosselard *et al.*, 2005).

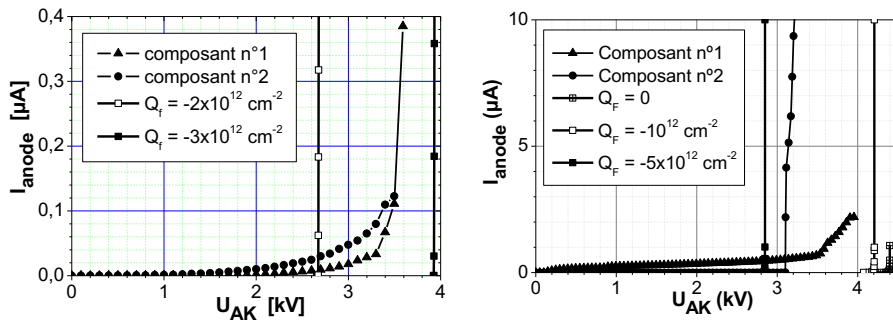


Figure 6. Caractéristiques I-V en direct bloqué des thyristors avec une mesa de 10.3µm (gauche) et mesa 1µm+JTE (droite) comparées à la simulation Medici.

2.2 Convertisseur à base de composants SiC

L'objectif de ce paragraphe est de montrer les résultats obtenus dans le cadre de la réalisation de convertisseurs 'tout SiC' pouvant fonctionner à haute température. Deux échantillons de JFET-SiC achetés auprès de (SiCED 2005) ont été caractérisés jusqu'à une température de 300°C, avec pour objectif de construire un onduleur sans

diode de roue libre externe. Les pertes en commutation sont mesurées sur un banc de test spécifique (Bergogne *et al.*, 2005).

L'onduleur à JFET est construit dans un environnement expérimental permettant le fonctionnement à haute température des composants en SiC et l'utilisation conjointe, à température ambiante normale, de composants standards, ainsi que de l'instrumentation nécessaire. Le prototype est testé à 25°C et à 300°C. Il alimente une charge inductive sous 120 V_{eff} à la fréquence de 10 kHz avec une porteuse de modulation de largeur d'impulsion à 100 kHz.

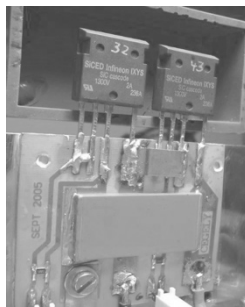


Figure 7. Photographie du bras d'onduleur. Condensateur CMS et JFETs soudés sur SMI. Une plaque froide sert de support au SMI.

La figure 7 montre un gros plan du bras d'onduleur réalisé. Les deux JFETs sont soudés à plat, ainsi que le condensateur de stockage de technologie céramique CMS placé au plus près des connexions des JFETs. La construction sur substrat SMI réduit les inductances de câblage et permet l'évacuation de la chaleur par la face arrière. Le SMI est fixé sur une plaque à eau. Cela permet ici d'utiliser les composants de gamme de température commerciale à proximité immédiate des JFETs qui sont chauffés à 300°C. Les JFETs sont placés en bord de plaque pour permettre de les chauffer séparément. Lors du chauffage, la face arrière des JFETs est balayée par un courant d'air à température fixée. Les drivers sont déportés, alimentés par convertisseur DC/DC isolé et les signaux de commande sont transmis par fibre optique.

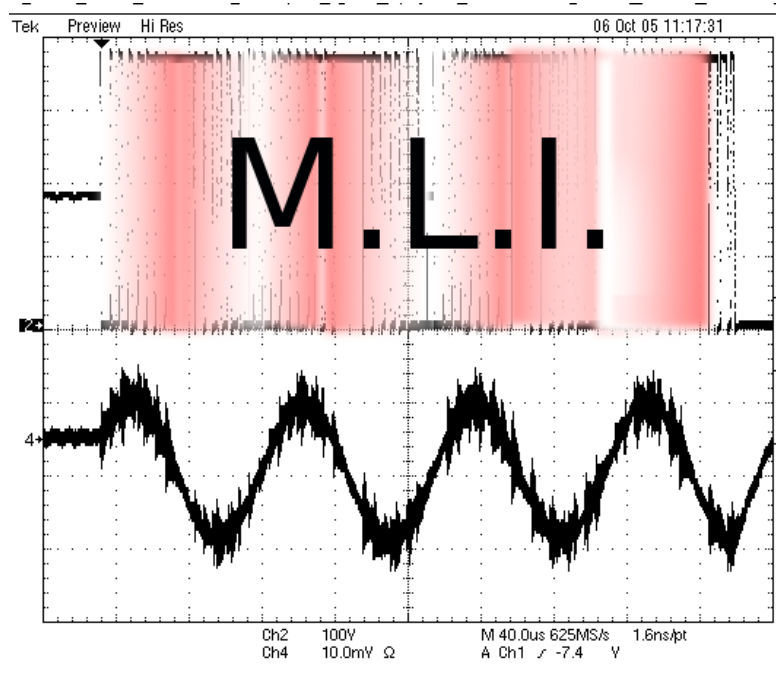


Figure 8. Mesures sur l'onduleur en fonctionnement à haute température. Trace du haut : la tension de sortie (100V/div) du signal MLI. Trace du bas : le courant dans la charge. (0,5A/div). On reconnaît la sinusoïde reconstituée.

L'onduleur est alimenté en 365 VDC. La fréquence de découpage, porteuse MLI, est de 100 kHz. La fréquence du courant à générer, modulation, est de 10 kHz. La charge inductive absorbe un courant de 0,5 A crête. L'étude de l'influence de la température ne montre pas de phénomènes rédhibitoires jusqu'à 300°C. Le courant que peut contrôler le JFET est limité par la valeur du courant de saturation. A 300°C, il est réduit d'un facteur 3,5 par rapport aux mesures faites à 25°C. A fréquence fixée, les pertes en commutation diminuent quand la température s'accroît, car le courant de saturation diminue aussi lors des phases de commutation dans le bras. Les pertes par conduction augmentent car la résistance à l'état passant augmente avec la température. Le prototype utilise une fréquence de découpage de 100 kHz, mais les estimations faites laissent penser qu'il est possible d'aller au-delà.

2.3 Intégration monolithique

L'augmentation des puissances commutées ne cesse d'évoluer, conduisant à l'utilisation de convertisseurs de puissance dans un nombre d'applications toujours croissant. Parallèlement à cette évolution, un effort de miniaturisation est maintenu, ayant pour objectif l'intégration monolithique de convertisseurs. Le savoir-faire acquis avec le carbure de silicium nous laisse envisager à terme la réalisation de tels convertisseurs, avec l'association d'interrupteurs et de diodes bipolaires intégrées. L'avantage d'utiliser des structures de composants latéraux donne la possibilité d'envisager la conception de cellules de commutation sur une même puce, mais avec des calibres en tension et en courant plus faibles. Pour améliorer les performances de la diode latérale SiC, une technique dite RESURF (REduced SURface Field) est utilisée. Ces structures ont été développées à l'aide du logiciel de simulation MEDICI™.

La technologie RESURF est une des techniques utilisées dans la conception de composants de puissance latéraux pour obtenir une tenue en tension relativement élevée (ici $\approx 600\text{V}$). La technique RESURF consiste à améliorer la répartition du champ électrique dans la structure des composants, afin d'augmenter la valeur de la tenue en tension à l'état bloqué. L'homogénéité du champ électrique est établie en introduisant différentes régions de dimensions géométriques et de dopage bien définies à travers la structure du composant. Cette méthode présente également l'avantage de réduire la résistance à l'état passant par l'introduction d'une importante concentration d'impuretés dopantes dans la zone active. La figure 9 présente la structure RESURF associée à l'architecture de la diode SiC. Cette structure est ainsi constituée d'une diode latérale P^+NN^+ , et d'une diode verticale N^+NP . La diode verticale a pour rôle d'avoir une forte tension d'avalanche grâce au faible dopage du substrat de type P et la diode latérale assure la conduction d'un courant élevé. La tension de blocage maximale obtenue avec cette structure latérale est de l'ordre de 650V .

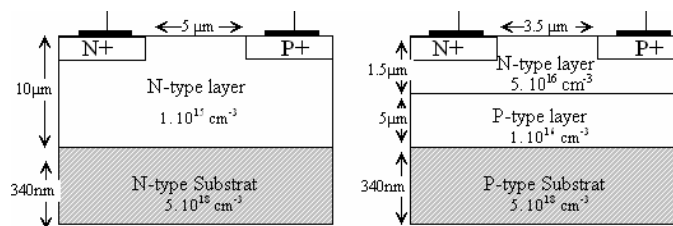


Figure 9. Vue en coupe de la structure de la diode latérale SiC avec une tenue en tension de 600V sans (a) et avec (b) la technologie RESURF

La structure du JFET latéral en SiC a été établie en utilisant l'effet double RESURF. L'objectif est d'obtenir un composant supportant une tension de blocage de 600V et une résistance à l'état passant la plus faible possible. La structure du

JFET latéral en SiC mettant en œuvre l'effet double RESURF est présentée sur la figure 10. Le substrat utilisé est de type P⁺ sur lequel est réalisée une épitaxie de type P, avec une plus faible concentration de dopants (première couche RESURF). La région de type N nommée « Active layer » représente le canal. La couche nommée 'Ptop layer' crée une jonction PN avec le canal et constitue ainsi le double effet RESURF. Elle a pour rôle de diminuer la valeur de la résistance à l'état passant du JFET. Les régions P⁺ (grille) et les régions N⁺ (drain - source) sont réalisées par implantation ionique.

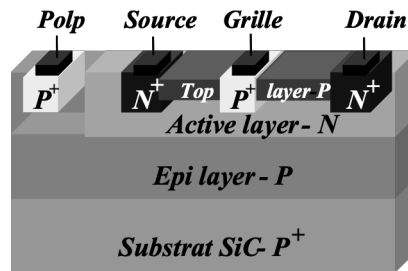


Figure 10. Vue en coupe de la structure du JFET latéral SiC avec la technologie double RESURF

L'introduction des couches nommées 'Top layer' et 'Epi layer' a pour but de répartir de façon uniforme les lignes du champ électrique latérales et verticales. Les valeurs de dopage et les dimensions géométriques des couches 'Top layer' et 'Active layer' doivent être déterminées précisément, afin d'obtenir une variation trapézoïdale du champ électrique longitudinal. Dans ce cas, l'effet RESURF est optimisé, la valeur de la tenue en tension du transistor est maximale.

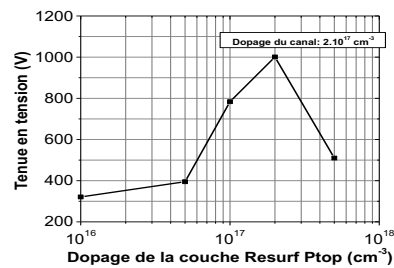


Figure 11. Evolution de la tenue en tension du JFET en fonction de la valeur de dopage de la couche RESURF 'Top layer'

La figure 11 montre l'évolution de la tenue en tension en fonction de la concentration de dopage de la couche 'Top layer', pour un canal dopé à une concentration de 2×10^{17} at.cm⁻³. Cette valeur de dopage a été dimensionnée pour

obtenir une résistance à l'état passant la plus faible possible, tout en ayant une tension de pincement suffisamment grande ($\approx 12\text{V}$) afin de faciliter la commande du JFET.

La technique RESURF associée aux propriétés du SiC permet ainsi d'obtenir un transistor JFET avec une structure planar de petite taille, dont la tenue en tension peut atteindre la valeur de 1 kV. Cependant, à partir d'une tension égale à 750 V, les courants de fuites au niveau de la grille deviennent non négligeables. La présence des couches RESURF introduit des composants bipolaires parasites, avec ici un transistor PNP qui nécessite la polarisation de la couche 'Epi layer' au même potentiel que celui de la grille du JFET, ce qui évite toute injection de porteurs entre le substrat et la grille du JFET.

La figure 12 présente la caractéristique statique du JFET avec une longueur de canal égale à $16\ \mu\text{m}$, et une épaisseur de canal de $0.40\ \mu\text{m}$. La valeur élevée de l'intensité du courant de conduction est due à la grande largeur du canal de 3.4 cm de périphérie. La résistance R_{ON} correspondante est de $1.8\ \Omega$.

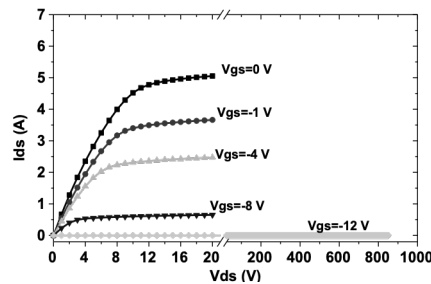


Figure 12. Caractéristique statique du JFET latéral

Les performances statiques permettent d'envisager des commutations sous des tensions atteignant 600 V avec un courant de conduction supérieur à 1 A. La réalisation technologique d'une structure planar favorise les étapes de dopage des différentes régions par implantation ionique, en formant des caissons de dopage de types n et p. On évite ainsi l'utilisation de la gravure plasma profonde. De plus, le nombre de couches épitaxiales (onéreuses en SiC) est considérablement réduit.

2.4 Caractérisation

2.4.1 Caractérisation en température de composants en SiC

Deux bancs expérimentaux permettent d'effectuer des mesures des composants sous points. L'un en température (de 80 à 650 K), l'autre à température ambiante jusqu'à 12 kV. Ce dernier est entièrement automatisé, ce qui permet de faire des études statistiques sur plaque entière. La figure 12 montre un réseau expérimental de

caractéristiques I-V obtenu sur une diode Schottky. Un calcul théorique permet d'extraire les paramètres physiques du composant (Raynaud *et al.*, 2002).

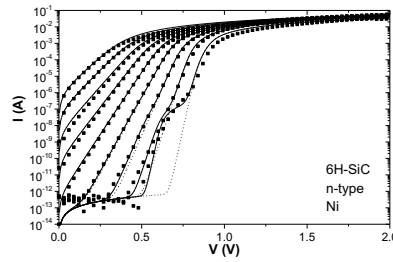


Figure 13. Caractéristiques I-V en direct sur des diodes Schottky dédiées à l'OBIC de type N (métallisation Nickel) entre 100 et 500 K par pas de 50 K. (symboles). Les lignes sont les caractéristiques théoriques calculées avec $\varepsilon = 5 \times 10^{-5}$, $R_{sh} = 10^{12} \Omega$, $R_{spf} = R_{spb} = 15m \Omega.cm^2$, $\Phi_{e1} = 0.72 + 3 \times 10^{-4} T$ (excepté $\Phi_{e1} = 0.7 eV$ à 100 K), $\Phi_{e2} = 0.87 + 4.5 \times 10^{-4} T$, $n_1 = n_2 = 1.1$. Les lignes en pointillés sont des courbes théoriques obtenues avec une seule hauteur de barrière Φ_{e2} .

2.4.2 Caractérisation de composants haute tension en SiC par la technique OBIC

Le banc expérimental d'OBIC (Optical Beam Induced Current) s'appuie sur un laser Ar doublement ionisé permettant d'obtenir plusieurs longueurs d'onde dans l'U.V entre 300 et 365 μm . Un système optique permet d'obtenir sur l'échantillon (généralement une diode bipolaire ou Schottky polarisée en inverse) un spot de $\sim 4 \mu m$ de diamètre. L'échantillon est monté sur des platines motorisées pilotées par ordinateur, ce qui permet de déplacer le spot par rapport à l'échantillon. Le courant photogénéré est mesuré aux bornes d'un shunt par un amplificateur à détection synchrone (SR830). Le laser génère des paires électron-trou sur une profondeur plus ou moins grande, dépendant de la longueur d'onde. Si ces porteurs libres sont créés dans la Zone de Charge d'Espace (ZCE) (ou dans une région distante de la ZCE de moins d'une longueur de diffusion des porteurs libres), où règne un champ électrique intense, ils vont être collectés par les électrodes. Sinon, ils vont se recombiner avant d'atteindre les électrodes de grille. Le courant mesuré permet donc de déduire la présence ou non d'une ZCE dans la région éclairée par le spot. Ceci permet d'étudier l'étalement latéral des ZCE, lorsqu'on déplace le spot le long d'un diamètre de l'échantillon, et par conséquent l'efficacité des protections latérales des jonctions. Ceci permet également de mesurer les coefficients d'ionisation.

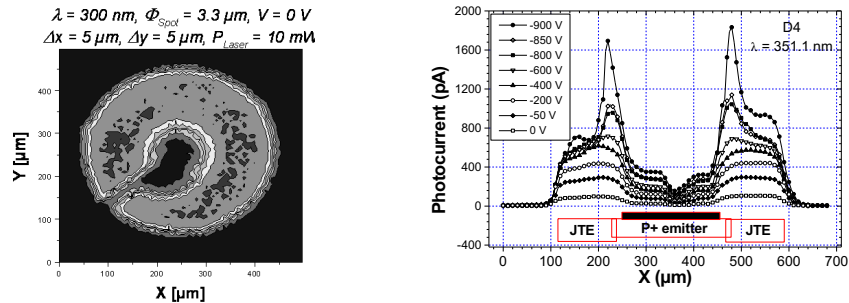


Figure 14. (a) Gauche : cartographie 2D obtenue sur une diode 1,5 kV protégée par JTE. (b) Droite : cartographie 1D obtenue sur une diode 1,5 kV protégée par JTE (Raynaud et al., 2004).

La Figure 14-a montre une image en fausse couleur de la répartition du courant obtenue sur une diode bipolaire 1,5 kV en SiC. On peut voir clairement (zone claire) que les poches sont désertées sur toute leur longueur, même sous 0 V de polarisation. L'obtention d'une telle cartographie nécessite environ 10 h d'acquisition. Aussi, on se contente généralement de mesurer le photocourant en parcourant un diamètre de la diode, comme par exemple sur la figure 14-b.

Lorsque la polarisation inverse augmente, l'intensité du photocourant croît, ce qui est dû à l'augmentation du champ électrique au niveau des JTE. Au-delà de 600 V, le plateau se divise en deux pics, celui qui se présente en bordure d'émetteurs étant beaucoup plus grand. Cela signifie que les équipotentielles se resserrent malgré tout en bordure de la jonction principale, et qu'il convient donc d'augmenter légèrement la dose d'implantation des JTE.

3. Etat de l'art mondial

Cette partie a pour but de présenter un bref état de l'art mondial des différents interrupteurs de puissance réalisés en carbure de silicium. Cet état de l'art est présenté selon les différents types de composants (diodes, MOSFETs, JFETs et thyristors) en terme de tenue en tension et de calibre en courant. Un premier paragraphe est dédié à l'évolution des caractéristiques du matériau de base carbure de silicium. Les propriétés et avantages de ce matériau semi-conducteur sont rappelés dans les articles de J. Camassel et F. Nallet (Cassel), (Nallet 2002).

En 1987, la société américaine Cree-Research a été fondée sur la base d'un procédé d'élaboration de boules de SiC monocristallin. Les premiers composants de puissance réalisés sont des diodes bipolaires dans les années 1990 (500 V et un calibre en courant de 500 mA). Avec l'amélioration de la qualité du matériau, la

surface active des composants a pu augmenter de façon significative et parallèlement à la diminution du dopage, le SiC permet aujourd'hui le développement de composants haute tension et fort courant. La figure 15 montre l'évolution de la densité de micropores en fonction des années.

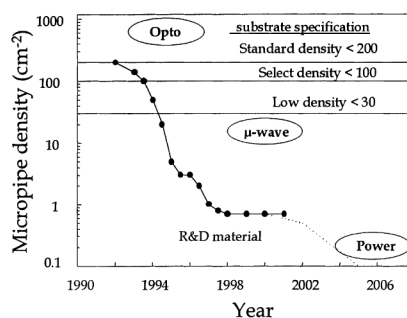


Figure 15. Evolution de la densité de micropores depuis 1990 avec perspectives jusqu'en 2006 pour trois types d'applications (optoélectronique, micro-ondes, applications de puissance) (Harris *et al.* 2001).

Une nouvelle méthode d'obtention de substrat a été présentée lors de la conférence internationale de Pittsburgh en septembre 2005. Cette méthode est basée sur la rotation successive du substrat suivant des plans perpendiculaires (Repeated A-Face). Elle permet une réduction de deux à trois ordres de grandeur de la densité de dislocations et une absence de micropore (Nakamura 2005).

La diode bipolaire en SiC-4H possédant la tenue en tension la plus élevée (19 kV), a été réalisée par Sugawara (Sugawara *et al.*, 2001). Lors de la dernière conférence internationale sur le SiC (ICSCRM 2005), des avancées significatives sur le matériau ont permis d'améliorer les caractéristiques électriques des diodes bipolaires, notamment sur la tension de décalage ΔV_f qui apparaît lorsque la diode est fortement stressée en direct. En effet, la société américaine Cree a mis au point un nouveau procédé de gravure sélective avant la réalisation d'épitaxie SiC, possédant des densités de dislocations planes inférieures à 10 cm⁻² (Sumakeris *et al.*, 2005). Ainsi, une diode bipolaire ayant un courant direct de 25 A et possédant une tenue en tension de 6 kV a été développée avec ce matériau (Hull *et al.*, 2005). Par ailleurs, les fabricants évaluent le rendement de fabrication des diodes avec différents critères (chute de tension en direct après stress, tenue en tension) sur des wafers de 3 pouces avec des diodes de 50 A/ 10 kV (Das *et al.*, 2005). L'obtention de performances stables sur des diodes bipolaires haute tension SiC de grandes dimensions démontre la viabilité de produits commerciaux.

Au cours de l'année 2001, la société INFINEON a commercialisé des diodes Schottky en SiC. Leurs caractéristiques électriques sont des tensions de blocage de 600 V et 1200 V et des calibres en courant de 6 ou 12 A (Infineon). Aujourd'hui, il

existe 5 négociants de diodes Schottky en SiC (Infineon, APT, Fairchild, Rockwell, Cree). STMicroelectronics annonce pour 2006 la commercialisation de diodes Schottky de puissance en SiC. Au niveau des laboratoires de recherche, le Centre National de Micro-électronique (CNM) de Barcelone a réalisé une diode Schottky ayant un calibre en courant de 8 A et une tenue en tension de 4.5 kV, qui a été montée dans un module avec un IGBT silicium (Tournier *et al.*, 2005).

L'électronique de puissance a besoin d'interrupteurs commandés. L'élaboration d'interrupteurs du type MOSFET en carbure de silicium connaît quelques difficultés. L'interface semi-conducteur/oxyde présente des densités de défauts élevées, réduisant les performances électriques des transistors MOSFET (Perret 2003). Le transistor MOS SiC-4H possédant la tenue en tension la plus élevée a été réalisé sur la base d'une structure DMOSFET (Ryu *et al.*, 2004). La tenue en tension maximale obtenue expérimentalement est égale à 10 kV. Cependant, le premier transistor MOSFET de grande surface ($3 \times 3 \text{ mm}^2$) sur matériau SiC-3C (de fabrication japonaise par Hoya Advanced Semiconductor Technologies) a été présenté à Pittsburgh. Il possède une tenue en tension de 250 V et une mobilité de canal comprise entre 30 et 40 $\text{cm}^2/\text{V.s}$ (Schöner *et al.*, 2005).

Contrairement au transistor MOSFET, le transistor JFET ne nécessite pas d'oxyde de grille, ce qui facilite ainsi sa réalisation. Un transistor JFET vertical, réalisé par gravure et implantation ionique a une tenue en tension de 10 kV et présente une résistance spécifique de $106 \text{ m}\Omega.\text{cm}^2$ (Li *et al.*, 2005).

D'autres travaux sont menés sur des transistors thyristors. En effet, un thyristor GTO asymétrique a été conçu par S.H. Ryu (Ryu *et al.*, 2001) en SiC-4H. Il possède une chute de potentiel de 4,97 V en direct, pour un courant direct de 12 A. En direct bloqué, il tient une tension de 3,1 kV.

Un thyristor de relativement grande taille (1 cm^2) a été présenté à la conférence de Pittsburgh. Son calibre en tension est de 5 kV, sa chute de tension à l'état passant est de 4 V pour un courant de 100 A à 200°C (Agarwal *et al.*, 2005).

4. Conclusion

Cet article montre les principaux résultats et activités du CEGELY sur les composants de puissance en SiC. L'état de l'art mondial montre que des composants ayant des tenues en tension élevées sont réalisables avec des courants significatifs. Il faut se placer du côté système en réalisant des convertisseurs pour montrer le bénéfice des composants SiC pour les applications.

Il apparaît maintenant que le SiC permettra très prochainement d'utiliser des composants unipolaires à la place des composants bipolaires en Si, pour autant que la limite théorique des composants unipolaires en SiC de 10 kV soit respectée.

L'utilisation des composants SiC pourrait apparaître, à terme, comme une petite révolution dans le domaine de l'électronique de puissance. Ces progrès prendront de l'ampleur du fait de l'intégration monolithique ou hybride des systèmes.

5. Bibliographie

- Agarwal A.K., Damsky B., Richmond J., Krishnaswami S., Capell C., Ryu S.R., Palmour J.W., « A 1 cm × 1 cm, 5 kV, 100 A 4H-SiC thyristor chip for high current modules » *Proceedings of International Conference on Silicon Carbide and Related Materials*, 2005, Pittsburgh, September 18-23.
- Bergogne D., Bevilacqua P., M'Rad S., Planson D., Morel H., Allard B., Brevet O., « 300°C operating junction temperature inverter leg investigations » *Actes de la 11th Conference on Power Electronics and Applications*, Dresden, EPE '2005, 11-14 sept. 2005. p. 209.
- Brosselard P., Bouchet Th., Planson D., Scharholz S., Pâques G., Lazar M., Raynaud Ch., Chante J-P, Spahn E., « A 3.5 kV Thyristor in 4H-SiC with a JTE Periphery », *Materials Science Forum*, vol. 483-485, 2005, p. 1005-1008.
- Camassel J., Contreras S., Robert J.L., « Matériaux semi-conducteurs à grand gap : SiC », *Techniques de l'Ingénieur*, article, n°E1990
- Das M.K., Sumakeris J.J., Hull B.A., Richmond J., Krishnaswami S. and Powell A.R., « Drift-Free, 50 A, 10 kV 4H-SiC PiN Diodes with Improved Device Yields », *Mat. Res. Soc. Symp. Proc.*, 2005, vol. 483-485 pp. 965-968
- Harris C.I., Savage S., Konstantinov A., Bakowski M., Ericsson P., « Progress towards SiC products » *Applied Surface Science*, vol. 184, 2001, p. 393-398.
- Hull B., Das M.K., Richmond J.T., Heath B., Sumakeris J.J., Geil B., Scozzie C.J., « 6 kV, 25 A 4H-SiC PiN diodes for power module switching applications » *Proceedings of International Conference on Silicon Carbide and Related Materials*, 2005, Pittsburgh, September 18-23.
- Infineon, <http://www.infineon.com>
- Li Y., Alexandrov P., Zhang J., Li L.X., Zhao J.H. Su M., « 10 kV, 106 mΩ.cm² normally-Off 4H-SiC vertical junction field-effect transistor » *Proceedings of International Conference on Silicon Carbide and Related Materials*, 2005, Pittsburgh, September 18-23.
- Nakamura D., « Reduction of dislocations in the bulk growth of SiC crystals » *Proceedings of International Conference on Silicon Carbide and Related Materials*, 2005, Pittsburgh, September 18-23.
- Nallet F., Godignon P., Planson D., Raynaud C., Chante J.P., « Very low Ron measured on 4H-SiC accu-MOSFET high power device », Santa Fe - New Mexico (USA), *ISPSD'02* - June 5-9, 2002, p. 209-212
- Nallet F., « SiC pour l'électronique de puissance du futur », *Techniques de l'Ingénieur*, article Recherche, n°RE 3, 2002
- R. Perret, *Interrupteurs électronique de puissance*, Paris, Hermès, 2003.
- Raynaud C., Isoird K., Lazar M., Planson D., Johnson C.M., Wright N., « Barrier height determination of SiC Schottky diodes by capacitances and current-voltage measurements », *Journal of Applied Physics*, vol. 91, n°12, 2002, p. 9841-9847.

- Raynaud C., Wang S.R., Planson D., Lazar M., Chante J.P., « OBIC analysis for 1.3 kV 6H-SiC p⁺n planar bipolar diodes protected by Junction Termination Extension » – *Diamond & Related Materials*, vol. 13, 2004, p. 1697-1703
- Ryu S.H., Agarwal K., Singh R., Palmour J.W., « 3100 V, Asymmetrical, Gate Turn-Off (GTO) Thyristors in 4H-SiC », *IEEE Electron Device Letters*, March 2001 vol. 22 N°3, p. 127-129.
- Ryu S.H., Agarwal A., Krishnaswami S., Richmond J. and Palmour J. « Development of 10 kV 4H-SiC Power DIMOSFETs », *Materials Science Forum*, 2004, vols 457-460 p. 1385-1388.
- Schöner A., Bakowski M., Ericsson P., Stromberg H., Nagasawa H., Abe M., « Realization of large area vertical 3C-SiC MOSFET devices » *Proceedings of International Conference on Silicon Carbide and Related Materials*, 2005, Pittsburgh, September 18-23.
- Semitec Corp. « CRD Distributor », <http://www.semitec.co.jp/english/>
- SiCED, <http://www.siced.de>
- Sugawara Y., Takayama D., Asano K., Singh R., Palmour J., Hayashi T., « 12 19 kV 4H-SiC pin Diodes with Low Power Loss » *Proceedings of International Symposium on Power Semiconductor Devices & Ics*, 2001, Osaka, pp. 27-30.
- Sumakeris J.J., Das M.K., Ha S., Hallin Ch., Hull B., Lendenmann H, Paisley M.J., Skowronski M., Hobgood H. McD., Palmour J., « Techniques for minimising the basal plane dislocations density in SiC epilayers to reduce Vf drift in SiC bipolar power devices » *Proceedings of International Conference on Silicon Carbide and Related Materials*, 2005, Pittsburgh, September 18-23.
- Sze S.M., *Physics of Semiconductor Devices*, 2nd ed., New York : J. Wiley and Sons, 1981.
- Tournier D., Godignon P., Montserrat J., Planson D., Raynaud C., Lazar M., Chante J.P., Sarrus F., Bonhomme C., de Palma J.F., « Characterization of a 4H-SiC high power density controlled current limiter », *Materials Science Forum*, Vol. 433-436, 2003, p. 871-874.
- Tournier D., Waïnd P., Godignon Ph., Millan J., Basset R., « 4.5 kV – 8 A SiC-Schottky diodes / Si-IGBT Modules » *Proceedings of International Conference on Silicon Carbide and Related Materials*, 2005, Pittsburgh, September 18-23.
- Zhao J.H., Alexandrov P., Zhang J. and Li X. « Fabrication and Characterization of 11 kV normally off 4H-SiC Trenched and Implanted Vertical Junction FET » *IEEE Elec. Dev. Letters*, vol.25 n°7, july 2004, p.474-476.