



HAL
open science

Commande électronique avancée d'un transistor de puissance au carbure de silicium - Protection extrême et surveillance de l'état de santé de l'oxyde de grille

Mathis Picot-Digoix, Frédéric Richardeau, Jean-Marc Blaquière, Sébastien Vinnac, Thanh Long Le, Stéphane Azzopardi

► To cite this version:

Mathis Picot-Digoix, Frédéric Richardeau, Jean-Marc Blaquière, Sébastien Vinnac, Thanh Long Le, et al.. Commande électronique avancée d'un transistor de puissance au carbure de silicium - Protection extrême et surveillance de l'état de santé de l'oxyde de grille. La Revue de l'électricité et de l'électronique, 2023, Vol. 4. hal-04301091

HAL Id: hal-04301091

<https://hal.science/hal-04301091>

Submitted on 22 Nov 2023

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Commande électronique avancée d'un transistor de puissance au carbure de silicium

Protection extrême et surveillance de l'état de santé de l'oxyde de grille

Mathis Picot-Digoix

Doctorant, Safran Tech Paris Saclay, Laboratoire Laplace

avec la collaboration de Frédéric Richardeau⁽¹⁾, Jean-Marc Blaquière⁽¹⁾, Sébastien Vinnac⁽¹⁾, Thanh Long Le⁽²⁾ et Stéphane Azzopardi⁽²⁾

(1) LAPLACE, Université de Toulouse, CNRS, INPT, UPS, Toulouse

(2) SAFRAN TECH, Paris Saclay

Accroche

En peu de temps, le transistor de puissance SiC a surpassé le Si dans les applications exigeant efficacité énergétique et haute fréquence de découpage. Cet article présente une architecture de commande électronique novatrice pour assurer la sécurité et surveiller la santé du transistor. Elle repose sur des résistances de grille commutées en parallèle, permettant une commutation rapide et une détection efficace des défauts. Cette approche tire profit des variations de charge électrique de la grille en cas de défaut, en isolant partiellement la grille pour une détection plus sensible des défauts. Elle est validée avec succès sur des MOSFETs SiC de calibre 1200V-36A.

Introduction

Le transistor de puissance MOSFET SiC s'est réellement imposé comme composant de choix dans les convertisseurs électroniques de puissance de moyenne et de forte puissance. Cependant, son déploiement dans les secteurs à haute exigence de fiabilité, comme l'aéronautique, reste limité par un manque de robustesse, notamment en régime de court-circuit (CC), et par la fragilité mécanique de la région d'oxyde de grille. Les méthodes de protection contre les courts-circuits actuelles reposent essentiellement sur une surveillance de la tension aux bornes du transistor (i.e. entre les électrodes de drain et de source) ou bien directement par le courant de drain. Ces méthodes sont relativement intrusives et coûteuses dans le sens où elles requièrent l'utilisation d'une large diode haute tension de détection, non intégrable sur circuit intégré, ou encore d'un capteur de courant sur puce encore aujourd'hui non standardisé en technologie SiC à la différence de la technologie Si, notamment dans l'industrie automobile.

Il existe aujourd'hui plusieurs propositions d'architectures de commande électronique rapprochée pour le transistor MOSFET SiC basées sur une topologie à voies parallèles. Leur fonction reste cependant majoritairement circonscrite à de l'optimisation de vitesse de commutation en di/dt et/ou en dv/dt par adaptation dynamique de la résistance de grille selon le régime de fonctionnement ou pour des besoins de compensation des dérives des performances du transistor dues à son vieillissement.

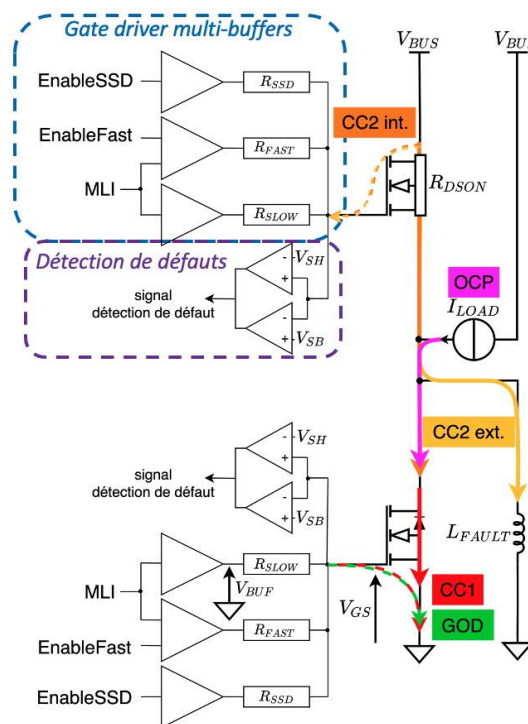
L'architecture proposée [1] permet une protection à la fois multifonctionnelle et exhaustive contre tous les types de CC (sur défaut interne de commande et sur défaut externe franc ou inductif), contre des surintensités modérées (fonction *Over Current Protection*), ainsi qu'une détection de la dégradation irréversible de l'oxyde de grille du transistor (fonction *Gate Oxide Damage*), le tout sans entraver le fonctionnement nominal lorsque le transistor est déployé un onduleur. De plus, elle

repose sur la surveillance d'un observable du côté de la grille, donc basse tension, ce qui la rend réalisable en circuit intégré.

2. Définition de l'architecture

2.1. Topologie à résistances de grille commutées en parallèle

La méthode de protection proposée repose sur une redéfinition du rôle du circuit de grille : habituellement uniquement considéré comme un élément de contrôle permettant de régler les vitesses de commutation, il est ici amené à également assurer une fonction de surveillance de possibles défauts. Le concept est illustré en Fig. 1a). Il consiste à isoler partiellement la grille via une forte résistance de grille entre l'amorçage et le blocage afin de la rendre "quasi-flottante" et donc sensible à de possibles variations modérées de charges électriques identifiées comme des signatures électriques en CC. Une forte valeur de résistance de grille n'étant pas viable lors des phases de commutation, une architecture multivoies parallèles à résistances de grille commutées s'impose donc car elle permet de "sélectionner" la bonne voie pour optimiser au bon moment soit la dynamique en commutation soit la surveillance de défauts via la tension de grille "quasi-flottante". Le besoin de forte dynamique étant confiné autour des instants de commutation, le circuit de commande *Fast* à faible résistance de grille est uniquement activé autour des fronts d'amorçage et de blocage (Fig. 1b). Les durées d'activation *EnableFast* doivent permettre des charges et décharges complètes de grille, et en configuration bras d'onduleur, protéger le MOSFET complémentaire contre les remontées de charge par effet Miller lors des phases de dv/dt . Le reste du temps, le buffer *Fast* est placé en haute impédance (Hi-Z) pour laisser place au circuit de commande *Slow* en parallèle à forte résistance de grille afin d'exacerber les possibles signatures de défaut sur la tension grille-source V_{GS} et de faciliter leur détection.



(a)

Commande électronique avancée d'un transistor de puissance au carbure de silicium

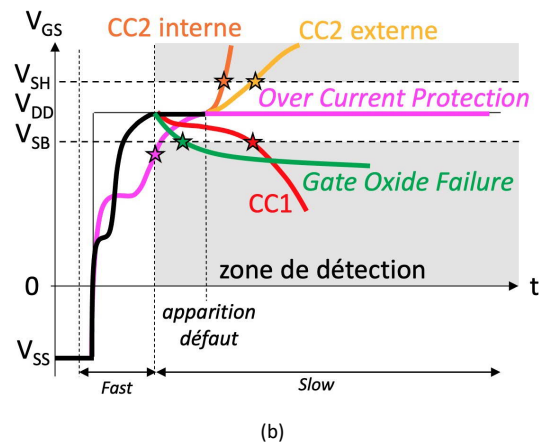


FIG. 1. Illustration de plusieurs types de défauts dans un bras d'onduleur disposant d'une architecture de commande électronique rapprochée à topologie parallèle et à résistances de grille commutées (a), signatures respectives des défauts sur V_{GS} considérés dans cette étude (b) CC1 : Court-circuit de type 1 ; CC2 : Court-circuit de type 2

2.2. Concept de détection de défauts adapté à la topologie parallèle

La méthode de détection de défauts proposée consiste en un double seuillage de la tension de grille V_{GS} autour de sa valeur nominale entre l'amorçage et le blocage du transistor. V_{GS} est ainsi comparée à des niveaux haut (V_{SH}) et bas (V_{SB}) (Fig. 1b), et le résultat de la comparaison est envoyé via une liaison isolée à un organe de contrôle numérique en amont (cf. Fig. 2b) ayant en charge le blocage "ralenti" du transistor à l'aide d'un circuit de commande spécifique dit *Soft Shut-Down* (SSD) comme illustré en Fig. 1a.

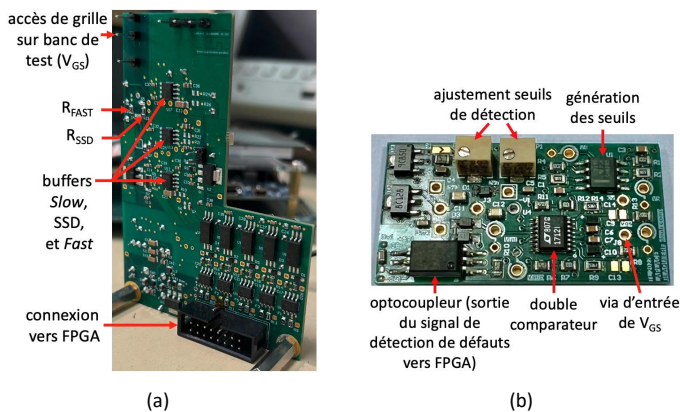


FIG. 2. Carte générale intégrant l'ensemble des fonctionnalités (a), carte de détection de défauts à doubles seuils (b)

3. Résultats expérimentaux

Afin de valider l'architecture proposée dans son ensemble et la méthode de détection à double seuils, des essais de protection sur différents types de défauts ont été conduits sur un bras d'onduleur à base de MOSFETs SiC 1200V-36A-80m Ω du commerce en boîtier TO-247 à 3 broches (sans source Kelvin) et sous une tension de bus V_{BUS} de 600V. Il est à noter que l'utilisation d'une résistance R_{FAST} de relativement forte valeur (47 Ω) dans les essais expérimentaux qui suivent permet de limiter les perturbations dues aux éléments parasites du banc de tests. En pratique, de plus faibles valeurs sont recommandées par les fournisseurs.

3.1 Vérification préliminaire : robustesse et non-détection en fonctionnement nominal

Avant de détailler les diverses fonctions de protection contre des défauts pouvant survenir dans un bras d'onduleur, il convient d'assurer l'absence d'influence du système de protection proposé sur le fonctionnement nominal du bras. Pour ce faire, des commutations sous courant de charge ont été réalisés pour se rapprocher d'un fonctionnement nominal. Un courant de charge de 50A, soit 140% du calibre en courant du MOSFET SiC étudié a été choisi afin de se positionner dans le pire cas. Dans cette optique, une résistance $R_{SLOW} = 10k\Omega$ est également choisie pour placer la grille dans un état "quasi-flottant" de haute sensibilité lors des phases de conduction.

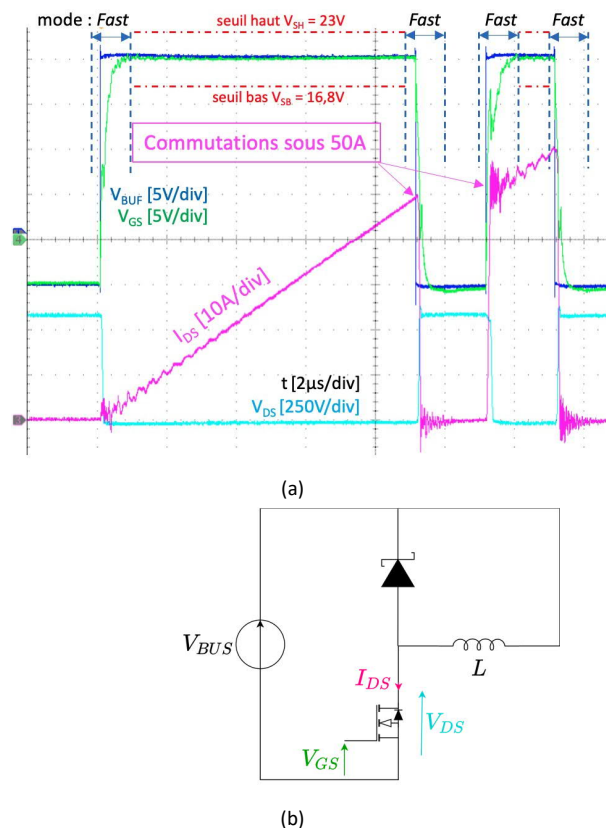


FIG. 3. Formes d'ondes de commutations sous courant de charge sous un courant de charge de 50A ($V_{BUS} = 600V$, $V_{DD} = 20V$, $V_{SS} = -5V$, $R_{FAST} = 47\Omega$, $R_{SLOW} = 10k\Omega$, $L = 108\mu H$) (a), schéma équivalent de l'essai avec une diode Schottky SiC de roue libre (b)

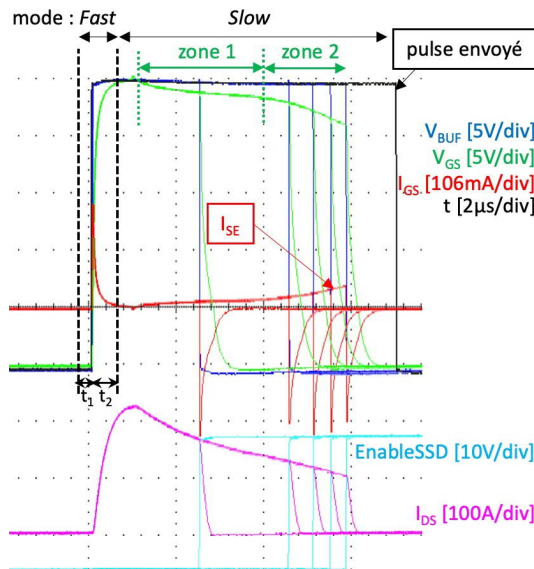
Comme illustré en Fig. 3a, la tension de grille n'est pas impactée en fonctionnement nominal et suit correctement les ordres de commande. Cela valide la robustesse de l'architecture proposée face à de fausses détections en régime nominal.

3.2 Court-circuit sur défaut de commande (Court-circuit de type 1 - CC1)

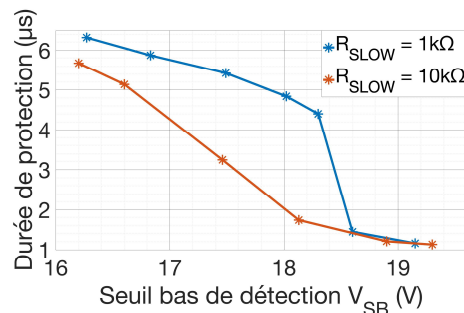
Le CC1 est un mode de défaut essentiel à considérer dans l'étude de la protection d'un bras d'onduleur. Il se caractérise par un défaut de commande amenant la conduction simultanée des deux transistors du même bras. Il donne lieu à une montée en courant de drain à forte dynamique jusqu'à saturation sous la pleine tension de bus de l'un des deux transistors (celui qui reçoit le courant de charge en plus du courant de court-circuit interne du bras). Il se traduit par une intense dissipation de puissance localisée dans la puce de ce transistor. L'échauffement résultant donne naissance à un

Commande électronique avancée d'un transistor de puissance au carbure de silicium

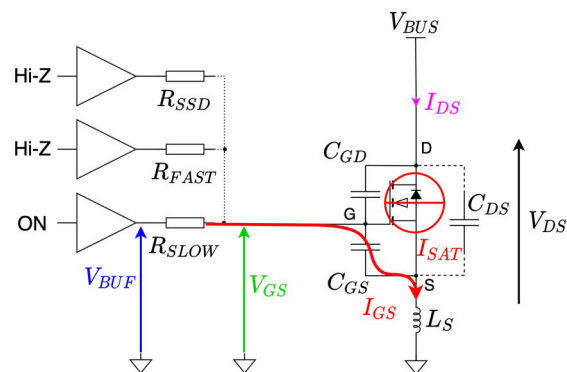
courant I_{SE} à travers l'oxyde de grille vers la source par émission Schottky d'électrons chauds [2]. Cette propriété de fuite de grille est spécifique à la technologie SiC MOSFET, elle ne se retrouve pas en technologie silicium.



(a)



(b)



(c)

FIG. 4. Formes d'ondes de grille en CC1 pour différentes valeurs de seuils bas de détection V_{SB} ($V_{BUS} = 600V$, $R_{FAST} = 47\Omega$, $R_{SLOW} = 1k\Omega$, $R_{SSD} = 82\Omega$, $V_{DD} = 20V$, $V_{SS} = -5V$, $t_1 = 50ns$, $t_2 = 830ns$) (a), résultats paramétriques en durée de protection (b), schéma équivalent (c)

Ce courant de fuite de grille est très important car il sera directement exploité dans le concept de détection. En effet, cette fuite engendre une chute de tension aux bornes de la résistance de grille (R_{SLOW} ici), provoquant ainsi une baisse naturelle de V_{GS} (Fig. 1a en rouge) comme décrit par éq. (2).

Cette baisse est rendue détectable par comparaison à un seuil bas (V_{SB}) de référence. R_{SLOW} joue donc ici un rôle d'amplification de la signature du CC1.

$$V_{GS_{CC1}} = V_{DD} - R_{SLOW}I_{SE} - L_S \frac{dI_{DS}}{dt} \Big|_{CC1} \quad (2)$$

Comme illustré en Fig. 4a, la fuite de courant par effet Schottky étant un phénomène d'origine thermique, donc intrinsèquement lent, la fuite se manifeste de manière tardive (Fig. 4a zone 2) par rapport au front d'amorçage signant l'apparition du défaut, le tout malgré l'effet quadratique de la température sur cette fuite. Cependant, V_{GS} commence à chuter avant même l'apparition de cette fuite, en dès la fin de l'amorçage en mode *Fast* (Fig. 4a zone 1). *Cela est dû à un effet thermique interne à la puce*. Ce phénomène est ici avantageux car il permet d'abaisser V_{GS} au plus tôt (Fig. 4a zone 1) et d'accélérer son intersection avec le seuil de détection bas V_{SB} . Cela autorise *in fine* une détection plus rapide du défaut mais au prix d'une moindre robustesse vis-à-vis des parasites sur la tension de grille.

Il apparaît que rapprocher le seuil bas V_{SB} de la tension nominale V_{DD} (20V ici) rend l'intersection avec V_{GS} plus proche dans le temps, ce qui permet une détection effectivement plus rapide. Néanmoins, cela rend le système plus susceptible de générer de fausses détections. Un compromis entre vitesse de protection et robustesse du système de détection selon la valeur du seuil bas de détection est ainsi mis en évidence. D'après les relevés paramétriques en Fig. 4b, augmenter R_{SLOW} permet de rompre ce compromis en abaissant davantage V_{GS} , et d'obtenir une détection à la fois rapide et robuste. Une protection effective de type CC1 est donc obtenue en $1,2\mu s$ (Fig. 4b) soit seulement 15% du temps de tenue en court-circuit de $8\mu s$ du MOSFET SiC testé dans notre étude. Rappelons qu'une détection rapide et un gage d'une durée de vie sur courts-circuits répétés.

3.3 Court-circuit de type 2 - CC2

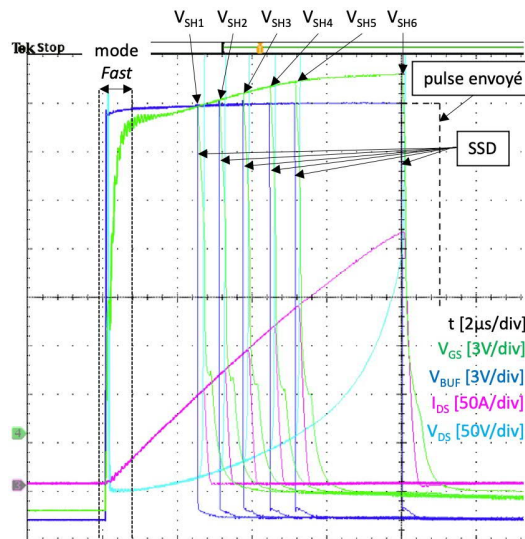
Lors d'un fonctionnement en bras d'onduleur, un défaut peut surgir sur la charge connectée au point milieu du bras de sortie. Ce type de défaut se rencontre sur les lignes de motorisation. Ce type de défaut est appelé CC2 externe "impédant" car mettant en jeu une impédance externe de court-circuit significative, soit en configuration différentielle entre les phases de l'onduleur, soit en configuration mode commun par rapport à la terre au plan de référence de potentiel. Il peut résulter typiquement d'un défaut d'isolement d'enroulements moteurs par exemple. Ce dysfonctionnement crée un chemin inductif de défaut (L_{FAULT}) entraînant une montée en courant à travers un MOSFET initialement à l'état passant (Fig. 1a en jaune) jusqu'à atteindre la saturation de son courant de canal. De nature inductive, ce courant est de faible dynamique et rend la détection de CC2 impédant d'autant plus délicate. Tant que le transistor est en zone ohmique, le di/dt modéré se traduit à travers $R_{DS(on)}$ par un dV_{DS}/dt de faible valeur aux bornes du MOSFET. Ce phénomène engendre, par couplage capacitif via C_{GD} , une remontée de charges du drain vers la grille. Ce couplage est d'autant plus fort car C_{GD} présente une valeur maximale à faible V_{DS} ce qui favorise l'injection de charges vers la grille. Ce courant capacitif traverse R_{SLOW} et participe à augmenter V_{GS} (Fig. 5a) comme décrit par éq. (3).

$$V_{GS_{CC2ext}} = V_{DD} + R_{SLOW}C_{GD}(V_{DS}) \frac{dV_{DS}}{dt} \quad (3)$$

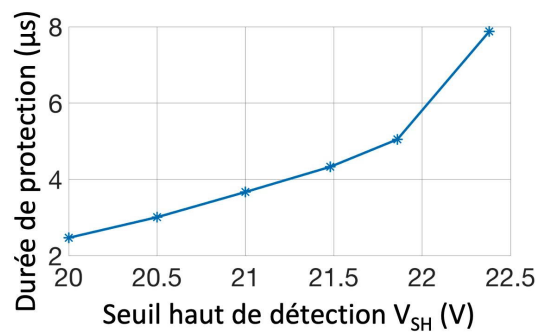
Commande électronique avancée d'un transistor de puissance au carbure de silicium

La détection de ce type de défaut est réalisée grâce à l'intersection de V_{GS} avec un seuil haut (V_{SH}). La contribution du couplage inductif via L_S est ici négligeable du fait du faible di/dt d'excitation en CC2 externe.

Quand le MOSFET atteint la saturation, apparaît alors un fort dV_{DS}/dt jusqu'à la tension de bus. Ce fort terme excitatoire sollicite C_{GD} et renvoie des charges vers la grille par le même processus que celui décrit précédemment. Ce fort dv/dt compense le fait que C_{GD} présente maintenant une faible valeur ($V_{DS} \approx V_{BUS}$). Une fois la saturation en courant atteinte, un courant de saturation traverse le canal du transistor sous la pleine tension de bus. Le composant subit alors une forte dissipation de puissance et donc un échauffement. Ce phénomène n'est pas sans rappeler les caractéristiques du CC1. En effet, un CC2 externe non



(a)



(b)

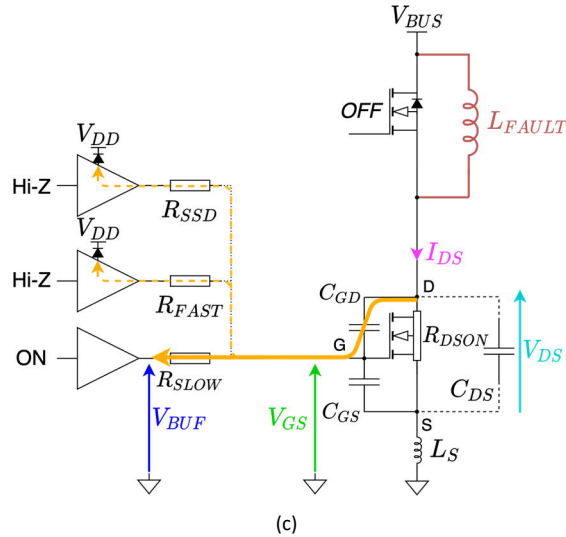
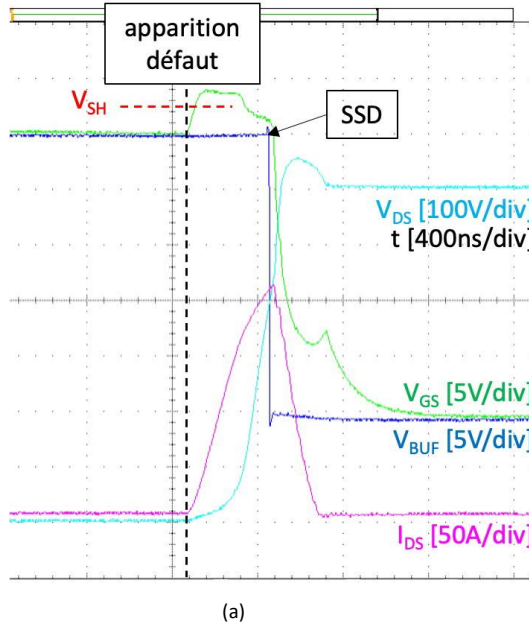


FIG. 5. Formes d'ondes de grille en CC2 externe impédant pour différentes valeurs de seuils hauts de détection V_{SH} ($V_{BUS} = 600V$, $R_{FAST} = 47\Omega$, $R_{SLOW} = 10k\Omega$, $R_{SSD} = 82\Omega$, $V_{DD} = 20V$, $V_{SS} = -5V$, $20V < V_{SH} < 22.4V$, $L_{FAULT} = 11.6\mu H$) (a), résultats en durée de protection (b), schéma équivalent (c)

détecté lors de la phase montante du courant laissera place à un comportement de type CC1 ce qui permet de disposer d'un effet de redondance par le biais du double seuillage.

Cette propriété permet ainsi alors une double détection : une par seuil haut sur V_{GS} lors de la phase de di/dt positif, et une par seuil bas une fois la saturation atteinte comme décrit pour le CC1 (cf. paragraphe 3.1). Sur ce principe, la méthode de détection proposée permet une redondance dans le cas d'un dysfonctionnement de la détection à seuil haut, ou bien une validation



(a)

Commande électronique avancée d'un transistor de puissance au carbure de silicium

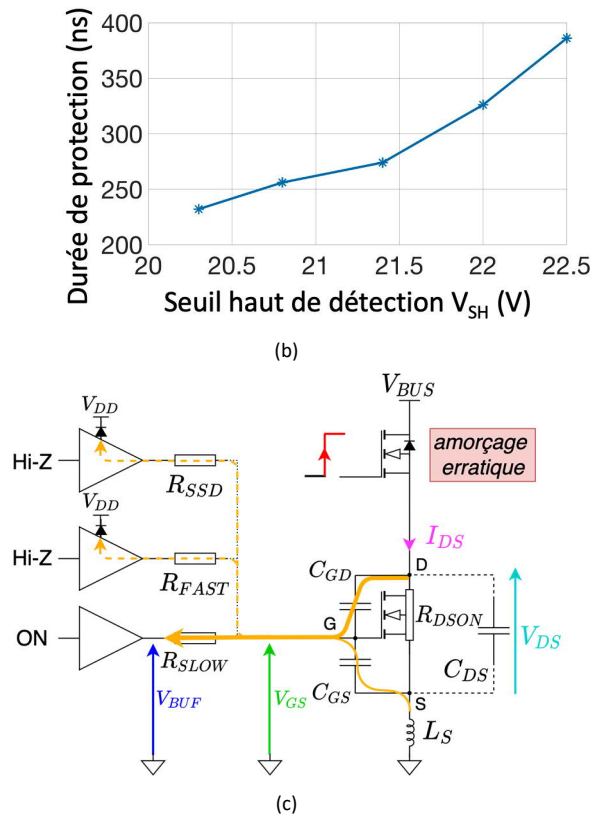


FIG. 6. Formes d'ondes de grille en CC2 externe "franc" ($V_{BUS} = 600V$, $R_{FAST} = 47\Omega$, $R_{SLOW} = 1k\Omega$, $R_{SSD} = 82\Omega$, $V_{DD} = 20V$, $V_{SS} = -5V$, $V_{SH} = 22.4V$) (a), résultats en durée de protection (b), schéma équivalent (c)

à « ET » logique afin d'éviter de fausses détections suite à un possible déclenchement erratique.

Une protection effective contre CC2 externe impédant est obtenue en $2,5\mu s$ (Fig. 5b). La durée de protection dépend toutefois fortement du di/dt de défaut.

Dans le cas où la montée en courant de défaut est causée non plus par un élément inductif externe mais par un défaut "franc" juste en sortie ou en interne au bras d'onduleur (remise en conduction erratique du transistor complémentaire par exemple), on parle alors de CC2 interne "franc" (Fig. 1a en orange). Ce type de défaut se caractérise par une montée en courant très dynamique, à présent seulement limitée par l'inductance parasite de la maille de commutation du bras d'onduleur et par la dynamique d'amorçage du transistor provoquant la montée en courant. Les phénomènes apparaissant en CC2 interne "franc" sont identiques à ceux décrits en CC2 externe impédant, la seule différence résidant dans la dynamique de montée en courant. Cela a pour effet de rendre le couplage inductif avec L_S considérable (cf. éq.(4)).

$$\delta V_{GS_{CC2int}} = (R_{SLOW}C_{GD_{MAX}}R_{DSON} + L_S) \frac{dI_{DS}}{dt} \quad (4)$$

La surtension observée sur V_{GS} est écrêtée par les deux circuits de commande rapprochée en haute impédance pendant la phase de conduction (buffers *Fast* et *SSD*). En effet, les circuits utilisés étant en configuration *push-pull*, les diodes *body* de leur transistor PMOS (*P type Metal-Oxide-Semiconductor*) *high-side* permettent d'évacuer les remontées de courant vers les condensateurs de découplage sur V_{DD} (Fig. 6c). Cela a pour effet d'écrêter V_{GS} à V_{DD} à la tension de seuil des diodes près

(environ 4V). Cette limitation permet de protéger naturellement la grille du MOSFET contre des excursions trop élevées de V_{GS} .

Une protection effective en CC2 interne "franc" est obtenue en seulement 250ns (Fig. 6b).

3.4 Complémentarité des protections au sein d'un bras d'onduleur

Par ailleurs, dans le cas d'un CC1 déclenché par un défaut de commande dans un bras d'onduleur, le courant résultant de l'amorçage erratique d'un MOSFET est subi par le transistor homologue initialement en phase de conduction (cf. Fig. 4a). Ce transistor complémentaire subit alors un CC2 interne "franc" provoqué par l'apparition du défaut CC1. La complémentarité des protections *high-side* et *low-side* rendent alors possible soit la détection d'un CC1 avec la même dynamique qu'un CC2 "franc", en quelques centaines de nanosecondes, soit une redondance des protections pour éviter de fausses détections de CC1.

3.5 Fonction de surveillance et de protection sur dégradation de l'oxyde de grille (*Gate Oxide Damage - GOD*)

Afin de pallier la baisse de mobilité du canal des MOSFETs SiC par rapport à leurs homologues en Si, leur couche d'oxyde de grille en SiO_2 est réalisée beaucoup plus finement (typiquement 50nm au lieu de 150nm). Cela a pour conséquence de rendre la région d'oxyde mécaniquement plus fragile et sensible.

Sous stress thermomécaniques répétés, notamment en cas de CC, la région d'oxyde *Inter-Layer Dielectric* (ILD) du MOS-

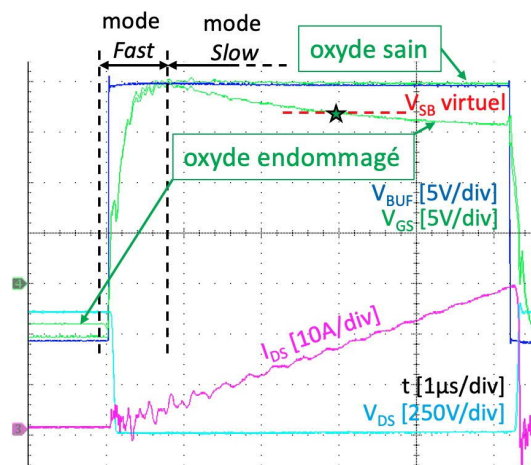


FIG. 7. Visualisation de la fuite de grille d'un MOSFET à oxyde endommagé, comparaison avec un oxyde sain en essai double pulse ($V_{BUS} = 600V$, $R_{FAST} = 47\Omega$, $R_{SLOW} = 1k\Omega$, $V_{DD} = 20V$, $V_{SS} = -5V$)

FET SiC peut se fracturer (Fig. 8) et laisser place à des fuites de courant de grille irréversibles entre grille et source. Ces chemins de fuites conduisent alors à une baisse détectable de V_{GS} (Fig. 1 en vert et Fig. 7) à travers R_{SLOW} .

L'impact de ces fissures est d'ailleurs également visible lors de la phase OFF de la trame MLI en Fig. 7 : la tension de grille ne parvient plus à suivre la tension négative V_{SS} imposée par le buffer.

Commande électronique avancée d'un transistor de puissance au carbure de silicium

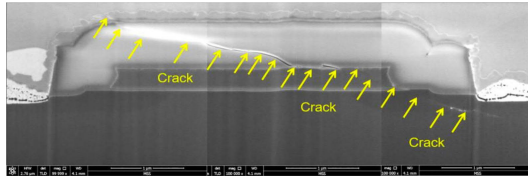
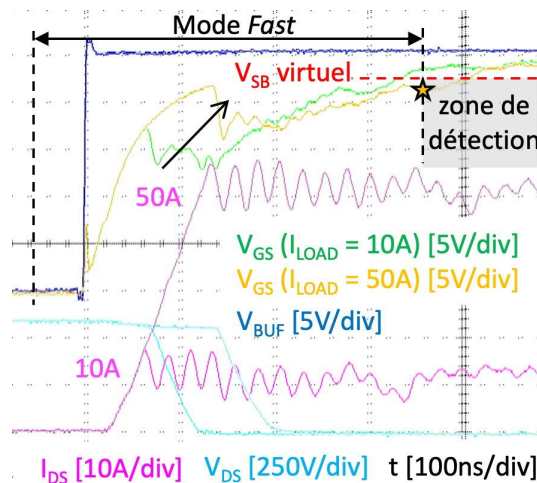


FIG. 8. Fissure diélectrique dans la zone ILD entre grille en polysilicium et contact de source en aluminium et dans la zone d'oxyde de grille observée au MEB sur le DUT.

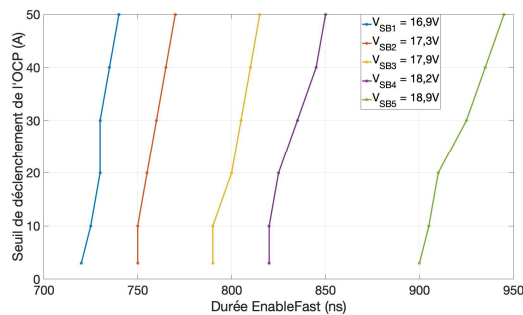
3.6 Fonction de protection sur surintensité (*Over Current Protection - OCP*)

La fonction OCP est très courante et complémentaire des fonctions CC1 et CC2. Elle apparaît sur régime transitoire excessif ou sur défaut externe fortement impédant. Le principe de la fonction OCP repose sur le lien entre la vitesse de charge de la grille et le courant de charge. Ce dernier modifie la dynamique de V_{GS} , notamment au niveau de la hauteur et de la durée du plateau Miller lors de l'amorçage.

En effet, en comparaison avec une commutation à vide, la formation du canal requiert une polarisation de grille plus importante à courant de charge élevé. Cela se traduit par un dV_{DS}/dt retardé dans le temps car la commutation effective débute à V_{GS} plus élevé qu'à courant de charge nul comme illustré en



(a)



(b)

FIG. 9. Dynamiques de charge de grille (détection inhibée) sous différents courants de charge (10A, 50A) (a), résultats paramétriques de l'influence de la durée d'activation *EnableFast* du buffer *Fast* sur le seuil de surcharge détectable (b) ($V_{BUS} = 600V$, $R_{FAST} = 47\Omega$, $R_{SSD} = 82\Omega$, $V_{DD} = 20V$, $V_{SS} = -5V$)

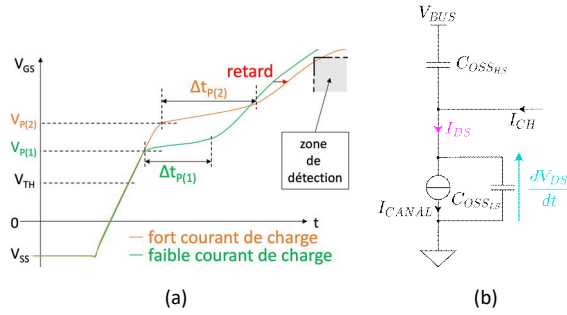


FIG. 10. Principe de dépendance du plateau Miller en amplitude et en durée au courant de charge (a), schéma équivalent (b)

Fig. 10a.

Le courant de charge I_{CH} impacte donc la dynamique de charge de grille au niveau de la durée et la hauteur du plateau Miller (Fig. 9a et éq. (5)). La fonction OCP repose sur la détection de ce ralentissement de charge de grille à courants élevés (Fig. 1b en magenta).

$$V_P(t) \approx V_{TH} + \frac{I_{CH}}{G_{FS}} + \frac{2C_{OSS}}{G_{FS}} * \frac{dV_{DS}}{dt} + f(\lambda * V_{DS}(t)) \quad (5)$$

Avec λ le paramètre traduisant l'évolution temporelle oblique du plateau (analogue à l'effet Early en technologie bipolaire) et G_{FS} le gain du transistor. Une relation approchée liant la vitesse de commutation au courant de charge est décrite par éq. (6) d'après la Fig. 10b.

$$\frac{dV_{DS}}{dt} \approx \frac{I_{CANAL} - I_{CH}}{2C_{OSS}} \quad (6)$$

D'où une relation approchée entre durée du plateau Miller et courant de charge en (7).

$$\Delta t_P \approx \frac{2C_{OSS}V_{BUS}}{I_{CANAL} - I_{CH}} \quad (7)$$

Il apparaît alors que la durée du plateau Miller augmente avec le courant de charge, comme illustré en Fig. 10a. Tandis que les fonctions de protection précédentes reposent toutes sur une intersection horizontale avec la zone de détection décrite en Fig. 1a, celle-ci repose sur une intersection verticale, lors du passage en mode *Slow* à la fin de l'amorçage. Cela permet un réglage très intéressant du seuil de protection car il est ajustable indépendamment des autres fonctions de protection.

4. Conclusion

Cet article a présenté une nouvelle architecture de commande électronique rapprochée multifonctionnelle pour transistor de puissance SiC MOSFET. A terme celle-ci pourrait être déclinée à d'autres technologies comme le GaN. La topologie proposée est clairement atypique car basée sur des voies parallèles à résistances de grille commutées amenant la grille dans un état quasi-flottant entre les séquences de commutation, jouant ainsi le rôle d'un véritable capteur natif vis-à-vis d'anomalies de fonctionnement de toutes sortes dans un bras d'onduleur. Moyenne une surveillance de la tension de grille relativement simple sur deux seuils seulement, l'architecture proposée a été validée à travers les différentes fonctions de protections qu'elle offre (CC1 sur défaut de commande, CC2 externe impédant et CC2 interne "franc", surcharges et détérioration de l'oxyde de grille). Sur le principe, l'architecture repose sur l'utilisation de deux voies de commande à résistances de grilles distinctes : une résistance nominale de faible valeur est utilisée lors des commutations pour assurer leur dynamique optimale, et une résistance de surveillance à forte valeur est utilisée lors des phases de conduction pour placer la grille dans un état quasi-isolé et ainsi augmenter la sensibilité de la

Commande électronique avancée d'un transistor de puissance au carbure de silicium

tension de grille à de possibles signatures électriques de défauts. Un intérêt particulier a été porté sur la robustesse des différentes fonctions de protection. Une protection contre CC1 et CC2 "franc" est atteinte en seulement 250ns. Cette méthode de protection multifonctionnelle présente également l'avantage d'être intégrable sur circuit intégré. Les travaux futurs porteront sur le développement de nouvelles fonctions et sur des variantes de cette architecture.

5. Remerciements

Je tiens à exprimer ma sincère gratitude envers mon encadrant, Frédéric Richardeau, dont l'expertise et les conseils précieux ont été essentiels pour la rédaction de cet article.

RÉFÉRENCES

- [1] M. Picot-Digoix, F. Richardeau, J.-M. Blaquière, S. Vinnac, S. Azzopardi, and T.-L. Le, "Quasi-Flying Gate Concept Used for Short-Circuit Detection on SiC Power MOSFETs Based on a Dual-Port Gate Driver," *IEEE Transactions on Power Electronics*, vol. 38, no. 6, pp. 6934–6938, 2023.
- [2] F. Boige, D. Trémouilles, and F. Richardeau, "Physical Origin of the Gate Current Surge During Short-Circuit Operation of SiC MOSFET," *IEEE Electron Device Letters*, vol. 40, no. 5, pp. 666–669, 2019.

Biographie auteur :

Mathis Picot-Digoix :

Mathis Picot-Digoix, diplômé en Génie Électrique et Électronique de l'ENSEEIH en 2022, possède une passion pour l'électronique de puissance. Il a élargi ses horizons lors d'un échange à la National Taiwan University, puis a travaillé en tant qu'ingénieur d'application chez MEAN WELL à Amsterdam. Il a également obtenu un double diplôme de Master en conversion d'énergie électrique. Actuellement doctorant chez Safran, ses recherches se concentrent sur la commande innovante des transistors de puissance à grand-gap pour une meilleure fiabilité dans le domaine de l'aéronautique.



Résumé FR :

Cet article présente une nouvelle architecture de commande électronique polyvalente pour les transistors de puissance MOSFET SiC, avec une possible extension à d'autres technologies telles que le GaN. L'approche innovante repose sur des voies de commande parallèles à résistances de grille commutées, agissant comme un capteur pour détecter diverses anomalies de fonctionnement. La surveillance de la tension de grille via deux seuils permet une protection efficace contre divers défauts (courts-circuits, surcharges, détérioration de l'oxyde de grille). Cette méthode présente également des avantages pour une intégration future sur circuit intégré, ouvrant la voie à de nouvelles fonctionnalités et variantes.

Abstract EN :

This article introduces a novel, versatile electronic control architecture for SiC MOSFET power transistors, with potential applicability to other technologies like GaN. The innovative approach is based on parallel control paths with switched gate resistors, acting as a sensor for detecting various operational anomalies. Monitoring gate voltage with two thresholds enables effective protection against various faults (short-circuits, overloads, gate oxide degradation). This method also offers advantages for future integration on integrated circuits, paving the way for new features and variations.