



HAL
open science

Prise en compte de la résilience aux défauts entre pôles lors du dimensionnement d'un convertisseur pour un réseau LVDC

Frédéric Reymond-Laruina, Marc Petit, Loic Queval, Trung Dung Le, Djamel
Hadbi, Philippe Egrot

► To cite this version:

Frédéric Reymond-Laruina, Marc Petit, Loic Queval, Trung Dung Le, Djamel Hadbi, et al.. Prise en compte de la résilience aux défauts entre pôles lors du dimensionnement d'un convertisseur pour un réseau LVDC. Conférence des Jeunes Chercheurs en Génie Electrique, Jun 2022, Le Croisic, France. hal-04191832

HAL Id: hal-04191832

<https://hal.science/hal-04191832v1>

Submitted on 30 Aug 2023

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Copyright

Prise en compte de la résilience aux défauts entre pôles lors du dimensionnement d'un convertisseur pour un réseau LVDC

Frédéric REYMOND-LARUINA^{1,3}, Marc PETIT^{1,2}, Loïc QUEVAL^{1,2}, Trung-Dung LE^{1,2}, Djamel HADBI³, Philippe EGROT³

¹ Université Paris-Saclay, CentraleSupélec, CNRS, Laboratoire de Génie Electrique et Electrotechnique de Paris, 91190 Gif-sur-Yvette, France

² Sorbonne Université, CNRS, Laboratoire de Génie Electrique et Electrotechnique de Paris, 75252 Paris, France

³ EDF R&D – Electrical Equipment Laboratory, EDF Lab Les Renardières, 77250 Moret-sur-Loing, France

E-Mail : frederic.reymond-laruina@edf.fr

RESUME – Dans les réseaux Basse Tension à Courant Continu (LVDC), les défauts entre pôles peuvent générer des courants très importants et de fortes contraintes thermiques pour les convertisseurs. Dès lors, il est nécessaire d'appréhender les limites de ces derniers. Cet article présente ainsi un modèle semi-analytique plus précis du défaut entre pôles, que nous nous proposons d'appliquer ensuite à la vérification du dimensionnement d'un onduleur triphasé à deux niveaux de tension aux regards de contraintes de résilience.

ABSTRACT – In Low Voltage Direct Current (LVDC) grids, DC short circuits can generate very high currents and serious stress for electronic power converters. Assessing their withstanding capabilities is therefore critical. The present paper proposes a more accurate semi-analytical model of DC short-circuits, which is then applied to the validation of the sizing of a two-level converter regarding fault tolerance constraints.

MOTS-CLES – Résilience, Court-Circuit, Réseau DC, Convertisseur AC-DC, Modélisation

1. Introduction

Au cours des dernières décennies, le courant continu a connu un regain d'intérêt en raison du déploiement toujours plus massif de sources d'énergies distribuées telles que le solaire photovoltaïque et les systèmes de stockage de stationnaire. A cela s'ajoute l'augmentation des applications utilisant le courant continu. En conséquence, la mise en place d'un réseau de distribution LVDC est de plus en plus considérée, afin d'augmenter les puissances transmises et les rendements [1], [2], mais également l'interopérabilité entre producteurs et consommateurs [3]. Malgré ces avantages, la protection est souvent mentionnée dans la littérature comme un obstacle à un déploiement plus large de telles solutions. L'absence de passage par zéro du courant et la dynamique beaucoup plus rapide du courant de défaut, à cause de l'utilisation de condensateurs dans les convertisseurs de type source de tension [4], compliquent grandement la coupure. Ainsi, le déploiement de moyens de protections rapides et sélectifs est nécessaire. Plusieurs propositions existent dans la littérature [5]–[10]. Parmi ces solutions, la coordination entre fusibles et condensateurs DC [8], [9], [11] semble être l'option la plus prometteuse, en permettant l'utilisation d'une technologie déjà mature et abordable.

Dans cette démarche, le convertisseur doit alors pouvoir survivre suffisamment longtemps pour qu'une protection de secours s'active et interrompe le défaut. Dans ce papier, nous formalisons une méthode permettant de modéliser le court-circuit et de vérifier la résilience d'un convertisseur déjà dimensionné.

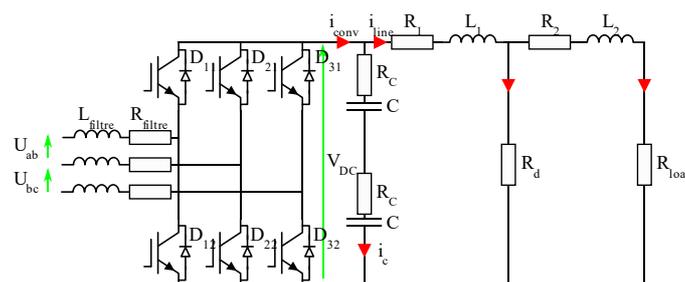


Figure 1 : Schéma détaillé de l'onduleur à deux niveaux de tensions étudié

2. Modélisation du court-circuit en continu

Afin d'estimer la tenue thermique du convertisseur, représenté à la Figure 1, il est nécessaire de calculer le courant de court-circuit traversant ce dernier. Ce courant est calculé, en décomposant le défaut en trois 3 phases : la décharge du condensateur, la décharge des inductances de ligne et la contribution du réseau alternatif.

2.1 Phase 1 : Décharge du condensateur

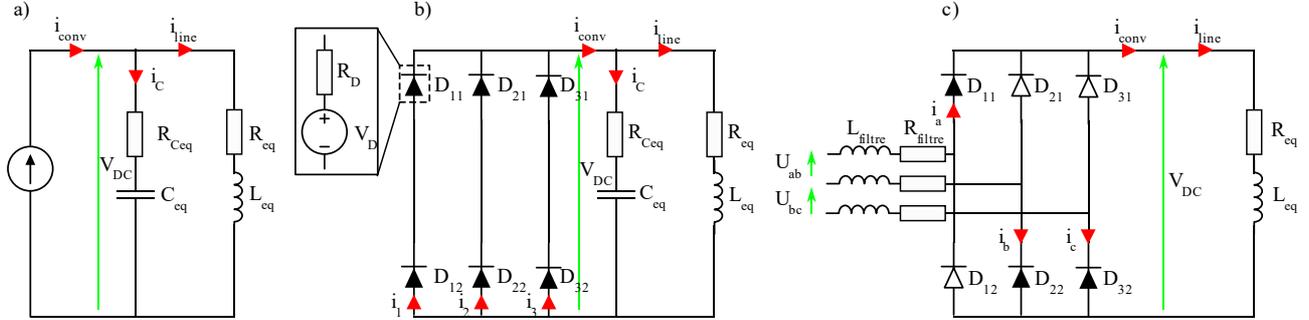


Figure 2 : Schéma équivalent du système pour l'analyse des différentes phases : a) décharge des condensateurs ; b) décharge des inductances de ligne, c) contribution du réseau alternatif

A l'instant t_1 d'apparition du défaut, la première phase du défaut commence avec la décharge des condensateurs [8], [9], [12]. Le système est alors équivalent au circuit de la **Erreur ! Source du renvoi introuvable.** a). La littérature considère que le courant en provenance du réseau est négligeable devant celui issu de la décharge des condensateurs [8], [12]. De notre côté, nous considérerons au contraire que le courant en provenance du réseau est constant durant cette première phase en raison de la dynamique beaucoup plus rapide de la décharge des condensateurs. Cela nous permet de modéliser le convertisseur comme une source de courant. Par substitution, nous obtenons alors l'équation différentielle,

$$\frac{1}{L_{eq}C_{eq}}v_c(t) + \frac{R_{tot}}{L_{eq}}\frac{dv_c(t)}{dt} + \frac{d^2v_c(t)}{dt^2} = \frac{R_{eq}}{L_{eq}C_{eq}}i_{conv}(t) \quad (1)$$

avec $R_{tot} = R_{eq} + R_{Ceq}$ et $v_c(t)$ désigne la tension du condensateur équivalent

La réponse la plus contraignante pour le convertisseur apparaît lorsqu'il y a une oscillation de la tension des condensateurs, c'est-à-dire pour $R_{tot} < \sqrt{\frac{L_{eq}}{C_{eq}}}$ [8], [9]. Par la suite, nous supposons une résistance de défaut suffisamment petite pour que cette condition soit satisfaite. En considérant que $v_{dc}(t_1) = V_{DC}$, $i_{conv}(t_1) = i_{conv0}$ et $i_c(t_1) = i_{c0}$, nous obtenons :

$$v_{DC}(t) = e^{-\delta t} \left(-\frac{V_{c0}R_{Ceq}}{L_{eq}\omega} \sin(\omega t) + \frac{i_{c0}\omega_0 R_{Ceq}}{\omega} \sin(\omega t - \gamma) + V_{c0} \frac{\omega_0}{\omega} \left(\sin(\omega t + \gamma) + \frac{i_{c0}}{C_{eq}\omega V_{c0}} \sin(\omega t) \right) \right) + R_{eq}i_{conv0} \quad (2)$$

$$i_c(t) = -\frac{V_{c0}}{L_{eq}\omega} e^{-\delta t} \sin(\omega t) + i_{c0} \frac{\omega_0}{\omega} e^{-\delta t} \sin(\omega t - \gamma) \quad (3)$$

avec $V_{c0} = V_{DC} - R_{Ceq}i_{c0} - R_{eq}i_{conv0}$, $\omega^2 = \frac{1}{L_{eq}C_{eq}} - \left(\frac{R_{tot}}{2L_{eq}}\right)^2 = \omega_0^2 - \delta^2$ et $\gamma = \arctan\left(\frac{\delta}{\omega}\right)$.

2.2 Phase 2 : Décharge des inductances de ligne

A l'instant t_2 où la tension du bus v_{DC} devient inférieure à deux fois la tension de seuil V_D des diodes, ces dernières rentrent en conduction et les inductances de lignes L_{eq} se déchargent. Durant cette phase, le système est équivalent au circuit de la **Erreur ! Source du renvoi introuvable.** b). En notant R_D la résistance de conduction d'une diode, cela aboutit à l'équation (4) qui permet d'obtenir les équations (5) et (6) pour décrire cette phase.

$$v_{DC}(t) = 2V_D + \frac{2}{3}R_D i_{conv}(t) \quad (4)$$

$$\frac{dv_c(t)}{dt} = -\frac{1}{\left(\frac{2}{3}R_D + R_{Ceq}\right)C_{eq}}v_c(t) - \frac{1}{\left(1 + \frac{3R_{Ceq}}{2R_D}\right)C_{eq}}i_{line}(t) - \frac{2}{\left(\frac{2}{3}R_D + R_{Ceq}\right)C_{eq}}V_D \quad (5)$$

$$\frac{di_{line}(t)}{dt} = \frac{1}{\left(1 + \frac{3R_{Ceq}}{2R_D}\right)L_{eq}}v_c(t) + \frac{1}{L_{eq}}\left(\frac{\frac{2}{3}R_D}{1 + \frac{3R_{Ceq}}{2R_D}} - \left(\frac{2}{3}R_D + R_{eq}\right)\right)i_{line}(t) - \frac{2}{L_{eq}}\left(1 + \frac{1}{1 + \frac{3R_{Ceq}}{2R_D}}\right)V_D \quad (6)$$

Une résolution matricielle et les lois de Kirchhoff permettent d'obtenir l'expression du courant en sortie du convertisseur i_{conv} . D'après les équations (2) et (3), nous avons $i_{line}(t_2) = i_{conv}(t_2) - i_c(t_2)$ et $v_{c1} = v_c(t_2) = v_{Dc}(t_2) - R_{Ceq}i_c(t_2)$.

$$i_{conv}(t) = \frac{1}{\lambda_1 - \lambda_2} \left[e^{\lambda_2 t} \left((a_1 + \lambda_1)(v_{c0}\lambda_2 + f_1)C_{eq} + b_1(i_{line1}\lambda_2 + f_2)C_{eq} + a_2\left(v_{c0} + \frac{f_1}{\lambda_2}\right) - (a_1 + \lambda_2)\left(i_{line1} + \frac{f_2}{\lambda_2}\right) \right) + e^{\lambda_1 t} \left(-(a_1 + \lambda_2)(v_{c0}\lambda_1 + f_1)C_{eq} - b_1(i_{line1}\lambda_1 + f_2)C_{eq} - a_2\left(v_{c0} + \frac{f_1}{\lambda_1}\right) + (a_1 + \lambda_1)\left(i_{line1} + \frac{f_2}{\lambda_1}\right) + \left(\frac{1}{\lambda_2} - \frac{1}{\lambda_1}\right)(a_1f_2 - a_2f_1) \right) \right] \quad (7)$$

Avec $a_1 = \frac{1}{\left(\frac{2}{3}R_D + R_{Ceq}\right)C_{eq}}$, $a_2 = -\frac{1}{\left(1 + \frac{3R_{Ceq}}{2R_D}\right)L_{eq}}$, $b_1 = \frac{1}{\left(1 + \frac{3R_{Ceq}}{2R_D}\right)C_{eq}}$, $b_2 = -\frac{1}{L_{eq}}\left(\frac{\frac{2}{3}R_D}{1 + \frac{3R_{Ceq}}{2R_D}} - \left(\frac{2}{3}R_D + R_{eq}\right)\right)$, $f_1 = -\frac{2}{\left(\frac{2}{3}R_D + R_{Ceq}\right)C_{eq}}V_D$, $f_2 = -\frac{2}{L_{eq}}\left(1 + \frac{1}{1 + \frac{3R_{Ceq}}{2R_D}}\right)V_D$, $\lambda_1 = \frac{-(a_1 + b_2) + \sqrt{\Delta}}{2}$ et $\lambda_2 = \frac{-(a_1 + b_2) - \sqrt{\Delta}}{2}$ où $\Delta = (a_1 - b_2)^2 + 4a_2b_1$.

2.3 Phase 3 : Contribution du réseau alternatif

Du point de vue du réseau alternatif, le défaut apparaît à l'instant $t_{block} \geq t_1$, où les transistors sont bloqués. En supposant un courant sinusoïdal et en négligeant la branche capacitive, nous pouvons ajouter les équations (8) et (9) à celle du système (1). Notons que pour simplifier la résolution durant cette phase, nous considérerons un fonctionnement en « redresseur de courant » :

- Les diodes des bras supérieurs sont passantes si le courant dans la phase associée est positif
- Les diodes des bras inférieurs sont passantes si le courant dans la phase associée est négatif

En conséquence, chaque diode se retrouve en série avec une phase durant une demi-période. Or $R_D \ll R_{filtre}$ et $V_D \ll \hat{V}$, l'amplitude de la tension simple d'une phase, nous pouvons donc considérer les diodes comme parfaites. Pendant cette phase, le système est donc équivalent au circuit de la **Erreur ! Source du renvoi introuvable.** c) et à l'équation (10).

$$u_{ab}(t) - v_{dc}(t) = R_{filtre}i_a(t) + L_{filtre}\frac{di_a(t)}{dt} - \left(R_{filtre}i_b(t) + L_{filtre}\frac{di_b(t)}{dt}\right) \quad (8)$$

$$u_{ac}(t) - v_{dc}(t) = R_{filtre}i_a(t) + L_{filtre}\frac{di_a(t)}{dt} - \left(R_{filtre}i_c(t) + L_{filtre}\frac{di_c(t)}{dt}\right) \quad (9)$$

$$v_a(t) = \left(R_{filtre} + \frac{2}{3}R_{eq}\right)i_a(t) + \left(L_{filtre} + \frac{2}{3}L_{eq}\right)\frac{di_a(t)}{dt} \quad (10)$$

En considérant que $i_a(t_{block}) = i_{a0}$ et $v_a(t) = \hat{V}\cos(\omega t + \alpha)$, où $\alpha = a\cos\left(\frac{v_a(t_{block})}{E}\right) - \omega t_{block}$, nous obtenons l'expression du courant de la phase a. Cette expression est à rapprocher de celle d'un défaut triphasé [13].

$$i_a(t) = \frac{E}{Z}\left(\cos(\omega t + \alpha - \varphi) - \cos(\alpha - \varphi)e^{-\frac{t}{\tau}}\right) + i_{a0}e^{-\frac{t}{\tau}} \quad (11)$$

Avec $\tau = \frac{L_{filtre} + \frac{2}{3}L_{eq}}{R_{filtre} + \frac{2}{3}R_{eq}}$, $Z = \sqrt{1 + (\omega\tau)^2}$ et $\varphi = atan(\omega\tau)$.

Durant la seconde phase du défaut, ce courant est négligeable devant celui de la décharge des inductances de ligne dans les diodes mises en conduction forcée. Cependant dès l'instant t_3 , où $i_a \geq i_{conv}$, le réseau reprend le pas dans le fonctionnement du convertisseur. Cette dernière étape se termine à l'instant t_{fin} avec la destruction du convertisseur ou l'ouverture du circuit par un dispositif de protection.

3. Validation du modèle

Afin de valider notre modèle (Modèle 1), nous le comparons avec un autre modèle analytique (Modèle 2) issu de l'état de l'art [12] et avec un modèle numérique implémenté sous PLECS. Notre cas d'étude est un onduleur à deux niveaux de tension alimentant une charge résistive et rencontrant un défaut entre pôles. Les paramètres du cas d'étude sont résumés dans le Tableau 1.

Tableau 1 : Paramètres du cas d'étude

Paramètre	Valeur	Paramètre	Valeur	Paramètre	Valeur
Résistance R_{filtre}	121 m Ω	Résistance R_{eq}	25.8 m Ω	Tension continue V_{DC}	750 V
Inductance L_{filtre}	2 mH	Inductance L_{eq}	50.9 μ H	Tension composée	400 V
Capacité C_{eq}	750 μ F	Impédance de défaut	1 m Ω	Fréquence du réseau	50 Hz
ESR R_{Ceq}	1 m Ω	Instant de défaut t_0	0.3 s	Fréquence de commutation	3 kHz
Résistance de conduction R_{D}	8.63 m Ω	Tension de seuil V_{D}	0.8875 V	Courant efficace par phase	58 A

La Figure 3 et la Figure 4 nous permettent de constater que si la tension du bus continu est correctement estimée durant la première phase du défaut, quel que soit le modèle, cela n'est plus le cas durant la seconde phase. L'hypothèse d'une tension nulle est trop restrictive et conduit à une surestimation de 0.6 ms de la durée de la phase 2. Cela entraîne également une surestimation, visible sur la Figure 5 et la Figure 6, du courant de défaut circulant dans les inductances et le convertisseur. Avec le modèle proposé, les instants de fin de la seconde phase du défaut, correspondant à la condition $i_a \geq i_{conv}$, sont similaires pour la simulation et le modèle proposée, avec un écart de courant de moins de 70 A en courant et 0.1 ms en temps par rapport à la simulation PLECS.

Par ailleurs, si négliger le courant en provenance du réseau durant la phase 1 peut sembler être une bonne approximation pour estimer l'évolution de la tension continue d'après la Figure 3. Cela conduit en réalité à une erreur d'estimation sur le pic de courant d'environ 60 A, tel qu'illustré à la Figure 5.

Notons enfin que la prise en compte de l'alternance de conduction des diodes permet d'améliorer l'estimation de courant en provenance du réseau. Cela est visible à la Figure 7. Cependant, ce mode de fonctionnement reste encore très simplifié puisqu'il ne prend pas en compte les non-linéarités de la conduction des diodes et en particulier le fait qu'elles n'arrêtent pas leurs conceptions en même temps.

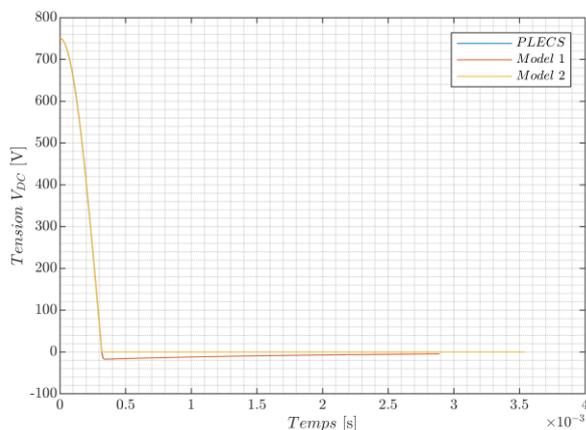


Figure 3 : Tension du bus continu v_{DC} durant les phases 1 et 2 du défaut

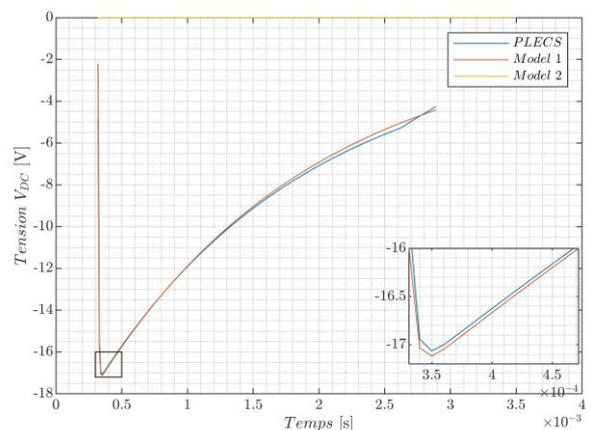


Figure 4 : Zoom sur la tension du bus continu v_{DC} durant la phase 2

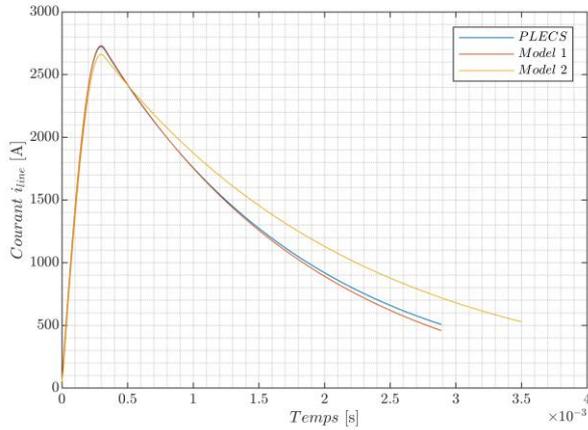


Figure 5 : Courant dans les inductances de lignes i_{line} durant les phases 1 et 2 du défaut

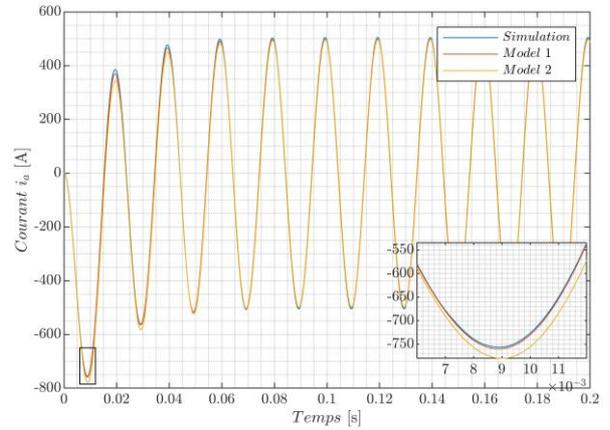


Figure 7 : Evolution du courant de la phase a i_a sur 10 périodes

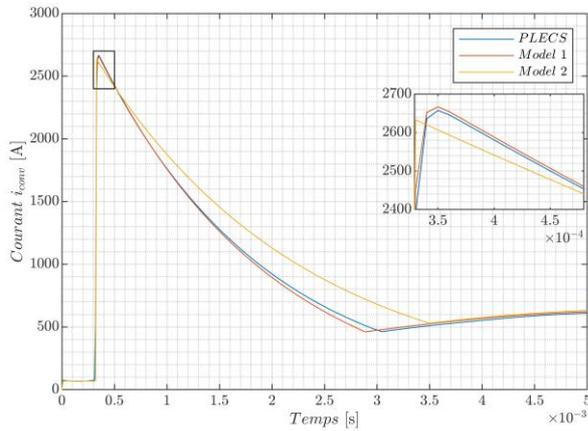


Figure 6 : Courant dans le convertisseur i_{conv} durant les phases 1, 2 et 3 du défaut

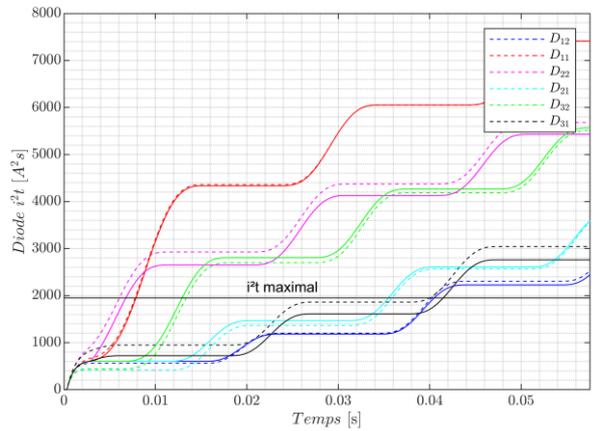


Figure 8 : Evolution des contraintes thermiques des diodes du convertisseur. La contrainte thermique maximale fournie par le fabricant est de 1950 A²s.

4. Application au dimensionnement

Lors d'un défaut entre pôles, la résilience des diodes est limitée par la tenue thermique de ces dernières. Pour évaluer cette limite, une première méthode serait de calculer l'évolution de la température de jonction des diodes : il y aurait destruction lorsque la température dépasse la température de jonction maximale indiquée par le constructeur [11]. Cependant cette approche n'est pas satisfaisante dans la mesure où cette température maximale est donnée pour un point de fonctionnement continu : il est possible de dépasser cette valeur temporairement.

A la place, nous proposons de caractériser la tenue thermique des diodes au travers de leurs contraintes thermiques i^2t . Cette grandeur, fournie par les constructeurs, est directement proportionnel à l'énergie accumulée avant destruction. Ainsi, nous considérons que le dimensionnement d'une diode est correct, si la contrainte (12) est respectée.

$$I^2t_{Diode} \geq I^2t_{système} \quad (12)$$

Par exemple, dans le cas de la diode D_{11} :

$$I^2t_{système} = \int_0^{t_{fin}} i_{D_{11}}(t)^2 dt = \int_{t_0}^{t_1} i_{a>0}(t)^2 dt + \frac{1}{9} \int_{t_1}^{t_2} i_{conv}(t)^2 dt + \int_{t_2}^{t_{fin}} i_{a>0}(t)^2 dt \quad (13)$$

Pour notre cas d'étude, la Figure 8 illustre l'évolution des contraintes thermiques de chacune des diodes, ainsi que la limite fournie par le constructeur. Le trait en pointillé correspond aux résultats obtenus avec la simulation PLECS, tandis

que le trait continu correspond aux résultats obtenus avec notre modèle. Au bout de 6 ms, la diode D_{22} atteint son i^2t maximal. Le dimensionnement du convertisseur doit donc être revu si l'on souhaite que le convertisseur soit résilient pour un défaut de durée supérieure à 6 ms. Parmi les actions possibles pour augmenter cette durée, nous pouvons citer l'augmentation de l'inductance de filtrage pour diminuer le courant de défaut, l'augmentation de la tenue thermique en ayant recours à des diodes prévues pour des courants plus élevés ou encore le recours à des protections plus rapides pour diminuer t_{fin} . Notons également les écarts de contraintes thermiques, synthétisés dans le Tableau 2, qui doivent nous pousser à considérer un facteur de sécurité dans l'estimation du i^2t .

Tableau 2 : Synthèse des contraintes thermiques à $t = t_{fin}$ sur la Figure 8

Diode	D_{11}	D_{12}	D_{21}	D_{22}	D_{31}	D_{32}
PLECS [A ² s]	7415	2530	3570	5682	3043	5511
Modèle 1 [A ² s]	7489	2429	3543	5552	2683	5700
Erreur relative [%]	0.99	-3.99	-0.76	-2.29	-11.83	3.43

5. Conclusion

Le modèle de défaut présenté modélise fidèlement la décharge des condensateurs et la participation du réseau alternatif au travers des diodes de roues libres pour de faibles valeurs d'impédance de défaut, tout en permettant de prendre en compte le phénomène d'inversion de tension du bus continu et la décharge des inductances de ligne au travers des diodes du convertisseur. A partir de ces résultats, un moyen d'évaluer la résilience du convertisseur en se basant sur la contrainte thermique subie par chacune des diodes a été proposé. Les résultats obtenus sont en adéquation avec ceux de la simulation, ce qui permet d'envisager une estimation rapide des grandeurs du système et de valider un dimensionnement, à condition de respecter un facteur de sécurité pour compenser les écarts existants. Néanmoins, seule une validation expérimentale permettrait de valider totalement ce modèle, aussi bien du point de vue analytique que simulation.

Références

- [1] J. J. Justo, F. Mwasilu, J. Lee, and J.-W. Jung, 'AC-microgrids versus DC-microgrids with distributed energy resources: A review', *Renewable and Sustainable Energy Reviews*, vol. 24, pp. 387–405, Aug. 2013, doi: 10.1016/j.rser.2013.03.067.
- [2] P. Salonen, T. Kaipia, P. Nuutinen, P. Peltoniemi, and J. Partanen, 'An LVDC Distribution System Concept', p. 7.
- [3] D. L. Gerber, V. Vossos, W. Feng, C. Marnay, B. Nordman, and R. Brown, 'A simulation-based efficiency comparison of AC and DC power distribution networks in commercial buildings', *Applied Energy*, vol. 210, pp. 1167–1187, Jan. 2018, doi: 10.1016/j.apenergy.2017.05.179.
- [4] ABB, 'Faults in LVDC microgrids with front-end converters', Technical Application Paper 14.
- [5] C. Meyer, M. Kowal, and R. W. De Doncker, 'Circuit breaker concepts for future high-power DC-applications', in *Fourtieth IAS Annual Meeting. Conference Record of the 2005 Industry Applications Conference, 2005.*, Hong Kong, China, 2005, vol. 2, pp. 860–866. doi: 10.1109/IAS.2005.1518439.
- [6] C. Meyer and R. W. De Doncker, 'Solid-state circuit breaker based on active thyristor topologies', *IEEE Trans. Power Electron.*, vol. 21, no. 2, pp. 450–458, Mar. 2006, doi: 10.1109/TPEL.2005.869756.
- [7] C. Meyer, S. Schroder, and R. W. DeDoncker, 'Solid-State Circuit Breakers and Current Limiters for Medium-Voltage Systems Having Distributed Power Systems', *IEEE Trans. Power Electron.*, vol. 19, no. 5, pp. 1333–1340, Sep. 2004, doi: 10.1109/TPEL.2004.833454.
- [8] S.-Y. Lee, Y. Son, H.-J. Cho, and S.-K. Sul AE, 'Normalization of Capacitor-Discharge I^2t by Short-Circuit Fault in VSC-based DC System', *IEEE Trans. Power Electron.*, pp. 1–1, 2021, doi: 10.1109/TPEL.2021.3096075.
- [9] S. Ravyts, G. V. den Broeck, L. Hallems, M. D. Vecchia, and J. Driesen, 'Fuse-Based Short-Circuit Protection of Converter Controlled Low-Voltage DC Grids', *IEEE Trans. Power Electron.*, vol. 35, no. 11, pp. 11694–11706, Nov. 2020, doi: 10.1109/TPEL.2020.2988087.
- [10] S. Kulkarni and S. Santoso, 'Interrupting Short-Circuit Direct Current Using an AC Circuit Breaker in Series with a Reactor', *Advances in Power Electronics*, vol. 2012, pp. 1–14, Nov. 2012, doi: 10.1155/2012/805958.
- [11] F. Reymond-Laruina, M. Petit, L. Queval, D. Hadbi, and P. Egrot, 'Assessment of the AC/DC converters resilience to DC grids fault by electrothermal modelling', p. 10.
- [12] J. Yang, J. E. Fletcher, and J. O'Reilly, 'Short-Circuit and Ground Fault Analyses and Location in VSC-Based DC Network Cables', *IEEE Trans. Ind. Electron.*, vol. 59, no. 10, pp. 3827–3837, Oct. 2012, doi: 10.1109/TIE.2011.2162712.
- [13] B. de Metz-Noblat, F. Dumas, and C. Poulain, 'Calcul des courants de court-circuit', p. 35.