



HAL
open science

CMOS gate driver for SiC power modules

Anas El Boubkari, Nicolas Rouger, Frédéric Richardeau, Marc Cousineau,
Pierre Calmes, Thierry Sicard, Matthew Bacchi

► **To cite this version:**

Anas El Boubkari, Nicolas Rouger, Frédéric Richardeau, Marc Cousineau, Pierre Calmes, et al.. CMOS gate driver for SiC power modules. Congrès annuel de l'Ecole Doctorale Génie Electrique, Electronique, Télécommunications et Santé: du Système au Nanosystème - ED 323 (GEET) - Université de Toulouse, Ecole Doctorale GEET, Jun 2023, Toulouse, France. <https://adum.fr/as/ed/GEET/article.pl>. hal-04132694

HAL Id: hal-04132694

<https://hal.science/hal-04132694>

Submitted on 19 Jun 2023

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

CMOS gate driver for SiC power modules

^{1&2}Anas El Boukari, ¹Nicolas Rouger, ¹Frédéric Richardeau, ¹Marc Cousineau, ²Pierre Calmes, ²Thierry Sicard, ²Matthew Bacchi

¹LAPLACE, LCOM SEMA NXP/CNRS/INP-T/UPS, 2 Rue Charles Camichel, 31500 Toulouse

²NXP semiconductors 134 Av. du Général Eisenhower, 31100 Toulouse

Cet article présente une approche innovante pour les gates-drivers, offrant de nouvelles solutions aux problèmes de court-circuit couramment rencontrés par les transistors de puissance SiC MOSFET. Il présente un circuit intégré de commande de grille incorporant un capteur de courant de grille très rapide et précis pour la détection des court-circuits. Les résultats expérimentaux démontrent une détection rapide et fiable des court-circuits pour les modules de puissance en un délai de 430ns.

I. INTRODUCTION

Les transistors de puissance SiC MOSFET sont de plus en plus utilisés sur le marché des dispositifs de puissance, cependant, leur spécification pour la protection des court-circuits et le temps de détection ($<1\mu\text{s}$) est plus difficile à respecter pour les Gates Drivers (GD) [1]. Plusieurs méthodes de détection existent, notamment la méthode de désaturation améliorée avec un temps de blanking adaptatif [2]. Cependant, cette méthode nécessite l'utilisation d'une diode haute tension externe, introduisant des phénomènes de cross-talk entre le circuit de puissance et le GD. D'autres méthodes plus récentes proposent la surveillance des signaux de grille en utilisant la tension de grille-source (V_{gs}) du SiC MOSFET ainsi que l'image de charge de grille (V_{Qg}) [3-5]. Néanmoins, le V_{Qg} n'est pas intégré dans le GD, ce qui limite la vitesse, la précision et l'immunité au bruit du système. Afin de résoudre ces problèmes, cet article présente une nouvelle architecture de GD, générant une copie interne très précise et rapide du courant de grille ($I_{g\text{copie}}$), utilisée dans une méthode de détection de court-circuit bi-dimensionnelle (2D) pour les court-circuits de type Hard Switch Fault (HSF). Cette approche intégrée de traitement du courant renforce l'immunité au bruit, la vitesse et la robustesse du GD par rapport à une approche de traitement de la tension utilisant des composants discrets externes.

II. Avantages et défis de l'approche de la charge de grille pour la détection de court-circuit

La Figure 1 expose les différents modes de fonctionnement du Mosfet SiC lors d'une commutation normale, active (ANTO) ou passive (PNT0), à l'amorçage ou en régime de CC interne HSF. Dans ce

dernier cas, on note l'absence d'un plateau Miller, caractéristique de la commutation normale ANTO, ainsi qu'une constante de temps différente par rapport à une commutation passive (PNT0, passage de conduction inverse diode body à canal en 3ème quadrant). La charge de grille à l'amorçage est donc significativement différente dans le cas d'un CC HSF, offrant un indicateur robuste et précis de sa présence. Cette méthode permet ainsi de se passer de la mesure classique de désaturation, qui nécessite l'utilisation d'une diode haute tension et d'un masquage temporel réduisant sa rapidité et son intégration. Toutefois, la mesure rapide et précise du courant de grille est essentielle pour observer la charge de grille, ce courant pouvant atteindre des valeurs élevées supérieures à 15A.

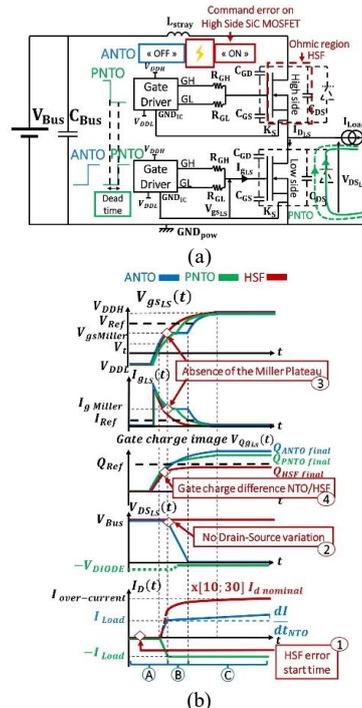


Fig. 1. (a) Circuit de bras d'onduleur, (b) Signaux qualitatifs du MOSFET SiC côté bas dans les cas ANTO, PNT0 et HSF

Switching cases	V_{gs} & I_g time constant (τ)			
	A	B	C	
ANTO	$R_G \cdot C_{issmin}$	Miller Plateau	$R_G \cdot C_{issmax}$	state
PNTD	$R_G \cdot C_{issmax}$			NTD
HSF	$R_G \cdot C_{issmin}$			-SF

(a) (b)

Fig. 2. (a) Tableau de constantes de temps relatives aux cas de commutation, (b) Tableau de diagnostic HSF.

III. Gate Driver avec un estimateur de charge de grille intégré

Cinq versions de Gate Drivers ont été conçues afin de tester et de valider les fonctionnalités internes et les versions de détection de court-circuit par charge de grille. Les deux premières versions sont conçues pour tester la vitesse et la précision de la copie du courant de grille. Les deux suivantes sont conçues pour valider l'approche de détection de court-circuit par charge de grille en utilisant soit la copie de courant interne de la grille, soit la tension de grille-source comme signaux de déclenchement. Pour des raisons de confidentialité, la dernière variante ne sera pas décrite dans cet article. En simulation, nous avons vérifié la robustesse de toutes ces fonctionnalités en tenant compte des variations de processus, de la tension d'alimentation et de la température (PVT) grâce aux outils exhaustifs disponibles chez NXP Semiconductors.

Le Gate Driver présenté a pour objectif de démontrer la fiabilité et la précision de la copie du courant de grille (I_{gcopie}) générée en interne par le capteur de courant de grille intégré (I_g). I_{gcopie} sera utilisée pour générer une estimation précise de la charge de grille du MOSFET SiC. Cette information précise et rapide sera interprétée avec une tension grille-source du MOSFET SiC ou avec I_{gcopie} pour détecter le HSF. Le capteur de courant conçu est une version améliorée de l'approche utilisée pour les détecteurs de courant de crête des régulateurs Buck [6].

A. Validation de la fonctionnalité de détection de court-circuit

Cette section a pour objet de présenter la validation de la version de Gate Driver CMOS destiné à la méthode de détection des courts-circuits, en utilisant la charge de grille et la tension de grille-source du MOSFET SiC. Le circuit en question est mis dans un boîtier qui intègre la mesure du courant de grille et la détection HSF par

mesure de charge de grille, et qui est implanté sur une carte d'évaluation adaptée. Le CMOS pilote un module SiC MOSFET (CAB450XM3 : 1200V, 450A) sur un kit de test à double impulsion CREE Wolfspeed (KIT-CRD-CIL12N-XM3), comme illustré à la figure 3a. La figure 4(a) montre un événement de commutation normal (test à double impulsion), sans aucune détection CC (le drapeau reste bas). Le MOSFET SiC côté haut est piloté à $-4V$ pour V_{gs} , ce qui représente un test de commutation dur typique pour le transistor et sa diode de corps. Dans le cas d'un événement HSF, le MOSFET SiC côté haut est piloté à une tension constante de $+18V$ pour V_{gs} avec une alimentation isolée externe. Pour les deux expériences, le MOSFET SiC côté bas est également piloté par le GD CMOS conçu. Sous HSF, la figure 4(b) montre un temps de détection de $430ns$ (le drapeau est haut), correspondant à un courant de CC de drain SiC de $1,22kA$ au moment de la détection, ce qui est beaucoup plus bas que le courant de saturation du canal ($>7kA$). Cela garantit une protection de CC rapide par rapport au courant nominal de $450A$ du module de puissance SiC MOSFET. Pour des raisons de sécurité, la tension du bus DC est réduite dans les expériences à $100V$ et V_{DDH} à $12V$ sans limiter la validation du circuit. L'indicateur de détection n'est pas rebouclé et le signal PWM est censé être bas après le lever de l'indicateur. L'arrêt progressif est réalisé par le NMOS intégré (Mn) à l'étage de sortie du CMOS GD, piloté par le FPGA qui génère le signal PWM. Ces résultats démontrent la rapidité de la méthode de détection des CC sans avoir besoin d'une diode haute tension DSAT externe, en utilisant une méthode intégrée et précise de détection d' I_{gcopie} et de la charge de la grille, qui est intrinsèquement robuste.

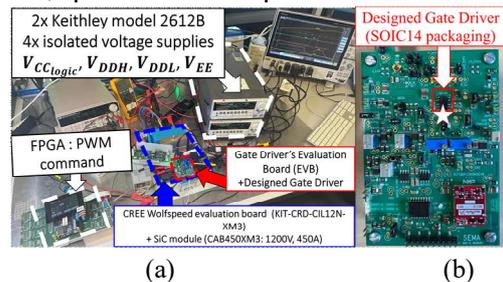
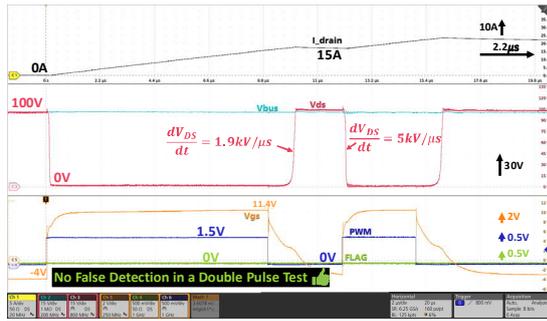
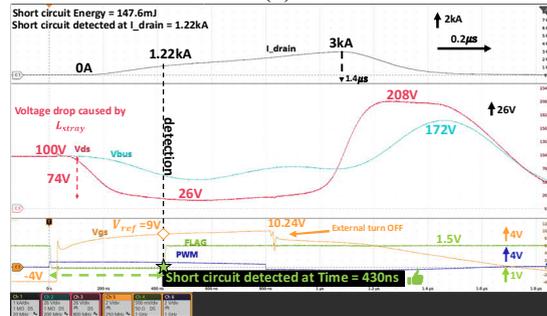


Fig. 3. (a) Banc d'essai de test en double impulsion et HSF, (b) Carte d'évaluation des Gate Driver



(a)



(b)

Fig. 4. Expériences sur le module SiC de CREE (CAB450XM3: 1.2kV, 450A), (a) ANTO, (b) HSF.

$V_{Bus} = 100V$, $R_{GH} = 1\Omega$, $R_{GL} = 12\Omega$, $V_{Ref} = 9V$,
 $V_{DDH} = 12V$, $V_{DDL} = 10V$, $V_{CClogic} = 1.5V$

IV. CONCLUSION

Un estimateur de charge de grille intégré représente un choix de solution idéal pour une détection de court-circuit entièrement intégrée de type Hard Switch Fault. Cette technique robuste et indépendante du temps permet une estimation de la charge de la grille du MOSFET SiC externe à un point de déclenchement spécifique. La validation de l'estimateur de charge de grille sur puce et du système de détection CC a été effectuée en pilotant un module d'alimentation SiC automobile 1200V, 450A : le temps de détection de court-circuit est de 430ns, sans recours à un composant externe supplémentaire, limitant ainsi le courant de court-circuit à moins de trois fois le courant nominal, évitant ainsi l'utilisation d'une puce SiC dédiée et coûteuse pour la détection du courant du SiC FET. Le circuit CMOS a également été validé dans des conditions de commutation normales, sans fausses détections.

Le système proposé peut être étendu à la détection de court-circuit de type Fault Under Load (FUL) [7]. Cela confère au GD l'avantage d'être totalement indépendant et qualifié pour assurer la protection des MOSFETs SiC côté haut et côté bas dans un module de puissance.

V. Remerciements

Ce travail a été soutenu par la collaboration de NXP semiconducteurs et du laboratoire LAPLACE en relation avec le laboratoire commun SEMA. Les auteurs tiennent à les remercier d'avoir généreusement fourni les conseils techniques, les ressources de fabrication et le soutien nécessaires à la réalisation de l'étude.

VI. Références

- [1] J. Sun, H. Xu, X. Wu, and K. Sheng, "Comparison and analysis of short circuit capability of 1200V single-chip SiC MOSFET and Si IGBT," in 2016 13th China International Forum on Solid State Lighting: International Forum on Wide Bandgap Semiconductors China (SSLChina: IFWS), 2016, pp. 42–45.
- [2] Jiawei Li et al., "An Improved Desaturation Protection Method with Self-Adaptive Blanking-Time for Silicon Carbide (SiC) Power MOSFETs," 2021 IEEE (WiPDA) Asia.
- [3] Y. Barazi et al., "CMOS Gate Driver with fast short circuit protection for SiC MOSFETs," 2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD), Vienna, Austria, 2020, pp. 94-97, doi: 10.1109/ISPSD46842.2020.9170164.
- [4] Shinya Yano et al., "Development and Verification of Protection Circuit for Hard Switching Fault of SiC MOSFET by Using Gate-Source Voltage and Gate Charge," 2019 IEEE (ECCE), United States.
- [5] Y. Barazi, F. Richardeau, N. Rouger and J.-M. Blaquiere, "Robustness study of a fast protection method based on the gate-charge dedicated for SiC MOSFETs power device," Microelectronics Reliability, Elsevier, 2021, pp.114246.
- [6] Jung-Woo Ha et al., "A Fast Response Integrated Current-Sensing Circuit for Peak-Current-Mode Buck Regulator", IEEE ESSCIRC 2014
- [7] Eric Velander et al., "Analysis of Short Circuit type II and III of High Voltage SiC MOSFETs with Fast Current Source Gate Drive Principle", 2016 IEEE IPEMC-ECCE, Asia