



HAL
open science

Pédagogie hybride pour l'apprentissage de la conception d'un microprocesseur simplifié niveau master avec μ Wind

Lionel Trojman, Fatima Viteri, E. Sicard

► To cite this version:

Lionel Trojman, Fatima Viteri, E. Sicard. Pédagogie hybride pour l'apprentissage de la conception d'un microprocesseur simplifié niveau master avec μ Wind. Journal sur l'enseignement des sciences et technologies de l'information et des systèmes, 2022, 21, pp.1005. 10.1051/j3ea/20221005 . hal-03812282

HAL Id: hal-03812282

<https://hal.science/hal-03812282>

Submitted on 12 Oct 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Distributed under a Creative Commons Attribution 4.0 International License

Pédagogie hybride pour l'apprentissage de la conception d'un microprocesseur simplifié niveau master avec μ Wind

L. Trojman^{a,b}, F. Viteri^{b,c}, E. Sicard^d

^a Institut Supérieur Électronique de Paris – Isep, France

^b Universidad San Francisco de Quito – USFQ, Ecuador

^c Institut Méditerranéen d'Information et Communication, Aix-Marseille, Univ. Toulon,

^d INSA, Département GEI, Toulouse, France

Contact email : lionel.trojman@isep.fr, fatimaviteri@yahoo.com, etienne.sicard@insa-toulouse.fr

En 2016, nous avons lancé le premier master de Nanoélectronique en Équateur à l'*Universidad San Francisco de Quito* (USFQ). Il s'agit d'un master en Double Diplôme dont le Master 1 (M1) se fait en Equateur et le Master 2 (M2) soit en France (*Institut National Polytechnique de Toulouse*, INPT) soit en Italie (*Université de Calabres*, UNICAL). Parmi les cours proposés le cours de design de microprocesseur de 48h est divisé en 2 parties dont une se concentrant sur le design d'un VSM (Very Simple Microprocessor). Dans une pédagogie de type classe inversée, une approche de type Apprentissage Par Projet (APP) a été choisie en utilisant comme support l'outil de design Microwind, logiciel de design de circuits intégrés incluant une perspective technologique. Ce type de travail a été reproduit tous les ans et Microwind a continué à intégrer de nouveaux nœuds technologiques avec de nouvelles architectures : planar, FinFET et plus récemment Nano-Sheet FET. De cette façon chaque nouvelle promotion peut apprendre à pratiquer l'intégration des VSM « customized » avec la possibilité d'intégrer des nœuds technologiques les plus avancés.

I. Contexte et description du programme

Contexte

En 2012, une réflexion entre l'*Universidad San Francisco de Quito* (USFQ), l'Ambassade de France en Equateur et des représentants du réseau n+i a été ouverte sur l'intégration de l'électronique dans la formation d'éducation supérieure en Equateur. En effet, l'Equateur étant un pays dont la ressource financière principale est le pétrole (1), la grande majorité des formations techniques ou dites « électronique » étaient majoritairement dédiées à la formation d'ingénieurs orientés « automatique et contrôle » ; de par leur contenu et les projets proposés aux étudiants.

Dans ce contexte et pour rompre avec une possible dépendance économique principalement liée à l'extraction de cette énergie fossile et aux technologies qui s'en rapportent pour les années à venir, il a été suggéré d'introduire des matières d'électroniques plutôt orientées sur le design/implémentation de circuits intégrés et les technologies en rapport avec l'industrie des semiconducteurs.

Dans ce cadre-là l'USFQ et un petit groupe de professeurs ayant une formation académique reconnue (PhD, HDR) en électronique et semiconducteurs ont proposé de monter un programme de master en Nanoélectronique. Toute la difficulté d'un tel programme étant de mettre à disposition aux futures étudiants les ressources matérielles et humaines permettant de donner accès à une formation de haut niveau dans un domaine dont les bases en Equateur sont, sinon inexistante, obsolètes ou aux mieux faibles à la sortie des études d'ingénierie. Il est important de souligner qu'en Équateur le diplôme d'ingénieur correspond à 5 ans d'études supérieures, le *Bachelor* étant de 4 ans. Ce diplôme revient à une licence dans le système Européen. Il a alors été décidé de créer un master s'inspirant du schéma européen M1/M2, et dont le M1 serait exécuté en Equateur (Quito).

Pour ce faire l'USFQ a actualisée et optimisée ses ressources matérielles, grâce à son *Institut de Micro et Nano-Électronique* (IMNE). Ensuite, des professeurs européens ont été sollicités pour donner des cours intensifs (24 h sur 2 semaines) à Quito, chaque module de 48h étant partagé en deux cours. Le programme pédagogique du M1 dit équatorien a été développé de façon à être compatible avec des programmes de M2 en France et en Italie, et plus spécifiquement avec l'INP-Toulouse et l'Université de Calabres (UNICAL), institut supérieur avec qui nous avons des conventions universitaires en préparation, et auxquelles nous avons sollicité des professeurs pour donner des cours à Quito.

Description Succincte du programme

Dans sa mouture finale, le programme est un master de deux ans de l'équivalent 2700 heures d'activités d'enseignement-apprentissage (2) ; la notion de crédit n'existant pas dans le règlement académique Equatorien au lancement du master. La première année a été transformée en crédits et convertis en crédit ETCS de façon à légaliser la possibilité de suivre le M2 en Europe ; le nombre d'heures d'activités pédagogiques justifiant largement le nombre de crédits ETCS pour un M1 Européen. Le M2 pourrait théoriquement être suivi en Equateur, il s'agit d'un objectif à long terme qui sera certainement possible lorsque le programme aura suffisamment généré de professionnels dans le domaine de la micro et nanoélectronique dans une perspective plus académique.

Le programme de première année est développé autour de 4 axes pédagogiques : bases en physique et mathématiques, enseignement en électronique fondamentale, enseignement en électronique spécifique (optoélectronique et RF dans notre cas) et technologies avancées de l'industrie du semiconducteur. Chaque module constituant ces axes d'enseignements est divisé en 2 cours. Chaque cours est constitué de 24h de travail encadré et 48h d'activités non-encadrées donc au total 72h. Il est important de souligner que chaque professeur(e) est sélectionné(e) en tant qu'expert dans le domaine d'enseignement du cours en question. Le programme a été lancé en 2016 avec depuis une moyenne de 5 à 6 étudiant(e)s par an, ce qui est un nombre important dans un pays où la grande majorité des étudiant(e)s ne poursuivent pas leurs études en M2.

II. Cours spécifique de design de microprocesseur

Parmi les 4 axes décrits précédemment, celui de technologies avancées de l'industrie semiconducteur est celui qui sera le sujet de discussion de cet article. Ce dernier axe est développé par le biais de 2 modules appelés dispositifs nanométriques et design de microprocesseur (Chip design). Le premier a pour objectifs i) d'établir une synthèse technique des nœuds technologiques les plus communs et les plus avancés dans l'industrie ii) d'introduire des technologies émergentes d'un point de vue physiques (matériaux, transport électronique...). Le deuxième module ayant lui pour objectifs i) maîtriser le

fonctionnement de systèmes d'électroniques numériques complexes ii) d'intégrer ces structures dans la conception d'un microprocesseur simplifié ou Very simple Microprocesseur (VSM). De façon générale, des cours intensifs pour un tel programme demande à intégrer des techniques pédagogiques spécifiques. Dans le module *Chip design* et compte tenu de la complexité de son objectif, il a été décidé d'impliquer une approche particulière. En effet le professeur en charge de ce cours a utilisé un software de design de circuit intégré appelé Microwind qu'il a développé (3). Ce logiciel est développé pour offrir une prise en main intuitive pour des étudiant(e)s avec des bases de microélectronique donnant l'opportunité d'appliquer des approches pédagogiques diverses, telles que décrites dans (4). L'autre opportunité est la taille du groupe : en effet sur les 5 promotions depuis le lancement du programme, le nombre d'étudiants a varié de 4 à 9. Dans le cas reporté dans cet article nous considérons la première promotion qui était de 6 étudiant(e)s.

III. Approche pédagogique pour l'apprentissage et la conception du VSM

Apprentissage par une pédagogie hybride

Le cours d'une durée de 72h, dont 30% encadré par un professeur, est réparti sur 2 semaines, et divisé en 3 phases. L'objectif était l'apprentissage du design d'un microprocesseur et la conception d'un VSM comme application.

Le groupe de 6 étudiant(e)s a donc suivi une première phase pour apprendre à faire le design de circuit numérique avec Microwind. Le cours était guidé par le professeur et comptait avec une partie théorique et une partie applicative sur ordinateur avec le logiciel μ Wind. Le contenu du cours ciblait les circuits numériques simples, complexes et les architectures de microprocesseur, dont le VSM. Cela a permis une pédagogie basée sur l'expérience et aussi le développement de connaissances et de compétences pour le design technologique.

La deuxième phase ciblait la conception du VSM. Cette conception a motivé les étudiant(e)s à effectuer des recherches d'information sur internet dont l'acquisition (évaluation) devaient se faire par comparaison, application et test avec le logiciel Microwind (3). Cette phase de recherche leur a permis de faire une proposition pour le design d'un VSM. Cette proposition incluait les fonctions que devaient exécuter le VSM et l'architecture sous forme de module pour y parvenir. La description niveau système du VSM est montré en Fig. 1.

Dans la deuxième partie les étudiants ont établi un plan de travail pour parvenir à concevoir le VSM. Pour cela ils ont réparti les responsabilités de chacun dans le design de chaque module nécessaire à cette conception. Cette répartition est décrite ci-dessous :

- Floor plan (ou agencement des différents modules)
- L'horloge, avec compteur et décodeur d'instruction
- Unité Arithmétique Logique (UAL) : addition, soustraction et comparaison
- Mémoires
- Le module analogique RF (port Blue Tooth - BT)
- Les entrées/sorties (I/O)

Lors de cette étape les étudiants ont été induit à l'acquisition de compétence de communication interpersonnelle et organisationnelle, et aussi de travail en groupe. Par ailleurs le développement d'un plan pour concevoir un VSM avec des fonctions spécifiques à exécuter se rapproche d'un « apprentissage créatif. »

La dernière partie de cette phase s'est caractérisée par l'intégration ou plus précisément l'assemblage et l'interconnexion des différents modules et les tests de fonctionnement. Cela a permis de renforcer l'apprentissage par l'expérience et aussi un apprentissage collaboratif dans lequel chacun devait enseigner le fonctionnement de son bloc fonctionnel et comment l'interconnecter avec les autres. De cette façon l'étudiant peut s'impliquer dans du co-apprentissage et de la co-évaluation formative (5).

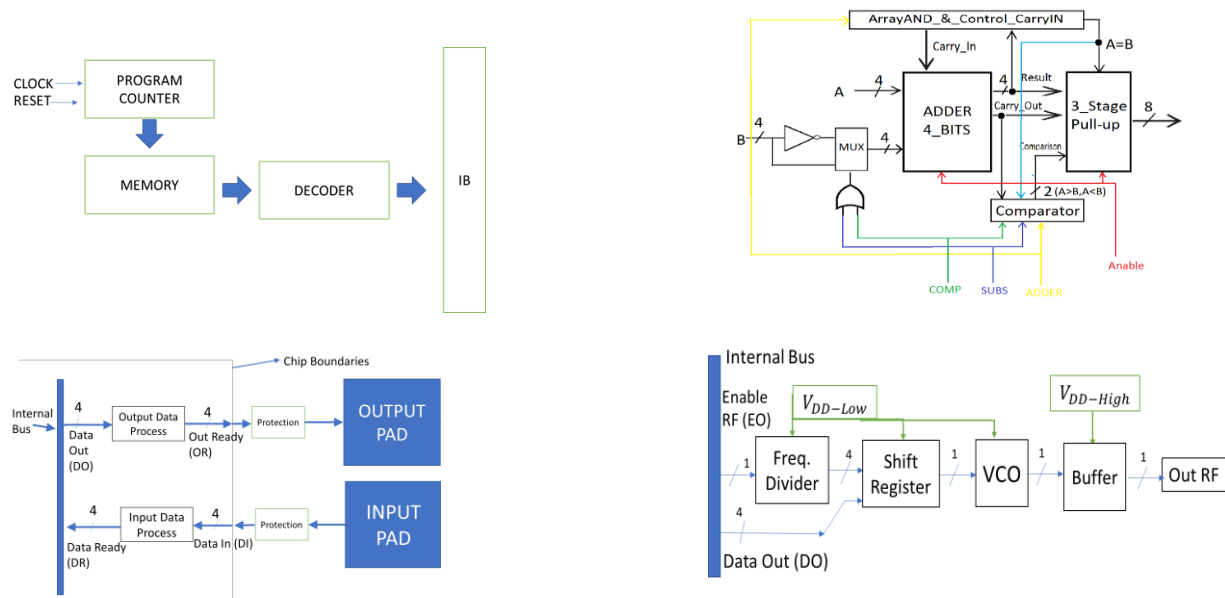


Fig.1. À gauche la description niveau système de blocs l'UAL et à droite le Module RF comme exemples de design de modules pour le VSM, proposés par les étudiants.

La dernière phase consistait à fournir le livrable, notamment le VSM fonctionnel au niveau layout et une présentation collégiale de leur travail. Celle-ci avait pour but de décrire les fonctionnalités choisies du VSM et de faire part de leur retour d'expérience. Sur la partie technique, elle devait permettre aux étudiants de décrire le processus du design jusqu'au layout, de montrer les simulations de tests et conclure sur les performances en termes de temps d'exécution min/typ/max et de consommation associée. Cela leur a permis de démontrer leurs acquis d'apprentissage au travers des présentations. Cette phase d'évaluation de leur travail a montré (sans rentrer dans les détails) que les objectifs d'acquisition de compétences avaient été atteints.

En somme, plusieurs méthodes pédagogiques ont été utilisées dans ce cours ce qui, pour un cours technique pour ingénieur prend son sens dans la multiplicité des compétences à acquérir. Cette approche est compatible avec des études sur ce type de problématique éducative telles que décrites dans (4)(6).

Outil de conception Microwind

Le logiciel Microwind (4) est un outil pédagogique qui permet la conception de cellules logiques et analogiques au niveau physique, avec un simulateur associé de type SPICE. Il

peut être configuré selon différentes technologies allant du 0.35µm MosFet jusqu'au 3-nm Nano-Sheet. Microwind peut être considéré comme une introduction pédagogique aux flots de conception des circuits intégrés industriels tels que Virtuoso de Cadence ou Cdesigner de Synopsys. Pour mémoire ces deux logiciels sont utilisés pour la conception de circuits commerciaux utilisant des Process Design Kit fournis par le fabricant. Ce qu'offre Microwind est donc la conception au niveau transistor et blocs digitaux (à l'instar des IP) avec une description physique du circuit intégré (Layout). Un PDK simplifié permet l'extraction sommaire des composants parasites générés par les couches physiques : R,L & C, taille des dispositifs N & P permettant une simulation relativement proche de la réalité (7).

Microwind offre une sélection de nœuds technologiques que peut choisir l'étudiant pour son design. Ces nœuds technologiques se basent sur des données précises de paramètres électriques de courants, tensions, capacités etc... Il faut souligner que Microwind a été adapté aux principaux nœuds technologiques (Fig. 2), publiés sous forme de notes d'application incluant les différentes technologies MosFET dite « Planar » avec grille en deux dimensions. Il a aussi été configuré à des nœuds technologiques avancés telles que les technologies FinFET avec une grille en 3 dimensions (3D) ou surélevé sur la surface du wafer et proposé en 14-10-7 & 5 nm (3), jusqu'aux technologies nano-sheet (NsFET) avec grille 3D isolée du wafer, (8) (Fig. 2).

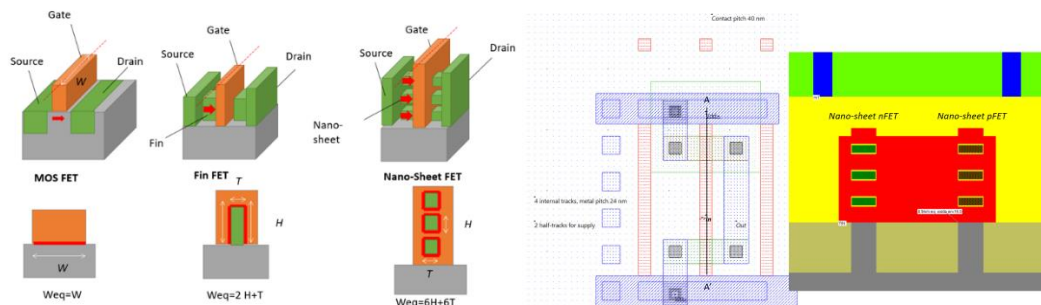


Fig.2. À gauche la description physique des technologies CMOS qui interviennent dans la miniaturisation (ou scaling) en haut l'architecture et en bas l'occupation sur wafer de Si. A droite, le design de CI avec la technologie NSFET ici avec un empilement de nano-sheet pour augmenter les performances.

Il faut préciser que la spécificité du nœud engage des techniques de design qui sont également prise en compte par Microwind. L'apprentissage du design de structure digitale (ou numérique) et l'impact des nœuds technologiques se fait en suivant le manuel compagnon, les notes d'application et les cours en ligne dans le cadre du projet Erasmus+ Cloud Alliance (9)(10). Cela permet aux étudiants de concevoir un circuit jusqu'à son Layout sous la forme d'un apprentissage par l'expérience. La complexité des circuits conçus et simulés avec Microwind est limitée à quelques centaines ou milliers de transistors.

Résultats de la conception du VSM

Sur la base des possibilités technologiques offertes par Microwind, les étudiants impliqués dans le projet ont travaillé sur un nœud technologique de 45nm. Le design sur un tel nœud demande des techniques bien spécifiques, notamment de *design for manufacturability* (DFM), ce qui a été une motivation supplémentaire pour les étudiants.

Par ailleurs il était nécessaire que les étudiants travaillent de façon collaborative pour que tous les modules ou blocs fonctionnels du VSM soient reliés entre eux et interagissent de façon à produire les fonctions visées pour le VSM.

Le VSM décrit dans ce qui suit a été complètement conçu par les étudiants. Pour faciliter l'appréciation du travail effectué nous ne montrons que les layouts de chaque bloc fonctionnel conçu par les étudiants qui ont été testés et validés avant d'être imbriqués pour former le VSM. Une explication du fonctionnement ainsi que les spécifications de chaque bloc sont données dans ce qui suit.

Pour commencer les instructions sont emmagasinées dans un bloc de mémoire SRAM statique (8x4) dont le layout est donné en Figure 3 a). Les instructions sont décodées par le circuit dont le layout se trouve en Figure 3 b). Ce processus de sélection des instructions stockées dans la mémoire est cadencé par un compteur sur 3 bits (Figure 3. c)) lui-même réglé par une horloge à une fréquence de 0.63 GHz. Une fois les instructions décodées, elles sont envoyées via des bus internes (IB) à l'Unité Arithmétique et Logique (UAL) dont le layout est donné en Figure 4.

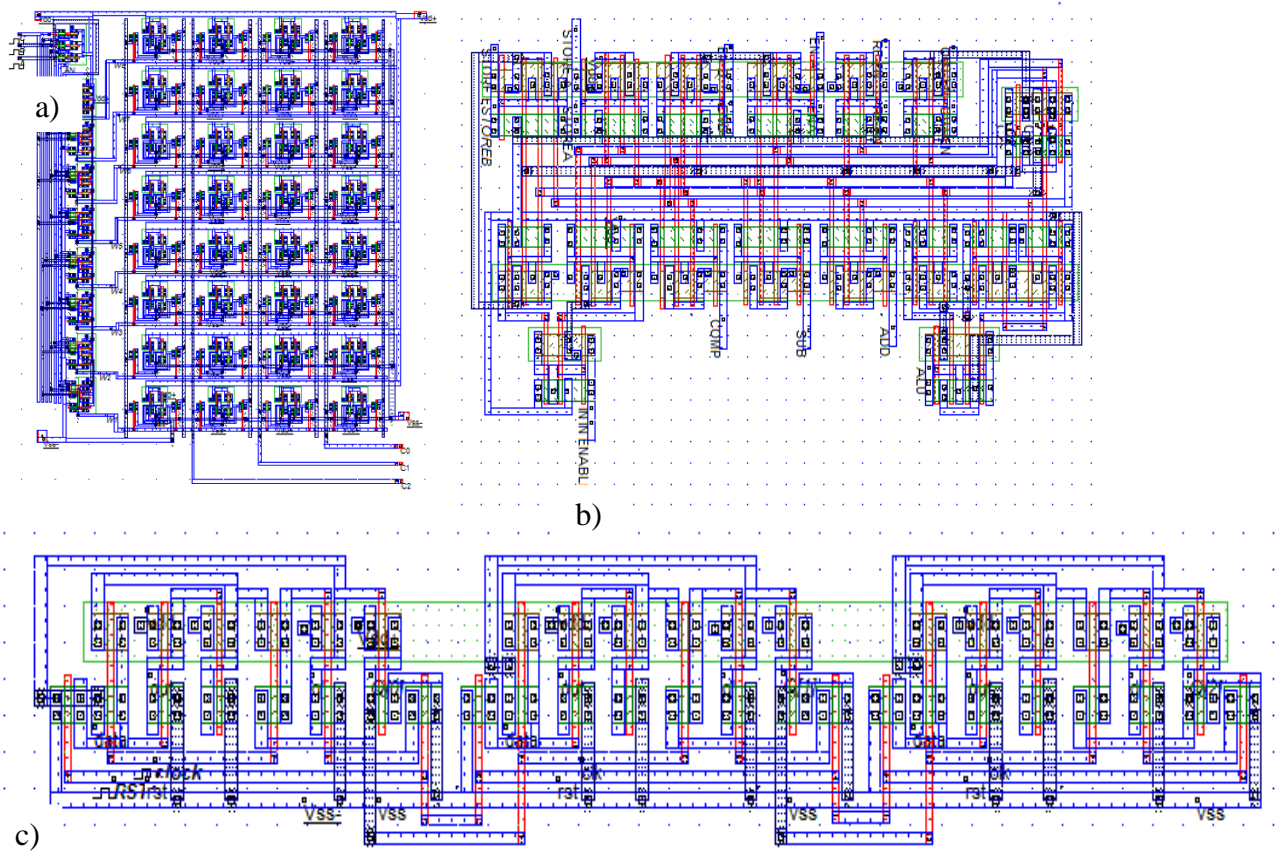


Fig.3. Le layout du bloc mémoire 8x4 de type SRAM est présenté en a). Le layout du décodeur est présenté en b). Enfin le layout du compteur 3bits (0-8) est présenté en c).

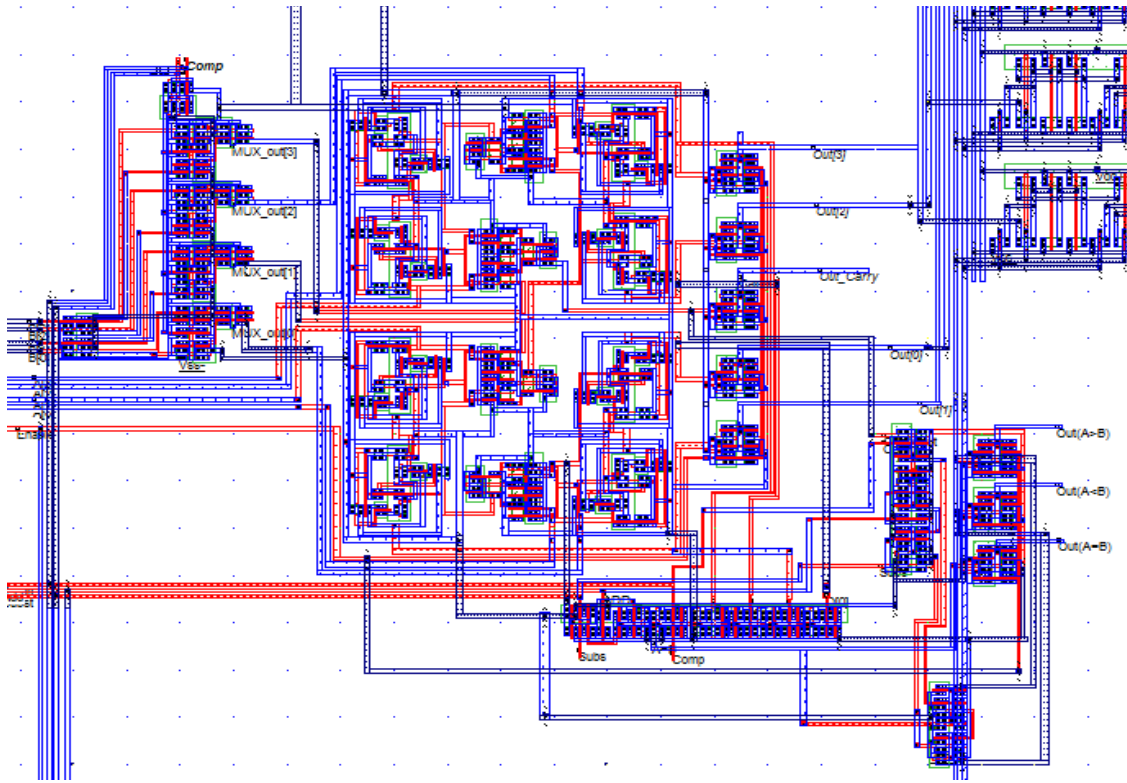


Fig.4. Le layout de l'Unité Arithmétique Logique (UAL) qui reçoit 2 mots de 4 bits et exécute des opérations en fonction des instructions reçues.

L'UAL exécute l'instruction (+, -, <, > ou =) sur deux mots codés sur 4 bits chacun. Le résultat est alors envoyé de l'UAL via les bus internes au bloc RF qui est de nature signal mixte puisque qui comprend des signaux digitaux et analogiques. En effet le résultat des opérations de l'UAL sont modulés par une opération de type Frequency Shift Key (FSK) et ensuite transmis par port BT (buffer). Le signal sera soit de fréquence $f_0 = 2.32\text{GHz}$ ou $f_1 = 2.418\text{GHz}$ en fonction du bit (1 ou 0) résultat de l'opération.

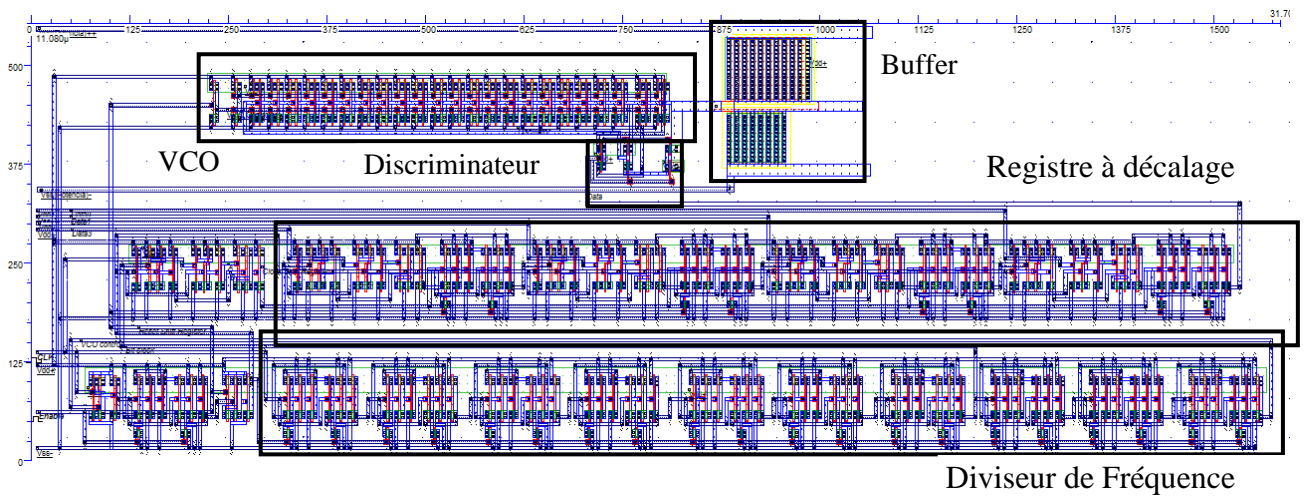


Fig.5. Le layout du bloc signal mixtes pour la FSK et sa transmission va le Buffer. Les différents blocs de layout son représenté en Figure 1 (en bas à droite) pour la vue systémique.

Ces fréquences sont contrôlées grâce à un discriminateur de fréquence et un VCO intégré dont le signal est obtenu par oscillateur en anneaux (Ring Oscillator) de type « starving current » ou privation de courant. Le layout de ce bloc RF se trouve en Figure 5 ; toutes les parties qui le constituent sont également décrites en vue systémique dans la Figure 1.

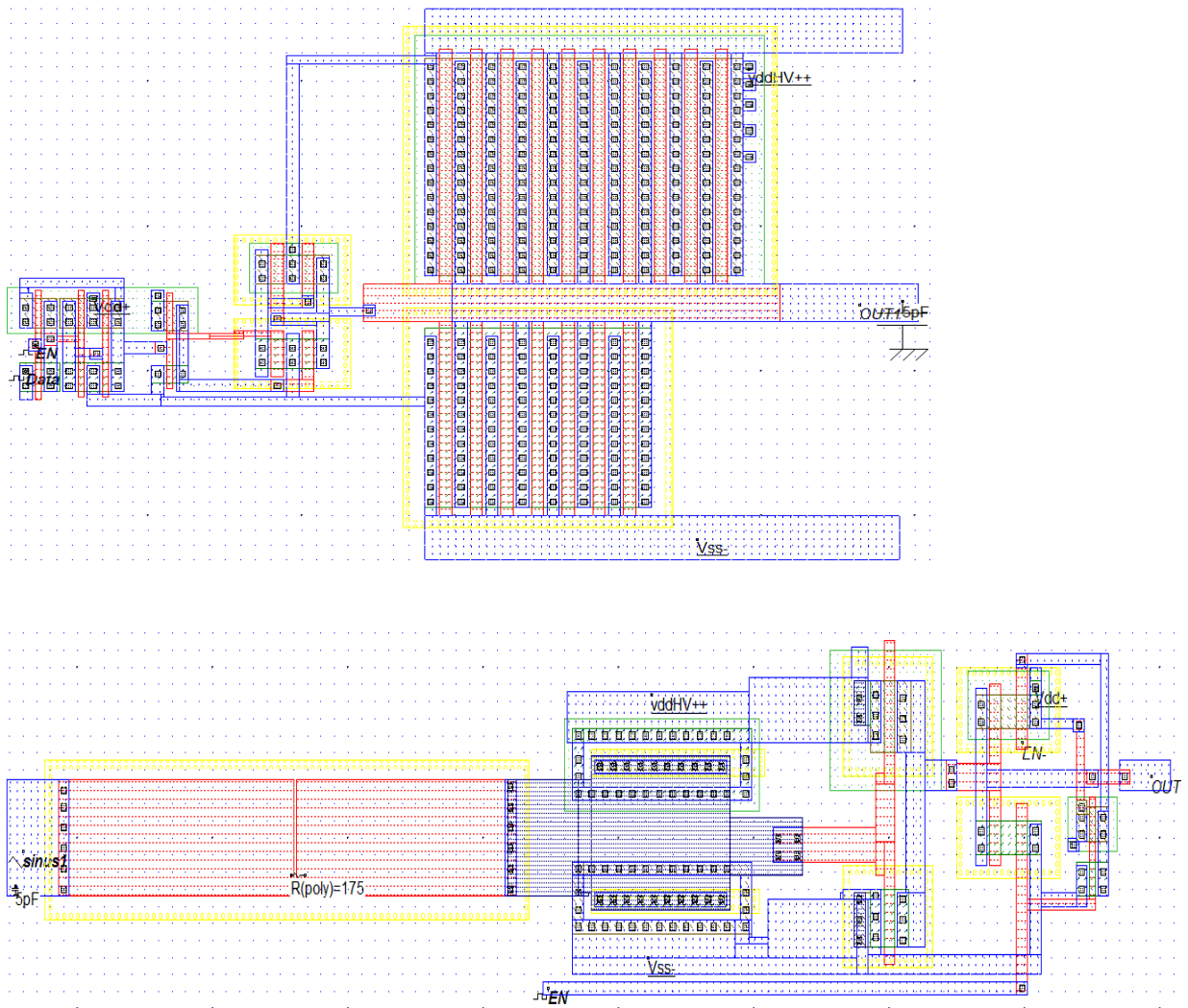


Fig.6. En haut le layout qui permet la sortie des signaux et en bas le layout pour l'entrée des signaux. Le niveau d'alimentation est de $V_{DD}=1V$.

En ce qui concerne la partie entrée/sortie de données ou « I/O data », le layout de l'« Input data » est en Figure 6 alors que l'« Output data » se trouve en Figure 6. Ces blocs fonctionnels comprennent toute la partie de conditionnement de signaux les protections électriques nécessaires, les décalages de niveaux de tension et amplifications pour un bon fonctionnement du VSM.

Enfin la description du Floor plan donne une vision globale du VSM où l'agencement des différents blocs fonctionnels ainsi que leur taille en μm . Aussi en Figure 7 on peut observer la disposition des pads et leur rôle pour le fonctionnement des blocs mais encore l'espace

qu'ils occupent sur le Silicium. Compte tenu qu'il s'agit d'une technologie 45nm, la faible complexité d'un tel circuit et l'occupation qu'il en résulte a conduit les étudiants qu'il serait intéressant d'occuper l'espace inoccupé par d'autres modules ou blocs.

Dans le cadre de cette réflexion il a été proposé que dans l'avenir il pourrait intervenir l'intégration de capteurs intégrés par exemple selon le concept de « More than Moore » (11).

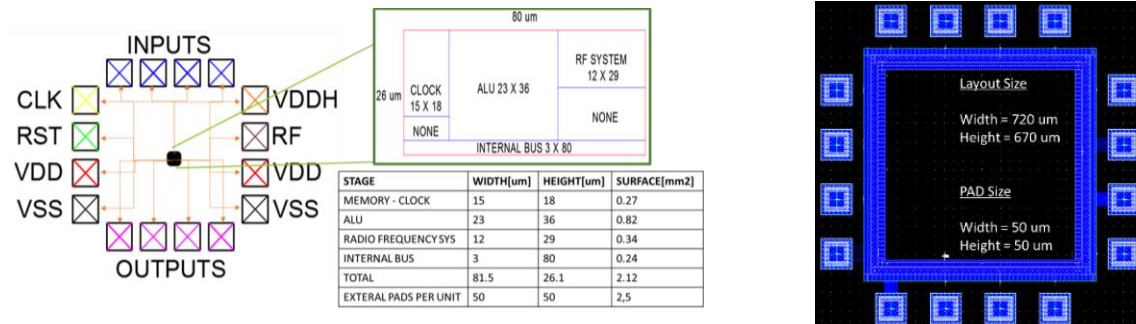


Fig.7. Floor plan du dispositif VSM conçu en 45nm. Les modules sont reliés entre eux par des bus internes et sont séquencés par une horloge interne. La taille de chaque module est donnée en μm , la surface en mm^2 . Plots d'E/S et pad ring du VSM (à droite) et schéma niveau système des I/Os et des pads (à gauche).

Les layouts ont été complètement élaborés par les étudiants pour la conception de leur VSM. Chaque module a été vérifié par des simulations au niveau analogique, lesquelles ont permis d'élaborer les performances du VSM. Il est important de souligner que ce travail a été présenté dans une conférence internationale sur les circuits intégrés organisés par la IEEE (chapitre CASS) et qui a eu lieu en Colombie (12).

TABLEAU I. Consommation et délais sous les conditions PVT

Composants	Consommation de puissance [μW] (-50C/27C/125C)	Temps de retards (Slack) [ps] (-50C/27C/125C)
OCT (VCO)	2320/102/41.2	30/57.6/351
Diviseur de Fréquence	73.1/41.4/24.8	33.8/50.3/25.3
D-Register	84.9/24.4/12.9	23.5/33.1/51.8
Compteur	196/88.9/34.5	0.751/0.56/0.532
UAL	54.3/36.4/40.8	63/106/192
Mémoires	19.68/14.5/10.84	24.5/29.5/55
Pads de sorties (output)	2100/1800/1500	0.89/1.5/3
Pads d'entrée (input)	41/14.1/5.4	35/36/49
TOTAL	4800/212/167	NA

IV. En conclusion

Nous avons décrit dans cet article une expérience pédagogique centrée sur la conception d'un circuit intégré collaboratif, dans le cadre d'un module pédagogique d'un programme de Master 1 monté à l'UFSQ Equateur, en partenariat avec la France et l'Italie. Les étudiants ont suivi une méthodologie d'apprentissage par l'expérience, avec différentes phases en autonomie ou en groupe, s'inspirant de la méthode par classe inversée notamment pour les phases d'acquisition des connaissances et d'appropriation des approches de conception et de validation de blocs fonctionnels. La complexité et la difficulté d'un tel cours par des biais de méthodes dites traditionnels a été surmonté par

l'inclusion d'une approche pédagogique hybride, alliant exploration en autonomie, essais, simulations itératives, restructuration, et présentations croisées. Ce type de travail a été reproduit tous les ans dans le cadre du Master 1. Les étudiants ont pu apprendre à pratiquer l'intégration des VSM « customized » avec la possibilité d'intégrer des nœuds technologiques les plus avancés.

Références

1. P. Mancero, "Capitulos de inversiones en Tratados Comerciales", Forum Social Mundial – FSM, Montréal, 2016, <http://www.cadtm.org/Capitulos-de-inversiones-en>
2. http://www.usfq.edu.ec/programas_academicos/posgrado/posgrados_poli/Paginas/maestria_en_nanoelectronica.aspx
3. Sicard, E., & Trojman, L. (2021). Introducing 5-nm FinFET technology in Microwind. Research report INSA. <https://hal.archives-ouvertes.fr/hal-03254444/>
4. Aziz, S. M., Sicard, E., & Dhia, S. B. (2009). Effective teaching of the physical design of integrated circuits using educational tools. *IEEE Transactions on Education*, 53(4), 517-531.
5. Doolittle, P. E. (1997) "Vygotsky's Zone of Proximal Development as a Theoretical Foundation for Cooperative Learning", *Journal on Excellence in College Teaching*, v8 n1 p83-103.
6. Moreno-Ruiz, L., Castellaos-Nieves, B., Popescu Braileanu, B., *et al.*, Combining Flipped Classroom, Project Based Learning and Formative Assessment Strategies in Engineering Studies, *International Journal of Engineering education*, Vol. 35 N. 6(A), pp. 1673-1683, 2019.
7. Sicard, E., & Aziz, S. (2011). Introducing 65 nm technology in Microwind3. <https://hal.archives-ouvertes.fr/hal-03324309>
8. Sicard, E., & Trojman, L. (2021b). Introducing 3-nm Nano-Sheet FET technology in Microwind. 2021. Rapport de recherches INSA Toulouse. <https://hal.archives-ouvertes.fr/hal-03377556>
9. Tzanova, S., Demarchi, D., & Roch, M. R. (2017, April). Work-in-Progress: MicroElectronics Cloud Alliance. In 2017 IEEE Global Engineering Education Conference (EDUCON) pp. 1494/97
10. Sicard, E., Boyer, A., Ben Dhia, S. Développement de contenus pédagogiques dans le cadre du projet Européen Micro-Electronics Cloud Alliance, JPCNFM 2018
11. Arden, W., (2010). More-than-Moore white paper. Version, 2, 14. IRC-ITRS-MtM
12. Garzon, E., *et al.*, (2019, February) Microprocessor Design with a Direct Bluetooth Connection in 45 nm Technology Using Microwind. *IEEE 10th Latin American Symposium on Circuits & Systems (LASCAS)*, pp. 105-108.