



HAL
open science

**Conception et contrôle de phase d'une chaîne de
réception radar 76-81 GHz en CMOS 28-nm FD-SOI**
Antoine Le Ravallec, Patrice Garcia, João Carlos Azevedo Gonçalves, Loïc
Vincent, Jean-Marc Duchamp, Philippe Benech

► **To cite this version:**

Antoine Le Ravallec, Patrice Garcia, João Carlos Azevedo Gonçalves, Loïc Vincent, Jean-Marc Duchamp, et al.. Conception et contrôle de phase d'une chaîne de réception radar 76-81 GHz en CMOS 28-nm FD-SOI. XXIIèmes Journées Nationales Microondes (JNM) 2022, Jun 2022, Limoge, France. hal-03727192

HAL Id: hal-03727192

<https://hal.science/hal-03727192>

Submitted on 19 Jul 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Conception et contrôle de phase d'une chaîne de réception radar 76-81 GHz en CMOS 28-nm FD-SOI

Antoine Le Ravallec^{*#1}, Patrice Garcia^{*}, João Carlos Azevedo Gonçalves^{*},
Loïc Vincent⁺, Jean-Marc Duchamp[#], Philippe Benech[#]

^{*}STMicroelectronics, Crolles, France

[#]Univ. Grenoble Alpes, CNRS, Grenoble INP, G2Elab, F-38000 Grenoble

⁺CIME Nanotech, Grenoble INP, Grenoble, France

¹antoine.le-ravallec@grenoble-inp.fr

Résumé – Ce papier présente une chaîne de réception pour radar automobile 76-81 GHz en technologie 28-nm FD-SOI CMOS. Cette chaîne introduit une nouvelle solution de contrôle de phase utilisant des varactors MOS, implémentés dans un amplificateur faible bruit (LNA). La solution permet un contrôle de phase au maximum de 22° avec une résolution de $0,2^\circ$ pour une dégradation minimale des performances de la chaîne. Cette chaîne contient un LNA 2 étages avec un facteur de bruit (NF) de 5,5 dB, un mélangeur passif, un étage d'amplification de l'oscillateur local (OL) et un amplificateur en bande de base (BB). Le récepteur sans amplificateur BB présente un point de compression à 1 dB (ICP_{1dB}) de $-12,6$ dB. La surface active du récepteur est de seulement $0,057$ mm² pour une consommation de 41,7 mW.

1. Introduction

Les premiers radars automobiles embarqués sont apparus dans les années 1970 pour réduire le nombre d'accidents de la route [1]. Le radar automobile est un facteur clé pour les systèmes d'aide à la conduite (ADAS) afin de garantir une conduite plus sécurisée en toutes conditions [2,3].

Avec l'explosion du nombre de capteurs dans les véhicules, l'utilisation des technologies CMOS avancées pour les radars automobiles est devenue attractive par la forte intégrabilité et le faible coût de ces technologies. Cependant, compte tenu de la variabilité des wafers en CMOS SOI avec les variations de processus, de tension et de température (PVT) [4], l'ajout de fonctions de calibration d'amplitude et de phase est nécessaire.

Les systèmes radars permettent de déterminer la distance, la vitesse et l'angle d'arrivée d'un objet. Cet article se concentre sur la détection de l'angle d'arrivée, plus précisément de l'azimut. Dans un radar à réseau de récepteurs multi-phases, l'angle d'arrivée d'un objet est déterminé par la différence de phase entre chaque chaîne de réception du signal reçu. Cependant, la phase intrinsèque d'une chaîne varie. Ainsi, pour déterminer précisément l'angle d'arrivée il faut pouvoir contrôler ces erreurs de phase.

Il existe différentes techniques de contrôle de phase, comme l'utilisation de « phase-shifters » analogiques ou d'algorithmes d'estimation d'angle d'arrivée. Cependant,

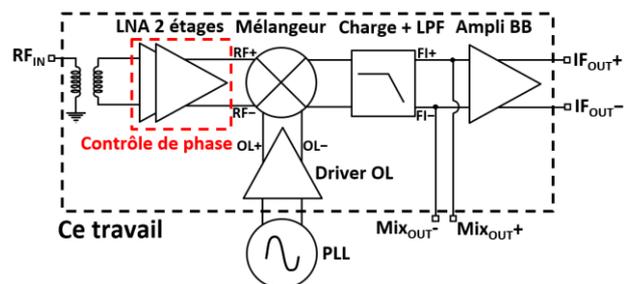


Figure 1. Schéma fonctionnel du récepteur

les « phase-shifters » passifs sont coûteux en surface et génèrent des pertes et les actifs consomment de l'énergie. Les algorithmes quant à eux nécessitent un fort rapport signal sur bruit ($SNR > 15$ dB) pour converger [5-7]. De plus, le bruit et les interférences dégradent la précision de l'estimation de l'angle d'arrivée : le récepteur doit être très linéaire avec une faible contribution sur le bruit.

Cet article présente une nouvelle technique de contrôle d'erreur de phase intégrée dans le LNA d'une chaîne de réception radar 76-81 GHz en CMOS 28-nm FD-SOI. La partie 2 détaille le principe de contrôle de phase et l'architecture de la chaîne et la partie 3 présente les résultats. Enfin, la partie 4 est dédiée à la conclusion.

2. Architecture du récepteur

La Figure 1 montre la chaîne de réception incluant le contrôle d'erreur de phase embarqué dans le LNA. La partie de la chaîne de réception conçue contient un amplificateur faible bruit (LNA) à 2 étages, un mélangeur passif avec un filtre passe-bas (LPF), un driver OL et un amplificateur en bande de base (BB). Ces blocs sont détaillés dans les sous-parties suivantes.

2.a. Contrôle de phase

Les blocs en amont de la chaîne de réception sont les principaux contributeurs des variations de phase. Des simulations Monte Carlo incluant les disparités et variations de processus indiquent des variations de phase de $\pm 5^\circ$ par étage d'amplification. La solution proposée consiste donc à corriger les erreurs de phase dans les étages du LNA neutrodyné. Le principe innovant est d'utiliser un varactor au lieu d'une capacité fixe pour contrôler la phase, comme sur la Figure 2 (a).

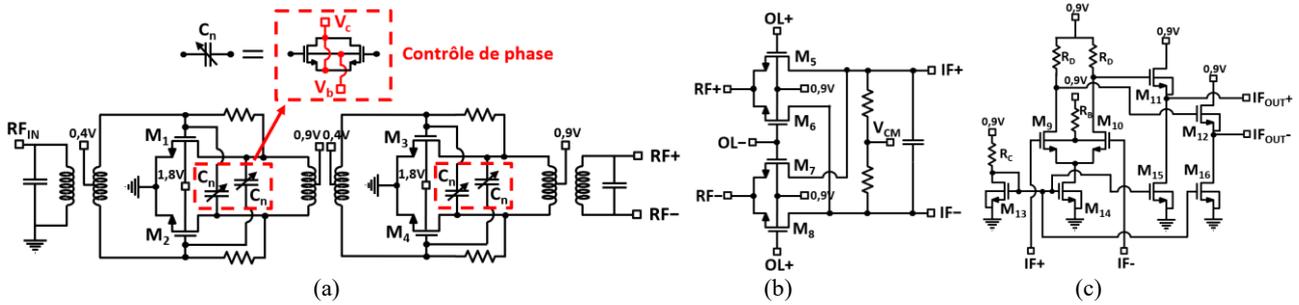


Figure 2. Schéma du LNA 2 étages avec varactors (a), du mélangeur et sa charge (b) et de l'amplificateur BB (c)

Cette technique nécessite peu de surface et ne consomme pas d'énergie. La technologie FD-SOI permet de modifier de la tension de seuil d'un transistor en contrôlant sa tension de grille arrière. Cela offre un paramètre supplémentaire pour contrôler les varactors par rapport à une technologie bulk.

2.b. LNA

Le LNA est basé sur une architecture source commune différentielle à deux étages, Figure 2 (a). Il est neutrodyné avec une contre-réaction résistive. Pour obtenir un bon compromis entre le gain et la linéarité, seulement deux étages sont utilisés. Les deux étages sont identiques afin d'utiliser les mêmes varactors par étage d'amplification pour avoir un réglage identique de la phase à chaque étage.

Afin de compenser l'effet Miller et augmenter le gain des transistors, les capacités croisées de neutrodynage sont utilisées. La capacité C_n sur la Figure 2 (a) est un varactor MOS qui permet d'ajuster la valeur de capacité utilisée pour neutraliser la capacité grille-drain C_{GD} des transistors M_{1-4} et donc d'ajuster la phase du LNA. La capacité C_{GD} a un fort impact sur la phase de l'amplificateur. Cette technique influence également le gain et la stabilité du LNA. La contre-réaction résistive sert à réduire l'impédance d'adaptation d'entrée et contribue à la stabilité du LNA aux basses fréquences. L'utilisation des varactors et de la contre-réaction résistive coûte environ 1 dB sur le gain et 0,8 dB sur le NF.

2.c. Mélangeur

Le mélangeur représenté sur la Figure 2 (b) est passif double équilibré. La topologie double équilibrée permet de réduire les pertes de puissance et améliore les isolations RF-IF et OL-IF par rapport aux topologies déséquilibrées ou simple équilibrée. Les mélangeurs passifs sont très linéaires et profitent des faibles valeurs de résistance d'état passant des transistors MOS utilisés comme des interrupteurs. Ces mélangeurs présentent d'autres avantages tels que l'absence de courant DC donc de consommation et la réduction du bruit de scintillement. Le mélangeur a un ICP_{1dB} simulé de 5 dBm et un gain de conversion en tension de -4,5 dB, estimé à partir des résultats de mesures LNA-Mélangeur, décrits dans la partie 3. Augmenter la largeur des transistors M_{5-8} réduit leur résistance d'état passant mais cela augmente les capacités parasites. La grille arrière est utilisée afin de réduire la tension de seuil des quatre transistors M_{5-8} , ce qui réduit leur résistance d'état passant et améliore donc les performances en linéarité et en bruit du mélangeur.

Le mélangeur est chargé par une résistance différentielle de 100Ω pour le compromis entre linéarité et gain de conversion en tension. Des capacités ont été ajoutées pour filtrer le signal RF et agir comme un filtre passe-bas avec la résistance. Une tension de mode commun V_{CM} de 450 mV est appliquée pour polariser les grilles des transistors de l'amplificateur BB.

2.d. Driver OL

Le driver OL est utilisé comme buffer pour le signal OL. Il est identique au LNA de la Figure 2 (a) mais ne possède qu'un seul étage et ses varactors ont des valeurs de capacités fixes. Comme le signal est sinusoïdale, il existe un cours laps de temps où les transistors du même côté du mélangeur (M_5 et M_6 ou M_7 et M_8) sont passants, ce qui dégrade le NF du mélangeur. Par conséquent, le signal OL doit présenter une excursion en tension suffisante pour réduire ce temps de conduction commun. La symétrie du signal OL est importante pour les performances en bruit, en linéarité et en gain du mélangeur. Les baluns d'entrée et de sortie sont conçus de manière à être le plus symétriques possibles.

2.e. Amplificateur BB

L'amplificateur en bande de base est un amplificateur différentiel classique en source commune avec un étage suiveur, comme sur la Figure 2 (c). Cet amplificateur permet de compenser les pertes du mélangeur pour mesurer le bruit de l'ensemble LNA-mélangeur. Il ne consomme que 3 mW avec une alimentation à 0,9 V.

2.f. Varactors MOS

Le varactor C_n dans le LNA de la Figure 2 (a) est composé de deux transistors NMOS comme dans [8] avec leurs drains et sources connectés à un nœud commun nommé arbitrairement V_c . Leurs accès aux grilles arrière sont également connectés à un nœud commun nommé arbitrairement V_b . Le varactor possède alors deux tensions de contrôle pour une meilleure précision de variation de capacité et donc une meilleure précision d'ajustement de la phase. Le nœud de contrôle des grilles arrière permet un ajustement plus fin de la phase. V_c et V_b sont respectivement contrôlés de 0 à 0,9 V et de 0 à 1,8 V. Les transistors MOS du varactor C_n sont similaires aux transistors MOS du LNA pour présenter les mêmes variations PVT. Les valeurs de capacités maximales et minimales sont soigneusement choisies pour assurer la stabilité du LNA et pour offrir le maximum de contrôle de phase.

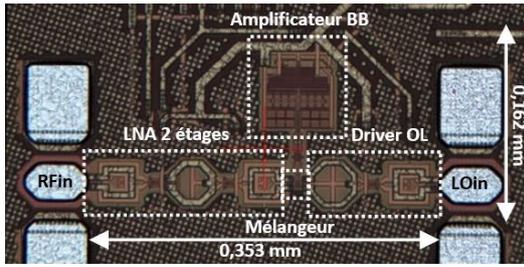


Figure 3. Photographie du cœur de la puce

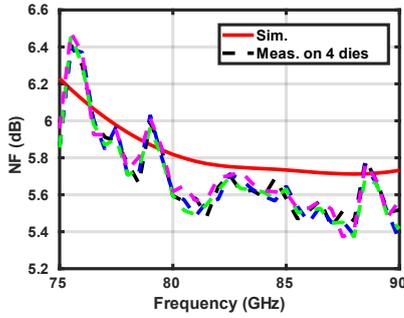


Fig. 4. NF mesurée du LNA de la chaîne de réception en fonction de la fréquence

3. Résultats expérimentaux

La chaîne de réception a été réalisée en technologie CMOS 28-nm FD-SOI de STMicroelectronics. La surface active du récepteur, présentée Figure 3 en incluant le découplage, ne mesure que 0,057 mm². Les mesures ont été réalisées à 25°C. Le LNA a été mesuré seul et la chaîne de réception a été mesurée dans deux configurations, illustrées sur la Figure 1 : les mesures du LNA-Mélangeur ont été réalisées au niveau des sorties Mix_{OUT} et les mesures LNA-Mélangeur-Amplificateur BB au niveau des sorties IF_{OUT}. Les mesures BB ont été effectuées pour une fréquence intermédiaire (IF) de 10 MHz.

Les mesures sur wafer de la Figure 4 indiquent que le LNA à deux étages a un NF de 5,5 dB avec 0,9 dB de variation dans la bande 76-81 GHz. Une très bonne corrélation entre la simulation et la mesure, précise à 0,2 dB, peut être observée sur quatre puces différentes du même wafer. Selon la configuration des varactors, les mesures sur le LNA indiquent un gain de 17,1 dB et un ICP_{1dB} de -11,3 dBm dans la bande 76-81 GHz. Il consomme 29,4 mW sous 0,9 V d'alimentation et sa tension de grille arrière est fixée à 1,8 V.

Le récepteur consomme 41,7 mW en incluant le driver OL. La Figure 5 (a) montre un gain de conversion G_C du LNA-Mélangeur de 12,5 dB avec un ICP_{1dB} de -12,6 dBm à 78,5 GHz. Une bonne corrélation entre la simulation et la mesure est également observée. La différence de 1 dB est principalement due à la précision des mesures à ces fréquences. L'isolation OL-RF est de 39,9 dB et les coefficients de réflexion aux entrées RF et OL sont inférieurs à -14,7 dB sur toute la bande 76-81 GHz, comme illustré sur la Figure 5 (b).

Pour une meilleure précision, les mesures du contrôle de phase ont été réalisées sur le LNA seul à cause de la gigue OL et des difficultés de synchronisation entre le signal de référence et les sorties IF. La Figure 6 (a) présente les mesures des variations de phase du LNA du

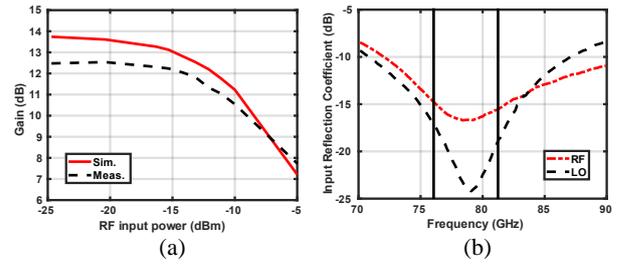


Fig. 5. Gain mesuré du LNA-Mixer en fonction de la puissance RF d'entrée à 78,5 GHz (a) et coefficients de réflexion des entrées RF et LO mesurés en fonction de la fréquence (b)

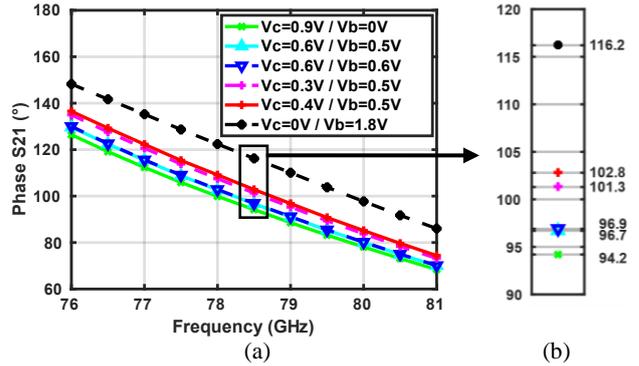


Fig. 6. Phase mesurée du LNA de la chaîne de réception avec ajustement des varactors en fonction de la fréquence (a) et un zoom à 78,5 GHz (b)

	NF (LNA)	ICP _{1dB} (LNA)	S ₂₁ (LNA)	G _C (LNA-Mélangeur-Amp. BB)	G _C (LNA-Mélangeur)
Meilleure valeur	5,5 dB	-11,3 dBm	17,1 dB	24,9 dB	12,7 dB
Pire cas de variation	0,2 dB	2,5 dB	1,9 dB	0,8 dB	1,1 dB

Tableau 1. Variations des performances pour le maximum de variation des varactors

récepteur pour différentes tensions de contrôle des varactors dans la bande 76-81 GHz. Dans cette bande, le maximum de contrôle de phase est de 22° à 78,5 GHz et le minimum est de 17,6° à 81 GHz. Sur la Figure 6 (b), à 78,5 GHz, le nœud de contrôle V_C a une résolution de contrôle de phase de 1,5°/100 mV tandis que le nœud V_B a une résolution de contrôle de phase de -0,2°/100 mV. La configuration V_C = 0 V / V_B = 1,8 V de la Figure 6 correspond à la plus haute valeur de capacité du varactor et la configuration V_C = 0,9 V / V_B = 0 V à la plus petite valeur du varactor. Les mesures sur quatre puces du même wafer dans la bande 76-81 GHz indiquent que les variations sur les résolutions de contrôle de phase sont faibles : ±0,2° sur le nœud V_C et ±0,1° sur le nœud V_B. Il y a également peu de variations sur le maximum de contrôle de phase : ±1°.

Le Tableau 1 présente les faibles variations de différentes performances en fonction des variations maximales des varactors dans la bande 76-81 GHz et une IF de 10 MHz.

La chaîne de réception montre des performances à l'état de l'art en comparaison avec les meilleures de leur classe affichées dans le Tableau 2. La solution de contrôle d'erreur de phase proposée atteint une résolution fine de 0,2° tout en ayant un bon compromis entre la linéarité, la consommation et la surface occupée par la chaîne.

	Ce travail		RFIC 19 [9]	ISSCC 21 [10]	TMTT 13 [11]	TMTT 21 [12]	JSSC 17 [13]
Technologie	28-nm FD-SOI CMOS		40-nm CMOS	45-nm CMOS	65-nm CMOS	28-nm FD-SOI CMOS	130-nm SiGe
Fréquence (GHz)	76-81		77-81	76-81	76-77	77	76-81
Blocs RF et analogues intégrés	LNA 2 étages, mélangeur passif, driver OL	LNA 2 étages, mélangeur passif, driver OL, amplificateur BB	LNA 3 étages, mélangeur, VGA 4 étages, LDO, PLL	LNA 2 étages, mélangeur passif I/Q, VGA	LNA 5 étages, mélangeur sub-harmonic, mélangeur passif	Mélangeur, VGA, filtre passe-bas	Mélangeur, multiplexeur BB, buffer IF
ICP_{1dB} (dBm)	-12,6	-25,2	-22,3 (VGA éteint)	-10	-15 ⁵	-23,5	>1
NF_{DSB} (dB)	6,1 (sim.), 5,5 (LNA)	6,5 (sim.), 5,5 (LNA)	7,3 (à 77 GHz OL), 6 (à 81 GHz OL)	10,8 ⁴	10	8,2	7-8
G_c (dB)	12,5	24,9	30,8	N.A.	16	33	15
Contrôle de phase / résolution (°)	22 max. / 0,2 ¹ (à 78,5 GHz)	22 max. / 0,2 ¹ (à 78,5 GHz)	N.A.	N.A.	N.A.	N.A.	N.A.
Puissance conso. (mW)	38,7, 29,4 ²	41,7, 29,4 ²	143 ³	3500	28,2 ⁶	27 ⁷	1800 (1TX/6RX)
Tension d'alim. (V)	0,9 et 1,8 (body biasing)		1,1 (RF), 1,8 (BB)	1/1,2/1,8	1,2	1	3,3
Surface active (mm²)	0,046	0,057	0,8	22 (surface analogue)	2,3 (avec pads)	0,96	12,7 (2TX/6RX)
Notes	¹ Mesures du LNA ² Sans driver OL		Puce encapsulée, ³ LNA, mélangeur, amplificateur BB	Puce 4RX/3TX, ⁴ Supposé DSB	⁵ LNA seul ⁶ Sans blocs OL	⁷ Sans buffer OL	Mesures sur wafer, puce 2TX/6RX

Tableau 2. Comparaison des performances de l'état de l'art des récepteurs

4. Conclusion

Une tête de réception radar 76-81 GHz en CMOS 28-nm FD-SOI a été présentée. Une nouvelle solution de contrôle de phase a été implémentée dans le LNA de la chaîne en utilisant des varactors MOS comme capacités de neutrodynage. Cette solution offre un contrôle de phase maximum de 22° avec une précision sur la résolution de 0,2° à 78,5 GHz. Cela permet de compenser les variations de phase dues aux disparités et variations de processus simulées à ±5° par étage d'amplification. Le LNA présente un NF de 5,5 dB à 81 GHz. Les mesures de phase et de NF du LNA sur quatre puces d'un même wafer indiquent que la solution est reproductible et que le circuit est robuste. La chaîne présente un gain en tension G_c de 24,9 dB avec un ICP_{1dB} de -25,2 dBm. Elle ne consomme que 41,7 mW et possède une surface active de seulement 0,057 mm². La chaîne sans amplificateur BB (LNA-Mélangeur) quant à elle, présente un gain en tension G_c de 12,5 dB avec un ICP_{1dB} de -12,6 dBm. Elle ne consomme que 38,7 mW avec une surface active de seulement 0,046 mm². La solution proposée contribue à la réduction de la surface analogique et à la réduction de la consommation pour une détermination précise de l'angle d'arrivée. Cela permet également de garantir l'alignement des puces en post-production et améliore ainsi le rendement de production des circuits radars.

5. Remerciements

Les auteurs tiennent à remercier les membres de STMicroelectronics Crolles pour leur précieuse aide.

Références

[1] H. H. Meinel, « *Evolving Automotive Radar - from the very beginnings into the future* », IEEE European Conference on Antennas and Propagation, 2014.

[2] K. M. Strohm et al., « *Development of Future Short Range Radar Technology* », IEEE European Radar Conference, 2005.

[3] M. Murad et al., « *Requirements for next generation automotive radars* », IEEE Radar Conference, 2013.

[4] E. G. Ioannidis et al., « *Statistical analysis of dynamic variability in 28nm FD-SOI MOSFETs* », European Solid State Device Research Conference, 2014, pp. 214-217.

[5] S. Y. Kim and G. M. Rebeiz, « *A 4-Bit Passive Phase-Shifter for Automotive Radar Application in 0.13 μm CMOS* », IEEE Compound Semiconductor IC Symposium, Oct. 2009, pp. 1-4.

[6] D. Pepe and D. Zito, « *A 78.8–92.8 GHz 4-bit 0–360° active phase shifter in 28nm FDSOI CMOS with 2.3 dB average peak gain* », European Solid-State Circuits Conference, 2015, pp. 64-67.

[7] H. Fu et al., « *A Robust Phase-Ambiguity-Immune DOA Estimation Scheme for Antenna Array* », IEEE International Conference on Communication Systems, 2018, pp. 30-34.

[8] C. Zhang and M. Otto, « *A wide range 60 GHz VCO using back-gate controlled varactor in 22 nm FDSOI technology* », IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference, 2017, pp. 1-3.

[9] T. Murakami et al., « *A 9 dB Noise Figure Fully Integrated 79 GHz Automotive Radar Receiver in 40 nm CMOS Technology* », IEEE Radio Frequency Integrated Circuits Symposium, 2019.

[10] K. Dandu et al., « *High-Performance and Small Form-Factor mm-Wave CMOS Radars for Automotive and Industrial Sensing in 76-to-81GHz and 57-to-64GHz Bands* », IEEE International Solid-State Circuits Conference, 2021.

[11] V.-H. Le et al., « *A CMOS 77 GHz Radar Receiver Front-end* », IEEE Transactions on Microwave Theory and Techniques, vol. 61, no. 10, pp. 3783-3793, Oct. 2013.

[12] G. Papotto et al., « *A 27-mW W-Band Radar Receiver With Effective TX Leakage Suppression in 28-nm FD-SOI CMOS* », IEEE Transactions on Microwave Theory and Techniques, vol. 69, no. 9, pp. 4132-4141, Sept. 2021.

[13] T. Fujibayashi et al., « *A 76- to 81-GHz Multi Channel Radar Transceiver* », IEEE Journal of Solid-State Circuits, vol. 52, pp. 2226–2241, Sept. 2017.