



HAL
open science

Intégration de zones dopées distribuées pour la réalisation d'un switch SPDT à 5 GHz

Allanic Rozenn, Denis Le Berre, Cédric Quendo, David Chouteau, Virginie Grimal, Damien Valente, Jérôme Billoue

► **To cite this version:**

Allanic Rozenn, Denis Le Berre, Cédric Quendo, David Chouteau, Virginie Grimal, et al.. Intégration de zones dopées distribuées pour la réalisation d'un switch SPDT à 5 GHz. XXIIèmes Journées Nationales Microondes, Jun 2022, Limoges, France. hal-03694116

HAL Id: hal-03694116

<https://hal.science/hal-03694116v1>

Submitted on 13 Jun 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Intégration de zones dopées distribuées pour la réalisation d'un Switch SPDT à 5 GHz

R. Allanic¹, D. Le Berre¹, C. Quendo¹, D. Chouteau², V. Grimal², D. Valente², J. Billoué²

¹ Univ Brest, Lab-STICC, CNRS, UMR 6285, F-29200 Brest, France

²Laboratoire GREMAN, UMR 7347, Université de Tours, CNRS, INSA CVL, Tours 37071, France
Rozenn.Allanic@univ-brest.fr

Résumé – Ce papier présente un switch SPDT à 5 GHz à éléments d'accord intégrés dans le substrat. L'idée est d'utiliser un substrat semi-conducteur, tel que le silicium, pour la réalisation à la fois des lignes de transmission et des zones dopées distribuées qui forment des jonctions N⁺PP⁺ intégrées. Les composants passifs et actifs sont ainsi dessinés et optimisés en même temps, ce qui offre une grande flexibilité de conception notamment en ce qui concerne le choix de la taille et de la position des zones dopées. Le switch SPDT proposé présente de faibles pertes d'insertion et une grande isolation dans les deux états de fonctionnement.

1. Introduction

Avec l'arrivée de la 5G, de l'internet des objets et du tout-internet, les systèmes communicants sont omniprésents. Leurs concepteurs doivent faire face à de nouveaux défis afin de satisfaire les besoins en termes d'agilité, de débit, de vitesse, de consommation, de taille et de coût. Les challenges se situent à tous les niveaux des éléments des chaînes d'émission et de réception dont les switches SPDT font partis. Leur commutation est habituellement réalisée à partir de diodes PIN [1]- [2], de MEMS-RF [3] ou de transistors [4]. Cependant, l'association de ces éléments d'accord aux parties passives provoquent des effets parasites dégradant les performances des circuits RF accordables et limitant la montée en fréquence. Il a été montré [5]-[6] que l'utilisation de lignes quart-d'ondes pour la réalisation de switch SPDT permet de minimiser ces effets néfastes.

Afin d'aller plus loin, de précédents travaux ont montré la possibilité de concevoir les éléments actifs et passifs en même temps sur un substrat silicium [7]. Cette méthode possède de nombreux avantages; les éléments actifs sont des jonctions N⁺PP⁺ intégrées dans le substrat, les composants reportés ne sont plus nécessaires, la tension de commande reste faible, et surtout cela offre une flexibilité de conception au niveau de la taille, de la position, et même de la forme des zones dopées [8]-[9].

Ainsi, dans cet article nous présentons le concept du switch SPDT sur substrat semi-conducteur à éléments actifs intégrés. Dans une deuxième partie, un démonstrateur à 5 GHz est modélisé et simulé. Le switch SPDT proposé a été réalisé et les performances en termes de simulations et de mesures sont discutées.

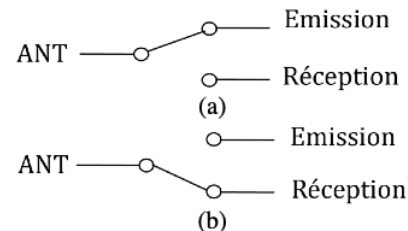


Figure 1. Représentations idéales d'un switch SPDT. (a) à l'état OFF. (b) à l'état ON.

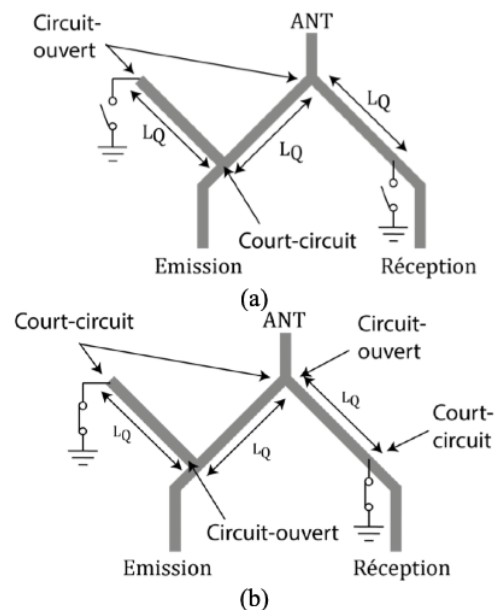


Figure 2. Dessins idéaux d'un switch SPDT. (a) à l'état OFF. (b) à l'état ON.

2. Concept

La Figure 1 est une représentation idéale d'un switch SPDT à l'état OFF (a) et à l'état ON (b). Il permet respectivement la commutation entre la voie d'émission et l'antenne d'une part, et l'antenne et la voie de réception d'autre part. L'idée est de dessiner ce switch à l'aide de lignes quart-d'ondes ($\lambda/4$) ($L_Q = 5,4$ mm) et de deux éléments accordables (Figure 2). Ainsi, à l'état OFF, le résonateur en circuit-ouvert ramène un court-circuit au niveau de la ligne de transmission, le signal venant de l'antenne est dirigé vers la voie de réception.

A l'état ON, il y a deux court-circuits. Le premier court-circuit est placé à $\lambda/4$ de la jonction Y ce qui implique un circuit-ouvert au niveau de la jonction Y, tandis que le deuxième court-circuit est situé à l'extrémité du résonateur, il ramène un circuit-ouvert au niveau de la ligne de transmission permettant ainsi au signal provenant de la voie d'émission d'être dirigé vers l'antenne. Dans les deux états, les voies d'émission et de réception sont isolées l'une de l'autre.

3. Switch SPDT

3.a. Modélisation et Simulation

Le switch SPDT (Figure 3) a été dessiné, pour fonctionner à 5 GHz. Le substrat utilisé est un substrat silicium dopé au Bore (type P) dont la résistivité est de $\rho = 2500 \Omega \cdot \text{cm}$ afin de minimiser les pertes et l'épaisseur est de $675 \mu\text{m}$. Les deux éléments actifs sont des jonctions N^+PP^+ intégrées dans le substrat. Les différentes dimensions du switch sont données dans le Tableau 1 sachant que les largeurs (des lignes de transmission et des zones dopées) sont égales à $550 \mu\text{m}$.

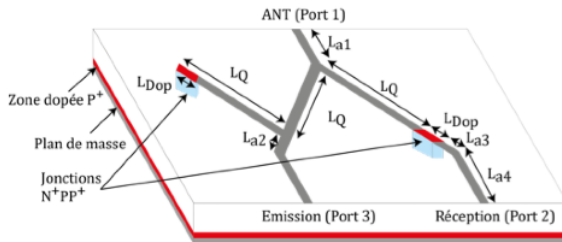


Figure 1. Dessin du switch SPDT.

Tableau 1. Dimensions du switch SPDT

La ₁	L _Q	La ₂	La ₃	La ₄	L _{Dop}
2.57	5.4	1.26	0.8	3.94	1

The dimensions are given in mm.

Ce switch a été simulé à l'aide du logiciel HFSS™ de ANSYS ; les jonctions sont simulées en prenant en compte la résistivité dans le calcul de la tangente de pertes à l'aide de l'équation (1).

$$\tan\delta = \frac{1}{\rho\omega\epsilon_0\epsilon_r} + 0.0018 \quad (1)$$

Les jonctions sont approximées à des parallélépipèdes rectangles dont la surface est égale à la surface de la zone dopée et la hauteur égale à celle du substrat. Les épaisseurs et conductivités des zones dopées ne sont pas prises en compte dans les simulations. L'état OFF est simulé avec une résistivité identique à celle du substrat i.e., $\rho = 2500 \Omega \cdot \text{cm}$, alors qu'à l'état ON la résistivité est prise égale à $\rho = 0,5 \Omega \cdot \text{cm}$.

En simulation, à l'état OFF, le switch présente des pertes d'insertion égales à 0,4 dB et une isolation supérieure à 36 dB (Figure 4). A l'état ON, les pertes d'insertion sont de 1,65 dB et l'isolation est supérieure à 20 dB (Figure 5).

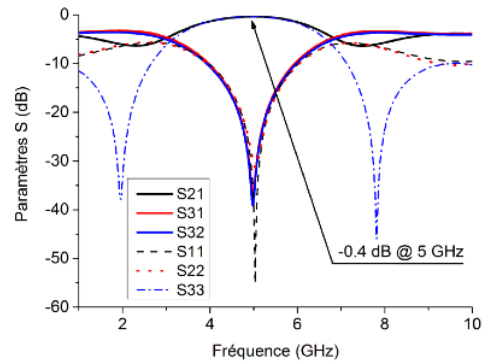


Figure 2. Simulations à l'état OFF ($\rho = 2500 \Omega \cdot \text{cm}$).

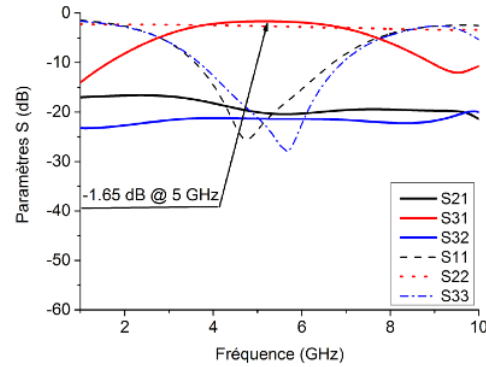


Figure 3. Simulations à l'état ON ($\rho = 0,5 \Omega \cdot \text{cm}$).

3.b. Fabrication

La fabrication du commutateur SPDT était basée sur les étapes classiques de fabrication des composants semi-conducteurs, avec seulement deux masques (Figure 6), un masque pour la métallisation et un masque pour le dopage N^+ de la face supérieure. La couche de dopage au phosphore N^+ de $3 \mu\text{m}$ a été obtenue par une technique de dépôt sol-gel, avec un peu plus de 10^{19} atomes/ cm^3 en surface. Ensuite, la couche P^+ (près du plan de masse) a été obtenue par une technique d'implantation au Bore pour obtenir la même concentration et profondeur que pour la couche N^+ . Cette couche P^+ améliore le contact ohmique et diminue donc la résistivité dans les jonctions à l'état ON lorsque le signal se propage de la voie d'émission vers l'antenne.



Figure 6. Masques. (a) métallisation. (b) dopage.

3.c. Mesures

La Figure 7 présente une photographie du commutateur SPDT où un connecteur SMA a été placé sur chacun des ports afin de connecter un analyseur de réseau vectoriel R&S® ZVA 67 pour une mesure à trois ports. Ensuite, une calibration short open load through (SOLT) a été effectuée, ainsi les pertes liées aux connecteurs ne sont pas enlevées avec la calibration et sont donc ajoutées aux pertes du commutateur mesuré.

Tableau 2. Comparaison des performances entre des commutateurs SPDT issus de la littérature et celui proposé dans cet article.

Référence	Fréquence (GHz)	Pertes d'insertion (dB)	Isolation (dB)		Adaptation (dB)	Nombre de tension nécessaire	Tension de polarisation (V)
			S_{31}^S	S_{32}^S			
[1]	0.05 - 30	1.02	-	>45	>15	2	1.24 / -10.3
[2]	8 - 12	< 2.55	>10	>15	>10	2	3 / -3
[4]	0.5 - 3	0.33 @ 2.5 GHz	-	36.7	-	2	3 / 3
[5]	7.2 - 15	1.1	low	26 @ 10 GHz	>28	2	1.4 / 2.4
Ces travaux	5	0.9* / 2.38#	> 30* / > 30#	> 43* / > 49#	> 22* / > 17#	1	-2

S_{31}^S : Paramètre S entre le port d'entrée et de sortie ; S_{32}^S : Paramètre S entre les deux ports de sortie; *: RX-mode; #: TX-mode.

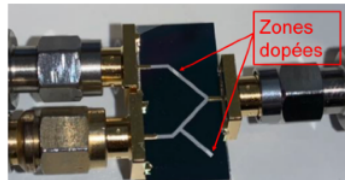


Figure 7. Photographie du switch SPDT.

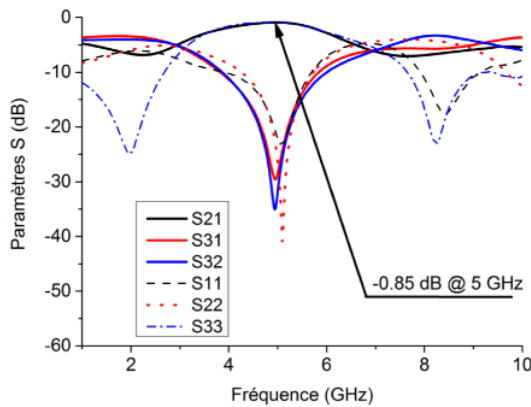


Figure 8. Résultats de mesures à l'état OFF (0 V).

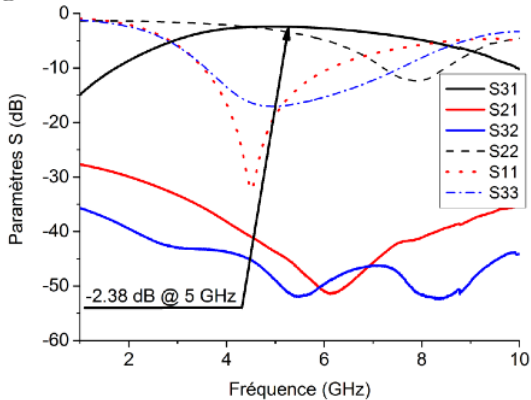


Figure 9. Résultats de mesures à l'état ON (-2 V).

La tension de polarisation DC est appliquée directement avec l'onde RF à l'aide d'une source de tension DC connectée au port 1 de l'analyseur de réseau.

A l'état OFF (Figure 8), sans tension de polarisation, les pertes d'insertion, S_{21} , entre les ports 1 (ANT) et 2 (réception) s'élèvent à 0.85 dB à 5 GHz. L'isolation entre les ports 2 et 3, entre les voies de réception et d'émission, est supérieure à 30 dB et le coefficient de réflexion au niveau des ports 1 et 2 est inférieur à -25 dB.

A l'état ON (Figure 9), avec une tension de polarisation de -2 V, les pertes d'insertion, S_{31} , entre les ports 1 (ANT) et 3 (émission) sont de 2,38 dB et l'isolation est supérieure à 43 dB. Le coefficient de réflexion au niveau des ports 1 et 3 est inférieur à -16 dB.

3.d. Comparaison simulations / mesures

Les Figures 10 et 11 montrent une comparaison entre simulation et mesure du commutateur SPDT à l'état OFF et à l'état ON. Dans les deux états, il y a globalement une très bonne adéquation entre simulation et mesure. A l'état OFF, les pertes d'insertion mesurées sont supérieures de 0,45 dB par rapport à la simulation, ce qui correspond aux approximations sur la résistivité du substrat (donnée fabricant entre 500 Ω .cm et 10 k Ω .cm), aux pertes des connecteurs et aux gaps d'air entre les connecteurs et le composant (les connecteurs ne sont pas soudés au composant). A l'état ON, les pertes d'insertion mesurées sont supérieures de 0,73 dB par rapport à la simulation, en raison des approximations faites sur la résistivité et la forme de la zone dopée à l'état ON (en plus des causes mentionnées à l'état OFF). En effet, la zone dopée est approximée par un parallélogramme rectangle de résistivité uniforme dans toute l'épaisseur du substrat.

3.e. Discussion

Le Tableau 2 présente une comparaison des performances des commutateurs issus de la littérature (choisis dans les mêmes gammes de fréquences) et celui présenté dans cet article. Le commutateur présenté ici, offre des performances similaires à ceux de l'état de l'art mais une seule tension de polarisation est nécessaire avec un niveau plus faible.

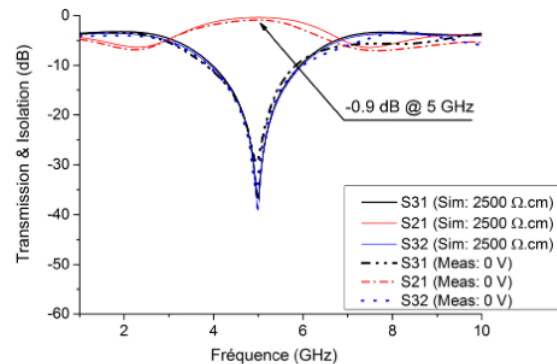


Figure 10. Comparaison simulation / mesure à l'état OFF des paramètres en transmission et isolation.

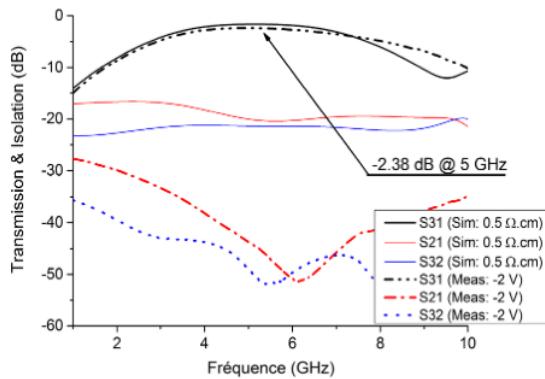


Figure 11. Comparaison simulation / mesure à l'état ON des paramètres en transmission et isolation.

4. Conclusion

Cet article propose un switch SPDT à 5 GHz dont les éléments d'accord sont des jonctions semi-conductrices intégrées dans un substrat silicium. Les éléments actifs et passifs ont ainsi été conçus en même temps. Ainsi, la position, la dimension et la forme des zones dopées sont des degrés de liberté qui offrent une flexibilité en termes de dessin et de réalisation. Cette méthode de conception permet de s'affranchir des composants actifs classiques et permet ainsi une meilleure intégration. De plus, ce commutateur présente de bonnes performances dans les deux états de fonctionnement, même si une membrane (un amincissement du substrat) sous la zone dopée permettrait de diminuer les pertes à l'état ON.

5. Remerciements

Les auteurs remercient les plateformes TECHYP (cluster de calcul du Lab-STICC) et CERTeM, le réseau RENATECH et le ministère de l'enseignement supérieur et de la recherche ainsi que la région Bretagne, à travers le projet CPER SOPHIE / STIC & Ondes.

Références

- [1] K. W. Kobayashi, L. Tran, A. K. Oki, and D. C. Streit, "A 50 MHz-30 GHz broadband co-planar waveguide SPDT PIN diode switch with 45-dB isolation," *IEEE Microw. Guid. Wave Lett.*, vol. 5, no. 2, pp. 56–58, 1995.
- [2] I. Lim and S. Lim, "Substrate-Integrated-Waveguide (SIW) Single-Pole-Double-Throw (SPDT) Switch for X-Band Applications," *IEEE Microw. Wirel. Components Lett.*, vol. 24, no. 8, pp. 536–538, Aug. 2014.
- [3] S. Tolunay Wipf, A. Goritz, M. Wietstruck, C. Wipf, B. Tillack, and M. Kaynak, "D-Band RF-MEMS SPDT Switch in a 0.13 μm SiGe BiCMOS Technology," *IEEE Microw. Wirel. Components Lett.*, vol. 26, no. 12, pp. 1002–1004, Dec. 2016.
- [4] Y. C. Wu, E. Y. Chang, Y. C. Lin, H. T. Hsu, S. H. Chen, W. C. Wu, L. H. Chu, and C. Y. Chang, "SPDT GaAs Switches With Copper Metallized Interconnects," *IEEE Microw. Wirel. Components Lett.*, vol. 17, no. 2, pp. 133–135, Feb. 2007.
- [5] H. Hojo and T. Ishizaki, "Discrete-type 24GHz SPDT FET switch for millimeter-wave WiCoPT," in *IEEE*

International Meeting for Future of Electron Devices, Kansai (IMFEDK), 2015, pp. 124–125.

[6] A. Yaman et al., "The design and analysis of PIN diode SPDT Switch and feeding circuit for Security Purpose Pulse Doppler Radar," in *6th International Conference on Recent Advances in Space Technologies (RAST)*, 2013, pp. 207–211.

[7] R. Allanic et al., "A Novel Approach to Co-Design microwave Devices with Distributed Switches," in *IEEE Asia Pacific Microwave Conf. (APMC)*, 2016.

[8] R. Allanic et al., "Three-State Microwave Tunable Resonator Integrating Several Active Elements on Silicon Technology in a Global Design," *IEEE Microw. Wirel. Components Lett.*, vol. 28, no. 2, pp. 141–143, 2018.

[9] R. Allanic et al., "Continuously Tunable Resonator Using a Novel Triangular Doped Area on a Silicon Substrate," *IEEE Microw. Wirel. Components Lett.*, vol. 28, no. 12, pp. 1095–1097, 2018.