



Processeur sécurisé et reconfigurable utilisant des technologies émergentes

Cédric Marchand

► To cite this version:

Cédric Marchand. Processeur sécurisé et reconfigurable utilisant des technologies émergentes. Workshop interdisciplinaire sur la sécurité globale (WISG), Jan 2022, Bordeaux, France. hal-03549070

HAL Id: hal-03549070

<https://hal.science/hal-03549070>

Submitted on 31 Jan 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

SECure and Reconfigurable processor using Emerging Technology

SECRET

anr ©
agence nationale
de la recherche

Appel : ANR

Année : 2020

Instrument : JcJc

Contact : cedric.marchand@ec-lyon.fr



COORDINATEUR : Cédric Marchand PARTENAIRES : INL

Résumé :

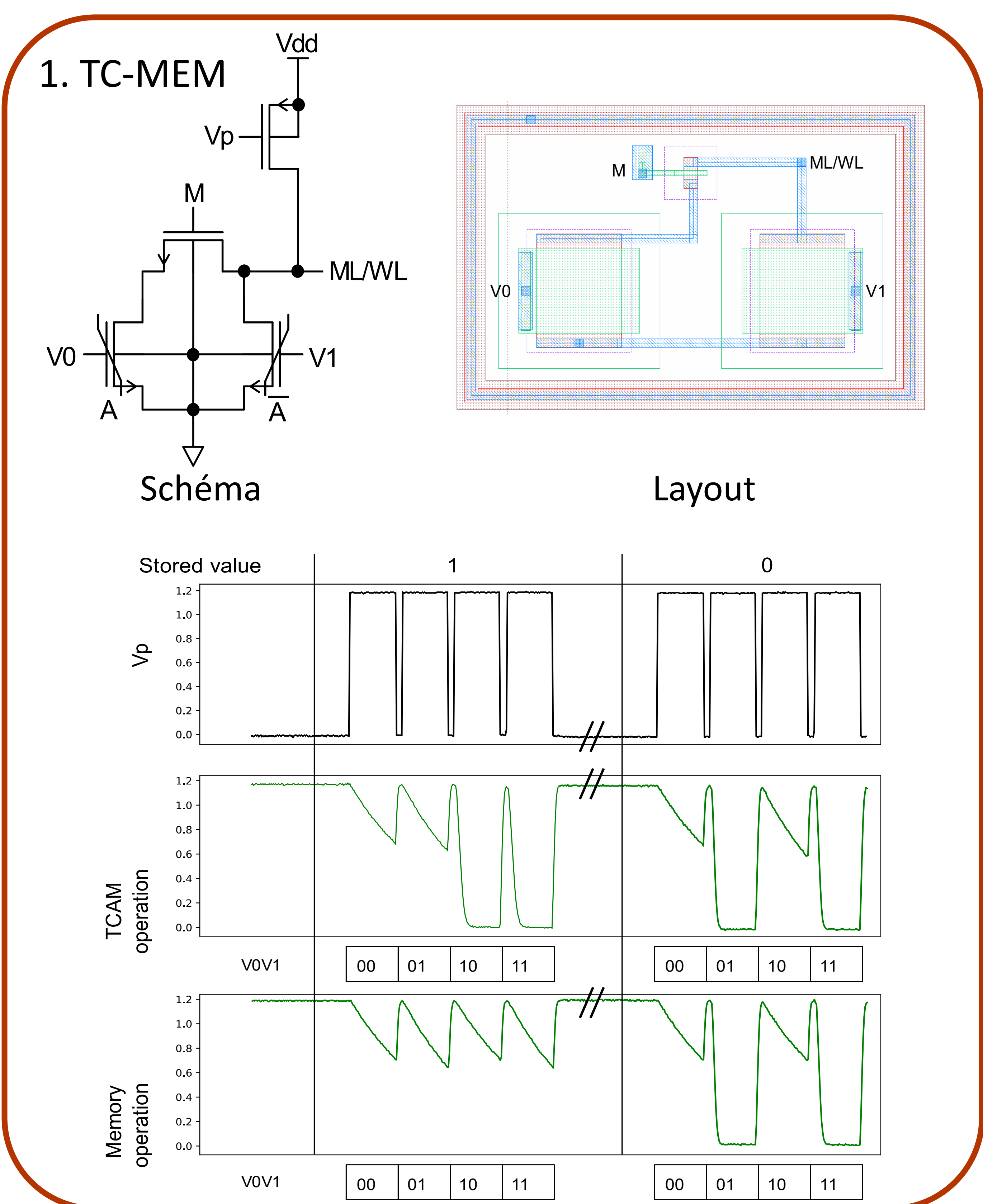
SECRET vise à réduire le coût énergétique des calculs cryptographiques au cœur des nœuds de capteurs pour l'Internet des Objets en proposant des opérateurs non-volatile et reconfigurables intégrées au cœur des processeurs.

CONTEXTE ET OBJECTIFS

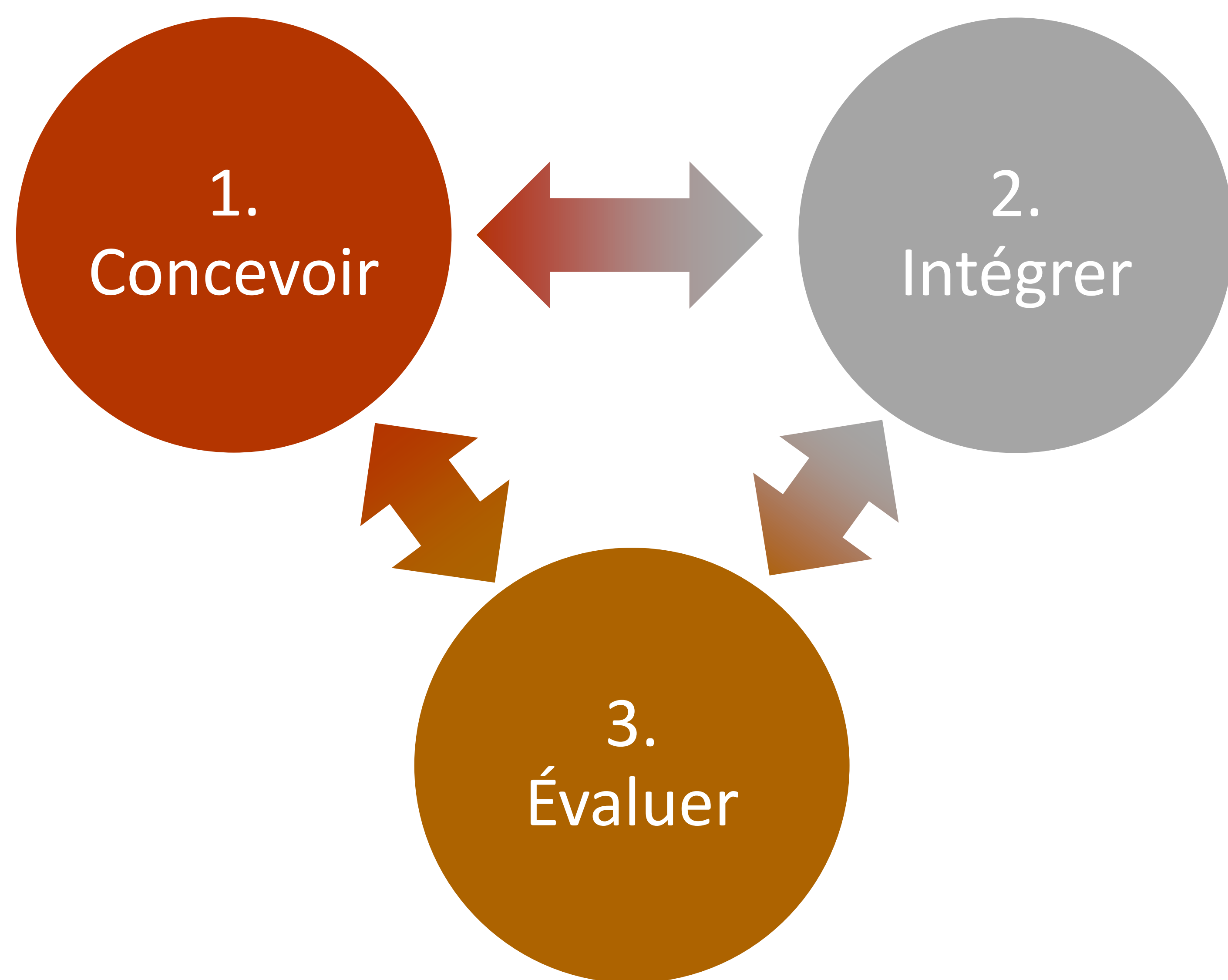
Dans un monde toujours plus connecté et dans lequel toujours plus de données sont collectées et traitées, il est indispensable de renforcer la sécurité de ces données au plus proche de leur captation. Pour cela, il est nécessaire de repenser la manière et le lieu des calculs cryptographiques dans les architectures connectées afin réduire leur coût (en silicium et énergétique) mais aussi de participer à l'augmentation de la durée de vie des objets connectés.

SECRET a pour objectif d'embarquer des opérateurs reconfigurables dédiés à la sécurité dans un processeur visant des applications de type Internet des objets. Ces opérateurs seront conçus grâce à la technologie émergentes ferroélectriques

Résultats



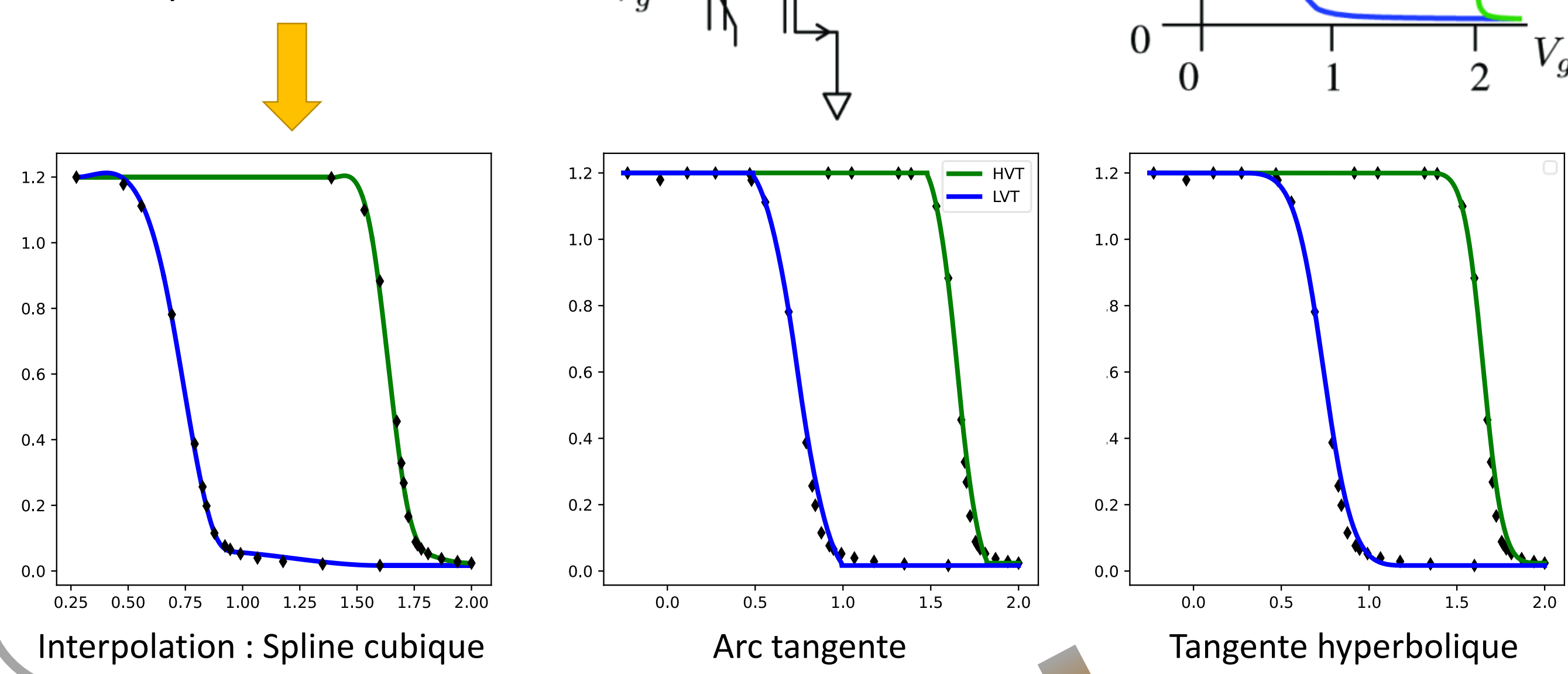
MÉTHODOLOGIE



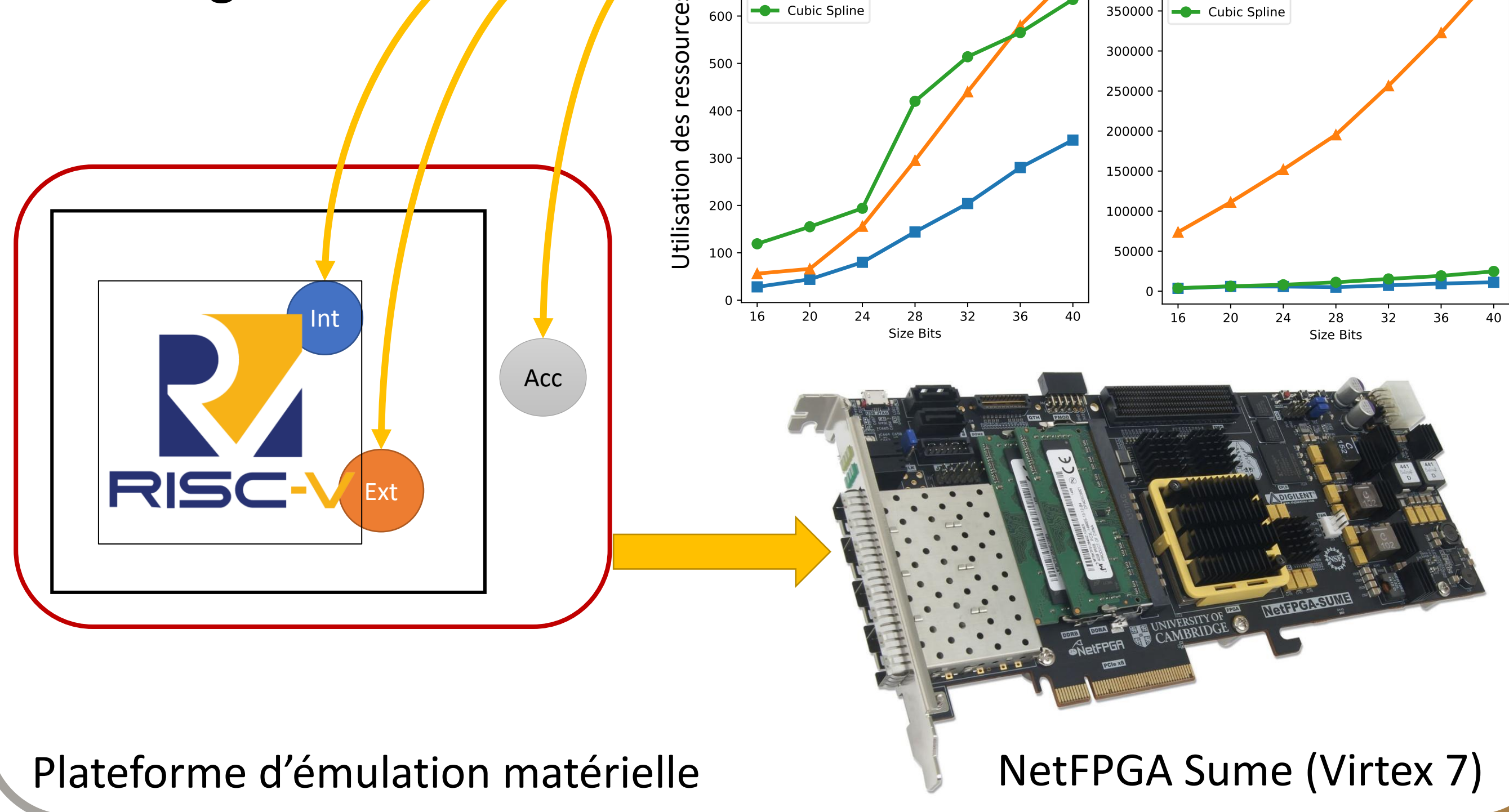
2.A Émulation de FeFET

Simulation Cadence

Implantation FPGA



2.B Intégration



Publications:

- C. Marchand, I. O'Connor, M. Cantan, E. T. Breyer, S. Slesazek, T. Mikolajick. **FeFET based Logic-in-Memory: an overview.** In the proceedings of DTIS 2021, June 2021, online event, Apulia, Italy. doi : [10.1109/DTIS53253.2021.9505078](https://doi.org/10.1109/DTIS53253.2021.9505078) (vidéo)
- A. Bosio, M. Cantan, C. Marchand, et al. **Emerging Technologies: Challenges and Opportunities for Logic Synthesis.** In proceedings of DDECS 2021, online event, Vienna, Austria. doi : [10.1109/DDECS52668.2021.9417062](https://doi.org/10.1109/DDECS52668.2021.9417062) (pdf)