HAL
open science

Transistors Haute Tension de type MOSFET et MESFET en diamant pour l'électronique de puissance

Cédric Masante, Khaled Driche, Thanh-Toan Pham, Hitoshi Umezawa, Gaetan Perez, Julien Pernot, Nicolas C. Rouger, Toshiharu Makino, David Eon, Gauthier Chicot, et al.

To cite this version:

Cédric Masante, Khaled Driche, Thanh-Toan Pham, Hitoshi Umezawa, Gaetan Perez, et al.. Transistors Haute Tension de type MOSFET et MESFET en diamant pour l'électronique de puissance. Symposium de Génie Electrique, Université de Lorraine [UL], Jul 2018, Nancy, France. hal-02981917

HAL Id: hal-02981917

https://hal.science/hal-02981917v1

Submitted on 28 Oct 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Transistors Haute Tension de type MOSFET et MESFET en diamant pour l'électronique de puissance

C. Masante[1], K. Driche[1,2,3], T.T. Pham[1], H. Umezawa[1,4], N. Rouger[6], D. Eon[1], G. Chicot[1], G. Perez[1], T. Makino[3], M. Ogura[3], H. Okumura[2,3], E. Gheeraert[1,2] et J. Pernot[1]

[1]*Univ. Grenoble Alpes, CNRS, Grenoble INP*, Institut Néel, G2Elab, 38000 Grenoble, France*
[2]*Graduate School of Pure and Applied Science, University of Tsukuba, 305-8577 Tsukuba, Japan*
[3]*Advanced Power Electronics Research Center (ADPERC), National Institute of Advanced Industrial Science and Technology (AIST), 563-8550 Tsukuba, Japan*
[4]*ADPERC, AIST, 563-8577 Osaka, Japan*
[6]*LAPLACE, Université de Toulouse, CNRS, F-31071 Toulouse, France*
**Institute of Engineering Univ. Grenoble Alpes*

RESUME – Dans cet article, nous présentons deux types de transistors à effet de champ permettant d'exploiter pleinement les caractéristiques du diamant monocristallin pour l'électronique de puissance. Les transistors fonctionnent en régime de déplétion. La polarisation d'une grille Schottky (MESFET) ou isolée (MOSFET) permet l'obtention de l'état bloqué ou passant des transistors. L'intérêt de ces structures est d'obtenir une conduction « volumique » dans le diamant, tirant bénéfice de la haute mobilité des porteurs (état passant) et de la tenue diélectrique (état bloqué) du diamant. Deux preuves de concept expérimentales sont présentées : MESFET à tenue en tension supérieure à 2kV et faible résistance, et MOSFET à tenue en tension supérieure à 200V avec haute mobilité et faibles fuites.

Mots-clés—Diamant, transistors de puissance, MESFET, MOSFET.

1. INTRODUCTION

Les semi-conducteurs à grands gaps sont des candidats prometteurs pour les futures applications d'électronique de puissance. Parmi ces semi-conducteurs, le diamant attire l'attention du fait de son champ de claquage très élevé (8-20MV/cm), de la bonne mobilité des porteurs (>1000 cm²/V.s) et de sa forte conductivité thermique. Plusieurs solutions de transistors en diamant ont été proposées dans la littérature [1-3]. Des transistors en diamant ayant une tenue en tension au-delà de 2kV ont pu être démontrés [4]. Cependant, ces architectures sont basées principalement sur une conduction surfacique, le diamant n'étant alors qu'un support à la création d'un gaz de trous bidimensionnel (2DHG). La mobilité des porteurs dans ce 2DHG est limitée (de l'ordre de la centaine de $cm^2.V^{-1}.s^{-1}$), et le contrôle combiné de la tension de seuil et de la densité de porteur surfacique est difficile. Des composants MOSFETs et MESFETs se basant sur une conduction de volume dans le diamant sont proposés. Avec pour objectif la démonstration de la pertinence, sur des structures latérales simples, des propriétés du diamant dans la réalisation de transistors performants pour l'électronique de puissance.

2. PRINCIPE DU MOSFET ET DU MESFET

2.1. Principe du FET à déplétion sur diamant dopé Bore à surface oxygéné

A partir d'un substrat monocristallin de diamant (100) type Ib (type n, impuretés azotes), une couche de type p (dopée bore) est créée par épitaxie (MPCVD). Cette couche servira à la circulation latérale d'un courant entre deux contacts Ohmiques (Drain et Source), dans toute l'épaisseur de cette région. Entre le Drain et la Source, un contact de Grille est déposé, qui, sous l'effet d'une polarisation positive, permet un contrôle des charges électrostatiques dans la couche de diamant de type p. Le transistor est normalement passant. Lorsque la tension de polarisation atteint la tension seuil, la zone de déplétion s'étend jusqu'au substrat isolant, fermant ainsi tout chemin de conduction entre le Drain et la Source. Dans le cas du diamant, la stabilité du régime de déplétion profonde, i.e. pour des tensions de grille supérieures à la tension de seuil d'inversion, est assuré par le temps caractéristique de génération de porteurs minoritaires extrêmement long ($>10^{30}$s pour le diamant, de l'ordre de 1s pour le silicium), y compris à haute température [5]. On observe ainsi une extension du régime de déplétion appelée déplétion profonde qui permet l'utilisation d'épaisseurs de couches de diamant type p plus grandes qu'en simple déplétion et de polarisations de grille plus élevées, réduisant la résistance du composant. Deux possibilités sont étudiées pour concevoir cette Grille, dans le cas du MESFET il s'agit d'un contact Schottky. Dans l'autre cas, celui du MOSFET, on utilise une capacité MOS.

Compte tenu de l'utilisation d'une conduction par le volume, il est important de prendre en compte les énergies d'ionisation des dopants (380meV pour le Bore, type p et 570meV pour le Phosphore, type n). Comme illustré par la figure 1, le taux d'ionisation des dopants à température ambiante est faible. Dans le cas présenté, une température de fonctionnement de 450K induit une baisse d'environ un ordre de grandeur de la résistivité par rapport à 300K, en dépit de la diminution de la mobilité. La

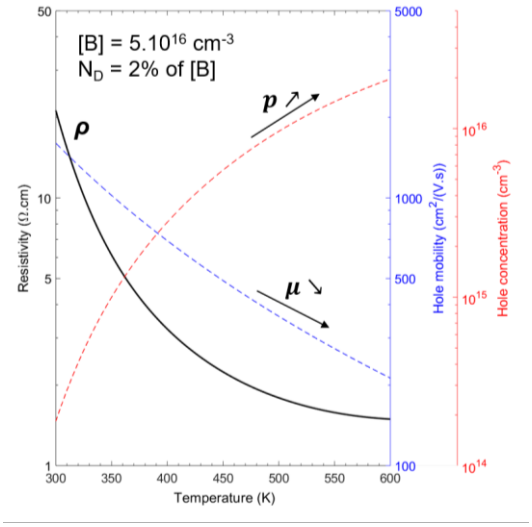

Fig. 1. Variation de la résistivité du diamant type p en fonction de la température. La concentration de Bore est fixée à $5x10^{16}cm^{-3}$ et la compensation à 2%. L'évolution de la concentration de trous ainsi que de la mobilité, en utilisant le modèle de P.-N. Volpe et. al [6], sont également représentées.

température idéale de fonctionnement dépend des caractéristiques de dopage, mais peut être situé autour de 500K.

2.2. *Metal-Oxyde-Semiconducteur FET (MOSFET)*

Tab 1. Tableau récapitulatif des échantillons MOSFET caractérisés

Echantillon	Dopage (cm^{-3})	Epaisseur couche p (nm)	Epaisseur d'oxyde (nm)	Recuit	p++ sélective
#1	2.10^{17}	230	20	Non	Non
#2	5.10^{16}	510	40	500°C 30min	Non
#3	5.10^{16}	400	40	500°C 30min	Oui

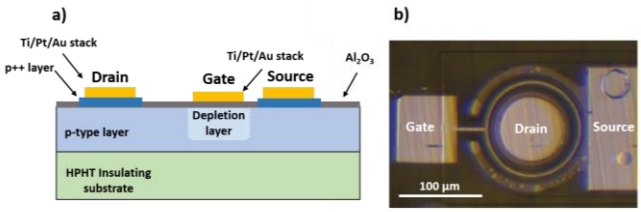

Fig. 2. a) Vue schématique en coupe d'un MOSFET de l'échantillon 3, le courant électrique circule dans le volume du diamant entre le Drain et la Source et le zone de déplétion module la résistance du canal. b) Vue du dessus d'un MOSFET circulaire de l'échantillon 3.

L'empilement MOS est fabriqué en déposant une couche d'Alumine à 380°C par ALD (Atomic Layer Deposition) sur une couche de diamant dopé au Bore. La surface du diamant a été préalablement oxygénée par un traitement UV sous ozone, pour limiter les états d'interface avec l'oxyde et supprimer le gaz de trous présent lorsque la surface est hydrogénée. Un recuit de 30 minutes à 500°C est ensuite utilisé pour réduire le courant de fuite [7]. Le métal de grille est composé d'un empilement de Titane, Platine et Or, identique à celui utilisé pour les contacts de Drain et Source. Trois échantillons ont été fabriqués, avec un dopage ciblé de $2x10^{17}cm^{-3}$, $5x10^{16}cm^{-3}$ et $5x10^{16}cm^{-3}$ respectivement, dont les caractéristiques sont listées dans le Tableau 1. La modification du dopage de la couche p permet d'adapter le compromis entre densité de courant et tenue en tension, ainsi que d'analyser la maîtrise de la tension de seuil. L'échantillon 3, dont la structure est schématisée dans la Fig. 2, présente la particularité d'avoir en plus une couche fortement dopée type p ($>5x10^{20}cm^{-3}$) sous les contacts métalliques de Drain et Source pour limiter la résistance de contact et supprimer l'effet de la barrière Schottky observée précédemment dans les échantillons 1 et 2. Les échantillons 1 et 2 permettent néanmoins d'analyser les caractéristiques du contrôle des charges électrostatiques par la polarisation de la capacité MOS, ainsi que les performances de tenue en tension. Ces deux échantillons présentent aussi l'avantage d'un procédé de fabrication simplifié (étapes et nombres de masques réduits), permettant une démonstration expérimentale relativement plus aisée.

2.3. *Métal-Semiconducteur FET (MESFET)*

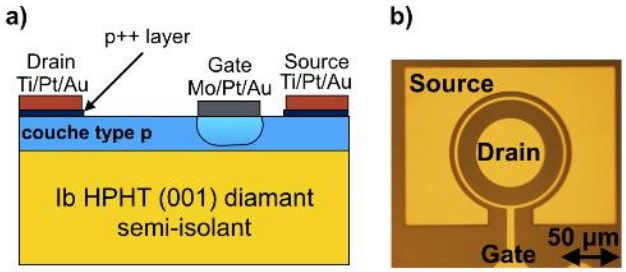

Fig. 3. a) Vue schématique en coupe des transistors MESFET fabriqué et b) vue du dessus d'un MESFET. L'architecture circulaire a été choisie.

Dans cette architecture, la zone de déplétion est contrôlée par un contact Schottky (contact molybdène/diamant) avec une polarisation V_{GS} positive. Sous les contacts Ohmiques, une croissance sélective de couche fortement dopée type p permet la réduction de résistance de contact, comme représenté dans la Fig. 3 a). En comparaison du MOSFET, cette structure est plus simple (absence de l'oxyde et des défauts associés), mais nécessite un dopage faible de la couche type p ($<10^{16}$ cm^{-3}) pour éviter le courant de fuite à travers la Grille lié à la haute polarisation nécessaire pour fermer le canal dans le cas des dopages élevés. Le dopage de la couche type p du MESFET fabriqué est de 8.10^{15} cm^{-3} pour une épaisseur de 1.5 µm, déterminée par spectrométrie de masse à ionisation secondaire. La Fig. 3 b) est la vue du dessus d'un des MESFETs fabriqués.

3. CARACTERISATION ELECTRIQUE DES FET A DEPLETION

3.1. *Caractérisation des transistors MOSFET*

Les Fig. 4 a), b) et c) présentent le courant de Drain, normalisé par la longueur de Grille, en fonction de la polarisation de Drain et de Grille des MOSFETs. Pour les trois échantillons, il est démontré que la polarisation de Grille permet de moduler la conduction entre Drain et Source. En lien avec les propriétés de la capacité MOS présentée plus bas, seul l'échantillon 1 permet d'obtenir un état passant et un état bloqué, la tension de seuil étant autour de +7V (composant normalement passant). Les échantillons 2 et 3 permettent des niveaux de courant plus élevés, mais l'état bloqué n'est pas atteint à V_{GS}=18V (échantillon 2) et V_{GS}=40V, des tensions supérieures causent l'apparition d'un courant de fuite et une détérioration de l'oxyde de grille d'épaisseur 40 nm. Il s'agit dans un cas d'une épaisseur de canal trop importante (échantillon 2) et dans l'autre d'un dopage réel plus élevé que ciblé (échantillon 3). La mobilité des porteurs (trous) dans le canal de l'échantillon 1 a été extraite à partir de la zone linéaire et estimée au-delà de 1000 $cm.V^{-1}.s^{-1}$, ce qui est parmi les plus élevées dans le diamant en comparaison d'autres architectures utilisant une conduction de surface (entre 50 et 150 $cm^2.V^{-1}.s^{-1}$). Le niveau de courant est limité par les résistances de contact dans le cas de l'échantillon 1 (<2µA/mm), tandis qu'une barrière Schottky affecte fortement la caractéristique I-V des transistors de l'échantillon 2. On mesure

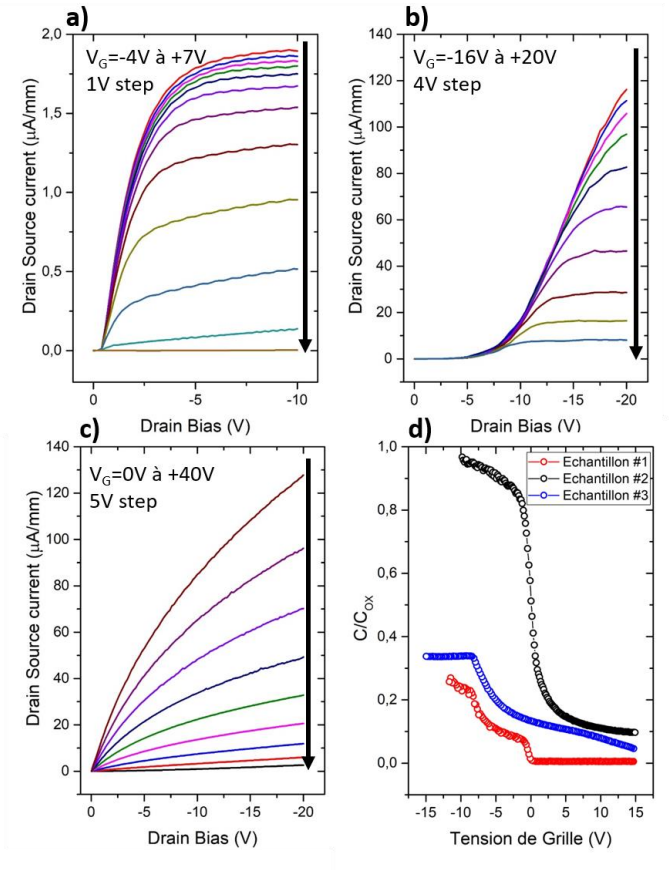

Fig. 4. (a-b-c) Caractéristique Id=f(Vd,Vg) pour un transistor MOSFET de l'échantillon 1 (a), 2 (b) et 3 (c). (d) Caractéristiques capacité-tension mesurées sur une structure test MOSCap de l'échantillon 1 (rouge), 2 (noir) et 3 (bleu).

cependant sur ce dernier des niveaux de courant maximums qui correspondent à ceux attendu à température ambiante, étant donné ses caractéristiques (>100 µA/mm). Le procédé de fabrication sur ces deux échantillons ayant été simplifié afin d'avoir une première preuve de concept, un troisième a été fabriqué dans le but d'améliorer ces facteurs limitant. L'addition d'une couche de diamant fortement dopée type p sous les contacts de Drain et Source, par croissance sélective, a permis d'obtenir les caractéristiques ohmiques souhaitées en plus d'améliorer le niveau de courant. En revanche, sur cet échantillon, on constate un effet parasite attribué à l'interface entre le substrat et la couche homoépitaxiée type p. Il se manifeste par une asymétrie de la caractéristique I-V dans le cas où la grille est flottante, avec une non reproductibilité des mesures sur des échelles de temps supérieures à plusieurs minutes. Des effets similaires ont été observés sur des composants SiC [8]. En particulier, les composants sont sensibles à l'exposition à de la lumière et à une polarisation face arrière du substrat.

La Fig. 4 (d) présente les caractéristiques de capacité obtenues sur des structures de test MOS pour les 3 échantillons. L'échantillon 2 présente une caractéristique proche d'idéale dans la gamme -10V à +15V, sans courant de fuite et permettant le contrôle électrostatique en régime d'accumulation, de déplétion et de déplétion profonde. Ce contrôle idéal n'est pas observé dans les échantillons 1 et 3 qui présentent un ancrage du niveau de Fermi lié à la présence d'une forte densité d'états à l'interface entre le diamant et l'oxyde. Il est nécessaire d'optimiser le procédé de dépôt par ALD afin d'obtenir les caractéristiques idéales de manières consistantes. En particulier, la compréhension du processus d'ALD est peu étudiée sur le

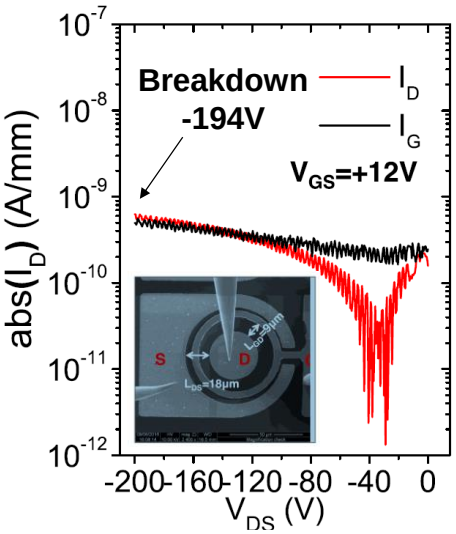

Fig. 5. Caractérisation de la tenue en tension d'un transistor de l'échantillon 1. Le claquage, à -194V, apparait à la 5ème mesure de VDS = 0V à -200V.

Carbone. Dans le cas de l'échantillon 2, l'obtention d'un régime d'accumulation peut permettre de réduire la résistance de la zone de canal sous la grille, bien que la longueur de canal soit apriori réduite par rapport à la distance nécessaire à la tenue en tension entre la grille et le drain. Comme dans tous les composants en diamant à conduction volumique, l'augmentation de la température permet une amélioration du niveau de courant à l'état passant et la réduction de la résistance à l'état passant, d'un facteur maximum de 10 par rapport à une température de 25°C, là où les autres matériaux voient leur conductivité diminuer avec la température.

La Fig. 5 présente la caractérisation de la tenue en tension de l'échantillon 1, sur une variante de MOSFET circulaire. Le claquage a été mesuré à -194V à la cinquième mesure, les précédentes dépassant la tension maximale de l'appareil de mesure (200V). Un dopage effectif de 1.75×10^{17} cm^{-3} a été déterminé par des mesures capacité-tension, donnant une estimation d'un pic de champ électrique de 4MV.cm^{-1} dans le diamant au bord de la Grille vers le Drain. Cette valeur a été déterminée avec une simulation par éléments finis dont les résultats sont illustrés dans le Fig. 6. Cette caractérisation démontre clairement qu'il est possible de réaliser un transistor en diamant haute tension, malgré un dopage de la zone de tenue en tension très élevé. En effet et dans le cas d'un composant en Silicium du même niveau de dopage, la tenue en tension serait au mieux de l'ordre de 10 Volts. Il est par ailleurs à noter que nos composants en diamant ne disposent pas d'électrode de champ et que leur structure latérale est alors préjudiciable pour la tenue en tension. Ainsi, avec un niveau de dopage identique et toujours très élevé (> 10^{17} cm^{-3}), la tenue en tension pourrait être repoussée entre 200V et 1000V. D'autre part, les courants de fuite de drain et de grille sont faibles (<1nA.mm^{-1}), le ratio entre le courant de drain bloqué et passant est supérieur à 10^3. Ces résultats sont très encourageants pour une première preuve de concept expérimentale, et pour l'évolution vers les applications en électronique de puissance.

3.2. Caractérisation des transistors MESFET

Plusieurs transistors MESFET ont été fabriqués et caractérisés sur un échantillon. D'un transistor à l'autre la longueur de Grille L_G varie de 10µm à 30µm et la distance séparant la Grille du Drain varie de 20µm à 50µm. La modulation du courant entre le Drain et la Source sous l'effet

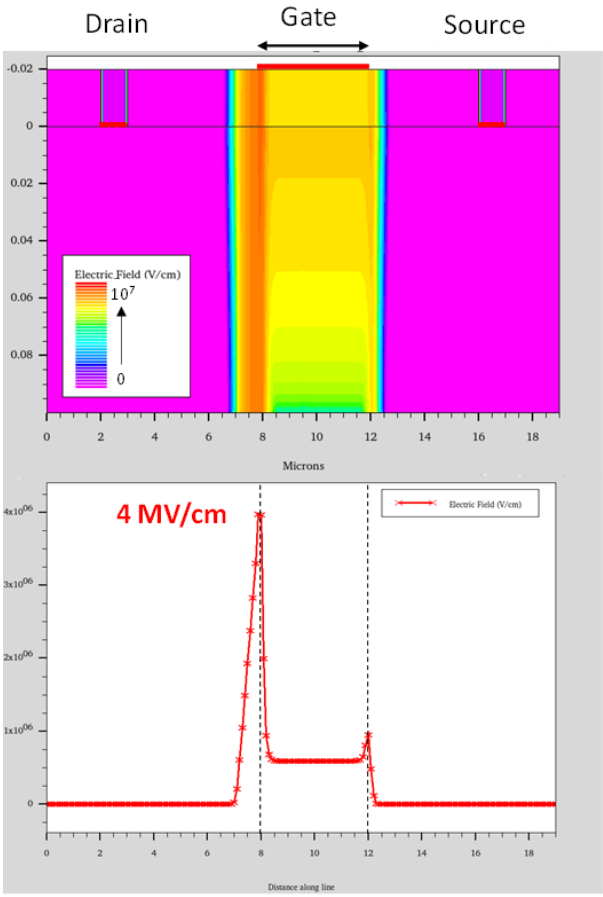

Fig. 6. Simuluation par éléments finis de la distribution du champ électrique dans le transisotr MOSFET caractérisé dans la Fig. 5 pour une tension de Drain de -200V. La courbe au dessous est une coupe horizontale du champ à l'interface diamant/oxyde.

d'une polarisation de Grille a été observée pour chaque transistor MESFET. La Fig. 7, qui est la densité de courant en fonction de la polarisation de Drain pour différentes polarisations de Grille, renvoie le meilleur résultat obtenu en terme de densité de courant et de résistance. Une densité de courant maximale de -0.067mA.mm^{-1} à 40V et température ambiante, et une résistance spécifique $R_{ON}S$ minimale de 4.2kΩ.cm a été déterminée pour le transistor ayant la plus courte longueur de Grille (L_G = 10µm) et la plus courte distance Grille – Drain (L_{GD} = 20µm) à l'état passant (V_{GS} = 0V). L'effet de canal court est nettement observable au vu de la croissance constante de la densité de courant dans la zone de saturation. L'état bloqué pour le transistor mentionné au-dessus est atteint à V_{GS}=8V. D'un trait général, la résistance spécifique croît et la densité de courant maximale décroît avec la longueur de Grille L_G et la distance Grille – Drain L_{GD}. En revanche, la tenue en tension dans l'état bloqué est plus importante pour la plus grande longueur de Grille (L_G = 30µm) et la plus grande distance Grille – Drain (L_{GD} = 50µm). La tension de claquage obtenue (Fig. 8), la plus haute valeur à ce jour jamais reportée, est de 2288V pour un dopage de 8.10^{15} cm^{-3}. Une polarisation de 30V a été appliqué à la Grille dans le but de réduire les éventuels courants de fuite pouvant se produire au niveau de la Grille. Le champ électrique latéral a été estimé à 0.46MV.cm^{-1}, ce qui reste bas par rapport au potentiel du diamant. La déplétion latérale de la grille vers le drain à l'état bloqué, pourrait être une des causes du claquage prématuré. En effet, pour un canal fermé, lorsque la tension aux bornes du drain augmente, la déplétion latérale augmente également [9]. Une architecture pour limiter la déplétion latérale doit être pensée. Néanmoins, ces premiers résultats sont déjà encourageants.

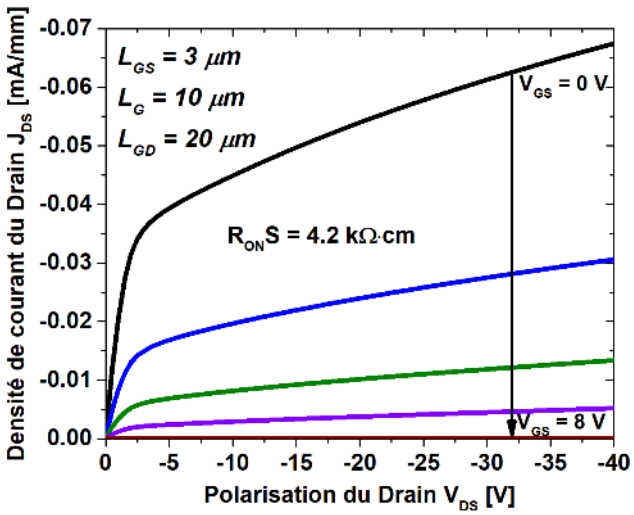

Fig. 7. Caractéristiques de densité de courant de drain en fonction de la polarisation de drain pour différentes polarisation de grille pour le transistor MESFET.

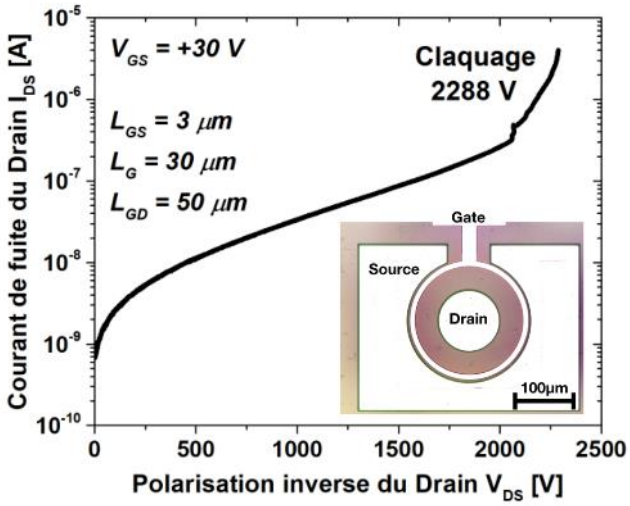

Fig. 8. Caractéristiques de la tenue en tension d'un transistor MESFET. La photo visible est celle du transistor ayant la plus haute tenue de tension. Les mesures ont été effectués sous vide at à température ambiante.

4. Conclusions

Le fonctionnement des architectures MOSFET et MESFET unipolaires à déplétion sur diamant dopé Bore a été démontré expérimentalement, ainsi que la possibilité d'obtenir des tensions de claquages élevées. Etant donné la valeur élevée de l'énergie d'activation du bore dans le diamant (0.38eV), seule une faible proportion des dopants est activée à température ambiante. Celle-ci est dépendante du dopage, mais elle se situe autour de 1% en général à 300K. En conséquence les applications possibles de ces composants impliquent une température de fonctionnement idéale dans la gamme de température 400K-500K. Il convient donc de caractériser, dans de futurs travaux, dans cette gamme de température. Ces prototypes reposent également sur une structure très simple, qu'il faut désormais envisager d'améliorer pour explorer les performances réelles du concept.

5. Remerciements

Ces études ont été soutenues par le Laboratoire d'Excellence LANEF à Grenoble (ANR-10-LABX-51–01) pour l'étude du transistor MESFET, le ministère de la recherche et de l'enseignement supérieur pour le financement de la thèse portant sur le MOSFET, le projet H2020 Greendiamond pour la

caractérisation du MOSFET, ainsi que la start-up Diamfab pour l'indiscutable qualité des couches épitaxiées de diamant. Nous remercions également l'équipe de Institut NEEL/Nanofab ainsi que l'équipe technique AIST/ADPERC pour son assistance dans la fabrication des composants.

6. REFERENCES

[1] H. Kawarada *et al*, « Diamond MOSFETs using 2D hole gas with 1700V breakdown voltage », in Power Semiconductor Devices and ICs (ISPSD), 2016 28th International Symposium on, 2016, p. 483–486.

[2] T. Matsumoto *et al*, « Inversion channel diamond metal-oxide-semiconductor field-effect transistor with normally off characteristics », Scientific Reports, vol. 6, nº 1, oct. 2016.

[3] H. Umezawa *et al*, «Diamond Metal-Semiconductor Field-Effect Transistor With Breakdown Voltage Over 1.5 kV », IEEE Electron Device Lett. 35 (2014) 1112–1114.

[4] Kitabayashi *et al*, « Normally-Off C–H Diamond MOSFETs With Partial C–O Channel Achieving 2-kV Breakdown Voltage », IEEE Electron Device Letters, vol. 38, nº 3, p. 363-366, mars 2017.

[5] T. T. Pham *et al.*, 'Deep depletion concept for diamond MOSFET', *Applied Physics Letters*, vol. 111, no. 17, p. 173503, Oct. 2017.

[6] P.-N. Volpe *et al.*, Applied Physics Letters, vol. 94, no. 9, p. 092102, Mar. 2009.

[7] T. T. Pham *et al.*, 'High quality Al_2O_3 /(100) oxygen-terminated diamond interface for MOSFETs fabrication', *Applied Physics Letters*, vol. 112, no. 10, p. 102103, Mar. 2018.

[8] S. C. Binari *et al.*, 'Trapping Effects in GaN and SiC microwave FETs', IEEE MTT-S International Microwave Symposium Digest, vol. 3, no. 6, p. 1823-1826, juin 2002.

[9] K. Driche *et al.*, 'Electric field characterization of diamond metal semiconductor field effect transistors using electron beam induced current', Mater. Sci. Forum ICSCRM 2018 (to be buplished).