



**HAL**  
open science

# Méthode de caractérisation de transistors GaN pour la conception des convertisseurs statiques hautes fréquences

Loris Pace, N. Defrance, Arnaud Videt, Nadir Idir, Jean-Claude de Jaeger

► **To cite this version:**

Loris Pace, N. Defrance, Arnaud Videt, Nadir Idir, Jean-Claude de Jaeger. Méthode de caractérisation de transistors GaN pour la conception des convertisseurs statiques hautes fréquences. Symposium de Génie Electrique, Université de Lorraine [UL], Jul 2018, Nancy, France. hal-02981879

**HAL Id: hal-02981879**

**<https://hal.science/hal-02981879v1>**

Submitted on 28 Oct 2020

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Méthode de caractérisation de transistors GaN pour la conception des convertisseurs statiques hautes fréquences

<sup>1,2</sup> Loris Pace, <sup>2</sup> Nicolas Defrance, <sup>1</sup> Arnaud Videt, <sup>1</sup> Nadir Idir, <sup>2</sup> Jean-Claude De Jaeger

<sup>1</sup> Univ. Lille, Arts et Metiers ParisTech, Centrale Lille, HEI, EA 2697

L2EP - Laboratoire d'Electrotechnique et d'Electronique de Puissance F-59000 Lille, France

<sup>2</sup> Institut d'Electronique, de Microélectronique et de Nanotechnologies (IEMN), UMR CNRS 8520, Lille, France

**RESUME** – Les composants de puissance à base de GaN présentent un fort potentiel pour le développement de convertisseurs statiques fonctionnant à hautes fréquences. Les principales propriétés de cette filière technologique conduisent à une réduction de la taille, du poids et du volume des convertisseurs d'énergie. La conception de ces convertisseurs hautes fréquences (HF) repose sur des simulations nécessitant des modèles de composants actifs très précis. Afin d'obtenir ces modèles, une phase de caractérisation est nécessaire. Ce travail présente une méthode de caractérisation des transistors de puissance GaN basée sur des mesures de paramètres S à l'aide de dispositifs d'adaptation sur circuit imprimé ainsi que sur des mesures en régime pulsé.

**Mots-clés**—transistors GaN, caractérisation, modélisation, paramètres S, mesures pulsées, convertisseurs statiques, hautes fréquences.

## 1 INTRODUCTION

Les transistors de puissance à base de nitrure de gallium (GaN) sont reconnus comme étant des candidats idéaux pour la conversion de puissance à des fréquences au-delà du mégahertz. Cependant, leurs commutations rapides (quelques nanosecondes) les rendent sensibles à leur environnement de fonctionnement. Ainsi, afin de simuler finement les commutations des transistors au sein des convertisseurs de puissance et correctement estimer les pertes, les concepteurs doivent pouvoir s'appuyer sur des modèles de composants précis et valides jusqu'à des fréquences élevées.

L'obtention de ces modèles repose sur une étape de caractérisation durant laquelle les éléments parasites intrinsèques au composant (résistances, inductances, capacités...) doivent être déterminés de façon précise afin de décrire au mieux les commutations. L'extraction des capacités parasites de transistors à l'aide d'analyseur d'impédance est une technique classique en électronique de puissance [1]. Cependant, cette technique peut devenir imprécise lorsque de faibles capacités inter-électrodes comme celles des transistors à grand gap (de l'ordre du picofarad, voire inférieure) doivent être mesurées. L'utilisation des paramètres S, mesurés par un analyseur de réseau (VNA), a montré son intérêt pour déterminer ces valeurs de capacités. Des caractérisations utilisant des mesures 2-port et des pinces d'injection de courant ont été proposées [2], [3]. Les résultats montrent des extractions pour des valeurs de capacités supérieures à la

dizaine de picofarads. Ces capacités dépendent des tensions inter-électrodes, tout comme les courants circulant dans le transistor. Ces éléments peuvent être modélisés par des équations non-linéaires basées sur la physique du composant si des données technologiques sont connues [4], [5]. Dans la plupart des cas, les données de fabrication ne sont pas communiquées et de ce fait la modélisation est faite à l'aide de modèles comportementaux comme présenté dans [6].

Dans ce papier, une méthodologie complète est présentée pour caractériser un transistor de puissance GaN encapsulé (GS66502B 650V/7.5A). Les mesures sont réalisées en configuration « boîte noire » et un modèle comportemental, basé sur le schéma équivalent présenté figure 1, est proposé. Les résistances d'accès et les capacités inter-électrodes sont obtenues (sections 3 et 4) à l'aide de mesures de paramètres S utilisant les dispositifs d'adaptation et les techniques de calibration brièvement présentées dans la section 2 et détaillées dans [7]. Les sources de courant non-linéaires du modèle sont obtenues à partir de mesures pulsées courant/tension, la caractérisation et la modélisation sont présentés dans la section 5. Une analyse de la robustesse du modèle est effectuée dans la section 6 par un test « Double Pulse ». Enfin, la section 7 présente la caractérisation thermique du composant à l'aide de mesures pulsées et un modèle thermique est proposé.

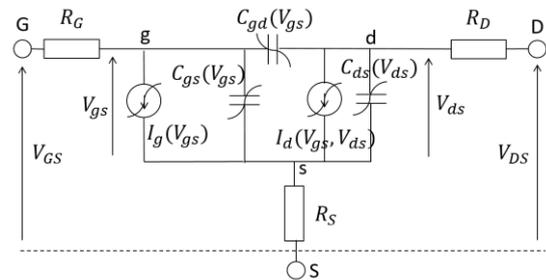


Fig. 1. Modèle électrique du transistor de puissance GaN

## 2 CALIBRATION POUR LA MESURE DE PARAMETRES S

L'utilisation des paramètres S est une technique très répandue pour la caractérisation des transistors fonctionnant en hyperfréquences, à des niveaux de tension et courant faibles en comparaison aux transistors de puissance. Le principe de la technique repose sur une mesure 2-port en considérant le transistor comme un quadripôle [8]. Les différents paramètres

de son circuit équivalent pour un point de polarisation ( $V_{GS}, V_{DS}$ ) donné sont ainsi déterminés. La caractérisation des transistors radiofréquences est le plus souvent réalisée directement sur wafer par l'intermédiaire de systèmes coaxiaux et de pointes calibrées. Cependant, les transistors sont vendus encapsulés et le packaging doit également être caractérisé. Ainsi, dans ce travail, des dispositifs sont conçus sur circuit imprimé afin d'adapter la mesure de paramètres S au transistor de puissance. Des connecteurs coaxiaux et des lignes de transmission 50  $\Omega$  coplanaires avec plan de masse constituent le chemin de propagation des signaux jusqu'au composant. La figure 2(a) montre le dispositif de caractérisation du transistor et les standards de calibration du dispositif sont présentés sur la figure 2(b). Le standard OPEN 1-Port permet de déterminer le couplage capacitif entre une ligne de transmission et le plan de masse. Le standard SHORT (court-circuit) permet de mesurer l'impédance propre de la ligne de transmission. Le standard OPEN 2-Port permet de déterminer les couplages capacitifs entre les lignes. Finalement, un algorithme permet d'obtenir les paramètres impédances du transistor pour un point de polarisation spécifique à partir des paramètres S mesurés [7].

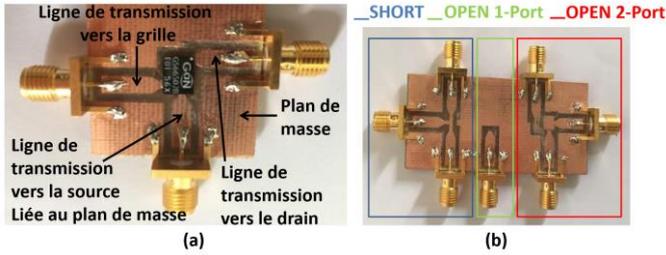


Fig. 2. (a) dispositif de caractérisation du transistor GaN (b) standards de calibration du dispositif de caractérisation

### 3 EXTRACTION DES RESISTANCES D'ACCES

Les résistances intrinsèques au transistor  $R_G, R_D, R_S$  sont des paramètres importants à considérer pour une bonne description du comportement du composant en commutation, pour l'estimation des pertes ainsi que pour la modélisation de la source de courant  $I_D$  en fonction des tensions intrinsèques. La méthode d'extraction de ces résistances présentée dans ce papier est inspirée de la méthode « Cold FET » [8]. Le drain et la source du transistor sont court-circuités et reliés à la masse ( $V_{DS} = 0V$ ). La grille est polarisée à un potentiel supérieur à la tension de seuil. Le canal est ouvert (conducteur) et possède alors sa propre résistance  $R_{ch}$ . Une représentation du transistor dans les conditions « Cold FET » et son schéma électrique équivalent sont donnés figure 3.

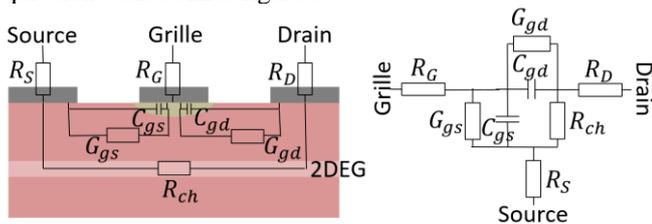


Fig. 3. Représentation du transistor dans les conditions « Cold FET » et son schéma électrique équivalent

Une estimation aux ordres de grandeur donne la résistance du canal  $R_{ch}$  inférieure à 100 m $\Omega$  tandis que les impédances présentées par les capacités  $C_{gs}$  et  $C_{gd}$  (de l'ordre de 100 pF) sont estimées, jusqu'à 10 MHz, supérieures à 100  $\Omega$ . Le schéma électrique du transistor peut alors se simplifier sous la forme d'une structure en « T » comme présenté sur la figure 4.

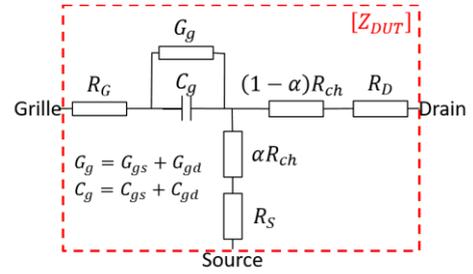


Fig. 4. Simplification du schéma équivalent « Cold FET » jusqu'à 10 MHz

Sur la figure 4,  $\alpha$  représente la fraction de  $R_{ch}$  situé entre grille et source. Après application de la méthode de calibration mentionnée dans la section précédente, la matrice impédance  $[Z_{DUT}]$  du transistor est obtenue. Selon le schéma présenté figure 6, les parties réelles de  $Z_{12_{DUT}}$  et  $Z_{22_{DUT}}$  s'exprime selon (1) et (2) [9] :

$$Re(Z_{12_{DUT}}) = R_S + \alpha R_{ch} \quad (1)$$

$$Re(Z_{22_{DUT}}) = R_D + R_S + R_{ch} \quad (2)$$

Une relation liant  $Re(Z_{22_{DUT}})$  à la tension entre grille et source  $V_{GS}$  est donnée par les auteurs dans [10]. Dans ce travail il est proposé de généraliser cette relation à  $Re(Z_{12_{DUT}})$ . Ainsi, les relations (3) et (4) sont considérées :

$$Re(Z_{12_{DUT}}) = R_S + \frac{1}{K_1(V_{GS} - V_{bi})} \quad (3)$$

$$Re(Z_{22_{DUT}}) = R_D + R_S + \frac{1}{K_2(V_{GS} - V_{bi})} \quad (4)$$

$V_{bi}$  est la tension liée à la barrière de potentiel de la jonction de grille et  $K_1, K_2$  sont des coefficients qui dépendent de la conductance du canal, de  $V_{GS}$  et de  $V_{bi}$ .

Des mesures de paramètres S ont été conduites pour des tensions  $V_{GS}$  comprises entre 2 et 7 V. La procédure de calibration est ensuite appliquée pour obtenir la matrice impédance  $[Z_{DUT}]$ . Les parties réelles des impédances  $Z_{12_{DUT}}$  et  $Z_{22_{DUT}}$ , pour différents  $V_{GS}$  et pour des fréquences comprises entre 1 et 10 MHz, sont données sur les figures 5 et 6.

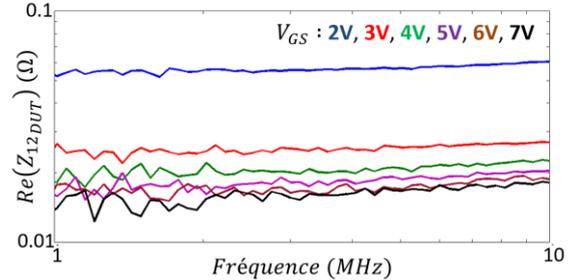


Fig. 5. Partie réelle de l'impédance  $Z_{12_{DUT}}$  extraite entre 1 et 10 MHz

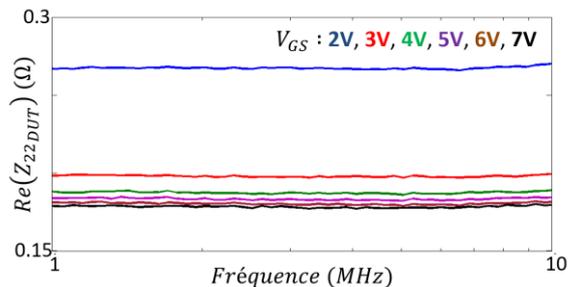


Fig. 6. Partie réelle de l'impédance  $Z_{22_{DUT}}$  extraite entre 1 et 10 MHz

Les évolutions des valeurs moyennes mesurées de  $Re(Z_{12_{DUT}})$  et  $Re(Z_{22_{DUT}})$  sont données en fonction de  $V_{GS}$  sur les figures 7 et 8. Les équations (3) et (4) sont utilisées pour

modéliser ces évolutions et les résultats de fitting sont visualisables sur les figures 7 et 8. Les valeurs de 158 mΩ et 13 mΩ sont obtenues grâce à cette méthode pour  $R_D$  et  $R_S$  respectivement comparé aux valeurs de 180 mΩ et 10 mΩ renseignées dans le modèle du fabricant.

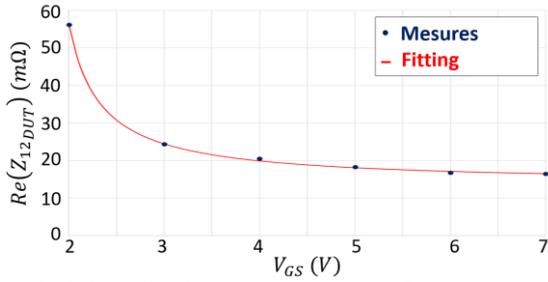


Fig. 7. Partie réelle de l'impédance  $Z_{12DUT}$  extraite en fonction de  $V_{GS}$

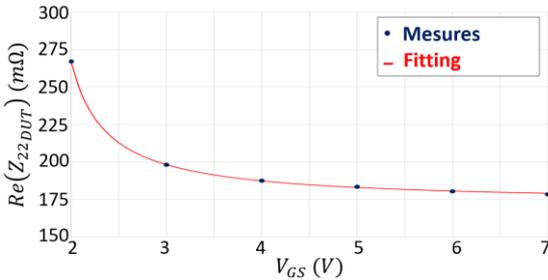


Fig. 8. Partie réelle de l'impédance  $Z_{22DUT}$  extraite en fonction de  $V_{GS}$

La partie réelle de  $Z_{11DUT} - Z_{12DUT}$ , en référence à la figure 4, s'exprime selon l'équation (5). On observe qu'à hautes fréquences (5) tend vers la valeur de  $R_G$ . L'évolution de  $Re(Z_{11DUT} - Z_{12DUT})$  entre 1 et 10 MHz et pour  $V_{GS} = 7V$  est montrée sur la figure 9. Par ajustement des données expérimentales avec l'équation (5), la valeur extraite de  $R_G$  est 804 mΩ comparé à 1.5 Ω renseigné dans le modèle constructeur.

$$Re(Z_{11DUT} - Z_{12DUT}) = R_G + \frac{G_g}{G_g^2 + C_g^2 \omega^2} \quad (5)$$

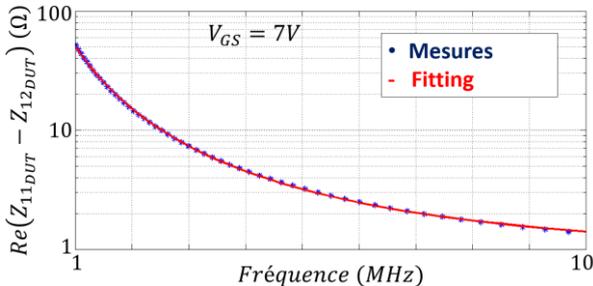


Fig. 9. Partie réelle de l'impédance  $Z_{11DUT} - Z_{12DUT}$  extraite entre 1 et 10 MHz

Dans cette partie, les résistances d'accès du transistor ont été déterminées expérimentalement à l'aide des paramètres S et de circuits d'adaptation sur PCB. La prochaine section de l'article présente l'extraction des capacités inter-électrodes à l'aide de la même méthode de caractérisation.

#### 4 EXTRACTION DES CAPACITES INTER-ELECTRODES

Les capacités parasites du transistor, situées entre chaque électrode, ont un impact significatif sur les formes d'onde de commutation ainsi que sur les pertes. Les transistors de puissance GaN possèdent des capacités parasites de faibles valeurs (de la centaine de picofarads à la centaine de femtofarads selon les conditions de polarisation). Ainsi, la méthode de caractérisation doit pouvoir fournir la meilleure précision possible. Ici, la mesure de paramètres S est proposée pour extraire ces valeurs.

En polarisant la grille du composant à une tension inférieure à la tension de seuil, les sources de courant du modèle (figure 1) peuvent être négligées. Le circuit équivalent du transistor est alors donné sur la figure 10. Ainsi, par connaissance des résistances d'accès déterminées précédemment, il est possible d'obtenir les valeurs des capacités  $C_{gs}$ ,  $C_{gd}$ ,  $C_{ds}$ .

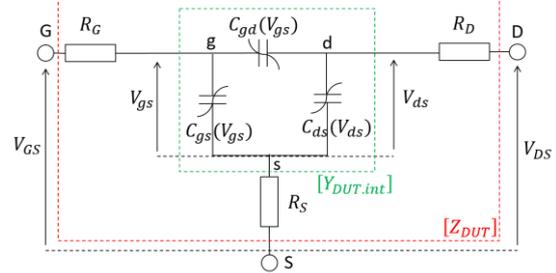


Fig. 10. Schéma équivalent du transistor à  $V_{GS}$  inférieure à la tension de seuil

Le transistor est caractérisé à  $V_{GS} = 0V$  et  $V_{DS}$  variant de 0 à 200 V. Le banc expérimental de mesure est présenté sur la figure 11. Des circuits de polarisation (« Té » de polarisation) sont nécessaires pour coupler les signaux de polarisation (DC) et les signaux de mesure injectés par le VNA (HF). Comme aucun Té de polarisation n'est disponible dans le commerce pour la caractérisation de transistors de puissance, les circuits ont été conçus sur PCB. Le VNA est calibré jusqu'aux points A et B (figure 11). Ensuite la procédure de calibration référencée dans la section 2 est appliquée afin d'obtenir la matrice impédance  $[Z_{DUT}]$  de la figure 10 à partir des paramètres S mesurés. La matrice  $[Y_{DUT.int}]$  est obtenue à partir des paramètres de la matrice  $[Z_{DUT}]$  selon (6).

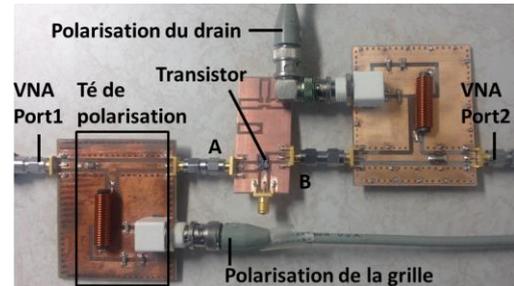


Fig. 11. Banc expérimental de caractérisation du transistor

$$\begin{bmatrix} Z_{11DUT} - R_G - R_S & Z_{12DUT} - R_S \\ Z_{12DUT} - R_S & Z_{22DUT} - R_D - R_S \end{bmatrix} \rightarrow [Y_{DUT.int}] \quad (6)$$

Le symbole «  $\rightarrow$  » représente une conversion d'une matrice impédance vers une matrice admittance. Les capacités sont alors obtenues par l'intermédiaire des équations (7) à (9) :

$$C_{gs} = \frac{Im(Y_{11DUT.int} + Y_{12DUT.int})}{\omega} \quad (7)$$

$$C_{gd} = -\frac{Im(Y_{12DUT.int})}{\omega} \quad (8)$$

$$C_{ds} = \frac{Im(Y_{22DUT.int} + Y_{12DUT.int})}{\omega} \quad (9)$$

La figure 12 montre l'extraction des capacités en fonction de la fréquence dans le cas où les valeurs sont les plus faibles, à  $V_{DS} = 200V$  (pire cas). Les valeurs renseignées par le constructeur pour cette tension sont données comme référence. On observe qu'il est possible, grâce à cette méthode, de déterminer précisément les capacités parasites du transistor de puissance GaN. La capacité  $C_{gd}$  vaut environ 300 fF à  $V_{DS} = 200V$  et est correctement extraite jusqu'à 40 MHz. La

figure 13 donne l'évolution des capacités en fonction de la tension  $V_{DS}$ , les résultats expérimentaux, déterminés à 10 MHz, sont comparés aux valeurs constructeur. La forme d'équation (10) est utilisée pour modéliser les trois capacités inter-électrodes du composant.

$$C_{ij}(V_{ij}) = C_{0ij} + \frac{C_{1ij} - C_{0ij}}{2} \left( 1 + \tanh \left( \frac{V_{ij} + V_{1ij}}{V_{2ij}} \right) \right) - \frac{C_{2ij}}{2} \left( 1 + \tanh \left( \frac{V_{ij} + V_{3ij}}{V_{4ij}} \right) \right) + \frac{C_{3ij}}{2} \left( 1 + \tanh \left( \frac{V_{ij} + V_{5ij}}{V_{6ij}} \right) \right) \quad (10)$$

Avec  $ij = gs, gd, ds$

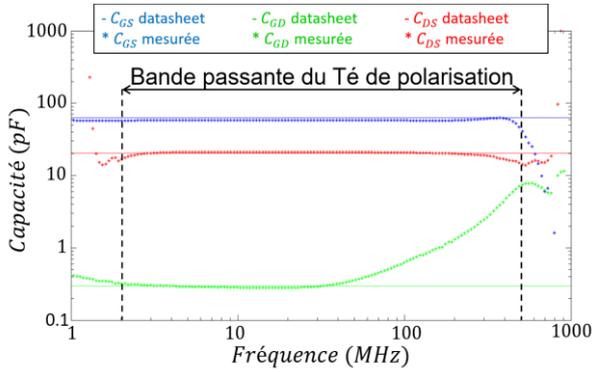


Fig. 12. Valeurs extraites des capacités parasites en fonction de la fréquence

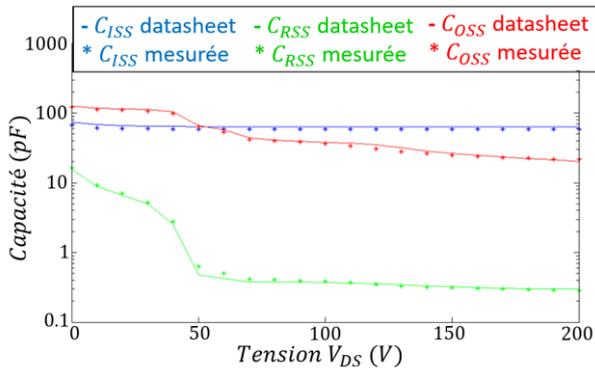


Fig. 13. Evolution des capacités mesurées en fonction de la tension  $V_{DS}$

Cette étude a permis de montrer le potentiel de la mesure de paramètres S pour extraire les capacités parasites du transistor GaN GS66502B. Afin d'obtenir le modèle complet de la figure 1, la prochaine partie présente la caractérisation statique du transistor et la modélisation des sources de courant non-linéaires.

## 5 EXTRICATION DES CARACTERISTIQUES STATIQUES

### 5.1. SOURCE DE COURANT DE GRILLE

Le courant de grille  $I_g$  est obtenu en fonction de  $V_{GS}$  à drain ouvert. Ainsi, aucun courant DC ne circule entre drain et source et seules les fuites de grille sont mesurées. La représentation statique du transistor dans cette configuration est présentée sur la figure 14.

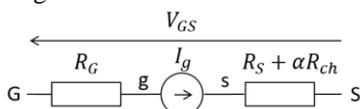


Fig. 14. Représentation statique du transistor à drain ouvert

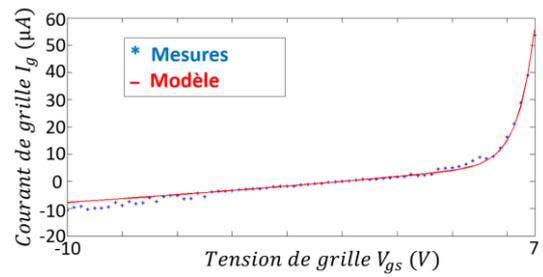


Fig. 15. Mesures et modélisation du courant de grille du transistor

La figure 15 donne l'évolution du courant  $I_g$  mesuré en fonction de  $V_{GS}$  ainsi que la modélisation de ce courant basé sur l'équation (11) :

$$I_g(V_{gs}) = I_{G1} \cdot \left( \exp \left( \frac{V_{gs}}{V_{G1}} \right) - 1 \right) + I_{G2} \cdot \left( \exp \left( \frac{V_{gs}}{V_{G2}} \right) - 1 \right) \quad (11)$$

### 5.2. SOURCE DE COURANT DE DRAIN

Réaliser des mesures en régime statique avec un courant de drain important entrainerait un auto-échauffement du transistor modifiant sa caractéristique et pouvant provoquer sa destruction. Les mesures de la caractéristique statique du composant sont alors conduites en régime pulsé afin de réduire au maximum l'auto-échauffement. Le banc de mesure B1505A est utilisé pour ces mesures. La durée des impulsions sur le drain est fixée à 50  $\mu s$  (valeur minimale paramétrable sur le banc) et le temps de repos entre deux impulsions est de 200 ms. La tension de grille du transistor est également pulsée afin d'éviter les effets de piège pouvant apparaître. Les chronogrammes des tensions pulsées sont donnés sur la figure 16. Les résultats expérimentaux pour  $V_{GS}$  variant de -1 à 6 V et  $V_{DS}$  de -4 à 20 V sont montrés sur la figure 17. L'auto-échauffement du transistor durant les mesures est estimé en utilisant le modèle thermique fourni par le constructeur afin de visualiser l'impact de l'élévation en température sur les résultats de mesures.

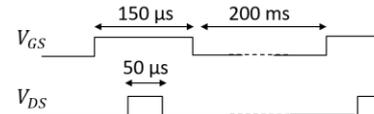


Fig. 16. Chronogrammes des tensions  $V_{GS}$  et  $V_{DS}$  pour la caractérisation statique

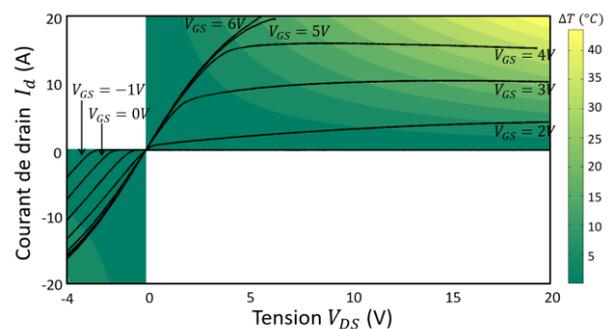


Fig. 17. Caractéristique statique extraite et indication de l'auto-échauffement

Les équations (12) à (18), données en annexe, sont utilisées pour modéliser la source de courant de drain. Ce modèle est basé sur le modèle d'Angelov réputé pour la modélisation des transistors de type GaN HEMT. Cependant, le modèle d'Angelov ne permet pas de décrire correctement la partie inverse de la caractéristique, importante en électronique de puissance. Ainsi une formulation mathématique similaire à celle présentée dans [6] est ajoutée au modèle pour la zone inverse. Les paramètres du modèle sont déterminés à l'aide d'une procédure d'optimisation implémentée dans le logiciel

Advanced Design System (ADS). La figure 18 compare les résultats de modélisation aux données expérimentales.

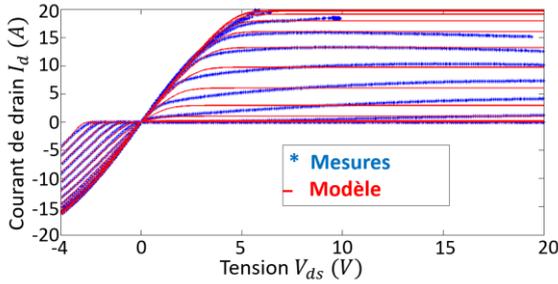


Fig. 18. Mesures et modélisation du courant de drain du transistor

L'ensemble des éléments du modèle présenté sur la figure 1 ont été déterminés dans les sections 3, 4 et 5. Le modèle complet est ensuite implémenté dans le logiciel ADS. La partie suivante analysera les performances du modèle proposé par comparaison aux résultats expérimentaux.

## 6 VALIDATION EXPERIMENTALE

Afin d'évaluer les performances du modèle proposé, un circuit de test en « Double Pulse » a été conçu. Le schéma électrique du circuit est présenté sur la figure 19. Le composant sous test est le transistor GaN GS66502B nommé  $T_1$ . Le transistor  $T_2$  est utilisé comme diode de roue libre. Le signal de commande de  $T_1$  ainsi que les composants  $C_{in}$  et  $L_{out}$  sont dimensionnés pour un fonctionnement à une tension de drain de 200 V et un courant de drain de 3.5 A, atteint à la fin de la première impulsion. Les composants du circuit sont également sélectionnés afin de limiter l'échauffement du transistor  $T_2$  à fin de la seconde impulsion (décharge de l'inductance  $L_{out}$ ). La figure 20 montre le banc expérimental du test « Double Pulse » avec les mesures de courant et de tension.

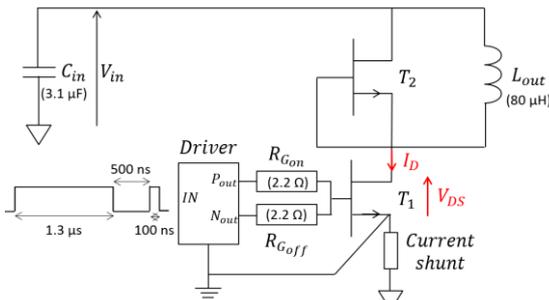


Fig. 19. Schéma électrique du circuit de test « Double Pulse »

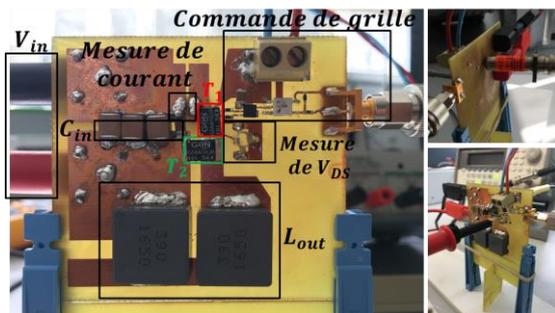


Fig. 20. Présentation du banc de test « Double Pulse » avec instrumentation

Les figures 21 et 22 présentent la comparaison entre les formes d'onde expérimentales et celles obtenues par simulation avec le modèle proposé.

Malgré le fait que la dynamique rapide du transistor le rende très sensible à son environnement de fonctionnement (éléments parasites des autres composants et des pistes sur PCB...), les résultats obtenus montrent une bonne concordance entre simulation et mesures. La modélisation hautes fréquences

doit encore être affinée de sorte à pouvoir juger de la robustesse du modèle pour modéliser la forte variation du courant (de l'ordre de 10 A/ns) lors de la mise en conduction.

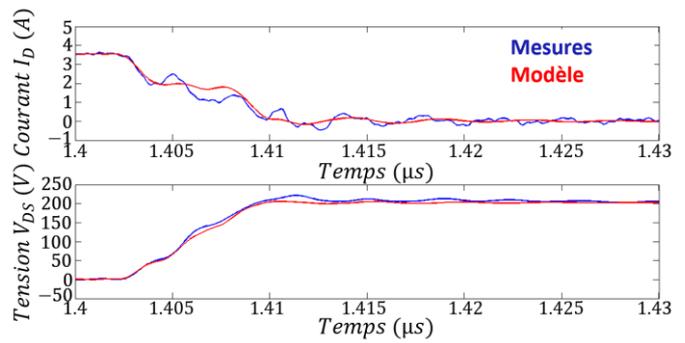


Fig. 21. Courant  $I_D$  et tension  $V_{DS}$  mesurés et simulés au blocage

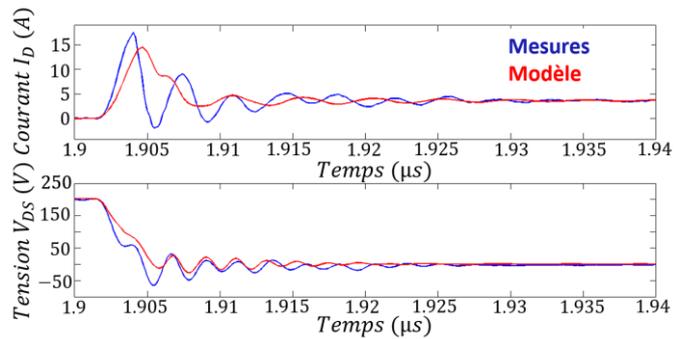


Fig. 22. Courant  $I_D$  et tension  $V_{DS}$  mesurés et simulés à la mise en conduction

Le test « Double Pulse » permet de valider la partie électrique du modèle du transistor sans se préoccuper de la modélisation thermique. Afin de préparer une application du composant dans un convertisseur à fonctionnement répétitif, une méthode permettant d'obtenir un modèle thermique du composant à partir de mesures pulsées est proposée dans la section suivante.

## 7 EXTRACTION DU MODELE THERMIQUE

Afin d'observer l'effet de l'auto-échauffement du transistor sur l'évolution de la puissance dissipée [11], le composant est polarisé dans la zone de saturation de sa caractéristique statique le temps d'une impulsion courte. Le schéma de principe de la mesure ainsi que les chronogrammes des impulsions sont présentés sur la figure 23.

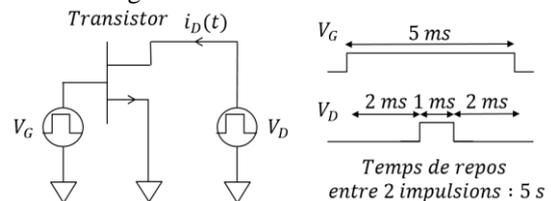


Fig. 23. Schéma de principe de la mesure de l'effet de l'auto-échauffement

Les mesures sont effectuées à l'aide du banc de caractérisation B1505A, la durée de l'impulsion de puissance est limitée à 1 milliseconde par le banc. La tension de drain est fixée à une tension  $V_{D0} = 10 V$  pendant l'impulsion. Nous ferons l'hypothèse que cette tension ne varie pas durant l'impulsion, la bonne régulation de cette tension par le banc est vérifiée expérimentalement. On considère dans ce travail une loi de variation linéaire du courant  $i_D(t)$  en fonction de l'auto-échauffement  $\Delta T(t)$  selon l'équation (19).  $I_{D0}$  représente la valeur du courant au début de l'impulsion et  $\beta$  est un coefficient thermique de l'ordre de  $0.005 K^{-1}$  à une température de  $300 K$ . La puissance dissipée durant l'impulsion

est calculée selon l'équation (20). Les mesures sont conduites pour différentes tensions de grille  $V_G$  de 1.5 V à 3 V et les évolutions des puissances dissipées sont données figure 24.

$$i_D(t) = I_{D0}(1 - \beta\Delta T(t)) \quad (19)$$

$$p_D(t) = V_{D0}i_D(t) = P_{D0}(1 - \beta\Delta T(t)) \quad (20)$$

Le modèle thermique de Foster [12] à 4 éléments correspond à l'association de deux cellules R-C en série, comme présenté sur la figure 25 (a). Les éléments  $R_{TH1}$ ,  $R_{TH2}$ ,  $C_{TH1}$ ,  $C_{TH2}$  servent uniquement à la modélisation mais n'ont pas d'interprétation physique directe. Le modèle de Cauer à 4 éléments, présenté sur la figure 25 (b), permet de donner une interprétation aux éléments du modèle.  $R_{TH3}$ ,  $C_{TH3}$  caractériseraient le semi-conducteur, tandis que  $R_{TH4}$ ,  $C_{TH4}$  seraient les caractéristiques thermiques du packaging. Les fonctions de transfert des modèles de Foster et de Cauer sont exprimés par (21) et (22) respectivement (cf. annexe). Par analogie, les éléments du modèle de Cauer sont déduits de ceux du modèle de Foster selon (23) donnée en annexe.

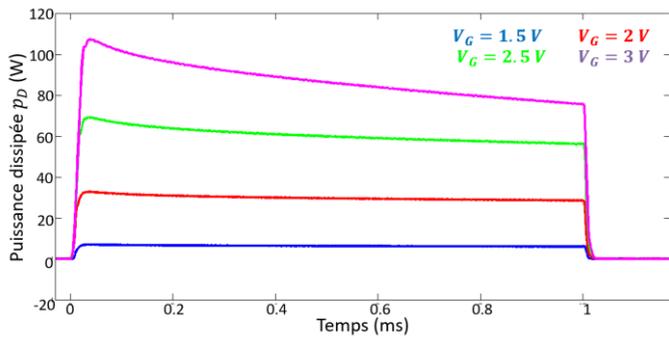


Fig. 24. Evolution de la puissance dissipée mesurée durant l'impulsion à différentes valeurs de tension de grille

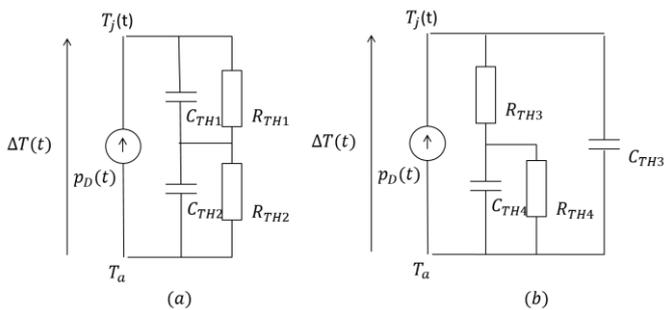


Fig. 25. Modèles thermiques à 4 éléments (a) de Foster (b) de Cauer

Afin de déterminer les éléments du modèle thermique permettant de décrire l'évolution temporelle de la puissance dissipée, une routine d'optimisation est implémentée sous le logiciel ADS selon le schéma de principe donné figure 26. L'optimisation est ici réalisée sur le modèle de Foster et les éléments du modèle de Cauer sont ensuite déduits à l'aide du système d'équations (23). L'optimisation étant basée sur une simulation circuit, elle est potentiellement réalisable directement sur le modèle de Cauer. Les résultats de l'optimisation sur la puissance dissipée par le transistor pour  $V_G = 2.5 V$  sont donnés sur la figure 27. Les valeurs de 0.28 et 0.69 K/W sont obtenues pour les résistances thermiques  $R_{TH3}$  et  $R_{TH4}$  respectivement comparé à 0.27 et 0.8 K/W renseignées dans le modèle constructeur basé sur un circuit similaire. Les valeurs de 0.37 et 1.3 mJ/K sont obtenues pour les capacités thermiques  $C_{TH3}$  et  $C_{TH4}$  comparé à 0.47 et 2 mJ/K renseignées dans le modèle constructeur.

La figure 28 présente l'évolution de l'impédance thermique normalisée en fonction de la durée des impulsions de puissance extraite de la documentation du fabricant. Les valeurs

d'impédance obtenue en simulation avec le modèle thermique proposé sont superposées pour comparaison. Les évolutions sont données pour une impulsion unique et pour des impulsions répétitives avec un rapport cyclique et 20% et 50% (fonctionnement convertisseur). On observe une bonne correspondance entre la référence et la simulation, permettant de valider cette méthode. Les écarts significatifs apparaissant pour des impulsions uniques de courtes durées, non représentatives d'un fonctionnement dans un convertisseur de puissance. Toutefois, afin d'obtenir le maximum de précision sur l'extraction du modèle thermique du transistor étudié, les impulsions de puissance lors de la caractérisation doivent avoir une durée de 10 millisecondes pour atteindre la valeur finale de l'impédance thermique (cf. figure 28). Dans ce travail, le banc de caractérisation utilisé nous contraint à une durée maximale de 1 milliseconde.

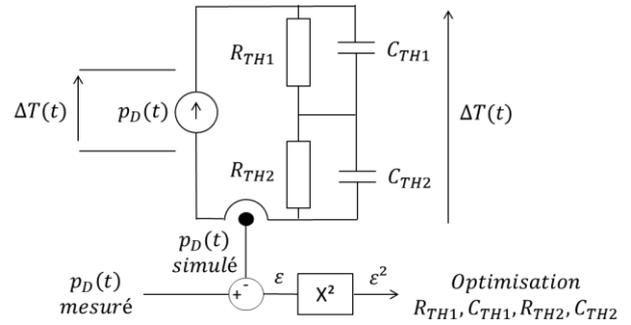


Fig. 26. Schéma de principe de la routine d'optimisation permettant d'extraire les éléments du modèle thermique

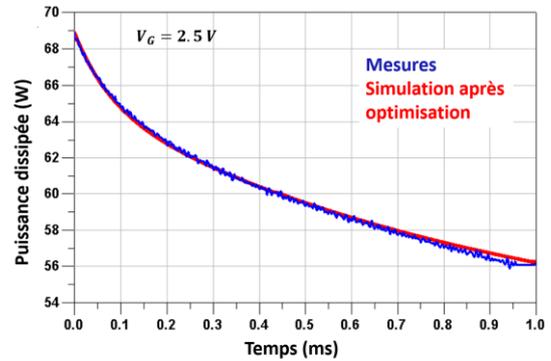


Fig. 27. Résultats de modélisation de la puissance dissipée après optimisation des paramètres du modèle thermique

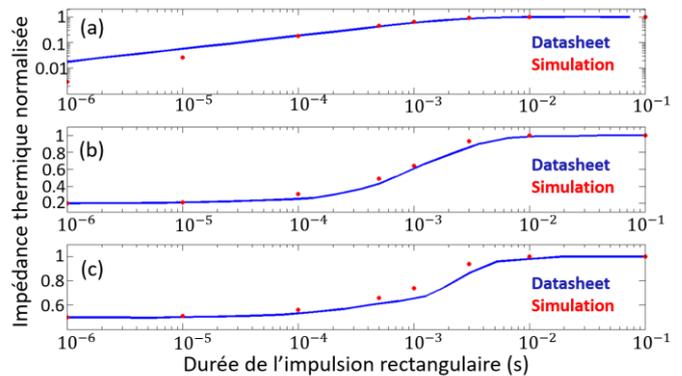


Fig. 28. Evolution de l'impédance thermique normalisée en fonction de la durée des impulsions de puissance pour (a) une impulsion unique et pour des impulsions répétitives avec un rapport cyclique de (b) 20% (c) 50%

## 8 CONCLUSION

Dans ce papier, une méthodologie est proposée pour modéliser de façon précise les transistors de puissance GaN pour des applications à hautes fréquences. Le modèle présenté est construit à partir de mesures de paramètres S, de mesures

pulsées et de dispositifs de caractérisation simples réalisés sur PCB. Aucune donnée technologique sur le composant caractérisé n'est nécessaire, ce qui rend la méthode généralisable à tout type de transistors de puissance GaN notamment lorsque le modèle du composant n'est pas fourni par le constructeur. Le modèle complet est implémenté dans le logiciel ADS et les résultats de simulation montrent une bonne concordance avec les données expérimentales. Enfin, un modèle thermique basé sur des mesures pulsées est proposé. La prise en compte des effets de piège afin de compléter le modèle

et une validation expérimentale du modèle sur un convertisseur de puissance fonctionnant à hautes fréquences représentent les prochaines étapes à considérer dans ce travail.

## 9 REMERCIEMENTS

Ces travaux ont été réalisés dans le cadre du projet CE2I (Convertisseur d'Énergie Intégré Intelligent). Le CE2I est cofinancé par l'Union Européenne avec le soutien financier du Fonds Européen de Développement Régional (FEDER), de l'État français et de la Région française des Hauts-de-France.

## 10 ANNEXE

$$V_{ds} \geq 0 : I_d(V_{gs}, V_{ds}) = I_P(V_{gs}) \cdot \tanh(\alpha(V_{gs}) \cdot V_{ds}) \quad (12)$$

$$V_{ds} < 0 : I_d(V_{gs}, V_{ds}) = I_N(V_{gs}) \cdot \ln\left(1 + \exp\left(\frac{V_{gd} - V_\beta}{\gamma(V_{gs})}\right)\right) \cdot \tanh(\delta(V_{gs}) \cdot V_{ds}) \quad (13)$$

$$I_P(V_{gs}) = I_{P1} \cdot \left(1 + \tanh\left(\frac{V_{gs} - V_{P1}}{V_{P2}} + \frac{(V_{gs} - V_{P1})^2}{V_{P3}} + \frac{(V_{gs} - V_{P1})^3}{V_{P4}}\right)\right) \quad (14)$$

$$\alpha(V_{gs}) = \frac{\exp\left(-\frac{V_{gs}}{V_{\alpha1}}\right)}{V_{\alpha2}} + \frac{\exp\left(-\frac{V_{gs}}{V_{\alpha3}}\right)}{V_{\alpha4}} \quad (15)$$

$$I_N(V_{gs}) = \left(I_{N1} + I_{N2} \cdot \tanh\left(\frac{(V_{gs} - V_{N1})}{V_{N2}}\right)\right) \cdot \left(1 + \frac{V_{gs}}{V_{N3}}\right) \quad (16)$$

$$\gamma(V_{gs}) = V_{\gamma1} \cdot \ln\left(1 + \exp\left(\frac{V_{gs} - V_{\gamma2}}{V_{\gamma3}}\right)\right) + V_{\gamma4} \quad (17)$$

$$\delta(V_{gs}) = \frac{\exp\left(-\frac{V_{gs}}{V_{\delta1}}\right)}{V_{\delta2}} + \frac{\exp\left(-\frac{V_{gs}}{V_{\delta3}}\right)}{V_{\delta4}} \quad (18)$$

$$Z_{foster}(p) = \frac{R_{TH1}R_{TH2}(C_{TH1} + C_{TH2})p + R_{TH1} + R_{TH2}}{R_{TH1}C_{TH1}R_{TH2}C_{TH2}p^2 + (R_{TH1}C_{TH1} + R_{TH2}C_{TH2})p + 1} \quad (21)$$

$$Z_{cauer}(p) = \frac{R_{TH3}R_{TH4}C_{TH4}p + R_{TH3} + R_{TH4}}{R_{TH3}C_{TH3}R_{TH4}C_{TH4}p^2 + (R_{TH3}C_{TH3} + R_{TH4}C_{TH4} + R_{TH4}C_{TH3})p + 1} \quad (22)$$

$$\left\{ \begin{array}{l} C_{TH3} = \frac{R_{TH1}C_{TH1}R_{TH2}C_{TH2}}{R_{TH1}R_{TH2}(C_{TH1} + C_{TH2})} \\ R_{TH3} = \frac{R_{TH1}R_{TH2}(C_{TH1} + C_{TH2})}{R_{TH1}C_{TH1} + R_{TH2}C_{TH2} - C_{TH3}(R_{TH1} + R_{TH2})} \\ R_{TH4} = R_{TH1} + R_{TH2} - R_{TH3} \\ C_{TH4} = \frac{R_{TH1}R_{TH2}(C_{TH1} + C_{TH2})}{R_{TH3}R_{TH4}} \end{array} \right. \quad (23)$$

## 11 REFERENCES

- [1] T. Funaki, N. Phankong, T. Kimoto and T. Hikihara, "Measuring Terminal Capacitance and Its Voltage Dependency for High-Voltage Power Devices," in *IEEE Transactions on Power Electronics*, vol. 24, no. 6, pp. 1486-1493, June 2009.
- [2] K. Li, A. Videt and N. Idir, "Multiprobe Measurement Method for Voltage-Dependent Capacitances of Power Semiconductor Devices in High Voltage," in *IEEE Transactions on Power Electronics*, vol. 28, no. 11, pp. 5414-5422, Nov. 2013.
- [3] C. Salcines, Y. Pathak and I. Kallfass, "Characterization of power transistors intrinsic parasitics based on 2-Port S-parameter

- measurements," *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, Warsaw, 2017, pp. P.1-P.6.
- [4] M. Alshahed, M. Dakran, L. Heuken, M. Alomari and J. N. Burghartz, "Comprehensive compact electro-thermal GaN HEMT model," *2017 47th European Solid-State Device Research Conference (ESSDERC)*, Leuven, 2017, pp. 196-199.
- [5] D. Čučak *et al.*, "Physics-Based Analytical Model for Input, Output, and Reverse Capacitance of a GaN HEMT With the Field-Plate Structure," in *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 2189-2202, March 2017.
- [6] H. Li, X. Zhao, W. Su, K. Sun, X. You and T. Q. Zheng, "Nonsegmented PSpice Circuit Model of GaN HEMT With Simulation Convergence Consideration," in *IEEE Transactions on Industrial Electronics*, vol. 64, no. 11, pp. 8992-9000, Nov. 2017.
- [7] L. Pace, N. Defrance, A. Videt, N. Idir, J.-C. De Jaeger, "S-Parameter Characterization of GaN HEMT Power Transistors for High Frequency Modeling", *PCIM Europe 2018 ; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2018, publication en Juin 2018.
- [8] G. Dambrine, A. Cappy, F. Heliodore and E. Playez, "A new method for determining the FET small-signal equivalent circuit," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 36, no. 7, pp. 1151-1159, Jul 1988.
- [9] A. K. Sahoo, N. K. Subramani, J. C. Nallatamby, N. Rolland, R. Quere and F. Medjdoub, "Temperature dependent contact and channel sheet resistance extraction of GaN HEMT," *2015 Integrated Nonlinear Microwave and Millimetre-wave Circuits Workshop (INMMiC)*, Taormina, 2015, pp. 1-3.
- [10] F. Lecourt *et al.*, "High transconductance AlGaIn/GaN HEMT with thin barrier on Si(111) substrate," *2010 Proceedings of the European Solid State Device Research Conference*, Sevilla, 2010, pp. 281-284.
- [11] T. Lopez and R. Elferich, "Thermal Impedance Extraction Technique for Power MOSFETs," *2007 IEEE Power Electronics Specialists Conference*, Orlando, FL, 2007, pp. 2140-2146.
- [12] A. Driss, S. Maalej and M. C. Zaghoudi, "Electro-thermal modeling of power IGBT modules by heat pipe systems," *2017 International Conference on Engineering & MIS (ICEMIS)*, Monastir, 2017, pp. 1-7.