



HAL
open science

Etude de la fiabilité de MOSFET SiC sous des régimes extrêmes de fonctionnement répétitifs

Tien Anh Nguyen, Nidhal Boucenna, Denis Labrousse, Stéphane Lefebvre, Gérard Chaplier, Stéphane Azzopardi

► To cite this version:

Tien Anh Nguyen, Nidhal Boucenna, Denis Labrousse, Stéphane Lefebvre, Gérard Chaplier, et al.. Etude de la fiabilité de MOSFET SiC sous des régimes extrêmes de fonctionnement répétitifs. 3ème Symposium de Génie Electrique (SGE 2018), Université de Lorraine [UL], Jul 2018, Nancy, France. hal-02981857

HAL Id: hal-02981857

<https://hal.science/hal-02981857>

Submitted on 28 Oct 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Etude de la fiabilité de MOSFET SiC sous des régimes extrêmes de fonctionnement répétitifs

Tien Anh Nguyen⁽¹⁾, Nidhal Boucenna⁽¹⁾, Denis Labrousse⁽¹⁾, Gérard Chaplier⁽¹⁾, Stéphane Lefebvre⁽¹⁾, Stéphane Azzopardi⁽²⁾

(1) : SATIE laboratory UMR CNRS 8029, ENS Cachan - CNAM, 61 avenue du Président Wilson, 94235 Cachan, France.

(2) : SAFRAN TECH, 1 rue des Jeunes Bois, Châteaufort, CS80112, 78772 Magny les Hameaux, France.

RESUME – Afin d’accélérer le vieillissement de transistors MOSFET SiC, nous avons appliqué une procédure de vieillissement de longue durée en régimes extrêmes de fonctionnement (court-circuit et avalanche) répétitifs. L’étude se focalise sur des MOSFET SiC. Nous mesurons régulièrement différents indicateurs de vieillissement sous différentes énergies dissipées à chaque cycle de vieillissement. Les résultats montrent une évolution similaire des différents indicateurs mesurés durant ces différents types de stress (court-circuit et avalanche). Une très faible augmentation du courant de fuite de grille (environ 900 fA) a été détectée avant la défaillance de composant. Ce courant de fuite pourrait être lié à la dégradation de la couche de l’oxyde (SiO₂) du composant. Enfin, une estimation quantitative de l’évolution de l’aire de sécurité de ces composants (Safe Operating Area) à cause de l’effet du vieillissement en régime de court-circuit a été proposée, où une réduction de l’énergie à défaillance concernant la SCSOA (Short-Circuit Safe Operating Area) a été constatée.

Mots-clés — *Court-circuit, avalanche, indicateurs de vieillissement, courant de fuite de grille, énergie à défaillance, SCSOA, RBSOA.*

1. INTRODUCTION

Les nouveaux composants à semi-conducteur de puissance en carbure de silicium (SiC) sont de bons candidats pour les futures applications d’électronique de puissance de forte densité d’intégration. Bien que différentes générations de MOSFET SiC aient été commercialisées, la compréhension des mécanismes de défaillance doit encore être améliorée [1], [2], [3]. Notamment, la robustesse de ces composants et leur capacité à supporter des régimes extrêmes de fonctionnement (court-circuit et avalanche) doivent être étudiées précisément.

Plusieurs études ont été rapportées sur la robustesse de MOSFET SiC sous des régimes extrêmes de fonctionnement tels que le court-circuit (CC) ou l’avalanche (AV). Lors d’un stress de CC, la température de jonction augmente très rapidement à cause de la puissance dissipée élevée. Un modèle électrothermique a montré que cette température pouvait atteindre 1200°C dans la puce à l’instant de défaillance [3]. Enfin, il a été montré que le mécanisme de défaillance sous stress de CC était lié à un emballement thermique ou à la dégradation de l’oxyde de grille [3], [4].

Concernant les modes de défaillance de MOSFET SiC soumis à des stress d’AV, la défaillance peut être classée dans deux catégories : le phénomène de « latch-up » du transistor bipolaire parasite sous stress d’avalanche de courant élevé ou la température sous stress d’avalanche de faible courant et de longue durée [5], [6].

Dans cet article, nous avons effectué des essais de vieillissement de longue durée sur des MOSFET SiC en répétant des contraintes de CC et d’AV. Différents indicateurs de vieillissement ont été mesurés pendant la procédure de vieillissement. Une très faible augmentation du courant de fuite de grille est détectée avant la défaillance des composants sous test, ce qui peut permettre de relier la plupart des défaillances des MOSFET SiC testés à la dégradation de la couche d’oxyde (SiO₂) et/ou de l’interface SiO₂/SiC. Les résultats obtenus montrent également une reproductibilité de l’évolution de ces indicateurs avec les deux types de stress retenus (CC et AV). Ces résultats peuvent nous permettre de mettre en évidence des indicateurs de vieillissement qui pourraient être utilisés pour le suivi en temps réel de l’état de santé de ces composants [7], [8].

Dans les articles [10], [11], des tests expérimentaux de SOA ont été réalisés avec des bancs dédiés permettant la répétition des tests jusqu’aux limites physiques des composants sans toutefois conduire à leur défaillance. Dans cet article, nous allons caractériser l’effet du vieillissement engendré par la répétition de cycles de CC sur la SCSOA (Short-Circuit Safe Operating Area) et sur la RBSOA (Reverse Bias Safe Operating Area) mais sans l’utilisation de tels bancs de test non-destructif. Nous montrerons notamment que suite au vieillissement en régime de CC, nous constatons une réduction de l’énergie critique de défaillance en régime de court-circuit et donc une dégradation de la SCSOA.

Dans cet article, la section 2 va présenter les procédures expérimentales de vieillissement. La mesure de l’évolution des indicateurs de vieillissement sous stress répétitif de CC et d’AV seront décrites dans les sections 3 et 4 respectivement. La section 5 décrira l’évolution des aires de sécurité de fonctionnement du composant (SOA) suite au vieillissement en régime de CC. Enfin, la section 6 présentera les conclusions et perspectives de ces travaux.

2. PROTOCOLE EXPERIMENTAL

Nous présentons ici le protocole expérimental de vieillissement sous des contraintes de CC et d’AV.

2.1. Banc de stress de court-circuit et d’avalanche

Afin d’étudier la robustesse de MOSFET SiC, nous avons développé des bancs de test de CC et d’AV pour produire des cycles répétitifs de vieillissement. Ces cycles nous permettront d’appliquer des contraintes de forte énergie dissipée sur les composants sous test (DUT). Le MOSFET SiC 1,2 kV – 40mΩ du fabricant CREE (C2M0040120D) a été choisi pour cette étude.

Le schéma synoptique du banc est décrit dans la figure 1.a. Ce banc de CC est constitué d'une alimentation DC, d'un banc de condensateurs connecté en parallèle avec l'alimentation pour fournir l'énergie pendant le cycle de CC, d'un IGBT (200 A – 1,7 kV) de protection assurant la coupure de courant lors du claquage de composant sous test, du composant sous test (DUT), d'un shunt de mesure du courant (10 mΩ, T&M research) et d'une carte de commande permettant le contrôle de l'ensemble du banc de test (signal logique de commande, la commande rapprochée, circuit de protection, interface d'utilisateur). Le banc de CC permet d'appliquer des stress de CC avec une tension maximale de 900 V, un courant maximal de 500 A et une durée de CC réglable.

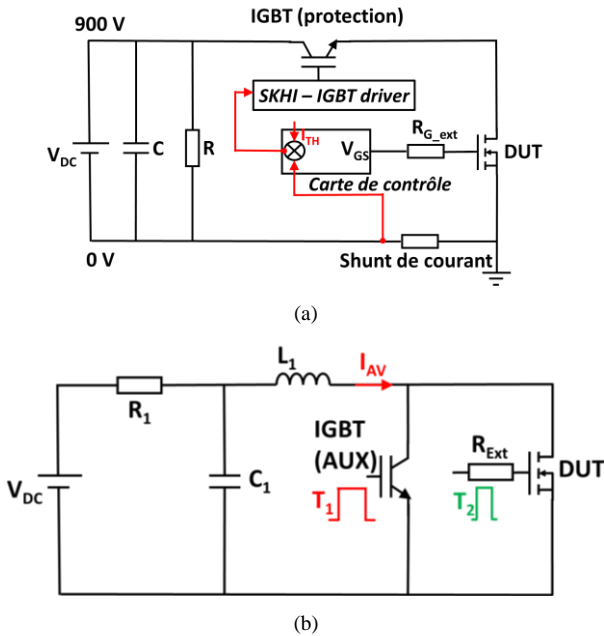


Fig. 1. Schémas électriques des bancs de CC (a) et d'AV (b)

Le schéma de principe du circuit de puissance du banc d'AV est décrit dans la figure 1.b. Le banc de puissance d'AV est constitué d'une alimentation DC, d'un banc de deux condensateurs de 740 μF, d'une inductance à air (L₁) de valeur de 1064 μH, du composant sous test (DUT), d'un IGBT haute tension (400 A - 3.3 kV) assurant la magnétisation de l'inductance. Ce banc est associé à une source d'alimentation de tension U_{DC} (afin de pré-charger la capacité C₁), l'alimentation est en série avec une résistance R₁ qui est utilisée afin de limiter le courant de CC de l'alimentation en cas de destruction du DUT. Le courant d'avalanche est mesuré par une sonde de Rogowski (CWT-Mini-HF6). La figure 2 montre les formes d'ondes typiques d'un cycle de CC et d'AV obtenues sur ces bancs de test. La procédure de vieillissement est réalisée en répétant des cycles de CC et d'AV sur le DUT à température ambiante (25°C) avec une polarisation entre grille et source variant entre 20V et -5V, respectivement en conduction et au blocage.

Concernant les essais de vieillissement en régime de CC, les DUT sont contraints par des cycles de CC sous des tensions de 600V avec trois énergies dissipées (E_{CC}) de 0,27 J, 0,55 J, et 0,62 J. Dans le cas des stress d'AV, l'énergie dissipée (E_{AV}) est réglée à 0,57J et à 1,13 J. La procédure de vieillissement avec la répétition des cycles de CC de la plus faible énergie (E_{CC} = 0,27

J) a permis de stresser le DUT pendant plus de 200 heures avant défaillance, ce qui correspond à 480000 cycles de CC.

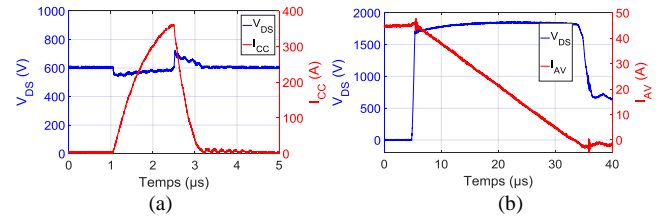


Fig. 2. Formes d'ondes typiques de stress de vieillissement en régime de court-circuit (E_{CC} = 0,27 J) (a) et en régime d'avalanche (E_{AV} = 1,13 J) (b)

2.2. Mesure des indicateurs de vieillissement

Différents indicateurs de vieillissements tels que la tension de seuil (V_{TH}), la résistance à l'état passant (R_{DS(ON)}), le courant de fuite de drain (I_{DSS}) et les capacités internes (C_{ISS}, C_{OSS}, C_{RSS}) sont régulièrement mesurés à l'aide du traceur Agilent B1505. Le courant de fuite de grille (I_{GSS}) est mesuré par un femto-ampèremètre (Keithley - model 6430). Le banc d'instrumentation nous permet de mesurer des courants de fuite de grille de l'ordre de quelques fA. La mesure est effectuée à l'intérieur d'une cage de Faraday et peut nécessiter jusqu'à une heure pour chaque point de mesure afin d'atteindre la stabilité de la mesure. D'autre part, afin d'évaluer l'effet du vieillissement sur la tension de plateau de Miller (V_{PL}), nous avons mis en œuvre un banc de commutation de type de hacheur série.

Lors des caractérisations effectuées après vieillissement, nous avons observé un effet important de la polarisation appliquée sur la grille précédant chacune des caractérisations effectuées notamment pour la mesure de V_{TH} et I_{DSS}. En effet, une polarisation positive avant la mesure de V_{TH} a donné une surestimation de la valeur mesurée comparativement à ce que nous obtenions suite à une polarisation préalable négative. Concernant la mesure de I_{DSS} (composant sous test au blocage, V_{DS} = 1,2 kV), la mesure pour un composant vieilli dépend considérablement de l'amplitude de la tension négative appliquée sur le composant sous test. La mesure de I_{DSS} = -5V est beaucoup plus stable au cours du vieillissement que celle effectuées à V_{GS} = 0V. Il semble que l'effet de la polarisation préalable de grille sur la mesure de V_{TH} et I_{DSS} soit la conséquence de charges piégées dans l'oxyde (SiO₂) ou à l'interface (SiO₂/SiC) [4], [9]. Dans la section 3, les mesures expérimentales vont mettre en évidence l'instabilité de V_{TH} et de I_{DSS} en fonction de la polarisation de grille (V_{GS}).

3. ROBUSTESSE DE MOSFET SiC EN REGIME DE COURT-CIRCUIT

Sous des stress de CC, trois composants sous test no.1, 2, et 3 sont vieillis par des cycles d'énergie dissipée de 0,55 J, 0,62 J et 0,27 J, respectivement. La procédure de vieillissement est arrêtée lorsque l'on observe des valeurs importantes des courants de fuite de drain (I_{DSS}) de l'ordre de quelques μA et/ou de grille (I_{GSS}) de l'ordre de quelques mA par rapport à ses valeurs en état initial (I_{DSS} de l'ordre de quelques nA et I_{GSS} de l'ordre de quelques fA). Dans cette section, nous allons présenter l'évolution des différents indicateurs de vieillissement, tels que la tension de seuil (V_{TH}), la résistance à l'état passant (R_{DS(ON)}), les courants de fuite de drain et de grille (I_{DSS}, I_{GSS}), la tension de plateau de Miller, et les capacités (C_{ISS}, C_{OSS}, C_{RSS}).

3.1. Evolution de V_{TH} pendant le vieillissement en régime de court-circuit

La figure 3 donne l'évolution de la tension de seuil (V_{TH}) pendant la procédure de vieillissement. Concernant le composant no.1 avec $E_{CC} = 0,55$ J, aucune précaution particulière n'a été prise en compte avant la mesure de V_{TH} , (mesuré pour $V_{GS} = V_{DS}$ et $I_D = 10$ mA @ V_{TH}).

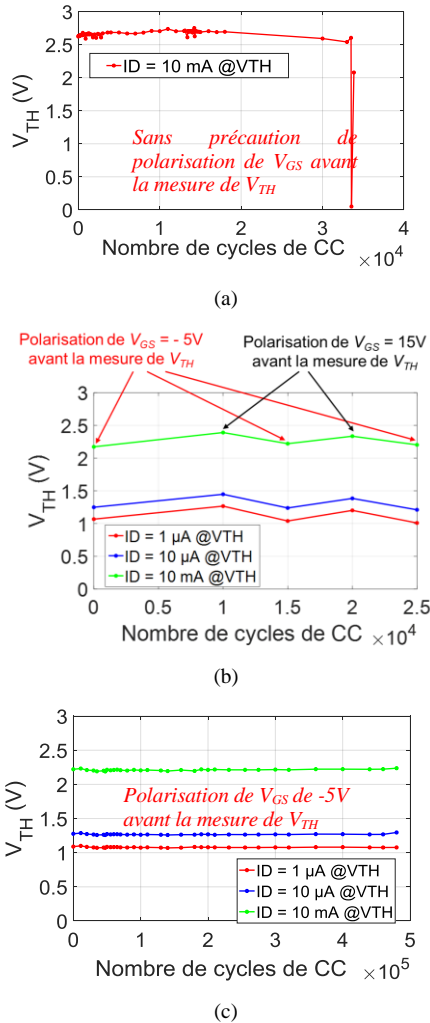


Fig. 3. Evolution de la tension de seuil (V_{TH}) sur le composant no.1 (a), no.2 (b), et no.3 (c) pendant la procédure de vieillissement en régime de CC

Pour le composant no.2 avec $E_{CC} = 0,62$ J, une polarisation de grille parfois positive (15 V) ou négative (avec -5 V) a été appliquée avant la mesure de V_{TH} . Pour le composant no.3 avec $E_{CC} = 0,27$ J, une polarisation de grille de -5 V est systématiquement appliquée sur le composant sous test pendant environ 5 minutes avant toutes les mesures de V_{TH} ($V_{GS} = V_{DS}$, et $I_D = 1$ μA, 10 μA ou 10 mA @ V_{TH}).

On constate, pour le composant no.1, sans précaution de polarisation de grille avant la mesure de V_{TH} , une dispersion des mesures plus importante que celles effectuées sur les composants no.2 et no.3. Dans la figure 3.a, les deux derniers points de mesure de V_{TH} ne sont pas totalement représentatifs dans la mesure où des évolutions considérables de I_{DSS} et I_{GSS} sont apparues.

Pour le composant no.2, nous observons clairement l'effet de la polarisation initiale de grille sur la mesure de V_{TH} (Figure 3.b).

En appliquant une polarisation positive de grille avant la mesure de V_{TH} , la tension de seuil (V_{TH}) est surestimée.

Afin d'éviter cette instabilité de la mesure de V_{TH} , la caractérisation de V_{TH} est par la suite réalisée après une polarisation négative de -5V pendant environ 5 minutes. Ainsi, pour le composant no.3, V_{TH} reste quasi-constante pendant toute la procédure de vieillissement (figure 3. c). Ces résultats montrent l'extrême précaution avec laquelle la mesure de V_{TH} doit être effectuée pour le suivi du vieillissement de MOSFET SiC. Une polarisation négative de grille préalable de -5 V pendant une durée suffisante doit être appliquée avant la mesure de V_{TH} pour assurer la reproductibilité des résultats de mesure.

3.2. Evolution de $R_{DS(on)}$ pendant le vieillissement en régime de court-circuit

La figure 4 présente l'évolution de la résistance à l'état passant ($R_{DS(on)}$) pendant la procédure de vieillissement. Pour les composants no.1 et no.2, avec une énergie dissipée pendant les régimes de CC presque identique (0,55 J et 0,62 J, respectivement), nous pouvons observer une augmentation linéaire similaire de $R_{DS(on)}$ pendant toute la procédure de vieillissement (Figure 4.a). Les deux derniers points de mesure de $R_{DS(on)}$ du composant no.1 sont plus dispersés à cause d'une dégradation critique apparue dans ce composant après le stress de vieillissement.

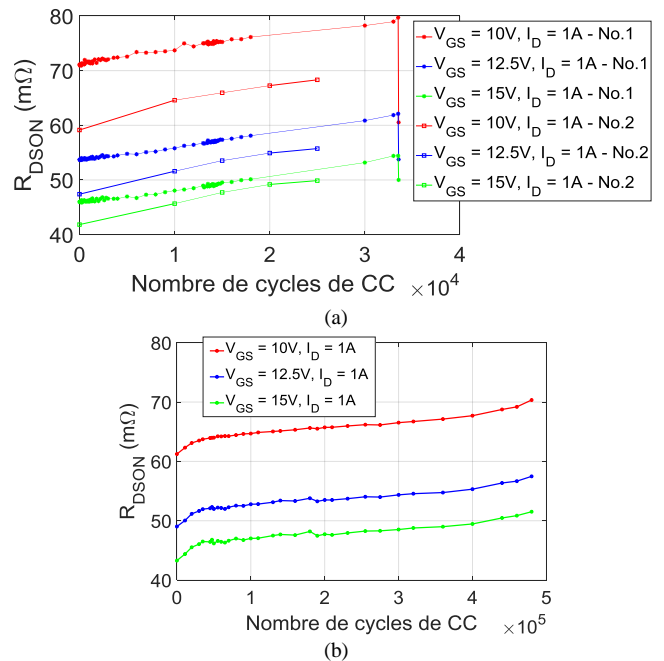


Fig. 4. Evolution de $R_{DS(on)}$ sur les composants no.1 & no.2 (a) et no.3 (b) pendant la procédure de vieillissement de CC

Concernant le composant no.3 soumis à des cycles de plus faible énergie, dans la figure 4.b, l'évolution de $R_{DS(on)}$ peut être divisée en trois phases distinctes. Dans la première phase, on note une augmentation rapide de $R_{DS(on)}$, puis ensuite une augmentation plus modérée et enfin dans la troisième phase, une augmentation plus significative est observée avant la défaillance de composant.

L'augmentation de $R_{DS(on)}$ a été considérablement étudiée dans la littérature sur d'autres types de composant de puissance à semi-conducteur, et cette dégradation peut être liée à la reconstruction de la métallisation et/ou à la levée (dégradation) des fils de câblage [2].

3.3. Evolution de I_{DSS} pendant le vieillissement en régime de court-circuit

Le courant de fuite de drain (I_{DSS}) est également mesurée pendant la procédure de vieillissement sous $V_{DS} = 1,2$ kV et avec $V_{GS} = 0$ V ou $V_{GS} = -5$ V pour le composant no.1 ($V_{GS} = 0$ V au début de la procédure de vieillissement, puis $V_{GS} = -5$ V en fin de vieillissement) et toujours avec $V_{GS} = -5$ V pour les composants no.2 et no.3. I_{DSS} augmente jusqu'à $100 \mu\text{A}$ pour le composant no.1, à $470 \mu\text{A}$ pour le composant no.2 et à $16 \mu\text{A}$ pour le composant no.3 au moment de défaillance (Figure 5). Avant la défaillance, le courant de fuite de drain reste extrêmement faible, à quelques nA seulement sur les trois composants testés.

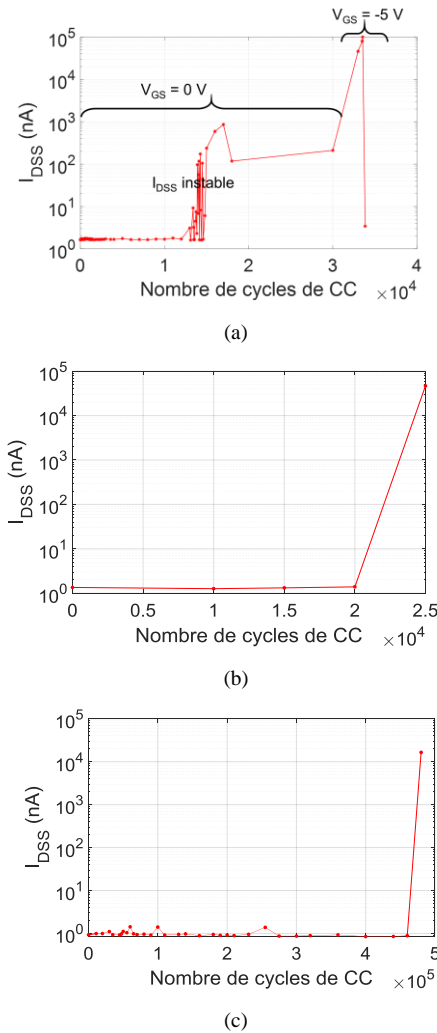


Fig. 5. Evolution de I_{DSS} sur les composant no.1 (a), no.2 (b) et no.3 (c) pendant la procédure de vieillissement en régime de court-circuit

Comme illustré dans la figure 5.a, nous pouvons clairement observer que le courant I_{DSS} mesuré dépend fortement de la polarisation de grille une fois le vieillissement débuté. En effet, pour le composant no.1, pendant les 30000 premiers cycles avec une polarisation de grille de 0V, les valeurs mesurées de I_{DSS} présentaient une instabilité d'une mesure à l'autre. Par contre, en appliquant une polarisation négative de -5V pour la mesure de I_{DSS} , les valeurs de I_{DSS} mesurées deviennent plus stables et plus reproductibles. C'est pourquoi, dans le cas des composants no.2 et no.3, une polarisation négative de -5 V a été systématiquement appliquée pendant la mesure de I_{DSS} . Dans ces conditions, I_{DSS}

reste sensiblement constant à une valeur de quelques nA pendant toute la procédure de vieillissement jusqu'à l'apparition de la défaillance (figures 5.b et 5.c) qui est toujours précédée par une augmentation considérable de I_{DSS} .

3.4. Evolution de I_{GSS} pendant le vieillissement en régime de court-circuit

Concernant la mesure de I_{GSS} (la condition de la mesure est $V_{GS} = 15$ V, $V_{DS} = 0$ V), une très faible valeur de I_{GSS} de 20 fA est mesurée pendant la plus grande durée de la procédure de vieillissement (figure 6). Plus précisément, pour le composant no.3, juste avant sa défaillance, une valeur de I_{GSS} de 900 fA est détectée après 460000 cycles de court-circuit de vieillissement (figure 6.c). Il semble que cette augmentation de I_{GSS} soit responsable ou représentative de la défaillance de composant sous test.

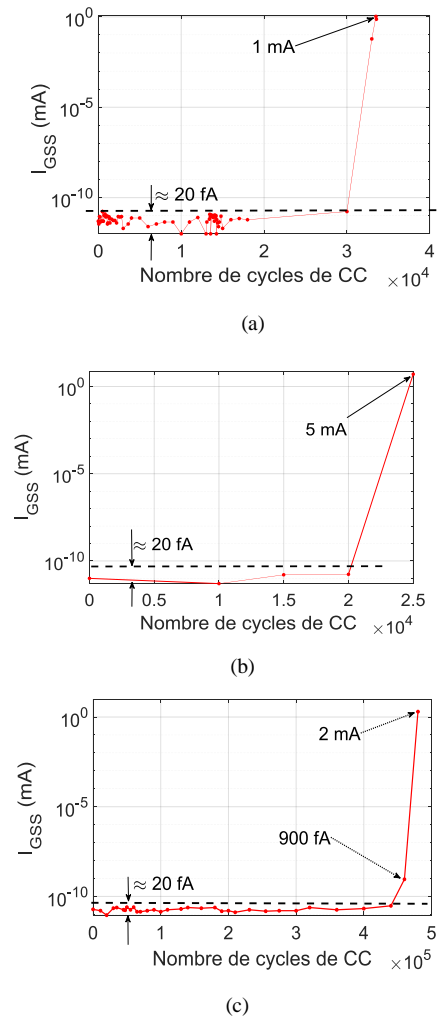


Fig. 6. Evolution de I_{GSS} sur le composant no.1 (a), no.2 (b) et no.3 (c) pendant la procédure de vieillissement de court-circuit

Pourtant, dans le cas des composant no.1 et no.2 (avec une énergie dissipée par cycle de vieillissement plus élevée), nous n'avons observé aucune modification de I_{GSS} avant la défaillance de ces composants. Cette constatation peut être expliquée à cause de l'énergie dissipée plus élevée, et surtout par le pas de temps pour la mesure de I_{GSS} trop élevé (l'évolution de I_{GSS} apparaîtrait plus lentement dans le cas de stress de court-circuit de vieillissement avec une plus faible énergie dissipée).

Avec les mêmes méthodes de mesure des indicateurs de vieillissement, en appliquant différentes énergies dissipées pendant la répétition des cycles de CC, (0,27 J, 0,55 J, et 0,62 J), nous avons observé des évolutions quasi similaires de ces indicateurs de vieillissement, avec une évolution plus rapide des indicateurs de vieillissement sur les composants testés avec une énergie dissipée plus élevée. Plus précisément, dans le cas de l'énergie dissipée la plus faible de 0,27 J, une faible augmentation de I_{GSS} (à 900 fA) a été constatée avant la défaillance. Cette augmentation de I_{GSS} peut permettre de lier la défaillance des MOSFET SiC à la dégradation de la couche d'oxyde et/ou de l'interface entre SiC et SiO₂ et pourrait être utilisée dans un objectif de suivi temps réel de l'état de santé du composant.

3.5. Evolution de la tension de plateau Miller (V_{PL}) et des capacités internes pendant le vieillissement en régime de court-circuit

Dans cette section, la caractérisation de la tension de plateau Miller (V_{PL}) réalisée pendant la procédure de vieillissement sera décrite. Afin de mesurer régulièrement la tension V_{PL} en cours de vieillissement, le composant sous test sera déplacé du banc de vieillissement en court-circuit vers le banc de test de commutation.

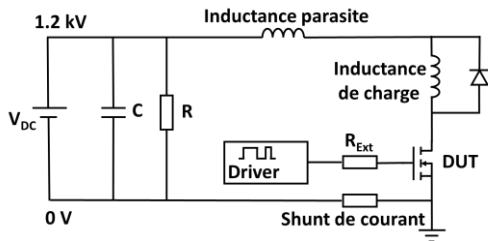


Fig. 7. Schéma de principe de banc de test en commutation

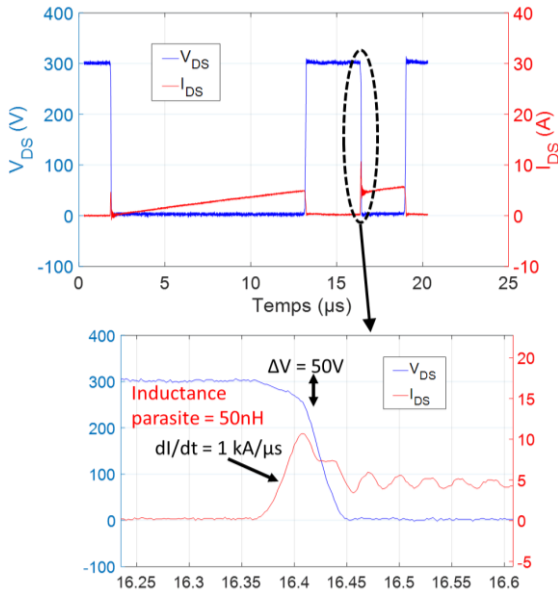


Fig. 8. Formes d'ondes I_{DS} et V_{DS} en commutation : $R_{GEXT} = 0 \Omega$, $L = 700 \mu H$, $V_{DC} = 300V$

Le principe du banc se base sur un circuit de type hacheur série (figure 7). La figure 8 montre des formes d'ondes sous les conditions de test $L = 700 \mu H$, $V_{DC} = 300V$ avec des valeurs de résistance de grille externe, $R_{GEXT} = 0 \Omega$. La stratégie de commande est celle du « double pulse » (figure 8). Le banc de

test de commutation présente une inductance parasite d'environ 50 nH.

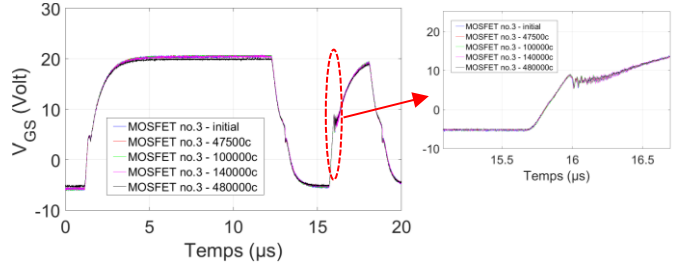


Fig. 9. Evolution de V_{PL} pendant la procédure de vieillissement du composant sous test no.3 ($R_{G_ext} = 150 \Omega$, $L_{Load} = 160 \mu H$, $V_{DC} = 300 V$)

L'estimation de V_{PL} est obtenue à l'aide de l'acquisition des formes d'ondes de V_{GS} . Afin de mesurer V_{PL} avec une bonne précision, il est nécessaire d'éviter les oscillations sur le front montant et le front descendant de V_{GS} . C'est pourquoi, une très grande résistance externe de grille ($R_{GEXT} = 150 \Omega$) a été insérée dans le banc de commutation pour les mesures de V_{PL} . La figure 9 a montré que la tension de plateau Miller (V_{PL}) n'évolue pas pendant la procédure de vieillissement.

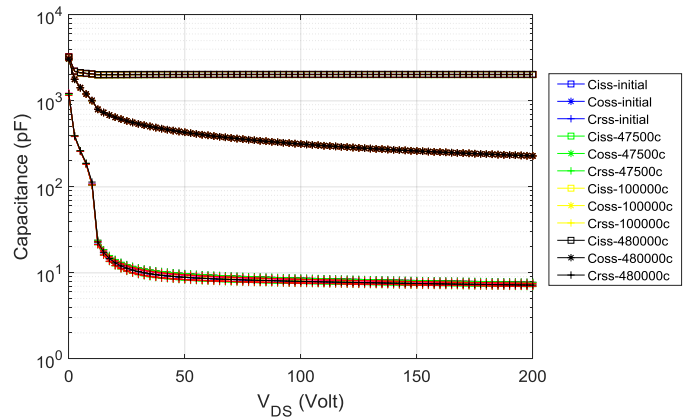


Fig. 10. Evolution des capacités (C_{ISS} , C_{OSS} , C_{RSS}) pendant la procédure de vieillissement du composant sous test no.3

On constate d'autre part que les capacités (C_{ISS} , C_{OSS} , C_{RSS}) restent identiques pendant toute la phase de vieillissement (figure 10). La même remarque peut être effectuée concernant la tension de seuil V_{TH} , comme indiqué dans la section 3.1. Par conséquent, d'après l'équation (2), il est relativement logique de trouver que la tension de plateau de Miller (V_{PL}) reste également constante pendant toute la procédure de vieillissement [9] :

$$\frac{dV_{GS}}{dt} = \frac{I_G}{C_{GS} + C_{GD}(V_{DS})} \quad (1)$$

$$V_{PL} = V_{TH} + \sqrt{\frac{I_L \cdot L_{CH}}{\mu_{ni} \cdot C_{OX} \cdot Z}} \quad (2)$$

où : I_L : courant de charge, L_{CH} : longueur du canal, C_{OX} : capacité surfacique de l'oxyde de silicium, μ_{ni} : mobilité des porteurs de charge, Z : largeur du canal.

Ce résultat montre toutefois que la mobilité des porteurs sous l'oxyde ne semble pas évoluer au cours du vieillissement.

Il était toutefois important de le vérifier dans l'expérimentation. La mesure de la tension V_{PL} a été également réalisée sur les composants sous test no.1 et no.2, les résultats

obtenus montrent un comportement identique à celui du composant sous test no.3.

4. ROBUSTESSE DE MOSFET SiC EN REGIME D'AVALANCHE

Cette partie se focalise sur la robustesse des MOSFET SiC en régime répétitif d'avalanche d'énergie $E_{AV} = 0,57 \text{ J}$ et $1,13 \text{ J}$ appliquée respectivement sur les composants sous test no.4 et no.5. Les tests effectués à faible énergie ($0,57 \text{ J}$ pendant 57000 cycles) ont été arrêtés avant l'apparition de la défaillance, contrairement aux tests à plus forte énergie ($1,13 \text{ J}$) pour lesquels la défaillance apparaît après seulement 5000 cycles. Contrairement au résultat détaillé dans [6], aucune évolution significative de V_{TH} n'est observée pendant la procédure de vieillissement suite à la répétition de cycles d'AV. Cela peut s'expliquer par le fait que nous n'avons pas effectué le vieillissement sur une durée suffisamment longue. Les mesures de V_{TH} , de $R_{DS(on)}$, et de I_{DSS} montrent une évolution similaire des indicateurs de vieillissement comparativement à ce qui a été observé sous vieillissement en CC. En effet, comme illustré dans la figure 11, la tension de seuil V_{TH} ($V_{GS} = V_{DS}$, $V_{TH}@I_D = 10 \text{ mA}$) reste constante et $R_{DS(on)}$ augmente progressivement (figure 12). Avant la défaillance des composants, le courant de fuite de drain (I_{DSS}) est mesuré à seulement quelques nA pour les deux composants no.4 et no.5 (figure 13).

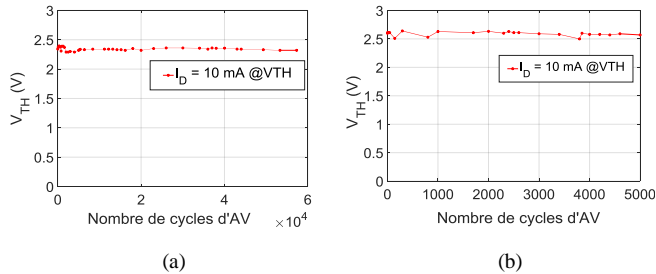


Fig. 11. Evolution de V_{TH} dans le cas de composant no.4 avec $E_{AV} = 0,57 \text{ J}$ (a) et dans le cas de composant no.5 avec $E_{AV} = 1,13 \text{ J}$ (b) pendant la procédure de vieillissement en régime d'AV.

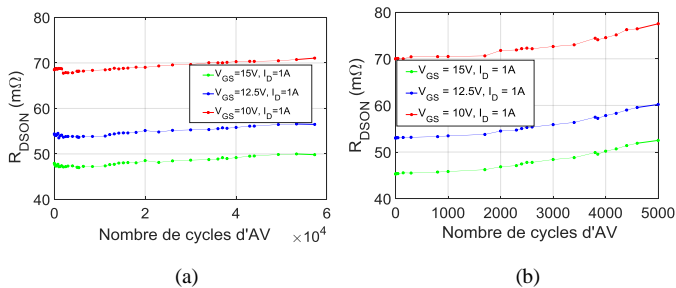


Fig. 12. Evolution de $R_{DS(on)}$ dans le cas du composant no.4 avec $E_{AV} = 0,57 \text{ J}$ (a) et dans le cas du composant no.5 avec $E_{AV} = 1,13 \text{ J}$ (b) pendant la procédure de vieillissement en régime d'AV.

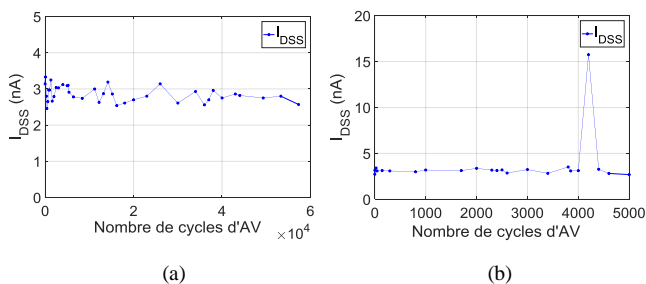


Fig. 13. Evolution de I_{DSS} dans le cas du composant no.4 avec $E_{AV} = 0,57 \text{ J}$ (a) et dans le cas du composant no.5 avec $E_{AV} = 1,13 \text{ J}$ (b) pendant la procédure de vieillissement en régime d'AV.

Dans le cas du composant no.4, après environ 57000 cycles d'AV, le composant est toujours en état de fonctionnement sans dégradation significative détectée. Dans le cas du composant no.5, après 5000 cycle d'AV, une importante valeur du courant de fuite de grille de quelques mA a été mesurée. Pourtant, I_{DSS} sur ce composant reste inférieur à 20 nA, malgré une augmentation significative (après 4200 cycle d'avalanche) à la fin de la procédure de vieillissement (figure 13.b).

5. EFFET DE VIEILLISSEMENT DE COURT-CIRCUIT SUR SCSSOA ET RBSOA

L'énergie de défaillance des composants à semi-conducteur de puissance peut être identifiée comme un paramètre qui nous permet de qualifier l'aire de sécurité de fonctionnement (Safe Operating Area - SOA) des composants à semi-conducteur de puissance en court-circuit (SCSSOA) ou en avalanche (RBSOA). C'est pourquoi, la valeur de l'énergie de défaillance en régime de CC ou d'AV pourrait nous permettre de réaliser une estimation quantitative de la robustesse des composants sous test et de l'effet du vieillissement sur cette robustesse. Dans cette partie, nous étudions l'influence du vieillissement en régime de CC sur deux types de SOA : Reverse Bias Safe Operating Area (RBSOA) et Short Circuit Safe Operating Area (SCSSOA) concernant l'énergie de tenue à l'AV et au CC, respectivement. Dans un premier temps, cette étude se focalise sur l'évolution de la RBSOA et de la SCSSOA suite à une procédure de vieillissement en régime de CC.

5.1. Effet du vieillissement en régime de CC sur la SCSSOA

En regardant les différentes énergies de CC évaluées jusqu'à présent dans les tests de vieillissement à longue durée, le nombre de cycles de vieillissement réalisés, et l'évolution des indicateurs de vieillissement analysés dans la section 3, nous allons solliciter une procédure de vieillissement par pas de 20000 cycles de CC d'une énergie de $0,62 \text{ J}$ sur les MOSFET SiC sous test.

Pour étudier l'évolution de l'énergie amenant la défaillance concernant la SCSSOA ($E_{Défaillance_CC}$), un protocole d'expérimentation est présenté ci-dessous. L'énergie de défaillance sera mesurée dans un cycle de stress correspondant à une destruction déterminée. Afin d'augmenter la pertinence des résultats de mesure, pour chaque campagne de la mesure de l'énergie à défaillance, nous allons évaluer trois composants sous test à l'état non-vieilli et trois composants sous test à l'état vieilli, donc chaque campagne de mesures va nécessiter la destruction de six composants.

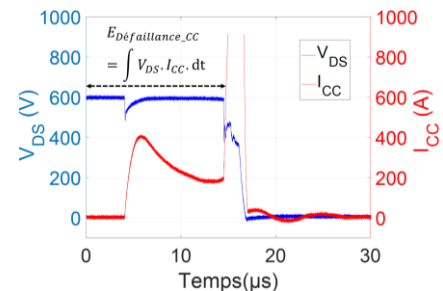


Fig. 14. Formes d'ondes des cycle de destruction de court-circuit

Tout d'abord, nous appliquons un cycle de destruction en régime de CC sur trois composants sous test non-vieilli (no.6, no.7 et no.8) afin de déterminer l'énergie à défaillance de la SCSSOA à l'état initial où le cycle de destruction est le CC. Pour ce faire, nous appliquons un test de court-circuit de longue durée

(32 μ s) et relevons la valeur de l'énergie entraînant la défaillance. Un cycle de CC de destruction est représenté à la figure 14. Le calcul de l'énergie à défaillance ($E_{Défaillance_CC}$) est également illustré dans la figure 14.

Tableau 1. Evolution des indicateurs de vieillissement sur les composants vieillis no.9, no.10 et no.11

No	Etat	V_{TH} (V) (@ $I_{DS}=10mA$)	$R_{DS(on)}$ (m Ω) ($V_{GS}=15V$, $I_D=1A$)	I_{DSS} ($V_{GS}=-5V$, $V_{DS}=1,2kV$)	I_{GSS} ($V_{GS}=15V$, $V_{DS}=0V$)
9	Initial	2,167	41,66	1,584 nA	10 fA
	Vieilli	2,220	51,90	89,72 μ A	3,49 mA
10	Initial	2,234	42,74	1,153 nA	10 fA
	Vieilli	2,283	51,85	2,24 μ A	300 fA
11	Initial	2,230	43,15	1,229 nA	15 fA
	Vieilli	2,294	52,51	73 μ A	6,74 mA

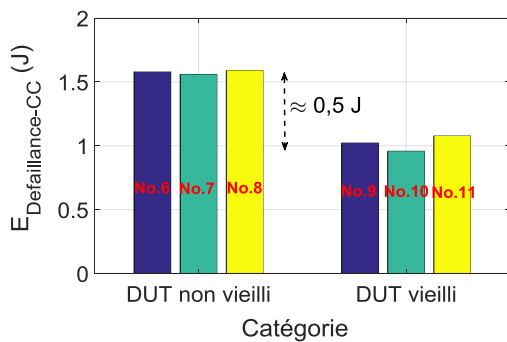


Fig. 15. Evolution de l'énergie à défaillance de court-circuit ($E_{Défaillance_CC}$) à cause de l'effet de vieillissement des cycles de court-circuit

Concernant l'estimation de l'énergie à défaillance en état vieilli, on utilise une procédure de vieillissement accéléré de 20000 cycles de CC ($E_{CC} = 0,62$ J) réalisée sur trois composants supplémentaires (no.9, no.10, et no.11). Le tableau 1 représente l'évolution des indicateurs de vieillissement mesurés sur les composants (no.9, no.10 et no.11) à l'état initial et après vieillissement. On trouve, après le vieillissement, une augmentation d'environ 10 m Ω sur la $R_{DS(on)}$ (augmentation très importante de l'ordre de +25%) sur tous les composants vieillis. On constate également des évolutions importantes sur les valeurs de I_{DSS} et I_{GSS} mesurées. Ensuite, ces trois composants vieillis sont également stressés par le cycle de destruction de CC afin de trouver l'énergie à défaillance de SCSSOA ($E_{Défaillance_CC}$) en état vieilli. Après vieillissement des puces, on constate une réduction considérable de l'énergie à défaillance ($E_{Défaillance_CC}$) d'environ 0.5 J (figure 15) pour les trois composants testés.

5.2. Effet du vieillissement en régime de CC sur la RBSOA

Ensuite, pour étudier l'évolution de l'énergie à défaillance concernant la RBSOA, un même protocole d'expérimentation comme le protocole de l'effet de vieillissement de CC sur SCSSOA présenté dans la section 5.1 sera appliqué.

L'énergie à défaillance ($E_{Défaillance_AV}$) sera mesurée dans un cycle de stress de destruction d'AV. Le protocole permettant de créer le cycle de stress de destruction d'avalanche est résumé ci-dessous. Tout d'abord, on applique un cycle de stress de destruction d'avalanche configuré par les paramètres initiaux

($t_{AUX} = 402.8$ μ s, $t_{DUT} = 14$ μ s, $L = 1064$ μ H, $U_{DC} = 120$ V). Ensuite, la tension d'alimentation (U_{DC}) est progressivement augmentée par paliers de 5V jusqu'à la défaillance du composant, les formes d'ondes typiques des cycles de stress de destruction d'AV correspondant à l'énergie de défaillance de RBSOA de $E_{Défaillance_AV} = 1,64$ J ($t_{AUX} = 402.8$ μ s, $t_{DUT} = 14$ μ s, $L = 1064$ μ H, $U_{DC} = 140$ V) sont illustrée dans la figure 16.a. Cette énergie à défaillance ($E_{Défaillance_AV}$) est calculée sur le dernier cycle de stress de destruction d'AV qui entraîne la défaillance (figure 16.b).

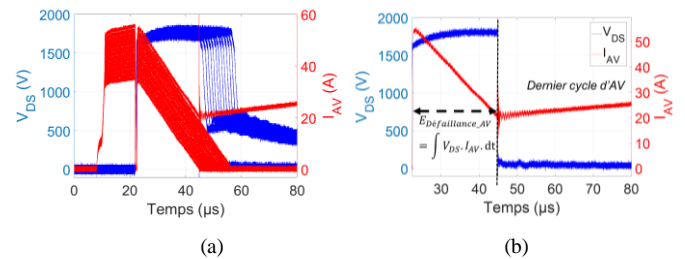


Fig. 16. Formes d'ondes des cycles de stress de destruction d'AV (a) Calcul de l'énergie à défaillance en régime d'AV sur le dernier cycle de stress de destruction d'AV (b)

Dans un premier temps nous déterminons l'énergie de défaillance sur trois composants non-vieillis (no.12, no.13 et no.14) afin de déterminer l'énergie à défaillance de RBSOA ($E_{Défaillance_AV}$) à l'état initial.

Tableau 2. Evolution des indicateurs de vieillissement sur les composants vieillis no.15, no.16 et no.17

No	Etat	V_{TH} (V) (@ $I_{DS}=10mA$)	$R_{DS(on)}$ (m Ω) ($V_{GS}=15V$, $I_D=1A$)	I_{DSS} ($V_{GS}=-5V$, $V_{DS}=1,2kV$)	I_{GSS} ($V_{GS}=15V$, $V_{DS}=0V$)
15	Initial	2,416	44,73	2,643 nA	5 fA
	Vieilli	2,180	52,14	17,9 μ A	8.9 mA
16	Initial	2,507	44,38	1,062 nA	8 fA
	Vieilli	2,570	53,61	0,857 nA	8 fA
17	Initial	2,270	49,18	2,3 nA	12 fA
	Vieilli	2,277	52,87	1,954 nA	20 fA

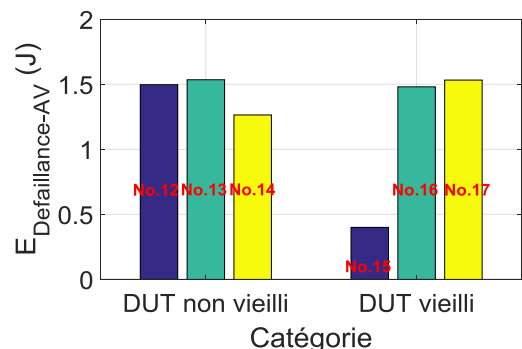


Fig. 17. Evolution de l'énergie à défaillance en régime d'avalanche ($E_{Défaillance_AV}$) à cause de l'effet de vieillissement des cycles de court-circuit

Concernant l'estimation de l'énergie à défaillance de RBSOA après vieillissement, on réitère la même procédure de vieillissement de 20000 cycles de CC avec une énergie $E_{CC} = 0,62$ J sur les trois composants sous test sélectionnés (no.15, no.16, et no.17). Après ces essais de vieillissement, $R_{DS(on)}$

augmente là encore significativement d'une valeur proche de +25% . Pourtant, lors de ces essais de vieillissement, nous constatons une hétérogénéité des évolutions de I_{DSS} et I_{GSS} sur ces trois composants sous test (no.15, no.16, et no.17). En effet, après vieillissement, le composant no.15 présente une évolution importante de I_{DSS} et I_{GSS} ($I_{DSS} = 17,9 \mu A$ et $I_{GSS} = 8,9 mA$). Par contre, sur les composants no.16 et no.17 aucune évolutions des courants de fuite I_{DSS} et I_{GSS} n'a été constatée. Le tableau 2 résume les indicateurs de vieillissement mesurés sur les composants no.15, no.16 et no.17 avant et après la procédure de vieillissement.

Ensuite, ces trois composants vieillis sont également stressés par les cycles de destruction d'AV afin de trouver l'énergie à défaillance de RBSOA ($E_{Défaillance_{AV}}$). Nous trouvons que le composant no.15, présentant une importante évolution de I_{DSS} et I_{GSS} après la procédure de vieillissement, voit une chute considérable de son énergie à défaillance de RBSOA (figure 17). En revanche, pour les composants no.16 et no.17 sans dégradations importantes de I_{DSS} et I_{GSS} après vieillissement, il semble que l'énergie à défaillance de RBSOA n'ait pas évoluée (figure 17).

6. CONCLUSIONS ET PERSPECTIVES

Cet article propose une étude de la robustesse de MOSFET SiC de CREE (C2M0040120D) sous des régimes extrêmes de fonctionnement répétitifs (CC et AV). Les différents indicateurs de vieillissement mesurés pendant la procédure de vieillissement à longue durée tels que la tension de seuil (V_{TH}), la résistance de l'état passant ($R_{DS(on)}$), le courant de fuite de drain (I_{DSS}), le courant de fuite de grille (I_{GSS}), la tension de plateau de Miller (V_{PL}), et les capacités intrinsèques (C_{ISS} , C_{OSS} , C_{RSS}) permettent d'identifier les indicateurs de vieillissement les plus pertinents, et qui peuvent être utilisés afin de suivre l'état de santé de ces composants . La tension de seuil (V_{TH}), la tension de plateau Miller (V_{PL}), et les capacités intrinsèques (C_{ISS} , C_{OSS} , C_{RSS}) n'évoluent pas pendant la procédure de vieillissement. La résistance à l'état passant ($R_{DS(on)}$) augmente progressivement pendant le vieillissement, cette augmentation peut être liée à la reconstruction de la métallisation ou à la dégradation des fils de câblage. Tous les tests ont également montré une évolution de I_{DSS} et une augmentation de I_{GSS} juste avant la défaillance des composants sous test. Elle peut être liée à la dégradation de l'oxyde de grille et peut être un des indicateurs pertinents de vieillissement.

D'autre part, nous avons clairement trouvé une chute de l'énergie à défaillance de SCSOA ($E_{Défaillance_{CC}}$) après la procédure de vieillissement en régime de court-circuit, preuve de l'influence du vieillissement sur cette SOA particulière. Pourtant, cette réduction n'apparaît que pour les composants vieillis présentant une dégradation importante de I_{DSS} et/ou I_{GSS} . Concernant l'estimation de l'énergie à défaillance de RBSOA ($E_{Défaillance_{AV}}$), nous trouvons que sur le composant vieilli

présentant une dégradation importante de I_{DSS} et I_{GSS} , une importante réduction de $E_{Défaillance_{AV}}$. En revanche, sur les composants vieillis ne présentant pas d'évolution significative de I_{DSS} et I_{GSS} , aucune diminution importante de $E_{Défaillance_{AV}}$ n'a été observée malgré la forte augmentation là encore constatée sur $R_{DS(on)}$. L'augmentation de la $R_{DS(on)}$ ne semble donc pas suffire pour prédire une chute de la robustesse.

Dans l'avenir, il sera nécessaire de vérifier l'évolution de $E_{Défaillance_{CC}}$ pour les composants vieillis avec seulement une augmentation de $R_{DS(on)}$, sans dégradation de I_{DSS} et I_{GSS} , afin de pouvoir fournir une conclusion plus argumentée. Nous continuerons ces études plus complètes sur des MOSFET d'autres fabricants tels que ROHM et ST Microelectronics. Ces études seront également envisagées sous différentes températures ambiantes. A plus long terme, une analyse physique de l'état du vieillissement et de la défaillance des composants sous test sera également réalisée afin de mieux comprendre les mécanismes de défaillance et l'évolution des indicateurs de vieillissement.

7. REFERENCES

- [1] A.J. Lelis, & al., Time dependence of bias-stress-induced SiC MOSFET threshold-voltage instability measurements, IEEE transactions on Electron Devices, Vol. 55, no. 8, Jul. 2008, pp. 1835-1840.
- [2] D. Othman, & al., Robustness of 1.2 kV SiC MOSFET devices, Microelectronics Reliability, Vol. 53, no. 9-11, Sep.-Nov. 2013, pp. 1735-1738.
- [3] Zhiqiang Wang, & al., Temperature-dependent short-circuit capacity of silicon carbide power Mosfets, IEEE transaction on Power Electronics, Vol.31, No.2, Feb. 2016, pp.1555-1565.
- [4] Abdullah M. Yassine, & al., Time dependent breakdown of ultrathin gate oxide, IEEE transaction on Electronic Devices, Vol. 47, No. 7, Jul. 2000, pp. 1416-1420.
- [5] J. HU, & al., The effect of electrothermal nonuniformities on parallel connected SiC power devices under unclamped and clamped inductive switching, IEEE transaction on Power Electronics, Vol.31, No.6, Jun. 2016, pp. 4526-4535.
- [6] A. Fayyaz, & al., Single pulse avalanche robustness and repetitive stress aging of SiC power MOSFETs, Microelectronics Reliability, Vol.54, No.9-10, Sep.-Oct. 2014, pp. 2185-2190.
- [7] X. Ye, & al., Online condition monitoring of power MOSFET gate oxide degradation based on Miller platform voltage, IEEE transactions on power electronics, Vol. 32, no.6, Aug. 2016, pp. 4776-4784.
- [8] S. Yang, & al., Condition monitoring for device reliability in power electronics converters: a review, IEEE transaction on Power Electronics, Vol. 25, No. 11, Nov. 2010, pp. 2734-2752.
- [9] B.J. Baliga, Fundamentals of power semiconductor devices, Springer, 2008.
- [10] G. Busatto, & al., Non destructive SOA testing of power modules, International Conference on Integrated Power Electronics Systems (CIPS), 16-18 Mar. 2010, Nuremberg, Germany.
- [11] P. D. Reigosa, & al., A short-circuit safe operation area identification criterion for sic mosfet power modules, IEEE Transactions on Industry Applications, Vol. 53, No. 3, May.-Jun. 2017, pp. 2880-2887.