



HAL
open science

Divisions de fréquence faible bruit d'un oscillateur optoélectronique couplé à 30 GHz

Arnaud Collet, Aliou Ly, Olivier Llopis, Gilles Cibiel, Éric Tournier

► **To cite this version:**

Arnaud Collet, Aliou Ly, Olivier Llopis, Gilles Cibiel, Éric Tournier. Divisions de fréquence faible bruit d'un oscillateur optoélectronique couplé à 30 GHz. XXIe Journées Nationales Microondes (JNM 2019), May 2019, Caen, France. hal-02159161

HAL Id: hal-02159161

<https://hal.science/hal-02159161v1>

Submitted on 18 Jun 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Divisions de fréquence faible bruit d'un oscillateur optoélectronique couplé à 30 GHz

Arnaud Collet¹, Aliou Ly¹, Olivier Llopis¹, Gilles Cibiel², Éric Tournier¹

¹LAAS-CNRS, Université de Toulouse, CNRS, UPS, Toulouse, France

²CNES, 18 Avenue Edouard Belin, Toulouse, France

acollet@laas.fr

Abstract — La division de fréquence d'oscillateurs de références optoélectroniques couplés (COEO) est une méthode de synthèse de fréquence alternative à la boucle à verrouillage de phase (PLL). La PLL étant basée sur la multiplication de fréquence, la dégradation résultante du bruit de phase proportionnelle au facteur de multiplication s'avère problématique pour la génération de fréquences élevées. Ici à l'inverse, nous divisons une référence de fréquence élevée, le COEO, en concevant des diviseurs avec un bruit de phase résiduel le plus faible possible. Cet article discute des résultats d'un diviseur numérique de fréquence par 2 et d'un diviseur numérique de fréquence par 3 réalisés en technologie SiGe BiCMOS 130 nm à partir d'une référence COEO à 30 GHz.

1. Introduction

La capacité à générer des signaux à haute fréquence ayant une bonne pureté spectrale est primordiale dans de nombreuses applications telles que les télécommunications, le spatial ou encore les radars [1]. Concernant le domaine des télécommunications, en raison de l'encombrement important des bandes de fréquences inférieures à 3 GHz et de la demande croissante en terme de débit, les fréquences de travail ont tendance à augmenter [2], avec par exemple des discussions sur l'utilisation de la bande 26 GHz pour la 5G en Europe. La méthode de synthèse de fréquence la plus répandue actuellement est basée sur la multiplication de références basses, généralement des oscillateurs à quartz générant des fréquences allant de quelques dizaines à quelques centaines de mégahertz. L'augmentation des fréquences de travail nécessite alors la mise en œuvre de rapports de multiplication de plus en plus élevés. Or théoriquement, le fait de multiplier la fréquence d'un signal par un facteur N induit une augmentation, et donc une dégradation, de son bruit de phase de $20 \log N$ auquel vient s'ajouter le bruit résiduel du multiplieur. Pour certaines applications de pointe, la synthèse de fréquence par multiplication est en voie d'atteindre ses limites au vu des spécifications en bruit de phase exigeantes qui sont requises. Une des alternatives qui se présentent consiste à synthétiser par division à partir d'une référence élevée plutôt que basse. Contrairement à la multiplication, le fait de diviser

une fréquence par un facteur N engendre une diminution, et donc une amélioration, du bruit de phase par $20 \log N$. Cependant, comme pour la multiplication, il faut ajouter le bruit propre du diviseur au bruit de phase du signal synthétisé. Les COEO sont des références de fréquence pouvant aller jusqu'à plusieurs dizaines de gigahertz tout en offrant d'excellentes performances en bruit de phase, ce sont donc les candidats idéaux pour servir de référence lors d'une synthèse par division. Nous avons à notre disposition un COEO générant un signal de fréquence 30 GHz et de puissance -5 dBm [3]. Nous travaillons sur plusieurs familles de divisions de fréquence faible bruit d'un COEO à 30 GHz, comme par exemple des divisions entières numérique ou régénérative, des divisions fractionnaires ou encore des divisions programmables. Ce papier s'intéresse à la première famille, et plus précisément une division par 2 pour une sortie à 15 GHz et une division par 3 pour une sortie à 10 GHz.

2. Topologies des diviseurs

2.a. Diviseur par 2

La topologie de diviseur par 2 utilisée est un diviseur numérique constitué d'une bascule D dont la sortie inversée est bouclée sur l'entrée. Il s'agit d'une bascule D ECL réalisée en technologie SiGe BiCMOS 130 nm. La figure 1 illustre la particularité des verrous D qui la composent par rapport à une bascule D ECL classique : les sources de courants commandées en tension (VCCS) qui polarisent les paires différentielles des verrous D sont remplacées par des sources de tension commandées en tension (VCVS).

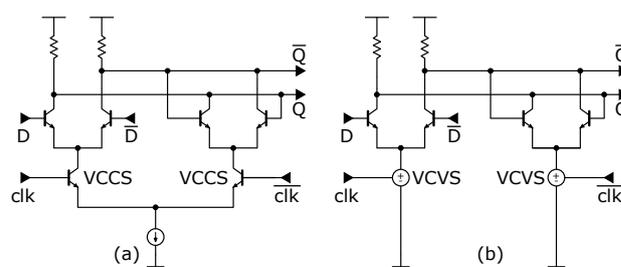


Figure 1. (a) Verrou D classique (b) Verrou D optimisé

Cette modification entraîne une amélioration notable du bruit de phase résiduel du diviseur par rapport à un

diviseur par 2 réalisé avec une bascule D ECL classique (cf §3.). Le fonctionnement de ce diviseur avait été validé pour une fréquence de 3,5 GHz [4], nous démontrons ici que cette topologie peut fonctionner à une fréquence bien plus élevée, à savoir plus de 30 GHz. Un travail d'optimisation a aussi été mené, notamment sur la taille des transistors, dans le but d'améliorer leur bruit tout en continuant d'assurer une fréquence de fonctionnement supérieure à 30 GHz afin de pouvoir diviser le COEO. Ce diviseur est fonctionnel pour une fréquence d'entrée maximale de 40 GHz. Le seuil minimal de puissance d'entrée pour déclencher le diviseur est de -26 dBm et, s'agissant d'un diviseur numérique, la puissance de sortie de -8 dBm est constante et quasi-indépendante de la puissance d'entrée. Le diviseur consomme 56 mA sous une alimentation de 3,3 V, soit 185 mW. En excluant les pads servant à caractériser le circuit avec une station sous pointes, les dimensions du circuit sont de $158 \mu\text{m} \times 255 \mu\text{m}$. Une microphotographie du diviseur par 2 est présentée sur la figure 2. Le circuit étant recouvert par des dummies masquant les couches inférieures, nous avons superposé une image du layout.

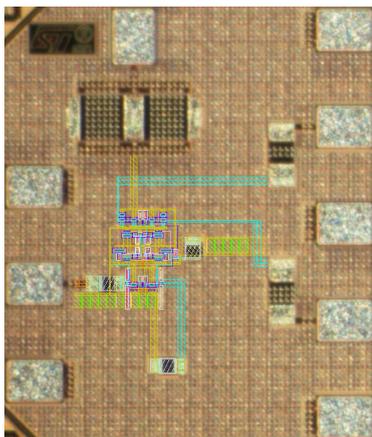


Figure 2. Image du layout sur une microphotographie du diviseur par 2

2.b. Diviseur par 3

La figure 3 présente le schéma de principe d'un diviseur numérique par 3 classique, constitué de deux bascules D ECL et d'une porte OR/NOR ECL, sur lequel nous nous sommes basés.

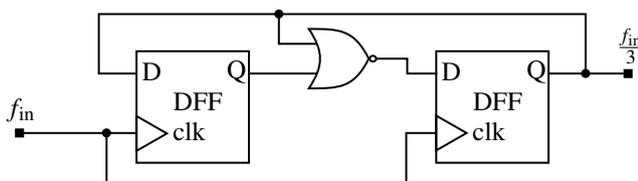


Figure 3. Schéma de principe du diviseur par 3

La bascule D d'entrée est une bascule D classique avec des VCCS tandis que la bascule D de sortie est la même que celle utilisée pour le diviseur par 2 basée sur des VCVS. En effet, le diviseur étant synchrone, c'est à

dire que toutes les bascules D le composant ont la même horloge, c'est le bruit de phase de la dernière bascule D qui va majoritairement impacter le bruit total du diviseur [5]. Nous utilisons la bascule D qui présente les meilleures caractéristiques en bruit de phase pour la sortie. Ce diviseur fonctionne pour une fréquence d'entrée allant jusqu'à 32 GHz. Le niveau de puissance minimal pour déclencher la division est de -12 dBm et la puissance de sortie est aussi de -12 dBm. Le diviseur consomme 60 mA sous une alimentation de 3,3 V, soit 198 mW. Il mesure $241 \mu\text{m} \times 257 \mu\text{m}$ sans les pads. Comme précédemment, la figure 4 présente une microphotographie de la puce sur laquelle nous avons superposé une image du layout.

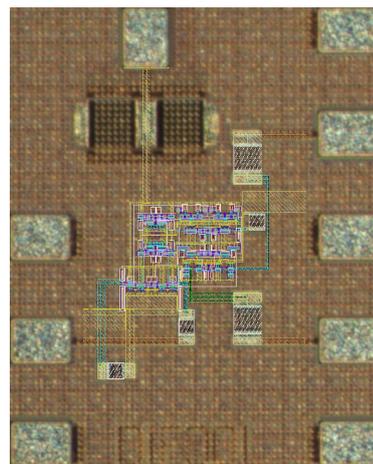


Figure 4. Image du layout sur une microphotographie du diviseur par 3

3. Divisions de fréquence du COEO

3.a. Diviseur par 2

Le COEO ayant servi de référence pour ces mesures [3] génère un signal d'une fréquence de 30 GHz et d'une puissance de -5 dBm. Les diviseurs ont été testés à l'aide d'une station sous pointes. La mesure de bruit de phase a été réalisée avec un banc de mesure E5052B de marque Keysight. Comme évoqué précédemment, le fait de diviser la fréquence par 2 diminue le bruit de phase de $20 \log 2$ soit de 6 dB. Sur la figure 5, le bruit de phase du signal à 15 GHz issu de la division par 2 du COEO est comparé au bruit de phase du COEO à 30 GHz auquel nous retranchons $20 \log 2$ qui correspond donc au bruit de phase théorique idéal qu'il est possible d'obtenir. La différence entre les deux courbes correspond à la contribution en bruit du diviseur.

Pour des fréquences relatives à la porteuse allant de 10 Hz à 500 kHz, le bruit du diviseur est négligeable, puis au delà, il entraîne une très légère dégradation du plancher de bruit. De plus, une comparaison entre les bruits de phase résiduels obtenus lors des simulations d'un diviseur par 2 basé sur des VCCS et celui d'un diviseur par 2 basé sur des VCVS est présentée. Nous observons une amélioration de près de 6 dB pour la version utilisant des VCVS. Ceci démontre que cette technique qui a été validée pour des basses fréquences est aussi utilisable à 30 GHz avec

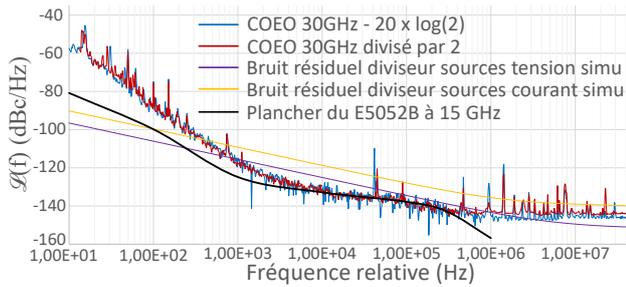


Figure 5. Bruit de phase du COEO transposé à 15 GHz vs. COEO divisé par 2 vs. Bruits résiduels diviseurs courant/tension simulés

ici aussi une nette amélioration du bruit de phase résiduel. On observe également que pour la plage de fréquences relatives entre 10 kHz et 300 kHz, l'observation du bruit de phase est limitée par les performances du banc de mesure E5052B puisque son plancher de bruit de phase est atteint.

3.b. Diviseur par 3

Sur la figure 6, le bruit de phase du COEO à 30 GHz divisé par le diviseur par 3 numérique est comparé au bruit de phase du COEO transposé à 10 GHz et au bruit de phase résiduel de ce diviseur obtenu lors des simulations.

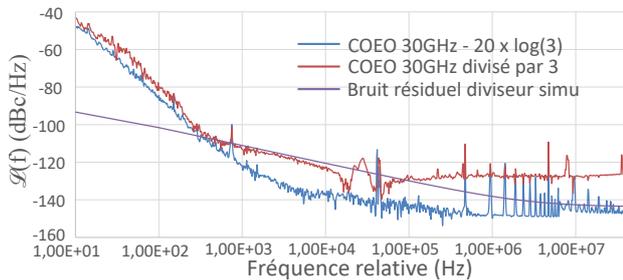


Figure 6. Bruit de phase du COEO transposé à 10 GHz vs. COEO divisé par 3 vs. Bruit résiduel diviseur simulé

Pour des fréquences relatives de 500 Hz à 100 kHz, nous observons que le bruit du diviseur est dominant et qu'il correspond à ce qui était attendu d'après les simulations.

Proche de la porteuse jusqu'à une fréquence relative d'environ 500 Hz, le bruit du signal synthétisé est proche de celui de COEO mais le diviseur rajoute une contribution en bruit alors qu'il devrait être négligeable. De plus, pour des fréquences relatives au delà de 100 kHz, le bruit de phase du signal généré remonte et ne correspond ni au bruit du diviseur simulé, ni au bruit du COEO. Pour ces différentes raisons, nous pensons qu'il y a un problème de synchronisation avec ce circuit puisque même s'il permet de synthétiser un signal à 10 GHz, son profil en bruit de phase semble indiquer un problème dans son fonctionnement. Un nouveau design du diviseur par 3 numérique va être réalisé pour tenter de s'affranchir de ces problèmes liés au de bruit de phase.

4. Discussions

4.a. Comparaison avec d'autres références de fréquence

Les performances en bruit de phase du COEO divisé sont comparées aux performances de trois des meilleures références de fréquence commerciales à notre connaissance [6, 7, 8], ramenées à 15 GHz pour le diviseur par 2. Eu égard au problème de synchronisation du diviseur par 3 et de son impact sur les performances en bruit de phase de celui-ci, nous n'avons pas jugé intéressant de le comparer aux autres références. La comparaison pour le diviseur par 2 est donnée figure 7, sur laquelle nous donnons également les performances en bruit de phase d'un signal généré par multiplication dans une PLL [9]. Bien qu'il s'agisse d'une PLL récente et présentée comme faible bruit, ses performances en bruit de phase sont très inférieures à celle de notre diviseur, même s'il faut garder à l'esprit que les fonctionnalités ne sont pas les mêmes et qu'il est notamment possible de mettre en œuvre des rapports de divisions programmables ou fractionnaires avec la PLL. Les performances du signal divisé sont compétitives avec quasiment toutes les autres sources, seul le RAKON transposé idéalement à 15 GHz présente de meilleures performances entre 1 kHz et 100 kHz de la porteuse.

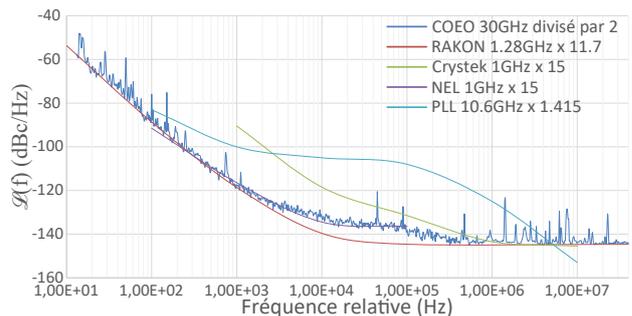


Figure 7. Bruit de phase du COEO divisé par 2 comparé à d'autres sources

4.b. Comparaison avec un autre diviseur

Afin de comparer le diviseur par 2 que nous avons réalisé avec un autre diviseur, nous nous sommes basés sur la figure de mérite (FoM) précédemment utilisée dans des travaux sur les diviseurs numérique en technologie SiGe BiCMOS [10] :

$$\text{FoM} = \mathcal{L}_{\text{floor}} - 20 \log(f_0) + 10 \log(P_{DC}) + 30$$

Cette figure de mérite prend en considération trois des caractéristiques majeures des diviseurs numériques, à savoir le plancher de bruit $\mathcal{L}_{\text{floor}}$, la fréquence d'entrée maximale f_0 et la consommation P_{DC} . Nous comparons le diviseur que nous avons réalisé avec un des meilleurs diviseurs de l'industrie à notre connaissance. Dans la table 1, le diviseur par 2 est comparé au HMC862A [11] d'Analog Devices qui est un diviseur programmable par 1, 2, 4 et 8 en technologie SiGe BiCMOS fonctionnant jusqu'à 24 GHz, ses caractéristiques sont données pour la configuration division par 2.

Ceci démontre comme évoqué précédemment que le

Références	$\mathcal{L}_{\text{floor}}$	P_{DC}	f_0	FoM
HMC862A	-153 dBc/Hz	365 mW	24 GHz	-335 dBc/Hz
Div. par 2	-145 dBc/Hz	185 mW	40 GHz	-334 dBc/Hz

Table 1. Comparaison HMC862A vs Diviseur par 2

diviseur par 2 présente des performances très intéressantes et s'avère compétitif avec les meilleurs diviseurs disponibles.

5. Conclusion

Nous présentons dans ce papier les résultats de synthèse de fréquence par division d'un COEO à 30 GHz. Nous avons synthétisé un signal à 15 GHz avec un diviseur par 2 et un signal à 10 GHz avec un diviseur par 3. En termes de bruit de phase, la synthèse de fréquence par division est une alternative prometteuse aux PLL. En effet, la possibilité de réaliser des diviseurs de fréquence à faible bruit résiduel conjuguée au développement de références de fréquence élevée à très faible bruit de phase tels que les COEO présagent d'un avenir intéressant pour cette méthode de synthèse. Nous avons présenté des diviseurs numériques ECL, un diviseur par 2 fonctionnant à 30 GHz dont les performances en bruit de phase sont suffisamment bonnes pour ne pratiquement pas dégrader le bruit du COEO et un diviseur par 3 fonctionnant aussi à 30 GHz présentant un problème de synchronisation impactant négativement ses performances en bruit de phase. Il est important de noter que d'autres fonctionnalités offertes par les PLL doivent encore être comparées à celles des diviseurs, notamment la mise en œuvre de rapports plus élevés, fractionnaires ou encore programmables.

6. Remerciements

Ce travail a été soutenu par la DGA à travers le projet ANR Astrid DIFOOL.

References

- [1] Rohde and Schwarz, "The world between 3 GHz and 300 GHz: services and applications." [Online]. Available: https://scdn.rohde-schwarz.com/ur/pws/dl_downloads/dl_common_library/dl_news_from_rs/199/N199_70-75_services-and-applications-3GHz-300GHz_f.pdf
- [2] F. Khan and Z. Pi, "mmWave mobile broadband (MMB): Unleashing the 3ghz;300ghz spectrum," in *34th IEEE Sarnoff Symposium*. IEEE, pp. 1–6. [Online]. Available: <http://ieeexplore.ieee.org/document/5876482/>
- [3] A. Ly, V. Aurox, R. Khayatzadeh, N. Gutierrez, A. Fernandez, and O. Llopis, "Highly spectrally pure 90-GHz signal synthesis using a coupled optoelectronic oscillator," vol. 30, no. 14, pp. 1313–1316. [Online]. Available: <https://ieeexplore.ieee.org/document/8376022/>
- [4] S. Godet, É. Tournier, O. Llopis, A. Cathelin, and J. Juyon, "A low phase noise and wide-bandwidth BiCMOS SiGe:c 0.25 μm digital frequency divider for an on-chip phase-noise measurement circuit," in *IEEE SiRF 2009*, pp. 1–4.
- [5] M. Apostolidou, P. G. Baltus, and C. S. Vaucher, "Phase noise in frequency divider circuits," in *2008 IEEE International Symposium on Circuits and Systems*. IEEE, pp. 2538–2541. [Online]. Available: <http://ieeexplore.ieee.org/document/4541973/>
- [6] RAKON, "LNO 1280 b1 (datasheet)," 00000. [Online]. Available: <http://www.rakon.com/products/families/download/file?fid=39.258>
- [7] Crystek Corporation, "CCSO-914x3-1000 ultra-low phase noise 1ghz SAW clock CCSO-914x3-1000 (datasheet)," 00000. [Online]. Available: <http://www.mouser.com/ds/2/94/CCSO-914X3-1000-180198.pdf>
- [8] N. F. Controls, "Low phase noise 1 GHz OCXO in 36x27 mm "europack" (datasheet)."
- [9] C. Li, H. Lu, X. Zhang, and N. Yuan, "Design of x-band low phase noise and low spurious frequency source based on HMC778," in *2017 IEEE 2nd Advanced Information Technology, Electronic and Automation Control Conference (IAEAC)*. IEEE, pp. 438–442. [Online]. Available: <http://ieeexplore.ieee.org/document/8054052/>
- [10] S. Horst, S. Phillips, H. Lavasani, F. Ayazi, and J. D. Cressler, "SiGe digital frequency dividers with reduced residual phase noise," in *2009 IEEE Custom Integrated Circuits Conference*. IEEE, pp. 251–254. [Online]. Available: <http://ieeexplore.ieee.org/document/5280851/>
- [11] Analog Devices, "HMC862a 0.1 GHz to 24 GHz, low noise, programmable divider." [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/hmc862a.pdf>